



HAL
open science

Étude et conception de systèmes miniaturisés “ intelligents ” pour l’amortissement non-linéaire de vibration

Jean-Nicolas Viant

► **To cite this version:**

Jean-Nicolas Viant. Étude et conception de systèmes miniaturisés “ intelligents ” pour l’amortissement non-linéaire de vibration. Autre. Université Claude Bernard - Lyon I, 2011. Français. NNT : 2011LYO10132 . tel-00840864

HAL Id: tel-00840864

<https://theses.hal.science/tel-00840864>

Submitted on 3 Jul 2013

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L’archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d’enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THESE DE L'UNIVERSITE DE LYON

Délivrée par

L'UNIVERSITE CLAUDE BERNARD LYON 1

ECOLE DOCTORALE

ÉLECTRONIQUE, ÉLECTROTECHNIQUE ET AUTOMATIQUE DE LYON

DIPLOME DE DOCTORAT

(Arrêté du 7 août 2006)

Soutenue publiquement le 6 juillet 2011

Par

Directeur de thèse

M. VIANT Jean-Nicolas

Pr. LU Guo-Neng

**Étude et conception de systèmes miniaturisés « intelligents » pour
l'amortissement non-linéaire de vibration.**

JURY : Dr. Olivier ROMAIN (Rapporteur) de l'Université Pierre et Marie Curie Paris 6
Pr. Pascal NOUET (Rapporteur) de l'Université Montpellier 2
Pr. Skandar BASROUR (Président) de l'Université Joseph Fourier Grenoble 1
Pr. Guo-Neng LU (Directeur de thèse) de l'Université Claude Bernard Lyon 1
Dr. Laurent QUIQUEREZ (Co-directeur) de l'Université Claude Bernard Lyon 1
Pr. Daniel GUYOMAR (Co-encadrant) de l'INSA de Lyon

THESE DE L'UNIVERSITE DE LYON

Délivrée par

L'UNIVERSITE CLAUDE BERNARD LYON 1

ECOLE DOCTORALE

ÉLECTRONIQUE, ÉLECTROTECHNIQUE ET AUTOMATIQUE DE LYON

DIPLOME DE DOCTORAT

(Arrêté du 7 août 2006)

Soutenue publiquement le 6 juillet 2011

Par

Directeur de thèse

M. VIANT Jean-Nicolas

Pr. LU Guo-Neng

**Étude et conception de systèmes miniaturisés « intelligents » pour
l'amortissement non-linéaire de vibration.**

JURY : Dr. Olivier ROMAIN (Rapporteur) de l'Université Pierre et Marie Curie Paris 6
Pr. Pascal NOUET (Rapporteur) de l'Université Montpellier 2
Pr. Skandar BASROUR (Président) de l'Université Joseph Fourier Grenoble 1
Pr. Guo-Neng LU (Directeur de thèse) de l'Université Claude Bernard Lyon 1
Dr. Laurent QUIQUEREZ (Co-directeur) de l'Université Claude Bernard Lyon 1
Pr. Daniel GUYOMAR (Co-encadrant) de l'INSA de Lyon

RESUME

L'amortissement de vibrations mécaniques trouve de nombreuses applications dans le domaine du contrôle acoustique ou de la réduction de contraintes dans l'industrie (machine outil), le génie civil (structure autoportée), ou encore l'aéronautique (réduction de contrainte lors des manœuvres). Les recherches actuelles tendent principalement vers des méthodes utilisant des matériaux piézoélectriques collés à la surface des structures à traiter.

Une technique prometteuse, développée au LGEF à l'INSA de Lyon, est l'amortissement de vibration d'une structure mécanique par méthode SSDI (pour Synchronized Switch Damping on an Inductor). Cette technique d'amortissement semi-active exploite un procédé non-linéaire de traitement de la tension aux bornes d'un élément piézoélectrique, capteur et actionneur à la fois.

L'objectif de ce travail est de réaliser l'intégration de l'électronique de traitement de la tension aux bornes des éléments piézoélectriques en technologie microélectronique, afin de pouvoir l'embarquer sur le patch piézoélectrique à terme. Une analyse des techniques d'amortissement publiées permet d'y situer ce travail et de définir les points clés de la technique SSDI. Au deuxième chapitre, un certain nombre de modèles sont développés pour comparer et guider les choix de conception, et pour aboutir à des arbitrages architecturaux. Le troisième chapitre développe la conception d'un ASIC dans une technologie avec option haute tension, comprenant une fonction haute-tension de traitement du signal piézoélectrique et une chaîne basse-tension d'analyse, de décision et de commande. La première réalise l'inversion de la tension piézoélectrique à l'aide d'un circuit RLC passif de conversion de l'énergie. La seconde s'attache à la détection des extremums de manière à optimiser l'amortissement. Un diviseur de tension auto-adaptatif avec protection contre les surtensions ainsi qu'un détecteur de pic de tension permettent de réaliser cette opération. Ces fonctions sont caractérisées en simulations et mesures. Le fonctionnement de l'ASIC est ensuite testé sur une structure mécanique, et les performances sont décrites et interprétées au chapitre 4. Le comportement multi-mode et la grande dynamique des signaux mécaniques traités sont des avancées par rapport à la bibliographie.

DISCIPLINE

Conception microélectronique.

INTITULE ET ADRESSE DU LABORATOIRE

Institut des Nanotechnologies de Lyon (INL) – UMR 5270

43, boulevard du 11 novembre 1918

Bâtiment Brillouin, Rez-de-chaussée

69622 Villeurbanne Cedex

MOTS-CLES

ASIC haute-tension, Contrôle de vibrations, Amortissement vibratoire, Dispositifs auto-adaptatifs, Piézoélectricité, Semi-passif, Système large-bande, Traitement non-linéaire.

KEYWORDS

High-voltage ASIC, Vibration control, Vibration damping, Self-adaptive devices, Piezoelectricity, Semi-active, Wideband system, Non-linear process.

TITLE

Study and design of "smart" miniaturized systems for non-linear vibration damping

ABSTRACT

Mechanical vibration damping has many applications in industry (machine tools), civil engineering (bridge construction), or aeronautics (stress during maneuvers). Current research tends mainly to use piezoelectric materials based methods.

A promising technique from the LGEF of INSA Lyon, is the vibration damping of mechanical structure by so-called SSDI method (for Synchronized Switch Damping on an Inductor). This semi-active damping technique uses a non-linear process to invert the voltage across a piezoelectric element. The element is used as sensor and actuator at a time.

The aim of this work is to achieve an integration of the electronic process with the SSDI voltage inversion in a microelectronic technology. It has ultimately to embed the electronic controller on the piezoelectric patch. The analysis of published damping techniques can

situate this work and identify key points of the SSDI technique. In the second chapter, several models are developed to compare and decide of the best architectural design choice. The third chapter presents an ASIC design in a technology with high voltage option. The ASIC consists of a high-voltage piezoelectric signal processing part and a low-voltage control part. The first function performs piezoelectric voltage reversing by mean of a passive RLC energy conversion circuit. The second function focuses on the extremum voltage detection circuit in order to optimize damping efficiency. A self-tuning voltage divider with over-voltage protection and a peak voltage detector can perform this operation. These functions are characterized by simulations and measurements. The ASIC operation is then tested with mechanical structures, and damping performances are described and interpreted in Chapter 4. The multimodal behavior and the mechanical signals high-dynamic are new contribution as regard in the bibliography.

Remerciements

Cette thèse s'est déroulée au sein de l'Institut des Nanotechnologies de Lyon d'octobre 2007 à juillet 2011, sur le campus de la Doua à Villeurbanne, plus précisément à l'université Claude Bernard. Ce laboratoire autrefois nommé LENAC... Cette précision aura de l'importance pour certains lecteurs, je n'en doute pas. Je profite de cette présentation du laboratoire pour remercier la direction, M. Hollinger, directeur de recherche au CNRS et directeur de l'INL, M. Morin, directeur de recherche au CNRS et directeur adjoint du site à l'université (durant ma thèse) ainsi que M. O'Connor, professeur à l'ECL, membre du comité de direction et chef de l'équipe conception microélectronique hétérogène, sans qui je n'aurais pu avoir la chance de faire cette thèse à Lyon.

Mes remerciements les plus sincères vont ensuite naturellement vers mon directeur de thèse, M. le professeur Lu, grâce à qui mon travail a pu bénéficier de conseils scientifiques très avisés et qui se reflètent très certainement dans la qualité de mes travaux. Un grand merci au professeur Guyomar du LGEF, l'un de mes deux encadrants, qui a bien voulu m'accorder un peu de son temps précieux tout au long de ma thèse, afin de m'éclairer sur les subtilités du domaine de la mécanique et me donner aussi quelques conseils appréciables dans le métier d'enseignant chercheur. Je ne peux que saluer l'aide très précieuse, le suivi et l'intérêt de mon encadrant principal de thèse au sein de l'INL, M. Quiquerez, maître de conférences à l'université. Merci Laurent pour ta sympathie et pour tous nos échanges scientifiques et personnels enrichissants.

Je tiens également à remercier M. le professeur Petit du LGEF, ainsi que M. Garbuio maître de conférences à l'INSA, pour leur intérêt à mes travaux, leur participation au projet et leur sympathie également.

Je remercie aussi la DGA, qui soutient le projet amortissement non-linéaire de vibration, par un contrat recherche exploratoire et innovation.

J'adresse toute ma reconnaissance à M. Nouet, professeur au LIRM de Montpellier et à M. Romain, maître de conférences au LIP6 de Paris, pour avoir accepté la tâche de rapporteur et avoir apporté leur regard critique sur mes travaux de thèse. Je remercie également le président de ce jury, M. Basrour, professeur au TIMA de Grenoble, pour m'avoir fait l'honneur d'accepter et de participer à cette soutenance.

Je souhaiterais aussi saluer les autres membres du laboratoire, personnels techniques et enseignants chercheurs, grâce à qui ces quatre années de travail ont su être agrémentées de bonne humeur, nécessaire à de bonnes conditions de travail.

Merci à vous aussi, les doctorants du LENAC, qui allez me suivre dans cette dure, mais ô combien enrichissante, ascension. Merci pour tous ces délires et moments de « décompression » passés ensemble dans un certain « esprit canal ».

Index des notations et abréviations

Acronymes :

a.u.	Unité arbitraire, grandeur sans unité
AMS	AustriaMicroSystems, fondeur de silicium
ASIC	Application Specific Integrated Circuit – Circuit intégré spécifique analogique
CCD	Charge-Coupled Device, type de capteur optique
CMP	Circuits Multi-Projets, courtier pour prototypage et faible série
CMS	Composants Montés en Surface
CNAM	Conservatoire National des Arts et Métiers
DGA	Direction Générale de l'Armement
DSP	Digital Signal Processor – Processeur de signal numérique
DVF	Direct Velocity Feedback – Algorithme par retour de vitesse directe
EAP	Polymère électro-actif
FEM	Finit Element Method – méthode par éléments finis (analyse numérique par)
GBF	Générateur Basse Fréquence
HP	Hewlett Packard
IMSC	Independent Modal Space Control – Contrôle modal
INL	Institut des Nanotechnologies de Lyon
INSA	Institut National des Sciences Appliquées
LGEF	Laboratoire de Génie Électrique et Ferroélectricité
LMS	Least Mean Squares – Algorithme des moindres carrés moyens
LMSSC	Laboratoire de Mécanique des Structures et Systèmes Couplés
LQR	Linear Quadratic Regulator – Algorithme de commande linéaire quadratique
MIMSC	Modified Independent Modal Space Control – Contrôle modal amélioré
MOSFET	Metal Oxid Semi-conductor Field Effect Transistor – Transistor à effet de champ, métal oxyde semi-conducteur

PCI	Peripheral Component Interconnect – bus de périphériques informatiques
PID	Proportionnel Intégral Dérivé, Contrôle de régulation PID
PZT	Titano-zirconate de plomb, matériau piézoélectrique de synthèse
REI	Recherche Exploratoire et Innovation
SSD	Synchronized Switch Damping – Amortissement par commutation synchronisées
SSDI	SSD on Inductor – SSD sur inductance
SSDS	SSD on Short-circuit – SSD sur court-circuit
SSDV	SSD on Voltage sources – SSD sur sources de tension
UCBL	Université Claude Bernard de Lyon

Grandeurs et abréviations liés aux propriétés de la piézoélectricité :

CCE	Coefficient de conversion électromécanique
c^E	Raideur élastique du matériau à champ électrique nul, en $[\text{N.m}^{-2}]$,
e	Constante liant la charge électrique et la déformation à champ nul, en $[\text{C.m}^{-2}]$,
F1	Fonction de conversion électromécanique
F_p	Force de compression, en $[\text{N}]$
G^-	Barycentre des charges électriques négatives
G^+	Barycentre des charges électriques positives
J	Densité surfacique de charge électrique, en $[\text{C.m}^{-2}]$
k_t	Coefficient de couplage électromécanique
P_0	Polarisation électrique
Q	Champ électrique, en $[\text{V.m}^{-1}]$
S	Déformation relative, en $[\text{m.m}^{-1}]$
T	Contrainte, en $[\text{N.m}^{-2}]$
ZD	Zone d'inserts piézoélectriques, proche de l'encastrement droit de la plaque
ZG	Zone d'inserts piézoélectriques, proche de l'encastrement gauche de la plaque
ZH	Zone d'inserts piézoélectriques, proche de l'encastrement haut de la plaque
ε^S	Permittivité électrique du matériau à déformation nulle, en $[\text{F.m}^{-1}]$

Grandeurs liées au domaine mécanique :

C_{Aj}	Coefficient d'amortissement équivalent du $j^{\text{ième}}$ mode de flexion, en $[\text{N.m}^{-1}.\text{s}^{-1}]$
C_S	Coefficient d'amortissement d'un objet ponctuel, en $[\text{N.m}^{-1}.\text{s}^{-1}]$
E_C	Énergie cinétique, en [J]
E_F	Énergie fournie au système, en [J]
e_b	Demi-épaisseur de la poutre de test, en [m]
e_p	Épaisseur des inserts piézoélectriques, en [m]
E_{PE}	Énergie potentielle élastique, en [J]
E_T	Énergie transférée dans le domaine électrique, en [J]
E_V	Pertes visqueuses, en [J]
E_y	Champ électrique suivant l'axe y de la poutre, en $[\text{V.m}^{-1}]$
F_0	Fonction de vibration mécanique
F_e	Force appliquée aux structures sous test, en [N]
f_{max}	Fréquence maximale des oscillations mécanique, en [Hz]
h	Nombre de mode propre suivant l'axe horizontal trouvé, sans unité
j	Indice du $j^{\text{ième}}$ mode de vibration, sans unité
K_b	Raideur équivalente des éléments piézoélectriques, en $[\text{N.m}^{-1}]$
K_j	Raideur modale équivalente du $j^{\text{ième}}$ mode de flexion, en $[\text{N.m}^{-1}]$
K_p	Raideur équivalente de la poutre, en $[\text{N.m}^{-1}]$
K_S	Raideur d'un objet ponctuel, en $[\text{N.m}^{-1}]$
l	Largeur de la poutre de test, en [m]
L_b	Longueur de la poutre de test, en [m]
L_p	Longueur de l'insert piézoélectrique, en [m]
M_j	Masse modale dynamique équivalente du $j^{\text{ième}}$ mode de flexion, en [kg]
M_S	Masse d'un objet ponctuel, en [kg]
N	Nombre total de modes considéré par le modèle, sans unité

$r(x, t)$	Déplacement modale, en [m]
$S(x)$	Déformation mécanique, en [m]
$T_{\text{méca}}$	Période des oscillations mécanique, en [s]
U	Amplitude crête des oscillations mécaniques en extrémité d'une poutre, en [m]
$u(t)$	Déplacement mécanique en fonction du temps, en [m]
$\dot{u}(t)$	Vitesse de déplacement, en [m.s ⁻¹]
$\ddot{u}(t)$	Accélération du déplacement, en [m.s ⁻²]
u_0	Amplitude maximale du déplacement mécanique, en [m]
ν	Nombre de mode propre suivant l'axe vertical trouvé, sans unité
x_p	Distance entre l'encastrement et l'insert piézoélectrique, en [m]
Y	Module d'Young d'un matériau, en [Pa]
α_j	Coefficient de conversion électromécanique, j ^{ième} mode de flexion, en [N.V ⁻¹]
α_p	Pente de la décroissance du déplacement mécanique par action SSDI, en [m.s ⁻¹]
β_j	Coefficient d'application de la force du j ^{ième} mode de flexion, sans unité
Δt_f	Temps de décroissance, 90% à 10% de l'amplitude maximale de $u(t)$, en [s]
$\Phi(x)$	Coordonnée modale de la déformée, sans unité
ρ_b	Masse volumique de la poutre, en [kg.m ⁻³]
τ_{nat}	Constante de temps de décroissance naturelle de l'amplitude $u(t)$, en [s]
ω	Pulsation des oscillations mécanique, en [rad.s ⁻¹]

Grandeurs et abréviations liées au domaine électrique :

a	Nombre entier, total des états du diviseur de tension, sans unité
b	Rapport maximal de division, sans unité
C_{0i}	C_0 respectant le courant maximal admissible lors de l'inversion, en [F]
C_{0rend}	C_0 respectant le rendement minimal, en [F]
C_{0ti}	C_0 respectant la durée d'inversion maximale, en [F]
C_0	Capacité équivalente en court-circuit des éléments piézoélectriques, en [F]
C_j	Capacité parasite de diode, diviseur de tension, en [F]
C_{load}	Capacités de charge en sortie du diviseur de tension, en [F]
C_p	Condensateur pour l'amortissement passif, en [F]
C_r	Condensateur de charge, fonction temporisation, en [F]
C_t	Condensateur externe, détecteur d'enveloppe, en [F]
Dec	État de transition vers une gamme de division supérieure, diviseur de tension
E_0	Énergie initiale stockée dans l'insert piézoélectrique avant inversion, en [J]
E_i	Énergie finale stockée dans l'insert piézoélectrique avant inversion, en [J]
E_r	Énergie dissipée par effet Joule dans le circuit d'inversion, en [J]
E_t	Énergie perdue par tension de seuil de conduction, en [V]
F2	Fonction de conversion de puissance
$I(t)$	Courant circulant entre les électrodes des éléments piézoélectriques, en [A]
I_{char}	Source de courant pour la charge de C_r , fonction temporisation, en [A]
i_{Cr}	Courant de charge de C_r , fonction temporisation, en [A]
I_{Li}	Courant limite admissible par l'inductance, en [A]
I_{lim}	Courant limite admissible par le circuit d'inversion, en [A]
Inc	État de transition vers la plus petite gamme de division, diviseur de tension
I_{pic}	Courant maximal lors de l'inversion de tension, en [A]
i_{pol}	Courant de polarisation externe, paires différentielles, en [A]

I_{sat}	Courant limite de saturation de T_1 et T_2 , en [A]
k	Nombre entier, facteur de périodicité $I(t)$ courant nul, sans unité
k_1	Constante arbitraire 1, résolution équation différentielle de $V_c(t)$, sans unité
k_2	Constante arbitraire 2, résolution équation différentielle de $V_c(t)$, sans unité
L_a	Inductance pour l'amortissement passif, en [H]
L_i	Inductance pour l'amortissement SSDI, en [H]
m	Numéro de l'état courant du diviseur de tension parmi a , sans unité
N_A	Nœud de connexion direct haute-tension, diviseur de tension
N_B	Nœud de connexion intermédiaire haute-tension, diviseur de tension
N_C	Nœud de connexion basse-tension, diviseur de tension
Over	État de protection contre les surtensions, diviseur de tension
r	Résistance équivalente aux pertes par effet Joule de l'interrupteur SSDI, en [Ω]
R	Résistance pour l'amortissement passif, en [Ω]
R'	Résistance de polarisation interne, source de courant, temporisation, en [Ω]
r_1	Atténuation au nœud N_A , diviseur de tension, sans unité
r_2	Atténuation au nœud N_B , diviseur de tension, sans unité
r_3	Atténuation au nœud N_C , diviseur de tension, sans unité
R_D	Résistance de limitation du rendement en tension η , en [Ω]
rend	Rendement théorique en tension V_i/V_0 , sans unité
R_{Li}	Résistance série de l'inductance L_i , en [H]
r_m	Valeur de la $m^{\text{ième}}$ atténuation du diviseur de tension, sans unité
R_{on}	Résistance équivalente en mode triode de $T_{1,2}$, en [Ω]
R_t	Résistance externe, détecteur d'enveloppe, en [F]
R_{TIM}	Résistance de polarisation externe, source de courant, temporisation, en [Ω]
SP	Solution particulière, résolution équation différentielle de $V_c(t)$, en [V]
t_0	Début de l'inversion de tension SSDI, en [s]

$t_{i \max}$	Durée maximale de l'inversion, en [s]
t_i	Durée effective de l'inversion de tension SSDI, en [s]
t_{pw}	Durée de commande (fermé) des transistors T_1 et T_2 , en [s]
V_0	Tension piézoélectrique avant inversion de tension, [V]
$V_c(t)$	Tension aux bornes des électrodes des éléments piézoélectriques, en [V]
$V_{Dout}(t)$	Tension en sortie du diviseur de tension, en [V]
$V_e(t)$	Tension en entrée du diviseur de tension, en [V]
V_i	Tension piézoélectrique après inversion de tension, [V]
V_N	Nœud interne, temporisation, sans unité
V_R	Rampe de tension, fonction temporisation, en [V]
V_t	Tension de seuil de diode dans l'interrupteur SSDI, en [V]
V_{TH}	Seuil de tension haut, transition des états du diviseur de tension, en [V]
V_{TL}	Seuil de tension bas, transition des états du diviseur de tension, en [V]
z	Coefficient de proportionnalité capacité parasite, diviseur de tension, sans unité
Z_e	Impédance électrique passive pour dissipation d'énergie, en [Ω]
$\delta\eta$	Perte du rendement en tension de l'inversion SSDI, sans unité
ϕ	Rendement énergétique, rapport E_i/E_0 , sans unité
η	Rendement en tension, rapport V_i/V_0 , sans unité
θ	Retard de détection des pics de tension, en [rad]
τ_{RC}	Constante de temps du circuit $R_t C_t$ parallèle, en [s]
ω_c	Fréquence de coupure du filtre dans le diviseur de tension, en [rad.s^{-1}]
ω_{par}	Fréquence des oscillations parasites, diviseur de tension, en [rad.s^{-1}]

Grandeurs et abréviations liés à la technologie microélectronique :

C_1	Capacité 1 du diviseur de tension, en [F]
C_2	Capacité 2 du diviseur de tension, en [F]
C_3	Capacité 3 du diviseur de tension, en [F]
C_{ox}	Capacité surfacique de l'oxyde de grille d'un transistor MOS, en [F.m ⁻¹]
C_{T2}	Capacité de charge sur V_{out2} , modèle petit signal, en [F]
C_{T3}	Capacité de charge sur V_{out} , modèle petit signal, en [F]
D_1	Diode de commutation SSDI 1
D_2	Diode de commutation SSDI 2
F3	Fonction de détection d'extrémum de tension
F4	Fonction de commande des commutations SSDI
g_{ds}	Transconductance drain-source, en [S]
g_m	Gain de transconductance des transistors MOSFET, sans unité
i_M	Courant drain-source des transistors MOSFET, en [A]
L	Longueur active de grille d'un transistor MOS [V]
M_n	Transistor de type NMOS
M_p	Transistor de type PMOS
n	type de dopant, les porteurs de charges majoritaires sont les électrons
p	type de dopant, les porteurs de charges majoritaires sont les trous
R_0	Résistance de filtrage, diviseur de tension, en [Ω]
T_1	Transistor de commutation SSDI 1
T_2	Transistor de commutation SSDI 2
V_B	Seuil bas de tension, diviseur de tension, en [V]
V_d	Tension entre drain et masse des transistors MOSFET, en [V]
V_{DD}	Tension d'alimentation positive, en [V]
V_{diff}	Tension différentielle d'entrée du détecteur de pic de tension, en [V]

V_{Dout}	Tension en sortie du diviseur de tension, en [V]
V_{ds}	Tension entre drain et source des transistors MOSFET, en [V]
V_{e-}	Entrée négative, détecteur de pic de tension, en [V]
V_{e+}	Entrée non positive, détecteur de pic de tension, en [V]
V_g	Tension entre grille et masse des transistors MOSFET, en [V]
V_{gd}	Tension entre grille et drain des transistors MOSFET, en [V]
V_{gs}	Tension entre grille et source des transistors MOSFET, en [V]
V_H	Seuil haut de tension, diviseur de tension, en [V]
V_M	Tension de mode commun maximale, détecteur de pic de tension, en [V]
V_m	Tension de mode commun minimale, détecteur de pic de tension, en [V]
V_{out}	Tension de mémorisation, détecteur de pic de tension, en [V]
V_{out1}	Nœud de sortie étage différentiel, détecteur de pic de tension, en [V]
V_{out2}	Nœud de sortie étage d'amplification, détecteur de pic de tension, en [V]
V_{thN}	Tension de seuil de conduction du canal type N d'un transistor MOS, en [V]
V_{thP}	Tension de seuil de conduction du canal type P d'un transistor MOS, en [V]
V_{TIM}	Seuil de tension du comparateur, fonction temporisation, en [V]
W	Largeur active de grille d'un transistor MOS, en [m]
μ_n	Mobilité des électrons dans le canal des transistors NMOS, en [$m^2.V^{-1}.s^{-1}$]
μ_p	Mobilité des trous dans le canal des transistors PMOS, en [$m^2.V^{-1}.s^{-1}$]

Signaux numériques dans l'ASIC :

A à F	Sorties de lecture des états internes
B	Résultat de comparaison seuil bas, diviseur de tension
b ₀ à b ₆	Bits de sortie du registre de configuration
D _{IN}	Donnée série en entrée du registre à décalage, registre de configuration
D _{OUT}	Donnée série en sortie du registre à décalage, registre de configuration
H	Résultat de comparaison seuil haut, diviseur de tension
L _m	État <i>m</i> du diviseur de tension
M	Détection d'un pic de tension
Mem	État de mémoire, pic de tension atteint, fonction temporisation
O	Forçage inversion de tension
R _{div}	Réinitialisation des condensateurs du diviseur de tension
S _C	Sortie du comparateur, durée t _{pw} atteinte, fonction temporisation
S _{ext}	Forçage du signal S _{int}
S _{int}	Sortie générée en interne d'une fonction quelconque
S _m	Vecteur de <i>m</i> bits, commande des états du diviseur de tension
S _{sel}	Entrée de sélection multiplexeur MUX
SW	Commande des transistors MOS de commutation SSDI
S _x	Sortie du multiplexeur MUX
T _{CLK}	Horloge de synchronisation du registre de configuration
T _{RN}	Reset général
W à Z	Entrées de forçage fonctions internes

Sommaire :

Résumé / Abstract	p.2
Remerciements	p.5
Index des notations et abréviations	p.7
Introduction générale.....	p.22
Chapitre I : Méthodes d’amortissement mécanique de vibration.....	p.25
I.1. Généralités sur l’amortissement mécanique	p.26
I.1.1. Définition	p.26
I.1.2. Approche matériaux.....	p.27
I.1.3. Principes de la piézoélectricité.....	p.29
I.2. Amortissement électromécanique actif et passif.....	p.32
I.2.1. Amortissement passif.....	p.32
I.2.2. Amortissement actif.....	p.36
I.3. Amortissement semi-actif.....	p.39
I.3.1. Approche.....	p.39
I.3.2. État de l’art.....	p.40
I.3.3. Bilan.....	p.42
I.4. Technique d’amortissement SSDI	p.44
I.4.1. Inversion de la tension piézoélectrique.....	p.44
I.4.2. Mise en œuvre à l’aide de composants discrets.....	p.45
I.4.3. Modèle électromécanique compact.....	p.47
I.4.4. Bilan.....	p.51

Chapitre II : Définition de l'espace de conception de l'ASIC	p.52
II.1. Choix d'une architecture microélectronique	p.53
II.1.1. Motivation et but	p.53
II.1.2. Étude fonctionnelle.....	p.55
II.1.3. Présentation de l'interface de puissance SSDI	p.57
II.1.4. Critères de détection des extrémums de tension.....	p.60
II.2. Optimisation de l'interface de puissance.....	p.66
II.2.1. Modèle linéaire durant la phase d'inversion.....	p.67
II.2.2. Analyse énergétique	p.70
II.2.3. Critères de performances et contraintes.....	p.73
II.2.4. Critères d'optimisation	p.74
II.2.5. Expression de l'espace de conception	p.77
II.3. Circuit ASIC générique	p.80
II.3.1. Stratégie de commutation	p.80
II.3.2. Variations de C_0	p.82
II.3.3. Circuit générique	p.84
II.3.4. Bilan	p.89
Chapitre III : Mise en œuvre dans un composant ASIC	p.90
III.1. Mise en œuvre du système de contrôle global	p.91
III.1.1. Interface de puissance	p.91
III.1.2. Contrôle des commutations SSDI	p.92
III.2. Diviseur de tension auto-adaptatif	p.93
III.2.1. Principe de fonctionnement.....	p.93
III.2.2. Dimensionnement	p.97
III.2.3. Optimisation dans l'ASIC	p.98
III.3. Détecteur de pic de tension	p.100
III.3.1. Principe de fonctionnement.....	p.100
III.3.2. Dimensionnement	p.102
III.3.3. Optimisation dans l'ASIC	p.105
III.4. Temporisation monostable	p.108
III.4.1. Principe de fonctionnement.....	p.108
III.4.2. Dimensionnement	p.109

III.5. Registres de configuration.....	p.111
III.6. Caractérisation.....	p.112
III.6.1. Principales caractéristiques de l'ASIC.....	p.112
III.6.2. Inversion de la tension SSDI.....	p.116
III.6.3. Temporisation monostable.....	p.117
III.6.4. Diviseur de tension.....	p.118
III.6.5. Détecteur de pic de tension.....	p.120
III.6.6. Fonctionnement global du dispositif électromécanique.....	p.121
III.6.7. Bilan ASIC et fonctions.....	p.123
Chapitre IV : Mesures d'amortissement sur un système de type plaque.....	p.125
IV.1. Dispositif expérimental.....	p.126
IV.1.1. Système mécanique complexe.....	p.126
IV.1.2. Les zones d'amortissement.....	p.126
IV.1.3. ASIC sous test.....	p.128
IV.1.4. Configurations expérimentales.....	p.129
IV.2. Caractérisation de la plaque.....	p.131
IV.2.1. Simulation des modes propres par méthode des éléments finisp.	131
IV.2.2. Caractérisation expérimentale en excitation forcée harmoniquep.	135
IV.2.3. Comparaison et discussion.....	p.137
IV.2.4. Caractérisation des oscillations libres amorties.....	p.140
IV.3. Performances du système d'amortissement.....	p.144
IV.3.1. Contrôle optimal des zones d'amortissement.....	p.144
IV.3.2. Influence du contrôle de vibration sur la réponse fréquentiellep.	150
IV.3.3. Évolution de l'amortissement en fonction de l'amplitude.....	p.154
IV.3.4. Adaptabilité aux variations de la caractéristique.....	p.157
IV.4. Performances du système d'amortissement en oscillations libres amortiesp.	159
IV.4.1. Oscillations harmoniques transitoires.....	p.159
IV.4.2. Réponse impulsionnelle.....	p.164
IV.4.3. Bilan.....	p.166
Conclusions et perspectives.....	p.167

Annexe I : Inductances CMS Tyco Electronics série 3631	p.172
Annexe II : Caractéristiques de la technologie CMOS AMS H35B4	p.178
Annexe III : Liste des ports d'entrées / sorties de l'ASIC	p.180
Annexe IV : Schéma électrique de la carte PCB d'accueil de l'ASIC.....	p.184
Annexe V : Modèle FEM des fréquences propres de la plaque de test.....	p.186
Liste des figures	p.190
Liste des tableaux	p.196
Liste des publications	p.198
Références bibliographiques	p.199

Introduction générale

De nombreuses techniques d'amortissement de vibration mécaniques se sont développées ces dernières années. En effet, bon nombre de systèmes mécaniques en mouvement se trouvent soumis à des problèmes de vibrations. Ces vibrations peuvent entraîner divers désagréments tel que le vieillissement prématuré des pièces constituant le système vibrant et aller jusqu'à une perte de fonctionnalité du système, voire la rupture mécanique des composants de ce dernier. Bien que ces problèmes soient d'un ordre matériel et pouvant causer des surcoûts de maintenance en industrie par exemple, les vibrations causent également des nuisances sonores qui cette fois touchent l'utilisateur ou le personnel opérant à proximité des systèmes en fonctionnement. Ces nuisances motivent donc nombre d'innovation en matière de réduction de vibrations mécaniques et de réduction de contraintes mécaniques. Les domaines de l'industrie (machines outils) ainsi que le grand public (effets acoustiques, transports) sont ainsi concernés.

Le présent manuscrit s'inscrit dans le cadre d'une thèse de doctorat soutenue par la « Direction Générale de l'Armement » française (DGA) sous forme d'un projet « Recherche Exploratoire et Innovation » (REI). Ce projet est intitulé « Amortissement non linéaire de vibration par systèmes intelligents » et est mené conjointement par le Laboratoire de Génie Électrique et Ferroélectricité (LGEF) de l'Institut National des Sciences Appliquées (INSA) de Lyon, le Laboratoire de Mécanique des Structures et Systèmes Couplés (LMSSC) du Centre National des Arts et Métiers (CNAM) de Paris et l'Institut des Nanotechnologies de Lyon (INL) de l'Université Claude Bernard de Lyon (UCBL) où les travaux de thèse présentés ici ont été principalement réalisés.

Les techniques « Synchronized Switch Damping » (SSD), initialement développées par le LGEF, utilisent des éléments piézoélectriques qui se trouvent tantôt laissés en circuit ouvert et tantôt mis en court-circuit. Ces commutations sont réalisées de façon synchrone avec les vibrations. Il en résulte un décalage entre la tension piézoélectrique et la déformation dans la structure qui se traduit en un amortissement mécanique. Cette technique de traitement non linéaire montre des résultats d'amortissements meilleurs que pour d'autres techniques d'amortissement purement passives. Nous présenterons plus loin dans ce document, que les méthodes d'amortissement peuvent en effet être classées en deux principales familles active et

passive. Les techniques SSD ont ensuite évolué pour donner d'autres variantes, telle que SSDI (SSD on Inductor), sur le même principe des commutations synchronisées.

Le LGEF a pris à sa charge les aspects théoriques et expérimentaux liés au contrôle non-linéaire, aux stratégies de commande des commutations SSD ainsi qu'aux matériaux utilisés et leurs modes de couplage. Le LMSSC a pris à sa charge l'analyse du comportement vibratoire des structures et leurs modélisations ainsi que l'analyse des stratégies de placement sur les structures ciblées. L'INL intervient finalement sur l'étude, le développement et la conception en technologie microélectronique des fonctions électroniques du contrôleur SSD associé aux éléments piézoélectriques. Le contrôleur est implémenté sous forme d'un circuit intégré analogique spécifique (ASIC).

Cette thèse s'attache au domaine de la microélectronique associé à un système multi-physique. L'ASIC réalisé implémente la technique SSDI et est capable de détecter les instants de commutation ainsi que de réaliser les commutations de manière à optimiser l'amortissement. Les points clés à explorer sont le traitement du signal analogique, les niveaux de « haute-tension » qui peuvent s'élever à quelques dizaines de volts, la nature large-bande des signaux relevés sur les éléments piézoélectriques ainsi que la consommation électrique de l'électronique.

La consommation est en effet un paramètre très important si nous souhaitons disposer d'un maximum de l'énergie disponible dans la structure électromécanique pour réaliser l'amortissement. L'auto-alimentation de l'ASIC peut également être envisagée afin de rendre le système complètement autonome. En effet, les capteurs piézoélectriques ainsi que les fonctions microélectroniques intégrées, réalisant la manipulation de faible énergie électrique, sont déjà présents et pourraient être utilisés à cette fin. Ce dernier point n'est cependant pas abordé dans ce manuscrit bien que comme il le sera montré par la suite, la conception de l'ASIC réalisé a pris en compte les pistes nécessaires à l'ouverture vers les applications de type récupération d'énergie.

Le premier chapitre de ce rapport est consacré à une présentation des principes, avantages et inconvénients des méthodes d'amortissement mécanique de vibration. L'objet de cette thèse couvrant les méthodes associées aux éléments piézoélectriques couplés, un rappel de bases sur la piézoélectricité sera énoncé.

Le deuxième chapitre présente le développement de l'ASIC microélectronique. La modélisation du système électromécanique, nécessaire à la suite des étapes de conception, y est présentée. Le bilan énergétique est ensuite étudié et permet d'exprimer par la suite l'espace de conception accessible pour la réalisation de l'ASIC. Les différentes stratégies de commutation envisagées par simulation au niveau système sont enfin présentées afin d'adresser la problématique large bande des signaux issus du capteur piézoélectrique.

Un troisième chapitre expose les solutions retenues pour la conception de l'ASIC. Tout d'abord, les blocs fonctionnels et les besoins associés sont mis en lumière. Le dimensionnement ainsi que l'optimisation au niveau transistor sont ensuite détaillés. Enfin, la caractérisation des différentes fonctions est présentée en rappelant les besoins initiaux.

Un quatrième et dernier chapitre montre la mise en œuvre de l'ASIC en regard des résultats expérimentaux réalisés à l'INL et au LGEF. La validation de la preuve de concept et quelques valeurs d'amortissement avec l'ASIC en fonctionnement sont données.

Chapitre I :

Méthodes d'amortissement mécanique de vibration

Ce premier chapitre dresse un état de l'art comparatif des diverses méthodes d'amortissement mécanique existantes. En partant des techniques utilisant des matériaux absorbants jusqu'aux méthodes utilisant les matériaux piézoélectriques, les principes, les avantages et inconvénients de chacune des méthodes présentées seront énoncés.

1. Généralités sur l'amortissement mécanique

1.1. Définition

L'amortissement mécanique définit une fonction capable de réduire ou de supprimer les vibrations ou les oscillations contenues dans une structure. La nature des vibrations dépend de la structure (matériau, dimensions), des conditions aux limites de cette dernière et des conditions d'excitation. Les vibrations mécaniques induisent potentiellement plusieurs types de nuisances pour la structure elle-même et pour son environnement. Nous pouvons citer par exemple :

- le mouvement de pièces de la structure empêchant son usage correct ou présentant un danger à son voisinage ;
- les contraintes mécaniques subies en certaines zones localisées de la structure amenant les matériaux à dépasser leur seuil de fatigue, de déformation irréversible, ou de rupture ;
- la vitesse de déplacement provoquant une émission acoustique.

L'objectif de l'amortissement mécanique est de réduire les amplitudes de l'un de ces trois paramètres : déplacement, contrainte, vitesse pour ramener la structure dans une fonction assurant sécurité et compatibilité avec l'environnement.

D'un point de vue physique, la structure mécanique est ramenée à l'étude d'un système. Nous considérons qu'il subit un apport d'énergie ou de puissance par l'excitation. Dans le cadre de systèmes mécaniques linéaires, la capacité de stockage d'énergie vibratoire peut être décrite par une fonction harmonique. L'énergie stockée est maximale quand l'excitation possède des composantes fréquentielles qui correspondent aux pics de la fonction harmonique. Les sources de dissipation énergétiques peuvent être viscoélastiques, de type non-linéaire, dissipations acoustiques, défauts d'encastrement, ou bien encore frottements.

L'amortissement mécanique consiste à ajouter à la structure des dispositifs qui réduisent l'énergie stockée. D'un point de vue fonctionnel, l'amortissement nécessite d'être important quand l'énergie stockée est importante, et peut être moindre aux faibles énergies.

1.2. Approche matériaux

1.2.1. Viscoélasticité

La méthode la plus simple et également la plus ancienne pour effectuer un amortissement vibratoire consiste à avoir recours à des matériaux viscoélastiques. Le mode d'action consiste à absorber l'énergie mécanique présente dans une structure et à la convertir en énergie thermique. Les matériaux viscoélastiques [1] utilisés sont généralement soit des polymères (plastiques, élastomères) [1], [2] soit des céramiques (verre, vernis) [1]. Un exemple de réalisation de la vie courante est le ski [3]. Ces derniers sont constitués d'une structure en sandwich faite d'un empilement de diverses couches de fibres (verre, kevlar, ...) et d'élastomères. Nous pourrions également citer l'utilisation de ces matériaux viscoélastiques dans les automobiles [4] ou l'isolation acoustique [5] mais cette fois-ci pour le contrôle acoustique.

Ces méthodes présentent cependant les principales limitations suivantes :

- leur efficacité n'est effective que dans le domaine des basses fréquences (faible raideur),
- elles induisent un surplus d'encombrement non négligeable par rapport aux dimensions du système initial,
- leur efficacité se trouve également variable par les phénomènes physiques tels que la température (propriétés moléculaires du matériau dissipatif changeantes en fonction de ce paramètre), la vitesse de sollicitation et la déformation [6].

1.2.2. Décalage des fréquences propres d'oscillation

Une autre méthode consiste à modifier la masse ou la raideur d'un système à partir de la connaissance de ses paramètres mécaniques. L'action consiste à décaler ses modes de résonance en dehors de la bande de fréquence d'excitation. Ce procédé revient en quelque sorte à une désadaptation d'impédance. Un exemple des années 1940 est le pont suspendu de Tacoma [7] dans l'état de Washington aux États Unis. L'excitation forcée sous l'influence d'un vent d'un peu moins de 70km/h provoqua l'effondrement de la structure.



*Figure 1.1 : Pont de Tacoma sous l'effet du vent,
État de Washington (USA), 1940.*

À l'époque, les études aérodynamiques du génie civil ne prenaient pas en compte les phénomènes de résonance lors de la conception des ouvrages. Les mouvements de torsion auraient pu être évités si la raideur du pont avait été calculée en fonction de la vitesse des vents locaux ou en travaillant le carénage aérodynamique de la structure.

Ce type de méthode présente néanmoins deux désavantages. Il nécessite en effet la connaissance ou l'identification des modes de vibration du système ciblé ainsi que le type d'excitation auquel il est soumis [8].

1.2.3. L'amortissement par couplage électromécanique

Une alternative aux méthodes d'amortissement présentées ci-dessus consiste à ajouter des matériaux électro-mécaniquement couplés aux structures mises en œuvre. Le couplage électromécanique permet une transduction réversible entre le domaine mécanique et le domaine électrique. Ainsi une action dans le domaine mécanique possède une résultante dans le domaine électrique et vice-et-versa.

Les éléments piézoélectriques correspondent tout à fait à ce type de besoin. Ils permettent en effet de réaliser une action d'amortissement en tirant partie de l'énergie mécanique transférée dans le domaine électrique. La section I.1.3 fait l'objet d'un rappel sur le phénomène physique de la piézoélectricité. Les techniques d'amortissement utilisant des

matériaux piézoélectriques sont couramment classées en deux catégories. La répartition se fait en fonction d'un critère énergétique lié au processus d'amortissement mis en jeu. La première catégorie est dite passive à condition de n'utiliser aucune source d'énergie externe dans la chaîne de traitement. La seconde catégorie est au contraire qualifiée d'active si elle fait appel à des sources d'énergie externes permettant d'actionner la structure mécanique. Ces deux types d'approches feront l'objet du sous-chapitre 2.

Les transducteurs électromagnétiques sont également utilisés en amortissement de vibration [9-11]. Ils peuvent être employés suivant les mêmes modes opératoires que les transducteurs piézoélectriques. À l'instar des transducteurs piézoélectriques qui sont adaptés au travail en contrainte mécanique, les transducteurs électromagnétiques nécessitent de grandes vitesses de débattement [10] pour être utilisables. Ils nécessitent également l'emploi d'un référentiel mécanique fixe pour soutenir la force exercée sur la bobine.

1.3. Principes de la piézoélectricité

1.3.1. Historique et présentation

La piézoélectricité est la propriété que possèdent certains matériaux à se polariser électriquement sous l'action d'une force mécanique (effet direct) et, réciproquement, de se déformer lors de l'application d'un champ électrique (effet inverse). Si un bloc de matériau piézoélectrique parallélépipédique est métallisé sur deux faces opposées, la charge apparaissant entre ces deux bornes est proportionnelle à certaines projections de la déformation mécanique appliquée sur le bloc. Ces propriétés ont été découvertes par Pierre et Paul-Jacques Curie en 1880.

De manière plus générale, l'effet direct peut être utilisé pour des applications de type capteur (de pression, de déplacement, de son) tandis que l'effet inverse permet de réaliser des actionneurs (buse d'impression, micro et nano-moteurs, haut-parleur). Les deux effets peuvent aussi être observés dans une même application (échographie, sonar). Les procédés d'amortissement de vibration mécanique utilisant des éléments piézoélectriques sont basés soit sur l'effet inverse seulement soit sur les deux effets à la fois.

1.3.2. Propriétés cristallographiques

Les matériaux piézoélectriques se présentent sous différentes formes :

- sous la forme de cristaux naturels (comme le quartz et la topaze),
- sous la forme d'oxydes à structure dite pérovskite (comme le PZT, pour titanate-zirconate de plomb, ou encore le titanate de baryum),
- sous la forme de polymères électro-actifs, EAP en anglais, (polyvinylidène difluorure par exemple).

Les oxydes sont les plus couramment utilisés dans le cas de l'amortissement de vibration mécanique. Ils présentent en effet un meilleur couplage électromécanique que les cristaux naturels ou les polymères.

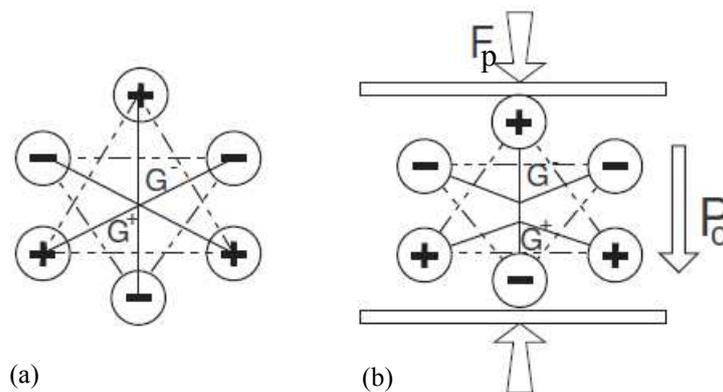


Figure 1.2 : (a) Maille cristalline du quartz au repos dont les barycentres électriques G^+ et G sont co-localisés.

(b) Cristal soumis à une force F_p séparant les barycentres électriques [12].

L'effet piézoélectrique a une origine microscopique liée à la répartition des charges dans le motif du matériau. Dans le cas du quartz (figure 1.2), la maille du cristal est cubique. Son réseau cristallin présente des atomes de silicium portant une charge électrique positive, et des atomes d'oxygène portant une charge électrique négative. Les atomes de silice sont répartis à chaque sommet d'un tétraèdre et connectés à quatre atomes d'oxygène.

En l'absence de déformation (figure 1.2.a), le centre de gravité des charges négatives est confondu avec le centre de gravité des charges positives. Le dipôle global est donc neutre. Lorsqu'il est soumis à une force de compression F_p (figure 1.2.b), les barycentres des charges positives G^+ et négatives G^- s'écartent. Il en résulte une polarisation P_0 orientée suivant l'axe formé par les barycentres.

À l'échelle macroscopique, les matériaux piézoélectriques ne présentent par défaut que peu de polarisations naturelles. Le matériau n'est en effet pas homogène et est constitué de mailles multi-cristallines dont les axes de polarisation électrique sont différents d'une région à l'autre. Pour les matériaux à base d'oxyde, il convient lors des phases de fabrication des ces matériaux de faire apparaître une polarisation suivant une direction privilégiée. Pour cela le matériau est soumis à un champ électrique intense de l'ordre du $\text{kV}\cdot\text{mm}^{-1}$ [13].

1.3.3. Équations de la piézoélectricité

Des équations microscopiques linéarisées, il est déduit les équations trans-domaines d'un bloc de matériau. Les équations de la piézoélectricité permettent de traduire la relation de couplage entre domaine mécanique et domaine électrique. Les deux grandeurs électriques couramment utilisées sont J et Q respectivement la densité surfacique de charge électrique en $[\text{C}\cdot\text{m}^{-2}]$ et le champ électrique en $[\text{V}\cdot\text{m}^{-1}]$. Les deux grandeurs associées au domaine mécanique sont respectivement S et T la déformation relative du matériau en $[\text{m}\cdot\text{m}^{-1}]$ et la contrainte en $[\text{N}\cdot\text{m}^{-2}]$. Ces grandeurs sont liées entre elles par un jeu de coefficients [14] :

$$\left\{ \begin{array}{l} T = c^E \cdot S - e^t \cdot Q \\ J = e \cdot S + \varepsilon^S \cdot Q \end{array} \right. \quad \begin{array}{l} \text{Eq. 1-1} \\ \text{Eq. 1-2} \end{array}$$

Les coefficients piézoélectriques sont :

- c^E , la raideur élastique du matériau à champ électrique nul, en $[\text{N}\cdot\text{m}^{-2}]$,
- e , la constante qui lie la charge électrique à la déformation à champ nul, en $[\text{C}\cdot\text{m}^{-2}]$,
- ε^S , la permittivité électrique du matériau à déformation nulle, en $[\text{F}\cdot\text{m}^{-1}]$.

L'écriture des équations 1-1 et 1-2 est issue de la linéarisation de phénomènes non-linéaires. Le jeu d'équation n'est valable que dans le cas de faibles déformations autour d'un jeu de valeurs statiques. En outre, les matériaux piézoélectriques sont polarisés électriquement suivant un axe géométrique privilégié et soumis à une contrainte orthogonale ou parallèle à cet axe. Les grandeurs physiques présentées dans ces équations, sont des tenseurs, fonctions de la géométrie du matériau employé et de sa polarisation électrique. L'exposant t indique la transposée du tenseur associée à l'exposant (Eq. 1-2).

1.3.4. Couplage électromécanique

Le coefficient de couplage électromécanique k_t d'un matériau piézoélectrique définit la capacité du matériau à transformer l'énergie mécanique en énergie électrique et réciproquement. Cette définition est donnée par la relation 1-3. L'expression du coefficient dépend de la géométrie mécanique du matériau et de son sens de polarisation électrique [14].

$$k_t^2 = \frac{\text{énergie transformée}}{\text{énergie fournie}} = \frac{e^2}{\varepsilon S \cdot c E} \quad \text{Eq. 1-3}$$

2. Amortissement électromécanique actif et passif

2.1. Amortissement passif

2.1.1. État de l'art

Les méthodes d'amortissement de type passives ne nécessitent pas d'amplification de charges électriques externes au système. L'énergie mécanique emmagasinée dans la structure est dégradée dans le domaine électrique soit par dissipation thermique, soit par désaccord entre la fréquence de résonance mécanique et la fréquence de l'excitation.

Dans le cas de la dissipation thermique, le procédé consiste à utiliser un réseau électrique passif connecté aux bornes des inserts piézoélectriques électro-mécaniquement couplés (figure 1.3). L'énergie extraite par les inserts sous forme électrique est alors dissipée par le réseau passif Z .

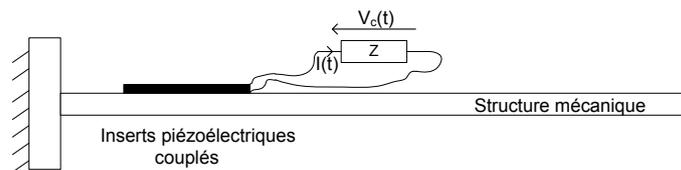


Figure 1.3 : Amortissement par transfert d'énergie mécanique vers le domaine électrique.

Forward expérimente ce type de méthode en 1979 [15] et réalise un démonstrateur pour un dispositif de stabilisation optique. L'énergie extraite dans le domaine électrique est maximale lorsque le courant $I(t)$ circulant au travers des électrodes de l'élément piézoélectrique est

maximal. Ce procédé revient à réaliser une adaptation d'impédance entre le transducteur et la charge électrique Z .

Hagood et Von Flotow proposent en 1989 une analyse de ce transfert énergétique en proposant deux réseaux passifs, l'un de type résistif et un autre avec l'association série d'une résistance et d'une inductance [16]. Ils montrent que l'énergie dissipée par la résistance correspond à des pertes viscoélastiques équivalentes dans le domaine mécanique. Dans le cas de l'inductance, le transfert d'énergie est optimal lorsque l'impédance RLC formée avec la capacité de l'élément piézoélectrique est adaptée à une fréquence de résonance mécanique donnée.

Wu [17] propose une alternative au circuit RLC série avec une version parallèle du résonateur électrique. Il montre ainsi que le pic de résonance est atténué de façon croissante en augmentant la valeur de la résistance jusqu'à atteindre un plateau d'efficacité. Il démontre également que le circuit parallèle est plus facile à dimensionner par rapport à une impédance série.

Lesieutre [18] propose enfin un classement de ces techniques en trois types (figure 1.4). L'impédance électrique Z est soit une résistance, une impédance inductive ou une impédance capacitive. Dans le cas de l'impédance capacitive, il s'agit de modifier la raideur de la structure mécanique par l'ajout d'une capacité additionnelle à l'élément piézoélectrique couplé. Lesieutre inclut également un quatrième type de technique dite à impédance commutée. Cette dernière n'entre plus dans le cas de l'amortissement passif à cause de l'organe de commande des commutations introduit.

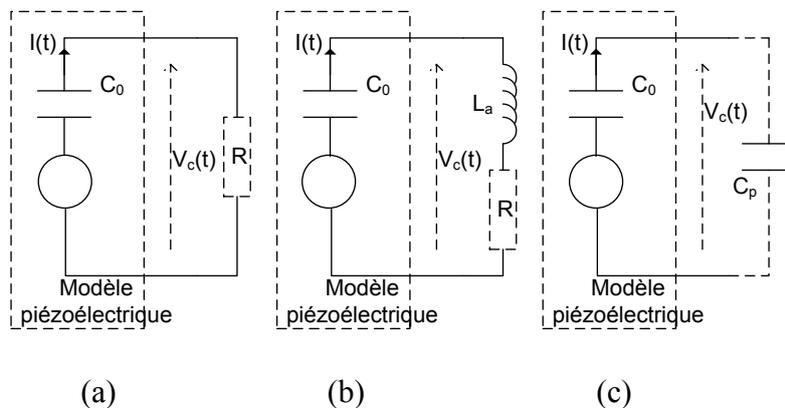


Figure 1.4 : Amortissement passif :
 (a) résistif, (b) inductif, (c) capacitif d'après [18].

2.1.2. Améliorations

Le problème de ces méthodes passives à impédance électrique est que pour de basses fréquences, il est nécessaire d'employer des inductances de valeur importante afin d'adapter fréquence mécanique et électrique des oscillateurs pour un mode structural de vibration donné. Par exemple, pour une structure résonante à 20Hz et avec une valeur capacitive des inserts piézoélectriques de 46nF, il serait nécessaire d'utiliser une inductance de 1377H. Ce qui nécessite des technologies difficiles à mettre en œuvre.

Edberg et Bicos [19] proposent de remplacer les inductances passives par des gyrateurs électroniques à amplificateur opérationnel afin de réduire la taille des inductances nécessaires à basse fréquence. Cependant, cette solution ne rentre plus dans le cadre des solutions d'amortissement de type passives car la puissance injectée provient des alimentations des amplificateurs qui nécessitent une source d'alimentation externe. Notons aussi le recours à une complexité des composants électroniques mis en œuvre beaucoup plus importante que dans le cas des méthodes purement passives.

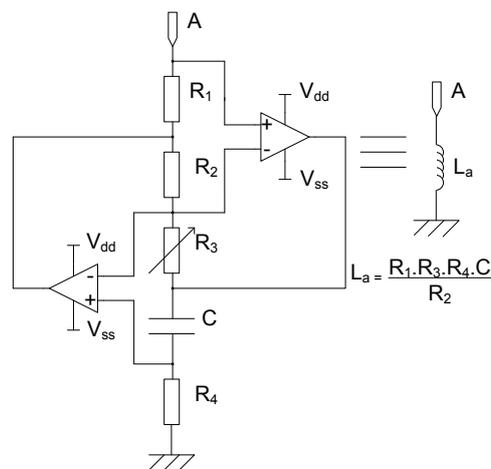


Figure 1.5 : Structure gyrateur employé par Edberg [19].

Des circuits passifs plus évolués mettant en œuvre l'association de plusieurs impédances sont également proposées par Hollkamp [20] et Wu [21]. Leur but est d'atténuer plusieurs modes de vibration simultanément (cela nécessite une branche d'impédance par mode). Cependant ces techniques sont plus complexes à mettre en œuvre par rapport à la prise en compte des interactions entre chaque impédance modale. Hollkamp [20] parvient à amortir deux modes de résonance en associant plusieurs circuits RLC-série en parallèle, chaque circuit étant accordé. Wu [21] quant à lui propose des associations d'impédances de telle sorte

à limiter l'effet des branches d'impédance en dehors de leur mode d'action sur le mode actif par antirésonance.

Warkentin et Hagood [22] utilisent dans leurs circuits électroniques des diodes afin de réaliser un redresseur chargé d'une résistance à valeur variable en fonction de la fréquence d'oscillation. Ils concluent que leur méthode non-linéaire est prometteuse par rapport aux techniques classiques d'impédance passive mais ne proposent pas de résultats expérimentaux.

D'autres structures mécaniques plus complexes sont mises en œuvre. Wu et Bicos [23] proposent d'analyser le comportement d'une plaque en matériaux composites encastrée à ses quatre extrémités. La plaque est couverte de plusieurs éléments piézoélectriques spatialement répartis sur la structure et chaque élément est connecté à un dissipateur type RLC. Saravanos [24] présente une étude analytique d'un système type plaque en vibration fait de matériau composite avec des impédances résistives en charge des éléments électro-actifs.

2.1.3. Bilan

Pour conclure, les méthodes d'amortissement de type passives n'utilisent généralement qu'une seule zone d'amortissement [15-22], [24] (insert piézoélectrique + impédance électrique) et l'action d'amortissement est réalisée de manière autonome. Leur efficacité est démontrée pour un seul mode de résonance particulier [15-19], [22-24]. Le traitement d'amortissement multimodal [20], [21] est plus complexe à mettre en œuvre que les méthodes de traitement monomodale.

Ces méthodes de type passives sont conditionnées par une identification précise des fréquences propres de résonance afin de réaliser le dimensionnement de l'impédance de la charge dissipative. L'effet d'amortissement est très sensible aux variations des paramètres du système électromécanique. Des variations environnementales (bande-passante, pression, température, ...) entraînent une désadaptation de l'impédance de charge et l'effet d'amortissement est alors très réduit.

2.2. Amortissement actif

Les méthodes d'amortissement de vibration de type actives consistent à employer des capteurs associés à une chaîne d'action. Cette chaîne inclut un calculateur électronique qui sert à piloter un amplificateur de puissance capable de contrôler en temps réel des actionneurs. La figure 1.6 illustre ce procédé bouclé. Il est alors possible [25] :

- soit de mesurer la source de perturbation et de générer une excitation en opposition de phase (méthodes de type feedforward),
- soit de réguler la réponse mécanique de la structure couplée par boucle de contre-réaction (méthodes de type feedback).

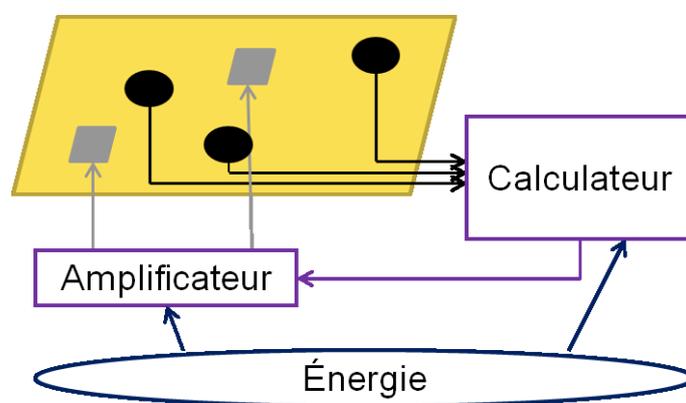


Figure 1.6 : Schéma de principe méthodes d'amortissement actives.

2.2.1. Méthode de type feedforward

Lueg [26] est le premier à proposer en 1936 un brevet implémentant ce type d'amortissement actif. Il adapte sa technique en plaçant un micro, un amplificateur et un haut-parleur à la surface d'une canalisation. Le micro et le haut parleur sont placés de telle sorte que la phase du signal mesurée et du signal émis soient en opposition.

Clark et Fuller [27] proposent en 1992, une méthode à base de matériaux piézoélectriques. Ils étudient le comportement d'une plaque excitée en régime harmonique. Des microphones servent de capteurs et trois inserts piézoélectriques sont collés à la surface de la structure. Un algorithme « least-mean-squares » (LMS), ou algorithme des moindres carrés moyens, est implémenté [28]. Il s'agit d'un procédé des plus utilisés en traitement du signal numérique pour sa simplicité de mise en œuvre et son efficacité. Il en existe de nombreuses variantes mais le principe de base consiste à utiliser un filtre numérique récursif. Les coefficients de sa

fonction de transfert sont ajustés de manière auto-adaptative à l'aide de l'algorithme (figure 1.7). Le résultat permet de prendre en considération des variations de l'environnement ou du signal lui-même dans la chaîne de contre-réaction et permet ainsi d'optimiser la correction apportée au système.

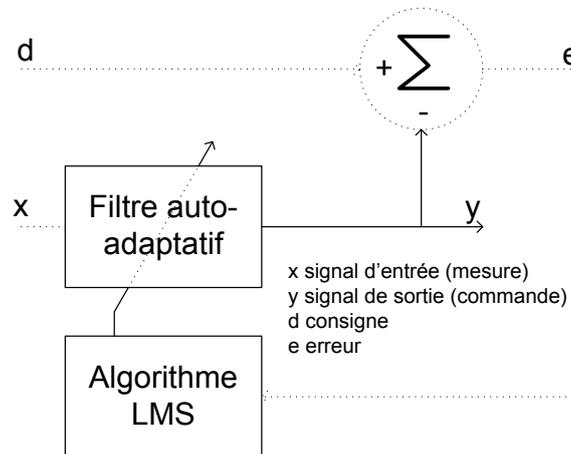


Figure 1.7 : Schéma de principe de la méthode feedforward utilisant un algorithme LMS.

Raja, Prathap et Sinha [29] proposent une méthode d'amortissement utilisant des matériaux en couches (poutres sandwich) laminées. Les matériaux piézoélectriques employés permettent d'exploiter différents couplages électromécaniques afin d'agir à la fois lorsqu'ils sont sollicités en flexion-extension mais également en cisaillement. L'algorithme de contrôle utilisé est de type « Linear Quadratic Regulator » (LQR). Cet algorithme intègre les équations décrivant la réponse dynamique du système afin de prédire son fonctionnement et de corriger sa réponse.

2.2.2. Méthode de type feedback

Parmi les nombreux algorithmes utilisés dans le contrôle vibratoire, citons l'un des plus simples, le « Direct Velocity Feedback » (DVF) introduit par Balas [30] en 1979. Il consiste à utiliser un nombre identique d'actionneurs et de capteurs co-localisés. Les signaux des capteurs sont directement amplifiés électroniquement et reproduits sur la structure à l'aide des actionneurs.

Le contrôle Proportionnel Intégral Dérivé (PID) est un procédé classique et très bien maîtrisé dans le monde de l'automatique, en asservissement des systèmes linéaires. Il s'agit

d'ajuster la régulation d'un système sur les critères de rapidité, stabilité et de précision. Fei [31] l'applique sur un système de type poutre encastrée libre avec des actionneurs piézoélectriques collés à proximité de l'encastrement. Capteur et actionneur ne sont pas co-localisés. La réponse de la structure est mesurée à l'aide d'un capteur type jauge de contrainte. Les signaux sont alors traités par une station de calcul dédiée. Yang et Jeng [32] montrent que l'emploi d'un dispositif actif n'utilisant qu'un seul transducteur piézoélectrique jouant à la fois le rôle d'actionneur et de capteur simplifie la mise en œuvre de la chaîne fonctionnelle de ce type de méthode active.

Un autre principe de commande des systèmes de contrôle est intitulé « logique floue » ou « fuzzy control » en anglais. Ce concept a été introduit en 1965 [33]. Il permet de transcrire une donnée peu objective (échantillon de mesure) en une loi mathématique suivant deux bornes délimitées. Dans le cas de la logique booléenne, il n'y a que deux résultats possibles. La logique floue permet de donner des niveaux de quantification de la condition évaluée. À titre d'exemple, Lin [34] permet de réaliser l'amortissement d'une plaque rectangulaire tenue ponctuellement à ses quatre coins. Il utilise la logique floue avec plusieurs éléments piézoélectriques comme capteur et un seul comme actionneur. À partir d'une analyse modale de la structure, un jeu de fonctions permet de définir une loi de contrôle (algorithme utilisant la logique floue). Lin compare sa méthode avec un algorithme de type LQR et obtient un meilleur amortissement sur sa structure.

Enfin, il est possible de contrôler les différents modes de vibrations d'une structure indépendamment les uns des autres suivant une méthode dite « Independent Modal Space Control » (IMSC) ou contrôle modal. Une variante MIMSC pour « Modified IMSC » permet de réduire le nombre d'actionneurs. Dans [35], un filtre modal permet de construire un vecteur d'état de la réponse du système. Les différentes coordonnées modales collectées sont pondérées d'un gain modal et un synthétiseur de modes permet finalement de reconstruire le signal à appliquer aux actionneurs de contrôle.

2.2.3. Bilan

Les méthodes d'amortissement de types actives permettent d'atteindre de meilleures performances d'amortissement que celles de types passives au dépend de la perte d'autonomie énergétique. Elles permettent de réaliser un contrôle multimodal sélectif [32] selon la complexité du contrôleur. La connaissance préalable du comportement de la déformée modale de la structure est requise [27], [29], [30], [34], [35].

La performance d'amortissement de ces méthodes est directement liée au degré de complexité de l'algorithme qui peut être implémenté sur microcontrôleur, sur processeur de signaux numérique (DSP) ou ordinateur par exemple. La performance est également liée à la résolution spatiale des capteurs répartis sur la structure en fonction de la fréquence des signaux mécaniques.

Ces méthodes utilisent un réseau de capteur/actionneur interconnecté plus ou moins étendu et l'emploi d'une source d'énergie externe pour l'amplificateur de puissance. La communication entre ces différents composants nécessite des connexions filaires avec le risque d'arrachement.

Un inconvénient technique des méthodes actives réside dans la relative difficulté de mise en œuvre qui nécessite une électronique de contrôle évoluée, une contrainte d'encombrement (carte DSP, ...) ainsi qu'une consommation électrique finalement non négligeables.

3. Amortissement semi-actif

3.1. Approche

Le contrôle de vibration semi-actif consiste à réaliser une modification en temps réel de la charge électrique connectée aux bornes de l'insert piézoélectrique pour améliorer les performances d'amortissement. La consommation électrique de ce type de contrôle doit être assurée à l'aide d'un dispositif basse puissance tel qu'une petite batterie par exemple. L'amortissement est réalisé de deux façons possibles :

- par dissipation ou adaptation d'impédance comme dans le cas des méthodes d'amortissement passives,
- par traitement non-linéaire de la tension présente aux bornes d'un transducteur piézoélectrique.

3.2. État de l'art

3.2.1. Adaptation d'impédance

Davis et Lesieutre [36] proposent une méthode où un jeu de capacités commutables est connecté en parallèle avec les éléments piézoélectriques. Le calculateur permet de commuter la valeur de capacité nécessaire pour atteindre l'amortissement optimal. La bande de fréquence (variation de 45Hz en 250ms) d'un tel système reste néanmoins limitée au traitement d'un mode de résonance particulier subissant des variations. L'énergie externe nécessaire au fonctionnement de cette technique est modeste. Elle se limite à l'alimentation du calculateur, l'amortissement étant provoqué par le désaccord de la résonance.

Niederberger [37] propose dans son article une méthode d'amortissement semi-active où il connecte une charge RL à des éléments piézoélectriques montés en surface d'une structure de type poutre (figure 1.8). L'inductance n'est autre qu'un gyrateur similaire à celui présenté en figure 1.5 dont la valeur est ajustée dynamiquement de manière à compenser les dérives en fréquence de la structure dues à son environnement. La variation de l'élément inductif est commandée à l'aide de la connaissance du sens de déphasage entre courant et vitesse mécanique.

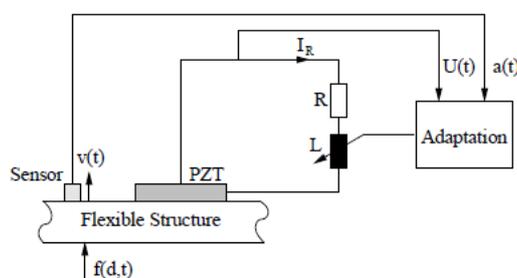


Figure 1.8 : Structure d'amortissement par charge RL active [37].

Ce dispositif, similaire à [16] par son mode d'action d'amortissement, permet de faire face aux dispersions en fréquence de la réponse mécanique des structures. Il rend ainsi la méthode d'amortissement adaptative sur une plus grande bande de fréquence. L'article donne un exemple : pour une variation de 20Hz, l'adaptation est réalisée en trois secondes. Ce délai important est lié au temps de calcul du contrôleur. L'énergie externe nécessaire est plus importante que pour [36], car consacrée à l'alimentation du contrôleur mais également au gyrateur qui permet le comportement inductif de la charge.

3.2.2. Amortissement non-linéaire

Un autre type de méthode semi-active, dit « State Switching », a été proposé. Cette méthode consiste à connecter électriquement un transducteur piézoélectrique aux bornes d'une charge passive durant une partie de la période des oscillations mécaniques et à le déconnecter (transducteur en circuit-ouvert) le reste de la période. Les commutations sont opérées de manière synchrone avec la réponse de la structure contrôlée. Clark [38] modifie la raideur de l'élément piézoélectrique en court-circuitant celui-ci durant deux quart de période des oscillations. Ce procédé non-linéaire permet de dissiper la charge stockée dans les éléments piézoélectriques (sous forme d'énergie potentielle) au moment où la contrainte est maximale. Le maintien en court-circuit durant le quart de période suivant permet de modifier la raideur de la structure (décalage de la fréquence de résonance).

Une autre famille de méthode d'amortissement de type « State Switching » est baptisée SSD pour « Synchronized Switch Damping ». Cette famille de technique fut développée au Laboratoire de Génie Électrique et Ferroélectricité (LGEF) de l'INSA de Lyon [39] en 1999. Il s'agit à nouveau de commuter électriquement les éléments piézoélectriques au moment du maximum de contrainte, qui coïncide avec les maximums de tension à la résonance. La durée de commutation est très brève par rapport à la période des oscillations mécaniques si bien que l'élément piézoélectrique est principalement en circuit ouvert. L'action non-linéaire revient à générer une force mécanique en quadrature avec la force d'excitation. Cela s'exprime par un amortissement de type « frottement sec ». La charge pendant la phase de commutation est :

- soit un court-circuit, il s'agit de la variante SSDS (SSD on Short-circuit),
- soit une inductance passive, il s'agit de la variante SSDI (SSD on an Inductor),
- soit une inductance passive en série avec une source de tension continue, il s'agit de la variante SSDV (SSD on Voltage sources).

La figure 1.9 présente le schéma électrique équivalent, ainsi que les formes d'ondes des trois variantes SSD d'après [40]. Dans le cas du SSDS (figure 1.9.a), la tension est simplement ramenée à zéro.

Dans le cas du SSDI (figure 1.9.b) la capacité propre de l'élément piézoélectrique connecté à l'inductance, constitue un oscillateur RLC. Une demi-période d'oscillation électrique permet d'inverser la tension aux bornes de l'élément piézoélectrique. L'inversion de tension permet d'augmenter la dissipation d'énergie mécanique qui agit comme un frottement sec et ainsi d'améliorer les performances d'amortissement par rapport à SSDS.

Dans le cas SSDV figure 1.9.c, la technique est similaire à la technique SSDI. L'apport d'énergie est toujours limité à une source de tension basse puissance. Cette source de tension permet d'augmenter également la dissipation d'énergie mécanique par rapport à SSDS et SSDI. Il existe cependant une valeur limite de cette tension à ne pas dépasser pour garantir la stabilité du système : l'apport d'énergie ne doit pas dépasser les pertes du circuit d'inversion.

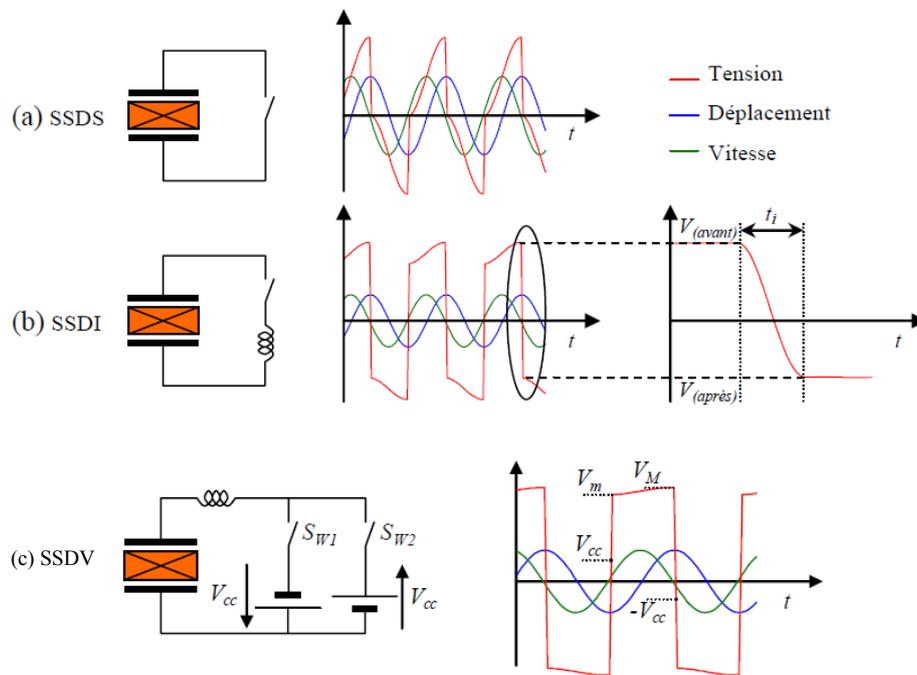


Figure 1.9 : Techniques SSD, dispositifs de commutation et formes d'ondes typiques associées : (a) SSDS, (b) SSDI, (c) SSDV (d'après [40]).

3.3. Bilan

Dans le cas des méthodes actives et semi-actives, l'apport d'énergie électrique extérieur à la structure permet d'alimenter un contrôleur électronique propre à la méthode. Pour l'amortissement actif de vibrations, il faut ajouter à cela la part d'énergie injectée dans la structure par transduction. L'intérêt majeur des méthodes semi-actives réside dans l'amélioration des performances par rapport aux méthodes purement passives, tout en réduisant drastiquement le budget énergétique des méthodes actives en supprimant la part de l'énergie injectée dans la structure mécanique. Le fonctionnement autonome de ces méthodes peut alors être envisagé en intégrant un dispositif de récupération d'énergie mécanique, par exemple à l'aide d'un capteur piézoélectrique additionnel.

Concernant le cas des méthodes SSD, elles permettent de s'affranchir des contrôleurs électroniques complexes et nécessitent donc peu d'énergie pour fonctionner. Les cycles de commutation SSD produisent une augmentation de la tension aux bornes des éléments piézoélectriques. Le coefficient de couplage électromécanique k_t d'une structure étant égal au rapport de l'énergie transformée sur l'énergie fournie (équation 1-3), pour une énergie mécanique donnée, le couplage électromécanique est artificiellement amélioré grâce au procédé non-linéaire.

Le tableau I reprend l'ensemble des méthodes présentées dans ce chapitre et sert de comparatif rapide sur les critères de facilité de mise en œuvre, d'encombrement, de sensibilité de fonctionnement à l'environnement et enfin de bande passante. Les techniques d'amortissement semi-actives présentent un compromis intéressant.

Méthodes	Bande passante	Adaptabilité à l'environnement	Encombrement	Facilité de mise en œuvre
Passives sans matériau piézoélectrique	☹	☹	☹ ☹	☺ ☺
Passives avec matériau piézoélectrique	☹	☹	☺ ☺	☺ ☺
Méthodes semi-actives	☺	☺	☺	☺
Méthode actives	☺	☺ ☺	☹	☹ ☹

Tableau I : Comparatif des principaux types de méthode d'amortissement de vibration mécanique.

Notre intérêt envers ces méthodes SSD se détache donc vis-à-vis des autres méthodes présentées dans ce chapitre. La technique SSDV est la plus efficace par rapport aux techniques SSDS et SSDI. Cependant, les risques d'instabilité du système ainsi que l'apport d'énergie externe dans les actionneurs nous amènent à préférer la variante SSDI dont le fonctionnement autonome est possible.

4. Technique d'amortissement SSDI

4.1. Inversion de la tension piézoélectrique

4.1.1. Principe

La technique de contrôle vibratoire SSDI de base [41] n'emploie qu'un seul transducteur piézoélectrique qui peut être modélisé par sa capacité propre C_0 dans le domaine électrique pour les fréquences basses et modérées. L'inductance L_i associée au procédé est utilisée afin de former un oscillateur électrique amorti type RLC en des moments appropriés. Le contrôleur SSDI a pour but de détecter ces instants optimaux qui coïncident avec les extremums de contrainte correspondant eux-mêmes avec les extremums de la tension instantanée $V_c(t)$. Quand un extremum est atteint, un interrupteur électronique SW permet de connecter la charge RL au transducteur. Il en résulte alors l'inversion de la tension V_0 initialement présente durant une demie pseudo-période t_i (figure 1.9.b), très brève à l'échelle des phénomènes mécaniques. Ce procédé non-linéaire permet de générer localement une contrainte mécanique opposée à celle imposée par l'excitation comme expliqué dans la partie I.3.2.2. L'auto-adaptation du contrôleur au signal mécanique rend la méthode peu sensible aux dérives environnementales et lui procure une grande bande-passante sans hypothèse sur la réponse harmonique du système mécanique.

4.1.2. Aspect large-bande et multimodal

Dans le cas de structures multimodales tel que les systèmes mécaniques complexes, il a été démontré dans [42] que les inversions de tension doivent avoir lieu non pas sur chaque extremum de tension, mais préférentiellement sur l'extremum majeur contenu sur une fenêtre temporelle définie (figure 1.10). L'énergie extraite ($\frac{1}{2}C_0V^2$) par les inserts piézoélectriques est alors maximale et les performances d'amortissement s'en trouvent améliorées.

Toujours d'après [42], l'approche SSDI peut être généralisée en séparant les fonctions de capteur, et d'actionneur. Ces variantes par rapport à la version SSDI de base [41] permettent la recherche d'un algorithme de contrôle optimal. Les capteurs peuvent être par exemple :

- l'élément piézoélectrique capteur/actionneur unique de la méthode SSDI originale,
- un capteur piézoélectrique additionnel,
- un capteur externe de déplacement (capteur inductif, capacitif, laser, ...).

En ce qui concerne l'algorithme de contrôle optimal, il permet de définir un seuil de tension autorisant les inversions de la tension piézoélectrique suivant le procédé SSDI. Les structures décrites sont :

- l'inversion sur chaque extremum de tension (version SSDI de base),
- la sélection d'un extremum global en fonction de la valeur RMS du signal de référence issu du capteur,
- la sélection d'un extremum global suivant un seuil défini par la mémorisation des extremums du signal de référence avec un facteur d'oubli paramétrable.

En termes de performances, la combinaison du capteur déporté de la structure et le seuil des extremums fixé par la tension RMS permet d'obtenir de meilleurs résultats. L'optimisation permet d'atteindre un amortissement de 9dB du déplacement de l'extrémité libre d'une structure de type poutre (encastrée-libre). Une plateforme DSP est utilisée pour les opérations de calcul.

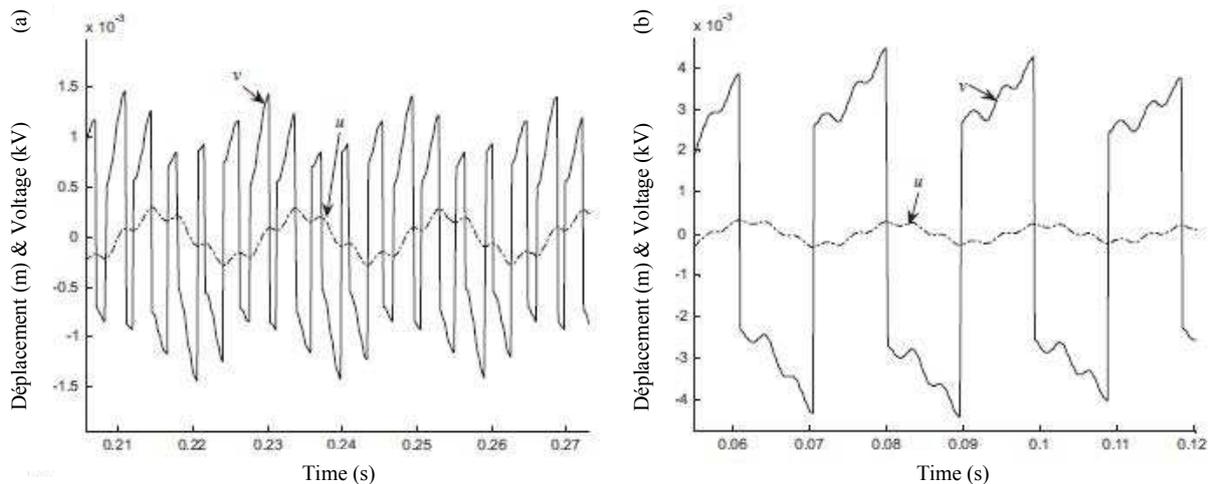


Figure 1.10 : (a) Contrôleur SSDI tout extremum ;
(b) Contrôleur SSDI sélection de l'extremum global (d'après [42]).

4.2. Mise en œuvre à l'aide de composants discrets

Deux circuits intégrant le contrôleur SSDI à l'aide de composants discrets ont été publiés [43], [44]. Niederberger [43] utilise un capteur piézoélectrique additionnel afin de déterminer le déclenchement de l'inversion, ainsi que deux transistors MOSFET complémentaires afin de réaliser l'interrupteur électronique (figure 1.11). Cependant l'instant de déclenchement de l'inversion de tension sur l'actionneur est un seuil de conduction (V_{th} des transistors MOS) et

le fonctionnement en SSDI dépend de la fréquence de l'excitation mécanique à cause du déphasage du filtre C_f - R_f , mais aussi de l'amplitude du signal capté. Finalement, le fonctionnement optimal de ce contrôleur ne peut être obtenu que pour quelques couples fréquence/amplitude autour d'une fréquence de résonance. Seule la résonance fondamentale de la structure mécanique est testée dans l'article.

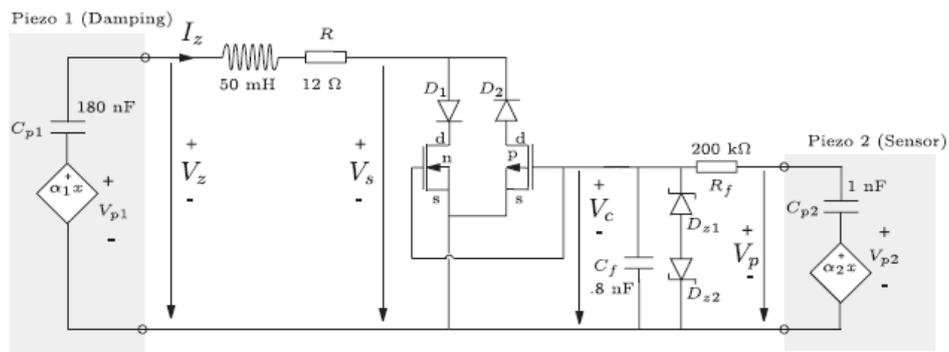


Figure 1.11 : Circuit SSDI proposé dans [43] et réalisé à l'aide de composants discrets.

L'autre réalisation proposée dans [44] ne requiert pas de capteur piézoélectrique additionnel et permet une inversion de tension conditionnelle suivant un seuil de tension de référence. Cependant son point faible est lié au circuit électronique de contrôle qui présente un délai entre l'instant de l'extremum de tension et le déclenchement réel. Un seuil minimal de déclenchement des inversions est également dû aux tensions de seuil de conduction des composants actifs. Nous estimons ce seuil à $2V_{Tdiode} + IV_{CEsat} + I_{VBEon} \sim 1,5V$ en négligeant les effets résistifs. Nous pouvons apercevoir la photographie du dispositif sur la figure 1.12. Le dispositif est autoalimenté par le transducteur réalisant la fonction de capteur actionneur.

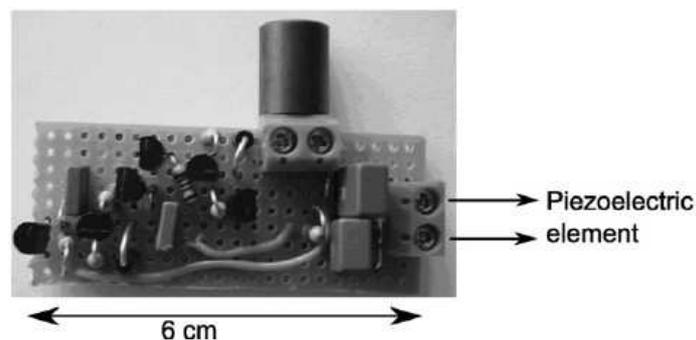


Figure 1.12 : Photographie du prototype de contrôleur SSDI réalisé dans [44].

4.3. Modèle électromécanique compact

4.3.1. Équations constitutives

Afin de pouvoir étudier le comportement multi-physique (couplage entre les domaines électrique et mécanique) d'un système de contrôle vibratoire, il est nécessaire de disposer d'un modèle utilisable dans un seul et même environnement de simulation. Les systèmes mécaniques peuvent être modélisés, de manière équivalente, dans le domaine électrique à partir d'équations différentielles du deuxième ordre. De la sorte, l'ensemble du modèle électromécanique, ainsi que le contrôleur électronique pourront être décrits et simulés dans un environnement de conception microélectronique tel que Cadence IC.

Considérons le cas d'une poutre de type encastree-libre à ses extrémités. Ce cas correspond au type de structures de test les plus utilisées dans la bibliographie. Les trois équations suivantes permettent de définir les équations constitutives du modèle et sont issues de [45].

La déformée modale d'une poutre donne son déplacement comme la somme de chaque contribution modale marquée de l'indice j de 1 à N modes. Ce déplacement $r(x, t)$ est le produit d'une coordonnée modale $\Phi(x)$ par une coordonnée temporelle $u(t)$ (équation 1-4).

$$r(x, t) = \sum_{j=1}^N (\Phi_j(x) \cdot u_j(t)) \quad \text{Eq. 1-4}$$

L'hypothèse d'Euler Bernoulli est introduite dans la théorie des poutres. La déformation $S(x)$ dans la structure est le produit de la demi-épaisseur (e_b) de la section droite de la poutre (suivant l'axe x) par la dérivée spatiale seconde du déplacement $r(x, t)$.

$$S(x) = -e_b \cdot \frac{d^2 r(x,t)}{dx^2} = -e_b \cdot \sum_{j=1}^N (\ddot{\Phi}_j(x) \cdot u_j(t)) \quad \text{Eq. 1-5}$$

La dernière équation pour l'établissement du modèle électromécanique fait l'hypothèse d'un champ électrique E_y constant suivant l'axe y et directement lié à la tension piézoélectrique et à l'épaisseur e_p des éléments piézoélectriques.

$$E_y = -\frac{V_c(t)}{e_p} \quad \text{Eq. 1-6}$$

Un système mécanique de type poutre peut être modélisé par le schéma suivant :

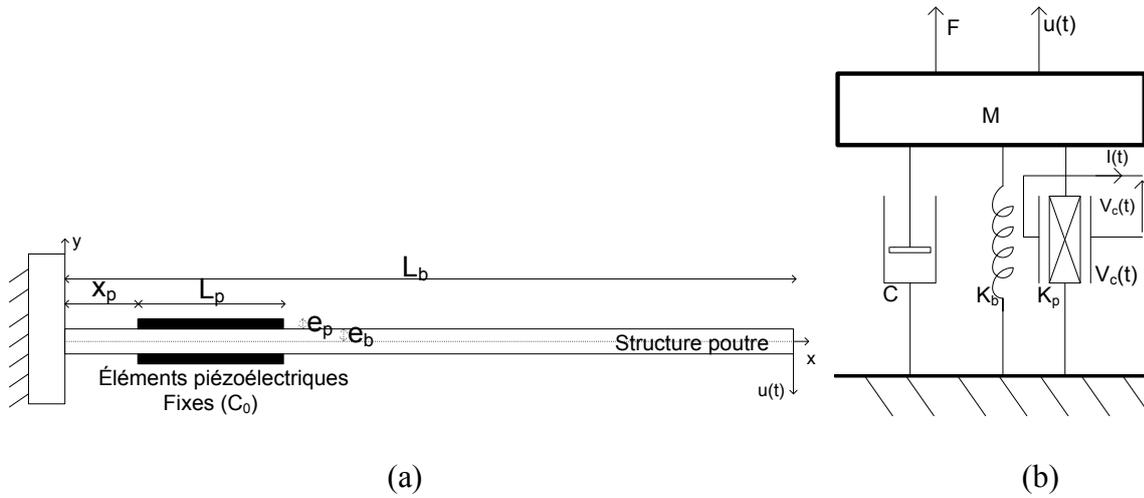


Figure 1.13 : Schéma mécanique d'une structure poutre encastrée libre avec ses inserts piézoélectriques fixés en surface.
(a) schéma, (b) modèle mécanique monomodal.

L'équation mécanique du mouvement d'un objet ponctuel sollicité par une force F_e est de type différentiel du deuxième ordre :

$$M_s \cdot \ddot{u} + C_s \cdot \dot{u} + K_s \cdot u = F_e \quad \text{Eq. 1-7}$$

Avec M_s la masse de l'objet, C_s son coefficient d'amortissement naturel et K_s sa raideur. En utilisant les équations 1-1 à 1-3 et 1-5 à 1-7, il est possible d'écrire les relations décrivant le système de la figure 1.13 :

$$\begin{cases} M_j \cdot \ddot{u}_j + C_{Aj} \cdot \dot{u}_j + K_j \cdot u_j + \alpha_j \cdot V_c = \beta_j \cdot F_e & \text{Eq. 1-8} \\ I = \sum_{j=1}^N (\alpha_j \cdot \dot{u}_j - C_0 \cdot \dot{V}_c) & \text{Eq. 1-9} \end{cases}$$

Chaque mode de vibration considéré dans le modèle électromécanique est constitué d'une équation 1-5 et ajoute une contribution dans 1-6. M_j constitue la masse dynamique du $j^{\text{ième}}$ mode, C_{Aj} le coefficient d'amortissement du $j^{\text{ième}}$ mode, K_j la raideur équivalente à la structure poutre et éléments piézoélectriques, α_j est le coefficient piézoélectrique macroscopique de couplage, β_j est le coefficient appliqué à la force suivant son point d'application et $I(t)$ est le

courant circulant entre les électrodes des éléments piézoélectriques. Ce modèle est notamment utilisé dans [46] dans l'étude de la méthode d'amortissement SSDI.

4.3.2. Bilan énergétique

Dans l'hypothèse d'une excitation harmonique, monomodale et périodique, l'intégrale temporelle du produit de l'équation 1-8 par la vitesse du déplacement $u(t)$. Cette intégrale permet d'écrire l'équation 1-10 qui correspond au bilan énergétique dans la structure mécanique au cours d'une période d'oscillation [41].

E_F correspond à l'énergie fournie au système, E_C l'énergie cinétique, E_{PE} l'énergie potentielle élastique, E_V les pertes visqueuses et E_T l'énergie transférée dans le domaine électrique. Le tableau II reprend l'expression de ces éléments.

$$E_F = E_C + E_{PE} + E_V + E_T \quad \text{Eq. 1-10}$$

E_F	$\beta \cdot \int_0^t F_e \cdot \dot{u}(t) \cdot dt$
E_C	$\frac{1}{2} \cdot M \cdot \dot{u}^2$
E_{PE}	$\frac{1}{2} \cdot K \cdot u^2$
E_V	$C_A \cdot \int_0^t \dot{u}^2 \cdot dt$
E_T	$\alpha \cdot \int_0^t \dot{u} \cdot V_c \cdot dt = \frac{1}{2} \cdot C_0 \cdot V_c^2 + \int_0^t V_c \cdot I \cdot dt$

Tableau II : Expression des termes du bilan énergétique.

D'après ce bilan, l'amortissement mécanique revient à diminuer l'énergie cinétique E_C et l'énergie potentielle élastique E_{PE} de la structure en maximisant l'énergie transférée E_T .

4.3.3. Cycles de conversion électromécaniques

Nous venons de voir que maximiser l'amortissement mécanique d'une structure consiste à maximiser l'énergie qui en est transférée E_T au cours d'une période d'oscillation mécanique. En observant l'expression de E_T dans le tableau II, il apparaît que cette énergie transférée est assimilable à l'aire contenue sous la courbe d'une fonction $\alpha \cdot V_c = f(u)$. Cette courbe est représentée en figure 1.14.

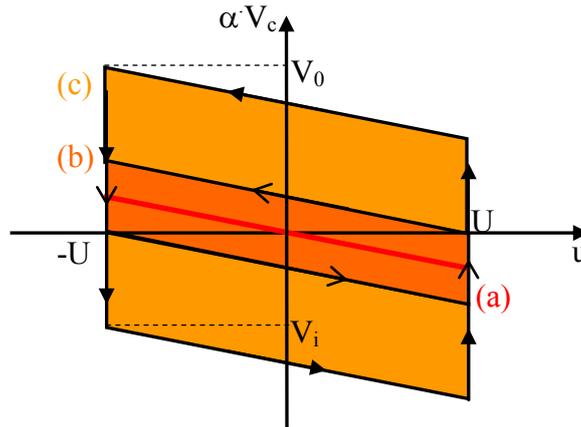


Figure 1.14 : Cycle des conversions d'énergie électrique / mécanique :
(a) circuit ouvert, (b) technique SSDS, (c) technique SSDI (d'après [41]).

Sur la figure 1.14 maximiser l'aire des cycles revient à maximiser l'énergie transférée E_T en une période d'oscillation mécanique et donc maximiser l'amortissement mécanique [41]. Le cas des techniques SSDS et d'un système sans amortissement est également représenté pour la comparaison. Nous constatons une surface nulle dans le cas du circuit-ouvert (pas d'amortissement), et une surface plus réduite dans le cas SSDS.

L'énergie E_T peut également être exprimée en 1-11 par le calcul de l'aire du cycle de conversion de la figure 1.14 :

$$E_T = \alpha \cdot \int_0^t \dot{u} \cdot V_c \cdot dt = 2 \cdot \alpha \cdot U \cdot (V_i + V_0) \quad \text{Eq. 1-11}$$

Avec V_i , la tension après inversion de tension SSDI, V_0 la tension avant inversion et U l'amplitude crête du déplacement mécanique à l'extrémité libre de la poutre de test (figure 1.14).

4.4. Bilan

Nous avons présenté les différentes méthodes d'amortissement mécanique recueillies dans la bibliographie. Il apparaît que ces méthodes peuvent être classifiées suivant quatre procédés d'amortissement :

- le contrôle d'amortissement par dissipation thermique,
- le contrôle d'amortissement par désaccord de fréquence de résonance,
- le contrôle d'amortissement actif (par asservissement d'un système électromécanique couplé),
- le contrôle d'amortissement semi-actif (par transformation de l'énergie mécanique).

Un principe de différenciation entre ces différentes méthodes d'amortissement peut être établi suivant des critères de performances tels que l'agilité spectrale (contrôle multimodal), la sensibilité aux variations environnementales, l'autonomie énergétique ou la simplicité de mise en œuvre des systèmes d'amortissement. En fonction de l'application visée, le poids de l'un ou l'autre de ces critères est modulable. Nous avons montré le compromis intéressant des techniques d'amortissement semi-actives pour leur polyvalence dans chacun des critères de performance énoncés. Plus particulièrement la méthode d'amortissement SSDI, développé par le LGEF de Lyon, montre un bon compromis entre l'agilité spectrale de l'amortissement (par rapport au contrôle passif), son encombrement et sa consommation énergétique (par rapport au contrôle d'amortissement actif).

Dans le cadre du projet soutenu par la DGA, nous proposons dans le deuxième chapitre de ce mémoire, d'étudier les possibilités et les limites de mise en œuvre d'un contrôleur intégrant la méthode d'amortissement vibratoire SSDI sous la forme d'un composant microélectronique ASIC. L'intégration microélectronique permet de répondre à la problématique de miniaturisation et permet également la maîtrise des coups énergétiques liés à chacune des fonctions du contrôleur.

Chapitre II :

Définition de l'espace de conception de l'ASIC

Ce deuxième chapitre présente l'ensemble des contraintes et des besoins identifiés au préalable pour le développement d'un composant en technologie microélectronique implémentant le contrôle de vibration SSDI.

1. Choix d'une architecture microélectronique

1.1. Motivation et but

Comme nous l'avons vu dans le premier chapitre, les techniques d'amortissement actives ([26], [27], [29-32] et [34], [35]) ou semi-actives [36-39] nécessitent l'emploi d'un contrôleur électronique plus ou moins sophistiqué (analyse du chapitre I) et de taille variable. Nous avons identifié deux principaux types de mise en œuvre de la méthode d'amortissement SSDI. [42] utilise un contrôleur SSDI sous la forme d'une carte micro-informatique de type PCI (Peripheral Component Interconnect), donc associée à un ordinateur. Dans [43] une carte PCB de trois centimètres par trois centimètres de côté est employée avec une méthode d'amortissement à commutation synchronisée proche de la méthode SSDI (la bande-passante et l'amplitude de service sont limitées, voir la section I.4.2).

La présence du contrôleur électronique peut s'envisager de deux façons :

- Fixé sur le bâti de la structure vibrante, avec une liaison souple entre le contrôleur et l'insert piézoélectrique. Cette réalisation présente l'avantage d'un faible stress mécanique pour le contrôleur. Les inconvénients viennent de la connectique souple et de la phase d'assemblage nécessaire une fois la structure vibrante fixée.
- Fixé sur la structure vibrante, solidaire mécaniquement de l'insert piézoélectrique. Cette réalisation possède l'avantage de pouvoir être assemblé avant le montage sur bâti. Outre le stress mécanique subi par le contrôleur, la taille et la masse revêtent alors beaucoup d'importance. La taille va déterminer le nombre de points de fixation nécessaires au bon assemblage. Or, au delà d'un point unique de fixation, la présence du contrôleur modifie localement la raideur mécanique de la structure et modifie le couplage électromécanique. De la même manière, la masse du contrôleur modifie l'homogénéité de la structure. La localisation des ventres et des lignes modales peut, dans ces conditions, se trouver déplacée tout comme les fréquences propres de résonance mécanique.

La réduction de la taille et de la masse des fonctions électroniques obtenue à l'aide d'un composant intégré réduirait ces deux paramètres du point de vue des perturbations engendrées par la présence d'un contrôleur. Toutefois, une des limites de l'intégration concerne l'inductance nécessaire au procédé SSDI pour les inversions de tension. La technique SSDI nécessite une valeur d'inductance bien plus faible que pour les méthodes harmoniques passives, car les périodes d'oscillations électriques sont plus brèves. Une valeur d'inductance encore plus faible, à capacité d'insert piézoélectrique donnée, revient à réduire la durée

d'inversion. Si cela est plutôt bénéfique du point de vue de la mise en œuvre du principe SSDI, cela implique une augmentation du courant pic dans les dispositifs (interrupteur électronique, inductance, insert piézoélectrique) à charge électrique initiale dans le patch donnée. Le choix de l'inductance passe par un compromis entre le courant maximal admissible dans le circuit de puissance et la durée des inversions. Dans le cadre du cahier des charges et des passifs disponibles, les valeurs sont typiquement de l'ordre de la centaine de micro-henry.

En regard des techniques de fabrication d'inductances intégrées tel que [47] (10nH pour $265 \times 265 \mu\text{m}^2$), les valeurs requises et les contraintes de résistance série pour la méthode SSDI ne permettent pas une intégration monolithique. Parmi les bobines passives, nous avons identifié des inductances CMS (Composants Montés en Surface) pour leur compacité. Nous proposons donc une solution d'intégration hybride qui devra rester compatible avec une contrainte d'encombrement et de masse réduite pour être cohérente avec les objectifs initiaux. L'objectif ultime de ce type de méthode d'amortissement avec contrôleur électronique de dimension réduite serait de disposer d'un système autonome en énergie et en fonctionnement tel que représenté sur la figure 2.1. Toutefois, l'autonomie en énergie de l'ASIC sort du cadre de ce travail, même si cette fonction peut orienter notre travail sur les choix architecturaux.

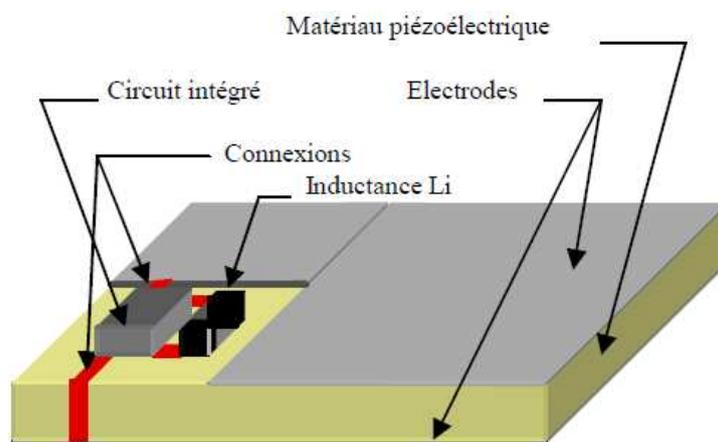


Figure 2.1 : Solution d'intégration hybride de la méthode d'amortissement de vibration SSDI.

La production de circuits en technologie microélectronique n'est rentable que pour de grands volumes de composants. L'objectif de ce travail a donc été de définir un ASIC générique, compatible avec une grande gamme d'insert piézoélectrique (en termes de capacité et de tension crête fournie), ainsi qu'avec une grande plage de fréquence de fonctionnement

afin d'alléger le prix unitaire d'une telle solution intégrée en permettant à terme des productions en grande série.

La recherche de l'optimum de performance du système d'amortissement avec ASIC doit guider la conception de cette électronique de contrôle. Nous avons choisi de définir une fonction de performance liée à l'étude de l'influence des paramètres et des contraintes du système sur la fonction. Cette étude fait l'objet de ce chapitre.

Nous souhaitons mentionner à l'intention du lecteur que ni l'étude du placement optimal des inserts piézoélectriques, ni l'autonomie d'alimentation ne font l'objet de ces travaux de thèse. L'ASIC de contrôle d'amortissement proposé ici est un prototype et l'auto-alimentation du système n'est pas immédiatement envisagée. L'optimisation des couplages électromécaniques est traitée par nos partenaires du LGEF de Lyon et du LMSSC de Paris dans le cadre du projet d'amortissement non linéaire de vibration soutenu par un projet Recherche Exploratoire et Innovation (REI) de la DGA.

1.2. Étude fonctionnelle

D'après l'analyse des différentes implémentations SSDI identifiées dans la section I.4.2 [43], [44], nous avons identifié les blocs fonctionnels nécessaires à la mise en œuvre d'un contrôleur SSDI. L'étude de la chaîne fonctionnelle du système électromécanique permet de décrire les contraintes de chaque bloc mis en œuvre pour garantir le fonctionnement optimal du système d'amortissement.

La figure 2.2 montre une représentation fonctionnelle du système d'amortissement électromécanique SSDI.

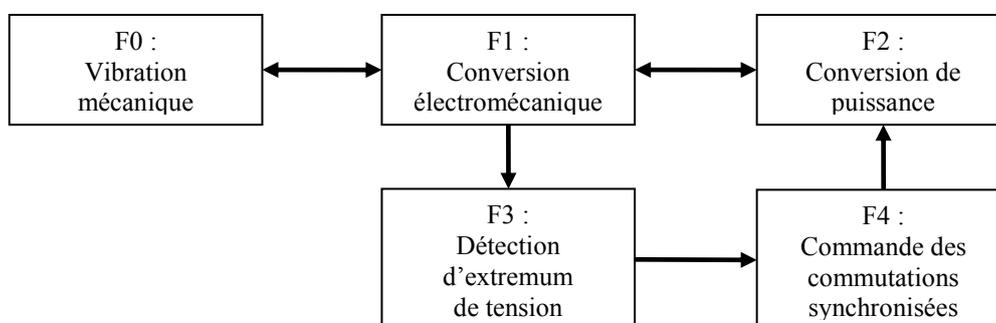


Figure 2.2 : Décomposition fonctionnelle du système d'amortissement SSDI.

La fonction $F0$ ne fait pas l'objet d'une étude de conception particulière, il s'agit de la structure à amortir, la partie mécanique du système. Ses caractéristiques sont à priori quelconques.

La fonction $F1$ permet d'assurer le couplage électromécanique et l'action d'amortissement (actionneur). Son rôle est de garantir l'échange énergétique (facteur de couplage) entre la structure mécanique et une interface de puissance électronique (pré-actionneur). L'étude du placement et du dimensionnement des éléments piézoélectriques utilisés dans les expériences des chapitres III et IV ne fait pas l'objet de ce travail, car elle a été traitée par les partenaires du projet. Nous considérerons que le facteur de couplage n'est pas admis comme une variable de notre étude, et que l'action de l'ASIC doit fournir le meilleur amortissement pour la valeur dont on dispose.

La fonction $F2$ consiste à opérer les inversions de tension sur un instant très bref par rapport à la période des oscillations mécaniques $T_{méca}$ suivant le procédé d'amortissement SSDI. Cette fonction est assurée par la mise en série commandée d'une inductance L_i avec les éléments piézoélectriques du dispositif pendant un court instant comme présenté dans la partie I.4.1.1. Ce circuit constitue l'interface de puissance du système d'amortissement. Son intégrabilité sera étudiée en détail dans la suite de ce chapitre (II.2).

La fonction $F3$ réalise la détection de la condition optimale de déclenchement des inversions de tension synchronisées SSDI. Elle travaille sur un signal de tension dont la liste des sources possibles a été énumérée dans la partie I.4.1.2. Cette fonction de veille permanente doit assurer avec précision la détection des extremums de tension sous peine de réduction de l'efficacité d'amortissement [46]. Cette fonction sera étudiée en détail dans le sous-chapitre III.3.

La fonction $F4$ permet de commander à la fermeture et à l'ouverture, l'interrupteur électronique SSDI de l'interface de puissance. La fermeture coïncide avec la décision prise par le bloc de la fonction $F3$ et l'ouverture coïncide avec l'annulation du courant dans le circuit de puissance qui indique que toute la charge électrique stockée dans l'insert piézoélectrique a été transférée et que la tension a été inversée.

1.3. Présentation de l'interface de puissance SSDI

L'interface de puissance est l'équivalent d'un pré-actionneur électronique et son rôle est d'assurer la transformation de l'énergie contenue dans le domaine électrique pour optimiser l'action d'amortissement (perte énergétique réduite et durée négligeable devant $T_{méca}$ durant le transfert). Avant d'envisager une quelconque solution en technologie microélectronique de la méthode d'amortissement SSDI, une étude préalable est nécessaire afin de s'assurer de la compatibilité de l'interface de puissance avec une solution en électronique intégrée.

1.3.1. Architectures

Deux types de réalisation de l'interrupteur électronique SSDI sont envisageables. La première propose deux transistors MOSFETs complémentaires en parallèle (figure 2.3.a) [43] et la seconde deux transistors MOSFETs nMOS en série (figure 2.3.b) [41].

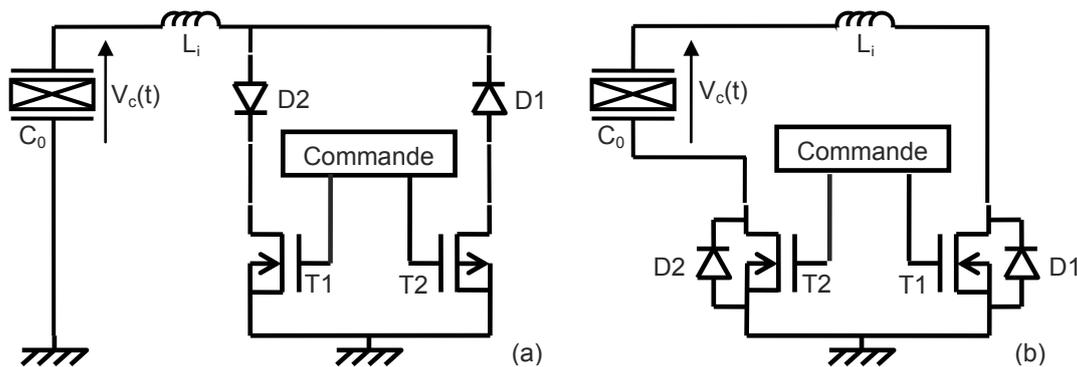


Figure 2.3 : Architecture de l'interrupteur électronique SSDI :
(a) solution nMOS parallèles, (b) solution nMOS séries.

Le fonctionnement des deux architectures proposées en figure 2.3 peut être décrit suivant deux phases de fonctionnement communes :

- Une première phase (interface inactive, circuit ouvert), où la tension piézoélectrique générée aux bornes de l'insert piézoélectrique est directement proportionnelle au déplacement mécanique de la structure. Le système de commande est en attente d'activation pour passer à la phase deux.
- Une seconde phase d'inversion de la tension suivant le procédé d'amortissement SSDI, qui est très brève par rapport à la période des oscillations mécaniques $T_{méca}$. À l'issue de cette seconde phase, le système repasse en phase une.

La transition de la phase une à la phase deux est ordonnée par le bloc $F3$ tandis que le passage de la phase deux à la phase une peut être soit commandé, soit automatique. La phase inactive n'a pas d'intérêt fonctionnel pour l'action d'amortissement. C'est dans la seconde phase que se joue l'efficacité du traitement non linéaire d'amortissement. Nous allons étudier de manière approfondie cette phase dans la partie II.1.3.2.

1.3.2. Phase d'inversion

Nous avons présenté le principe de fonctionnement de la méthode d'amortissement SSDI dans la partie I.4.1.1. Nous allons à présent décrire ce fonctionnement avec les spécificités de l'architecture proposée.

Bien que les architectures (a) et (b) de la figure 2.3 soient différentes, la seconde phase de fonctionnement s'analyse de la même manière. Au moment d'entrer dans cette phase, $V_c(t)$ a atteint un maximum d'amplitude V_0 . Le transistor T_1 est commandé à l'état passant durant un temps t_{pw} pendant que D_1 est polarisée en inverse. T_2 reste bloqué et D_2 est polarisée en direct. La phase deux se termine lorsque le courant dans l'oscillateur RLC s'annule, ce qui correspond à la durée d'inversion t_i . À ce moment T_1 reste commandé à l'état passant afin de s'assurer de la fin du processus d'inversion. Comme la polarité du courant tend à changer de signe, D_2 se bloque et le circuit s'ouvre. Le système entre alors dans une nouvelle phase d'attente des extremums de la tension piézoélectrique (phase une).

Lorsque $V_c(t)$ atteint un minimum de tension, les états de T_1 et de T_2 , ainsi que D_1 et D_2 , sont inversés par rapport à leurs états lors de la détection d'un maximum de tension (en phase deux).

1.3.3. Conséquences pour la conception d'un ASIC

En termes de conception, l'architecture parallèle de la figure 2.3.a présente deux contraintes par rapport à celle de 2.3.b :

- Pour deux transistors MOS complémentaires, il est nécessaire de générer deux tensions de commande symétriques par rapport à la masse. La génération de deux polarités de commande par le circuit demande que l'alimentation de l'ASIC soit symétrique. À tension d'alimentation ($V_{CC} - V_{SS}$) donnée, les tensions de commande sont $(V_{CC} - V_{SS})/2$ et $(V_{SS} - V_{CC})/2$. Cela a trois conséquences : les sources des transistors de commutation T_1 et T_2 ne sont pas connectées au substrat, la tension de

commande de ces transistors n'est que la moitié de la tension d'alimentation, et à conductance donnée, cela demande l'augmentation en conséquence de la taille de ces deux transistors.

- L'architecture à base de transistor pMOS nécessite une plus grande surface sur le silicium par rapport à son équivalence de type nMOS. La mobilité des porteurs de charge majoritaires dans le canal de conduction est plus faible pour un transistor MOS de type p que pour un transistor de type n . De plus, en état triode, la résistivité du canal est plus grande pour un transistor de type p que pour un transistor de type n . La résistivité est inversement proportionnelle à W . Ainsi, pour obtenir un transistor pMOS ayant les mêmes caractéristiques de résistance à l'état triode et de même courant de saturation qu'un transistor de type nMOS, il est nécessaire d'augmenter la taille de W .

Sur ces deux critères de comparaison (taille des transistors et réduction de la dynamique des signaux), nous choisissons de retenir l'architecture de la figure 2.3.b à structure nMOS en série.

1.3.4. Stratégie de commande des transistors de puissance

Le rôle des diodes D_1 et D_2 est identique dans les deux configurations de la figure 2.3. Elles permettent l'ouverture automatique du circuit à courant nul à la fin de l'inversion de tension. Une avance ou un retard à l'ouverture provoquerait des surtensions dues à la présence d'un courant dans L_i qui risquerait d'endommager le reste de l'électronique. Durant la phase d'inversion, le contrôleur doit générer un signal de commande des transistors de puissance (fonction $F4$) de durée supérieure au temps d'inversion effectif ($t_{pw} > t_i$). Ceci garantit que l'une des diodes se sera bloquée avant l'ouverture de T_1 et T_2 , minimisant la discontinuité de courant.

L'usage des diodes amène cependant des pertes énergétiques sous la forme d'une chute de tension (seuil) de conduction à leurs bornes. Ces pertes viennent réduire l'énergie disponible pour l'effet d'amortissement. Afin de s'affranchir de ces pertes, l'intégration d'une sous-fonction de détection de courant nul dans le bloc $F4$ peut être envisagée.

Avec ces deux possibilités de commande, deux modes de commutation des transistors de puissance T_1 et T_2 sont alors réalisables :

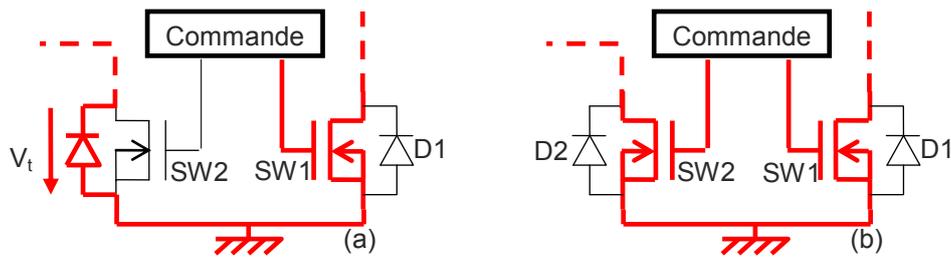


Figure 2.4 : (a) Mode de commutation 1, (b) mode de commutation 2.

Pour les deux modes de commutation, D_1 et D_2 permettent de fixer le potentiel aux bornes de l'insert piézoélectrique par rapport à la masse pendant la phase d'inactivité de l'interface de puissance.

En mode de commutation 1, seul un transistor entre en conduction à la fois. Cette mise en conduction entraîne alors celle de la diode qui lui est complémentaire. Les pertes Joule comptent donc une résistance série $r = R_{on} + R_{Li}$ ainsi qu'une tension de seuil V_t pour la diode en conduction. Durant la phase d'inversion de tension, les diodes assurent l'ouverture automatique du circuit à courant nul.

Dans le mode 2 il conviendra de commander simultanément les deux transistors T_1 et T_2 à chaque extremum de tension positif ou négatif afin de fermer le circuit de puissance. Il faut compter cette fois $r = 2.R_{on} + R_{Li}$ pour les pertes par effet Joule. La tension de seuil de conduction prend dans cette configuration une valeur nulle, ce qui supprime cette source de perte. Les diodes remplissent un rôle de protection en cas de surtension négative aux bornes des transistors dans cette configuration.

1.4. Critères de détection des extremums de tension

Afin de déterminer l'algorithme de détection des extremums de tension optimal, l'arbitrage entre plusieurs signaux électriques de référence et plusieurs méthodes de traitement du signal associé a été mené dans [42]. La partie I.4.1.2 présente cette étude sur un critère de performance d'amortissement pour la méthode SSDI. D'un point de vue technique, les capteurs de déplacement ou de vitesse déportés par rapport à la structure mécanique ne sont pas compatibles avec une solution intégrée pour les mêmes raisons qu'énoncées en II.1.1. En outre, le bâti recevant le capteur peut lui aussi vibrer et parasiter l'information mesurée. Seule une information électrique disponible localement peut répondre à la solution d'un contrôleur miniaturisé.

Nous choisissons d'estimer l'efficacité de plusieurs algorithmes de détection des extremums de tension sur un critère qualitatif. À l'aide de simulations informatiques et à partir de l'étude de l'état de l'art citée au paragraphe précédent, nous allons décrire un système électromécanique couplé à une électronique de contrôle modélisée au niveau système. La description de ce contrôleur sera orientée vers des solutions microélectroniques intégrables.

1.4.1. Conditions de modélisation

La modélisation de la méthode d'amortissement non linéaire SSDI ne peut pas se baser sur un modèle linéaire global du système. Devant la complexité du fonctionnement du procédé SSDI (non-linéarité de la tension, fortes interactions électromécaniques, comportement stochastique des inversions), nous avons choisi un modèle temporel afin d'appréhender les différents paramètres de la méthode.

Nous avons établi un modèle en langage VHDL-AMS (choisi pour ses capacités de simulation multidisciplinaire) sous l'environnement Smash de Dolphin Integration¹. Ce modèle intègre les équations électromécaniques 1-7 et 1-8 du premier chapitre pour représenter le comportement des trois premiers modes de flexion d'une structure de type poutre encastrée - libre à ses extrémités (fonction $F0$). La poutre est couplée à des inserts piézoélectriques ($F1$) telle qu'illustrée dans les conditions de la figure 1.14. Le modèle prend également en compte le circuit d'inversion RLC de l'interface de puissance ($F2$), et la partie de commande de l'interface de puissance gérée par une machine d'état asynchrone ($F3$ et $F4$). Le tableau III donne les paramètres des éléments du modèle ainsi que les dimensions de la poutre en acier avec insert piézoélectrique (PZT 189) simulée (voir figure 1.13).

Le dispositif de commande est réalisé de manière symétrique pour la détection des maximums et des minimums de tension de $V_c(t)$ comme sur la configuration de la figure 2.4.a. L'inductance L_i vaut 3,3mH et une tension de seuil de diode de 0,6V est prise en compte. Les transistors MOS sont modélisés par une résistance dont la valeur change avec l'état de commutation. Une force d'excitation F_e est appliquée sur l'extrémité libre de la poutre. Cette force est l'association de deux composantes sinusoïdales dont les fréquences sont égales à celle des deux premiers modes propres de résonance mécanique de la poutre en flexion. Une réponse multimodale est ainsi provoquée et la caractéristique de fonctionnement large-bande

¹ <http://www.dolphin.fr/>

de la méthode SSDI peut-être testée. L'amplitude de la force d'excitation est de 50mN pour le premier mode (56,1Hz) et de 150mN pour le deuxième mode (111,6Hz).

M_1, M_2, M_3	Masses dynamiques modales	62g
K_1	Raideur équivalente du mode 1	7,71kN.m ⁻¹
K_2	Raideur équivalente du mode 2	30,5kN.m ⁻¹
K_3	Raideur équivalente du mode 3	2,4MN.m ⁻¹
C_{A1}	Coefficient d'amortissement équivalent (C_A) mode 1	54,9mN.m ⁻¹ .s ⁻¹
C_{A2}	C_A mode 2	0,344N.m ⁻¹ .s ⁻¹
C_{A3}	C_A mode 3	0,964N.m ⁻¹ .s ⁻¹
$\beta_1, \beta_2, \beta_3$	Coefficient d'application modal de la force d'excitation	1,0
α_1	Coefficient modale de conversion électromécanique (CCE) mode 1	2,3mN.V ⁻¹
α_2	CCE mode 2	10mN.V ⁻¹
α_3	CCE mode 3	11,1mN.V ⁻¹
C_0	Capacité propre de l'insert piézoélectrique	142nF
L_b	Longueur de la poutre	180mm
L_p	Longueur de l'insert piézoélectrique	40mm
x_p	Distance de l'insert à l'encastrement	14mm
e_p	Épaisseur d'un insert piézoélectrique	300μm
e_b	Demi-épaisseur de la poutre	1mm
l	Largeur de la poutre et de l'insert	90mm

Tableau III : Paramètres de simulation du système électromécanique de type poutre.

Nous observons une portion de la réponse harmonique forcée en régime établi sur les figures 2.5 à 2.7 suivantes. Chaque figure représente cinq simulations à but de comparaison qualitative en utilisant une loi de contrôle du traitement non linéaire SSDI différente dans chaque cas :

- Simulation sans action d'amortissement, l'insert piézoélectrique est laissé en circuit-ouvert, cas référencé par (Circuit-ouvert) ou (a). Ce signal servira de référence pour estimer l'amortissement en décibel par rapport aux autres cas.

- Simulation avec une loi de contrôle du procédé non linéaire SSDI sur chaque extremum de tension rencontré sur le signal temporel d'un unique capteur / actionneur, cas référencé par (Tout max) ou (b).
- Simulation avec une loi de contrôle sur sélection d'un extremum global de tension. L'historique des extremums de tension précédemment rencontrés est mémorisé avec un facteur d'oubli ajustable (filtrage temporel). Un unique capteur / actionneur est utilisé, cas référencé par (Max global) ou (c).
- Simulation avec une loi de contrôle sur sélection d'un extremum global de tension. Un capteur piézoélectrique additionnel est employé pour déterminer les extremums de tension déclenchant le traitement non linéaire sur la tension de l'actionneur, cas référencé par (Capteur +) ou (d).
- Simulation avec une loi de contrôle sur sélection d'un extremum de tension de valeur supérieure à la tension RMS calculée par un capteur piézoélectrique additionnel dissocié de l'actionneur, cas référencé par (RMS) ou (e).

1.4.2. Oscillations de l'extrémité libre de la poutre

Le signal du déplacement de l'extrémité libre de la poutre est maximal dans la configuration en circuit-ouvert notée (a). L'amplitude crête atteint 1,5mm sur cette portion du relevé temporel. Ce signal en circuit-ouvert apparaît comme monomodal sur le relevé, la fréquence d'oscillation est celle du premier mode qui est alors le mode dominant.

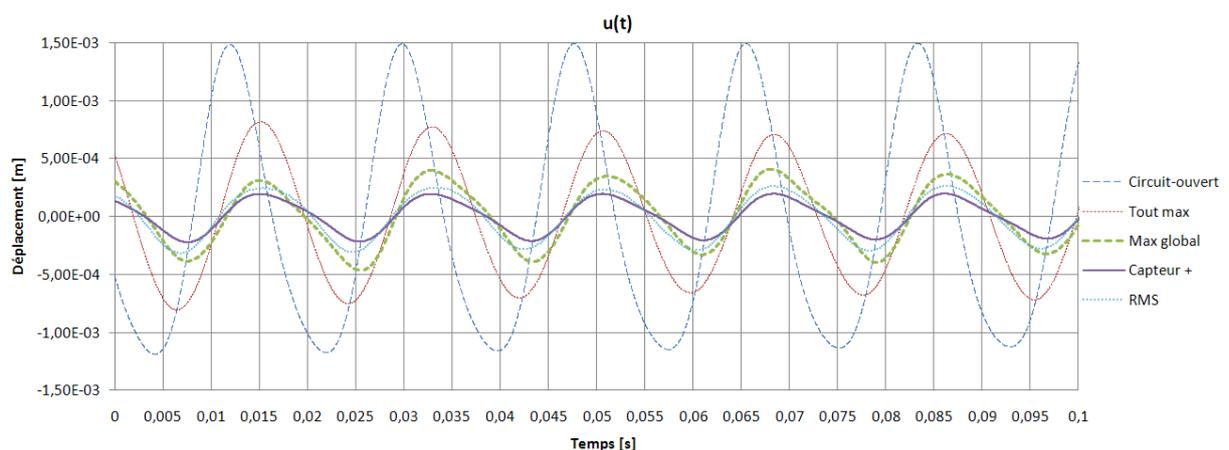


Figure 2.5 : Oscillations mécaniques de l'extrémité libre d'une structure poutre en simulation.

Dans un ordre d'efficacité d'amortissement croissant, nous trouvons la configuration (b), (c), (d) et enfin (e). Les deux lois de contrôle utilisant le capteur de tension piézoélectrique additionnel (d - e) présentent un résultat d'amortissement globalement similaire. La configuration (c) à capteur actionneur unique avec détection sélective des extremums de tension présente un résultat d'amortissement intermédiaire entre la détection tout extremum (b) et les deux solutions (d - e) à capteur additionnel.

1.4.3. Contribution des deux premiers modes de flexion

Sur les relevés des figures 2.6 et 2.7, nous n'avons représenté que la réponse de la première composante du déplacement $u_1(t)$ de l'extrémité libre de la poutre, et que de la deuxième composante $u_2(t)$ respectivement (excitation inchangée). Ces figures sont présentées dans le but de montrer les différentes actions des lois de contrôle (b) à (e) employées sur l'une ou l'autre des composantes modales de la réponse mécanique temporelle du système.

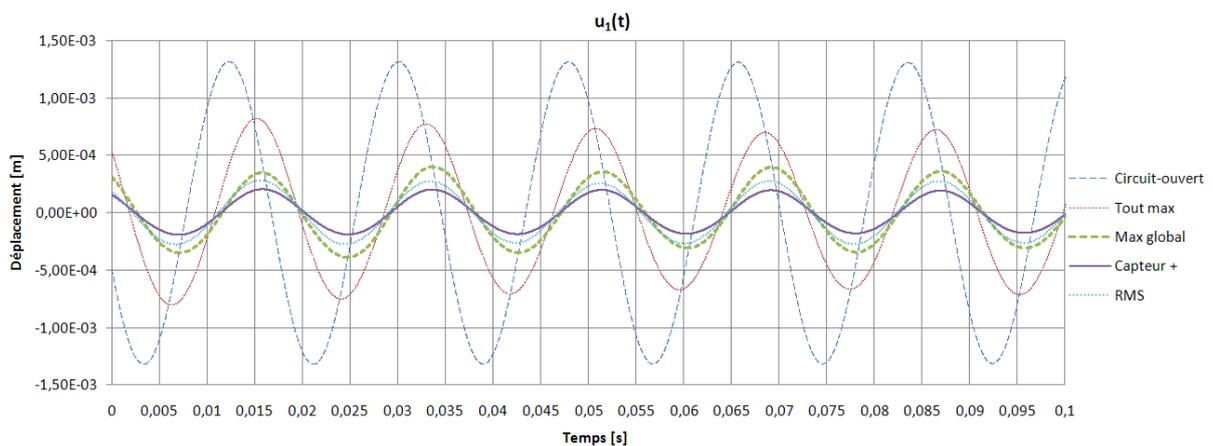


Figure 2.6 : Contribution du premier mode propre de résonance sur les oscillations mécaniques de l'extrémité libre d'une structure poutre en simulation.

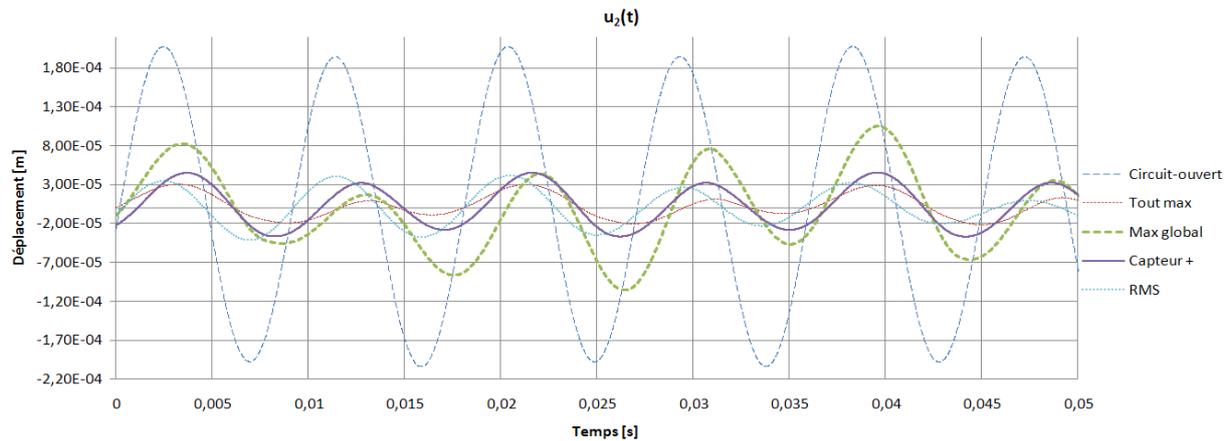


Figure 2.7 : Contribution du deuxième mode propre de résonance sur les oscillations mécaniques de l'extrémité libre d'une structure poutre en simulation.

Dans la configuration (b) avec inversion de la tension piézoélectrique tout extremum, nous constatons que le deuxième mode de résonance est atténué de manière plus significative que pour les autres méthodes simulées. Le premier mode est quant à lui également atténué mais dans une moindre proportion et surtout, moins qu'avec les autres lois de contrôle.

Dans la configuration (c) avec sélection des extremums de tension et un unique capteur/actionneur, c'est l'effet contraire qui est rencontré. Le premier mode de résonance est atténué de manière significative avec une efficacité proche de celle obtenue par les autres lois de contrôle.

Concernant les lois de contrôle utilisant un capteur additionnel (d - e), l'efficacité d'amortissement reste similaire avec la loi de calcul RMS (e) et avec la loi de calcul à sélection d'extremum (d). Les oscillations sont atténuées drastiquement d'un facteur trois sur le premier mode et d'un facteur cinq sur le deuxième (en référence à l'amplitude crête moyenne par rapport à la simulation (a) en circuit-ouvert).

1.4.4. Bilan

La loi de contrôle (b) consiste à réaliser une inversion de tension SSDI sur chaque extremum de la tension piézoélectrique. L'action d'amortissement SSDI, telle que décrite dans [41], permet d'atténuer en priorité le mode de plus haute fréquence contenu dans la bande de réponse de la structure mécanique. Pour amortir les vibrations d'une structure de manière efficace, il convient donc d'atténuer tout d'abord le mode dont l'amplitude est

dominante sur la réponse mécanique des oscillations du système. Ce mode dominant ne correspond pas forcément au mode de plus haute fréquence de la réponse, comme dans nos simulations. Les lois de contrôle utilisant l'inversion de tension sur chaque extremum ne sont donc pas adaptées à un amortissement mécanique optimal.

Les résultats d'amortissement sont similaires entre la loi de contrôle RMS (e) et loi de contrôle à sélection d'un extremum global (d). Il conviendrait alors de comparer ces deux types de loi de contrôle en faisant varier le paramètre de filtrage temporel permettant de discriminer les extremums de tension pour (d), et en faisant varier le paramètre multiplicatif d'ajustement sur la valeur du seuil de déclenchement RMS pour (e) [46].

La différence d'efficacité entre les lois de contrôle (b - c) et (d - e) est liée à l'emploi pour ces dernières d'un capteur de tension additionnel. En effet, la méthode d'amortissement SSDI consistant à synchroniser le traitement non linéaire de la tension avec les extremums de déplacement mécanique, l'utilisation d'un capteur indépendant rend la prise de décision de commutation indépendante de la séquence des commutations précédentes comme c'est le cas avec un unique capteur/actionneur.

D'un point de vue technique, pour une réalisation en technologie microélectronique, le calcul d'une valeur RMS sur une fenêtre de temps est beaucoup plus complexe à mettre en œuvre que de réaliser la détection d'un extremum de tension. La complexité de calcul présente également un coût de consommation électrique supérieur.

De plus, l'utilisation d'un capteur piézoélectrique additionnel rend les potentiels du capteur et de l'actionneur flottants l'un par rapport à l'autre. Tous deux connectés à l'ASIC, cela pose la difficulté de la polarisation du substrat en silicium à un potentiel commun.

Nous concentrerons donc nos efforts vers une loi de contrôle à capteur/actionneur piézoélectrique unique, avec une loi de contrôle à détection d'extremum de tension sélectif.

2. Optimisation de l'interface de puissance

Dans ce sous-chapitre, nous nous intéressons à la phase d'inversion de la tension piézoélectrique de la figure 1.9.b. Il s'agit de l'étude d'intégration de l'interface de puissance *F2*. Le début et la fin de cette phase peuvent être définis simplement et le fonctionnement de tous les éléments de l'interface est linéaire. Les conditions dans lesquelles cette phase se déroule étant bien définies, l'établissement d'un modèle analytique est possible.

2.1. Modèle linéaire durant la phase d'inversion

2.1.1. Schéma électrique équivalent

Nous considérons que la phase d'inversion commence à $t = 0s$ quand la tension $V_c(t)$ présente un extremum d'amplitude V_0 . La phase se termine au blocage de la diode, avec la condition de courant nul réputée intervenir à $t = t_i$. Nous définissons la valeur remarquable de $V_c(t)$ en fin de phase désignée par V_i . Par principe [41], cette durée t_i est très courte par rapport à la période des oscillations mécaniques $T_{méca}$. Durant les phases d'inversion de tension, un oscillateur électrique amorti RLC est formé.

L'insert piézoélectrique ayant converti de l'énergie mécanique en énergie électrique, celle-ci est stockée sous forme capacitive dans C_0 . Le procédé non linéaire SSDI permet d'inverser la charge stockée dans l'insert et l'énergie correspondante participe à la transduction du domaine électrique vers le domaine mécanique. Lors de cette phase d'inversion, nous constatons des pertes énergétiques que nous avons identifiées comme étant principalement dissipées par effet Joule dans les dispositifs résistifs et par dissipation dans les dispositifs actifs présentant des seuils de conduction. Cette séquence présente donc un rendement énergétique ϕ que nous étudierons dans la section II.2.2. Les pertes par effet Joule sont modélisées par r et l'ensemble des dispositifs à seuil par une tension de seuil unique V_t . Les pertes par effet Joule ont comme contributions majoritaires les pertes dans le transistor passant en mode triode (modélisées par R_{on}) et les pertes dans l'inductance (modélisées par R_{Li}). Ce modèle (figure 2.8) constitue la base de l'étude analytique durant la phase d'inversion.

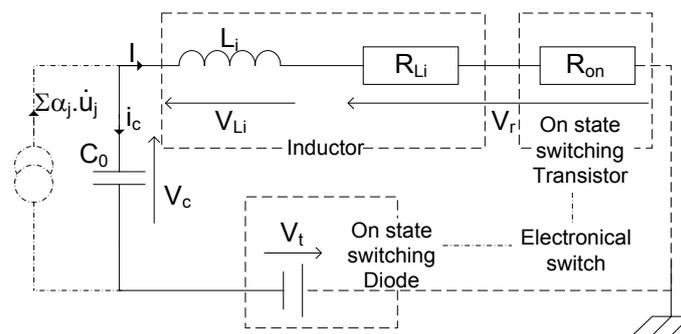


Figure 2.8 : Modèle électrique équivalent de l'oscillateur RLC SSDI en phase d'inversion de la tension.

2.1.2. Analyse temporelle

Le comportement de ce modèle RLC-diode est régi par l'équation différentielle du deuxième ordre 2-1. Les conditions initiales sont $V_c(0) = V_0$ et $I(0) = 0$. L'étude est réduite au cas monomodal afin de simplifier le problème avec $u(t) = U \cdot \cos(\omega \cdot t)$ et U l'amplitude, ω la pulsation des oscillations mécaniques.

$$\frac{d^2V_c(t)}{dt^2} + \frac{r}{L_i} \cdot \frac{dV_c(t)}{dt} + \frac{1}{L_i \cdot C_0} \cdot V_c(t) = \frac{V_t}{L_i \cdot C_0} + \frac{\alpha}{C_0} \cdot \frac{d^2u(t)}{dt^2} + \frac{r \cdot \alpha}{L_i \cdot C_0} \cdot \frac{du(t)}{dt} \quad \text{Eq. 2-1}$$

D'après l'équation caractéristique de l'équation homogène sans second membre associée à 2-1, il apparaît une condition à la mise en oscillation de la tension $V_c(t)$. Cette condition est notée dans l'équation 2-2.

$$C_0 < \frac{4 \cdot L_i}{r^2} \quad \text{Eq. 2-2}$$

La solution de l'équation différentielle 2-1 est exprimée en 2-3, avec k_1 donné en 2-4, k_2 en 2-5, et enfin la solution particulière SP en 2-6.

$$V_c(t) = e^{-\frac{r}{2 \cdot L_i} \cdot t} \cdot \left(k_1 \cdot \cos\left(\sqrt{\frac{r^2}{L_i^2} - \frac{4}{L_i \cdot C_0}} \cdot t\right) + k_2 \cdot \sin\left(\sqrt{\frac{r^2}{L_i^2} - \frac{4}{L_i \cdot C_0}} \cdot t\right) \right) + SP \quad \text{Eq. 2-3}$$

$$k_1 = (V_0 - V_t) + \frac{\frac{-\alpha \cdot \omega^2 \cdot U}{C_0} + \frac{\alpha \cdot U}{C_0} \left(\frac{r \cdot \omega}{L_i}\right)^2}{\left(\frac{1}{L_i \cdot C_0} - \omega^2\right)^2 + \left(\frac{r \cdot \omega}{L_i}\right)^2} \quad \text{Eq. 2-4}$$

$$k_2 = \frac{r}{2 \cdot L_i} \cdot k_1 + \frac{\frac{r \cdot \alpha \cdot \omega \cdot U}{(L_i \cdot C_0)^2}}{\left(\frac{1}{L_i \cdot C_0} - \omega^2\right)^2 + \left(\frac{r \cdot \omega}{L_i}\right)^2} \quad \text{Eq. 2-5}$$

$$SP = \frac{\frac{-\alpha \cdot \omega^2 \cdot U}{C_0} \left(\frac{1}{L_i \cdot C_0} - \omega^2\right) + \frac{\alpha \cdot U}{C_0} \left(\frac{r \cdot \omega}{L_i}\right)^2}{\left(\frac{1}{L_i \cdot C_0}\right)^2 + \left(\frac{r \cdot \omega}{L_i}\right)^2} \cdot \cos(\omega \cdot t) + \frac{\frac{-r \cdot \alpha \cdot \omega \cdot U}{(L_i \cdot C_0)^2}}{\left(\frac{r \cdot \omega}{L_i}\right)^2 + \left(\frac{1}{L_i \cdot C_0} - \omega^2\right)^2} \cdot \sin(\omega \cdot t) + V_t \quad \text{Eq. 2-6}$$

En considérant $t_i \ll T_{méca}$, la composante en $u(t)$ peut être assimilée à une constante sur l'intervalle d'inversion $[t_0; t_i]$. Finalement l'équation 2-1 peut se simplifier en 2-7 et sa solution générale est alors donnée en 2-8. Notons que dans ces conditions, $I(t) = i_c(t)$.

$$\frac{d^2V_c(t)}{dt^2} + \frac{r}{L_i} \cdot \frac{dV_c(t)}{dt} + \frac{1}{L_i \cdot C_0} \cdot V_c(t) = \frac{V_t}{L_i \cdot C_0} \quad \text{Eq. 2-7}$$

$$V_c(t) = (V_0 - V_t) \cdot e^{-\frac{r}{2L_i}t} \cdot \left[\frac{\cos\left(\sqrt{\frac{4L_i - r^2 \cdot C_0}{4L_i^2 \cdot C_0}} \cdot t\right) + \sqrt{\frac{r^2 \cdot C_0}{4L_i - r^2 \cdot C_0}} \cdot \sin\left(\sqrt{\frac{4L_i - r^2 \cdot C_0}{4L_i^2 \cdot C_0}} \cdot t\right) \right] + V_t \quad \text{Eq. 2-8}$$

L'équation analytique du courant $I(t)$ peut ensuite s'écrire en 2-9 grâce à la capacité des éléments piézoélectriques.

$$I(t) = -2 \cdot (V_0 - V_t) \cdot e^{-\frac{r}{2L_i}t} \cdot \sqrt{\frac{C_0}{4L_i - r^2 \cdot C_0}} \cdot \sin\left(\sqrt{\frac{4L_i - r^2 \cdot C_0}{4L_i^2 \cdot C_0}} \cdot t\right) \quad \text{Eq. 2-9}$$

2.1.3. Domaine de validité et critères de qualité

Nous avons vu que l'inversion de tension de $V_c(t)$ se termine lorsque le courant s'annule dans le circuit oscillant, soit pour $I(t_i) = 0$. La solution de cette équation est $k\pi$ périodique d'après le terme en sinus de 2-9, $k = 0$ correspond au début de l'inversion à t_0 , la première valeur de k suivante ($k = 1$) convient alors puisqu'il s'agit d'inverser la tension initiale V_0 avec le moins de pertes possible. Nous obtenons alors 2-10.

$$t_i = 2 \cdot \pi \cdot L_i \cdot \sqrt{\frac{C_0}{4L_i - r^2 \cdot C_0}} \quad \text{Eq. 2-10}$$

En insérant t_i dans l'équation 2-8 de $V_c(t)$, nous pouvons alors calculer la valeur de la tension finale après inversion V_i .

$$V_i = V_c(t_i) = -(V_0 - V_t) \cdot e^{-\pi \cdot r \cdot \sqrt{\frac{C_0}{4L_i - r^2 \cdot C_0}}} + V_t \quad \text{Eq. 2-11}$$

La technique SSDI consiste à inverser la tension $V_c(t)$, il faut donc s'assurer que la tension change de signe, en plus de la condition 2-2 nécessaire à l'oscillation du circuit RLC . Le rapport V_i/V_0 doit alors être strictement inférieure à zéro, ce qui se traduit par l'équation 2-12. Dans le cas simplifié où r est négligeable, l'équation 2-12 nous indique une contrainte exprimée par une tension V_0 égale à au moins deux fois la tension de seuil V_t .

$$V_0 \geq V_t \cdot \left(1 + e^{\pi \cdot r \cdot \sqrt{\frac{C_0}{4 \cdot L_i - r^2 \cdot C_0}}} \right) \quad \text{Eq. 2-12}$$

2.2. Analyse énergétique

L'insert piézoélectrique convertit de l'énergie mécanique en énergie électrique qui est stockée dans sa capacité propre C_0 . La commutation inverse la tension aux bornes de la capacité et l'insert convertit de nouveau l'énergie électrique en énergie mécanique. Cette séquence d'inversion présente un rendement énergétique ϕ dont les pertes joules et la tension de seuil de diode viennent diminuer l'efficacité du traitement non linéaire SSDI. À partir du modèle de la figure 2.8, nous considérons les énergies mises en jeu de l'instant t_0 à t_i .

L'énergie initiale E_0 est stockée par C_0 , son expression est donnée par l'équation 2-13. Nous pouvons exprimer de la même façon l'énergie convertie E_i à la fin de l'inversion par l'équation 2-14. Nous avons vu que r et V_t dissipent une partie de l'énergie initiale. Ces pertes sont divisées en deux contributions, E_r et E_t dissipées par r et V_t respectivement. La somme de E_r et E_t correspond à la différence entre E_0 et E_i . E_r et E_t sont données respectivement par les équations 2-15 et 2-16. L'énergie dissipée par r , est l'intégrale de la puissance dissipée de t_0 à t_i , il en va de même pour la part de l'énergie consommée E_t .

$$E_0 = \frac{1}{2} \cdot C_0 \cdot V_0^2 \quad \text{Eq. 2-13}$$

$$E_i = \frac{1}{2} \cdot C_0 \cdot V_i^2 \quad \text{Eq. 2-14}$$

$$E_r = r \cdot \int_{t_0}^{t_i} i^2(t) \cdot dt \quad \text{Eq. 2-15}$$

$$E_t = V_t \cdot \int_{t_0}^{t_i} i(t) \cdot dt \quad \text{Eq. 2-16}$$

En écrivant le rapport de l'énergie initiale sur l'énergie finale 2-13 et 2-14, nous vérifions que le rendement énergétique ϕ équivaut au carré du rapport tension finale V_i sur tension initiale V_0 comme indiqué en équation 2-17. De plus, en utilisant l'expression 2-11 de V_i , nous développons l'expression de ce rendement en tension 2-18 ainsi que l'énergie restituée en fin d'inversion E_i en 2-19.

$$\phi = \frac{E_i}{E_0} = \frac{1/2 \cdot C_0 \cdot V_i^2}{1/2 \cdot C_0 \cdot V_0^2} = \left(\frac{V_i}{V_0} \right)^2 = \eta^2 \quad \text{Eq. 2-17}$$

$$\eta = -\frac{V_i}{V_0} = \frac{(V_0 - V_t) \cdot e^{-\pi \cdot \sqrt{\frac{r^2 \cdot C_0}{4 \cdot L_1 - r^2 \cdot C_0}} - V_t}}{V_0} \quad \text{Eq. 2-18}$$

$$E_i = \frac{1}{2} \cdot C_0 \cdot \left[\begin{array}{c} (V_0 - V_t)^2 \cdot e^{-2 \cdot \pi \cdot \sqrt{\frac{r^2 \cdot C_0}{4 \cdot L_1 - r^2 \cdot C_0}}} - \\ 2 \cdot V_t \cdot (V_0 - V_t) \cdot e^{-\pi \cdot \sqrt{\frac{r^2 \cdot C_0}{4 \cdot L_1 - r^2 \cdot C_0}}} + V_t^2 \end{array} \right] \quad \text{Eq. 2-19}$$

En remplaçant $I(t)$ par son expression 2-9 dans E_r et E_t , nous obtenons les équations 2-20 et 2-21 respectivement.

$$E_r = \frac{1}{2} \cdot C_0 \cdot (V_0 - V_t)^2 \cdot \left(1 + e^{-2 \cdot \pi \cdot r \cdot \sqrt{\frac{C_0}{4 \cdot L_1 - r^2 \cdot C_0}}} \right) \quad \text{Eq. 2-20}$$

$$E_t = C_0 \cdot V_t \cdot (V_0 - V_t) \cdot \left(1 - e^{-\pi \cdot r \cdot \sqrt{\frac{C_0}{4 \cdot L_1 - r^2 \cdot C_0}}} \right) \quad \text{Eq. 2-21}$$

Dans l'hypothèse d'un système conservatif, le bilan énergétique peut alors s'écrire en 2-22 comme la somme des pertes (équations 2-20 et 2-21) et de l'énergie convertie (équation 2-19) égale à l'énergie initiale (équation 2-13). ΔE représente la somme des pertes.

$$E_0 - E_i = E_r + E_t = \Delta E \quad \text{Eq. 2-22}$$

Le tableau IV reprend l'ensemble des grandeurs utilisées dans le bilan énergétique de l'interface de puissance SSDI et quelques relations facilitant la lecture de ce manuscrit.

Notation	Signification	Relation
C_0	Capacité propre de l'insert piézoélectrique	
E_0	Energie initiale dans l'insert avant inversion à $t = 0$	Equation 2-21
E_i	Energie convertie dans l'insert après inversion à $t = t_i$	Equation 2-27
E_r	Energie consommée par r durant une phase d'inversion	Equation 2-28
E_t	Energie consommée par V_t durant une phase d'inversion	Equation 2-29
$T_{méca}$	Période maximale des oscillations mécaniques	
$I(t)$	Evolution temporelle de l'intensité dans l'oscillateur RLC	Equation 2-17
I_{Li}	Courant limite d'emploi de l'inductance L_i	
I_{lim}	Courant limite admissible dans l'oscillateur RLC	$I_{lim} = f(I_{Li}, I_{sat})$
I_{pic}	Intensité maximale de $I(t)$	
I_{sat}	Courant de saturation du transistor MOS	
L_i	Inductance d'inversion SSDI	
R	Résistance des pertes par effet Joule	$r = f(R_{on}, R_{Li})$
R_{Li}	Résistance série de l'inductance	
R_{on}	Résistance à l'état triode du transistor	
t_0	Instant de la fermeture de l'interrupteur MOS de l'interface de puissance	
t_i	Durée effective de l'inversion, instant de fin de l'inversion	Equation 2-10
V_0	Tension initiale avant inversion à $t = t_0$	Equation 2-20
$V_c(t)$	Evolution temporelle de la tension aux bornes de l'insert de capacité C_0	Equation 2-16
V_i	Tension finale après inversion à $t = t_i$	
V_t	Pertes par tension de seuil de conduction	
ϕ	Rendement énergétique effectif durant une phase d'inversion	$\phi = E_i/E_0$
η	Rendement effectif en tension	$\eta = V_i/V_0$

Tableau IV : Liste des grandeurs utilisées dans la méthode SSDI.

2.3. Critères de performances et contraintes

Le sous-chapitre II.2 nous a permis d'identifier les différents paramètres de la phase d'inversion nécessaire pour le SSDI. Les relations entre ces principaux paramètres sont illustrées sous forme d'un graphique sur la figure 2.9. Nous regroupons alors ces dépendances sous forme de trois types de contraintes :

- Les contraintes liées aux dépendances mécaniques (matériau, couplage électromécanique, dimensions).
- Les contraintes liées aux pertes énergétiques (dissipation par effet Joule, seuil de conduction).
- Les contraintes liées aux performances (durée d'inversion, rendement énergétique, courant limite d'emploi, tensions limites d'emploi).

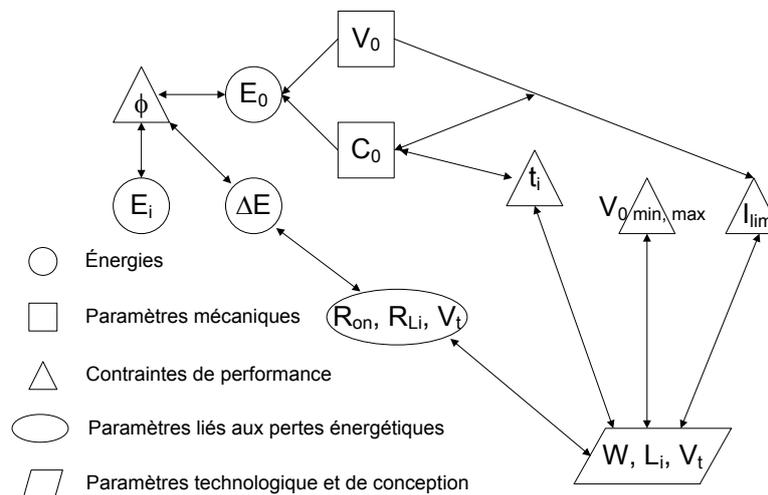


Figure 2.9 : Arbre de dépendances entre les principaux paramètres lors de l'inversion de tension SSDI.

La première performance concerne le rendement énergétique ϕ du dispositif. L'énergie emmagasinée avant inversion E_0 s'exprime en fonction de V_0 et C_0 et peut être ramenée au rendement en tension η par 2-18. Au cours de l'inversion, nous souhaitons conserver au minimum un rendement en tension *rend* afin de ne pas dégrader les charges électriques disponibles pour l'inversion. Cette valeur minimal a été défini pour un rendement énergétique minimal de 50% dans le cadre du projet soutenu par la DGA. D'après l'équation 2-18, cela correspond à une valeur de *rend* de 70%.

La part de l'énergie perdue ΔE dans le circuit oscillant RLC par R_{Li} , R_{on} et V_t est directement liée aux variables de conception de l'interface de puissance RLC via :

- la largeur active de grille W des nMOS T_1 et T_2 (défini par R_{on}),
- le choix d'une inductance CMS L_i (défini par R_{Li}),
- le dimensionnement des diodes D_1 et D_2 (valeur de V_t).

La deuxième performance identifiée est la durée de l'inversion t_i . En effet pour garantir une inversion optimale, [41] propose que t_i soit au minimum trente fois plus faible que la période des oscillations mécaniques $T_{méca}$. Pour un oscillateur électrique RLC , t_i s'exprime en fonction de L_i , r et C_0 . La valeur maximale de t_i admissible dans ces conditions sera notée $t_{i\ max}$.

Les choix technologiques imposent également des contraintes de performance sur le courant maximal admissible I_{lim} dans le circuit RLC . Nous avons également vu par l'équation 2-12, qu'il existe une tension initiale minimale $V_{0\ min}$ imposée par la tension de seuil de conduction V_t . Les transistors T_1 et T_2 possèdent une tension drain-source maximale admissible qui fixe un $V_{0\ max}$ pour la technologie CMOS mise en œuvre.

2.4. Critères d'optimisation

Nous avons introduit en section II.1.1 l'idée d'un ASIC générique compatible avec une grande gamme d'insert piézoélectrique. En termes de conception, V_0 est donné en paramètre et V_t prend une valeur fixe avec la technologie employée. Nous exprimons alors les valeurs de C_0 en fonction de L_i et W tout en veillant à respecter les contraintes identifiées. Pour ce faire, nous écrivons des inégalités sur C_0 à partir de 2-9, 2-10 et 2-18. Il reste enfin à vérifier la condition sur $V_{0\ min}$ en 2-12 et le critère d'oscillation en 2-2.

2.4.1. Le rendement d'inversion

Afin de limiter les pertes dans le circuit d'inversion, nous considérons l'équation 2-18 du rendement en tension et faisons l'extraction de la valeur $C_{0\ rend}$ telle que toute valeur de C_0 inférieure à $C_{0\ rend}$ corresponde à la valeur minimale du rendement en tension à satisfaire. Cette condition est exprimée en 2-23 :

$$C_0 < C_{0\text{ rend}} = \frac{4 \cdot L_i \cdot \ln^2\left(\frac{r_{\text{end}} \cdot V_0 + V_t}{V_0 - V_t}\right)}{r^2 \cdot \left(\pi^2 + \ln^2\left(\frac{r_{\text{end}} \cdot V_0 + V_t}{V_0 - V_t}\right)\right)} \quad \text{Eq. 2-23}$$

2.4.2. La durée d'inversion

De la même manière, en extrayant $C_{0\text{ ti}}$ de 2-10, nous exprimons la valeur maximale de C_0 admissible pour satisfaire une durée d'inversion inférieure à $t_{i\text{ max}}$.

$$C_0 < C_{0\text{ ti}} = \frac{4 \cdot L_i \cdot t_{i\text{ max}}^2}{(2 \cdot \pi \cdot L_i)^2 + (r \cdot t_{i\text{ max}})^2} \quad \text{Eq. 2-24}$$

2.4.3. Limitation en courant

Le courant admissible I_{Li} dans l'inductance L_i est limité par les paramètres technologiques tels que la section du fil qui entraîne des pertes par effet Joule (R_{Li}), et la saturation du circuit magnétique. Les transistors T_1 et T_2 de commutation possèdent également un courant limite de saturation I_{sat} proportionnel à la largeur active de grille W et lié à la tension de commande V_{GS} . La mise en saturation du transistor entraîne de fortes dissipations de puissance et donc dégrade également le rendement énergétique lors de l'inversion. Il vient donc un courant limite admissible dans l'interface de puissance défini par le minimum de l'un ou l'autre des courants limites I_{sat} ou I_{Li} :

$$I_{\text{lim}} = \min(I_{Li}, I_{\text{sat}}) \quad \text{Eq. 2-25}$$

Nous avons exprimé la dérivée temporelle du courant $I(t)$ dans l'oscillateur lors de la phase d'inversion à partir de l'équation 2-9 donnant son expression. Le sens de variation permet de déterminer la présence ou l'absence d'extremum local de la fonction $I(t)$.

$$\frac{d[I(t)]}{dt} = -\frac{1}{L_i} \cdot (V_0 - V_t) \cdot e^{-\frac{r}{2 \cdot L_i} t} \cdot \left[\begin{array}{c} \cos\left(\sqrt{\frac{4 \cdot L_i - r^2 \cdot C_0}{4 \cdot L_i^2 \cdot C_0}} \cdot t\right) \\ -\sqrt{\frac{r^2 \cdot C_0}{4 \cdot L_i - r^2 \cdot C_0}} \cdot \sin\left(\sqrt{\frac{4 \cdot L_i - r^2 \cdot C_0}{4 \cdot L_i^2 \cdot C_0}} \cdot t\right) \end{array} \right] \quad \text{Eq. 2-26}$$

Cette égalité nous permet de trouver des extremums $k \cdot \pi$ périodiques pour une valeur de dérivée nulle. Nous prenons alors $k = 0$ afin de ne considérer que le premier point d'inflexion de la dérivée correspondant au premier pic de courant noté I_{pic} de $I(t)$.

$$t_k = 2 \cdot L_i \cdot \sqrt{\frac{C_0}{4 \cdot L_i - r^2 \cdot C_0}} \cdot \left[\arctan \left(\sqrt{\frac{4 \cdot L_i}{r^2 \cdot C_0} - 1} \right) + k \cdot \pi \right] \quad \text{Eq. 2-27}$$

Nous observons un maximum de courant I_{pic} exprimé par l'équation 2-28 en injectant 2-27 dans l'équation de $I(t)$ en 2-9.

$$I_{lim} > I_{pic} = -2 \cdot (V_0 - V_t) \cdot \left(e^{-r \cdot \sqrt{\frac{C_0}{4 \cdot L_i - r^2 \cdot C_0}} \arctan \left(\sqrt{\frac{4 \cdot L_i}{r^2 \cdot C_0} - 1} \right)} \cdot \sin \left[\arctan \left(\sqrt{\frac{4 \cdot L_i}{r^2 \cdot C_0} - 1} \right) \right] \right) \quad \text{Eq. 2-28}$$

L'équation 2-28 contient des termes non linéaires, il n'est donc pas possible de trouver une solution analytique pour l'extraction d'une valeur de C_{0i} . Nous proposons alors une méthode de résolution numérique par pas de calcul itératif tel que la valeur de I_{pic} donnée en 2-28 respecte l'inégalité avec I_{lim} . La dernière valeur C_0 permettant de ne pas dépasser I_{lim} est alors donnée comme valeur de C_{0i} .

2.4.4. Limitation en tension

Il existe une tension initiale minimale V_{0min} avant le début de la phase d'inversion de tension SSDI telle que le changement de signe de $V_c(t)$ soit garanti comme nous l'avons vu avec l'équation 2-12. Avec l'équation 2-23, il est possible de définir une valeur de V_{0min} telle que le rendement en tension minimal $rend$ lors de l'inversion soit respecté. Cette contrainte est exprimée par 2-29. L'équation 2-29 est la généralisation de l'équation 2-12 avec l'intégration de la valeur de $rend$ dans la condition sur V_{0min} .

$$V_0 > V_{0min} = V_t \cdot \frac{1 + e^{\frac{\pi \cdot r \cdot \sqrt{\frac{C_0}{4 \cdot L_i - r^2 \cdot C_0}}}{1 - rend \cdot e^{\frac{\pi \cdot r \cdot \sqrt{\frac{C_0}{4 \cdot L_i - r^2 \cdot C_0}}}}}} \quad \text{Eq. 2-29}$$

2.4.5. Domaine de validité

Le critère d'oscillation du circuit de puissance *RLC* est contraint par l'équation 2-2. En le comparant avec l'inégalité entre C_0 et le rendement minimal en tension *rend* en 2-23, nous voyons que le terme en logarithme de 2-23 donne une sur-contrainte de 2-2. L'équation 2-23 peut alors être conservée seule dans le modèle.

2.5. Expression de l'espace de conception

2.5.1. Environnement de calcul

Avec la comparaison des équations 2-23, 2-24 et 2-28, nous ne conservons que la valeur la plus contraignante définie par les inégalités en C_0 . Chaque contrainte est donc satisfaite par une valeur maximale $C_{0\ max}$. Cette valeur devra toutefois vérifier la condition de validité d'inversion en tension par l'équation 2-29. Ces contraintes ont été codées et traitées dans le logiciel de calcul Matlab en intégrant une bibliothèque de composants. Les données concernant les bobines et les paramètres technologiques CMOS sont collectées auprès des fournisseurs. Une comparaison entre les pertes induites par effet Joule et les pertes par tension de seuil de conduction est mise en évidence par cette démarche. Cette section présente l'exploitation des résultats du modèle analytique ainsi établi. Les performances des modes de commutation 1 et 2 (partie II.1.3.4) de l'interface de puissance sont ainsi évaluées.

2.5.2. Bibliothèque de composants

Les inductances montées en surface (CMS) retenues pour l'implémentation sont des inductances de chez Tyco Electronics série 3631. Le choix s'est porté sur cette série pour leur disponibilité commerciale, mais surtout pour leur faible encombrement ainsi que leur bon facteur de qualité électrique. L'annexe I¹ présente la documentation technique de ces inductances CMS.

En ce qui concerne la technologie microélectronique retenue, notre choix s'est porté vers une technologie avec option haute tension de chez AustriaMicroSystem (AMS) 0,35 μ m H35B4. L'option haute-tension permet de supporter des tensions drain-source aux bornes des transistors de puissance allant jusqu'à 50V ($V_{DSmax} = 56V$) pour des tensions grille-source de 3,3V ($V_{GSmax} = 3,6V$). Les valeurs de « haute-tension » dans le domaine de la

¹ Annexe I : page 172.

microélectronique permettent d'être compatibles avec les valeurs de tensions générées aux bornes des inserts piézoélectriques (typiquement quelques dizaines de volts). Cette technologie permet d'intégrer sur une même puce, les transistors de commutation haute-tension, ainsi que l'électronique de contrôle basse-tension. L'étage d'adaptation nécessaire entre la haute-tension de l'interface piézoélectrique et la basse-tension de contrôle permettra de réduire la puissance consommée par l'ASIC. L'annexe II¹ présente un aperçu rapide des caractéristiques de cette technologie. Les paramètres (confidentiels) de conductivité du canal en mode triode et du courant de saturation ont guidé notre choix parmi plusieurs technologies. La technologie H35B4 fournie par AMS bénéficie en outre d'une bonne maturité et d'un faible coût financier par rapport à des technologies plus récentes.

2.5.3. Construction de l'espace de conception

La figure 2.10 représente les courbes obtenues avec chacune des limites de C_0 pour un couple de points particulier W et L_i de l'espace de conception. Cette simulation est réalisée pour une tension initiale V_0 de $5V$ en mode 2 de commutation (figure 2.4.b).

Dans cette configuration, nous constatons que la durée d'inversion et le rendement sont les deux contraintes ayant le plus d'influence sur la valeur de C_{0max} . Pour la condition sur le courant, elle entre en concurrence avec le domaine de validité défini en 2-2. Dans tous les cas, nous voyons que la courbe 2.10 (1) du rendement est toujours au-dessous de la courbe 2.10 (2) du domaine de validité, ce qui vérifie que le domaine de validité est une sur-contrainte (équation 2-23) du rendement minimal.

Nous avons défini que seule la valeur de C_0 la plus contraignante était retenue. Toutes les valeurs inférieures à cette valeur $C_{0 max}$, seront solutions de toutes les contraintes pour le couple $L_i W$ donné. Dans les conditions ainsi choisies, nous pouvons alors calculer les valeurs de la durée t_i , du rendement η et du pic de courant I_{pic} effectifs lors de l'inversion. La figure 2.11 reprend l'espace de conception simplifié à $C_{0 max}$. Les valeurs de C_0 dans cet espace sont bornées entre $50pF$ et $1\mu F$. Cet encadrement correspond à des valeurs typiques d'inserts piézoélectriques de type PZT P189 d'épaisseur $500\mu m$ pour une surface de $1,7mm$ de côté et $23,5cm$ de côté respectivement. Ces valeurs nous paraissent suffisamment étendues dans le cadre de notre étude et ont été définies dans le cadre du projet soutenu par la DGA.

¹ Annexe II : page 178.

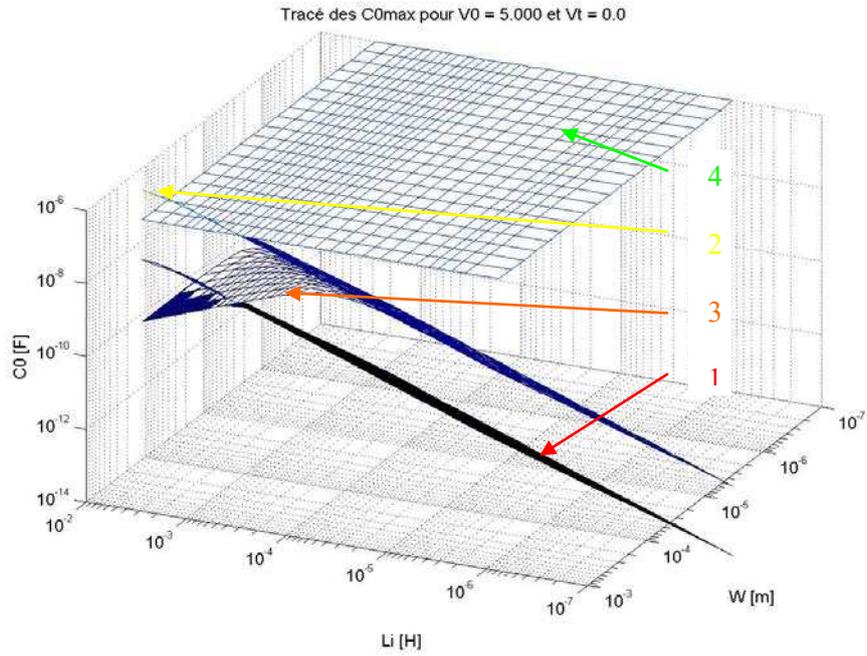


Figure 2.10 : Impact des différentes contraintes sur l'espace de conception :

- (1) Contrainte sur le rendement d'inversion en tension η ,
- (2) Contrainte sur le domaine de validité,
- (3) Contrainte sur la durée d'inversion t_i ,
- (4) Contrainte sur le courant limite I_{lim} .

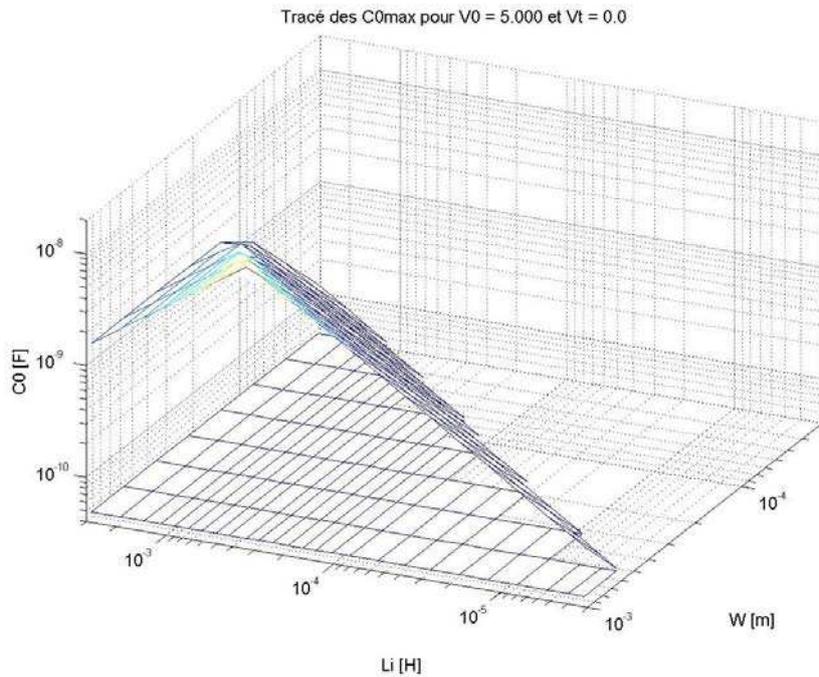


Figure 2.11 : Espace de conception en mode 2 de commutation pour $V_0 = 5V$.

3. Circuit ASIC générique

Nous souhaitons dans ce sous-chapitre utiliser notre outil de description de l'espace de conception dans le but de rechercher un optimum de performance compatible avec une solution de circuit générique, tel que défini dans la problématique de départ. Nous proposons d'abord d'étudier l'effet de la stratégie de commutation présentée en partie II.1.3.4 sur le rendement de l'inversion de tension. Nous verrons ensuite l'effet des valeurs permises de C_0 sur les contraintes du modèle. Et enfin nous définirons la configuration d'un système d'amortissement générique avec solution ASIC implémentant la méthode SSDI.

3.1. Stratégie de commutation

En comparant les deux modes de commutation de la figure 2.4, nous simulons sur la figure 2.12 le rendement en tension lors de l'inversion correspondant à chaque couple de coordonnées W, L_i compatible avec les solutions de l'espace de conception. La tension initiale V_0 est de 1,3V, la courbe (a) prend $V_t = 0,6V$ (mode 1) pour paramètre et la courbe (b) $V_t = 0V$ (mode 2).

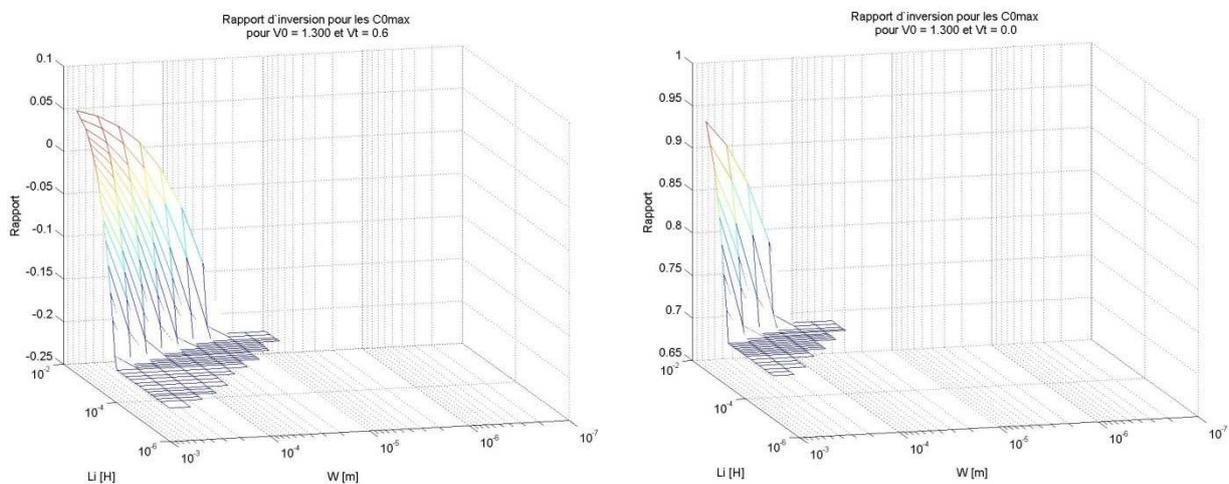


Figure 2.12 : Rendement pour une tension V_0 initiale de 1,3V :

(a) mode 1 de commutation,

(b) mode 2 de commutation.

Nous constatons qu'avec le mode 1, les pertes sont telles que le rendement minimal *rend* (70% d'après II.1.3.4) n'est jamais atteint. Pour certains couples de solutions, le rendement apparaît négatif. Ce qui signifie que la tension $V_c(t)$ ne change pas de signe d'après 2-18. Notons que pour obtenir ces résultats, incompatibles avec la contrainte de rendement minimal, cette dernière a été temporairement masquée dans le modèle. En deçà de la tension minimale satisfaisant le rendement minimal telle que définie par 2-29, la valeur de V_0 utilisée donne une « surface de solutions » vide en mode 1.

Dans le cas de la courbe en figure 2.12.b, le mode 2 de commutation présente quant à lui un ensemble de solutions intégrant la contrainte de rendement minimal. Bien que cet ensemble de couple paraisse limité (la surface de solutions ne couvre pas l'ensemble de l'espace de conception), la contrainte de rendement n'est pas affectée par la basse tension V_0 par rapport au cas du mode 1 de commutation. Nous présentons à titre de comparaison, deux simulations similaires en figure 2.13.

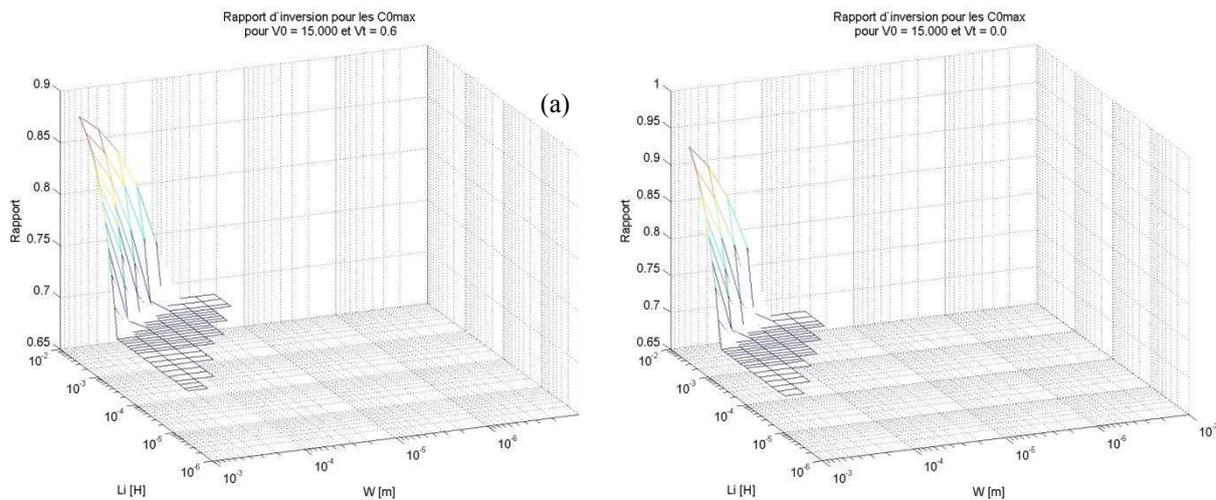


Figure 2.13 : Rendement pour une tension V_0 initiale de 15V :

- (a) mode 1 de commutation,
- (b) mode 2 de commutation.

Nous constatons que pour une tension initiale de 15V, le rendement en tension est quasi-identique entre les deux modes de commutation. Il apparaît que plus la tension V_0 est grande, et moins les pertes dues à la tension de seuil de conduction ont d'impact sur le rendement. Cette observation est remarquable bien que les pertes Joule soient plus importantes que dans le cas du mode 1 de commutation (un seul transistor et une diode, partie II.1.3.4). D'après

l'équation 2-29, pour un rendement minimal en tension $rend$ de 0,7, et dans la configuration suivante ($L_i = 3,3mH$, $C_0 = 142nF$, $r = 0\Omega$, $V_t = 0,6V$), la valeur de V_{0min} est de 4V. Nous étudierons la limite d'influence entre les pertes Joule et les pertes par tension de seuil lors de la recherche de la solution générique dans la partie II.3.3.1.

3.2. Variations de C_0

Nous avons vu précédemment que l'espace de solution pouvait s'exprimer comme une valeur maximale de C_0 en fonction de W et L_i , répondant à l'ensemble des contraintes de performance identifiées en sous-chapitre II.2. Nous allons montrer maintenant le comportement des principales contraintes avec les valeurs de C_0 allant de C_{0max} à 0nF.

3.2.1. Durée d'inversion

Tout d'abord, regardons l'effet de cette variation décroissante sur la durée d'inversion t_i . Le plan supérieur sur la figure 2.14 représente la valeur de $t_{i max}$ à ne pas dépasser, le plan inférieur représente la limite $C_0 = 0nF$. Ces relevés montrent que les valeurs de C_0 respectent la contrainte de la durée d'inversion, ce qui respecte bien notre objectif de durée brève.

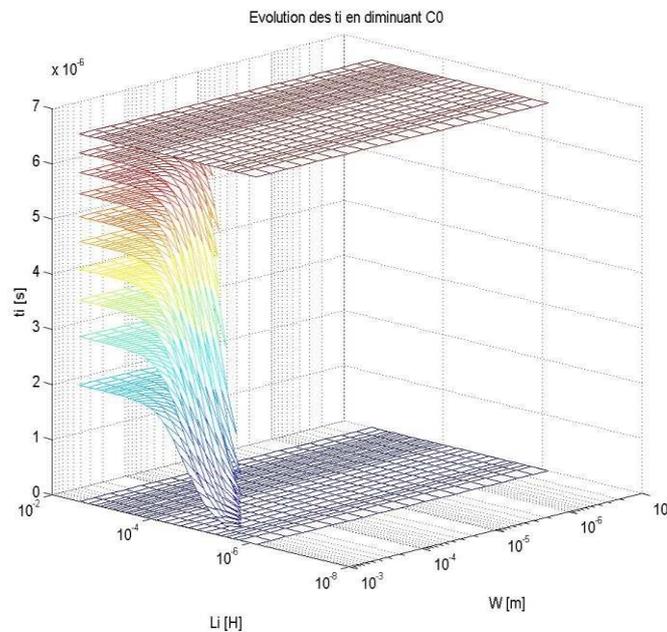


Figure 2.14 : Évolution de t_i en fonction des valeurs de C_0 décroissantes.

3.2.2. Rendement en tension

Regardons à présent l'effet de C_0 sur le rendement en tension η . Le plan unitaire sur la figure 2.15 représente la limite où C_0 est nul. La diminution de C_0 entraîne l'augmentation de η et garantit donc le respect du rendement minimal.

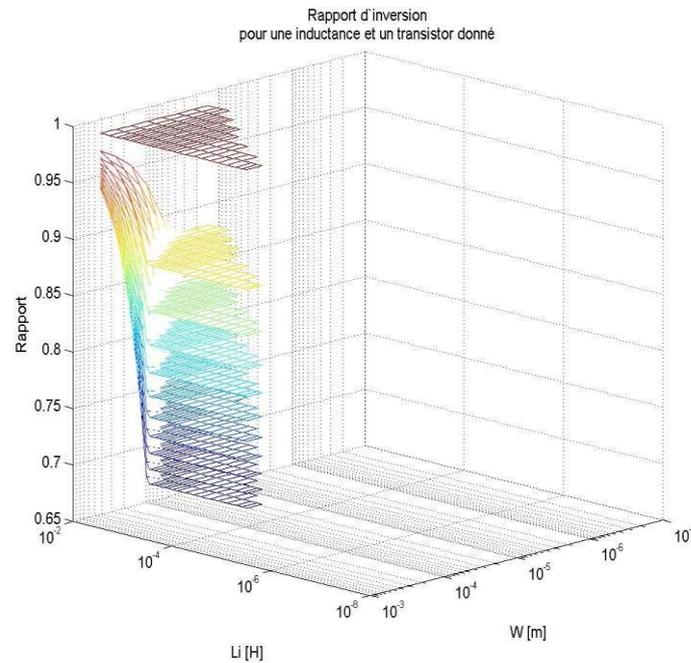


Figure 2.15 : Évolution du rendement en fonction des valeurs de C_0 décroissantes.

3.2.3. Pic d'intensité lors de l'inversion

Voyons enfin l'effet de la décroissance de C_0 sur la valeur de l'intensité pic I_{pic} dans le circuit oscillant lors de l'inversion de tension. Le plan inférieur représente la limite où C_0 est nul, le courant est alors naturellement nul. La diminution de C_0 entraîne la réduction de l'intensité du pic de courant. L'interface de puissance ne risque donc pas d'être détériorée pour l'utilisation d'insert piézoélectrique de capacité propre C_0 inférieure à C_{0max} .

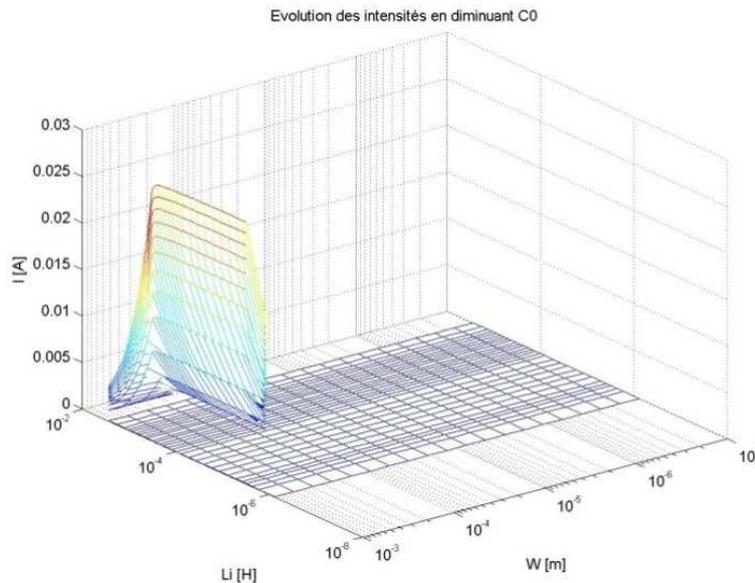


Figure 2.16 : Évolution du courant pic en fonction des valeurs de C_0 décroissantes.

3.2.4. Bilan

Outre le respect de toutes les conditions nécessaires à une inversion optimale, ces variations indiquent qu'utiliser une petite valeur de C_0 inférieure à la valeur maximale permise, d'un point de vue purement électrique, est favorable pour les performances d'inversion. Cependant, il faut considérer l'aspect mécanique du système où nous avons vu que la valeur de C_0 dépendait de l'insert piézoélectrique utilisé. Or, des inserts de petite capacité, donc de faibles dimensions, ne pourront pas permettre un bon couplage électromécanique sur de grandes structures. Il conviendra de trouver le meilleur compromis entre taille de l'insert et couplage électromécanique. Cette étude n'est pas abordée dans ce document car effectuée par nos partenaires dans le cadre du projet soutenu par la DGA.

3.3. Circuit générique

Il existe un ensemble de couples L_i, W solution à l'intégration hybride de la méthode d'amortissement SSDI. En mode 1, il n'existe cependant pas de solution en dessous de 4V (équation 2-29, $V_t = 0,6V, r = 0\Omega$). Nous souhaitons par conséquent observer le comportement de l'espace de conception en fonction de V_0 . Pour chaque valeur de V_0 de 0 à 50V, nous relevons le couple de point L_i, W où la valeur de $C_{0\ max}$ est maximale et nous dressons alors un tableau des variations des valeurs de $C_{0\ max}$.

3.3.1. Couverture de la plage de valeur de V_0

3.3.1.1. Mode 2 de commutation

En mode 2, la surface projetée dans l'espace des solutions ne varie pas de 0V à 25V ($C_{0\ max}$ ne change pas), et commence à se réduire progressivement (quelques nanofarads à partir de 25V et ce jusqu'à 50V). Cette réduction est liée à la contrainte sur le rendement qui devient, à partir de 25V, prépondérante sur les autres contraintes. En effet, les pertes ohmiques sont proportionnelles au carré de l'intensité. Pour les autres contributions, la contrainte sur la durée d'inversion n'est pas fonction de V_0 et la contrainte sur la valeur du courant pic ne commence à affecter C_0 qu'aux environs de 50V :

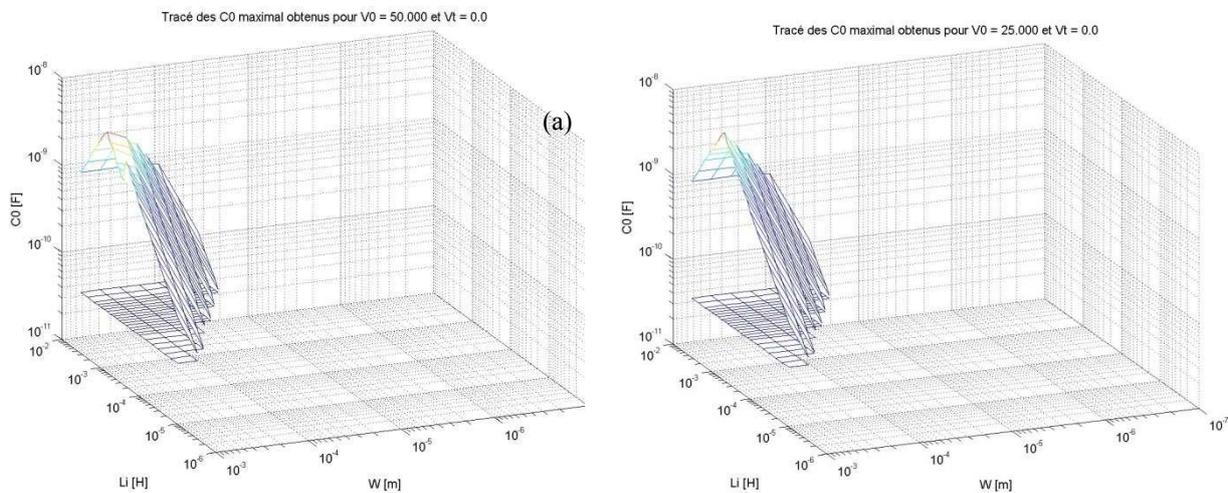


Figure 2.17 : Espace de conception en mode 2 de commutation :

(a) pour $V_0 = 25V$ et $V_t = 0V$,

(b) pour $V_0 = 50V$ et $V_t = 0V$.

3.3.1.2. Mode 1 de commutation

En mode 1, la surface projetée dans l'espace des solutions varie également. Tout d'abord de façon croissante de 4V à 16V, puis de façon décroissante de 16V à 50V (figure 2.18). Ces variations de l'espace de solutions sont également liées à la contrainte sur le rendement.

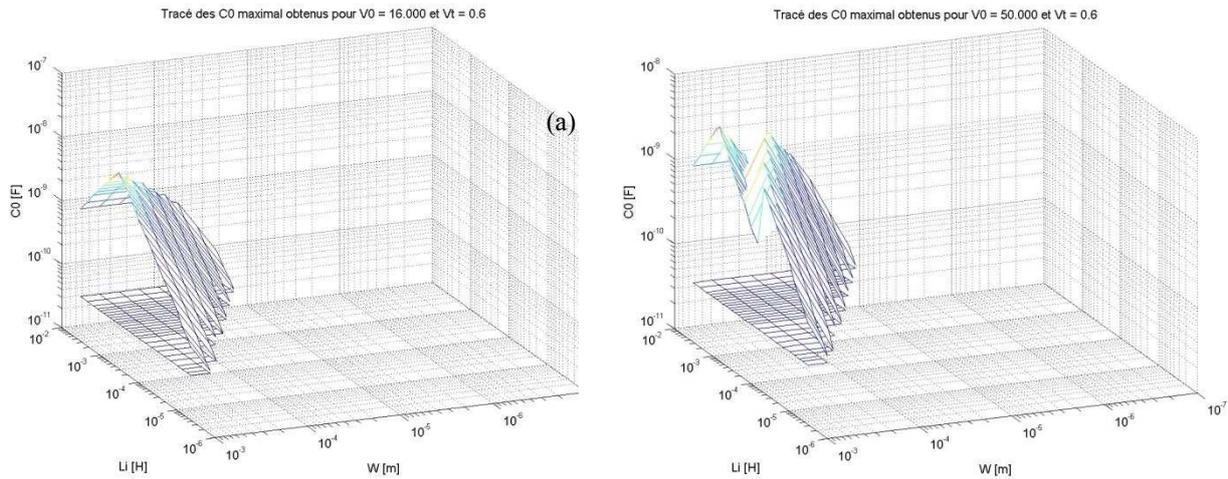


Figure 2.18 : Espace de conception en mode 1 :

(a) pour $V_0 = 50V$ et $V_t = 0V$,

(b) pour $V_0 = 16V$ et $V_t = 0V$.

3.3.1.3. Bilan

D'après les relevés en mode 1 (figure 2.18), nous pouvons relever l'impact de la tension de seuil de conduction qui est dominant de 4V à 16V. D'après les relevés du mode 2 (figure 2.17), les pertes induites par effet Joule commencent à avoir de l'impact à partir de 25V et ce jusqu'à 50V. Entre 16V et 25V, nous pouvons donc considérer que les deux sources de pertes ont le même impact sur l'espace de solutions. Cet espace est d'ailleurs toujours plus important en mode 2 qu'en mode 1, bien que l'écart se réduise à l'approche des 50V.

Nous remarquons enfin que dans tous les cas, mode 1 ou 2, la gamme de C_0 admissible est la plus grande pour un W maximal.

3.3.2. Synthèse

Nous souhaitons à présent vérifier l'existence d'une valeur particulière de L_i qui permettrait d'avoir la plus grande gamme de C_0 tout en couvrant l'étendue de V_0 (de 0V à 50V). Nous relevons alors dans le tableau V, les configurations de l'espace de conception présentant la plus grande gamme de C_0 , en fonction des variations de V_0 .

Mode 1	C_0	L_i	W	η
5V	50pF ~ 3nF	1,2mH	1mm	0,7
16V	50pF ~ 11,8nF	330 μ H	1mm	0,7
50V	50pF ~ 5,7nF	680 μ H	1mm	0,86

Tableau V : Plage des valeurs de C_0 maximale en mode 1 suivant les variations de l'espace de conception.

Nous pouvons alors proposer un circuit unique ayant un W de 1mm, l'insert devra présenter une capacité propre de moins de 3nF afin de garantir le fonctionnement optimal pour toute tension allant de 4V à 50V. Pour le meilleur choix de l'inductance, il pourra se faire en fonction de la tension initiale à adresser. Toutefois, si la valeur de L_i augmente, la durée d'inversion augmente et $t_{i \max}$ risque d'être dépassée. Au contraire si la valeur de L_i diminue, c'est le courant pic qui risque de devenir trop important. Il convient de trouver le bon compromis entre la durée de l'inversion et le courant pic dans le circuit. Dans tous les cas de figure de la valeur de V_0 , le choix de l'inductance de 1,2mH convient pour ce mode.

Dans cette configuration, la courbe du rendement théorique est obtenue :

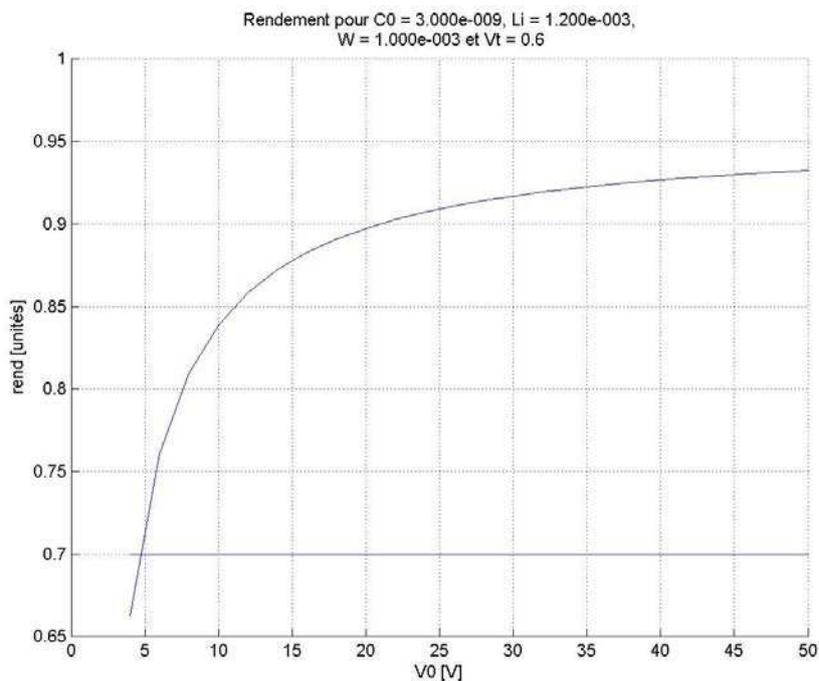


Figure 2.19 : Rendement effectif pour la configuration générique en mode 1.

Le point critique du tableau V à 5V est retrouvé sur la figure et nous constatons alors que l'évolution de V_0 dans cette configuration unique conduit à l'augmentation du rendement.

En adoptant la même démarche, nous relevons les variations de C_0 sur toute la gamme de V_0 de 0 à 50V en mode 2 :

Mode 2	C_0	L_i	W	η
5mV	50pF ~ 8,3nF	470 μ H	1mm	0,7
25V	50pF ~ 8,3nF	470 μ H	1mm	0,7
50V	50pF ~ 5,7nF	680 μ H	1mm	0,86

Tableau VI : Plage des valeurs de C_0 maximale en mode 2 suivant les variations de l'espace de conception.

Le circuit standard est alors optimal pour un insert piézoélectrique de capacité propre maximale de 5,7nF, une inductance de 680 μ H et une largeur active de la grille du transistor de 1mm. Dans cette configuration, le rendement théorique suivant est attendu :

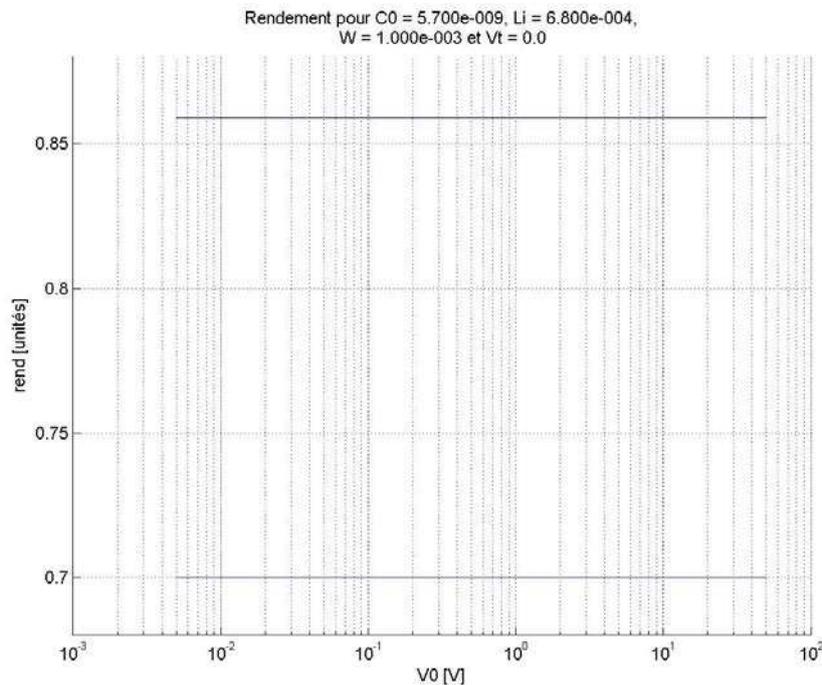


Figure 2.20 : Rendement effectif pour la configuration standard en mode 2.

Contrairement au mode 1 de commutation, ici le rendement est constant en fonction de la tension avant inversion V_0 . Les diodes de commutation D_1 et D_2 étant inactives dans cette phase, le rendement en tension (équation 2-26) n'est plus fonction que des pertes Joule et le terme en V_0 de l'expression du rendement disparaît.

3.4. Bilan

À travers cette étude, nous avons pu exprimer une démarche menant à formuler les nécessités et limites à l'intégration de la technique SSDI sur silicium par une méthode analytique. Nous savons à présent maîtriser les différents coûts énergétiques et prévoir le comportement d'un futur circuit utilisant les inductances et transistors à notre disposition.

Le mode 1 de commutation présente l'avantage de l'ouverture automatique du circuit au passage par zéro du courant mais ne permet pas de couvrir toute la gamme de tension V_0 de 0V à 50V. En effet, il existe un seuil de tension minimal en dessous duquel la tension aux bornes de l'insert piézoélectrique ne change pas de polarité. La commande automatique à l'ouverture ne nécessite pas d'intelligence électronique et sera donc synonyme de réduction de la consommation électrique du contrôleur ASIC.

Le mode 2 permet en revanche d'accéder à un meilleur rendement en tension lors de la phase d'inversion SSDI, en particulier pour les basses tensions. Nous n'avons malheureusement pas eu le temps de développer au niveau transistor l'implémentation du système de commande à l'ouverture du mode 2 durant cette thèse, et l'ASIC n'intégrera donc que le mode 1 de commutation.

Concernant le dimensionnement des transistors, dans un but de maîtriser l'encombrement et les coûts associés, nous avons fixé L la longueur de grille active du transistor nMOS haute tension à son minimum, c'est-à-dire à $2\mu\text{m}$ pour la technologie AMS H35B4 retenue. Quant à la largeur de grille active du transistor W , nous l'avons limitée à 1mm dans notre étude. Cette valeur est déjà importante à l'échelle de composants intégrés mais la contrainte de rendement en tension étant essentiellement limitée par W , nous avons choisi de fixer cette limite afin d'améliorer la généricité du circuit.

Chapitre III :

Mise en œuvre dans un composant ASIC

Ce troisième chapitre décrit les fonctions électroniques du contrôleur SSDI intégrées dans notre prototype d'ASIC. Le dimensionnement, l'optimisation au niveau transistor, ainsi que la caractérisation des blocs fonctionnels seront détaillés ici.

1. Mise en œuvre du système de contrôle global

1.1. Interface de puissance

Le système de contrôle de vibration SSDI proposé dans ce travail est composé d'un unique transducteur piézoélectrique, d'une inductance externe CMS pour le transfert de charges électriques et d'un ASIC (voir figure 3.1).

En adéquation avec les choix architecturaux du chapitre II, nous proposons de développer l'ASIC dans une technologie CMOS 0,35 μ m avec une option haute tension. Le traitement non-linéaire de la tension aux bornes du transducteur est déclenché aux instants optimaux à l'aide de l'information mesurée entre les bornes drain et source des transistors d'inversion T_1 et T_2 (figure 2.3.b). En circuit ouvert, cela est lié à la tension aux bornes du transducteur et, en circuit fermé, à l'image du courant lors de l'inversion. En circuit ouvert et pour une différence de potentiel donnée aux bornes du transducteur, les diodes D_1 et D_2 fixent le potentiel le plus bas à une valeur $-V_t$ par rapport au potentiel de substrat de l'ASIC. Ainsi, la détection des maximums et des minimums de tension de $V_c(t)$ est réalisée respectivement à l'aide de $V_{e1}(t)$ ($V_c(t) - V_t$ lorsque $V_c(t) > 0V$) et $V_{e2}(t)$ ($-V_c(t) + V_t$ lorsque $V_c(t) < 0V$).

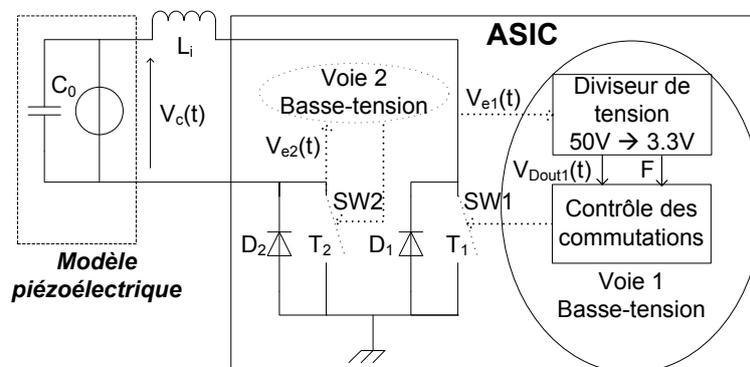


Figure 3.1 : Schéma fonctionnel simplifié du système de contrôle vibratoire SSDI à base d'ASIC.

Le composant ASIC intègre deux interrupteurs électroniques de type nMOS T_1 et T_2 , connectés en antiparallèle respectivement avec une diode de roue libre D_1 et D_2 . Les diodes de roue libre et de polarisation du substrat D_1 et D_2 n'ont pas été dessinées sur les masques pour réduire les capacités et courants de fuite. Ce sont les jonctions entre le drain de type n et le substrat de type p connecté à la masse des transistors T_1 et T_2 de commutation qui sont utilisées.

Les deux transistors nMOS sont montés en série avec l'inductance et l'insert piézoélectrique. L'ASIC intègre également deux voies de commande pour gérer les commutations de T_1 et T_2 .

1.2. Contrôle des commutations SSDI

Chacune des deux voies de commande des transistors nMOS de puissance est constituée :

- D'un diviseur de tension avec changement de gamme de division automatique pour adapter le signal haute tension présent aux bornes du transducteur à la dynamique des signaux admissibles par le bloc de détection des pics de tension situé en aval. Le diviseur de tension intègre une fonction de protection du circuit en agissant en cas de surtension.
- D'un bloc de détection des pics de tension. Le bloc de détection assure le contrôle des commutations SSDI. Il se compose lui-même :
 - o D'une fonction de mémorisation des extremums de tension avec un facteur d'oubli paramétrable. Les paramètres critiques de cette fonction, sont l'offset en tension qui aura une influence sur l'instant de détection des extremums, la bande passante qui détermine la gamme des fréquences mécaniques adressables par l'ASIC.
 - o D'un comparateur de tension qui permet de discriminer les extremums de tension piézoélectrique optimaux pour l'inversion de tension SSDI. Le comparateur génère un signal numérique au moment du pic de tension détecté.
 - o D'une fonction de temporisation de type monostable qui contrôle la conduction des transistors T_1 ou T_2 . La temporisation est commandée par le signal numérique du comparateur et la durée est paramétrable.

Les sous-chapitres III.2, III.3, III.4 et III.5 décrivent la conception de ces différentes fonctions et les performances sont évaluées au sous-chapitre III.6.

2. Diviseur de tension auto-adaptatif

2.1. Principe de fonctionnement

Comme la tension présente aux bornes de l'insert piézoélectrique peut s'élever à quelques dizaines de volts dans le cadre de notre application, la première difficulté consiste à adapter cette haute tension aux niveaux de basse tension de l'électronique de contrôle. Bien que la technologie AMS 0,35 μ m H35B4 possède des composants MOSFET supportant jusqu'à 50V entre drain et source, nous sommes limités par les 3,3V de tension de commande grille-source compatibles avec les signaux de contrôle. Cet étage est un diviseur de tension avec des gammes de division auto-sélectionnées.

2.1.1. Architecture

Nous avons choisi de réaliser la division du signal par un pont diviseur passif, car la tension susceptible d'être appliquée en entrée (50V) dépasse les plus fortes tensions V_{GS} (20V) que peuvent supporter les transistors MOS la technologie d'une part, et que l'alimentation de cette fonction par une tension de 50V a été éliminé sur des critères de consommation électrique d'autre part.

Un diviseur de tension résistif engendrerait une dissipation d'énergie par effet Joule importante, notamment pour les signaux très basse fréquence. Or, il convient de conserver un maximum de l'énergie potentiellement disponible après transduction piézoélectrique pour optimiser l'action d'amortissement SSDI. Nous proposons donc un diviseur de tension capacitif afin de réduire au minimum l'influence de l'interface sur le capteur piézoélectrique, dont la charge constitue l'énergie disponible pour obtenir l'effet d'amortissement. Le dimensionnement des capacités est prévu de sorte à limiter l'influence du diviseur (transfert de charges) à fréquence basse ou modérée tel que dans notre application (typiquement $f_{max} < 5kHz$).

La figure 3.2 montre le schéma électrique de cette interface haute tension vers basse tension. Trois condensateurs en série C_1 , C_2 et C_3 réalisent la fonction de diviseur. D'une part, ces condensateurs doivent être suffisamment petits par rapport à la capacité de l'insert piézoélectrique de capacité C_0 afin de ne pas dégrader la tension initiale V_0 , mais d'autre part être suffisamment grandes par rapport à la capacité C_{load} du nœud de sortie V_{Dout} .

Les condensateurs C_2 et C_3 nécessitent d'être flottants par rapport à la masse, mais les trois condensateurs doivent être suffisamment denses pour que la surface de la fonction sur la puce

soit raisonnable. De plus, ils doivent avoir la même structure pour que les dispersions de fabrication n'aient qu'une influence raisonnable sur les facteurs de division, notamment pour des aspects de sécurité (voir partie III.2.1.4). La réalisation retenue pour ces trois condensateurs est la structure en poly-silicium et trois couches de métaux réparties en une structure empilée. Cette structure permet une tenue en tension compatible avec la haute tension issue du capteur. La capacité totale est fractionnée en une matrice d'éléments unitaires reliés électriquement en parallèle afin de bien maîtriser les valeurs.

Enfin, dans le but d'éviter les perturbations des nœuds de tension flottants intermédiaires N_A et N_B par couplage capacitif avec le substrat, C_2 et C_3 sont placés dans une zone de puit de type p (RPTUB) connecté à la masse.

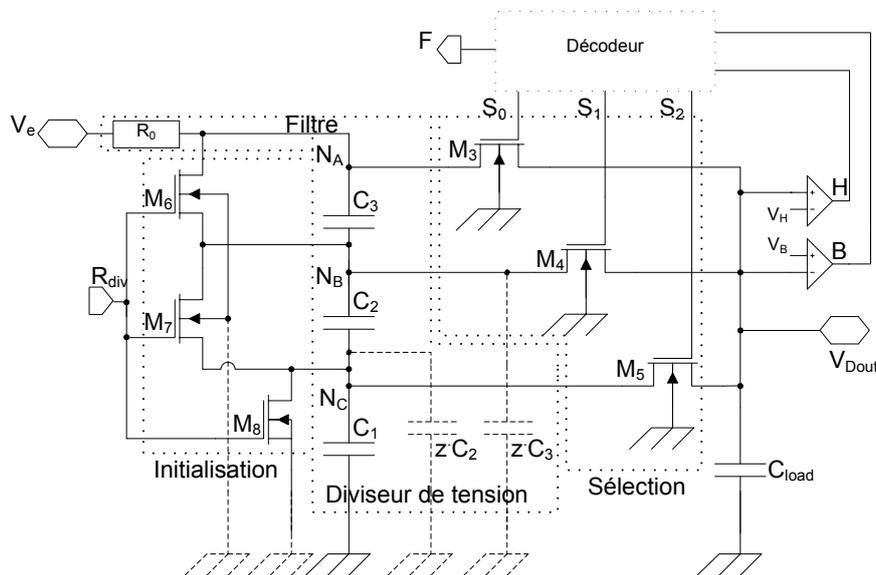


Figure 3.2 : Diviseur de tension à gammes auto-adaptatives.

Trois rapports de division sont alors accessibles sur les nœuds électriques N_A , N_B , et N_C de manière dynamique. Chaque nœud de tension correspond à un étage de division de la tension $V_e(t)$:

- première gamme de division, nœud N_A , rapport de division r_1 ,
- deuxième gamme de division, nœud N_B , rapport de division r_2 ,
- troisième gamme de division, nœud N_C , rapport de division r_3 .

2.1.2. Fonctionnement de la partie opérative

Les trois transistors M_6 , M_7 et M_8 permettent d'effectuer une réinitialisation conditionnelle du dispositif en cas d'accumulation de charges électriques au cours du fonctionnement.

Grâce à la mise en conduction unique de l'un des trois transistors M_3 , M_4 ou M_5 , seul un des trois nœuds de division est connecté à la sortie du dispositif V_{Dout} . Le niveau du signal V_{Dout} est évalué à l'aide d'un comparateur de tension à fenêtre. Le résultat de comparaison est utilisé par une machine d'état pour prendre une décision sur le niveau de division du dispositif. Un seuil haut et un seuil bas, V_H et V_B respectivement, sont paramétrables depuis l'extérieur du circuit dans le but d'obtenir une testabilité accrue de l'ASIC.

Nous avons évoqué dans la partie II.1.3.4, la sensibilité du dispositif aux oscillations parasites à l'ouverture du circuit RLC à courant non nul. Le blocage de la diode de roue libre à la fin de l'inversion entraîne un courant de recouvrement des charges dans la jonction $p - n$. Étant donné la nature inductive du circuit, ceci provoque des perturbations dans le fonctionnement du décodeur d'état (figure 3.2) du diviseur de tension. L'ajout d'une résistance R_0 à l'entrée du dispositif en série avec les condensateurs du diviseur, permet de filtrer ces oscillations parasites. La nature capacitive du diviseur n'entraîne pas de perte d'énergie supplémentaire dans R_0 , mais il apparaît un déphasage du signal qui peut devenir sensible pour les fréquences proches de la fréquence de coupure du filtre constitué de R_0 et de C_1 , C_2 et C_3 placées en série.

2.1.3. Description de la partie de contrôle

Une machine d'état asynchrone (figure 3.3) permet de décrire les règles de transitions entre chaque étage du diviseur de tension représenté par le bloc décodeur en figure 3.2. Les deux signaux numériques de comparaison H et B sont les entrées de la machine d'état afin de choisir depuis la sortie la gamme de division la plus adaptée à la tension du signal en entrée du dispositif. L_m encode l'état m de la machine et S_m est le vecteur des signaux de commande de sortie. Trois cas sont prévus en fonctionnement normal :

- si $V_{Dout} < V_B$ (B actif), la machine d'état passe par Dec et la gamme de division la plus basse r_1 est sélectionnée,
- si $V_B < V_{Dout} < V_H$ (B et H inactifs), l'état L_m de la machine reste inchangé,
- si $V_{Dout} > V_H$ (H actif), la machine d'état passe par l'état Inc et la gamme de division immédiatement supérieure à l'état précédent est sélectionnée.

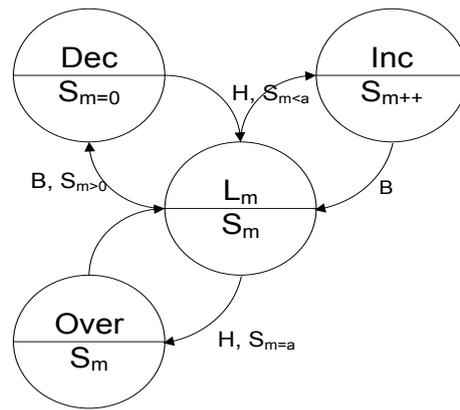


Figure 3.3 : Machine d'état asynchrone régissant la partie de contrôle du diviseur de tension.

Le fonctionnement de cette machine d'état est générique dans le cas de a niveaux de division de tension. Ainsi, il peut être étendu à plus de trois niveaux de division.

2.1.4. Fonction de sauvegarde de l'ASIC

Notons que le dispositif est doté de deux moyens de protections. Le premier est contenu dans la machine d'état par l'état *Over*. En cas de dépassement dans la dernière gamme de division disponible, l'état *Over* génère un signal de commande O et l'état L_m reste conservé. Le signal O permet de déclencher une procédure de sauvegarde de l'ASIC qui consiste en un déclenchement inconditionnel d'une inversion de tension, similaire à celle de SSDI. $V_e(t)$ n'ayant pas atteint son extremum au moment de l'inversion, celle-ci ne permet pas un fonctionnement optimal en termes d'amortissement mécanique, comme l'illustre le schéma de la figure 3.4. De cette manière, la tension $V_e(t)$ est ramenée dans la dynamique de sécurité de la tension drain-source des transistors haute tension : entre 0 et 50V.

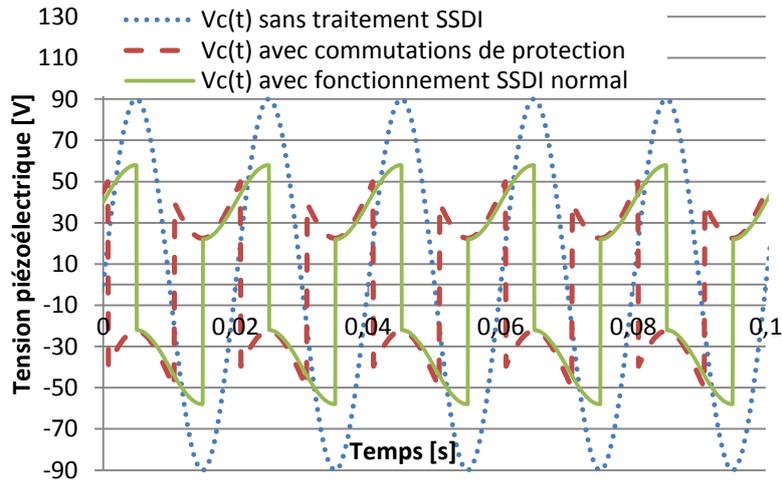


Figure 3.4 : Tension piézoélectrique typique dans un cas de signal monomodal.

L'autre protection est assurée par les transistors de sélection M_3 , M_4 et M_5 . Si une tension importante venait à se présenter au nœud N_A , N_B ou N_C , la tension en ce nœud serait bloquée par le transistor de sélection M_3 . En effet, la tension maximale en sortie V_{Dout} est limitée par le blocage du transistor MOS aux environs de $V_{DD} - V_{thN}$ pour un transistor nMOS. Puisque la tension de commande des grilles est V_{DD} (3,3V), les trois transistors sont bloqués si $V_{Dout} > 2,8V$.

2.2. Dimensionnement

Les condensateurs du diviseur de tension sont dimensionnés de manière à fixer le gain de chaque étage de division (nœuds N_A , N_B et N_C). La résistance d'entrée R_0 est choisie de manière à atténuer les oscillations parasites de pulsation ω_{par} . Le diviseur de tension peut donc être vu comme un filtre passe-bas du premier ordre à gain auto-commuté.

Les équations 3-1 à 3-4 donnent les expressions des atténuations r_1 , r_2 et r_3 en fonction de la gamme de division sélectionnée ainsi que la fréquence de coupure ω_c du filtre d'entrée.

$$r_1 = 1 \quad \text{Eq. 3-1}$$

$$r_2 = \frac{C_1 \cdot C_2 + C_1 \cdot C_3 + C_2 \cdot C_3}{C_3 \cdot (C_1 + C_2)} \quad \text{Eq. 3-2}$$

$$r_3 = \frac{C_1 \cdot C_2 + C_1 \cdot C_3 + C_2 \cdot C_3}{C_3 \cdot C_2} \quad \text{Eq. 3-3}$$

$$\omega_c = \frac{C_1 \cdot C_2 + C_1 \cdot C_3 + C_2 \cdot C_3}{C_3 \cdot C_2 \cdot C_1 \cdot R_0} \quad \text{Eq. 3-4}$$

2.3. Optimisation dans l'ASIC

2.3.1. Gammes de divisions

Pour une couverture de la plage de la tension d'entrée allant de 0 à 50V, nous choisissons de ramener la dynamique de signal basse tension à une plage de 100mV à 2,5V. Il faudra donc choisir un niveau d'atténuation maximal b de 20 pour le niveau de division le plus fort, c'est-à-dire pour le nœud N_C . Afin de répartir la plage de tension d'entrée de manière géométrique, nous proposons une loi de progression de la forme de l'équation 3-5 qui distribue la série en a rapports d'atténuation et où r_m donne le $m^{\text{ième}}$ rapport d'atténuation de cette série.

$$r_m = a^{-1} \sqrt[m]{b^{m-1}} \quad \text{Eq. 3-5}$$

Dans le cas de notre application, nous avons proposé $a = 3$ soit $r_m = [1 ; 4,47 ; 20]$. Notons que dans le cas où $m = 1$, la sortie V_{Dout} de l'étage est en connexion directe avec l'entrée du diviseur via la résistance de filtrage, soit un gain statique unitaire.

Le choix des seuils de comparaison de tension V_H et V_B est établi de manière à respecter la dynamique des signaux basse tension de l'électronique de contrôle. Ainsi V_B et V_H sont fixés à 100mV et à 2,5V respectivement.

2.3.2. Capacités parasites

Les simulations post-layout nous ont montré que les valeurs de capacités choisies d'après les relations 3-2 et 3-3 ne satisfaisaient pas aux valeurs d'atténuation calculées. Nous identifions deux capacités parasites zC_2 et zC_3 (figure 3.2) placées entre N_C et la masse, et entre N_B et la masse respectivement. Ces capacités sont inhérentes à la surface en regard de la capacité réellement implémentée et la zone de RPTUB de découplage. Elles sont donc proportionnelles aux capacités C_2 et C_3 par un coefficient z et les équations 3-2 et 3-3 deviennent 3-6 et 3-7 respectivement.

$$r_2 = \frac{C_2 \cdot C_3 \cdot (1+z)^2 + C_1 \cdot C_3 \cdot (1+z) + z \cdot C_2^2 + C_1 \cdot C_2}{C_3 \cdot [C_2 \cdot (1+z) + C_1]} \quad \text{Eq. 3-6}$$

$$r_3 = \frac{C_2 \cdot C_3 \cdot (1+z)^2 + C_1 \cdot C_3 \cdot (1+z) + z \cdot C_2^2 + C_1 \cdot C_2}{C_3 \cdot C_2} \quad \text{Eq. 3-7}$$

Dans le cas idéal sans capacité parasite ($z = 0$), nous aurions choisi $C_3 = 2pF$, $C_2 = 9pF$ et $C_1 = 31pF$. À l'aide des paramètres de la technologie AMS, nous obtenons $C_1 = 22,73pF$, $C_2 = 7,65pF$ et $C_3 = 2pF$ pour $z = 0,484$, tels que relevés dans la documentation de la technologie.

2.3.3. Filtre d'entrée

Le filtre passe-bas d'entrée permet d'atténuer les oscillations parasites au moment de l'ouverture du circuit oscillant RLC . Dans le cas de la détection d'un maximum de tension, le transistor T_1 et la diode D_2 (figure 3.1) entrent en conduction pour l'inversion de tension SSDI. À la fin de l'inversion, la diode D_2 se bloque et les oscillations parasites surviennent. L'inversion de tension suivante sera déclenchée sur un minimum. Sans filtrage, la tension oscillante $V_{osc}(t)$ à l'entrée de la voie de détection des minimums de tension, perturbe le fonctionnement normal de l'ASIC qui détecte un minimum sur ce signal parasite.

Les oscillations sont étudiées par l'analyse du schéma électrique équivalent lors de l'ouverture du circuit de puissance (figure 3.5). C_j représente la capacité parasite de la diode D_2 et ω_{par} la pulsation des oscillations générées. Cette pulsation est beaucoup plus grande (de l'ordre de la dizaine de mégahertz) par rapport à la pulsation du circuit RLC d'inversion (de l'ordre de la dizaine de kilohertz). Dans ces conditions, la tension aux bornes de C_0 est considérée constante (V_i) sur quelques périodes suivant l'ouverture du circuit. C_{eq} représente la capacité équivalente à la mise en série des trois condensateurs C_1 , C_2 et C_3 du diviseur. r modélise les pertes par effet Joule dans le transistor nMOS à l'état passant et la résistance de l'inductance L_i .

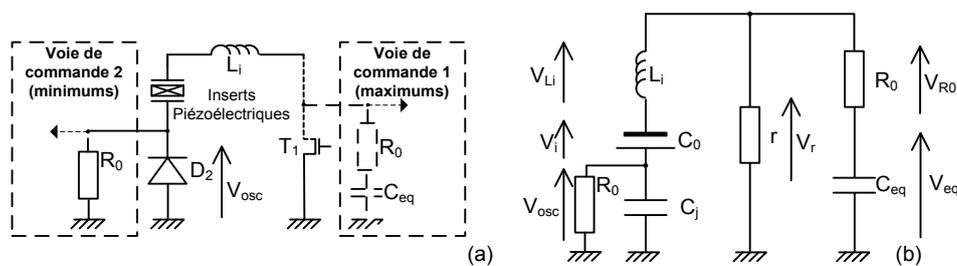


Figure 3.5 : Schéma de l'interface de puissance SSDI lors de l'ouverture du circuit après la détection d'un maximum de tension : (a) circuit électrique, (b) éléments du modèle équivalent.

Les éléments du modèle ont déjà été décrits dans le chapitre II à l'exception de la capacité parasite C_j . La valeur de C_j est donnée par les paramètres de la technologie du fondeur AMS. Le calcul de $V_{osc}(t)$ permet de donner l'expression de ω_{par} (équation 3-8), la pulsation des oscillations parasites. Nous choisissons ensuite de dimensionner R_0 de telle sorte que ω_c , la pulsation de coupure du filtre, soit cent fois plus petite que ω_{par} pour obtenir 40dB d'atténuation par le filtrage du premier ordre. Pour $\omega_{par} = 160Mrad\cdot s^{-1}$ (obtenu en simulation post-layout contre $143Mrad\cdot s^{-1}$ avec les paramètres AMS), nous prendrons ainsi $R_0 = 400k\Omega$ (équation 3-9). Avec ce filtre du premier ordre, pour un signal à 5kHz en entrée, le déphasage à la sortie est négligeable (5mrad).

$$\omega_{par} = \frac{1}{r \cdot C_j} \quad \text{Eq. 3-8}$$

$$R_0 = \frac{C_1 \cdot C_2 + C_1 \cdot C_3 + C_2 \cdot C_3}{C_3 \cdot C_2 \cdot C_1 \cdot 0,01 \cdot \omega_{par}} \quad \text{Eq. 3-9}$$

3. Détecteur de pic de tension

3.1. Principe de fonctionnement

Un moyen simple de réaliser un détecteur de pic de tension consiste à utiliser une diode de blocage en série avec un circuit RC associés à un comparateur, comme dans [44]. Cependant, la tension de seuil de diode (environ 0,6V) provoque un retard au déclenchement de l'inversion et dégrade la condition d'amortissement optimal [39]. L'emploi d'un suiveur de tension aura pour effet de supprimer cette tension de seuil.

Le détecteur de pic de tension est constitué d'un détecteur de signal d'enveloppe et d'un comparateur de tension. Le résultat de comparaison entre l'enveloppe mémorisée et le signal instantané génère un signal numérique de contrôle M dont la transition de l'état bas à l'état haut est synchronisé avec les maximums de tension sur les voies $V_{e1}(t)$ et $V_{e2}(t)$ (figure 3.1).

La figure 3.6 présente l'architecture retenue pour le détecteur du pic de tension, composée de trois étages d'amplification. L'étage d'entrée est constitué d'une paire différentielle de type pMOS (M_{P1} , M_{P2}). Cette réalisation permet d'obtenir une dynamique de tension d'entrée dont la tension de déchet vers la masse est réduite. Le signal d'entrée est appliqué sur l'entrée V_{e+} de l'étage différentiel. L'étage suivant est un amplificateur à source commune (M_{N2}) dont la charge active est constituée de deux miroirs de courant M_{P3} - M_{P4} et M_{P3} - M_{P5} . La première branche est connectée à un circuit de mémorisation capacitif, plaçant M_{P4} en fonctionnement à

« drain ouvert » qui ne permet que la charge du condensateur. La tension aux bornes de la capacité C_t constitue la mémoire de l'enveloppe du signal V_{e+} , dont le facteur d'oubli est fixé par le produit $R_t C_t$. Cette sortie est connectée en contre-réaction négative sur la paire différentielle d'entrée pour réaliser un suiveur de tension lors de la charge de C_t . La constante de temps τ_{RC} du circuit $R_t C_t$ parallèle est ajustable depuis l'extérieur du circuit afin de pouvoir tester l'influence de ce paramètre sur l'efficacité d'amortissement.

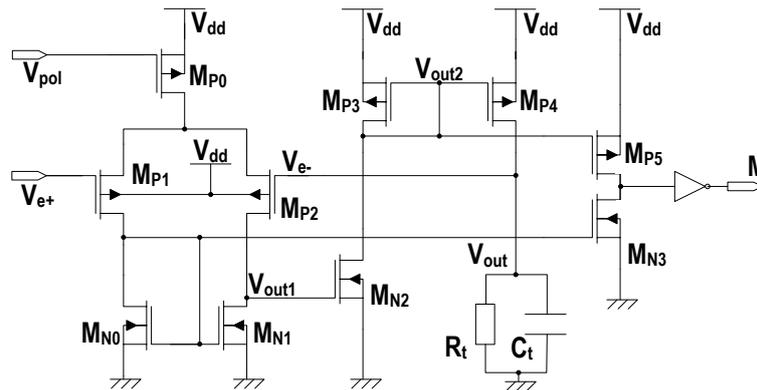


Figure 3.6 : Schéma interne du détecteur de pic de tension.

Cette configuration permet au circuit de fonctionner en deux phases consécutives. Pendant la phase croissante du signal d'entrée, le dispositif fonctionne en mode suiveur de tension et la capacité C_t en sortie est chargée au potentiel de l'entrée V_{e+} . Cette première phase se termine lorsque la tension a atteint son maximum d'amplitude. Après ce pic, la tension d'entrée décroît et tombe en dessous de la valeur mémorisée par C_t . À cet instant, le transistor M_{N2} , monté en amplificateur à source commune, passe en régime de faible inversion ($V_{e-} < V_{e+}$) puis en blocage. Cela a pour conséquence de réduire drastiquement le courant du deuxième étage et donc d'imposer un courant quasiment nul dans les deux étages de sortie du miroir M_{P4} et M_{P5} . Le condensateur C_t se décharge au travers de la résistance parallèle R_t . Le circuit $R_t C_t$ permet la mémorisation du maximum global de la tension d'entrée sur une fenêtre temporelle définie par τ_{RC} .

Enfin, pour générer les impulsions du signal de commande M , le troisième étage est constitué de M_{P5} connecté à un transistor nMOS en charge active (M_{N3}), piloté par la sortie de l'étage d'entrée différentiel. La sortie de cet étage est finalement mise en forme par un inverseur CMOS. La figure 3.7 représente un chronogramme théorique des signaux transmis

lors du fonctionnement normal du dispositif. Le signal SW est le signal de commande des transistors de puissance T_1 et T_2 .

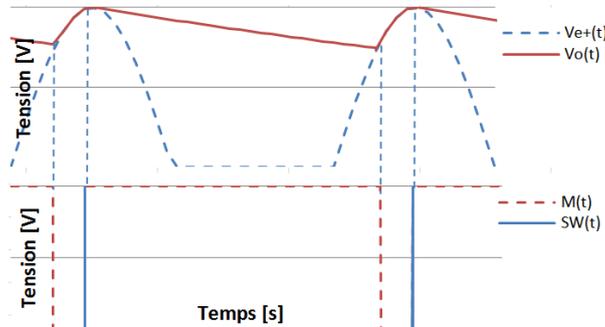


Figure 3.7 : Chronogramme théorique des principaux signaux dans le dispositif de détection.

3.2. Dimensionnement

La paire différentielle de l'étage d'entrée est dimensionnée de manière à accepter une dynamique de tension d'entrée en mode commun de 100mV à 2,6V. Pour la suite de cette section, nous faisons l'hypothèse que l'effet de modulation de largeur du canal des transistors dimensionnés est négligeable. Le développement est établi à partir du point d'équilibre de l'amplificateur, c'est-à-dire lorsque que la tension différentielle d'entrée V_{diff} est nulle.

Le transistor M_{P0} est monté en source de courant et permet de polariser la paire différentielle M_{P1} , M_{P2} . Nous voulons garantir son fonctionnement en régime de forte inversion avec une marge de 100mV. Cela nous donne une condition sur la tension $V_{g_{MP0}}$:

$$V_{g_{MP0}} \leq V_{th_{MP0}} - 0,1 + V_{DD} \quad \text{Eq. 3-10}$$

Cette condition implique une tension de drain $V_{d_{MP0}}$ qui ne doit pas dépasser 3,2V pour garantir le fonctionnement en régime de saturation du transistor. Ces deux conditions permettent de dimensionner M_{P0} en fonction de son courant drain-source :

$$\left(\frac{W}{L}\right)_{MP0} = \frac{-2 \cdot i_{MP0}}{C_{ox} \cdot \mu_p \cdot (V_{g_{MP0}} - V_{th_{MP0}})^2} \quad \text{Eq. 3-11}$$

Nous concevons le dispositif de manière à satisfaire une tension de mode commun d'entrée minimale $V_m = 100mV$ en acceptant dans ces conditions que le transistor M_{P1} soit en limite de saturation et que M_{N0} soit toujours saturé.

$$V_m \leq V_{ds_{M_{N0}}} + V_{gd_{M_{P1}}} = \sqrt{\frac{-i_{MP0}}{\mu_n \cdot C_{ox} \cdot (W/L)_{M_{N0}}}} + V_{th_{M_{P1}}} + V_{th_{M_{N0}}} \quad \text{Eq. 3-12}$$

Pour satisfaire le régime de forte inversion, la tension de commande $V_{gs_{M_{N0}}}$ doit de plus être supérieure à la tension de seuil de conduction V_{thn} avec une marge de 100mV. Des conditions 3-12 et 3-13 sont extraites les dimensions de M_{N0} et M_{N1} en fonction du courant de polarisation i_{MP0} .

$$V_{gs_{M_{N0}}} = \sqrt{\frac{-i_{MP0}}{\mu_n \cdot C_{ox} \cdot (W/L)_{M_{N0}}}} + V_{th_{M_{N0}}} \geq 0,1 + V_{th_{M_{N0}}} \quad \text{Eq. 3-13}$$

En développant la même approche que pour V_m , nous souhaitons atteindre une tension de mode commun d'entrée maximale V_M de 2,6V, avec M_{P1} toujours en mode saturé et en acceptant M_{P0} cette fois-ci en limite de saturation.

$$V_M \geq V_{gs_{M_{P1}}} + V_{ds_{M_{P0}}} + V_{DD} = V_{DD} - \sqrt{\frac{-2 \cdot i_{MP0}}{\mu_p \cdot C_{ox} \cdot (W/L)_{M_{P0}}}} - \sqrt{\frac{-i_{MP0}}{\mu_p \cdot C_{ox} \cdot (W/L)_{M_{P1}}}} + V_{th_{M_{P1}}} \quad \text{Eq. 3-14}$$

Ajoutons à nouveau une condition sur $V_{gs_{M_{P1}}}$ (Eq. 3-15) pour le régime de forte inversion et nous obtenons les dimensions de M_{P1} et M_{P2} en fonction de i_{MP0} .

$$V_{gs_{M_{P1}}} = -\sqrt{\frac{-i_{MP0}}{\mu_n \cdot C_{ox} \cdot (W/L)_{M_{P1}}}} + V_{th_{M_{P1}}} \leq V_{th_{M_{P1}}} - 0,1 \quad \text{Eq. 3-15}$$

Afin d'éviter l'apparition d'un décalage de tension entre la sortie V_{out1} de l'étage différentiel et l'entrée du deuxième étage d'amplification à son point de basculement, nous

développons l'égalité entre ces deux expressions en tension sous les conditions de saturation de M_{N1} et M_{N2} . Nous obtenons l'équation 3-16 en fonction de i_{MN2} et i_{MP0} . Notons que le gain entre i_{MN2} et i_{MP0} sera défini lors de l'optimisation de la fonction.

$$\left(\frac{W}{L}\right)_{M_{N2}} = \frac{2 \cdot i_{MN2}}{i_{MP0}} \cdot \left(\frac{W}{L}\right)_{M_{N1}} \quad \text{Eq. 3-16}$$

Le dimensionnement du transistor M_{P4} est obtenu à partir de la dynamique de tension en sortie V_{out} souhaitée de 100mV à 2,6V. Nous prenons comme condition de fonctionnement M_{P4} à sa limite de saturation pour $V_{out\ Max} = 2,6V$ et en régime de forte inversion, ce qui nous donne l'encadrement 3-17.

$$V_{out\ Max} + V_{th_{M_{P4}}} - V_{DD} \leq V_{gs_{M_{P4}}} \leq V_{th_{M_{P4}}} - 0,1 \quad \text{Eq. 3-17}$$

Avec l'équation 3-17 et avec l'égalité des courants dans M_{P3} et M_{N2} , nous pouvons dimensionner M_{P3} (Eq. 3-18). M_{P4} est obtenu avec la relation du miroir de courant M_{P3} M_{P4} (Eq. 3-19).

$$\left(\frac{W}{L}\right)_{M_{P3}} = \frac{2 \cdot i_{MN2}}{\mu_p \cdot C_{ox} \cdot (V_{gs_{M_{P4}}} - V_{th_{M_{P3}}})^2} \quad \text{Eq. 3-18}$$

$$\left(\frac{W}{L}\right)_{M_{P4}} = \frac{i_{M_{P4}}}{i_{M_{P3}}} \cdot \left(\frac{W}{L}\right)_{M_{P3}} \quad \text{Eq. 3-19}$$

La relation du miroir de courant M_{P3} M_{P5} permet de dimensionner le transistor M_{P5} (Eq. 3-20). M_{N3} est calculé de manière à fixer le point de basculement (lorsque $i_{MP5} = i_{MN3}$) en sortie de l'inverseur M_{P5} M_{N3} (Eq. 3-21).

$$\left(\frac{W}{L}\right)_{M_{P5}} = \frac{i_{M_{P5}}}{i_{M_{P3}}} \cdot \left(\frac{W}{L}\right)_{M_{P3}} \quad \text{Eq. 3-20}$$

$$\left(\frac{W}{L}\right)_{M_{N3}} = \frac{-2 \cdot i_{M_{P5}}}{\mu_n \cdot C_{ox} \cdot (V_{out1} - V_{th_{M_{N3}}})^2} \quad \text{Eq. 3-21}$$

3.3. Optimisation dans l'ASIC

Les résultats de simulation nous indiquent qu'il est nécessaire de trouver un compromis entre la valeur du courant de polarisation de la paire différentielle, la stabilité et la rapidité du dispositif. Un courant le plus faible possible est souhaitable si nous envisageons une version autonome du dispositif. La rapidité, liée au temps de charge et décharge des nœuds intermédiaires de sortie du dispositif, est conditionnée par la fréquence maximale f_{max} de fonctionnement. L'étude petit signal du schéma de la figure 3.6 nous permettra d'étudier le critère de stabilité.

La figure 3.8 montre le schéma petit signal équivalent du dispositif détecteur en boucle ouverte. L'étude en boucle ouverte permet de vérifier la bande passante ainsi que la marge de phase déterminant la convergence du système. Nous identifions trois pôles (équations 3-22 à 3-24) à partir de la fonction de transfert. V_{diff} est la tension différentielle d'entrée du détecteur.

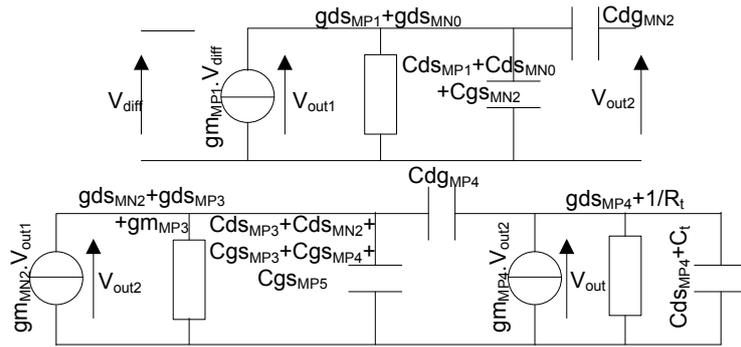


Figure 3.8 : Modèle petit signal équivalent du détecteur de pic de tension en boucle ouverte.

$$\omega_1 = \frac{g_{dsMP1} + g_{dsMN0}}{C_{dsMP1} + C_{dsMN0} + C_{gsMN2}} \quad \text{Eq. 3-22}$$

$$\omega_2 = \frac{2 \cdot C_{dgMP4} \cdot (g_{ds2} + g_{ds3} - g_{mMP4}) + 2 \cdot C_{T3} \cdot g_{ds2}}{2 \cdot C_{T2} \cdot C_{T3} + 2 \cdot C_{dgMP4} \cdot (C_{T2} + C_{T3})} \quad \text{Eq. 3-23}$$

$$\omega_3 = \frac{2 \cdot C_{T2} \cdot g_{ds3}}{2 \cdot C_{T2} \cdot C_{T3} + 2 \cdot C_{dgMP4} \cdot (C_{T2} + C_{T3})} \quad \text{Eq. 3-24}$$

Avec les expressions de C_{T2} , C_{T3} , g_{ds2} et g_{ds3} :

$$C_{T2} = C_{dsMP3} + C_{dsMN2} + C_{gsMP3} + C_{gsMP4} + C_{gsMP5} \quad \text{Eq. 3-25}$$

$$C_{T3} = C_{dsMP4} + C_t \quad \text{Eq. 3-26}$$

$$g_{ds2} = g_{dsMN3} + g_{dsMN2} + g_{mMP3} \quad \text{Eq. 3-27}$$

$$g_{ds3} = g_{dsMP4} + \frac{1}{R_t} \quad \text{Eq. 3-28}$$

Nous avons vu dans la section III.3.1 que le détecteur fonctionne suivant deux phases distinctes en fonction de la différence de tension entre l'entrée et la sortie du dispositif. À l'instant où la tension de sortie V_{out} devient supérieure à la tension d'entrée en V_{e+} , le transistor de sortie M_{P4} passe du régime de saturation en régime de faible inversion. Lors des phases de simulation et au moment de cette transition, nous observons des oscillations sur les nœuds de tension de sortie des trois étages de l'amplificateur. Ces perturbations sont plus prononcées en haute fréquence (proche de f_{max}) et pour les faibles tensions d'entrée.

Le modèle petit signal décrit n'est valable que pour de faibles variations de V_{diff} autour d'un point de fonctionnement. Or, la discontinuité dans le régime de conduction de M_{P4} à la fin du mode suiveur de notre dispositif invalide l'hypothèse de linéarité du comportement des transistors. L'extraction des paramètres des transistors en simulation pour résoudre les équations 3-22 à 3-24 permet cependant de trouver la valeur des pôles avec une bonne précision entre la simulation et le jeu d'équation.

La figure 3.9 présente une étude paramétrique du gain en boucle ouverte en fonction de la fréquence pour plusieurs valeurs de tension en entrée du dispositif. À 100mV la bande-passante du dispositif en mode suiveur (à 0dB) est de 200Hz, et à 2,6V la bande-passante est de 12,3kHz. Nous voyons que pour les basse-tensions d'entrée, la bande-passante du dispositif est limitée. D'après les simulations, la tension minimale pour atteindre la fréquence f_{max} est de 0,5V. À 100mV, la marge de phase est de 53°. Dans un ordre croissant d'apparition des pôles de la fonction de transfert, nous trouvons ω_3 , ω_1 puis ω_2 . Pour améliorer la stabilité et la bande passante du système, il conviendra d'augmenter la valeur de ω_1 . D'après l'équation 3-22, cela revient à réduire la valeur de C_{dsMN0} ainsi que C_{dsMN1} par symétrie.

Un courant de 6μA circulant entre source et drain de M_{P0} permet de satisfaire le compromis stabilité rapidité. Les transistors M_{N0} et M_{N1} sont réduits à leurs dimensions minimales afin d'assurer des capacités drain-source minimales et ainsi d'assurer une marge de phase suffisante pour la stabilité. Le gain en courant est également augmenté dans les branches M_{N1} , M_{N2} ; M_{P3} , M_{P4} et M_{P3} , M_{P5} pour cette raison.

Le tableau VII donne les rapports de dimension W/L de chacun des transistors du dispositif ainsi que la condition nécessaire à son obtention. Le détecteur de pic de tension est ainsi fonctionnel de 100mV à 2,6V (mode suiveur) et de 0 à 5kHz.

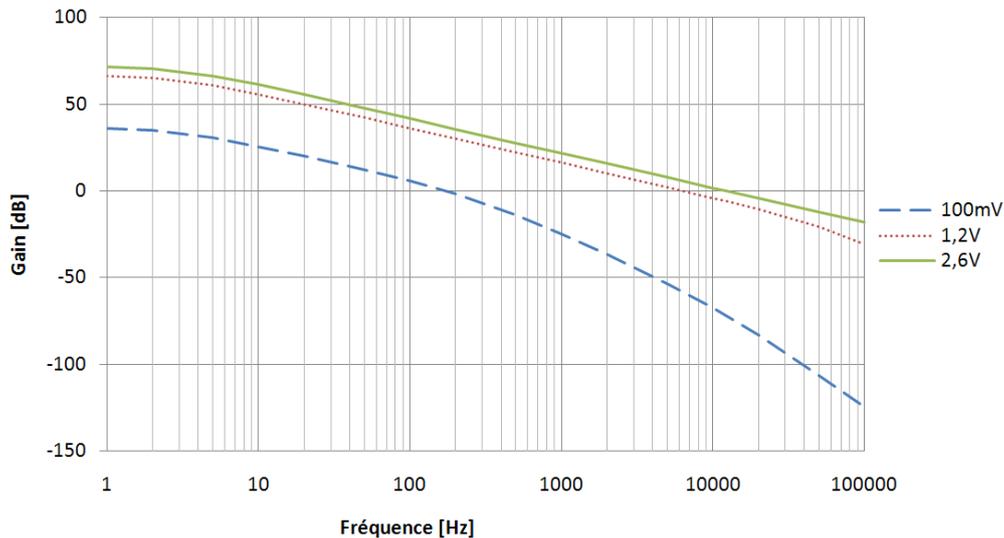


Figure 3.9 : Diagramme de gain du détecteur de pic de tension en simulation en fonction de la tension de mode commun d'entrée.

Transistor	Rapport W/L	Condition	Equation
M_{P0}	$73,5\mu m/5\mu m$	$I_{MP0} = 6\mu A$	3-10 & 3-11
M_{P1} et M_{p2}	$41\mu m/2\mu m$		3-14 & 3-15
M_{N0} et M_{N1}	$0,4\mu m/0,35\mu m$	C_{ds} au minimum	3-12 & 3-13
M_{N2}	$4\mu m/0,35\mu m$	$i_{MN2} = 5.i_{MP0}$	3-16
M_{P3}	$5,75\mu m/3,5\mu m$		3-17 & 3-18
M_{P4}	$28,75\mu m/3,5\mu m$	$i_{MP4} = 5.i_{MP3}$	3-19
M_{P5}	$28,75\mu m/1,75\mu m$	$i_{MP5} = 10.i_{MP3}$	3-20
M_{N3}	$40\mu m/0,35\mu m$		3-21

Tableau VII : Rapports W/L des transistors du détecteur de pic de tension.

4. Monostable pour la commande

4.1. Principe de fonctionnement

La fonction monostable est directement commandée par le signal M du détecteur de pic de tension. La temporisation monostable permet de mémoriser le front montant de M et génère à cet instant une impulsion SW de durée t_{pw} ($> t_i$). L'impulsion contrôle la durée de fermeture du transistor T_1 ou T_2 suivant la détection d'un maximum de tension. SW est directement connecté à la grille de T_1 ou T_2 .

La temporisation est obtenue par comparaison entre une rampe de tension V_R et une référence de tension V_{TIM} paramétrable depuis l'extérieur du circuit. En effet, t_i étant fonction de l'inductance L_i , il est nécessaire de pouvoir faire varier la durée de temporisation afin d'assurer une testabilité maximale de l'ASIC. La rampe de tension est générée à l'aide d'une source de courant constant chargée par un condensateur C_r . La valeur de l'intensité de la source de courant fixe la durée de l'impulsion t_{pw} . Notons enfin que le déclenchement de la temporisation est également prévu par l'entrée de protection O comme expliqué dans la partie III.2.1.4. La figure 3.10 présente le schéma de principe du circuit de temporisation et la figure 3.11 le chronogramme théorique des principaux signaux de contrôle.

Les transistors M_{N4} et M_{P6} permettent de commuter la source de courant I_{char} sur le miroir de courant M_{P7} , M_{P8} et le transistor M_{N5} permet de réinitialiser la charge de C_r à la fin de la temporisation.

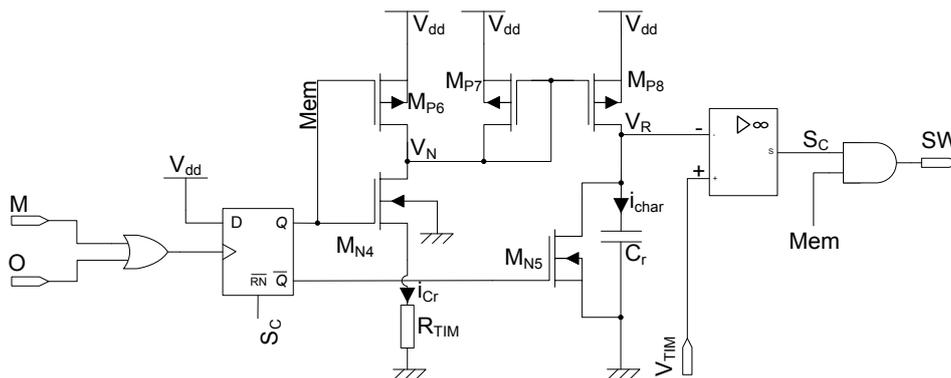


Figure 3.10 : Schéma de principe du temporisateur monostable.

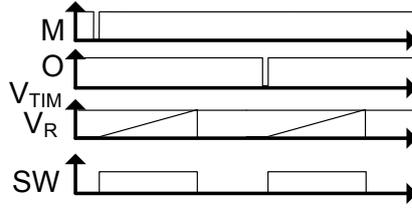


Figure 3.11 : Chronogramme théorique des principaux signaux du dispositif de temporisation.

4.2. Dimensionnement

La durée de t_{pw} est définie à partir de la relation 3-29 et dépend donc des valeurs de i_{Cr} et C_r . Dans les conditions énoncées dans le deuxième chapitre, pour t_{pw} très petit devant $T_{méca}$, nous choisissons de disposer d'une plage de temps allant de $3,5\mu s$ à $100\mu s$. Aussi, dans le cas extrême de $f_{max} = 5kHz$, nous choisirons $t_{pw} = 6,67\mu s$ pour atteindre un rapport de trente entre $T_{méca}$ et t_{pw} .

$$t_{pw} = C_r \cdot \frac{V_{TIM}}{i_{Cr}} \quad \text{Eq. 3-29}$$

Nous choisissons de faire varier V_{TIM} de $0,5V$ à $2,6V$ et i_{Cr} est fixé arbitrairement à $1\mu A$. Pour t_{pw} minimum (V_{TIM} minimum), nous aurons donc besoin d'une capacité C_r de $7pF$. En prenant cette fois-ci V_{TIM} à son maximum, nous obtenons $t_{pw} = 18,2\mu s$. Pour atteindre la durée de t_{pw} maximale, nous changerons la valeur du courant i_{Cr} pour $182nA$.

La charge de C_r est assurée par la source de courant i_{Cr} dont l'amplitude est fixée par le transistor M_{P8} en régime de saturation. Pour trouver les dimensions de M_{P8} , nous définissons une condition sur le régime de forte inversion avec une marge de $100mV$ comme pour le dimensionnement de M_{P0} dans le détecteur de pic de tension. Nous acceptons d'avoir M_{P8} en limite de saturation pour V_{TIM} à son maximum avec une marge de $100mV$.

$$\left(\frac{W}{L}\right)_{M_{P8}} = \frac{2 \cdot i_{Cr}}{C_{ox} \cdot \mu_p \cdot (V_{TIM_{max}} + 0.1 - V_{DD})^2} = \frac{4\mu m}{56\mu m} \quad \text{Eq. 3-30}$$

D'après la relation dans le miroir de courant M_{P7} M_{P8} , l'équation 3-31 nous donne les dimensions de M_{P7} . Dans le but de faciliter le réglage de i_{Cr} , le courant I_{char} dans M_{P8} est

choisi dix fois plus grand que i_{Cr} . Les dispersions systématiques sur le miroir de courant seront ainsi limitées et la précision sur le réglage de i_{Cr} améliorée.

$$\left(\frac{W}{L}\right)_{MP7} = \left(\frac{W}{L}\right)_{MP8} \cdot \frac{I_{char}}{i_{Cr}} = \frac{40\mu m}{56\mu m} \quad \text{Eq. 3-31}$$

Une résistance R' permet de fixer la valeur de I_{char} . Le transistor M_{P7} étant monté en transdiode, nous pouvons écrire la relation 3-32.

$$R' = \frac{-\sqrt{\frac{2 \cdot I_{char}}{\mu_p \cdot C_{ox} \cdot \left(\frac{W}{L}\right)_{MP7}} + V_{thMP7}} + V_{DD}}{I_{char}} = \frac{V_{DD} + V_{GSMP7}}{I_{char}} \quad \text{Eq. 3-32}$$

Pour $I_{char} = 10\mu A$, nous obtenons une résistance de charge R' de $195k\Omega$ et $1,292M\Omega$ pour $I_{char} = 1,82\mu A$. R' se décompose entre R_{TIM} , une résistance d'ajustement externe au circuit, et la résistance R_{dsMN4} à l'état passant de M_{N4} .

Concernant les transistors M_{N4} et M_{P6} , ils permettent de commuter la source de courant i_{Cr} et de charger le nœud V_N à l'ouverture. Nous les utiliserons donc en mode triode. Pour satisfaire le fonctionnement en triode, l'équation 3-33 nous indique que la tension de source V_{SMN4} ne devra pas excéder 2,7V (forte inversion avec une marge de 100mV).

$$V_{SMN4} \leq V_{gMN4} - V_{thMN4} - 0,1 \quad \text{Eq. 3-33}$$

La valeur de R' étant déterminée par les autres paramètres de conception, il reste à figer l'une ou l'autre des résistances R_{dsMN4} ou R_{TIM} . Dans la configuration $I_{char} = 10\mu A$, nous choisissons de fixer R_{dsMN4} à $45k\Omega$ et nous avons alors 3-34. Cette faible valeur (devant R') permet de garantir le fonctionnement de M_{N4} en régime triode.

$$\left(\frac{W}{L}\right)_{MN4} = \frac{1}{\mu_n \cdot C_{ox} \cdot R_{dsMN4} \cdot \left[V_{DD} - V_{thMN4} + \left(\frac{R_{dsMN4} - R'}{2} \right) \cdot I_{char} \right]} = \frac{4,8\mu m}{39\mu m} \quad \text{Eq. 3-34}$$

Dans le second cas où $I_{char} = 1,82\mu A$, M_{N4} étant figé, nous calculons alors la valeur de R_{TIM} nécessaire à l'établissement du courant en s'assurant du mode triode du transistor en régime de forte inversion.

$$R_{TIM} = \frac{V_{DD} - V_{th_{M_{N4}}}}{I_{char}} - \sqrt{\frac{2}{\mu_n \cdot C_{ox} \cdot \left(\frac{W}{L}\right)_{M_{N4}} \cdot I_{char}} + \left(\frac{V_{DD} - V_{th_{M_{N4}}}}{I_{char}}\right)^2 - \frac{2 \cdot (V_{DD} - V_{th_{M_{N4}}}) \cdot R'}{I_{char}} + R'^2} = 1,2M\Omega \quad \text{Eq. 3-35}$$

À la fin de la temporisation, le nœud V_N doit être chargé à V_{DD} afin de bloquer les transistors M_{P7} et M_{P8} . La durée de charge de V_N n'est pas critique étant donné que le condensateur C_r est court-circuité par M_{N5} , utilisé également en interrupteur.

5. Registres de configuration

L'observabilité et la commandabilité de l'ASIC ont été particulièrement travaillées pour maximiser la testabilité du prototype. L'ASIC est réalisé de telle manière à pouvoir tester et remplacer n'importe quelle fonction numérique du circuit. Afin de limiter les ressources, cela se fait par des pads d'entrées/sorties génériques de service dont l'attribution dépend d'une configuration interne. Dans chaque configuration, les signaux de service du circuit sont affectés à un jeu de signaux cohérent. Un système de registres de configuration du circuit est accessible par liaison série, qui permet de configurer l'ASIC pour l'observation ou le remplacement d'une fonction. La figure 3.12 montre l'architecture de ce système de registres et d'affectation.

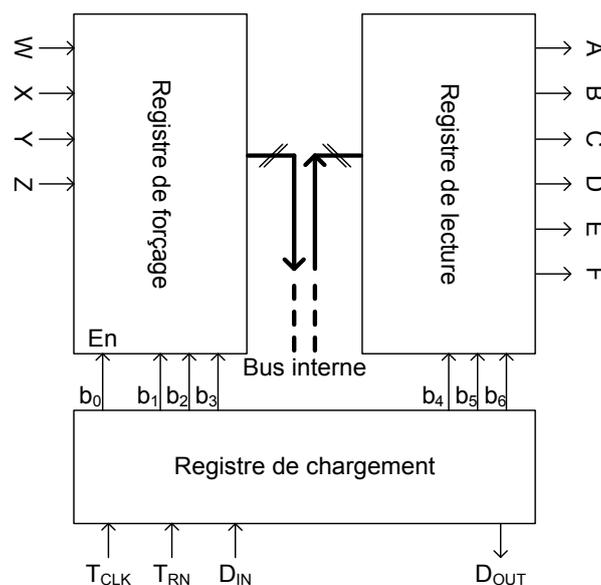


Figure 3.12 : Système de configuration des registres d'état de l'ASIC.

Le système est composé de trois blocs. Le premier permet le chargement synchrone de sept bits b_0 à b_6 de configuration dans un registre parallèle. L'écriture des sept bits (b_0 à b_6) se fait à chaque fois qu'une nouvelle trame complète est reçue. Le signal T_{CLK} permet le cadencement du chargement et T_{RN} est le signal de reset global de l'ASIC. D_{IN} est l'entrée de chargement série et D_{OUT} la sortie série du registre en mode FIFO (First Input First Output).

Le premier bit b_0 permet de définir la fonction lecture ou lecture plus forçage. Pour la commande des signaux, la configuration est sélectionnée par b_1 à b_3 . Quatre signaux indépendants peuvent être imposés par des tensions externes de manière asynchrone sur les broches W à Z . Les trois bits suivants b_4 à b_6 permettent de définir le jeu de signaux à visualiser sur les sorties A à F du circuit. La figure 3.13 donne un exemple de sélection de plusieurs signaux multiplexés vers les entrées/sorties du registre de contrôle. Un signal S_{int} , en sortie d'une fonction, est transmis sur le bus interne pour une éventuelle visualisation sur l'une des broches A à F , et est connecté à la fonction suivante via un multiplexeur MUX . Le signal de sélection S_{sel} , issu du registre de configuration, permet de commander le multiplexeur pour remplacer au besoin S_{int} par S_{ext} , le signal de forçage provenant de l'une des broches W à Z .

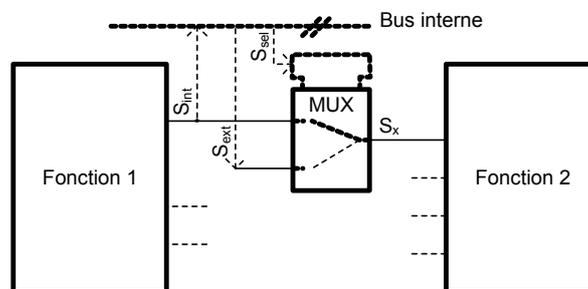


Figure 3.13 : Système de sélection des signaux numériques internes de l'ASIC en lecture et en écriture.

6. Caractérisation

6.1. Principales caractéristiques de l'ASIC

Cette section présente les résultats expérimentaux obtenus avec le test des fonctions implémentées dans l'ASIC. Le but est de caractériser les performances de chaque bloc fonctionnel de la figure 3.1. Un dispositif miniaturisé employant une structure de type poutre encastrée-libre à ses extrémités est utilisé. La poutre est faite en matériau piézoélectrique de

type PZT fabriqué par la société « Piezo Systems Inc » (référence D220-A4-303YB)¹. L'élément piézoélectrique a une capacité de 46nF et son premier mode de flexion se situe à 114,6Hz. Nous utilisons une inductance de 3,3mH (d'après les critères d'optimisation du sous-chapitre II.3) pour réaliser l'inversion de tension SSDI. Notons que l'ASIC, son inductance L_i , ainsi que les divers composants (résistances de polarisation, constante de temps τ_{RC} ainsi qu'un microcontrôleur pour les échanges de données avec le composant) sont placés sur une carte de test.

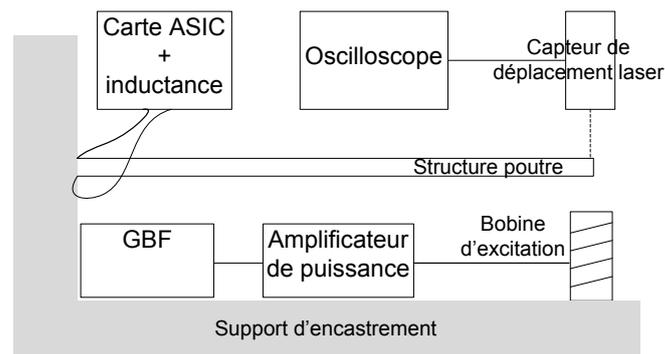


Figure 3.14 : Dispositif expérimental type poutre encastree à l'une de ses extrémités, et libre à l'autre, soumis à une force électromagnétique à son extrémité libre.

La figure 3.15 nous montre une photographie de l'ASIC réalisé. La surface du circuit occupe 2,5mm par 2,5mm. Nous observons un axe de symétrie vertical définissant deux zones correspondantes à chacune des deux voies de traitement du signal, identiques l'une à l'autre (affectées aux maximums de tension et aux minimums de tension piézoélectrique respectivement). Le tableau VIII regroupe les principales caractéristiques du composant, notamment la consommation énergétique de chaque fonction et la surface occupée sur la micro-puce. Les ports d'entrée/sortie de l'ASIC sont listés en annexe III².

¹ <http://filz.fr/6fnbfg> ou <http://www.piezo.com/prodbm8dqm.html>

² Annexe III : page 180.

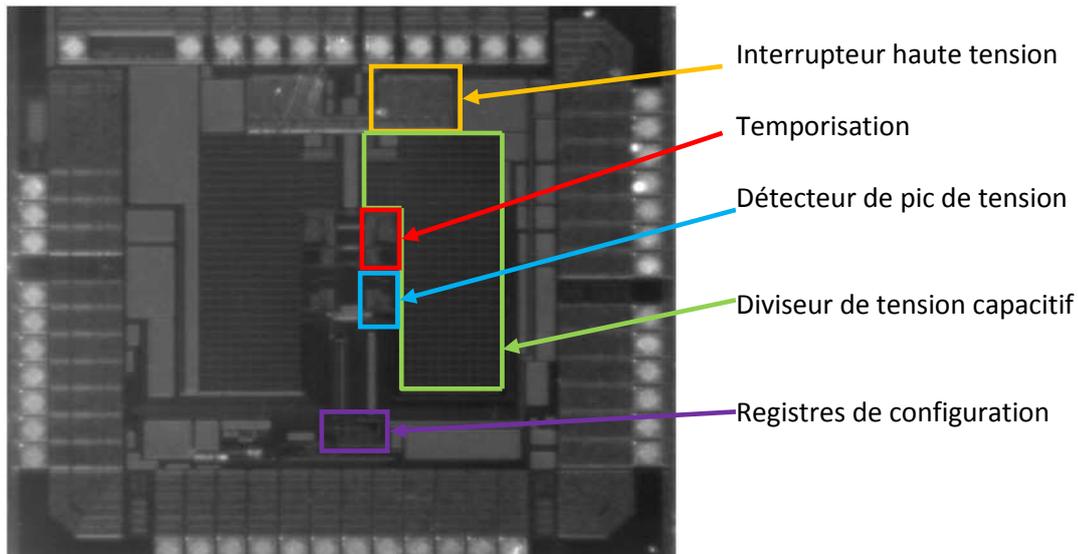


Figure 3.15 : Photographie réalisée au microscope optique (zoom x5) de l'ASIC conçu.

La consommation dynamique du circuit est mesurée à l'aide d'une sonde de courant à effet Hall et à l'aide d'un fil de cuivre bobiné sur dix spires pour plus de précision sur la mesure. Le fil est inséré en série sur la piste d'alimentation générale du circuit et présente une résistance de 1Ω . La chute de tension qu'il provoque et donc considérée comme négligeable. Chacune des mesures de courant en dynamique est effectuée en intégrant le signal relevé sur une demi-période d'oscillation mécanique, soit 229,2Hz correspondant au traitement d'une unique opération d'inversion. Les autres fonctions du circuit sont inhibées pendant une mesure à l'aide des signaux de forçage. Pour la consommation du diviseur de tension, le pic de courant au moment des changements de gamme de division étant très bref, le signal n'est plus intégré sur la demie-oscillation mais sur la durée de transition d'une gamme vers une autre ($\sim 350\text{ns}$). La valeur du courant moyen globalement consommé par le circuit est donnée par l'équation 3-36 :

$$\text{Courant moyen} = \text{courant statique} + 2 * \text{fréquence} * \text{courant dynamique} \quad \text{Eq. 3-36}$$

<i>Circuit global</i>	
Surface totale	2,5mm x 2,5mm
Tension d'alimentation	3,3V
Consommation statique	200 μ W
Consommation dynamique	11 μ W
Technologie d'intégration	CMOS AMS H35B4
Nombre de broches (analogique – numérique)	46 (28 – 18)
<i>Diviseur de tension</i>	
Plage de tension d'entrée	0 à 50V
Plage de tension de sortie	0 à 2,6V
Surface	790 μ m x 500 μ m
Courant statique	12 μ A
Capacité vue de l'entrée	< 2pF
Courant lors du changement de gamme (Croissant / Décroissant)	223 μ A / 907 μ A
<i>Détecteur de pic de tension</i>	
Plage de tension d'entrée	0 – 2,6V
Bande passante à 0dB (mode suiveur) en fonction de l'amplitude du signal d'entrée	200Hz pour 100mV 12,3kHz pour 2,6V
Courant statique pour $V_{e+} = 1,2V$	6 μ A
Surface	53 μ m x 57 μ m
Courant dynamique	140nA
<i>Temporisation</i>	
Surface	88 μ m x 166 μ m
Plage de temps	3,5 μ s à 1,8ms
Courant statique	6 μ A
Courant dynamique	64nA
<i>Interrupteur haute tension</i>	
Surface	260 μ m x 150 μ m
Résistance à l'état passant	11 Ω

Tableau VIII : Principales caractéristiques de l'ASIC.

6.2. Inversion de la tension SSDI

Après une rapide présentation de notre prototype d'ASIC, les performances de l'interface de puissance sont étudiées en termes de rendement énergétique. Nous réalisons en figure 3.16 une comparaison entre le modèle théorique implémenté avec Matlab (sous-chapitre II.3) et le rendement en tension η lors de l'inversion SSDI. Les valeurs d'inductances, de capacités et de résistances sont effectuées à l'aide d'un analyseur de réseau à la fréquence de résonance de l'oscillateur RLC de l'interface de puissance. Les valeurs de tensions avant et après inversion ont été extraites de données temporelles obtenues avec l'ASIC fonctionnant en SSDI.

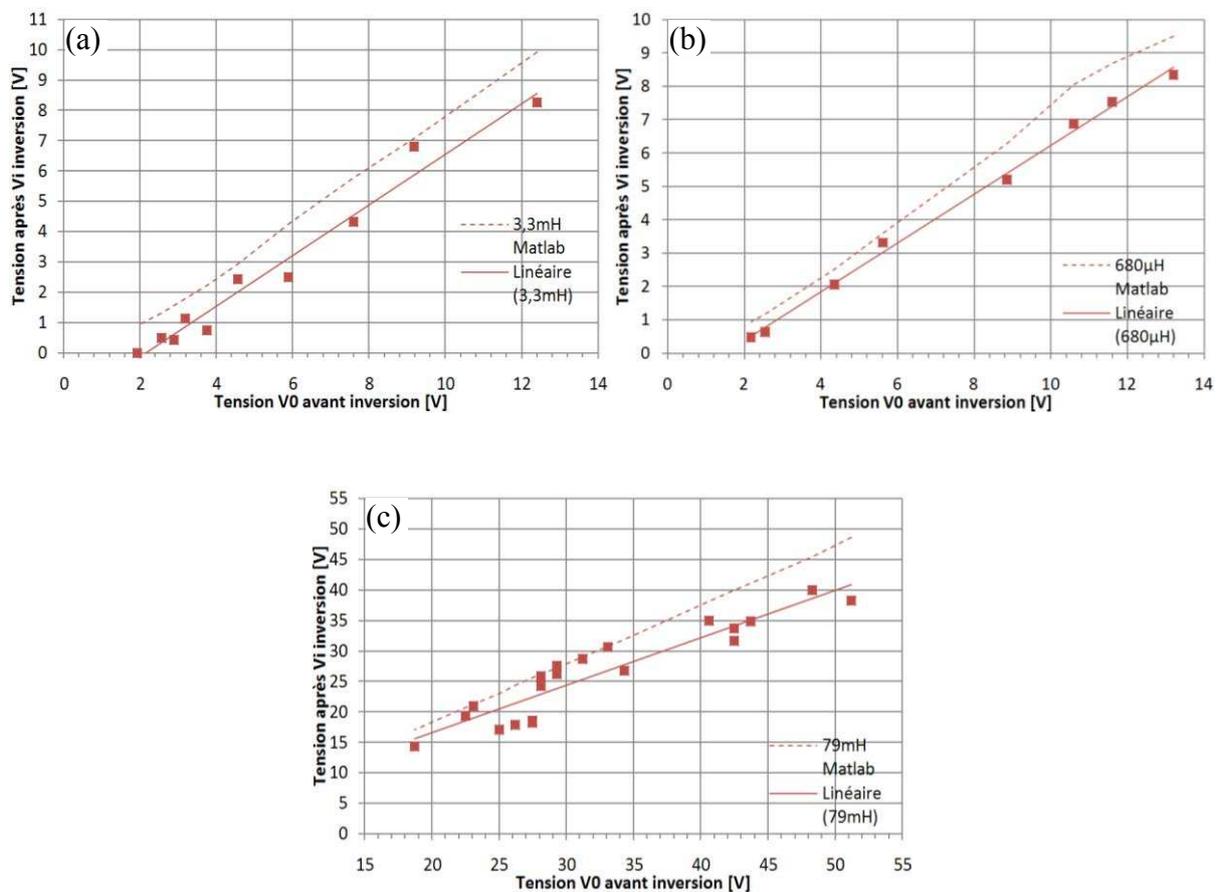


Figure 3.16 : Tension après inversion SSDI en fonction de la tension avant inversion, pour différentes valeurs de L_i , et avec les paramètres respectifs du modèle théorique :

$$(a) L_i = 3,3\text{mH}, C_0 = 46\text{nF} \text{ et } r = 13\Omega \text{ et } V_t = 0,5\text{V},$$

$$(b) L_i = 680\mu\text{H}, C_0 = 46\text{nF} \text{ et } r = 10\Omega \text{ et } V_t = 0,5\text{V},$$

$$(c) L_i = 79\text{mH}, C_0 = 110\text{nF} \text{ et } r = 11\Omega \text{ et } V_t = 0,5\text{V}.$$

Sur les trois relevés, il apparaît que le modèle théorique est trop optimiste par rapport aux mesures expérimentales. En particulier, les pertes énergétiques non linéaires n'ont pas été prises en compte dans le modèle théorique pour permettre la résolution analytique. Voici les éléments non pris en compte dans le modèle, tous dépendants du courant dans l'interface de puissance :

- La non-linéarité de la caractéristique drain-source des transistors de puissance T_1 et T_2 , qui s'exprime comme une modulation de la valeur de résistance par le courant dans le modèle théorique.
- Les caractéristiques des diodes D_1 et D_2 sont modélisées par de simples sources de tension dans le modèle actuel. Une modélisation plus fine prendrait en compte la modulation de la tension de seuil de conduction et de la résistance dynamique grand signal en fonction du point de fonctionnement.
- Les résistances dynamiques d'accès de drain et de source des transistors T_1 et T_2 ne sont pas prises en compte dans le modèle théorique actuel.

Les figures 3.16.a et 3.16.b montrent que le rendement en tension η est nul en-dessous de 2V. Nous observons que l'évaluation de ce seuil par le modèle théorique est plus faible ($\sim 2V_T$). Cette valeur de rendement fait qu'il est impropre de qualifier d'inversion le fonctionnement de cette phase. Notre mise en œuvre de l'amortissement SSDI par ASIC fourni un fonctionnement en SSDS [41] (figure 1.10, la tension piézoélectrique est ramenée à 0V) dans ces conditions. D'après l'équation 2-12, la somme de toutes les contributions à la tension de seuil du circuit d'inversion est d'environ 1,5V pour les relevés (a) et (b).

6.3. Temporisation monostable

La fonction temporisation monostable a pour but de maintenir le transistor haute tension à l'état passant durant toute la durée de l'inversion. Les signaux d'état de la fonction sont envoyés en lecture sur les sorties A à F du circuit et les commandes d'inversion inhibées à l'aide des signaux de forçage. La durée des impulsions de commande des transistors de commutations est donc relevée indépendamment des autres fonctions du système. La figure 3.17 représente la durée t_{pw} qui contrôle le temps de fermeture des interrupteurs T_1 et T_2 de puissance lors de l'inversion de tension SSDI. La tension de référence V_{TIM} du comparateur de tension et la résistance de polarisation de I_{char} sont établies à l'aide de deux potentiomètres numériques.

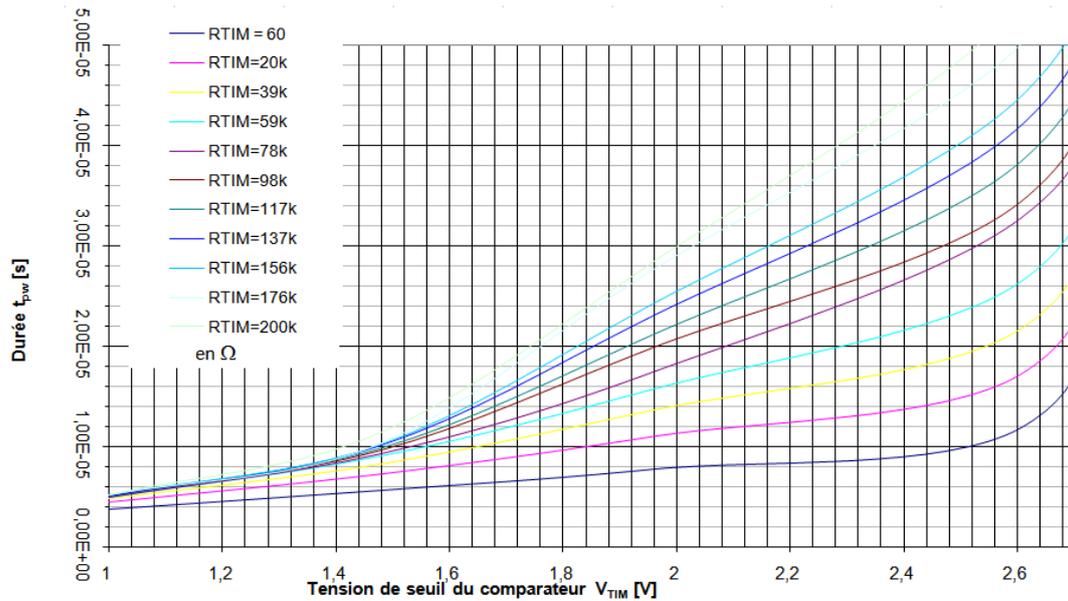


Figure 3.17 : Durée de temporisation t_{pw} en fonction de la tension de référence V_{TIM} et de la résistance de polarisation R_{TIM} .

Pour les valeurs de la tension de référence V_{TIM} supérieures à 2,6V, la tension de mode commun du comparateur provoque la désaturation des transistors de la paire différentielle d'entrée (dimensionnée de la même manière que pour le détecteur de pic de tension, équation 3-14). Le point de basculement n'est plus atteint, et la durée t_{pw} augmente alors de manière non linéaire.

6.4. Diviseur de tension

Nous utilisons de nouveau les signaux de forçage du registre de configuration de l'ASIC afin de caractériser le diviseur de tension capacitif. Le bloc fonctionnel est isolé du reste du circuit. Nous n'avons pas directement accès au nœud de tension de sortie V_{Dout} du diviseur de tension de notre ASIC. L'entrée du détecteur de pic de tension est directement connectée à la sortie du diviseur de tension. En ôtant la capacité C_i externe, le détecteur de pic de tension est utilisé en mode suiveur de tension et permet donc de visualiser le signal de sortie du diviseur sur V_{out} . Nous choisissons d'appliquer une rampe de tension croissante, puis décroissante dans le temps afin d'étudier le comportement du dispositif. La figure 3.18 nous montre dans ces conditions la fonction de transfert V_{out} en fonction de la tension d'entrée V_e pour un balayage en tension de 0V à 50V à la fréquence de 100Hz.

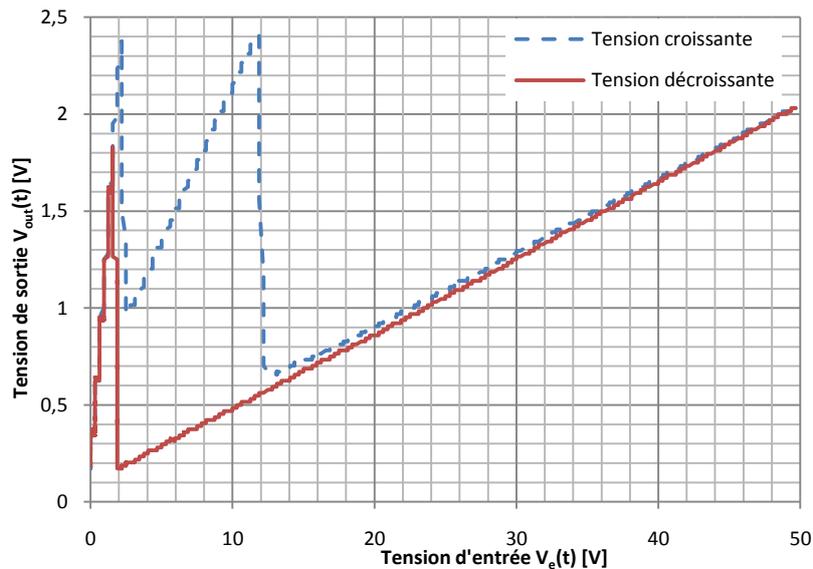


Figure 3.18 : Tension de sortie $V_{out}(t)$ du détecteur de pic de tension en mode suiveur en fonction de la tension d'entrée $V_e(t)$ du diviseur de tension allant de 0 to 50V puis de 50 à 0V de manière linéaire à la fréquence de 100Hz.

Sur ce relevé, nous voyons une séquence d'évolution dans les gammes de division $r_1-r_2-r_3-r_1$. Le tableau IX nous donne les valeurs des paliers de tension franchis lors de l'évolution dans les gammes de division. Le rapport de division inférieur à un dans le cas de la connexion directe entre la sortie et l'entrée du diviseur nous montre la présence d'un décalage en tension sur l'amplificateur de tension du détecteur de pic. Dans ces conditions, le décalage de tension est d'environ 100mV.

Tension en entrée $V_e(t)$	Tension en sortie $V_{Dout}(t)$	Rapport de division théorique	Rapport de division mesuré	Seuil de basculement théorique
2,3V	2,4V	1	0,96	2,5V
11,6V	2,4V	4,47	4,8	2,5V
49,7V	2,1V	20	23,7	2,5V
1,9V	0,17V	20	11,2	0,1V

Tableau IX : Évolution des plages de tension en sortie du diviseur de tension auto-adaptatif.

6.5. Détecteur de pic de tension

Le détecteur de pic de tension est testé lorsque les inversions de tension SSDI sont inhibées à l'aide du registre de configuration. Le signal appliqué en entrée est sinusoïdal mono-alternance afin de ne pas détériorer la voie de test utilisée. La figure 3.19 présente la mesure du délai entre la génération du signal de commande d'inversion SW et l'instant effectif du maximum de tension atteint. Ce délai est mesuré en fonction de la fréquence avec comme paramètre, l'amplitude du signal appliqué en entrée.

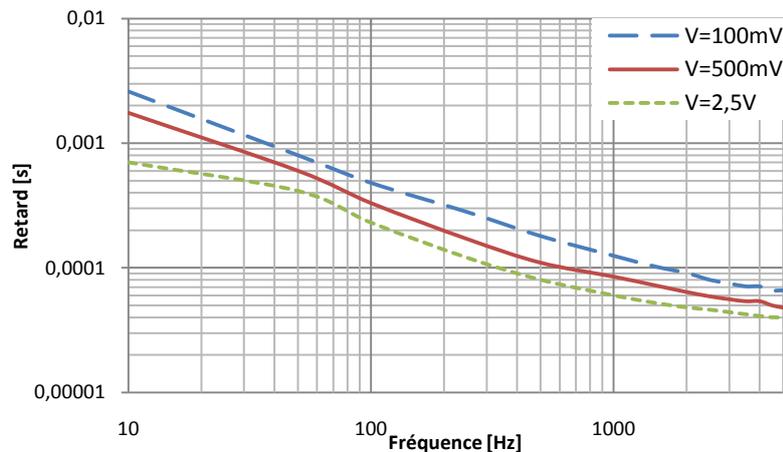


Figure 3.19 : Retard temporel entre la détection d'un maximum de tension et la génération du signal de commande d'inversion de tension en fonction de la fréquence et avec l'amplitude en paramètre pour un signal sinusoïdal mono-alternance.

Ce délai tend vers les $60\mu\text{s}$ au-delà de 5kHz . Plus la fréquence diminue et plus le retard au déclenchement augmente et ce phénomène est d'autant plus marqué que l'amplitude du signal est faible. Cela s'explique principalement par l'utilisation du circuit RC en sortie du détecteur d'enveloppe dont la constante de temps τ_{RC} est beaucoup plus grande que la période du signal admis en entrée et donc inadaptée.

Nous pouvons comparer ce retard de déclenchement à une perte sur l'efficacité des inversions de tension SSDI. Notons θ le décalage en radian de ce retard et $\Delta\eta$ la perte du rendement en tension par rapport au rendement maximal initialement accessible.

$$\Delta\eta = -\frac{V_t}{V_0} \cdot \left(1 - \frac{1}{\cos(\theta)}\right) \cdot \left(1 + e^{-\pi \cdot \sqrt{\frac{r^2 \cdot C_0}{4 \cdot L_i - r^2 \cdot C_0}}}\right) \quad \text{Eq. 3-37}$$

6.6. Fonctionnement global du dispositif électromécanique

Nous voulons à présent montrer quelques premiers résultats d'amortissement obtenus avec la structure poutre de la figure 3.14. Nous excitions donc cette dernière sur son premier mode de résonance en régime forcé et obtenons les résultats de la figure 3.20 : la tension piézoélectrique aux bornes du transducteur avec et sans traitement SSDI ; puis la figure 3.21 : le déplacement mécanique en extrémité de la poutre avec et sans traitement SSDI également.

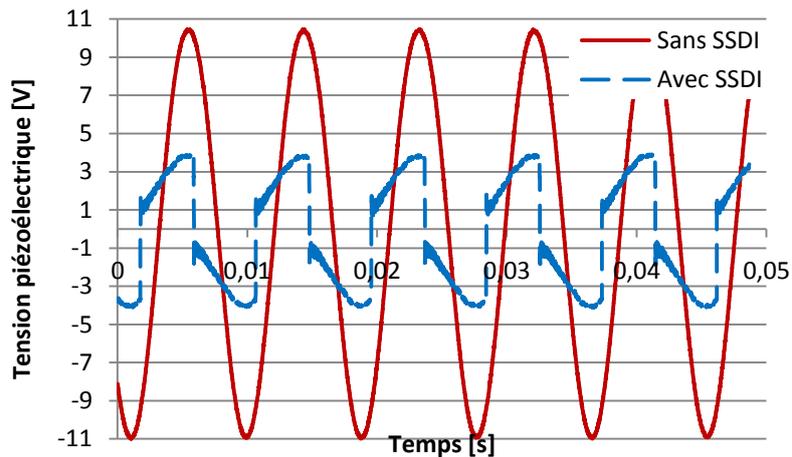


Figure 3.20 : Tension piézoélectrique aux bornes du transducteur avec et sans action d'amortissement.

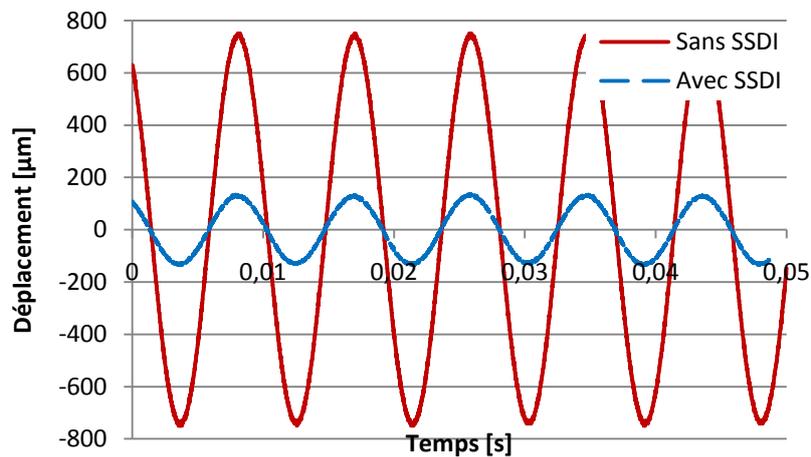


Figure 3.21 : Déplacement mécanique de l'extrémité libre de la poutre avec et sans action d'amortissement, oscillations forcées.

Avec l'action du circuit, nous observons un très net amortissement du déplacement de 15dB. En comparaison avec [42], l'amortissement est de 9dB seulement avec une mise en œuvre optimisée de la méthode SSDI. Un gain de performance est donc constaté dans cette configuration. La détection des extremums de tension est réalisée aux instants opportuns pour chaque période d'oscillation mécanique.

Un autre test caractéristique est présenté par le relevé de la figure 3.22. Il s'agit de mesurer la réponse libre des oscillations de l'extrémité libre de la structure avec et sans contrôle SSDI.

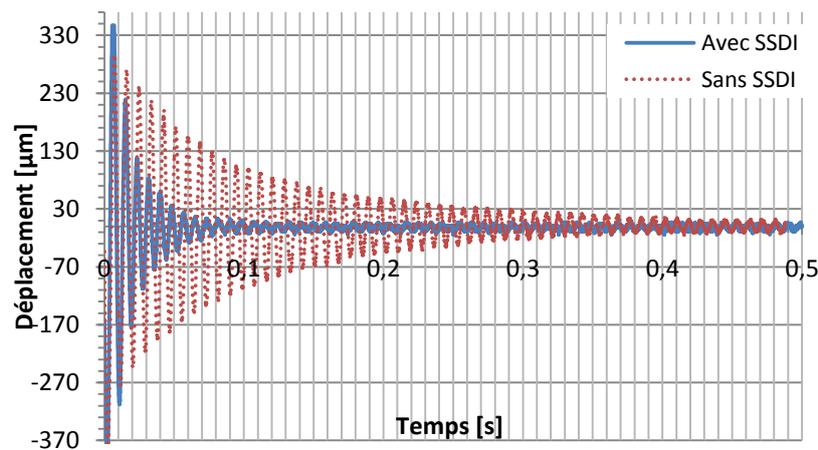


Figure 3.22 : Déplacement mécanique de l'extrémité libre de la poutre avec et sans action d'amortissement, oscillations libres.

L'allure de la décroissance des oscillations sans action d'amortissement SSDI est de type exponentiel alors qu'elle est de type linéaire avec le traitement SSDI actif, cette remarque sera détaillée dans la partie IV.4.1.2. En fixant deux seuils de comparaison sur l'amplitude maximale de l'oscillation, l'un à 10% et le second à 90%, le temps écoulé entre ces deux seuils est mesuré. Le seuil à 90% est mesuré au premier passage à cette valeur et celui à 10%, au dernier passage de la valeur. Ce temps caractéristique ne tient ainsi plus compte de l'allure de la décroissance, mais juste du temps de passage d'un niveau élevé de vibration à un niveau faible ; notons Δt_f cette durée. Dans le cas de ce relevé, la durée de décroissance Δt_f vaut 227ms sans amortissement et 47ms en amortissement, soit une diminution de temps d'un facteur cinq environ.

6.7. Bilan ASIC et fonctions

Nous avons choisi de développer une architecture permettant la mise en œuvre de la méthode d'amortissement vibratoire SSDI par la réalisation d'un composant ASIC. Chacun des blocs fonctionnels est décrit, optimisé puis caractérisé expérimentalement et indépendamment des autres blocs. Le circuit réalisé intègre deux voies de traitement indépendantes et symétriques. À notre connaissance, il s'agit du premier circuit réalisé en technologie microélectronique intégrée publié pour ce type d'application.

6.7.1. Fonctionnalités

Chacune des voies de traitement intègre un interrupteur électronique, un diviseur de tension et un discriminateur d'extremum de tension. L'interrupteur haute tension a été étudié et optimisé dans le chapitre II. Le diviseur de tension permet d'adapter la dynamique du signal d'entrée du capteur (maximum de 50V), à la dynamique en tension de l'électronique de commande (0V à 2,5V). Le diviseur comprend plusieurs nœuds de tension dont la sélection est réalisée de manière auto-adaptative. Ce bloc intègre également deux sécurités de fonctionnement contre la propagation des hautes tensions non tolérées par le circuit, le protégeant ainsi de la détérioration fonctionnelle.

Deux versions du circuit ont été réalisées au cours de cette thèse. La seconde version, présentée dans ce mémoire, a permis d'améliorer les performances du dispositif diviseur de tension. Elle intègre deux nœuds de division (en plus d'un nœud de connexion directe) et permet de valider le fonctionnement générique et adaptatif de la partie contrôle du diviseur.

Le discriminateur d'extremum de tension est constitué d'un amplificateur de tension monté en redresseur mono-alternance, d'un comparateur de tension intégré à la structure de l'amplificateur et d'un générateur d'impulsion. La fonction amplificateur permet de déterminer l'instant de commutation optimal pour l'action d'amortissement. Un retard lié au déclenchement des inversions de tension (voir partie I.4.1.2) revient à dégrader l'énergie stockée avant inversion dans l'insert piézoélectrique dont la valeur maximale permet d'optimiser l'action d'amortissement. Cette influence sera étudiée dans le chapitre IV. Le compromis entre rapidité et consommation électrique des composants actifs de ce bloc pourra permettre d'évoluer vers de nouvelles réalisations microélectroniques.

Une temporisation monostable permet de remplir la fonction générateur d'impulsion dont la largeur est supérieure à la durée de la phase d'inversion SSDI. La précision de la durée

n'est donc pas critique dans cette fonction. La réduction de la consommation de cette fonction est donc envisageable, en veillant à maîtriser les dispersions sur la largeur d'impulsion.

6.7.2. Consommation énergétique

La puissance moyenne globale du circuit en fonctionnement est estimée à $209\mu\text{W}$ environ sous $3,3\text{V}$. Cette puissance est mesurée dans le cas d'un signal sinusoïdal mono-alternance à 50Hz . Nous estimons pouvoir récupérer $550\mu\text{W}$ à 50Hz pour une capacité propre de l'insert piézoélectrique de 110nF et une tension avant inversion de 10V . Avec un rendement de conversion de 50% , la puissance disponible en continu pour l'auto-alimentation est estimée à $275\mu\text{W}$. La puissance restante disponible pour l'action d'amortissement est donc faible.

La polarisation statique du circuit (sans inversion de tension SSDI) consomme 95% de la puissance moyenne du circuit. Cette valeur importante résulte de la somme des puissances consommées pour la polarisation statique des huit amplificateurs à transconductance de l'ASIC. L'optimisation de ces blocs en termes de conception permettrait de réduire la consommation globale du circuit.

6.7.3. Performances d'amortissement

À l'aide d'un dispositif expérimental de type poutre (encastrée – libre), dotée d'inserts piézoélectriques, les résultats de mesures permettent de valider les choix architecturaux ainsi que la fonctionnalité de notre contrôleur ASIC. En régime d'excitation harmonique permanent, une performance d'amortissement de 15dB a pu être observée sur l'amplitude des oscillations mécaniques de l'extrémité libre de la poutre. En régime harmonique transitoire une amélioration d'un facteur 5 a été mesurée sur la durée de décroissance des oscillations de l'extrémité de la poutre entre 90% et 10% de son maximum d'amplitude. Au cours des nombreux tests réalisés, nous avons pu constater la robustesse des prototypes mis en œuvre qui n'ont subi aucun dommage fonctionnel malgré des sollicitations hors spécifications.

Nous allons à présent caractériser expérimentalement dans le chapitre IV, le système d'amortissement ASIC – SSDI à l'aide d'une structure de test dont le comportement est plus complexe et également plus proche du comportement de structures réelles.

Chapitre IV :

Mesures d'amortissement sur un système de type plaque

Ce quatrième chapitre montre les performances du système d'amortissement SSDI obtenues avec l'ASIC développé dans cette thèse sur une structure mécanique complexe, proche de conditions réelles. L'ASIC est couplé à une structure mécanique de type plaque encastrée à trois de ses extrémités et libre sur la dernière. La plaque est d'abord caractérisée par simulation à l'aide d'une méthode aux éléments finis, puis par des mesures expérimentales en excitation harmonique ou impulsionnelle. Les performances d'amortissement procurées par l'action de l'ASIC sont ensuite observées expérimentalement. Nous mesurons la réponse du système en excitation harmonique (régime forcé et libre amorti) et en réponse impulsionnelle.

1. Dispositif expérimental

Dans ce sous-chapitre, nous proposons de décrire le dispositif expérimental mis en place dans le but de caractériser les performances de notre système d'amortissement mécanique de vibration. Une structure mécanique 2D avec un comportement multimodal a été choisie pour tester les caractéristiques d'amortissement procurées par l'ASIC présenté dans les chapitres précédents. Cette structure a été choisie pour la complexité de son comportement mécanique libre, proche des conditions réelles dans lesquelles un amortissement de vibrations est nécessaire.

1.1. Système mécanique complexe

La structure mécanique choisie est une plaque d'épaisseur uniforme de matériau anisotrope homogène encastree sur trois de ses extrémités sur un bâti rigide en acier. La figure 4.1 montre ce dispositif ainsi que les appareils de mesure et d'actionnement mis en œuvre. La plaque est composée de duralumin (alliage d'aluminium 2017), matériau non-magnétique, et de dimensions $600 \times 400 \times 1 \text{ mm}^3$. Le serrage de la plaque sur le bâti est réalisé à l'aide d'une clef dynamométrique et de manière symétrique afin de garantir la bonne qualité de l'encastrement. L'emploi de deux aimants, placés en face à face, de part et d'autre de la plaque permet d'actionner la structure à l'aide d'une bobine électromagnétique. Celle-ci est alimentée à l'aide d'un amplificateur de puissance commandé par un générateur de signaux basse fréquence (GBF) ou un analyseur de réseau. La mesure directe de la force appliquée par la bobine aux aimants est délicate, et nous ne l'avons pas mise en œuvre dans les mesures expérimentales. La force électromagnétique étant proportionnelle au courant circulant dans la bobine, nous ferons l'hypothèse que la force appliquée à la plaque est à l'image de ce courant.

1.2. Les zones d'amortissement

Trois zones d'inserts piézoélectriques ont été collées à la surface de la plaque à proximité des trois liaisons encastrement. Chacune des zones est constituée de dix éléments piézoélectriques (matériau PZT P189, $45 \times 12 \times 0,4 \text{ mm}^3$) connectés électriquement en parallèle pour une capacité propre totale de $C_0 = 110 \text{ nF}$. Ce découpage en éléments permet de limiter la rigidification de la structure et le risque de rupture de la colle. La *Zone Gauche*, notée *ZG*, est localisée à proximité de l'encastrement gauche de la plaque. La *Zone Haute*, notée *ZH*, est localisée à proximité de l'encastrement supérieur et la *Zone Droite*, *ZD*, à

proximité de l'encastrement droit. L'indice ON ou OFF est juxtaposé à cette notation afin de définir l'état en circuit ouvert (OFF) ou l'état actif d'amortissement avec un ASIC (ON) de la zone. En état ON , l'exposant I indique que la zone d'amortissement est *indépendante* des deux autres zones ON et l'exposant P indique que la zone est connectée électriquement en *parallèle* avec les autres zones ON .

La bobine et le capteur de déplacement laser (type CCD, marque Keyence, modèle LK-G32) sont solidaires du bâti rigide de la plaque. Le positionnement des aimants associés (permettant l'excitation en force et la mesure de déplacement) est critique car il détermine les ports « d'entrée » et de « sortie » du système mécanique. Ce positionnement joue sur la visibilité ou non des modes. Il a été fait de façon empirique, de manière à obtenir une réponse à l'excitation harmonique riche et variée.

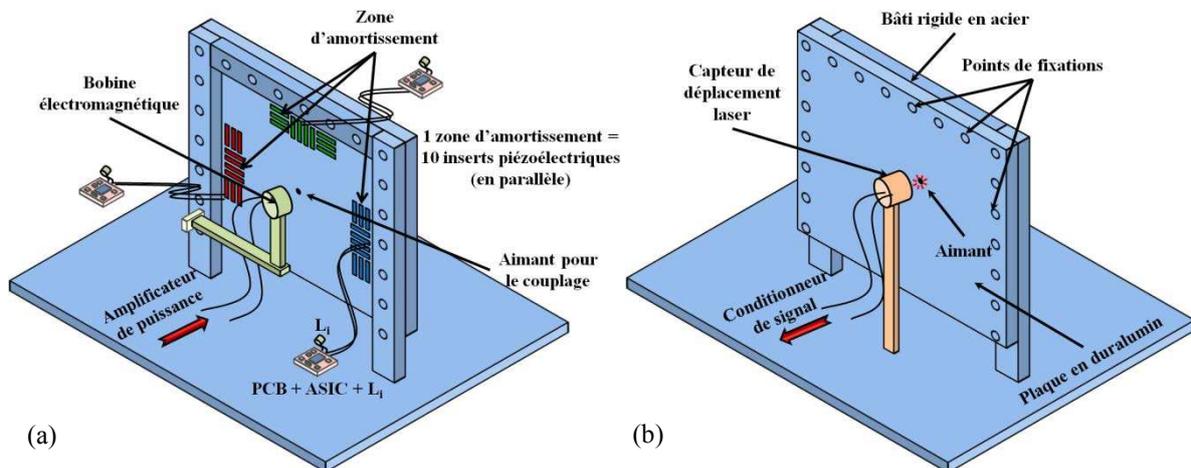


Figure 4.1 : Schéma du dispositif expérimental : une plaque en duralumin encadrée à trois extrémités et libre sur le bas est excitée par couplage électromagnétique ; (a) face avant, (b) face arrière.

1.3. ASIC sous test

Un circuit imprimé aux dimensions réduites a été réalisé (figure 4.2) afin d'embarquer l'ASIC et son électronique de test. Un bouton de reset, des sources de tension (V_H , V_B et V_{TIM}) et de courant (i_{cr} , i_{pol}), ainsi que les composants passifs d'ajustements de la constante de temps τ_{RC} ($R_p = 8,2M\Omega$ et $C_p = 10nF$) sont ainsi disposés autour du composant. La bobine d'inversion L_i (inductance $L_i = 79mH$, $r_{Li} = 10\Omega$), les inserts piézoélectriques ainsi que l'alimentation sont connectés à l'aide de contacts à bornes placés sur la face inférieure de la carte. Le schéma électrique complet de cette carte est donné en annexe IV¹.

Chacune des trois zones d'amortissement piézoélectriques peut-être connectée à l'une de ces cartes PCB. L'ensemble zone d'insert + carte PCB forme ainsi un système d'amortissement indépendant des deux autres. L'alimentation de chaque carte est fournie par une pile de 9V associée à un régulateur de tension positive 3,3V. L'alimentation locale fournie par la pile assure ainsi un parfait découplage entre les différents systèmes d'amortissement. Chaque source de tension (V_H , V_B et V_{TIM}) est réalisée à l'aide d'un potentiomètre CMS de 5k Ω . Le courant de polarisation du régulateur de tension est donné par le constructeur entre 4,5 et 6mA. La consommation statique de l'ensemble des composants de cette carte est de 7mA.

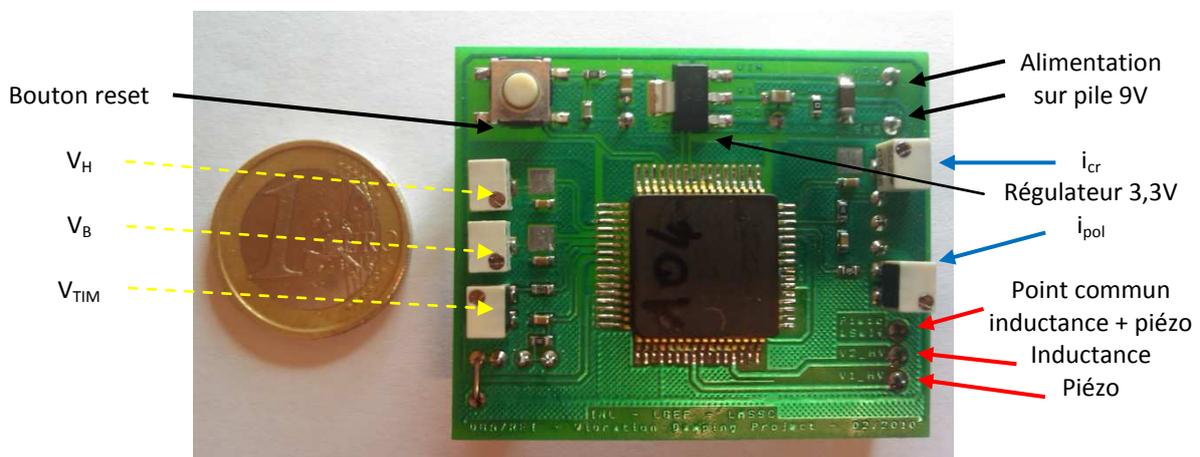


Figure 4.2 : Photographie du circuit imprimé de test pour la mise en œuvre de l'ASIC.

¹ Annexe IV : page 184.

1.4. Configurations expérimentales

Les mesures réalisées font appel à trois configurations expérimentales dans lesquelles plusieurs tests ont été menés :

- La première configuration est basée sur une excitation harmonique de la structure mécanique. Expérimentalement, un analyseur de réseau Hewlett Packard (HP 4194A) a été utilisé afin d'exciter la structure sur une bande de fréquence allant de 10Hz à 140Hz. L'appareil dispose d'une résolution de quatre-cent points sur la bande de fréquence sélectionnée. La figure 4.3 illustre ce mode expérimental.
- La deuxième configuration consiste à exciter en régime forcé harmonique la structure sur un de ses modes propres de résonance. L'excitation est stoppée et les oscillations libres amorties sont observées à partir de cet instant. La configuration expérimentale est très proche de la précédente, sinon qu'un GBF de marque Française d'Instrumentation (FI5350GA) est utilisé à la place de l'analyseur pour l'excitation et que les oscillations sont observées à l'aide d'un oscilloscope de marque LECROY (WaveJet 324A).
- Pour le dernier mode expérimental, l'excitation est provoquée par le choc d'une bille en acier de 1,8cm de diamètre sur la plaque. La photo 4.4 illustre cette expérience.

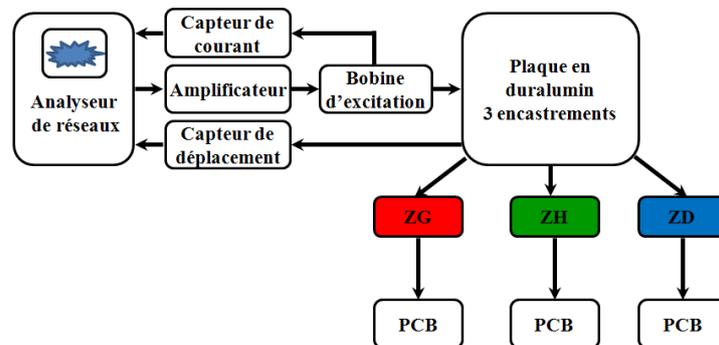


Figure 4.3 : Schéma de mise en œuvre pour un balayage fréquentiel de la structure en excitation forcée harmonique.

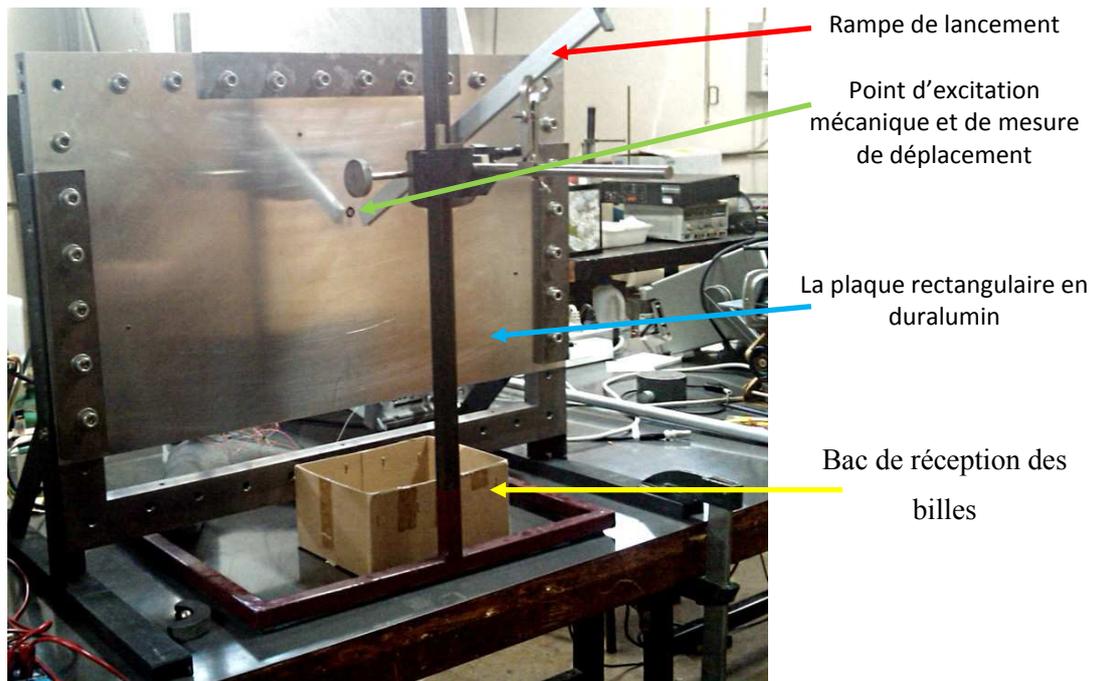


Figure 4.4 : Photographie du dispositif expérimental dans le cas d'une sollicitation par choc bref (lâché de bille sans vitesse initiale).

Dans le cas d'un choc par bille, la bobine d'excitation est remplacée par une rampe de lancement et le point d'impact coïncide avec le point de placement de l'aimant de couplage (figure 4.1). Un profil en métal permet de guider la bille dans sa chute vers la plaque au long d'une course de 46cm. La rampe est placée à 45° du plan constitué par la plaque afin de transmettre un maximum de puissance lors de l'impact en évitant des chocs secondaires.

2. Caractérisation de la plaque

La caractérisation du comportement de notre système de type plaque, tel que décrit dans le sous-chapitre IV.1, permet de prédire la réponse des oscillations mécaniques suivant le type d'excitation. La première étape consiste à identifier et caractériser les modes propres de résonance de la plaque, sans système d'amortissement. Cela est réalisé par des simulations et des mesures expérimentales.

2.1. Simulation des modes propres par méthode des éléments finis

2.1.1. Modèle mécanique de plaque

La réponse d'une structure de type plaque rectangulaire à une excitation mécanique est de nature multimodale. L'analyse des modes propres permet de connaître les différentes fréquences de résonance du système mécanique.

Elle permet également de localiser la répartition de la contrainte dans le matériau en fonction de ses modes propres. L'énergie convertible par transduction piézoélectrique s'exprime sous forme de contrainte mécanique dans la structure. C'est donc la connaissance de l'intensité et de la répartition de la contrainte sous la surface des inserts piézoélectriques qui permet de juger de leur efficacité.

La connaissance de la déformée modale permet quant à elle de connaître l'emplacement des lignes modales (axes) suivant lesquelles le déplacement est nul pour le mode considéré. Au contraire, un ventre modal correspond à un point où la déformée sera maximale. Chaque mode propre de résonance s'identifie en fonction de deux coordonnées h et v [48]. Ces deux coordonnées permettent d'identifier le nombre de ventres de déformation rencontrés suivant l'axe horizontal et l'axe vertical respectivement. La connaissance de la déformée permet de juger de l'efficacité d'une excitation mécanique et de la visibilité du mode par la localisation de la mesure du déplacement.

En analyse des structures déformables, le comportement mécanique des structures complexes est couramment modélisé par méthode des éléments finis (FEM). La simulation de la plaque en duralumin seule (sans inserts piézoélectriques ni aimant) présentée dans le sous-chapitre IV.1 est réalisée à l'aide de COMSOL Multiphysics. Nous utilisons un modèle de plaque de Mindlin et le solveur numérique d'équation UMFPACK disponibles dans le logiciel. Plus la fréquence d'un mode est élevée, et moins ce mode est dominant sur la réponse mécanique en déformation de la plaque. Pour cette raison, l'analyse sera limitée à une

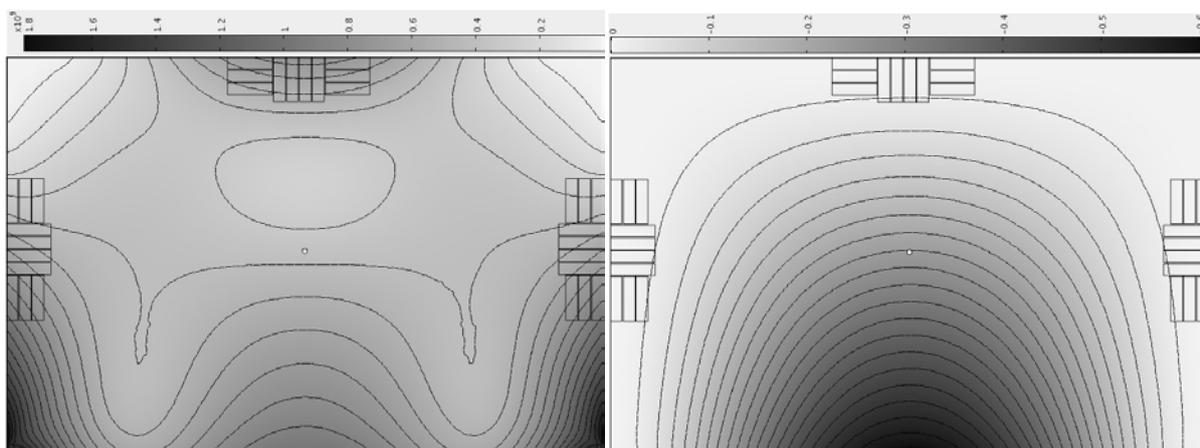
plage de fréquence allant de 0 à 150Hz. Le tableau X reprend les principaux paramètres de la simulation par FEM.

Matériau	alliage d'aluminium 2017
Dimensions	600 x 400 x 1 mm ³
Module d'Young	74GPa
Coefficient de Poisson	0,33
Coefficient d'expansion thermique	23μK ⁻¹
Facteur de cisaillement	1,2
Densité du matériau	2790kg·m ⁻³
Nombre d'éléments (maillage)	102400
Nombre de degré de liberté	308803

Tableau X : Principaux paramètres de la simulation par FEM des modes propres de la plaque de test.

2.1.2. Simulation et discussions

Les figures 4.5 à 4.7 représentent la modélisation par FEM de la plaque rectangulaire utilisée lors des expériences de ce chapitre. Seuls les trois premiers modes de résonance de la structure sont analysés dans ce chapitre. Les résultats pour les modes de fréquence plus élevée (jusqu'à 150Hz) sont présentés en annexe V¹.



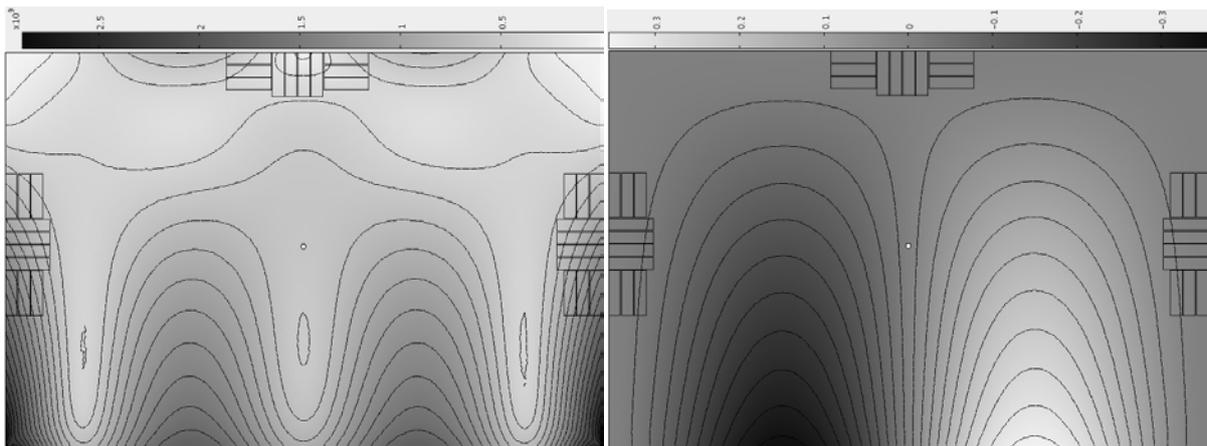
*Figure 4.5 : Modélisation par FEM du mode propre (1, 1) de la plaque :
(a) contrainte de Von Mises, (b) la déformée équivalente.*

¹ Annexe V : page 186.

Sur l'image de 4.5.a, la répartition de la contrainte équivalente de Von Mises est modélisée et sur l'image 4.5.b, la déformée modale correspondante. Il en est de même pour les figures 4.6 et 4.7. L'échelle du déplacement est donnée en millimètre et celle de la contrainte en gigapascal.

La contrainte de Von Mises est définie comme la limite d'élasticité du matériau en tout point de la structure, au-delà de laquelle la déformation de la structure devient irréversible [49]. Les lignes en noir présentent les zones d'iso-valeurs de contrainte et de déformée respectivement.

L'emplacement des inserts piézoélectriques est matérialisé par des rectangles noirs sur les figures à proximité des encastremets. Il sera ainsi plus aisé de voir quelle est l'intensité de la contrainte sous l'emplacement des inserts. Le point blanc au centre de la plaque représente l'aimant pour l'excitation de la structure et le point de mesure du déplacement.



*Figure 4.6 : Modélisation par FEM du mode propre (2, 1) de la plaque :
(a) contrainte de Von Mises, (b) la déformée équivalente.*

En comparant la contrainte de Von Mises et la disposition des inserts piézoélectriques pour les modes (2, 1) et (1, 2) sur les figures 4.6.a. et 4.7.a. respectivement, la zone de contrainte est plus étendue et plus intense sous les inserts pour le mode (1, 2) que pour le mode (2, 1). Nous identifions qualitativement que le facteur de couplage électromécanique, et par conséquent l'amortissement, est meilleur pour le mode (1, 2) que pour le mode (2, 1).

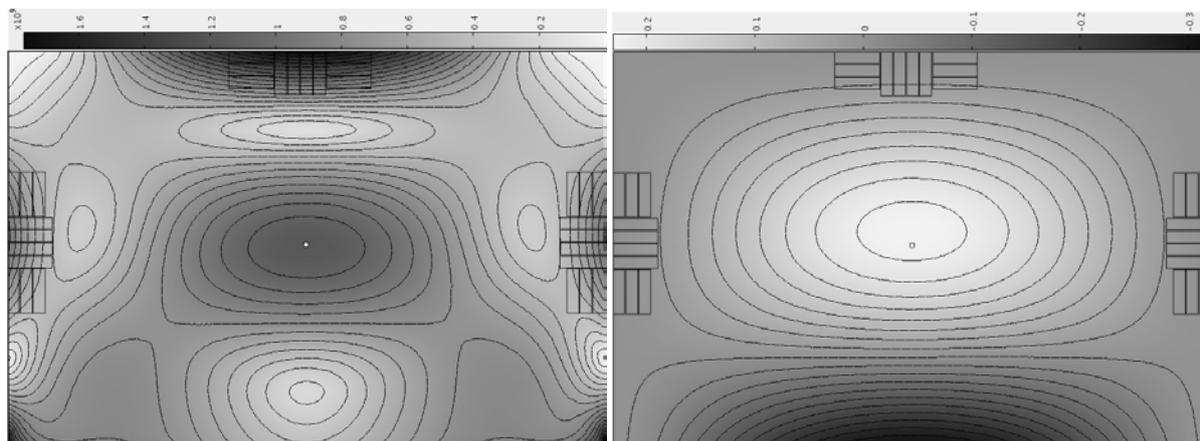


Figure 4.7 : Modélisation par FEM du mode propre (1, 2) de la plaque :
(a) contrainte de Von Mises, (b) la déformée équivalente.

La géométrie de l'ensemble des modes de résonance horizontaux paires présente une ligne modale (où le déplacement est nul) au centre de la plaque. C'est le cas notamment des modes (2, 1), (2, 2), (2, 3) et (4, 1) et de tous les modes à coordonnée horizontale paire. Or, le faisceau laser du capteur de déplacement (figure 4.1.b) pointe sur le centre de la plaque. Nous pouvons en conclure que l'excitation de ces modes n'est pas réalisable dans cette configuration. Le relevé de l'amplitude du déplacement de ces modes est, pour la même explication, non observable avec le placement adopté des aimants et du capteur.

Le tableau XI donne la valeur de la fréquence propre des neuf premiers modes de la plaque (0 à 150Hz) ainsi que l'identification des coordonnées modales (h, ν) correspondante à la géométrie de la déformée.

	Mode	Fréquence propre
1	(1, 1)	18,4Hz
2	(2, 1)	45,7Hz
3	(1, 2)	45,8Hz
4	(2, 2)	73,9Hz
5	(3, 1)	86,6Hz
6	(1, 3)	106Hz
7	(3, 2)	115,7Hz
8	(2, 3)	132,7Hz
9	(4, 1)	141,2Hz

Tableau XI : Identification par simulation des fréquences de résonance de la structure.

2.2. Caractérisation expérimentale en excitation forcée harmonique

Après l'étude de la structure de test par modélisation FEM, nous avons soumis expérimentalement une plaque à une excitation forcée harmonique. Les résultats seront discutés et comparés avec la simulation par la suite.

La réponse fréquentielle du déplacement mécanique de la plaque est relevée en fonction de la fréquence d'excitation, sans le système de contrôle d'amortissement (inserts piézoélectriques en circuits ouverts ZD_{OFF} , ZG_{OFF} , ZH_{OFF}). La plaque est soumise à une excitation harmonique en régime forcé. Nous utilisons la configuration de test présentée figure 4.3 où la plaque est excitée par l'intermédiaire d'une bobine électromagnétique et d'un analyseur de réseau. L'analyseur permet également d'extraire une image de la caractéristique de transfert déplacement/courant d'excitation à la fréquence d'excitation pour une plage de fréquence allant de 10Hz à 140Hz (avec un pas de 325mHz). Cette image de la caractéristique sera appelée « réponse fréquentielle » par la suite et elle nous permettra d'être comparée à d'autres représentations de même type [41]-[43]. Le déplacement et le courant étant obtenus par deux capteurs générant une tension proportionnelle aux grandeurs mesurées, l'image de la caractéristique de transfert du déplacement que nous présenterons est donc sans unité pour un courant d'excitation donné.

La figure 4.8 présente la réponse fréquentielle du déplacement de la plaque pour trois intensités de courant efficace dans la bobine : $0,1A_{RMS}$, $1A_{RMS}$ et $1,7A_{RMS}$. L'axe des ordonnées représente l'image de la caractéristique de transfert en décibels. Les valeurs de fréquence des pics sont affichées pour le courant de $0,1A_{RMS}$ sur la figure.

Cette figure présente cinq pics de résonance dominants, ainsi qu'un pic de plus faible amplitude. Les modes de coordonnées (1, 1), (1, 2), (2, 2), (3, 1) et (1, 3) et (3, 2) sont identifiés. La fréquence des pics d'amplitude est indiquée sur la figure pour l'excitation à $100mA_{RMS}$ dans la bobine. Le mode de résonance (2, 1) n'apparaît pas sur ce relevé alors que sa fréquence propre est comprise entre celle des modes (1, 1) et (1, 2). Nous avons vu dans la section IV.1.2 que le capteur de déplacement et l'aimant d'excitation sont positionnés de manière fixe afin que toutes les mesures aient le même référentiel, ceci pour pouvoir comparer l'ensemble des résultats expérimentaux au détriment de la visibilité de l'ensemble des modes.

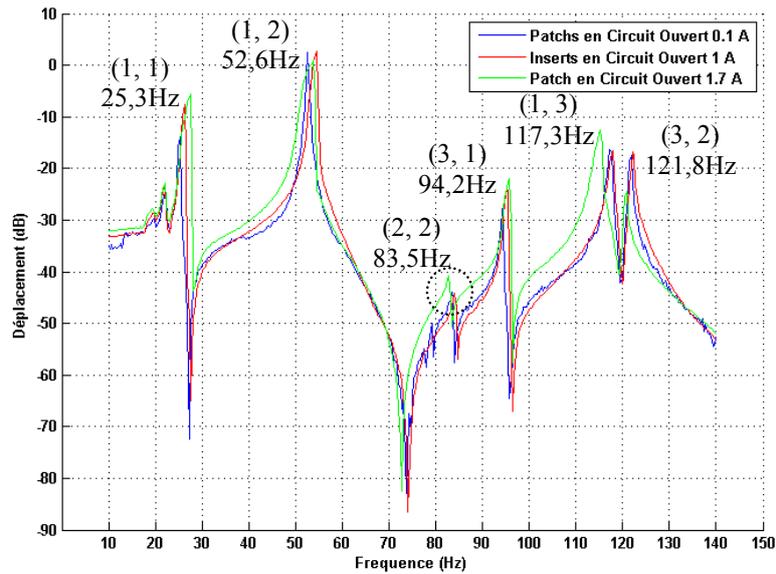


Figure 4.8 : Réponse fréquentielle de la plaque pour un courant efficace de $0,1A_{RMS}$, $1A_{RMS}$ et $1,7A_{RMS}$ sans contrôle SSDI.

Il apparaît des différences notables entre les trois relevés sur la valeur des pics de résonance tant en amplitude qu'en fréquence. Ces différences peuvent être classées suivant deux catégories :

- les différences systématiques (écarts par rapport aux résultats de simulation par FEM),
- les différences dispersives (en amplitude ou en fréquence).

Nous allons étudier ces différences dans la section suivante. L'origine des variations a pu être mise en évidence par comparaisons successives et classée en trois points :

- les variations de température de l'environnement de mesure,
- la qualité de l'encastrement du bâti et la mise en tension de la plaque,
- les fortes variations d'amplitude des vibrations.

Pour un faible courant d'excitation ($0,1A_{RMS}$), la caractéristique obtenue pour les modes (1, 2), (1, 3) et (3, 2) présente un pic de résonance symétrique autour de la fréquence propre du mode. Dans ce cas un comportement linéaire de la réponse en fréquence de la plaque est observé. Avec l'augmentation du courant d'excitation dans la bobine ($1A_{RMS}$, puis $1,7A_{RMS}$), le pic caractéristique du mode (1, 2) devient asymétrique. Ce comportement est lié à la variation non-linéaire de la raideur équivalente du mode sollicité [50]. Une des composantes de l'expression de la raideur évolue suivant le carré du déplacement mécanique de la plaque. Par rapport au pic caractéristique de la réponse linéaire, le pic d'amplitude du mode se trouve

alors courbé vers les hautes fréquences. Cette courbure provoque une discontinuité dans la courbe de réponse mécanique, qui est davantage marquée dans le sens croissant de balayage des fréquences. Un cycle d'hystérésis est ainsi formé dans le domaine fréquentiel. Ce phénomène n'est pas observable dans les simulations par FEM.

2.3. Comparaison et discussion

Les observations formulées dans la section précédente, ainsi que la mise en évidence des différences entre les fréquences propres modélisées par FEM et les résultats expérimentaux ne permettent pas de réaliser des mesures avec une grande certitude. Nous allons explorer les différentes origines de ces variations afin de les quantifier et de borner le domaine de validité des mesures suivantes dans ce document.

2.3.1. Analyse des différences systématiques

Dans le cas de structures réelles complexes telles que notre plaque, il paraît difficile d'obtenir une situation rigoureusement reproductible des paramètres expérimentaux. En effet, les campagnes de mesure étant relativement longues (de vingt minutes à trois heures suivant le cas), il est notable au cours d'une même journée d'observer des variations de la température ambiante. Or, l'interface entre le bâti et la plaque, ou entre les inserts piézoélectriques et la plaque, peuvent engendrer des précontraintes par dilatation des matériaux. Aussi, nous nous sommes efforcés de réaliser une même série de mesure dans les plus brefs délais

La qualité de l'encastrement des trois côtés de la plaque (haut, droit et gauche) est également prise en compte. Elle est considérée comme parfaite dans les études théoriques, mais l'encastrement idéal est difficilement réalisable en réalité (notamment serrage symétrique, contrainte statique aux points de serrage, dilatation). Plusieurs essais successifs sur le serrage de la plaque ont été réalisés pour arriver à un résultat cohérent avec ceux annoncés par la simulation. L'idéal serait une mise en tension homogène de la plaque, or il est apparu que la fixation de la plaque peut laisser une compression mécanique du profil de cette dernière.

Ainsi, les cycles de déformation successifs de la plaque lors des différents tests, à plus ou moins fort niveau d'excitation, avec et sans contrôle d'amortissement, peuvent engendrer des changements dans la répartition des contraintes résiduelles.

2.3.2. Dispersion à court terme

Nous allons effectuer une étude paramétrique afin d'identifier la source des variations observées. Une série de mesure dans des conditions identiques en température, courant d'excitation et d'encastrement de la plaque est réalisée et présentée en figure 4.9. Ces mesures sont réalisées à la suite les unes des autres et montrent la réponse fréquentielle de la plaque pour un courant d'excitation de $1A_{RMS}$ sans système d'amortissement contrôlé.

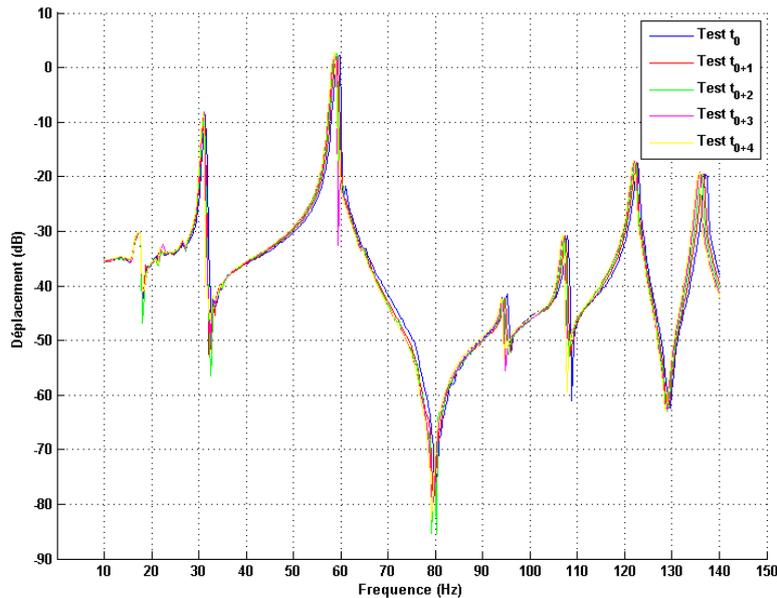


Figure 4.9 : Réponse fréquentielle de la plaque pour un courant efficace de $1A_{RMS}$, relevées à la suite et sans contrôle SSDI.

Nous pouvons voir que la reproductibilité de la caractéristique de transfert est satisfaisante, dans les conditions où les relevés sont réalisés les uns à la suite des autres. Alors que les effets de la non-linéarité (mis en évidence sur la figure 4.8) dans la réponse fréquentielle de la plaque se font davantage remarquer à $1,7A_{RMS}$ plutôt qu'à $1A_{RMS}$, le comportement mécanique non-linéaire n'est pas la source de dispersions dans le cas de mesures proches dans le temps.

2.3.3. Dispersion à moyen terme

Nous avons fait face à des écarts de reproductibilité d'une session de mesure à l'autre, dont les résultats du paragraphe précédents ne rendent pas compte. Nous avons donc compilé des caractéristiques obtenues lors de différentes sessions de mesure. Comme ces sessions avaient des objectifs différents, des sollicitations multiples (niveau d'excitation mécanique, mise en marche du SSDI ou non) entre deux courbes ont été opérées sur la plaque. La figure 4.10 présente la réponse fréquentielle de la plaque pour un courant d'excitation de $0,1A_{RMS}$ toujours sans système d'amortissement contrôlé.

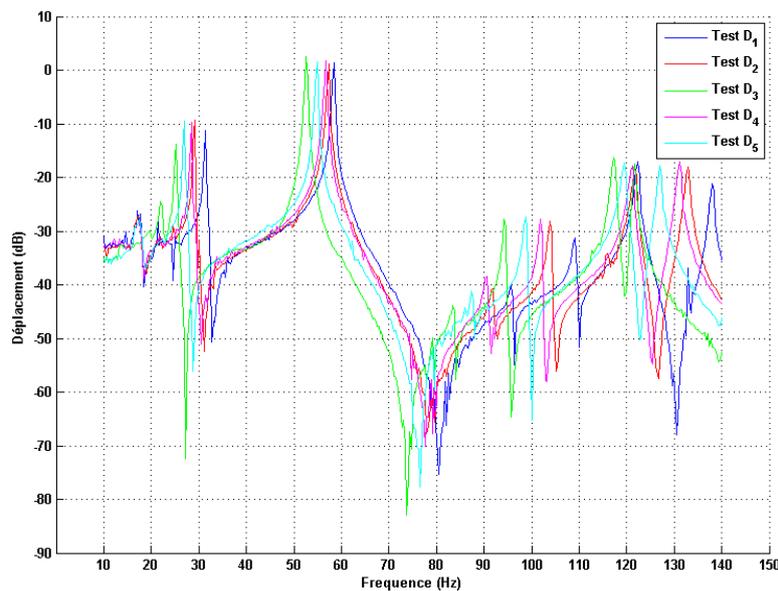


Figure 4.10 : Réponse fréquentielle de la plaque pour un courant efficace de $0,1A_{RMS}$, relevés à un jour d'intervalle et sans contrôle SSDI.

Bien que les conditions d'excitation soient identiques, il apparaît des dispersions sur l'amplitude et la fréquence des pics de chacun des modes de résonance de la structure. Le sens de variation des fréquences sur ces pics est erratique entre deux relevés consécutifs. Cependant, l'allure des raies est globalement conservée avec des décalages en fréquence. Cela montre que le comportement de plaque décrit en simulation reste valable, mais que certains paramètres varient au cours des manipulations.

Pour le mode (1, 2), la variation en amplitude du pic de résonance est faible (0,6dB entre les deux extrêmes mesurés), seule la variation de la fréquence propre est significative (5,9Hz entre les deux extrêmes mesurés). L'amplitude du pic de ce mode n'est donc pas affectée par les dispersions expérimentales. Pour le mode (3, 2), fréquence et amplitude varient. De

manière générale, il conviendra donc de borner l'incertitude de mesure en fréquence et en amplitude. Le tableau XII synthétise la valeur des variations maximales en fréquence et en amplitude pour chacun des modes présents sur les relevés. Il présente également un comparatif entre les fréquences de résonance mesurées expérimentalement et celles calculées par FEM. L'écart relatif important est imputé aux dispersions systématiques présentées en partie IV.2.3.1.

Mode	Fréquence propre mesurée	Fréquence propre calculée	Erreur relative sur les fréquences	Variation en amplitude
(1, 1)	28,4Hz±3,1	18,2Hz	56%	±2,4dB
(1, 2)	55,5Hz±3	45,2Hz	22,8%	±0,3dB
(2, 2)	89,7Hz±6,1	73,1Hz	22,6%	±5dB
(3, 1)	101,7Hz±7,5	85,7Hz	18,7%	±3dB
(1, 3)	119,9Hz±2,7	104,8Hz	14,4%	±2dB
(3, 2)	129,9Hz±8,6	114,4Hz	13,5%	±4dB

Tableau XII : Comparaison des modes propres de résonance de la structure cas réel et simulation.

2.4. Caractérisation des oscillations libres amorties

Nous avons étudié jusqu'ici le cas des oscillations harmoniques en régime forcé. Afin de poursuivre l'étude du comportement mécanique de la plaque, nous envisageons le cas d'une excitation non-continue. La plaque peut :

- Être sollicitée par intermittence. Dans ce cas, un régime forcé harmonique précède le régime libre amorti. La source des vibrations est soudainement supprimée et l'amplitude du déplacement mécanique de la structure décroît naturellement.
- Être soumise à un choc ponctuel. Si le choc est ponctuel, la réponse du déplacement de la plaque est la réponse impulsionnelle du système.

2.4.1. Réponse temporelle en oscillation harmonique amortie

Nous ne considérons la réponse du déplacement de la plaque qu'à partir de l'instant où la source d'excitation est coupée. Le dispositif expérimental reprend la structure présentée en figure 4.3, mais l'analyseur de réseau est ici remplacé par un GBF pour la génération de signaux et par un oscilloscope pour l'analyse des signaux. Le signal du GBF est amplifié pour

alimenter la bobine d'excitation à un courant efficace de $1A_{RMS}$. Nous choisissons de solliciter un mode fortement résonant dans le but d'observer au mieux la réponse du système. Le mode (1, 2) présente la meilleure caractéristique répondant à ce critère d'après la figure 4.8.

La figure 4.11 présente la réponse du déplacement en oscillation libre amortie suite à une excitation harmonique à la fréquence propre du mode (1, 2) de la plaque.

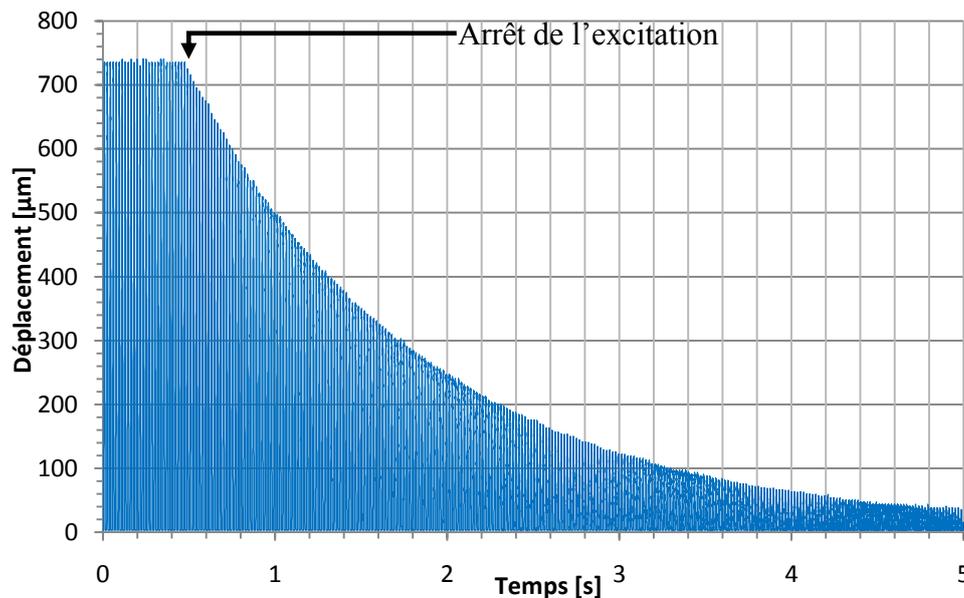


Figure 4.11 : Alternances positives de l'évolution temporelle des oscillations harmonique en régime libre pour le mode de résonance (1, 2).

L'excitation de la plaque est coupée à $t = 0,5s$. Le signal oscille librement sur la fréquence propre du mode (1, 2) qui correspond à la fréquence d'excitation générée par le GBF lors de la phase d'excitation. Une décroissance exponentielle du déplacement est observée. Afin de mieux percevoir l'enveloppe de la décroissance du signal, seules les alternances positives sont représentées. L'enveloppe peut donc être caractérisée par une constante de temps τ_{nat} qui représente l'amortissement naturel de la structure.

Des variations systématiques en fréquence et en amplitude du déplacement avaient été observées dans la section IV.2.2 de ce document. Pour cette raison nous avons fait varier la valeur du courant d'excitation de $0,1mA_{RMS}$ à $1,2A_{RMS}$ dans cette configuration de test. Il apparaît que, quelque soit l'amplitude du déplacement de départ, la constante de temps τ_{nat} reste constante. Sa valeur est mesurée à $\tau_{nat(1,2)} = 1,39s$ pour le mode (1, 2).

2.4.2. Réponse impulsionnelle

2.4.2.1. Mesures expérimentales

Nous considérons le choc affecté par une bille en acier de masse 24,8g, lâchée sans vitesse initiale à la surface d'une plaque rectangulaire. La rampe de lancement est inclinée à 45° et la bille parcourt 46cm du point de lâché jusqu'à l'impact. Cet événement est similaire à une impulsion (un choc) mécanique. La réponse de la structure à ce choc est assimilée à la réponse impulsionnelle du déplacement de la plaque. Le point de l'impact de la bille coïncide avec l'emplacement de l'aimant présent dans le cas de l'excitation harmonique par bobine électromécanique. L'expérience est illustrée en figure 4.4 et la figure 4.12 présente l'évolution temporelle de la réponse impulsionnelle.

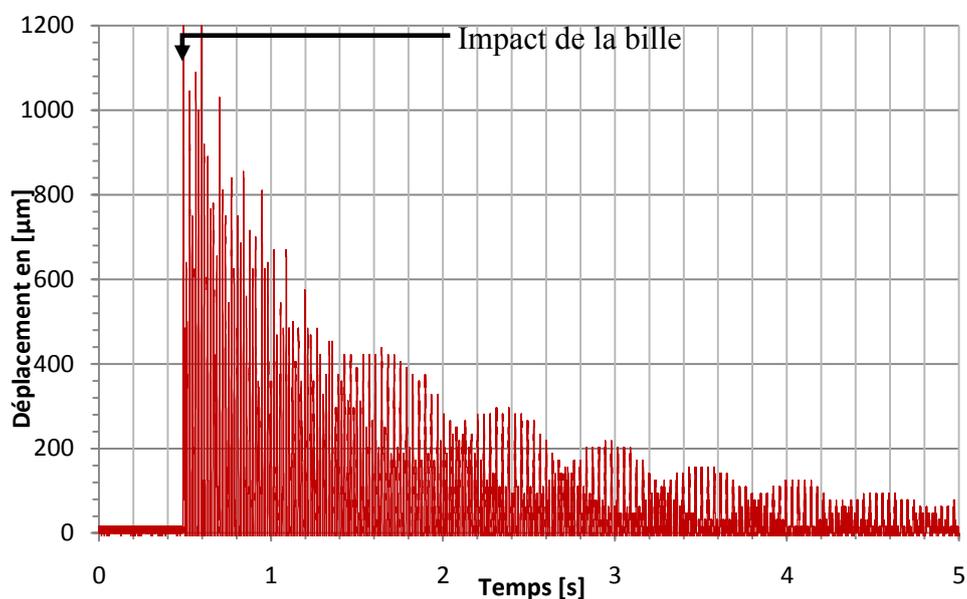


Figure 4.12 : Réponse impulsionnelle du déplacement de la plaque suite un choc par bille sans vitesse initiale et sans contrôle d'amortissement.

Le choc de la bille a lieu à $t = 0,5s$ et comme pour la figure 4.11, seules les alternances positives de l'oscillation sont affichées. La réponse impulsionnelle du déplacement est riche en contenu harmonique et la mesure d'une constante de temps n'est donc plus adaptée ici. C'est pourquoi nous préférons utiliser une autre méthode de quantification de la décroissance naturelle des oscillations, indépendante d'une enveloppe exponentielle. En fixant deux seuils sur l'amplitude de l'oscillation, l'un à 10% du maximum et le second à 90% de ce maximum, nous considérons le temps écoulé entre ces deux seuils pour caractériser la décroissance transitoire. Le seuil à 90% est mesuré au premier passage à cette valeur et celui à 10%, au

dernier passage du seuil. Ce temps caractéristique ne tient ainsi plus compte de l'allure de la décroissance, mais juste du temps de passage d'un niveau élevé de vibration à un niveau faible ; notons Δt_f cette durée. Dans ces conditions, $\Delta t_f = 3,1s$.

Après de nombreux essais successifs et espacés dans le temps, il apparaît que ce type d'expérience est reproductible. Nous proposons enfin d'analyser le contenu spectral de ce relevé afin d'en tirer des informations sur les fréquences propres et la dominance des modes.

2.4.2.2. Analyse spectrale

La figure 4.13 présente le spectre des fréquences du relevé de la figure 4.12 obtenu à l'oscilloscope. Les échantillons du signal temporel pris en compte pour le calcul du spectre sont ceux de la figure 4.12 avec les deux alternances du signal sur une durée de cinq secondes.

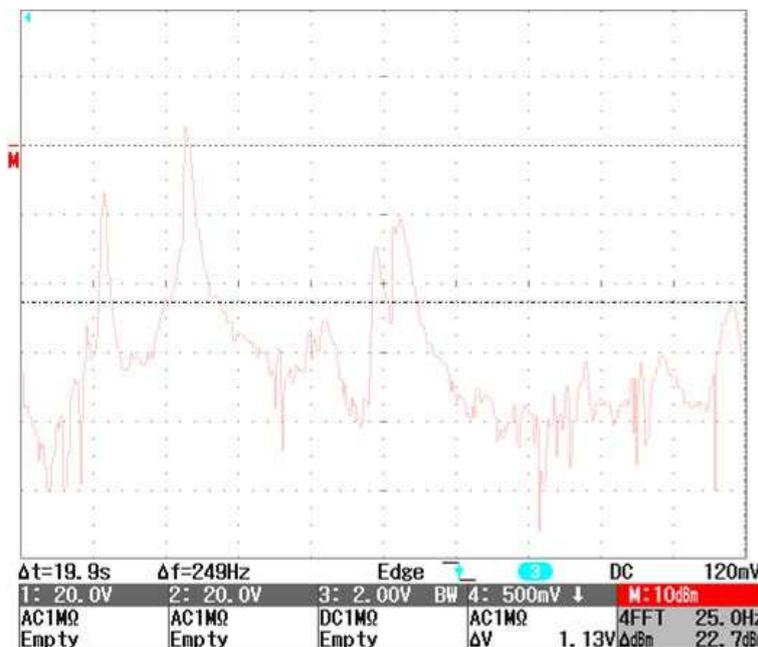


Figure 4.13 : Spectre de la réponse impulsionnelle du déplacement de la plaque sans contrôle d'amortissement.

En identifiant les raies présentes sur le spectre, nous retrouvons les fréquences des pics de résonances identifiées par FEM. Le tableau XIII synthétise la valeur des fréquences relevées et les compare aux fréquences propres obtenues par FEM dans la partie IV.B.1.c.

Mode	Fréquence propre (Spectre)	Fréquence propre (FEM)	Fréquence propre (excitation harmonique forcée)
(1, 1)	28,5Hz	18,2Hz	28,4Hz±3,1
(1, 2)	57Hz	45,2Hz	55,5Hz±3
(2, 2)	96Hz	73,1Hz	89,7Hz±6,1
(3, 1)	105Hz	85,7Hz	101,7Hz±7,5
(1, 3)	122Hz	104,8Hz	119,9Hz±2,7
(3, 2)	130Hz	114,4Hz	129,9Hz±8,6

Tableau XIII : Comparaison du contenu spectral de la réponse impulsionnelle avec les fréquences propres calculées par simulation FEM.

3. Performances du système d'amortissement

Nous présentons dans ce sous-chapitre les performances du système d'amortissement de vibration SSDI basé sur l'ASIC développé dans cette thèse. Le composant est couplé au dispositif expérimental de type plaque rectangulaire et ses zones d'amortissement piézoélectriques sont telles que décrites dans le sous-chapitre IV.1. La structure est excitée en régime harmonique forcé pour ce sous-chapitre.

3.1. Contrôle optimal des zones d'amortissement

L'utilisation des zones d'amortissement de la plaque de test peut se faire suivant plusieurs configurations (figure 4.1). Il est possible de n'utiliser qu'une seule zone d'amortissement, deux ou les trois à la fois. Trois configurations ont été retenues pour mesurer l'efficacité d'amortissement :

- a. Une seule des trois zones d'amortissement est active (insert piézoélectrique relié à un ASIC). Les deux autres sont laissées déconnectées (inserts piézoélectriques en circuit-ouverts).
- b. Les trois zones d'amortissements sont actives et contrôlées par un seul ASIC. L'ensemble des inserts piézoélectriques des trois zones sont donc connectés électriquement en parallèle.
- c. Les trois zones d'amortissements sont actives simultanément. Un ASIC est utilisé par zone et chacune est indépendante des deux autres.

Pour chacune de ces trois configurations, nous utilisons la configuration expérimentale décrite en figure 4.3. La plaque est excitée à l'aide de la bobine électromagnétique via

l'analyseur de réseau sur une bande de fréquence allant de 10Hz à 140Hz. Le courant dans la bobine est de $1A_{RMS}$. Sur les figures 4.14 à 4.16, les oscillations en régime harmonique forcé sont observées. Pour chacune des trois configurations, la réponse fréquentielle du système mécanique est comparée en référence à la réponse sans aucun système d'amortissement contrôlé actif. Enfin pour chaque configuration, parmi les différents modes présents sur les relevés, deux cas bien distincts seront analysés pour discussion.

3.1.1. Une zone active sur trois

La figure 4.14 montre l'image de la caractéristique de transfert de la plaque (amplitude du déplacement en fonction de la fréquence d'excitation) avec successivement :

- la zone d'amortissement ZG_{ON}^I active (zone à proximité de l'encastrement gauche de la plaque, figure 4.1 et 4.3) et indépendante des zones ZD_{OFF}^I (à proximité de l'encastrement droit) et ZH_{OFF}^I (à proximité de l'encastrement supérieur) qui restent inactives,
- la zone ZD_{ON}^I active, ZG_{OFF}^I et ZH_{OFF}^I ,
- la zone ZH_{ON}^I active, ZG_{OFF}^I et ZD_{OFF}^I .

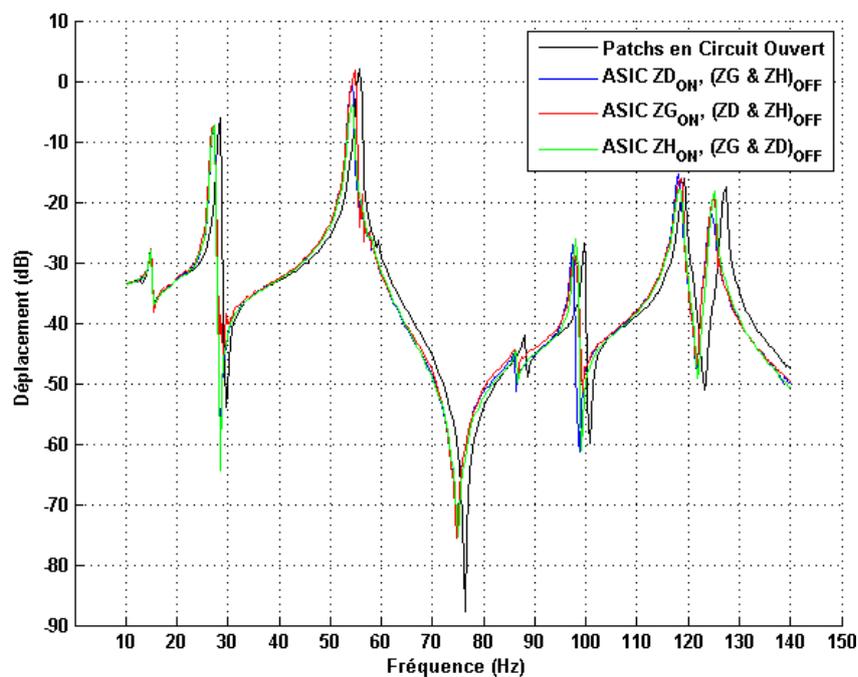


Figure 4.14 : Réponse fréquentielle de la plaque
pour un courant efficace de $1A_{RMS}$.

Les six pics de résonance identifiés lors des tests sans contrôle d'amortissement (figure 4.8) sont observés. Ce sont les modes (1, 1), (1, 2), (2, 2), (3, 1), (1, 3) et (3, 2) dans l'ordre d'apparition croissant des fréquences. L'amortissement relatif à ces modes est reporté dans le tableau XIV.

Mode	Zone ZG	Zone ZH	Zone ZD
(1, 1)	1,3dB	1,1dB	1,3dB
(1, 2)	1,3dB	6dB	1,7dB
(2, 2)	2,5dB	2,8dB	3dB
(3, 1)	1,7dB	0,7dB	1,5dB
(1, 3)	0,1dB	2dB	0,7dB
(3, 2)	2,9dB	2,1dB	3,5dB

Tableau XIV : Valeur de l'amortissement pour chaque mode de résonance et par zone d'amortissement.

En observant la réponse fréquentielle, nous voyons que le mode (1, 2) est amorti au maximum lorsque la zone ZH est active ($ZH_{ON}^I + ZD_{OFF}^I + ZG_{OFF}^I = 6\text{dB}$). L'effet d'amortissement est tout de même effectif, mais réduit avec l'emploi de l'une des deux autres zones ZD ($ZH_{OFF}^I + ZD_{ON}^I + ZG_{OFF}^I = 1,7\text{dB}$) ou la zone ZG ($ZH_{OFF}^I + ZD_{OFF}^I + ZG_{ON}^I = 1,3\text{dB}$) pour ce mode. À contrario, pour le mode (3, 1) l'amortissement engendré par la zone ZH est quasi-nul (0,7dB) alors que l'action d'amortissement des zones ZD (1,5dB) et ZG (1,7dB) est quasi-identique.

Pour le mode (1, 2), l'intensité de la contrainte présente sous la zone ZH est plus importante que sous les deux autres zones comme le montre les résultats de simulation par FEM de la figure 4.7. Les transferts d'énergie trans-domaine sont donc maximisés sous la zone ZH. Pour le mode (3, 1), il apparaît que l'intensité de la contrainte (Annexe V¹) est très faible à proximité de l'encastrement supérieur de la plaque, tandis qu'elle est répartie de manière symétrique sous les ZD et ZG toujours d'après les résultats de simulation par FEM.

¹ Annexe V : page 186.

3.1.2. Trois zones d'amortissement contrôlées par un seul ASIC

Sur la figure 4.15, nous observons la caractéristique de transfert de la plaque lorsque les trois zones d'amortissement sont reliées électriquement en parallèle et connectées à un seul ASIC de contrôle ($ZH_{ON}^P + ZD_{ON}^P + ZG_{ON}^P$). L'amortissement relatif aux modes présents sur le relevé est reporté dans le tableau XV.

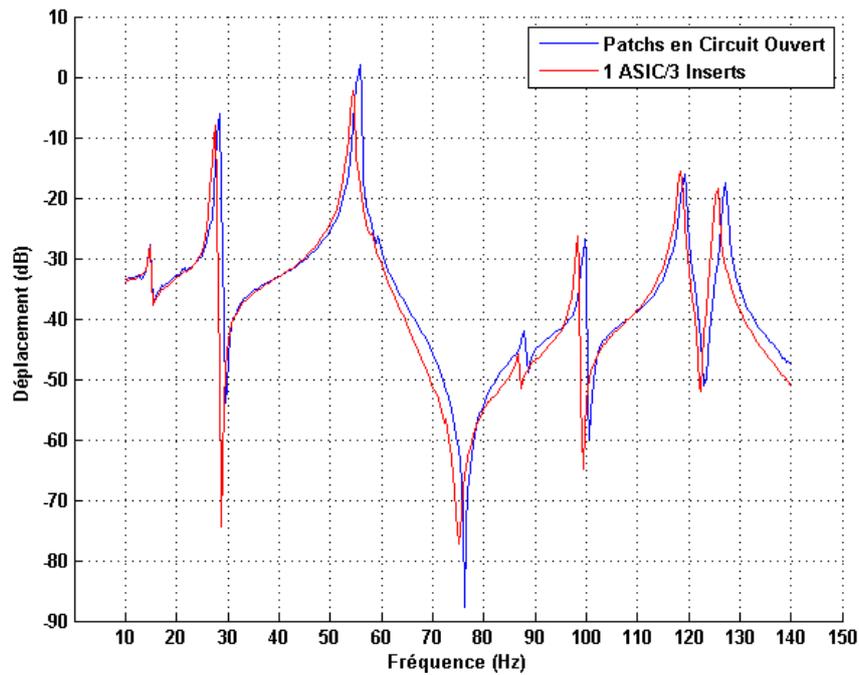


Figure 4.15 : Réponse fréquentielle de la plaque pour un courant efficace de $100mA_{RMS}$.

Mode	Amortissement
(1, 1)	1,9dB
(1, 2)	4,3dB
(2, 2)	3,9dB
(3, 1)	0,5dB
(1, 3)	0,6dB
(3, 2)	0,8dB

Tableau XV : Valeur de l'amortissement pour chaque mode de résonance avec un contrôleur ASIC pour les zones $ZH_{ON}^P + ZD_{ON}^P + ZG_{ON}^P$.

Pour le mode (3, 1), l'amortissement est faible (0,5dB). Sous la zone d'amortissement ZH , la densité de la contrainte de Von Mises sans système de contrôle de vibration est très réduite. Ce n'est pas le cas pour les zones ZG et ZD avec ce mode (Annexe V¹). La charge électrique générée dans les éléments piézoélectriques au niveau des zones ZD et ZG sont partagées avec la zone ZH (tous les inserts piézoélectriques sont en parallèle). Cette répartition des charges est de nature dissipative entre les trois zones d'amortissement.

Dans le cas du mode (1, 2) l'effet d'amortissement est de 4,3dB. La contrainte pour ce mode se trouve répartie sous les trois zones d'amortissement lorsque les zones sont inactives (figure 4.7.a). La répartition des charges n'a ainsi pas d'effet visible sur l'amortissement.

3.1.3. Trois zones actives et trois ASIC

La figure 4.16 présente la caractéristique de transfert de la plaque dans le cas où les trois zones d'amortissement sont utilisées simultanément mais de façon indépendante l'une de l'autre ($ZH_{ON}^I + ZD_{ON}^I + ZG_{ON}^I$). Trois ASIC sont donc employés. Le tableau XVI relève les valeurs d'amortissement pour les modes de résonances présents sur la figure.

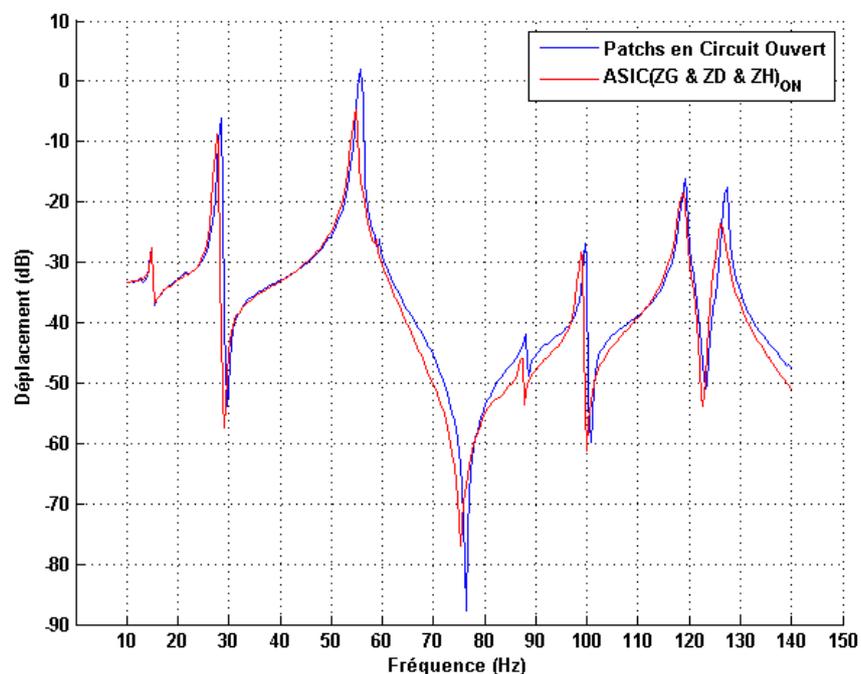


Figure 4.16 : Réponse fréquentielle de la plaque pour un courant efficace de $100mA_{RMS}$: trois zones d'amortissement indépendantes.

¹ Annexe V : page 186.

Pour le mode (1, 1) l'effet d'amortissement est limité (2,6dB) à cause de la faible répartition de la contrainte (amortissement inactif, voir figure 4.5.a) sous les éléments piézoélectriques. En revanche, pour le mode (1, 2) l'effet d'amortissement est bien plus élevé (6,8dB) puisque les zones de contraintes (notamment la zone ZH_{ON}^I) sont plus étendues (figure 4.7.a) que pour le mode (1, 1).

Mode	Amortissement
(1, 1)	2,6dB
(1, 2)	6,8dB
(2, 2)	4,1dB
(3, 1)	1,5dB
(1, 3)	2,4dB
(3, 2)	6dB

Tableau XVI : Valeur de l'amortissement pour chaque mode de résonance avec trois contrôleurs ASIC pour les zones $ZH_{ON}^I + ZD_{ON}^I + ZG_{ON}^I$.

3.1.4. Bilan

En comparant les différentes configurations testées, les résultats mettent en évidence l'adaptabilité en fréquence sur une large-bande de la méthode d'amortissement SSDI [42]. L'efficacité d'amortissement est variable d'un mode à un autre. Cette différence est directement liée au facteur de couplage entre l'énergie stockée dans la structure mécanique et sa concentration sous forme de contrainte au niveau des inserts piézoélectriques (voir chapitre I.1.3.4). Ce facteur varie en fonction des caractéristiques mécaniques des éléments piézoélectriques (matériau, dimensions), de leur placement sur la structure plaque et du mode considéré.

La configuration (b), dans laquelle les zones d'amortissement sont couplées à un seul ASIC de contrôle pose deux problèmes pour l'amortissement optimal. Le partage des charges électriques avec une zone d'amortissement non-contrainte limite le potentiel utilisable pour amortir le mode résonant. De plus, suivant la géométrie de la déformée modale, des charges de signe opposé peuvent être générées sur différentes zones d'insert et se combiner de manière à n'obtenir qu'une charge globale dégradée.

Concernant la configuration (a), où une seule des trois zones d'amortissement est active, l'amortissement optimal n'est atteint que pour certains modes. En effet, chacune des zones ne

permet pas d'adresser l'ensemble des modes. L'amortissement ne sera optimal que si la contrainte est concentrée sous la zone d'amortissement active.

En utilisant plusieurs zones indépendantes d'amortissement comme dans la configuration (c), l'effet optimal précédemment décrit avec la configuration (b) est cumulatif. Ainsi, pour une structure inconnue, un grand nombre de zones d'amortissement indépendantes serait profitable. L'étude du placement des inserts piézoélectriques est ainsi indispensable dans le but d'obtenir un amortissement optimal sur un ou plusieurs modes si nous ne souhaitons placer qu'un nombre limité d'inserts.

3.2. Influence du contrôle de vibration sur la réponse fréquentielle

Nous avons observé un comportement mécanique non-linéaire de la réponse fréquentielle des oscillations de la plaque pour de fortes amplitudes de vibration (figure 4.8). Nous souhaitons comparer les différences de comportement en amortissement avec l'ASIC de contrôle dans le cas linéaire et non-linéaire, ainsi que dans les deux sens de variation des fréquences.

D'un point de vue expérimental, les modes fortement résonants permettent d'atteindre plus facilement de grandes amplitudes de déplacement et donc d'observer plus facilement les effets de la non-linéarité mécanique. Le mode (1, 2) apparaît comme dominant dans la réponse en fréquence des relevés des précédentes sections (figure 4.8) et sera donc adéquat pour cette étude.

Cette section est répartie en deux parties, l'étude du cas linéaire (faible amplitude de déplacement) et l'étude du cas non-linéaire (amplitude de déplacement importante) de la réponse mécanique en fréquence. L'analyseur de réseau balaye une plage de fréquence allant de 40Hz à 60Hz (pas de 50mHz), bande autour de la fréquence propre du mode (1, 2). Chaque zone d'amortissement est connectée à un ASIC de contrôle individuel.

3.2.1. Réponse fréquentielle linéaire

Nous excitons la plaque avec un courant efficace dans la bobine de $0,1A_{RMS}$ afin de rester dans la zone de vibration linéaire. Le balayage en fréquence est effectué dans le sens montant en traits pleins, puis dans le sens descendant en traits pointillés sur la figure 4.17.

Les pics d'amplitude sont symétriques par rapport à la fréquence propre de résonance du mode (1, 2) à 49Hz dans les deux sens de variation des fréquences. Cette symétrie montre une réponse mécanique symétrique en fréquence à $0,1mA_{RMS}$ d'excitation avec et sans

amortissement des vibrations. Les courbes d'amortissement sont quasiment confondues dans les deux sens de variation et le niveau d'atténuation mesuré sur le déplacement est de 5dB. En observant la figure 4.17, il apparaît que le procédé d'amortissement commence à fonctionner à partir de l'ordonnée -7dB de cette courbe pour le mode (1, 2).

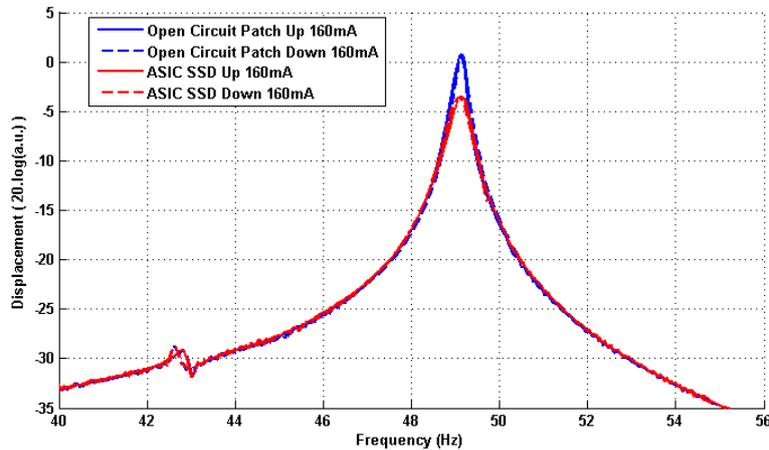


Figure 4.17 : Réponse fréquentielle de la plaque pour un courant efficace de $0,1A_{RMS}$ avec et sans contrôle SSDI.

Le procédé d'amortissement SSDI est réalisé à partir de la détection des extremums de la tension piézoélectrique tel que décrit dans le sous-chapitre III.3. Cette détection est opérée par notre ASIC de contrôle et possède un seuil minimal de détection des extremums à 0,1V. Un second seuil de fonctionnement du procédé d'amortissement SSDI doit être considéré.

Au niveau de vibration de l'ordonnée -7dB, l'amplitude de tension observée est de 0,5V dans le domaine électrique. D'après le modèle électrique du circuit d'inversion de tension SSDI (figure 2.3.b), la fermeture de l'interrupteur électronique SSDI est conditionnée par la mise en conduction de la diode D_1 ou D_2 (suivant le signe de la tension piézoélectrique $V_c(t)$ avant inversion). Le seuil de 0,5V correspond donc au seuil de conduction de la diode D_1 ou D_2 dans ces conditions de polarisation.

L'implémentation sous la forme de l'ASIC développé dans cette thèse permet de réduire d'un facteur trois le seuil de mise en fonctionnement du système d'amortissement (0,5V contre 1,5V) par rapport au circuit à composants discrets proposés dans [44] et discuté dans la partie I.4.2. Pour un coefficient de couplage électromécanique donné, ce niveau de tension correspond à un plus faible niveau de vibration. L'avantage de la réalisation par notre ASIC réside alors dans l'obtention d'une information sur l'état de la structure à partir de faibles niveaux d'oscillations.

En-dessous du seuil de mise en fonctionnement de 0,5V, l'ASIC reste inopérant en termes d'inversion de la tension. À partir de 0,5V, le rendement η entre la tension après inversion et la tension avant inversion est faible, car dégradé par le seuil de conduction des diodes (Eq. 2-12). Dans ces conditions, le fonctionnement se rapproche de celui de la méthode d'amortissement SSDS. En SSDS, la tension piézoélectrique est simplement ramenée à zéro lors de la commutation synchrone, et l'amortissement est alors moins performant que dans la configuration SSDI avec inversion de la tension [41]. Le fonctionnement en SSDI apparait quand le niveau de tension dépasse ce seuil.

3.2.2. Apparition des non-linéarités

Nous allons comparer le cas linéaire de la figure 4.17, où le courant est limité à $0,1A_{RMS}$ dans la bobine d'excitation, avec le cas de la figure 4.18, où le courant est de $1,5A_{RMS}$. Le mode de résonance étudié est toujours le mode (1, 2) et l'analyseur de réseau est employé pour l'excitation sur une bande de 40Hz à 60Hz. Le balayage en fréquence est effectué dans le sens montant en traits pleins, puis dans le sens descendant en traits pointillés.

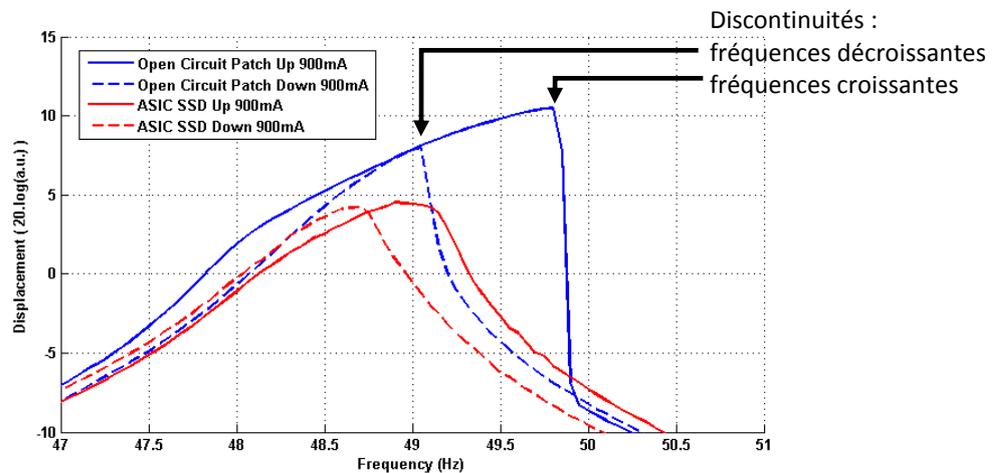


Figure 4.18 : Réponse fréquentielle de la plaque pour un courant efficace de $1,5A_{RMS}$ avec et sans contrôle SSDI.

Sans contrôle d'amortissement, le pic d'amplitude du déplacement n'est pas symétrique par rapport à une fréquence centrale, comme dans le cas de la réponse mécanique linéaire. Le pic est courbé vers la droite de l'échelle des fréquences. Il s'achève avec une discontinuité dans la réponse, conformément au comportement mécanique non-linéaire décrit dans [50] et discuté dans la section IV.2.2.

Il existe deux chemins différents de parcours sur les courbes de la réponse fréquentielle suivant le sens de balayage montant ou descendant de l'échelle des fréquences. La discontinuité est plus fortement marquée dans le sens montant autour de 49,8Hz. Dans le sens descendant, la discontinuité a lieu autour de 49,1Hz dans le sens descendant.

L'allure des deux courbes en amortissement tend à être symétrique en fréquence. Une explication possible serait que l'ASIC en fonctionnement produit la réduction de l'amplitude du déplacement mécanique et donc par la même occasion la réduction de l'importance de la non-linéarité de la raideur.

3.2.3. Bilan

Dans le premier chapitre, nous avons présenté des méthodes d'amortissement de type passives. Leur principe consiste en l'adaptation précise de l'impédance d'une charge électrique passive fixée, connectée aux éléments piézoélectriques. Cette adaptation est réalisée par rapport à une fréquence d'oscillation unique du système mécanique, obtenue par identification sur une hypothèse intrinsèquement linéaire. L'efficacité de l'amortissement engendré par la charge est donc sensible aux variations de fréquence. Nos mesures ont montré que des variations environnementales ou que la non-linéarité dans la réponse mécanique de la structure entraîne des changements importants de la fréquence du pic de réponse.

Quand une structure mécanique possède une réponse mécanique semblable à celle de la figure 4.18, une méthode linéaire par impédance passive est forcément sous optimale en trois points. En premier parce que la fréquence du maximum de réponse change avec l'amplitude d'excitation ; or la fréquence d'accord de l'impédance est fixe (voir section I.2.1). Ensuite parce que cette non-linéarité élargit la bande passante de la résonance ; or les performances d'un amortissement à impédance passive sont fortement dépendantes du facteur de qualité de l'impédance élevé donc limitées en bande passante. Enfin parce que le maximum de réponse dépend du sens de parcours des fréquences et qu'une optimisation sur le maximum montant rendrait l'amortissement négligeable en sens descendant.

La méthode d'amortissement SSDI présente donc un avantage certain dans ce type de conditions en garantissant un amortissement vibratoire quelque soit le comportement de la structure mécanique et le sens du balayage fréquentiel. L'adaptation en fréquence de notre système d'amortissement SSDI avec ASIC présente une solution novatrice dans ce type d'application et comparé aux méthodes d'amortissement de type passives.

3.3. Évolution de l'amortissement en fonction de l'amplitude

Nous avons observé un seuil de mise en fonctionnement de l'ASIC dans la section IV.3.2. Nous allons à présent faire varier l'amplitude du déplacement pour étudier son effet sur le niveau d'amortissement. Dans cette étude, deux modes seront comparés pour confronter les observations.

Une mesure sans action d'amortissement contrôlé est d'abord réalisée ($ZH_{OFF}^I + ZD_{OFF}^I + ZG_{OFF}^I$) suivie par une seconde avec chaque zone d'amortissement connectée à un ASIC de contrôle individuellement ($ZH_{ON}^I + ZD_{ON}^I + ZG_{ON}^I$), comme dans l'illustration de la figure 4.3. Ces deux séries de mesures sont répétées pour plusieurs intensités de courant.

3.3.1. Limite d'efficacité de l'amortissement

Le mode de résonance (1, 2) déjà caractérisé dans ce chapitre fait l'objet de la première étude. L'analyseur de réseau balaye une plage de fréquence allant de 40Hz à 60Hz. La figure 4.19 nous montre l'atténuation du déplacement en décibels en fonction du courant d'excitation dans la bobine.

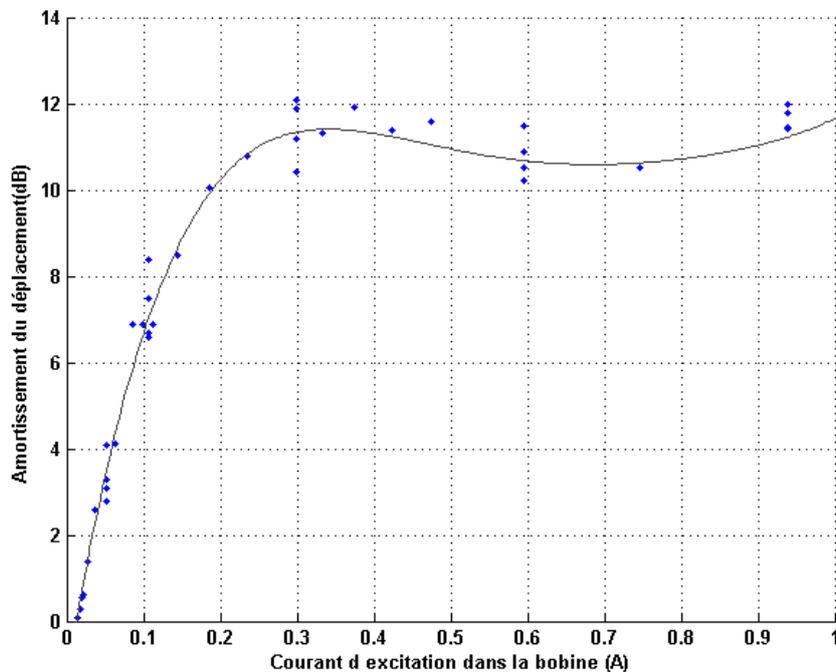


Figure 4.19 : Amortissement du déplacement en fonction du courant d'excitation dans la bobine pour le mode (1, 2).

Pour le mode (1, 2), un seuil haut d'efficacité d'amortissement autour de $11\text{dB}\pm 1$ délimite l'efficacité optimale du système. L'efficacité d'amortissement n'est alors plus fonction de l'excitation engendrée par le courant. Le seuil bas de mise en fonctionnement mis en évidence dans la section IV.3.2 n'est pas observé. En effet, pour les plus faibles intensités de courant parcourant la bobine (15mA_{RMS}), le système d'amortissement basé sur notre ASIC est déjà fonctionnel.

3.3.2. Limite de mise en fonctionnement

Le mode (1, 3) est choisi pour compléter l'étude d'efficacité de l'amortissement en fonction de l'amplitude des vibrations. L'analyseur de réseau balaye une plage de fréquence autour de la fréquence propre du mode (1, 3) de 125Hz à 145Hz . La figure 4.20 nous montre l'atténuation du déplacement en décibels en fonction du courant d'excitation dans la bobine.

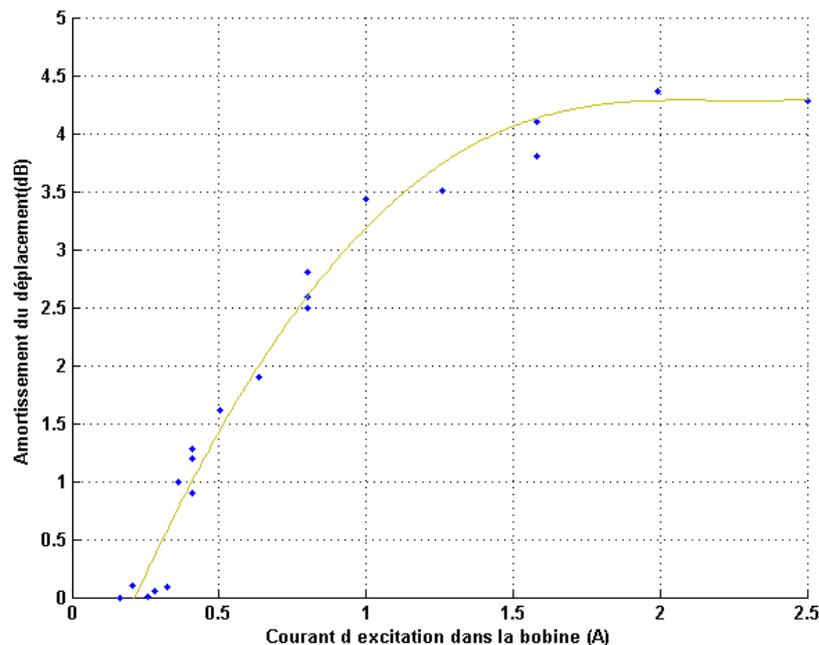


Figure 4.20 : Amortissement du déplacement en fonction du courant d'excitation dans la bobine pour le mode (1, 3).

Pour le mode (1, 3) à partir $0,3\text{A}_{\text{RMS}}$ (seuil de fonctionnement) dans la bobine, l'efficacité d'amortissement provoquée croît rapidement pour atteindre un optimum aux environs de $4,3\text{dB}\pm 0,5$ pour un courant de $1,2\text{A}_{\text{RMS}}$. En-dessous, l'ASIC reste inopérant. Étant limité en intensité du courant dans la bobine, nous ne pouvons pas constater le palier d'efficacité, bien que cette tendance semble débiter au-delà des $1,5\text{A}_{\text{RMS}}$.

3.3.3. Comparaison des modes résonants

La différence observée entre le mode (1, 2) et (1, 3), pour le seuil de mise en fonctionnement et le seuil d'amortissement optimal, est lié au facteur de couplage électromécanique. Pour un mode peu couplé comme le mode (1, 3), le seuil mécanique de fonctionnement de l'ASIC est élevé et l'amortissement maximal accessible reste faible. Pour le mode (1, 2) très couplé, c'est l'inverse : le seuil de mise en fonctionnement est bas et un fort effet d'amortissement sont rapidement observables.

Dans la phase de transition entre le seuil de fonctionnement et celui d'amortissement optimal, l'ASIC ne parvient pas à opérer la séquence optimale des commutations SSDI. Nous avons observé deux cas de figure par rapport à ces problèmes de séquence.

- L'ASIC ne produit pas d'inversion de tension systématiquement lorsque la tension aux bornes des inserts piézoélectriques est proche du seuil de mise en fonctionnement. L'hypothèse d'un bruit sur le signal ou sur le seuil de détection des extremums est la plus probable. Le phénomène est donc plus sensible à faible amplitude de tension.
- L'effet d'amortissement concorde avec des battements de l'oscillation mécanique lorsque la tension aux bornes des inserts piézoélectriques évolue entre le seuil de mise en fonctionnement et le seuil de fonctionnement optimal. Les battements sont reportés dans le domaine électrique par transduction et perturbent le fonctionnement optimal de l'ASIC dans la détection des extremums de tension. Le battement tend à se réduire pour de fortes amplitudes d'oscillation et n'est pas observé dans la réponse sans amortissement. Deux hypothèses concurrentes ainsi qu'une amélioration sont avancées quant au phénomène de battement.

3.3.3.1. Intermodulation dans le système mécanique

Le battement peut survenir lorsque deux fréquences de résonances sont proches l'une de l'autre [51], des interférences destructives entre ces deux composantes fréquentielles du déplacement sont à l'origine du phénomène. Dans le cas des fréquences théoriques (tableau XI), le mode (1, 2) résonne à 45,8Hz, qui est proche du mode (2, 1) résonant à 45,7Hz. Dans le cas d'un comportement mécanique non-linéaire du système, le pic d'amplitude à la résonance a tendance à s'élargir. Deux modes voisins se retrouvent alors fortement liés et leur proximité limite ainsi l'effet de battement.

3.3.3.2. Effet de pompage dû à l'amortissement

Lorsque le système mécanique contient juste assez de puissance pour que les signaux électriques provoquent la mise en fonction de l'ASIC, l'effet amortisseur du SSDI fait diminuer l'énergie mécanique stockée donc l'amplitude des signaux. Le régime mécanique permanent n'est jamais atteint et l'efficacité d'amortissement évolue en fonction du temps.

3.3.3.3. Amélioration par correction du facteur d'oubli

L'ASIC de contrôle comporte un système de mémorisation de l'historique des séquences de commutation SSDI avec un facteur d'oubli ajustable (sous-chapitre III.3). Il serait possible d'améliorer les performances du système en ajustant ce facteur d'oubli (fenêtre temporelle) en fonction de la fréquence de modulation des battements. La sélection des extremums de tension pour le traitement non-linéaire SSDI serait alors adaptée comme pour le cas d'un signal électrique multimodal. Chaque zone d'amortissement active posséderait ainsi un réglage optimal en fonction de sa situation modale/spatiale.

3.4. Adaptabilité aux variations de la caractéristique

Nous avons étudié dans la section IV.2.3 la présence de dispersions dont les effets apparaissent à moyen terme lorsque la structure subit une séquence de sollicitation aléatoire espacée dans le temps. Nous reprenons dans cette section l'étude des dispersions avec la prise en compte du fonctionnement de l'ASIC. Pour garantir la validité de nos résultats expérimentaux, il est nécessaire de s'assurer que quelle que soit la variation des paramètres mécaniques, l'ASIC produit un effet d'amortissement sensiblement reproductible.

La structure est excitée par un courant de $1A_{RMS}$ dans la bobine et la réponse fréquentielle du déplacement de la plaque est mesurée. Chaque courbe de la figure 4.21, est relevée l'une à la suite de l'autre avec une alternance entre circuit-ouvert ($ZH_{OFF}^I + ZD_{OFF}^I + ZG_{OFF}^I$) et amortissement actif ($ZH_{ON}^I + ZD_{ON}^I + ZG_{ON}^I$).

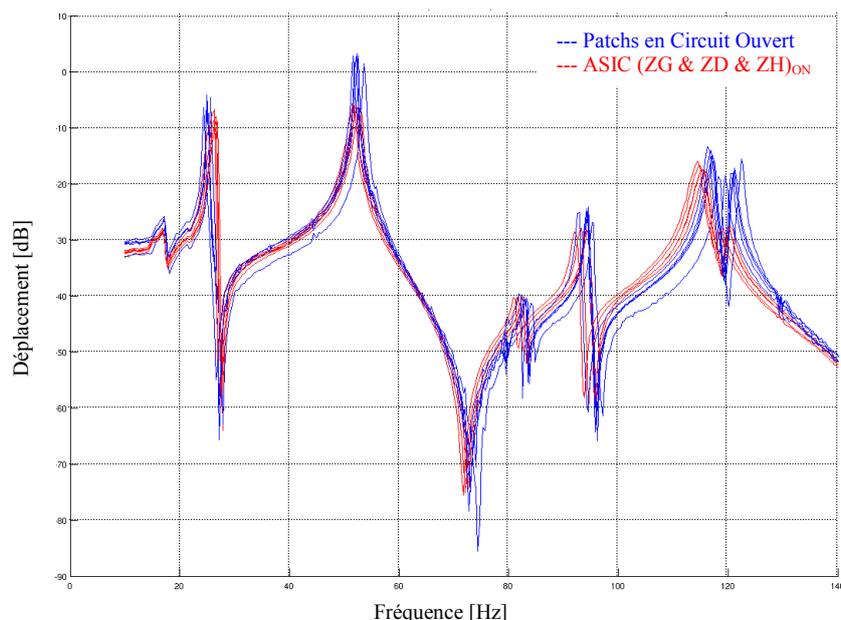


Figure 4.21 : Réponse fréquentielle de la plaque pour un courant efficace de I_{RMS} , relevées à la suite, avec et sans contrôle SSDI en alternance.

Nous observons le même type de variation en amplitude et en fréquence que sur la figure 4.10. Il est intéressant de noter qu'entre deux courbes voisines (avec et sans SSDI), il est possible de mesurer un amortissement. En mesurant l'ensemble des résultats qu'offre cette possibilité, nous remarquons que l'amortissement est sensiblement le même à ± 1 dB près pour un mode donné.

Les pics de résonance des modes (1, 2) et (3, 2) présentent les meilleures performances d'amortissement (9dB et 10dB respectivement) sur le spectre de 10Hz à 140Hz. L'annexe V¹ présente la répartition de la contrainte mécanique dans la plaque. Pour ces deux modes, la contrainte est principalement localisée sous les trois zones d'amortissement piézoélectriques simultanément, ce qui explique ce bon résultat d'amortissement.

Bien que nous puissions observer des variations sur le pic de résonance en amplitude et en fréquence, la méthode d'amortissement SSDI basée sur notre ASIC s'adapte sans aucune distinction et avec la même efficacité à chacun des modes propres de la plaque là où les méthodes d'amortissement passives se retrouveraient inefficaces face aux dispersions en fréquence (désaccord d'impédance : section I.2.1).

¹ Annexe V : page 186.

4. Performances du système d'amortissement en oscillations libres amorties

Le sous-chapitre IV.3 vient de montrer l'adaptabilité et les performances d'amortissement de vibrations du système de contrôle SSDI dans le cas d'une excitation harmonique forcée. Dans le cas où l'excitation mécanique n'est pas continue, nous souhaitons vérifier si les fonctionnalités de l'ASIC sont conservées.

Nous proposons d'étudier en deux sections la réponse mécanique du système. La première prend en considération le cas d'oscillations harmoniques transitoires et la seconde le cas de la réponse impulsionnelle à un choc.

4.1. Oscillations harmoniques transitoires

4.1.1. Optimisation du facteur d'oubli

Dans la partie IV.2.4.1, nous avons observé une décroissance naturelle d'allure exponentielle de la réponse temporelle du déplacement de la plaque en oscillation libre.

La séquence des commutations électriques SSDI est conditionnée par la détection des extremums de la tension piézoélectrique. Cette fonction est étudiée dans le sous-chapitre III.3. Une comparaison entre le signal de tension et son maximum permet de discriminer l'événement déclenchant les commutations SSDI. La mémorisation des extremums est affectée d'un facteur d'oubli mis en œuvre sous forme d'un circuit RC dans notre ASIC.

Dans le cas des oscillations harmoniques forcées, la détection des extremums est efficace quelque soit la valeur de la constante de temps τ_{RC} du circuit RC étant donnée la nature périodique du signal de tension. En revanche, dans le cas de la décroissance exponentielle et des oscillations harmoniques transitoires, il est nécessaire de trouver une valeur optimale pour la constante de temps τ_{RC} par rapport à la décroissance naturelle τ_{nat} du mode résonant.

4.1.2. Résultats expérimentaux

La plaque est excitée en régime harmonique forcée à l'aide d'un GBF sur une durée suffisante à atteindre le régime permanent du déplacement mécanique sans contrôle d'amortissement. Le courant dans la bobine d'excitation est de $1A_{RMS}$ à ce moment. L'excitation est alors coupée et les trois zones d'amortissement sont mises en action simultanément. Chaque zone d'amortissement est associée à un ASIC de contrôle individuellement ($ZH_{ON}^I + ZD_{ON}^I + ZG_{ON}^I$). Pour chaque mesure réalisée, la capacité C_i

formant le circuit RC de τ_{RC} est fixée à 10nF et la plage de résistance R_t du circuit RC varie de $330\text{k}\Omega$ à $8,2\text{M}\Omega$. Les oscillations sont relevées à l'oscilloscope.

La figure 4.22 présente l'évolution temporelle du déplacement mécanique de la plaque pour le mode (1, 2), avec le système d'amortissement actif et une résistance R_t de $8,2\text{M}\Omega$.

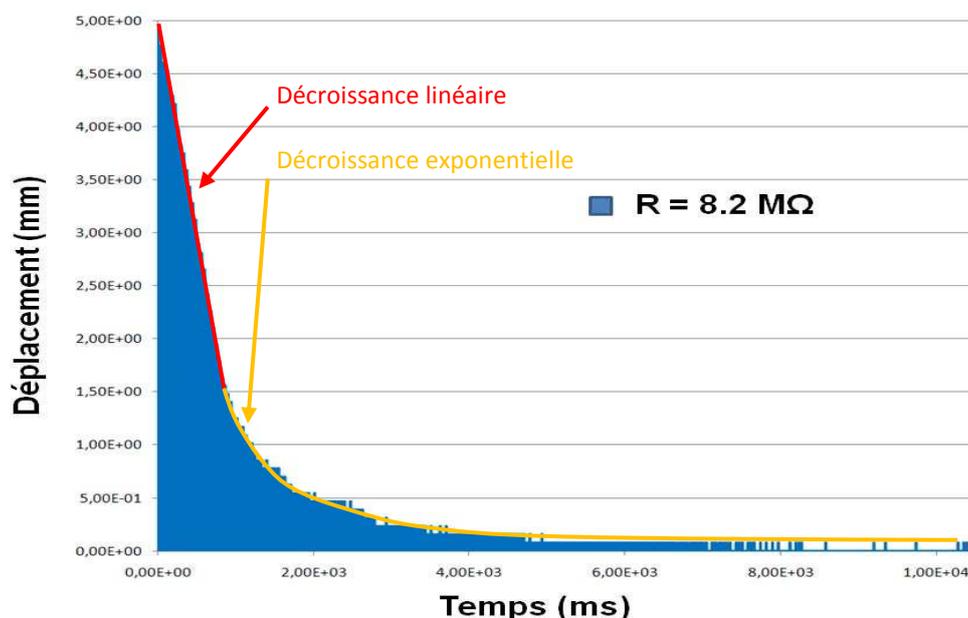


Figure 4.22 : Évolution temporelle du déplacement mécanique de la plaque pour le mode (1, 2) en oscillation libre amortie.

L'action d'amortissement sur ce relevé se traduit par une décroissance rapide des oscillations. Cependant, la décroissance de la courbe se décompose en deux morceaux. Au début de la décroissance, l'enveloppe du signal n'est pas exponentielle mais présente une pente linéaire. À la fin du relevé, l'enveloppe présente une allure exponentielle. Le traitement SSDI est fonctionnel dès le début de la décroissance et provoque cette décroissance linéaire.

À la fin du relevé, le contrôle d'amortissement SSDI cesse d'être actif (tension piézoélectrique sous le seuil de fonctionnement) et la décroissance naturelle en exponentielle de la structure devient prédominante. Seul un critère temporel sur la durée de décroissance du signal est approprié dans ce cas pour estimer l'amortissement. Dans la partie IV.2.4.2, nous avons introduit un critère de temps de décroissance entre deux seuils de 10% et 90% de l'amplitude initiale du déplacement.

La figure 4.23 reprend l'étude paramétrique du temps de décroissance de 90% à 10% en fonction de la valeur de τ_{RC} variant de $3,3\text{ms}$ à 82ms .

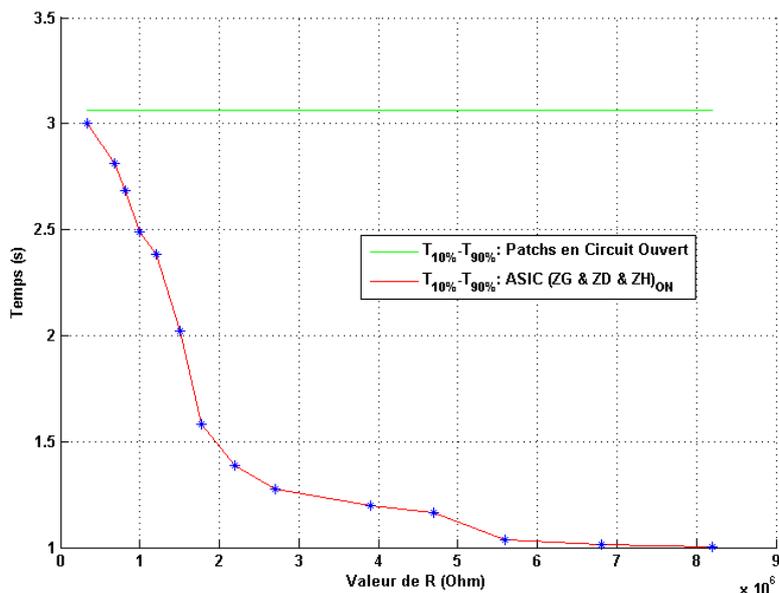


Figure 4.23 : Durée de décroissance des oscillations harmoniques libres pour le mode propre (1, 2) en fonction de la constante de temps τ_{RC} .

Plus la valeur de τ_{RC} est faible et moins la décroissance de l'amplitude des oscillations est rapide d'après le relevé de la figure 4.23. Un gain en temps de trois est obtenu entre la meilleure configuration et la moins efficace. La durée de décroissance Δt_f entre 90% et 10% de l'amplitude maximale du déplacement, sans contrôle d'amortissement, a été mesurée à 3,1s sur la figure 4.11. Cette donnée est placée sur la figure 4.23 comme une droite horizontale d'ordonnée 3,1s.

Un palier d'efficacité optimale est observé pour les valeurs de résistances supérieures à $5,8M\Omega$ ($\tau_{RC} = 58ms$) correspondant à une durée de décroissance de 1s.

Le tableau XII reporte les durées de décroissance des modes (1, 1) et (1, 3) également mesurés avec et sans contrôle d'amortissement pour une constante de temps de $\tau_{RC} = 82ms$.

Mode propre	Décroissance naturelle	Décroissance amortie
(1, 1) @ 28Hz, $2A_{RMS}$	7,54s	4,98s
(1, 2) @ 53Hz, $1A_{RMS}$	3,1s	1s
(1, 3) @ 117Hz, $2,4A_{RMS}$	1,03s	753ms

Tableau XVII : Valeurs de la décroissance en oscillation harmonique amortie des modes (1, 1), (1, 2) et (1, 3) avec sans contrôle d'amortissement ($\tau_{RC} = 82ms$) et sans contrôle.

4.1.3. Évolution de la décroissance

Nous avons mis en évidence un phénomène de décroissance des oscillations dont l'allure de l'enveloppe est changeante avec l'amplitude. Nous proposons de traduire cette évolution temporelle en équation suivant les trois cas de décroissance rencontrés :

- décroissance à allure linéaire,
- décroissance à allure exponentielle,
- décroissance mixte (linéaire puis exponentielle).

4.1.3.1. Décroissance linéaire

L'action d'amortissement SSDI se traduit par une décroissance d'allure linéaire comme nous l'avons observé dans la partie IV.4.1.2. Dans le cas d'une décroissance linéaire du signal, le comportement de la réponse en déplacement s'exprime par l'équation 4-1. L'amplitude d'oscillation de départ est u_0 et la décroissance du signal suit une pente α_p (négative). Δt_f est la durée de décroissance de 90% à 10% du maximum de l'amplitude des oscillations.

$$\Delta t_f = -0,8 \cdot \frac{u_0}{\alpha_p} \quad \text{Eq. 4-1}$$

4.1.3.2. Décroissance exponentielle

Sans action d'amortissement, la décroissance du signal de déplacement est simplement traduite par une allure exponentielle décroissante d'amplitude initiale u_0 (Eq. 4-2). τ_{nat} est sa constante de temps de décroissance naturelle associée et Δt_f la durée de décroissance de 90% à 10% du maximum de l'amplitude des oscillations.

$$\Delta t_f = \tau_{nat} \cdot \ln(9) \quad \text{Eq. 4-2}$$

Reprenons l'exemple des mesures réalisées sur le mode (1, 2) sans action d'amortissement, la décroissance naturelle des oscillations vaut $\tau_{nat} = 1,39ms$ (mesure par régression mathématique). D'après l'équation 4-2, la durée Δt_f est de 3,05s. Soit une différence relative de 1,5% par rapport à la valeur mesurée (3,1s).

4.1.3.3. Décroissance mixte

Dans le cas d'un amortissement non-optimal de la structure mécanique avec notre ASIC, une décroissance de l'enveloppe du signal de déplacement d'allure mixte (linéaire puis exponentielle) a été mise en évidence (figure 4.22). Cette décroissance est illustrée par la figure 4.24.

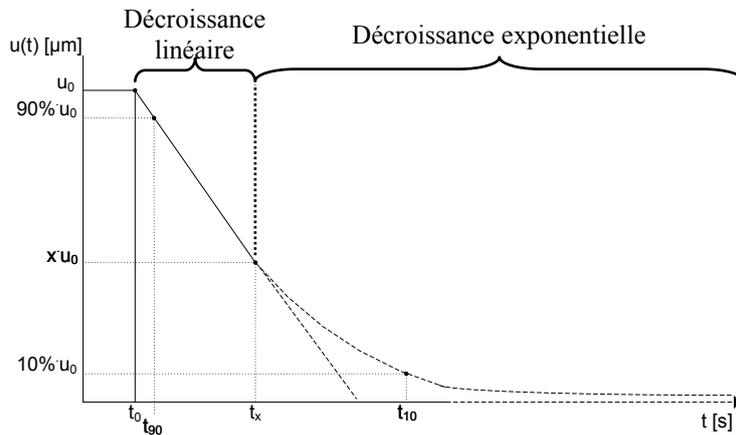


Figure 4.24 : Schéma de l'évolution temporelle de la décroissance des oscillations mécanique avec amortissement SSDI.

L'allure de la décroissance est exprimée en scindant en deux parties le signal à l'instant t_x d'amplitude xu_0 . x est compris entre 10% et 90%. L'équation 4-3 donne la décroissance de l'enveloppe dans ces conditions. L'équation 4-4 exprime la valeur de x en fonction de α_p , τ_{nat} et u_0 à partir de la continuité de la dérivée au point d'abscisse t_x .

$$\Delta t_f = \tau_{nat} \cdot \ln(10 \cdot x) + \frac{u_0}{\alpha_p} \cdot (x - 0,9) \quad \text{Eq. 4-3}$$

$$x = -\frac{\alpha_p \tau_{nat}}{u_0} \quad \text{Eq. 4-4}$$

En prenant 10% pour valeur de x dans l'équation 4-3, l'équation de la décroissance linéaire est bien retrouvée (Eq. 4-1) et en prenant 90%, la décroissance à allure exponentielle est également retrouvée (Eq. 4-2).

4.2. Réponse impulsionnelle

Nous allons à présent considérer le cas d'une excitation impulsionnelle de type choc. Une bille en acier de 24,8g est lancée sans vitesse initiale, à l'aide d'une rampe inclinée à 45° et de course 46cm, sur une des faces de la plaque de test (configuration de la figure 4.4). Les mêmes paramètres que dans la partie IV.2.4.2.1 sont appliqués pour cette mesure et les trois zones d'amortissement sont opérationnelles ($ZH_{ON}^I + ZD_{ON}^I + ZG_{ON}^I$). La résistance R_t de 8,2M Ω est utilisée pour le facteur d'oubli. La figure 4.25 présente l'évolution temporelle de la réponse du déplacement en oscillation libre.

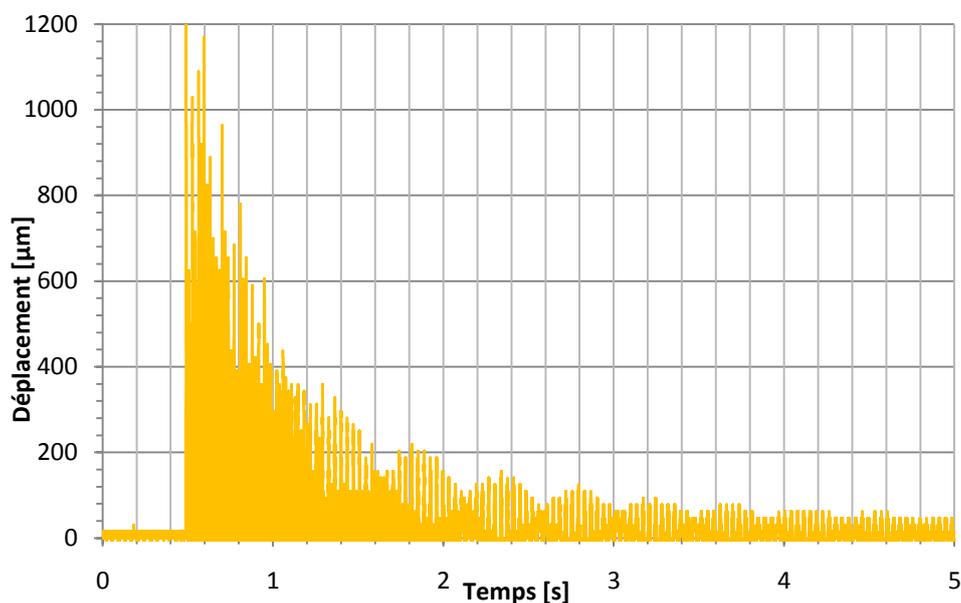


Figure 4.25 : Réponse impulsionnelle du déplacement de la plaque sous test suite un choc par bille lâchée sans vitesse initiale et avec contrôle d'amortissement SSDI.

La durée de décroissance des oscillations de 90% à 10% est de 1,69s, soit un gain en temps de 1,8 (3,1s sans amortissement). Cette durée correspond avec celle de la décroissance Δt_f des oscillations harmoniques transitoires du mode de résonance (1, 2). Le mode (1, 2) est le mode dominant de la réponse impulsionnelle et est donc le plus résonant. Il apparaît comme la composante la plus basse fréquence du relevé temporel.

Nous proposons d'analyser le contenu spectral de la figure 4.26 correspondant au signal temporel de la figure 4.25. Le tableau XVIII relève le niveau de chaque pic d'amplitude et l'atténuation correspondante entre le cas avec et sans amortissement SSDI.

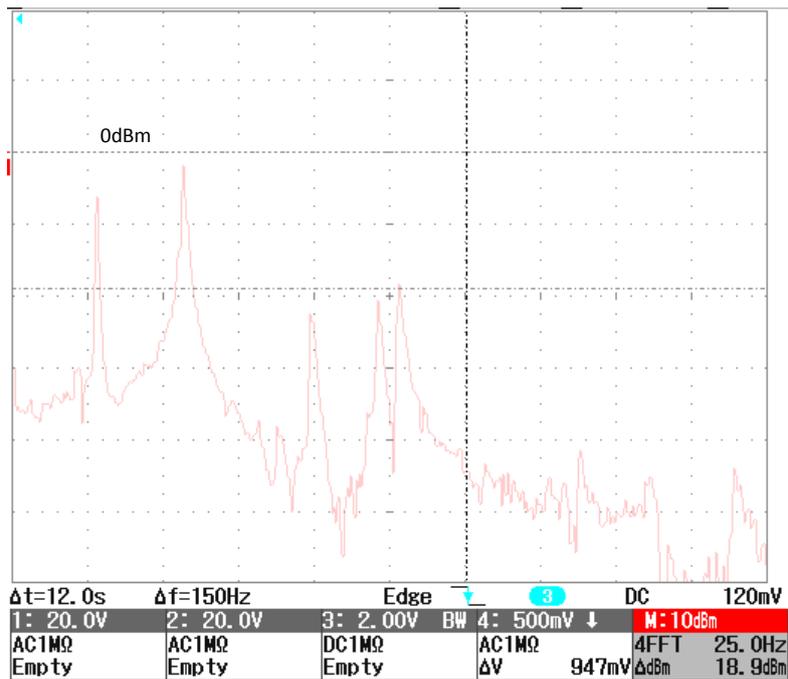


Figure 4.26 : Spectre de la réponse impulsionnelle du déplacement de la plaque avec contrôle d'amortissement SSDI actif.

Mode	Sans amortissement	Avec amortissement SSDI
(1, 1)	-6,87dBm (27,5Hz)	-6,54dBm (28Hz)
(1, 2)	3,12dBm (57Hz)	0,26dBm (56,5Hz)
(3, 1)	-25dBm (99Hz)	-23,1dBm (105Hz)
(1, 3)	-14,3dbm (121Hz)	-21,2dBm (122Hz)
(3, 2)	-10,6dBm (129Hz)	-18,5dBm (131Hz)

Tableau XVIII : Comparaison de l'amplitude des pics de déplacement avec et sans amortissement SSDI.

Dans le cas d'un signal large-bande, nous observons que le choix d'un facteur d'oubli unique conduit à l'amortissement mécanique simultané de plusieurs modes résonants de la structure. Sur le relevé spectral, nous retrouvons la dominance du pic d'amplitude du mode (1, 2). Il s'agit donc du mode le plus résonant de notre plaque de test.

Nous constatons la coïncidence entre la durée de décroissance naturelle Δt_f de la réponse impulsionnelle et celle de la réponse harmonique amortie du mode (1, 2). Pour l'amortissement optimal de la réponse impulsionnelle ce critère détermine le choix du facteur d'oubli en fonction du mode de résonance dominant de la réponse fréquentielle.

4.3. Bilan

Nous avons présenté dans ce dernier chapitre, le dispositif expérimental mis en œuvre pour caractériser le système d'amortissement SSDI à base de l'ASIC développé dans cette thèse. Nous avons réalisé la caractérisation d'une structure de type plaque encastrée sur trois de ses côtés en réponse libre (sans contrôle d'amortissement). Trois zones d'inserts sont réparties latéralement (à droite et à gauche) et sur la partie supérieure de la plaque à proximité des encastresments. L'amplitude des oscillations de la plaque sont relevées à l'aide d'un capteur de déplacement laser en un point unique.

Des simulations par la méthode des éléments finis à l'aide du logiciel Comsol ont permis l'identification des modes propres de résonance de la structure en réponse libre, ainsi que la localisation de la contrainte mécanique présente sous les zones d'inserts piézoélectriques.

L'usage de plusieurs zones d'amortissement sur la structure mécanique montre que la performance optimale est obtenue avec l'emploi indépendant et local des zones d'insert piézoélectrique couplées chacune à un ASIC. L'étude d'un fonctionnement multi-agents, répartis aléatoirement à la surface de la structure test permettrait d'analyser le gain de performance en amortissement en fonction du nombre d'agents, ainsi que les éventuelles interactions entre zones.

D'autres résultats expérimentaux ont montré l'agilité de la méthode d'amortissement SSDI, basée sur notre circuit, à s'adapter aux cas de sollicitation mécanique divers (choc, harmonique permanent et transitoire), ainsi que l'agilité à répondre aux variations de la réponse du système. Nous avons vérifié le fonctionnement en cas de variations en fréquence (quelques hertz à une dizaine d'hertz) du pic de résonance, ainsi que dans le cas de la variation de l'amplitude des oscillations mécaniques. Nous avons également étudié l'adaptation du traitement SSDI dans le cas d'apparition de non-linéarités dans la réponse fréquentielle de la structure, cas non publié dans l'état de l'art.

Les résultats expérimentaux en amortissement contrôlé montrent une performance de 11dB pour le mode résonant le plus couplé. Lors des tests, il a été mis en évidence un seuil de tension piézoélectrique minimal (mesuré à 0,5V) en-dessous duquel les inversions SSDI ne peuvent se produire. Ce seuil permet une diminution d'un facteur trois par rapport au circuit à composant discret de Lallart [44] (voire la section I.4.2). Ce gain permet de prolonger la plage de fonctionnement du circuit sur une plus grande étendue de tension lors de la diminution de la tension piézoélectrique due à l'effet d'amortissement engendré par le circuit.

Conclusions et perspectives

Ce travail s'est inscrit dans le cadre d'une collaboration entre l'équipe conception de systèmes hétérogènes de l'INL (Institut des Nanotechnologies de Lyon) et le LGEF (Laboratoire de Génie Electrique et Ferroélectricité) de l'INSA de Lyon. Celui-ci a développé une technique originale appelée SSDI (Synchronized Switch Damping on Inductor). Il s'agit d'utiliser des éléments piézoélectriques fonctionnant en capteurs et en actionneurs-amortisseurs, qui mesurent la déformation mécanique instantanée, et sont contrôlés par une électronique, permettant un amortissement de vibration efficace par conversion d'énergie.

La principale contribution de notre travail porte sur :

- l'étude et l'implémentation de méthodes d'amortissement à base de la technique SSDI,
- la conception d'une chaîne électronique intégrée de mesure et de commande,
- la mise en œuvre et le test de systèmes miniaturisés intégrant des éléments piézoélectriques et l'électronique associée.

À partir de l'étude de l'état de l'art, nous avons montré l'intérêt de la méthode d'amortissement semi-active SSDI. Elle permet d'atteindre des performances plus élevées qu'avec les méthodes d'amortissement purement passives [41] sans apport externe de charges, ni calculateur électronique sophistiqué. La finalité ultime étant de développer un dispositif miniaturisé autonome (décision et alimentation) compatible avec une large gamme d'inserts piézoélectriques (sous-chapitre II.A), la voie microélectronique a été proposée par la conception d'un ASIC analogique. Cette étude a visé à vérifier l'intégrabilité de la méthode SSDI et d'en démontrer la pleine fonctionnalité.

Une étude d'intégration initiale a été menée à partir de l'évaluation des coûts énergétiques de chacun des composants réalisant le traitement non-linéaire d'inversion de tension aux bornes de l'insert piezoélectrique. Ces coûts énergétiques ont été traduits en termes de grandeurs de conception et ont permis de dresser un espace de conception de la méthode SSDI. Cet espace exprime les valeurs d'inserts piézoélectriques compatibles avec les contraintes identifiées par la fonction de coût. Le modèle construit sous l'environnement de calcul Matlab a pu être comparé avec les résultats de mesure relevés.

L'écart entre le modèle analytique et les mesures expérimentales nous révèle des prédictions optimistes quant à la performance de rendement énergétique lors de l'inversion de tension SSDI. Le modèle analytique n'intègre en effet pas toutes les sources de pertes telles

que la modulation de la résistance du canal des transistors de commutation SSDI en fonction du courant ou l'hystérésis de la bobine.

L'observation des techniques originales SSDI employées par le LGEF a ensuite permis de réaliser un modèle compact multi-physique en langage VHDL-AMS. Ce modèle simule divers procédés de traitement du signal pour la prise de décision autonome des instants d'inversion optimaux pour l'effet d'amortissement. Le meilleur compromis entre performance et simplicité de mise en œuvre est recherché. Les principaux blocs fonctionnels ont ainsi pu être déterminés au niveau système.

Le modèle multiphysique codé en VHDL-AMS a ensuite été transposé vers l'environnement de conception microélectronique Cadence IC afin de développer les fonctions de l'électronique de contrôle jusqu'au niveau transistor. Les tensions présentes aux bornes des éléments piézoélectriques peuvent s'élever à quelques dizaines de volts. La technologie AustriaMicroSystems propose le process H35B4 avec une option haute tension. Elle a été sélectionnée, car elle supporte des tensions drain-source allant jusqu'à 50V pour une tension de commande de 3,3V.

Les principales fonctions développées dans le composant ASIC sont une interface de puissance pour les commutations synchronisées SSDI, et la partie commande de cette interface. L'ASIC est constitué de deux voies de traitement du signal symétriques et indépendantes traitant respectivement la détection des maximums de tension piézoélectrique et les minimums de tension piézoélectrique. Chaque voie intègre une diode et un transistor haute tension pour l'interface de puissance, ainsi qu'un diviseur de tension et un détecteur de pic de tension pour la partie contrôle des inversions. La diode n'est pas dessinée sur les masques de fabrication mais réalisée à partir des jonctions entre le drain de type n et le substrat de type p du transistor de commutation.

Le diviseur de tension permet d'adapter sur plusieurs niveaux de tension les hautes tensions du capteur vers la basse tension de l'électronique de contrôle de manière dynamique. Une architecture capacitive limite la dégradation de la charge électrique emmagasinée dans l'insert piézoélectrique. Il intègre également une fonction de sauvegarde du circuit en cas de dépassement de la tension limite d'usage. Le détecteur de pic est constitué d'un redresseur de tension actif associé à une mémorisation de maximum de tension, d'un comparateur et d'un circuit monostable permettant de contrôler la durée des commutations synchronisées SSDI.

Après fabrication de l'ASIC, il a été mis en œuvre et testé en amortissement sur des structures électromécaniquement couplées. Les résultats ont permis de montrer l'agilité de la technique SSDI avec un paramétrage unique dans les cas suivants :

- Action sur plusieurs modes,
- Action malgré les variations de comportement de la structure dans le temps,
- Action en cas de comportement non-linéaire de la structure mécanique,
- Action sur la réponse multimodal (réponse à un choc),
- Action en oscillation harmonique amortie.

Ces travaux ont permis de montrer qu'une approche multi-agents indépendants est optimale : soit en plaçant des inserts piézoélectriques calculés et répartis pour une structure connue, soit par une approche stochastique en effectuant le placement sur la surface ou le pourtour de la structure non caractérisée. La solution intégrée générique présente une gamme de valeur de capacité d'insert piézoélectrique limitée. Dans le cas d'une approche multi-agents, l'usage de nombreux inserts de petites dimensions pourrait remplacer efficacement l'emploi d'un seul insert de dimension plus importante.

Le fonctionnement a aussi montré des limites intrinsèques non optimales :

- Les cycles d'inversion sont limités à faible niveau d'amplitude de tension piézoélectrique. Nous avançons l'hypothèse d'une sensibilité accrue au bruit du dispositif de détection des pics de tension à faible amplitude.
- L'efficacité diffère suivant les modes propres de résonance. La capacité de la structure mécanique à convertir l'énergie est liée au facteur de couplage dont la valeur est corrélée avec la concentration de contrainte sous les inserts piézoélectriques, donc leur localisation suivant le mode à traiter.
- Le fonctionnement entraîne la création de pompage des oscillations mécaniques et l'ASIC présente des difficultés à synchroniser ses séquences d'inversion de tension avec le signal. La constante de temps du facteur d'oubli (fonction du détecteur de pic de tension), initialement non prévu à cet effet, pourrait être utilisée pour synchroniser les inversions SSDI avec les extrémums de la fréquence propre du mode.

Le mode opératoire de notre méthode de test présente aussi ses limites. Le capteur de déplacement et la bobine d'excitation sont figés par rapport à un référentiel fixe dans le but de pouvoir comparer chaque expérience. En fonction de la géométrie de la déformée modale, la

mesure du déplacement sur un nœud de déformée entraîne la furtivité de ce mode au regard du capteur. De la même manière, l'excitation de certains modes peut-être inefficace et la dominance d'un mode dans la réponse fréquentielle de la structure ne peut pas traduire son couplage maximal. Enfin, il existe de très grandes variabilités pas très bien maîtrisées sur les caractéristiques mécaniques des structures de test. Malgré ces variations, les résultats ont montré l'adaptation de l'ASIC à ces variations et l'apport d'un amortissement quasi constant pour un mode donné.

La comparaison de performance sur la structure de test n'a pas pu être effectuée faute de temps et de moyens, et c'est la seule étape qui aurait permis de comparer rigoureusement les différentes méthodes d'amortissement disponibles. Il est toutefois possible de réaliser des comparaisons avec les résultats publiés dans la littérature. La méthode d'amortissement SSDI est employée et optimisée suivant différents algorithmes de contrôle dans [42]. L'amortissement résultant varie entre 7dB et 9dB dans le cas optimal. Nous avons pu observer des performances d'amortissement égales et supérieures dans le cas d'une poutre où nous obtenons 15dB. Niederberger [43] propose aussi une étude paramétrique de sa solution auto-alimentée en fonction de la force d'excitation soumise à la structure de test. L'optimal de cette méthode est également trouvé à 9dB d'amortissement mais ici une partie de l'énergie emmagasinée dans la structure est utilisée pour l'auto-alimentation du contrôleur.

Outre les performances de la méthode d'amortissement employée, la capacité de la structure mécanique à convertir l'énergie est aussi en jeu. Ces comparaisons de résultats bruts seraient à ramener au facteur de couplage pour leur donner un réel sens. Toutefois, ces mesures sont difficiles à réaliser à cause des comportements non-linéaires des structures mécaniques telles que celles que nous avons utilisées.

L'objectif d'un système d'amortissement intégré autonome et réalisable à moindre coût est la principale perspective de ce travail. L'autonomie énergétique du système serait obtenue en prélevant une partie de l'énergie présente dans l'insert piézoélectrique pour alimenter l'ASIC comme dans [44]. Ce prélèvement se ferait au détriment de l'énergie réinjectée dans l'insert piézoélectrique pour effectuer l'amortissement, et se ferait donc au détriment de l'efficacité d'amortissement.

La réduction de la consommation sur les alimentations est donc la première perspective à envisager. Il conviendra d'optimiser les fonctions microélectroniques de notre ASIC en terme de consommation. Il serait nécessaire de comparer diverses solutions de mise en œuvre, y compris digitales, et si possible d'étudier leur impact sur les performances d'amortissement. Pour les parties qui resteront en électronique analogique, elles pourraient utiliser les techniques de conception présentées en [52]. Ce type de structure travaille à basse fréquence et basse puissance à partir d'un amplificateur fonctionnant sous le seuil de conduction des transistors MOS. Cette structure pourrait permettre au détecteur de pic de tension de notre ASIC (sous-chapitre III.3) de réduire sa consommation.

La réduction de taille de la carte de mise en œuvre de l'ASIC doit passer par l'intégration des composants de polarisation sur la surface de silicium employée. Le but ultime est d'obtenir une puce aux dimensions millimétriques directement co-localisée avec l'insert piézoélectrique et l'inductance CMS d'inversion de tension.

Afin d'améliorer la gamme de capacités piézoélectriques compatible avec la solution intégrée, il conviendrait de réduire le principal élément limitatif : les pertes énergétiques dans le circuit d'inversion. Deux voies sont ouvertes à cette optimisation : l'augmentation de la taille des transistors de commutation et la réalisation du mode deux de commutation. Ce mode nécessite le développement d'une fonction de détection de courant nul.

Au niveau système, l'étude d'un déploiement massivement multi-agents reste à développer. L'efficacité et l'interaction entre chaque élément n'est pas connue. La recherche d'un optimum entre coût multi-agents et performance est aussi un critère d'exploration.

Annexe I :

Inductances CMS Tyco Electronics série 3631

Ce document fournit les documents techniques de la série d'inductance Tyco Electronics 3631.

Renvoi page 77.

Type 3631 Series

Type 3631 Series



The 3631 series of SMD shielded Power Inductors are designed to handle high current and have been designed for use in SMD power circuits. With the superior ferrite core material and its low profile construction we can ensure excellent inductance characteristics coupled with proven Tyco Sigma quality.

Key Features

- Very High Current Capability
- Wide Value Range
- Available in 6 different styles
- Up to 14A
- Down to 4mm height
- High reliability
- Taped and Reeled

Electrical Characteristics - 3631A Series

Inductance Code	Inductance (μH)	Tolerance	Test Freq. (Hz)	R.D.C. (mΩ) Max.	I.D.C. (A) Max.
2R5	2.5	±20%	1K	24.0	5.00
5R0	5.0	±20%	1K	35.0	4.00
7R5	7.5	±20%	1K	40.0	3.50
100	10.0	±20%	1K	54.0	3.00
120	12.0	±20%	1K	65.0	2.80
150	15.0	±20%	1K	70.0	2.70
180	18.0	±20%	1K	82.0	2.60
220	22.0	±20%	1K	95.0	2.40
250	25.0	±20%	1K	120.0	2.00
330	33.0	±20%	1K	145.0	1.80
390	39.0	±20%	1K	160.0	1.65
500	50.0	±10%	1K	200.0	1.50
560	56.0	±10%	1K	240.0	1.40
680	68.0	±10%	1K	280.0	1.30
750	75.0	±10%	1K	330.0	1.20
101	100.0	±10%	1K	400.0	1.00
121	120.0	±10%	1K	500.0	0.90
151	150.0	±10%	1K	580.0	0.80
181	180.0	±10%	1K	750.0	0.70
221	220.0	±10%	1K	840.0	0.65
271	270.0	±10%	1K	1000.0	0.60
331	330.0	±10%	1K	1340.0	0.54
391	390.0	±10%	1K	1500.0	0.50
471	470.0	±10%	1K	1980.0	0.45
561	560.0	±10%	1K	2200.0	0.40
681	680.0	±10%	1K	2400.0	0.35
821	820.0	±10%	1k	3000.0	0.30

Electrical Characteristics - 3631B Series

Inductance Code	Inductance (μH)	Tolerance	Test Freq. (Hz)	R.D.C. (mΩ) Max.	I.D.C. (A) Max.
2R5	2.5	±20%	1K	16.0	6.20
5R0	5.0	±20%	1K	22.0	4.70
7R5	7.5	±20%	1K	25.0	3.80
100	10.0	±20%	1K	35.0	3.30
120	12.0	±20%	1K	38.0	3.00
150	15.0	±20%	1K	42.0	2.80
180	18.0	±20%	1K	50.0	2.50
220	22.0	±20%	1K	62.0	2.30
270	27.0	±15%	1K	68.0	2.00
330	33.0	±15%	1K	90.0	1.90
390	39.0	±15%	1K	100.0	1.75
470	47.0	±15%	1K	130.0	1.60
560	56.0	±15%	1K	155.0	1.45
680	68.0	±15%	1K	170.0	1.30
820	82.0	±15%	1K	185.0	1.20
101	100.0	±10%	1K	220.0	1.10
121	120.0	±10%	1K	260.0	1.00
151	150.0	±10%	1K	320.0	0.90
181	180.0	±10%	1K	330.0	0.80
221	220.0	±10%	1K	460.0	0.70
271	270.0	±10%	1K	520.0	0.65
331	330.0	±10%	1K	660.0	0.60
391	390.0	±10%	1K	870.0	0.55

Type 3631 Series

**Electrical Characteristics -
3631B Series (continued)**

Inductance Code	Inductance (μH)	Tolerance	Test Freq. (Hz)	R.D.C. (mΩ) Max.	I.D.C. (A) Max.
471	470.0	±10%	1K	970.0	0.50
561	560.0	±10%	1K	1320.0	0.45
681	680.0	±10%	1K	1500.0	0.40
821	820.0	±10%	1k	1700.0	0.35
102	1000.0	±10%	1K	2300.0	0.30
122	1200.0	±10%	1K	2650.0	0.25
152	1500.0	±10%	1K	3500.0	0.20

**Electrical Characteristics -
3631C Series**

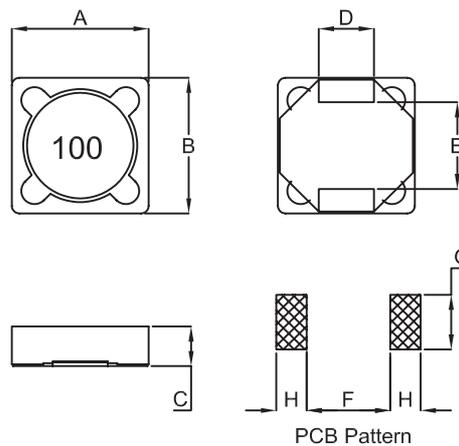
Inductance Code	Inductance (μH)	Tolerance	Test Freq. (Hz)	R.D.C. (mΩ) Max.	I.D.C. (A) Max.
2R5	2.5	±20%	1K	11.4	7.80
4R5	4.5	±20%	1K	14.0	6.80
6R5	6.5	±20%	1K	18.0	6.50
100	10.0	±20%	1K	21.0	5.40
120	12.0	±20%	1K	25.0	4.90
150	15.0	±20%	1K	36.0	4.50
180	18.0	±20%	1K	40.0	3.90
220	22.0	±20%	1K	43.0	3.60
270	27.0	±20%	1K	48.0	3.40
330	33.0	±15%	1K	62.0	3.00
390	39.0	±15%	1K	76.0	2.70
470	47.0	±15%	1K	85.0	2.50
560	56.0	±15%	1K	110.0	2.30
680	68.0	±15%	1K	135.0	2.10
820	82.0	±15%	1K	150.0	1.90
101	100.0	±15%	1K	170.0	1.70
121	120.0	±15%	1K	190.0	1.50
151	150.0	±15%	1K	240.0	1.40
181	180.0	±15%	1K	270.0	1.30
221	220.0	±15%	1K	380.0	1.10
271	270.0	±15%	1K	400.0	1.00
331	330.0	±15%	1K	650.0	0.90
391	390.0	±15%	1K	670.0	0.85
471	470.0	±10%	1K	850.0	0.80
561	560.0	±10%	1K	900.0	0.70
681	680.0	±10%	1K	1000.0	0.65
821	820.0	±10%	1K	1150.0	0.60
102	1000.0	±10%	1K	1650.0	0.55
122	1200.0	±10%	1K	2000.0	0.40
152	1500.0	±10%	1K	2350.0	0.36

**Environmental Characteristics -
A, B, C, Series**

Storage Temp:	-40°C to +125°C
Operating Temp:	-25°C to +105°C
Rated Current:	Base on temp. rise & ΔL/L=10% typ.
Temp. Rise:	40°C max.

Type 3631 Series

**Dimensions
A, B, C Series**



Series	A ± 0.3	B ± 0.3	C ± 0.5	D ± 0.2	E (typ)	F (ref)	G (ref)	H (ref)
3631A	12.7	12.7	5.0	5.0	8.1	6.0	7.0	4.0
3631B	12.7	12.7	6.0	5.0	8.1	6.0	7.0	4.0
3631C	12.7	12.7	8.0	5.0	8.1	6.0	7.0	4.0

**Electrical Characteristics -
3631D Series**

Inductance Code	Inductance (μ H)	Tolerance	Test Freq. (Hz)	R.D.C. (m Ω) Max.	I _{rms} (A)	I _{sat} (A)
1R2	1.20	$\pm 30\%$	100K	8.0	9.20	9.80
2R4	2.40	$\pm 30\%$	100K	11.5	7.80	8.00
3R5	3.50	$\pm 30\%$	100K	13.0	7.50	7.60
4R7	4.70	$\pm 30\%$	100K	15.5	6.80	7.00
6R1	6.10	$\pm 30\%$	100K	17.0	6.60	6.80
7R6	7.60	$\pm 30\%$	100K	19.0	6.00	6.20
100	10.0	$\pm 20\%$	1K	20.0	5.50	5.50
120	12.0	$\pm 20\%$	1K	23.0	5.20	5.00
150	15.0	$\pm 20\%$	1K	27.0	5.00	4.60
180	18.0	$\pm 20\%$	1K	36.0	4.20	3.90
220	22.0	$\pm 20\%$	1K	43.0	4.00	3.70
270	27.0	$\pm 20\%$	1K	45.0	3.60	3.30
330	33.0	$\pm 20\%$	1K	60.0	3.00	2.80
390	39.0	$\pm 20\%$	1K	70.0	2.80	2.70
470	47.0	$\pm 20\%$	1K	86.0	2.60	2.50
560	56.0	$\pm 20\%$	1K	100.0	2.30	2.20
680	68.0	$\pm 20\%$	1K	110.0	2.10	2.10
820	82.0	$\pm 20\%$	1K	145.0	1.95	1.90
101	100.0	$\pm 20\%$	1K	180.0	1.70	1.70

Type 3631 Series

**Electrical Characteristics -
3631E Series**

Inductance Code	Inductance (µH)	Tolerance	Test Freq. (Hz)	R.D.C. (mΩ) Max.	I _{rms} (A)	I _{sat} (A)
1R5	1.5	±30%	100K	9.5	9.20	9.00
3R3	3.3	±30%	100K	15.0	6.80	6.50
4R7	4.7	±20%	100K	18.0	6.00	5.60
5R6	5.6	±20%	100K	20.0	5.40	5.10
6R8	6.8	±20%	100K	23.0	5.20	4.70
100	10.0	±20%	100K	32.0	4.00	4.00
150	15.0	±20%	100K	47.0	3.50	3.20
220	22.0	±20%	100K	67.5	3.00	2.60
330	33.0	±20%	100K	97.0	2.30	2.10
470	47.0	±20%	100K	135.0	2.00	1.80
680	68.0	±20%	100K	200.0	1.50	1.50
101	100.0	±20%	100K	300.0	1.25	1.20

**Electrical Characteristics -
3631F Series**

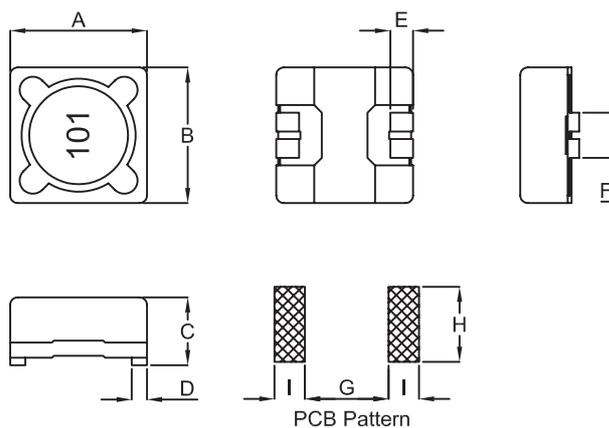
Inductance Code	Inductance (µH)	Tolerance	Test Freq. (Hz)	R.D.C. (mΩ) Max.	I _{rms} (A)	I _{sat} (A)
1R1	1.1	±30%	100K	6.5	10.2	14.0
2R4	2.4	±30%	100K	10.0	9.2	10.5
3R3	3.3	±30%	100K	12.0	8.8	9.8
4R5	4.5	±30%	100K	13.5	8.5	9.0
5R6	5.6	±30%	100K	16.0	8.0	8.5
7R5	7.5	±30%	100K	17.5	6.4	7.0
100	10.0	±20%	1K	19.5	6.0	6.3
150	15.0	±20%	1K	28.5	5.2	5.0
220	22.0	±20%	1K	38.6	4.3	4.1
330	33.0	±20%	1K	57.0	3.5	3.3
470	47.0	±20%	1K	80.0	2.9	2.8
680	68.0	±20%	1K	120.0	2.4	2.3
101	100.0	±20%	1K	150.0	2.1	2.0

**Environmental Characteristics -
D, E, F, Series**

Storage Temp:	-40°C to +125°C
Operating Temp:	-40°C to +125°C (Temp. Rise Included)
Rated Current:	Base on temp. rise & ΔL/L=25% typ.
Temp. Rise:	40°C typ.

Type 3631 Series

**Dimensions
D, E, F Series**



Series	A ±0.3	B ±0.3	C ±0.5	D ±0.3	E (typ)	F (ref)	G (ref)	H (ref)
3631D	12.5	12.5	6.0	5.0	7.0	6.8	5.4	2.9
3631E	12.5	12.5	4.0	5.0	7.0	6.8	5.4	2.9
3631F	12.5	12.5	7.5	5.0	7.0	6.8	5.4	2.9

**Reliability Test -
D, E, F Series**

Test Item	Specification	Test Condition
Temperature Cycling:	$\Delta L/L \leq \pm 20\%$	Room Temp. $\rightarrow -25 \pm 2^\circ\text{C}$ 15 minutes \rightarrow 30 minutes Room Temp. $\rightarrow 85 \pm 2^\circ\text{C}$ 15 minutes \rightarrow 30 minutes Total: 50 cycles
Humidity Resistance Test:	$\Delta L/L \leq \pm 20\%$	Temperature: $40 \pm 2^\circ\text{C}$ Humidity: 90 ~ 95% Applied Current: Per spec. Time: 500 hours
High Temp. Resistance Test:	$\Delta L/L \leq \pm 20\%$	Temperature: $85 \pm 2^\circ\text{C}$ Applied Current: Per spec. Time: 500 hours

How to Order

3631	A	2R5	K	T
Common Part	Style	Inductance	Tolerance	Package
3631	A, B, C, D, E or F	See Relevant Table for Inductance Code	K - $\pm 10\%$ L - $\pm 15\%$ M - 20% N - 30%	T - Taped and Reeled

Annexe II :

Caractéristiques de la technologie CMOS AMS H35B4

Ce document présente les principales caractéristiques de la technologie CMOS utilisée dans la conception de l'ASIC haute-tension SSDI.

Renvoi page 78



High voltage Technology Selection Guide

back

Process Name	H35B3KC	H35B3LC***	H35B4KD***	H35B4LD***	H35B4D3	CXT	CXY	CXZ
Process features	2P, 3M, HP, 20V	2P, 3M, HP, 5V, 20V	2P, 4M, HP, TM, 20V	2P, 4M, HP, TM, 5V, 20V	2P, 4M, HP, TM, S, 5V, 20V	2M, 1P, S	2M, 2P, S	2M, 2P, HP, S
Number of masks	18	21	21	24	27	15	16	17
Max. operating voltage HV-NMOS [V]			50				50	
Max. operating voltage HV-PMOS [V]			50				50	
specific R_{on}* HV-NMOS [Ohm mm²]			0,11				0,34	
specific R_{on}* HV-PMOS [Ohm mm²]			0,29				0,8	
Drawn LVMOS Channel Length [µm]			0.35				0.8	
Operating voltage LV-MOS [V]**			3,3V, 5 V				5V	
Max. gate voltage [V]			3,3V, 5 V, 20V				5V, 20V	

2M.....2 metal layers
 3M.....3 metal layers
 4M.....4 metal layers
 1P.....1 poly layer
 2P.....2 poly layers
 HP.....high resistive poly
 S.....substrate related LV devices
 TM.....thick metal layer
 5V.....5V gate oxide
 20V.....20V gate oxide
 * the specific Ron is calculated from the minimum transistor source drain pitch.
 The value does not include design related substrate contacts or guard rings.
 ** Isolated LVMOS logic can be raised up to 50V Design blocking voltage
 *** Process option available on request

Foundry

About Full Service Foundry

Process

Technologies

Process Roadmap

High Voltage CMOS <

SiGe BiCMOS

CMOS

Embedded Flash

Services

Foundry IP Blocks

Manufacturing

Contact

Annexe III :

Liste des ports d'entrées / sorties de l'ASIC

Ce document présente une liste des 48 ports d'entrées / sorties de l'ASIC. La micro-puce en silicium est montée dans un boîtier de type QFP 64 broches.

Renvoi page 113

Broche	Nom	Type	Description	Commentaire
1	NC			NC = Non Connecté
2	NC			Ana = Analogique
3	V _{DD50}	Ana	Pad de protection 50V	
4	V _{SS50}	Ana	Pad de protection -50V	
5	D1_HV_1	Ana	Drain haute tension transistor voie 1	Connexion avec inductance CMS ou insert piézoélectrique
6	D1_HV_2	Ana	Drain haute tension transistor voie 1	
7	D1_HV_3	Ana	Drain haute tension transistor voie 1	
8	D1_HV_4	Ana	Drain haute tension transistor voie 1	
9	V _{SUB50}	Ana	Substrat 50V	Connexion à Gnda
10	D2_HV_1	Ana	Drain haute tension transistor bloc 2	Connexion avec inductance CMS ou insert piézoélectrique
11	D2_HV_2	Ana	Drain haute tension transistor bloc 2	
12	D2_HV_3	Ana	Drain haute tension transistor bloc 2	
13	D2_HV_4	Ana	Drain haute tension transistor bloc 2	
14	NC			Num = numérique
15	NC			E = entrée
16	NC			S = Sortie
17	NC			
18	NC			
19	E	Num S	Lecture des états circuit	Vers entrée PIC
20	F	Num S	Lecture des états circuit	Vers entrée PIC
21	W	Num E	Commande fonction ASIC	Vers sortie PIC
22	V _{DDA1}	Ana	3,3V analogique	
23	Z	Num E	Commande fonction ASIC	Vers sortie PIC
24	X	Num E	Commande fonction ASIC	Vers sortie PIC
25	G _{nda1}	Ana	Masse analogique	

Broche	Nom	Type	Description	Commentaire
26	NC			
27	V _{DDA2}	Ana	3,3V analogique	
28	V _{DDA3}	Ana	3,3V analogique	
29	R _{PDIFF}	Ana	Résistance de polarisation des paires différentielles	
30	V _{MAX2}	Ana	Tension crête voie 2	Lecture tension par carte d'acquisition. Condensateur fixe et potentiomètre numérique.
31	V _{TL}	Ana	Tension de seuil bas, diviseur capacitif	Typiquement 100mV
32	G _{nda2}	Ana	Masse analogique	
33	NC			
34	NC			
35	D	Num S	Lecture des états circuit	Vers entrée PIC
36	C	Num S	Lecture des états circuit	Vers entrée PIC
37	B	Num S	Lecture des états circuit	Vers entrée PIC
38	A	Num S	Lecture des états circuit	Vers entrée PIC
39	Gnd	Num	Masse numérique	
40	Gnd	Num	Masse numérique	
41	V _{DD}	Num	3,3V numérique	
42	V _{DD}	Num	3,3V numérique	
43	T _{DO}	Num S	Signal de sortie série du registre de configuration ASIC	Vers entrée PIC
44	T _{DI}	Num E	Signal d'entrée ASIC pour la configuration registres	Vers sortie PIC
45	T _{RN}	Num E	Reset actif à l'état bas	Vers sortie PIC
46	T _{CLK}	Num E	Signal d'horloge ASIC pour la configuration registres	Vers sortie PIC
47	NC			
48	NC			
49	NC			
50	NC			

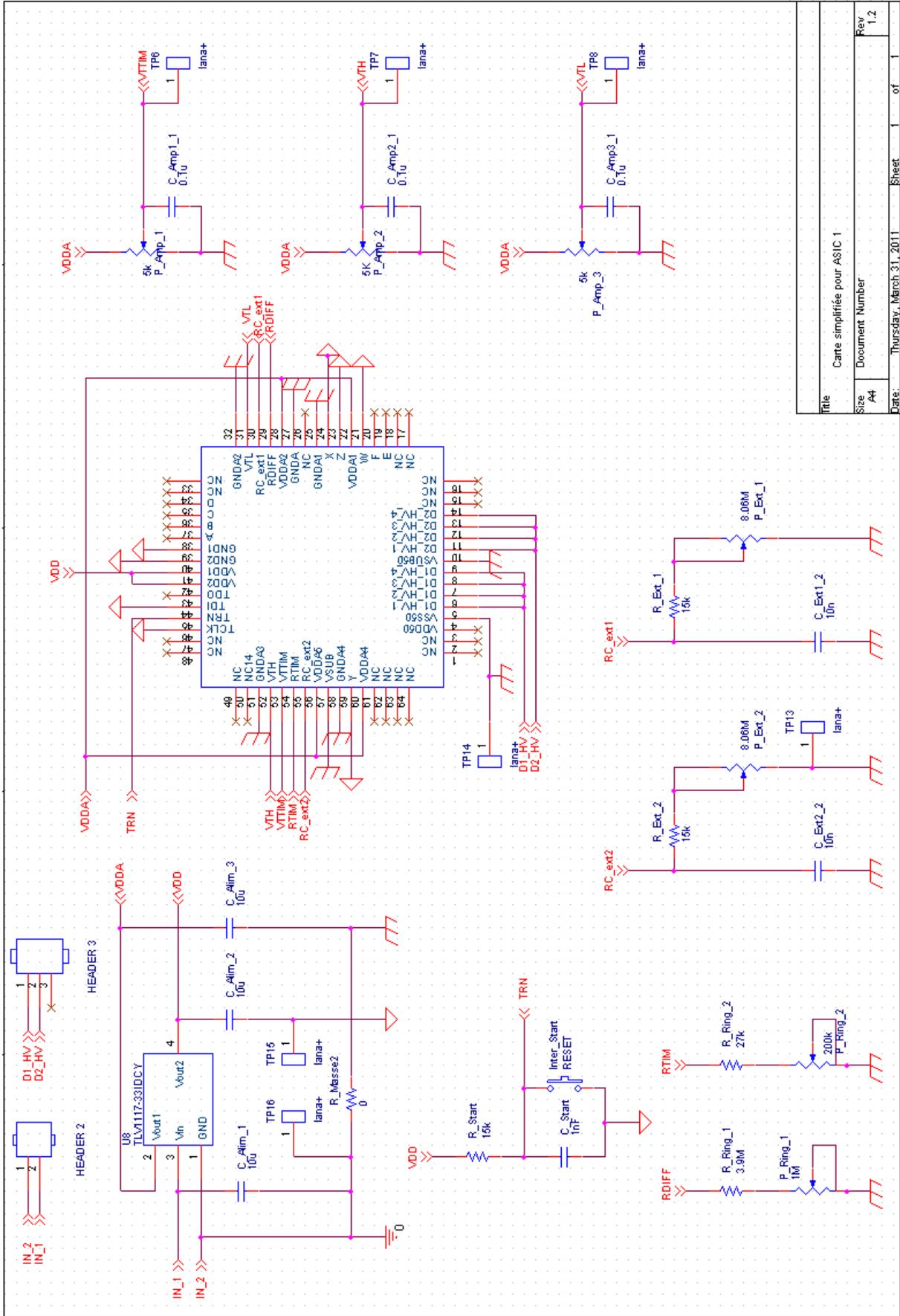
Broche	Nom	Type	Description	Commentaire
51	G _{nda}	Ana	Masse analogique	
52	V _{TH}	Ana	Tension de seuil haut, diviseur capacitif	Typiquement 2,3V
53	V _{TIM}	Ana	Tension de seuil temporisation, comparaison rampe	De 1 à 2,6V suivant durée
54	R _{TIM}	Ana	Résistance de polarisation, courant de charge temporisation	
55	V _{MAX1}	Ana	Tension de crête, voie 1	
56	V _{DDA5}	Ana	3,3V analogique	
57	V _{SUB}	Ana	Connexion à gnda	
58	G _{nda4}	Ana	Masse analogique	
59	Y	Num E	Commande fonction ASIC	Vers sortie PIC
60	V _{DDA4}	Ana	3,3V analogique	
61	NC			
62	NC			
63	NC			
64	NC			

Annexe IV :

Schéma électrique de la carte PCB d'accueil de l'ASIC

Ce document présente le schéma électrique de la carte de test de notre ASIC. Cette carte intègre les composants périphériques nécessaire au test de l'ASIC.

Renvoi page 128



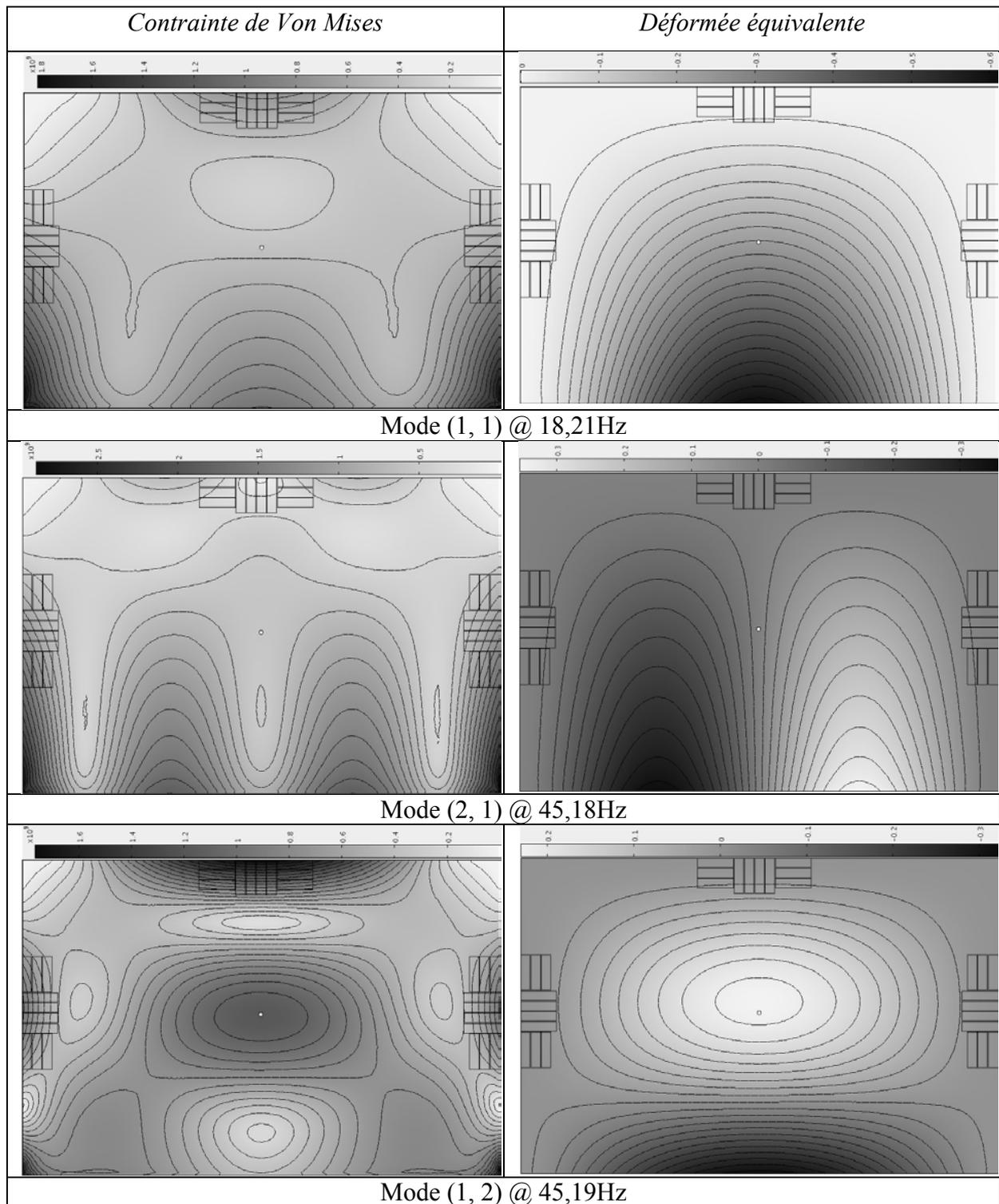
Title	Carte simplifiée pour ASIC 1		
Size	A4	Document Number	
Date:	Thursday, March 31, 2011	Sheet	1 of 1
Rev	1.2		

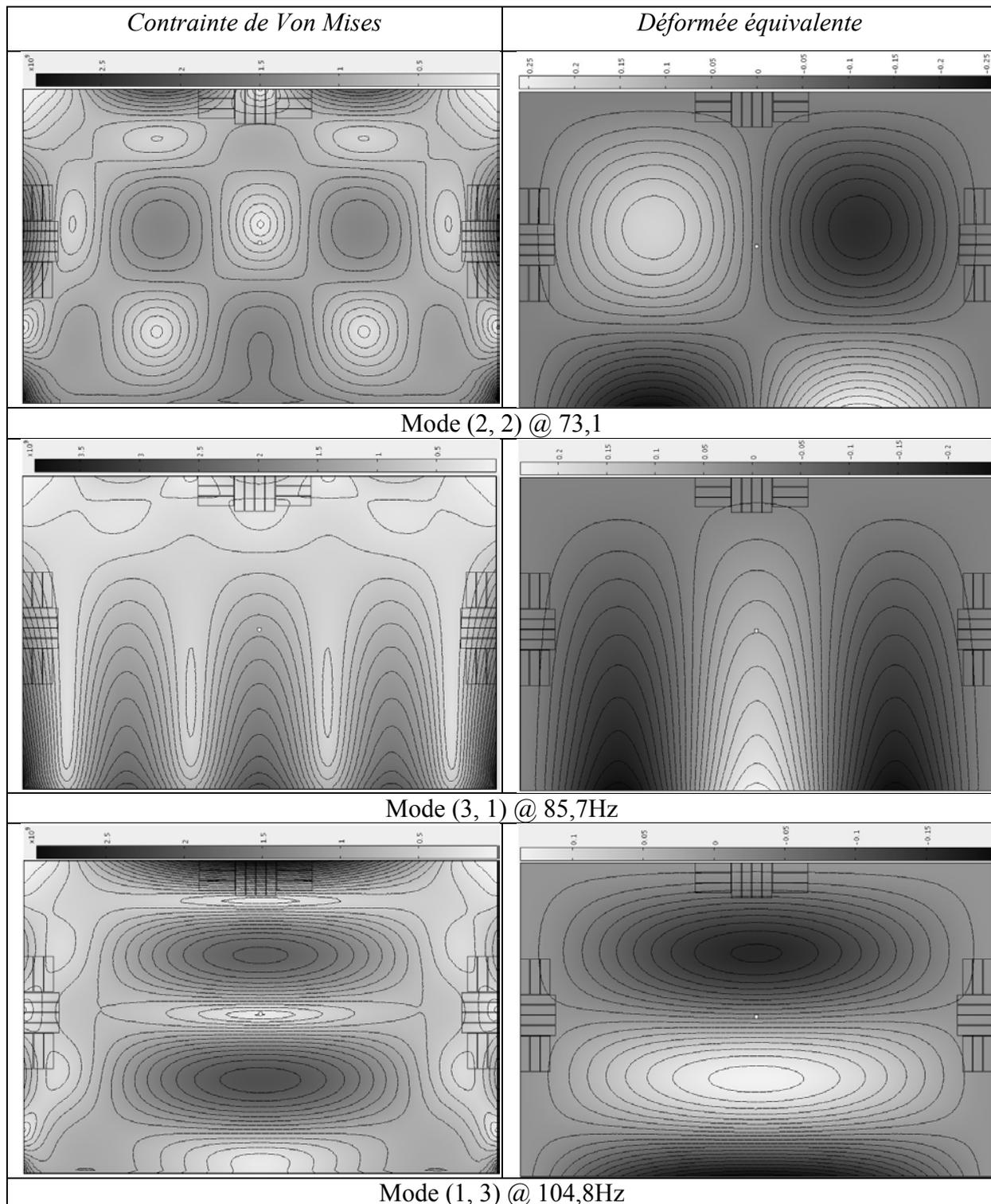
Annexe V :

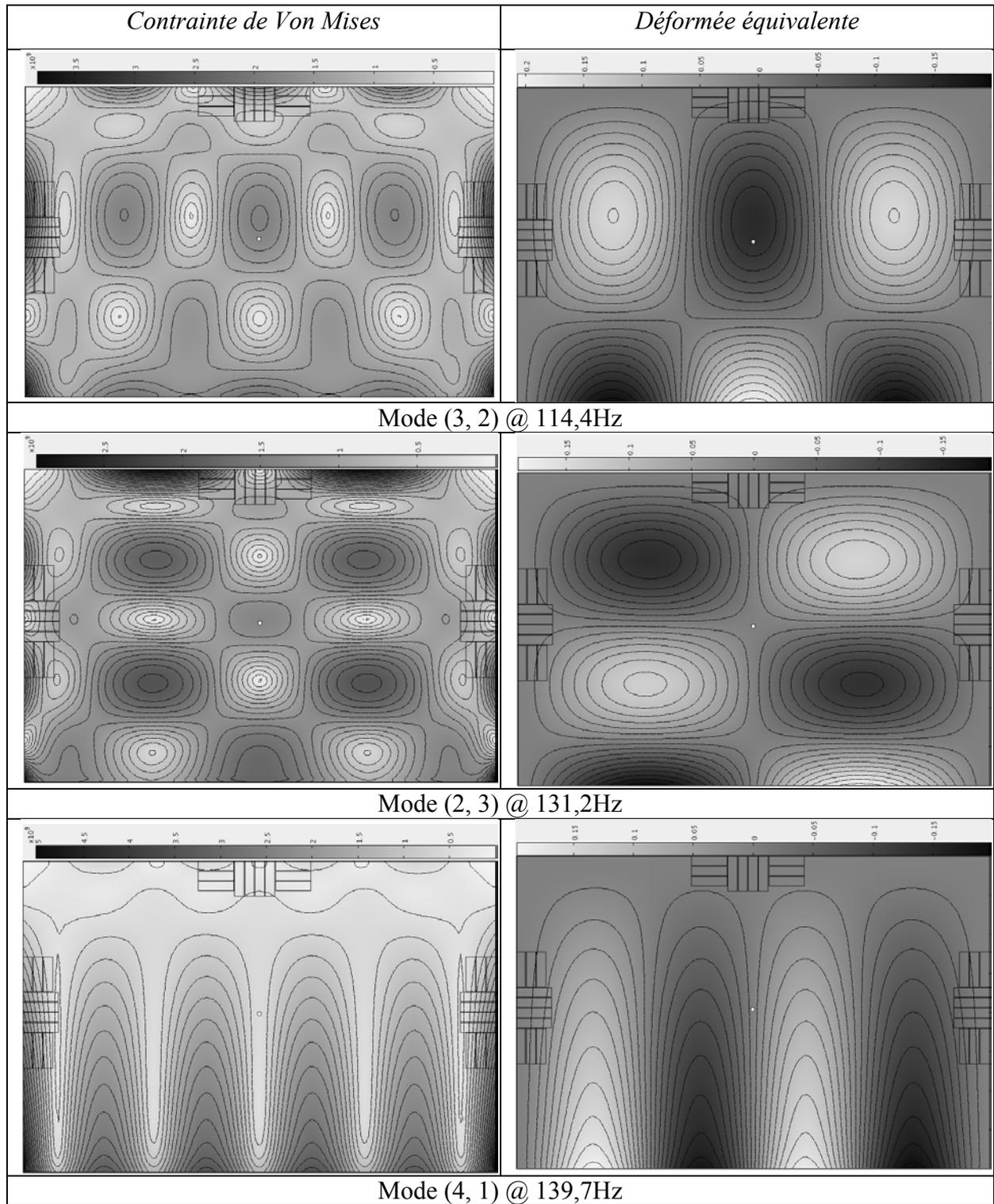
Modèle FEM des fréquences propres de la plaque de test

Ce document présente l'analyse des fréquences propre par méthode des éléments finis sur une plage de 0 à 150Hz. La plaque est utilisée lors des phases de caractérisation des performances d'amortissement du système d'amortissement SSDI à base d'ASIC.

Renvoi page 132, 146, 148 et 158







Liste des figures

<i>Figure 1.1 : Pont de Tacoma sous l'effet du vent, État de Washington (USA), 1940.....</i>	<i>p.28</i>
<i>Figure 1.2 : (a) Maille cristalline du quartz au repos dont les barycentres électriques G^+ et G^- sont co-localisés. (b) Cristal soumis à une force F_p séparant les barycentres électriques. D'après [3].....</i>	<i>p.30</i>
<i>Figure 1.3 : Amortissement par transfert d'énergie mécanique vers le domaine électrique</i>	<i>p.32</i>
<i>Figure 1.4 : Amortissement passif : (a) résistif, (b) inductif, (c) capacitif. D'après [9]</i>	<i>p.33</i>
<i>Figure 1.5 : Structure gyrateur employé par Edberg [10]</i>	<i>p.34</i>
<i>Figure 1.6 : Schéma de principe méthodes d'amortissement actives</i>	<i>p.36</i>
<i>Figure 1.7 : Schéma de principe de la méthode feedforward utilisant un algorithme LMS. p.37</i>	
<i>Figure 1.8 : Structure d'amortissement par charge RL active. D'après [28].....</i>	<i>p.40</i>
<i>Figure 1.9 : Techniques SSD, dispositifs de commutation et formes d'ondes typiques associées : (a) SSDS, (b) SSDI, (c) SSDV. D'après [31]</i>	<i>p.42</i>
<i>Figure 1.10 : (a) Contrôleur SSDI tout extremum ; (b) Contrôleur SSDI sélection de l'extremum global. D'après [33]</i>	<i>p.45</i>
<i>Figure 1.11 : Circuit SSDI proposé dans [34] et réalisé à l'aide de composants discrets</i>	<i>p.46</i>
<i>Figure 1.12 : Photographie du prototype de contrôleur SSDI réalisé dans [35].....</i>	<i>p.46</i>
<i>Figure 1.13 : Schéma mécanique d'une structure poutre encastrée libre avec ses inserts piézoélectriques fixés en surface.(a) schéma, (b) modèle mécanique monomodal.....</i>	<i>p.48</i>
<i>Figure 1.14 : Cycle des conversions d'énergie électrique / mécanique :(a) circuit ouvert, (b) technique SSDS, (c) technique SSDI. D'après [32]</i>	<i>p.50</i>
<i>Figure 2.1 : Solution d'intégration hybride de la méthode d'amortissement de vibration SSDI</i>	<i>p.54</i>
<i>Figure 2.2 : Décomposition fonctionnelle du système d'amortissement SSDI</i>	<i>p.55</i>
<i>Figure 2.3 : Architecture de l'interrupteur électronique SSDI : (a) solution nMOS parallèles, (b) solution nMOS séries.....</i>	<i>p.57</i>
<i>Figure 2.4 : (a) Mode de commutation 1, (b) mode de commutation 2</i>	<i>p.60</i>

<i>Figure 2.5 : Oscillations mécaniques de l'extrémité libre d'une structure poutre en simulation</i>	<i>p.63</i>
<i>Figure 2.6 : Contribution du premier mode propre de résonance sur les oscillations mécaniques de l'extrémité libre d'une structure poutre en simulation</i>	<i>p.64</i>
<i>Figure 2.7 : Contribution du deuxième mode propre de résonance sur les oscillations mécaniques de l'extrémité libre d'une structure poutre en simulation</i>	<i>p.65</i>
<i>Figure 2.8 : Modèle électrique équivalent de l'oscillateur RLC SSDI en phase d'inversion de la tension</i>	<i>p.67</i>
<i>Figure 2.9 : Arbre de dépendances entre les principaux paramètres lors de l'inversion de tension SSDI</i>	<i>p.73</i>
<i>Figure 2.10 : Impact des différentes contraintes sur l'espace de conception : (1) Contrainte sur le rendement d'inversion en tension η, (2) Contrainte sur le domaine de validité, (3) Contrainte sur la durée d'inversion t_i, (4) Contrainte sur le courant limite I_{lim}</i>	<i>p.79</i>
<i>Figure 2.11 : Espace de conception en mode 2 de commutation pour $V_0 = 5V$</i>	<i>p.79</i>
<i>Figure 2.12 : Rendement pour une tension V_0 initiale de 1,3V : (a) mode 1 de commutation, (b) mode 2 de commutation</i>	<i>p.80</i>
<i>Figure 2.13 : Rendement pour une tension V_0 initiale de 13V : (a) mode 1 de commutation, (b) mode 2 de commutation</i>	<i>p.81</i>
<i>Figure 2.14 : Évolution de t_i en fonction des valeurs de C_0 décroissantes</i>	<i>p.82</i>
<i>Figure 2.15 : Évolution du rendement en fonction des valeurs de C_0 décroissantes</i>	<i>p.83</i>
<i>Figure 2.16 : Évolution du courant pic en fonction des valeurs de C_0 décroissantes</i>	<i>p.84</i>
<i>Figure 2.17 : Espace de conception en mode 2 de commutation : (a) pour $V_0 = 25V$ et $V_t = 0V$, (b) pour $V_0 = 50V$ et $V_t = 0V$</i>	<i>p.85</i>
<i>Figure 2.18 : Espace de conception en mode 1 : (a) pour $V_0 = 50V$ et $V_t = 0V$, (b) pour $V_0 = 16V$ et $V_t = 0V$</i>	<i>p.86</i>
<i>Figure 2.19 : Rendement effectif pour la configuration générique en mode 1</i>	<i>p.87</i>
<i>Figure 2.20 : Rendement effectif pour la configuration standard en mode 2</i>	<i>p.88</i>
<i>Figure 3.1 : Schéma fonctionnel simplifié du système de contrôle vibratoire SSDI à base d'ASIC</i>	<i>p.91</i>

<i>Figure 3.2 : Diviseur de tension à gammes auto-adaptatives.....</i>	<i>p.94</i>
<i>Figure 3.3 : Machine d'état asynchrone régissant la partie de contrôle du diviseur de tension</i>	<i>p.96</i>
<i>Figure 3.4 : Tension piézoélectrique typique dans un cas de signal monomodal</i>	<i>p.97</i>
<i>Figure 3.5 : Schéma de l'interface de puissance SSDI lors de l'ouverture du circuit après la détection d'un maximum de tension : (a) circuit électrique, (b) éléments du modèle équivalent</i>	<i>p.99</i>
<i>Figure 3.6 : Schéma interne du détecteur de pic de tension</i>	<i>p.101</i>
<i>Figure 3.7 : Chronogramme théorique des principaux signaux dans le dispositif de détection</i>	<i>p.102</i>
<i>Figure 3.8 : Modèle petit signal équivalent du détecteur de pic de tension en boucle ouverte...</i>	<i>p.103</i>
<i>Figure 3.9 : Diagramme de gain du détecteur de pic de tension en simulation en fonction de la tension de mode commun d'entrée.....</i>	<i>p.105</i>
<i>Figure 3.10 : Schéma de principe du temporisateur monostable</i>	<i>p.108</i>
<i>Figure 3.11 : Chronogramme théorique des principaux signaux du dispositif de temporisation</i>	<i>p.109</i>
<i>Figure 3.12 : Système de configuration des registres d'état de l'ASIC.....</i>	<i>p.111</i>
<i>Figure 3.13 : Système de sélection des signaux numériques internes de l'ASIC en lecture et en écriture</i>	<i>p.112</i>
<i>Figure 3.14 : Dispositif expérimental type poutre encastree à l'une de ses extrémités, et libre à l'autre, soumis à une force électromagnétique à son extrémité libre</i>	<i>p.113</i>
<i>Figure 3.15 : Photographie réalisée au microscope optique (zoom x5) de l'ASIC conçu..</i>	<i>p.114</i>
<i>Figure 3.16 : Tension après inversion SSDI en fonction de la tension avant inversion, pour différentes valeurs de L_i, et avec les paramètres respectifs du modèle théorique : (a) $L_i = 3,3mH$, $C_0 = 46nF$ et $r = 13\Omega$ et $V_t = 0,5V$, (b) $L_i = 680\mu H$, $C_0 = 46nF$ et $r = 10\Omega$ et $V_t = 0,5V$, (c) $L_i = 79mH$, $C_0 = 110nF$ et $r = 11\Omega$ et $V_t = 0,5V$</i>	<i>p.116</i>
<i>Figure 3.17 : Durée de temporisation t_{pw} en fonction de la tension de référence V_{TIM} et de la résistance de polarisation R_{TIM}</i>	<i>p.118</i>

<i>Figure 3.18 : Tension de sortie $V_{out}(t)$ du détecteur de pic de tension en mode suiveur en fonction de la tension d'entrée $V_e(t)$ du diviseur de tension allant de 0 to 50V puis de 50 à 0V de manière linéaire à la fréquence de 100Hz</i>	<i>p.119</i>
<i>Figure 3.19 : Retard temporel entre la détection d'un maximum de tension et la génération du signal de commande d'inversion de tension en fonction de la fréquence et avec l'amplitude en paramètre pour un signal sinusoïdal mono-alternance</i>	<i>p.120</i>
<i>Figure 3.20 : Tension piézoélectrique aux bornes du transducteur avec et sans action d'amortissement</i>	<i>p.121</i>
<i>Figure 3.21 : Déplacement mécanique de l'extrémité libre de la poutre avec et sans action d'amortissement, oscillations forcées</i>	<i>p.121</i>
<i>Figure 3.22 : Déplacement mécanique de l'extrémité libre de la poutre avec et sans action d'amortissement, oscillations libres.....</i>	<i>p.122</i>
<i>Figure 4.1 : Schéma du dispositif expérimental : une plaque en duralumin encastrée à trois extrémités et libre sur le bas est excitée par couplage électromagnétique ; (a) face avant, (b) face arrière.....</i>	<i>p.127</i>
<i>Figure 4.2 : Photographie du circuit imprimé de test pour la mise en œuvre de l'ASIC ...</i>	<i>p.128</i>
<i>Figure 4.3 : Schéma de mise en œuvre pour un balayage fréquentiel de la structure en excitation forcée harmonique.....</i>	<i>p.129</i>
<i>Figure 4.4 : Photographie du dispositif expérimental dans le cas d'une sollicitation par choc bref (lâché de bille sans vitesse initiale)</i>	<i>p.130</i>
<i>Figure 4.5 : Modélisation par FEM du mode propre (1, 1) de la plaque :</i>	
<i>(a) contrainte de Von Mises, (b) la déformée équivalente</i>	<i>p.132</i>
<i>Figure 4.6 : Modélisation par FEM du mode propre (2, 1) de la plaque : (a) contrainte de Von Mises, (b) la déformée équivalente</i>	<i>p.133</i>
<i>Figure 4.7 : Modélisation par FEM du mode propre (1, 2) de la plaque : (a) contrainte de Von Mises, (b) la déformée équivalente</i>	<i>p.134</i>
<i>Figure 4.8 : Réponse fréquentielle de la plaque pour un courant efficace de $0,1A_{RMS}$, $1A_{RMS}$ et $1,7A_{RMS}$) sans contrôle SSDI</i>	<i>p.136</i>
<i>Figure 4.9 : Réponse fréquentielle de la plaque pour un courant efficace de $1A_{RMS}$, relevées à la suite et sans contrôle SSDI.....</i>	<i>p.138</i>

<i>Figure 4.10 : Réponse fréquentielle de la plaque pour un courant efficace de $0,1A_{RMS}$, relevés à un jour d'intervalle et sans contrôle SSDI</i>	<i>p.139</i>
<i>Figure 4.11 : Alternances positives de l'évolution temporelle des oscillations harmonique en régime libre pour le mode de résonance (1, 2)</i>	<i>p.141</i>
<i>Figure 4.12 : Réponse impulsionnelle du déplacement de la plaque suite un choc par bille sans vitesse initiale et sans contrôle d'amortissement</i>	<i>p.142</i>
<i>Figure 4.13 : Spectre de la réponse impulsionnelle du déplacement de la plaque sans contrôle d'amortissement</i>	<i>p.143</i>
<i>Figure 4.14 : Réponse fréquentielle de la plaque pour un courant efficace de $100mA_{RMS}$</i>	<i>p.145</i>
<i>Figure 4.15 : Réponse fréquentielle de la plaque pour un courant efficace de $100mA_{RMS}$</i>	<i>p.147</i>
<i>Figure 4.16 : Réponse fréquentielle de la plaque pour un courant efficace de $100mA_{RMS}$: trois zones d'amortissement indépendantes</i>	<i>p.148</i>
<i>Figure 4.17 : Réponse fréquentielle de la plaque pour un courant efficace de $0,1A_{RMS}$ avec et sans contrôle SSDI</i>	<i>p.151</i>
<i>Figure 4.18 : Réponse fréquentielle de la plaque pour un courant efficace de $1,5A_{RMS}$ avec et sans contrôle SSDI</i>	<i>p.152</i>
<i>Figure 4.19 : Amortissement du déplacement en fonction du courant d'excitation dans la bobine pour le mode (1, 2)</i>	<i>p.154</i>
<i>Figure 4.20 : Amortissement du déplacement en fonction du courant d'excitation dans la bobine pour le mode (1, 3)</i>	<i>p.155</i>
<i>Figure 4.21 : Réponse fréquentielle de la plaque pour un courant efficace de $1A_{RMS}$, relevées à la suite, avec et sans contrôle SSDI en alternance</i>	<i>p.158</i>
<i>Figure 4.22 : Évolution temporelle du déplacement mécanique de la plaque pour le mode (1, 2) en oscillation libre amortie</i>	<i>p.160</i>
<i>Figure 4.23 : Durée de décroissance des oscillations harmoniques libres pour le mode propre (1, 2) en fonction de la constante de temps τ_{RC}</i>	<i>p.161</i>
<i>Figure 4.24 : Schéma de l'évolution temporelle de la décroissance des oscillations mécanique avec amortissement SSDI</i>	<i>p.163</i>

Figure 4.25 : Réponse impulsionnelle du déplacement de la plaque sous test suite un choc par bille lâchée sans vitesse initiale et avec contrôle d'amortissement SSDI..... p.164

Figure 4.26 : Spectre de la réponse impulsionnelle du déplacement de la plaque avec contrôle d'amortissement SSDI actif..... p.165

Liste des tableaux :

<i>Tableau I : Comparatif des principaux types de méthode d'amortissement de vibration mécanique.....</i>	<i>p.43</i>
<i>Tableau II : Expression des termes du bilan énergétique.....</i>	<i>p.49</i>
<i>Tableau III : Paramètres de simulation du système électromécanique de type poutre</i>	<i>p.63</i>
<i>Tableau IV : Liste des grandeurs utilisées dans la méthode SSDI.....</i>	<i>p.72</i>
<i>Tableau V : Plage des valeurs de C_0 maximale en mode 1 suivant les variations de l'espace de conception</i>	<i>p.87</i>
<i>Tableau VI : Plage des valeurs de C_0 maximale en mode 2 suivant les variations de l'espace de conception.....</i>	<i>p.88</i>
<i>Tableau VII : Rapports W/L des transistors du détecteur de pic de tension.....</i>	<i>p.107</i>
<i>Tableau VIII : Principales caractéristiques de l'ASIC</i>	<i>p.115</i>
<i>Tableau IX : Évolution des plages de tension en sortie du diviseur de tension auto-adaptatif</i>	<i>p.119</i>
<i>Tableau X : Principaux paramètres de la simulation par FEM des modes propres de la plaque de test.....</i>	<i>p.132</i>
<i>Tableau XI : Identification par simulation des fréquences de résonance de la structure ..</i>	<i>p.134</i>
<i>Tableau XII : Comparaison des modes propres de résonance de la structure cas réel et simulation.....</i>	<i>p.140</i>
<i>Tableau XIII : Comparaison du contenu spectral de la réponse impulsionnelle avec les fréquences propres calculées par simulation FEM.....</i>	<i>p.144</i>
<i>Tableau XIV : Valeur de l'amortissement pour chaque mode de résonance et par zone d'amortissement</i>	<i>p.146</i>
<i>Tableau XV : Valeur de l'amortissement pour chaque mode de résonance avec un contrôleur ASIC pour les zones $ZH_{ON}^P + ZD_{ON}^P + ZG_{ON}^P$</i>	<i>p.147</i>
<i>Tableau XVI : Valeur de l'amortissement pour chaque mode de résonance avec trois contrôleurs ASIC pour les zones $ZH_{ON}^I + ZD_{ON}^I + ZG_{ON}^I$</i>	<i>p.149</i>

Tableau XVII : Valeurs de la décroissance en oscillation harmonique amortie des modes (1, 1), (1, 2) et (1, 3) avec sans contrôle d'amortissement ($\tau_{RC} = 82ms$) et sans contrôle . p.161

Tableau XVIII : Comparaison de l'amplitude des pics de déplacement avec et sans amortissement SSDI p.165

Liste des publications

Communication internationale avec acte :

[1] Jn. Viant, L. Quiquerez, Gn. Lu

- **“Design of an ASIC Dedicated to SSDI Vibration Damping”**

PowerMEMS 2009 - Micro and Nanotechnology for Power Generation and Energy Conversion Applications, Washington DC – USA, conference proceedings, Dec. 1-4 2009.

Communication nationale avec acte :

[2] Jn. Viant, L. Quiquerez, Gn. Lu

- **« Modélisation et analyse d'un système d'amortissement vibratoire avec électronique de contrôle intégrée pour sa conception optimale »**

TAISA 2007, Lyon, Oct. 18-19 2007

[3] Jn. Viant, L. Quiquerez, Gn. Lu

- **« Conception d'un ASIC dédié à la méthode d'amortissement SSDI »**

JNRDM 2010 - Journées Nationales du Réseau Doctoral en Microélectronique, Montpellier, Jui. 7-9 2010.

Article de revue internationale :

[4] Jn. Viant, L. Quiquerez, Ph. Lombard, Gn. Lu

- **“An ASIC-based vibration damping system”**

IEEE/ASME Transactions on Mechatronics, en cours de relecture après révision mineure.

Références bibliographiques

- [1] S. Garibaldi, M. Sidahmed, "Matériaux viscoélastiques", *Techniques Ingénieur*, 2007, Vol. 270.
- [2] R.D. Corsaro, L.H. Sperling, "Sound and vibration damping with polymers", *American Chemical Society*, 1990, Vol. 424.
- [3] TV Mountain, "<http://filz.fr/pnrems>", *Vidéo sur la fabrication d'un ski*.
- [4] M.D. Rao, K.J. Wirkner, S. Gruenberg, "Dynamic characterization of automotive exhaust isolators", *Proceedings of the Institution of Mechanical Engineers. Part D. Journal of automobile engineering*, 2004, Vol. 218, pp. 891-900.
- [5] M. Haberman, Y. Berthelot, M. Cherkaoui & al, "Modélisation des plaques « sandwich » pour l'amélioration de la performance acoustique", *17ième Congrès Français de Mécanique*, Troyes, 2005.
- [6] D.D.L. Chung, "Review: materials for vibration damping", *Journal of Materials Science*, 2001, Vol. 36, pp. 5733-5737.
- [7] University of Washington, "<http://filz.fr/ydgn4w>", *History of the Tacoma Narrows Bridge*.
- [8] P.L. Walsh, J.S. Lamancusa, "A variable stiffness vibration absorber for minimization of transient vibrations", *Journal of Sound and Vibration*, 1992, Vol. 158, pp. 195-211.
- [9] R.L. Forward, W.S. Griffin, "Wideband electromagnetic damping of vibrating structures", *United States Patent 4795123*, 1989.
- [10] S. Behrens, A.J. Fleming, S.O.R. Moheimani, "Passive vibration control via electromagnetic shunt damping", *Mechatronics, IEEE/ASME Transactions on*, 2005, Vol. 10, pp. 118-122.
- [11] Bose United States, "<http://filz.fr/65wpeg>", *Amortisseur électromagnétique pour automobile*.
- [12] F. Giraud, "Matériau électroactifs : propriétés et utilisation", *Université de Lille 1, Cours de génie électrique*, 2005.
- [13] T.R. Shrout, W.A. Schulze, J.V. Biggers, "PZT/Polymer composites and their fabrication", *United States Patent 4330593*, 1982.

- [14] A. Ballato, "Basic material quartz and related innovations", *Springer Series in Materials Science*, 2008, Vol. 114, pp. 9-35.
- [15] R.L. Forward, "Electronic damping of vibrations in optical structures", *Applied Optics*, 1979, Vol. 18, pp. 690-697.
- [16] N.W. Hagood, A. VonFlotow, "Damping of structural vibrations with piezoelectric materials and passive electrical networks", *Journal of Sound and Vibration*, 1991, Vol. 146, pp. 243 - 268.
- [17] S.Y. Wu, "Piezoelectric shunts with a parallel R-L circuit for structural damping and vibration control", *Proceedings of SPIE, Smart Structures and Materials*, 1996, Vol. 2720, pp. 259-269.
- [18] G.A. Lesieutre, "Vibration damping and control using shunted piezoelectric materials", *The Shock and Vibration Digest*, 1998, Vol. 30, pp. 187-195.
- [19] D.L. Edberg, A.S. Bicos, J.S. Fechter, "On piezoelectric energy conversion for electronic passive damping enhancement", *Proceedings of Damping, San Diego*, 1991.
- [20] J.J. Hollkamp, "Multimodal passive vibration suppression with piezoelectric materials and resonant shunts", *Journal of Intelligent Material Systems and Structures*, 1994, Vol. 5, pp. 49-57.
- [21] S.Y. Wu, "Method for multiple mode piezoelectric shunting with single PZT transducer for vibration control", *Journal of Intelligent Material Systems and Structures*, 1998, Vol. 9, pp. 991-998.
- [22] D.J. Warkentin, N.W. Hagood, "Nonlinear piezoelectric shunting for structural damping", *Proceedings of SPIE, Smart Structures and Materials*, 1997, Vol. 3041, pp. 747-757.
- [23] S.Y. Wu, A.S. Bicos, "Structural vibration damping experiments using improved piezoelectric shunts", *Proceedings of SPIE, Smart Structures and Materials*, 1997, Vol. 3045, pp. 40-50.
- [24] D. A. Saravanos, "Damped vibration of composite plates with passive piezoelectric-resistor elements", *Journal of Sound and Vibration*, 1999, Vol. 221, pp. 867-885.
- [25] C.R. Fuller, S.J. Elliott, P.A. Nelson, "Active control of vibration", *Physics Today*, 1997, Vol. 50, p. 64.

- [26] P. Lueg, "Process of silencing sound oscillations", *United States Patent 2043416*, 1936.
- [27] R.L. Clark, C.R. Fuller, "Experiments on active control of structurally radiated sound using multiple piezoceramic actuators", *Journal of the Acoustical Society of America*, 1992, Vol. 91, pp. 3313-3320.
- [28] B. Widrow, J.M. McCool, M.G. Larimore & al, "Stationary and nonstationary learning characteristics of the LMS adaptive filter", *Proceedings of the IEEE*, 1976, Vol. 64, pp. 1151-1162.
- [29] S. Raja, G. Prathap, P.K. Sinha, "Active vibration control of composite sandwich beams with piezoelectric extension-bending and shear actuators", *Smart Materials and Structures*, 2002, Vol. 11, pp. 63-71.
- [30] M.J. BALAS, "Direct velocity feedback control of large space structures", *Journal of Guidance and Control*, 1979, Vol. 2, pp. 252-253.
- [31] J. Fei, "Active vibration control of flexible steel cantilever beam using piezoelectric actuators", *Proceedings of the Thirty-Seventh Southeastern Symposium on System Theory*, 2005, pp. 35-39.
- [32] S.M. Yang and C.A. Jeng, "Structural vibration suppression by concurrent piezoelectric sensor and actuator", *Smart Materials and Structures*, 1996, Vol. 5, pp. 806-813.
- [33] L.A. Zadeh, "Fuzzy sets", *Information and Control*, 1965, Vol. 8, pp. 338-353.
- [34] J. Lin, "An active vibration absorber of smart panel by using a decomposed parallel fuzzy control structure", *Engineering Applications of Artificial Intelligence*, 2005, Vol. 18, pp. 985-998.
- [35] J.Q. Fang, Q.S. Li, A.P. Jeary, "Modified independent modal space control of m.d.o.f. systems", *Journal of Sound and Vibration*, 2003, Vol. 261, pp. 421-441.
- [36] C.L. Davis, G.A. Lesiutre, "An actively tuned solid-state vibration absorber using capacitive shunting of piezoelectric stiffness", *Journal of Sound and Vibration*, 2000, Vol. 232, pp. 601-617.
- [37] D. Niederberger, M. Morari, S.J. Pietrzko, "Adaptive resonant shunted piezoelectric devices for vibration suppression", *Proceedings of SPIE, Smart Structures and Materials*, 2003, Vol. 5056, pp. 213-224.

- [38] W.W. Clark, "Vibration control with state-switched piezoelectric materials", *Journal of Intelligent Material Systems and Structures*, 2000, Vol. 11, pp. 263-271.
- [39] C. Richard, D. Guyomar, D. Audigier, & al, "Semi-passive damping using continuous switching of a piezoelectric device", *Proceedings of SPIE, Smart Structures and Materials*, 1999, Vol. 3672, pp. 104-111.
- [40] A. Badel, "Récupération d'énergie et contrôle vibratoire par éléments piézoélectriques suivant une approche non linéaire", *Thèse de doctorat, Université de Savoie*, 2005.
- [41] D. Guyomar, C. Richard, "Non-linear and hysteretic processing of piezoelement: application to vibration control, wave control and energy harvesting", *International Journal of Applied Electromagnetics and Mechanics*, 2005, Vol. 21, pp. 193-207.
- [42] D. Guyomar, C. Richard, S. Mohammadi, "Semi-passive random vibration control based on statistics", *Journal of Sound and Vibration*, 2007, Vol. 307, pp. 818-833.
- [43] D. Niederberger, M. Morari, "An autonomous shunt circuit for vibration damping", *Smart Materials and Structures*, 2006, Vol. 15, pp. 359-364.
- [44] M. Lallart, É. Lefeuvre, C. Richard, & al, "Self-powered circuit for broadband, multimodal piezoelectric vibration control", *Sensors and Actuators A: Physical*, 2008, Vol. 143, pp. 377-382.
- [45] H.A. Sodano, G. Park, D.J. Inman, "Estimation of electric charge output for piezoelectric energy harvesting", *Strain*, 2004, Vol. 40, pp. 49-58.
- [46] D. Guyomar, A. Badel, "Nonlinear semi-passive multimodal vibration damping: an efficient probabilistic approach", *Journal of Sound and Vibration*, 2006, Vol. 294, pp. 249-268.
- [47] L.F. Tanguay, M. Sawan, "An ultra-low power ism-band integer-n frequency synthesizer dedicated to implantable medical microsystems", *Analog Integrated Circuits and Signal Processing*, 2009, Vol. 58, pp. 205-214.
- [48] R.M. Jones, "Buckling of bars, plates, and shells", *Bull Ridge Publishing*, 2006, p. 14.
- [49] C. Lemaignan, "La rupture des matériaux", *EDP Sciences*, 2003, p. 51.
- [50] M. Marzencki, M. Defosseux, S. Basrour, "Mems vibration energy harvesting devices with passive resonance frequency adaptation capability", *Journal of Microelectromechanical Systems*, 2009, Vol. 18, pp. 1444-1453.

- [51] M. Del Pedro, P. Pahud, "Mécanique vibratoire: systèmes discrets linéaires", *Presses Polytechniques Universitaires Romandes*, 1997.
- [52] A. ElMourabit, G.N. Lu, P. Pittet, "Wide-linear-range subthreshold OTA for low-power, low-voltage, and low-frequency applications", *Circuits and Systems I: Regular Papers, IEEE Transactions on*, 2005, Vol. 52, pp. 1481-1488.