



HAL
open science

Outils et méthodologies de caractérisation électrothermique pour l'analyse des technologies d'interconnexion de l'électronique de puissance

Benoît Thollin

► **To cite this version:**

Benoît Thollin. Outils et méthodologies de caractérisation électrothermique pour l'analyse des technologies d'interconnexion de l'électronique de puissance. Autre. Université de Grenoble, 2013. Français. NNT : 2013GRENT005 . tel-00824898

HAL Id: tel-00824898

<https://theses.hal.science/tel-00824898>

Submitted on 22 May 2013

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

UNIVERSITÉ DE GRENOBLE

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Génie Electrique**

Arrêté ministériel : 7 août 2006

Présentée par

Benoît THOLLIN

Thèse dirigée par :

« **Jean-Christophe CREBIER** » et « **Zoubir KHATIR** »

codirigée par

« **Yvan AVENAS** », « **Laurent DUPONT** » et « **Pierre-Olivier JEANNIN** »

préparée au sein du

Laboratoire de Génie Electrique de Grenoble (G2Elab)

et du

Laboratoire des Technologies Nouvelles (LTN) de l'Institut Français des Sciences et Technologies des Transports de l'Aménagement et des Réseaux (IFSTTAR)

dans l'École Doctorale **Electronique, Electrotechnique, Automatique et Traitement du signal**

Titre :

« Outils et méthodologies de caractérisation électrothermique pour l'analyse des technologies d'interconnexion de l'électronique de puissance »

Thèse soutenue publiquement le **Judi 4 Avril 2013** devant le jury composé de :

Mr. Frédéric, RICHARDEAU

Directeur de recherche au CNRS, Toulouse, rôle (Rapporteur)

Mr. Eric, WOIRGARD

Professeur à l'IMS, Bordeaux, rôle (Rapporteur)

Mr. Bruno, ALLARD

Professeur à l'INSA, Lyon, rôle (Président)

Mr. Ahmad, BSIESY

Professeur à l'UJF, Grenoble, rôle (Examineur)

Mr. Jean-Christophe, CREBIER

Chargé de recherche au CNRS, Grenoble, rôle (Directeur de thèse)

Mr. Laurent, DUPONT

Chargé de recherche au LTN IFSTTAR, Versailles, rôle (Encadrant, Invité)

Mr. Yvan, AVENAS

Maître de conférence à l'INP, Grenoble, rôle (Encadrant, Invité)

Mr. Pierre-Olivier, JEANNIN

Maître de conférence à l'UJF, Grenoble, rôle (Encadrant, Invité)



En guise de remerciements, nous n'en sommes plus aux balbutiements,
Entre inventaires à la Prévert, et rigueur scolaire
Je fus mis au défi de l'épreuve des mercis
Même si originalité n'est pas gage de qualité
C'est néanmoins sur ce pied que je vais danser
Les constituants de ces mercis proviennent des nombreux écrits
De notre feu « Tonton » qui fit vivre la chanson

Introduction

Je veux dédier ce poème à la femme que j'aime,^[1] le père, la mère, la fille, le fils, le saint esprit,^[2] à Pierre à Paul en passant par Jules et Félicien,^[3] à machin chose, un tel une telle^[4] et bien d'autres, j'ai pas la mémoire des noms.^[5] Si je publie des noms combien de bons amis me regarderont de travers, combien je recevrai de coups de revolver.^[6] Trouverais-je les noms trouverais-je les mots ?^[7] Y'en a tant que je ne sais plus où donner de la bouche,^[8] pour un tel inventaire, il faudrait un Prévert.^[9]

Elle est à toi cette chanson,^[10] toi qui rendait le supplice un peu moins douloureux.^[11] Avec ma petite chanson j'ai l'air d'un con,^[12] plaise à dieu qu'elle plaise aux copains.^[13]

Le jury

Sauf le respect que je te dois,^[16] laisse moi je t'en prie sur un bon souvenir,^[14] toi seul qui puisse m'élever au pinacle.^[15] Je m'en vais mettre fin à votre pénible supplice, ainsi gémissait en public ces honnêtes hommes vénérables.^[15]

Jugeant alors que leur victime avait eu son comptant de gnons^[16] et qu'il n'est pas nécessaire d'humilier un adversaire,^[18] ainsi reconnaissant, je leurs laisse emporter mes remerciements.^[19] Ce serait sans doute mentir par omission de ne pas dire que je vous dois quand même une heure authentique de vrai bonheur.^[20]

Les encadrants

Se sentant rempli de pitié, ils m'apprenaient de mon métier les petites ficelles^[21] : celles que je vous dois mes chers me sont sacrées.^[22] Sachez que j'apprécie à sa valeur le geste,^[14] je ne pouvais pas tomber en de meilleures mains.^[14] Ils m'ont gentiment donnés des conseils amicaux^[23] car s'il est une chose amère, désolante, c'est bien de constater qu'on a fait fausse route qu'on s'est trompé d'idée.^[24]

C'est pas tous les jours qu'ils rigolent, parole,^[25] ils ont le sentiment qu'ils regrettent^[26] j'en conclus qu'ils doivent se dire en aparté^[24] : c'est un paresseux, un lève-nez, un cancre, un crétin crasseux,^[27] il navigue en père peinard^[28] de la plus douce grimpe à la plus tendre escalade^[29]. J'ai mauvaise réputation^[30] mais c'est une absurdité car à la vérité^[2] en suivant mon chemin de petit bonhomme,^[30] avec à l'âme grand courage, je m'en allait trimer de l'aurore jusqu'au couchant...^[31]

La Thèse

Emmerdante emmerdeuse emmerderesse,^[32] les jours où, furieux, voulant tout mettre à bas, je cri : « la coupe est pleine il est tant que je rompe »,^[22] tiré par les amis, poussé par les parents,^[33] les « encore », les « c'est bon » les « continu »,^[34] dans mon âme ils brûlent encore à la manière d'un feu de joie.^[10] Quand j'étais en détresse^[28] j'aurais sans nul doute enterrez cette histoire,^[35] si je n'avais rencontré cette race incongrue et qui partout foisonne, la race des gens bien.^[36] J'ai vu qu'il restait encore du monde et du beau monde sur terre,^[4] quand voguait par là le bateau des copains, je me suis accroché bien fort à ce grappin^[37]. Des amis franco de port^[28] pour me redonner du courage,^[38] je leur adresse à tous un message^[39] des larmes plein les cils^[40] : « quand un ami fait le bonheur, qu'elle est belle la liberté,^[41] c'est beau c'est généreux c'est grand c'est magnifique ». ^[5]

Ce serait extraordinaire et pour tout dire inespéré^[42] qu'un jour on dise c'est fini.^[43] C'est complètement impossible, la suite me prouva que non,^[42] « ding ding dong » les mâtines sonnent en l'honneur de mon bonheur.^[44]

La Soutenance

Grâce soit rendu au bon dieu, je vais réaliser mon rêve^[15] dans un habit ma foi seyant^[20] en rougissant quand même un petit peu,^[26] conscient d’accomplir, somme toute, un devoir.^[45] Je n’en menais pas large,^[46] d’autant plus vaine était ma crainte^[42] que j’aurais sans doute du bonheur et peut-être la croix d’honneur.^[47] Négligeant carrément leurs tâches pour voir ça,^[48] tout le monde viendra me voir pendu^[30] bien que tout le monde s’en fiche à l’unanimité.^[49]

Quand les mois auront passé, quand seront apaisés ces beaux rêves flambants^[2], que le temps passera dans les mémoires, qu’on oubliera l’événement,^[48] jamais de la vie je n’oublierai,^[46] et quand même vivrais-je jusqu’à la fin des temps, je garderai toujours le souvenir content^[33] qu’on me laissa partir sous les ovations,^[23] sur mon brin de laurier je m’endormirais comme un loir...^[6]

Conclusion

Après avoir dit grand-merci,^[50] je vais mettre un point final à ce chant salulaire.^[51] C’eût été mon ultime chant, mon chant du cygne, mon dernier billet doux, mon message d’adieu.^[52] Après ce tour d’horizon,^[6] reste encore une petite place^[53] pour la femme qui suscite en moi tant de passion,^[34] toi que je garde et toi que j’aime.^[46] Maman, papa, en faisant cette chanson soudain je comprends le prix de vos sacrifices.^[38] Je vous le dit tout net,^[40] un enfant a de la corde de pendu, de la chance, quand il a un père et une mère de ce tonneau là.^[54]

La morale de ma petite ritournelle, il me semble superflu de vous l’explicitier, elle coule de source elle est incluse en elle^[55] vous avez deviné j’espère^[42] : MERCI.

Références : Georges BRASSENS

- | | |
|---|--|
| [1]. Les passantes | [29].L’andropause |
| [2]. Les amoureux des bancs publics | [30].La mauvaise réputation |
| [3]. Embrasse les tous | [31].Pauvre martin |
| [4]. Celui qui a mal tourné | [32].Misogynie à part |
| [5]. Le bulletin de santé | [33].La marche nuptiale |
| [6]. Les trompettes de la renommée | [34].Quatre vingt quinze pour cent |
| [7]. La traîtresse | [35].Sale petit bonhomme |
| [8]. Une jolie fleur dans une peau de vache | [36].La ballade des gens qui sont nés quelque part |
| [9]. Le pluriel | [37].Les illusions perdues |
| [10].Chanson pour l’auvergnat | [38].Maman, papa |
| [11]. L’antéchrist | [39].Le temps ne fait rien à l’affaire |
| [12].Marinette | [40].Tonton Nestor |
| [13].Mélanie | [41].Heureux qui comme Ulysse |
| [14].Stance à un cambrioleur | [42].Le Gorille |
| [15].Le nombril des femmes d’agents | [43].Le roi |
| [16].Sauf le respect que je vous dois | [44].Il suffit de passer le pont |
| [17].Hécatombe | [45].La fessée |
| [18].Le modeste | [46].La première fille |
| [19].Le chapeau de Mireille | [47].Le pornographe |
| [20].Histoire de faussaire | [48].Brave Margot |
| [21].Le mauvais sujet repent | [49].Les 2 oncles |
| [22].A l’ombre des maris | [50].Le parapluie |
| [23].Le mécréant | [51].Fernande |
| [24].Mourir pour des idées | [52].Le Blason |
| [25].La complainte des filles de joies | [53].Jeanne |
| [26].La princesse et le croc-note | [54].Les 4 bacheliers |
| [27].La maîtresse d’école | [55].Ceux qui ne pensent pas comme nous |
| [28].Les copains d’abord | |

Introduction Générale

La problématique énergétique qui se profilait comme une vague menace lointaine devient dorénavant un des enjeux majeurs de ce début de siècle. Non seulement la raréfaction des énergies fossiles va certainement pousser les décideurs à concevoir la nécessité d'une ère post pétrole, mais elle est aussi responsable de tensions diplomatiques dues à la forte dépendance des pays industrialisés n'ayant pas d'accès aux réserves de gaz naturel, de pétrole ou de charbon. Cette dépendance est actuellement réservée aux domaines du transport (automobile et aéronautique) mais risque de s'étendre sur la production d'électricité, affectée par la volonté européenne de réduire, voire suspendre, l'activité nucléaire. Les solutions alternatives et renouvelables de production d'électricité solaire, hydraulique ou éolienne sont toutes liées aux convertisseurs d'électricité afin de pouvoir convertir l'électricité produite en une forme pouvant être injectée sur le réseau électrique. Les systèmes de production ayant des durées de retour sur investissement relativement longues (dépendants du prix de rachat du KWh), de l'ordre d'une vingtaine d'année, la durée de vie des onduleurs doit être suffisante pour assurer la rentabilité des installations de ce type [NEG12].

Dans le domaine des transports, et particulièrement en remplacement du véhicule thermique personnel, le vecteur électrique est l'une des alternatives les plus prometteuses. Là encore, les convertisseurs sont omniprésents dans la chaîne de traction entre le système de stockage, l'éventuel moteur thermique et le moteur électrique. Etant déjà fortement implantée dans le transport terrestre de personnes et de marchandises sur rail, l'énergie de traction électrique est donc poussée en permanence vers l'amélioration de ses performances et de sa fiabilité. Dans le véhicule personnel, l'augmentation de la densité de puissance tout en maintenant une durée de vie raisonnable, est un enjeu majeur, puisque la duplication courante des systèmes de conversion dans le transport ferroviaire ne pourra s'effectuer dans le milieu automobile. Les transports individuels suivent le modèle des transports en commun sur rail en faveur de la motorisation électrique, et la production d'électricité s'oriente vers une décentralisation et une multiplication des sites de production ; les convertisseurs se retrouvent ainsi omniprésents dans ces deux domaines avec de nouveaux critères en termes de fiabilité et de volume de production. Dans les ambitions d'amélioration de l'efficacité énergétique des systèmes de transports, le domaine aéronautique est aussi sujet à l'apparition du vecteur électrique dans un premier temps en remplacement des actionneurs hydrauliques. L'utilisation d'actionneurs électriques embarqués permettrait un allègement significatif du poids de l'appareil, afin de réduire la consommation de carburant. Ceci entraînerait cependant un certain nombre d'exigences au niveau de la robustesse vis-à-vis de l'environnement extérieur (foudre, variations et niveaux de températures, vibrations). Les exigences en termes de durée de vie dans les transports aériens sont fixées à 50 000 heures de vols, dans des conditions environnementales particulièrement sévères. Ces exigences imposent des systèmes robustes de conversion d'électricité.

Les convertisseurs sont des systèmes complexes qui mettent en jeu de nombreux domaines physiques fortement couplés. Les performances de fonctionnement (qualité du signal, rendement), leurs impacts sur l'environnement extérieur (perturbations électromagnétiques), leurs durées de vie, leurs coûts et leurs encombrements sont liés à tous les champs du domaine électrique, à la physique du semi-conducteur, des matériaux, de la thermique et de la mécanique. Les causes de fatigue des convertisseurs sont essentiellement d'origine thermomécanique. Les différentiels de température liés aux pertes dissipées au sein des composants de puissance et à l'environnement extérieur engendrent une fatigue des assemblages et des connexions pouvant causer la défaillance.

On peut donc conclure que les domaines applicatifs des convertisseurs de puissance se multiplient, avec des volumes de production qui vont fortement augmenter et dont les contraintes fonctionnelles, environnementales et économiques vont être prépondérantes. Dans ce cadre, les contraintes au niveau de la fiabilité, de la compacité et des coûts sont prédominantes. Afin de diminuer le volume et potentiellement le coût des convertisseurs de puissance, des efforts sont faits sur les composants semi-conducteurs afin d'accroître les fréquences de découpage et/ou pour fonctionner à plus hautes températures. Cela se concrétise aujourd'hui avec l'apparition commerciale de composants de puissance en matériaux semi-conducteurs « grands gaps ». La haute température va donc pouvoir faire son apparition au cœur du module de puissance permettant une augmentation de la densité de puissance. D'un autre côté l'encapsulation doit sortir de sa structure conventionnelle pour permettre de meilleures performances dynamiques, thermiques et présenter plus de robustesse à hautes températures et aux cyclages thermiques. En effet, les composants « grands gaps » (GaN et SiC notamment) fonctionnent à des vitesses de commutation plus élevées. Cela augmente l'impact négatif des éléments parasites de la maille de commutation (surtensions et oscillations), ce qui contraint les assemblages à la réduire au maximum. Au niveau thermomécanique, la haute température met à mal les structures et les matériaux, et les variations de température lorsque celles-ci sont élevées, engendrent des dégradations accélérées des assemblages mécaniques et des interconnexions électriques. D'un point de vue amélioration des performances électro-thermo-mécaniques les architectures 3D s'affichent comme une avancée prometteuse, notamment avec le concept « power chip on chip » [VAG08]. Cependant, les contraintes thermomécaniques présentes dans ces structures sont élevées et les moyens d'interconnexions électriques actuels ne permettent pas de répondre aux critères de durée de vie. De nouvelles techniques d'interconnexions de types non massives ou pressées sont en cours de développement au niveau industriel ainsi que dans les laboratoires de recherche. Ces méthodes d'assemblages doivent être caractérisées thermiquement, électriquement et mécaniquement afin d'en connaître les performances. C'est dans cette problématique que se situent les travaux présentés dans ce manuscrit. Nous allons essentiellement nous concentrer sur l'aspect thermique de l'interconnexion. Les moyens d'instrumentation des modules de puissance sont cependant très limités de par l'inaccessibilité des composants dans le module, et ce, d'autant plus dans les modules dits « 3D ». C'est pourquoi, thermocouples, sondes et caméras infrarouges sont inutilisables sur un composant encapsulé. La caractérisation thermique des modules se résume généralement à la mesure en régime stationnaire de la résistance thermique entre la jonction du composant et le boîtier ($R_{th_{jc}}$) réalisée grâce à l'estimation de la température de jonction par un paramètre thermosensible et de celle de la semelle par thermocouple. Actuellement, les mesures dynamiques non destructives peuvent se faire uniquement par une mesure d'impédance thermique (Z_{th}) sur un composant fonctionnel ou par l'instrumentation du boîtier d'une puce de test thermique en substitution du composant réel. Or nous allons voir les limites de ces modes de mesures actuels pour caractériser les nouvelles interconnexions, puis nous allons proposer des améliorations à ces deux méthodes pour en faire des outils adaptés aux caractérisations thermiques liées à l'interconnexion tridimensionnelle.

Ce document propose un premier chapitre qui situe le contexte de nos travaux de recherche, ainsi que les enjeux et les problématiques liés à la caractérisation thermique des nouvelles interconnexions. Le second chapitre est porté sur le développement d'un composant de puissance instrumenté pour des mesures thermiques et électriques au cœur de la puce et le troisième et dernier chapitre est consacré à la mise en œuvre d'un banc de mesure d'impédance thermique spécialement adapté pour observer les effets des interconnexions proche de la puce sur la réponse en température du composant.

Table des matières

Introduction Générale	5
Table des matières	7
Chapitre 1 : Conception et caractérisation thermique des modules de puissances et de leurs interconnexions	11
I. Les enjeux de la conception des modules de puissances	11
I.1. Les enjeux au sein du module de conversion.....	11
I.2. Le rôle du packaging et ses perspectives	12
I.2.1. <i>Un lien complexe avec l'environnement extérieur</i>	12
I.2.2. <i>L'approche conventionnelle du package</i>	14
I.3. Les assemblages 3D.....	15
I.3.1. <i>Le 3D, une voie attirante</i>	15
I.3.2. <i>Le « power chip on chip », une utilisation prometteuse du 3D</i>	16
I.3.3. <i>Contraintes et fiabilité des assemblages</i>	17
I.3.4. <i>Une envie de haute température mise à mal</i>	18
II. Les nouvelles interconnexions	20
II.1. Objectifs et problématiques	20
II.2. Solutions d'interconnexion Electro-Thermo-Mécaniques (ETM).....	21
II.2.1. <i>Solutions à base de contacts brasés</i>	21
II.2.2. <i>« Direct solder interconnection »</i>	21
II.2.3. <i>Par métallisation électro-déposée</i>	24
II.2.4. <i>Solutions sans brasure dans le cadre du projet ECLIPSE</i>	25
II.3. Problématique de la caractérisation ETM.....	28
III. Comportement thermique des modules de puissance	28
III.1. Notion de résistance thermique	29
III.2. Notion de résistance thermique de contact	30
III.3. Détermination théorique de la R_{th_c}	31
III.4. Notion de capacité et d'impédance thermique	32
III.5. Réseaux thermiques équivalents	32
IV. La caractérisation thermique des modules de puissance	33
IV.1. La mesure de la R_{th}	33
IV.1.1. <i>T_J par mesure d'un paramètre thermosensible (PTS)</i>	35
IV.1.2. <i>Puce de test thermique (TTC)</i>	38
IV.2. Mesure de l'impédance thermique	41
IV.2.1. <i>Spécificités de la mesure par la courbe de refroidissement</i>	43
IV.2.2. <i>Spécificités de la mesure à l'échauffement par créneaux successifs</i>	44
V. Conclusion	45

Chapitre 2 : Développement d'une puce de tests électrique et thermique à structure verticale (VETTC)	47
I. Introduction	47
II. Approche conceptuelle	48
III. Description et principe de fonctionnement de la VETTC	50
III.1. La structure du composant de puissance	50
III.2. La composition des capteurs de potentiel	50
III.3. Capteurs de température à base de résistance (RTD)	51
IV. Les capteurs au sein de la VETTC	54
IV.1. L'intégration des capteurs	54
IV.2. La connectique liée aux capteurs	55
V. Choix de conception liés à l'interconnexion et à la connectique des RTD	56
V.1. Constitution d'une première version de la VETTC	56
V.1.1. Mise en série des capteurs	56
V.1.2. Constitution des connectiques (Polysilicium)	57
V.1.3. Réalisation de la « Version 1 »	58
V.1.4. Qualité des diélectriques et courants de fuite	61
V.1.5. Dépendance en température de la « Version 1 »	64
V.1.6. Analyse au Microscope Electronique à Balayage	65
V.2. Constitution d'une seconde version de la VETTC	66
V.2.1. Connectique aluminium et capteurs indépendants	66
V.2.2. Description de l'implantation des capteurs de la « Version 2 »	67
V.2.3. Mesures expérimentales préliminaires	69
VI. Fabrication de la VETTC	70
VI.1. Les étapes de réalisation de la VETTC	70
VI.2. Etude de la pénétration des atomes dopants dans les couches de la VETTC	73
VII. Résultats expérimentaux	74
VII.1. Etalonnage en température des RTD	74
VII.2. Caractéristiques électriques de la diode de puissance	75
VII.3. Mesure en fonctionnement couplée à une mesure par caméra infrarouge	76
VII.3.1. Description du protocole de mesure	76
VII.3.2. Résultats obtenus	77
VIII. Conclusions et perspectives	79

Chapitre 3 :	Développement d'un banc de mesure d'impédance thermique μs.....	81
I. Introduction	81
II. Etudes préliminaires	81
II.1. Limite de la mesure d'impédance thermique.....		81
II.2. Description de la méthode de mesure.....		86
III. Aspects thermiques et temporels par simulation	87
III.1. Description de la géométrie et du modèle utilisés.....		87
III.2. Zone de dissipation dans la diode.....		90
III.3. Temps de diffusion du flux de chaleur.....		91
III.4. Niveau de puissance à dissiper.....		92
III.5. Détection d'une cavité (« void »).....		93
IV. Constitution du banc de mesure expérimental.....		94
IV.1. Aiguillage de puissance.....		94
IV.1.1. Injection par stockage inductif.....		94
IV.1.2. Commande des interrupteurs.....		95
IV.1.3. Rôle de la diode D_r		96
IV.1.4. Ecrêteur de tension.....		97
IV.1.5. Performances dynamiques.....		98
IV.1.6. Limitation du bruit des signaux mesurés.....		99
IV.1.7. Limiteur de tension.....		100
IV.1.8. Schéma synoptique global du banc de mesure.....		103
IV.2. Mesure de la température de jonction (T_j).....		103
IV.2.1. Etalonnage.....		103
IV.3. Protocole expérimental et traitement des données.....		104
IV.3.1. Description du module utilisé.....		104
IV.3.2. Acquisition des signaux.....		105
IV.3.3. Traitement des données brutes.....		105
IV.4. Phénomènes transitoires lors de la commutation du courant de puissance à celui de mesure.....		106
IV.4.1. Analyse des phénomènes transitoires.....		107
IV.4.2. Observation des perturbations.....		108
IV.4.3. Impact du niveau de puissance.....		110
IV.4.4. Méthode d'extrapolation proposée.....		111
IV.4.5. Estimation de l'erreur sur la température extrapolée.....		112
IV.4.6. Répétitivité de la mesure.....		115
V. Résultats expérimentaux.....		117
V.1. Etude comparative 1.....		117
V.1.1. Géométrie des brasures.....		117
V.1.2. Réponse en élévation de température et impédance thermique.....		118
V.2. Etude comparative 2.....		119
V.2.1. Géométrie des brasures.....		119
V.2.2. Réponse en élévation de température et impédance thermique.....		120
V.3. Impact de la face avant.....		121
V.4. Comparaison avec la « cooling Curve Technique ».....		122
VI. Conclusions et perspectives.....		124
Conclusion générale et perspectives.....		126
Références Bibliographiques.....		128

Annexe 1	Modèle de contraintes thermomécaniques à l'interface d'une structure bicouche ..	136
Annexe 2	Evolution de la caractéristique I/V d'une diode de puissance	141
Annexe 3	Impact de l'intégration des capteurs sur leur fonctionnement	142
Annexe 4	Documentation technique diode INFINEON	148
Annexe 5	Circuit électrique de la carte de courant de mesure.....	151
Annexe 6	Documentation technique Diode Bipolaire	152
Annexe 7	Documentation technique diode Schottky	153
Annexe 8	Programme de séquençement	154
Annexe 9	Programme Matlab de traitement des données	155

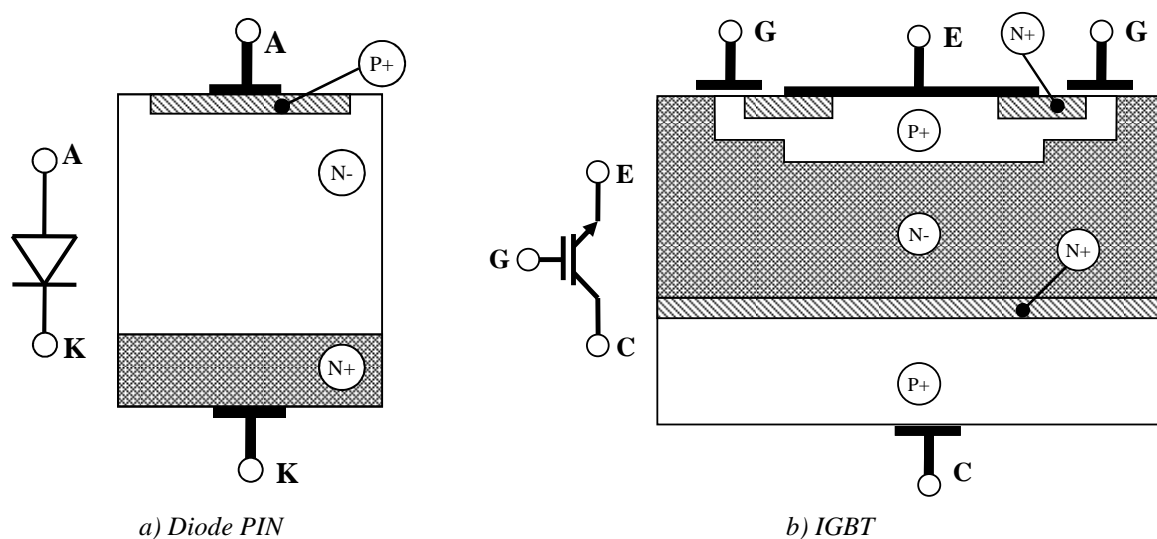
Chapitre 1 : Conception et caractérisation thermique des modules de puissances et de leurs interconnexions

L'objectif de ce chapitre est de mettre en avant les enjeux de la conception des modules de puissance qui ont guidé les développements de nouvelles technologies d'interconnexion, puis de présenter les moyens de caractérisation thermique existants. L'état de l'art de ces solutions de mesures thermiques en montre les faiblesses. Cela met en avant la nécessité de développer des outils de caractérisation spécialement adaptés aux nouvelles interconnexions, ce qui pourrait permettre une mesure fine de l'impact de l'assemblage sur la réponse en température des composants de puissance.

I. Les enjeux de la conception des modules de puissances

I.1. Les enjeux au sein du module de conversion

La conversion est réalisée par découpage du signal électrique par l'intermédiaire de composants commandés constitués de puces en matériau semi-conducteur (Si, SiC, GaN...) nommés interrupteurs de puissance. Ces composants de puissance sont amenés à être parcourus par de forts courants et à tenir de fortes tensions à leurs bornes. La puissance commutée par le convertisseur, entraîne des pertes dans les composants se traduisant par la dissipation de chaleur dans les puces. On parle de structures verticales des composants de puissance en raison du passage du courant à travers l'épaisseur des puces. En effet, le courant entre par une face (l'anode) et traverse l'épaisseur de la puce pour sortir par l'autre face (la cathode). De part cette structure verticale (figure 1 a et b), la tenue en tension doit se faire de part et d'autre d'une jonction sur une très faible épaisseur (quelques dizaines ou centaines de μm maximum suivant la hauteur de bande interdite du cristal et la tension à tenir). Les connexions électriques permettant le passage des courants doivent se faire par des électrodes placées sur les deux faces des puces. Les interrupteurs commandés, comme les transistors à effet de champs ou les IGBT, possèdent en outre une électrode de commande (figure 1 b) nommée grille.



a) Diode PIN
b) IGBT
Figure 1 : Exemples de structures verticales des composants de puissance

Des exigences en termes de performances thermiques et électriques, de volumes de production, de compacité et de fiabilité sont demandées aux convertisseurs. Parmi les éléments des convertisseurs, les

modules de puissance sont particulièrement critiques. Les leviers permettant d'améliorer ces derniers sont la structure du module, les composants semi-conducteurs eux-mêmes, les interconnexions électriques et l'encapsulation des composants que l'on nomme communément le « packaging » ainsi que son système de refroidissement. Ces leviers ont des impacts sur plusieurs aspects qui seront détaillés par la suite :

- Sur la fréquence de découpage et ainsi sur les besoins de filtrage donc sur le volume des composants passifs,
- D'un point de vue thermique, sur les niveaux de température au sein du boîtier ou du module, sur l'évacuation des calories et donc sur le volume des refroidisseurs,
- Électriquement sur les éléments parasites (capacités et inductances) donc sur le comportement électrique dynamique du convertisseur,
- Et sur le rendement, la compacité, le coût, la fiabilité et les perturbations électromagnétiques induites par le convertisseur.

Au niveau de la topologie du convertisseur, des architectures multi niveaux série ou parallèle (entrelacées) [FRA08 GUE11], multi phases [MEY95] et les réseaux de micro convertisseurs [DAN09] se développent dans le but d'augmenter les niveaux et la densité des puissances commutées. L'ambition de ces recherches est de trouver un bon compromis entre adaptabilité, granularité (découpage fonctionnel ou de puissance) et coût. Le tout en assurant la qualité de l'onde afin de ne pas polluer le réseau avec des harmoniques hautes fréquences, en réduisant le besoin de filtrage et en maintenant un bon niveau de rendement.

Les composants semi-conducteurs de nouvelle génération « grand gaps » se développent au sein des systèmes de conversion [NEU02 HUD03 MIL12]. Les composants actifs (diodes ou transistors) à base de carbure de Silicium (SiC) [CAS96 FRI10], de nitrure de Gallium (GaN) [MOH95 KAC12] ou de manière plus anecdotique aujourd'hui de diamant [SCH05 YAM11 VOL09], laissent présager des niveaux de température de fonctionnement au cœur de la puce importants, des vitesses de commutations élevées [TOL03] ainsi qu'un meilleur compromis « état passant » / « tenue en tension ». Tous ces avantages vont certainement faire des « grands gaps » le standard des composants semi-conducteurs de demain. Des composants forte tension et haute fréquence en carbure de silicium sont d'ores et déjà commercialisés et montrent de bonnes performances dynamiques certifiées à des températures de fonctionnement autour de 250°C [DUO07].

Avec ces augmentations des températures de fonctionnement et des fréquences de découpage, l'encapsulation des composants semi-conducteurs devient un point pouvant limiter les gains promis par l'utilisation de ces nouveaux composants. Le travail sur cet aspect est donc crucial pour permettre une amélioration globale des performances du convertisseur. La nature et la structure de l'empilement constituant le package ont un impact sur de nombreux critères de qualité. C'est sur les enjeux liés au packaging que nous allons maintenant nous concentrer.

I.2. Le rôle du packaging et ses perspectives

I.2.1. Un lien complexe avec l'environnement extérieur

L'encapsulation des composants consiste à assurer le lien entre les composants semi-conducteurs et leur environnement, elle doit gérer un certain nombre de fonctions :

- L'interconnexion électrique tout d'abord, qui permet le passage des courants de puissance et des signaux de commandes entre les puces et les circuits extérieurs ;
- L'interconnexion thermique, afin d'évacuer vers l'extérieur les pertes générées au sein des composants, en commutation ou en conduction, lors du fonctionnement ;

- La gestion des champs électriques par l'isolation électrique et la passivation ;
- La minimisation des phénomènes CEM en réduisant les inductances parasites dans la maille de commutation et en limitant les couplages puissances/commandes ;
- La gestion de la tenue mécanique de l'ensemble ;
- La gestion de la protection de l'ensemble vis à vis des attaques chimiques et des contraintes thermomécaniques afin de garantir une durée de vie maximale.

La manière de gérer l'encapsulation de toutes ces fonctions va impacter sur la vitesse de commutation des composants, sur l'aptitude de l'assemblage à évacuer les calories, sur l'empreinte électromagnétique du convertisseur, sur sa durée de vie, son coût, sa compacité... L'enjeu majeur de l'encapsulation des composants de puissance est de trouver les solutions technologiques permettant d'effectuer les bons compromis entre ces facteurs.

Le package est donc soumis à des critères de qualité exigeants et variés. La gestion thermique doit permettre une bonne évacuation des calories produites dans les composants, afin d'en limiter l'auto-échauffement, ce qui implique de minimiser la résistance thermique entre la jonction et l'ambient ($R_{th_{ja}}$) en utilisant des matériaux bons conducteurs thermiques, en soignant les interfaces et en ayant un coefficient d'échange optimal avec l'extérieur. Ceci doit être fait tout en limitant l'encombrement et sans trop complexifier la mise en œuvre du refroidisseur. Électriquement, la disposition des composants, de leurs électrodes et de la connectique associée doit présenter la plus faible inductance parasite possible afin de permettre un fonctionnement haute fréquence avec de fortes variations de tensions et de courants tout en limitant les perturbations électromagnétiques induites. Les couplages électromagnétiques entre les signaux de puissance et de commande limitent le fonctionnement en fréquence des convertisseurs. D'un point de vue mécanique, l'assemblage doit être robuste et résister aux sollicitations thermiques, aux vibrations et à l'ensemble des attaques provenant de l'environnement. Le package doit aussi permettre aux composants de tenir la tension et de transiter de forts courants. L'uniformisation des amenées électriques, la passivation, la gestion des terminaisons en tension ainsi que l'isolation électrique avec le refroidisseur en sont des fonctions essentielles. Le dernier aspect, qui devient sensible avec l'explosion du nombre de convertisseurs dans le domaine du transport individuel et de la production d'électricité décentralisée, nécessite de revoir la structure et les caractéristiques du module tout en gardant une conception du package adaptée à une fabrication de masse, au volume de la demande, et en conservant des coûts de production maîtrisés.

Comme cela a été évoqué précédemment, le fonctionnement des composants de puissance entraîne une dissipation de puissance au cœur de la puce. D'une part, la résistance des composants à l'état passant (R_{ON}) ainsi que la jonction PN induisent une chute de tension lors du passage du courant, ceci est la contribution statique des pertes qui sont liées au courant transité et à la structure du composant. D'autre part, à l'amorçage et au blocage, il y a des pertes dites « dynamiques » ou pertes en commutation dues à la coexistence, au sein du composant de puissance, pendant les commutations, d'une tension et d'un courant élevés. L'impact de ces pertes sur l'auto-échauffement est fonction de la fréquence de fonctionnement et de la vitesse des commutations qui elle-même est liée à l'inductance parasite de la maille ainsi qu'à la nature du composant semi-conducteur et celle de sa commande rapprochée. On peut constater que la gestion de l'intégration a un impact significatif sur le niveau des pertes dissipées dans les composants.

Nous allons analyser dans la partie suivante comment ces fonctions sont gérées dans les modules dits « conventionnels ».

I.2.2. L'approche conventionnelle du package

Actuellement, l'encapsulation la plus commune pour les applications moyennes et fortes puissances est le module de puissance à plat, brasé simple face. Cette approche planaire, qualifiée de bidimensionnelle, est représentée sur la figure 2.

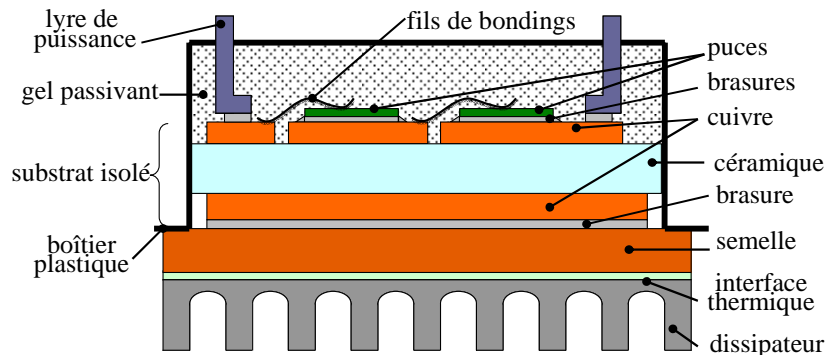


Figure 2 : Vue en coupe schématique d'un module planaire conventionnel 2D

Dans ce module, les puces sont brasées en face arrière sur un substrat. Ces brasures jouent le rôle d'interfaces thermique et électrique et de tenue mécanique des puces avec le substrat. Le substrat, qui permet de gérer les interconnexions électriques entre les composants et d'assurer l'isolation électrique entre différents potentiels et entre la partie puissance et le refroidisseur, peut être de différents types selon les applications (DBC, SMI, AMB [MEN08]). Toutefois, dans les applications fortes puissances ce sont généralement des DBC (Direct Bonded Copper) composés de deux couches de cuivre et d'une céramique (AlN, Al₂O₃). Ce substrat isolé est lui aussi brasé sur une semelle en contact avec le refroidisseur via une interface thermique. La semelle permet l'épanouissement du flux de chaleur augmentant l'efficacité du refroidisseur et réduisant l'impact de l'interface thermique sur la résistance thermique totale de l'empilement [BUT10]. La connexion électrique, en face avant des composants, est réalisée par des fils de bondings qui relient les pistes du DBC à la face supérieure des composants. Un gel passivant appliqué sur la face avant, protège mécaniquement les fils de bondings et contribue à la tenue en tension des composants. Le tout est protégé par un boîtier en plastique. Seul les lyres de puissance et les connexions des commandes sont électriquement liées à l'extérieur. Le type de refroidisseur diffère aussi en fonction du flux de chaleur à faire transiter. Il peut être à air avec des ailettes en convection naturelle ou forcée, à caloduc, ou à eau [AVE02]. La répartition des puces sur le substrat influence l'évacuation de la chaleur et le comportement CEM de la structure. L'éloignement des sources de chaleur est bénéfique pour limiter la température dans chaque puce mais est néfaste car il crée une augmentation de l'effet inductif des connectiques et limite la compacité et donc la réduction des volumes. C'est un des compromis auxquels le concepteur de package doit faire face [MAN09].

Cette technologie planaire est largement répandue dans la gamme de puissance du kW à quelques MW et est depuis longtemps maîtrisée au niveau de la production automatisée des brasures et des fils de bondings. Des standards de conception des modules [IEC99] rendent possible l'intégration des modules et l'interchangeabilité au sein de structures busbar. La compatibilité busbarre permet une bonne intégration des modules 2D, améliore le rayonnement CEM en approchant au maximum les capacités de filtrage et réduit l'effet inductif des connexions de puissance. L'utilisation de substrats isolés dans ces structures permet de disposer plusieurs modules sur le même refroidisseur. Ces avantages font de ce module brasé à plat le standard des packages moyennes et fortes puissances.

Cette structure a néanmoins trois limitations majeures. Premièrement d'un point de vue thermique, la face avant des puces étant occupée par les fils de bondings, elle ne participe pas à l'extraction des calories, le refroidissement est donc simple face. Aussi, la densité de puissance pouvant être injectée

dans les modules planaires en fonctionnement se situe autour de $100\text{W}/\text{cm}^2$. Deuxièmement, d'un point de vue électrique, l'inductance de la maille de commutation est relativement importante. Les structures conventionnelles présentent des inductances parasites globales comprises entre 20 et 60nH [XIN98 TSU93] dues aux bondings, aux pistes du substrat et surtout aux lyres de puissance qui relient les composants actifs aux capacités de découplages extérieures au module. Cet aspect inductif est un frein à l'augmentation des fréquences de fonctionnement des convertisseurs, il influence de manière négative l'empreinte électromagnétique du système et est la cause de surtensions lors des commutations. Enfin, les fils des bondings ont une résistance électrique non négligeable, de quelques dizaines de $\text{m}\Omega$ en fonction du diamètre et du matériau [KUL]. Cette résistance interne est la cause d'échauffements par effet joule lors du passage des courants de puissance. Ces échauffements, ajoutés à ceux du composant, soumettent les fils à des contraintes thermomécaniques qui, associées aux contraintes magnétodynamiques, peuvent être la cause de défaillances par soulèvement, ou par rupture du talon du fil, particulièrement lorsque les températures atteintes sont élevées [OLD04 RAM98]. D'autres mécanismes de dégradation intervenant dans ces modules sont détaillés dans la partie (I.3.3). En outre, les bondings, qui relient la face supérieure des puces au substrat, occupent une surface importante sur le substrat ce qui empêche d'améliorer la compacité des modules filaires.

Les structures 2D, bien que flexibles, matures et bon marché ont atteint leurs limites en terme d'intégration. Le besoin en structures hautement intégrées dans le domaine des transports ouvre la porte à des structures tridimensionnelles qui peuvent offrir un refroidissement double face et un comportement électrique favorisant les fréquences de commutations élevées.

I.3. Les assemblages 3D

I.3.1. Le 3D, une voie attirante

Les limitations évoquées des modules conventionnels au niveau du refroidissement simple face, des inductances parasites et des problèmes de fiabilité liés aux bondings poussent à développer les architectures 3D. Le concept des assemblages 3D le plus évoqué est de reporter symétriquement l'empilement présent en face arrière sur la face avant (figure 3).

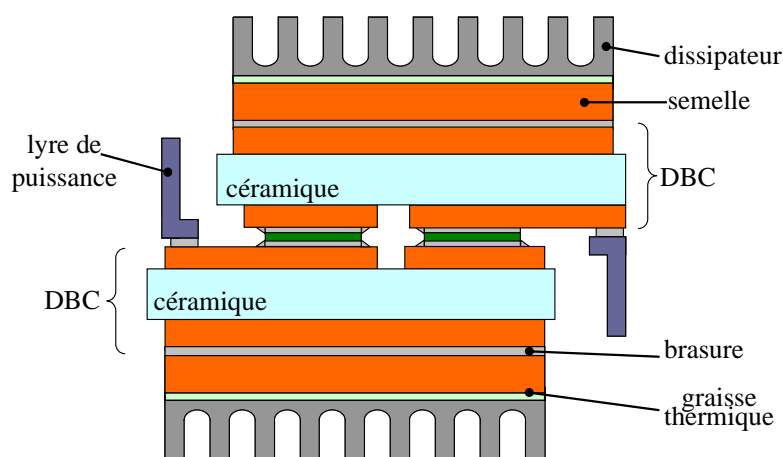


Figure 3 : Vue en coupe schématique de principe d'un assemblage 3D [GIL01]

Les structures 3D peuvent permettre un refroidissement double face de l'empilement total en éliminant les fils de bondings. On constate sur l'image ci-dessus que les faces avant des composants sont en contact de façon massive avec le substrat. La tenue en tension des composants peut-être fortement dégradée par la présence proche de conducteurs et les plots de grilles des interrupteurs commandés deviennent difficilement accessibles. Cela nécessite donc de repenser la manière d'amener les signaux de commande, de gérer la passivation et les champs électriques. D'où le besoin d'adapter

la conception et la finition en surface des composants de puissances. Ces aspects seront détaillés dans la section II.1.

Des assemblages par report « flip-chip » sont proposés pour amener les signaux de commandes aux composants, et des prototypes expérimentaux ont été réalisés montrant de très bonnes performances thermiques ($300\text{W}/\text{cm}^2$) dans le cadre des travaux de thèse de Charlotte GILLOT [GIL01]. Les gains au niveau thermique et au niveau des comportements électriques statique et dynamique de composants IGBT encapsulés de manière 3D sont montrés dans [ZHA00]. Dans ce genre de configurations, il est nécessaire d'uniformiser l'épaisseur des puces pour assembler de manière correcte les substrats. L'ouverture à la 3^{ème} dimension a permis d'imaginer des structures utilisant pleinement les capacités de ces assemblages.

I.3.2. Le « power chip on chip », une utilisation prometteuse du 3D

Une évolution proposée par Eric VAGNON dans ses travaux de thèse [VAG08, VAG10 et VAG10'] est de coupler l'architecture 3D à un empilement des puces pour réaliser la cellule de commutation et le bras d'onduleur de façon verticale. Cette approche «power chip on chip » a été baptisée « PCoC » et est présentée sur la figure 4.

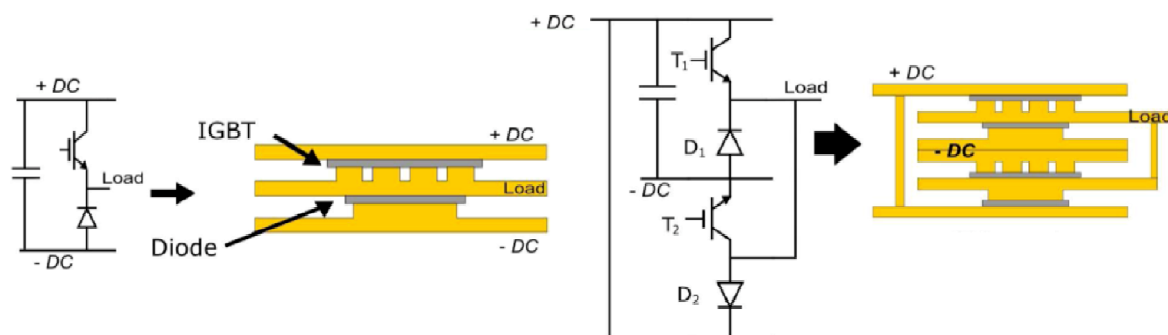


Figure 4 : Cellule de commutation et bras d'onduleur selon l'approche « Power Chip on Chip » [VAG08]

Les gains en termes de courants de mode commun montrés par les prototypes réalisés sont considérables et les valeurs des inductances parasites obtenues par simulations sont deux fois plus faibles pour une cellule de commutation de type « PCoC » que pour un assemblage planaire. Les travaux menés par E. VAGNON ont montré que l'épaisseur de la plaque du point milieu de la cellule de commutation n'a que peu d'influence sur la valeur de l'inductance parasite de l'assemblage, ce qui peut permettre d'envisager l'insertion d'un refroidisseur au milieu de la structure. Bien qu'il reste quelques verrous à lever notamment au niveau de l'insertion du module dans un « busbarre » et l'isolation électrique du refroidisseur sans dégrader les gains de la structure, l'approche « PCoC » est un pas de plus vers la haute intégration.

D'un point de vue thermomécanique, les structures 3D induisent des contraintes mécaniques supplémentaires. Des interconnexions massives de type brasure de part et d'autre des puces, ont tendance à réduire les degrés de liberté des assemblages et à être la cause de défaillances précoces. C'est pourquoi une solution pressée de type « press-pack » a été mise en œuvre dans la réalisation des prototypes « PCoC » du G2Elab. S'ajoute à cela l'optique d'atteindre de plus hautes températures au sein des assemblages ce qui va encore augmenter le niveau de stress aux interfaces. Les interconnexions directes qui consistent à braser en sandwich les puces entre deux substrats [GIL01 CAT02] apportent une large surface de contact. Certes les performances thermiques et électriques en profitent, mais en contrepartie les contraintes thermomécaniques dues aux différences de coefficients de dilatation thermique (CTE « Coefficient of Thermal Expansion »), en limitent la durée de vie. Le paragraphe qui suit permet d'appréhender l'impact des variations de température sur la robustesse des

structures d'électronique de puissance, principal frein au développement des modules tridimensionnels.

I.3.3. Contraintes et fiabilité des assemblages

Les modules de puissance subissent des sollicitations thermiques provenant du fonctionnement des composants d'une part et de l'environnement d'autre part. Le niveau des pertes en conduction et en commutation, dues aux fortes puissances commutées à des fréquences élevées dans les composants semi-conducteurs, est la cause de variations rapides et de fortes excursions en température. Ces pertes dépendent du profil de mission de l'application, et apportent ce que l'on appelle la contribution « active » des sollicitations thermiques. La température de l'environnement dans lequel fonctionne le convertisseur ajoute quant à elle une sollicitation « passive ». Bien que les constantes de temps liées à la contribution passive soient bien plus lentes que celles des contraintes actives, les excursions maximales en températures peuvent fortement solliciter les assemblages. L'impact de ces effets thermiques est détaillé dans [CIA02]. La limite haute des températures acceptables au cœur des composants dépend des limites théoriques de fonctionnement des matériaux semi-conducteurs (entre 125 et 170°C pour le silicium). L'apparition des composants « grands gaps » repousse les limites potentielles en température et tend à amener les modules de puissance vers des fonctionnements à haute température (théoriquement jusqu'à des températures supérieures à 300°C).

Ces variations de température sont critiques puisque les matériaux constituant les modules de puissance ont des coefficients de dilatation thermique (CTE) différents. De la dilatation des matériaux résultent des contraintes thermomécaniques aux contacts entre les différentes couches du module. Au niveau des interconnexions massives type brasure, assemblages moléculaires, ou eutectiques, on trouve les contraintes les plus fortes aux extrémités, avec des conséquences qui peuvent aller jusqu'au délaminage ou à l'apparition de fissures. Les connectiques filaires subissent elles aussi des contraintes dues à l'allongement des fils de bondings et aux différences de CTE entre le fil et le silicium [CEL11]. La figure 5 montre les effets d'une élévation de température sur un assemblage de deux matériaux dont les CTE sont différents. Le coefficient de dilatation thermique du matériau composant les couches est noté α et exprime l'expansion du volume du matériau à une élévation de température. La figure 5 a) montre l'absence de contrainte lorsque l'assemblage est à la température de repos (celle à laquelle les deux matériaux ont été assemblés). La figure 5 b) indique la nature des contraintes dues à un échauffement et la figure 5 c) à un refroidissement.

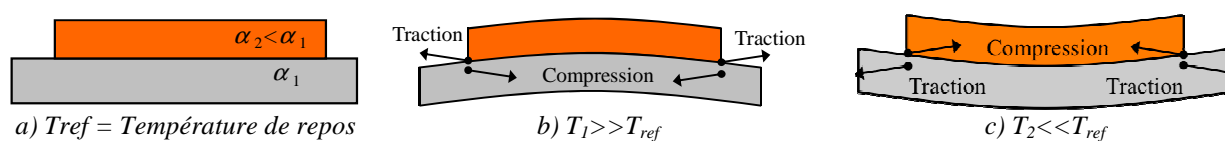


Figure 5 : Déformations et contraintes à l'interface d'un assemblage hétérogène

Les contraintes de cisaillement et de délaminage, qui s'exercent aux extrémités de la zone de contact, dépendent de la surface de liaison, de la rigidité de l'assemblage, du rapport des CTE, des propriétés des matériaux... Le détail des facteurs influant dans les assemblages est présenté dans l'annexe 1 réalisée à partir des travaux de D. SUJAN et E. SUHIR [SUJ05 SUH89 SUH01].

Le tableau 1 montre les fortes disparités des coefficients de dilatation thermique des différents matériaux constituant les assemblages de puissance. On peut extraire de ce tableau que les interfaces les plus critiques sont celles entre le silicium et l'aluminium, entre le silicium et le cuivre ou entre le cuivre et les céramiques.

Tableau 1 : Coefficients de dilatation thermique des métaux et alliages utilisés dans les modules de puissance [PSEC WON99]

Matériaux	CTE α [$10^{-6}/^{\circ}\text{C}$]	Alliages	CTE α [$10^{-6}/^{\circ}\text{C}$]
Cu	16,5	Brasures	
Al	23,1	$\text{Sn}_{62}\text{Pb}_{36}\text{Ag}_2$	27
Si	2,5	$\text{Sn}_{96,5}\text{Ag}_{3,5}$	30,1
SiC	2,7	$\text{Cu}_{88}\text{Sn}_{11}$	18,5
AlN	4,0	$\text{Pb}_{95}\text{Sn}_5$	28,7
Al_2O_3	6,5	$\text{Pb}_{50}\text{Sn}_{50}$	23,4
Au	14,2	Au_{20}Sn	15,9
$\text{CuMo}_{(10-20\%\text{Cu})}$	7,0 – 8,0		

Les cyclages thermiques, présents tout au long de la durée de vie du convertisseur, sont responsables de délaminages ou de fissurations au niveau des interfaces créant une dégradation des comportements thermiques et électriques des assemblages d'électronique de puissance pouvant être la cause de défaillances. Les modes de dégradation les plus fréquemment rencontrés sont :

- Soulèvement ou fissuration du talon des fils de bondings [GOE10] ;
- Fissuration au sein de la brasure [YAM89] ;
- Délaminage de la puce ou du substrat [AUE07 HUN09] ;
- Fracture de la céramique [PIE09] ;
- Reconstruction de la métallisation [PHI71] ;
- Phénomènes d'électrodifusion et d'électromigration [BAI00 NGU04].

Les mécanismes de défaillance intervenant dans les modules de puissance conventionnels sont exposés dans les travaux de M. CIAPPA [CIA02].

En marge des aspects purement thermomécaniques, les derniers phénomènes d'électrodifusion et potentiellement d'électromigration (de manière anecdotique) cités dans la liste ci-dessus peuvent intervenir. En effet, lorsque la densité de courant devient très élevée ($>5.10^5 \text{A}/\text{cm}^2$), une certaine quantité d'électrons traversant la métallisation peut être transférée aux atomes du conducteur, ce qui entraîne leur déplacement dans la direction du flux d'électrons. Les atomes du métal peuvent alors migrer dans le silicium jusqu'à causer des courts-circuits au niveau des jonctions. Ce phénomène de migration résulte essentiellement d'effets thermiques (thermo-migration) ou mécaniques (stress-migration). Ainsi, la migration n'est pas uniquement un mécanisme de défaillance d'usure et peut apparaître dès la fabrication, notamment pendant les phases de métallisation où les températures atteignent des centaines de $^{\circ}\text{C}$ [MAR12].

I.3.4. Une envie de haute température mise à mal

L'envie de pouvoir faire fonctionner les modules de puissance à haute température, rendue possible grâce aux semi-conducteurs « grands gaps », se confronte à la constitution actuelle des assemblages. La température maximale de jonction est la donnée de base permettant le dimensionnement du refroidisseur à associer au dispositif de conversion pour garantir le bon fonctionnement des semi-conducteurs. Les limites théoriques de la température de fonctionnement intrinsèque du silicium étant

atteintes dans des MOSFET basses tensions, les températures élevées auxquelles peuvent fonctionner les « grands gaps » (tableau 2) sont une opportunité pour augmenter la densité de puissance.

Tableau 2 : Températures maximales de fonctionnement des composants semi-conducteurs [SCH05]

Semi-Conducteur	Standard			« Grand Gap »		
	Ge	Si	AsGa	SiC	GaN	Diamant
Max. température (°C)	100	125/175	150	500-700	650	800

Augmenter le seuil de la température maximale admissible dans les composants semi-conducteurs permet de réduire le volume du refroidisseur à densités de pertes identiques voire de s'abstenir de refroidisseur dans certaines applications, ou d'augmenter les densités de pertes à capacités de refroidissement identiques. L'augmentation de cette limite en température ouvre aussi la porte, pour les systèmes électriques, à des applications à hautes températures de fonctionnement comme l'avionique, le spatial ou le forage [NEU02]. Les limites théoriques en température du carbure de silicium (entre 500 et 700°C pour le 6H-SiC [WON99]) entraînent cependant de sérieux problèmes à résoudre au niveau de la tenue en température des matériaux composant le package, et l'accélération du vieillissement des modules ne serait-ce que pour fonctionner au-dessus de 200°C [ALL04 WON99].

Ces aspects font partie de la problématique de l'encapsulation des composants semi-conducteurs. Certaines considérations des packages hautes températures sont exprimées dans [GRU08] proposant une réalisation dans laquelle les matériaux utilisés ont une bonne concordance de CTE. Les effets des contraintes thermiques se répercutent sur les fils de bondings pour lesquels des solutions à base de cuivre ou de nickel sont proposées [BUR09 PAS10], mais aussi sur les brasures qui tendent à être remplacées par des joints frittés à nano poudre d'argent [AMR05 WAN07 BAI07], et sur les substrats isolés pour lesquels la ductilité des céramiques est handicapante [EVA79]. La haute température provoque aussi des phénomènes d'électromigration altérant les contacts métalliques [BAI00 NGU04] ce qui encourage à repenser la composition des métallisations. La volonté politique de supprimer l'utilisation de plomb a engendré une moins bonne durabilité des brasures à hautes températures [ZEN02 MA09], et les matériaux susceptibles d'avoir les mêmes performances ne sont pas encore disponibles. Une revue des solutions d'attache adaptées à des températures élevées est proposée dans [MAN11].

Les solutions ayant tendance à se substituer aux brasures sans plomb pour la tenue aux environnements hautes températures sont les techniques LTJT (Low Temperature Junction Technique) [MER04]. Cette méthode consiste à réaliser des interconnexions fines de part et d'autre de la puce par frittage de poudre d'argent à haute pression et basse température (30MPa, 250°C). Cette solution offre de bonnes performances thermiques et électriques, mais pose un problème dans l'intégration 3D, dans un même module, de puces d'épaisseurs différentes, comme le cas typique IGBT/Diode.

Devant les contraintes qui s'opposent à la forte intégration de puissance, mises en avant dans cette partie, de nouvelles interconnexions électriques, thermiques et mécaniques, spécialement adaptées à l'encapsulation 3D, sont développées et sont présentées ci-dessous.

II. Les nouvelles interconnexions

II.1. Objectifs et problématiques

Comme nous l'avons dit, les effets des contraintes thermomécaniques sont de plus en plus critiques au sein des solutions d'intégration 3D. Les interconnexions puces/substrats étant présentes sur les deux électrodes des composants, les degrés de liberté mécaniques s'en retrouvent diminués. Ces aspects fiabilistes poussent à développer des interconnexions puces/substrats spécialement adaptées au 3D permettant de gérer les stress mécaniques. L'émergence de structures 3D fiables est donc dépendante de l'émergence de nouvelles méthodes d'interconnexions puisqu'il y a actuellement une rupture entre l'état de l'art des solutions d'interconnexions et les besoins. Par ailleurs, d'un point de vue architectural, il semble important de considérer l'assemblage 3D comme devant être le plus symétrique possible pour favoriser les compensations de contraintes comme cela est présenté dans le « PCoC » [VAG10].

Afin de réaliser l'interconnexion thermique et électrique en face avant des puces, et ce, sans contraindre davantage l'assemblage, il faut envisager des solutions qui limitent le vieillissement provoqué par les cyclages thermiques. D'après la synthèse des travaux sur les assemblages tri couches de E.SUHIR [SUH91], il y a plusieurs solutions pour diminuer les sollicitations thermiques en agissant sur la géométrie et les propriétés des matériaux utilisés, notamment les propriétés de la couche dite « adhésive » qui permet de lier les deux matériaux :

- Utiliser des matériaux avec des CTE proches ;
- Utiliser des matériaux adhésifs avec des limites d'élasticité importantes, un module de Young faible et le plus incompressible possible (coefficient de poisson proche de 0,5) ;
- Faire varier l'épaisseur du substrat de manière appropriée (en inclinant les bords) ;
- Créer des interconnexions non massives permettant de limiter la surface et de ce fait les contraintes aux extrémités.

Les propriétés des matériaux sont étudiées pour améliorer le comportement mécanique des assemblages mais les qualités élastiques des matériaux sont rarement compatibles avec de bonnes conductivités thermiques et électriques. Les travaux sur les assemblages tri couches comportant une couche dite adhésive effectués par E.SUHIR et par K.WANG [SUH06 WAN00] permettent d'appréhender les propriétés et la géométrie du matériau d'interconnexion idéal. Il doit être un très bon conducteur thermique, avoir une limite d'élasticité élevée lui permettant de rester dans le domaine élastique, avoir un CTE compris entre celui des deux couches dont il est le lien et avoir une épaisseur importante.

Même si les solutions de demain ont de fortes chances de provenir du domaine des matériaux, la non disponibilité de matériaux adaptés pousse les recherches à se concentrer actuellement sur des interconnexions non massives permettant de réduire par la géométrie les contraintes maximales qui s'appliquent aux extrémités. C'est dans ce contexte que les technologies qui vont être montrées ci-dessous ont été développées.

En marge de la gestion des contraintes thermomécaniques, dont on a montré l'impact dans les assemblages tridimensionnels, la gestion de la connectique en face avant du composant est problématique. En effet, la gestion de l'isolation électrique, habituellement assurée par des protections périphériques appelées anneaux de garde, est complexifiée par la prise de contact en face supérieure. Ces protections ne doivent pas être court-circuitées ou même affectées par effet de proximité par des conducteurs placés trop près, ce qui nécessite de surélever le substrat pour maintenir un espacement suffisant entre la face avant de la puce et les contacts électriques du substrat. De plus, la face avant

reçoit des signaux de puissance et des signaux de commande dans le cas des interrupteurs commandés. Cette séparation aisée dans le cas d'une connexion filaire doit être réfléchiée dans le contexte de l'intégration tridimensionnelle. L'isolation entre la partie commande et la partie puissance doit, elle aussi, être assurée. Elle l'est par le gel passivant encapsulant les fils de bonding dans les modules conventionnels. Ces difficultés sont en général dues à des composants de puissance insuffisamment adaptés à l'intégration et au packaging 3D. Cela pousse à considérer le couplage de la conception du composant et de sa finition en surface à celle du package afin de dégager des solutions permettant l'émergence des architectures 3D. L'intérêt étant de ne pas complexifier davantage le package pour l'adapter aux composants mais de préparer les composants à de nouvelles méthodes d'assemblage. Par exemple gérer la passivation par des terminaisons de type mesa, ou adapter spécifiquement la métallisation pour des « *bumps* » ou disposer le plot de grille à une extrémité.

Les aspects mis en avant ci-dessus encouragent à développer de nouvelles interconnexions gérant les aspects électriques, thermiques et mécaniques. Ces solutions d'interconnexion sont nommées Electro-Thermo-Mécanique dont l'acronyme ETM est utilisé.

II.2. Solutions d'interconnexion Electro-Thermo-Mécaniques (ETM)

II.2.1. Solutions à base de contacts brasés

Pour les solutions d'intégration à contacts brasés présentés ci-dessous, les termes anglais seront conservés pour nommer ces méthodes d'interconnexion afin de ne pas alourdir leurs désignations.

II.2.2. « Direct solder interconnection »

La technologie « *direct solder interconnection* » consiste à braser ou fritter les métallisations en face avant et arrière de la puce à deux substrats isolés (figure 6 et figure 7). Pour contrôler l'épaisseur des brasures durant la fabrication, des cales sont disposées entre les deux substrats, puis retirées après la refusion [CAT05]. En raison des grandes surfaces mises en contact et des faibles épaisseurs des brasures, les résistances thermique et électrique d'une telle interconnexion sont très faibles et le refroidissement double face est bien assuré.

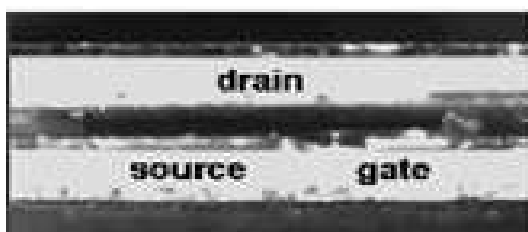


Figure 6 : Microsection d'un assemblage par la technologie « *direct solder interconnection* » [CAT05]

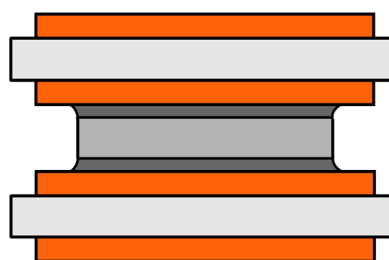


Figure 7 : Schéma de principe de la technologie « *Direct Solder Interconnection* » [BUT11]

La limite principale d'un tel assemblage réside en la difficulté d'assurer la tenue en tension, puisque le substrat supérieur recouvre les protections périphériques. Les solutions consistent donc à surélever le substrat supérieur par deux méthodes. La première est d'utiliser en face avant un DBC dont la métallisation est plus épaisse et qui subit deux étapes de gravures pour avoir un « plot » venant contacter la face avant de la puce (figure 8). Dans la seconde méthode, un plot de cuivre brasé de part et d'autre joue le rôle d'entretoise (figure 9).

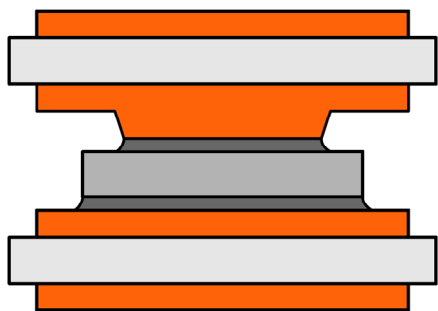


Figure 8 : Schéma de principe d'une double gravure de substrat [BUT11]

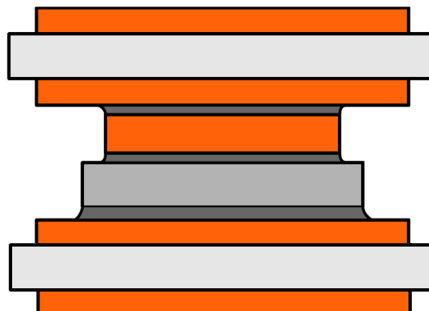
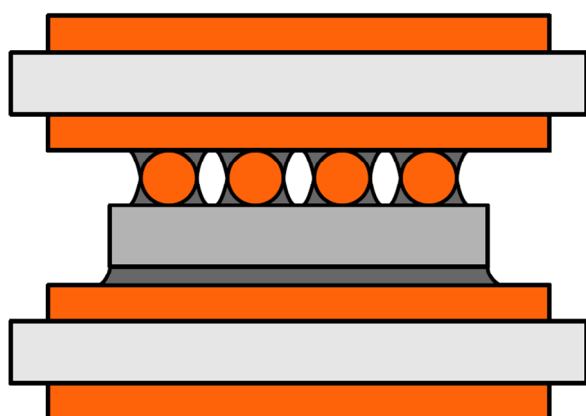


Figure 9 : Schéma de principe de l'utilisation d'une entretoise [BUT11]

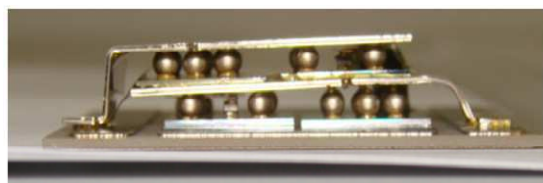
Thermiquement ces assemblages ont de très bonnes performances, mais leur résistance mécanique est faible en raison du nombre de brasures présentes dans l'empilement qui diminuent les degrés de liberté au niveau des matériaux, dans un environnement où les CTE du cuivre et du silicium diffèrent fortement. Pour contrer cet inconvénient majeur, des brasures spécialement adaptées sont développées de manière à augmenter la fiabilité de ces assemblages à des températures élevées [LAN08].

II.2.2.a. « Solder bump interconnection »

La technologie « *solder bump interconnection* » est déjà largement utilisée en microélectronique dans des montages « *flip-chip* » [SAR98 JOH05]. Dans le domaine de la puissance, les réalisations sont moins répandues mais des résultats aboutis ont vu le jour [LIU00 MER06 MER08 LAN09 HUA12] notamment à travers la plateforme Alstom PEARL. L'assemblage par « *solder bump interconnection* » est basé sur le dépôt d'une matrice de billes de brasure sur la métallisation en face avant des puces. Un « *underfill* » est souvent déposé autour des « *bumps* » pour protéger et améliorer la fiabilité de cette technologie. La composition de ce matériau isolant est généralement un polymère et il permet de réduire les stress mécaniques en répartissant la contrainte sur toute la puce. La durée de vie en est fortement améliorée, un rapport supérieur à dix par rapport à un assemblage sans « *underfill* » étant souvent constaté. Les méthodes de dépôts [RIN97] ainsi que la composition des billes sont variables (Sn/Pb, Sn/Ag/Cu, Au). Cette technologie nécessite une finition particulière de la métallisation des composants permettant l'interconnexion par « *bump* » [CHO00] ce qui montre la nécessité du couplage composant/package dans la conception.



a) Schéma de principe [BUT11]



b) Assemblage empilé [MER08]



c) Réalisation Alstom PEARL [MER06]

Figure 10 : Technologie « solder bump interconnection »

Les « *bumps* » ont plusieurs fonctions, puisqu'ils servent d'entretoise pour surélever le substrat supérieur et ils permettent aussi de diminuer les contraintes thermomécaniques en diminuant la surface

de contact tout en assurant une évacuation double face de la chaleur. Les tests en cyclages thermiques de la technologie « *solder bump interconnection* » effectués sur les réalisations Alstom-PEARL en montrent la fiabilité [MER06 MER08]. Il reste important de noter toutefois que l'évacuation de la chaleur par la face avant reste limitée avec cette technique d'interconnexion ETM des composants de puissance.

II.2.2.b. Interconnexion par poteaux métalliques

L'interconnexion par poteaux métalliques consiste à relier les puces au substrat supérieur par l'intermédiaire d'une matrice de poteaux métalliques (figure 11). Tout comme la technologie par « *bumps* », les poteaux jouent le rôle d'entretoise, et permettent d'évacuer la chaleur par la face avant des puces. Ils réduisent également les contraintes thermomécaniques par rapport à une brasure directe en réduisant la surface de brasure. Les poteaux ont aussi l'avantage, de par leur hauteur variable, de pouvoir adapter les différences d'épaisseur des puces composant le module. L'élimination des fils de bondings permet de réduire considérablement l'inductance générée par les interconnexions. Les bénéfices de cette structure du point de vue électrique et thermique sont mis en avant dans [CAT05].

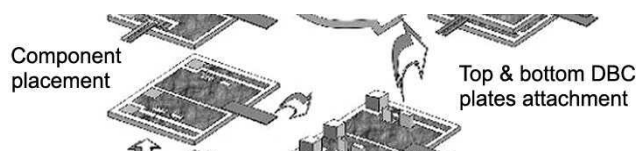


Figure 11 : Technologie par poteaux métalliques mise en œuvre dans un module de puissance [CAT05]

La face arrière de la puce est brasée de manière conventionnelle au substrat, les poteaux sont dans un premier temps assemblés via une brasure sur les puces, puis dans un second temps brasés sur le substrat supérieur. Un dispositif expérimental utilisant cette technologie et nommé MPIPS (« *Metal Posts Interconnection Parallel Structure* ») a été réalisé et est présenté dans [HAQ99]. La fiabilité de cette structure reste cependant à démontrer, d'autant plus qu'elle ne permet pas d'éliminer les brasures au contact de la puce.

II.2.2.c. « Dimple array interconnection »

Le concept de la technologie « *Dimple Array* » est d'utiliser une feuille en cuivre flexible de faible épaisseur (entre 50 et 400 μm) sur laquelle une matrice de déformations a été créée (figure 12). Ces déformations viennent prendre le contact de la face supérieure de la puce et sont brasées sur sa métallisation (figure 13). Les travaux sur le développement de cette technologie ont été menés par S.WEN *et Al* [WEN01 WEN01' WEN01'']. Les résultats issus de ces travaux montrent de meilleures caractéristiques thermiques et électriques que les « *bumps* ». A surface identique, les résistances thermique et électrique sont annoncées trois fois plus faibles pour la technologie « *dimple array* » que pour la technologie *bump*. Ceci est certainement dû à la plus faible épaisseur des « *dimples* » par rapport aux « *bumps* ». Comme le montre la figure 13, un « *underfill* » peut être utilisé comme protection contre les contaminants et pour augmenter la fiabilité de l'interconnexion. Les résultats en terme de fiabilité montrés dans [WEN01'] sont, encore une fois, meilleurs que ceux de la technologie « *bump* » en raison de la forme concave du joint de brasure. Le procédé de réalisation détaillé dans [WEN02] montre que même si à l'échelle du prototype les réalisations sont intéressantes, la mise en œuvre complexe d'une telle méthode ne la promet pas pour l'instant à un avenir industriel.

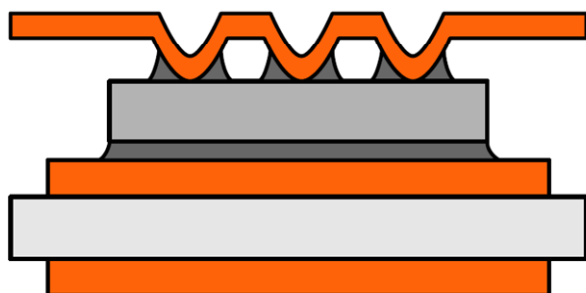


Figure 12 : Schéma de principe de la technologie Dimple array interconnection [BUT11]

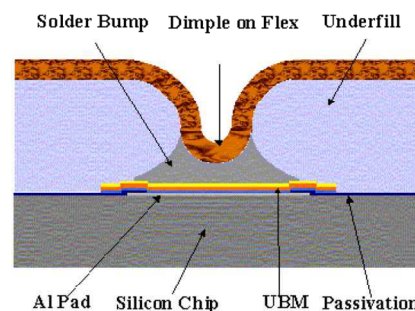


Figure 13 : Détail de la composition de la technologie Dimple Array [WEN01]

II.2.3. Par métallisation électro-déposée

La synthèse des solutions d'interconnexion présentée ci-dessus, partiellement issue des travaux de L.MENAGER dans [MEN06], montre que les technologies « métal posts », « dimple array » ou « bumps » ont des résultats intéressants en termes de fiabilité en raison d'une réduction des surfaces de contact massives. Le fait de fractionner le contact, à l'opposé des brasures ou frittages massifs, permet d'alléger le niveau des contraintes thermomécaniques maximales. Toutes ces technologies d'interconnexion ont cependant en commun des brasures de part et d'autre de la puce. Comme il en a été discuté plus haut, les brasures présentent un certain nombre de limitations et notamment au niveau de la tenue mécanique dans des environnements haute température. C'est dans l'optique de s'affranchir des fils de *bondings* et des brasures en face avant que les technologies par métallisation électro-déposée sont étudiées.

II.2.3.a. Technologie "Power overlay"

La connexion en face avant des puces dans la technologie « *power overlay* » est réalisée par électrodéposition d'une métallisation en cuivre par-dessus la métallisation aluminium. Comme son nom l'indique, la face supérieure de la puce est « recouverte » par une métallisation dont l'épaisseur est conséquente pour un procédé de fabrication en salle blanche, entre 50 et 150 μm [FIL03 OZM00]. Le principal avantage de cette solution est de supprimer la brasure en face avant. La passivation et la tenue en tension des composants sont assurées par le dépôt d'une couche diélectrique lors de la fabrication des composants. Les résultats en termes de réduction de l'impédance parasite sont considérables par rapport à une prise de contact filaire [LIA04]. En ce qui concerne le refroidissement, l'épaisse métallisation en face avant permet d'extraire une partie des calories, mais le refroidissement est principalement assuré par la face arrière. Cette technologie, développée par *General Electric* [OZM00' FIL03], est un bon exemple de conception couplée package/composant puisque la gestion de l'interconnexion en face avant est assurée lors de la fabrication du composant. La figure 14 montre une vue en coupe d'un module de puissance réalisé à partir de la technique « *power overlay* ». On peut y observer l'utilisation des matériaux diélectriques permettant d'assurer l'isolation, ainsi que la métallisation en face avant permettant l'interconnexion. On remarque aussi une interface de Cuivre nommée « *Cu SHIM* » sous les puces IGBT permettant de compenser l'écart d'épaisseur entre les puces. Les étapes de réalisation sont présentées dans [FIL03].

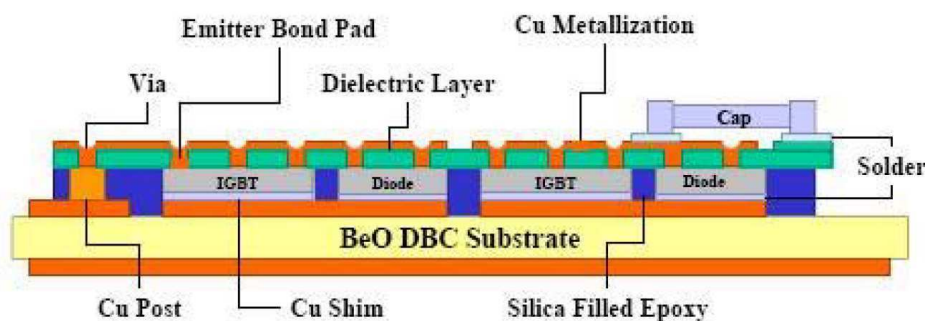


Figure 14 : Module de puissance utilisant la technologie « power Overlay » [FIL03]

I.1.1. « Embedded power »

La technologie *embedded power* (traduction littérale : « puissance enfouie » ou « puissance embarquée ») présentée ici est très similaire à la technologie « power overlay », puisque l'interconnexion en face avant se fait via une épaisse métallisation électro-déposée (autour de 100 μ m). Sa particularité est d'intégrer les puces au sein d'une céramique permettant la tenue mécanique et l'isolation électrique [LIA03 WYK05 YIN05].

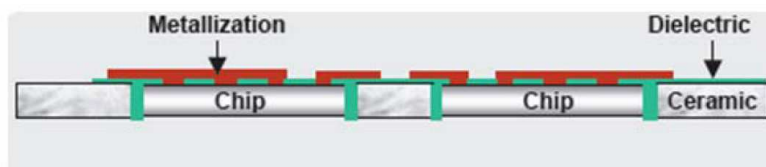


Figure 15 : Vue en coupe de la technologie « embedded power » [WYK05]

Les avantages tirés de cette structure sont les mêmes que pour la précédente. Ces deux techniques risquent de souffrir de fortes contraintes thermomécaniques dues aux différences de CTE des matériaux composant l'assemblage.

II.2.4. Solutions sans brasure dans le cadre du projet ECLIPSE

Les limitations des applications hautes températures liées aux brasures ont été mises en avant dans la section I.3.4. Les solutions présentées ci-dessus permettent d'en limiter l'utilisation à la face inférieure des puces, mais pas de s'en affranchir complètement. C'est dans ce but que de nouvelles interconnexions adaptées aux assemblages 3D sont développées, notamment au sein du projet ANR ECLIPSE dans lequel s'inscrit cette thèse et qui regroupe quatre partenaires académiques : le G2Elab, le LTN/IFSTTAR, le laboratoire Ampère de Lyon et le laboratoire Laplace de Toulouse.

II.2.4.a. Technologie pressée

On ne peut pas parler de nouvelle technologie d'interconnexion en ce qui concerne l'approche pressée puisque depuis les années 1980 la technologie *press-pack* s'est répandue, en particulier pour les thyristors, les GTO et les diodes [TAY87] dans le contexte applicatif des fortes puissances. Ces dispositifs intégraient déjà une mise en œuvre tridimensionnelle avec refroidissement double face. Le concept du contact pressé est assez simple (figure 16), il consiste à réaliser les contacts électriques et thermiques uniquement par pression entre les deux électrodes par un système externe.

L'utilisation de cette technologie était réservée jusqu'il y a peu de temps aux applications très fortes puissances, nécessitant une force de serrage importante et une mise en œuvre volumineuse. L'assemblage superposé de composants en série est rendu possible en intercalant un refroidisseur entre deux composants (figure 18), l'isolation électrique est alors assurée par l'utilisation d'un fluide diélectrique. En raison des grandes surfaces de contact massives, les échanges thermiques sont

favorisés et les résistances thermiques s'en retrouvent fortement diminuées. ABB annonce une $R_{th_{jc}}$ de $0,01^{\circ}\text{C}/\text{W}$ pour ses modules SKT2000 sous une force de serrage de 47kN. Cela permet d'injecter des courants considérables dans ces modules, d'où son application pour les puissances élevées. Dans les boîtiers *press-pack*, une couche de molybdène est couramment utilisée comme matériau d'interface afin de limiter les écarts de CTE. Des nouveaux matériaux composites qui présentent une meilleure conductivité thermique, tels que le Tungstène-Cuivre ou le Cuivre-Carbone, peuvent être envisagés pour remplacer le Molybdène. L'analyse au Microscope Electronique à Balayage (« MEB ») réalisée dans [VAG10'] montre la présence d'intermétalliques permettant d'améliorer l'interface Molybdène/Métallisation. L'atout majeur de la technologie pressée est de relier les couches entre elles uniquement par pression. Cela permet d'augmenter les degrés de liberté entre les couches. La fiabilité des assemblages pressés a notamment été démontrée dans [WAK02].

Même si cette technique semble simple elle requiert d'adapter la finition des composants de manière à avoir une métallisation épaisse permettant d'absorber les défauts de planéité des matériaux en contact. De plus le système de mise sous pression doit exercer une force verticale que l'assemblage doit redistribuer de manière uniforme, c'est le rôle de l'assemblage présenté sur la figure 18. La tenue en tension du composant est assurée par l'insertion d'un gaz inerte dans le module qui se doit par conséquent d'être hermétique (figure 17). La technologie *press-pack* se développe également pour des composants IGBT [DUG12].

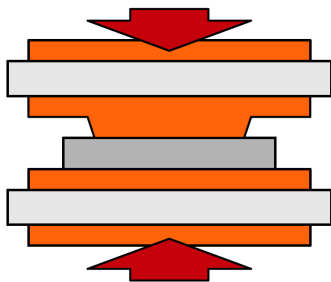


Figure 16 : Concept du contact pressé [BUT11]

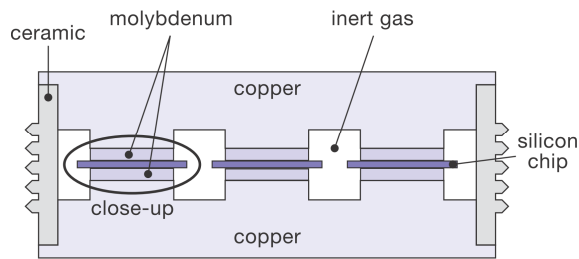


Figure 17 : Coupe d'un module press-pack IGBT [ABB04]



Figure 18 : Mise en œuvre de boîtiers press-pack [ABB06]

L'ambition du G2Elab est de mettre au point des assemblages 3D pressés utilisant le concept « PCoC » pour des applications moyenne puissance et ce, à des forces de pression limitées, de manière à rendre la mise en œuvre plus simple. L'adaptation des terminaisons permettant la tenue en tension du composant et de sa finition en surface par la géométrie et le choix des matériaux paraît une manière d'y parvenir. L'empilement des puces se prête bien à la mise en œuvre du contact pressé en limitant la force à appliquer tout en conservant un maximum de degré de liberté entre les différentes couches constituant l'empilement. Il reste dans ce cas principalement à résoudre des problèmes de conception et de mise en œuvre mécaniques.

II.2.4.b. Technologie micro-poteaux

Dans la gamme des technologies par métallisations électro-déposées, une solution sans brasure est actuellement en développement au sein des laboratoires Ampère et Laplace. Nommée technologie micro-poteaux, elle consiste à créer des poteaux de cuivre par électrodéposition sur la métallisation de la puce puis de l'assembler à un substrat par assemblage moléculaire de type SPS (Spark Plasma Sintering) [MOU12 MOU12']. L'assemblage peut être réalisé sur les 2 faces du composant, assurant un refroidissement double face, une réduction de l'inductance de connectique tout en limitant les contraintes thermomécaniques par un contact non massif. Ceci est avant tout une question de compromis puisque la réduction des contraintes thermomécaniques par réduction des surfaces de contact conduit inévitablement à une réduction des capacités d'échange thermique au niveau de l'interconnexion. Ces travaux ont été débutés et poursuivis dans le cadre des thèses de L.MENAGER [MEN08] et de B.MOUAWAD [MOU11, MOU12'']. L'élimination de la brasure et des bondings permet d'espérer de bons résultats ETM, mais le niveau de développement ne permet pas encore d'en prouver les performances, notamment au niveau de la durée de vie et d'un point de vue thermique.

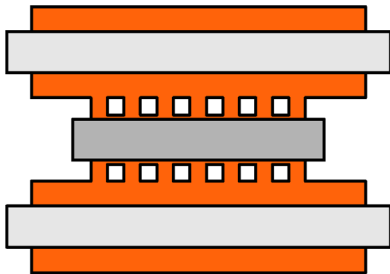


Figure 19 : Concept de la technologie micropoteaux [BUT11]

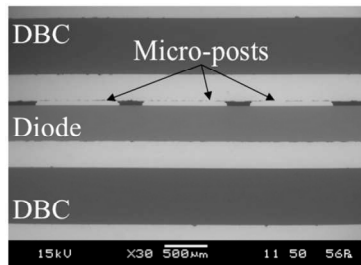


Figure 20 : Vue au MEB d'un assemblage DBC/diode/micropoteaux/DBC [MOU12]

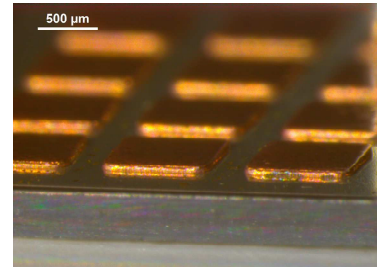


Figure 21 : Photo de micropoteaux électrodéposés [MEN]

II.2.4.c. Technologie nano-velcro ou nano-fils

Dans le même esprit que la technologie précédente, et développée au sein du laboratoire Laplace, la technologie nano velcro est aussi basée sur l'électrodéposition de poteaux de cuivre sur la métallisation de la puce, ainsi que sur le substrat. La dimension des poteaux est nanométrique, de façon à avoir une multitude de poteaux sur les métallisations de la puce et sur les substrats. Ensuite, l'assemblage est réalisé sous pression afin que les fils s'enchevêtrent les uns dans les autres, d'où l'appellation de technologie nano-velcro ou nano scratch. Il est délicat de prévoir la qualité du contact, particulièrement thermiquement et en terme de fiabilité, le développement en étant encore au stade de démonstrateur. L'encastrement des poteaux permet un maintien mécanique sans brasure tout en laissant un degré de liberté pour encaisser les contraintes liées aux déformations thermomécaniques.

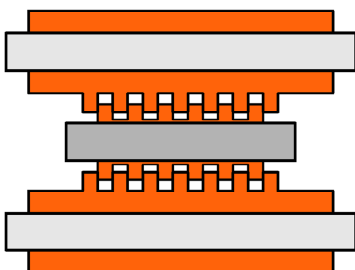


Figure 22 : Concept de la technologie nano-poteaux [BUT11]

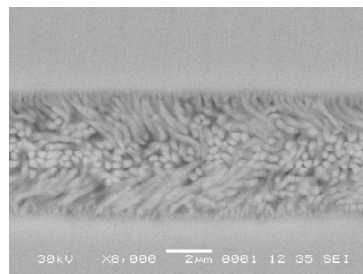


Figure 23 : Vue au MEB d'un assemblage DBC/DBC par nano-velcro [MOU11]

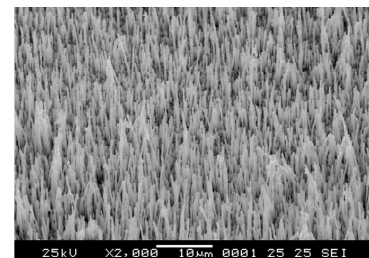


Figure 24 : Vue au MEB d'une « forêt » de nano-poteaux électrodéposée sur une puce [MOU11]

II.3. Problématique de la caractérisation ETM

Si ces technologies peuvent laisser présager de bons comportements ETM, les résultats en termes de tenue mécanique, de qualité des contacts électriques et thermiques restent encore à évaluer afin de favoriser l'estimation des performances et d'envisager la comparaison par rapport à l'état de l'art.

La détermination de la durée de vie de ces structures peut difficilement être issue d'un retour d'expérience en conditions d'utilisation réelles en raison de la longévité des modules. L'estimation de la durée de vie est donc obtenue via des vieillissements accélérés. Ces vieillissements sont obtenus généralement par des sollicitations passives en enceintes climatiques qui visent à accentuer l'amplitude et la fréquence des phénomènes thermiques responsables des défaillances (fortes excursions, variations rapides, amplitudes thermiques maximales...) [HEL97 HAM99] ainsi que par des sollicitations actives de dissipation de puissance dans les composants (cycles répétitifs, à forts niveaux de dissipation, fortes amplitudes de température...). Ces études de vieillissement sont paramétrées en fonction des profils de mission pour lesquels sont destinés les modules (automobile, ferroviaires, aéronautique...) [BER98 COQ00 SEL02] et selon des normes telles le CENELEC pour les applications ferroviaires [CENELEC03].

L'absence de valeurs pour les résistances thermiques et électriques des interconnexions présentées dans l'état de l'art ci-dessus, est due au fait que la caractérisation des assemblages d'électronique de puissance est complexe en raison de l'inaccessibilité du composant et de la distribution des potentiels et des températures à la surface du composant. La mesure de la résistance électrique d'une interconnexion nécessite une instrumentation spécifique. En effet, il serait nécessaire de mesurer le potentiel de part et d'autres de l'interconnexion et ce en différents points, de manière à en observer la répartition. De plus, l'impact des amenées de courant sur le fonctionnement transitoire des composants doit être étudié. Dans le cadre de ces travaux nous allons majoritairement nous concentrer sur les aspects thermiques.

L'acquisition de grandeurs thermiques dans les assemblages d'électronique de puissance se confronte à l'inaccessibilité du composant au sein de son encapsulation. De ce fait, les outils de caractérisation existant souffrent d'un manque de précision et d'une inadaptabilité aux assemblages 3D. Des outils de caractérisation adaptés aux assemblages 3D et permettant de comparer les différentes technologies d'interconnexion restent donc à développer. Dans la suite de ce chapitre nous allons étudier le comportement thermique et la modélisation des assemblages de puissance en parcourant les outils permettant d'obtenir les performances thermiques des modules.

III. Comportement thermique des modules de puissance

Comme il en a été question précédemment, au sein des modules et des composants de puissance, des flux de chaleur importants doivent être évacués le mieux possible pour ne pas dépasser le seuil de température maximal des composants semi-conducteurs. Les échanges de chaleur dans les assemblages, de la puce au refroidisseur, sont de façon prédominante, liés au phénomène de conduction. En revanche, les échanges avec l'ambient au niveau du refroidisseur sont majoritairement de nature convectifs. Le rayonnement thermique influe peu sur le comportement thermique des modules. Les interconnexions de puissance sont donc majoritairement analysées en fonction de leurs aptitudes à conduire la chaleur, c'est pourquoi par la suite, les phénomènes de rayonnement et de convection ne seront pas abordés.

Si le phénomène de conduction seul est considéré, l'évolution des températures au sein d'un solide est régie par l'équation de la chaleur et par les conditions initiales et aux limites du solide. On peut schématiser un système thermique représentatif d'un assemblage d'électronique de puissance de type

module de puissance par une géométrie simplifiée unidimensionnelle d'un solide composé de plusieurs matériaux, d'une seule source de chaleur localisée et d'un puits de chaleur (figure 25). La réponse temporelle en température à une source de chaleur localisée peut être donnée de façon approximative, en tous points, par une somme finie de n termes exponentiels par l'équation (1). L'obtention de cette formule est détaillée à partir des équations de la chaleur dans [BAG98].

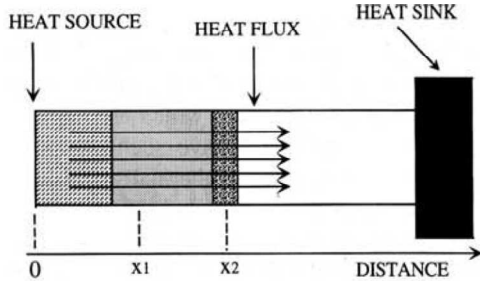


Figure 25 : Structure 1D avec une source de chaleur et un puits de chaleur avec des conditions adiabatiques sur les flancs [BAG98]

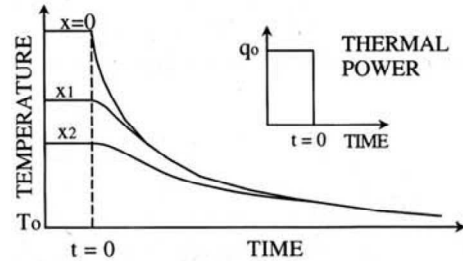


Figure 26 : Courbes de refroidissements transitoires à différentes distances de la source de chaleur [BAG98]

$$T(x, t) = T_0 + P \times \sum_{i=1}^n A_i(x) \times e^{-\frac{t}{\tau_i}} \quad [^{\circ}\text{C}] \quad (1)$$

Où $T(x, t)$ est la température à l'instant t et au point x , T_0 la température du refroidisseur (indépendante du temps), P la puissance totale dissipée au point $x=0$, A_i les facteurs d'amplitudes et τ_i une constante de temps thermique. Il est possible de déterminer les facteurs d'amplitudes et les constantes de temps en modélisant le système à partir de l'analogie entre la thermique et l'électrique. Des éléments discrets d'un circuit électrique de type résistif et capacitif modélisent le système thermique dans lequel les températures et les puissances thermiques sont respectivement les tensions et les courants. Ces notions vont être définies ci-dessous, et des modélisations sous formes de circuits équivalents des systèmes thermiques vont être exposées.

III.1. Notion de résistance thermique

En régime stationnaire, seule la notion de résistance thermique est considérée. La résistance thermique (R_{th}) d'une couche s'exprime en $^{\circ}\text{C}/\text{W}$ et permet de connaître le différentiel de température que va créer cette couche lorsqu'un flux de chaleur la traverse. Dans un cas bidimensionnel, la résistance thermique d'un milieu homogène est définie selon l'épaisseur de matériau traversé e , la conductivité thermique du matériau λ , et la surface traversée par le flux S (formule (2)).

$$R_{th} = \frac{e}{\lambda \times S} \quad [^{\circ}\text{C}/\text{W}] \quad (2)$$

En utilisant des hypothèses simplificatrices, le système thermique du module de puissance peut être représenté par une source de puissance continue (la puce) et un réseau de résistances thermiques associées en série (figure 27). Chaque élément représente une couche de l'assemblage ou une résistance thermique de contact entre deux couches. Chaque couche de l'assemblage peut être discrétisée en une multitude de résistances thermiques. On peut observer sur la figure 27 que les cinq couches de l'assemblage sont modélisées par une série de résistances thermiques équivalentes, et à cela s'ajoute la résistance thermique modélisant les échanges entre le refroidisseur et l'ambient (R_{Refr}). La source de tension (T°_{Amb}) permet de fixer la température du refroidisseur.

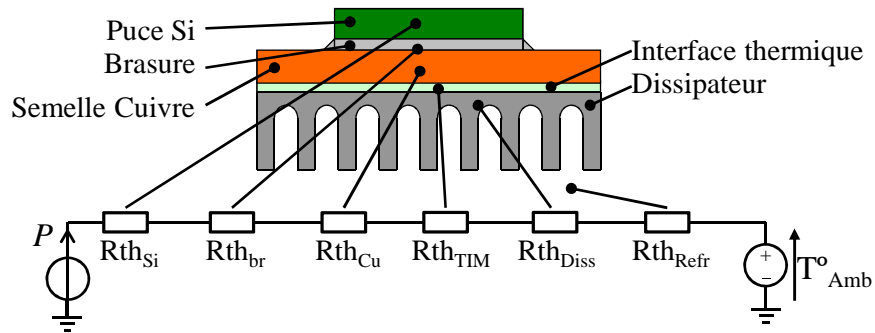


Figure 27 : Représentation schématique d'un module non isolé et son schéma électrique thermique statique

III.2. Notion de résistance thermique de contact

Au niveau d'un contact sec entre deux matériaux, en raison des défauts de planéité et de rugosité, la résistance de contact réelle ne représente qu'une infime partie du contact apparent (~1% dans le cas de deux métaux) [BOU98]. La zone d'interface est donc constituée de zones de contact et de zones interstitielles remplies d'air (ou de vide dans le cas des brasures), dans lesquelles le transfert thermique est considérablement dégradé voir absent. De part et d'autre de l'interface, le champ de températures se retrouve perturbé puisque le flux de chaleur va passer préférentiellement par les zones de contact, ce qui entraîne une constriction du flux de chaleur dans ces zones (figure 28).

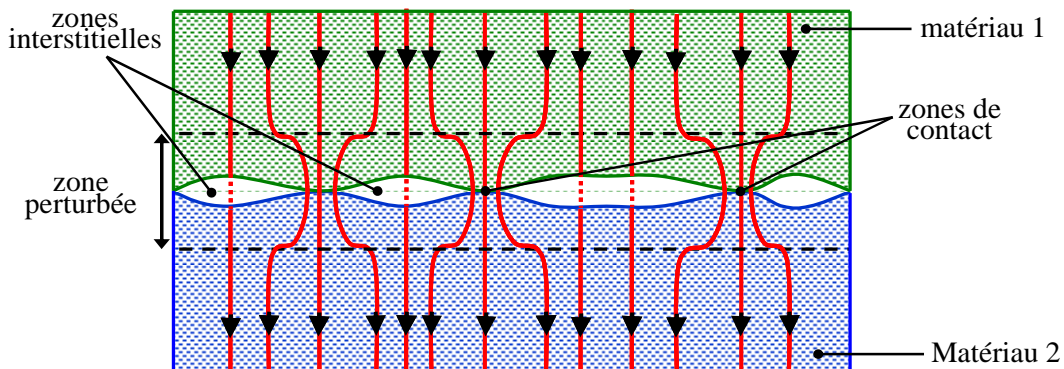


Figure 28 : Vue en coupe schématique à l'échelle microscopique d'un contact pressé entre deux matériaux

On peut alors définir une résistance thermique de contact (Rth_c) qui représente la résistance au passage du flux de chaleur dans la zone dite perturbée.

La figure 29 montre l'évolution de la température tout au long de l'épaisseur d'un assemblage conventionnel. Elle permet d'appréhender l'impact de ces résistances thermiques sur l'évacuation des calories d'un module planaire à substrat isolé en régime stationnaire lors d'une injection de puissance dans la puce. On peut clairement observer sur cette courbe l'impact des résistances thermiques de contact entre les métallisations et la céramique du substrat isolé qui induisent une forte variation de température.

La qualité de réalisation des brasures peut impacter de façon significative le comportement thermique des assemblages. L'incidence de la présence de cavités (« voids ») sur l'apparition de points chauds a été mise en avant dans [YER83] et leurs influences sur l'évolution de la résistance thermique dans [FLE05] par le biais de simulations.

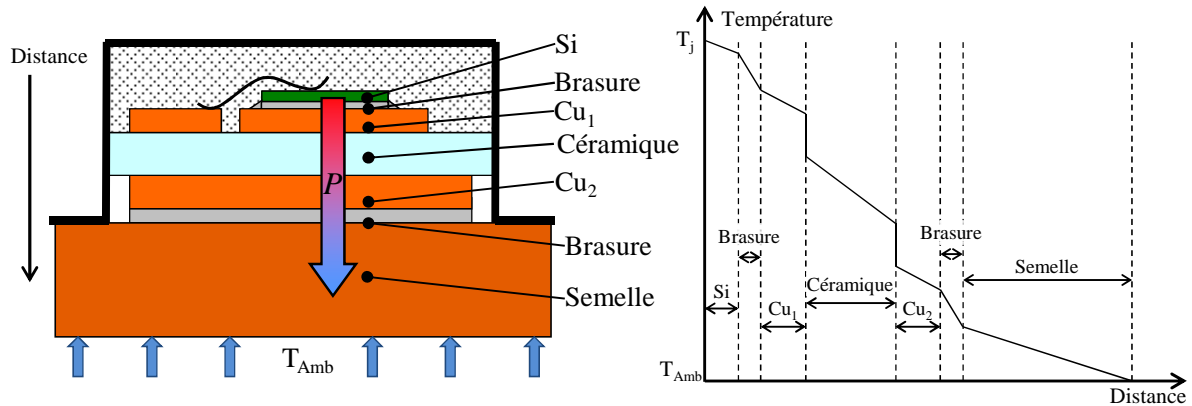


Figure 29 : Evolution de la température dans un module planaire à substrat isolé [RAE96] en régime établi lors d'une dissipation de puissance P dans la puce

III.3. Détermination théorique de la R_{thc}

L'expression analytique de la résistance thermique d'un joint, créé par deux surfaces en contact en fonction de la pression, a été définie dans les travaux de M.YOVANOVICH [YOV05]. Elle s'exprime en fonction de leurs conductivités thermiques, des pentes moyennes de leurs rugosités et leurs rugosités moyennes. La conductance thermique du joint est alors la somme de la conductance thermique des contacts plus celles des interstices. La détermination analytique de la résistance thermique de contact s'applique uniquement à un contact sec pressé et nécessite une connaissance précise de l'état de surface des matériaux et des méthodes d'assemblage [COO69 YOV05], ce qui la rend très difficile dans les assemblages d'électronique de puissance.

Pour améliorer le transfert thermique au niveau des interfaces en augmentant la surface de contact, les interconnexions dans les assemblages d'électronique de puissance utilisent des brasures ou des frittages métalliques. Lors de la fabrication, des zones interstitielles nommées « voids » peuvent apparaître de part et d'autre de la brasure. La résistance thermique de l'interconnexion peut donc être décomposée en deux résistances de contact de part et d'autre du joint et la résistance thermique massive du matériau d'interconnexion (figure 30). La résistance massive du matériau de brasure est elle aussi difficilement déterminable de façon analytique puisque les propriétés thermiques des matériaux la constituant ne sont pas homogènes dans le volume.

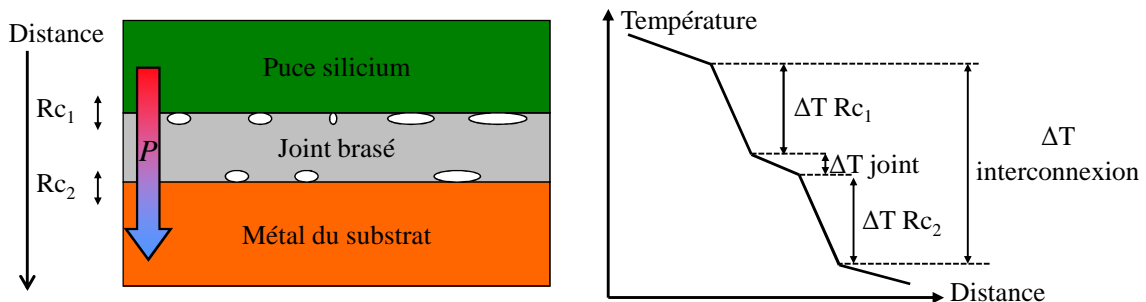


Figure 30 : Représentation d'une interconnexion non parfaite et l'évolution de la température en régime permanent lors d'une dissipation de puissance P

Les deux résistances de contact ne peuvent pas être déterminées par des modèles en raison de la complexité de l'assemblage, et d'autant plus pour les technologies développées au sein de laboratoires de recherche où les procédés de réalisation ne sont pas parfaitement maîtrisés. Des méthodes

expérimentales, décrites dans le paragraphe i.iv.1, sont donc nécessaires pour déterminer les résistances thermiques des interconnexions.

III.4. Notion de capacité et d'impédance thermique

Le modèle permettant d'observer les régimes transitoires intègre la notion de capacité thermique du milieu, qui dépend de la géométrie et des propriétés des matériaux. Elle s'exprime dans un milieu homogène suivant la formule (3).

$$C_{th} = e \times S \times C_p \times \rho \quad [J/^\circ C] \quad (3)$$

Avec e l'épaisseur du milieu, S sa surface, C_p la chaleur spécifique du matériau et ρ sa masse volumique. On peut également définir une constante de temps thermique τ pour chaque couche qui s'exprime en fonction de la résistance et de la capacité thermique (4).

$$\tau = R_{th} \times C_{th} \quad [s] \quad (4)$$

La réponse en température d'un composant à une injection de puissance dépend donc de la résistance et de la capacité thermique des couches et des interfaces qui le constituent, et de l'interconnexion puce/substrat jusqu'au refroidisseur. Cette réponse en température temporelle est appelée impédance thermique, notée $Z_{th}(t)$, et s'exprime selon l'équation (5).

$$Z_{th}(t) = \frac{T_j(t) - T_{ref}}{P} \quad [^\circ C/W] \quad (5)$$

Avec $T_j(t)$ l'évolution temporelle de la température de jonction, T_{ref} une température initiale et P la puissance dissipée dans le composant.

L'analyse de la $Z_{th}(t)$, de l'état initial avant injection, jusqu'au régime établi, permet donc d'obtenir des informations sur l'impact de chaque couche qui compose l'assemblage. L'objectif est alors de s'en servir pour définir les valeurs de résistances et de capacités thermiques équivalentes de chacune de ces couches [SZA05].

III.5. Réseaux thermiques équivalents

Il existe deux types de circuits thermiques équivalents permettant de décrire un système thermique conductif 1D. Ces réseaux sont désignés sous le nom de « Cauer » et « Foster » [SOF95 SZE97] et sont représentés respectivement sur la figure 31 et la figure 33. La source de courant représente la puissance dissipée dans la source de chaleur, et la masse électrique la température de référence ambiante - les explications ci-dessous sont en partie issues de [BAG98]. Ces deux circuits représentent un solide dans lequel le chemin thermique est unidirectionnel, signifiant que s'il y a une seule source de chaleur et un seul refroidisseur, l'énergie thermique va de la source au refroidisseur via un seul chemin que ce soit en dynamique ou en statique. Les simplifications qui ont permis de construire ces réseaux équivalents permettent d'approximer la réponse thermique par une somme de n exponentielles comme cela a été montré plus haut, dans l'équation (1) page 29. Cela implique que le système peut être représenté par un circuit composé de n cellules RC . Dans le réseau de Foster, chaque facteur d'amplitude correspond à la résistance thermique de chaque cellule, et chaque constante de temps est égale au produit RC , comme le montre son expression de l'impédance thermique (figure 34). En revanche, en ce qui concerne le réseau de Cauer, les valeurs des constantes de temps ne peuvent pas être calculées directement puisqu'elles dépendent chacune de tous les éléments du circuit (figure 32). Bien que le réseau de Foster permette une identification plus aisée des éléments à partir d'une courbe expérimentale de Z_{th} , il est primordial de noter que le seul circuit ayant une réalité physique des phénomènes thermiques, est le réseau de Cauer pour lequel chaque cellule RC peut représenter une

couche de l'assemblage et pour lequel les températures (tensions) au niveau de chaque nœud interne ont une signification. Le réseau de Foster ne peut pas être utilisé pour interpréter le comportement thermique au niveau des nœuds internes du circuit. La raison, expliquée dans [BAG98], est que, dans un circuit électrique, le courant de part et d'autre d'une capacité est le même en raison de la variation symétrique des charges négatives et positives. La notion de charge négative n'ayant pas d'analogie en thermique, seul le flux thermique (courant) au niveau d'un seul pôle de la capacité a une signification et peut être utilisé pour déterminer une variation de température (tension). Cela implique que l'analogie électrothermique n'est valide que si toutes les capacités du réseau ont un de leur pôle relié à la masse, comme c'est le cas dans le réseau de Cauer. On peut également se fonder sur la notion de stockage d'énergie dans les cellules par rapport à l'ambient qui est représenté uniquement dans le réseau de Cauer. Le réseau de Foster peut donc seulement être utilisé comme une « boîte noire » qui permet d'obtenir la réponse thermique de l'assemblage uniquement au niveau de la source de chaleur.

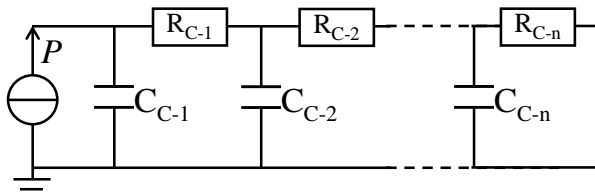


Figure 31 : Réseau thermique équivalent de Cauer

$$Z_{th}(s) = \frac{1}{s \times C_{th,1} + \frac{1}{R_{th,1} + \frac{1}{s \times C_{th,2} + \dots + \frac{1}{R_{th,n}}}}}$$

Figure 32 : Expression de la Z_{th} en fonction des éléments RC du réseau de Cauer

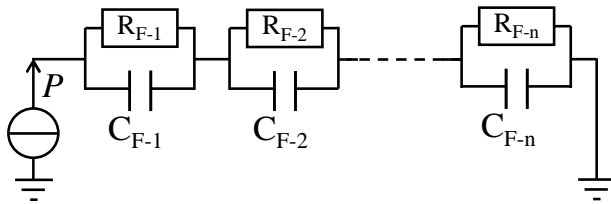


Figure 33 : Réseau thermique équivalent de Foster

$$Z_{th}(t) = \sum_{i=1}^n R_i \left(1 - e^{-\frac{t}{\tau_i}}\right)$$

Figure 34 : Expression de la Z_{th} en fonction des éléments RC du réseau de Foster

L'identification des cellules RC du réseau de Foster à partir d'une courbe expérimentale est ainsi possible par déconvolution [SZE98]. Des transformations mathématiques ou des identifications ont été développés pour passer d'une représentation de Foster à celle de Cauer [MUR78 GER07] pour obtenir les composantes de chaque couche. Ces outils mathématiques sont cependant compliqués et montrent certaines limites notamment lors de l'identification [GER09].

La représentation de systèmes thermiques sous la forme d'un réseau de cellules RC est couramment utilisée pour simuler le comportement d'assemblage en électronique de puissance [SZE97 REN03]. Cela fut notamment le cas dans le cadre de l'évaluation de nouvelles interconnexions puisque le comportement de la technologie « *Embedded power* » a été simulé via un modèle RC équivalent dans [YIN06].

La modélisation thermique des assemblages d'électronique de puissance ayant été décrite, il est maintenant nécessaire d'aborder la façon dont il est possible de caractériser thermiquement les modules.

IV. La caractérisation thermique des modules de puissance

IV.1. La mesure de la R_{th}

La caractérisation thermique d'une interconnexion consiste à mesurer le saut de température induit par le passage d'un flux de chaleur à travers la résistance thermique globale de l'interconnexion. La

résistance thermique s'exprime alors selon la formule (6), dans laquelle ΔT est la chute de température de part et d'autre de l'interconnexion et P le flux de chaleur la traversant.

$$R_{th} = \frac{\Delta T_j}{P} \quad [^{\circ}\text{C}/\text{W}] \quad (6)$$

La mesure de résistance thermique d'une interconnexion puce/substrat nécessite donc d'injecter à travers l'interconnexion une puissance thermique maîtrisée et des hypothèses de propagation strictes, et de mesurer la température de la jonction et celle de la première métallisation du substrat isolé. En raison des faibles épaisseurs des matériaux et de l'inaccessibilité au sein d'un module de puissance, on constate qu'il est cependant complexe d'obtenir les températures de part et d'autre de l'interconnexion. C'est pourquoi différentes méthodes de mesures sont mise en œuvre pour tenter d'obtenir la résistance thermique des assemblages en électronique de puissance [SOF95]. Les moyens d'instrumentations externes, de types thermocouples, sondes PT100, ou les outils optiques (infrarouge [HE99], réflectance, Raman ou luminescence) [BLA04 AVE12] ne peuvent pas être utilisés pour obtenir les températures au sein d'un module de puissance.

En raison de ces difficultés, les interconnexions sont couramment caractérisées en dehors des modules en utilisant des colonnes instrumentées par thermocouples ou par caméra infrarouge [KHO97 RAO03 VAG07 OUS11]. On peut obtenir de bons résultats pour des interconnexions de type pressée ou pour des matériaux d'interface thermique, mais ces dispositifs de mesure sont plus difficilement utilisables pour caractériser des joints brasés, frittés ou non massifs tels que ceux décrits dans la partie (ii.2). Le fait de caractériser les interconnexions en dehors de leur environnement de fonctionnement empêche d'appréhender les couplages électro-thermo-mécaniques responsables du vieillissement de l'interconnexion. C'est pourquoi des solutions pour caractériser une interconnexion au cœur du module sont développées.

Au sein des boîtiers de puissance, pour des raisons de facilité, on caractérise usuellement la résistance thermique entre le composant et l'ambient (Junction/Ambiant $R_{th_{ja}}$), ou entre le composant et la semelle (Junction/Case $R_{th_{jc}}$) (figure 35). Des standards de protocoles expérimentaux ont été définis afin d'obtenir des résultats comparables [JESD51-1 MIL_STD_750D]. Pour mesurer la résistance thermique du boîtier, il est d'usage de dissiper une certaine puissance dans la puce, d'atteindre le régime permanent, puis de mesurer la température de la jonction et celle de l'ambient. Les constantes de temps thermiques en jeu permettant d'atteindre le régime permanent sont élevées, de l'ordre de plusieurs secondes pour une mesure de $R_{th_{jc}}$ et de la centaine de seconde pour une mesure de $R_{th_{ja}}$. Cela implique de limiter le niveau de puissance injectée pour ne pas atteindre une température excessive dans le composant. Or on constate d'après l'équation (6) que, plus la puissance injectée est faible, plus la variation de température à mesurer sera limitée. Ceci impose donc de mesurer de façon précise les températures de part et d'autre de la résistance que l'on cherche à caractériser.

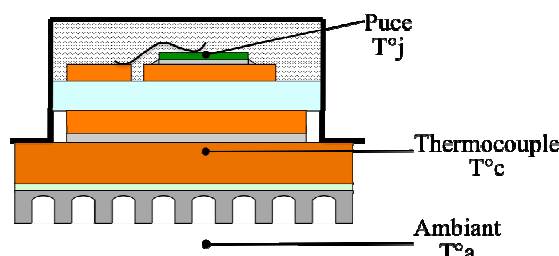


Figure 35 : $R_{th_{jc}}$ et $R_{th_{ja}}$ dans un module planaire à substrat isolé

Les performances thermiques ($R_{th_{jc}}$) données dans les documentations techniques des composants de puissance en boîtier, sont définies suivant ces standards. La température ambiante est aisément

mesurable et celle du boîtier est obtenue par l'implantation d'un thermocouple dans la semelle. En revanche, l'obtention de la T_j , requiert des systèmes de mesure plus complexes. Deux moyens principaux, qui seront décrits ci-après, sont utilisés ; l'un consiste à utiliser une puce instrumentée communément appelée puce de test thermique (TTC « Thermal Test Chip ») et l'autre fait appel à une méthode de mesure indirecte utilisant un paramètre électrique thermosensible (PTS) des composants de puissance.

IV.1.1. T_j par mesure d'un paramètre thermosensible (PTS)

Un moyen de mesurer la température de la jonction est d'utiliser les paramètres électriques thermosensibles des composants de puissance. En effet, les propriétés électriques des composants semi-conducteurs varient en fonction de la température de fonctionnement. Cela permet de définir plusieurs points de la caractéristique électrique des composants de puissance comme capteur de température. Ces paramètres électriques thermosensibles sont communément désignés par l'acronyme « PTS ». La température de jonction du composant mesurée de manière indirecte est communément appelée température virtuelle de jonction (T_{JV}) ; dans ce manuscrit la notation T_j sera utilisée pour qualifier la température du composant mesurée via un PTS.

Bien que de nombreux paramètres thermosensibles soient utilisés pour les composants actifs de puissance, comme la tension grille-émetteur ou grille-source des IGBT ou des MOSFET [AVE12], leur tension de seuil [AMM98 CHE06], leur courant de saturation [NOW08] ou leur comportement en commutations [KUH09], seul le comportement thermosensible de la diode sera abordé ici, puisque c'est le composant qui sera utilisé plus tard lors des réalisations expérimentales.

L'évolution de la caractéristique électrique d'une diode en fonction de la température est présentée dans l'annexe 2. Les travaux menés au sein du LTN/IFFSTAR et décrits dans [AVE12] ont permis de comparer les paramètres thermosensibles les plus utilisés en fonction de nombreux critères, ce qui justifie le choix de n'aborder que le paramètre thermosensible de chute de tension aux bornes d'une jonction PN à un faible courant de mesure directe. Ce PTS a l'avantage d'avoir une thermométrie précise et linéaire ($\approx -2\text{mV}/^\circ\text{C}$), une mise en œuvre de la mesure simple ainsi qu'un étalonnage possible en statique puisque la valeur du courant de mesure I_M peut être suffisamment faible pour entraîner un échauffement négligeable du composant.

La valeur de ce courant de mesure I_m est généralement choisie entre quelques centaines de μA et quelques dizaines de mA . Si le courant de mesure est trop faible, la variation du PTS peut ne pas être linéaire sur la gamme de températures qui nous intéresse [KHA12], et s'il est trop fort, on ne mesure pas uniquement la tension de jonction puisque l'on ne s'affranchit pas de la chute de tension due à la zone ohmique du composant. En effet, si le courant de mesure est trop important, la résistance à l'état passant de la diode entraîne une chute de tension dans la zone de tenue en tension non négligeable, et la tension totale aux bornes de la diode ne se résume plus uniquement à la chute de tension due à la jonction, sans compter un possible auto-échauffement empêchant une mesure statique du PTS. Ce PTS est largement utilisable et utilisé puisque la plupart des composants actifs de puissance possèdent une jonction PN dans leur structure. Outre la diode en polarisation directe (figure 36), ce PTS s'utilise au niveau de la jonction base-émetteur des transistors bipolaires (figure 37), et dans les transistors MOS à l'état bloqué (figure 38). Un équivalent est également utilisé dans les IGBT en mesurant la tension de saturation ($V_{\text{CE-sat}}$) (figure 39). Dans cette configuration le courant circule du collecteur vers l'émetteur, donc de la face arrière à la face avant du composant contrairement aux mesures appliquées à la diode, au transistor bipolaire ou au MOSFET. L'utilisation en régimes statique et dynamique de ce PTS est standardisée par des normes [JESD51-1], certaines précautions à prendre au niveau du protocole de mesure y sont expliquées.

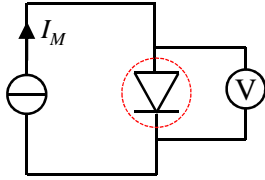


Figure 36 : Mesure du PTS pour une diode

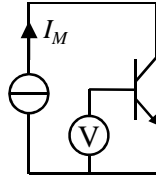


Figure 37 : Mesure du PTS pour un transistor bipolaire

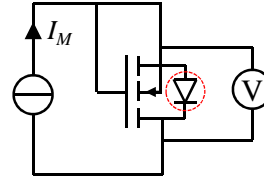


Figure 38 : Mesure du PTS pour un MOSFET

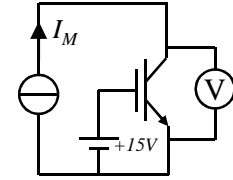


Figure 39 : Mesure du PTS pour un IGBT

Afin d'expliquer les variations de la caractéristique électrique de la jonction en fonction de la température, il faut regarder l'équation de la conduction de la diode présentée dans la formule (7) tirée de [BLA04] reprenant les travaux sur la physique des composants semi-conducteurs de J.WILEY (1981).

$$I_{pn} = I_s \left(e^{\frac{V_{pn}}{V_t}} - 1 \right) \quad [\text{A}] \quad (7)$$

où V_{pn} est la tension directe aux bornes de la diode, V_t la tension thermique exprimée selon (8) et le courant de saturation I_s exprimé dans l'équation (9).

$$V_t = \frac{k}{q} \times T \quad [\text{V}] \quad (8)$$

avec k la constante de Boltzmann ($1,38.10^{-23}$ J/K), q la charge d'un électron ($1,6.10^{-19}$ C) et T la température absolue en K. La tension thermique V_t est égale à 26mV à 25°C.

Le courant I_s s'exprime en fonction de I_0 , une constante indépendante de la température, γ une constante dont la valeur est proche de 3, et E_g est la tension de Gap du silicium (1,21V à 25°C) selon l'équation (9).

$$I_s = I_0 \times T^\gamma \times e^{\frac{-E_g}{k \times T}} \quad [\text{A}] \quad (9)$$

Des deux précédentes équations, on peut obtenir une expression de la variation de tension en fonction de la température, à un courant I_{PN} constant, présentée dans l'équation (10).

$$\left[\frac{\partial V_{pn}}{\partial T} \right]_{I_{pn}} = -\gamma \frac{k}{q} + \frac{\left(V_{pn} - \frac{E_g}{q} \right)}{T} \quad [\text{V}/^\circ\text{C}] \quad (10)$$

Pour un composant en silicium, la sensibilité en température de la chute de tension directe est proche de $-2\text{mV}/^\circ\text{C}$. Cette valeur théorique se doit cependant d'être étalonnée de manière expérimentale pour chaque composant. La dépendance en température du paramètre est appelée « facteur K ». Ce facteur K permet d'obtenir la température de la jonction à partir de la chute de tension mesurée au courant de polarisation selon l'équation (11).

$$\Delta T_j = K \times \Delta V_F \quad [^\circ\text{C}] \quad (11)$$

Lorsque l'on injecte un faible courant en direct dans la diode, on mesure essentiellement la chute de tension induite par la jonction, la chute de tension ohmique étant négligeable. Bien que les phénomènes physiques en jeu soient complexes, ce paramètre thermosensible semble donner une valeur moyenne de la température de jonction qui se situe à quelques microns de la face supérieure de la puce [DUP12]. Excepté pour l'IGBT où la jonction est celle située entre la zone P+ et N+ située à quelques microns de sa face arrière. Ce paramètre donne une vision globale de la température mais ne permet donc pas de détecter un éventuel point chaud. Il est usuellement utilisé en dynamique, c'est à

dire que comme le composant sert non seulement de capteur de température, mais également de dispositif de chauffe et ce à des points de fonctionnements différents, l'évolution de la température est obtenue lors du refroidissement après une dissipation de puissance. La mesure de la résistance thermique d'un boîtier utilisant ce PTS consiste donc à appliquer un courant de puissance (I_P) dans la diode jusqu'à atteindre le régime établi du dispositif, puis de substituer le courant de chauffe par le courant de mesure (I_M) dont la valeur est celle utilisée pour l'étalonnage du composant en température. La figure 40 et la figure 41 illustrent le principe de la mesure. Il est important de noter sur la figure 41 que la température du composant doit avoir atteint le régime permanent avant de commuter du courant de puissance à celui de mesure et d'effectuer la mesure du PTS.

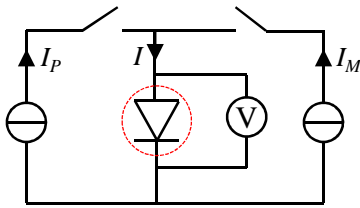


Figure 40 : Schéma électrique de principe de la mesure de T_j par PTS

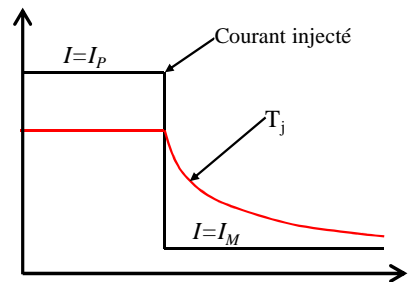


Figure 41 : Mesure de T_j après le régime établi par injection d'un faible courant de mesure

On observe donc le refroidissement du composant en analysant la chute de tension aux bornes de la diode parcourue par le courant de mesure, le plus rapidement possible après la fin de l'injection du courant de chauffe. L'obtention de la température du composant avant la commutation de courant est faite par extrapolation du signal quelques dizaines de μs après l'injection. Même si l'utilisation d'interrupteurs électroniques permet de commuter très rapidement (quelques μs), entre la coupure de la puissance et le début de la mesure du PTS, la jonction peut refroidir significativement et engendrer une erreur sur la température mesurée. De plus on peut trouver dans la bibliographie [BLA88 LU91 CAI92 KAT03 CAO11 CHE12] et dans les normes ([JESD51-1] ou [SEMI-G46-88]) des mises en garde sur des phénomènes transitoires pouvant altérer la mesure dans les premières dizaines de microsecondes de refroidissement. L'utilisation du signal provenant du PTS durant ces périodes transitoires peut mener à des erreurs importantes sur la détermination de la température de jonction. La méthode proposée par [BLA88] permettant de s'affranchir de ces transitoires non thermiques, et qui a été adoptée dans les autres travaux, est d'extrapoler le signal sur sa partie linéaire en fonction de la racine carrée du temps (figure 42). En effet, en théorie, dans le cas d'un milieu homogène semi infini soumis brutalement à un flux de chaleur surfacique constant (condition de Neumann), l'évolution de la température au niveau de la surface est proportionnelle à la racine carrée du temps (12) [BRA06] (figure 43). L'évolution linéaire en racine de t est aussi valable au refroidissement lorsque l'on a préalablement atteint le régime permanent. La figure 42, issue de [BLA88], permet d'observer le relevé des données brutes en fonction de la racine carrée du temps après une injection de puissance dans un composant, ainsi que l'obtention par extrapolation linéaire de la température à l'origine. Nous constatons sur cette courbe que la forte dynamique, observée pour les temps courts ($<40\mu s$), ne correspond pas à une réponse thermique mais à ce qui pourrait correspondre à des effets électriques dus aux éléments capacitifs et inductifs parasites du circuit de mesure [BLA75 BLA88]. C'est pour cette raison qu'il est préconisé d'effectuer la régression à partir des données présentes plusieurs dizaines de microsecondes après l'injection, mais les phénomènes responsables de ces transitoires restent peu expliqués. Cela montre que l'utilisation d'un PTS en dynamique pour des mesures de température reste délicate et nécessite une mise en œuvre soignée pour obtenir une mesure la plus

précise possible. Ces aspects de précautions de mise en œuvre seront abordés de façon plus précise dans le 3^{ème} chapitre de ce manuscrit.

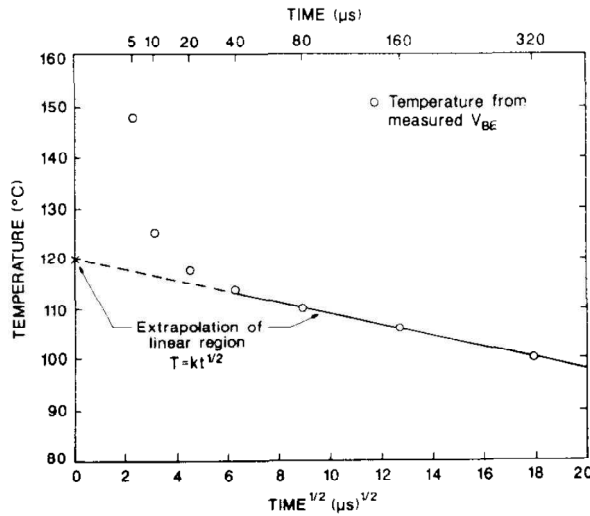


Figure 42 : Courbe de refroidissement en fonction de la racine carrée du temps ainsi que l'extrapolation linéaire recommandée [BLA88]

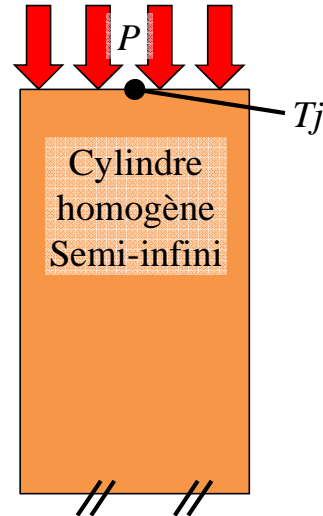


Figure 43 : Modèle du flux imposé en surface d'un cylindre homogène semi-infini

L'équation (12) décrit l'augmentation de la température en surface d'un cylindre semi-infini de diffusivité α et de conductivité λ soumis à un flux de chaleur P en surface.

$$\Delta T = P \times \frac{2}{\sqrt{\pi}} \times \frac{\sqrt{\alpha \times t}}{\lambda} \quad [^{\circ}\text{C}] \quad (12)$$

La diffusivité α d'un matériau décrit l'aptitude du milieu à transmettre la chaleur et est définie par la formule (13), dans laquelle λ est la conductivité thermique, ρ la densité volumique et C_p la chaleur spécifique.

$$\alpha = \frac{\lambda}{\rho \times C_p} \quad [\text{m}^2/\text{s}] \quad (13)$$

Des mesures statiques du PTS peuvent être utilisées lorsque le composant silicium est uniquement utilisé comme capteur de température. En effet, pour simplifier la mesure, le dispositif de chauffe peut être externe (cartouche chauffante, résistance de chauffe ou autre composant actif) et le PTS d'une jonction PN mesuré en permanence sous un courant de mesure constant comme capteur de température. Des jonctions PN sont couramment intégrées comme capteur de température, notamment dans les puces de tests thermiques comme cela a été expliqué précédemment.

IV.1.2. Puce de test thermique (TTC)

Depuis le début des années 1990, une nouvelle gamme d'outils de caractérisation des modules de puissance est apparue sous la forme des puces de test thermique, largement désignées sous le nom de TTC « Thermal Test Chip ». Ce sont des puces en silicium instrumentées permettant de générer un flux de chaleur par l'intermédiaire de dispositifs de chauffe discrets et de mesurer la température de la puce via des capteurs de température disposés à la surface de la TTC. La conception de ces TTC est elle aussi régie par des normes provenant du JEDEC [JESD51-4]. Les TTC sont intégrées au sein d'un module de puissance, de la même manière qu'un composant actif afin d'être représentatif de l'utilisation finale. La TTC n'étant pas un réel composant de puissance mais une simple pastille en silicium instrumentée, un dispositif de chauffe, généralement sous la forme d'une résistance déposée, a

pour but de se substituer à la génération de chaleur du composant de puissance. Dans le but de reproduire la dissipation naturelle d'une diode, des travaux ont été réalisés sur la géométrie des serpentins permettant de définir une disposition appropriée. Les figure 44 et figure 45 montrent une observation de la répartition de la température à la caméra infrarouge de la surface d'une puce, dans le cas d'une dissipation naturelle dans un composant de puissance d'une part (figure 44) et dans le cas d'une dissipation de chaleur dans un serpentin résistif d'une puce de test d'autre part (figure 45).

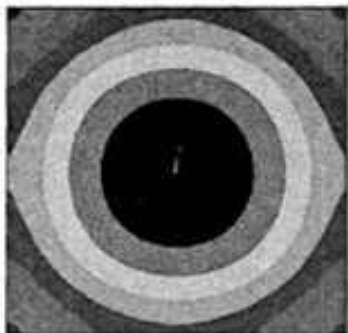


Figure 44 : Dissipation naturelle d'un composant de puissance [CHI02]

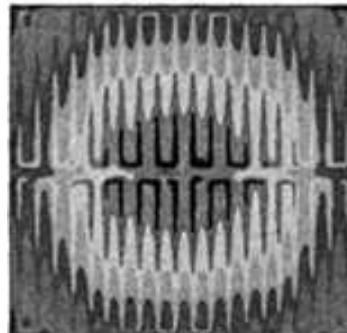


Figure 45 : Dissipation de puissance dans un serpentin de chauffe [CHI02]

Deux types de puces de test sont globalement rencontrés, celles utilisant des jonctions PN comme capteur de température et celles utilisant des capteurs de types RTD (détecteur de température résistif, « Resistance Temperature Detector » en anglais). Ces deux types de capteurs sont comparés dans des applications de TTC dans [CLA97]. Les résultats de ces travaux montrent une bien meilleure linéarité de la dépendance en température des RTD face à celle des diodes, ce qui facilite l'étalonnage en température en réduisant le nombre de points de mesures. Ces travaux ne tiennent en revanche pas compte des différents matériaux qui peuvent être utilisés comme RTD. D'un point de vue sensibilité, de meilleurs résultats sont obtenues avec les diodes, bien que la sensibilité des RTD soit elle aussi fortement liée au matériau utilisé. On peut conclure en disant que le choix entre ces deux technologies se fait avant tout sur des critères de complexité de fabrication.

Une des opportunités et le principal avantage des puces de tests est de pouvoir effectuer une cartographie en surface de la température. Si la mesure indirecte de T_j dans un composant de puissance permet une mesure globale de température, l'outil TTC permet en revanche d'obtenir plusieurs températures en surface de la puce. Cette cartographie permet d'observer l'éventuelle répercussion de la technologie de report sur la répartition de la température. Un autre aspect intéressant dans l'utilisation des TTC est de pouvoir gérer indépendamment la dissipation de puissance et la mesure de température. Contrairement au cas d'utilisation d'un composant réel où la mesure indirecte de la T_j ne peut pas être effectuée en même temps que la dissipation de puissance, les TTC permettent d'observer en parallèle et en continue la température au sein de la puce lors d'une dissipation de puissance.

Afin de s'adapter à un maximum de packages, la plupart des fabricants de TTC réalisent des puces de tests élémentaires interconnectables afin de pouvoir découper sur le wafer la dimension de la puce de test adéquate. C'est le cas de TEA (« Thermal Engineering Associates ») dont les produits sont exposés dans [SIE08]. La représentation de la figure 46 montre la cellule élémentaire composée de deux résistances de chauffe et de quatre capteurs de température. La figure 47 montre quant à elle l'interconnexion de neuf cellules élémentaires sous forme d'une matrice. Là aussi, des considérations thermiques sont présentées quant à la dissipation de la chaleur rendue par ces TTC lorsqu'elles sont utilisées sous formes de matrices. On peut voir sur la figure 48 des résultats de simulations montrant la

répartition de la température à la surface d'une matrice de puces de test 4x4, lors d'une dissipation de puissance dans toutes les résistances de chauffe des cellules élémentaires.

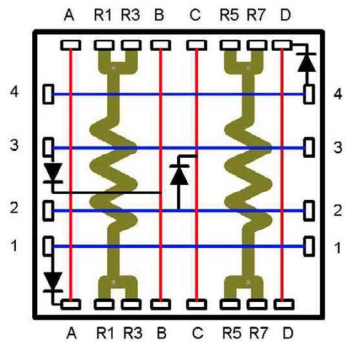


Figure 46 : Cellule élémentaire d'une TTC [SIE08]

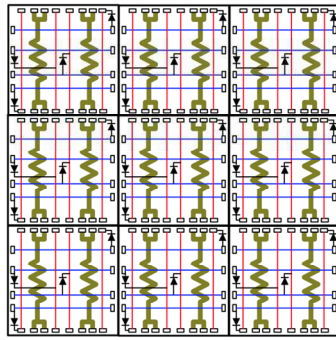


Figure 47 : Matrice 3x3 de cellules interconnectées

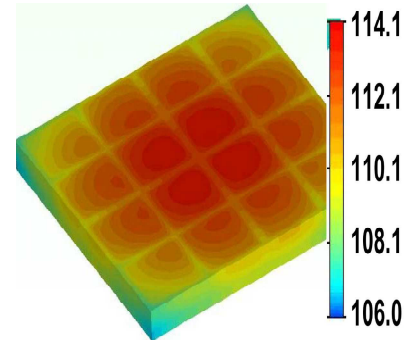


Figure 48 : Répartition de la température d'une matrice 4x4

L'assemblage de la face inférieure de la puce de test se fait de manière conventionnelle sur le module que l'on souhaite caractériser, et les connectiques des capteurs et du dispositif de chauffe s'effectuent couramment par le biais d'un circuit imprimé monté en « flip-chip », ou par un report par fils de bondings sur le substrat (figure 49).

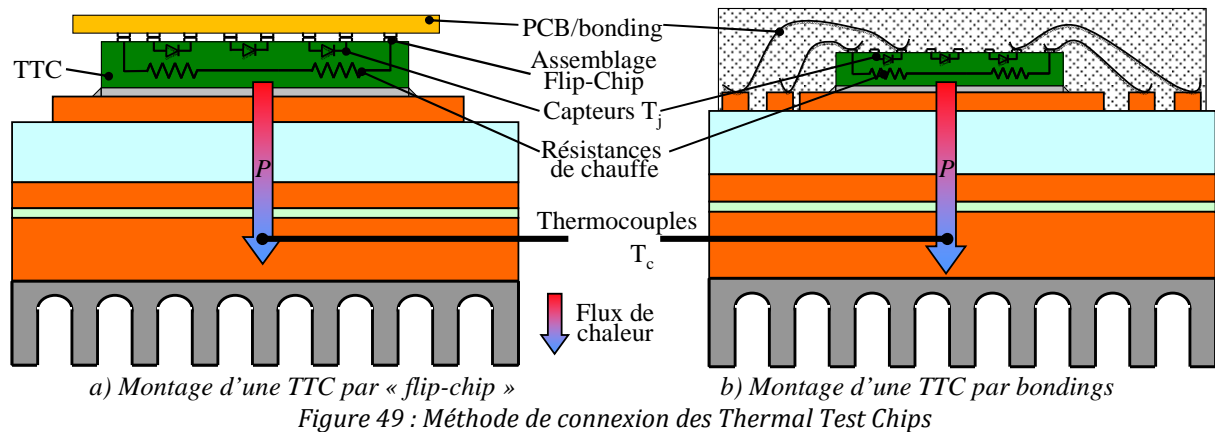


Figure 49 : Méthode de connexion des Thermal Test Chips

Bien que les puces de tests se soient largement répandues pour la caractérisation des packages [REN00], intégrant des méthodes de mesure plus complexes monitorées afin de cartographier les transferts de chaleur dans la puce, elles n'ont pas été développées dans le but de caractériser des interconnexions mais des packages simple face. La nuance est importante puisque l'on pourrait imaginer d'assembler deux puces de test avec une solution d'interconnexion 3D (comme celles présentées dans la partie i.ii.2) afin de caractériser la qualité du contact thermique. Or toutes les TTC possèdent des plots de connexions sur leurs faces supérieures les rendant inadaptées à recevoir sur leur face supérieure une technologie d'interconnexions doubles faces.

On peut conclure que les puces de tests existantes ont été développées pour caractériser des assemblages d'électronique de puissance simple face en général, mais qu'elles n'ont pas vocation actuellement à se substituer aux composants de puissance dans une utilisation réelle. Les TTC ne sont pas non plus adaptées à la caractérisation fine de technologies d'interconnexion, ce qui en fait des outils inappropriés aux besoins en terme de caractérisation thermique des nouvelles solutions de report de puces. Elles proposent cependant des possibilités en ce qui concerne la cartographie en température et la mesure en parallèle de la dissipation de puissance.

Nous allons voir maintenant que l'utilisation de la T_j de manière indirecte permet aussi d'obtenir une caractérisation thermique dynamique d'un assemblage par l'impédance thermique.

IV.2. Mesure de l'impédance thermique

Afin de caractériser les modules de puissance sans instrumenter le système existant, des méthodes de mesures transitoires se sont développées dans les années 1970. Le but était de mesurer la réponse temporelle à un échelon de puissance d'un composant de puissance assemblé dans son package.

La dissipation de puissance dans le composant, dans le cas d'une diode, se fait généralement en injectant un courant en direct dans la jonction. Lorsque l'on souhaite dissiper une forte puissance, il est cependant nécessaire d'injecter un fort courant puisque la chute de tension en directe est relativement faible (de l'ordre de quelques Volts maximum). La mesure de la T_j s'effectue de manière indirecte par le biais d'un PTS. Le paramètre le mieux adapté est la chute de tension directe d'une diode parcourue par un faible courant en raison de sa linéarité, sa sensibilité, sa généralité, sa facilité d'étalonnage et sa reproductibilité [AVE12]. L'inconvénient de cette méthode de mesure électrique est l'impossibilité de mesurer la température du composant durant la dissipation de puissance puisque la mesure du PTS se fait sous un faible courant calibré. Il est donc nécessaire de dissocier la phase de chauffe de la phase de mesure. Il existe deux approches de mesure de l'impédance thermique.

La première consiste à dissiper une puissance P dans le composant jusqu'à atteindre le régime établi, de stopper l'injection de puissance puis d'observer la courbe du refroidissement de la T_j par un PTS. Cette courbe en refroidissement est le conjugué de la courbe de chauffe si on fait l'hypothèse que les lois du comportement thermique sont régies par des équations linéaires [BLA75]. On peut entrevoir une certaine limite dans la considération de la courbe en refroidissement analogue à celle d'échauffement, puisque cette hypothèse ne tient pas compte du phénomène de diffusion du cône de chaleur qui varie entre le régime permanent et le transitoire, ni de la dépendance en température des propriétés des matériaux. L'étude de la complémentarité entre les deux courbes, notamment dans les temps courts pour lesquels le régime d'écoulement de la chaleur est unidimensionnel à l'échauffement et tridimensionnel au refroidissement, est étudié dans [RAE96]. Ces différences entre les courbes issues d'une mesure en refroidissement et lors de l'échauffement sont analysées dans [MAS07]. Cette première méthode est couramment désignée « Cooling Curve Technique » soit technique en refroidissement. La figure 50 décrit le fonctionnement de la mesure, et la figure 51 représente la courbe de refroidissement et l'hypothèse de son conjugué à l'échauffement. A t_0 , un pulse de courant, dont la valeur ne dépasse pas le courant continu admissible, est appliqué jusqu'à atteindre le régime permanent. Le courant de chauffe est ensuite coupé et la courbe de refroidissement peut-être mesurée.

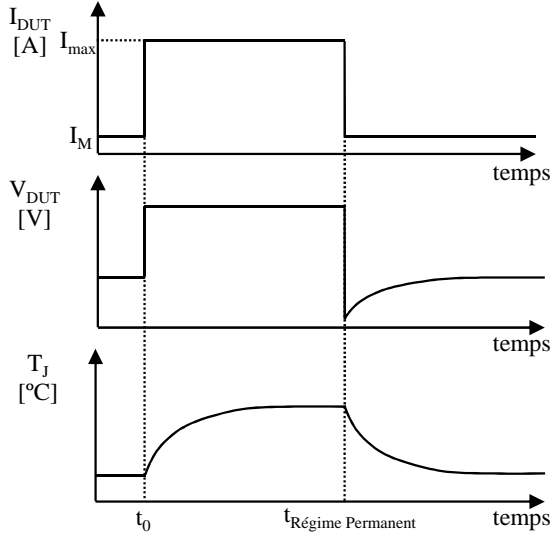


Figure 50 : Chronogrammes de principe de la méthode en refroidissement

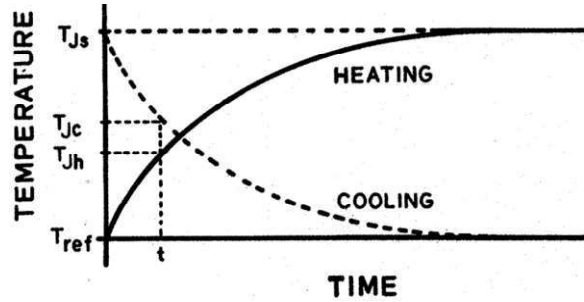


Figure 51 : Représentation d'une courbe d'échauffement et de refroidissement pour un composant semiconducteur [BLA75]

On peut obtenir la courbe d'échauffement par le conjugué de celle de refroidissement grâce à l'équation (18) dans laquelle T_{Js} est la température en régime permanent et T_{ref} la température ambiante :

$$T_{Jh}(t) - T_{ref} = T_{Js} - T_{Jc}(t) \quad [^{\circ}\text{C}] \quad (14)$$

La seconde technique, nommée « Pulsed Heating Curve Technique », consiste à injecter un créneau de puissance d'amplitude P et de durée t_{inj} puis de mesurer la T_J à la fin de l'injection. On attend que le système soit retourné à sa température initiale puis l'opération est ainsi répétée pour des durées progressives d'injection jusqu'à atteindre le régime permanent. Le chronogramme de principe pour quelques cycles de mesure est représenté figure 52. Les allures du courant et de la tension dans le DUT y sont montrées ainsi que l'évolution de la T_J du composant. A t_0 , un pulse de courant de durée t_{inj} est injecté dans le DUT, provoquant une élévation de température dans ce dernier, puis à $t=t_{inj}$, le courant de puissance I_p est coupé, et seul le courant de mesure I_M parcourt encore le DUT, ce qui permet via l'observation du PTS, d'obtenir l'évolution de la T_J durant le refroidissement. A partir de la courbe de refroidissement, la T_J à $t=t_{inj}$ est extrapolée et est utilisée pour tracer la $Z_{th}(t)$.

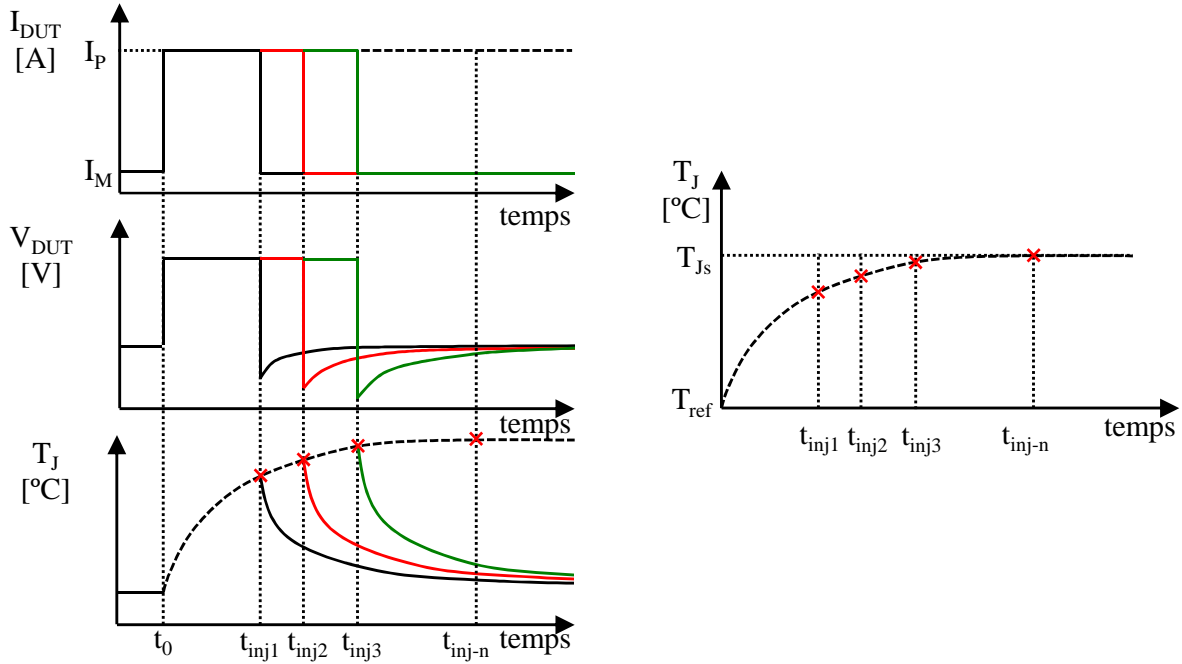


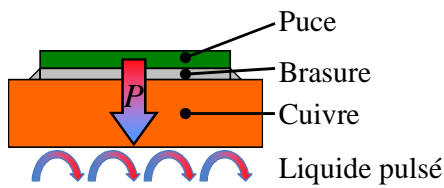
Figure 52 : Chronogrammes de principe de cycles de mesure de la méthode en échauffement

Plusieurs contraintes entrent en jeu dans le choix de la méthode de mesure, et chacune de ces méthodes montre des limites ou des aspects complexes de mise en œuvre. Nous allons nous focaliser par la suite sur la méthode la mieux adaptée pour obtenir les caractéristiques thermiques de la première interconnexion rencontrée. L'attache de la puce étant la première à entrer en jeu dans la réponse thermique du composant à une injection de puissance, c'est sur l'analyse de celle-ci que nous allons focaliser notre attention vis-à-vis de la méthode de caractérisation.

IV.2.1. Spécificités de la mesure par la courbe de refroidissement

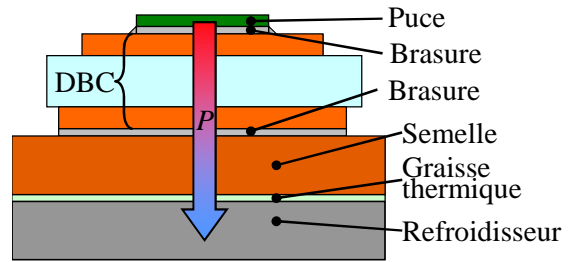
La méthode de mesure en refroidissement impose d'atteindre le régime permanent sous l'injection de puissance avant d'observer le refroidissement du composant, et c'est là son inconvénient majeur. En effet, la puissance maximale (P_{MAX}) qui peut être dissipée dans le composant est celle qui limitera la température de la jonction à une valeur acceptable en régime permanent. La limitation de P_{MAX} est pénalisante puisqu'elle va directement limiter l'impact de chaque couche de l'assemblage sur la réponse thermique et donc limiter la sensibilité de la mesure. Les résistances thermiques de toutes les couches, de toutes les interconnexions et du système de refroidissement ont donc un impact dans la valeur de P_{MAX} . Cela implique que si l'on souhaite caractériser l'interconnexion puce/substrat avec cette technique de mesure, il faut soigner thermiquement tout le reste de l'assemblage pour que la résistance thermique de l'interconnexion puce/substrat soit détectable avec suffisamment de sensibilité.

Pour avoir un ordre d'idée, comparons rapidement un système thermique très efficace spécialement adapté qui consiste à braser une puce sur une pièce de cuivre refroidie directement par un liquide pulsé dont la représentation schématique est présentée figure 53, avec un assemblage plus conventionnel à substrat isolé monté via de la graisse thermique sur un refroidisseur à eau (figure 54).



$$R_{th_{ja}} \approx 0,15^{\circ}\text{C}\cdot\text{cm}^2/\text{W}$$

Figure 53 : Schéma de principe et $R_{th_{ja}}$ d'un dispositif soigné thermiquement à refroidissement à liquide pulsé



$$R_{th_{ja}} \approx 1,5^{\circ}\text{C}\cdot\text{cm}^2/\text{W}$$

Figure 54 : Schéma de principe et $R_{th_{ja}}$ d'un assemblage planaire conventionnel

Considérons que dans les deux assemblages présentés ci-dessus, l'interconnexion puce/substrat soit identique et avec une valeur de résistance thermique d'environ $0,05^{\circ}\text{C}\cdot\text{cm}^2/\text{W}$. D'après la résistance thermique globale des assemblages (figure 53 et figure 54), il est possible de dissiper dans le premier dispositif "soigné thermiquement" une puissance maximale P_{MAX} autour de 1000W dans une puce d' 1cm^2 en silicium sans dépasser la limite en température (autour de 150°C). Dans le cas du module conventionnel, la valeur de la $R_{th_{ja}}$ impose une puissance P_{MAX} de 100W dans le même composant pour respecter les mêmes conditions au niveau de la température de jonction. Supposons une dégradation de 10% de la conductivité thermique de l'interconnexion de la puce, la variation de température de jonction induite par cette dégradation sera de 5°C dans l'assemblage "soigné" contre $0,5^{\circ}\text{C}$ dans le cas du module conventionnel. On peut donc conclure que pour pouvoir obtenir une variation significative de la température de jonction dans le cas de la comparaison de technologie de report de puce avec la méthode de mesure d'impédance thermique en refroidissement, il est nécessaire d'avoir un dispositif thermiquement très performant.

C'est pourquoi la méthode de refroidissement est plutôt utilisée pour observer l'ensemble de l'assemblage et l'impact thermique de toutes les couches lors du vieillissement, que pour caractériser spécifiquement l'interconnexion puce/substrat. Bien que la mise en œuvre thermique du banc de mesure se doit d'être soignée, le protocole expérimental est quant à lui relativement simple, puisqu'il suffit d'injecter une puissance constante dans le composant sous test jusqu'au régime permanent (quelques minutes), puis de substituer le courant de mesure au courant de chauffe afin d'observer le refroidissement du composant. La Z_{th} est donc tracée en une seule fois, par le conjugué de la courbe de refroidissement.

IV.2.2. Spécificités de la mesure à l'échauffement par créneaux successifs

La technique qui consiste à observer la courbe d'échauffement par créneaux successifs de puissance ne permet pas d'observer l'intégralité de la Z_{th} . En contrepartie, elle autorise une amplification de la sensibilité sur la zone "temps courts" de cette caractéristique. De ce fait, elle est plus adaptée à la caractérisation de la première interconnexion, mais fait face à d'autres contraintes. Etant donné que l'on se concentre, dans ces travaux, essentiellement sur l'effet de l'interconnexion de la puce, il n'est pas nécessaire d'injecter des créneaux d'une durée supérieure à celle nécessaire au flux thermique pour traverser la totalité de l'interconnexion. L'idéal est alors d'injecter des créneaux dont la durée maximale permet au flux de chaleur d'atteindre juste la seconde interconnexion de l'assemblage.

La contrainte sur la puissance maximale injectable dans le composant sous test est donc sensiblement différente par rapport au premier cas de figure, puisque seules les résistances thermiques du silicium et des premières interconnexions vont influencer sur la réponse en température du composant

durant la durée de l'injection soit environ $0,07^{\circ}\text{C}\cdot\text{cm}^2/\text{W}$. Pour ces durées d'injection, la densité de puissance P_{MAX} est plus proche de $2000\text{W}/\text{cm}^2$, ce qui permet d'observer de faibles variations de la qualité de l'interconnexion. Dans les mêmes conditions que l'étude faite précédemment et quelles que soient les performances du reste de l'assemblage, la dégradation de la brasure entraînerait une augmentation de température de jonction autour de 10°C . Le fait de limiter la durée de l'injection permet donc de ne pas avoir à se soucier de la qualité des autres interconnexions ou du refroidissement du module, puisque ces conditions n'affectent pas l'élévation de la température de la puce durant l'injection.

Le premier désagrément de cette méthode est que la durée totale de la mesure est relativement longue, puisque entre chaque pulse, il faut attendre le retour à l'équilibre thermique dans le module. De plus, l'acquisition de la Z_{th} ne sera pas continue mais discrète, chaque point de la courbe correspondant à une durée d'injection. La durée de la mesure sera donc dépendante du nombre de points désirés. Le second aspect contraignant est dû à la complexité du protocole expérimental. Premièrement, les créneaux d'injection de puissance devront être les plus "propres" possible, avec des temps de montée et de descente courts et d'amplitudes constantes tout au long de l'injection. Ceci nécessite donc de mettre en place un banc d'injection adapté pouvant commuter rapidement de forts courants. Deuxièmement, pour obtenir la Z_{th} , il faut déterminer, pour chaque durée d'injection, la valeur de la température à la fin de l'injection. Or, comme cela a été expliqué plus haut dans le cadre de mesure indirecte par PTS, lors de la commutation entre le courant de chauffe et le courant de mesure, il y a un délai entre la fin de l'injection et le début de la mesure qui ne permet pas d'obtenir la température souhaitée de manière directe.

Même si des mesures de Z_{th} en utilisant des successions de pulses de durées incrémentées sont parfois évoquées [OET73 BLA75 ZAR95 RUS10 CAO10], très peu de réalisations expérimentales ont été accomplies. Seulement deux bancs de mesure transitoire d'impédance thermique, utilisant cette méthode dans le but de caractériser des interconnexions, ont été trouvés dans la littérature. Le premier, réalisé dans les années 1970 et expliqué dans les travaux de F.OETTINGER [OET73], annonce que le système de mesure permet de détecter un « void » centré représentant 15% de la surface totale de la puce. Le second travail, publié par X.CAO *et al* [CAO10 CAO11 CHE12], a pour but d'observer la dégradation de joints à base de nano-poudre d'argent, mais les conditions expérimentales notamment au niveau de la durée de l'injection, du niveau de puissance et du nombre de points tracés montrent que le banc de mesure n'utilise pas pleinement les performances de cette méthode de mesure.

V. Conclusion

Des moyens de caractérisation thermique existent à travers les « Thermal Test Chip » ou la mesure d'impédance thermique, mais ces outils pêchent pour la mesure des nouvelles interconnexions puisqu'ils ne sont pas adaptés à la mesure spécifique de l'interconnexion puce/substrat.

Premièrement, les TTC existantes souffrent avant tout de ne pas être de réels composants de puissance mais uniquement des puces en silicium instrumentées, ce qui ne permet pas d'observer les effets de l'assemblage sur le fonctionnement du composant. En outre, les TTC existants possèdent des plots de connexions sur leur face supérieure, ce qui empêche d'intégrer ces dispositifs dans un package tridimensionnel.

Deuxièmement, les bancs de mesures Z_{th} décrits dans la littérature utilisent majoritairement la technique de la courbe en refroidissement ce qui n'offre pas une bonne sensibilité de l'impact de l'interconnexion puce/substrat sur la réponse en température du composant. Les réalisations de

dispositifs de mesure utilisant la méthode à l'échauffement restent anecdotiques et ne semblent pas en utiliser le plein potentiel.

Le deuxième chapitre de ce manuscrit présente une réalisation d'un composant de puissance instrumenté spécifiquement conçu pour les assemblages 3D et intégrant des capteurs de température et de potentiel afin de cartographier la surface d'un composant assemblé. Le troisième chapitre propose quant à lui une présentation d'un banc de mesure d'impédance thermique utilisant les opportunités offertes par la « pulsed heating curve technique » en injectant des créneaux de puissance de faibles durées et de fortes amplitudes afin d'observer l'impact des interfaces proches du composant

Chapitre 2 : Développement d'une puce de tests électrique et thermique à structure verticale (VETTC)

I. Introduction

Dans le chapitre précédent, il est expliqué en quoi les mesures thermiques et électriques au sein d'un module de puissance sont un enjeu déterminant pour concevoir des solutions d'intégration plus robustes et plus compactes, avec des performances électriques, thermiques et électromagnétiques améliorées.

Les composants à semi-conducteur de puissance (diodes et transistors) génèrent d'importantes dissipations de chaleur dans le boîtier. Or, les matériaux composant l'empilement du module ont des coefficients de dilatation thermique (CTE) très différents ce qui engendre des contraintes thermomécaniques lors des fortes variations thermiques d'origine fonctionnelles et environnementales. Ces contraintes mécaniques induites provoquent le vieillissement des structures et sont les principales causes de défaillance des systèmes de conversion d'énergie électrique [CIA02]. Les convertisseurs statiques sont amenés à être utilisés dans des environnements contraignants en fonction du domaine d'application (aéronautique, automobile, ferroviaire, production d'électricité en site isolé) avec des exigences élevées en termes de durée de vie et de fiabilité, il est donc primordial de faire des choix technologiques à même de satisfaire les contraintes de durée de vie et de performances des convertisseurs.

Afin de limiter l'élévation de température à un niveau acceptable pour le composant, il est nécessaire d'optimiser l'évacuation des calories de la puce vers l'extérieur du module. Plus le transfert thermique est facilité, plus on limite l'échauffement à une puissance donnée, ou plus on peut dissiper de puissance avant d'atteindre la température de jonction maximale. C'est pourquoi l'amélioration de l'évacuation de la chaleur et la robustesse des modules vis-à-vis des gradients de température est un aspect de recherche important en électronique de puissance. Ces améliorations passent par le développement de nouveaux moyens et de nouvelles structures pour assembler et interconnecter les composants de puissances aux substrats et aux refroidisseurs. De nouvelles technologies d'interconnexion sont envisagées pour permettre d'augmenter les températures de fonctionnement tout en améliorant le niveau d'intégration, notamment par des assemblages de type « 3D ». Des gains sont attendus en termes d'évacuation de la chaleur par un refroidissement double face, de réduction de l'inductance parasite de maille et de robustesse.

Or, pour valider une nouvelle technologie d'interconnexion ou l'utilisation d'un nouveau matériau d'interface thermique, il est nécessaire de caractériser les propriétés thermiques et électriques des nouvelles solutions développées (notamment les assemblages 3D). Les composants de puissance sont difficilement accessibles à l'intérieur du boîtier sans compromettre l'intégrité de la fonction. C'est pourquoi des analyses intrusives non destructrices, pour évaluer les niveaux de température et/ou la répartition des courants et des températures dans les semi-conducteurs lors du fonctionnement, sont impératives mais délicates quant à leur mise en œuvre. Une solution apparue dans les années 1990 pour caractériser un assemblage consiste à substituer un composant de puissance par une puce en silicium instrumentée. Ces puces de tests thermiques (TTC « Thermal Test Chip ») sont pourvues d'un dispositif de chauffe (résistance chauffante) afin de reproduire la dissipation de puissance dans un

semi-conducteur, et de capteurs de température dans le but de cartographier la température en surface de la puce.

L'évolution que nous proposons dans ce chapitre est une version de puce de test qui se veut plus représentative des phénomènes thermoélectriques réels au niveau des composants de puissance et ouvrant des perspectives intéressantes sur l'évaluation et l'observation des phénomènes au sein des modules de puissance.

La puce de test développée au sein du G2elab au cours de cette thèse est, contrairement à ses aînées TTC (« Thermal Test Chip »), un véritable composant de puissance à structure verticale dans lequel ont été implantés des capteurs de température et de tension afin de créer un composant à structure verticale instrumenté (VETTC Vertical Electrical and Thermal Test Chip). L'ajout de capteurs de tension permet une cartographie qui n'est plus uniquement thermique mais aussi électrique. Cette avancée est intéressante puisque les composants de puissances sont le siège de couplages électrothermiques forts, ceci sera détaillé ultérieurement. Les zones de capteurs sont réparties sur la surface du composant et isolées électriquement au plus près de la zone active. Les capteurs de température utilisés sont des résistances dont la valeur varie avec la température, ce type de capteur est appelé RTD (« Resistance Temperature Detector »). Dans un procédé de fabrication microélectronique, les RTD sont réalisées à partir de dépôts en couche mince de matériaux conducteurs dont la résistivité est thermosensible. Afin de mesurer la variation de la résistance de ces capteurs de température, il faut y injecter un faible courant continu et mesurer la chute de tension à ses bornes par une méthode « 4 fils » ou dite de Kelvin. Les capteurs de tensions consistent à prendre le contact à différents points de la métallisation et d'en mesurer le potentiel. Ces capteurs nécessitent une connectique associée et une liaison avec l'extérieur ; des plots de contacts regroupés sur un côté de la puce permettent de relier la puce de test à un connecteur via des fils de bonding. La puce de test conçue dans ces travaux répond également aux standards donnés par le « EIA/JEDEC Thermal Test Chip Guideline » [JESD51-4] tant au niveau de l'emplacement des capteurs, de la méthode de mesure, de la taille de la puce et des plots de contacts que de la finition en faces avant et arrière du composant.

Ce chapitre décrit la structure, les études de réalisations, le processus technologique et le fonctionnement de cette VETTC ainsi que les résultats expérimentaux obtenus.

II. Approche conceptuelle

Devant la non adaptabilité des puces de test industrielles pour la caractérisation des modules de puissance 3D, et les opportunités en terme de caractérisation apportées par ce type de dispositif, la conception d'une puce de test « faite maison » s'est révélée une solution attirante. La disponibilité d'une plateforme technologique dédiée à la confection de composants de microélectronique au Centre Interuniversitaire de Microélectronique de Grenoble (CIME) a appuyé cette décision. Les choix de procédés de fabrication concernant les matériaux, les modes de dépôt ou les types de dopants ont donc été faits en fonction des besoins et des moyens technologiques disponibles au sein de cette plateforme.

La confection d'une puce de test, de sa conception à sa fabrication, nous a permis d'optimiser le dispositif en fonction de nos besoins tout en apportant des avancées conceptuelles significatives vis-à-vis des solutions existantes. Ce fut notamment l'opportunité d'adapter la finition de surface du composant en fonction de la technologie de prise de contact 3D utilisée pour interconnecter le composant à son environnement. Cette approche est un pas en avant dans la conception couplée entre le composant et son package.

La première évolution de notre concept de puce de test est d'instrumenter non plus une pastille en silicium, mais un composant de puissance fonctionnel à tenue en tension verticale. L'utilisation d'une

diode PIN de puissance comme support permet de s'affranchir d'un dispositif artificiel de chauffe pour dissiper de la puissance. Ainsi, la dissipation thermique engendrée par ce composant sera, par nature, plus représentative du comportement réel des composants à semi-conducteurs de puissance. Ce concept de puce de test offre ainsi la possibilité d'observer les phénomènes de répartition de la chaleur à la surface de la puce dans des conditions représentatives d'usage.

La deuxième évolution tient dans le rassemblement des plots de connexions, qui permettent d'avoir accès aux grandeurs mesurées par les capteurs, sur un seul bord de la puce. Cela permet de laisser toutes les métallisations de surface libres, en faces avant et arrière, pour servir de support à une technologie innovante d'interconnexion de type 3D. Les finitions des métallisations de part et d'autre du composant pourront ainsi être adaptées aux différentes technologies de prises de contact.

Enfin, le dernier apport de la puce de test présentée ici est d'intégrer, non seulement des capteurs de température, mais également des capteurs de potentiels. Ainsi ce dispositif permet d'obtenir une cartographie de la répartition du potentiel et de la température à la surface d'un composant de puissance, ces derniers étant le siège d'un couplage fort entre les grandeurs électriques et thermiques. Les imperfections des interfaces de contact (« voids » dans les brasures, mauvais contact d'un micro-poteau ou d'un bump...) ont des effets directs sur la répartition du courant dans la métallisation. Les capteurs de potentiels implantés en face avant du composant vont donc être utiles pour observer ce genre de défaut. L'outil développé peut, de ce fait, servir d'outil de contrôle de la qualité de l'interconnexion. La double cartographie recueillie de potentiels et de températures rend possible l'analyse des phénomènes électrothermiques résultant de l'injection de courant dans le composant de puissance. L'observation de ces phénomènes électrothermiques peut permettre d'appréhender l'impact de l'emplacement des fils de bondings ou de rubans sur la métallisation en face avant.

L'objectif est donc de créer une diode de puissance à structure verticale dont la métallisation en face avant est instrumentée de capteurs de température et de potentiel de telle façon que ces capteurs ne perturbent pas trop le comportement électrothermique du composant tout en permettant de cartographier, aussi finement que possible, les grandeurs thermiques et électriques à la surface de la puce, au plus près de la zone active. Les capteurs intégrés doivent donc utiliser une technologie compatible avec les procédés de fabrication des composants de puissance en salle blanche. Les éléments sensibles à la température, intégrables sur silicium, fonctionnent sur les modifications de propriétés thermoélectriques de matériaux. C'est pourquoi ces capteurs doivent être isolés électriquement de la zone active et de la métallisation du composant de puissance dans des régions de très faibles champs électriques.

Il est important de rappeler que ce composant a été réalisé dans la salle blanche du CIME Nanotech de Grenoble et, pour cette raison, les choix de conception ont été en grande partie guidés par les technologies disponibles au sein de cette plateforme. Les réalisations de VETTC issus de ces travaux n'ont pas fait l'objet de précautions particulières afin de soigner la tenue en tension du composant. Ni anneaux de gardes, ni finitions des terminaisons en tension n'ont été réalisés.

III. Description et principe de fonctionnement de la VETTC

III.1. La structure du composant de puissance

La VETTC est fabriquée à partir d'un substrat en silicium homogène N- afin de créer une diode de puissance à structure verticale de type PIN. Ce type de composant est formé d'une région de type P+ peu profonde et fortement dopée, d'une région faiblement dopée de type N- puis d'une zone N+ également peu profonde et fortement dopée. Ces zones sont typiquement réalisées par l'implantation et la diffusion de dopants dans le substrat de base qui constitue la région de tenue en tension de type N-. Afin de créer une jonction PN, on dope la face supérieure par implantation et diffusion de Bore créant la zone P+. Au contact de la zone N-, on obtient donc une jonction PN dont la face supérieure est l'anode du dipôle et la face inférieure la cathode. La zone N+, permet d'éviter un contact Schottky avec la métallisation inférieure. Elle est créée par l'implantation et la diffusion d'arsenic en face arrière. Les deux régions extrêmes assurent le rôle d'injecteurs de charges. Le substrat silicium utilisé est un substrat faiblement dopé N- de 350 μ m d'épaisseur.

Dans un composant de puissance conventionnel, la face supérieure est en temps normal composée d'une métallisation adaptée à la soudure par ultrason des fils d'interconnexion électrique. Eventuellement cette face supérieure est aussi le siège d'anneaux de gardes qui améliorent la tenue en tension du composant. La métallisation est un empilement de plusieurs couches métalliques (Al/Ti/TiN optimisées pour s'adapter au mieux à la connectique filaire de puissance tant au niveau de la faisabilité du procédé qu'au niveau de la réduction des contraintes thermomécaniques. De plus, cet empilement permet de prévenir l'altération de la métallisation due à l'oxydation.

Dans la VETTC, les capteurs sont implantés dans la première couche de cette métallisation face avant, c'est à dire au sein de la couche d'aluminium, et doivent être électriquement isolés du potentiel d'anode du composant de puissance. La description de la partie active du composant est proposée dans la partie VI.1 (page 70) de ce chapitre.

III.2. La composition des capteurs de potentiel

Les capteurs de potentiel intégrés permettent d'obtenir une cartographie de la répartition du potentiel à sa surface. Le principe des capteurs de potentiel est donc relativement simple, il consiste à venir connecter la métallisation de l'anode en différents points et de faire une mesure déportée de chacun de ces potentiels (figure 55). Pour ce faire, il faut disposer d'une connectique adaptée au niveau de la couche de métallisation du composant tout en étant électriquement isolée de cette dernière excepté à l'endroit où l'on souhaite mesurer le potentiel. L'objectif est de pouvoir mesurer la distribution du potentiel à la surface du composant puisque ces variations de tension en surface sont représentatives du couplage électrothermique et des défauts ponctuels des interconnexions 3D.

A chaque capteur de potentiel est alloué un plot de connexion pour l'acquisition de la tension mesurée. Les différences de potentiels vis-à-vis du semi-conducteur et du métal d'anode sont relativement faibles (inférieures à quelques volts), l'isolation de la couche de connectique n'est donc pas très contraignante. L'absence de courant dans la connectique permettra d'en optimiser l'épaisseur et la section. Dans le cas de mesures effectuées en dynamique lors du fonctionnement du composant de puissance, il faudra étudier les effets de mutuelles inductances et de capacités électriques qui risquent de perturber la mesure du potentiel. Dans cette étude, les mesures sont effectuées en continu ce qui permet de s'affranchir de ces phénomènes, mais qui devront être gardé à l'esprit pour une extension de l'utilisation de la VETTC.

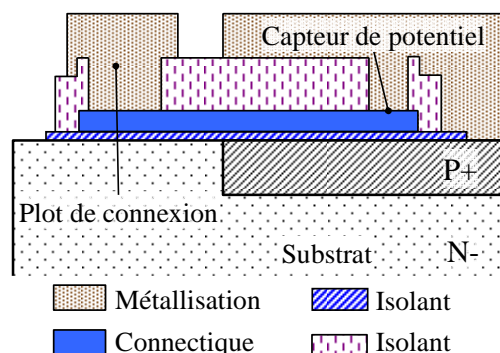


Figure 55 : Vue en coupe schématique d'un capteur de potentiel

III.3. Capteurs de température à base de résistance (RTD)

Un élément sensible à la température est un composant dont une caractéristique mesurable varie de manière connue avec la température [VIG00]. Un capteur de température est un élément sensible à la température, "habillé" de sa connectique et de son système de conditionnement de l'information, permettant d'accéder à la caractéristique mesurable en dehors du milieu. Plusieurs types d'éléments sensibles peuvent être envisagés afin de mesurer la température de manière intrusive au sein du composant, donc à échelle microscopique. Bien que plusieurs types de capteurs aient été envisagés, comme l'effet « Seebeck » utilisé dans les thermocouples [HER86 AIT03], ou le comportement électrique thermosensible d'une jonction PN [SZE06], les capteurs de température à résistance ont été préférés (RTD « Resistance Thermal Detector »). Le choix du type de capteur est avant tout basé sur un aspect de faisabilité de la réalisation technologique. En effet, les deux premières options souffrent chacune d'une complexité de mise en œuvre plus importante, ce qui nous a conduits à opter pour l'intégration de capteurs à résistance.

Le principe de mesure par RTD consiste à utiliser la variation de la résistivité d'un matériau en fonction de la température pour en déduire sa température. En effet, sous l'action de la température les propriétés électriques des métaux, des semi-conducteurs ou des alliages changent. Pour chaque matériau conducteur, ou semi-conducteur, il faut définir le coefficient thermique de résistivité (TCR « Temperature Coefficient of Resistance ») nommé α , exprimé selon la formule (15) qui désigne la sensibilité thermique résistive du matériau.

$$\rho_T = \rho_0 [1 + \alpha(T - T_0)] \quad [\Omega.m] \quad (15)$$

Où ρ_T est la résistivité à la température T , ρ_0 la résistivité à la température T_0 , et α le coefficient thermique de résistivité exprimé en $^{\circ}C^{-1}$. Il est cependant d'usage de qualifier le TCR α en $\%/^{\circ}C$ en utilisant la formule (16) dans laquelle ΔR est la variation de la résistance, R_0 la valeur de résistance à une température de référence T_0 et ΔT la variation de température :

$$\alpha = \frac{\Delta R}{R_0} \times 100 \quad [\%/^{\circ}C] \quad (16)$$

Tous les métaux usuels ont des TCR positifs, c'est-à-dire que leur résistivité électrique augmente avec la température. En revanche, les semi-conducteurs non dopés ont des TCR négatifs. On parle de NTC (Negative Temperature Coefficient) et de PTC (Positive Temperature Coefficient). Quelques valeurs de résistivité et de TCR pour des matériaux couramment utilisés en électronique sont données dans le tableau 3 issues de [GIA08].

Tableau 3 : Résistivité et coefficient thermique de résistivité des matériaux usuels à 25°C [GIA08]

Matériaux	ρ [$\Omega \cdot m$]	α [%/°C]
Conducteurs		
Aluminium	$2,8 \cdot 10^{-8}$	0,43
Argent	$1,6 \cdot 10^{-8}$	0,61
Cuivre	$1,7 \cdot 10^{-8}$	0,68
Fer	$9,7 \cdot 10^{-8}$	0,65
Platine	$10,6 \cdot 10^{-8}$	0,39
Nickel	$7,0 \cdot 10^{-8}$	0,6
Tungstène	$5,6 \cdot 10^{-8}$	□,45

Matériaux	ρ [$\Omega \cdot m$]	α [%/°C]
Semi-Conducteurs		
Carbone	de $3,1 \cdot 10^{-5}$ à $60 \cdot 10^{-5}$	-0,05
Polysilicium	de $1 \cdot 10^{-7}$ à 0,3	de -0,5 à 0,3
Germanium	de $1 \cdot 10^{-3}$ à $500 \cdot 10^{-3}$	-5
Silicium	de 0,1 à 60	-7

Le choix d'un matériau pour réaliser un thermomètre à résistance dépend des critères de sensibilité, de fidélité (invariabilité avec le temps) et de linéarité. Le matériau idéal est donc un matériau dont la résistivité varie très fortement avec la température (α très élevé), dont la structure est stable et invariante durant la durée de vie du capteur et dont la relation qui lie la température à la résistivité est linéaire.

Les résistivités ainsi que les TCR donnés pour les semi-conducteurs varient fortement en présence d'impuretés. Le type de dopant, leur concentration, la taille des grains, la température de dépôt, l'épaisseur de dépôt, le mode de dépôt ou les recuits sont des paramètres influents. De nombreux travaux ont été menés afin d'explorer les variations de TCR de semi-conducteurs (silicium [ZHO10], silicium polycristallins [LU80 MCC01 KOV05 RAM06 RYD00 BOU02], silicium amorphe [SYL00 ABT07], carbure de silicium [DU94 FEL09], germanium [MIN62]) en fonction de ces paramètres. Les objectifs de ces études étant d'une part de trouver des matériaux ayant des valeurs de TCR très élevées pour servir de capteur de température et d'autre part de trouver des matériaux ayant des TCR nuls afin de fabriquer des résistances invariantes avec la température. Des films Polysilicium dopés au phosphore peuvent voir le signe de leur TCR changer en fonction de la concentration des dopants en passant par une valeur nulle (figure 56). Des coefficients géants de l'ordre de 13%/°C ont été découverts pour des films ZnO/Si déposés sous des conditions particulières par laser pulsé (PLD « Pulsed Laser Deposition »).

Le choix du matériau est avant tout conditionné par des aspects de faisabilité en fonction des technologies disponibles au sein de la salle blanche. En partie pour cette raison le Polysilicium dopé phosphore, qui ne montre pas la meilleure sensibilité, a été retenu pour d'autres qualités. Bien que ce procédé montre des valeurs de TCR plutôt faibles (de l'ordre de +/-0,3%/°C), inférieures aux TCR des métaux massifs qui se situent autour de 0,5%/°C, la forte résistivité des dépôts de Polysilicium qui dépend du dopage ($\approx 2 \cdot 10^{-5} \Omega \cdot m$) permet de limiter l'encombrement et d'obtenir des sensibilités plus élevées lors de la mesure comme nous le verrons plus loin. De plus, la quasi linéarité de la résistivité du Polysilicium dopé phosphore en fonction de la température sur la plage 20-100°C, comme présenté figure 56 dans la littérature [BOU02], est un atout non négligeable dans l'utilisation de ce matériau en tant que capteur de température. Un recuit (800°C) d'activation des charges et de stabilisation des propriétés électriques du Polysilicium permet de fixer la résistivité du dépôt et d'obtenir des caractéristiques invariantes du Polysilicium pour des cycles thermiques de faible amplitude (20-150°C) [AND06]. En effet, contrairement à certains métaux, qui vont avoir tendance à diffuser à des températures au-delà de 100°C [MAR12], le Polysilicium a une structure plus stable [SUA92 RYD00].

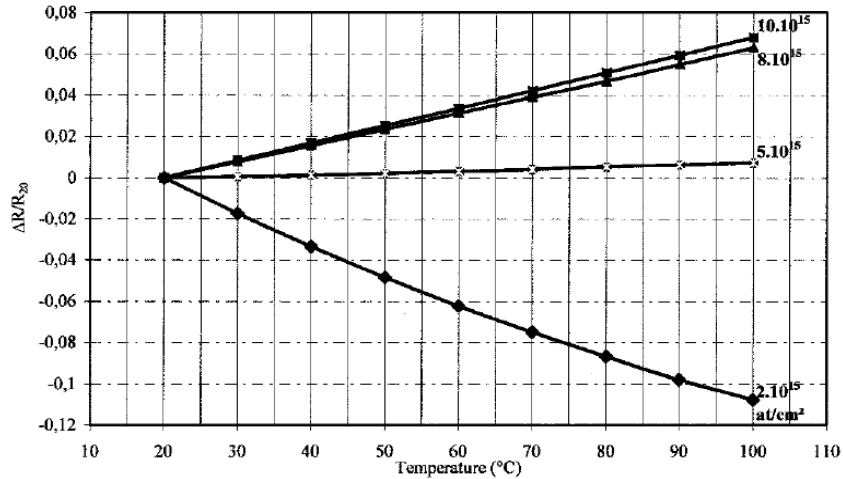


Figure 56 : Variation relative de la résistance de films Polysilicium pour différentes concentrations de phosphore [BOU02]

La méthode de mesure par RTD consiste à déterminer l'évolution de la résistance en fonction de la température. Pour ce faire, un courant précis, prédéfini et stable circule dans le capteur et la variation de température est déduite de la variation de tension à ses bornes. Afin de réaliser une mesure correcte de la résistance, il est nécessaire de s'affranchir de la chute de tension non nulle dans la connectique due à la résistance intrinsèque des matériaux de connectique. C'est pourquoi une mesure à l'aide d'une méthode « 4 fils » est nécessaire. La mesure « 4 fils » (ou de « Kelvin » en anglais) est la méthode qui permet une plus grande précision de mesure. Elle consiste à injecter le courant de mesure dans la résistance et à mesurer la chute de tension aux bornes de la résistance grâce à des liaisons indépendantes où ne circule que le faible courant des appareils de mesure. Cette mesure nécessite donc 4 connexions par RTD (figure 57). Les résistances R_{con} représentent la résistance induite par la connectique. Le courant qui circule dans la boucle de mesure de tension est quasiment nul, les résistances induites par les contacts ou les fils de mesures n'influent donc pas sur la mesure de la RTD ce qui permet de rendre la mesure indépendante de la résistance de connectique.

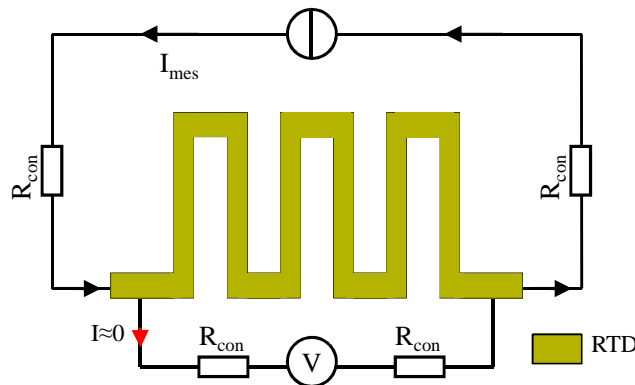


Figure 57 : Principe de la mesure « 4 fils » de température par RTD

Afin de créer une RTD dont la résistivité est élevée tout en ayant un encombrement spatial limité, le film en Polysilicium est réalisé sous forme de serpent. En constituant un long conducteur sur une faible section, on optimise le ratio résistance sur encombrement. Limiter la surface occupée par le capteur permet à la fois de réduire la surface des isolants et de localiser la détection de la température.

IV. Les capteurs au sein de la VETTC

IV.1. L'intégration des capteurs

La figure 58 montre l'emplacement des capteurs dans l'épaisseur de la VETTC entre la zone active et la métallisation. Deux types de capteurs y sont répartis :

- Des capteurs de température de type RTD ;
- Des capteurs de tension qui viennent mesurer le potentiel en différents points de la métallisation

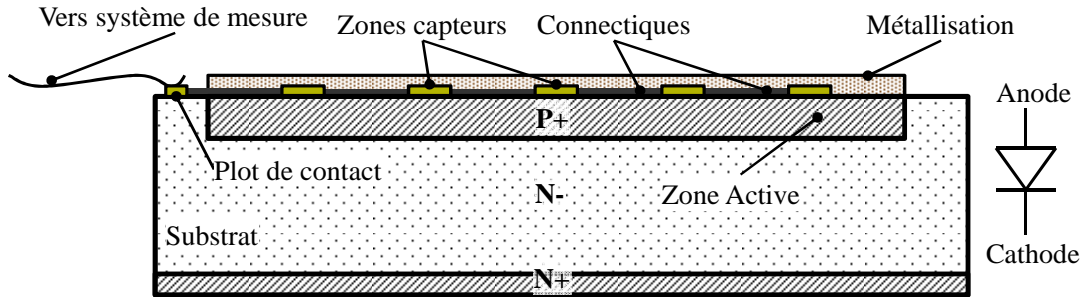


Figure 58 : Vue en coupe schématique de la VETTC

Les capteurs doivent être reliés à des instruments de mesure. Pour cela, une connectique est associée à chaque capteur ce qui permet de l'exciter et/ou de relever les informations des zones capteurs vers l'extérieur. Des « plots de contacts » sont disposés sur un côté du composant et des connexions isolées intégrées relient les plots de contact aux capteurs. Les zones capteurs, les plots de contacts et la connectique sont composés de matériaux conducteurs électriques, ils doivent par conséquent être isolés du silicium et de la métallisation par des couches isolantes. On observe sur la figure 59 les isolants déposés en salle blanche composés d'oxydes ou de nitrures de silicium, respectivement SiO_2 et Si_3N_4 .

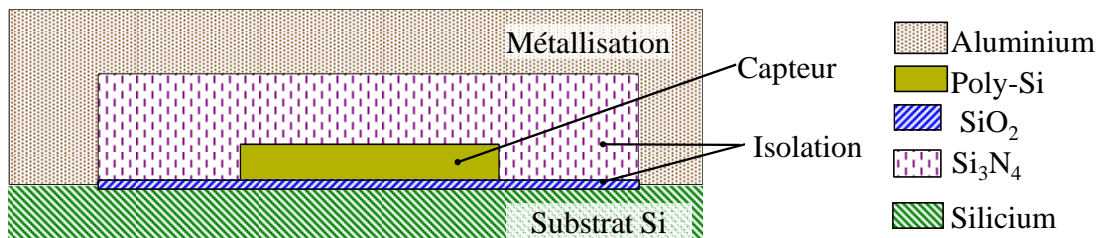


Figure 59 : Vue en coupe schématique de l'isolation électrique des capteurs vis-à-vis des parties actives

Les couches d'oxydes ou de nitrures sont des matériaux diélectriques qui ne sont pas des isolants parfaits, leurs propriétés définissent leur aptitude à tenir la tension et à être "imperméable" au passage du courant. Pour une géométrie donnée, la qualité d'un matériau diélectrique est définie par sa tension de claquage et sa résistance d'isolement. Des imperfections de dépôt et des singularités de géométrie peuvent avoir des effets considérables et entraîner une baisse significative des valeurs théoriques de la rigidité diélectrique ou de la résistance d'isolement. Il en résulte des courants de fuites dépendants du champ électrique auquel est soumis le diélectrique, de la surface de contact entre les conducteurs et le diélectrique, ainsi que de l'épaisseur et de la résistivité du diélectrique.

La description de l'empilement des couches sur la figure 60 permet de montrer la structure et la composition de l'isolation électrique des capteurs de température et des plots de contact vis-à-vis de la zone active et de la métallisation de surface. La figure 60 montre également la prise de contact des capteurs de tension avec la métallisation. Des études sur l'impact de l'intégration des capteurs sur leur

fonctionnement ont été menées et sont présentées dans l'annexe 3. A partir des dimensions et des propriétés des matériaux issus des premières réalisations l'auto-échauffement lié au courant de mesure dans les RTD a été étudié ainsi que la déformation du flux de chaleur induit par la présence des isolants. De ce fait il a été possible de déterminer la puissance maximale que l'on peut dissiper dans les RTD sans engendrer un auto-échauffement significatif (Annexe 3 1)). Ces études mettent également en avant la faible déformation des lignes d'isothermes due aux isolants (Annexe 3 2)).

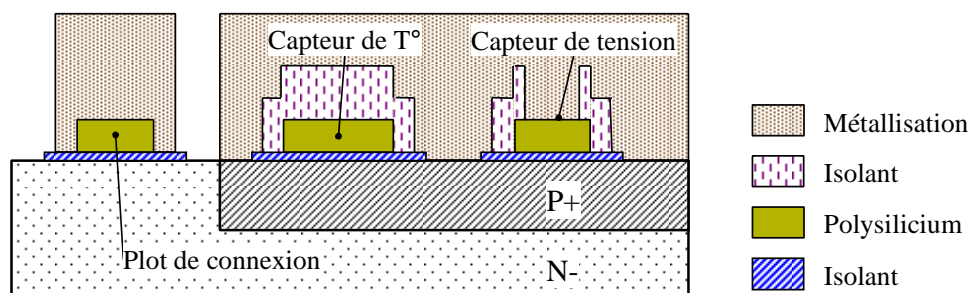


Figure 60 : Vue en coupe schématique permettant de voir la constitution des capteurs

IV.2. La connectique liée aux capteurs

Chaque capteur possède un certain nombre de fils de connexion associés et chaque fil doit être relié à un plot de contact afin de relier la puce de test aux appareils de mesures. Afin de rendre possible l'utilisation de la VETTC avec des technologies de prises de contact 3D, la face supérieure du composant doit être libre, c'est la raison pour laquelle les plots de contact sont rassemblés sur un seul côté de la puce en dehors de la zone active. Les plots sont répartis sur deux rangées ce qui permet d'augmenter le nombre de plots sur un côté de la puce. Ces plots de contacts sont connectés par des fils de bonding aux pistes d'un PCB sur lequel est reportée la puce. La figure 61 représente sur l'image de gauche une vision globale de la VETTC connectée via un PCB à un connecteur CMS. L'image centrale montre la connexion entre la VETTC et le PCB pour la prise de contact d'anode et des plots de contacts. L'image de droite représente quant à elle un agrandissement des fils de bonding qui relient les plots de contacts aux pistes du PCB.

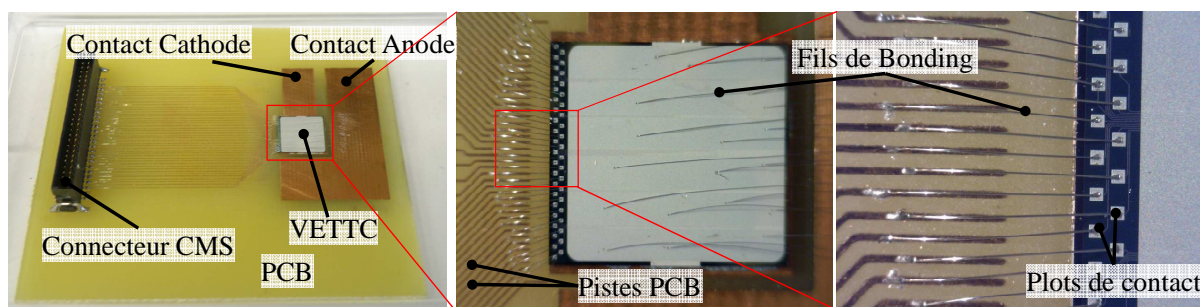


Figure 61 : Photo de la connectique associée à la puce de test

Pour répondre aux critères du standard JEDEC [JESD51-4], la zone active de la VETTC est de $9 \times 9 \text{ mm}^2$. La surface totale avec les plots de connexions et les chemins de découpe mesure quant à elle $9,7 \times 9,4 \text{ mm}^2$. Le nombre de plots de contact dépend du nombre de capteurs utilisés, de la technologie choisie pour ces capteurs et de la méthode de mesure. Plus il y a de plots de contacts, plus ils doivent être de petites dimensions, plus les pistes de cuivre du PCB doivent être fines, et plus le diamètre des fils de bondings doit être faible. Ces contraintes ajoutent de la complexité à la réalisation, de la fragilité et des risques de court-circuit. Pour ces raisons, le nombre de plots de contact a été limité à une quarantaine, ce qui permet d'avoir des plots de contact carrés de surface supérieure à $100 \times 100 \mu\text{m}^2$, d'utiliser des fils de bonding de $50 \mu\text{m}$ de diamètre et des pistes de cuivre de $130 \mu\text{m}$ de

large avec une distance inter pistes de $130\mu\text{m}$. Ces contraintes sont liées aux résolutions maximales des technologies disponibles permettant d'avoir une marge de sécurité lors de la réalisation de l'assemblage. Cette limitation du nombre de plots de contacts à une quarantaine d'éléments conditionne en partie la conception liée aux capteurs de la VETTC. Le nombre de capteurs pourrait être augmenté en ajoutant des plots sur les autres côtés de la puce, mais cela complexifierait la mise en œuvre et l'intégration de la VETTC, c'est pourquoi le nombre de plots de contacts est ainsi limité.

V. Choix de conception liés à l'interconnexion et à la connectique des RTD.

Chaque RTD a une connectique associée selon une méthode « 4 fils ». Bien que cette mesure, qui dissocie l'injection du courant et la mesure de tension, soit la seule permettant une mesure précise de la résistance, on peut cependant imaginer plusieurs méthodes pour exciter et connecter les capteurs entre eux afin de limiter le nombre de plots de contacts par capteur, le nombre de pistes et faciliter la mise en œuvre ou la réalisation. Si les capteurs sont tous indépendants, il faut quatre plots par RTD plus un plot pour la mesure de tension, ce qui limite à 8 le nombre de capteurs par puce pour être en dessous des 40 plots de contact. Suivant les solutions, le procédé de fabrication en salle blanche peut avoir un degré de complexité variable en termes de nombre de couches de matériaux, d'étapes de photolithographie... C'est pourquoi plusieurs versions de la puce de test ont été envisagées afin d'atteindre le meilleur compromis entre facilité de réalisation, simplicité de mise en œuvre et précision des mesures.

V.1. Constitution d'une première version de la VETTC

V.1.1. Mise en série des capteurs

Connecter l'ensemble des RTD en série est un choix de conception qui peut paraître astucieux à bien des égards. Cela consiste à relier électriquement tous les serpentins en Polysilicium afin qu'ils soient parcourus par un courant de mesure unique et d'effectuer une mesure de tension différentielle aux bornes de chaque capteur (figure 62).

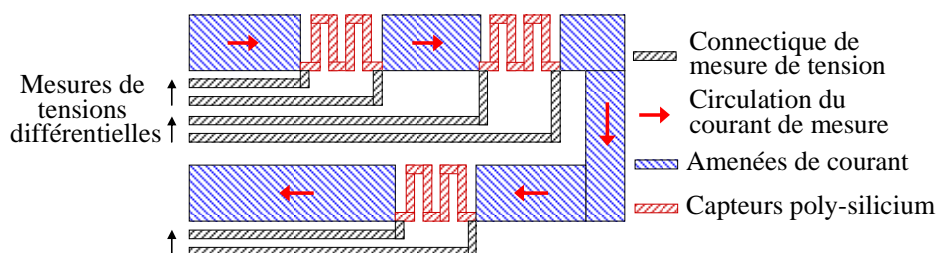


Figure 62 : Schéma de principe de la mise en série des capteurs de température

A première vue, l'utilisation d'un seul courant de mesure pour tous les capteurs est un avantage pour plusieurs raisons. Le premier aspect séduisant est de limiter l'erreur que l'on pourrait faire sur l'injection du courant d'un capteur sur l'autre puisqu'un seul courant de mesure est injecté et traverse idéalement tous les capteurs. Deuxièmement, le nombre de plots de contact nécessaires par capteur se trouve fortement diminué puisque l'on utilise seulement deux plots pour l'ensemble des capteurs pour l'injection du courant de mesure. Il n'y a donc que deux plots affectés par RTD afin de mesurer la chute de tension dans chaque serpent. On augmente donc considérablement le ratio nombre de capteurs sur nombre de plots de contact, tout en utilisant une méthode de mesure « 4 fils ». Ce choix de conception permet d'intégrer 13 capteurs de température et 13 capteurs de tension sur la puce tout en restant proche de la limite de 40 plots imposée. Le troisième avantage d'une connexion série des

capteurs est la simplicité que cela procure au niveau de la mise en œuvre de la mesure. En effet, une seule source de courant parcourt tous les capteurs, et aucun système d'aiguillage n'est nécessaire.

Cependant, cette méthode possède certaines limitations. Premièrement, l'acquisition des grandeurs mesurées est rendue délicate par la tension de mode commun présente au niveau de chaque capteur de température. Le dispositif de mesure de tension différentielle associé à chaque RTD doit donc être instrumenté afin d'avoir un fort taux de réjection de mode commun permettant de dissocier le signal utile de la composante de mode commun. Deuxièmement, dans le cas d'une mise en série, toutes les RTD sont sur le même chemin de courant, les chutes de tension aux bornes de chaque résistance s'ajoutent et créent une chute de tension totale significative entre l'entrée et la sortie. Les RTD proches de l'entrée du courant vont donc avoir des tensions de mode commun importantes et qui vont décroître jusqu'à la dernière RTD qui n'aura presque pas de tension de mode commun.

La valeur de cette tension de mode commun est directement liée à la valeur du courant de mesure et à la valeur des résistances des serpentins. Afin d'optimiser la sensibilité des RTD, pour un TCR donné, il est judicieux de maximiser la valeur de la résistance du capteur. C'est pourquoi on risque d'avoir une résistance équivalente des capteurs mis en séries très importante et d'être obligé de limiter fortement le courant de mesure pour ne pas avoir une tension trop élevée au niveau des capteurs. L'isolation électrique entre les capteurs et la partie active du composant est assurée par des matériaux déposés en couches minces ($\approx 100\text{nm}$), il est nécessaire de limiter le potentiel dans le Polysilicium bien inférieur à la tension de claquage théorique de la couche d'oxyde. Le SiO_2 thermique a un champ de claquage de l'ordre de 10MV/cm [HAR78], ce qui donne une tension de claquage théorique de 100V . On parle de tension de claquage théorique puisque des défauts ponctuels peuvent survenir lors du dépôt du SiO_2 (cet aspect sera approfondi dans la section V.1.4). Or, la tenue diélectrique de la couche d'oxyde est fortement dépendante de la qualité du contact Si/Oxyde et Polysilicium/Oxyde [SHO63]. En effet, sur des surfaces importantes d'oxyde, comme c'est le cas dans notre système, la présence de défauts ponctuels d'origine organique, ou dus à une mauvaise uniformité du dépôt entraîne une baisse significative de la tenue en tension réelle des couches isolantes. L'expérimentation a permis de montrer des ruptures de diélectrique pour des tensions appliquées légèrement supérieure à 5V . Si l'on utilise une valeur de RTD d'une dizaine de $\text{k}\Omega$, la valeur de la résistance totale du circuit de mesure sera supérieure à $130\text{k}\Omega$ sans prendre en compte la résistance induite par les amenées de courant. Afin de limiter la chute de tension totale à 5V pour éviter le claquage des couches diélectriques, le courant de mesure maximal applicable est de l'ordre de $30\mu\text{A}$. La conséquence en est indéniablement une perte sur la sensibilité des capteurs. La forte tension dans le Polysilicium a aussi un effet négatif sur un phénomène détaillé plus tard concernant les courants de fuites à travers les diélectriques (section V.1.4). D'autant plus que le potentiel varie tout au long du circuit de mesure ce qui va impacter l'incidence des fuites d'un capteur sur l'autre.

Malgré les risques énoncés ci-dessus liés à une connexion série des RTD, ce choix a été effectué de manière à intégrer un plus grand nombre de capteurs et simplifier la mesure. La première version de la VETTC propose donc une connexion en série des capteurs de température qui permet d'intégrer 13 RTD et 13 capteurs de potentiel à la surface du composant.

V.1.2. Constitution des connectiques (Polysilicium)

Pour simplifier le processus de fabrication en salle blanche il semble intéressant de réaliser les pistes de connectique et d'amenée de courant avec le même matériau que celui utilisé pour les RTD. Un seul un dépôt et une seule étape de photolithographie est donc nécessaire pour réaliser les capteurs et leurs connectiques associées. Cela réduit le nombre d'étapes de photolithographie et de gravure ce qui rend le procédé de réalisation plus rapide et plus simple, donc moins coûteux et moins risqué.

L'utilisation d'un autre matériau pour réaliser les connectiques nécessite de maîtriser le processus technologique de double métallisation qui consiste à effectuer le contact entre deux couches métalliques. Le Polysilicium déposé est un conducteur électrique, dans les conditions de dépôt, de dopage et de recuit propres à la réalisation de la VETTC. Bien que sa conductivité électrique soit loin de celle des métaux déposables en salle blanche ($\approx 3.10^{-5}\Omega.m$ contre $2,8.10^{-8}\Omega.m$ pour l'aluminium) on peut envisager de l'utiliser pour réaliser la piste d'amenée de courant et les pistes de connectiques en leur tolérant une plus forte résistance. La mesure de tension différentielle est réalisée par une méthode « 4 fils », ce qui rend la mesure indépendante de la résistance électrique de la connectique. L'utilisation du Polysilicium n'est donc pas un obstacle à ce niveau-là. En revanche, des amenées de courant plus résistives entraînent une chute de tension plus importante lors du passage du courant de mesure. La partie précédente a permis de mettre en avant en quoi ceci est néfaste et particulièrement lorsque les capteurs sont mis en série. Sans modifier les propriétés du Polysilicium, on peut jouer sur la géométrie des pistes pour en réduire la résistance équivalente, puisqu'elle dépend de la longueur et de la section du conducteur.

La longueur des pistes dépend de la dimension du composant et de l'emplacement des capteurs ; elle est donc figée contrairement à la largeur des pistes et l'épaisseur du dépôt qui peuvent être modifiées. Si la liberté sur l'épaisseur est faible à cause des limites de la technologie de dépôt (jusqu'à 600nm max), la largeur des pistes peut être augmentée dans une mesure plus conséquente. Le critère qui va limiter l'augmentation de la largeur des amenées de courant est la surface de conducteur, qui pour deux raisons, ne peut pas être trop importante. Premièrement, plus la surface de conducteur est grande plus le comportement électrique et thermique du composant de puissance risque d'être perturbé (voir annexe 3). L'utilisation du Polysilicium comme connectique est donc plus adaptée à une mise en série des capteurs (figure 62), car dans le cas de capteurs individuels, la surface occupée par les oxydes devient prohibitive (figure 63). Deuxièmement, une surface importante du conducteur favorise les courants de fuites à travers les isolants (section V.1.4).

Ici encore, la simplicité de réalisation en salle blanche nous pousse à utiliser une connectique Polysilicium en dépit des risques liés à l'importante surface de conducteur.

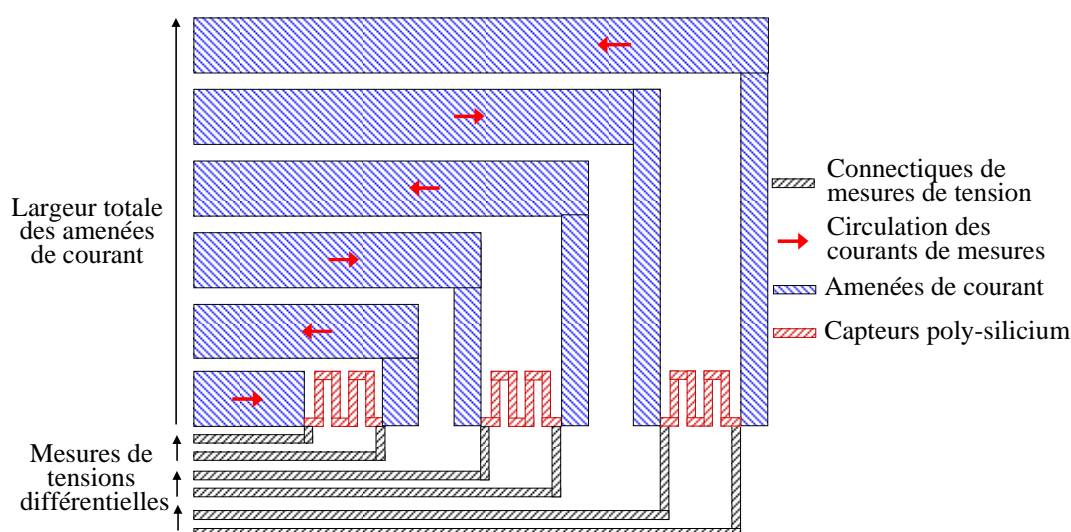


Figure 63 : Connectique en Polysilicium pour une configuration de capteurs individuels

V.1.3. Réalisation de la « Version 1 »

Le premier prototype de puce de test réalisé propose une connexion en série des capteurs et une connectique en Polysilicium. Afin d'éviter les redondances, ce véhicule de test « capteurs séries et

connectique Polysilicium » sera nommé « Version 1 ». La « Version 1 » contient 13 capteurs de température de type RTD reliés en série et 13 capteurs de potentiels dont la connectique associée nécessite en tout 41 plots de contacts. 13% de la surface totale est occupée par les isolants dont les amenées de courant occupent à elles seules 6,7% soit $5,5\text{mm}^2$. La surface des amenées de courant est élevée puisque pour limiter la chute de tension totale dans le circuit de mesure, la largeur des pistes a été élargie à un minimum de $100\mu\text{m}$. Cette largeur est loin de la résolution que l'on peut obtenir sur des motifs en Polysilicium. En guise de comparaison, les connectiques ne transportant pas de courant et les serpentins des RTD ont une largeur de seulement $6\mu\text{m}$. Une représentation schématique, sans respecter les rapports d'échelle, permet de voir la répartition des capteurs et de l'oxyde à la surface du composant de puissance (figure 64). Par ailleurs, une vue au microscope de la réalisation d'une zone capteur est présentée figure 65.

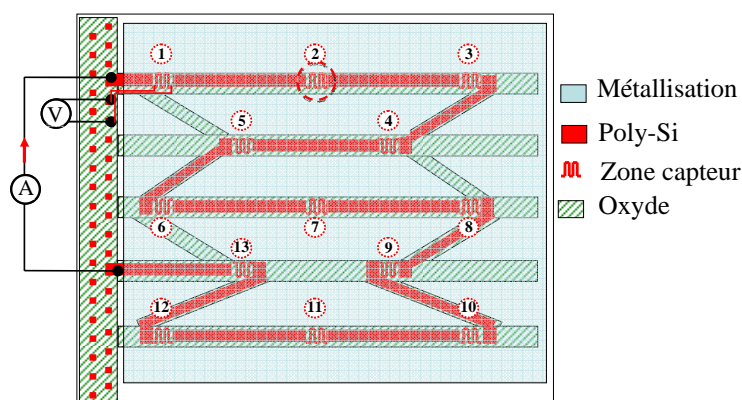


Figure 64 : Représentation schématique de la « Version 1 » de la VETTC

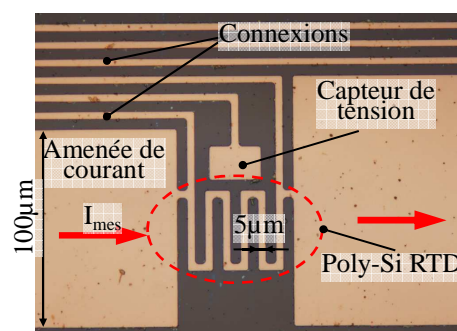


Figure 65 : Agrandissement, vue au microscope d'une zone capteur

Sur cet échantillon, la résistivité du Polysilicium est de $3.10^{-5}\Omega.m$ ce qui donne, malgré l'optimisation de la largeur des pistes, une résistance globale du circuit de mesure de $200\text{k}\Omega$. Chaque RTD possède une valeur proche de $10\text{k}\Omega$, et la résistance globale de l'amenée de courant est d'environ $70\text{k}\Omega$. Afin de limiter la chute de tension globale à 5V le courant de mesure ne doit donc pas excéder $25\mu\text{A}$.

Des mesures ont été réalisées, conformément à la figure 66, par l'injection d'un courant de $25\mu\text{A}$ dans le circuit de mesure et en effectuant une mesure différentielle « 4 fils » aux bornes de chaque RTD afin de mesurer la valeur de tous les capteurs implantés dans la VETTC. L'appareil utilisé pour l'injection comme pour la mesure de tension est un SMU Keithley 2635 dont l'erreur sur la programmation du courant et sur la mesure permet une incertitude autour de $0,5\%$ sur la valeur de la résistance mesurée. Les mesures effectuées de cette manière vont être comparées à une configuration où la métallisation en face avant du composant est électriquement connectée à la masse de la source de courant (figure 67). Cette configuration permet d'observer l'impact d'éventuels courants de fuite traversant les couches isolantes. En effet, le fait de relier la métallisation à la référence du circuit de mesure ne devrait pas modifier la mesure en cas d'absence de courants de fuite. Cette configuration de mesure est appelée « mesure gnd » en comparaison avec la mesure dite « mesure isolée ». Ces deux configurations sont représentées respectivement sur la figure 66 et la figure 67.

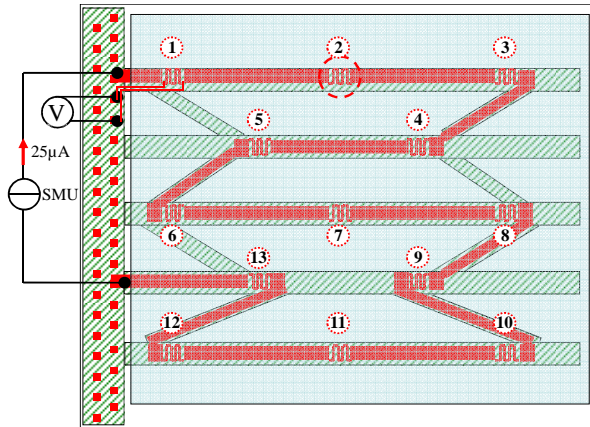


Figure 66 : Configuration de mesure dite « isolée »

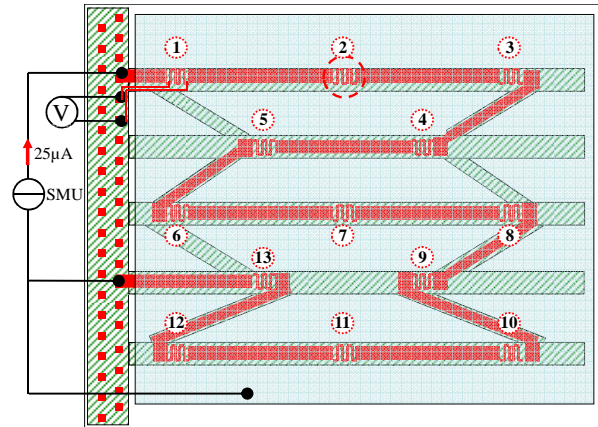


Figure 67 : Configuration de mesure dite « gnd »

Les mesures de disparités des RTD, numérotés de 1 à 13, sont ainsi faites dans les deux configurations pour deux composants issus du même wafer. Les résultats comparant les deux configurations de mesures sont présentés respectivement sur la figure 68 et la figure 69 pour le composant 1 et le composant 2. Une synthèse des résultats est proposée dans le tableau 4 dans lequel apparaissent la valeur moyenne des résistances mesurées et la disparité relative autour de cette valeur moyenne pour les 13 capteurs ainsi que la différence relative sur la valeur moyenne entre les deux configurations de mesure.

On peut extraire de ces mesures que l'isolation électrique des capteurs et de leur connectique n'est pas parfaitement assurée. En effet, conformément aux résultats présentés, la valeur moyenne des RTD mesurée dans la configuration « gnd » montre une baisse significative de l'ordre de 10% par rapport à la configuration « isolée ». De plus la disparité augmente, ce qui peut indiquer qu'une partie du courant de mesure passe par la métallisation ou le silicium à travers les isolants.

Les conclusions de ces mesures nous poussent à étudier plus en détail les phénomènes liés à la qualité et aux performances des matériaux diélectriques.

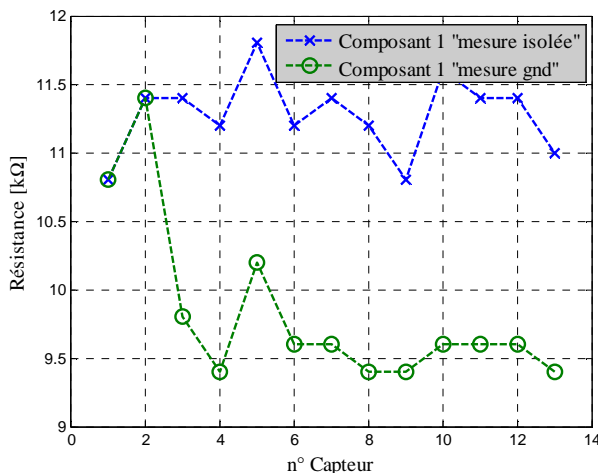


Figure 68 : Valeur des 13 RTD sur le composant 1 pour les deux configurations de mesure

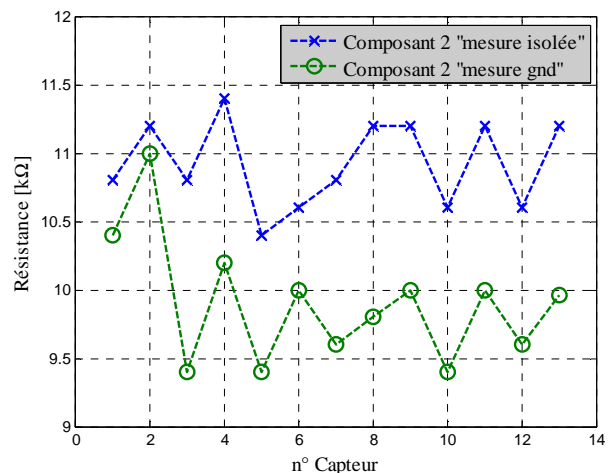


Figure 69 : Valeur des 13 RTD sur le composant 2 pour les deux configurations de mesure

Tableau 4 : Synthèse comparative des mesures pour les deux configurations

	Mesure Isolée		Mesure gnd		Différence
	Valeur moyenne mesurée	Disparité relative	Valeur moyenne mesurée	Disparité relative	Valeur moyenne
Composant 1	11,28kΩ	2,56%	9,83kΩ	6,26%	12,8%
Composant 2	10,92kΩ	2,95%	9,9kΩ	4,63%	9,3%

V.1.4. Qualité des diélectriques et courants de fuite

Les propriétés diélectriques intrinsèques des matériaux isolants sont définies par deux grandeurs :

- La rigidité diélectrique exprimée usuellement en kV/cm qui définit la tension par unité d'épaisseur que peut supporter une couche isolante avant la rupture diélectrique partielle ou totale du milieu.
- La résistance d'isolement, qui dépend de la géométrie, des conditions d'utilisation et de la résistivité électrique du matériau isolant, qualifie la capacité du diélectrique à empêcher le passage d'un courant. Les propriétés théoriques des deux matériaux massifs qui servent d'isolants autour des capteurs, leurs connectiques et les amenées de courant sont présentées dans le tableau 5. Il est cependant très difficile de connaître les propriétés réelles des couches minces déposées dans les conditions de fabrication en salle blanche.

Le dioxyde de silicium (SiO₂), d'une épaisseur de 100nm, compose la couche inférieure d'isolation entre la zone active et le Polysilicium. Le nitrure de silicium (Si₃N₄), d'une épaisseur de 500nm, permet quant à lui d'isoler la face supérieure du Polysilicium vis-à-vis de la métallisation.

Tableau 5 : Propriétés des couches isolantes [VIR02]

Propriétés	SiO ₂	Si ₃ N ₄	Unité
Constante diélectrique	3,9	7,5	
Rigidité diélectrique	10 ⁷	10 ⁷	V.cm ⁻¹
Conductivité thermique	1,4	1,3	W.m ⁻¹ .°C ⁻¹
Résistivité électrique	10 ¹² 10 ¹⁶	10 ¹⁴	Ω.m

Le niveau des courants de fuite est particulièrement préoccupant pour l'exactitude de la mesure de température puisqu'il impacte directement sur la valeur du courant de mesure parcourant la RTD. Par conséquent, si une partie du courant de mesure injectée fuit à travers les isolants, le courant de mesure traversant réellement la RTD est différent de celui imposé. La mesure de température s'en retrouve donc faussée comme l'indique les mesures précédemment résumées dans le tableau 4. C'est pourquoi une attention particulière doit être apportée afin de minimiser ce phénomène. En première approche, la valeur théorique du courant de fuite I_f à travers un diélectrique s'exprime en fonction de la différence de potentiel entre les deux faces de l'isolant U , de la surface en contact S , de la résistivité du matériau ρ et de son épaisseur e .

$$I_f = \frac{U \times S}{\rho \times e} \quad [\text{A}] \quad (17)$$

On parle d'une approche théorique puisque la qualité de l'isolant est sujette à la présence éventuelle d'impuretés ou d'anomalies de dépôt. De plus, des phénomènes de piégeage de charges dans le volume et la présence d'atomes dopants dans les matériaux peuvent apparaître et modifier cette

expression du courant de fuite. Néanmoins, on voit apparaître clairement les facteurs responsables du courant de fuite sur lesquels il est possible d'agir. Les deux facteurs du dénominateur ne sont pas des degrés de liberté de conception puisque la résistivité du matériau est une propriété intrinsèque de l'isolant, bien que sa valeur puisse varier en fonction des conditions de dépôt [MCC01]. De même, l'épaisseur de la couche d'isolant ne peut pas être augmentée au-delà des limites de réalisation technologique et il faut garder à l'esprit la limitation de l'isolation thermique des capteurs.

Les deux paramètres du numérateur sont par contre étroitement liés aux choix de conception et peuvent varier dans une grande gamme. La surface est un critère sensible puisqu'une surface importante ne va pas seulement favoriser les courants de fuites, mais va aussi augmenter la probabilité d'avoir un défaut ponctuel ou une imperfection lors de la fabrication. Il est difficile d'obtenir un ordre de grandeur des fuites théoriques en raison de la méconnaissance de la résistivité électrique des isolants déposés. On peut d'ores et déjà constater dans le tableau 5 un rapport 10 000 sur la résistivité du SiO_2 que l'on peut trouver dans la littérature. En outre, les étapes de dopage en cours de procédé vont engendrer l'implantation et la migration d'atomes de phosphores et de bore dans la couche de SiO_2 (section VI.2). L'influence du dopage du SiO_2 a été étudiée notamment dans le cadre de la fabrication des grilles de transistors à effet de champs [PFI90 JOR05 AOY02 ZHA11]. Ces études montrent que la présence de dopants dans le SiO_2 a des effets négatifs sur la tenue en tension du composant, sur sa résistivité et que cela confère une plus grande aptitude au diélectrique à piéger des charges. Ce phénomène de piégeage dans les diélectriques est bien connu et ces matériaux sont dits « électrets ». Les électrets définissent un matériau capable de stocker des charges électriques durant de longues durées. Ils peuvent être utilisés dans des applications de récupération d'énergie ou de conversion électrostatiques. Leurs fonctionnements et les principes physiques sont détaillés dans [SPR88 BOI06 LEO11 LEO12] pour du Si_3N_4 ou du SiO_2 . Pour des électrets à base de SiO_2 , des durées de stockage des charges de 300 jours ont été mesurées [BOI06]. Outre le comportement « électrets » de ces diélectriques, les interfaces Si/SiO_2 et $\text{SiO}_2/\text{Polysilicium}$ sont sièges d'impuretés et de défauts responsables de cavités. Ces cavités rendent possible le stockage superficiel de charges qui affecte les qualités diélectriques de l'isolant, particulièrement sa rigidité diélectrique [SHO63]. L'oxyde « natif » qui croît de façon naturelle sur le silicium aggrave ce phénomène, ce qui rend une attaque chimique préalable au dépôt de SiO_2 impérative.

Une application numérique de l'équation (17), présentée ci-dessous, laisse à penser que les courants de fuites sont négligeables au vue de la résistivité électrique théorique de l'oxyde et du nitrure déposés. Les conditions les plus défavorables au niveau géométriques sont considérées afin d'obtenir une valeur extrême des courants de fuite. La surface est maximisée à 15% de la surface active, représentative de la surface réelle du circuit de mesure de la « Version 1 ». La tension maximale appliquée dans le conducteur est de 20V et supposée répartie sur toute la surface. Les épaisseurs des couches sont considérées deux fois plus faibles que les épaisseurs de dépôt réelles et leur résistivité électrique supposée la plus faible, soit $10^{12} \Omega.m$. Malgré toutes les approximations défavorables, l'application numérique dans ces conditions permet d'obtenir un courant de fuite total de 7,5nA. On obtient une valeur théorique de la résistance d'isolement de l'ordre de 3G Ω . Pour un courant de mesure très faible, de l'ordre du microampère, cela représente une erreur de 0,75%. D'après ces estimations maximisées, l'erreur sur la valeur du courant de mesure injectée semble négligeable. Toutefois ces calculs ne prennent pas en compte l'occurrence statistique de défauts sous les pistes, plus ou moins importants en nombres et en tailles avec de grandes surfaces en vis-à-vis et surtout, la valeur de la résistivité réelle des couches diélectriques est inconnue lorsqu'il y a présence d'atome de Bore et de Phosphore dans leurs structures. Les disparités observées sur les mesures de RTD entre la configuration « isolée » et « gnd » (tableau 4) nous conduisent à approfondir l'évaluation de l'impact

des courants de fuite. Ainsi, des mesures quantitatives de l'évolution des courants de fuites en fonction de la tension appliquée entre le conducteur et la métallisation ont donc été menées. La mesure consiste à imposer une tension entre le Polysilicium et la métallisation et de mesurer le courant qui traverse l'isolation (figure 70). Cela ne permet pas de différencier l'impact de la couche isolante inférieure ou supérieure sur la fuite du courant, mais permet de définir la résistance d'isolement globale de l'isolation.

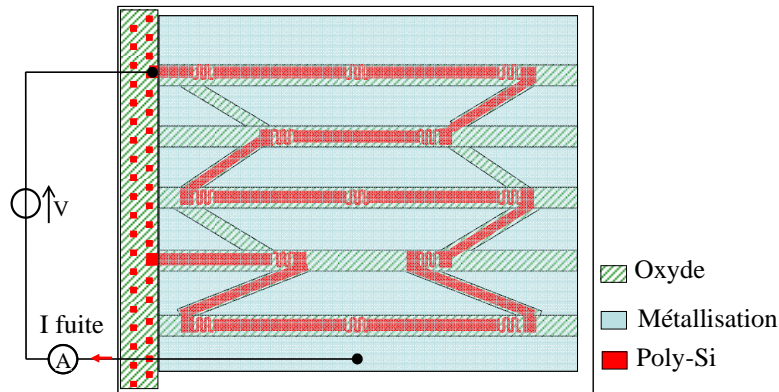


Figure 70 : Schéma de principe de la mesure de la résistance d'isolement

Les résistances d'isolement issues de ces mesures sont présentées par la figure 71. Deux constatations découlent de ces mesures :

- Premièrement la diminution de la résistance d'isolement avec l'augmentation de la tension semble confirmer l'influence du comportement électret des isolants par la présence dans leurs structures d'atomes donneurs ou accepteurs induits lors de la diffusion des dopants ;
- Deuxièmement, les valeurs mesurées sont loin des valeurs théoriques auxquelles on pouvait s'attendre au vu de la géométrie et des propriétés théoriques des isolants. La valeur théorique calculée précédemment a permis d'estimer une résistance d'isolement de l'ordre de $3\text{G}\Omega$, soit un rapport 1000 avec celles mesurées.

Il est important de noter que ces mesures ont été effectuées avec une hystérésis de manière à vérifier que l'augmentation de la tension n'a pas créé une altération permanente de la qualité des diélectriques. On peut également ajouter que la valeur de la résistance d'isolement est fortement variable d'un composant à l'autre, ce qui peut conforter la thèse de la présence de défauts ponctuels qui limite localement l'isolation électrique.

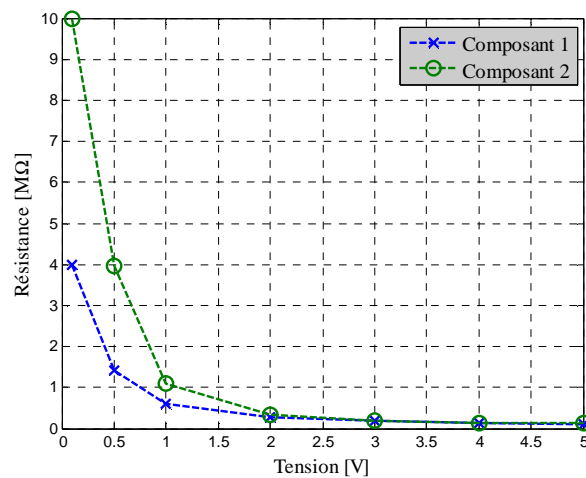


Figure 71 : Evolution de la résistance d'isolement en fonction de la tension imposée aux bornes de l'isolation

Observons maintenant l'effet d'un claquage de diélectrique sur le fonctionnement de la VETTC. Pour cela, nous provoquons volontairement le claquage en imposant des paliers de tension jusqu'à 25V dans la configuration présentée figure 70 permettant la mesure de la résistance d'isolement. L'observation de l'évolution de la résistance d'isolement issue de ces mesures est exposée figure 72 avec une hystérésis permettant de montrer la dégradation permanente de l'isolation électrique.

Les mesures des RTD avant et après claquage sont présentées sur la figure 73. Elles permettent de localiser le lieu du claquage puisque l'impact de la destruction est tangible à partir du cinquième capteur. A noter que les mesures après claquage sont effectuées dans la configuration « gnd » pour permettre l'évacuation du courant de fuite.

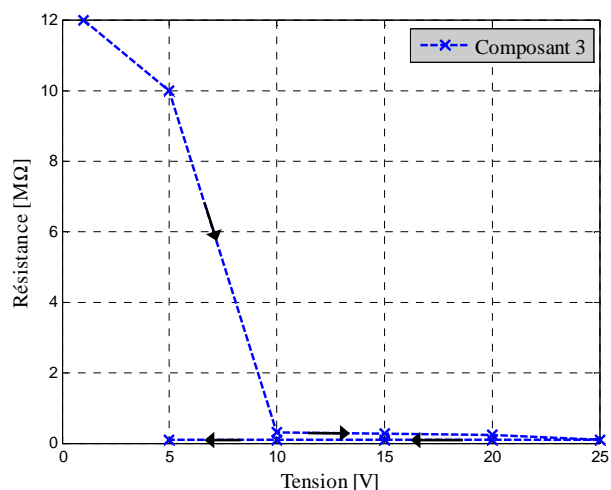


Figure 72 : Evolution de la résistance d'isolement lors d'un claquage de diélectrique

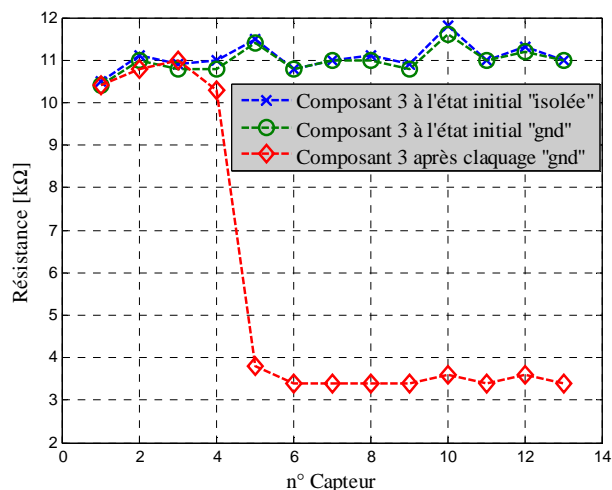


Figure 73 : Valeur des 13 RTD avant et après claquage de diélectrique

Les résultats de ces mesures nous poussent à reconsidérer les choix de conception concernant la mise en série des capteurs et la nature des connectiques (dont les amenées de courant). Avant d'explorer les solutions permettant de limiter les phénomènes de courant de fuite, nous allons observer la dépendance en température du Polysilicium constituant la « Version 1 » de la VETTC.

V.1.5. Dépendance en température de la « Version 1 »

Bien que la « Version 1 » de la VETTC ait fait face à des problèmes de mesures liés aux courants de fuite, des motifs de tests dessinés sur le même wafer en marge des VETTC dans les mêmes conditions de réalisation ont permis de caractériser la dépendance en température de la résistivité du Polysilicium. Un capteur individuel, dont la résistance totale est plus importante que celle des capteurs intégrés dans la VETTC, a donc été caractérisé sous pointes. Les mesures ont été réalisées par une méthode « 4 fils » à l'aide de micro robots sur un motif de test comportant quatre plots de contact (figure 74) permettant l'injection du courant (I_{IN} et I_{OUT}) et la mesure de la chute de tension (V_{IN} et V_{OUT}). Le wafer complet est placé sur une plaque chauffante régulée en température. Un microscope numérique est disposé au-dessus des motifs de tests afin de positionner les pointes de mesures. Deux pointes de mesures sont placées à l'extrémité de deux micro-robots KLEINDIEK. Une photo de la manipulation annotée est proposée sur la figure 75. La dépendance en température de la valeur de résistance du serpentín en Polysilicium est représentée sur la figure 76. La valeur du coefficient thermique de résistivité (TCR) du Polysilicium, dopé phosphore à $5 \cdot 10^{19} \text{ At/cm}^3$, calculée d'après ces données expérimentales est de $-0,058\%/^{\circ}\text{C}$. On constate que dans ces conditions de dopage, le Polysilicium possède un TCR négatif relativement faible. L'impact du dopage est déterminant sur la dépendance en température conformément à l'étude présentée dans la section III.3.

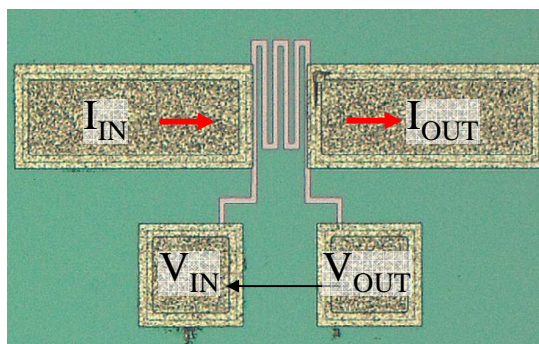


Figure 74 : Motif de test caractérisé en température

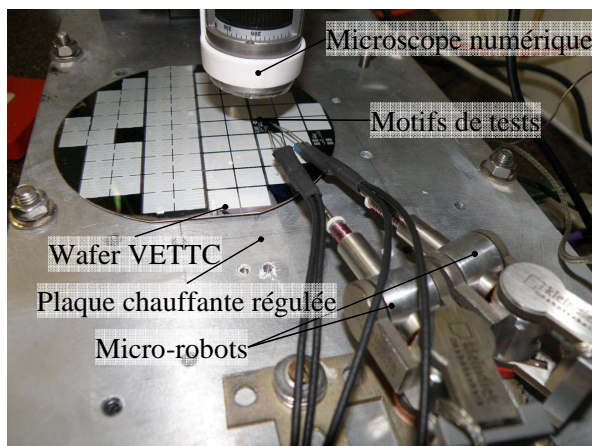


Figure 75 : Photo de la manipulation

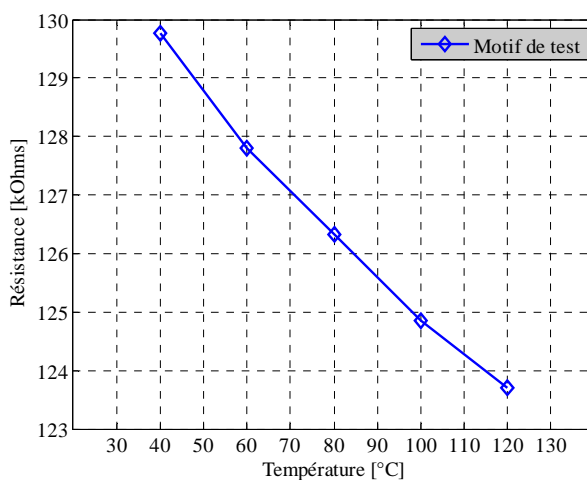


Figure 76 : Dépendance en température d'un capteur dopé phosphore 5.10^{19}At/cm^3

V.1.6. Analyse au Microscope Electronique à Balayage

Afin de vérifier l'épaisseur des couches et les marges de recouvrement, des analyses au microscope électronique à balayage (MEB) ont été réalisées (figure 77) sur la « Version 1 » de la VETTC. On peut y observer les différentes couches, du substrat en silicium jusqu'à la couche de métallisation de la face supérieure.

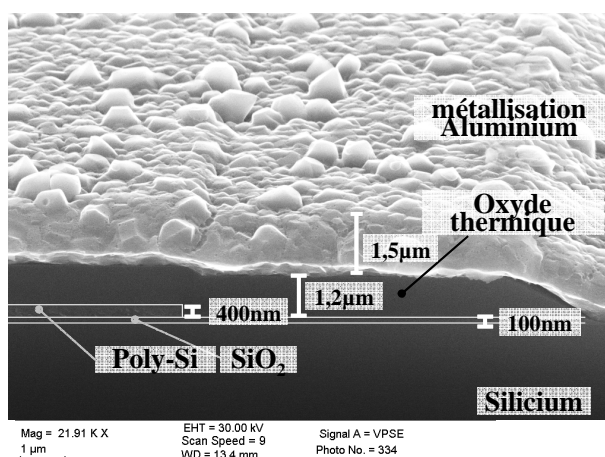


Figure 77 : Analyse MEB d'une micro section d'une zone capteur

V.2. Constitution d'une seconde version de la VETTC

Les dispositifs expérimentaux réalisés précédemment, dont les capteurs sont placés en série et où toutes les connectiques sont en Polysilicium, ont mis en évidence des phénomènes de courants de fuites ayant des conséquences critiques sur les mesures de résistances des RTD (section V.1.4). La disposition des capteurs et la constitution des connectiques de la « Version 1 » de la VETTC apportent une contribution néfaste aux grandeurs responsables des courants de fuites et augmente la statistique d'un défaut ponctuel. Le niveau de tension, la surface importante des pistes, et le faible niveau de courant à injecter, induits par l'approche de conception série des capteurs, exacerbent l'impact négatif des imperfections des isolants. Les solutions utilisées pour la « Version 1 », bien qu'attrayantes tant au niveau de la simplification du procédé de fabrication que de la mise en œuvre ont été fortement mises à mal. Le choix de rendre les capteurs indépendants et d'utiliser une connectique métallique semble s'imposer. Cette version de la VETTC instrumentée de capteurs individuels dont les connectiques sont réalisées en aluminium sera, dans la suite de ce manuscrit, nommée « Version 2 ». Cette partie montre les effets bénéfiques apportés par cette nouvelle version et ce que cela implique au niveau de la réalisation en salle blanche et de la mise en œuvre des mesures.

V.2.1. Connectique aluminium et capteurs indépendants

Les propriétés des diélectriques utilisés n'étant pas modifiables, la surface des pistes en contact entre le conducteur et les isolants est le premier facteur impactant la fuite d'une partie du courant de mesure vers la métallisation. Il y a un rapport 300 entre la résistivité du Polysilicium et celle d'un métal tel que l'aluminium, déposable en salle blanche ($\approx 1.10^{-5}\Omega.m$ pour le Polysilicium contre $3.10^{-8}\Omega.m$ pour l'aluminium). L'aluminium peut être utilisé comme connectique sans risque de diffusion d'atomes d'aluminium dans les oxydes puisque la diffusion n'a lieu qu'au-dessus de $450^{\circ}C$. Pour les températures de fonctionnement de la VETTC, autour de $150^{\circ}C$, une fine couche d'alumine peut se créer en surface sans diffusion [JEU02]. L'utilisation d'un matériau aussi bon conducteur électrique permet donc, à épaisseur équivalente de dépôt, de réduire du même rapport la largeur de la connectique pour obtenir les mêmes caractéristiques électriques. La largeur minimale des connectiques est cependant limitée par la résolution des motifs, les contraintes de développement et de gravure, autour de la dizaine de μm . Cela permet néanmoins de gagner un rapport 10 sur la largeur des pistes d'interconnexion par rapport à la connectique utilisée dans la « Version 1 ».

La disposition en série des capteurs dans la « Version 1 » implique une forte résistance équivalente du circuit de mesure puisque toutes les RTD s'ajoutent. Rendre les capteurs individuels apporte plusieurs avantages. Premièrement, en diminuant la longueur des amenées de courant, on réduit la résistance électrique induite par ces dernières ainsi que la surface totale des pistes du circuit de mesure ce qui a un effet bénéfique sur les courants de fuite. Créer des chemins de mesure plus courts permet aussi de limiter le risque d'ouverture du circuit de mesure provenant d'un défaut lors de la réalisation. En effet, les pistes d'amenée de courant sont désormais fines ($10\mu m$ de large) par l'utilisation d'un métal à haute conductivité électrique. Par conséquent, la probabilité d'un défaut entraînant un circuit ouvert augmente. Deuxièmement, un circuit de mesure est propre à chaque capteur et indépendant, la chute de tension induite par le courant de mesure est donc limitée à celle d'une seule RTD et de l'amenée de courant associée. Cela permet en outre d'augmenter la résistance des capteurs et par la même occasion leur sensibilité, tout en limitant la chute de tension et en optimisant la valeur du courant de mesure pour limiter l'auto échauffement (comme cela a été montré sur la figure 179 dans l'annexe 3 page 145). Enfin, la tension de mode commun présente lors de la mesure différentielle devient négligeable dans la configuration présentée ici, puisque la chute de tension globale est

majoritairement induite par la résistance d'un seul capteur et quasiment identique d'un capteur à un autre.

On peut dresser le bilan positif qui résulte de l'introduction d'une connectique métallique et de l'indépendance des capteurs :

- La largeur des pistes d'amenées de courant a été réduite au minimum technologique de $10\mu\text{m}$ et leurs longueurs ont été divisées par deux. Ainsi, un rapport 25 a été gagné sur la surface des pistes du circuit de mesure.
- Le courant de mesure maximal pour limiter la chute de tension à 5V dans chaque RTD est de $500\mu\text{A}$ pour une résistance de RTD fixée autour de $10\text{k}\Omega$. Nous verrons par la suite que la configuration de la «Version 2» augmente considérablement la tension de claquage des couches d'isolants (section V.2.3). La limitation du courant de mesure est donc en priorité liée à la puissance maximale qui peut-être dissipée dans le capteur (Annexe 3 I)). La limitation sur le courant de mesure est donc de 1mA, soit un rapport 40 par rapport au courant de $25\mu\text{A}$ de la « Version 1 ».
- Le rapport 20 sur le produit courant de mesure/tension et 25 sur la surface permet donc de réduire l'erreur relative sur la mesure de résistance, engendrée par les courants de fuite d'un facteur d'environ 500 par rapport à la « Version 1 ». De plus, ceci ne tient pas compte de la diminution d'occurrence statistique de défauts par la réduction de la surface. Ces choix de conception semblent solutionner les problèmes liés aux courants de fuite puisque l'on peut s'attendre à des valeurs théoriques de résistance d'isolement supérieur à $1000\text{G}\Omega$.

En outre on peut noter que l'on peut se placer dans des conditions de mesures plus favorables avec une plus grande marge de manœuvre sur les niveaux de tension et de courant.

V.2.2. Description de l'implantation des capteurs de la « Version 2 »

Les solutions évoquées entraînent cependant quelques complications au niveau du procédé de fabrication et de la mise en œuvre des mesures. Certaines limitations de la « Version 2 » sont aussi évoquées dans cette partie. En effet, l'utilisation d'un deuxième niveau de métal après le Polysilicium pour réaliser les connectiques entre les plots de connexion et les RTD rend la fabrication des composants plus complexe. Des précautions particulières doivent être prises pour assurer le bon contact électrique entre l'aluminium et le Polysilicium, de nombreux tests et mises aux points ont dû être réalisés en salle blanche pour maîtriser ce procédé. Cette deuxième métallisation rajoute une étape complète de dépôt, de photolithographie et de gravure. Cela augmente de fait la durée et la complexité du procédé.

Rendre chaque capteur indépendant augmente le nombre de connectiques par capteur et ainsi le nombre de plots de contact. Il faut donc diminuer le nombre de capteurs pour rester dans la limite de 41 plots. Chaque groupe capteur, composé d'une RTD associée à un système de mesure 4 points et d'un capteur de potentiel, nécessite 5 plots de contacts, ce qui limite à 8 le nombre de groupes de capteurs que l'on peut disposer à la surface de la puce, or un nombre pair de capteurs ne permet pas une répartition symétrique à la surface du composant avec un capteur au centre de la puce. Afin de réduire le nombre de plots de contact nécessaires sans altérer la méthode de mesure, on peut envisager un retour commun du courant de mesure par ligne de capteur (figure 78). On peut ainsi disposer 9 zones capteurs, comprenant un capteur de température et un capteur de potentiel pour un total de 41 plots de contact. La connexion des capteurs de température est représentée sur la figure 79.

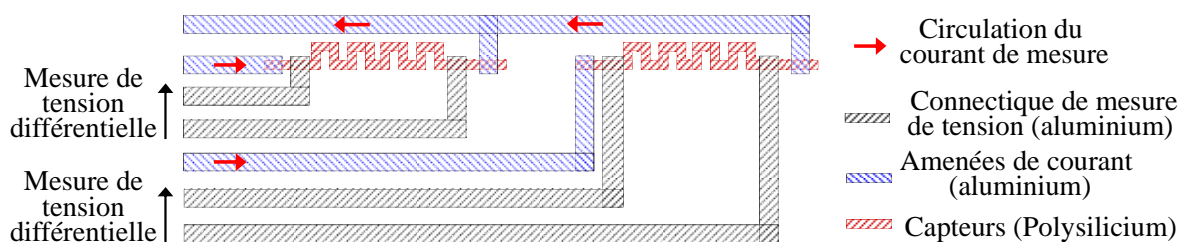


Figure 78 : Schéma de principe de la disposition individuelle des capteurs avec retour de courant par ligne

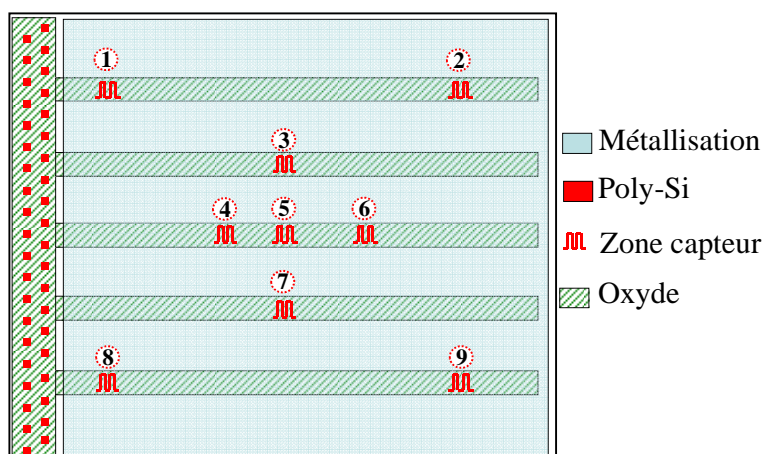


Figure 79 : Représentation schématique vue du dessus de l'implantation des capteurs dans la « Version 2 »

Une vue au microscope optique d'une zone capteur est proposée sur la figure 80. On peut y voir sur la gauche de l'image le capteur de température sous la forme d'un serpentín en Polysilicium, ainsi que ses connectiques en aluminium permettant l'amenée du courant de mesure et la mesure de la chute de tension à ses bornes. Sur la droite de l'image apparaît le capteur de potentiel dont l'ouverture dans le nitride de silicium au centre permet le contact avec la métallisation.

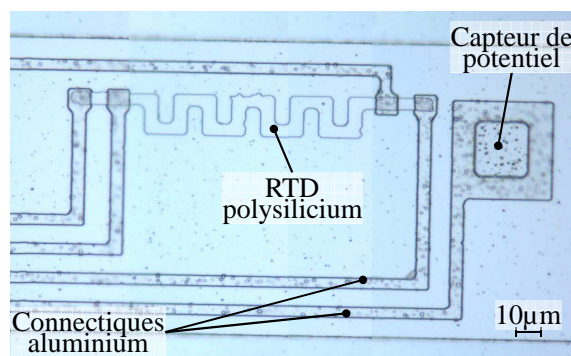


Figure 80 : Vue au microscope optique d'une zone capteur de la « Version 2 »

Rendre les capteurs de température indépendants, avec une amenée de courant individuelle engendre un aspect négatif concernant la mise en œuvre de la mesure. Contrairement à la « Version 1 » où une seule source de courant est injectée dans le circuit de mesure parcourant tous les capteurs, il est dorénavant nécessaire d'aiguiller le courant de mesure dans chaque capteur de manière séquentielle ou d'utiliser n sources de courant. Un système d'aiguillage ou une duplication de la source de courant devra donc être associé aux appareils de mesure.

V.2.3. Mesures expérimentales préliminaires

L'impact bénéfique apporté par la « Version 2 » sur la résistance d'isolement et les courants de fuites vont être décrits dans cette partie par des mesures expérimentales. Dans un premier temps, comme cela a été examiné pour la « Version 1 », nous allons observer la disparité des capteurs et l'impact sur la mesure lorsque l'on connecte la métallisation de la VETTC à la masse (« mesure gnd »). Le courant de mesure est fixé à $200\mu A$, et les résultats sont présentés sur la figure 81 et la figure 82 pour deux composants de la « Version 2 ». La valeur moyenne pour chaque composant ainsi que la disparité sur la valeur mesurée sont résumées dans le tableau 6. De ces mesures on peut conclure que l'isolation électrique est suffisante pour que la mesure ne soit pas affectée lorsque la métallisation est connectée à la référence de l'appareil de mesure, contrairement aux résultats sur la « Version 1 ». On extrait du tableau 6 que la différence sur la valeur moyenne entre les deux configurations est largement inférieure à 0.1%, de l'ordre des incertitudes de mesure, ce qui laisse présager une bonne isolation électrique entre les capteurs et la partie active du composant de puissance.

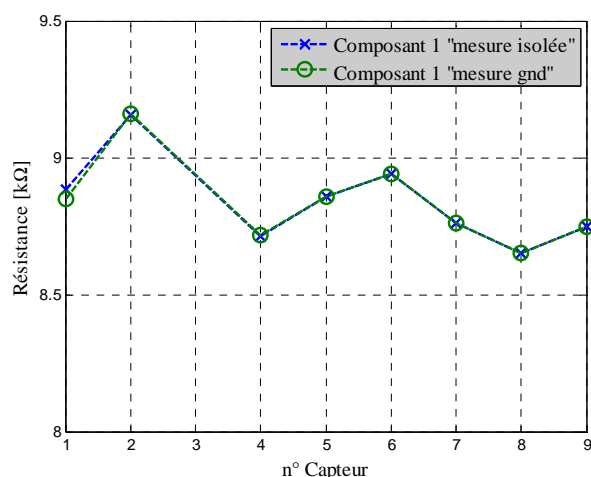


Figure 81 : Valeur des 13 RTD sur le composant 1 pour les deux configurations de mesure

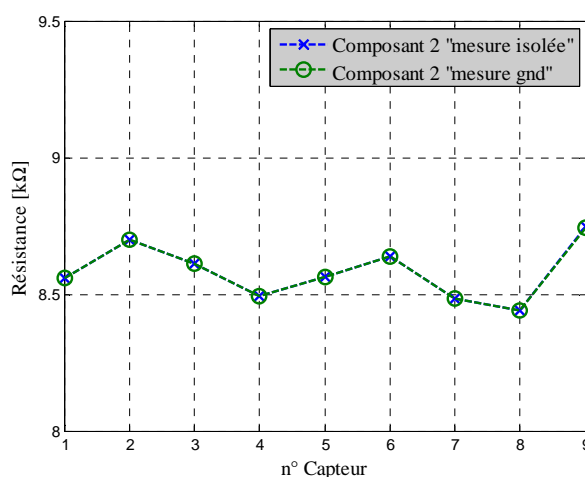


Figure 82 : Valeur des 13 RTD sur le composant 2 pour les deux configurations de mesure

Tableau 6 : Synthèse comparative des mesures pour les deux configurations de mesure

	Mesure Isolée		Mesure « gnd »		Différence
	Valeur moyenne mesurée	Disparité relative	Valeur moyenne mesurée	Disparité relative	Valeur moyenne
Composant 1	8,8397kΩ	1,81%	8,8359kΩ	1,79%	0,04%
Composant 2	8,5824kΩ	1,19%	8,5823kΩ	1,18%	0,001%

Dans un second temps, nous allons observer l'évolution de la résistance d'isolement en fonction de la tension appliquée aux bornes de l'isolation dans les mêmes conditions que pour la « Version 1 » (figure 70). On constate sur la figure 83 que la résistance d'isolement est très grande (autour de la centaine de $G\Omega$), plus cohérente avec les ordres de grandeurs théoriques (rapport 10). La mesure du courant de fuite est délicate en raison de son faible niveau. En effet, des courants de l'ordre de la dizaine de pico-ampère doivent être évalués ce qui rend la mesure très sensible aux perturbations extérieures. Pour ces raisons, le composant sous test est placé dans une cage de faraday.

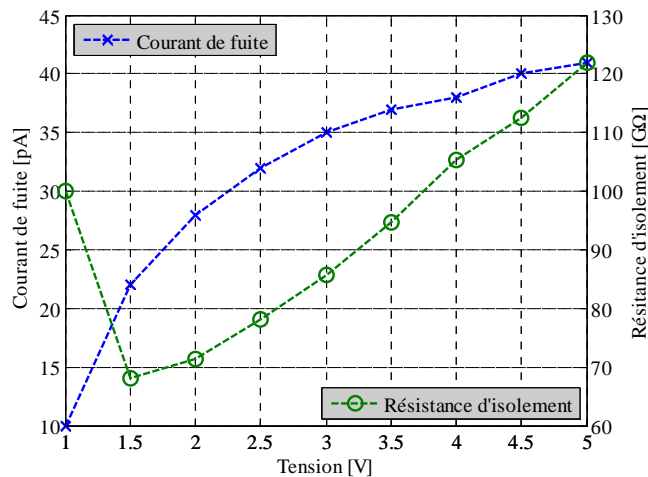


Figure 83 : Evolution de la résistance d'isolement en fonction de la tension imposée aux bornes de l'isolation

Des expérimentations supplémentaires ont montré que la tension de claquage survient autour de 50V pour la majorité des capteurs. Cette valeur est bien supérieure à celle de la « Version 1 » alors que les épaisseurs des couches d'oxyde et de nitrure sont identiques. Cette constatation semble confirmer l'occurrence de défauts ponctuels accentués dans la « Version 1 » par une grande surface de contact.

VI. Fabrication de la VETTC

VI.1. Les étapes de réalisation de la VETTC

Une représentation schématique en coupe du composant achevé est proposée figure 84. Les étapes importantes de réalisation sont expliquées ci-dessous et détaillées sur la figure 85. Elles permettent une représentation schématique de l'état d'une puce de test au cours du procédé de réalisation en salle blanche.

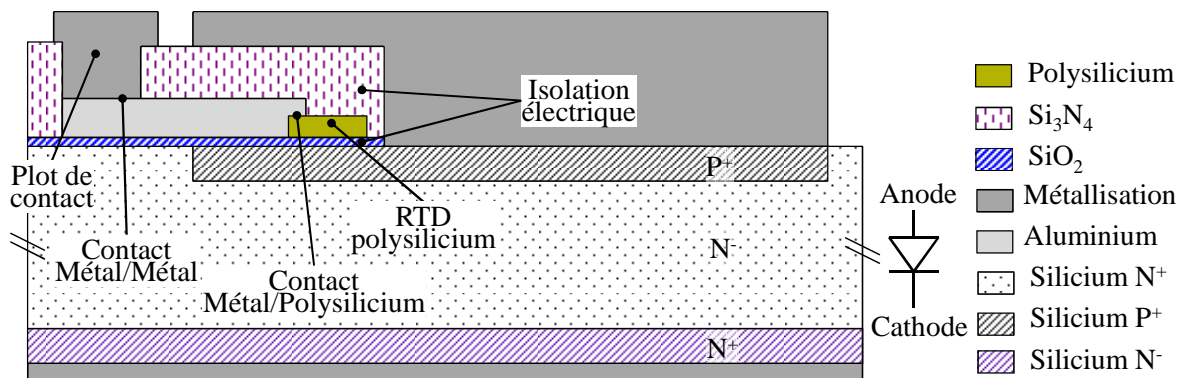


Figure 84 : Vue en coupe schématique de la « Version 2 » de la VETTC

Le substrat de base utilisé est un substrat en silicium de type N⁻ dopé phosphore d'une épaisseur de 350µm. Ce substrat de base, dont la résistivité électrique est de 30Ω.cm constitue la zone de tenue en tension de la diode P.I.N. Une oxydation thermique sèche permet de faire croître sur les 2 faces du wafer une couche de 100nm de dioxyde silicium (SiO₂) de bonne qualité diélectrique. La couche de la face supérieure servira d'isolation électrique pour les capteurs et leurs connectiques. Sur cette couche d'oxyde est déposé, par technologie LPCVD (« Low Pressure Chemical Vapor Deposition »), un film de silicium poly cristallin (Polysilicium) de 400nm. Ce niveau de réalisation est représenté sur l'étape 1 de la figure 85. Afin de rendre active cette couche supérieure en Polysilicium qui constituera l'élément sensible des capteurs, ses propriétés thermosensibles et sa résistivité sont adaptées par

l'implantation in situ d'atomes de phosphores d'une concentration de 2.10^{20} At/cm² (étape 2). La résistivité électrique avant activation totale des charges est de 2.10^{-5} Ω.m.

L'étape 3 montre l'oxyde thermique qui se crée lors de l'activation des dopants et le dépôt d'une résine dont le rôle est de protéger la face supérieure des attaques chimiques permettant de libérer la face inférieure des couches de SiO₂ et de Polysilicium. L'implantation et la diffusion d'arsenic, à hauteur de 10^{16} At/cm² en étape 4, constitue la zone N⁺ de la diode P.I.N. Une étape de photolithographie et de gravure de l'oxyde de la face supérieure permet l'implantation et la diffusion à travers le Polysilicium et le SiO₂ de 10^{15} At/cm² de bore créant la zone P⁺ de chaque composant de puissance (étape 5). Les composants sont dorénavant indépendants sur le wafer et la couche sacrificielle d'oxyde thermique a aussi le rôle de former la croix de centrage correspondant à ce niveau d'implantation rendant possible l'alignement des autres niveaux dans la suite du procédé.

Les dopants présents au sein du Polysilicium sont activés par un recuit, ce qui entraîne aussi une baisse de la résistivité qui se retrouve autour de 1.10^{-5} Ω.m. Ensuite, une étape de photolithographie et de gravure ionique par RIE (Reactive-Ion Etching) du Polysilicium permet de dessiner les serpentins formant les capteurs de température (étape 6). L'étape 7 est une étape de dépôt de résine et de photolithographie précédent le dépôt du niveau d'aluminium. Cette couche de résine est une couche sacrificielle relative à la méthode de « lift-off » utilisée pour le dessin des motifs en aluminium. Avant de réaliser le dépôt physique en phase vapeur (PVD) de la couche de 500nm d'aluminium, le Polysilicium doit être désoxydé afin d'assurer le bon contact entre la couche d'aluminium et de Polysilicium. Le retrait de la résine lors de l'étape 8 entraîne le retrait du métal déposé dessus, cette méthode dite de « lift-off » permet une meilleure précision sur la largeur des motifs. Les pistes d'aluminium ainsi formées étant longues de plusieurs millimètres et larges d'une dizaine de micromètres, il est primordial de prendre ces précautions pour s'assurer de la bonne continuité des pistes qui constitue la connectique des capteurs de température et les capteurs de potentiels. Une couche de 450nm de nitrure de silicium (Si₃N₄) déposée par PECVD (« Plasma Enhanced Chemical Vapor Deposition ») assure l'isolation électrique de la face supérieure des capteurs et de la connectique vis-à-vis de la métallisation (étape 9). L'étape 10 de photolithographie et de gravure par RIE des couches de nitrure et d'oxyde permet d'ouvrir les fenêtres pour les zones de contacts de l'anode du composant, des capteurs de potentiels ainsi que des plots de contacts. L'étape 11 consiste à déposer la couche de métallisation en face avant. Cette métallisation est exclusivement composée d'aluminium pour permettre la soudure des fils de bondings, mais il est possible de superposer plusieurs couches de manières à adapter la face avant à une interconnexion spécifique. La dernière étape de photolithographie et de gravure de la métallisation permet d'isoler les composants sur le wafer et d'isoler les plots de contacts.

Pour finir, une métallisation 20nm de Titane, 50nm de nitrure de titane et 200nm d'or est déposée en face arrière (étape 12). Dans le cadre d'une utilisation de la puce de test à des fins de support de contact tridimensionnelle, une planarisation chimique et mécanique « CMP » (Chemical Mechanical Planarization) de la métallisation en face avant peut être envisagée.

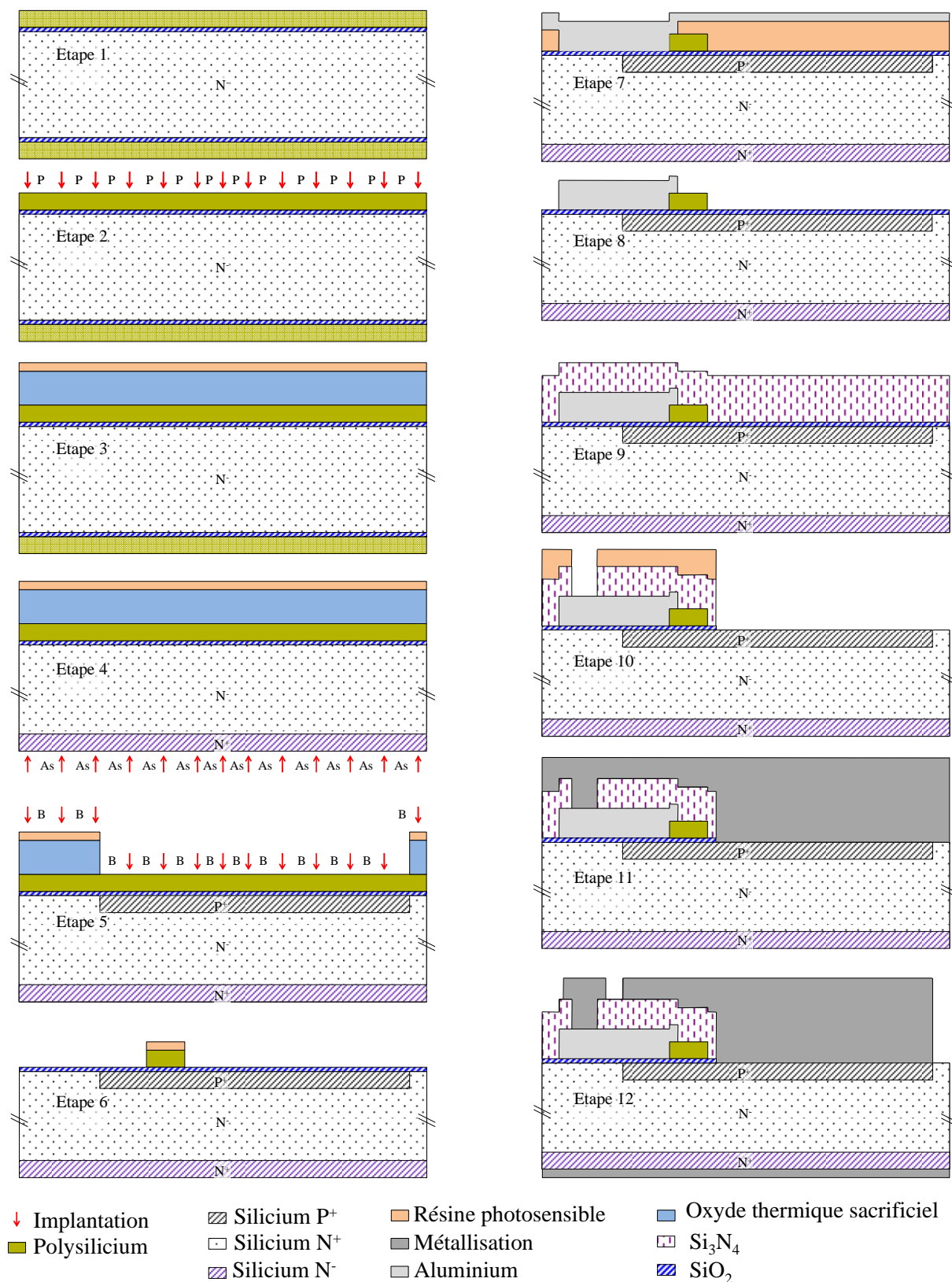


Figure 85 : Etapes de réalisation du processus de réalisation en salle blanche de la VETTC

VI.2. Etude de la pénétration des atomes dopants dans les couches de la VETTC

Conformément à l'étude bibliographique (section III.3), la résistivité et le TCR du Polysilicium sont sensibles aux éléments dopants présents dans sa structure. Non seulement l'amplitude du TCR peut changer, mais son signe et sa linéarité aussi en fonction de la concentration de dopants (figure 76 page 65 et figure 88 page 75), et également en fonction du type de dopant et des conditions d'activation. Le motif de test caractérisé sur la « Version 1 » n'a pas subi les implantations des dopants spécifiques à la réalisation de la jonction de la diode PIN qui peuvent modifier la dépendance en température du Polysilicium. La zone P⁺ de l'anode étant créée par implantation et diffusion de Bore, et ce à travers les couches de Polysilicium et de SiO₂, ces deux dernières couches se retrouvent dopées. La figure 86, propose un résultat de simulation utilisant l'outil ATHENA de SILVACO qui prend en entrée les paramètres d'implantation, de diffusion, et de recuits et qui permet d'obtenir en sortie la concentration de dopants dans l'épaisseur du composant. Ces résultats expliquent la différence au niveau de la dépendance en température des deux versions de la VETTC. On peut voir que la couche de SiO₂ est une couche d'arrêt pour le Phosphore. Une forte concentration d'atomes de Phosphore peut cependant être présente en surface de la couche de SiO₂. En revanche, la diffusion du Bore, utilisé pour réaliser la zone P⁺ de la diode, n'est bloquée ni par les 400nm de Polysilicium, ni par les 100nm d'oxyde de silicium.

On peut conclure de ces résultats de simulation que la couche de SiO₂ contient une forte concentration de Bore ce qui peut diminuer ses qualités diélectriques. Le Polysilicium possède en plus des atomes de phosphore implantés pour diminuer sa résistivité et influencer son TCR, une concentration non négligeable de Bore issue de la création de la zone P⁺. Pour maîtriser la résistivité et la dépendance en température du Polysilicium il faut implanter seul type de dopant. Cela nécessite donc de modifier l'ordre de étapes fabrications pour que l'implantation relative à la partie diode ne se fasse pas à travers le Polysilicium.

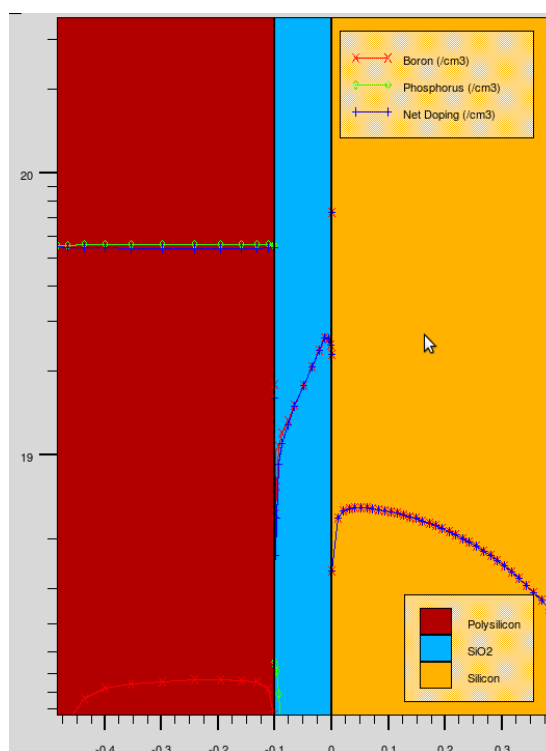


Figure 86 : Concentration des dopants en Atomes/cm³ en fonction de la profondeur en µm

VII. Résultats expérimentaux

VII.1. Etalonnage en température des RTD

Dans un premier temps il est nécessaire d'analyser la dépendance en température des capteurs en Polysilicium de la « Version 2 ». Car, même si cette dépendance a été étudiée sur la « Version 1 », les conditions de dopage du Polysilicium ont changé entre les deux réalisations.

Les caractérisations sont effectuées sur des composants assemblés sur PCB par l'intermédiaire de fils de bondings. Les mesures ne sont donc plus effectuées sous pointes mais par connexion filaire. L'étalonnage en température des RTD de la VETTC est effectué dans une enceinte climatique qui permet de fixer la température à l'ensemble du dispositif. La température imposée est contrôlée par un thermocouple fixé sur le PCB. Un dispositif d'aiguillage multiplexeur Keithley (modèle 3706) piloté par Labview permet d'injecter le courant de mesure issu d'un SMU Keithley (modèle 2635) dans chaque RTD de manière séquentielle et d'acquérir la chute de tension par l'intermédiaire d'un nano voltmètre Keithley (modèle 2182A). Une photo du banc expérimental est proposée sur la figure 87.

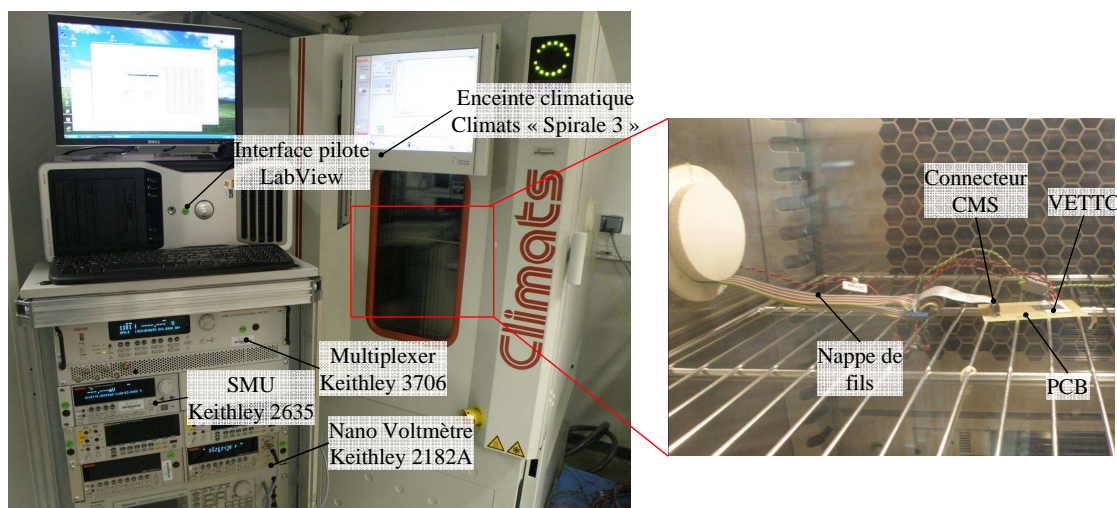


Figure 87 : Photo du banc d'étalonnage de la VETTC

L'étalonnage en température a été effectué pour les neuf RTD de trois composants fonctionnels sur une gamme de température allant de 10 à 100°C. Le courant de mesure est fixé à 200μA ce qui induit une chute de tension inférieure à 2V. Les courbes d'étalonnage d'un seul composant sont présentées sur la figure 88. Ces résultats montrent que tous les capteurs ont une dépendance en température très proche et quasiment linéaire. La sensibilité et le coefficient thermique de résistivité moyens et les disparités relatives par rapport à la moyenne sont présentés pour les trois composants étalonnés dans le tableau 7. La sensibilité moyenne mesurée des capteurs est autour de 1,5mV/°C. Les RTD de la « Version 2 » ont un TCR positif proche de 0,09%/°C, différent en signe et en amplitude de celui de la « Version 1 » (-0,06%/°C, section V.1.5). Ces différences peuvent s'expliquer par la présence d'atomes de Bore introduits lors de la création de la zone P⁺ de la diode (section VI.2).

Au cours de cette campagne, un paramètre thermosensible du composant de puissance a lui aussi subi un étalonnage. La chute de tension V_{AK} sous un courant direct de 10mA a été observée sur la gamme de température comprise entre 10 et 100°C. On peut visualiser la dépendance en température du PTS d'une VETTC sur la figure 89 sur laquelle la droite de régression indique une sensibilité de l'ordre de -2,4mV/°C. L'utilisation du PTS peut permettre une observation de la température moyenne du composant en parallèle de la mesure effectuée par les RTD.

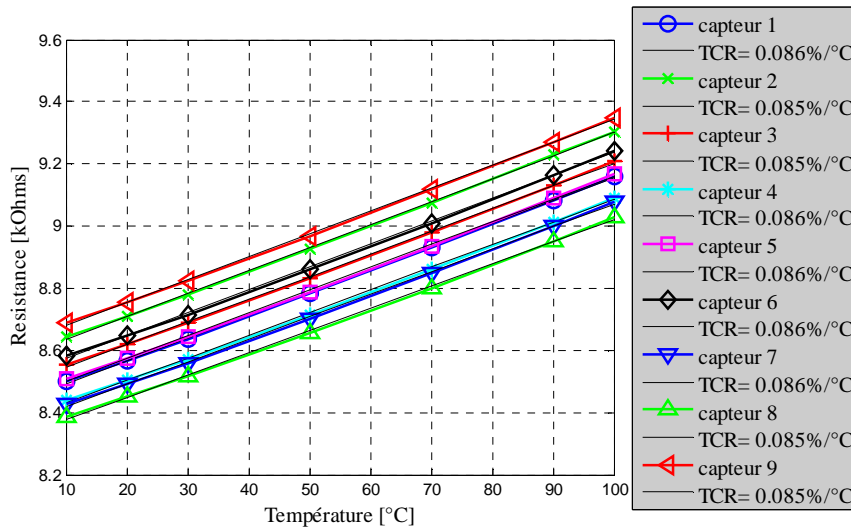


Figure 88 : Etalonnage des 9 RTD du composant 3

Tableau 7 : Synthèse comparative des mesures pour les deux configurations de mesure

	TCR moyen mesurée	Disparité relative	Sensibilité moyenne mesurée
Composant 1	0,0851%/°C	1,43%	1,621mV/°C
Composant 2	0,0864%/°C	0,66%	1,515mV/°C
Composant 3	0,0855%/°C	0,62%	1,462mV/°C

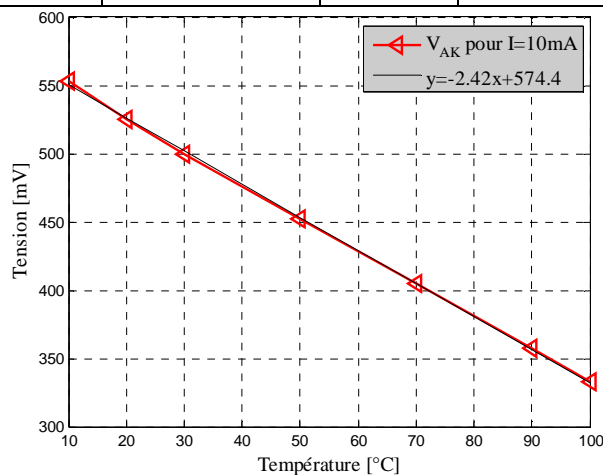


Figure 89 : Dépendance en température du PTS

VII.2. Caractéristiques électriques de la diode de puissance

Afin d'utiliser la jonction de la diode comme dispositif de chauffe, il faut observer ses caractéristiques électriques, notamment son état passant. On observe sur la figure 90 un comportement fortement ohmique en direct. En effet, la zone quasi-linéaire de la caractéristique à partir de 1A montre une résistance équivalente de 0.3Ω . La résistivité et l'épaisseur importante du substrat ($20\Omega\cdot\text{cm}$ et $350\mu\text{m}$) justifient ce comportement ohmique qui permet par conséquent une dissipation de puissance importante sous une injection de courant limitée. La figure 91 montre une partie de la caractéristique inverse sur laquelle on peut observer le courant de fuite lors du blocage de la diode. On observe sur cette courbe que les fuites s'élèvent à $20\mu\text{A}$ lorsque la diode tient 20V en inverse. Les terminaisons en

tensions n'ont pas été réalisées sur ces composants, ce qui ne permet pas d'observer la tenue en tension sans risque de claquage.

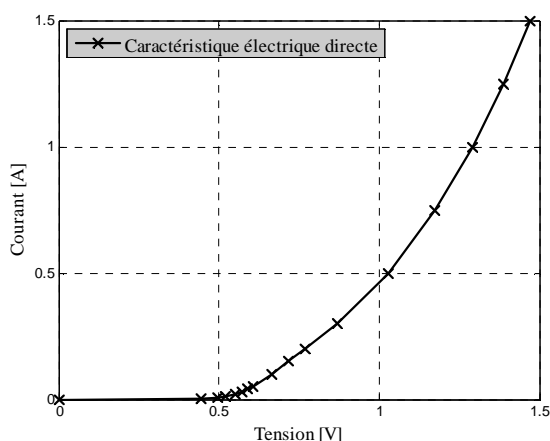


Figure 90 : Caractéristique directe courant/tension de la diode de puissance

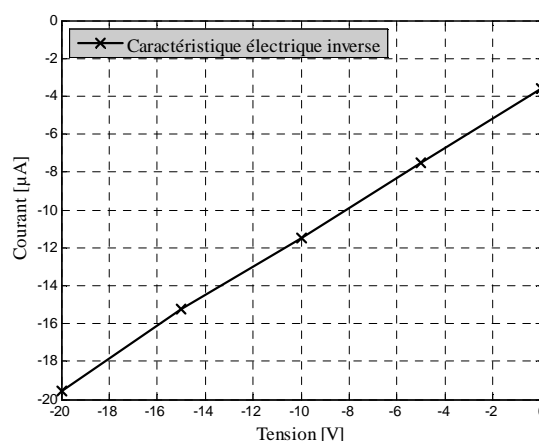


Figure 91 : Caractéristique inverse courant/tension de la diode de puissance

VII.3. Mesure en fonctionnement couplée à une mesure par caméra infrarouge

Après l'observation de la dépendance en température des capteurs et un étalonnage passif de ces derniers, il convient d'observer le comportement des capteurs lors du fonctionnement de la diode de puissance de la VETTC. Une mesure complémentaire par l'intermédiaire d'une caméra infrarouge et du PTS du composant permet de valider la température mesurée par les RTD et d'affirmer que le fonctionnement des capteurs n'est pas affecté par l'utilisation de la partie active du composant.

VII.3.1. Description du protocole de mesure

VII.3.1.a. Description de l'assemblage utilisé

La métallisation en face arrière des composants issue du procédé de fabrication complet a subi des dégradations importantes en raison d'un support de découpe non adapté. En effet, les 200nm d'or déposés en face arrière ont été arrachés par l'adhésif du support. Les VETTC n'ont donc pas pu être brasées sur un DBC mais simplement collées avec une colle conductrice sur un PCB. Un tel assemblage offre une mauvaise évacuation de la chaleur. Par conséquent l'assemblage réalisé ne permet pas une dissipation de puissance importante en régime permanent.

Pour assurer une mesure par caméra infrarouge de la température en surface du composant il est nécessaire de le recouvrir d'une peinture noire isolante électrique. L'émissivité de la peinture utilisée a été mesurée dans le cadre de précédentes recherches [DUP12], ce qui a montré une émissivité proche de 1 (≈ 0.99). De plus, une correction des artefacts optiques est effectuée avant la mesure de manière à régler convenablement la mise au point et le temps d'intégration en fonction de la plage de température mesurée. Ces précautions permettent d'obtenir des valeurs de température proches de la température réelle. Les fils de bondings de la zone active ont été rassemblés dans un coin du composant de manière à laisser la majeure partie de la surface du composant libre et permettre la mesure par caméra infrarouge.

VII.3.1.b. Description du banc de mesure

La manipulation mise en place pour valider le fonctionnement de la VETTC comprend trois méthodes de mesure en parallèle de la température du composant. Une mesure séquentielle de chaque RTD, une mesure par caméra infrarouge de la surface de la puce et une dernière par le paramètre

thermosensible de la diode de la VETTC. Un courant de puissance I_P est injecté en direct dans la VETTC via un aiguillage pour créer une élévation de température. Une fois le régime thermique stationnaire atteint, les cartographies en température via les RTD et la caméra infrarouge sont réalisées. La méthode de mesure séquentielle des RTD est identique à celle présentée pour l'étalonnage dans la section VII.1. Lors de l'arrêt de l'injection du courant de puissance, la valeur du paramètre thermosensible de la diode (V_{AK}) sous un courant de mesure de 10mA est acquise par l'intermédiaire d'un enregistreur Graphtech WR300. La courbe de refroidissement est ensuite analysée de manière à extrapoler la température moyenne durant le régime stationnaire. Un schéma synoptique du banc de mesure est proposé sur la figure 92 et une photo de la manipulation est présentée sur la figure 93.

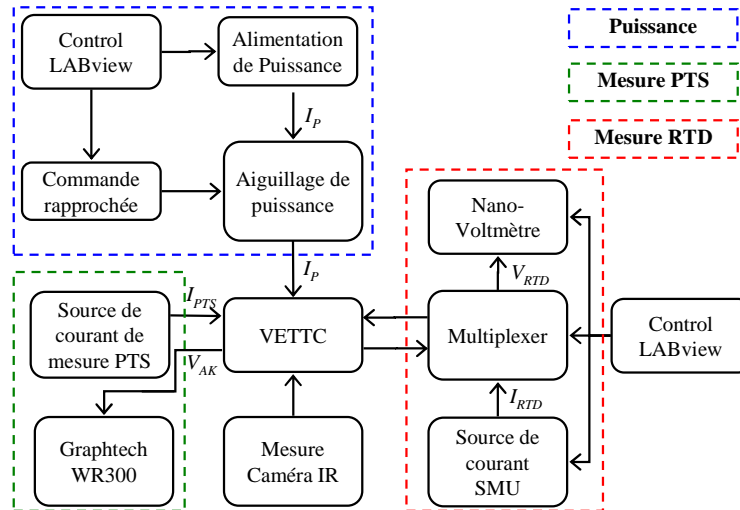


Figure 92 : Schéma synoptique du banc de mesure

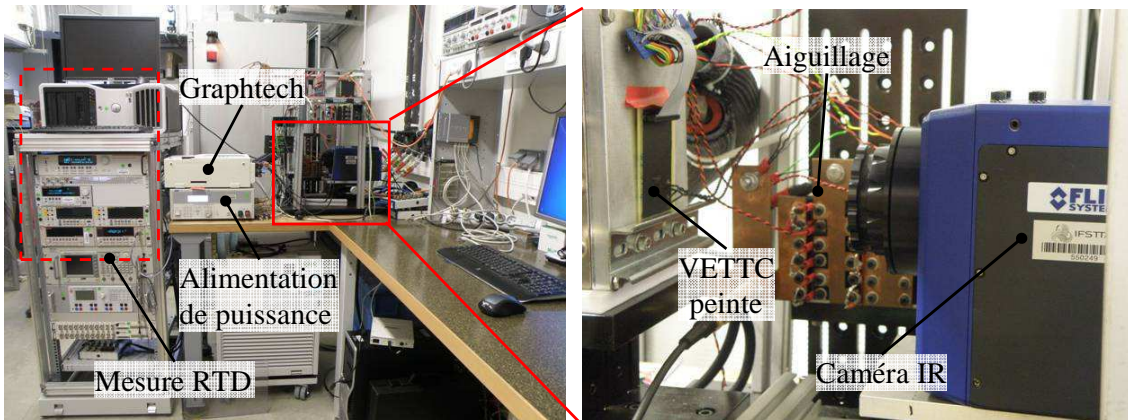


Figure 93 : Photo du banc de mesure de la VETTC couplée à une mesure infrarouge

VII.3.2. Résultats obtenus

Le courant I_P injecté dans la VETTC est fixé à une faible valeur pour éviter l'emballement thermique. Une valeur de courant de 600mA permet une dissipation de 0,5W et une élévation de température d'environ 25°C. Les résultats sont présentés sur la figure 94 sur laquelle apparaît la température en face supérieure en niveaux de gris. Les croix de couleur sont disposées à l'emplacement de chaque RTD et indiquent la température mesurée. La T_j obtenue par l'exploitation du PTS apparaît sous la figure. La tache sombre en bas à gauche de l'image est due aux fils de bondings de l'amenée de courant. Sur le côté supérieur de la puce on peut voir les fils de bondings reliés aux plots de contact.

Premièrement, on peut extraire de ces résultats que les gradients de température à la surface de la puce sont relativement faibles. Ceci est dû au faible niveau de puissance dissipée. L'écart de température entre le centre et la périphérie de la puce est de l'ordre du degré Celsius. Deuxièmement, on observe une assez bonne corrélation entre les températures mesurées par les RTD, la caméra infrarouge et le PTS malgré des valeurs mesurées par les capteurs légèrement inférieures. Les RTD permettent cependant d'observer les faibles écarts de température. Ces résultats permettent donc de valider le comportement des RTD lors du fonctionnement du composant de puissance, même si il est dommageable que la mauvaise qualité thermique de l'assemblage ne permette pas de dissiper beaucoup de puissance et d'observer des variations de température significatives.

La figure 95 représente quant à elle le potentiel mesuré par les capteurs de la VETTC. On observe de façon cohérente le potentiel le plus élevé sur le capteur le plus proche de l'injection de courant.

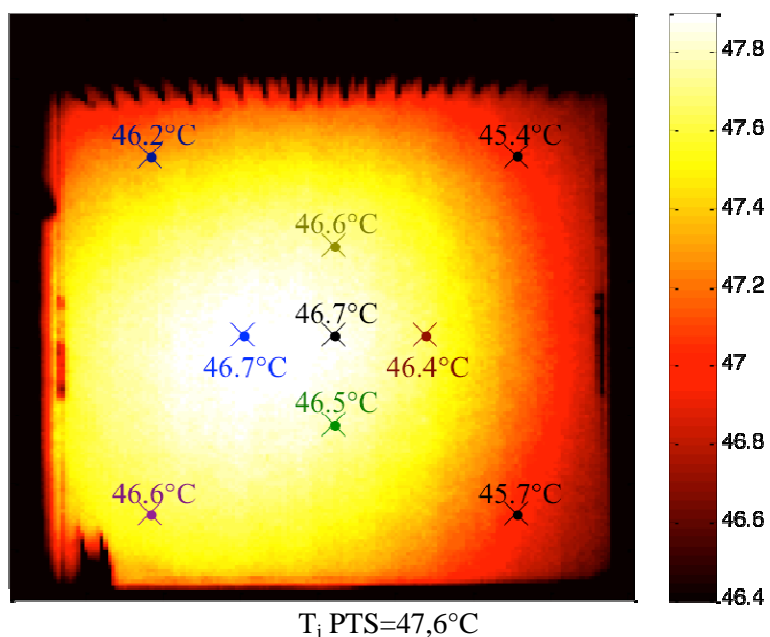


Figure 94 : Corrélation entre la température mesurée via les RTD, la caméra IR et le PTS

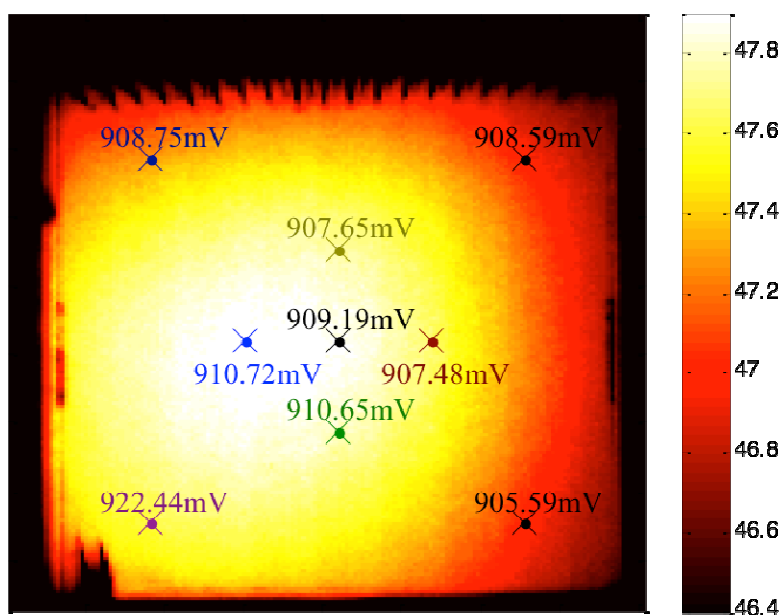


Figure 95 : Répartition du potentiel à la surface de la VETTC

VIII. Conclusions et perspectives

Par la réalisation de prototypes de VETTC, bien qu'encore à l'état de démonstrateurs, et l'obtention de résultats expérimentaux satisfaisants en régime stationnaire, la faisabilité d'un tel outil de caractérisation a été démontrée. Les différentes versions réalisées au cours de ces travaux permettent de pointer les précautions à prendre pour assurer une bonne isolation électrique entre les capteurs et la zone active. En effet, la configuration de la « Version 1 », bien qu'attrayante au niveau de la facilité de réalisation et de mise en œuvre, a montré des limites liées à la qualité de la réalisation technologique. Il en résulte que la qualité des matériaux déposés et l'occurrence statistique de défauts au cours du procédé de réalisation ne permet pas une telle configuration avec les moyens dont nous disposons.

Il est essentiel de noter que les composants issus de ces travaux n'ont pas fait preuve d'une optimisation sur le plan du dimensionnement des RTD dans l'optique d'améliorer la sensibilité. Les choix de conception ayant été dictés par les technologies disponibles, la nature du matériau de la RTD n'est pas adaptée à l'optimisation du TCR. On peut imaginer des dépôts de films de ZnO/Si qui atteignent un TCR 100 fois supérieurs à celui du Polysilicium utilisé dans ces travaux.

Les prototypes réalisés ne sont pas non plus finalisés puisque la gestion de la tenue en tension par des anneaux de gardes ou une terminaison de type « méso » n'a pas été étudiée. De plus, un manque de maturité de la technologie d'accroche en face arrière est à déplorer, ce qui a limité la réalisation de dispositifs de tests performants thermiquement. Par conséquent, des assemblages adaptés à une dissipation de puissance plus importante n'ont pas pu être réalisés, ce qui a rendu impossible l'observation de fortes variations de température à la surface de la puce. Ces remarques laissent donc des perspectives d'améliorations pour mettre pleinement en valeur le potentiel de cet outil.

Pour valider pleinement le fonctionnement de cet outil, il reste à étudier plusieurs aspects, notamment la variation de la sensibilité des capteurs avec les cycles thermiques qui peut être induite par la migration des dopants ou les modifications géométriques. L'obtention des grandeurs en dynamique lors d'un fonctionnement en transitoire ou en commutation du composant reste encore à être démontrée expérimentalement, puisque des phénomènes capacitifs ou de mutuelles inductances peuvent survenir dans ces conditions.

Les dernières mesures expérimentales indiquent néanmoins que le fonctionnement des capteurs n'est pas perturbé par la zone active lorsque celle-ci dissipe de manière continue. La faisabilité de l'instrumentation d'un composant de puissance avec des capteurs de potentiels et des capteurs de température de type RTD ouvre la porte à des mesures intrusives et non destructives de température et de potentiel au plus proche du cœur d'un composant fonctionnel. De nombreuses opportunités peuvent être envisagées tant sur le point de la caractérisation des interconnexions de puissances que de l'observation des comportements électrothermiques en surface des diodes et transistors de puissance. En plus de la mesure de résistance thermique et électrique, la VETTC peut être un atout pour vérifier l'uniformité des contacts par la mesure de la distribution de la température et du potentiel. Les défauts d'interconnexions tels que des « voids » dans une brasure, une singularité d'un contact pressé ou la mauvaise attache d'un poteau ou d'un « bump » pourraient ainsi être détectés par la VETTC de manière à estimer la qualité du contact. Cette utilisation de la VETTC nécessite cependant de se servir de la puce comme support d'interconnexion.

En perspectives on peut aussi projeter d'utiliser le concept de la VETTC comme un outil prédictif de défaillance et faire en ce sens de la surveillance de l'état de santé (« health monitoring »). Il est possible de prévoir dans la fabrication des composants de puissances l'implantation de capteurs qui au cours de l'utilisation du module pourront donner des indications sur la répartition de la température et

alerter en cas d'apparition de points chauds en surface de la puce. Cette perspective, bien que lointaine est cependant un axe de développement attractif pour les applications où la défaillance d'un module a des conséquences déplorables.

Une autre perspective d'utilisation de la VETTC est la caractérisation fine de résistances électrique et thermique de contact due à une interconnexion ETM. Un empilement astucieux comme celui présenté sur la figure 96 pourrait permettre une mesure précise et discrétisée de ces grandeurs. L'empilement consiste ici à assembler deux VETTC tête bêche via la technologie d'interconnexion à caractériser. Pour une telle application, il pourrait même être judicieux de créer des puces de tests sans zone active, composées uniquement d'un substrat silicium, des capteurs de température et de potentiel et des plots de contact rassemblés sur un seul côté de la puce. Ainsi, le courant de caractérisation du contact électrique et la source de chaleur pour la caractérisation thermique peuvent provenir de sources externes. Dans cette configuration on utilise uniquement les bénéfices d'avoir les faces supérieures des VETTC disponibles comme support d'interconnexion et la présence de capteurs de potentiel couplés à ceux de température.

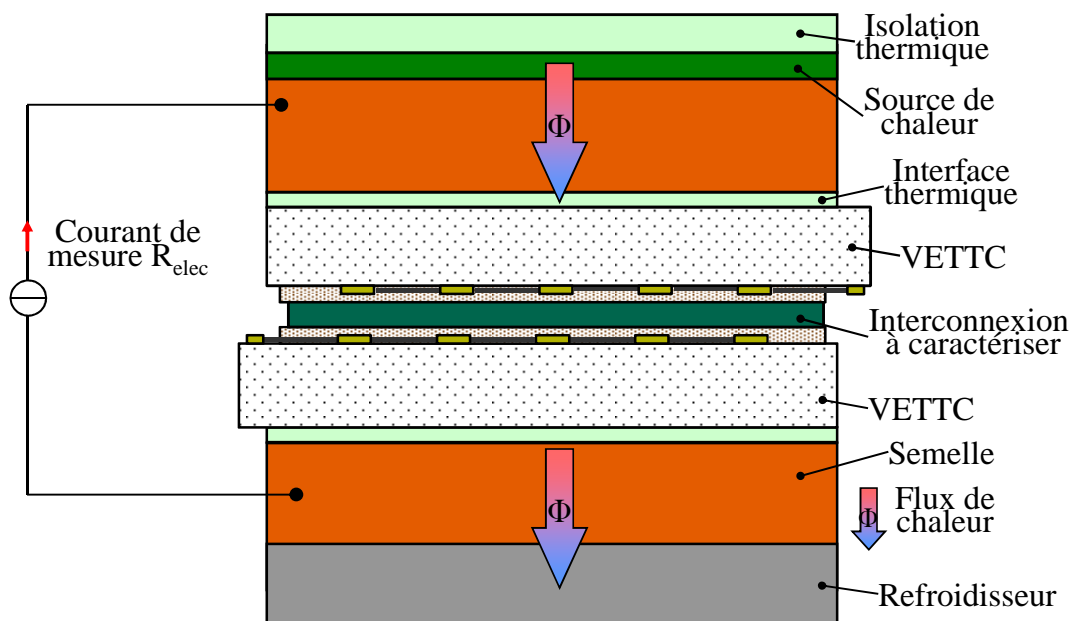


Figure 96 : Utilisation de VETTC pour mesurer la résistance électrique et thermique d'une interconnexion

Chapitre 3 : Développement d'un banc de mesure d'impédance thermique μs

I. Introduction

Dans le chapitre précédent l'étude du développement d'une puce de test thermique et électrique a été menée. Cet outil de caractérisation des interconnexions permet d'effectuer des cartographies en surface de la répartition du potentiel et de la température. Ce dispositif de mesure est basé sur l'instrumentation d'un composant de puissance. La seconde approche, présentée dans ce chapitre, consiste à détecter avec suffisamment de sensibilité la réponse thermique transitoire de l'interface face arrière. Cela est réalisé par l'acquisition de l'impédance thermique sur des échelles de temps très courtes et correspondant au temps de transit du front de chaleur sur ces zones. Le banc de mesure « d'impédance thermique μs » développé consiste à obtenir une réponse en élévation de température normalisée par unité de puissance dissipée dans le composant. Basée sur une technique désignée par le terme « pulsed heating curve », qui a vu le jour dans les années 1970 [OET73], la particularité du protocole expérimental développé ici est d'exploiter pleinement les avantages offerts par cette technique par une analyse partielle de l'impédance thermique. En effet, l'injection de créneaux de puissance de courtes durées et de forte amplitude, augmente la sensibilité de la réponse. En opposition avec la VETTC, présentée dans le chapitre 2, le banc de mesure $Z_{th-\mu s}$ permet uniquement une analyse thermique globale mais sur un composant du commerce.

Dans une première partie, des simulations numériques basées sur les éléments finis sont proposées afin de montrer la faisabilité de la mesure et d'en définir le cahier des charges sur des aspects thermiques et temporels. L'ensemble du protocole expérimental est détaillé par la suite, ainsi que les constituants du banc de mesure qui permettent d'en optimiser les performances. Les résultats en termes de comportement dynamique et de sensibilité sont proposés ainsi qu'une estimation de l'erreur de mesure. Lors d'une mesure de T_j indirecte, il existe toujours un laps de temps lors de la commutation du courant de puissance à celui de mesure où la mesure du PTS n'est pas exploitable. Le banc de mesure présenté dans ce chapitre propose des méthodes qui permettent de limiter l'impact des perturbations transitoires d'origines non thermique et par conséquent de réduire l'erreur sur l'extrapolation de la température. Cet aspect fait l'objet d'une étude originale dans ce chapitre. Enfin, des études de la qualité des brasures de modules standards ont été menées afin de tester la sensibilité de l'outil de mesure. Ces résultats apparaissent en conclusion de ce chapitre. Une étude préliminaire sur l'impact de l'amenée de courant en face avant a été menée afin d'étendre la mesure à des assemblages 3D et d'exposer les limites de validité de cette mesure d'impédance thermique.

II. Etudes préliminaires

II.1. Limite de la mesure d'impédance thermique

Le principe de la mesure de l'impédance thermique par la technique de refroidissement, ou par une méthode pulsée, a été abordé dans le premier chapitre de ce document. En revanche, tous les tenants et aboutissants n'y ont pas été énoncés. L'impédance thermique permet de donner une image de la réponse en termes d'élévation de la température d'un composant sous test par unité de puissance injectée dans ce dernier. Théoriquement, la mesure de l'impédance thermique dont l'expression est présentée dans l'équation (18), s'effectue par l'intermédiaire de l'étude de l'évolution de l'écart entre la température de jonction (T_j) et une température de référence supposée constante (T_{Ref}) et de la

puissance dissipée dans le composant également supposée constante. Cette puissance dissipée est obtenue par le produit courant/tension du composant sous test.

$$Z_{th}(t) = \frac{T_J(t) - T_{Ref}}{V_{DUT} \times I_{DUT}} \quad [^{\circ}\text{C}/\text{W}] \quad (18)$$

Avec I_{DUT} le courant injecté dans le composant sous test et V_{DUT} la tension à ses bornes.

Bien que cette relation paraisse plutôt simple, l'acquisition des différentes grandeurs permettant d'obtenir la Z_{th} ne le sont pas pour autant. C'est en abordant ce point que nous allons entamer ce chapitre de manière à justifier la démarche et à montrer les limites de la mesure d'impédance thermique.

L'expression de la Z_{th} laisse penser qu'il n'y a qu'une seule température dans le composant, un seul courant le traversant ainsi qu'une seule tension à ses bornes. Or, les interconnexions thermiques et électriques des composants de puissance entraînent une distribution du courant et de la tension pouvant être fortement hétérogène et engendrer une distribution de la température tout aussi inhomogène. Le cas idéal d'une distribution uniforme du courant, du potentiel et de la température n'existe pas. Dans la pratique, l'impédance thermique est estimée à partir des mesures physiques réalisables. Il est donc primordial de se pencher sur l'acquisition des grandeurs utiles pour sa détermination et d'estimer dans quel cas on peut considérer comme valide la mesure obtenue puisqu'une erreur découle de la mesure de température d'une part et de celle de la puissance d'autre part.

Dans un premier temps, il est nécessaire de s'attarder sur la mesure de l'évolution de la température de jonction $T_J(t)$ due à la dissipation de puissance dans le composant. Que ce soit par la technique en refroidissement, ou celle à l'échauffement, il est nécessaire de faire une acquisition rapide de la température de jonction. Or, comme cela a été discuté dans la première partie de ce manuscrit, le seul moyen d'obtenir la température de jonction, avec des dynamiques élevées, est la mesure indirecte par un paramètre électrique thermosensible du composant (PTS) [DUP12]. Cependant, la distribution de la température d'un composant de puissance en fonctionnement, ne serait-ce qu'à la surface, est loin d'être homogène. Donc, la température de jonction (T_J) obtenue au niveau de la jonction PN soulève des interrogations en raison notamment des écarts de température entre le centre de la puce et sa périphérie qui peut atteindre plusieurs dizaines de degré Celsius. Des travaux, s'appuyant sur une mesure en parallèle par caméra infrarouge, s'accordent à dire que la T_J mesurée en régime statique par un paramètre thermosensible donne une valeur proche de la moyenne arithmétique de la température à la surface du composant [SCH09 DUP12]. Les résultats de ces travaux montrent cependant que plus les gradients de température sont importants plus la mesure réalisée via le PTS s'éloigne de la température moyenne relevée à la surface de la puce.

Dans un second temps, nous allons étudier la mesure de la puissance dissipée dans le composant. Cette dissipation se fait habituellement par l'injection d'un créneau de courant. Seule la valeur totale du courant injectée est maîtrisée et la chute de tension aux bornes du composant résulte de la distribution de ce courant dans le composant à travers notamment la métallisation. La distribution du potentiel à la surface du composant est ainsi fortement liée à la localisation des zones d'injection du courant. Plus les amenées de courant sont réparties à la surface de la puce plus le potentiel y sera homogène, même si il n'est jamais parfaitement uniforme en raison des anneaux de gardes ou des conditions aux limites. En revanche la localisation du courant peut accentuer cette non uniformité du potentiel. La question se pose donc sur la manière de mesurer la chute de tension aux bornes du composant puisque le potentiel à sa surface n'est pas homogène. De plus, indépendamment de l'aspect

de répartition du potentiel, une première source d'erreur provient de la manière habituelle de réaliser la mesure. Dans une structure conventionnelle, la connexion électrique en face avant est réalisée par des fils de bonding ou des rubans afin d'injecter le courant dans le composant. La mesure de tension du composant est également effectuée à travers cette connectique de puissance (mesure classique ou conventionnelle). Cependant, au cours de l'injection de puissance, un fort courant y circule et la chute de tension induite par sa résistance équivalente n'est pas négligeable. Dans les modules utilisés dans le cadre de nos travaux, la chute de tension induite par les rubans pour une injection de 300A s'élève jusqu'à 350mV, ce qui représente plus de 20% de la chute de tension du composant (autour de 1,6V). L'erreur sur la valeur de la puissance dissipée dans le composant engendrée par la mesure via la connectique de puissance peut donc être significative. Même une mesure « 4 fils », opérée via un contact kelvin directement relié à la métallisation du composant, ne résout pas le problème de la disparité du potentiel en surface.

Afin de quantifier l'impact de la distribution du potentiel sur la détermination de la puissance dissipée dans un assemblage classique, des mesures sous pointes ont été réalisées sur des modules ouverts débarrassés du gel passivant. Dans les résultats de ces mesures, présentés ci-dessous, la puissance calculée à partir de la mesure du potentiel obtenu sous pointe est nommée $P_{DUT-\mu R}$ en rapport avec la mise en œuvre de la mesure par l'intermédiaire d'une mesure sous pointe (par des micro-robots μR).

La figure 97 montre une vue de dessus d'une diode de puissance dont la connexion en face supérieure est réalisée par des rubans et brasée en face arrière sur un substrat en cuivre. Les cercles numérotés indiquent l'emplacement des différentes mesures de potentiel à la surface du composant. La puissance moyenne est mesurée, en fonction du positionnement de la pointe de mesure, au cours de l'injection d'un courant de 300A durant une milliseconde. La T_j à la fin de l'injection est estimée par une extrapolation de la courbe de refroidissement du composant, image de la mesure d'un paramètre électrique thermosensible. La dispersion de la puissance mesurée est présentée figure 98 en fonction de la position de la prise de potentiel d'anode. Dans un premier temps, on peut constater sur la figure 97 que les rubans fournissent une relativement bonne répartition du courant même si cette technologie n'est pas optimale. La surface en contact des rubans est d'environ 50% de la surface totale de métallisation et les zones de contact sont bien réparties à la surface du composant.

La synthèse de ces mesures est proposée dans le tableau 8, où apparaît la valeur moyenne des grandeurs mesurées, l'écart maximal absolu et l'écart maximal relatif par rapport à la valeur moyenne induit par le positionnement des pointes. On constate que l'erreur sur la puissance moyenne peut atteindre 4%. La mesure de la T_j effectuée à faible courant est quant à elle peu influencée (autour de 2%). Le P_{DUT} conventionnel et le I_{DUT} sont des grandeurs non affectées par le positionnement des pointes, les différences observées sur les 11 mesures sont respectivement inférieures à 0,5% et 0,1% et rendent compte des incertitudes inhérentes à la mesure.

Des mesures ont été ensuite effectuées dans les mêmes conditions sur un composant dont les rubans, moins larges, occupent moins de 30% de la surface totale de la puce (figure 99). Dans cette configuration, les résultats montrent une plus grande disparité du potentiel à la surface, autour de 6,7% (figure 100 et tableau 9). La mesure de T_j ne semble en revanche pas affectée par une moins bonne répartition de l'injection de courant.

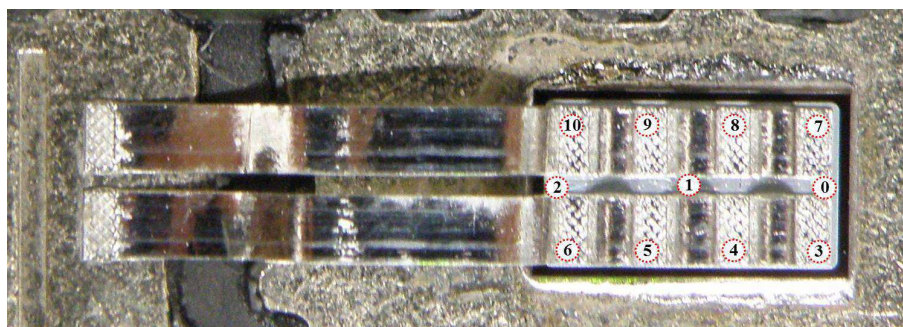


Figure 97 : Positionnement des pointes sur la face supérieure d'une diode de puissance (Module 1)

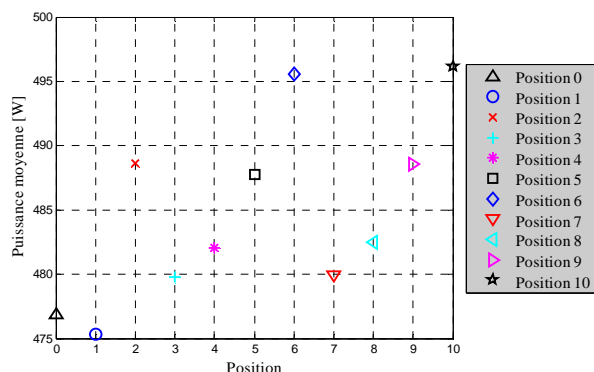


Figure 98 : Puissance moyenne mesurée en fonction du positionnement de la mesure

Tableau 8 : Synthèse de l'impact de la position de pointes sur les mesures (Module 1)

Module 1	Valeur Moyenne	Différence max absolue	Différence max relative
$P_{DUT-\mu R}$	485W	20,8W	4,3%
T_J	30,7°C	0,6°C	2,1%

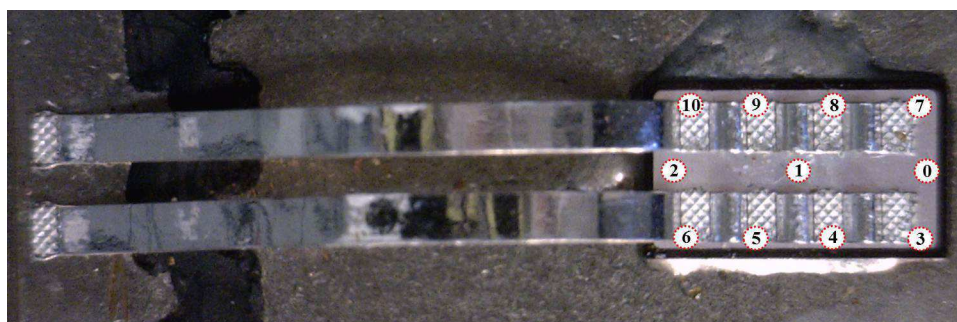


Figure 99 : Positionnement des pointes sur la face supérieure d'une diode de puissance (Module 2)

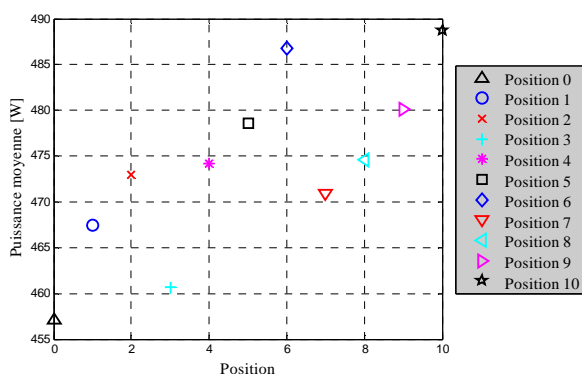


Figure 100 : Puissance moyenne mesurée en fonction du positionnement de la mesure

Tableau 9 : Synthèse de l'impact de la position de pointes sur les mesures (Module 2)

Module 2	Valeur Moyenne	Différence max. absolue	Différence max. relative
$P_{DUT-\mu R}$	473,8W	31,6W	6,7%
T_J	33,6°C	0,64°C	1,9%

Ces résultats montrent bien que les effets de répartition du potentiel ont un impact sur la mesure de la Z_{th} , à hauteur de quelques pourcents dans des configurations où le courant est relativement bien réparti. On observe également que plus la répartition du courant est inhomogène plus l'impact sur la

mesure est important. La mise en avant de ces phénomènes permet de pointer la limite de la mesure d'impédance thermique pour des assemblages où la distribution du courant est très localisée.

Afin de montrer l'importance de ce phénomène dans un cas extrême d'une distribution très localisée, les boucles des rubans en surface du module 1 ont été sectionnées de manière à rendre fortement inhomogène la distribution du courant (figure 101). Les positionnements des pointes de mesures sont identiques aux précédents essais. Les résultats présentés figure 102 et tableau 10 montrent que les écarts sur la mesure de puissance en fonction de la position de la mesure de potentiel sont considérables, supérieurs à 60%. Bien que la T_J ait considérablement augmenté par rapport à la mesure avant dégradation de l'amenée de courant (+46°C), la mesure est peu impactée par le positionnement des pointes. Une mesure d'impédance thermique globale du composant dans ces conditions ne peut pas être représentative du comportement thermique du composant qui est fortement localisé dans cette configuration. On constate que la réponse en élévation de température du composant est fortement impactée par la distribution du courant en face avant.

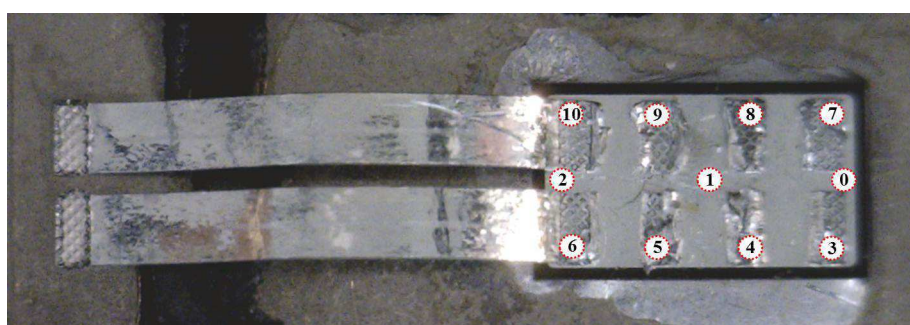


Figure 101 : Positionnement des pointes sur la face supérieure d'une diode de puissance (Module 1 sectionné)

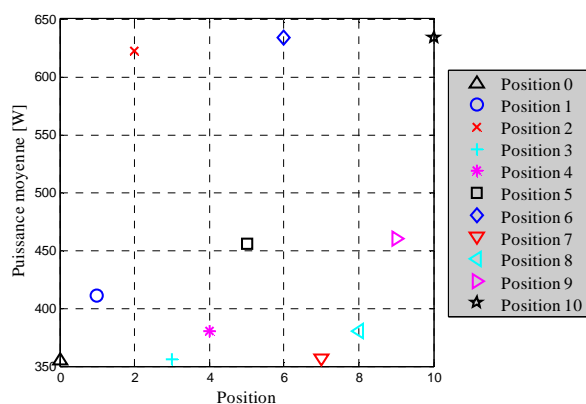


Figure 102 : Puissance moyenne mesurée en fonction du positionnement de la mesure

Tableau 10 : Synthèse de l'impact de la position de pointes sur les mesures (Module 1-Sectionné)

Module (1) sectionné	Valeur Moyenne	Différence max. absolue	Différence max. relative
$P_{DUT-\mu R}$	458,57W	278,7W	60,7%
T_J	76,7°C	1,48°C	1,90%

En conclusion de ces mesures préliminaires, il est important de noter que la mesure d'impédance thermique met en jeu un fort couplage électrothermique. La température moyenne du composant étant étroitement liée à la répartition de l'injection de courant. Il est donc possible d'utiliser la réponse en élévation de température d'un composant pour étudier la qualité de l'interconnexion en face arrière, mais aussi l'impact de la face avant. Cela en fait un outil d'analyse exploitable pour des assemblages tridimensionnels. Il faut cependant se méfier du couplage entre électrique/thermique ainsi que de l'impact entre la face avant et la face arrière qui est difficilement dissociable dans le cadre d'une mesure globale de Z_{th} . Il est fondamental de mettre en exergue que la mesure de l'impédance thermique globale est représentative de la qualité de l'interconnexion électro-thermo-mécanique uniquement dans des conditions où les grandeurs thermiques et électriques sont relativement homogènes, bien qu'il soit délicat de fixer des limites quantitatives. Dans l'idéal, il faudrait pouvoir

obtenir la distribution des températures, du courant et du potentiel afin d'obtenir une Z_{th} distribuée. Au cours des travaux présentés dans ce manuscrit, les Z_{th} seront toujours obtenues via des mesures de puissance et de T_j réalisées sous pointes au centre de la puce afin de pouvoir comparer les résultats obtenus. On peut aussi conclure de ces mesures préliminaires que la position de la pointe influe avant tout la mesure de la puissance dissipée et très peu celle de T_j .

Les limites de la mesure globale d'impédance thermique étant posées, le banc de mesure expérimental développé lors de ces travaux va être présenté. Dans un premier temps, des études préliminaires utilisant un modèle thermique numérique à éléments finis vont être exposées de manière à déterminer le cahier des charges du banc d'injection de puissance. Dans un second temps, le détail du protocole expérimental et ses performances seront dévoilés puis des résultats expérimentaux comparatifs seront analysés afin de mettre en avant la sensibilité de l'outil développé.

II.2. Description de la méthode de mesure

Le protocole de mesure d'impédance thermique par une méthode pulsée sur une diode est le suivant :

- L'assemblage, comprenant le DUT, est placé sur un refroidisseur qui impose une température initiale à tout le système (environ 12°C). La mesure ne se fait qu'une fois l'équilibre thermique atteint (figure 103 étape 1) ;
- La T_j initiale est mesurée via l'injection continue d'un faible courant (I_M) en direct dans le DUT ;
- La durée de l'injection initiale est définie, puis incrémentée d'une injection sur l'autre jusqu'à la limite fixée permettant au flux de chaleur de traverser l'intégralité de l'interface étudiée (de quelques μ s à quelques ms) (figure 103 étape 2) ;
- Un créneau (ou pulse) de courant de puissance (I_P) de durée réglable t_{inj} est injecté en direct dans le DUT par le biais d'interrupteur de puissance. Ce courant de puissance s'ajoute au courant de mesure I_M qui devient négligeable (figure 103 étape 3) ;
- Après l'injection du courant de puissance, la T_j du DUT est acquise via la mesure du PTS lors du refroidissement du composant (figure 103 étape 4).
- Un outil de traitement des données brutes permet d'extrapoler, à partir de la courbe de refroidissement, la T_j à la fin de l'injection du courant de puissance (à $t=t_{inj}$) (figure 103 étape 5) ;
- La température à t_{inj} permet de tracer un nouveau point de la $Z_{th}(t)$ (figure 103 étape 6) ;
- Il faut ensuite attendre que l'équilibre thermique soit de nouveau atteint avant d'injecter un autre pulse de courant (figure 103 étape 1).

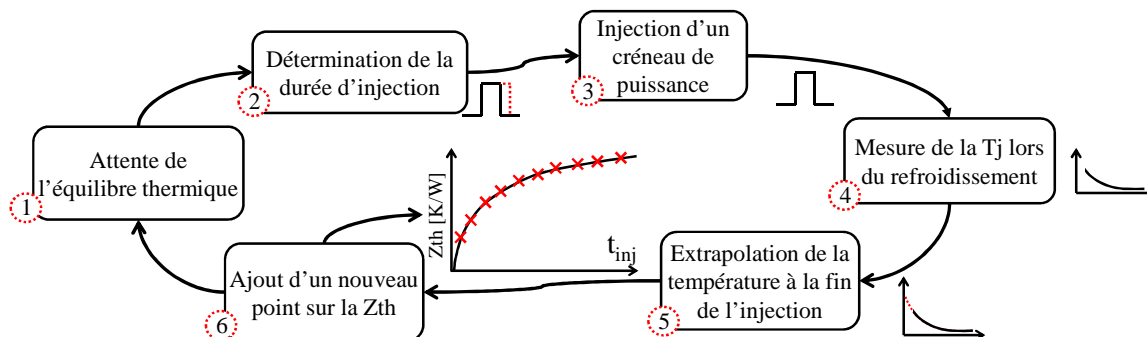


Figure 103 : Méthode de mesure de la température de jonction par échauffement

III. Aspects thermiques et temporels par simulation

Afin de déterminer le cahier des charges du banc de mesure Z_{th} , tant au niveau thermique que temporel, un modèle thermique a été créé à l'aide de l'outil numérique de simulation par éléments finis COMSOL Multiphysics (4.3). La géométrie simulée est définie en corrélation avec les modules de test qui seront utilisés pour montrer la faisabilité de la mesure lors de l'étude expérimentale. Il est nécessaire de déterminer d'une part la durée minimale d'injection permettant au flux thermique de traverser toute l'interconnexion et, d'autre part, la valeur de la puissance à dissiper afin d'observer de faibles dégradations de l'interconnexion entre la partie active et le substrat.

III.1. Description de la géométrie et du modèle utilisés

Le module de puissance utilisé est une cellule de commutation dont la diode est utilisée comme composant sous test (DUT). La diode testée est connectée en face arrière via une brasure 92,5Pb5Sn2,5Ag sur une semelle de cuivre non isolée. La connexion électrique en face avant est assurée par des rubans connectés à la métallisation de la puce (figure 97 page 84). La documentation de cette diode *PIN* 600V 200A (INFINEON SIDC50D60C6) est disponible dans l'annexe 4.

Pour réduire la durée des calculs, les simulations sont réalisées sur la base d'une modélisation bidimensionnelle axisymétrique. En raison de ce choix, un ajustement des dimensions est réalisé afin de maintenir les épaisseurs et les volumes des différents constituants analogues à l'assemblage testé sur le banc Z_{th} (figure 104). Les dynamiques temporelles étant très rapides, les phénomènes de convection ne sont pas pris en compte tout au long de cette étude.

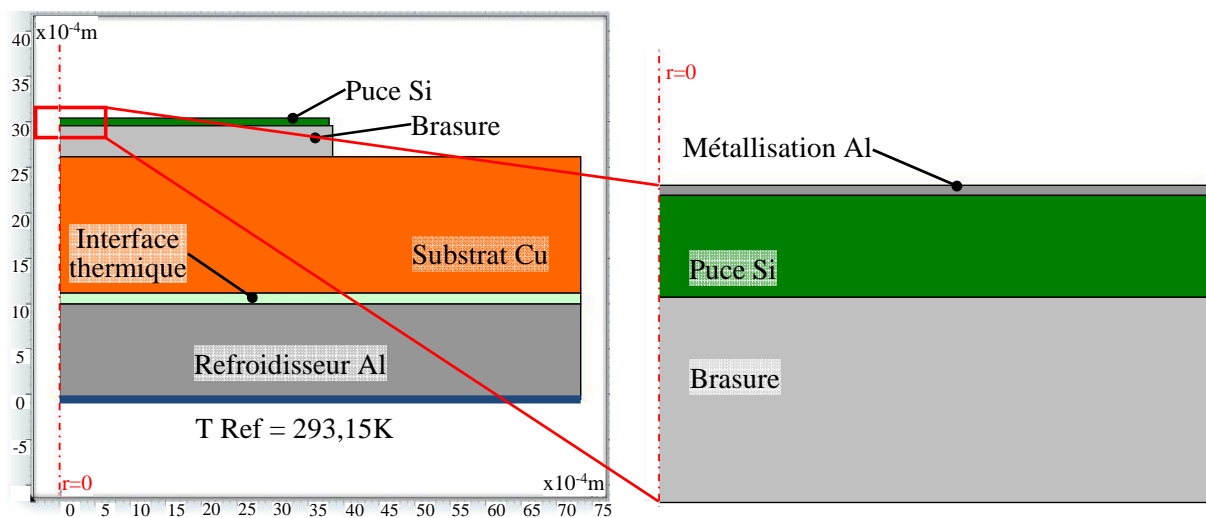


Figure 104 : Représentation 2D Axi du modèle simulé

En plus de la modélisation de la métallisation en aluminium de la diode, la partie active (la puce en silicium) est décomposée en 3 zones (P^+ , N^- et N^+) correspondant aux différents niveaux de dopage du silicium. Ce découpage du composant actif permet de distinguer les zones spécifiques qui composent les différents lieux de dissipation de la puissance dans la diode ainsi que la zone utilisée pour la mesure indirecte de la T_J . En effet, lors de la circulation en directe d'un courant, la chute de tension V_{AK} aux bornes de la diode peut être décomposée en une somme de plusieurs constituantes comme exprimées dans (19).

$$V_{AK} = V_J + V_{\Omega} + V_d \quad [\text{V}] \quad (19)$$

Où V_J est la chute de tension due à la jonction, V_{Ω} la chute de tension ohmique et V_d la tension de « Dember ». A fort niveau de polarisation, la tension de « Dember » devient très vite négligeable

devant les deux autres, ce qui justifie le choix de ne pas en tenir compte [LET01]. La chute de tension V_J est due aux concentrations de trous et d'électrons au niveau de la jonction et à la concentration intrinsèque. La chute de tension ohmique en conduction est due quant à elle à la résistivité de la zone N-. Les contributions V_J et V_Ω induisent des dissipations de puissance au cœur du composant respectivement « P_J » et « P_Ω ». Le niveau de ces pertes augmente avec la densité de courant, mais il est cependant complexe, sans une connaissance approfondie de la structure et du profil de dopage du composant, d'en déterminer la participation respective. Ces deux sources de chaleur sont localisées dans des zones de dissipations spécifiques dans l'épaisseur du composant. Ainsi, la frontière P+/N- définit la « jonction », lieu des pertes surfaciques de jonction « P_J », et de la mesure de T_J à faible niveau d'injection de courant. Le volume N-, zone de tenue en tension en inverse, est quant à lui le siège des pertes volumiques ohmiques en conduction « P_Ω ». Ces deux zones sont représentées sur l'agrandissement de la figure 105. La puissance dissipée dans le composant est donc répartie entre ces deux zones. Une température de référence est appliquée à la frontière basse du refroidisseur et fixée à 293,15K. L'ensemble des autres frontières externes du modèle est défini sans échange de chaleur (condition adiabatique).

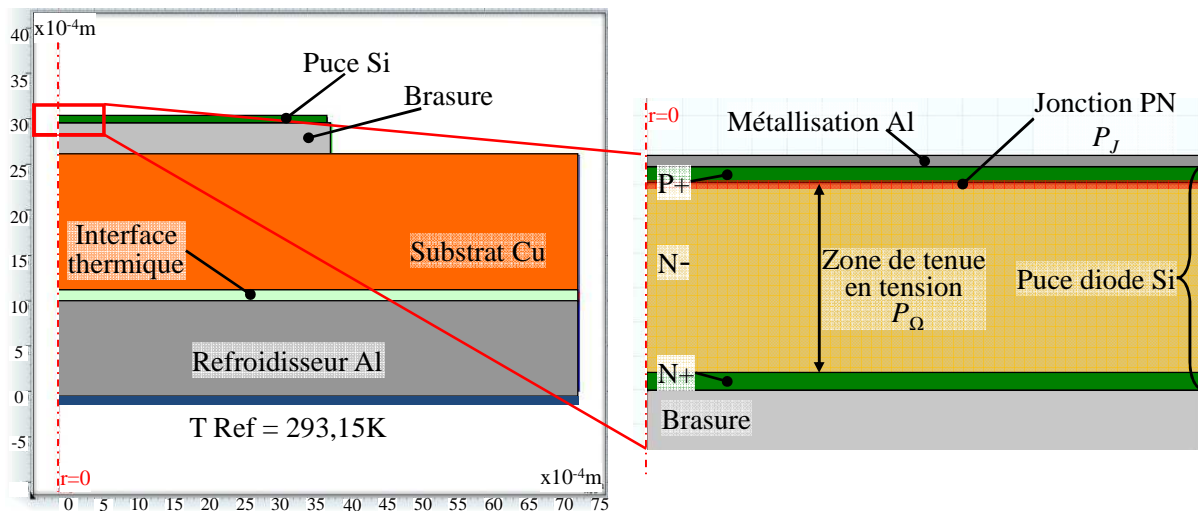


Figure 105 : Agrandissement de la partie active

La géométrie de la brasure est obtenue à partir de mesures dimensionnelles réalisées avec un profilomètre optique (MICROVU VERTEX 330). Les résultats des mesures de la répartition de l'épaisseur sont obtenus à partir de l'extraction d'un plan de référence lié à la surface du substrat en cuivre et de la mesure de neuf points de mesure répartis à la surface de la diode. L'épaisseur moyenne mesurée sur plusieurs modules est de 350 μ m. L'épaisseur de ces brasures est anormalement élevée et peu représentative des brasures conventionnelles qui se situent plutôt entre 50 et 100 μ m. En conclusion, l'utilisation de ces modules nous place dans un cas défavorable, où le flux de chaleur mettra plus de temps pour traverser l'intégralité de la brasure, et conduit à devoir limiter la puissance dissipée afin d'éviter une élévation trop importante de la température du composant.

Le tableau 11 ci-dessous synthétise la géométrie de l'assemblage telle qu'elle a été définie dans le modèle simulé. Les matériaux constituant l'assemblage ont été définis d'après la bibliothèque interne de COMSOL, dont les propriétés sont détaillées dans le tableau 12.

Tableau 11 : Synthèse de la géométrie de l'assemblage

Détail de l'assemblage	Matériaux	Épaisseurs	Rayon 2D	Largeurs réelles
Puce (70 μ m)	Aluminium métallisation	3 μ m	3,7mm	5x9mm ²
	Si P+	5 μ m	3,7mm	5x9mm ²
	Si N-	55 μ m	3,7mm	5x9mm ²
	Si N+	5 μ m	3,7mm	5x9mm ²
Brasure	Pb92.5Sn5Ag2.5	350 μ m	3,85mm	6x10mm ²
Substrat	Cuivre	1.5mm	7,3mm	13x13mm ²
Interface thermique	Interface DENKA	100 μ m	7,3mm	13x13mm ²
Refroidisseur	Aluminium	1mm	7,3mm	13x13mm

Tableau 12 : Propriétés physiques des matériaux

Matériaux	Conductivité thermique [W/(m.K)]	Capacité thermique [J/(kg.K)]	Densité [kg/m ³]
Cuivre	400	385	8700
Aluminium	200	910	2700
Brasure Pb92.5Sn5Ag2.5	23	130	11000
Si(c)	130	700	2329

La qualité du maillage est importante pour ce type de géométrie où le ratio épaisseur sur largeur est très faible. Une attention particulière a donc été apportée afin de limiter les singularités et les défauts de convergence. Le maillage est représenté sur la figure 106.

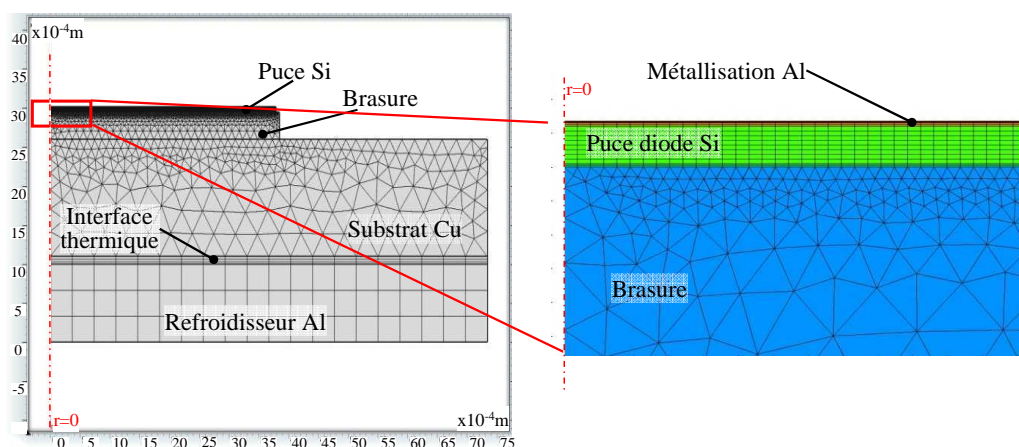


Figure 106 : Détail du maillage de la géométrie

La dynamique élevée des phénomènes conduit à étudier une résolution temporelle des sollicitations thermiques au sein de l'assemblage avec un contrôle précis des pas de calcul. Les données brutes

issues des simulations sont exportées pour un traitement avec le logiciel MATLAB.

III.2. Zone de dissipation dans la diode

Afin de représenter au mieux la dissipation de puissance au sein de la diode, il est intéressant d'évaluer l'impact de la répartition de la puissance dissipée entre la jonction et la zone de tenue en tension. Il est délicat de connaître cette répartition d'après les équations de conduction en forte injection de la diode en fonction de la valeur du courant. Une connaissance précise de structure du composant et de répartition de la concentration des dopants dans le volume du composant sont nécessaires afin de pouvoir simuler la répartition de la chute de tension au sein du composant avec un outil élément fini de type ATHENA/SILVACO ou par une approche analytique [KHA12]. Il aurait été préférable d'effectuer une analyse SRP (« Spreading Resistance Profiling ») du composant pour en obtenir la concentration en impureté de chaque zone et en déduire le profil de dopage. N'ayant pas ce dispositif d'analyse à disposition, nous avons préféré étudier l'incidence de la répartition de la dissipation de puissance sur la réponse thermique du composant par simulation. De cette manière il est possible de savoir si une approximation de la contribution de chaque perte conduit à une erreur importante. Une résolution paramétrique à l'aide du modèle COMSOL précédemment décrit est utilisée pour modifier la part de la puissance dissipée dans la jonction PN vis-à-vis de celle dissipée dans la zone de tenue en tension N⁻.

Le paramètre utilisé est le pourcentage de la puissance dissipée dans la jonction, dont la valeur varie entre 0 et 100 % par pas de 10%. Lorsque le paramètre vaut 0% toute la puissance est dissipée dans le volume N⁻ et lorsqu'il vaut 100% l'intégralité de la puissance est dissipée à la frontière P⁺/N⁻. Il est important de rappeler que l'étude est ici simplifiée par une approche uniquement thermique et la puissance est dissipée de façon uniforme dans chaque domaine. La figure 107 représente l'impact de cette répartition sur la température moyenne de jonction à une injection de 600W et d'une durée de 100 μ s

Le réseau de courbes de la figure 107 montre l'impact de la répartition de la puissance sur la température moyenne au niveau de la jonction. La dissipation de puissance dans la jonction varie entre 0% et 100%. L'impact est faible lorsque l'on mesure la température plusieurs dizaines de μ s après la fin de l'injection ($<0,5^{\circ}\text{C}$ pour un $t_{DM} > 50\mu\text{s}$), en revanche l'écart est significatif durant l'injection et tout de suite après l'injection (jusqu'à 2°C). Afin de mieux appréhender le phénomène, la figure 108 montre l'impact de la distribution de puissance en fonction de la durée d'injection et ce à différents instants de mesure (à la fin de l'injection ($t_{DM}=0$), 15 μ s après injection ($t_{DM}=15\mu\text{s}$), et 50 μ s après injection ($t_{DM}=50\mu\text{s}$)). Pour rappel, le t_{DM} , provenant de l'anglais « Time Delay Measurement » représente le temps après la fin de l'injection à partir duquel on mesure la température de jonction.

On peut conclure que l'erreur sur la dynamique thermique liée à la localisation de la dissipation est relativement faible (de quelques degrés), et que cette erreur tend vers une limite finie lorsque la durée d'injection est suffisamment longue. Les études menées dans [KHA12] montrent que la répartition de la chute de tension dans le composant est liée à la nature et la température de ce dernier ainsi qu'au niveau d'injection. En fonction du niveau de courant en forte injection la répartition peut en revanche se rapprocher d'un équilibre. Au vu de ces travaux et de ces résultats de simulations on peut estimer que si on se place dans un cas de répartition équilibrée entre la contribution ohmique et celle de la jonction on peut limiter l'erreur à un niveau acceptable. La suite des simulations sera donc effectuée pour une répartition équilibrée de la puissance dissipée dans la zone de jonction et la zone N⁻.

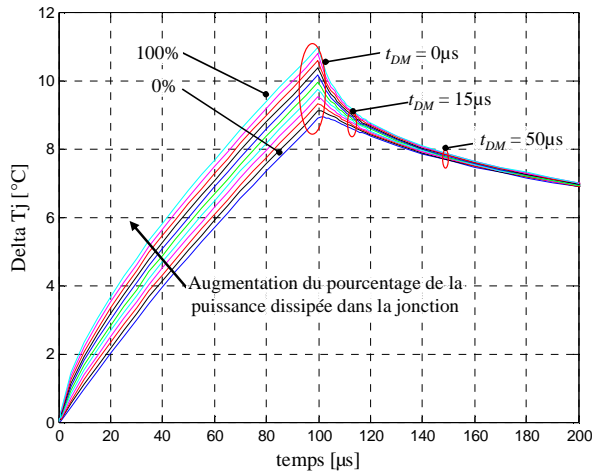


Figure 107 : Evolution de la température moyenne à la jonction PN pour une impulsion de 600W de 100 μ s en fonction du pourcentage de dissipation dans la jonction

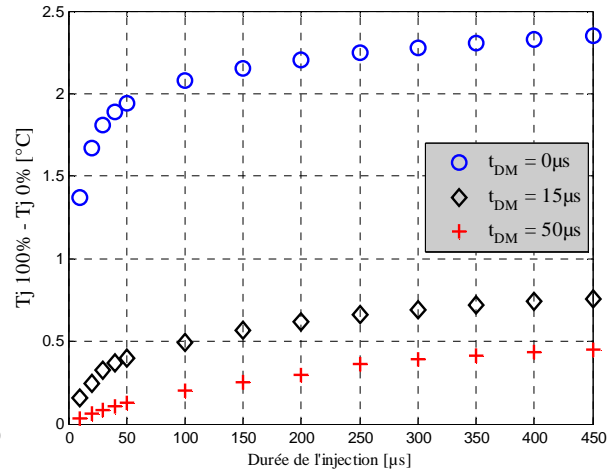


Figure 108 : Delta de température du à la distribution des zones de dissipation en fonction de la durée d'injection pour différent t_{DM}

III.3. Temps de diffusion du flux de chaleur

Une donnée importante afin de dimensionner le banc de mesure Z_{th} pouvant être estimée par les simulations est la durée nécessaire au flux de chaleur pour atteindre la brasure, et pour la traverser intégralement.

Afin d'obtenir ces ordres de grandeurs via l'outil de simulation, trois géométries sont comparées. La première, est la géométrie de référence, pour laquelle il y a un contact parfait entre la puce et la brasure. Un défaut est ajouté à l'interface puce/brasure de la seconde géométrie, à travers l'ajout d'une interface de contact d'1 μ m d'épaisseur caractérisé par une conductivité thermique dégradée (1W/m $^{\circ}$ C). Cela permet d'appréhender l'instant à partir duquel un défaut à l'interface puce/brasure impacte la réponse en température de la jonction. Il en est fait de même pour la troisième géométrie, par l'ajout d'une interface de contact entre la brasure et la semelle. Les résultats proposés sur la figure 109 montrent l'évolution de la T_j à une injection de puissance de 600W en fonction du temps d'injection et ce pour les trois géométries décrites ci-dessus. On observe sur les agrandissements de la figure 109 que la dégradation de la première interface se répercute pour des durées d'injection faibles (autour de 50 μ s), alors que le défaut de la seconde interface n'impacte la réponse en élévation de température du composant qu'après plusieurs ms d'injection.

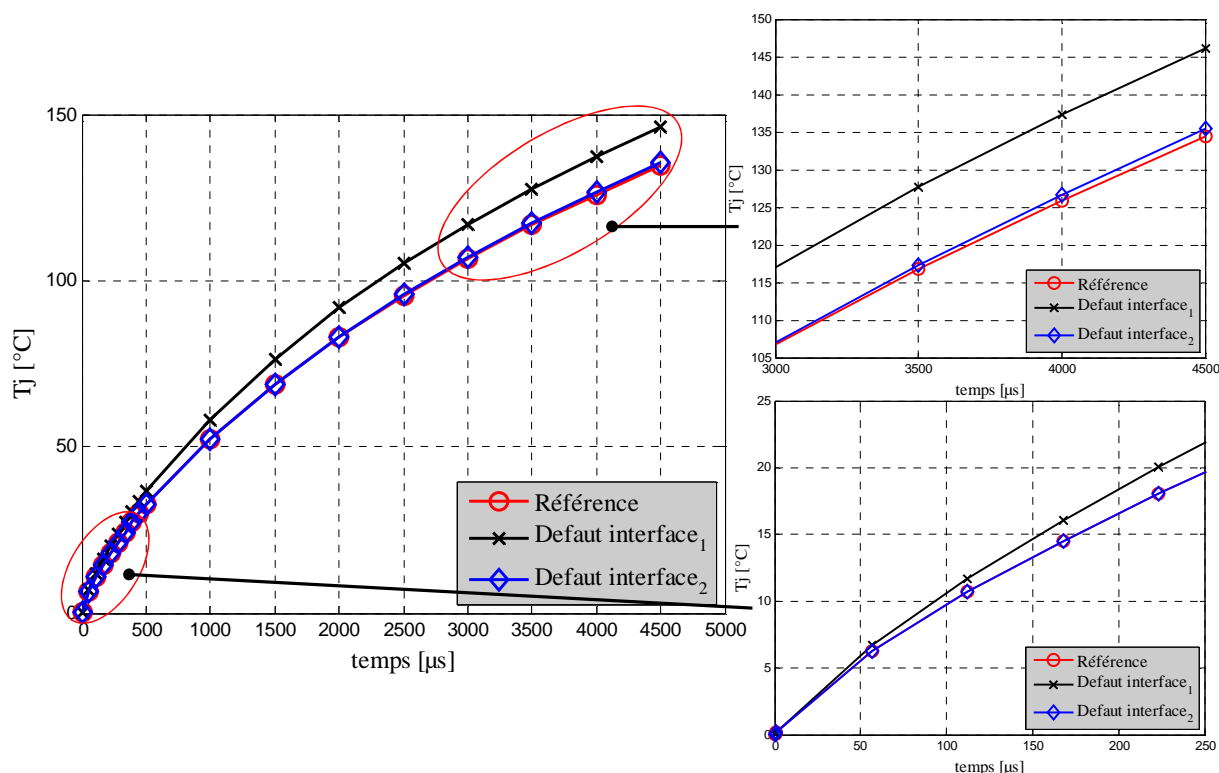


Figure 109 : Evolution de la T_j lors de l'échauffement sous 600W pour plusieurs qualités d'assemblage.

Notre cas d'étude est assez défavorable en raison de la faible épaisseur du composant ($70\mu\text{m}$) et de l'épaisseur importante de la brasure ($350\mu\text{m}$). De ce fait, le flux de chaleur atteint très rapidement l'interface et met longtemps à atteindre la semelle en cuivre. L'épaisseur conventionnelle des brasures se situe plutôt autour de $50\mu\text{m}$ voire moins pour les joints frittés. Les durées maximales d'injection pourront donc être adaptées.

On peut d'ores et déjà entrevoir les limites de cette méthode de mesure pour les interfaces de fortes épaisseurs, qui vont nécessiter des temps d'injection importants. En effet, plus la durée de l'injection sera importante, plus il faudra limiter la puissance dissipée afin de rester dans une gamme de température admissible ce qui réduit de facto la sensibilité de la mesure. Mais cette méthode de caractérisation transitoire pulsée permet toujours d'obtenir une meilleure sensibilité qu'une méthode nécessitant d'atteindre le régime thermique stationnaire.

III.4. Niveau de puissance à dissiper

Afin de pouvoir observer une dégradation de la qualité de l'interface, les écarts de température doivent être suffisamment élevés. D'un autre côté, la puissance dissipée durant la plus longue injection ne doit pas entraîner une élévation de la température du composant au-delà de la température maximale admissible, soit 150°C dans notre cas. On peut extraire de la figure 109 qu'il est nécessaire d'injecter un courant durant plusieurs millisecondes pour observer une dégradation au niveau de la deuxième interface. On observe qu'une telle durée d'injection, sous une puissance dissipée de 600W, entraîne une élévation proche de la limite tolérable. En conclusion, une puissance dissipée autour de 500W paraît adaptée pour des durées d'injection jusqu'à 3-4ms de manière à ne pas dépasser la limite en température du composant pour un défaut significatif situé au niveau de la première interface.

III.5. Détection d'une cavité (« void »)

Afin de vérifier l'aptitude du banc de mesure à détecter la qualité d'une brasure, une géométrie comprenant une cavité au centre de la brasure a été simulée. Le « void » en question se situe sur l'interface brasure/semelle et est quasiment traversant. La surface occupée par le « void » représente 25% de la surface totale de la puce, il est considéré vide et n'est pas maillé dans le modèle. La réponse en élévation de température de l'assemblage avec « void » est comparée à celle de la géométrie de référence sur la figure 111 lors d'une dissipation de 600W. On peut clairement observer l'impact significatif sur les niveaux de température atteints au sein du composant. Lors d'une dissipation de 3,5ms, l'écart de température dépasse 70°C. Le dispositif de mesure semble apte à détecter des défauts d'interconnexions, bien que le défaut présenté ici soit considérable.

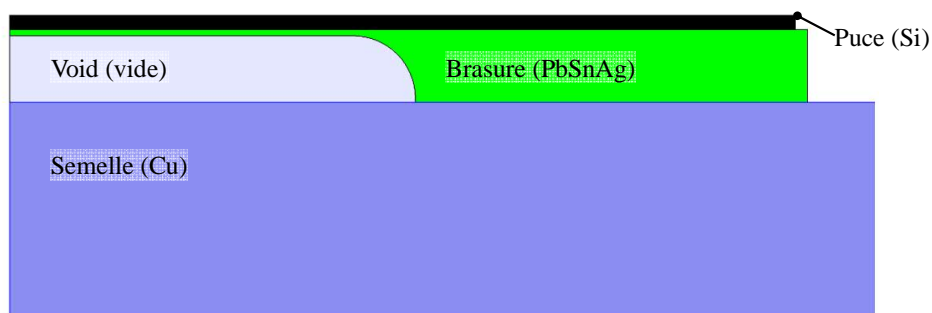


Figure 110 : Géométrie avec un « void » au sein de la brasure

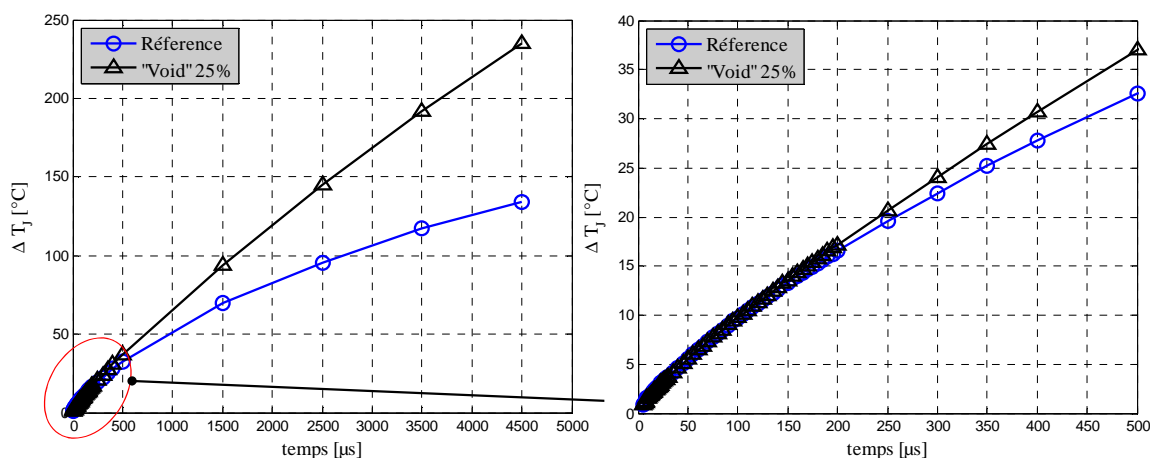


Figure 111 : Impact d'un « void » sur la réponse en élévation de température

IV. Constitution du banc de mesure expérimental

Dans le cadre de ces travaux de thèse, le prototype d'un banc expérimental de mesure de l'impédance thermique selon une technique d'injections successives de créneaux de puissance, a été réalisé. Le banc, décrit ici, est conçu dans le but de caractériser de façon précise la technologie de report de la puce d'un assemblage de puissance. Dans un premier temps, l'interconnexion puce/substrat d'une diode de puissance de type *PIN* brasée sur un substrat non isolé conforme à la géométrie simulée servira de démonstrateur. La représentation schématique du fonctionnement présenté figure 112 permet d'appréhender les principaux constituants du banc de mesure permettant l'injection des courants dans le DUT ainsi que les mesures des grandeurs physiques utiles. On peut extraire de ce schéma trois fonctions principales dont les principaux constituants seront détaillés dans cette partie :

- La génération des séquences d'injection de puissance gérée par un aiguillage spécifique ;
- La mesure des grandeurs électriques via un système d'acquisition ;
- Le post traitement des données brutes issues des mesures.

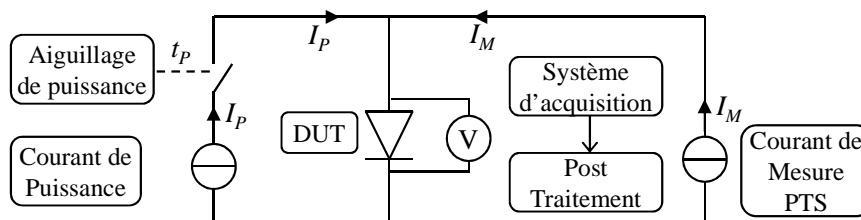


Figure 112 : Schéma de principe du banc de mesure

IV.1. Aiguillage de puissance

L'aiguillage de puissance permet de gérer l'injection des pulses de puissance dans le DUT. L'impédance thermique étant la réponse temporelle en température du composant à un créneau de puissance, la puissance injectée dans le DUT doit être le plus proche possible du créneau pour des raisons de pertinence de la réponse. Afin de permettre une campagne de mesure correcte, le système d'aiguillage doit donc répondre à certains critères :

- L'aiguillage doit supporter des courants commutés de plusieurs centaines d'ampères (300A) ;
- Les temps de montée (t_m) et de descente (t_d) du front de puissance doivent être courts (de l'ordre de la μ s) devant la durée de l'injection ;
- La valeur de la puissance doit être stable tout au long de l'injection quelle que soit la durée de l'injection (comprise dans la plage 10 μ s et 3ms),
- Les phénomènes transitoires après l'injection doivent être minimisés pour permettre rapidement une mesure indirecte de la température du DUT.

IV.1.1. Injection par stockage inductif

L'injection du courant de puissance fonctionne par stockage inductif et les interrupteurs T_1 et T_2 jouent le rôle d'aiguilleur du courant. Lors de la première phase (dite de court-circuit), de l'énergie est emmagasinée dans une inductance de forte valeur (boucle bleue), puis lors de la seconde phase le courant est injecté dans le DUT (boucle rouge). L'énergie stockée dans l'inductance permet de limiter la variation de courant lors des transitions entre les phases de fonctionnement. De plus, la valeur de l'inductance a été fixée pour limiter la décroissance du courant durant l'injection, dans le cas le plus défavorable, à 5% de la valeur nominale du courant. Le courant de mesure I_M est quant à lui injecté en permanence (boucle verte). La mesure du courant de puissance traversant le DUT se fait grâce à un

shunt aselfique de précision (T&M research 5m Ω) placé en série avec le DUT qui apparaît sur le schéma électrique de l'aiguillage de puissance présenté en figure 113 et figure 114.

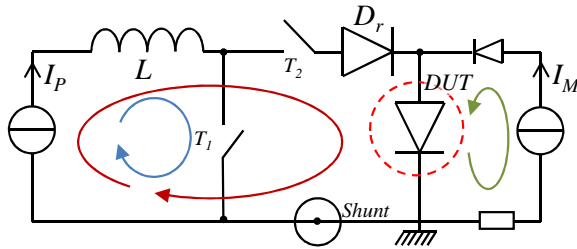


Figure 113 : Schéma électrique de principe de l'aiguillage de puissance

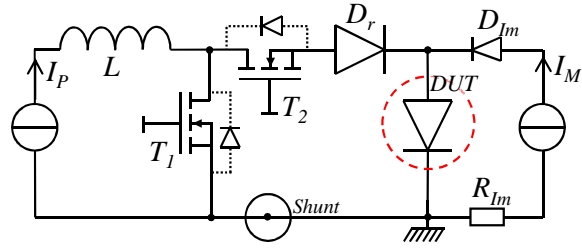


Figure 114 : Schéma électrique de l'aiguillage de puissance

L'important pour la mesure de l'impédance thermique est d'appliquer un créneau de puissance dont la valeur est stable au cours de l'injection. Conformément aux conclusions de l'étude numérique préliminaire, la puissance dissipée dans le *DUT* est autour de 500W pour un composant d'un demi cm^2 , soit une densité proche du kW/cm^2 . Cela représente pour la diode utilisée comme *DUT* un courant de 300A pour une chute de tension proche de 1,5V. Même si le courant est stable au cours de l'injection, la chute de tension aux bornes du *DUT* est amenée à varier avec l'augmentation de la température. Les courbes issues du fonctionnement montrent que la puissance ne décroît que de 4% de sa valeur initiale lors de la plus longue injection (3ms) (figure 115). L'évolution de la puissance dissipée dans le *DUT*, en fonction de la durée de l'injection, montre que l'utilisation d'une régulation en puissance n'est pas nécessaire en raison de sa faible variation.

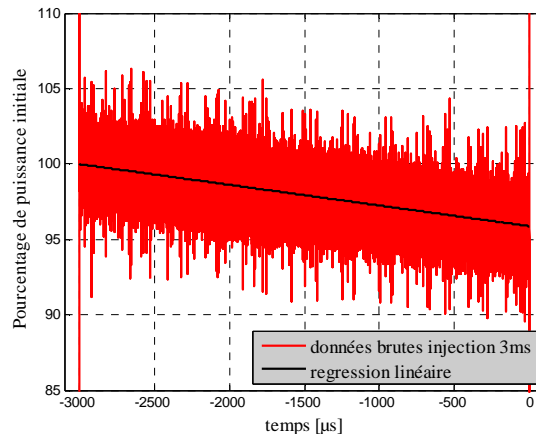


Figure 115 : Evolution de la puissance en pourcentage de la valeur initiale durant une injection de 3ms

IV.1.2. Commande des interrupteurs

Les interrupteurs T_1 et T_2 sont des transistors de puissance MOSFET 75V/455A (référence IXFN520N075T2), choisis pour leurs performances dynamiques. Une commande en tension positive rend le composant passant, permettant le passage du courant entre le drain et la source. A l'inverse, un ordre de commande négatif entraîne le blocage du composant qui peut dans cette configuration tenir la tension. La commande des transistors à effet de champ nécessite un signal isolé afin d'imposer une tension V_{GS} indépendante du potentiel de la source. Une carte de commande rapprochée, dont le schéma électrique est présenté en annexe 5, est donc affectée à chaque transistor.

En cas de discontinuité du courant de puissance, la surtension peut conduire à la destruction des composants de l'aiguillage. Pour protéger le système de ces surtensions, une phase de chevauchement doit être observée lors des commutations des transistors afin que T_1 et T_2 ne soient jamais ouverts

simultanément. Afin de limiter la durée de conduction de T_1 , la mise EN/HORS service de l'alimentation est elle aussi commandée. La gestion du séquençage des signaux de commande est assurée par un programme implanté dans un microcontrôleur ARDUINO équipé d'une carte entrée sortie. La carte entrée sortie est munie de boutons poussoirs, d'interrupteurs et de leds, ce qui permet de lancer, d'interrompre et de visualiser l'état d'avancement de la mesure. Le chronogramme des ordres de commande est représenté dans la figure 116 avec les schémas électriques de principes de chaque phase de mesure.

IV.1.3. Rôle de la diode D_r

Sur les schémas électriques équivalents (figure 113, figure 116) apparaît une seconde diode dans la boucle rouge nommée D_r . Cette diode a trois fonctions. Elle permet dans un premier temps d'augmenter la résistance équivalente de la maille rouge afin de garantir que le courant I_p ne traverse pas le DUT , mais uniquement T_1 durant les phases de chevauchement. Dans un second temps, cette diode empêche le courant de mesure I_M , de passer par la diode « body » du MOS T_2 et par le MOS T_1 afin que tout le courant I_M traverse le DUT lors de la phase de mesure de la température de jonction. Et en dernier lieu, la diode D_r , ayant une forte chute de tension directe à l'état passant, permet d'accélérer les commutations en agissant sur la pente du courant.

Comme expliqué ci-dessus, durant les phases de chevauchement (notées t_m), T_1 et T_2 sont passant, mais le courant de puissance passe de façon préférentielle dans la maille bleue, constituée de T_1 , qui présente une impédance apparente plus faible que la maille rouge.

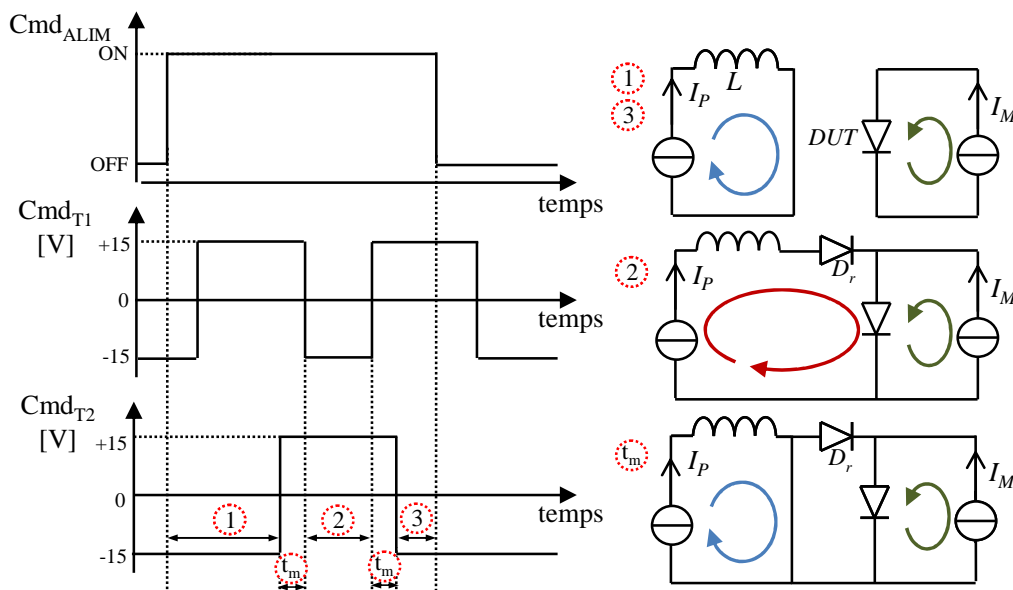


Figure 116 : Chronogramme et schéma électrique équivalent des phases de la mesure

Il est important d'aborder ici la nature de cette diode D_r , puisque le choix du composant a un impact non négligeable sur les résultats de mesure. Sans entrer dans le détail du comportement des composants à semi-conducteurs, il existe deux principaux types de diodes. D'une part, les composants dits « bipolaires » qui mettent en jeu les deux types de porteurs (trous et électrons) dont les diodes PIN font parties. Et d'autre part, les composants dits « unipolaires » tels les composants Schottky ou les MOSFET qui mettent en jeu un seul type de porteur (des trous ou des électrons). Les composants unipolaires ont la particularité de ne pas faire appel à des phénomènes de stockage de porteurs minoritaires. Les composants unipolaires sont donc plus rapides [LET01']. Dans le cadre d'utilisation de D_r , le stockage des charges dans le volume de la zone de tenue en tension faiblement dopée est

préjudiciable puisque après l'injection, lorsque l'on ouvre T_2 , les charges stockées doivent s'évacuer ou se recombiner, ce qui induit une perturbation du courant I_M qui augmente la durée du transitoire avant un retour à l'état stationnaire du courant de mesure. La (figure 117) montre l'influence du choix du type de composant sur le courant de mesure I_M . Les deux courbes montrent l'allure du courant de mesure dans les mêmes conditions d'injection lorsque D_R est une diode bipolaire épitaxiée (Référence DSEI2x121-200V) et lorsque D_R est une diode Schottky (Référence DSS2x111-80V). Les composants sont d'un calibre en courant équivalent et montés dans un boîtier de même type par le même constructeur IXYS. En revanche, le calibre en tension est différent, et une diode bipolaire forte tension stocke nécessairement plus de charge que ne l'aurait fait une diode bipolaire basse tension en raison d'une zone de tenue en tension plus épaisse. Les fiches techniques de ces composants sont présentées dans l'annexe 6 et l'annexe 7. On constate que l'amplitude et la durée de la perturbation sont fortement affectées par la nature du composant, c'est pour cette raison que le composant Schottky a été choisi.

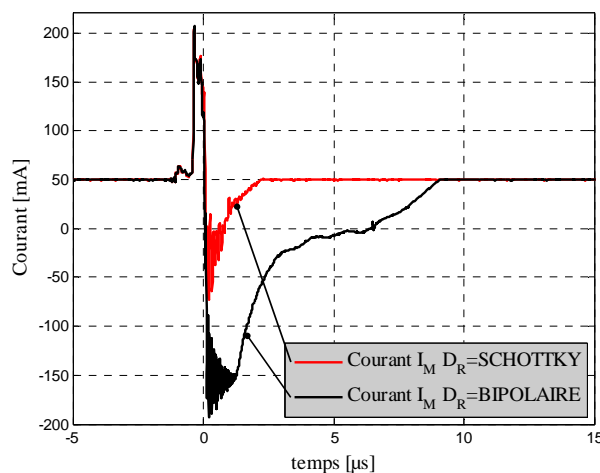


Figure 117 : Perturbation du courant I_M après la coupure en fonction du composant utilisé comme D_R

IV.1.4. Ecrêteur de tension

De manière à limiter les surtensions aux bornes de T_1 et T_2 lors des commutations, ces transistors MOS sont équipés d'un écrêteur de tension. Le schéma ci-dessous (figure 118) issue de [JEA01] et [ROU04] représente le système d'écrêtage actif, par rétroaction sur la commande de grille. Le fonctionnement est le suivant, lorsque la tension V_{DS} atteint la valeur de la tension d'avalanche de la diode Transil D_z , cette dernière se met en avalanche et permet la circulation d'un courant qui recharge la grille du MOS. La tension de grille s'adapte et ramène le composant en conduction de manière à abaisser la tension V_{DS} . On peut observer son impact sur les tensions de commande présentées sur la figure 119 et la figure 120. La résistance R_I est ajoutée afin d'assurer la stabilité de la contre-réaction par réglage du courant réinjecté sur la grille. Le dimensionnement réalisé pour limiter les surtensions à 40V sont les suivants : $R_I = 10\Omega$ $D_z = 40V$. Afin d'alléger les schémas électriques, ce dispositif ne sera pas représenté sur les figures de ce document. Ce système d'écrêtage actif a cependant le défaut de limiter la vitesse de commutation par la contre réaction sur la grille de commande.

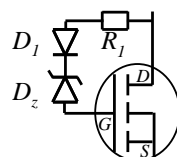


Figure 118 : Dispositif de clamp ou d'ecrêtage

IV.1.5. Performances dynamiques

Les vitesses de commutation du courant de puissance sont directement liées à la variation de tension dans la maille de commutation (ΔU) ainsi qu'à son inductance parasite (L). La relation est la suivante (20) :

$$\frac{\Delta I}{\Delta t} = \frac{\Delta U}{L} \quad [\text{A/s}] \quad (20)$$

Une variation de tension importante et une maille qui minimise l'inductance entraînent une augmentation de la vitesse de variation du courant. Il s'établira donc plus vite et s'annulera plus rapidement également. Ces aspects sont importants puisque l'injection de courant doit s'apparenter à un créneau parfait notamment pour les courtes durées d'injection. Les performances dynamiques obtenues montrées sur les figure 119 et figure 120 indiquent un temps de montée t_m de 600ns et un temps de descente de 1,1 μ s. La décroissance du courant se fait en deux temps, en raison du chevauchement à la fermeture des deux interrupteurs de puissance T_1 et T_2 . La décroissance du courant (figure 120) commence lors de la fermeture de T_1 , une première pente correspond à la phase durant laquelle T_1 et T_2 sont fermés simultanément, ensuite à l'ouverture de T_2 la décroissance du courant est plus rapide.

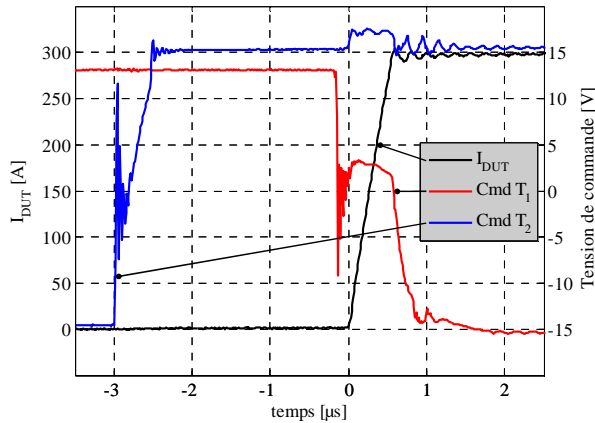


Figure 119 : Ordres de commande et vitesse de commutation du courant à la montée

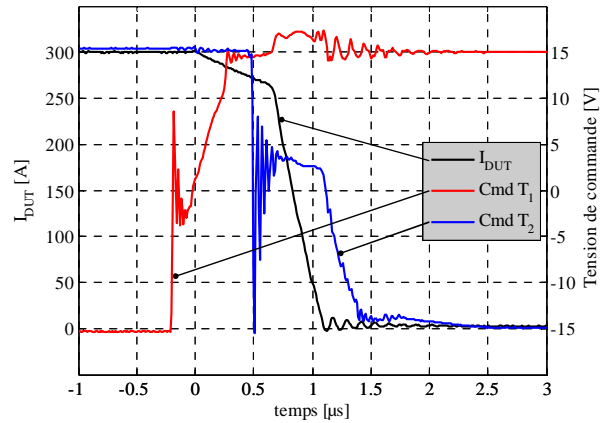


Figure 120 : Ordres de commande et vitesse de commutation du courant à la descente

La vitesse de commutation est aussi limitée par le système d'écrêtage actif décrit plus haut, qui agit sur la grille de manière à limiter la surtension lors de l'ouverture de T_1 ou T_2 . Cela induit qu'au-delà d'une certaine limite, la réduction de la valeur de l'inductance parasite de la maille de commutation n'a plus d'effet sur la vitesse de commutation, qui est fixée de manière prépondérante par le système d'écrêtage. On peut voir sur les figure 119 et figure 120 un plateau au niveau de la commande de T_1 et T_2 durant leur commande d'ouverture dû au fonctionnement de l'écrêteur.

On peut conclure de ces performances dynamiques, que le banc de mesure est adapté pour dissiper des créneaux de puissances de forte amplitude et de courte durée. On peut observer sur la figure 121 qu'une puissance moyenne de 450W peut être injectée dans le DUT avec un temps d'établissement de quelques microsecondes en raison des phénomènes dus à la commutation.

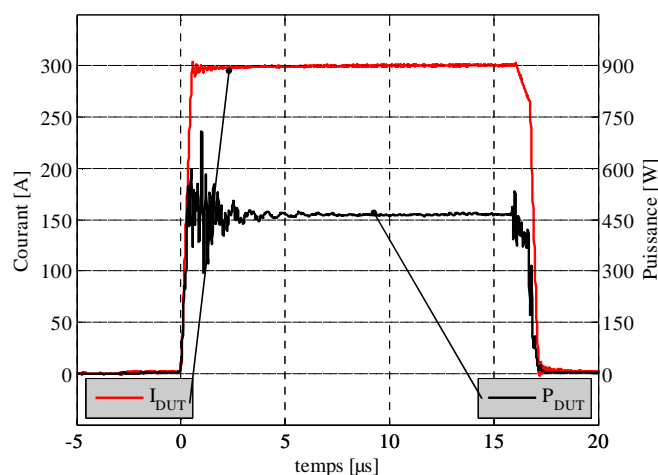


Figure 121 : Formes d'ondes du courant et de la puissance dans le DUT pour un injection de 17μ s

IV.1.6. Limitation du bruit des signaux mesurés

Dans le but d'acquérir une image de la T_j la moins perturbée possible, certaines précautions doivent être prises pour la mesure de la chute de tension directe du DUT sous faible courant direct. Ces précautions concernent l'influence des fortes variations de courant et de tension de la partie puissance sur la partie mesure. Les résultats expérimentaux montrent que les signaux de commande (de $-15V$ à $+15V$) des transistors perturbent les signaux mesurés, et ce, même sans commutation de puissance. L'utilisation de câbles de mesure blindés torsadés permet de limiter l'impact des rayonnements électromagnétiques sur le signal mesuré, et l'ajout de ferrites permet de filtrer les courants de mode commun circulant dans les fils torsadés. L'impact positif de ces précautions a été observé de manière significative.

Aux perturbations extérieures s'ajoutent du bruit en ligne induit par les alimentations à découpage de type TRACOPOWER présentes sur les cartes de commandes rapprochées et sur la carte de la source de courant de mesure. Ces alimentations à découpage sont la cause de pollutions hautes fréquences dans tout le circuit. C'est pourquoi l'utilisation d'alimentation incluant un dispositif de filtrage haute fréquence efficace a été préférée. La figure 122 permet d'observer l'impact de l'ajout de ferrites et du remplacement des alimentations à découpage sur la mesure de tension aux bornes du DUT.

L'alimentation de puissance ajoute une perturbation périodique sur la mesure lorsqu'elle régule le courant de puissance, même durant la phase de court-circuit. Il est donc important de commander l'extinction de l'alimentation de puissance dès la fin de l'injection afin de ne pas perturber la mesure. La figure 123 montre la perturbation induite par le fonctionnement de l'alimentation de puissance sur la mesure de la tension V_{DUT} .

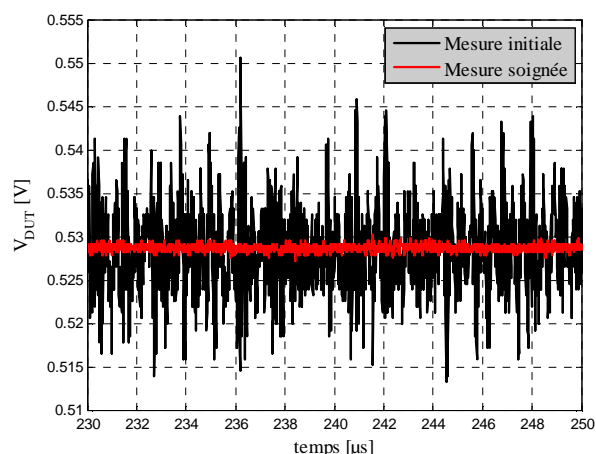


Figure 122 : Comparaison de la mesure de tension de DUT avec et sans les améliorations

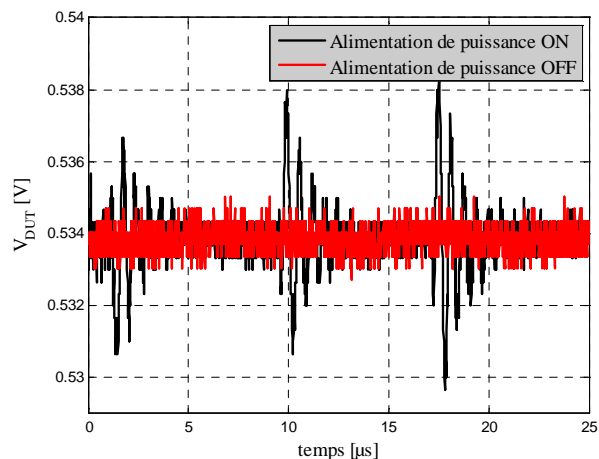


Figure 123 : Comparaison de la mesure de V_{DUT} en fonction du fonctionnement ou non de l'alimentation de puissance

IV.1.7. Limiteur de tension

La précision de la mesure de température indirecte par PTS dépend de la précision de l'appareil de mesure. La centrale d'acquisition utilisée dans ces travaux est la série SL1000 du fabricant YOKOGAWA, avec des cartes d'acquisition HS100M12 (12bits 100MHz). La fréquence d'échantillonnage élevée permet d'enregistrer un point toutes les 10ns, ce qui permet d'observer des dynamiques rapides lors des commutations. En raison de la sensibilité en température du PTS (environ $2\text{mV}/^\circ\text{C}$ [SOF97 KHA12]), il est primordial d'utiliser un faible calibre de mesure pour rester dans une gamme d'erreur acceptable (tableau 13).

Tableau 13 : Précision de l'acquisition en fonction du calibre de mesure de la carte HS100M12

Calibre	100mV	200mV	500mV	1V	2V	5V	10V	20V	50V
Précision +/-	0,5mV	1mV	2,5mV	5mV	10mV	25mV	50mV	100mV	250mV

Avec la thermométrie annoncée du PTS utilisé, on peut tirer du tableau 13 l'influence sur la précision du calibre de mesure. Une mesure du PTS sur un calibre 5V engendre une précision sur la mesure en température autour de $12,5^\circ\text{C}$, ce qui est difficilement acceptable. Sur un calibre 500mV, l'erreur chute à $1,25^\circ\text{C}$, c'est pourquoi il est important d'utiliser un faible calibre pour limiter l'incertitude. La chute de tension aux bornes du DUT varie fortement durant les différentes phases du cycle de mesure. Comme on peut le voir sur la figure 124, lors de l'établissement du courant, la surtension est autour de 4V et lors de l'annulation du courant la surtension est supérieure à 6V. En dehors des phases transitoires, la chute de tension dans le DUT durant l'injection du courant de puissance I_p est autour de 2V et seulement autour de 500mV lorsque le DUT est parcouru par le seul courant de mesure I_M .

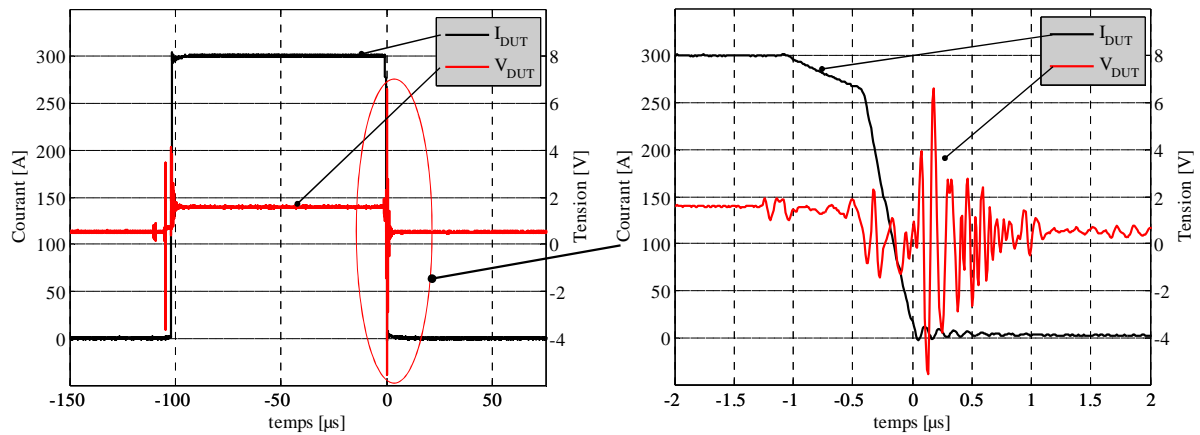


Figure 124 : Evolution de la tension durant une injection de $100\mu\text{s}$ et mise en avant des surtensions lors des commutations

Pour obtenir une image plus précise de la température lors des phases de mesure, il est donc préférable d'utiliser un calibre de tension de 500mV . Or la mesure d'une grandeur supérieure au calibre entraîne une saturation des amplificateurs d'instrumentation de l'entrée d'acquisition et ne permet plus une mesure exacte de la tension (figure 125). L'origine des temps de la figure 125 correspond à la fin d'une injection de puissance de $20\mu\text{s}$. Cette figure présente la chute de tension aux bornes du DUT tracée pour deux calibres de mesure différents. On observe sur les courbes de gauche que lors d'une mesure avec un calibre 500mV , l'entrée de la carte d'acquisition sature durant toute l'injection et lors des perturbations dues à la commutation. L'agrandissement figure 125, sur la courbe de droite, permet d'appréhender le phénomène de désaturation des amplificateurs d'entrée et l'erreur qui peut en résulter sur la mesure indirecte de température. On peut aussi constater que l'amplitude du bruit blanc est d'autant plus importante que le calibre de mesure est grand.

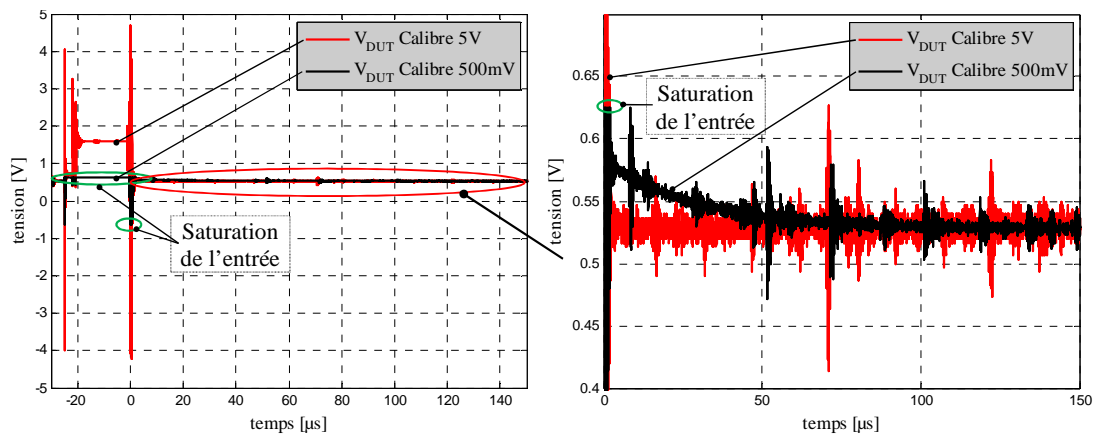


Figure 125 : Mise en évidence du phénomène de saturation en cas de sous dimensionnement du calibre de mesure

Afin d'éviter la saturation des amplificateurs d'instrumentation des cartes d'acquisition, tout en maintenant le choix d'un faible calibre de mesure, un dispositif « limiteur de tension » a été mis en place sur la mesure de la chute de tension du DUT (V_{DUT}). Le limiteur de tension permet de fixer à un seuil la tension mesurée en entrée du système d'acquisition en dehors des phases de mesure. En référence aux travaux effectués par [MOK12], un système de « limiteur en pont » a été réalisé. Ce dispositif, constitué de deux interrupteurs de signal Mos_1 et Mos_2 représentés sur la figure 126, permet de recopier en sortie la valeur de V_{DUT} lors des phases où l'on souhaite mesurer la température de jonction du DUT, et de fixer la sortie à une tension de référence lorsque ce n'est pas le cas. Lorsque le Mos_1 est commandé, la tension V_{DUT} est recopiée sur V_{OUT} , et lorsque c'est le Mos_2 qui est passant,

V_{OUT} est fixé à zéro. Les deux interrupteurs ne doivent jamais être commandés en même temps pour ne pas court-circuiter le DUT , un temps mort est donc nécessaire lors de chaque transition durant lequel V_{OUT} est à un potentiel flottant.

On observe aussi sur la figure 126 deux composants passifs R_f et C_f qui constituent un filtre passe bas permettant de limiter les perturbations hautes fréquences. Les comportements thermiques ayant des dynamiques plus faibles, le filtre n'affecte pas la réponse thermique observée via le PTS. On peut voir sur la figure 127 l'impact du filtre sur la tension de sortie V_{OUT} après une injection de 100μ s. On voit clairement que les perturbations hautes fréquences (autour de quelques MHz) sont fortement atténuées par la présence du filtre. Les formes d'ondes représentées sur la figure 128 montrent l'allure de la tension V_{OUT} comparée à celle de V_{DUT} (en bas) en fonction de l'état des interrupteurs MOS_1 et MOS_2 et du courant de puissance (en haut).

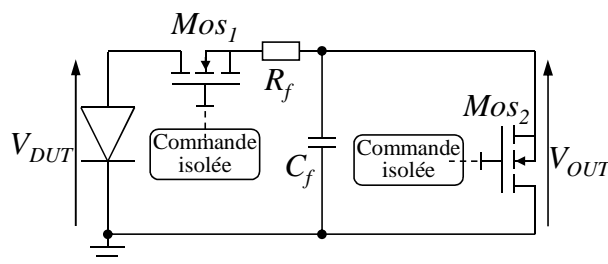


Figure 126 : Schéma électrique du limiteur de tension en pont et du filtre passe bas intégré

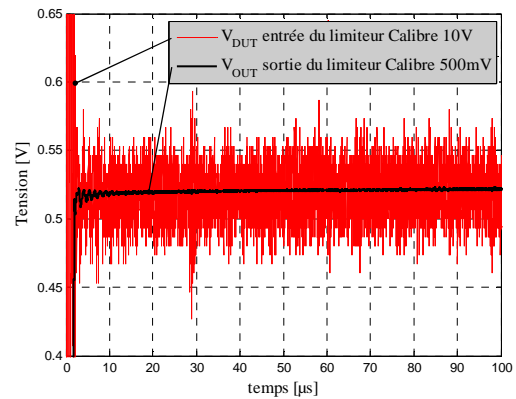


Figure 127 : Impact du filtre intégré au limiteur de tension pour une injection de 100μ s

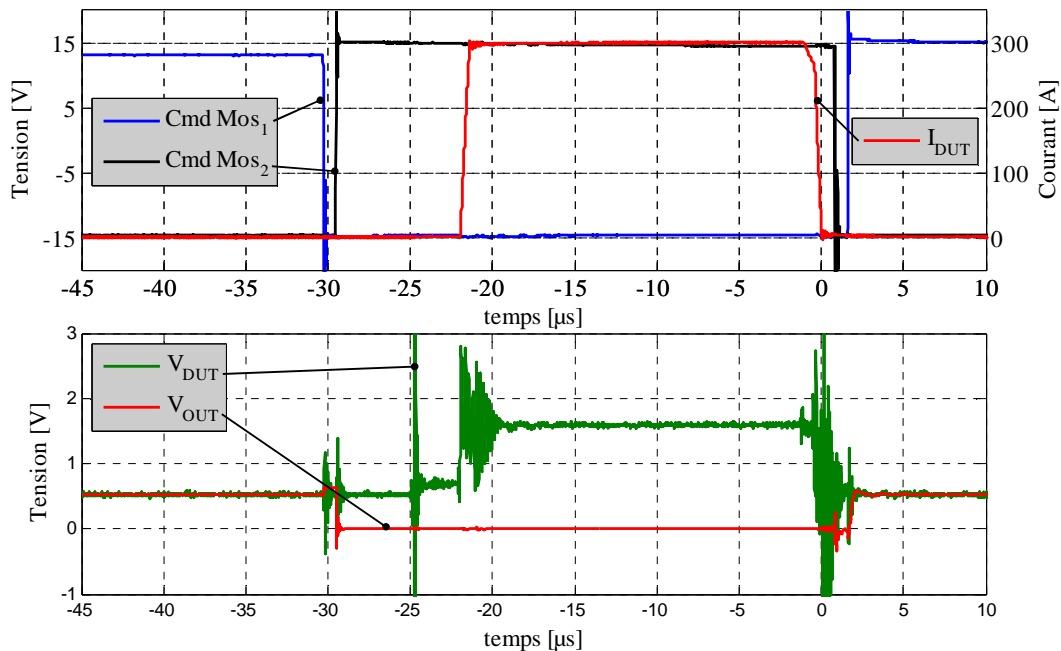


Figure 128 : Formes d'onde permettant d'analyser le fonctionnement du limiteur de tension

La tension mesurée aux bornes du DUT est admise en entrée du limiteur de tension, et l'évolution du PTS est observée à partir de V_{OUT} en sortie. Les observations ci-dessus montrent que le limiteur permet une observation fine de l'évolution du paramètre thermosensible dès les premières microsecondes après la fin de l'injection du courant de puissance.

IV.1.8. Schéma synoptique global du banc de mesure

Le schéma synoptique présenté ci-dessous montre l'interconnexion entre les diverses fonctions qui constituent le banc de mesure. Le fonctionnement autour du *DUT* peut être découpé en quatre grandes fonctions. Une fonction « Puissance », qui regroupe l'alimentation, le stockage inductif ainsi que le système d'aiguillage et l'écrêteur. Une fonction « Mesure » constituée de la source de courant I_M , du limiteur de tension et des appareils d'acquisition. Une fonction « Commande » permettant d'agir sur la « Puissance » et la « Mesure ». Puis une fonction « Traitement », abordée par la suite, qui permet d'exploiter les informations issues de la mesure. Le programme de séquençage complet d'un cycle de mesure est disponible dans l'annexe 8.

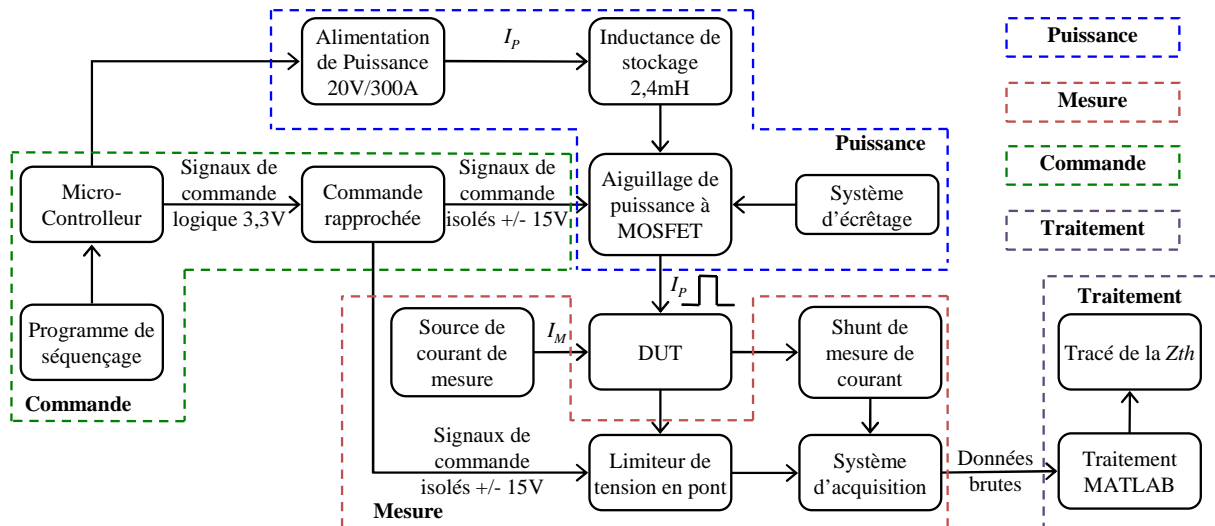


Figure 129 : Schéma synoptique du fonctionnement complet du banc de mesure

IV.2. Mesure de la température de jonction (T_j)

Un aspect sensible de cette méthode de mesure concerne la mesure indirecte et dynamique de la température du composant sous test. Divers aspects, tant au niveau de la sensibilité, de la précision, et de la reproductibilité des mesures, seront étudiés ci-dessous. Comme cela a été précisé précédemment, le PTS choisi dans cette étude est la chute de tension V_{AK} d'une diode sous un faible courant de polarisation directe I_M . On peut écrire l'équation (21) indiquant que la tension aux bornes du *DUT* parcouru par un courant I_M est fonction de la température.

$$V_{AK} = f(T, I_M) \quad [A/s] \quad (21)$$

IV.2.1. Etalonnage

La mesure indirecte de température doit être précédée d'une phase d'étalonnage en température du composant sous un courant de mesure fixé. Le choix de la valeur du faible courant injecté est important pour la performance des mesures de la T_j . Comme cela a été montré dans [KHA12], le courant de mesure doit être suffisamment élevé pour montrer une bonne linéarité dans la plage de mesure sans entraîner d'auto-échauffement. A faible courant (<10mA) on observe que la chute de tension tend vers zéro, ce qui fausse la mesure pour des températures élevées. Ce phénomène est observable sur la figure 130 qui présente des courbes d'étalonnage pour plusieurs valeurs de courant. Autour de 100mA, l'auto échauffement est limité et la chute de tension du composant est essentiellement due à l'impact de la jonction ; les tensions Dember et Ohmique étant négligeables [LET01 KHA12]. Le courant de mesure que nous avons choisi est de 50mA, une valeur suffisante pour s'affranchir des phénomènes liés aux faibles valeurs, et permettant de rester sur un calibre

d'acquisition de 500mV, pour la gamme de température dans laquelle vont se dérouler les mesures.

Un étalonnage a été effectué sur six diodes identiques assemblées sur six modules différents sous le courant de mesure fixé à 50mA, sur une plage de température comprise entre 20 et 175°C. Même si les composants sont censés être identiques, leur dépendance en température peut légèrement varier. Dans le cas d'une étude comparative précise, il est judicieux d'effectuer un étalonnage pour chaque composant, d'autant plus quand on souhaite montrer les performances d'un banc de mesure. C'est pourquoi les composants qui seront testés dans ces travaux ont subi chacun un étalonnage de leur PTS. Pour la courbe d'étalonnage de chaque composant, une régression linéaire a été extraite de manière à pouvoir obtenir la T_j de chaque composant en fonction de V_{AK} via un polynôme du premier ordre. Les résultats de cette campagne de mesure montrent que sans tenir compte des incertitudes de mesure, on obtient une erreur maximale autour de 2,25% de la température mesurée. Un tel pourcentage d'erreur représente un écart de 0,75°C à 30°C et de 2,25°C à 100°C. L'erreur peut être fortement réduite en faisant une extrapolation polynomiale de la courbe d'étalonnage de référence. En utilisant un polynôme d'ordre 3, dans le cas de l'étude présentée précédemment, l'erreur chute à 0,6% à 100°C, cependant elle reste inchangée pour les températures basses

L'expression de la courbe d'étalonnage permettant d'obtenir la T_j à partir de la chute de tension mesurée apparaît sur la figure 130 pour un des modules au courant d'étalonnage choisi. La source de courant de mesure I_M , dont le schéma électrique est disponible dans l'annexe 5, a été réalisée pour les besoins du banc de mesure à partir d'amplificateurs opérationnels de puissance (Références OPA227 et TCA0372).

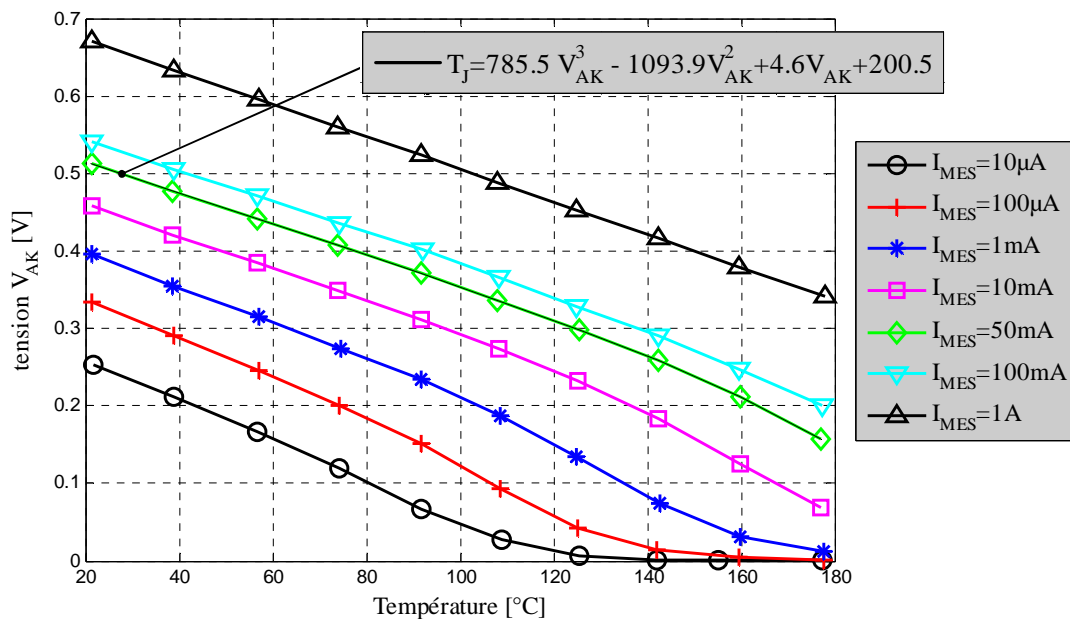


Figure 130 : Etalonnage de la diode pour plusieurs courant de mesure

IV.3. Protocole expérimental et traitement des données

Afin de bien comprendre les résultats présentés dans la suite de ce document, les conditions dans lesquelles les mesures sont effectuées ainsi que l'exploitation des données sont détaillées dans cette partie.

IV.3.1. Description du module utilisé

Le module utilisé est celui dont la géométrie a servi de modèle pour les simulations thermiques (voir sa description section III.1 page 87). Le courant de puissance entre et sort du module par les

connecteurs de puissance puis par l'intermédiaire de rubans en aluminium (figure 131). Des bondings de mesure permettent de venir prendre la tension d'anode et de cathode du *DUT*, mais cette mesure ne permet pas de s'affranchir de la chute de tension induite par les rubans lors de l'injection du courant de puissance. Afin de mesurer une puissance dissipée au sein du composant la plus représentative possible, les mesures sont effectuées avec des micro-robots qui viennent prendre le contact au centre de la métallisation supérieure de la puce et sur le substrat (figure 131 b). La tension aux bornes du *DUT* mesurée via les micro-robots, au plus près du composant, est également utilisée pour la mesure indirecte de la température de jonction, ce signal est donc appliqué en entrée du limiteur de tension. Nous verrons par la suite en quoi la mesure du PTS par le biais d'une mesure sous pointe peut être intéressante (section 0).

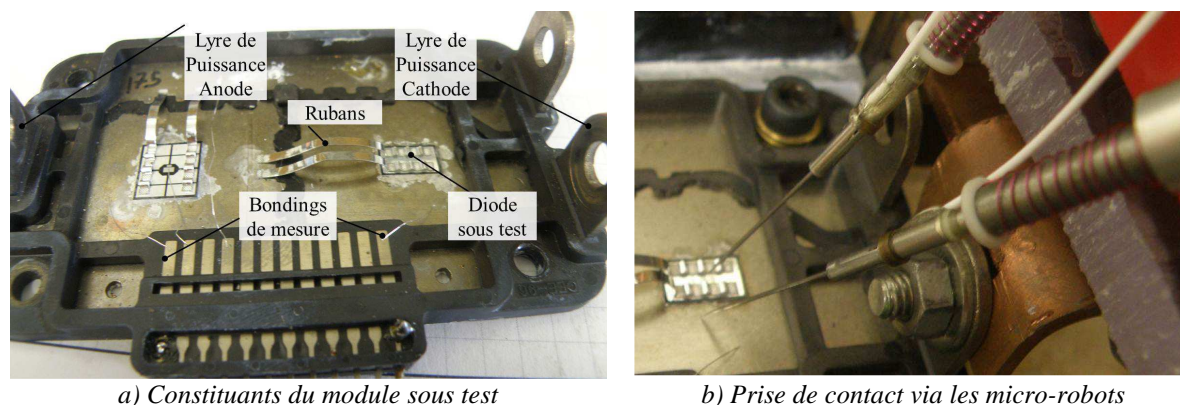


Figure 131 : Description du module sous test

IV.3.2. Acquisition des signaux

Le système d'acquisition permet de mesurer un point toutes les 10ns, avec une bande passante de 20MHz et un codage sur 12 bits. Les grandeurs mesurées sont synthétisées dans le tableau 14 ci-dessous. Les fichiers de points correspondant à chacun de ces signaux sont importés dans MATLAB et traités afin de reconstruire l'impédance thermique. L'intégralité du programme de traitement est disponible dans l'annexe 9 de ce document.

Tableau 14 : Synthèse de l'acquisition des signaux

Nom	Calibre	Description
Cmd_{T_2}	20V	Signal de commande du transistor T_2 qui sert de « trigger » afin de déclencher la mesure.
I_{DUT}	5V	Image du courant circulant dans le <i>DUT</i> , qui permet la détection temporelle des fronts de puissance et la mesure de la puissance dissipée.
V_{DUT}	10V	Chute de tension aux bornes du <i>DUT</i> incluant la chute de tension induite par les rubans.
$V_{DUT_{\mu R}}$	10V	Chute de tension aux bornes du <i>DUT</i> mesurée par les micro-robots qui permet la mesure de la puissance dissipée et de la chute de tension dans les rubans.
I_M	10V	Image du courant de mesure certifiant de la valeur et de l'établissement de ce dernier.
V_{OUT}	500mV	Tension du <i>DUT</i> à la sortie du limiteur à partir de laquelle la T_J est extraite.

IV.3.3. Traitement des données brutes

L'objectif de ce banc de mesure, comme cela a été expliqué en début de ce chapitre, est d'obtenir la réponse thermique du composant à un échelon de puissance. Comme cela a été présenté (figure 103), la mesure est basée sur une technique pulsée. Elle nécessite, pour chaque durée d'injection t_{inj} ,

d'acquérir la T_J de manière indirecte pendant le refroidissement afin d'en extraire la température à la fin de la phase de dissipation t_{inj} . En répétant l'opération pour plusieurs durées d'injection, on peut tracer l'évolution de la variation de la température moyenne du composant au cours d'une injection de puissance donnée. 36 injections dont les durées s'étalent de 3μ s à $4,5$ ms seront appliquées au DUT de manière à obtenir son impédance thermique partielle.

Une des difficultés majeure de la mesure par paramètre thermosensible est qu'il est impossible de commuter instantanément du courant de puissance à celui de mesure. Il y a donc un laps de temps entre la fin de l'injection et l'instant où l'on obtient une image de la température par l'intermédiaire du PTS. C'est pourquoi il est nécessaire d'extrapoler la température à partir du signal utile du refroidissement pour obtenir la température de la puce avant la coupure du courant de puissance. Cet aspect est crucial, puisqu'en fonction de la partie du signal que l'on utilise et la façon dont on effectue l'extrapolation, il est possible de faire une erreur importante sur la température à $t=t_{inj}$. C'est pourquoi nous allons détailler et justifier les choix que nous avons effectués dans la partie suivante (section 0). La réponse en température du composant est exprimée en élévation de température par rapport à sa température initiale.

Afin de faciliter la compréhension de l'analyse des résultats, il est nécessaire de préciser que l'origine des temps est fixée à la fin de l'injection, c'est-à-dire à t_{inj} . Le front de courant négatif est détecté à $15A$, de manière à fixer le $t=0$ à cet instant quelle que soit la durée d'injection. On peut observer une erreur d'un pas de temps (10 ns) sur l'origine des temps en observant l'agrandissement de la figure 132 qui montre la décroissance du courant pour les 36 durées d'injection autour du $t=0$.

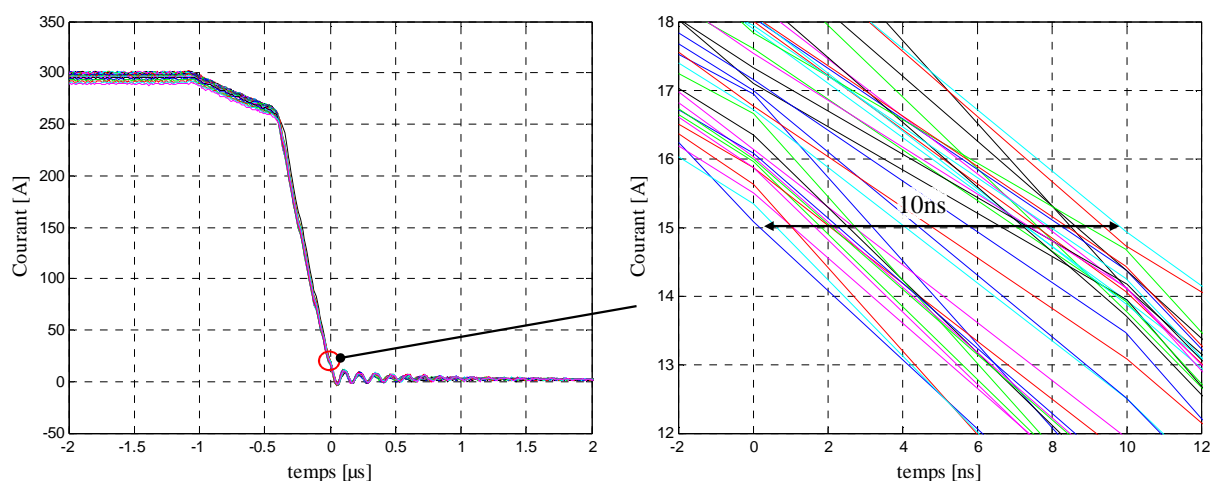


Figure 132 : Superposition du courant I_{DUT} autour de l'origine des temps pour les 36 durées d'injection

Quelques microsecondes après le front de courant, le limiteur de tension active la mesure, et la mesure du paramètre thermosensible peut être effectuée. Cependant, des phénomènes transitoires dus à la commutation peuvent perturber la mesure. Les conditions d'extrapolation de la T_J à $t=t_{inj}$ vont à présent être discutées.

IV.4. Phénomènes transitoires lors de la commutation du courant de puissance à celui de mesure

L'objectif de ces mesures est d'observer la réponse thermique d'un composant et l'impact de ses interconnexions sur cette réponse. Les contributions liées à la face supérieure ou à la première interface sous la puce, sont les premières à intervenir dans la réponse thermique. Il est donc nécessaire d'obtenir la température du composant après de courtes durées d'injection. Par ailleurs, il faut obtenir la T_J rapidement après l'injection afin de minimiser l'erreur sur la mesure. C'est pourquoi l'analyse

des phénomènes transitoires est détaillée dans cette partie.

IV.4.1. Analyse des phénomènes transitoires

Une des difficultés majeure de la mesure indirecte de température est la présence d'un couplage électrothermique dans la mesure. Bien que le PTS soit issu de ce couplage, il faut cependant être certain d'être dans les conditions d'étalonnage pour extraire la T_J de la tension V_{AK} . En régime statique, la thermométrie par paramètre thermosensible est facilement vérifiable par la mesure de température en parallèle, par thermocouples ou caméra thermique. En revanche, en régime dynamique, au vu des constantes de temps en jeu (quelques dizaines de microsecondes), il est délicat de coupler la mesure de température à l'aide d'un autre moyen. C'est pourquoi des mesures préliminaires sont primordiales afin de s'assurer que le signal mesuré via le PTS est une "bonne" image de la température.

Il faut savoir à partir de quel délai de mesure (t_{DM}) après l'injection on obtient une image de la température via l'observation de V_{AK} . La courbe d'étalonnage du paramètre thermosensible est valable à un courant de mesure donné, il faut donc s'assurer que seul le courant de mesure I_M parcourt le DUT. La sensibilité du PTS V_{AK} en fonction du courant de mesure est de l'ordre de 0,8mV/mA. D'après la sensibilité en température de la tension V_{AK} , une variation d'1mA du courant de mesure entraîne une erreur d'environ 0,4°C sur la T_J . Or pour plusieurs raisons, le courant parcourant le DUT peut être différent de I_M :

- Premièrement, la source de courant I_M peut-être perturbée par les phénomènes électromagnétiques dus à la commutation, tout comme le signal de tension du DUT.
- Deuxièmement, les charges stockées dans les composants bipolaires de la maille inductive doivent elles aussi s'évacuer, comme cela a été montré dans le cas de l'utilisation d'un composant bipolaire comme diode D_R .

L'observation des formes d'ondes présentées figure 133 et figure 134 permet de déterminer un délai minimal avant de pouvoir mesurer la température de jonction. La figure 133 permet d'observer la perturbation du courant de mesure I_M , mesuré par l'intermédiaire de la résistance de précision R_{Im} , pour toutes les durées d'injection. On observe que la durée de la perturbation est relativement courte, autour de 3 μ s. La figure 134 montre l'évolution du courant dans le DUT juste après l'injection. La mesure est effectuée par un shunt dont la bande passante est de 400MHz. On peut constater qu'un délai de 15-20 μ s est nécessaire avant l'annulation totale du courant de puissance.

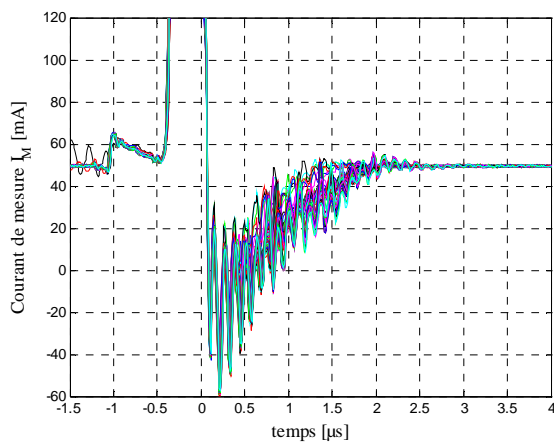


Figure 133 : Analyse du courant de mesure juste après l'injection de puissance pour les 36 durées d'injection

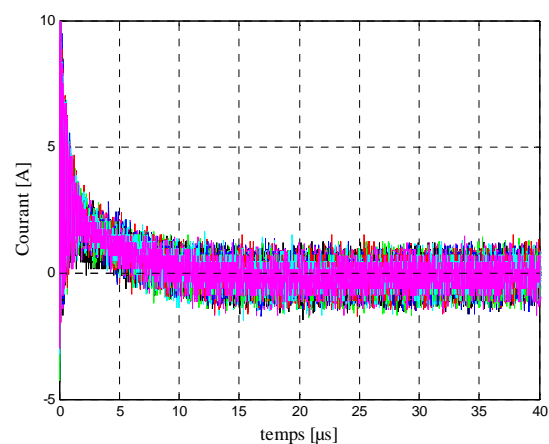


Figure 134 : Evolution du courant dans le DUT après l'injection pour les 36 durées d'injection

Un autre phénomène physique à prendre en compte est le stockage de charges dans les composants semi-conducteurs bipolaires durant les états statiques passants. Lorsque l'on ouvre brutalement la source de courant, comme c'est le cas lors de la commutation entre le courant de puissance et celui de mesure, ces charges sont évacuées par recombinaison et par recouvrement inverse.

Ainsi, avant la transition entre I_P et I_M , une certaine quantité de charges est stockée dans la base large et faiblement dopée de la diode. Lors de la transition, cette charge stockée doit s'éliminer à la fois par recouvrement inverse et par recombinaison. Il est alors nécessaire d'attendre ce déstockage et au-delà, de retrouver un état de charge correspondant à celui de la calibration, sous I_M (50mA), pour effectuer la mesure. La durée de ce phénomène est difficilement appréciable, puisqu'il dépend essentiellement de la nature du composant et de sa structure. La durée de vie des porteurs dans la diode en donne cependant une bonne approximation, on estime qu'en utilisant un composant rapide, telle la diode utilisée, le phénomène peut s'étendre de quelques unités à une dizaine de microsecondes.

D'autres phénomènes peuvent perturber la mesure du PTS lors de la transition du courant de puissance à celui de mesure I_M . Premièrement, les ordres de commande d'ouverture et de fermeture des transistors de l'aiguillage de puissance et du limiteur de tension, peuvent créer des oscillations sur le signal mesuré. En observant la figure 135 dans laquelle sont tracées les formes d'ondes des commandes et de V_{DUT} à vide, on constate que des surtensions de quelques volts apparaissent lors de ces ordres de commande. En revanche la durée de ces perturbations est relativement courte pour n'affecter la mesure indirecte de température que pendant quelques microsecondes. Deuxièmement, les fortes variations de courant ($\approx 300A/\mu s$) dans l'aiguillage de puissance, à proximité du DUT et de la zone de mesure, induisent des champs magnétiques pouvant être responsables de perturbations sur le signal mesuré.

IV.4.2. Observation des perturbations

Afin d'observer les perturbations induites par les fortes variations de courant, des mesures sont effectuées pour des durées d'injections très courtes. Une injection de quelques μs n'entraîne pas un échauffement significatif du composant. De cette manière, la réponse du paramètre thermosensible est uniquement affectée par les phénomènes non thermiques. On observe figure 136 que le signal mesuré est fortement perturbé en amplitude au moment de la commutation, mais la durée de ces perturbations reste faible ($< 5\mu s$). On peut noter que la mesure différentielle et l'utilisation de câbles coaxiaux blindés et de ferrites limitent respectivement les perturbations de mode commun et les perturbations rayonnées.

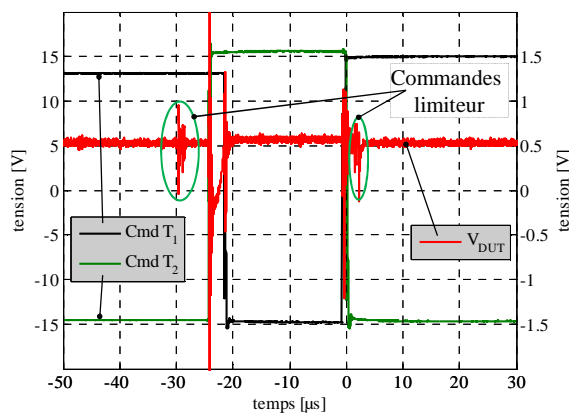


Figure 135 : Perturbations de V_{DUT} à vide

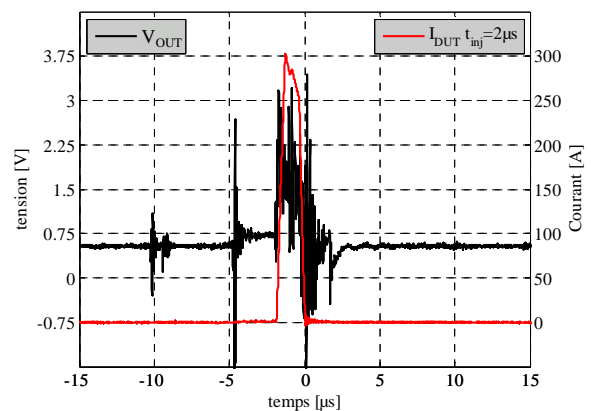


Figure 136 : Perturbation de V_{DUT} pour une injection de $2\mu s$

Le dispositif de mesure mis en place dans ces travaux a deux particularités. Celle d'utiliser un

limiteur de tension afin d'améliorer la précision de la mesure, et celle d'effectuer la mesure du PTS par l'intermédiaire des pointes de micro-robots, une mesure que l'on peut qualifier de méthode sous pointes. Il faut préalablement rappeler d'après les mesures préliminaires (section II.1) que la position de la prise de potentiel d'anode n'impacte pas la mesure de T_J , ce qui rend possible cette mesure. Comme expliqué plus haut, le « ΔT_J » tracé sur la figure 137 représente l'élévation de T_J par rapport à la température initiale. Il est intéressant de regarder les perturbations du signal de température extrait du signal V_{out} en sortie du limiteur de tension sur la figure 137 qui montre que la T_J est perturbée pendant une dizaine de microsecondes après l'injection. La figure 138 permet de comparer, pour une injection de courant d'une microseconde, la T_J obtenue par les bondings de mesure à celle obtenue via les micro-robots directement sur la métallisation de la puce. Il est intéressant de noter que, dans les mêmes conditions d'injection, le ΔT_J obtenu à partir du V_{DUT} mesuré via les fils de bonding de mesure montre un comportement transitoire non thermique durant quelques dizaines de microsecondes.

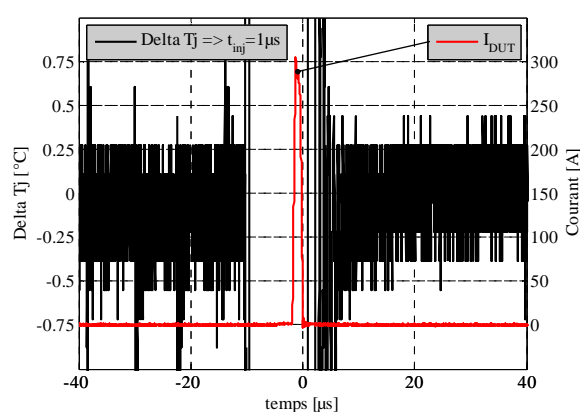


Figure 137 : ΔT_J à partir du $V_{DUT-\mu R}$ pour une injection de $1\mu\text{s}$

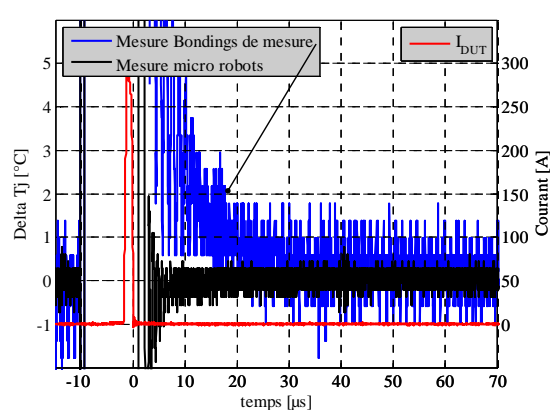
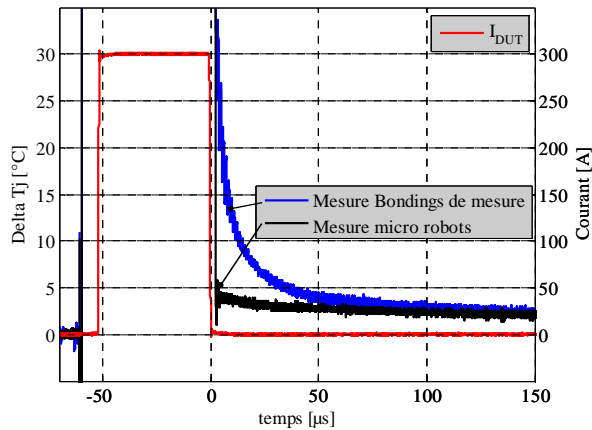
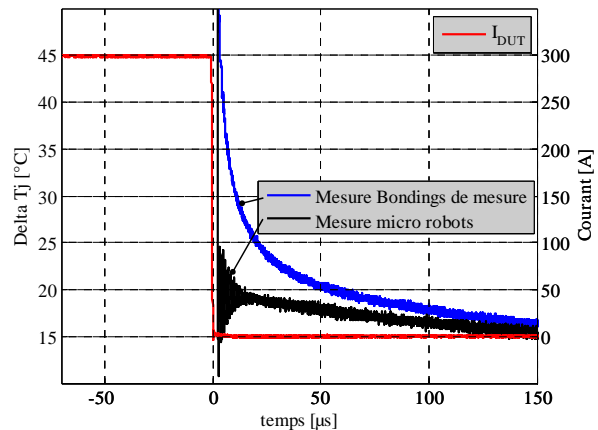
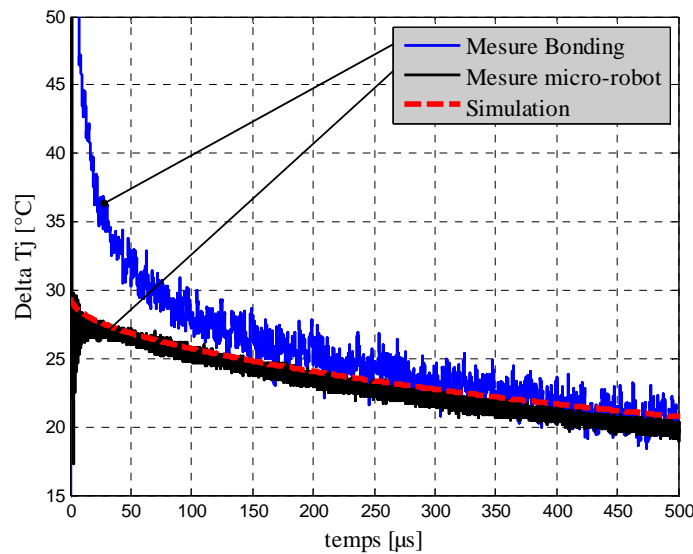


Figure 138 : Comparaison du ΔT_J pour une injection de $1\mu\text{s}$ en fonction du mode de mesure

On peut conclure d'après la figure ci-dessus qu'une méthode de mesure conventionnelle peut-être la cause d'un transitoire de longue durée. Même si il est délicat de conclure sur le fait que la mesure du PTS par micro-robots donne une véritable image de la température, on peut tirer de la figure 137, que outre les oscillations durant une dizaine de microsecondes, cette mesure est insensible aux perturbations dues à la commutation. On peut noter également que le courant traversant la diode est rapidement égal au courant de mesure, puisque la valeur du PTS reste inchangée après une très courte injection. Le phénomène de perturbation observé lors de la mesure conventionnelle (figure 138) est d'autant plus intéressant lorsque l'on observe l'influence de la méthode de mesure lors d'une injection de puissance un peu plus longue, respectivement $50\mu\text{s}$ et $500\mu\text{s}$ sur la figure 139 et la figure 140. Lors de ces injections, l'allure de la courbe de refroidissement par la mesure conventionnelle est similaire à celle observée figure 138 et n'est pas d'origine purement thermique. On observe qu'avec l'augmentation de la durée d'injection, le phénomène s'accroît non seulement en amplitude, mais également en durée, entraînant une erreur non négligeable sur la T_J . Une comparaison de l'allure des courbes de refroidissement des deux méthodes de mesure avec un résultat de simulation issu du modèle COMSOL présenté dans la section III.1 est proposée figure 141. Elle fait ressortir clairement que la mesure sous pointe offre des résultats plus cohérents avec le comportement thermique théorique de l'assemblage.


 Figure 139 : injection de $50\mu\text{s}$

 Figure 140 : injection de $500\mu\text{s}$

 Figure 141 : Courbes de refroidissement pour une injection de $700\mu\text{s}$ comparées pour les deux méthodes de mesure avec des résultats de simulation

La plupart des publications relevant l'utilisation d'un paramètre électrique thermosensible en régime dynamique, [CAI92 LU91 BLA75] et [BLA88] source de la figure 144, évoquent que durant les $50\mu\text{s}$ suivant la commutation, la mesure de température par le PTS est d'origine non thermique (comme cela a été mentionné dans le premier chapitre). Ces précautions sont aussi reprises dans des normes telles que le JEDEC [JESD51-1] sur la mesure par PTS. Or les mesures présentées dans ces documents sont effectuées en 2 fils, et non sous pointes. Les observations de transitoires issues de la littérature semblent correspondre avec le problème mis en avant dans ce paragraphe sur la mesure conventionnelle par fils de bondings.

IV.4.3. Impact du niveau de puissance

Même si, en pratique, plus la puissance est importante plus la sensibilité de l'outil de caractérisation de l'impédance thermique est grande, la mesure de l'impédance thermique est théoriquement indépendante du niveau de la puissance dissipée, aux non linéarités près. Pour vérifier cette assertion, la figure 142 montre l'évolution des courbes de refroidissement par unité de puissance pour différentes puissances dissipées dans le cas d'une injection de 1ms dans la configuration d'une mesure sous pointes. En parallèle, on peut observer sur la figure 143, les tracés dans la configuration conventionnelle réalisée dans les mêmes conditions d'injections. On montre un écart de l'ordre de 20% entre les mesures effectuées aux extremums de puissance à un t_{DM} de $30\mu\text{s}$. Dans la configuration

sous pointes, cet écart est seulement autour de 3%. Cette observation confirme l'erreur induite par la mesure conventionnelle. La différence de méthode de mesure n'implique que la mesure de la T_j . La puissance mesurée utile au calcul de la Z_{th} est cependant mesurée de manière identique pour les deux configurations, c'est-à-dire à l'aide des micro-robots avec une mesure du potentiel d'anode au centre de la puce de manière à s'affranchir de la tension induite par les rubans.

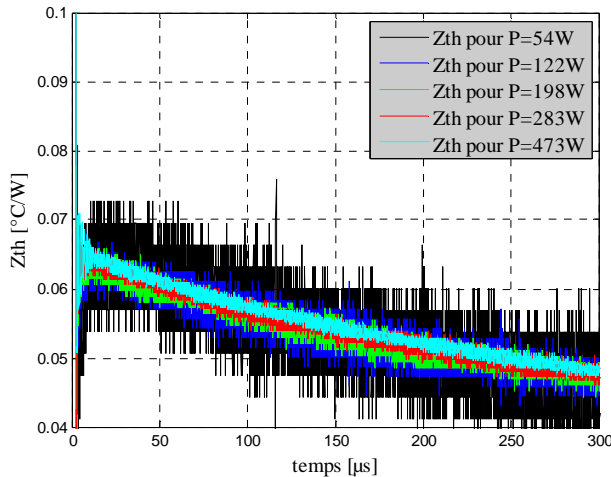


Figure 142 : Mesure micro-robots de la Z_{th} pour une injection d'1ms

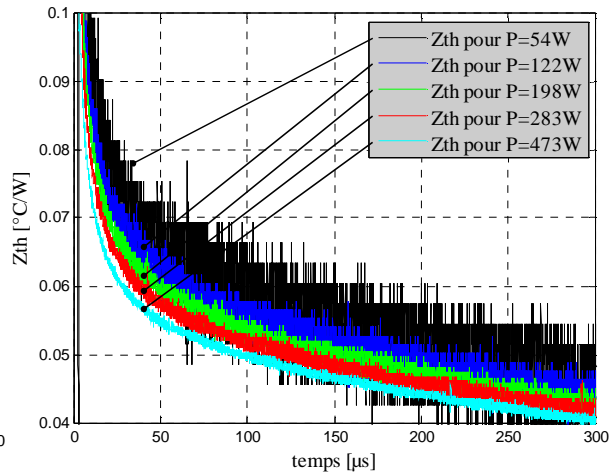


Figure 143 : Mesure conventionnelle de la Z_{th} pour une injection d'1ms

Nous pouvons conclure des précédentes observations que la mesure conventionnelle du PTS induit de nombreuses sources d'erreur sur la mesure de la T_j . Il a en effet été mis en avant que le signal du PTS obtenu pour des durées d'injection très courtes est perturbé par des phénomènes non thermiques lors de la mesure conventionnelle. De plus, l'allure des courbes de refroidissement mesurée via cette méthode ne correspond pas du tout avec l'allure théorique obtenue par des modèles thermiques. Et en dernier lieu, l'impédance thermique tracée via cette technique de mesure dépend du niveau de puissance dissipée. C'est pourquoi par la suite toutes les mesures du PTS seront effectuées sous pointes.

Nous avons développé une méthode afin d'obtenir la T_j affranchie des phénomènes transitoires non thermique, de manière rapide, par l'utilisation d'un circuit électrique soigné et d'une technique de mesure sous pointes. Ci-dessous est proposée une méthode pour extraire la T_j à $t=t_{inj}$.

IV.4.4. Méthode d'extrapolation proposée

Dans la bibliographie [BLA88] et les normes [JESD51-1], la loi de la diffusion unidimensionnelle d'un flux de chaleur dans un milieu homogène semi infini est utilisée afin d'extraire la partie du signal correspondant à l'évolution linéaire en fonction de la racine carrée du temps (figure 144). La figure 144 montre l'extrapolation conseillée de la zone linéaire afin d'obtenir la température au moment de la coupure de l'injection de puissance. Dans la figure 145, nous comparons deux courbes de refroidissement obtenues avec les deux méthodes de mesure dans des conditions d'injection permettant d'obtenir le même ordre de grandeur d'élévation de la température que dans la figure 144. Sur la figure 145 on peut observer, lors de la mesure de la tension V_{AK} dite conventionnelle qui inclue les fils de bonding, une zone non linéaire d'une cinquantaine de microsecondes ressemblant aux premiers points de mesure de la figure 144. L'aspect marquant est que les deux courbes de refroidissement correspondant aux deux modes de mesure ne se rejoignent que très tard (après 400 μ s). De plus, la courbe issue de la mesure conventionnelle montre une allure quasi linéaire à partir de 50 μ s alors qu'il y a encore potentiellement une perturbation non thermique entachant la mesure. On peut de

ce fait constater que les droites de régression ne permettent pas d'extrapoler la même température à l'origine. La mesure conventionnelle peut conduire à une erreur considérable, puisqu'il faut attendre des centaines de μs avant d'obtenir une mesure fiable.

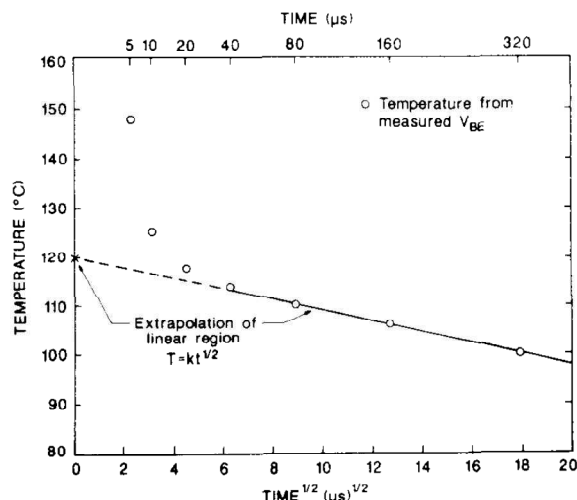


Figure 144 : Extrapolation linéaire conseillée afin de s'affranchir des transitoires non thermiques [BLA88]

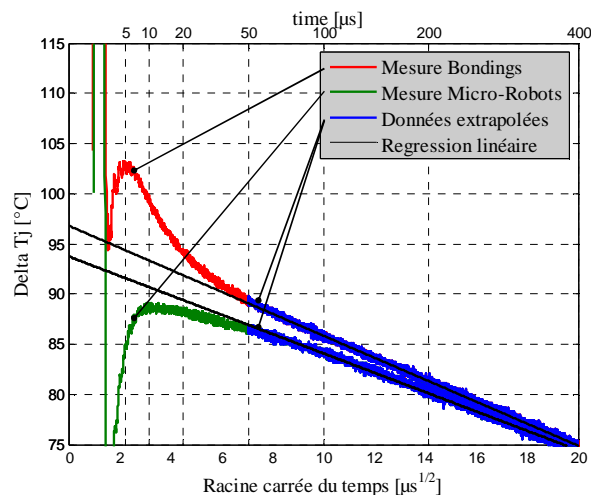


Figure 145 : Comparaison des deux modes de mesure entre la mesure et l'extrapolation sur la partie linéaire en \sqrt{t} pour une injection de 8ms

Malgré la généralisation de cette méthode consistant à occulter les premières dizaines de microsecondes (50-100 μs) de refroidissement, très peu d'hypothèses sont avancées sur l'origine de ces « comportements transitoires non thermiques ». Des transitoires de longues durées, de l'ordre de quelques centaines de μs , dues à la nature ferromagnétique des connectiques utilisées dans les années 1970 (Alliages de Nickel, de fer ou de Cobalt), ont été mis en avant dans [BLA81]. Or ce type de connectiques n'est plus utilisé, et des phénomènes transitoires d'origine non thermique interviennent toujours dans les premiers temps après la commutation. Les hypothèses apportées par le JEDEC sur ces phénomènes sont : “que le système ne peut pas commuter suffisamment vite pour assurer une mesure de tension exacte, ou que le composant ne peut pas commuter suffisamment vite en raison de sa capacité ou d'autres problèmes liés au circuit, et de l'inductance parasite présente entre le DUT et l'aiguillage” [JESD51-1]. Or on note, d'après la figure 145, que l'allure de ce transitoire n'est peut-être pas liée à ces explications, mais en partie à la connectique électrique en face avant.

La méthode présentée ci-dessus, concernant la linéarité de la courbe de refroidissement en fonction de la racine carrée du temps, ne peut être considérée comme valable que durant les premières centaines de microsecondes de refroidissement et uniquement si le système atteint le régime stationnaire avant l'arrêt du courant de puissance [BAG98]. Dans ce cas de figure, les conditions de Neumann sont respectées et les simplifications permettant d'extrapoler le signal en \sqrt{t} suivant une droite sont justifiées. En revanche, les courtes durées d'injection utilisées dans le cadre de nos mesures pulsées, ne permettent pas de remplir les conditions nécessaires pour utiliser cette méthode sans faire une erreur sur la valeur de la température extrapolée à $t=t_{inj}$. La durée du transitoire aura donc un impact sur l'exactitude de l'extrapolation. En effet plus le signal est exploitable longtemps après la commutation plus l'erreur faite en extrapolant est importante.

IV.4.5. Estimation de l'erreur sur la température extrapolée

De manière à appréhender l'erreur induite par l'extrapolation, un réseau thermique équivalent de Cauer du système thermique a été simulé avec *Psim*. Les valeurs de résistance et de capacité thermique de chaque couche sont déterminées à partir des propriétés des matériaux détaillées dans la présentation

du modèle éléments finis (section III.1). Afin d'approcher le système réel, chaque couche composant l'assemblage thermique est discrétisée, chaque cellule RC correspondant à une épaisseur de $10\mu\text{m}$ de matériau de façon à représenter chaque zone du silicium par au moins un élément. Cette discrétisation permet donc de distribuer la puissance dissipée entre la jonction et la zone de tenue en tension comme cela a été présenté dans l'étude numérique préliminaire (section III.2). Le récapitulatif des dimensions des couches et de la valeur des résistances et capacités thermiques équivalentes est présenté dans le tableau 15. La figure 146 représente quant à elle le réseau équivalent de Cauer simulé dans lequel le silicium est composé de 7 éléments, la brasure de 35 éléments et le cuivre de 100 éléments. La source de puissance P_J représente la source de chaleur créée par la jonction, et la source P_Ω est celle créée par la zone de tenue en tension discrétisée dans le volume du silicium. Les cellules R_M et C_M à gauche des sources de chaleur permettent de représenter la face avant constituée de la métallisation et des rubans.

Tableau 15 : Récapitulatif des données géométriques et thermiques de l'assemblage simulé

	Surface [mm^2]	Epaisseur [μm]	$R_{\text{th-equ}}$ [$^\circ\text{C}/\text{W}$]	$C_{\text{th-equ}}$ [$\text{J}/^\circ\text{C}$]
Aluminium (rubans)	12mm^2	$100\mu\text{m}$	5.10^{-8}	$2,5.10^3$
Puce (Si)	40mm^2	$70\mu\text{m}$	$1,3.10^{-8}$	$4,6.10^3$
Brasure	45mm^2	$350\mu\text{m}$	$3,4.10^{-7}$	$2,25.10^4$
Substrat (Cu)	60mm^2	$1000\mu\text{m}$	5.10^{-8}	$2,5.10^3$

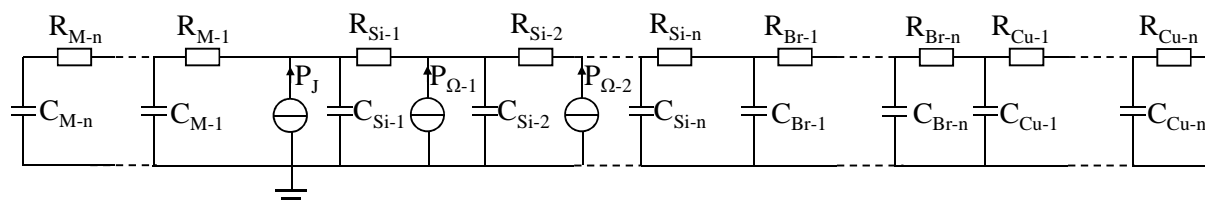


Figure 146 : Réseau équivalent de Cauer du module testé

La température de référence est fixée à zéro de manière à obtenir directement une élévation de température. Des pulses de puissance, similaires à ceux mesurés expérimentalement, sont appliqués et l'extrapolation en \sqrt{t} est réalisée sur les courbes de refroidissement relevées au nœud de la cellule de la jonction.

Nous allons dans un premier temps comparer des courbes de refroidissement pour différentes durées d'injection issues de ces simulations à celles obtenues expérimentalement par une mesure sous pointe. La figure 147 propose une comparaison de l'évolution temporelle de la T_J simulée et mesurée pour plusieurs durées d'injection (courbes de gauche), et les mêmes courbes tracées en fonction de la racine carrée du temps (courbes de droite). On peut constater dans un premier temps que l'allure des courbes entre la simulation et la pratique est assez semblable. La légère divergence provenant certainement de la non prise en compte dans le modèle, des interfaces de contacts et des simplifications faites dans ce modèle 1D et de l'incertitude de la valeur expérimentale. Dans un second temps, on remarque que l'évolution des courbes de refroidissement en fonction de la racine carrée du temps n'est pas linéaire et ce dès les premiers instants de refroidissement, particulièrement sur les courbes de la figure 148. Il découlera donc, de l'utilisation de la méthode d'extrapolation précédemment décrite, une erreur du fait que le signal n'est pas exploitable instantanément après l'arrêt du courant de puissance. Pour certaines durées d'injection (autour de $500\mu\text{s}$), la réponse simulée est parfaitement linéaire en \sqrt{t} sur la plage représentée, mais fait figure de cas particulier. Ces résultats comparatifs permettent néanmoins de montrer que le comportement thermique simulé se rapproche davantage des résultats expérimentaux mesurés sous pointes que de ceux issus des mesures

conventionnelles.

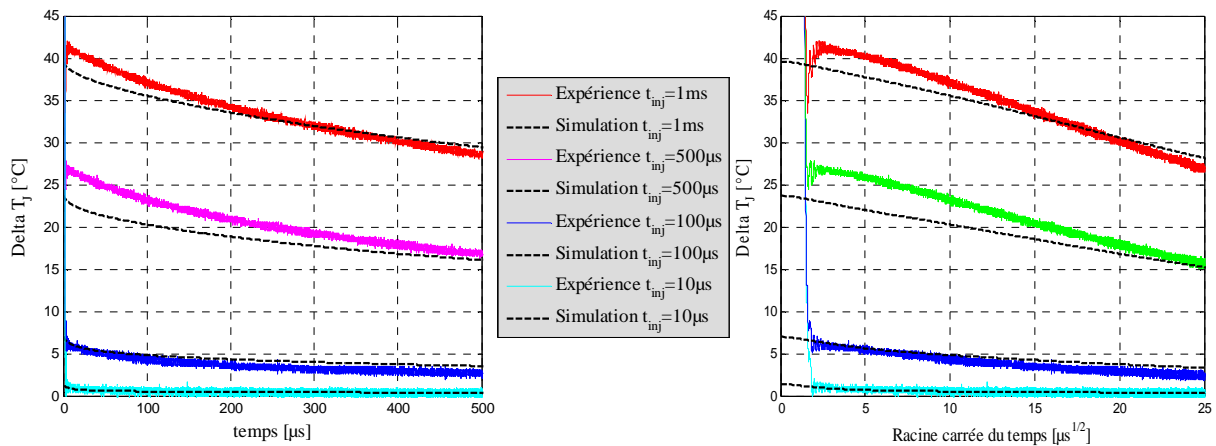


Figure 147 : Comparaison des courbes de refroidissement correspondant à plusieurs durées d'injection entre la simulation et l'expérimentation

Idéalement, une extrapolation à partir des données temporelles est envisageable, mais la fonction d'extrapolation à utiliser dépend de l'ordre du système thermique mis en jeu en fonction de la propagation du flux thermique dans l'assemblage. Ce point est difficile à déterminer, ce qui nous amène à évaluer l'erreur faite en utilisant une régression en racine du temps. Ainsi, en utilisant la méthode d'extrapolation linéaire des courbes de refroidissement en fonction de la racine carrée du temps issue du modèle numérique, il est possible d'évaluer l'ordre de grandeur de l'erreur faite sur la T_j extrapolée à $t=t_{inj}$ par rapport à la valeur relevée à la fin de l'injection de la puissance. La figure 148 présente les courbes de refroidissement en fonction de la racine carrée du temps, la courbe d'extrapolation, ainsi que la partie des données utilisées pour faire la régression linéaire. La plage de données a été choisie de $15\mu\text{s}$ à $30\mu\text{s}$, en rapport avec les conditions expérimentales afin d'être au plus proche de la commutation et de manière à avoir suffisamment de points de mesure pour ne pas aboutir à une régression peu représentative. Cette plage de $15\mu\text{s}$ est composée de 150 points de mesure. On peut observer sur la figure 148 qu'en fonction de la durée de l'injection, on sous-estime la température à $t=t_{inj}$ pour des durées d'injections courtes, alors que l'on a tendance à la surévaluer pour des injections plus longues. Cette observation peut aussi être faite sur les figure 149 et figure 150 qui représentent respectivement l'erreur absolue et relative induites par l'extrapolation suivant cette méthode en échelle semi-logarithmique. On peut en conclure que si d'un côté l'erreur absolue reste faible quelle que soit la durée d'injection, l'erreur relative est quant à elle significative pour les injections de puissance très courtes. Pour des durées d'injection supérieure à $50\mu\text{s}$, cette méthode d'extrapolation semble tout de même viable même dans notre cas d'étude puisque l'erreur relative reste inférieure à 7%. Pour cela il faut cependant être dans un cas où les phénomènes de perturbations soient courts puisque l'erreur s'accroît de manière significative lorsqu'on s'éloigne de la fin de l'injection. En effet, si la plage de donnée commence autour de $50\mu\text{s}$, comme cela semble être le cas dans la littérature [CAI92 LU91 JESD51-1], l'erreur relative atteint plus de 10% pour $100\mu\text{s}$ d'injection. La condition pour utiliser cette méthode de mesure et d'extrapolation pour de faibles durées d'injection est donc d'avoir un comportement transitoire très court permettant un accès rapide à la mesure indirecte de la température. Ce qui justifie dans notre étude l'importance apportée à la réduction des transitoires et à une acquisition rapide de la T_j .

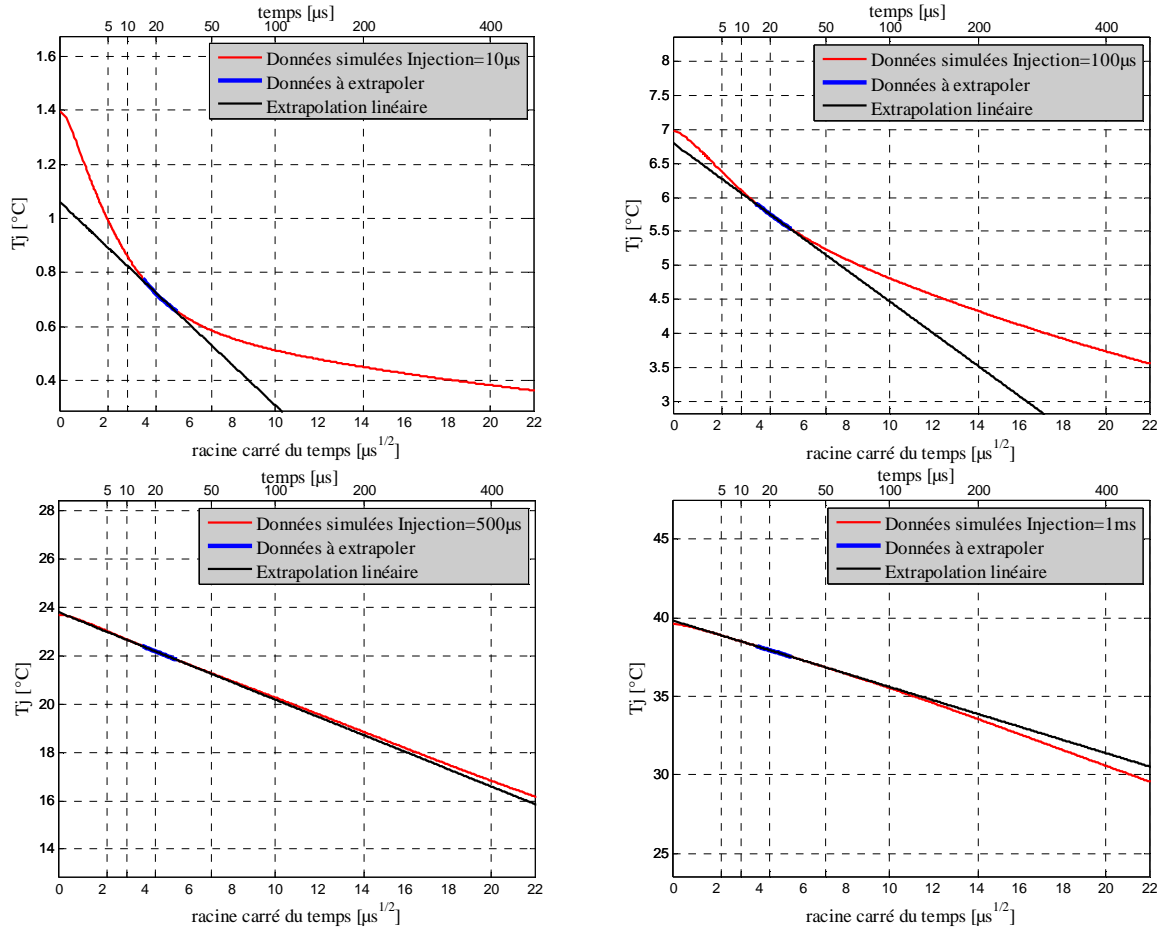


Figure 148 : Extrapolation de la valeur de T_j à $t=t_{inj}$ à partir des courbes de refroidissement issues de la simulation pour plusieurs durées d'injection

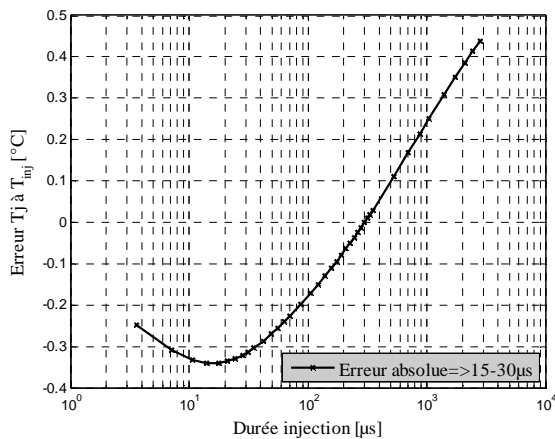


Figure 149 : Erreur absolue sur l'extrapolation pour la plage de mesure 15-30 μs

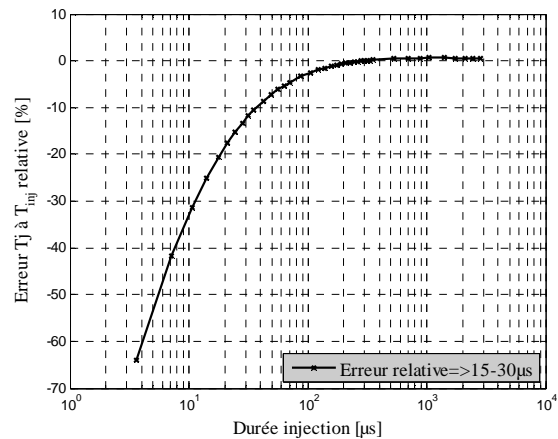


Figure 150 : Erreur relative sur l'extrapolation pour la plage 15-30 μs

IV.4.6. Répétitivité de la mesure

Il a été montré qu'à partir de 15 μs après l'injection, la T_j du composant semble affranchie de perturbations non thermiques. Nous allons donc étudier la répétitivité de la mesure. Pour ce faire, nous proposons une étude statistique qui consiste à reproduire cent fois la mesure pour une même durée d'injection. La température à $t=t_{inj}$ est estimée avec la méthode d'extrapolation définie pour chacune des courbes de refroidissement. On peut de ce fait observer la disparité des mesures autour de la valeur moyenne extrapolée. Le signal entre 15 et 30 μs après l'injection est utilisé pour effectuer la régression

linéaire en racine du temps. Ces mesures sont présentées pour des durées d'injections de $100\mu\text{s}$ (figure 151 et figure 152) et de $500\mu\text{s}$ (figure 153 et figure 154).

On peut observer, sur la réponse temporelle de la T_j , moyennée sur les cent mesures, que le signal est perturbé durant seulement $10\mu\text{s}$ après la commutation (figure 151 et figure 153). Les figure 152 et figure 154 permettent d'observer la répétitivité des mesures sous la forme d'un histogramme. Chaque barre de l'histogramme représente en ordonnée le nombre de valeurs comprises dans chaque intervalle de température. En abscisse « μ » représente la valeur moyenne et « s » l'écart type sur les 100 mesures. Les résultats statistiques sont résumés dans le tableau 16 pour plusieurs durées d'injections.

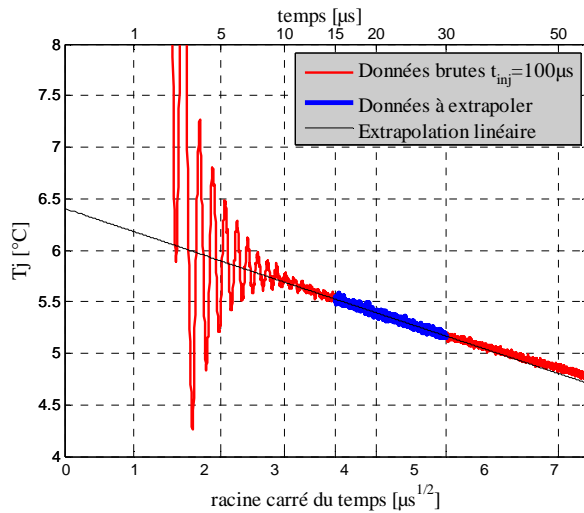


Figure 151 : Observation du refroidissement moyenné sur 100 mesures après une injection de $100\mu\text{s}$

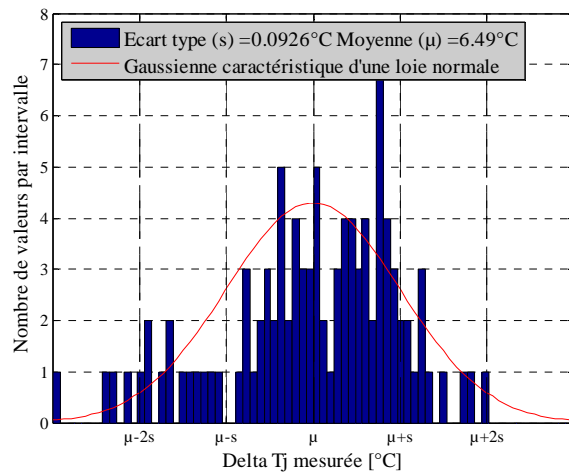


Figure 152 : Répartition des valeurs de température extrapolées autour de la moyenne pour une injection de $100\mu\text{s}$

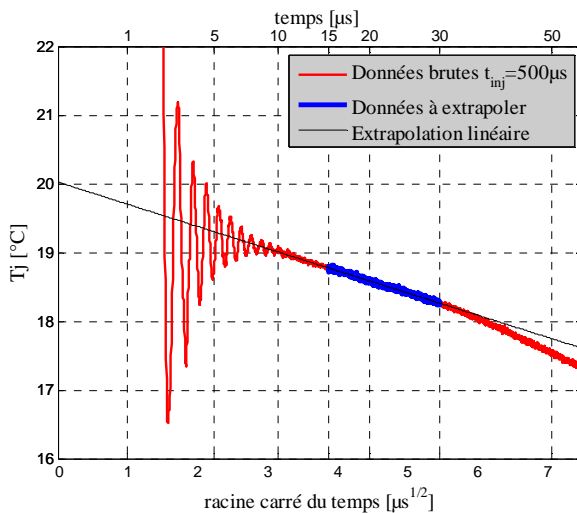


Figure 153 : Observation du refroidissement moyenné sur 100 mesures après une injection de $500\mu\text{s}$

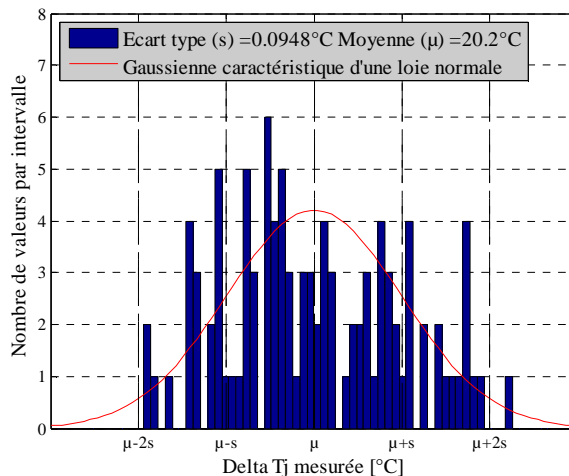


Figure 154 : Répartition des valeurs de température extrapolées autour de la moyenne pour une injection de $500\mu\text{s}$

Tableau 16 : Résultats de l'étude statistique de répétitivité

Durée Injection	Température moyenne extrapolée	Ecart-type	Ecart-type relatif	Pourcentage des valeurs dans l'intervalle		
				+/- 1 Ecart-type	+/- 2 Ecart-type	+/- 3 Ecart-type
100 μ s	6,49°C	0,09°C	1,47%	73%	94%	100%
500 μ s	20,2°C	0,09°C	0,46%	62%	99%	100%
2ms	48,4°C	0,13	0,31%	61%	100%	0%
Loi normale				68%	95%	99,7%

On peut tirer de ces résultats que les mesures montrent un très bon niveau de répétitivité. Cela ne veut pas dire que l'on mesure la bonne température à $t=t_{inj}$, comme cela a été montré dans l'estimation de l'erreur due à l'extrapolation, mais que la qualité du signal et le mode d'extrapolation est robuste permettant une mesure reproductible. Par conséquent le banc de mesure permet, de manière comparative, une étude précise de la réponse thermique du composant.

V. Résultats expérimentaux

V.1. Etude comparative 1

V.1.1. Géométrie des brasures

Plusieurs modules ont été caractérisés avec le banc de mesure puis, les résultats ont été comparés en fonction de la qualité de leur interconnexion inférieure préalablement analysée par une imagerie rayon-X et un profilomètre optique. Les modules comparés sont constitués de composants identiques dont les rubans en face avant ont été assemblés de façon similaire suivant le même procédé. Les brasures en face arrière ont été réalisées à partir de préformes $Pb92.5Sn5Ag2.5$ identiques sur une semelle en cuivre. A noter que les modules, développés spécifiquement par la société VALEO, n'ont pas été conçus comme dispositifs de test, mais sont issus d'un précédent projet. Durant ce projet des attaques au laser ont été effectuées sur certains substrat avant brasage afin d'en modifier la mouillabilité. La qualité des brasures en est par conséquent fortement dégradée. En raison de la qualité particulièrement hétérogène de leurs interconnexions, deux modules ont été choisis pour servir de dispositifs de tests dont les résultats de l'analyse par rayon-X sont présentés figure 155.

Les épaisseurs des brasures ont été mesurées conformément à la méthode présentée dans la section III.1. Les résultats présentés dans le tableau 17 intègrent l'épaisseur moyenne mesurée à la surface ainsi que l'écart-type sur ces mesures, permettant de mettre en évidence une éventuelle inclinaison de la puce. On peut noter, d'après le tableau 17, que l'épaisseur moyenne de brasure est plus importante sur le *module 1* malgré une inclinaison significative. En effet, la différence entre l'épaisseur la plus faible (200 μ m) et la plus grande (530 μ m) est de plus de 300 μ m alors qu'elle n'est que de 50 μ m sur le *module 2*.

Sur la brasure du *module 1*, seulement 3,3% de la surface est occupée par des « voids », sur le *module 2*, fortement dégradé, les « voids » occupent 23% de la surface total (dont 10% par le « void » central) (tableau 18). En raison de l'absence d'autres modules à tester, l'analyse se concentre dans un premier temps sur ces deux échantillons.

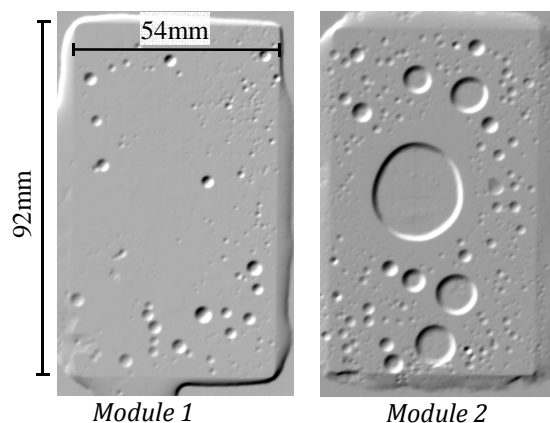


Figure 155 : Analyse au rayon X de l'état des brasures de 2 diodes

Tableau 17 : Synthèse des mesures d'épaisseur des brasures

Détail de l'assemblage	Épaisseur moyenne	Ecart-type	Delta épaisseur max
Module 1	341 μ m	107 μ m	334 μ m
Module 2	388 μ m	18 μ m	52 μ m

Tableau 18 : Occupation des « voids »

	Pourcentage de « voids »
Module 1	3,3%
Module 2	23%

V.1.2. Réponse en élévation de température et impédance thermique

La réponse en élévation de température pour les deux modules est donc mesurée par la méthode pulsée décrite précédemment. Les injections de courant successives appliquées au DUT de durées t_{inj} s'étalent de 3 μ s à 4,5ms, et l'extrapolation de la T_J à $t=t_{inj}$ est effectuée en utilisant le signal en racine carrée du temps entre 15 et 30 μ s après l'injection. Les réponses en élévation de température sont présentées sur la figure 156, sur laquelle on voit clairement l'impact de la qualité de la brasure. La figure 157 montre l'écart de température entre les deux modules en fonction de la durée d'injection, elle permet d'observer à partir de quelle durée d'injection la réponse des deux modules diverge. On observe une divergence assez rapide entre les deux modules conformément aux conclusions des simulations montrant un impact rapide d'une dégradation à l'interface puce/brasure sur l'élévation de température de jonction. Ces résultats montrent l'aptitude du banc de mesure à comparer la qualité de l'interconnexion en face arrière d'une diode, bien que l'absence de brasures de qualité intermédiaires soit préjudiciable pour montrer la sensibilité du banc expérimental.

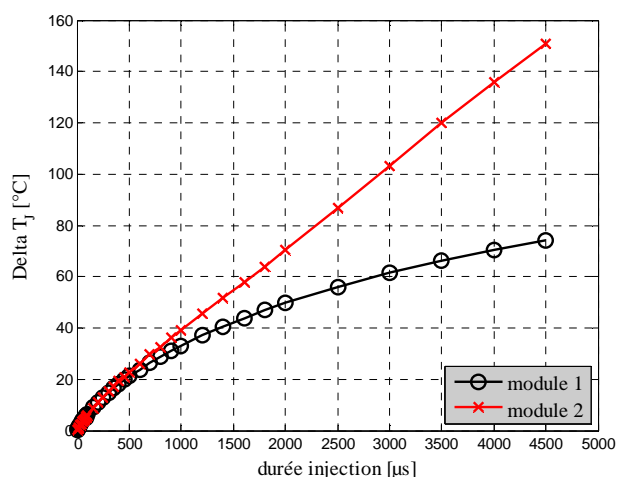


Figure 156 : Réponse en élévation de température des deux modules

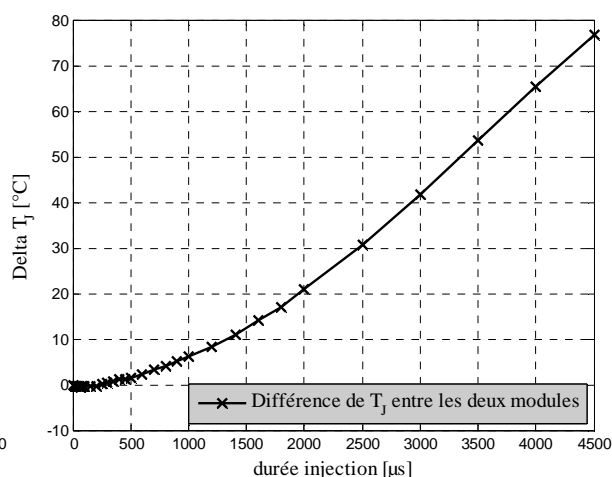


Figure 157 : Différence d'élévation de température entre les deux modules

Afin d'obtenir une réponse normalisée sous la forme d'impédance thermique, il est nécessaire de ramener la réponse en élévation de température par unité de puissance. Pour chaque durée d'injection, la puissance moyenne est calculée à partir de la mesure du courant dans le DUT (I_{DUT}) et de la chute de tension aux bornes du DUT mesurée par les micro-robots directement sur la métallisation de la diode

($V_{DUT-\mu R}$). Durant l'injection, un courant de 300A parcourt le composant et la connectique de puissance, la chute de tension qui en résulte dans les rubans n'est pas négligeable, de l'ordre de 400mV. Cette valeur est obtenue par soustraction de la mesure conventionnelle avec la mesure effectuée via les micro-robots. De plus, la mesure par les micro-robots permet d'obtenir une image de la puissance dissipée dans la diode plus proche de la réalité.

La figure 158 montre l'évolution de la puissance moyenne mesurée en fonction de la durée de l'injection. La figure 159 représente l'impédance thermique des deux modules, dont l'allure est similaire à celle de la réponse en élévation de température. Cette représentation est cependant à privilégier puisqu'elle prend en compte les écarts de puissance dissipée d'un composant à l'autre. On peut observer sur cette courbe que pour les faibles durées d'injection ($<400\mu$ s), les deux courbes sont quasiment confondues, la divergence n'étant tangible qu'au-delà.

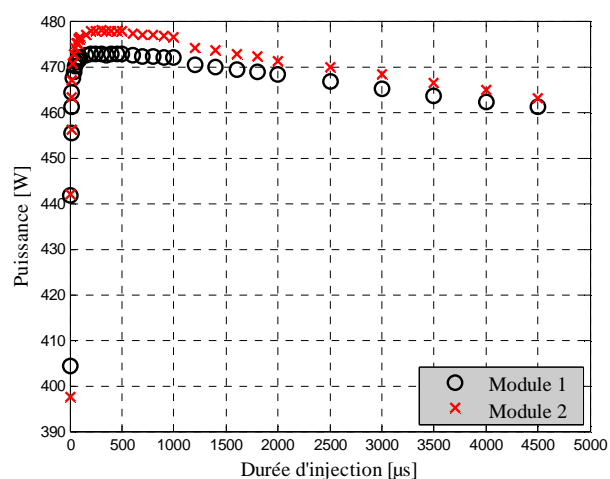


Figure 158 : Evolution de la puissance moyenne dans le DUT en fonction de la durée d'injection

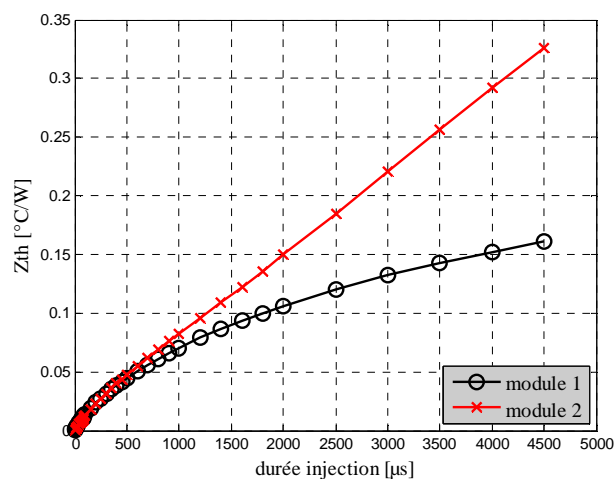


Figure 159 : Impédance thermique partielle des deux modules

L'écart de température entre les deux composants pour des injections de plusieurs millisecondes est important, ne laissant aucun doute sur l'interconnexion de meilleure qualité. On peut cependant noter que la réalisation technologique de ces assemblages n'est pas optimale pour observer l'impact des « vides » sur la réponse en élévation de température puisque d'autres paramètres entrent en compte comme l'inclinaison de la puce ou l'épaisseur de la brasure.

Il est cependant nécessaire de comparer des interconnexions dont les qualités sont plus proches l'une de l'autre. Une autre étude comparative, mettant en jeu deux composants identiques aux précédents, issus d'un mode d'intégration similaire mais de modules différents va être décrite ci-dessous. L'objectif est de mettre en avant la sensibilité de la méthode de mesure.

V.2. Etude comparative 2

V.2.1. Géométrie des brasures

Les brasures testées ci-dessous sont identiques en composition aux précédents composants, mais leur épaisseur est considérablement plus faible comme le montre l'étude profilométrique présentée sur le tableau 19 avec une épaisseur moyenne proche de 150μ m. En ce qui concerne la qualité de la brasure, l'analyse rayon-X disponible figure 160 indique une occupation des « vides » d'environ 3,6% sur le *module 3* contre 2,7% sur le *module 4* (tableau 20). La connexion en face avant est elle aussi légèrement différente, avec des rubans plus larges qui offrent une meilleure répartition de l'injection de courant.

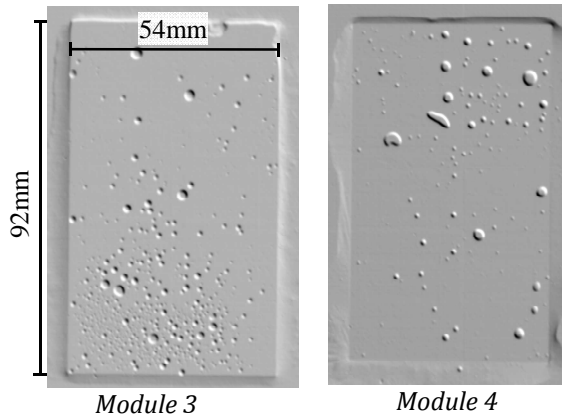


Figure 160 : Analyse au rayon X de l'état des brasures de 2 diodes

Tableau 19 : Synthèse des mesures d'épaisseur des brasures

Détail de l'assemblage	Épaisseur moyenne	Ecart-type	Delta épaisseur max
Module 3	184 μ m	53 μ m	145 μ m
Module 4	152 μ m	31 μ m	100 μ m

Tableau 20 : Occupation des « voids »

	Pourcentage de « voids »
Module 3	3,6%
Module 4	2,7%

De la description géométrique des deux modules ci-dessus, on constate qu'ils sont peu différents. D'un point de vue thermique on peut présumer que le module 3 est moins performant en raison d'une épaisseur plus importante et d'une occupation plus importante des « voids ». Il est important de noter que l'analyse rayon-X 2D ne donne aucune information sur la position des cavités dans l'épaisseur de la brasure.

V.2.2. Réponse en élévation de température et impédance thermique

La figure 161 montre une différence sensible sur la réponse en élévation de température entre les deux modules malgré leurs faibles différences géométriques. Cette différence est palpable sur l'impédance thermique partielle présentée figure 162. L'élévation de température maximale atteinte est de seulement 60°C pour une puissance dissipée de l'ordre de 460W durant 4,5ms. Afin d'augmenter la sensibilité de la mesure pour ces échantillons, il serait intéressant d'élever le niveau d'injection de courant jusqu'à atteindre des élévations de température autour de 150°C. Un avantage de cette méthode de mesure est de pouvoir adapter le niveau de dissipation de puissance en fonction de la qualité thermique de l'interconnexion. L'alimentation de puissance intégrée dans le banc de mesure a cependant atteint ses limites, ce qui ne permet pas de montrer les résultats pour une puissance plus élevée.

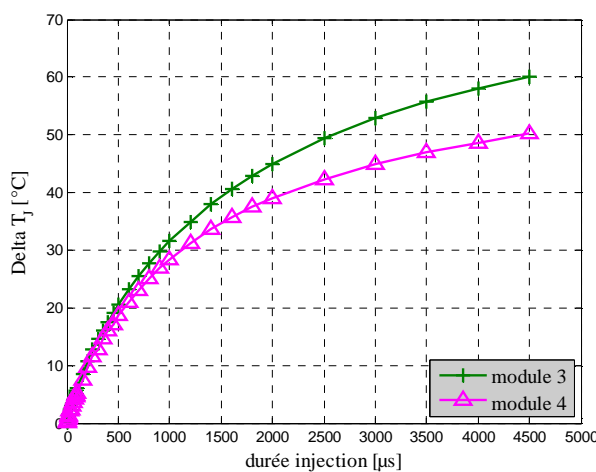


Figure 161 : Réponse en élévation de température des 2 modules

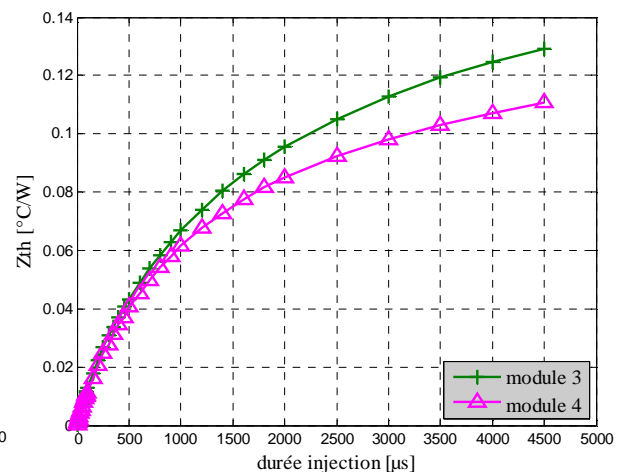


Figure 162 : Impédance thermique partielle des deux modules

Cette étude comparative permet donc de pointer la sensibilité du banc de mesure pour analyser les performances thermiques dynamiques de l'interconnexion en face arrière du composant. La face arrière n'est cependant pas le seul facteur influant puisque la répartition des amenées de courant à la surface a un impact significatif comme cela a été montré dans les études préliminaires de ce chapitre (section II.1). L'étude qui suit a pour but de montrer le résultat d'une dégradation de la répartition de l'injection du courant en face avant.

V.3. Impact de la face avant

Pour cette étude, le *module 4* précédemment caractérisé va être utilisé, et les boucles de ses rubans en face avant vont être successivement sectionnées de manière à modifier la répartition de l'injection. L'ordre de découpe est indiqué sur la figure 163. Après chaque découpe, une mesure de la réponse en élévation de température partielle du module est effectuée. Les résultats sont présentés sur la figure 164, sur laquelle on observe une augmentation progressive de l'élévation de température au fur et à mesure de la dégradation des rubans. L'impédance thermique partielle n'est pas présentée ici puisque la répartition du potentiel à la surface du composant, induite par le déséquilibre de l'injection de courant, est significative. Conformément aux conclusions de l'étude préliminaire (section II.1), lorsque le potentiel en surface est fortement inhomogène, la mesure de la puissance dissipée ne permet pas d'exprimer une impédance thermique globale du composant. La mesure de la T_j n'est en revanche pas impactée par la localisation de la mesure à la surface de la puce (section II.1 tableau 10 page 85), ce qui permet d'estimer une température moyenne approximative du composant. La réponse en élévation de température n'est pas non plus forcément représentative puisque la puissance moyenne dissipée varie en fonction de l'état de destruction des rubans. On atteint donc dans ce genre de cas les limites de validité de la mesure d'impédance thermique globale telle qu'elle est définie dans l'équation (18) page 82.

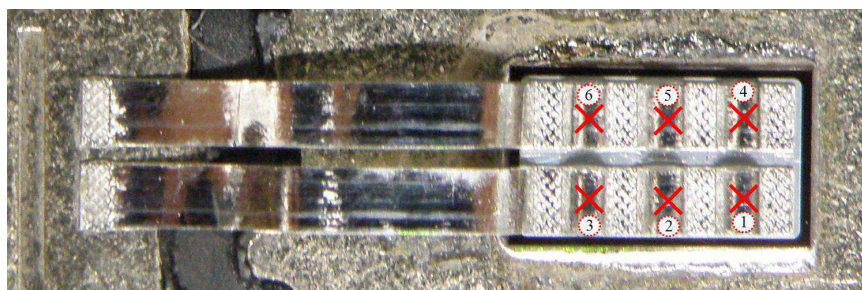


Figure 163 : découpe successive des boucles de rubans

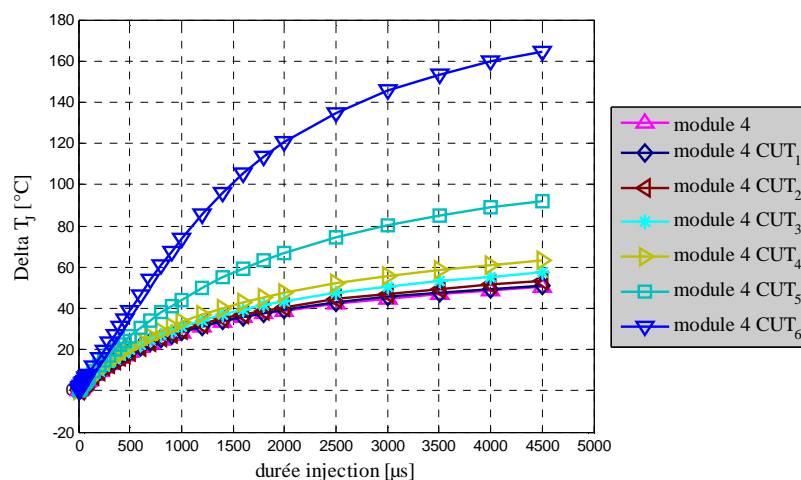


Figure 164 : Réponse en élévation de température du composant en fonction du niveau de découpe

V.4. Comparaison avec la « cooling Curve Technique »

En pré conclusion de ce chapitre, nous pouvons comparer la méthode « pulsed heating curve » développée dans ces travaux à celle de « cooling curve ». Les mesures sont effectuées en utilisant le même aiguillage de puissance. La méthode au refroidissement est la même que celle expliquée dans le premier chapitre (section IV.2.1 page 43). Un courant de 50A est injecté dans le DUT pendant plusieurs minutes jusqu'à atteindre le régime thermique stationnaire. La puissance dissipée sous ce courant permet de ne pas dépasser la température maximale admissible. Les impédances thermiques partielles issues des mesures à l'échauffement et au refroidissement sont représentées respectivement sur la figure 165 et la figure 166 pour les quatre modules précédemment étudiés. La première constatation concerne l'allure de la Z_{th} du module 2. En effet lors de la méthode pulsée, l'impédance thermique augmente presque linéairement à partir de 500 μ s d'injection alors que celle issue de la méthode en refroidissement augmente moins brutalement. Une deuxième constatation impute l'amplitude des Z_{th} qui diffère légèrement entre les deux techniques. Les conditions initiales sont différentes pour ces deux mesures puisque dans le premier cas on part de l'équilibre thermique et dans le second du régime stationnaire. Lorsque l'on atteint le régime stationnaire, dans la mesure au refroidissement, le flux de chaleur se distribue dans le composant. Le flux est enclin à se localiser là où le chemin thermique est favorable à l'évacuation de la chaleur. Ce phénomène a tendance à minimiser l'impact des défauts d'interconnexions sur la réponse thermique. La différence résultant des deux mesures est donc d'autant plus significative que le « void » est important. On peut extraire de ces observations que la méthode pulsée, en plus d'offrir une meilleure sensibilité par une puissance dissipée plus importante, ne masque pas les défauts dans l'interconnexion.

Ici, les écarts de Z_{th} entre les modules sont également palpables dans la méthode en refroidissement puisque les qualités des échantillons sont suffisamment différentes. Comparons maintenant les deux techniques dans le cas d'une dégradation moins éloquente de l'interconnexion.

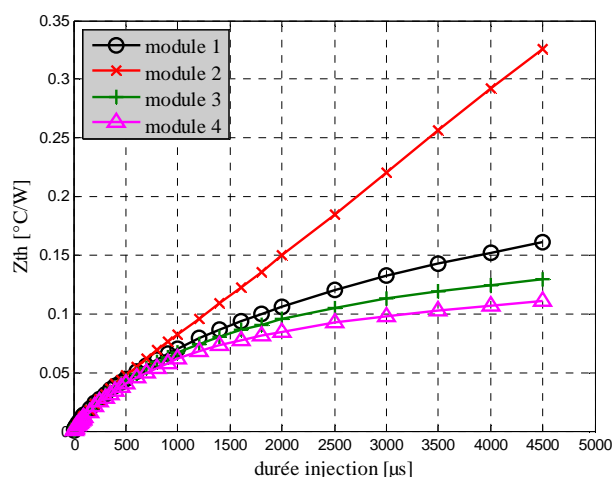


Figure 165 : Z_{th} « pulsed heating curve » des 4 modules comparés précédemment

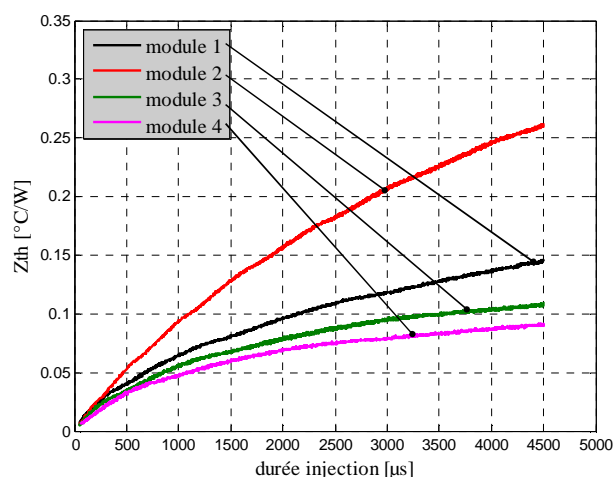


Figure 166 : Z_{th} « cooling curve » des 4 modules comparés précédemment

Comparons maintenant les résultats issus de la découpe des rubans, similairement à la partie précédente (section V.3), pour les deux méthodes de mesure. La figure 167 et la figure 168 montrent les Z_{th} correspondants à des découpes successives de rubans sur le module 4, de l'état initial au sectionnement de toute une rangée de ruban (Figure 163). Ici la dégradation est exclusivement électrique puisque l'on modifie seulement la distribution du courant en surface. Dans cette configuration, la « pulsed heating curve technique » montre clairement son intérêt puisque les différences sont difficilement palpables avec la « cooling curve technique ». Outre la sensibilité

moindre, due à un plus faible niveau de dissipation, le phénomène qui tend à masquer la dégradation est similaire à celui évoqué précédemment, mais concerne la distribution des lignes de courants.

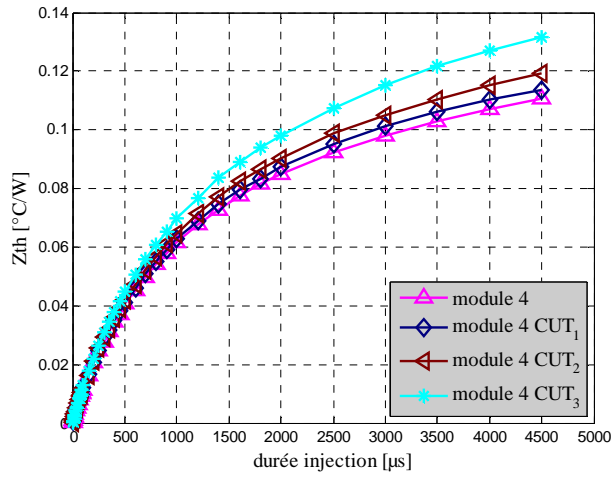


Figure 167 : Z_{th} « pulsed heating curve »
des 4 dégradations successives

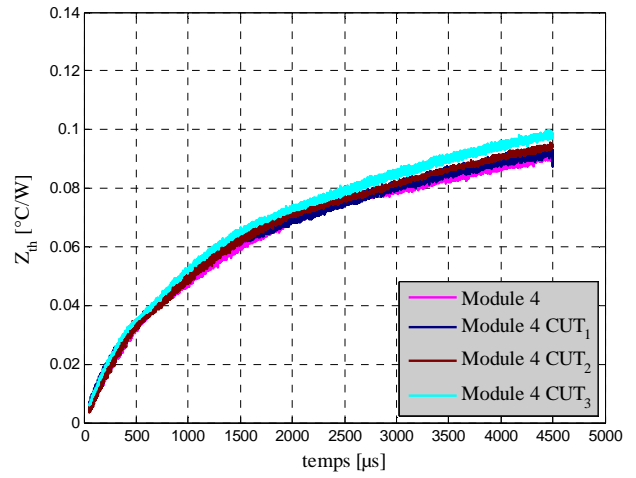


Figure 168 : Z_{th} « cooling curve »
des 4 dégradations successives

VI. Conclusions et perspectives

Le banc développé dans ces travaux propose une nouvelle méthode de mesure qui utilise pleinement les avantages offerts par la « pulsed heating curve technique ». Cette mesure couple l'injection d'impulsions de puissance de courtes durées et de forte amplitude avec une méthode de mesure innovante qui autorise un accès rapide à la température de jonction affranchie de perturbations non thermiques. Cet outil permet donc une observation du comportement thermique du composant dans les premiers instants de dissipation au sein du composant. En effectuant une Z_{th} partielle, on propose une mesure modulable au niveau de la dissipation de puissance. En effet, le système thermique sollicité est uniquement celui proche de la puce, ce qui permet d'exclure les performances du substrat, de la semelle et du refroidisseur. Pour ces raisons, il est possible d'adapter la dissipation de puissance à la qualité de l'interconnexion à caractériser et, de ce fait, d'augmenter considérablement la sensibilité lorsque l'interconnexion présente de bonnes performances. On peut conclure que ce dispositif de mesure offre un outil comparatif performant des interconnexions. En outre, ce banc de mesure permet également d'observer la dégradation en vieillissement des interconnexions suite à des cyclages thermiques.

Les résultats expérimentaux mettent en valeur la sensibilité de la mesure pour de faibles dégradations de l'interconnexion en face arrière mais montrent également l'incidence de la distribution de l'amenée de courant en face avant. Les observations proposées dans l'étude préliminaire pointent également la limite de la mesure d'impédance thermique dans un contexte où l'amenée de courant est fortement localisée.

Des solutions afin d'étendre la validité ces conditions peuvent être proposées. L'idéal est d'obtenir la distribution de la température, du courant et de la tension à la surface du composant pour en déduire une Z_{th} distribuée. Si on peut connaître des valeurs globales cohérentes de la température de jonction et du courant, ceci est délicat pour l'obtention de la tension qui permet d'estimer la puissance dissipée. Nous avons montré que la mesure conventionnelle de la chute de tension donne un résultat erroné et que par l'utilisation d'un « fil de kelvin » on peut obtenir le potentiel en un point, ce qui est peu représentatif. Une mesure distribuée du potentiel via une matrice de pointes sur la face supérieure paraît un moyen de déduire une chute de tension globale significative. Cette mise en œuvre est cependant complexe et nécessite un accès à la face supérieure du composant.

Une combinaison ambitieuse, mais qui pourrait être prometteuse, est de substituer le composant de puissance par une VETTC. L'utilisation de la VETTC en dynamique permettrait d'obtenir au cours de l'injection de courant la répartition du potentiel et de la température. Cette combinaison solutionne de nombreux problèmes puisque l'on peut acquérir l'évolution discrétisée de la température et du potentiel lors de l'échauffement en simultanée avec la dissipation de puissance. Dans cette configuration, on ne fait plus face aux comportements transitoires présents lors de la mesure pas PTS, il n'est plus nécessaire d'extrapoler la température à $t=t_{inj}$ et on obtient la température et le potentiel en différents points. Ce concept, bien qu'audacieux, est une perspective qui paraît intéressante pour des travaux de recherche. La validité des mesures en transitoire avec la VETTC reste toutefois à valider.

L'interconnexion en face arrière des véhicules de test utilisés (modules MENKAR) n'est pas particulièrement adaptée pour démontrer le potentiel de la méthode de mesure sur l'impact de la face avant. En cause, les brasures qui présentent des épaisseurs anormalement importantes, des inclinaisons parfois significatives et des qualités fortement hétérogènes. Cela limite la cohérence des comparaisons entre modules. Pour observer l'influence de la face avant il faudrait des véhicules de tests spécialement adaptés contenant des composants identiques dont la technologie de report en face arrière est semblable et maîtrisée (par frittage par exemple), et dont seule la technologie de report en face

avant diffère (bondings, rubans, bumps, pressée, micro-poteaux, nano-fils...)

Il subsiste cependant le problème de la prise du potentiel d'anode sous pointes dans un assemblage 3D et dans un composant en boîtier. L'ajout de « fils de kelvin » reste envisageable pour des caractérisations dans le développement de nouvelles interconnexions dans le domaine de la recherche, mais paraît plus compliqué dans l'étude de modules conventionnels.

En perspectives de ces travaux il serait intéressant de déterminer la R_{th} et la C_{th} équivalente de l'interconnexion par des méthodes mathématiques. Cela nécessite cependant de maîtriser la durée de l'injection permettant au flux de traverser toute la première interconnexion sans que la seconde ne soit entrée en jeu.

On peut mettre en avant les limites de la mesure par Z_{th} dans un assemblage 3D. La définition de la Z_{th} impose de connaître le flux traversant l'interconnexion afin d'en déterminer l'impact. Dans un assemblage tridimensionnel, on ne peut estimer la répartition du flux thermique entre la face supérieure et inférieure. On peut tout de même observer la réponse globale sans différencier l'impact des interconnexions supérieures et inférieures. Il sera alors impossible d'en déduire les éléments thermiques équivalents du réseau RC .

Pour se soumettre aux débouchés de développements des nouvelles interconnexions on peut envisager d'étendre cet instrument à l'étude sur des IGBT ou des MOSFET. Le cadre des mesures change radicalement puisque suivant la technologie et les fabricants, les plots d'émetteur ou de drain peuvent être séparés. De plus, comme cela a été vu dans le premier chapitre (section IV.1.1 page 35), l'utilisation du paramètre thermosensible diffère selon les composants. Pour le MOSFET, cela ne pose pas particulièrement de problèmes puisque l'on utilise la diode body de la structure même du composant, bien qu'il faille inverser le sens d'injection du courant de mesure ce qui peut augmenter la durée du transitoire. En revanche, pour l'IGBT, la jonction P+/N+ qui sert de PTS est située à proximité de la face inférieure de la puce, la mesure de température n'est donc plus située au même endroit. Il est nécessaire d'effectuer les mesures préliminaires sur les comportements transitoires avant de se prononcer sur la faisabilité de ces mesures avec des interrupteurs commandés.

Conclusion générale et perspectives

Après avoir étudié les enjeux liés à l'intégration tridimensionnelle dans les assemblages d'électronique de puissance dans le premier chapitre, ces travaux de thèses se sont portés sur le développement d'outils de caractérisation électrothermique des interconnexions dédiées à l'électronique de puissance. L'inadaptabilité des dispositifs issus de l'état de l'art pour l'étude des technologies spécifiques d'intégration 3D nous a poussés à explorer et mettre en œuvre des améliorations à deux procédés existants, respectivement les puces de tests thermiques (TTC) et la mesure d'impédance thermique (Z_{th}) par une méthode pulsée à l'échauffement. Si l'objectif de ces travaux était avant tout de perfectionner ces outils de mesure pour les adapter à la caractérisation 3D, les développements ont dépassé ce simple cadre.

Les TTC sur le marché ont toutes leurs faces supérieures occupées par les plots de contact liés aux capteurs. Cette spécificité, présente sur tous les modèles pour des raisons de modulabilité et de simplicité de connexion, empêche de les utiliser pour caractériser un assemblage 3D. C'est dans l'optique de rendre une TTC intégrable dans un module 3D que le développement d'une TTC a été entrepris. Si les TTC existantes sont de simples pastilles de silicium dans lesquelles sont implantés un dispositif de chauffe et des capteurs de température, la puce de test issue de ces travaux propose une intégration des capteurs à la surface d'un composant de puissance réel. De plus, les capteurs associés ne sont plus uniquement des capteurs de température, mais également de tension. Ces avancés sont notables puisqu'elles permettent l'observation simultanée des grandeurs électriques et thermiques lors d'une dissipation naturelle au sein d'un composant de puissance. Le concept d'une puce de test thermique et électrique à structure verticale est détaillé dans le second chapitre sous le nom de VETTC.

Au-delà du concept, la réalisation de prototypes demande de prendre en compte les contraintes liées au fonctionnement et à la fabrication en salle blanche. De fait, les choix de matériau, de technologie de géométrie ou d'organisation des capteurs ont été étudiés pour assurer la fonctionnalité du composant et de ses capteurs. Un point crucial dans l'intégration des capteurs au cœur de la zone active consiste à en gérer l'isolation électrique. Cet aspect est crucial pour le bon fonctionnement des capteurs et nécessite des choix de conception adaptés. Les résultats expérimentaux obtenus ont permis de valider le fonctionnement des capteurs lors d'une dissipation de puissance continue dans la partie active du composant.

Les perspectives d'utilisation de la VETTC sont nombreuses. Au-delà de la mesure de résistance thermique et électrique, la possibilité de cartographier la distribution des tensions et des températures en fait un outil de contrôle qualité des interconnexions et d'observation de phénomènes électrothermique attrayant. Si on regarde à plus long terme, l'intégration de VETTC dans des modules de puissances pourrait permettre de déceler la dégradation du comportement thermique du module et anticiper une éventuelle défaillance.

Le deuxième axe de recherche présenté dans le troisième chapitre concerne une mesure d'impédance thermique partielle basée sur une méthode pulsée à l'échauffement (« pulsed heating curve technique »). Le développement de ce second outil de caractérisation thermique, avait lui aussi pour but d'adapter la méthode de mesure aux assemblages 3D. En injectant des impulsions de courant de forte amplitude et de courte durée dans le composant, on peut observer l'influence des interconnexions thermiques et électriques proche de la puce sur son comportement thermique. Les essais réalisés sur des modules conventionnels brasés en face arrière et munis d'une amenée de courant

par ruban en face avant ont permis de déceler non seulement l'impact de la qualité de la face arrière mais également celui de la répartition de l'amenée de courant.

Les améliorations proposées sur cet aspect de mesure ne concernent pas uniquement l'amplitude des créneaux de puissance, et la durée des injections, mais également la méthodologie de mesure. En effet, l'utilisation de modules ouverts désobstrués du gel passivant a permis d'effectuer des mesures sous pointes et de les comparer aux mesures réalisées via la connectique de puissance (mesure conventionnelle). Lors des mesures conventionnelles, outre l'erreur faite sur le calcul de la puissance dissipée liée à la résistance intrinsèque des rubans, les résultats ont mis en évidence la présence de perturbations d'origines non thermiques lors de la mesure de T_j par paramètre thermosensible. La nouvelle technique de mesure sous pointe testée dans ces travaux permet de s'affranchir en partie de ces transitoires et permettre un accès plus rapide à T_j . Même si peu d'hypothèses sont avancées sur les causes de ces phénomènes perturbateurs, la méthode de mesure proposée semble pallier à ces problèmes puisque les dynamiques de refroidissements observées sont similaires aux résultats de simulations. La mesure conventionnelle est même fortement remise en cause par ces travaux puisque l'extrapolation de la température de jonction peut mener à une estimation faussée de T_j à la fin de l'injection. Les mesures sous pointes ont de plus permis de faire émerger les limites de la mesure d'impédance thermique dans le cas d'une injection localisée du courant de puissance. Les résultats obtenus affirment que cet outil de mesure permet d'observer un couplage électrothermique de la qualité des interconnexions 3D.

Le banc de mesure mis au point lors de ces travaux est tout d'abord un outil comparatif performant des technologies d'interconnexions 3D. L'absence de véhicule de test adapté n'a pas permis d'effectuer des mesures sur des assemblages tridimensionnels, mais l'impact de la face avant et arrière a été démontré. Tout comme pour la VETTC, des perspectives s'ouvrent également via cet outil pour l'observation des phénomènes électrothermiques au sein des composants de puissance.

Pour conclure, la perspective la plus séduisante à ce travail consiste à réunir les deux moyens de caractérisations étudiés lors de ces travaux de thèse et réaliser la Z_{th} de la puce de test assemblée dans un assemblage 3D. Une telle mesure est attrayante puisqu'elle combine l'intérêt des deux outils pour observer le comportement électrothermique du composant liée à la technologie d'intégration.

Références Bibliographiques

- [ABB04] "StakPak IGBT Press-packs: A new Packaging Concept for High Power Electronics" www.abb.com
- [ABB06] "Press-pack High Power Semiconductors Application note" www.abb.com
- [ABT07] T.A.Abtew, M.Zhang, D.A.Drabold "Ab initio estimate of temperature dependence of electrical conductivity in a model amorphous material: Hydrogenated amorphous silicon" Physical Review B76, The American Physical Society, 2007
- [AIT03] M.Aithammouda, K.Ziouche, M.Haffar, P.Godts, D.Leclercq "Etude du Pouvoir Thermoélectrique du Couches de Polysilicium Dopées N et P de 20 à 450°C" MajecSTIC 2005 : Manifestation des Jeunes Chercheurs francophones dans les domaines des STIC (2005) p.368-372
- [ALL04] B.Allard, G.Coquery, L.Dupont, Z.Khatir, M.Lazar, S.Lefebvre, R.Meuret, H.Morel, D.Planson "Composants à semi-conducteur de puissance pour des applications à haute température de fonctionnement" J3eA, Journal sur l'enseignement des sciences et technologies de l'information et des systèmes, Vol.4, Hors-Série 1, 2004
- [AMM98] A.Ammous, B.Allard, H.Morel "Transient Temperature Measurements and Modeling of IGBT's Under Short Circuit" IEEE Transactions on Power Electronics, Vol.13, N°1, Janvier 1998
- [AMR05] R.Amro, J.Lutz, J.Rudzki, M.Thoben, A.Lindemann "Double-Sided Low-Temperature Joining Technique for Power Cycling Capability at High Temperature" EPE 2005, Dresden
- [AND06] A.Andrei, C.Malhaire, S.Brida, D.Barbier "Long-Term Stability of Metal Lines, Polysilicon Gauges, and Ohmic Contacts for Harsh-Environment Pressure Sensors" IEEE Sensors Journal, Vol.6, N°6, Decembre 2006
- [AOY02] T.Aoyama, K.Suzuki, H.Tashiro, Y.Tada, H.Arimoto, K.Horiuchi "Flatband Voltage Shift in PMOS Devices Caused by Carrier Activation in p+ Polycrystalline Silicon and by Boron Penetration" IEEE Transactions on Electron Devices, Vol.49, N°3, Mars 2002
- [ARX00] M.V.Arxx, O.Paul, H.Baltes "Process dependent thin film thermal conductivities for thermal CMOS MEMS" Journal of MEMS, Vol.9, N°1, p.136-145, 2000
- [AUE07] J.Auersperg, B.Michel "Towards a Robust Design of Electronics Assemblies under Frature, Delamination and Fatigue Aspects" 9th Electronics Packaging Technology Conference, p.476-481, 2007
- [AVE02] Y.Avenas "Etude et Réalisation de caloducs plats miniature pour l'intégration en électronique de puissance" Thèse de doctorat INPG, décembre 2002
- [AVE12] Y.avenas, L.Dupont, Z.Khatir "Temperature Measurement of Power Semiconductor Devices by Thermo-Sensitive Electrical Parameters - A review" IEEE Transactions on Power Electronics, Vol.27, N°6, Juin 2012
- [BAG98] P.E.Bagnoli, C.Casarosa, M.Ciampi, E.Dallago "Thermal Resistance Anaysis by Induced Transient (TRAIT) Method for Power Electronic Devices Thermal Characterization - Part I : Fundamentals and Theory" IEEE, Transactions on Power Electronics, Vol.13, N°6, Novembre 1998
- [BAI00] C.D.Bai, X.Liu, G.Q.Lu "Electromigration-induced Failure of Metallic Connection in Power Electronic Packaging" CPES Seminar, 2000
- [BAI07] J.G.Bai, J.Yin, Z.Zhang, G.Q.lu, J.D.Wyk "High-Temperature Operation of SiC Power Devices by Low-Temperature Sintered Silver Die-Attachment" IEEE Transactions on Power Electronics, Vol.30, N°3, Aout 2007
- [BEI07] R.Beigelbeck, F.Kohl, F.Keplinger, J.Kunter, B.Jakoby "A Novel Characterization Method for Thermal Thin Film Propertier Applied to PECVD Silicon Nitride" IEEE Sensors Conference, 2007
- [BER98] H.Berg, E.Wolfgang "Advanced IGBT Modules for Railway Traction Application reliability" Microelectronics Reliability, Vol.38 Issues.6-8, P.1319, 1323, Juin/Aout 1998
- [BLA04] D.L.Blackburn "Temperature Measurements of Semiconductor Devices - A Review" 20th Semi-Therm Symposium, 2004
- [BLA75] D.L.Blackburn, F.F.Oettinger "Transient Thermal Response Measurements of Power Transistors" IEEE Transactions on Industrial and Control Instrumentation, Vol.IECI-22, N°2, Mai 1975
- [BLA81] D.L.Blackburn, D.W.Berning "The Effect of Magnetic Package Leads on the Measurement of Thermal Resistance of Semiconductor Devices" IEEE, Transactions on Electron Devices, Vol.ED-28, N°5, Mai 1981
- [BLA88] D.L.Blackburn "A Review of Thermal Characterization of Power Transistors" Semiconductor Thermal and Temperature Measurement Symposium, Semi-Therm, 1988
- [BOI06] S.Boisseau "Récupération d'énergie vibratoire à électrets" Thèse de Doctorat de l'Université de Grenoble, 2006

- [BOU02] M.Boutchich, K.Ziouche, P.Godts, D.Leclercq "Characterization of Phosphorus and Boron Heavily Doped LPCVD Polysilicon Films in the Temperature Range 293–373 K" IEEE Electron Device Letters, Vol.23, N°3, Mars 2002
- [BOU98] A.S.Boutonnet-Marchand "Etude de la résistance thermique de contact à l'interface de solides déformables en frottement, application aux procédés de forgeage" Thèse de Doctorat, INSA Lyon, 1998
- [BRA06] J.Brau "Cours sur la conduction Thermique" Département Génie Civil et Urbanisme, INSA de Lyon, 2006 : <http://polycop.insa-lyon.fr/>
- [BUR09] R.K.Burla, L.Chen, C.A.Zorman, M.Mehregany "Development of Nickel Wire Bonding for High-Temperature Packaging of SiC Devices" IEEE, Transactions on advanced Packaging, Vol.32, N°2, Mai 2009
- [BUT10] C.Buttay "Modules et Boîtiers de puissance (Packaging)" Technique de l'ingénieur, 2010
- [BUT11] C.Buttay @col.Buttay "ECPE Presentation, System Integration" Juin 2011
- [CAI92] B.M.Cain, P.A.Goud, C.G.Englefield "Electrical measurement of the Junction Temperature of an RF Power Transistor" IEEE Transactions on Instrumentation and Measurement, Vol.41, N°5, Octobre 1992
- [CAO10] X.Cao, T.Wang, G.Q.Lu, K.D.T.Ngo "Characterization of Lead-Free Solder and Sintered Nano-Silver Die-Attach Layers Using Thermal Impedance" The 2012 International Power Electronics Conference
- [CAO11] X.Cao, T.Wang, K.D.T.Ngo, G.Q.Lu "Characterization of Lead-Free Solder and Sintered Nano-Silver Die-Attach Layers Using Thermal Impedance" IEEE Transactions on Components, Packaging and Manufacturing Technology, Vol.1, N°4, Avril 2011
- [CAS96] J.B.Casady, R.W. Johnson "Status os Silicon Carbide (SiC) as a Wide-Bandgap Semiconductor for High-Temperature Applications: A Review" Solid-State Electronics, Vol.39, N°10, p.1409-1422, 1996
- [CAT02] J.N.Catala, G.Q.Lu, C.Luechinger "Evaluation of Interconnect Technologies for Power Semiconductor Devices" 2002 Inter Society Conference on Thermal Phenomena
- [CAT05] J.N.Catala, J.G.Bai, X.Liu, S.Wen, G.Q.Lu "Three-Dimensional Packaging for Power Semiconductor Devices and Modules" IEEE, Transactions on Advanced Packaging, Vol.28, N°3, Aout 2005
- [CEL11] Y.Celnikier, L.Benabou, L.Dipont, G.Coquery "Investigation of the Heel Crack Mechanism in Al Connections for Power Electronics Modules" Microelectronics Reliability 51, p.965-974, 2011
- [CENELEC03] "Railway Applications - Reliability Tests for High Power Semiconductor devices" 2003
- [CHE06] H.Chen, V.Pickert, D.J.Atkinson, L.S.Pritchard "On-line Monitoring of the MOSFET Devic Junction Temperature by Computation of the Threshold Voltage" Power Electronics, Machines and Drive, PEMD 2006
- [CHE12] G.Chen, D.Han, Y.H.Mei, X.Cao, T.Wang, X.Chen, G.Q.Lu "Transient Thermal Performance of IGBT Power Modules Attached by Low-Temperature Sintered Nanosilver" IEEE Transactions on Device and Materials Reliability, Vol.12, N°1, Mars 2012
- [CHI02] C.P.Chiu "Examination of Thermal Test Chip Designs Using an FEA Tool" 2002 Inter Society Conference on Thermal Phenomena
- [CHO00] S.J.Cho, J.Y.Kim, M.G.Park, I.S.Park, H.S.Chun "Under Bump Metallurgies for a Wafer Level CSP with Eutectic PbSn Solder Ball" 2000 Electronic Components and Technology Conference
- [CIA02] M.Ciappa "Selected Failure Mechanisms of Modern Power Modules" Microelectronics Reliability 42, p.653-667, 2002
- [CLA97] A.Claasen, H.Shaukatullah "Comparison of Diodes and Resistors for measuring Chip temperature During Thermal Characterization of Electronics Packages Using Thermal Test Chips" 13th IEEE Semi-Therm Symposium, 1997
- [COO69] M.G.Cooper, B.B.Mikic, M.M.Yovanovich "Thermal Contact Conductance" International Journal of Heat Mass Transfer, Vol.12, p.279-300, 1969
- [COQ00] G.Coquer, R.Lallemand "Failure Criteria for Long Accelerated Power Cycling" Microelectronics Reliability, Vol.40, Issues.8-10, p.1665-1670, Aout/Octobre 2000
- [DAN09] H.Dang-Thai "Réseaux de micro-convertisseurs" Thèse de doctotat de l'université de Grenoble, 2009
- [DUO07] T.H.Duong, D.W.Berning, A.R.Hefner, K.M.Smedley "Long-Term Stability Test System for High-Voltage, High-Frequency SiC Power Devices" Applied Power Electronics Conference, APEC 2007
- [DU94] W.F.Du, X.Tan,H.Q.Du "Positive temperature coefficient of resistance effect in hot-pressed cristobalite-silicon carbide composites" Journal of Materials Science, 29, p.1097-1110, 1994
- [DUG12] F.Dugal, E.Tsyplakov, A.Baschnagel, L.Storasta, T.Clausen "IGBT Press-Packs for the Industrial Market" PCIM Europe 2012, Mai 2012, Nuremberg
- [DUP12] L.Dupont, Y.Avenas, P.O.Jeannin "Comparison of Junction Temperature Evaluations in a Power IGBT Module Using an IR Camera ans Thre Thermo-Sensitive Electrical Parameters" Applied Power Electronics Conference, APEC 2012

- [ERI97] P.Eriksson, J.Y.Andersson, G.Stemme "Thermal Characterization of Surface-Micromachined Silicon Nitride Membranes for Thermal Infrared Detectors" Journal of MEMS, Vol.6, N°1, Mars 1997
- [EVA79] A.G.Evans, A.Rana "High Temperature Failure Mechanisms in Ceramics" Acta Metalurgica, Vol.28, P.129-141, 1980
- [FEL09] V.V.Felmsger "Microstructure and temperature coefficient of resistance of thin cermet resistor films deposited from CrSi₂-Cr-SiC targets by S-gun magnetron" Journal of Vacuum Society Technology, A28, Janvier/Fevrier 2010
- [FIL03] R.Fillion, E.Delgado, P.McConnelee, R.Beaupre "A High Performance Polymer Thin Film Power Electronics Packaging technology" International Symposium on Microelectronics, Vol.4931, p.408-414, 2002
- [FLE05] A.S.Fleischer, L.H.Chang, B.C.Johnson "The Effect of Die Attach Voiding on the Thermal Resistance of Chip Level Packages" Microelectronics Reliability, Vol.46, p.794-804, 2005
- [FRA08] L.G.Franquelo, J.Rodriguez, J.I.Leon, S.Kouro, R.Prats "The Age of Multilevel Converters Arrives" IEEE, Industrial Electronics Magazine, Issue 2, p.28-39, 2008
- [FRA10] S.Franssila "Introduction to Micro Fabrication, 2nd Edition" J.Wiley&Sons, 2010
- [FRI10] P.Friedrichs "SiC power Devices for industrial applications" International Power Electronics Conference (IPEC), p.3241-3248, 2010
- [GER07] Y.C.Gersteiner, W.Kiffe, G.Wachutka "Combination of Thermal Subsystems Modeled by Rapid Circuit Transformation" Thermal Investigation of Ics and Systems, THERMINIC, p.115-120, 2007
- [GER09] Y.C.Gersteiner, W.Kiffe, G.Wachutka "Combination of Thermal Subsystems by use of Rapid Circuit Transformation and Extended two-port Theory" Microelectronics Journal, Vol.40, p.26-34, 2009
- [GIL01] C.Gillot, C.Schaeffer, C.Massit, L.Meysenc "Double-Sided Cooling for High Power IGBT Modules Using Flip Chip Technology" IEEE Transactions on Components and Packaging Technologies, Vol.24, N°4, Decembre 2001
- [GOE10] J.Goehre, M.Schneider-Ramelow, U.Geissler, K.Lang "Interface Degradation of Al Heavy wire bonds on Power Semiconductors during Active Power Cycling Measured by the Shear test" 6th International Conference on Integrated Power Electronics Systems (CIPS), p1-6, 2010
- [GUE11] K.Guepratte "Onduleur triphasé à structure innovante pour application aéronautique" Thèse de doctorat de l'université de Grenoble, 2011
- [HAM99] A.Hamidi, N.Beck, K.Thomas, E.Herr "Reliability and Lifetime Evaluation of Wire Bonding Technologies" Microelectronics Reliability, Vol.39, Issues.6-7, p.1153-1158, 1999
- [HAQ99] S.Haque, et Al. "An Innovative Technique for Packaging Power Electronic Building Blocks Using Metal Posts Interconnected Parallel Plate Structures" IEEE Transactions on Advanced Packaging, Vol.22, N°2, Mai 1999
- [HAR78] E.Harari "Dielectric breakdown in electrically stressed thin films of thermal SiO₂" Journal of Applied Physics, Vol.49, Issue.4, p.2478-2489, Avril 1978
- [HE99] J.He, V.Mehrotra, M.C.Shaw "Thermal Design and Measurements of IGBT Power Modules: Transient and Steady State" Industry Applications Conference, 1999
- [HEL97] M.Held, P.Jacob, G.Nicoletti, P.Scacco, M.H.Poehch "Fast Power Cycling Test of IGBT Modules in Traction Application" Power electronics and Drive Systems, 1997
- [HER86] A.W.V.Herwaarden, P.M.Sarro "Thermal Sensors Based on the Seebeck Effect" Sensors and Actuators, Vol.10, p.321-346, 1986
- [HUA12] S.Y.Huang, et Al. "Effects of UBM Structure/Material on the Reliability Performance of 3D Chip Stacking with 30µm-pitch Solder Micro Bump Interconnections" Electronic Components and Technology Conferecne, ECTC 2012
- [HUD03] J.L.Hudgins, G.S.Simin, E.Santi, M.A.Khan "An Assessment of Wide Bandgap Semiconductors for Power Devices" IEEE Transactions on Power Electronics, Vol.18, N°3, Mai 2003
- [HUN09] T.Hunger, R.Bayerer "Extended Reliability of Substrate Solder Joints in Power Modules" 13th European Conference on Power Electronics and Applications, p.1-8, 2009
- [IEC99] International Electrotechnical Commission "Mechanical Standardization of Semiconductor Devices", 1999
- [JEA01] P.O.Jeannin "Le transistor MOSFET en commutation : Application aux associations série et parallèle de composants à grille isolée" Thèse de doctorat de l'université de Grenoble, 2001
- [JESD51-1] Electronic Industries Association/JEDEC "Integrated Circuits Thermal Measurement Method - Electrical Test Method (Single Semiconductor Device)" December 1995
- [JESD51-4] Electronic Industries Association/JEDEC "Thermal Test Chip Guideline (Wire Bond Type Chip)" Fevrier 1997
- [JEU02] L.P.H.Jeurgens, W.G.Sloof, F.D.Tichelaar, E.J.Mitteemeijer "Growth kinetics and mechanisms of aluminum-oxide films formed by thermal oxidation of aluminum" Journal of Applied Physics, Vol.92, N°3, Aout 2002

- [JOH05] R.W.Johnson "3D Packaging - A technology Review" Report, Auburn University, Juin 2005
- [JOR05] E.Jordana "Conception, réalisation et caractérisation de grilles en Si polycristallin déposé amorphe à basse température et dopé bore in situ" Thèse de Doctorat de l'Université de Toulouse, 2005
- [KAC12] T.Kachi, D.Kikuta, T.Uesugi "GaN power Device and Reliability for Automotive Applications" IEEE, Reliability Physics Symposium (IRPS), p.3D.1.1-3D.1.4, 2012
- [KAT03] D.C.Katsis, J.D.Wyk "Void-Induced Thermal Impedance in Power Semiconductor Modules: Some Transient Temperature Effects" IEEE Transactions on Industry Applications, Vol.39, N°5, Septembre/Octobre 2003
- [KHA12] Z.Khatir "Junction Temperature Investigations Based on a General Semi-analytical Formulation of Forward Voltage of Power Diodes" IEEE Transactions on Electron Devices, Vol.59, N°6, Juin 2012
- [KHO97] A.M.Khounsary et Al. "Thermal Contact Resistance across a copper-Silicon Interface" SPIE Vol.3151, High Heat Flux and Synchrotron Radiation Beamlines, 1997
- [KOV05] A.A.Kovaleskii, A.V.Dolbik, S.N.Voitek "Effect of Doping on the Temperature Coefficient of Resistance of Polysilicon Films" Russian Microelectronics, Vol.36, N°3, p.153-158, 2007
- [KUH09] H.Kuhn, A.Mertens "On-Line Junction Temperature Measurement of IGBTs Based on Temperature Sensitive Electrical Parameters" Power Electronics and Applications, EPE 2009
- [KUL] Kulicke-Soffa "Process Technologies wirebonding" <http://www.kns.com>
- [LAN08] F.Lang, Y.Hayashi, H.Nakagawa, M.Aoyagi, H.Ohashi "Joint Reliability of Double-Side Packaged SiC Power Devices to a DBC Substrate with High Temperature Solders" 10th Electronics Packaging Technology Conference, 2008
- [LAN09] F.Lang, Y.Hayashi, H.Nakagawa, M.Aoyagi, H.Ohashi "A Novel Three-Dimensional Packaging Method for Al-Metalized SiC Power Devices" IEEE Transactions on Advanced Packaging, Vol.32, N°4, Novembre 2009
- [LEE95] S.M.Lee, D.G.Cahill "Heat Transport in Thin Dielectric Films" Journal of Applied Physics, Vol.81, Issue.6, 1997
- [LEO11] V.Leonov, C.V.Hoof "Multilayer Inorganic Electrets with SiO₂ and Si₃N₄ Layers for Application on Heated Machinery" Smart Materials Research, Vol.2012
- [LEO12] V.Leonov, C.V.Hoof, M.Goedbloed, R.V.Schajik "Charge Injection and Storage in single-layer and multilayer Inorganic electrets based on SiO₂ and Si₃N₄" IEEE Transactions on Dielectrics and Electrical Insulation, Vol.19, Issue.4, 2012
- [LET01] P.Leturcq "Composants semi-conducteurs de puissance bipolaires, Partie 1" Technique de l'ingénieur D.3-106, 2001
- [LET01'] P.Leturcq "Semi-conducteurs de puissance unipolaires et mixtes, Partie 1" Technique de l'ingénieur D.3-108, 2001
- [LIA03] Z.Liang, J.D.Wyk "Planar Metallization Interconnected 3D Multi-Chip Module" Electronic Components and Technology Conference, 2003
- [LIA04] Z.Liang, J.D.Wyk, F.C.Lee, D.Boroyevich, E.P.Scott, E.Chen, Y.Pang "Integrated Packaging of a 1kW Switching Module Using a Novel Planar Integration Technology" IEEE Transactions on Power Electronics, Vol.19, N°1, Janvier 2003
- [LIU00] X.Liu, S.Haque, J.Wang, G.Q.Lu "Packaging of Integrated Power Electronics Modules Using Flip-Chip Technology" Applied Power Electronics Conference and Exposition, APEC 2000
- [LU80] N.C.C.Lu, L.Gerzberg, J.D.Meindl "A Quantitative Model of the Effect of Grain Size on the Resistivity of PolySi Resistors" IEEE Electron Device Letters, Vol.EDL-1, N°3, Mars 1980
- [LU91] C.Z.Lu, M.Z.Wang, X.Gui, G.B.Gao "Fast Measurement of the Peak Junction Temperature of Power Transistors using Electrical Method" 7th IEEE Semi-Therm Symposium, 1991
- [MA09] H.Ma, J.C.Suhling "A review of Mechanical Properties of Lead-free Solders for electronic packaging" Journal of Material Science 44, p1141-1158, 2009
- [MAN09] S. Mandray, J.M.Guichon, J.L.Shanene, M.Mermet, J.M.Dienot "Electromagnetic considerations for designing double-sided power modules" IEEE Transactions On Industry Applications, Vol. 45 N°2 p871-879 Mars/Avril 2009
- [MAN11] V.R.Manikan, K.Y.Cheong "Die Attach Materials for High Temperature Applications: A review" IEEE, Transactions on Components, packaging and Manufacturing Technology, Vol.1, N°4, Avril 2011
- [MAR12] A.Marcault "Contribution à la Conception d'un indicateur de vieillissement lié à l'état mécanique de composants électronique de puissance" Thèse de Doctorat Université de Toulouse, 2012
- [MAS07] F.N.Masana "Thermal Impedance Measurement under Non-Equilibrium Condition: How to extend its validity" Microelectronics Reliability 48, p563-568, 2007
- [MCC01] A.D.McConnell, S.Uma, K.E.Goodson "Thermal Conductivity of Doped Polysilicon Layers" Journal Of MEMS, Vol.10, N°3, Septembre 2001

- [MEN06] L.Menager, C.Martin, B.Allard, V.Bley "Industrial and Lab-scale Power Module Technology - A review" IEEE Industrial Electronics, IECON 2006
- [MEN08] L.Menager "Contribution à l'intégration des convertisseurs de puissance en 3D" Thèse de doctorat L'institut National des Sciences Appliquées de Lyon 2008
- [MER04] C.Mertens, J.Rudzki, R.Sittig "Top-Side Chip Contacts with Low Temperature Joining Technique (LTJT)" 35th Annual Electronics Specialists Conference 2004
- [MER06] M.Mermet-Guyennet "New Structure of Power Integrated Module" Integrated Power Systems, CIPS 2006
- [MER08] M.Mermet-Guyennet, A.Castellazzi, P.Lasserre, J.Saiz "3D Integration of Power Semiconductor Devices based on Surface Bump Technology" Integrated Power Systems, CIPS 2008
- [MEY95] T.A.Meynard, H.Foch "Multilevel Converters and Derived Topologies for High Power Conversion" Industrial Electronics, Control, and Instrumentation, IECON 1995
- [MIL_STD_750D] "Test Method Standard Semiconductor Devices" 1995
- [MIL12] J.Millan "A Review of WBG Power Semiconductor Devices" International Semiconductor Conference, Vol.1, p.57-66, Octobre 2012
- [MIN62] S.Minora, G.A.Samara, H.G.Drickamer "Temperature Coefficient of Resistance of the High Pressure Phases of Si, Ge, and Some III-V and II-VI Compounds" Journal of Applied Physics, Vol.33, N°11, Novembre 1962
- [MOH95] S.N.Mohammad, A.A.Salvador, H.Morkoc "Emerging Gallium Nitride Based Devices" Proceedings of the IEEE, Vol.83, N°10, Octobre 1995
- [MOK12] A.Mokhtari "Réalisation d'un onduleur incluant un système de surveillance de la température des composants de puissances en fonctionnement" Mémoire de master 2 recherche de l'université de grenoble, 2012
- [MOU11] B.Mouawad, C.Buttay, M.Soueidan, H.Morel, B.Allard, D.Fabbregue, V.Bley "Process optimisation and Characterization of a new interconnection based in Nano Copper Wires Compatible with Three-dimensional Integration in power Electronic", 2011
- [MOU12] B.Mouawad, C.Buttay, M.Soueidan, H.Morel, B.Allard, D.Fabbregue, V.Bley "Sintered molybdenum for a metallized ceramic substrate packaging for the wide-bandgap devices and high temperature applications" 24th International Symposium on Power Semiconductor Devices and Ics, Juin 2012
- [MOU12"] B.Mouawad, C.Buttay, M.Soueidan, H.Morel, B.Allard, D.Fabbregue, V.Bley "Application of the Spark Plasma Sintering Technique to Low-Temperature Copper Bonding" IEEE, Transactions on Components, Packaging and Manufacturing Technology, Vol.2, n°4, Avril 2012
- [MOU12"] B.Mouawad, C.Buttay, M.Soueidan, H.Morel, B.Allard, D.Fabbregue, V.Bley "3-Dimensional, Solder-Free Interconnect Technology for High-Performance Power Modules" Integrated Power Systems, CIPS 2012
- [MUR78] K.V.V.Murthy, R.E.Bedford "Technique to Low-Temperature Copper Bonding" IEEE Transactions on Circuits and Systems, Vol.25, N°4, Avril 1978
- [NEG12] Association NEGAWATT "Manifeste NEGAWATT, réussir la transition énergétique" Coédition Actes Sud/Colibris, Collection : Domaine du possible, 2012
- [NEU02] P.G.Neudeck, R.S.Okojie, L.Y.Chen "High-Temperature Electronics - A Role for Wide-Bandgap Semiconductors ?" Proceedings of the IEEE, Vol.90, N°6, Juin 2002
- [NGU04] H.V.Nguyen, et Al. "Effect of Thermal Gradients on the electromigration lifetime in Power Electronics" 42th Annual International Reliability Physics Symposium, Phoenix, 2004
- [NOW08] M.Nowak, J.Rabkowski, R.Barlik "Measurement of Temperature Sensitive Parameter Characteristics of Semiconductor Si and SiC Power Devices" Power Electronics and Motion Control Conference, EPE-PEMC 2008
- [OET73] F.Oettinger, R.L.Gladhill "Thermal Response Measurement for Semiconductor Device Die Attachment Evaluation" Electron Devices Meeting, 1973
- [OLD04] F.Oldervoll, F.Strisland "Wire-Bond Failure Mechanisms in Plastic Encapsulated Microcircuits and ceramic hybrids at High temperature" Microelectronics Reliability 44, p.1009-1015, 2004
- [OUS11] J.P.Ousten, Z.Khatir "Study of Thermal Interfaces Aging for Power Electronics Applications" Power Electronics and Applications, EPE 2011
- [OZM00] B.Ozmat, C.S.Korman, R.Fillion "An Advanced Approach to Power Module Packaging" Integrated Power Packaging, 2000
- [OZM00"] B.Ozmat, et Al. "A New Power Module Packaging Technology for Enhanced Thermal Performance" Inter Society Conference on Thermal Phenomena, 2000
- [PAS10] C.Passagrilli, B.Vitali, R.Tiziani, C.Azzopardi "Cu Wire Bonding: Reliability Improvement for High-Temperature in Plastic Packages" Microelectronics and Packaging Conference, EMPC 2009
- [PFI90] J.R.Pfiester et Al. "The Effects of Boron Penetration on p+ Polysilicon Gated PMOS Devices " IEEE Transactions on Electron Devices, Vol.37, N°8, Aout 1990

- [PHI71] E.Philofsky, K.Ravi, E.Hall, J.Black "Surface Reconstruction of Aluminum Metallization -- A New Potential Wearout Mechanism" 9th Annual Reliability Physics Symposium, p.120-128, Mars 1971
- [PIE09] S.Pietranico, S.Pommier, S/Lefebvre, S.Pattofatto "Thermal Fatigue and Failure of Electronic Power Device Substrates" International Journal of Fatigue, Vol.31, p.1911-1920, Septembre 2009
- [PSEC] http://www.psec.uchicago.edu/thermal_coefficientscte_metals_05517-90143
- [RAE96] S.Rael "Methodologie de Conception des modules de puissance. Etude électrothermique de l'association parallèle" Thèse de doctorat INPG, 1996
- [RAM06] M.S.Raman, T.Kifle, E.Bhattacharya, K.K.Bhat "Physical Model for the Resistivity and temperature Coefficient of Resistivity in Heavily Doped Polysilicon" IEEE Transactions on Electron Devices, Vol.53, N°8, Aout 2006
- [RAM98] S.Ramminger, P.Turkes, G.Wachutka "Crack Mechanism in Wire Bonding Joints" Microelectronics Reliability 38, p.1301-1305, 1998
- [RAO03] V.V.Rao, K.Bapurao, J.Nagaraju, M.V.Murthy "Instrumentation to Measure Thermal Contact Resistance" Measurement Science And Technology, 15, p.275-278, 2004
- [REN00] M.Rencz "The Increasing importance of Thermal Test Dies" Electronics Cooling, September 2000
- [REN03] M.Rencz "New possibilities in the thermal evaluation, offered by transient testing" Microelectronics Journal 34, p.171-177, 2003
- [RIN97] G.A.Rinne "Solder Bumping Methods for Flip Chip Packaging" Electronic Components and Technology Conference, 1997
- [ROU04] N.Roux "Nouveaux Mecanismes de commutation exploitant les protections intégrées des semi-conducteurs de puissance. Application à la conception de convertisseurs statiques à commutation automatique" Thèse de doctorat de l'université de Grenoble, 2004
- [RUS10] S.Russo, L.L.Spina, V.Alessandro, N.Rinaldi, L.K.Nanver "Influence of layout design and on-wafer heatspreaders on the thermal behavior of fully-isolated bipolar transistors: Part II – Dynamic analysis" Solid-State Electronics 54, p.754-762, 2010
- [RYD00] M.Rydberg, U.Smith "Temperature Coefficient of Resistivity in Heavily Doped Oxygen-Rich Polysilicon" Journal of the Electrochemical Society, 148, Novembre 2001
- [RYD00'] M.Rydberg, U.Smith "Influence on the Long-Term Stability of Polysilicon Resistors from Traces of Titanium and Tungsten" Journal of the Electrochemical Society, 147, Mai 2000
- [SAR98] S.F.Al-Sarawi, D.Abbott, P.D.Franzon "A Review of 3-D Packaging Technology" IEEE, Transactions on Components, Packaging and Manufacturing Technology - PartB, Vol.21, N°1, Février 1998
- [SCH05] H.Schneider, J.L.Sanchez, J.Achard "The diamond for power electronic devices" Power Electronics and Applications, European Conference, 2005
- [SCH09] R.Schmidt, U.Scheuermann "Using the chip as a Temperature Sensor - The influence of steep lateral temperature gradients on the Vce(T)-measurement" 13th European Conference on Power electronics and Applications 2009
- [SEL02] N.Seliger, E.Wolfgang, G.Lefranc, H.Berg, T.Licht "Reliable power electronics for automotive applications" Microelectronics Reliability, Vol.42, Issues.9-11, p.1597-1604 Septembre/Novembre 2002
- [SEMI-G46-88] SEMI "Test Method for Thermal Transient Testing For Die Attachment Evaluation of Integrated Circuits" Military Standards, Naval Publications and Form Center, 1996
- [SHO63] W.Shockley, H.J.Queisser, W.W.Hooper "Charges in Oxidized Silicon Surfaces" Physical Review Letters, Vol.11, Issue.11, The American Physical Society, 1963
- [SIE08] B.Siegal, J.Galloway "Thermal Test Chip Design and Performance Considerations" 24th, IEEE Semi-Therm Symposium, 2008
- [SOF95] J.W.Sofia "Analysis of Thermal Transient Data with Synthesized Dynamic Models for Semiconductor Devices" IEEE, Transactions on Components, Packaging and Manufacturing Technology--Part 1, Vol.18, N°1, Mars 1995
- [SOF95'] J.W.Sofia "Fundamentals of Thermal Resistance Measurement" Analysis Tech, 1995
- [SOF97] J.W.Sofia "Electrical Temperature Measurement Using Semiconductors" Electronics Cooling, Vol.3, N°1, Janvier 1997
- [SPR88] A.J.Sprenkels, W.Olthius, P.Bergveld "The Application of Silicon Dioxide as an Electret Material" 6th International Conference Symposium on Proceedings, p.165-169, 1988
- [SUA92] J.E.Suarez, B.E.Johnson, B.El-Kareh "Thermal Stability of Polysilicon Resistors" IEEE Transactions on Components, Hybrids and Manufacturing Technology, Vol.15, N°3, Juin 1992
- [SUH01] E.Suhir "Analysis of interfacial thermal stresses in a trimaterial assembly" Journal of Applied Physics, Vol.89, N°7, Avril 2001
- [SUH06] E.Suhir "Interfacial thermal stresses in a bi-material assembly with a low-yield-stress bonding layer" Modelling Simul. Mater. Sci. Eng. 14, p.1421-1432, 2006

- [SUH89] E.Suhir "*Stresses in Bi-Metal Thermostats*" Journal of Applied Physics, Vol.53, Septembre 1986
- [SUH91] E.Suhir "*Mechanical Behavior Of Materials In Microelectronic And Fiber-Optic Structures: Application Of Analytical Modeling - Review*" Materials Research Society, Vol.226, 1991
- [SUJ05] D.Sujan, M.V.V.Murthy, K.N.Seetharamu, A.Y.Hassan "*Complete Model for Interfacial Stresses of a Two Layered Structure*" 6th International Conference on Thermal, Mechanical and Multiphysics Simulation and Experiments in Micro-Electronics and Micro-Systems, 2005
- [SYL00] A.J.Syllaios et Al. "*Amorphous Silicon Microbolometer Technology*" Material Research Society Symposium Proceedings, Vol.609, 2000
- [SZA05] P.Szabo, O.Steffens, M.Lenz, G.Farkas "*Transient Junction-to-case Thermal Resistance Measurement Methodology of High Accuracy and High Repeatability*" IEEE Transactions on Components and Packaging Technologies, Vol.28, N°4, December 2005
- [SZE06] S.M.Sze, K.K.Ng "*Physics of Semiconductor Devices, 3rd Edition*" J.Wiley&Sons, 2006
- [SZE97] V.Szekely "*A new Evaluation method of Thermal Transient Measurement Results*" Microelectronics Journal 28, p.277-292, 1997
- [SZE98] V.Szekely "*Identification of RC Networks by Deconvolution: Chances and Limits*" IEEE, Transactions on Circuits and Systems--I: Fundamental Theory and Applications, Vol.45, N°3, Mars 1998
- [TAI88] Y.C.Tai, C.H.Mastrangelo, R.S.Muller "*Thermal conductivity of heavily doped lowpressure chemical vapor deposited polycrystalline silicon films*" Journal of Applied Physics, Vol.63, Mars 1988
- [TAY87] P.D.Taylor "*Thyristor Design and Realization*" Design And Measurement in Electrical and Electronic Engineering, Mars 1987
- [THO09] B.Thollin "*Packaging des composants actifs de puissance : caractérisation thermique des interfaces faiblement pressées*" Stage de master recher EEATS de l'université de Grenoble, Juin 2009.
- [TOL03] L.M.Tolbert, B.Ozpineci, S.K.Islam, M.S.Chinthavali "*Wide Bandgap Semiconductors for Utility Applications*" Power And Energy Systems, 2003
- [TSU93] T.Tsunoda, T.Matsuda, Y.Nakadaira, H.Nakayama, Y.Sasada "*Low Inductance Module Construction for High Speed, High Current IGBT Module Suitable for Electric Vehicle Application*" 5th International Symposium on Power Semiconductor Devices and Ics, 1993
- [VAG07] E.Vagnon "*Conception et caractérisation électro-thermique de fonctions d'encapsulation pour composants actifs double-face*" Master Recherche EEATS, Université de Grenoble, 2007
- [VAG08] E.Vagnon, J.C.Crebier, Y.Avenas, P.O.Jeannin "*Study and Realization of a Low Force 3D Press-Pack Power Module*" Power Electronics Specialists Conference, PESC 2008
- [VAG10] E.Vagnon, J.C.Crebier, Y.Avenas, P.O.Jeannin "*A Bus-Bar-Like Power Module Based on Three-Dimensional Power-Chip-On-Chip Hybrid Integration*" IEEE Transactions on Industry Applications, Vol.46, N°5, Septembre Octobre 2010
- [VAG10'] E.Vagnon "*Solutions innovantes pour le packaging de convertisseurs statiques polyphasés*" Thèse de Doctorat de l'université de Grenoble, 2010
- [VIG00] T.Vignerot "*Elements Sensibles à Résistance Métallique et Thermomètres étalons*" Technique de l'ingénieur, R2-525, 2000
- [WAK02] F.Wakeman, G.Lockwood, M.Davies "*New high reliability bondless pressure contact IGBTs*" IXYS, Corporation, 2002
- [WAN00] K.Wang, Y.Huang, A.Chandra, K.X.Hu "*Interfacial Shear Stress, Peeling Stress, and Die Cracking Stress in Trilayer Electronic Assemblies*" Inter Society Conference on Thermal Phenomena, 2000
- [WAN07] T.Wang, X.Chen, G.Q.Lu, G.Y.Lei "*Low-Temperature Sintering with Nano-Silver Paste in Die-Attached Interconnection*" Journal of Electronics Materials, Vol.36, N°10, 2007
- [WEN01] S.S.Wen, D.Huff, G.Q.Lu "*Design and Thermo-mechanical Analysis of a Dimple-Array Interconnect Technique for Power Semiconductor Devices*" Electronic Components and Technology Conference, 2001
- [WEN01'] S.S.Wen, D.Huff, G.Q.Lu "*Enhancement of Thermal Fatigue Reliability of Power Semiconductor Interconnects Using Dimple-Array Solder Joints*" Power Electronics Specialists Conference, PESC 2001
- [WEN01''] S.S.Wen, D.Huff, G.Q.Lu "*Dimple-Array Interconnect Technique for Packaging Power Semiconductor Devices and Modules*" Proceedings of International Symposium on Power Semiconductor Devices and Ics, 2001
- [WEN02] S.S.Wen, Z.Liang, F.C.Lee, G.Q.Lu "*Thermal Performance of a Power Electronics Module Made by Thick-Film Planar Interconnection of Power Devices*" Inter Society Conference on Thermal Phenomena, 2002
- [WON99] W.Wondrak "*Physical Limits and Lifetime Limitations of Semiconductor Devices at High Temperatures*" Microelectronics Reliability 39, p.1113-1120, 1999
- [WYK05] J.D.Wyk, F.C.Lee, Z.Liang, R.Chen, S.Wang, B.Lu "*Integrating Active, Passive and EMI-Filter Functions in Power Electronics Systems: A case Study of Some Technologies*" IEEE Transactions on

- Power Electronics, Vol.20, N°3, Mai 2005
- [XIN98] K.Xing, F.C.Lee, D.Boroyevich "*Extraction of Parasitics within Wire-Bond IGBT Modules*" Applied Power Electronics Conference and Exposition, APEC 1998
- [YAM01] T.Yamane, N.Nagai, S.I.Katayama, M.Todoki "*Measurement of thermal conductivity of silicon dioxide thin films using a 3 ω Method*" Journal of Applied Physics, Vol.91, N°12, Juin 2002
- [YAM11] S.Yamasaki et Al. "*Diamond Power Devices, Possibility of High Voltage Applications*" 1st international Conference on Electric Power Equipment, 2011
- [YAM89] S.E.Yamada "*A Fracture Mechanics Approach to Soldered Joint Cracking*" IEEE, Transactions on Components, packaging and Manufacturing Technology, Vol.12, Issue.1, p.99-104, Mars 1989
- [YER83] A.J.Yerman, J.F.Bruggess, R.O.Carlson, C.A.Neugebauer "*Hot Spots Caused by Voids and Craacks in the Chip Mountdown Medium in Power Semiconductor Packaging*" IEEE, Transactions on Components, Hybrids and Manufacturing Technology, Vol. CHMT-6; N°4, Décembre 1983
- [YIN05] J.Yin, Z.Liang, J.D.Wyk "*High Temperature Embedded Power Module*" Applied Power Electronics Conference and Exposition, APEC 2005
- [YIN06] J.Yin, J.D.Wyk, W.G.H.Odendaal "*Comparison of Transient Thermal Parameters for Different Die-Connecting Approaches*" IEEE Transactions on Industry Applications, Vol.42, N°6, Novembre/Décembre 2006
- [YOV05] M.M.Yovanovich "*Four Decades of Research on Thermal Contact, Gap, and Joint Resistance in Microelectronics*" IEEE Transactions on Components and Packaging Technologies, Vol.28, N°2, Juin 2005
- [ZAR95] J.Zarebski, K.Gorecki "*A Method of the BJT Transient Thermal Impedance Measurement with Double Junction Calibration*" 11th Semi-Therm Symposium, 1995
- [ZEN02] N.Zeng, K.N.Tu "*Six Cases of Reliability Study of Pb-free Solder Joints in Electronic Packaging Technology*" Material Science and Engineering R38, 2002
- [ZHA00] S.Zao, J.K.O.Sin "*Double-Side Packaged, High Power IGBTs for Improved Thermal and Switching Characteristics*" ISPSD'2000, Mai 2000
- [ZHA11] T.Zhang, I.Perez-Wurfl, B.Berghoff, S.Suckow, G.Conibeer "*Optical evaluation of doping concentration in SiO₂ doping source layer for silicon quantum dot materials*" EPJ Photovoltaics, Vol.2, 2011
- [ZHO10] X.F.Zhou, H.Zhang, Y.Li, X.D.Tang, Q.M.Chen, P.X.Zhang "*Giant Temperature Coefficient of Resistance in ZnO/Si(111) Thin Film*" Chinese Physical Society Letters, Vol.27, N°1, 2010

Annexe 1 Modèle de contraintes thermomécaniques à l'interface d'une structure bicouche

D'après les articles [SUJ05] et [SUH89]

Ces modèles permettent d'étudier les contraintes de cisaillement et de délamination dues aux déformations thermomécaniques qui apparaissent à l'interface de deux plaques fines de matériaux différents.

Les contraintes dues aux changements et aux gradients de température dépendent de la géométrie de la structure ainsi que des propriétés intrinsèques des matériaux.

- Paramètres intrinsèques influant ces efforts :
 - Le module de Young (ou module d'élasticité) $\rightarrow E_i$
 - Le coefficient de Poisson (constante élastique) $\rightarrow \nu_i$
 - Le coefficient d'expansion thermique (CTE) $\rightarrow \alpha_i$
 - Le module de cisaillement $\rightarrow G_i = \frac{E_i}{2(1 + \nu_i)}$
- Paramètres dues à la géométrie influant ces efforts :
 - L'épaisseur des couches $\rightarrow h_i$ avec $h = h_1 + h_2$
 - La rigidité de flexion $\rightarrow D_i = \frac{E_i \times h_i^3}{12(1 - \nu_i^2)}$ Effective : $D = D_1 + D_2$
 - La souplesse axiale (Axial compliance) $\rightarrow \lambda_i = \frac{1}{E_i \times h_i}$
 - La souplesse d'interface (Interfacial compliance) $\rightarrow K_i = \frac{h_i}{3G_i}$ et $K = K_1 + K_2$
 - Le rayon de courbure $\rightarrow R$ avec $Courbure = \frac{1}{R}$
- Autres notations :
 - Contraintes de cisaillements $\rightarrow \tau$
 - Force $\rightarrow F = \int_{-L}^x \tau dx$
 - Moment $\rightarrow M_i = \frac{D_i}{R}$ (1)
 - $K_i = \frac{2(1 + \nu_i)h_i}{3E_i}$

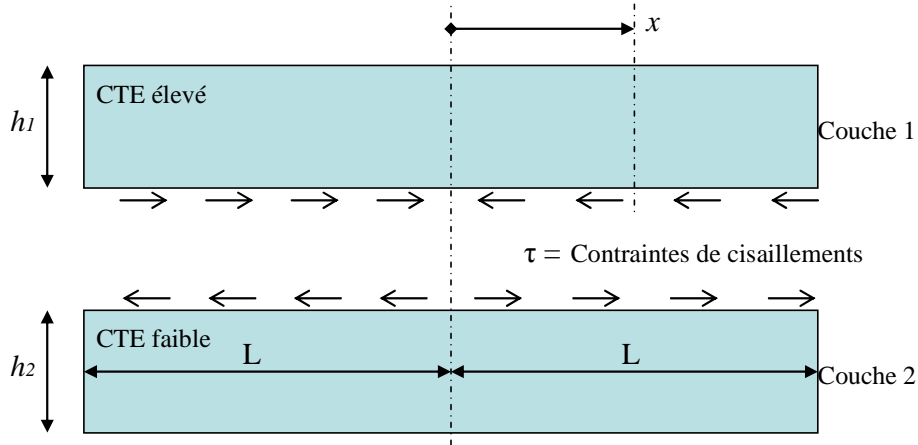


Figure 169 : Schéma du modèle bicouche

On peut écrire la condition d'équilibre des déplacements de part et d'autre de la surface de contact :

$$U_{x(1)} - U_{x(2)} = 0 \quad (2)$$

Ce qui permet d'obtenir la relation sur les efforts axiaux : $\epsilon_{x(1)} = \epsilon_{x(2)}$ (3)

$$\text{Avec } \epsilon_{x(1)} = \frac{dU_i}{dx}$$

Les modèles dépendent des différences de température qui s'appliquent :

1) Différentiel de température uniforme dans les 2 couches

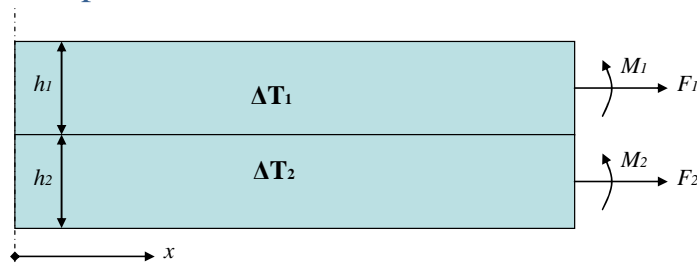


Figure 170 : Système bicouche assemblé avec un différentiel uniforme de température

Les moments résultants sur l'axe Z à x et y=0 sont données par :

$$M_1 + M_2 - \frac{1}{2}(h_1 + h_2)F = 0 \quad (4)$$

D'après (1), on obtient : $\frac{1}{R} = \frac{hF}{2D}$ (5)

On obtient les efforts suivants :

$$\left. \begin{aligned} \epsilon_{x(1)} &= \alpha_1 \Delta T_1 + \lambda_1 F_1 + \frac{h_1}{2R} - K_1 \frac{d\tau}{dx} \\ \epsilon_{x(2)} &= \alpha_2 \Delta T_2 + \lambda_2 F_2 + \frac{h_2}{2R} - K_2 \frac{d\tau}{dx} \end{aligned} \right\} \text{Efforts de cisaillements} \quad (6)$$

↑ Changements de température
 ↑ Forces axiales
 ↑ Changements de courbure

Ces efforts sont dus aux différentes composantes énoncées ci-dessus. D'après (3) on peut obtenir l'équation simplifiée suivante :

$$(\alpha_1 \Delta T_1 - \alpha_2 \Delta T_2) + (\lambda_1 F_1 - \lambda_2 F_2) + \frac{h}{2R} - K \frac{d\tau}{dx} = 0 \quad (7)$$

$$\text{Avec } \lambda = \lambda_1 + \lambda_2 + \frac{h^2}{4D}$$

On pose $\mu^2 = \frac{\lambda}{K}$ ce qui permet d'obtenir une forme simple de la résolution de l'équation différentielle : $\tau = C_1 \sinh(\mu x) + C_2 \cosh(\mu x)$ (8)

Les conditions aux limites, à $x=0$, $\tau=0$ et à $x=L$, $F_1=F_2=0$ permettent d'obtenir cette forme dont les termes sont connues en fonction de la position : $\tau = \frac{(\alpha_1 \Delta T_1 - \alpha_2 \Delta T_2)}{K\mu \cosh(\mu L)} \sinh(\mu x)$ (9)

On introduit deux paramètres permettant d'alléger l'écriture : $m = \frac{\Delta T_2}{\Delta T_1}$ et $n = \frac{\alpha_2}{\alpha_1}$ et on pose

$$A_1 = (1 - mn) \text{ afin de réécrire (9) : } \tau(x) = \frac{\alpha_1 \Delta T_1 A_1}{K\mu \cosh(\mu L)} \sinh(\mu x) \quad (10)$$

Les contraintes de délaminage $P(x)$, (peeling stress) qui sont les contraintes normales à l'interface sont obtenues par l'équilibre des moments. On peut observer sur la figure 171 un morceau élémentaire de la couche 1 faisant apparaître les contraintes de délaminéation.

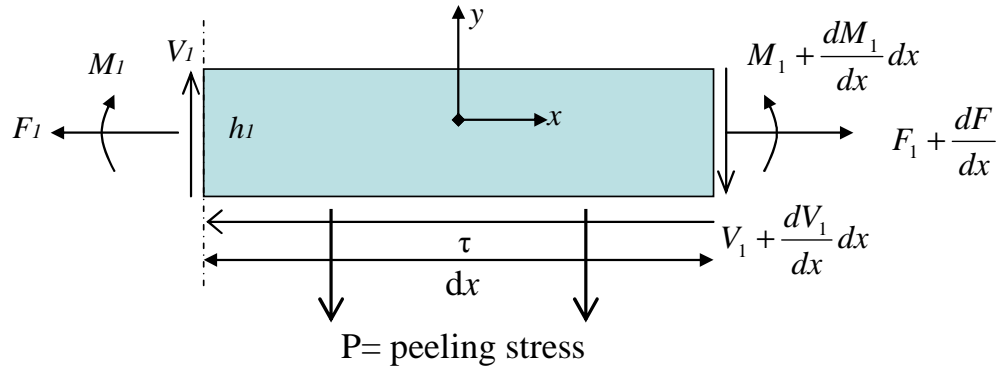


Figure 171: Élément infinitésimal de la couche 1

A l'équilibre, la somme des forces suivant y est nulle $\sum F_y = 0$ d'où $P = -\frac{dV_1}{dx}$. (11)

On obtient : $V_1 = \frac{d}{dx} (M_1 - \frac{h_1}{2} F)$ (12)

D'après (4), (12) devient : $V_1 = \alpha \frac{dF}{dx}$ avec $\alpha = \frac{D_1 h_2 - D_2 h_1}{2D}$ or $\frac{dF}{dx} = \tau$

$$\text{Donc : } V_1 = \alpha\tau \text{ et d'après (11) } P = -a \frac{d\tau}{dx} \quad (13)$$

D'après (10) et (13) on peut obtenir l'expression de la force de délaminage P :

$$P(x) = \frac{(h_1 D_2 - h_2 D_1)}{2D} \frac{\Delta T_1 \alpha_1 A_1}{K\mu \cosh(\mu L)} \cosh(\mu x) \quad (14)$$

On peut déterminer les contraintes de cisaillements et de délaminage de façon analytique en utilisant (10 et 14) pour différentes valeurs de m et n . On constate que lorsque la température est la même dans les 2 matériaux, ces 2 équations correspondent au modèle de SUHIR qui suit :

$$\left\{ \begin{array}{l} P(x) = \frac{(h_1 D_2 - h_2 D_1)}{2D} \frac{\Delta T_1 (\alpha_1 - \alpha_2)}{K\mu \cosh(\mu L)} \cosh(\mu x) \end{array} \right. \quad (15)$$

$$\left\{ \begin{array}{l} \tau(x) = \frac{\Delta T (\alpha_1 - \alpha_2)}{K\mu \cosh(\mu L)} \sinh(\mu x) \end{array} \right. \quad (16)$$

2) Gradient linéaire de température dans les 2 couches

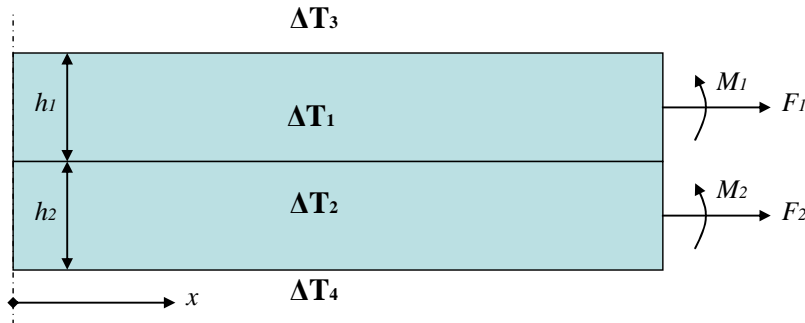


Figure 172 : Gradients de température linéaire dans un assemblage bicouche

Dans ce cas d'étude il faut exprimer deux courbures, une de part et d'autre d'une couche, cette différence étant due à la variation de température à l'intérieur de la couche. Ce changement de courbure peut-être exprimé :

$$\frac{1}{R_1(T)} = \frac{\alpha_1}{h_1} (\Delta T_1 - \Delta T_3) \quad \frac{1}{R_2(T)} = \frac{\alpha_2}{h_2} (\Delta T_4 - \Delta T_2) \quad (17)$$

On peut noter que $\frac{1}{R_1(T)}$ et $\frac{1}{R_2(T)}$ sont les rayons de courbure de la couche supérieure et inférieure, provoqués par la variation de température seulement si ils sont libre de se dilater. Or elles sont solidaire donc possède le même rayon de courbure R avec :

$$\frac{1}{R} = \frac{1}{R_1(T)} + \frac{M_1}{D_1} = \frac{1}{R_2(T)} + \frac{M_2}{D_2} \quad (18)$$

On peut définir l'expression des moments (figure 172) :

$$M = M_1 + M_2 = \frac{hF}{2} \text{ Avec } M_i = \frac{D_i}{R} \quad (19)$$

L'écriture de la courbure est de la forme suivante :

$$\frac{1}{R} = \frac{1}{R_1(T)} \frac{D_1}{D} + \frac{1}{R_2(T)} + \frac{D_2}{D} + \frac{hF}{2D} \quad (20)$$

Considérant la modification de la valeur de la courbure l'écriture de (10 et 14) devient :

$$\left\{ \begin{array}{l} \tau = \frac{\alpha_1 \Delta T_1 (A_1 + A_2)}{K\mu \cosh(\mu L)} \sinh(\mu x) \end{array} \right. \quad (21)$$

$$\left\{ \begin{array}{l} P = \frac{(h_1 D_2 - h_2 D_1)}{2D} \frac{\alpha_1 \Delta T_1 (A_1 + A_2)}{K\mu \cosh(\mu L)} \cosh(\mu x) \end{array} \right. \quad (22)$$

$$\text{Où } A_2 = \beta_1 \gamma_1 - mn \beta_2 \gamma_2 \quad \text{avec : } \beta_1 = \frac{\Delta T_1 - \Delta T_3}{\Delta T_1} ; \quad \beta_2 = \frac{\Delta T_2 - \Delta T_4}{\Delta T_2} ; \quad \gamma_1 = \frac{hD_1}{2h_1 D} ;$$

$$\gamma_2 = \frac{hD_2}{2h_2 D}$$

$$\text{Soit } A_2 = \frac{\Delta T_1 - \Delta T_3}{\Delta T_1} \times \frac{hD_1}{2h_1 D} - \frac{\Delta T_2}{\Delta T_1} \times \frac{\alpha_2}{\alpha_1} \times \frac{\Delta T_2 - \Delta T_4}{\Delta T_2} \times \frac{hD_2}{2h_2 D}$$

3) Génération de chaleur dans la puce

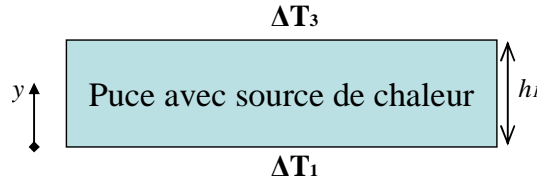


Figure 173 : Section d'une puce avec source de chaleur

En pratique, la chaleur est généralement générée dans la puce. L'équation différentielle qui s'applique est de la forme :

$$\frac{d^2 T}{dy^2} + \frac{\Phi}{k'} = 0 \quad (23)$$

Dans la quelle Φ est le flux de chaleur et k' la conductivité thermique du matériau de la puce (du silicium dans la majeure partie des cas).

En appliquant les conditions aux limites (à $y=0$, $\Delta T=\Delta T_1$ et à $y=h_1$, $\Delta T=\Delta T_2$) la solution de l'équation différentielle (23) est :

$$\Delta T = \frac{\Phi}{2k'} (h_1 - y)y - \frac{(\Delta T_1 - \Delta T_3)}{h_1} y + \Delta T_1 \quad (24)$$

Annexe 2 Evolution de la caractéristique I/V d'une diode de puissance

L'évolution de la caractéristique électrique d'une diode en fonction de la température présentée figure 174 est issue de mes travaux de stage de master recherche effectués en 2009 [THO09] visant à utiliser le paramètre thermosensible en régime d'avalanche.

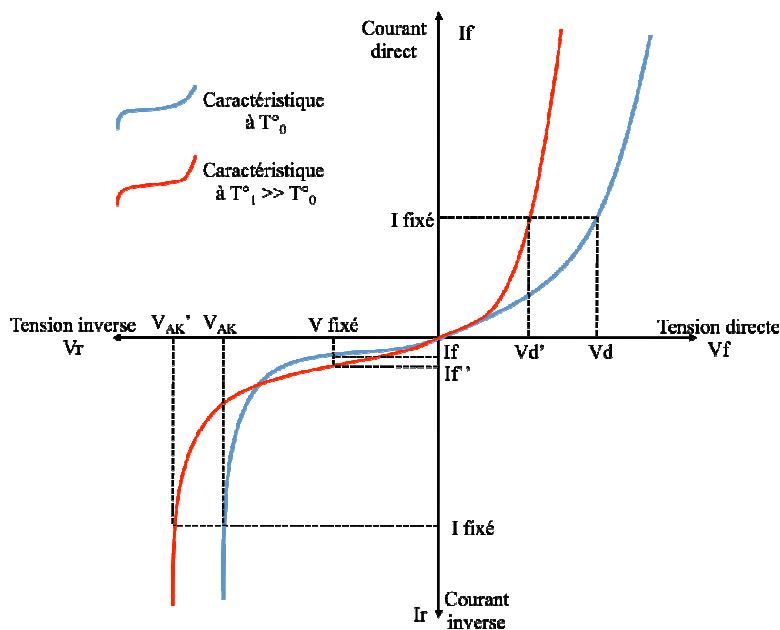


Figure 174 : Modification de la caractéristique Courant/Tension d'une diode en fonction de la température [THO09]

On peut extraire de ces courbes trois PTS permettant de déterminer la température de jonction du composant :

- La chute de tension en polarisation directe (V_d), qui peut se faire à niveau de courant faible ou élevé;
- Le courant de fuite à tension inverse fixé (I_f) ;
- La tension d'avalanche à courant inverse fixé (V_{AK}).

Annexe 3 Impact de l'intégration des capteurs sur leur fonctionnement

Dans l'instrumentation de la puce de test, les RTD intégrés dans la métallisation doivent influencer le moins possible sur le fonctionnement du composant de puissance tout en étant les plus représentatifs au niveau de la mesure de température. Les principaux facteurs qui vont influencer sur la température des capteurs sont les suivants :

- Le courant de mesure qui parcourt la RTD peut entraîner un auto échauffement par effet joule du serpent in en Polysilicium;
- Les couches servant d'isolant électrique (SiO_2 et Si_3N_4) n'étant pas d'excellents conducteurs thermiques, le flux de chaleur et les lignes de courant dans le composant s'en trouvent déformés.

Ces phénomènes doivent être étudiés afin d'en vérifier l'impact sur la précision de mesure. Les serpentins en Polysilicium sont pris en sandwich entre deux couches d'isolant électrique dont la conductivité thermique est bien inférieure à celle des métaux de métallisation (Al) et du substrat en silicium monocristallin. L'oxyde de silicium SiO_2 a une conductivité thermique de l'ordre de $1,3\text{W}\cdot\text{m}^{-1}\cdot\text{K}^{-1}$ en dépôt par oxydation thermique [YAM01]. Concernant le nitrure de silicium Si_3N_4 déposé par PECVD (« Plasma-enhanced chemical vapor deposition ») les valeurs disponibles dans la littérature peuvent varier et sont comprises entre 1,3 et $19\text{W}\cdot\text{m}^{-1}\cdot\text{K}^{-1}$ [ARX00 BEI07 ERI97 LEE95 FRA10]. Les conditions de dépôt exposées dans [BEI07] sont les plus proches de celles utilisées pour la fabrication de la VETTC, conformément à ces travaux, nous considérerons donc une conductivité thermique proche de celle du SiO_2 ($1,3\text{W}\cdot\text{m}^{-1}\cdot\text{K}^{-1}$) pour se placer dans le cas le plus défavorable. Les propriétés de ces diélectriques sont loin des conductivités thermiques de l'aluminium, du silicium ou même du Polysilicium [TAI88] respectivement 235, 145 et $30\text{W}\cdot\text{m}^{-1}\cdot\text{K}^{-1}$. Ces valeurs sont résumées dans le tableau 21. Les propriétés thermiques des couches diélectriques sont des barrières à la diffusion de la chaleur produite par le courant de mesure dans le Polysilicium. Afin de vérifier l'impact de l'isolation des capteurs sur la mesure de température, une approche analytique et une simulation numérique par éléments finis (COMSOL 4.2) ont été réalisées.

Tableau 21 : Conductivité thermique des matériaux de la VETTC

Matériaux	λ [$\text{W}\cdot\text{m}^{-1}\cdot\text{K}^{-1}$]	Source
SiO_2	1,3	[YAM01]
Si_3N_4	1,3	[BEI07]
Aluminium	235	
Polysilicium	30	[TAI88]
Silicium	145	

1) Auto échauffement du capteur par le courant de mesure

Afin d'étudier de manière analytique l'élévation de température du capteur, quelques hypothèses simplificatrices ont été faites :

- Le serpentin en Polysilicium est modélisé par un parallélépipède rectangle ;
- Les transferts thermiques n'ont lieu que sur les faces supérieures et inférieures du parallélépipède « Polysilicium » ;
- Les températures des faces externes de la métallisation et du substrat sont identiques et égales à la température ambiante (T_{ref});
- Seuls les transferts thermiques par conduction sont pris en compte ;
- La dissipation de puissance dans le capteur est uniforme dans tout le volume ;
- La température est uniforme au sein du Polysilicium.

Par analogie électrique on peut définir le système thermique par le schéma électrique représenté sur la figure 176.

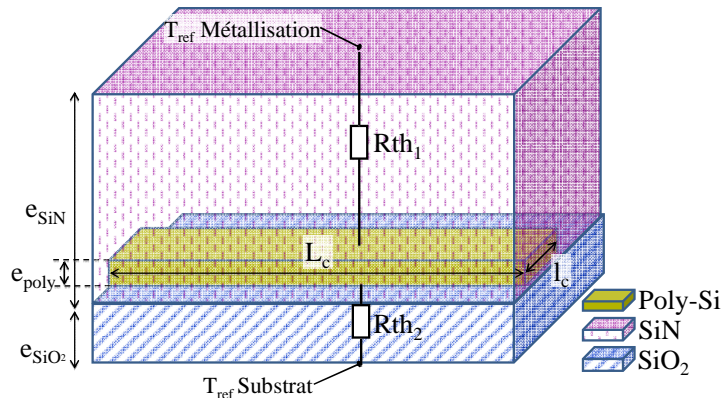


Figure 175 : Schéma symbolique pour le calcul analytique de l'élévation de température due au courant de mesure

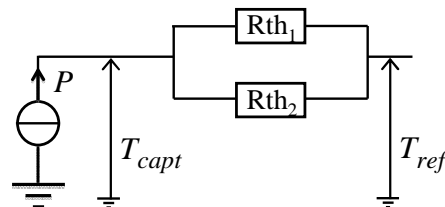


Figure 176 : Schéma électrique équivalent du système thermique

Les résistances thermiques des matériaux se définissent, en considérant leurs propriétés thermiques homogènes dans le volume, par la formule (1):

$$R_{th} = \frac{e}{\lambda \times l_c \times L_c} \quad [^{\circ}\text{C}/\text{W}] \quad (1)$$

Avec λ la conductivité thermique en $\text{W}\cdot\text{m}^{-1}\cdot\text{K}^{-1}$, e l'épaisseur, l la largeur et L la longueur du matériau.

Le calcul pour les dimensions réelles et les propriétés thermiques des isolants énoncées plus haut permet d'obtenir une puissance dissipée dans le capteur à ne pas dépasser de 1,3mW pour limiter l'auto échauffement du capteur à 0,1°C.

Une simulation électrothermique avec COMSOL multiphysics d'une géométrie proche de la réalité permet d'observer l'élévation de température dans le serpentin lorsque celui-ci est parcouru par un

courant de mesure I_M dissipant la puissance maximale définie ci-dessus : soit un courant de 1mA pour une résistance globale du capteur définie à $1,3k\Omega$.

La géométrie tridimensionnelle simulée comprend un substrat en silicium de $50\mu\text{m}$ volontairement aminci, une couche d'oxyde de silicium de 200nm , un serpentin en Polysilicium de 400nm d'épaisseur, une couche de 500nm de nitrure de silicium et enfin une métallisation en aluminium épaisse de $1\mu\text{m}$. Les propriétés thermiques des matériaux sont définies selon le tableau 21 et les couches d'oxydes sont considérées comme des isolants électriques parfaits. Le Si_3N_4 n'englobe pas totalement le serpentin en Polysilicium, mais est uniquement en contact avec la face supérieure du Polysilicium. On considère que l'intégralité des échanges de chaleur a lieu suivant l'axe z en isolant parfaitement la tranche du capteur en Polysilicium puisque la surface de la tranche représente 6% de la surface d'échange totale. La continuité thermique et électrique est définie entre toutes les couches et la géométrie est placée à une température initiale de 20°C . La face supérieure de la métallisation et la face inférieure du silicium sont fixées à une température de référence et les autres faces sont considérées parfaitement isolées. La dissipation de puissance est créée par l'injection d'un courant normal traversant le Polysilicium (figure 177) d'une densité de $330\text{A}/\text{mm}^2$. La simulation est effectuée en régime stationnaire puisque l'on considère que le courant de mesure peut parcourir le capteur durant une durée importante.

La figure 178 montre l'élévation de température au sein du serpentin. On constate logiquement que l'échauffement se concentre sur le passage du courant de mesure et que l'élévation maximale de température a lieu au niveau des angles. L'élévation de température maximale est limitée à $0,15^\circ\text{C}$, venant confirmer l'ordre de grandeur du courant maximal que l'on peut injecter.

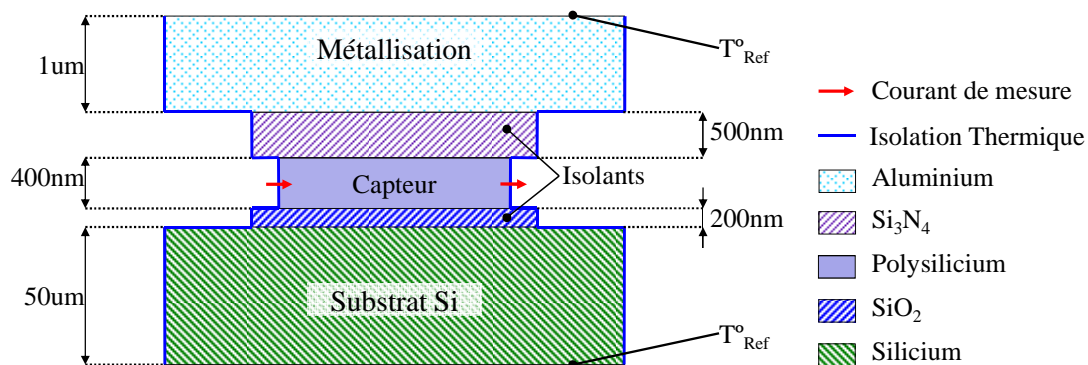


Figure 177 : Schéma de la géométrie simulée sous COMSOL

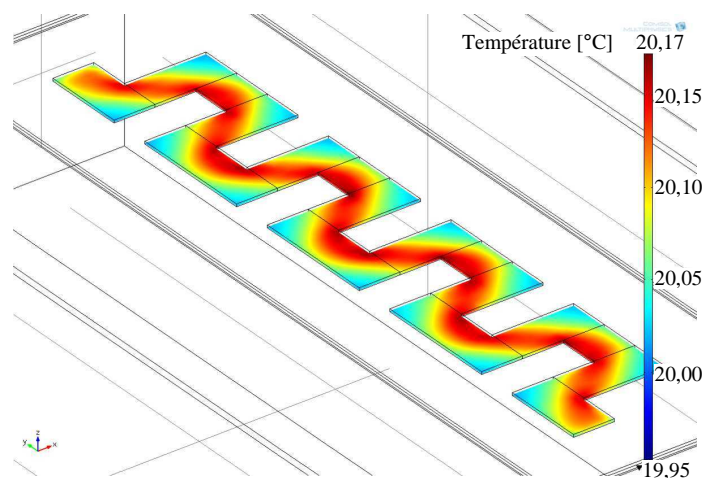


Figure 178 : Résultat de simulation montrant l'auto-échauffement du capteur pour un courant I_M de 1mA

En raison de cette limitation imposée sur la puissance maximale que l'on peut dissiper dans les RTD, il faut faire des choix de dimensionnements au niveau du courant de mesure à appliquer, et de la valeur de la résistance dans le but d'optimiser la dépendance en température de la tension mesurée. A puissance dissipée constante, afin de maximiser la sensibilité du capteur, il est astucieux de diminuer le courant de mesure et d'augmenter la valeur de la RTD tout en restant dans une gamme de tension acceptable. En effet, la puissance dissipée par effet joule variant avec le carré du courant et proportionnellement à la valeur de résistance, il est préférable de favoriser une résistance élevée qui influe donc moins sur l'élévation de température du capteur et qui impacte plus sur la variation de la tension à mesurer. La figure 179 représente l'évolution de la chute de tension aux bornes d'un RTD ainsi que sa sensibilité en fonction de la valeur de sa résistance et pour un courant de mesure limité, calculé pour maintenir les pertes joules sous 1,3mW. La sensibilité (en mV/°C) augmente, mais la chute de tension aux bornes de la RTD augmente aussi, si bien que le rapport signal à mesurer sur mode commun reste constant. C'est sur ce point que le choix du Polysilicium est intéressant vis-à-vis des métaux classiques bons conducteurs électriques (Aluminium, Nickel, Cuivre...). Pour ce dimensionnement, la surface du capteur a été considéré constante et uniquement la résistivité du dépôt de Polysilicium est prise en compte pour faire varier la valeur de résistance de la RTD.

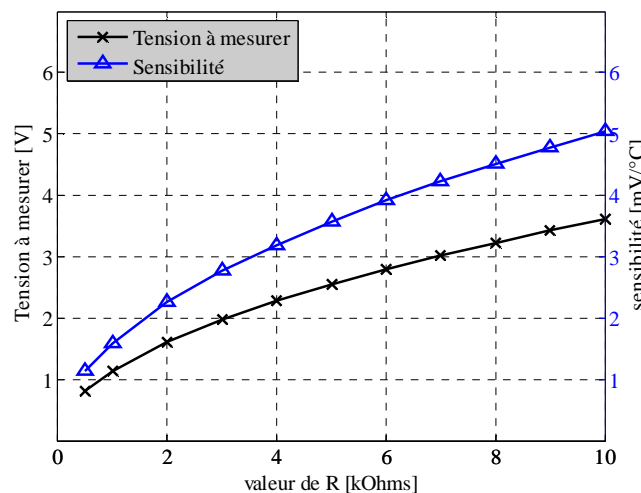


Figure 179 : Evolution de la chute de tension à mesurer et de la sensibilité en fonction de la valeur de RTD à puissance constante

2) Déformation du flux de chaleur par les couches isolantes

L'autre aspect négatif engendré par la présence des couches d'isolants est la déformation des flux verticaux de courant et de chaleur dans le composant de puissance. Les effets de l'intégration des capteurs sur la répartition du flux thermique ont donc été étudiés par le biais de simulations par éléments finis. L'impact sur la répartition des lignes de courant n'a en revanche pas été analysé en raison de la complexité des couplages électrothermiques au sein d'un composant de puissance. La disposition symétrique des couches d'oxydes suivant x et y et des capteurs suivant les 4 axes de la figure 180, permettent de rendre symétriques l'impact de la déformation du flux de chaleur et des lignes de courant sur le comportement du composant et sur la mesure de la température.

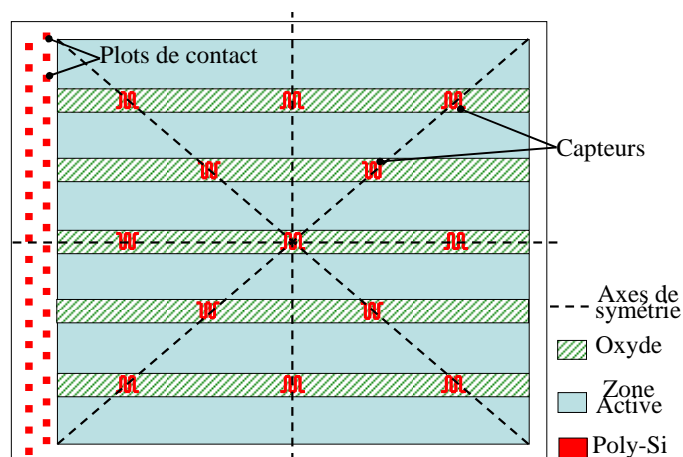


Figure 180 : Vue du dessus schématique de la VETTC

Afin de vérifier l'erreur de mesure faite sur la température, des simulations thermiques en régime stationnaire par éléments finis ont été effectuées pour mettre en avant le faible impact de la déformation du flux de chaleur au niveau des zones capteurs. La géométrie simulée est une représentation axisymétrique de la zone capteur dans la métallisation sur un substrat silicium. Une couche de cuivre d'1mm d'épaisseur a été ajoutée sur la métallisation pour représenter un contact pressé parfait. L'empilement est parcouru par un flux thermique de $100\text{W}/\text{cm}^2$ uniformément réparti dans le volume provenant du silicium et le système est considéré parfaitement isolé sur les flancs. La condition limite fixée sur la surface supérieure est une température fixe de 20°C . On peut voir sur la figure 181 que les isothermes sont faiblement modifiées à proximité de la zone capteur preuve d'une faible déformation du flux de chaleur. De ce fait, la variation de température est faible, autour de $0,2^\circ\text{C}$ ce qui garantit une faible erreur entre la température du capteur et celle de son environnement de mesure. La courbe d'évolution de la température suivant l'axe z au centre du capteur (figure 182) permet d'observer les sauts de température induits par les 2 couches d'oxydes et par le Polysilicium.

Plusieurs remarques se doivent d'être apportées à ces résultats. Premièrement, il faut noter que la simulation est uniquement thermique, ce qui ne permet pas de conclure sur l'impact de la déformation des lignes de courant sur le fonctionnement de la diode. Simuler le comportement électrothermique d'une diode de puissance se révèle être un exercice particulièrement compliqué qui n'a pas pu être réalisé durant ces travaux. Deuxièmement, on observe que le flux de chaleur est perturbé $50\mu\text{m}$ sous la surface de la puce, donc au-delà de la zone de jonction. Il faut donc s'attendre à une modification du comportement électrique de la diode.

Il est donc périlleux de conclure sur l'incidence des isolants sur le fonctionnement du composant de puissance. Notons simplement qu'il est essentiel de minimiser la surface occupée par les isolants pour limiter la déformation des flux verticaux électriques et thermiques. En revanche, ces résultats montrent qu'en régime permanent la température du capteur est très proche de celle de son environnement, ce qui permet une mesure pertinente via les RTD.

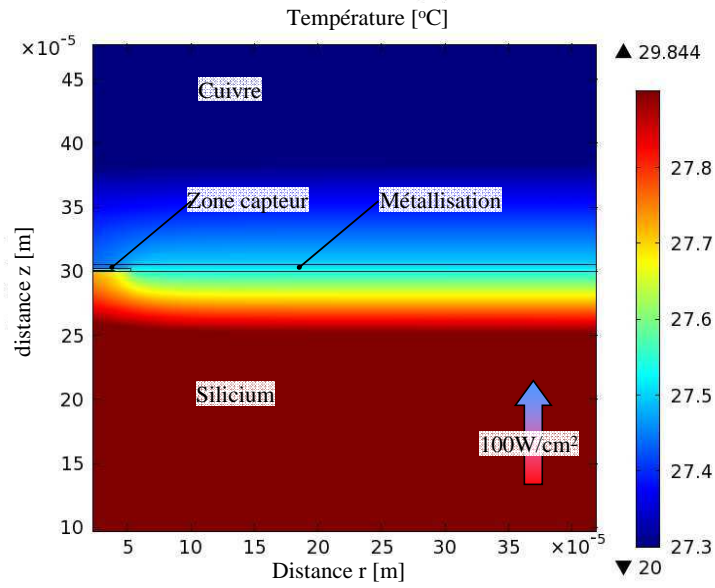


Figure 181 : Zoom sur la zone capteur du résultat de simulation montrant la faible déformation du flux de chaleur

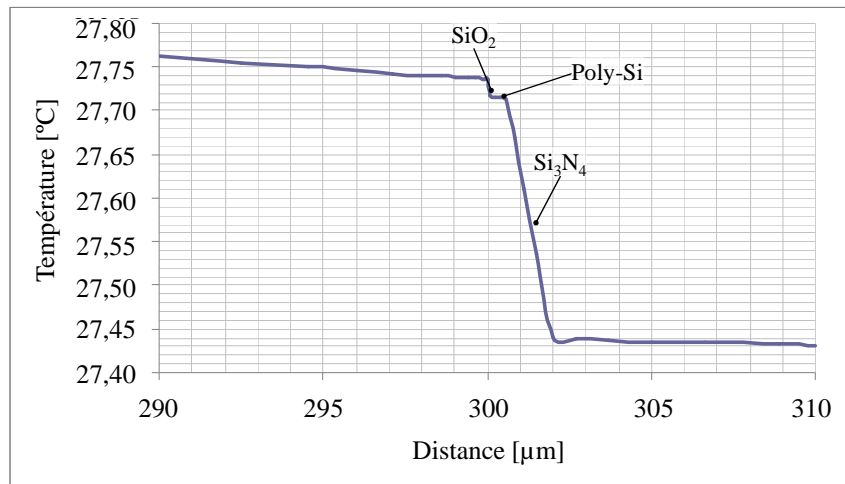


Figure 182 : Evolution de la température suivant l'axe z au centre de la zone capteur

Annexe 4 Documentation technique diode INFINEON

[HTTP://WWW.ALLDATASHEET.COM/DATASHEET-PDF/PDF/153132/INFINEON/SIDC50D60C6.HTML?](http://www.alldatasheet.com/datasheet-pdf/pdf/153132/infineon/sidc50d60c6.html?)



SIDC50D60C6

Fast switching diode chip in EMCON 3-Technology

FEATURES:

- 600V EMCON 3 technology 70 μm chip
- soft, fast switching
- low reverse recovery charge
- small temperature coefficient

This chip is used for:

- power module



Applications:

- drives

Chip Type	V_R	I_F	Die Size	Package
SIDC50D60C6	600V	200A	9.2 x 5.44 mm ²	sawn on foil

MECHANICAL PARAMETER:

Raster size	9.2 x 5.44	mm ²
Area total / active	50.05 / 44.47	
Anode pad size	8.52 x 4.74	
Thickness	70	μm
Wafer size	150	mm
Flat position	180	deg
Max. possible chips per wafer	282 pcs	
Passivation frontside	Photoimide	
Anode metallization	3200 nm AlSiCu	
Cathode metallization	Ni Ag –system suitable for epoxy and soft solder die bonding	
Die bond	electrically conductive glue or solder	
Wire bond	Al, $\leq 500\mu\text{m}$	
Reject ink dot size	\varnothing 0.65mm; max 1.2mm	
Recommended storage environment	store in original container, in dry nitrogen, < 6 month at an ambient temperature of 23°C	



SIDC50D60C6

Maximum Ratings

Parameter	Symbol	Condition	Value	Unit
Repetitive peak reverse voltage	V_{RRM}		600	V
Continuous forward current limited by T_{jmax}	I_F		15	A
Maximum repetitive forward current limited by T_{jmax}	I_{FRM}		400	
Operating junction and storage temperature	T_j, T_{stg}		-40...+175	°C

¹⁾ depending on thermal properties of assembly

Static Electrical Characteristics (tested on chip). $T_j=25\text{ °C}$, unless otherwise specified

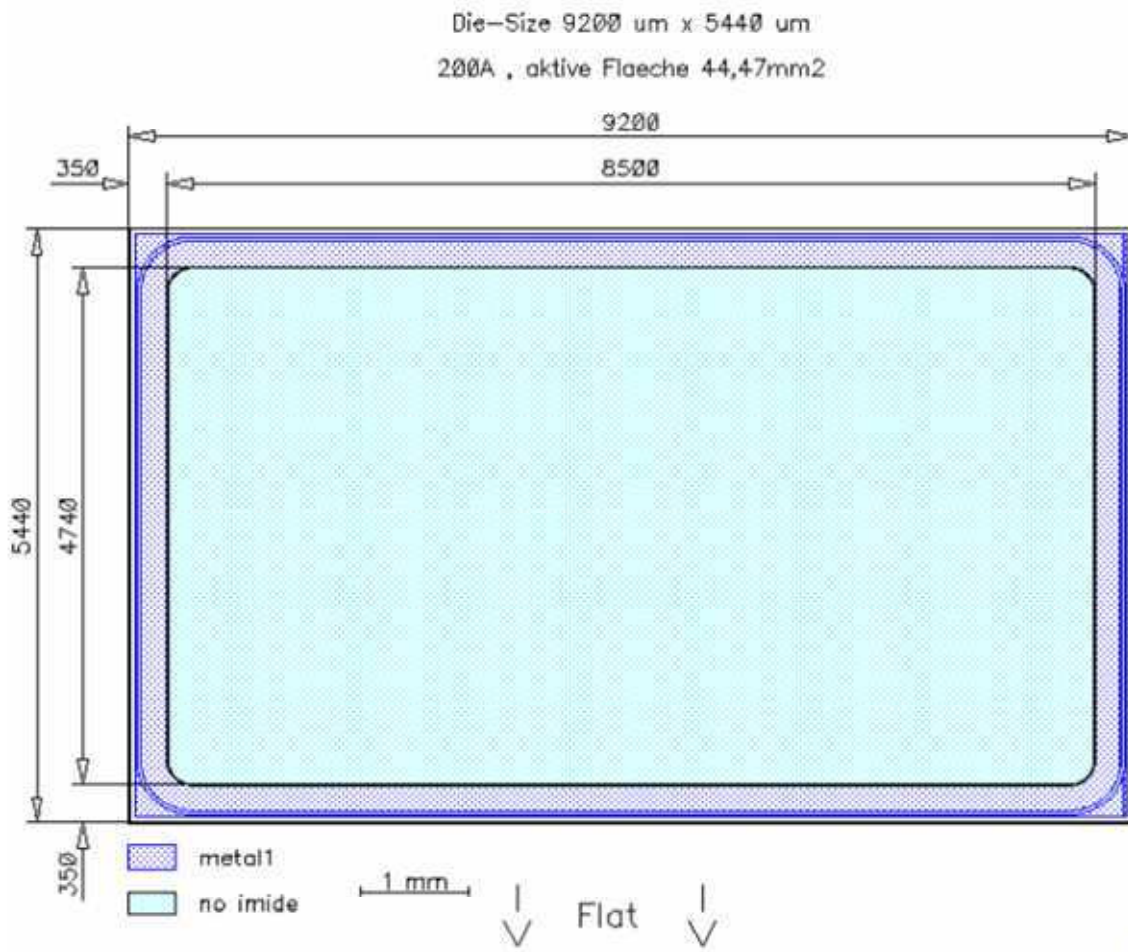
Parameter	Symbol	Conditions		Value			Unit
				min.	Typ.	max.	
Reverse leakage current	I_R	$V_R=600V$	$T_j=25\text{ °C}$			27	μA
Cathode-Anode breakdown Voltage	V_{Br}	$I_R=0.25mA$	$T_j=25\text{ °C}$	600			V
Forward voltage drop	V_F	$I_F=200A$	$T_j=25\text{ °C}$	1.2	1.6	1.9	V

Dynamic Electrical Characteristics (verified by design/characterization), inductive load

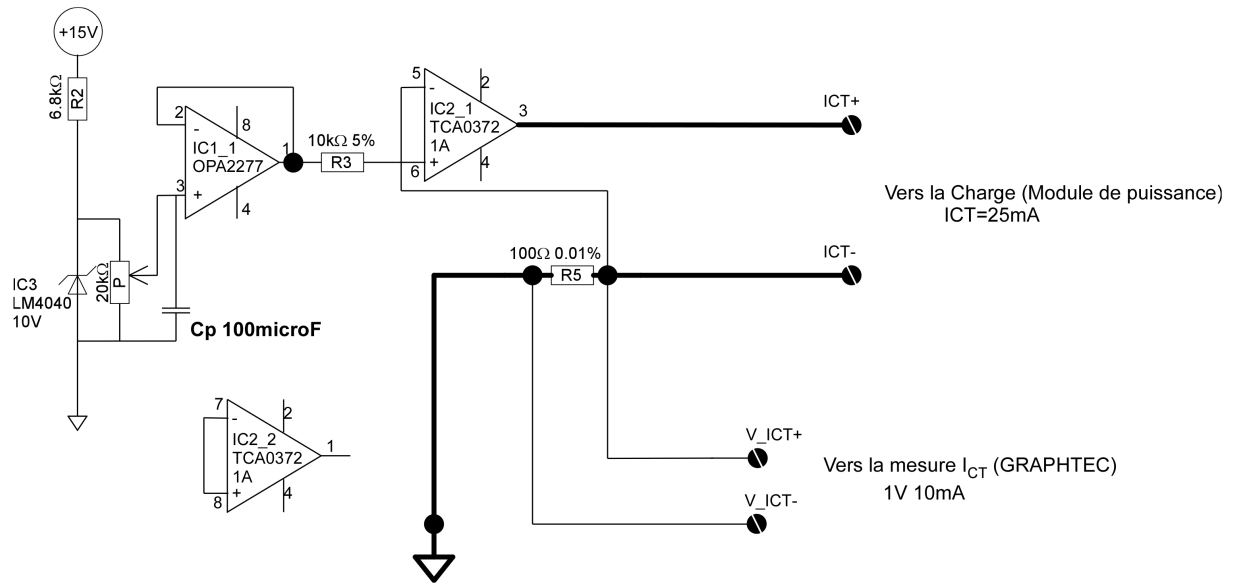
Parameter	Symbol	Conditions		Value ²⁾			Unit
				min.	Typ.	max.	
Peak reverse recovery current	I_{RM}	$I_F=200A$ $di/dt=5700A/\mu s$ $V_R=300V$ $V_{GE} = -15V$	$T_j = 25\text{ °C}$ $T_j = 125\text{ °C}$ $T_j = 150\text{ °C}$		160 230 240		A
Recovered charge	Q_r	$I_F=200A$ $di/dt=5700A/\mu s$ $V_R=300V$ $V_{GE} = -15V$	$T_j = 25\text{ °C}$ $T_j = 125\text{ °C}$ $T_j = 150\text{ °C}$		10.0 17.0 20.0		μC
Reverse recovery energy	E_{Trec}	$I_F=200A$ $di/dt=5700A/\mu s$ $V_R=300V$ $V_{GE} = -15V$	$T_j = 25\text{ °C}$ $T_j = 125\text{ °C}$ $T_j = 150\text{ °C}$		3.00 5.20 5.80		mJ

²⁾ values also influenced by parasitic L- and C- in measurement and package.

CHIP DRAWING:



Annexe 5 Circuit électrique de la carte de courant de mesure



Annexe 6 Documentation technique Diode Bipolaire

[HTTP://IXDEV.IXYS.COM/DATASHEET/95570.PDF](http://ixdev.ixys.com/datasheet/95570.pdf)

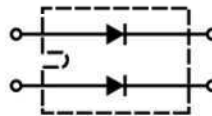


Fast Recovery Epitaxial Diode (FRED)

DSEI 2x 121

$I_{FAVM} = 2x 123 A$
 $V_{RRM} = 200 V$
 $t_{rr} = 35 ns$

V_{RSM}	V_{RRM}	Type
V	V	
200	200	DSEI 2x 121-02A



miniBLOC, SOT-227 B
 E72873



Symbol	Test Conditions	Maximum Ratings (per diode)	
I_{FRMS}	$T_{VJ} = T_{VJM}$	150	A
I_{FAVM} ①	$T_c = 70^\circ C$; rectangular, $d = 0.5$	123	A
I_{FRM}	$t_p < 10 \mu s$; rep. rating, pulse width limited by T_{VJM}	600	A
I_{FSM}	$T_{VJ} = 45^\circ C$; $t = 10 ms$ (50 Hz), sine	1200	A
	$t = 8.3 ms$ (60 Hz), sine	1300	A
	$T_{VJ} = 150^\circ C$; $t = 10 ms$ (50 Hz), sine	1080	A
	$t = 8.3 ms$ (60 Hz), sine	1170	A
I_{Pt}	$T_{VJ} = 45^\circ C$; $t = 10 ms$ (50 Hz), sine	7200	A ² s
	$t = 8.3 ms$ (60 Hz), sine	7100	A ² s
	$T_{VJ} = 150^\circ C$; $t = 10 ms$ (50 Hz), sine	5800	A ² s
	$t = 8.3 ms$ (60 Hz), sine	5700	A ² s
T_{VJ}		-40...+150	°C
T_{VJM}		150	°C
T_{stg}		-40...+150	°C
P_{tot}	$T_c = 25^\circ C$	250	W
V_{ISOL}	50/60 Hz, RMS	2500	V~
	$I_{ISOL} \leq 1 mA$		
M_d	Mounting torque	1.5/13	Nm/lb.in.
	Terminal connection torque (M4)	1.5/13	Nm/lb.in.
Weight		30	g

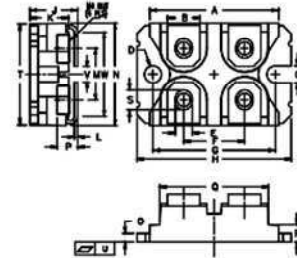
Features

- International standard package miniBLOC (ISOTOP compatible)
- Isolation voltage 2500 V~
- 2 independent FRED in 1 package
- Planar passivated chips
- Very short recovery time
- Extremely low switching losses
- Low I_{FRM} -values
- Soft recovery behaviour

Symbol	Test Conditions	Characteristic Values (per diode)	
		typ.	max.
I_R	$T_{VJ} = 25^\circ C$ $V_R = V_{RRM}$		1 mA
	$T_{VJ} = 25^\circ C$ $V_R = 0.8 \cdot V_{RRM}$		0.5 mA
	$T_{VJ} = 125^\circ C$ $V_R = 0.8 \cdot V_{RRM}$		20 mA
V_F	$I_F = 120 A$; $T_{VJ} = 150^\circ C$	0.89	0.95 V
	$T_{VJ} = 25^\circ C$		1.10 V
V_{T0}	For power-loss calculations only		0.7 V
r_T	$T_{VJ} = T_{VJM}$		2.1 mΩ
R_{thJC}			0.5 K/W
R_{thCK}		0.1	K/W
t_{rr}	$I_F = 1 A$; $-di/dt = 400 A/\mu s$; $V_R = 30 V$; $T_{VJ} = 25^\circ C$	35	50 ns
I_{RM}	$V_R = 100 V$; $I_F = 100 A$; $-di/dt = 200 A/\mu s$	12	15 A
	$L \leq 0.05 \mu H$; $T_{VJ} = 100^\circ C$		

① I_{FAVM} rating includes reverse blocking losses at T_{VJM} , $V_R = 0.8 V_{RRM}$, duty cycle $d = 0.5$
 Data according to IEC 60747
 IXYS reserves the right to change limits, test conditions and dimensions

miniBLOC, SOT-227 B



M4 screws (4x) supplied

Dim.	Millimeter		Inches	
	Min.	Max.	Min.	Max.
A	31.50	31.88	1.240	1.255
B	7.80	8.20	0.307	0.323
C	4.09	4.29	0.161	0.169
D	4.09	4.29	0.161	0.169
E	4.09	4.29	0.161	0.169
F	14.91	15.11	0.587	0.595
G	30.12	30.30	1.186	1.193
H	37.80	38.20	1.489	1.505
J	11.68	12.22	0.460	0.481
K	8.92	9.60	0.351	0.378
L	0.76	0.84	0.030	0.033
M	12.60	12.85	0.496	0.506
N	25.15	25.42	0.990	1.001
O	1.98	2.13	0.078	0.084
P	4.95	5.97	0.195	0.235
Q	26.54	26.90	1.045	1.059
R	3.94	4.42	0.155	0.174
S	4.72	4.85	0.186	0.191
T	24.59	25.07	0.968	0.987
U	-0.05	0.1	-0.002	0.004
V	3.30	4.57	0.130	0.180
W	0.780	0.830	0.031	0.033

000

Annexe 7 Documentation technique diode Schottky

[HTTP://PDF1.ALDDATASHEET.COM/DATASHEET-PDF/VIEW/109820/IXYS/DSS2X111-008A.HTML](http://PDF1.ALDDATASHEET.COM/DATASHEET-PDF/VIEW/109820/IXYS/DSS2X111-008A.HTML)

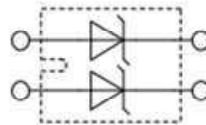


DSS2x111-008A

Schottky Diode

High Performance Schottky Diode
Low Loss and Soft Recovery
Parallel legs

Part number
DSS2x111-008A



Backside: isolated

Features / Advantages:

- Very low Vf
- Extremely low switching losses
- low Im values
- Improved thermal behaviour
- High reliability circuit operation
- Low voltage peaks for reduced protection circuits
- Low noise switching

Applications:

- Rectifiers in switch mode power supplies (SMPS)
- Free wheeling diode in low voltage converters

Package:

- Housing: SOT-227B (minibloc)
- Industry standard outline
- Cu base plate internal DCB isolated
- Isolation Voltage 3000 V
- Epoxy meets UL 94V-0
- RoHS compliant



Ratings

Symbol	Definition	Conditions	Ratings			Unit
			min.	typ.	max.	
V_{RRM}	max. repetitive reverse voltage				80	V
I_R	reverse current	$V_R = 80V$			8	mA
		$V_R = 80V$			20	mA
V_F	forward voltage	$I_F = 100A$			0.84	V
		$I_F = 200A$			1.04	V
		$I_F = 100A$			0.72	V
		$I_F = 200A$			0.94	V
I_{FAV}	average forward current	rectangular d = 0.5			110	A
V_{FO}	threshold voltage				0.49	V
r_F	slope resistance	} for power loss calculation only			2.1	mΩ
R_{thJC}	thermal resistance junction to case				0.40	K/W
T_{vj}	virtual junction temperature			-40	150	°C
P_{tot}	total power dissipation				310	W
I_{FSM}	max. forward surge current	t = 10 ms (50 Hz), sine			1400	A
C_j	junction capacitance	$V_R = 12V$; f = 1 MHz			2.1	nF
I_{RMS}	RMS current	per terminal			150	A
R_{thCH}	thermal resistance case to heatsink				0.10	K/W
T_{stg}	storage temperature			-40	150	°C
Weight						
					30	g
M_D	mounting torque			1.1	1.5	Nm
M_T	terminal torque			1.1	1.5	Nm
V_{ISOL}	isolation voltage	t = 1 second			3000	V
		t = 1 minute			2500	V
$d_{Spc/Top}$	creepage striking distance on surface through air	terminal to terminal	10.5	3.2		mm
$d_{Spc/Agb}$	creepage striking distance on surface through air	terminal to backside	8.6	6.8		mm

Annexe 8 Programme de séquençement

```

// Initialisation des constantes qui ne changeront pas et des numéros de Pins:
const int buttonOn = 81; // Bouton poussoir de démarrage
const int CmdT1 = 35; // pin de sortie de la commande de T1
const int CmdT2 = 45; // Pin de sortie de la commande de T2
const int CmdMos1 = 29; // pin de sortie de la commande du mos T1
const int CmdMos2 = 41; // Pin de sortie de la commande du mos T2
const int CmdAlim = 49; // Pin de sortie de la mise ON/OFF de l'alim
// Initialisation des variables:
int buttonOnState = 0; // variable d'état du bouton poussoir
int TempoSec = 1000; // variable de temporisation d'une seconde (en mili secondes)
int t_inj; // variable de durée d'injection dans le DUT (en micro secondes)
int TempoLimiteur = 5; // variable de durée avant et après injection pour faire la mesure
int i=0; // variable de décompte
int t_injMax = 4500; // variable de durée avant et après injection pour faire la mesure
void setup()
{ // Initialisation des Entrées/Sorties
  pinMode(CmdT1, OUTPUT); //Sorties
  pinMode(CmdT2, OUTPUT);
  pinMode(CmdMos1, OUTPUT);
  pinMode(CmdMos2, OUTPUT);
  pinMode(CmdAlim, OUTPUT); //-> état LOW = ON état HIGH = OFF
  pinMode(buttonOn, INPUT); }

void loop()
{ //initialisation
  t_inj=0;
  digitalWrite(CmdT1, LOW); //Initialisation de T1 à l'état ouvert
  digitalWrite(CmdT2, LOW); //Initialisation de T2 à l'état ouvert
  digitalWrite(CmdMos2, LOW); //Initialisation du Mos2 à l'état ouvert
  digitalWrite(CmdMos1, HIGH); //Initialisation du Mos1 à l'état Fermé
  delay(TempoSec); //delai 1 seconde avant d'allumer l'alim pour être sûr que T1 et T2 soit bien ouvert
  digitalWrite(CmdAlim, LOW); //Initialisation de l'Alim ON

  do // Attente d'action sur le bouton ON
  { buttonOnState = digitalRead(buttonOn); // lire l'état du bouton poussoir
  } while (buttonOnState == LOW);
  do //Tant que t_inj n'a pas dépassé la valeur max, on tourne dans la boucle
  {
    i=0; //On met l'alim ON
    digitalWrite(CmdAlim, LOW); //Tempo 2 seconde pour permettre à l'alim de se mettre ON
    delay(TempoSec*2); //On ferme T1 pour charger l'inductance
    digitalWrite(CmdT1, HIGH); //On charge l'inductance 1 seconde
    delay(TempoSec); //On Ouvre le Mos1 avant de fermer le mos2
    digitalWrite(CmdMos1, LOW); //On ferme le Mos2 pour inhiber la mesure
    digitalWrite(CmdMos2, HIGH); // on attend quelques µs avant l'injection
    delayMicroseconds(3); //Fermer T2
    digitalWrite(CmdT2, HIGH); //2µs de chevauchement
    delayMicroseconds(2); //Ouvrir T1 Début de l'injection
    digitalWrite(CmdT1, LOW); //Durée d'injection
    delayMicroseconds(t_inj); //Fermer T1
    digitalWrite(CmdT1, HIGH); //Ouvrir T2 Fin de l'injection
    digitalWrite(CmdT2, LOW); //Mettre l'alim OFF
    digitalWrite(CmdAlim, HIGH); //On Ouvre le Mos2 avant de fermer le mos1
    digitalWrite(CmdMos2, LOW); //On ferme le Mos1 pour activer la mesure
    digitalWrite(CmdMos1, HIGH); //On attend 1 seconde avant de mettre fin au cycle
    delay(TempoSec); //Ouverture de T1 (état initial)
    digitalWrite(CmdT1, LOW);

    if (t_inj<=4500 && t_inj>=2000) {t_inj=t_inj+500;} //On incrémente de 100µs entre 400 et 1500µs (5 points)
    if (t_inj<2000 && t_inj>=1000) {t_inj=t_inj+200;} //On incrémente de 20µs entre 200 et 400µs (10 points)
    if (t_inj<1000 && t_inj>=500) {t_inj=t_inj+100;} //On incrémente de 20µs entre 200 et 400µs (5 points)
    if (t_inj<500 && t_inj>=100) {t_inj=t_inj+50;} //On incrémente de 10µs entre 40 et 200µs (8 points)
    if (t_inj<100 && t_inj>=20) {t_inj=t_inj+10;} //On incrémente de 3µs entre 10 et 40µs (8 points)
    if (t_inj<20) {t_inj=t_inj+5;} //On incrémente de 5µs avant 20µs (5 points)

    do //temporiser 2 MINUTES secondes avant d'injecter un nouveau pulse de courant
    { delay(TempoSec); //Tempo 1 seconde
      i++;
    } while(i<120);
  }while(t_inj<=t_injMax);
} //Fin du programme on retourne au début de l'initialisation...

```

Annexe 9 Programme Matlab de traitement des données

```

i=1; j=1; result=[]; %initialisation des variables
freq=100; %frequence d'échantillonnage [MHz] correspond au nombre de points par µs
t_racine_fit_start=15; %défini le tDM à partir duquel on commence l'extrapolation
t_racine_fit_stop=30; %défini le tDM de fin d'extrapolation
temps_ini=80; %défini la durée de l'état initial permettant le calcul de Tjini
indice=linspace(0,35,36) %définition des indices des fichiers
nom_module='Module1'; %nom du module pour obtenir les données d'étalonnages relatives
Courant=300; %Valeur du courant d'injection
[A,B,C,D]=Fonction_Tj(nom_module); %Appel de la fonction qui permet de récupérer les facteurs
de la régression polynomiale issue de l'étalonnage pour chaque module
    for indice_file=indice{
%Récupération des données brutes
        file=[num2str(Courant) '_' num2str(nom_module) '_' num2str(indice_file) '.wvf'];
        data=wfreadall(file); %importation des données
        temps=data.Group1.Trace1.t*1e6; temps=temps-temps(1); % en µs
        Idut=data.Group1.Trace1.Block1/0.005068; %en A
        Vout=data.Group1.Trace2.Block1; % en V
        Vdut=data.Group1.Trace3.Block1; % en V
        Vdut_uR=data.Group1.Trace4.Block1; % en V
        Im=data.Group2.Trace1.Block1*10; %en mA
        Cmd_T2=data.Group2.Trace3.Block1; %en V

        Tj=A*Vout.^3+B*Vout.^2+C*Vout+D; %calcul de la Tj virtuelle à partir des facteurs de la
régression polynomiale
        % Calcul de la Tj Initiale
        temps_ini_utile=temps(1:temps_ini*freq);
        Tj_ini_utile=Tj(1:temps_ini*freq); %délimitation du Tj pour la T° initiale
        p = polyfit(temps_ini_utile,Tj_ini_utile,1);Tj_ini_fit = polyval(p,temps_ini_utile);
%fittage du Tj_ini utile
        Tj_ini=mean(Tj_ini_fit); %calcul de la température initiale à partir de la partie filtrée
        DTj=Tj-Tj_ini; %DTj = augmentation de la température par rapport à la température initiale
        % Détection temporelle
        ind_start=find(Idut>5,1,'first');%Recherche du front de courant qui correspond à T_start
        ind_start_2=find(Idut>Courant-5,1,'first'); %Recherche de la fin du front de courant qui
correspond à T_start_2
        ind_stop=find(Idut>Courant-10,1,'last'); % recherche du début du front négatif de
courant lors de la mise off
        ind_stop_2=find(Idut>15,1,'last');%recherche de la fin du front de courant
        temps_reel=temps-temps(ind_stop_2); %initialisation du temps_reel à la fin de l'injection
        t_inj=temps(ind_stop_2-ind_start); %calcul de la durée d'injection
        % Calcul de la puissance instantané
        Pdut=(abs(Vdut).*Idut); %produit de la valeur absolue de la tension et du courant
        Pdut_uR=(abs(Vdut_uR).*Idut); %produit de la valeur absolue de la tension mesurée par les
micro-robots et du courant
        Pdut_moy=mean(Pdut_uR(ind_start:ind_stop_2)); % Calcul de la puissance Moyenne durant
l'injection
        % Délimitation du signal utile de mesure
        temps_mes=temps_reel(ind_stop_2:end); %délimitation du signal de mesure
        temps_mes_racine=sqrt(temps_mes); %Racine carrée du teps de mesure
        DTj_mes=DTj(ind_stop_2:end); %délimitation du signal de mesure
%Fit linéaire racine t
        temps_racine_a_fit=sqrt(temps_mes(t_racine_fit_start*freq:t_racine_fit_stop*freq));
        DTj_a_fit=DTj_mes(t_racine_fit_start*freq:t_racine_fit_stop*freq);
        p = polyfit(temps_racine_a_fit,DTj_a_fit,1); %régression polynomiale d'ordre 1
        DTj_racine_f = polyval(p,temps_mes_racine); %fittage du temps autour de t_mes
        DTj_racine_0=DTj_racine_f(1); %Détermination de Tj à t=tinj
        Zth_racine_0=DTj_racine_0./Pdut_moy; %Calcul de la Zth à t=tinj
    }
i=i+1;
result=[result; t_inj, Pdut_moy, DTj_racine_0, Zth_racine_0]; %Stockage de variable dans
result pour chaque durée d'injection
    } end
%Récupération pour chaque durée d'injection des valeurs stockées dans Result
t_inj=result(:,1);
Pdut_moy=result(:,2);
DTj_racine_0=result(:,3);
Zth_racine_0=result(:,4);

```

Outils et méthodologies de caractérisation électrothermique pour l'analyse des technologies d'interconnexion de l'électronique de puissance

L'électronique de puissance et particulièrement les systèmes de conversions deviennent un enjeu majeur de la transition énergétique et de l'avenir des transports. Les contraintes technico-économiques liées aux nouvelles applications impliquent une augmentation des densités de puissance au sein des modules tout en limitant leur coût et en conservant une robustesse satisfaisante. Aujourd'hui, des solutions semblent émerger grâce à des structures innovantes associées aux composants grands gap et à l'intégration tridimensionnelle. Ces solutions apportent cependant un certain nombre de contraintes liées aux interconnexions électrothermomécaniques (ETM). L'augmentation des niveaux de température permis par les composants grands gap et l'attrait du refroidissement double face offert par les assemblages 3D augmentent de manière importante les contraintes thermomécaniques et causent des problèmes de fiabilité. C'est pourquoi de nouvelles interconnexions ETM sont développées pour s'adapter aux nouvelles contraintes et rendre possible ce saut technologique. Cependant les outils permettant la caractérisation thermique et électrique de ces nouvelles interconnexions restent à développer.

Les travaux présentés dans ce mémoire portent sur le développement et la mise au point d'outils de caractérisation des interconnexions dans des assemblages 3D. Obtenir la température du composant au sein du boîtier est particulièrement difficile, ce qui nous a poussés à explorer deux voies permettant d'estimer la température de jonction (T_j). Premièrement par l'implantation de capteurs de température et de tension au cœur d'un composant de puissance grâce la réalisation d'une puce de test spécifique. Et deuxièmement, par l'observation de la réponse en température de composants fonctionnels faisant appel à l'utilisation d'un paramètre électrique thermosensible (PTS) du composant. Les deux pistes explorées mettent à profit des solutions spécifiques innovantes pour permettre des caractérisations thermique et électrique fines des assemblages d'électronique de puissance.

Mots clefs : ●Assemblages 3D ●Interconnexions de puissance ●Outil de caractérisation électrothermique ●Puce de tests thermique et électrique ●Impédance thermique partielle (Z_{th}) ●méthodes de mesure

Electrothermal characterization tools and methodology for power electronics interconnection analysis

Power electronic and particularly conversion systems are becoming a major challenge for the future of energetic and transport systems. Technical and economic constraints related to new applications lead to an increase of module power densities while reducing cost and maintaining a good robustness. Today, solutions seem to emerge from innovative structures associated to wide band-gap semiconductors and three-dimensional integration. These solutions lead to many constraints in electro-thermo-mechanical (ETM) interconnection field. Temperature level rises allowed by wide band-gap semiconductors and attractiveness of double sided cooling provide by the 3D assemblies have significantly increase thermo-mechanical stresses and cause reliability problems. This is why new ETM interconnections are developed to facing those difficulties and enable this technological gap. However, thermal and electrical interconnections characterization tools need to be develop.

Works presented in this thesis focuses on the development of tools for new interconnections characterization adapted to 3D package. The difficulty of obtaining the temperature of the component within the package has led us to explore two ways to estimate the junction temperature (T_j). In a first hand we integrate temperature and voltage sensors inside a power component in a clean room process thanks to the achievement of a specific thermal test chip (TTC). And in a second hand, by observing the temperature response of functional components, using a temperature-sensitive electrical parameter (TSEP). The both paths explored take advantage of innovative specific solutions to allow precise thermal and electrical characterization of power electronic assemblies.

Keywords: ●3D Assemblies ●Power interconnections ●Electro thermal Characterization tools ●Electrical and thermal test chip ●Partial thermal impedance (Z_{th}) ●Measurement methods