



HAL
open science

Circuit générique de commandes rapprochées pour l'électronique de puissance

The Van Nguyen

► **To cite this version:**

The Van Nguyen. Circuit générique de commandes rapprochées pour l'électronique de puissance. Energie électrique. Université de Grenoble, 2012. Français. NNT: . tel-00743576

HAL Id: tel-00743576

<https://theses.hal.science/tel-00743576>

Submitted on 19 Oct 2012

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

UNIVERSITÉ DE GRENOBLE

THÈSE

Pour obtenir le grade de
DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Génie électrique**

Arrêté ministériel : 7 août 2006

Présentée par

The Van NGUYEN

Thèse dirigée par **Jean-Christophe CREBIER** et
codirigée par **Pierre-Olivier JEANNIN**

préparée au sein du **Laboratoire de Génie Electrique de Grenoble**
dans l'**École Doctorale Electronique, Electrotechnique,**
Automatique & Traitement du signal

**Circuit générique de
commandes rapprochées pour
l'électronique de puissance**

Thèse soutenue publiquement le « 26/9/2012 »,

devant le jury composé de :

M. Christian SCHAEFFER

Professeur à Grenoble INP, Président

M. Stéphane LEFEBVRE

Professeur au CNAM, Rapporteur

M. Bruno ALLARD

Professeur à l'INSA de Lyon, Rapporteur

M. Marc COUSINEAU

Maître de conférence à l'ENSHEEIT, Examineur

M. Hervé STEPHAN

Thales Systèmes Aéroportés, Brest, Invité

M. Jean - Christophe CREBIER

Chargé de recherche au CNRS, Directeur de thèse

M. Pierre - Olivier JEANNIN

Maître de conférence à l'IUT1, Co-directeur de thèse



Remerciements

Je tiens à remercier en premier lieu Stéphane LEFEBVRE et Bruno ALLARD pour avoir accepté d'être rapporteur de ma thèse. Je vous remercie pour le temps que vous avez passé sur ce manuscrit et aussi pour les commentaires, les remarques constructifs que vous avez portés à l'amélioration de celui-ci.

Un grand merci à Christian SCHAEFFER qui m'a fait l'honneur d'être le président de mon jury.

Je remercie également Marc COUSINEAU pour avoir d'accepté d'examiner mon manuscrit ainsi que pour ses questions et ses remarques lors de ma soutenance.

Je tiens à remercier en suite Hervé STEPHAN d'avoir participer au jury en tant qu'invité industriel. Merci pour vos propositions pour améliorer notre circuit de commande pour répondre aux exigences industrielles.

Un grand merci à Pierre Olivier JEANNIN de m'avoir accepté en stage M2R, et puis tu m'a beaucoup aidé dans les premiers pas de la vie d'un jeune chercheur et en suite pendant toutes ces 3 ans de thèse. C'est toujours agréable et c'est toujours un plaisir de travailler avec toi.

Un merci tout particulier à Jean-Christophe CREBIER. Je te remercie tout d'abord de m'avoir proposé ce sujet de thèse très intéressant et très ambitieux. J'apprécie énormément tes qualités scientifiques, tes passions pour la recherche, ceux qui m'ont beaucoup inspiré dans ma vie de recherche. Je te remercie aussi pour ta disponibilité et ta gentillesse pour moi pendant tous ces années.

Je voudrais aussi remercier mes collègues du laboratoire, et mes amis vietnamiens d'avoir partagé avec moi des moments de convivialité et d'amitié dans la vie professionnel et aussi dans la vie quotidien pendant tous ces années.

Enfin un merci particulier à ma famille pour m'avoir soutenu tout au long de ces années d'études en France.

Table des matières

<i>Remerciements</i>	<i>i</i>
<i>Table des matières</i>	<i>iii</i>
<i>Table des figures</i>	<i>viii</i>
<i>Introduction générale</i>	<i>1</i>
CHAPITRE I : La commande des interrupteurs de puissance à grille isolée	5
I.1. Introduction	7
I.2. Technologie de MOSFET (Metal Oxide Silicon Field Effect Transistor)	7
I.2.1. Structure.....	7
I.2.2. Caractéristique électriques en régime statique	8
I.2.3. Paramètres critiques	9
I.3. Circuit de commande pour le MOSFET de puissance	12
I.3.1. Présentation des éléments pour la commande et le contrôle.....	12
I.3.2. Commutations du MOSFET	14
I.3.3. Analyse d'une commande optimale	17
I.3.3.a. Compromis entre la réduction des pertes en commutation et une bonne comptabilité électromagnétique (CEM).....	17
I.3.3.b. Impact de la tension de la grille sur la dynamique de commutation	19
I.3.3.c. Impact de la tension de la grille sur le régime statique de l'interrupteur	20
I.3.3.d. Nécessité d'une tension de grille négative à l'état bloqué – Effet d'auto-blindage	22
I.3.4. Définition des critères d'une commande optimale	23
I.4. Etat de l'art des circuits de commande	24
I.4.1. Topologies des circuits de commande rapprochée	24
I.4.1.a. Commande en tension	24
I.4.1.b. Commande en courant	25
I.4.2. Techniques de transfert le signal et la puissance de commande.....	27
I.4.2.a. Transfert de signal et de puissance par deux chemins séparés.....	28
I.4.2.b. Transfert de signal et de puissance par un même chemin : transformateur d'impulsion.....	34

I.4.2.c. Comparaison des techniques de transfert d'énergie de commande	37
I.4.3. Evolution des circuits de commande intégrés	38
I.5. Perspective : vers un circuit générique de commandes rapprochées pour l'électronique de puissance.....	41
Bibliographie.....	43
CHAPITRE II : Nouvelle topologie de la commande rapprochée à base de transformateur d'impulsion.....	46
 II.1. Introduction	48
 II.2. Nouvelle topologie de la commande rapprochée à base de transformateur d'impulsion haute fréquence.....	48
II.2.1. Circuit de commande rapprochée.....	48
II.2.1.a. Schéma du circuit.....	48
II.2.1.b. Phase de commutation à la fermeture (t_0-t_1).....	52
II.2.1.c. Opération pendant la phase de conduction (t_1-t_2).....	54
II.2.1.d. Phase de commutation à l'ouverture (t_2-t_3).....	57
II.2.1.e. Opération pendant la phase de blocage (t_3-t_4)	58
II.2.2. Analyse	60
II.2.2.a. Avantages fonctionnels et structurels de la nouvelle topologie de la commande rapprochée	60
II.2.2.b. Régulation du niveau de tension de commande dans les phases de fonctionnement	61
II.2.2.c. Synthèse des étapes de dimensionnement et de conception de la structure de commande.....	64
II.2.2.d. Gestion des temps morts entre les signaux de commande pour les bras CMOS et son impact.....	67
II.2.2.e. Impact de la température sur la caractéristique des diodes Zener	69
II.2.3. Validation expérimentale.....	71
II.2.3.a. Présentation du circuit à implémenter.....	71
II.2.3.b. Dimensionnement et conception du circuit de commande	72
II.2.3.c. Résultats expérimentaux.....	77
II.2.3.d. Analyse des pertes du circuit de commande rapprochée	84

II.2.3.e. Comparaison de la nouvelle topologie de commande rapprochée avec la structure conventionnelle	88
II.3. Perspectives pour l'intégration du circuit de commande.....	90
II.3.1. Intégration des bras CMOS.....	91
II.3.2. Réalisation des transformateurs d'impulsion sur substrat commun (le circuit imprimé, noyau ferrite ou la plaquette Si)	91
II.3.3. Intégration des composants au secondaire du transformateur au sein de l'interrupteur de puissance	91
II.4. Conclusion	93
Bibliographie.....	95
CHAPITRE III : Améliorations des fonctionnalités de la structure de commande	96
III.1. Introduction.....	97
III.2. Limite de fonctionnement de la topologie de commande.....	97
III.3. Version améliorée de la commande rapprochée pour les fonctionnements ON et OFF permanents	99
III.3.1. Fonctionnement ON permanent.....	100
III.3.2. Fonctionnement OFF permanent.....	104
III.4. Validation expérimentale	107
III.4.1. Validation pour le transformateur à vide.....	107
III.4.2. Validation pour le MOSFET de puissance	109
III.5. Perspectives : vers un circuit de commande plus intelligent et automatisé.	114
III.6. Conclusion.....	115
Bibliographie.....	117
CHAPITRE IV : Conception, réalisation et application du circuit générique de commandes rapprochées.....	118
IV.1. Introduction.....	119
IV.2. Objectifs et enjeux du driver générique.....	119
IV.3. Conception de la puce de commande intégrée	120

IV.3.1. Contraintes et cahier des charges	120
IV.3.2. Technologie AMS H35B4 0.35 μm haute tension	121
IV.3.3. Conception des bras CMOS et des étages d'amplification.....	123
IV.3.3.a. Conception des bras CMOS.....	124
IV.3.3.b. Conception des étages de commande pour les transistors des bras CMOS.....	128
IV.3.4. Contraintes du layout de la puce	136
IV.3.5. Caractérisation de la puce intégrée	141
IV.4. Conception des transformateurs d'impulsion sur le PCB	144
IV.4.1. Objectifs.....	144
IV.4.2. Calcul analytique	147
IV.4.3. Optimisation l'emplacement des enroulements par la simulation dans le logiciel Flux2D	150
IV.5. Réalisation et validation expérimentale du circuit générique de commandes rapprochées	153
IV.5.1. Assemblage du circuit.....	153
IV.5.2. Caractérisation du transformateur	155
IV.5.3. Validation expérimentale du driver	159
IV.6. Conclusion.....	163
Bibliographie	164
Conclusion générale.....	166
Publications	168

Table des figures

Figure I.1. (a) Représentation symbolique, (b) Structure interne du MOSFET.....	8
Figure I.2. Courbe caractéristique statique du MOSFET.	9
Figure I.3. (a) Vue en coupe du MOSFET avec des capacités parasites, (b) Schéma électrique équivalent du MOSFET dans la zone active.....	10
Figure I.4. Données du constructeur pour le MOSFET IRFP350 (V_{DSMAX} 400V, $I_D=16A$) : (a) les capacités inter électrode, (b) la quantité de charge nécessaire pour charger la grille. 12	12
Figure I.5. Schéma synthétique présentant l'environnement électronique d'un interrupteur de puissance commandable [3]......	13
Figure I.6. Transistors « low side » et « high side » d'un bras d'onduleur.....	14
Figure I.7. Schéma d'un hacheur série.....	14
Figure I.8. (a) Commutation à la fermeture et à l'ouverture du MOSFET, (b) Commutation à la fermeture avec le recouvrement de la diode.	16
Figure I.9. Perturbations dues aux capacités de mode commun.	18
Figure I.10. Signal de commande idéal pour la fermeture du MOSFET.	19
Figure I.11. Evolution de la résistance à l'état passant versus la tension de la grille [12]......	21
Figure I.12. Caractéristique statique de l'IGBT.	22
Figure I.13. Vue en coupe du MOSFET en cas d'application une tension V_{GS} négative – effet d'auto-blindage.....	23
Figure I.14. Schéma simplifié du circuit de commande en tension.....	24
Figure I.15. Topologies de commande en tension.	25
Figure I.16. Schéma de principe du circuit de commande en courant.....	26
Figure I.17. (a) Schéma du circuit de commande en courant, (b) Formes d'onde de fonctionnement [16].	27
Figure I.18. Commande en courant avec un asservissement en courant.....	27
Figure I.19. Représentation des capacités de mode commun causées par l'introduction d'une alimentation isolée.....	30
Figure I.20. 2SD106AI Scale driver pour IGBTs et MOSFETs de puissance.	31
Figure I.21. Version classique de l'auto-alimentation pour la commande rapprochée.....	31
Figure I.22. Principe de fonctionnement du circuit de Bootstrap.....	32

Figure I.23. (a) Principe de fonctionnement du circuit de la pompe à charge, (b) Circuit pompe à charge [24].	34
Figure I.24. (a) Circuit de commande rapprochée à base de transformateur d'impulsion [40], (b) Tension de commande à la grille avec différentes valeurs du rapport cyclique.	35
Figure I.25. Topologie de commande en base de transformateur d'impulsion [41] [42] [43] : (a) Schéma du circuit, (b) Formes d'ondes de fonctionnement.	36
Figure I.26. Photographie au microscope de la puce [14].	39
Figure I.27. Circuit de commande intégré IR2233 pour le convertisseur triphasé.	39
Figure I.28. Circuit de commande pour le convertisseur triphasé entrelacé [51].	40
Figure II.1. Schéma de la nouvelle topologie de commande rapprochée.	49
Figure II.2. Formes d'ondes issues du secondaire du transformateur d'impulsion et états de l'interrupteur Sw.	50
Figure II.3. Courbe caractéristique idéale de l'interrupteur Sw.	50
Figure II.4. Les formes d'ondes générales qualitatives sur une période de découpage.	52
Figure II.5. Phase de commutation à la fermeture.	53
Figure II.6. (a) Première phase de maintien de V_{GS} et de démagnétisation partielle ou totale, (b) Schéma électrique équivalent simplifié.	55
Figure II.7. Formes d'ondes du courant magnétisant et de la tension au primaire du transformateur (pour α faible).	56
Figure II.8. Courbe caractéristique d'une diode Zener ou à avalanche.	57
Figure II.9. Phase de commutation à l'ouverture.	58
Figure II.10. (a) Seconde phase de maintien de V_{GS} et de démagnétisation partielle ou totale, (b) Schéma électrique équivalent simplifié.	59
Figure II.11. Signal de commande bipolaire à quatre niveaux.	62
Figure II.12. Régulation des niveaux de tension de grille.	63
Figure II.13. La forme d'onde du courant dans l'inductance magnétisante en fonction du rapport cyclique.	66
Figure II.14. Réduction du phénomène de recouvrement en fonction du temps mort.	68
Figure II.15. Impact de la température sur la caractéristique des diodes Zener (résultats de simulation avec le logiciel Silvaco).	71
Figure II.16. Schéma du hacheur série et de son circuit de commande rapprochée.	71

Figure II.17. Impédances à vide et en court-circuit du transformateur d'impulsion.....	74
Figure II.18. Circuit équivalent de la partie magnétique du transformateur d'impulsion à deux enroulements.....	74
Figure II.19. Caractéristique statique de la diode Zener Z1 16V	76
Figure II.20. Caractéristique statique de la diode Zener Z2 6.2V	76
Figure II.21. Image des circuits de commande et de puissance.....	78
Figure II.22. Formes d'ondes du circuit de la grille.....	82
Figure II.23. Zoom sur la phase de commutation à la fermeture du MOSFET.....	82
Figure II.24. Signal de commutation du MOSFET.....	84
Figure II.25. Bilan énergétique.....	84
Figure II.26. Répartition des pertes de puissance du circuit de commande (mesure expérimentale).	88
Figure II.27. Comparaison la performance de deux topologies de commande (résultats expérimentaux).....	90
Figure II.28. Perspective d'intégration du composant NPN au sein du transistor de puissance.	92
Figure II.29. Perspective de protéger en court-circuit.	92
Figure II.30. Perspective d'un système de commande intégré générique.....	93
Figure III.1. Evolutions temporelles de la tension de la grille en fonction de la valeur de la résistance de pull-down R_d	98
Figure III.2. Schéma de la nouvelle structure de commande rapprochée pour les fonctionnements ON et OFF permanents.	100
Figure III.3. Phases de fonctionnement pour le fonctionnement ON permanent.....	101
Figure III.4. Schéma électrique équivalent durant la phase de démagnétisation.....	102
Figure III.5. Formes d'ondes de fonctionnement pour le mode ON permanent.....	103
Figure III.6. Phases de fonctionnement pour le mode OFF permanent.....	105
Figure III.7. Schéma électrique équivalent durant la phase de démagnétisation.....	106
Figure III.8. Formes d'ondes de fonctionnement pour le mode OFF permanent.....	107
Figure III.9. Validation de la méthode de démagnétisation.....	108
Figure III.10. Photo du circuit pour la validation expérimentale des fonctionnements ON et OFF permanents.	111

Figure III.11. Fonctionnement du circuit à basse fréquence 3.3 kHz.	112
Figure III.12. Zoom sur l'état passant et l'état bloqué du MOSFET	112
Figure III.13. Mode de fonctionnement ON permanent.	113
Figure III.14. Mode de fonctionnement OFF permanent.	114
Figure III.15. Perspective d'un circuit de commande intelligent et automatisé.	115
Figure IV.1. Schéma interne de la puce intégrée.	121
Figure IV.2. Mutualisation du wafer par le CMP) [3].	122
Figure IV.3. Vue en coupe de la technologie H35B4D3 de l'AMS [4]	123
Figure IV.4. Différents étage de sortie d'un bras onduleur	124
Figure IV.5. Représentation simplifiée des amenées de courant [7].	126
Figure IV.6. Schéma de la structure CMOS et thyristor parasite impliqué dans le	127
Figure IV.7. Vue layout et vue en coupe d'un PMOS20H à 2 doigts protégé par un caisson.	127
Figure IV.8. Transistor PMOS20H du bras CMOS avec les amenées de courant de drain, source et grille.	128
Figure IV.9. Schéma des étages de commande pour les transistors du bras CMOS.	129
Figure IV.10. Courant de court-circuit lors de la commutation du bras CMOS.	131
Figure IV.11. Dimensionnement du troisième étage d'amplification.	131
Figure IV.12. Dimensionnement du deuxième étage d'amplification.	132
Figure IV.13. Optimisation de la valeur de la résistance R.	134
Figure IV.14. Synthèse du dimensionnement du bras CMOS et sa commande.	135
Figure IV.15. Vue du layout de l'étage level-shifter et du 1 ^{er} étage d'amplification.	135
Figure IV.16. Vue layout du 2 ^{ème} , 3 ^{ème} étage d'amplification et du bras CMOS.	136
Figure IV.17. Vue layout de la puce intégrée	137
Figure IV.18. Schéma électrique équivalent représentant le phénomène de couplage entre deux bras CMOS.	138
Figure IV.19. Vue layout de la puce avec la présence des condensateurs de découplage.	140
Figure IV.20. Résultats de simulation du phénomène de couplage dans le logiciel Cadence.	140
Figure IV.21. (a) Photo au microscope de la puce intégrée, (b) Photo de la puce mise en boîtier CQFP-44.	141

Figure IV.22. (a) Réponse à basse fréquence 1.2 kHz, (b) Réponse à haute fréquence 625 kHz.	142
Figure IV.23. (a) Variation de la dynamique de commutation en fonction de la tension d'alimentation, (b) Variation des courants de sortie des drivers en fonction de la tension d'alimentation.	143
Figure IV.24. Comparaison de la consommation du circuit discret et du circuit intégré.	144
Figure IV.25. (a) Circuit magnétique, (b) Circuit équivalent des réluctances.	148
Figure IV.26. Relation entre le courant, la section de la piste et l'augmentation de la température [11].	150
Figure IV.27. Deux possibilités de placement des enroulements sur les couches du PCB	151
Figure IV.28. Lignes de champs – Simulation Flux2D avec la symétrie.	152
Figure IV.29. (a) Assemblage 2D du driver intégré, (b) Vue en 3D du circuit PCB.	154
Figure IV.30. Vue en 3D le transformateur réalisé sur le circuit PCB à 4 couches.	155
Figure IV.31. Driver intégré complet mis en boîtier.	155
Figure IV.32. Modèle magnétique simple du transformateur.	156
Figure IV.33. (a) Inductance à vide et en court-circuit du transformateur planar, (b) Résistance à vide et en court-circuit du transformateur planar.	157
Figure IV.34. (a) Module du rapport de transformation du transformateur planar, (b) Phase du rapport de transformation du transformateur planar.	158
Figure IV.35. Tension primaire et secondaire du transformateur.	159
Figure IV.36. Schéma électrique du circuit de puissance pour la validation du driver intégré.	160
Figure IV.37. Photo du circuit.	160
Figure IV.38. Tensions grille - émetteur des IGBT1, IGBT3 et IGBT5.	161
Figure IV.39. Courant dans les inductances et tension de la charge.	162
Figure IV.40. Image thermique de la puce intégrée.	162

Introduction générale

Le vecteur électricité est un des supports énergétiques incontournables de notre société. C'est particulièrement le cas en France, mais avec la pénétration des énergies renouvelables électriques dans l'habitat, la production et les transports, ce vecteur devrait être largement majoritaire dans quelques décennies. Ce type d'énergie, pour être bien géré, est conditionné par des actionneurs que sont les structures de conversion d'électronique de puissance. Pour assurer une gestion fine, efficace et robuste, les structures multicellulaires (multiniveaux et parallèle) présentent des avantages indéniables. Cependant elles impliquent un grand nombre d'interrupteurs à commander séparément, et donc un grand nombre de circuits de commande séparés de type « gate driver ». Cela implique plus de surface de PCB, plus de composants et un risque accru de défaillance. Nous proposons avec ce mémoire de thèse un composant « gate driver » capable de commander de multiples interrupteurs (6 pour le démonstrateur présenté, mais ce nombre peut facilement être augmenté) largement intégré. Ainsi il pourra adresser des applications classiques tel qu'un onduleur triphasé, mais également la commande de « gros » modules de puissance par l'association en parallèle de ses sorties, éventuellement avec une impédance de sortie variable en ajustant dynamiquement le nombre de sorties en parallèle. Il est également particulièrement bien adapté aux applications multitransistors qu'elles soient série (multiniveaux) ou parallèle (convertisseurs entrelacés). Il présente donc un caractère générique, l'ensemble de ses sorties étant isolées entre elles. Son utilisation permettrait de réduire fortement les coûts de conception des nouveaux convertisseurs d'électronique de puissance.

En outre son utilisation, l'indépendance de toutes ses sorties permet d'envisager la configurabilité dynamique des structures d'électronique de puissance. La multiplication des cellules élémentaires, garantes aujourd'hui de niveaux de performances maximum, pourra alors efficacement être mise en œuvre, sans préjudice de complexité ni de fiabilité. A l'image de l'évolution de la microélectronique qui est passée du transistor à la porte logique, et de la porte logique aux microprocesseurs, nous proposons de passer de la commande rapprochée du convertisseur en éléments discrets à un composant dédié, configurable et intégré.

Concrètement, le premier chapitre de ce mémoire de thèse présente le contexte de l'étude et la problématique de la commande des interrupteurs de puissance à grille isolée, en

particulier du MOSFET. Nous allons définir les caractéristiques de sa commande vis-à-vis des besoins des interrupteurs de puissance afin de synthétiser un "système de coupure" performant. Une rapide étude bibliographique va porter sur l'état de l'art des topologies de commande rapprochée afin de répondre à ces besoins ainsi que sur l'évolution de l'intégration en électronique de puissance. En se basant sur les limites des états des lieux, nous présenterons notre approche visant à définir, concevoir et réaliser un système de commande générique, fiable et qui pourrait répondre à un panel d'applicatifs variés.

Dans le deuxième chapitre, nous allons proposer une nouvelle topologie de commande rapprochée à base d'un transformateur d'impulsion haute fréquence et d'éléments d'aiguillage autonome au secondaire de ce transformateur. Elle a été conçue dans la perspective de pouvoir faire un système de commande intégrable, générique et simple pour la mise en œuvre à base des cellules élémentaires. Nous étudions le principe de fonctionnement de cette nouvelle topologie, puis des analyses approfondies sur ses performances et ses avantages sont exposées. La validation expérimentale montre un bon fonctionnement de la structure de commande. Les perspectives de cette topologie de commande vis-à-vis à l'intégrabilité seront exposées à la fin de ce chapitre.

Le troisième chapitre propose une version améliorée de la topologie de commande rapprochée présentée dans le chapitre 2. Celle-ci offre une évolution en fonctionnalité qui permet au driver de fonctionner même à très basse fréquence, en régime ON permanent ou OFF permanent, ce qui l'affranchit de la limite des topologies classiques de commande rapprochée à base de transformateur d'impulsion. Les résultats expérimentaux montrent l'efficacité de notre solution. Ce même chapitre permet également de mettre en évidence la possible optimisation du circuit vis-à-vis du dimensionnement des composants, particulièrement les passifs et de l'opportunité d'exercer un contrôle dynamique de la commutation des transistors de puissance à travers ce type de circuit de commande.

Forts des perspectives d'intégration de la topologie de commande rapprochée dans le deuxième chapitre, le dernier chapitre est consacré à la présentation de la démarche de conception du circuit générique de commande rapprochée pour les différentes topologies de conversion de l'énergie. Celui-ci contient des cellules élémentaires pour commander séparément plusieurs interrupteurs de puissance, ce qui permet donc de "configurer" le driver selon les différentes applications multi-transistors. La conception du driver est

composée de deux parties dont la première est la conception d'une puce intégrée en technologie CMOS haute tension (20V) et la deuxième est la conception des transformateurs d'impulsion planar sur le circuit imprimé multi couches. Une application expérimentale de ce driver intégrée pour commander un convertisseur polyphasé valide notre concept.

CHAPITRE I :

La commande des interrupteurs de puissance à grille isolée

SOMMAIRE

CHAPITRE I : La commande des interrupteurs de puissance à grille isolée.....	5
I.1. Introduction.....	7
I.2. Technologie de MOSFET (Metal Oxyde Silicon Field Effect Transistor)	7
I.2.1. Structure.....	7
I.2.2. Caractéristique électriques en régime statique.....	8
I.2.3. Paramètres critiques.....	9
I.3. Circuit de commande pour le MOSFET de puissance	12
I.3.1. Présentation des éléments pour la commande et le contrôle.....	12
I.3.2. Commutations du MOSFET.....	14
I.3.3. Analyse d'une commande optimale	17
I.3.3.a. Compromis entre la réduction des pertes en commutation et une bonne comptabilité électromagnétique (CEM).....	17
I.3.3.b. Impact de la tension de la grille sur la dynamique de commutation	19
I.3.3.c. Impact de la tension de la grille sur le régime statique de l'interrupteur	20
I.3.3.c.i. Impact sur la résistance à l'état passant.....	20
I.3.3.c.ii. Impact sur la limite de courant de court-circuit	21
I.3.3.d. Nécessité d'une tension de grille négative à l'état bloqué – Effet d'auto-blindage	22
I.3.4. Définition des critères d'une commande optimale.....	23
I.4. Etat de l'art des circuits de commande	24
I.4.1. Topologies des circuits de commande rapprochée.....	24
I.4.1.a. Commande en tension.....	24
I.4.1.b. Commande en courant.....	25
I.4.2. Techniques de transfert le signal et la puissance de commande.....	27
I.4.2.a. Transfert de signal et de puissance par deux chemins séparés.....	28
I.4.2.a.i. Transfert le signal et son isolation galvanique.....	28

I.4.2.a.ii. Alimentations flottantes : alimentation externe, auto-alimentation, bootstrap, pompe à charge	28
I.4.2.b. Transfert de signal et de puissance par un même chemin : transformateur d'impulsion.....	34
I.4.2.c. Comparaison des techniques de transfert d'énergie de commande	37
I.4.3. Evolution des circuits de commande intégrés	38
I.5. Perspective : vers un circuit générique de commandes rapprochées pour l'électronique de puissance.....	41
Bibliographie.....	43

I.1. Introduction

L'interrupteur de puissance est plus que jamais au cœur des évolutions conceptuelles et technologiques de l'électronique de puissance. Dans ce premier chapitre, nous allons focaliser notre attention principalement sur les transistors de puissance à grille isolée MOSFETs sur sa commande rapprochée. Dans un premier temps, nous allons présenter la structure physique de ceux-ci et ses paramètres associés, et puis nous allons définir les caractéristiques de sa commande vis-à-vis des besoins des interrupteurs de puissance afin de synthétiser un "système de coupure" performant. Cela conduira à analyser l'impact du signal de commande. Dans un second temps, nous allons aborder l'état de l'art sur des circuits de commande afin de répondre à ces besoins. Ces dernières années, nous constatons une évolution de l'intégration dans l'électronique de puissance que ce soit l'intégration des structures de conversion de puissance ou l'intégration des circuits de commande rapprochée. Un soin particulier est apporté sur l'analyse de l'évolution des circuits de commande intégrés pour les applications conventionnelles et spécifiques de l'électronique de puissance. En partant sur ces états des lieux, nous présenterons notre approche visant à définir, concevoir et réaliser un système de commande générique, fiable et qui pourrait répondre à un panel d'applicatifs variés.

I.2. Technologie de MOSFET (Metal Oxyde Silicon Field Effect Transistor)

I.2.1. Structure

Le MOSFET ou le transistor à effet de champ à grille isolée, est le transistor le plus utilisé en microélectronique et dans les convertisseurs de puissances faibles et moyennes tensions car il est très facile à commander à la fermeture et à l'ouverture et possède des caractéristiques en commutation particulièrement favorables. La Figure I.1 (a, b) présente le symbole et la structure interne du MOSFET [1]. Le MOSFET est un composant à trois électrodes : drain, source et grille ; dans sa structure, une diode interne existe entre le drain et la source, celle-ci fait que le MOSFET est un composant bidirectionnel en courant. La

structure du MOSFET présente une structure semi-conductrice trois couches, deux régions de même type sont séparées par une couche de type opposée. La région de grille permet de court-circuiter la région centrale par création d'un canal entre les deux régions extrêmes.

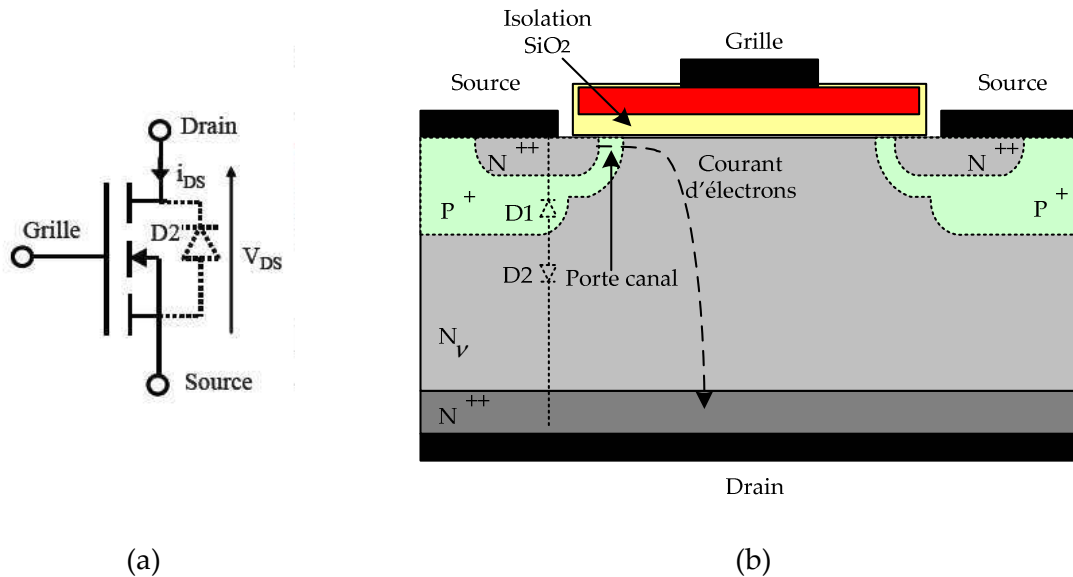


Figure I.1. (a) Représentation symbolique, (b) Structure interne du MOSFET.

I.2.2. Caractéristique électriques en régime statique

La Figure I.2 représente la courbe de la caractéristique électrique du MOSFET dont on peut distinguer trois modes d'opération :

- Etat bloqué : quand la tension de la grille est inférieure à la tension de seuil $V_{GS} < V_{th}$, le canal n'est pas inversé, le courant du drain est nul.

Régime ohmique (ou linéaire) : quand la tension de la grille est supérieure à la tension de seuil $V_{GS} > V_{th}$, une couche d'inversion est alors créée, cette couche forme le « canal » et permettra la circulation d'un courant en fonction du niveau d'inversion. La mise en conduction des porteurs majoritaires est donc une conséquence directe de l'effet de champ. La tension drain-source V_{DS} est faible. La valeur du courant dans le canal en régime linéaire est calculée par l'équation (I.1) [2].

$$I_{canal} = C_0 \cdot (V_{GS} - V_{th} - \frac{1}{2} V_{canal}) \cdot V_{canal} \quad (I.1)$$

Où :

$$C_0 = \frac{Z}{L} \cdot \mu_n \cdot \frac{\epsilon_{SiO_2r} \cdot \epsilon_0}{e_{SiO_2}} \quad (I.2)$$

- Z est largeur du canal, L est longueur du canal.
- μ_n est la mobilité des porteurs de charge.
- C_{ox} est la capacité d'oxyde de grille.
- ϵ_{SiO_2r} est le constant diélectrique relatif de l'oxyde.
- ϵ_0 est la permittivité diélectrique du vide.
- e_{SiO_2} est l'épaisseur de l'oxyde.

Le maximum du courant du drain, correspondant à la limite de validité de l'équation est donné pour $V_{GS} - V_{th} = V_{canal}$. On observe alors le phénomène de pincement du canal. Le composant passe dans le régime de saturation de courant.

- Régime saturé (zone active) : le courant du canal dans cette zone de fonctionnement est donné par l'équation (I.3) :

$$I_{canal} = \frac{C_0}{2} \cdot (V_{GS} - V_{th})^2 = C_0 \cdot V_{canal}^2 \quad (I.3)$$

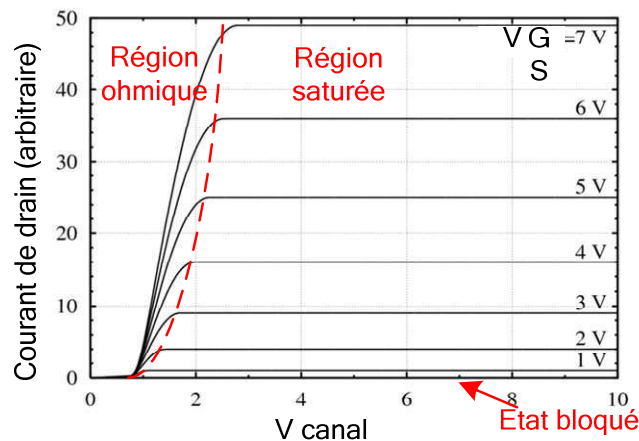


Figure I.2. Courbe caractéristique statique du MOSFET.

I.2.3. Paramètres critiques

La structure du MOSFET présente beaucoup de capacités parasites entre les couches, elles sont montrées sur la Figure I.3 (a) :

- C_{GS1} représente la capacité entre la grille et la source N++ (y compris toute la métallisation de la source). Cette capacité est déterminée par la structure et sa valeur est fixe.
- $(C_{GS2} + C_{GS3})$ représente les capacités supplémentaires de grille-source dans la région P. C_{GS2} est la capacité diélectrique, donc fixe alors que C_{GS3} est due à la région de déplétion entre la source et le drain, elle varie avec la tension de grille.
- $(C_{GD1} + C_{GD2})$ est aussi composée de deux parties, l'une fixe et l'autre variable. C_{GD1} est une capacité diélectrique et C_{GD2} varie significativement lorsque la tension drain-grille change de polarité.
- C_{DS} est la capacité drain-source, elle varie avec la tension de drain.

Ces capacités parasites peuvent alors être regroupées, et on obtient le modèle classique du MOSFET dans sa zone active comme le montre la Figure I.3 (b). Les capacités dans ce modèle sont fortement non linéaires et dépendent des potentiels appliqués aux électrodes du MOSFET (V_{DS} et V_{GS}). La capacité grille-drain C_{GD} est fortement non linéaire et elle correspond à la capacité MOS sur semi-conducteur du type ν . Elle est principalement responsable de l'effet Miller durant la commutation du MOSFET. Durant les commutations les charges de la grille se répartissent entre les capacités C_{GS} et C_{GD} .

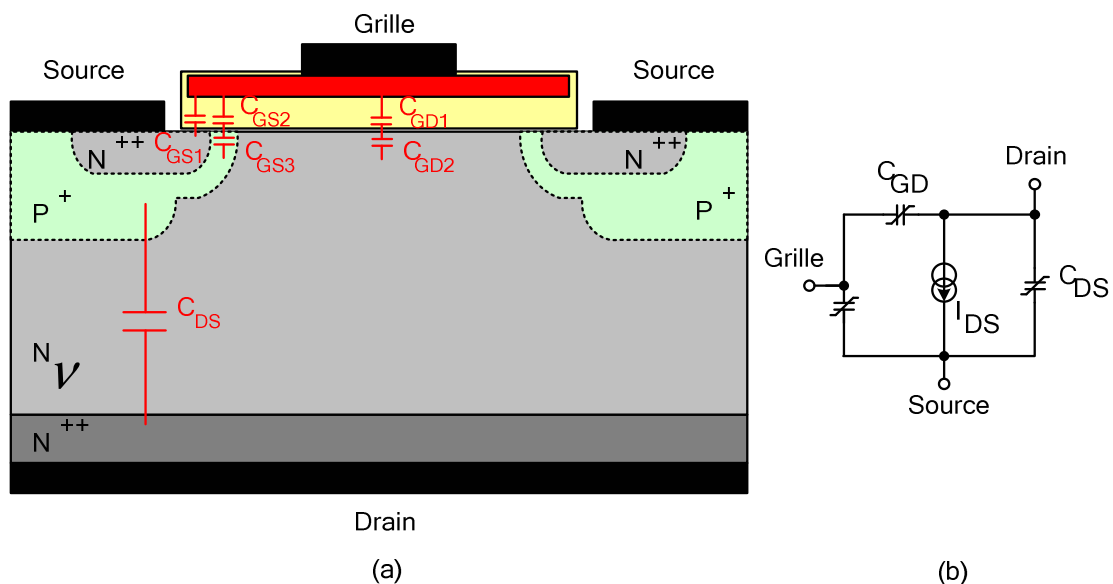


Figure I.3. (a) Vue en coupe du MOSFET avec des capacités parasites, (b) Schéma électrique équivalent du MOSFET dans la zone active.

Par la mesure on n'accède pas aux capacités présentées ci-dessus, les documents des constructeurs donnent souvent les valeurs de celles-ci sous forme des combinaisons :

- $C_{ISS} = C_{GS} + C_{GD}$ - la capacité d'entrée.
- $C_{OSS} = C_{GD} + C_{DS}$ - la capacité de sortie.
- $C_{RSS} = C_{GD}$ - la capacité de Miller.

Ces valeurs sont déterminées pour chaque valeur de la tension drain-source comme le montre la Figure I.4 (a).

Un autre paramètre important du MOSFET est la charge totale nécessaire Q_G à fournir à la grille pour faire monter la tension de la grille de zéro à une valeur désirée (10V par exemple) et vice-versa pour faire commuter le MOSFET. Ce paramètre est une indication importante pour la conception de la commande rapprochée pour le MOSFET. La charge totale comprend trois parties dont la première Q_{GS} est la charge injectée nécessaire pour faire monter la tension de la grille de zéro jusqu'au plateau Miller, la deuxième Q_{GD} est la charge fournie durant le plateau Miller et la dernière partie est pour faire monter la tension de la grille jusqu'à la valeur finale. La Figure I.4 (b) donne un exemple de la courbe Q_G en fonction de la tension de la grille.

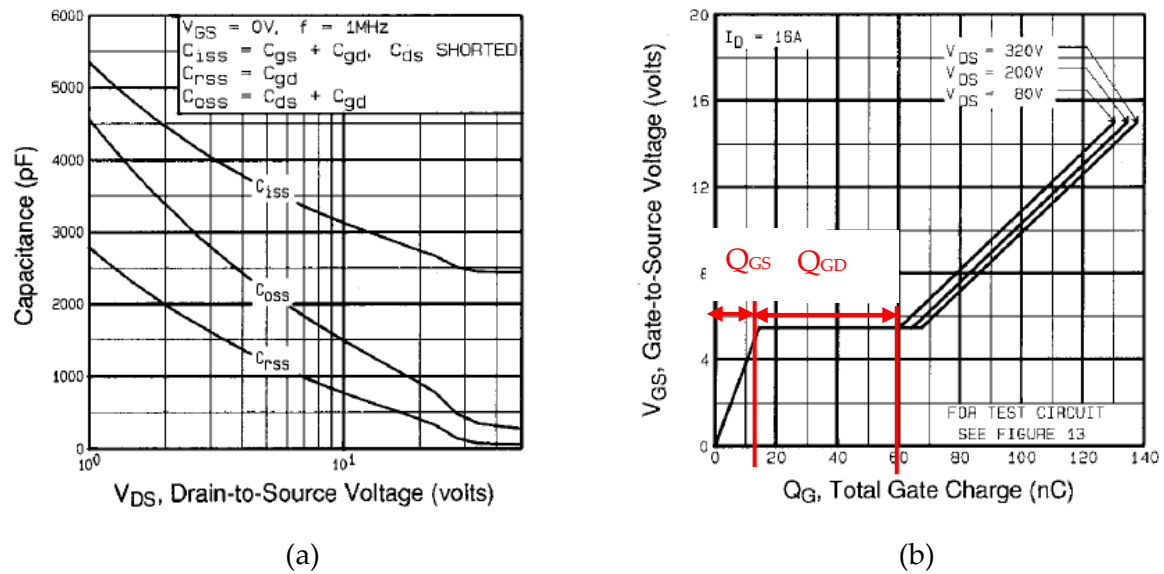


Figure I.4. Données du constructeur pour le MOSFET IRFP350 (V_{DSMAX} 400V, $I_D=16A$) : (a) les capacités inter électrode, (b) la quantité de charge nécessaire pour charger la grille.

I.3. Circuit de commande pour le MOSFET de puissance

I.3.1. Présentation des éléments pour la commande et le contrôle

En général, les éléments nécessaires pour la commande et le contrôle d'un interrupteur de puissance peuvent être listés sur la Figure I.5 [3]. Ils sont principalement composés de : une commande éloignée afin de transférer le signal de commande généré par le circuit logique comme un FPGA (Field-Programmable Gate Array) par exemple, une commande rapprochée qui a pour but d'apporter l'énergie pour la commutation et d'associer des fonctions de protection de l'interrupteur tout en assurant une isolation galvanique, et une alimentation pour fournir l'énergie à la commande.

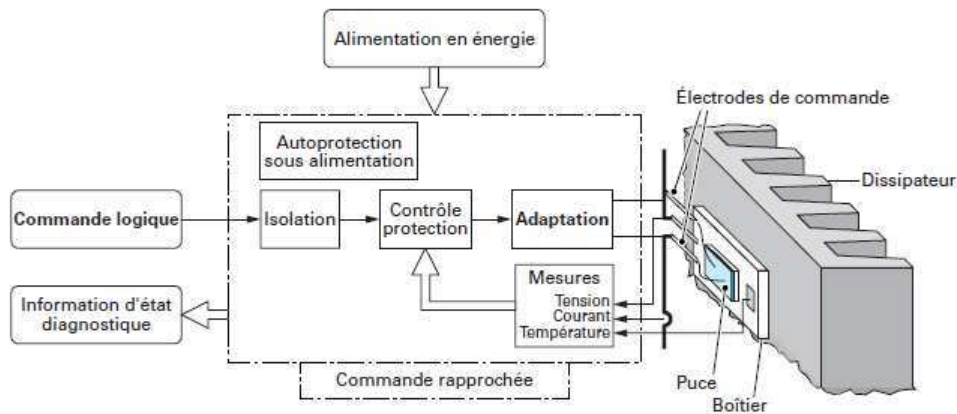


Figure I.5. Schéma synthétique présentant l'environnement électronique d'un interrupteur de puissance commandable [3].

Pour les MOSFETs de puissance, la commutation se fait par la commande en tension en appliquant une tension positive pour la fermeture, une tension négative ou nulle pour l'ouverture entre la grille et la source. Cette commande en tension permet de réduire la consommation d'énergie car l'énergie doit être fournie seulement au moment de la commutation : transférer une quantité de charges nécessaires à la capacité d'entrée du transistor pour la fermeture ou retirer les charges pour l'ouverture. A l'état passant ou bloqué, le transistor de puissance consomme très peu de l'énergie, cela est représenté par la fuite du courant au niveau de l'oxyde de grille. Le principe de commande consiste à créer une différence de potentiel entre la grille et le point de référence (la source), ce qui peut être complexe dans certaines structures de conversion de puissance au sein de laquelle il y a des transistors à potentiel flottant comme les bras de pont dans les convertisseurs polyphasés montrés sur la Figure I.6. Dans ces conditions, l'alimentation et le signal de commande éloignée doivent être référencés à la source du MOSFET « high side » pour garantir la bonne polarisation de l'électrode de grille par rapport à celle de la source quelque soit le potentiel auquel est relié le point milieu du bras.

Dans la partie suivante, nous allons analyser la commande des MOSFETs de puissance et plus précisément les besoins de l'interrupteur. En particulier, cela concerne la manière avec laquelle on devrait piloter le composant de manière optimale, quel est un signal de commande idéal pour le composant, comment les paramètres du signal de commande affectent-ils les performances statiques et dynamiques du composant de puissance ? Et puis, nous allons présenter l'état de l'art des circuits de commande répondant à ces besoins.

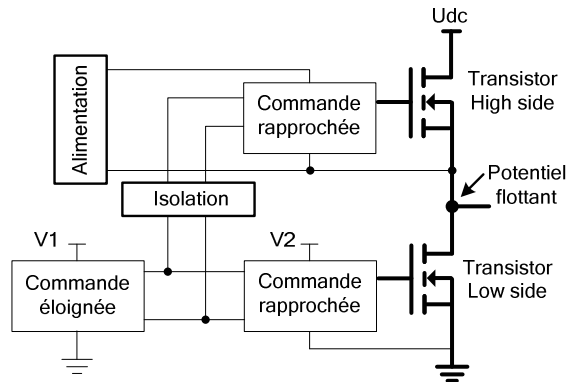


Figure I.6. Transistors « low side » et « high side » d'un bras d'onduleur.

I.3.2. Commutations du MOSFET

Afin de définir les attentes concernant la commutation du MOSFET de puissance et donc également les signaux de commande qui en découlent, nous allons présenter les phases de commutation typique à l'ouverture et à la fermeture de celui-ci [4]. Pour cela, nous prenons le schéma du convertisseur classique du hacheur série, comme le montre la Figure I.7, nous supposons ici que la cellule de commutation est parfaite et les inductances parasites ne sont pas prises en compte.

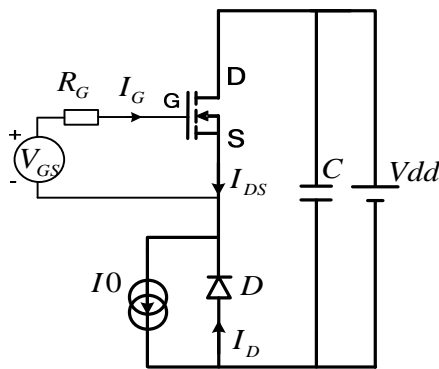


Figure I.7. Schéma d'un hacheur série.

La commutation idéalisée à la fermeture du MOSFET peut se décomposer en quatre phases, illustrées sur la Figure I.8 (a) :

- Phase 1 : le temps pour charger la tension de la grille jusqu'à la tension de seuil V_{th} , le courant de la grille charge simultanément C_{GS} et C_{GD} . Les circuits de commande et de puissance sont indépendants, la tension V_{DS} et le courant I_{DS} ne changent pas.
- Phase 2 : elle débute quand la tension de la grille a atteint la tension de seuil et le courant drain-source commence à croître. La tension du drain se maintient à V_{dd}

aussi longtemps que $I_{DS} < I_0$ et la diode de roue libre D conduit. Le temps nécessaire pour que I_{DS} initialement nul atteigne I_0 est noté t_{ri} , temps de croissance du courant. Une fois que le MOSFET conduit le plein courant I_0 , mais reste dans la zone active, la tension grille-source est momentanément constante, cette phase est appelée le plateau Millier, la capacité d'entrée du MOSFET semble infinie, notamment à cause de l'augmentation de la capacité grille-drain C_{GD} [5].

- Phase 3 : la tension du drain commence à décroître, elle diminue pendant deux intervalles, durant le premier, le composant se trouve encore dans la zone active pendant un temps t_{fu1} , et durant le deuxième, il est dans la zone ohmique pendant un temps t_{fu2} .
- Phase 4 : Une fois que la tension drain-source a fini de décroître et a atteint sa valeur à l'état passant, à savoir $V_{DSon} = R_{DSon} \cdot I_0$, la tension de la grille continue à augmenter jusqu'à sa valeur maximale, ce qui provoque une inversion plus forte du canal. De fait, la tension drain-source atteint sa valeur minimale par diminution du R_{DSon} . La tension finale aux bornes de la grille conditionne ainsi le niveau de polarisation et donc la chute de tension à l'état passant du transistor que celui-ci soit un MOSFET ou un IGBT.

Si la diode de roue libre D est bipolaire et possède un courant de recouvrement [4] [6], les formes d'ondes de commutation sont alors modifiées comme le montre la Figure I.8 (b). Le courant de recouvrement de la diode I_{rr} est à l'origine du fait que le courant du drain voit sa croissance prolongée au delà de I_0 jusqu'à $I_0 + I_{rr}$. Ceci entraîne une croissance de V_{GS} au-delà de la valeur du plateau et on l'appelle le phénomène « offset ». Quand le courant de la diode s'inverse et croît jusqu'à s'annuler, le sens de variation de la tension de grille s'inverse, il y a alors une rapide décroissance de V_{GS} jusqu'à la valeur du plateau. Une fois la phase de recouvrement de la diode terminée, le courant de drain revient à I_0 , et la commutation se poursuit comme dans le cas de la diode idéale, c'est-à-dire une décroissance de la tension V_{DS} en deux intervalles.

La commutation à l'ouverture du MOSFET se compose aussi des mêmes phases qu'à la fermeture mais dans l'ordre inverse. Les formes d'ondes et les temps associés sont illustrés dans la Figure I.8 (a) avec un échelon de la tension de commande de la grille de V_{GSmax} à 0V.

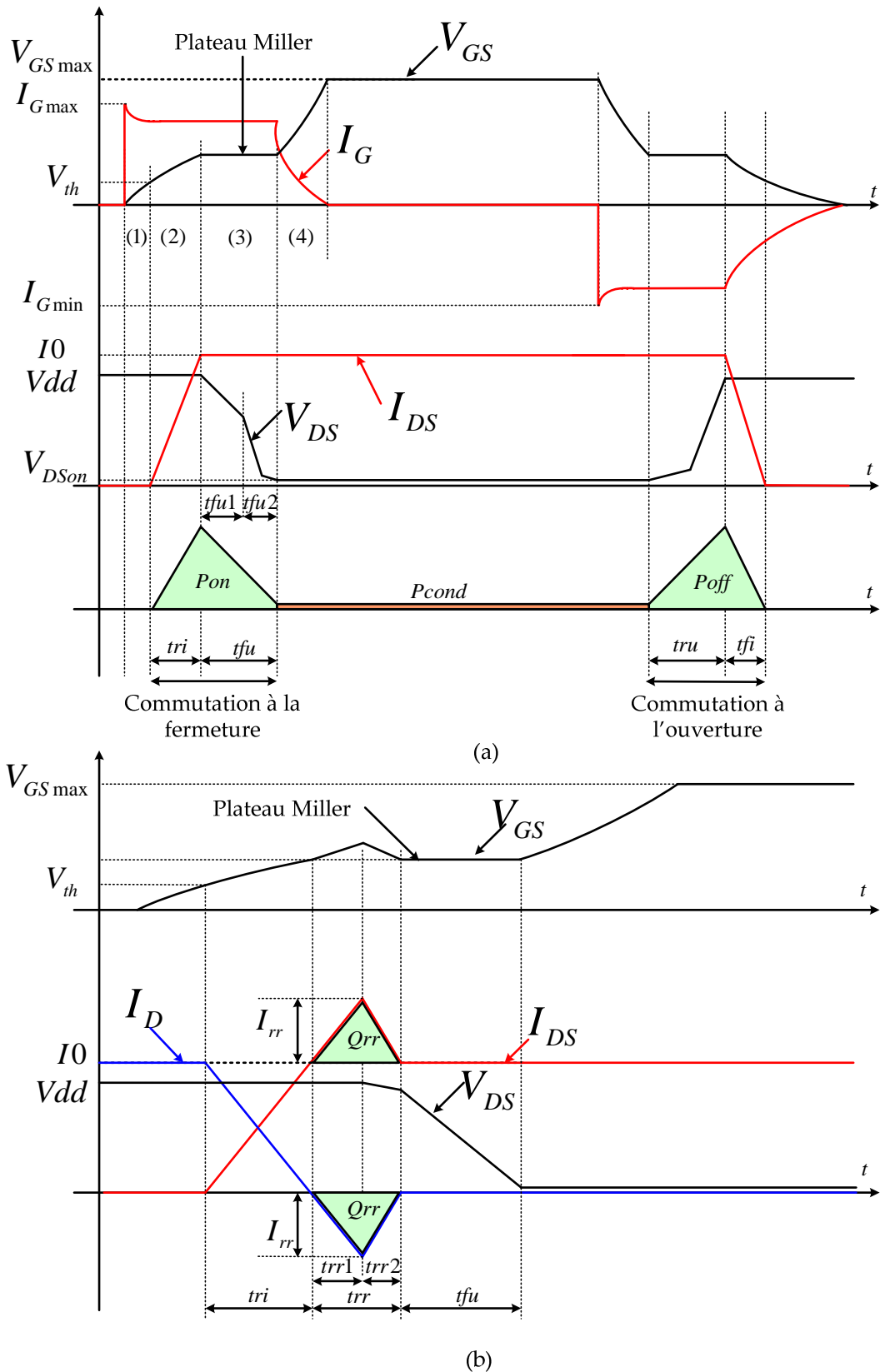


Figure I.8. (a) Commutation à la fermeture et à l'ouverture du MOSFET, (b) Commutation à la fermeture avec le recouvrement de la diode.

I.3.3. Analyse d'une commande optimale

I.3.3.a. Compromis entre la réduction des pertes en commutation et une bonne comptabilité électromagnétique (CEM)

Pendant les commutations à la fermeture et à l'ouverture, il y a des moments où le courant et la tension aux bornes de l'interrupteur ne sont pas nuls, cela représente des pertes de commutation importantes P_{on} et P_{off} qui sont représentées par des aires sur la Figure I.8 (a). Si on prend en compte le recouvrement de la diode D, cela génère en plus des pertes de commutation à la fermeture P_{onQrr} , les pertes de commutation à la fermeture et à l'ouverture du MOSFET sont calculées par les équations (I.4) (I.5) ci-dessous dans lesquelles f est la fréquence de découpage :

$$P_{onM} = f \cdot \int_0^{tri+tfu} V_{DS}(t) \cdot I_{DS}(t) \cdot dt = P_{on} + P_{onQrr} = f \cdot (Vdd \cdot IO \cdot \frac{tri + tfu}{2} + Qrr \cdot Vdd) \quad (I.4)$$

$$P_{offM} = f \cdot \int_0^{tru+tfi} V_{DS}(t) \cdot I_{DS}(t) \cdot dt = E_{off} = f \cdot (Vdd \cdot IO \cdot \frac{tru + tfi}{2}) \quad (I.5)$$

Le pic du courant de recouvrement peut être calculé par l'équation (I.6) :

$$Irr = \frac{2 \cdot Qrr}{trr} \quad (I.6)$$

Les pertes en conduction d'un MOSFET sont calculées par l'équation (I.7) dont :

- R_{DSon} : la résistance à l'état passant du MOSFET (Ω).
- α : rapport cyclique.

$$P_{cond} = I_0^2 \cdot R_{DSon} \cdot \alpha \quad (I.7)$$

En se basant sur les équations (I.4) et (I.5), pour réduire les pertes de commutation de l'interrupteur, il faut que les temps de commutation soient les plus courts possibles pour une fréquence de découpage donnée. Or, des commutations plus rapides se traduisent par des pentes dV_{DS}/dt et dI_{DS}/dt plus importantes qui risquent de générer des fortes perturbations électromagnétiques, tant en mode rayonné qu'en mode conduit, via les capacités et les inductances parasites dans le circuit. Par exemple, ces perturbations pourraient impacter le circuit de commande à travers des capacités de mode commun et puis causer le disfonctionnement de celui-ci comme le montre la Figure I.9 [7]. Dans ce cas, le courant de mode commun circulant dans la capacité C1 peut être calculé par la formule (I.8).

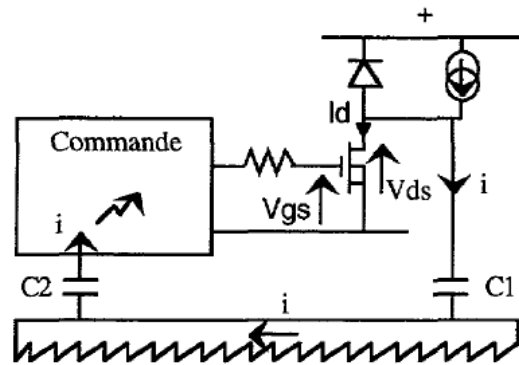


Figure I.9. Perturbations dues aux capacités de mode commun.

$$I_{C1} = C1 \frac{dV_{DS}}{dt} \quad (I.8)$$

Pour répondre à ces exigences contradictoires, nous pouvons imaginer un signal de commande quasi idéal qui serait capable de réguler le courant injecté et donc la quantité de charge à la grille du MOSFET [8], la Figure I.10 représente les éléments de celui-ci pour la commutation à la fermeture du MOSFET :

- Une impulsion initiale pour charger rapidement la grille jusqu'à la tension de seuil V_{th} .
- Une deuxième impulsion moins grande pour maîtriser la croissance du courant du drain afin d'éviter les perturbations électromagnétique.
- Une autre impulsion (qui peut être d'un niveau égal à la précédente) pour assurer une commutation en tension contrôlée.
- Une impulsion finale plus haute permet de charger rapidement la tension de la grille à son niveau final.

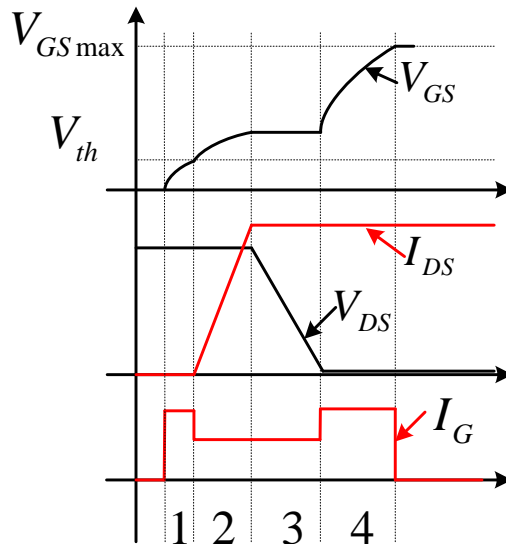


Figure I.10. Signal de commande idéal pour la fermeture du MOSFET.

En ce qui concerne les pertes en conduction, il paraît évident que la seule solution pour les réduire est de réduire la résistance à l'état passant des interrupteurs. Celle-ci dépend d'une part de la technologie du composant et d'autre part du niveau de tension de la grille pendant la conduction. Plus la tension de grille est grande, moins la résistance est importante, dans la partie suivante nous allons analyser plus en détail l'impact du niveau de tension de la grille sur la performance du composant.

I.3.3.b. Impact de la tension de la grille sur la dynamique de commutation

Nous avons vu que les commutations du MOSFET s'effectuent grâce à la charge ou décharge des capacités d'entrée sous une tension appliquée entre la grille et la source ou l'émetteur. De fait, le niveau de tension de grille dans les phases de commutation est déterminant pour la vitesse de commutation. Une formule analytique permettant de calculer de manière approximative la vitesse de croissance ou de descente du courant du MOSFET pendant la commutation est représentée par l'équation (I.9) [9] :

$$\frac{di_{DS}}{dt} \cong g_m \cdot \frac{V_G - V_{th} - \frac{I_{DS}}{2 \cdot g_m}}{C_{iss} \cdot R_G} \quad (I.9)$$

Avec :

- V_G : la tension appliquée à la grille.
- g_m : la transconductance qui dépend de la structure de l'interrupteur.
- R_G : résistance en série avec la grille.

En ce qui concerne la vitesse de changement de la tension drain-source pendant la commutation, elle est calculée par l'équation (I.10) [9] :

$$\frac{dV_{DS}}{dt} = \frac{V_G - V_{Miller}}{C_{GD} \cdot R_G} \quad (I.10)$$

$$V_{Miller} = V_{th} + \frac{I_{DS}}{g_m} \quad (I.11)$$

Ainsi, on peut remarquer que pour avoir une commutation plus rapide afin de réduire les pertes de commutation, on a intérêt à augmenter la tension de la grille. Il existe aussi des circuits de commande qui permettent d'ajuster de manière active le niveau de la tension de la grille en fonction de la vitesse de commutation souhaitée [10] [11].

I.3.3.c. Impact de la tension de la grille sur le régime statique de l'interrupteur

I.3.3.c.i. Impact sur la résistance à l'état passant

Généralement, la résistance à l'état passant des interrupteurs de puissance est dépendante de la structure de ceux-ci, elle est inversement proportionnelle au dopage de la zone volumique qui doit être suffisamment faible pour supporter la tension de blocage, donc pour les transistors de puissance à fort calibre en tension, leurs résistances à l'état passant sont de valeur assez importantes. La résistance à l'état passant R_{DSon} d'un MOSFET varie approximativement comme la puissance 2.6 de la tension de claquage V_{BR} [12] :

$$R_{DSon} = \alpha \cdot V_{BR}^{2.6} \quad (I.12)$$

En outre, la résistance à l'état passant dépend également de la tension de la grille. Généralement, pour les MOSFETs hautes tensions, lorsque la tension V_{GS} dépasse la tension de seuil V_{th} , la résistance à l'état passant décroît avec la tension de commande de façon hyperbolique comme le montre l'allure typique de la courbe de la Figure I.11. Il est donc nécessaire d'augmenter la tension de la grille pendant la phase de conduction afin de minimiser cette résistance et puis réduire les pertes de conduction, cependant, la tension de la grille doit être inférieure à la tension de claquage de l'oxyde de grille [5] (environ 60 à 100V pour les MOSFETs). Il est nécessaire que la tension de la grille reste suffisamment au-dessous de cette limite afin d'éviter toutes risque de défaillance de l'oxyde de grille. Ainsi, le compromis entre les pertes par conduction minimales et la fiabilité liée à l'oxyde de grille conduit à une tension de commande de grille comprise entre 10V et 15V pour les MOSFETs.

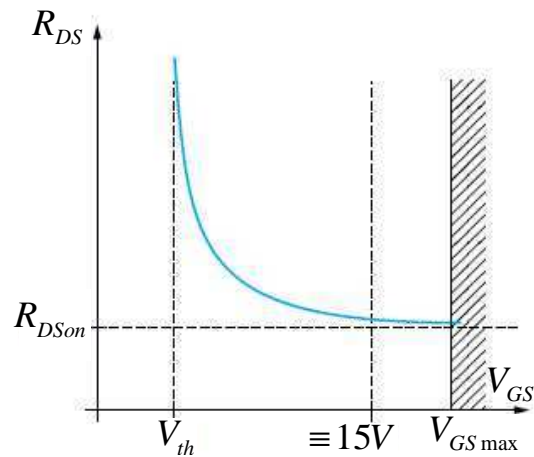


Figure I.11. Evolution de la résistance à l'état passant versus la tension de la grille [12].

I.3.3.c.ii. Impact sur la limite de courant de court-circuit

Nous venons de voir que commander les interrupteurs à la tension de grille plus haute pendant la phase statique permet de réduire la résistance à l'état passant et donc de réduire les pertes en conduction, mais cela n'est pas toujours profitable pour commander les MOSFETs hautes tensions car le courant de court-circuit pourrait alors être très grand en cas de défaut. En effet, au moment du court-circuit, la tension drain-source est particulièrement grande par rapport à la tension à l'état passant en régime nominal, le MOSFET travaillera dans la région active comme le montre la Figure I.12. Dans ce mode de fonctionnement, le courant total du drain dépend fortement de la tension grille-source V_{GS} et très peu de la tension drain-source V_{DS} comme le montre l'équation (I.13) :

$$I_{c-c} = \frac{C_0}{2} \cdot (V_{GS} - V_{th})^2 \quad (I.13)$$

De ce fait, sur la Figure I.12 nous illustrons les deux cas de fonctionnement avec une V_{GS1} de 10V et une V_{GS2} de 15V. En régime nominal, il y a peu de différences entre les tensions V_{DSon} (ou les résistances R_{DSon}) des deux cas, tandis que lors du régime court-circuit, le courant I_{C-C1} est beaucoup plus faible que I_{C-C2}

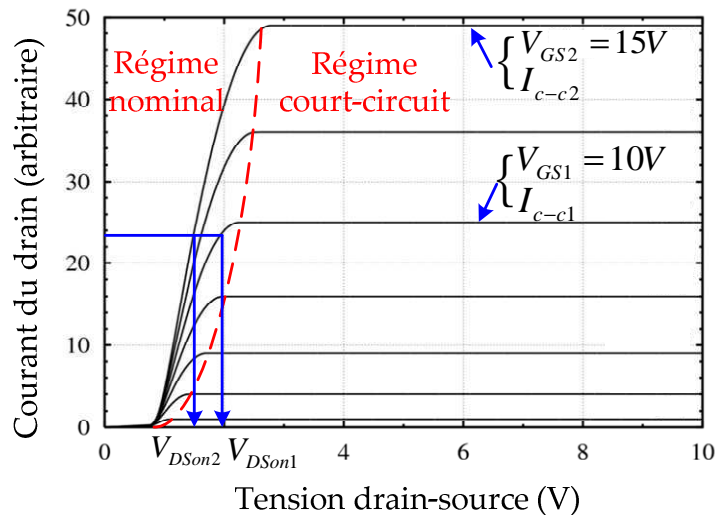


Figure I.12. Caractéristique statique de l'IGBT.

Ainsi, si on commande le MOSFET avec une tension de grille à un niveau élevé pendant la phase de conduction pour réduire les pertes de conduction, cela pourrait causer des situations dangereuses avec un courant de défaut trop important.

I.3.3.d. Nécessité d'une tension de grille négative à l'état bloqué – Effet d'auto-blindage

En ce qui concerne l'impact de la tension de la grille pendant la phase de l'ouverture du MOSFET, une tension de zéro serait suffisante pour bloquer celui-ci. Cependant, on a intérêt de faire un signal de commande négatif (-5V en général) pour le blocage, d'une part pour accélérer la vitesse de la phase de commutation à l'ouverture et donc réduire les pertes, et d'autre part pour permettre de garantir l'auto-blindage au sein du composant, ce phénomène est expliqué ci-dessous.

En effet, lorsque l'on applique une tension négative entre la grille et la source du MOSFET, il y aura un phénomène d'inversion dans la zone NV et donc il y aura création d'une couche P entre deux caissons P de la source du MOSFET sous forme d'une couche de trous d'inversion comme le montre la Figure I.13. On appelle ce phénomène « auto-blindage » ou « auto-écranage » [13]. La capacité parasite C_{GD} n'existe plus dans ce cas. En effet, la couche d'inversion crée une région conductrice P⁻ qui court-circuite les deux caissons P⁺, cela élimine donc la capacité C_{GD} (voir la Figure I.3) et augmente la surface de la capacité C_{Ds} . Par conséquent, toutes les variations de tension entre drain et source n'induisent plus de variation de charge au niveau de la capacité de grille ce qui protège le composant contre les

forts dV/dt subis. Le seuil de tension de la grille pour faire apparaître l'auto-blindage est fonction des caractéristiques de la zone de tenue en tension et de la structure du MOSFET mais peut être évaluée à environ $-1V$ à $-2V$, mais d'un point de vue pratique, on applique souvent une tension de la grille de $-5V$ pour garantir l'auto-blindage par une zone suffisamment inversée et donc suffisamment conductrice. Ce type de commande est particulièrement souhaitable dans les structures de type bras de pont, comme montrée dans la Figure I.6 où il y a toujours des fortes variations de potentiel au point milieu du pont.

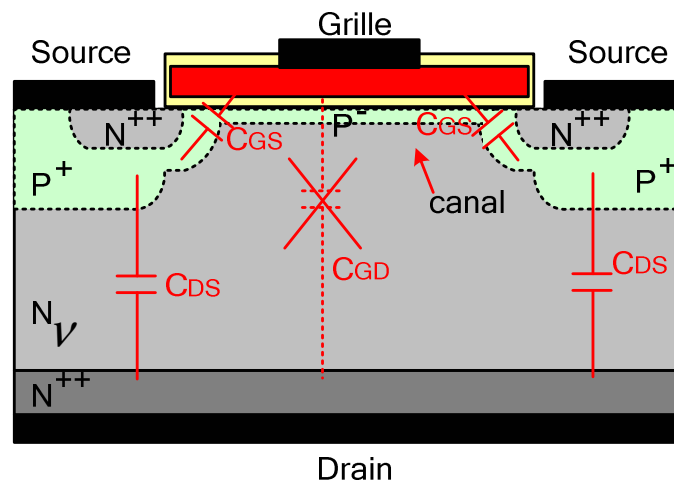


Figure I.13. Vue en coupe du MOSFET en cas d'application une tension V_{GS} négative – effet d'auto-blindage.

I.3.4. Définition des critères d'une commande optimale

Nous venons d'analyser la commande du MOSFET sous différentes facettes : les éléments nécessaires du circuit de commande et de contrôle et la définition d'un signal de commande de la grille optimal pour assurer l'efficacité du système ainsi que le bon fonctionnement du MOSFET. En résumé, nous pouvons lister quelques éléments qui sont les plus importants pour obtenir une « bonne » commande pour le MOSFET :

- Assurer une isolation galvanique au niveau du signal de commande et assurer une alimentation isolée pour apporter l'énergie nécessaire à la commutation. Ces isolations sont indispensables dans le cas du transistor « high side ».
- Avoir un signal de commande bipolaire et forme optimale :

- Une tension de la grille positive grande pour avoir une commutation à la fermeture rapide mais il faut prendre en compte aussi le compromis avec les vitesses de commutations qui peuvent créer des perturbations CEM.
 - Une tension de la grille pendant l'état passant raisonnable pour d'une part diminuer le niveau du courant du drain en cas de court-circuit et d'autre part assurer la résistance à l'état passant suffisamment faible.
 - Une tension de la grille négative pour avoir une commutation à l'ouverture rapide et assurer l'effet d'auto-blindage du MOSFET pendant l'état bloqué.
- Pourvoir transférer n'importe quel rapport cyclique (de zéro à 1).
 - Avoir une basse consommation.
 - Etre simple à la mettre en œuvre.
 - Etre fiable.

Dans la suite de ce chapitre, nous allons aborder l'état de l'art des topologies de commande existantes en analysant leurs performances et leurs limites.

I.4. Etat de l'art des circuits de commande

I.4.1. Topologies des circuits de commande rapprochée

I.4.1.a. Commande en tension

Cette topologie est la plus populaire pour les circuits de commande rapprochée pour les MOSFETs. La capacité d'entrée C_{iss} est chargée ou déchargée par une source de tension commutable V_G à travers la résistance de grille R_G . La Figure I.14 représente le schéma simplifié de ce circuit.

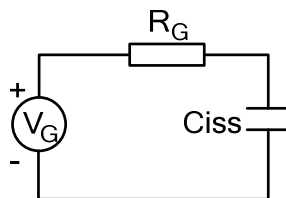


Figure I.14. Schéma simplifié du circuit de commande en tension.

La puissance dissipée dans le circuit de commande et dans la résistance de la grille dépend de la fréquence de découpage f et peut être calculée par l'équation (I.14).

$$P = V_G^2 \cdot C_{iss} \cdot f \quad (I.14)$$

La source de tension commutable peut être réalisée sous plusieurs formes représentées sur la Figure I.15. La première sur la Figure I.15 (a) est une structure en demi-pont en association avec une alimentation unipolaire pour faire un signal de commande unipolaire (0V, +V_{cc}), ce demi-pont est réalisé par des transistors bipolaires ou par des MOSFETs. La deuxième sur la Figure I.15 (b) utilise un demi pont avec une alimentation bipolaire afin de créer un signal de commande rapprochée bipolaire (-V_{cc}, +V_{cc}). La troisième sur la Figure I.15 (c) utilise un onduleur à deux bras avec une alimentation unipolaire, le point milieu d'un bras est connecté à la source du MOSFET permettant de faire un signal de commande négative de -V_{cc} pour bloquer celui-ci avec une commande appropriée au sein du pont complet [14] [15]. Les deux dernières structures permettent de faire une tension négative pour le blocage du transistor et donc d'assurer l'auto-blindage au sein de celui-ci.

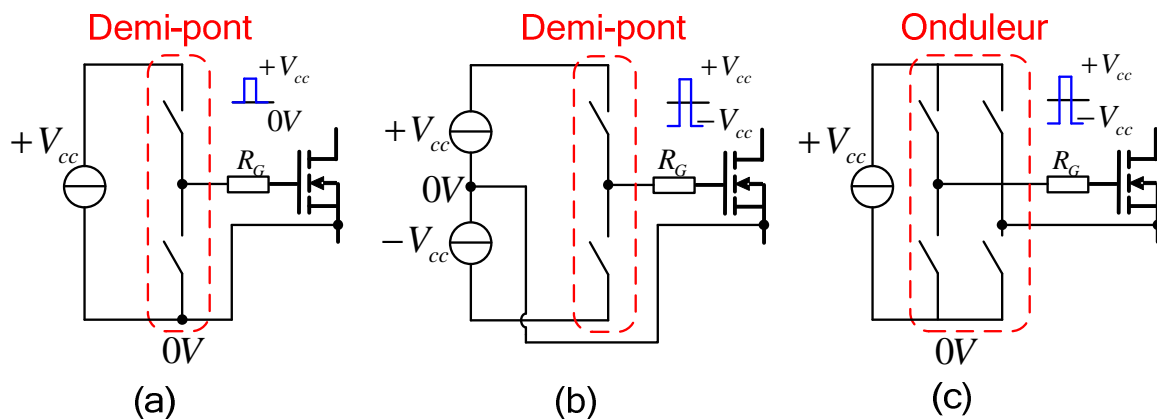


Figure I.15. Topologies de commande en tension.

(a) Commande unipolaire avec le push-pull, (b) Commande bipolaire avec le push-pull,

(c) Commande bipolaire avec l'onduleur.

La commande en tension est la plus simple et la plus répandue mais elle peut conduire à des pertes non négligeables en fonction de la taille de la capacité d'entrée et de la fréquence de découpage du transistor commandé. De ce fait, elle est considérée comme la moins adaptée aux applications à haute fréquence.

I.4.1.b. Commande en courant

La commande en courant consiste à faire commuter l'interrupteur de puissance avec une source de courant, la source doit pouvoir fournir un courant positif et négatif avec une

tension sur la capacité de grille aussi bien positive et négative. La Figure I.16 présente le schéma de principe du circuit de commande.

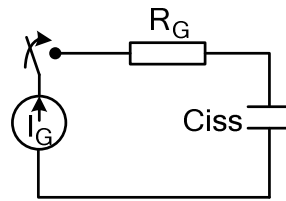
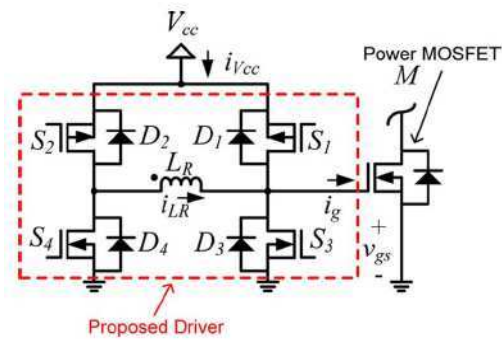


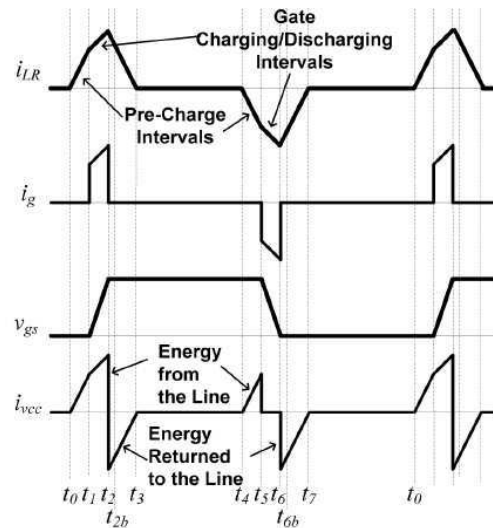
Figure I.16. Schéma de principe du circuit de commande en courant.

Du point de vue pratique, la source de courant est généralement réalisée avec une petite inductance et celle-ci est pré-chargée avant la phase de commutation de l'interrupteur pour faire l'office d'une source de courant. Les commutations à l'ouverture et à la fermeture de l'interrupteur sont effectuées par la résonance du circuit LC_{iss} , cela permet de récupérer une partie de l'énergie et de réduire la consommation du driver.

La Figure I.17 montre un exemple d'un circuit de commande en courant avec les formes d'ondes en fonctionnement. Le courant de l'inductance L_R est chargé pendant l'intervalle t_0-t_1 avant chaque commutation et puis récupéré après celle-ci. Cette topologie consomme 202mW par rapport à 338mW du circuit de commande en tension conventionnel en commandant le MOSFET IRF6618 (Q_G 43nC) à 1Mhz, soit 40% de réduction de consommation. Cependant, elle ne peut pas effectuer une tension négative de commande de la grille pour assurer l'auto-blindage du transistor.



(a)



(b)

Figure I.17. (a) Schéma du circuit de commande en courant, (b) Formes d'onde de fonctionnement [16].

La Figure I.18 montre un autre exemple d'un circuit de commande en courant avec une source de courant réalisée à base d'un amplificateur opérationnel [17], ce driver permet d'injecter un courant de grille avec un profil déterminé et sous une tension positive ou négative.

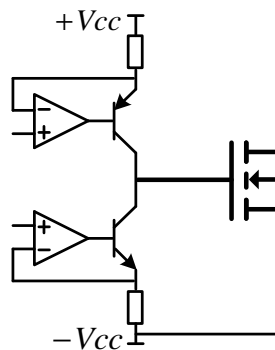


Figure I.18. Commande en courant avec un asservissement en courant.

I.4.2. Techniques de transfert du signal et de la puissance de commande

Comme nous avons mentionné auparavant, la commande du MOSFET « high side » est plus complexe que celle du MOSFET « low side », elle nécessite une alimentation et une commande éloignée isolées. De ce fait, dans cette partie nous voulons traiter le cas le plus complexe donc celui du MOSFET « high side ».

I.4.2.a. Transfert de signal et de puissance par deux chemins séparés

La première catégorie consiste à transférer le signal de commande et l'énergie de commande par deux chemins séparés. Nous allons tout d'abord aborder les techniques pour transférer le signal de commande éloignée et puis les solutions pour faire une alimentation flottante.

I.4.2.a.i. Transfert du signal et son isolation galvanique

Plusieurs techniques sont utilisées pour le transfert et l'isolation galvanique de la commande éloignée, on peut citer celle par l'optocoupleur [18], ou celle par le décalage des niveaux logiques ou « level-shifter » en anglais [19]. Une autre solution alternative consiste à utiliser un transformateur d'impulsion, ce transformateur pourra transférer l'énergie nécessaire à la commutation en même temps que l'ordre de commande [20]. Une nouvelle tendance est de transférer le signal de commande par la transmission sans fil [21]. Enfin, des pistes de recherche repose sur l'introduction de fibres optiques dans les package des modules et composants de puissance [22] [23]. Le Tableau I.1 compare ces quatre techniques d'isolation de commande concernant la vitesse de propagation du signal dV/dt , le temps de propagation, le niveau de tension d'isolation ainsi que la possibilité d'intégration [24].

Caractéristique	Fibre optique	Transformateur d'impulsion	Optocoupleur	« Level-shifter »
dV/dt	> 100 kV/ μ s	Jusqu'à 100 kV/ μ s	Jusqu'à 50 kV/ μ s	< 50 kV/ μ s
Temps de propagation	Faible avec des interfaces rapides	10 ns à 100 ns	100 ns à 1 μ s	Très faible
Tension d'utilisation	> 10 kV	Max 10 kV, avec précautions particulières de réalisation	Environ 5 kV maximum pour les composants usuels	Max 1200 V maximum pour les composants usuels
Possibilité d'intégration	Non (sauf pour l'interface optique)	Oui [25]	Oui	Oui

Tableau I.1. Caractéristiques usuelles des différents modes d'isolation de la logique de commande [24].

I.4.2.a.ii. Alimentations flottantes : alimentation externe, auto-alimentation, bootstrap, pompe de charge

Pour répondre aux spécifications d'une alimentation flottante pour le transistor « high side », plusieurs solutions coexistent. Elles présentent toutes des spécificités qui font qu'elles sont particulièrement adaptées à une application donnée. On aborde ici l'alimentation isolée, l'auto-alimentation, le bootstrap et la pompe à charge. Nous allons présenter ensuite une étude plus approfondie de ces solutions avec une comparaison complète à la fin.

- **Alimentation externe isolée :**

Cette solution est la plus classique, elle consiste à utiliser une alimentation isolée pour la commande rapprochée du MOSFET. Elle permet de travailler dans une large gamme de fréquences de découpage avec un rapport cyclique qui peut varier entre zéro et 1, ce qui couvre la plupart des applications de l'électronique de puissance. Cette alimentation est réalisée par des convertisseurs DC/DC utilisant un transformateur haute fréquence, piézo-électrique [26] ou magnétique voire même sans noyau [27].

Cependant, le premier désavantage de ce mode d'alimentation est une faible efficacité du convertisseur DC/DC ce qui traduit par une consommation importante du circuit de commande rapprochée. De ce fait, plusieurs recherches ont été développées concernant la topologie du convertisseur DC/DC afin d'améliorer la performance et l'efficacité [28] [29] [30] [31]. En parallèle, ces dernières années, nous remarquons une évolution des recherches qui consiste à intégrer ce type d'alimentation de petite puissance tout en gardant un niveau de tension d'isolation important [32]. Néanmoins, le rendement reste assez faible.

Le deuxième inconvénient de ce mode d'alimentation est la création de chemins de propagation parasites conduisant à la génération des courants de mode commun. Cela est causé par la présence de capacités de couplage entre le primaire et le secondaire de l'alimentation isolée. La présence de ces capacités parasites devient très critique lorsqu'il y a une forte variation de tension au niveau secondaire du circuit. Des courants de mode commun vont circuler dans le primaire du driver et dans la commande globale à travers les capacités parasites vers la masse. Ils peuvent perturber l'environnement électronique du système de commande et causer le dysfonctionnement. La Figure I.19 représente les capacités de mode commun existant dans une alimentation isolée conventionnelle de type unipolaire, où l'on trouve que lorsque le potentiel de la source du transistor « high side » varie fortement par rapport à masse du circuit de commande, des courants de mode commun importants vont être générés et circuler dans la capacité C. Pour donner un ordre

de grandeur de ces capacités parasites, un convertisseur DC/DC commercialisé NMG1215SC, 2W a une capacité d'isolation de 68 pF [33]. Supposons que la variation de la tension de la source S par rapport à la masse soit de 2 kV/μs, on en déduit que le courant qui circule dans la capacité parasite C est d'environ 0.136A par l'équation (I.15).

$$I_C = C \cdot \frac{dV_{S-masse}}{dt} = 68 \cdot 10^{-12} \cdot \frac{2 \cdot 10^3}{10^{-6}} = 0.136(A) \quad (I.15)$$

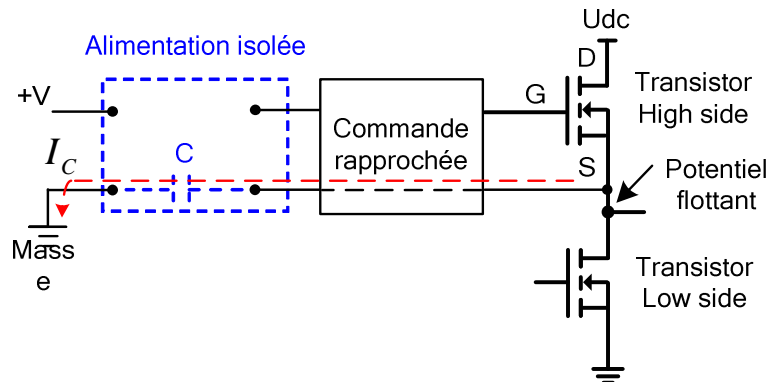


Figure I.19. Représentation des capacités de mode commun causées par l'introduction d'une alimentation isolée.

Il faut cependant souligner qu'avec ce mode d'alimentation, nous pouvons générer un signal de commande bipolaire en utilisant deux alimentations, une positive et une négative. Le signal de commande est optimal dans ce cas avec une tension négative pendant l'état bloqué de l'interrupteur, qui assure l'auto-blindage du composant comme nous l'avons expliqué précédemment.

Pour tous ses avantages, ce mode d'alimentation est encore très utilisé pour les MOSFETs ou IGBTs de moyenne à haute puissance dans les convertisseurs industrialisés. La Figure I.20 représente l'image d'un circuit de commande pour les IGBTs et les MOSFETs de hautes puissances en utilisant l'alimentation isolée.

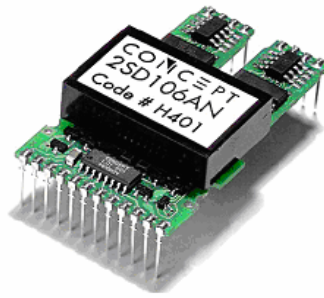


Figure I.20. 2SD106AI Scale driver pour IGBTs et MOSFETs de puissance.

• **Auto-alimentation :**

Cette solution permet de créer une alimentation basse puissance référencée au potentiel de référence du transistor de puissance en prélevant l'énergie du circuit de puissance. Elle alimente ensuite le circuit de commande rapproché. Le principe du fonctionnement d'un circuit d'auto-alimentation classique peut être résumé par la Figure I.21 [34]. Il est basé sur la régulation linéaire et sur le stockage dans un condensateur C d'une énergie prélevée à partir du circuit de puissance.

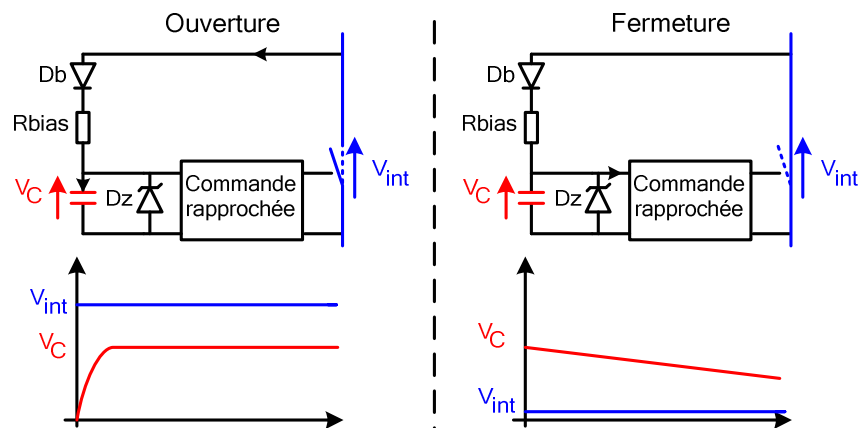


Figure I.21. Version classique de l'auto-alimentation pour la commande rapprochée.

Les valeurs du condensateur C, de la résistance R_{bias} et de la diode zener Dz dépendent de la fréquence de fonctionnement, du rapport cyclique et de la consommation de la commande rapprochée. Cette simple solution permet de créer une alimentation flottante pour la commande rapprochée pour le transistor « low side » ou « high side » par des cycles de recharge - stockage - recharge.

Pour autant, ce type d'alimentation impose quelques contraintes :

- La fréquence de fonctionnement et le rapport cyclique sont limités en valeurs basses en raison de la phase de décharge du condensateur. Lorsque le temps de

conduction du transistor de puissance est trop important, la tension d'auto-alimentation aux bornes du condensateur diminue au-dessous de la valeur minimum admissible par la commande rapprochée à cause de la décharge de celui-ci, cela provoquera un mauvais état passant du transistor en raison de la faible valeur de la tension de grille.

- Ce type d'alimentation génère des pertes qui peuvent être importantes dans certaines conditions.
- Cette alimentation est unipolaire.

Afin d'améliorer les performances statique et dynamique du circuit, ainsi que la possibilité d'intégration monolithique, plusieurs solutions ont été proposées. A titre exemple, une publication récente a modifié la structure afin de pouvoir travailler à basse fréquence et à grand rapport cyclique [35]. En ce qui concerne l'intégration monolithique du circuit de l'auto-alimentation, plusieurs travaux de thèse réalisés au sein du G2Elab ont proposé des solutions [22] [36] [4].

- **Bootstrap**

La technique de bootstrap permet de créer une alimentation flottante pour le circuit de commande rapprochée du transistor « high side » par le stockage d'énergie dans un élément capacitif et grâce à l'alimentation du circuit de commande du transistor « low side » [24]. Le principe de fonctionnement de cette technique est expliqué par la Figure I.22.

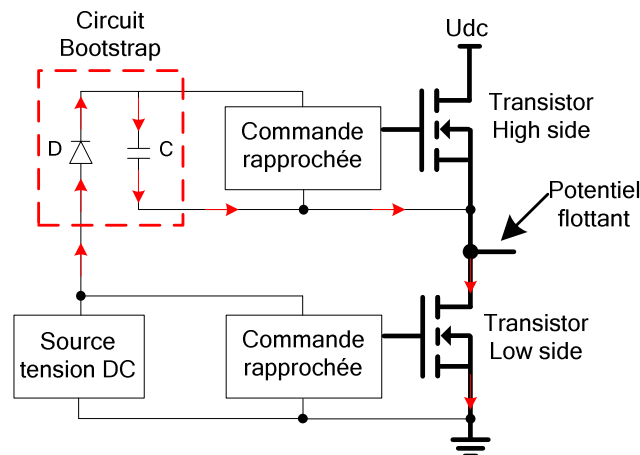


Figure I.22. Principe de fonctionnement du circuit de Bootstrap.

Cette solution est simple et à bas coût car elle demande peu de composants. Cependant, elle représente quelques inconvénients au niveau de fonctionnement :

- Puisque l'alimentation de la commande rapprochée est fournie par la décharge du condensateur, la durée de conduction du transistor « high side » ne doit pas être trop longue pour éviter une décharge importante. Compte tenu de la consommation du circuit de commande, la fréquence de découpage ne doit pas être trop basse.
- La durée de conduction du transistor « low side » doit être suffisamment longue pour que le condensateur de bootstrap puisse se charger totalement.
- Cette solution nécessite une alimentation externe.
- Pendant la phase de charge du condensateur C , la chute de tension pourrait être importante à cause de tension à l'état passant du transistor « low side ».
- Cette structure contient aussi une capacité parasite de mode commun issue de la diode D .
- Cette solution ne peut fournir qu'une alimentation de type unipolaire.
- L'intégration monolithique de ce circuit est difficile pour des raisons technologiques.

Cette technique est plutôt compatible dans les structures de convertisseur de type pont complet, ou de multi niveaux [37] [38], ou elle est très utilisée par International Rectifier pour alimenter les circuits de commande intégrés pour les convertisseurs triphasés [39].

- **Pompe de charge**

Le principe de fonctionnement de la pompe de charge est de créer une alimentation de la commande rapprochée à partir de la tension du circuit de puissance U_{DC} et la tension issue de la commande V_{CC} comme le montre la Figure I.23 (a) [24]. La Figure I.23 (b) illustre le principe de fonctionnement du circuit de la pompe de charge qui permet d'obtenir à partir d'un faible niveau de tension V_{CC} (5V ou 15V), une tension supérieure au bus d'alimentation de tension U_{DC} . La tension de polarisation U_{POL} peut atteindre V_{CC} en négligeant les chutes de tension directes à travers les diodes $D1$ et $D2$.

La valeur de la capacité $C2$ dépend des vitesses de commutation des interrupteurs et de la charge nécessaire pour charger la grille de l'interrupteur de puissance. Plus la vitesse de commutation est élevée, plus la charge nécessaire pour charger la grille de l'interrupteur principal est grande. Donc la valeur de la capacité $C2$ doit augmenter en conséquence.

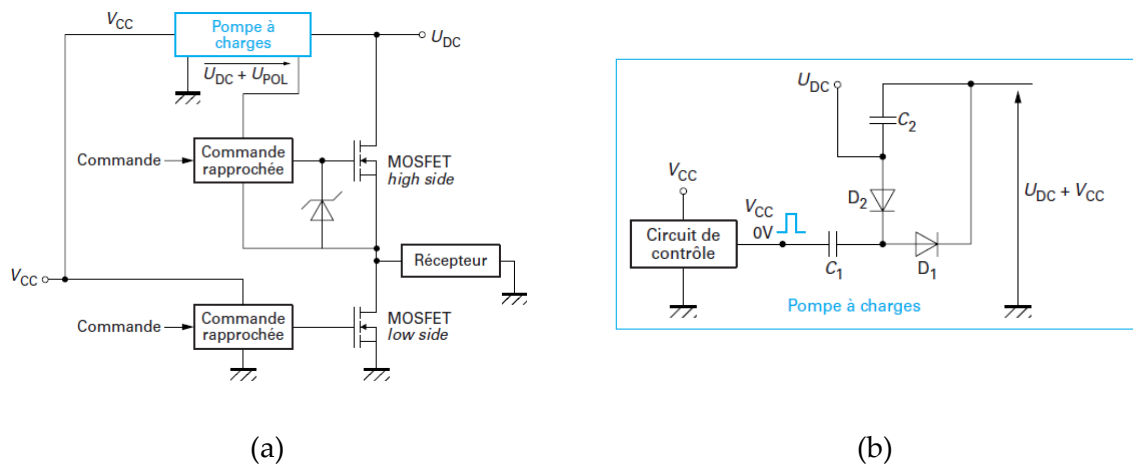


Figure I.23. (a) Principe de fonctionnement du circuit de la pompe à charge, (b) Circuit pompe à charge [24].

Cette solution est simple et intégrable (pour des valeurs de C₂ faibles). Cependant son inconvénient est qu'elle demande une alimentation externe V_{CC} pour la recharge de la capacité. De plus, elle ne permet que fournir une alimentation unipolaire. Cette solution n'est applicable qu'en basse et tension (jusqu'à quelques dizaines de volts), elle est très utilisée dans les applications de télécommunication ou bien d'automobile.

I.4.2.b. Transfert de signal et de puissance par un même chemin : transformateur d'impulsion

Nous présentons ici la deuxième catégorie qui consiste à transférer simultanément le signal de commande et l'énergie de commande par le transformateur d'impulsion tout en assurant l'isolation galvanique.

Le circuit classique d'une commande rapprochée à base de transformateur d'impulsion est montré sur la Figure I.24 (a) [40]. Le transformateur est connecté avec la sortie d'un circuit de commande type MLI (Modulation à Largeur d'Impulsion). Un condensateur de couplage C est mis en série au primaire du transformateur pour maintenir la tension moyenne nulle au primaire afin de ne pas saturer le transformateur. La tension en régime permanent aux bornes de ce condensateur est calculée par l'équation (I.16) dont α est le rapport cyclique. La Figure I.24 (b) illustre la tension au secondaire du transformateur ou bien la tension appliquée à la grille du transistor en fonction du rapport cyclique en supposant que la tension d'alimentation V_{DRV} est de 10V. Nous pouvons remarquer qu'en augmentant le rapport cyclique, la tension positive appliquée à la grille diminue, de ce fait, à un rapport

cyclique important, il n'y aura pas suffisamment de tension pour commander en fermeture le transistor. Il en résulte que ce circuit est uniquement utilisable pour les applications à des rapports cycliques entre 0 et 50%. En plus, cette structure nécessite un transformateur d'impulsion dont la taille est importante car celui-ci doit être conçu pour pouvoir transférer des impulsions d'une durée égale au temps de conduction du MOSFET.

$$V_c = \alpha \cdot V_{drv} \quad (I.16)$$

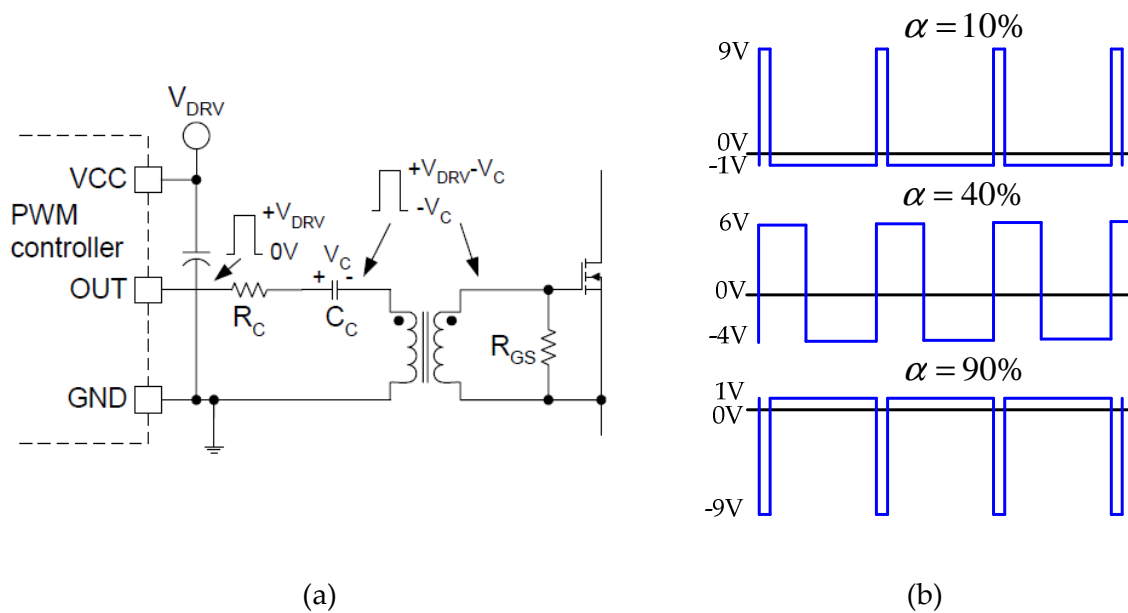


Figure I.24. (a) Circuit de commande rapprochée à base de transformateur d'impulsion [40], (b) Tension de commande à la grille avec différentes valeurs du rapport cyclique.

Il existe une autre topologie à base de transformateur d'impulsion qui est largement utilisée et peut surmonter la limite du rapport cyclique de 0.5 du précédent, elle est montrée sur la Figure I.25 (a), les formes d'ondes de la tension au secondaire du transformateur V_s et de la tension entre la grille et la source V_{GS} sont présentées sur la Figure I.25 (b) [41] [42] [43].

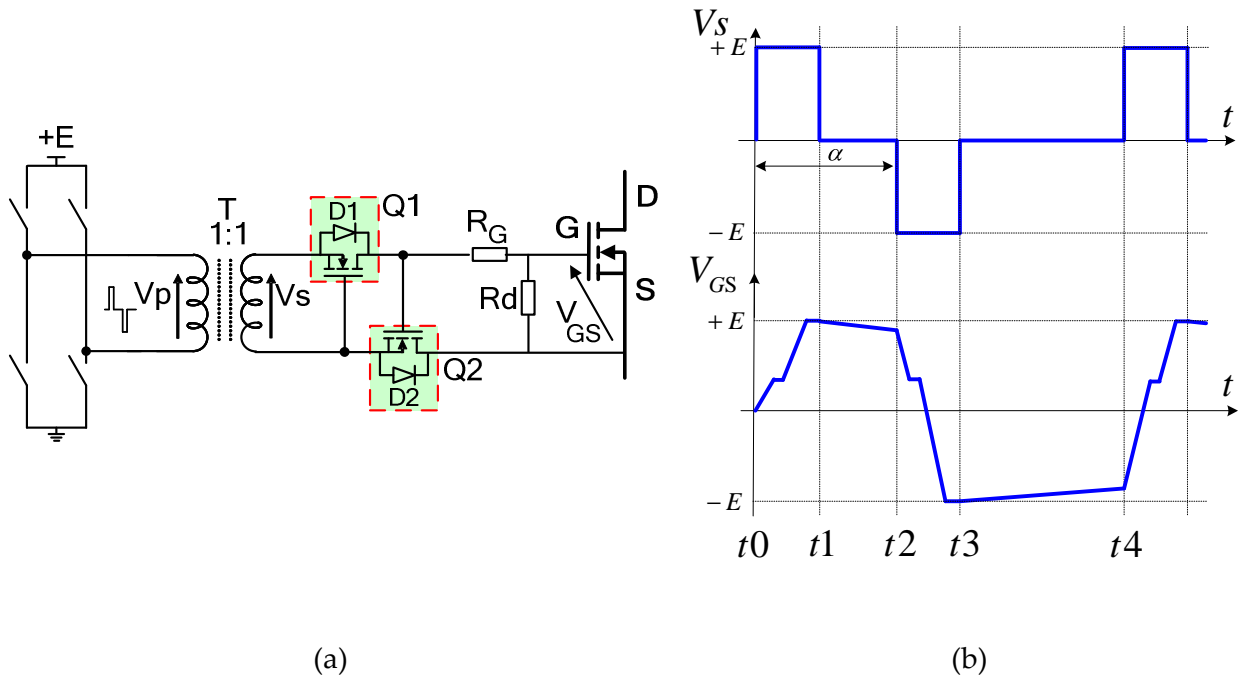


Figure I.25. Topologie de commande en base de transformateur d'impulsion [41] [42] [43] : (a) Schéma du circuit, (b) Formes d'ondes de fonctionnement.

Cette structure de commande nécessite un pont complet au primaire du transformateur pour générer un signal de commande impulsionnel à trois niveaux, et puis un transformateur d'impulsion haute fréquence pour transférer le signal et l'énergie de commande. Du côté secondaire du transformateur, elle utilise deux N-MOSFETs de basse puissance Q1 et Q2. Grâce aux deux transistors Q1 et Q2 qui font office de système anti-retour, la tension de la grille du transistor de puissance peut se maintenir pendant les phases de conduction et de blocage. Cette structure a l'avantage de produire un signal de commande bipolaire de $+E$, $-E$ à partir d'une alimentation unipolaire $+E$. Néanmoins, ce système de commande rapprochée présente quelques inconvénients :

- Lors de l'état passant du MOSFET de puissance, si une perturbation fait apparaître une tension négative au secondaire du transformateur, cela risque de mettre le transistor Q1 en conduction et de décharger la grille du MOSFET de puissance. En effet, la tension entre la grille et la source du MOSFET Q1 est l'inverse de la tension V_s . Le seuil de la défaillance possible du circuit est donc la tension de seuil V_{th} du transistor Q1 qui se situe classiquement entre 2V et 4V.
- Il y a des risques accrus de défaillance due à la présence de deux composants supplémentaires, les transistors Q1 et Q2.

La technique du transformateur d'impulsion permet de transférer le signal et l'énergie de commande avec un temps de délai réduit, elle offre aussi un niveau d'isolation galvanique très élevé. Cependant, l'utilisation du transformateur d'impulsion pour la commande rapprochée présente quelques inconvénients :

- Elle crée des chemins additionnels de propagation pour les perturbations CEM en mode commun dues à la capacité entre le primaire et le secondaire du transformateur.
- Les topologies existantes ne peuvent pas effectuer une commande fermeture/ouverture permanente car une phase de désaturation du transformateur est nécessaire.

I.4.2.c. Comparaison des techniques de transfert d'énergie de commande

Nous venons de présenter les techniques pour le transfert de l'énergie pour la commande du MOSFET. Le Tableau I.2 fait une comparaison sur la base d'estimations de ceux-ci en plusieurs termes afin que l'on puisse choisir la meilleure solution pour les applications spécifiques.

	Alimentation isolée	Auto-alimentation	Bootstrap	Pompe à charge	Transformateur d'impulsion
Nombre d'alimentation	1	0	1	1	1
Signal de commande bipolaire	Oui	Non	Possible [15]	Non	Oui
Limite du rapport cyclique	$0 < \alpha \leq 1$	$0 < \alpha < 1$ Possible $\alpha = 1$ [35]	$0 < \alpha < 1$	$0 < \alpha < 1$	$0 < \alpha < 1$
Fréquence de découpage	Basse-haute	Haute	Haute	Haute	Haute
Fiabilité	•	••	••	••	•••
Intégrabilité	Oui	Oui	Non	Oui	Non

Tableau I.2. Comparaison des techniques de transfert d'énergie pour la commande rapprochée des interrupteurs « high side ».

I.4.3. Evolution des circuits de commande intégrés

Durant ces dernières années, les systèmes de commande et de gestion de l'énergie électrique ne cessent d'évoluer pour améliorer leurs performances, leurs compacités ainsi que leur fiabilité tout en réduisant leur coût de mise en œuvre. Dans ce contexte, l'intégration des circuits de contrôle et de commande, que ce soit dans une puce individuelle ou intégrés au sein du composant de puissance, est devenue une piste de recherche indispensable. Ainsi, on peut distinguer deux catégories de l'intégration du circuit de commande :

- Intégration monolithique : le circuit de commande est intégré au sein du composant de puissance à commander, ils ont la même technologie.
- Intégration hybride : la puce de commande intégrée est séparée de la puce de puissance et elles ont différentes technologies.

Dans le cadre de cette thèse, nous voulons aborder en particulier l'évolution des circuits de commande intégrés. Ceux-ci intègrent en général l'étage de commande rapprochée, l'isolation pour la commande éloignée et les fonctions de protection associées. Ils peuvent alors commander un interrupteur seul ou une structure de conversion d'énergie complète. Les intérêts de cette approche sont multiples, tant au niveau de l'efficacité, de la fiabilité qu'au niveau de la simplicité de mise en œuvre.

Ces circuits ont besoin d'une alimentation isolée externe [44] ou d'une alimentation externe de type Bootstrap [45]. Certains peuvent intégrer l'alimentation pour la commande rapprochée telles que la pompe de charge [46], l'alimentation isolée par un convertisseur DC/DC isolée [47], ou l'auto-alimentation [14]. La Figure I.26 représente l'image d'une puce de commande récemment réalisée au sein du G2Elab, elle intègre le circuit du contrôle/commande, la commande rapprochée et quelques éléments permettant de faire l'auto-alimentation [14].

Certains circuits peuvent contenir aussi l'étage de l'isolation pour la commande éloignée, par exemple un transformateur d'impulsion [25].

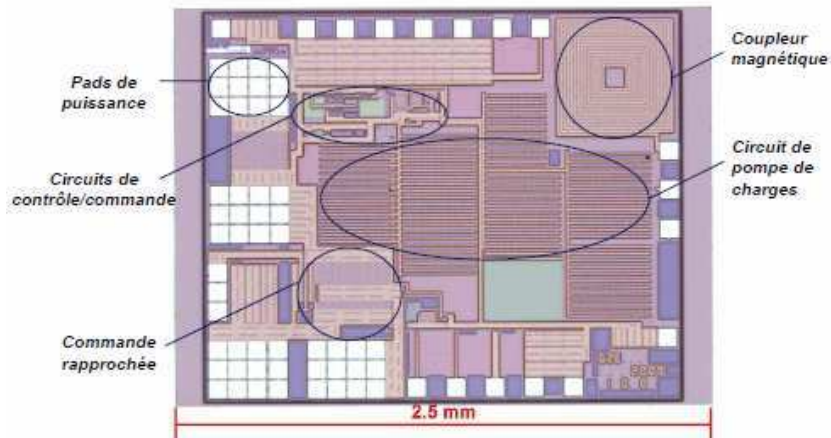


Figure I.26. Photographie au microscope de la puce [14].

Les circuits intégrés existant incluent plus ou moins de fonctions de protection, en plus de leur fonction de base de commande rapprochée, telles que les protections de surintensité, de court-circuit, de surtension ou de sur température. La Figure I.27 montre un exemple d'un circuit de commande intégré IR2233 pour le convertisseur triphasé, il utilise une résistance externe pour détecter la surintensité du courant.

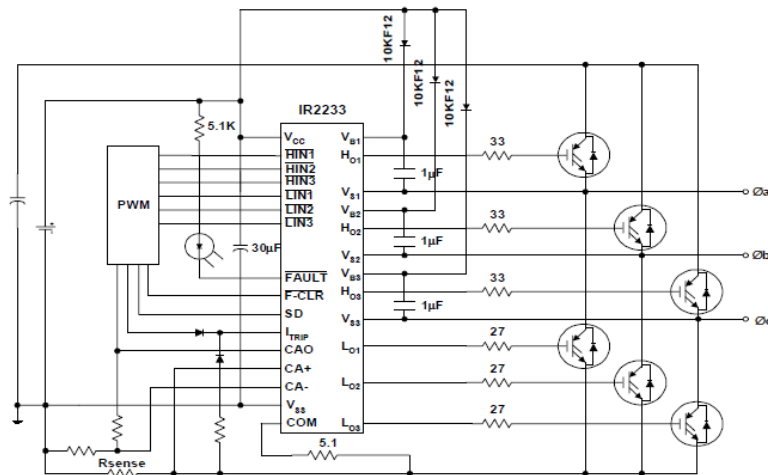


Figure I.27. Circuit de commande intégré IR2233 pour le convertisseur triphasé.

En ce qui concerne les applications, on peut trouver des circuits de commande pour le transistor de puissance seul « low side » ou « high side », pour la structure de puissance de type demi-pont, pont complet [45]. Il existe aussi des circuits de commande pour les convertisseurs conventionnels de type Buck, Boost ou Flyback [48]. A l'heure actuelle, seule la société International Rectifier a fabriqué des circuits de commande intégrés pour le convertisseur triphasé [39]. A ce jour, les circuits intégrés commercialisés peuvent s'utiliser pour les interrupteurs de puissance à grille isolée MOSFETs et IGBTs de petite et moyenne

puissance (tension jusqu'au 1200V). Ainsi, ils peuvent couvrir de nombreuses applications industrielles comme l'automobile, le contrôle du moteur, télécommunications...

Cependant, l'électronique de puissance d'aujourd'hui voit l'émergence de nouvelles structures des convertisseurs de puissance non conventionnelles telles que les convertisseurs multi niveaux ou polyphasé avec pour but l'augmentation de la densité de puissance, la réduction du volume des composants passifs [49] [50]. Le fait d'augmenter le nombre des composants actifs dans ces convertisseurs impose par conséquent l'augmentation du nombre et de la complexité des circuits de commande associés. La Figure I.28 montre l'image d'un ensemble de circuit de commande pour un convertisseur triphasé entrelacé de 25 kVA composé de quatre bras à six cellules identiques, celui-ci contient 48 drivers pour 48 IGBTs, cela occupe un espace non négligeable et présente une complexité importantes [51].



Figure I.28. Circuit de commande pour le convertisseur triphasé entrelacé [51].

A l'heure actuel, même s'il existe des circuits de commande intégrés pour les applications conventionnelles avec des performances satisfaisantes, il n'y a pas de produits qui semblent génériques pour répondre aux différents cahiers de charge de convertisseur de puissance et aux nouvelles structures de conversion d'énergie comme celle présenté sur la Figure I.28. L'objectif de cette thèse est de présenter la conception, la réalisation et la mise en œuvre d'un circuit générique de commande rapprochée qui est partiellement intégré et compact pour différentes applications de l'électronique de puissance, dans le but de simplifier, fiabiliser mais aussi et surtout de généraliser et de systématiser la mise en œuvre de structures de conversion souples et performantes.

I.5. Perspective : vers un circuit générique de commandes rapprochées pour l'électronique de puissance

Dans ce premier chapitre, nous avons d'abord rappelé la technologie des transistors à grille isolée MOSFETs. Ensuite, la commande rapprochée de ce dernier a été présentée sous l'aspect des performances que celle-ci doit apporter tant au niveau dynamique qu'au niveau statique. Autrement dit, nous avons défini une commande idéale pour ces composants de puissance avec plusieurs critères. Elle devrait : être une commande bipolaire, avoir une haute efficacité, être fiable, être simple à mettre en œuvre. Nous avons ensuite présenté l'état de l'art des circuits de commande pour le MOSFET sous forme trois composants principaux : la topologie de commande rapprochée ou d'amplificateur de puissance, le transfert de signal de commande éloignée avec l'isolation galvanique, et le transfert de la puissance de commande en utilisant différentes techniques d'alimentation. Nous avons aussi abordé l'évolution des circuits de commande intégrés pour les structures de conversion de l'énergie. En parallèle, nous avons fait des analyses et des critiques de l'état de l'art en fonction des critères définis auparavant.

Suite à l'état des lieux présentés ci-dessus, notre objectif dans ce travail de thèse et de concevoir un circuit de commande générique pour l'électronique de puissance. Dans cette perspective, nous voulons privilégier les critères d'un circuit de commande compact, fiable, simple à mettre en œuvre et qui soit le plus générique possible, c'est-à-dire qui puisse répondre à un panel varié d'applicatifs. En conséquence, le critère de l'efficacité ne serait pas pris en compte dans un premier temps.

Dans le chapitre II, nous allons présenter notre nouvelle structure de commande rapprochée à base de transformateur d'impulsion. La commande à base de transformateur d'impulsion semble la technique la plus fiable et compacte. Notre structure de commande a été conçue dans la perspective de l'intégration. En effet tous ses éléments pourront être intégrés par la suite pour faire un système de commande intégré à base de cellules élémentaires, tout en assurant les critères d'un signal de commande optimal tel que décrit auparavant.

Le chapitre III présentera les fonctionnalités ajoutées qui permettent d'améliorer la performance de notre nouvelle topologie de commande. En fin, dans le chapitre IV, nous

allons présenter le processus de conception et réalisation notre système de commande avec le prototype final et la validation expérimentale.

Bibliographie

- [1] D. B. Nguyen, "Intégration fonctionnelle autour des composants quatre quadrants avec l'application à la conversion AC/AC," Thèse, INPG, 2008.
- [2] H. Mathieu, *Physique des semi-conducteurs et des composants électriques*, Masson. 1987.
- [3] S. LEFEBVRE and B. MULTON, "Commande des semi-conducteurs de puissance : contextes." *Techniques de l'ingénieur*.
- [4] G. VERNEAU, "Optimisation géométrique de MOSFETs de puissance en vue d'intégrer l'alimentation de l'étage de commande," Thèse, INPG, 2003.
- [5] J. Arnould and P. Merle, *Dispositifs de l'électronique de puissance Tome 1: diodes et transistors à effet de champ.*, vol. Number ISBN : 2-86601-306-9. Lavoisier, 1992.
- [6] P.-O. Jeannin, "Le transistor MOSFET en commutation : Application aux associations série et parallèle de composants à grille isolée," Thèse, INPG, 2001.
- [7] F. Merienne and J. Roudet, "Interaction puissance-commande au sein des convertisseurs statiques," *J.Phys.*, pp. 735-755, 1996.
- [8] B. Andreyckak, "New driver ICs optimize high speed power MOSFET switching characteristics." Application Notes, UNITRODE Integrated Circuits Corporation, Merrimack, N.H.
- [9] S. Musumeci, A. Raciti, A. Testa, A. Galluzzo, and M. Melito, "A new adaptive driving technique for high current gate controlled devices," in *Applied Power Electronics Conference and Exposition, 1994. APEC '94. Conference Proceedings 1994., Ninth Annual, 1994*, pp. 480-486 vol.1.
- [10] C. Gerster and P. Hofer, "Gate-controlled dv/dt- and di/dt limitation in high power IGBT converters," presented at the EPE Journal, 1996, vol. 5, no 3/4, pp. 11-16.
- [11] Lihua Chen and F. Z. Peng, "Closed-Loop Gate Drive for High Power IGBTs," in *Twenty-Fourth Annual IEEE Applied Power Electronics Conference and Exposition, 2009. APEC 2009, 2009*, pp. 1331-1337.
- [12] S. LEFEBVRE and B. MULTON, "Commande des semi-conducteurs de puissance : principes." *Techniques de l'ingénieur*.
- [13] S. Rael and B. Davat, "A Physics-Based Modeling of Interelectrode MOS Capacitances of Power MOSFET and IGBT," *IEEE Transactions on Power Electronics*, vol. 23, no. 5, pp. 2585-2594, Sep. 2008.
- [14] T. Simonot, "Conception et hybridation de l'environnement électronique des composants de puissance à structure verticale," Thèse, INPG, 2011.
- [15] J.-C. Crebier, M. H. Tran, J. Barbaroux, and P.-O. Jeannin, "Implementation and operational investigations of bipolar gate drivers," in *Applied Power Electronics Conference and Exposition (APEC), 2010 Twenty-Fifth Annual IEEE, 2010*, pp. 248-255.
- [16] W. Eberle, Zhiliang Zhang, Yan-Fei Liu, and P. C. Sen, "A Current Source Gate Driver Achieving Switching Loss Savings and Gate Energy Recovery at 1-MHz," *IEEE Transactions on Power Electronics*, vol. 23, no. 2, pp. 678-691, Mar. 2008.
- [17] K. Guépratte, P.-O. Jeannin, and D. FREY, "Driver numérique avec commande en courant des MOSFET et IGBT," *Electronique de Puissance du Futur, EPF*, 2008.
- [18] "Very High CMR, Wide VCC Logic Gate Optocouplers." Technical Data, Hewlett Packard.

- [19] T. J. Ribarich, "Level-shift circuit utilizing a single level-shift switch," U.S. Patent United States Patent 746307112-Sep-2008.
- [20] M. Munzer, W. Ademmer, B. Strzalkowski, and K. T. Kaschani, "Insulated signal transfer in a half bridge driver IC based on coreless transformer technology," in *Power Electronics and Drive Systems, 2003. PEDS 2003. The Fifth International Conference on, 2003*, vol. 1, pp. 93–96 Vol.1.
- [21] S. Brehaut and F. Costa, "Gate driving of high power IGBT by wireless transmission," in *Power Electronics and Motion Control Conference, 2006. IPEMC 2006. CES/IEEE 5th International, 2006*, vol. 1, pp. 1–5.
- [22] N. Rouger, "Intégration monolithique des fonctions d'interface au sein de composants de puissance à structure verticale," Thèse, INPG, 2008.
- [23] "Fiber Optic and Isolation Solutions for Renewable Energy Applications." Avago Technology.
- [24] S. LEFEBVRE and B. MULTON, "MOSFET et IGBT: circuits de commande." Techniques de l'ingénieur.
- [25] "ADuM3220/ADuM3221, Isolated 4 A Dual-Channel Gate Driver." Analog Devices.
- [26] D. Vasic, F. Costa, and E. Sarraute, "Piezoelectric transformer for integrated MOSFET and IGBT gate driver," *IEEE Transactions on Power Electronics*, vol. 21, no. 1, pp. 56–65, Jan. 2006.
- [27] S. C. Tang, S. Y. Hui, and Henry Shu-Hung Chung, "A low-profile low-power converter with coreless PCB isolation transformer," *IEEE Transactions on Power Electronics*, vol. 16, no. 3, pp. 311–315, May 2001.
- [28] P. LEFRANC, "Etude, conception et réalisation de circuits de commande d'IGBT de forte puissance," Thèse, INSA Lyon, 2005.
- [29] T. Yamane, S. Hamamura, T. Zaitso, T. Minomiya, M. Shoyama, and Y. Fuda, "Efficiency improvement of piezoelectric-transformer DC-DC converter," in *29th Annual IEEE Power Electronics Specialists Conference, 1998. PESC 98 Record, 1998*, vol. 2, pp. 1255–1261 vol.2.
- [30] Rong Guo, Zhigang Liang, and A. Huang, "A multi-modes charge-pump based high efficiency wide input range DC-DC converter," in *2010 IEEE Energy Conversion Congress and Exposition (ECCE), 2010*, pp. 2706–2712.
- [31] Kaiwei Yao, Yuancheng Ren, Jia Wei, Ming Xu, and F. C. Lee, "A family of buck-type DC-DC converters with autotransformers," in *Eighteenth Annual IEEE Applied Power Electronics Conference and Exposition, 2003. APEC '03, 2003*, vol. 1, pp. 114–120 vol.1.
- [32] O. Deleage, "Conception, réalisation et mise en œuvre d'un micro convertisseur intégré pour la conversion DC/DC," Thèse, Université Joseph Fourier, 2010.
- [33] "NMG Series, Isolated 2W Single Output DC/DC Converter." Datasheet, Murata Power Solutions.
- [34] "Power MOSFET Designer's Manual." International Rectifier, Vol.1, pp7 and 131.
- [35] N. Rouger and J.-C. Crebier, "Toward Generic Fully Integrated Gate Driver Power Supplies," *IEEE Transactions on Power Electronics*, vol. 23, no. 4, pp. 2106–2114, Jul. 2008.
- [36] R. MITOVA, "Intégration de l'alimentation de la commande rapprochée d'un interrupteur de puissance à potentiel flottant," Thèse, INPG, 2005.
- [37] C. Klumpner and N. Shattock, "A Cost-Effective Solution to Power the Gate Drivers of Multilevel Inverters using the Bootstrap Power Supply Technique," in *Twenty-Fourth Annual IEEE Applied Power Electronics Conference and Exposition, 2009. APEC 2009, 2009*, pp. 1773–1779.

- [38] J. J. Graczkowski, K. L. Neff, and X. Kou, "A Low-Cost Gate Driver Design Using Bootstrap Capacitors for Multilevel MOSFET Inverters," in *Power Electronics and Motion Control Conference, 2006. IPEMC 2006. CES/IEEE 5th International*, 2006, vol. 2, pp. 1–5.
- [39] "IR2133 3-phase bridge driver." International Rectifier.
- [40] Laszlo Balogh, "Design And Application Guide For High Speed MOSFET Gate Drive Circuits." Application Note, Texas Instruments.
- [41] International Rectifier, Application Note AN-950, "Transformer-Isolated Gate Driver Provides very large duty cycle ratios." .
- [42] M. J. Werson and P. J. White, "Driving high side power MOSFETs and IGBTs at high voltage using ASICs," in *ASIC Technology for Power Electronics Equipment, IEE Colloquium on*, 1992, pp. 3/1–3/4.
- [43] S. Sunter and J. C. Clare, "Development of a matrix converter induction motor drive," in *Electrotechnical Conference, 1994. Proceedings., 7th Mediterranean*, 1994, pp. 833–836 vol.2.
- [44] "LT1161-Quad Protected High-Side MOSFET Driver." Linear Technology.
- [45] "HIP4080A High frequency full bridge Fet driver." Intersil.
- [46] "MC33883 H-Bridge Gate Driver IC." Freescale semiconductor.
- [47] "ADuM5230, Isolated Half-Bridge Driver with Integrated High-Side Supply." Analog Devices.
- [48] "LTC1871 Wide Input Range, No RSENSE Mode Boost, Flyback and SEPIC Controller." Linear Technology.
- [49] E. Laboure, A. Cuniere, T. A. Meynard, F. Forest, and E. Sarraute, "A Theoretical Approach to InterCell Transformers, Application to Interleaved Converters," *IEEE Transactions on Power Electronics*, vol. 23, no. 1, pp. 464–474, Jan. 2008.
- [50] N. Hatti, Y. Kondo, and H. Akagi, "Five-Level Diode-Clamped PWM Converters Connected Back-to-Back for Motor Drives," *IEEE Transactions on Industry Applications*, vol. 44, no. 4, pp. 1268–1276, Aug. 2008.
- [51] K. Guépratte, "Onduleur triphasé à structure innovante pour application aéronautique," Thèse, Université de Grenoble, 2011.

CHAPITRE II : Nouvelle topologie de la commande rapprochée à base de transformateur d'impulsion

SOMMAIRE

<i>CHAPITRE II : Nouvelle topologie de la commande rapprochée à base de transformateur d'impulsion</i>	46
II.1. Introduction	48
II.2. Nouvelle topologie de la commande rapprochée à base de transformateur d'impulsion haute fréquence	48
II.2.1. Circuit de commande rapprochée.....	48
II.2.1.a. Schéma du circuit.....	48
II.2.1.b. Phase de commutation à la fermeture (t_0-t_1).....	52
II.2.1.c. Opération pendant la phase de conduction (t_1-t_2).....	54
II.2.1.d. Phase de commutation à l'ouverture (t_2-t_3).....	57
II.2.1.e. Opération pendant la phase de blocage (t_3-t_4)	58
II.2.2. Analyse	60
II.2.2.a. Avantages fonctionnels et structurels de la nouvelle topologie de la commande rapprochée	60
II.2.2.b. Régulation du niveau de tension de commande dans les phases de fonctionnement	61
II.2.2.c. Synthèse des étapes de dimensionnement et de conception de la structure de commande.....	64
II.2.2.c.i. Choix de la tension d'alimentation +E pour le bras CMOS et choix des tensions de seuil des diodes Zener Z1 et Z2.....	64
II.2.2.c.ii. Dimensionnement du transformateur d'impulsion et choix des transistors des bras CMOS	64
II.2.2.d. Gestion des temps morts entre les signaux de commande pour les bras CMOS et son impact.....	67
II.2.2.e. Impact de la température sur la caractéristique des diodes Zener	69
II.2.3. Validation expérimentale	71
II.2.3.a. Présentation du circuit à implémenter	71
II.2.3.b. Dimensionnement et conception du circuit de commande	72
II.2.3.b.i. Choix des diodes Zener.....	72

II.2.3.b.ii. Conception, caractérisation du transformateur d'impulsion haute fréquence et choix des transistors des bras CMOS	72
II.2.3.b.iii. Vérification du dimensionnement	75
II.2.3.c. Résultats expérimentaux	77
II.2.3.d. Analyse des pertes du circuit de commande rapprochée	84
II.2.3.d.i. Bilan énergétique.....	84
II.2.3.d.ii. Caractérisation expérimentale.....	86
II.2.3.e. Comparaison de la nouvelle topologie de commande rapprochée avec la structure conventionnelle	88
II.3. Perspectives pour l'intégration du circuit de commande.....	90
II.3.1. Intégration des bras CMOS.....	91
II.3.2. Réalisation des transformateurs d'impulsion sur substrat commun (le circuit imprimé, noyau ferrite ou la plaquette Si)	91
II.3.3. Intégration des composants au secondaire du transformateur au sein de l'interrupteur de puissance	91
II.4. Conclusion	93
Bibliographie	95

II.1. Introduction

Le premier chapitre a fait une analyse complète des circuits de commande rapprochée des transistors à grille isolée existants et nous avons défini les besoins afin d'avoir une commande optimale au niveau de la grille de ces derniers. Puis nous avons listé l'état de l'art des structures de commande rapprochée qui permettent de répondre à ces besoins, nous avons aussi analysé les limites des systèmes de commande existants. Dans ce chapitre, nous allons proposer une nouvelle topologie de commande rapprochée basée sur la mise en œuvre d'un transformateur d'impulsion haute fréquence. Elle a été conçue dans la perspective de pouvoir faire un système de commande générique, fiable, compact et simple pour la mise en œuvre tout en s'affranchissant des limites des solutions existantes. Le principe de fonctionnement de cette nouvelle topologie sera étudié. Nous allons aussi analyser la performance de cette dernière ainsi que ses avantages. Les perspectives de faire un système de commande intégré à base de cette nouvelle topologie de commande sont aussi exposées.

II.2. Nouvelle topologie de la commande rapprochée à base de transformateur d'impulsion haute fréquence

II.2.1. Circuit de commande rapprochée

II.2.1.a. Schéma du circuit

Le schéma de la nouvelle topologie de commande rapprochée est représenté sur la Figure II.1 [1] comprenant les éléments comme suit :

- Un pont complet ayant quatre interrupteurs commandables P1, P2, N1, N2 dont P1, P2 sont des P-MOSFETs et N1, N2 sont des N-MOSFETs. Ce pont complet CMOS permet de créer un signal bipolaire à trois niveaux au primaire du transformateur d'impulsion T.
- Un transformateur d'impulsion de haute fréquence T ayant deux fonctions : transférer le signal et l'énergie de commande à l'interrupteur de puissance et, en même temps, assurer l'isolation galvanique entre le circuit de commande et le circuit de puissance.

- Au secondaire du transformateur, un interrupteur Sw est placé afin d'éviter la décharge de la capacité de grille de l'interrupteur principal lors de l'application d'un potentiel nul sur le transformateur d'impulsion.
- Une résistance de grille R_G et une résistance de pull-down R_d peuvent être utilisées si c'est nécessaire.

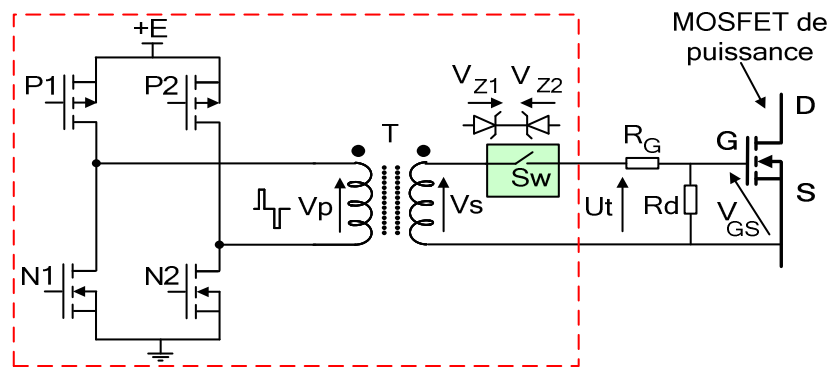


Figure II.1. Schéma de la nouvelle topologie de commande rapprochée.

A propos de l'interrupteur Sw, on souhaite avoir un interrupteur tel qu'il est fermé quand il y a une impulsion à transmettre vers la grille et ouvert dans les autres cas comme le montre la Figure II.2. Pour cela, nous choisissons une structure qui soit autocommandable grâce à la tension à ses bornes. On souhaite également que cet interrupteur puisse, à terme, être intégré au sein de l'interrupteur de puissance à commander afin de pouvoir réaliser un système de commande et de puissance compact. Tous ces besoins nous ont conduit à utiliser dans un premier temps deux diodes Zener connectées en tête-bêche, comme représenté sur la Figure II.1 Cette configuration permet de réaliser un interrupteur Sw avec une caractéristique idéale représentée sur la Figure II.3 sur laquelle V_{BRZi} est la valeur absolue de la tension d'avalanche et V_{fZi} est la valeur absolue de la chute de tension en directe des diodes Zener. De cette manière, si la tension aux bornes de l'interrupteur Sw devient supérieure à la valeur absolue $|V_{BRZ2} + V_{fZ1}|$, celui-ci devient conduit ; et si la tension aux ses bornes devient inférieure à la valeur $-|V_{BRZ1} + V_{fZ2}|$, celui-ci devient aussi passant. Dans les autres cas l'interrupteur Sw est ouvert. La partie suivante va détailler le fonctionnement du circuit de commande rapprochée. Nous verrons en détail le principe de fonctionnement général ainsi que les différents modes opératoires possibles en fonction des spécifications sur la commande de grille. Une dernière partie du chapitre sera consacrée à la possible

intégration de ces deux diodes Zener au sein de l'interrupteur de puissance à commander via la synthèse d'une structure N-P-N.

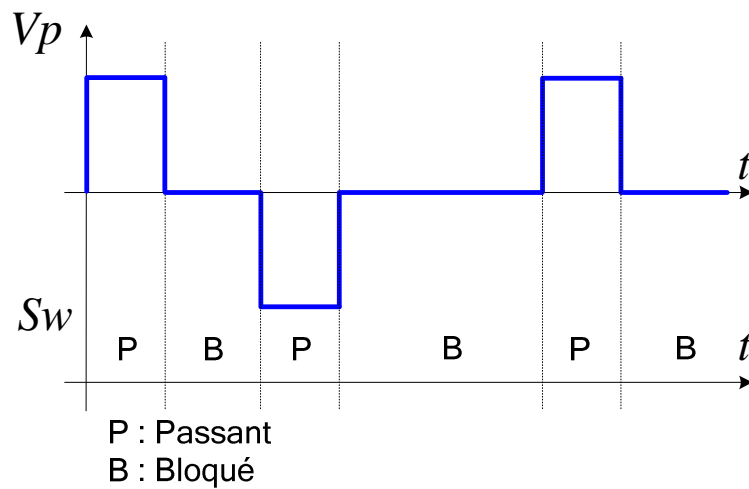


Figure II.2. Formes d'ondes issues du secondaire du transformateur d'impulsion et états de l'interrupteur S_w .

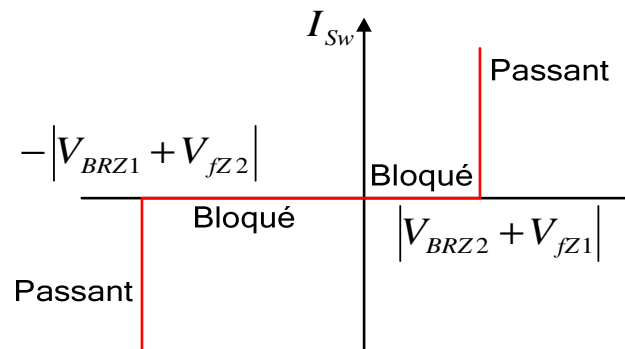


Figure II.3. Courbe caractéristique idéale de l'interrupteur S_w .

Il faut noter cependant que le terme « diode Zener » est utilisé pour faciliter la compréhension. En réalité, les diodes dites Zener ont une tension de seuil en inverse inférieure à 5V, avec des phénomènes dominés par l'effet de Zener, tandis que celles qui ont une tension de claquage supérieure à 5V sont dominées par l'effet d'avalanche [2].

Les interrupteurs sont commandés de telle manière que les impulsions de tensions positives et négatives appliquées au primaire du transformateur aient la même amplitude et la même durée. Celles-ci permettent de charger et décharger respectivement la capacité

d'entrée de l'interrupteur de puissance, tout en créant des cycles de magnétisation et démagnétisation au niveau du transformateur d'impulsion.

Ainsi, les niveaux des potentiels positifs et négatifs appliqués à la grille du transistor dépendent du niveau de la tension d'alimentation de l'onduleur CMOS ainsi que des seuils d'avalanche des diodes. Une fois la charge de grille est en place, ce sont les diodes Zener qui assurent le maintien du potentiel ente grille et source du transistor de puissance.

Les formes d'ondes simplifiées des signaux pendant une période de fonctionnement de l'interrupteur de puissance sont illustrées sur la Figure II.4, dont :

- V_p , V_s sont respectivement les tensions au primaire et au secondaire du transformateur. Dans notre cas d'étude on suppose qu'il ne présente pas de chute de tension à travers du transformateur. Le rapport de transformation est de η :

$$\eta = \frac{V_s}{V_p} \quad (\text{II.1})$$

- V_{zi} est la tension aux bornes de la diode Zener i.
- U_t est la tension entre la résistance de la grille R_G et les électrodes grille et source du MOSFET.
- V_{GS} est la tension entre la grille et la source du MOSFET.
- I_G est le courant de la grille du MOSFET.
- α est le rapport cyclique.

Les phases de fonctionnement de cette nouvelle topologie de commande rapprochée sont expliquées en détail dans les parties suivantes. Il faut noter tout d'abord que pendant toutes les phases de fonctionnement, nous avons toujours l'équation de maille au niveau du circuit de la grille suivante :

$$U_t = V_s + V_{z1} - V_{z2} \quad (\text{II.2})$$

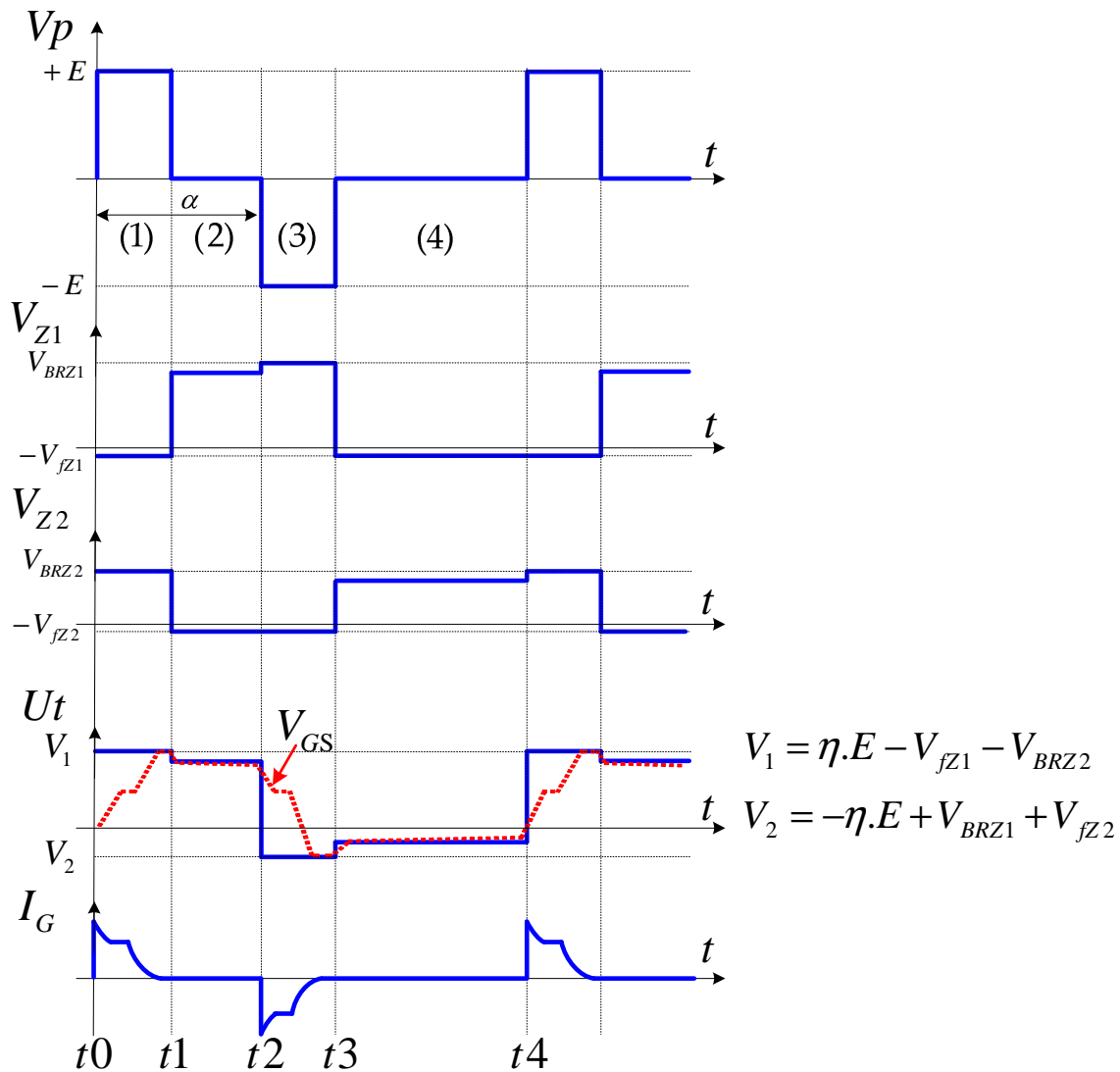


Figure II.4. Les formes d'ondes g n rales qualitatives sur une p riode de d coupage.

II.2.1.b. Phase de commutation   la fermeture (t0-t1)

Initialement on suppose que le transistor de puissance MOSFET est   l' tat bloqu  avant le temps t0. Le chemin du courant qui circule au primaire du transformateur dans la phase de commutation   la fermeture est repr sent  sur la Figure II.5.

supérieure à la constante de temps de charge de la capacité d'entrée du transistor de puissance. Si cette durée est inférieure, seulement une fraction des charges aura été transmise à chaque impulsion ce qui se traduira par une réduction du potentiel ente grille et source du composant de puissance.

II.2.1.c. Opération pendant la phase de conduction (t_1-t_2)

A l'instant t_2 , une commande va être appliquée pour imposer un potentiel nul au primaire du transformateur par commutation de l'un des bras de l'onduleur. Le chemin du courant du côté primaire du transformateur pendant cette phase est illustré sur la Figure II.6 (a). En effet, l'énergie de magnétisation du transformateur impose une continuité du courant d'un coté ou de l'autre du transformateur. Comme on le verra plus loin, la circulation au secondaire est rendue impossible à cause du blocage de l'interrupteur Sw. Il circule alors via le canal du PMOS P2 dans le sens inverse, puis via le PMOS P1. Il faut noter que les deux PMOS P1 et P2 sont toujours commandés afin d'éviter que le courant démagnétisant circule à travers la diode interne du PMOS P2, créant une chute de tension au primaire plus importante ce qui peut engendrer des phénomènes indésirables comme nous le verrons plus loin. On décrit cette phase comme une phase de roue libre pendant laquelle la démagnétisation naturelle du transformateur a lieu. En fonction de la durée de la phase (t_2-t_1) et des caractéristiques du transformateur, la démagnétisation du transformateur est partielle ou complète. Nous verrons plus loin comment agir à ce niveau pour garantir la démagnétisation complète du transformateur à chaque impulsion de commande.

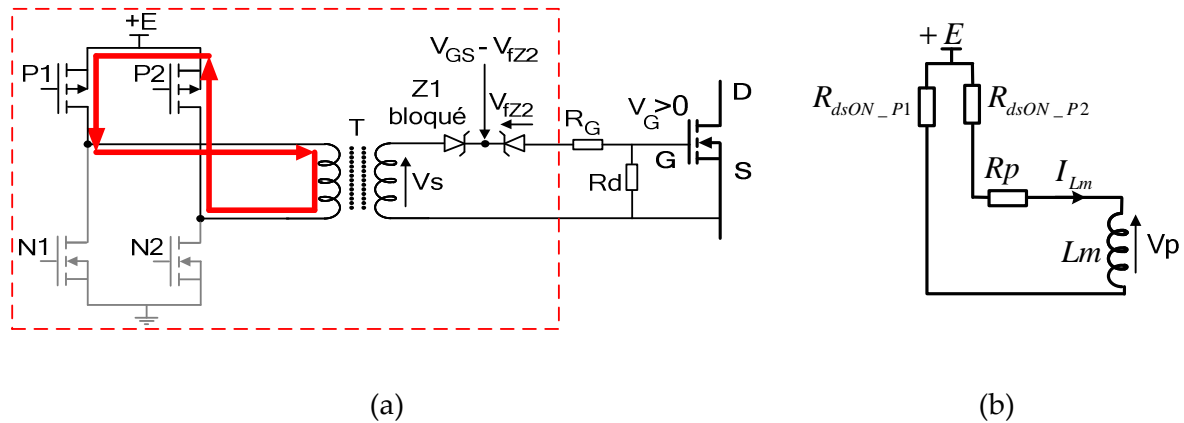


Figure II.6. (a) Première phase de maintien de V_{GS} et de démagnétisation partielle ou totale, (b) Schéma électrique équivalent simplifié.

La Figure II.6 (b) présente le schéma électrique équivalent et simplifié durant la phase de roue libre : L_m est l'inductance magnétisante du transformateur, R_p est la résistance de l'enroulement primaire du transformateur, R_{dsON_P1} et R_{dsON_P2} sont respectivement les résistances à l'état passant des MOSFET P1 et P2. En effet, lors de la phase de commutation à la fermeture précédente sous l'effet de l'impulsion de tension positive +E pendant le temps (t_1-t_0) , le courant dans l'inductance magnétisante a atteint sa valeur nominale $I_{Lm}(t_1)$ comme le montrent l'équation (II.6) et la Figure II.7 – pour la raison de simplification, on fait l'hypothèse que l'inductance magnétisante était totalement déchargée au début de cette phase :

$$I_{Lm}(t_1) = \frac{E \cdot (t_1 - t_0)}{L_m} \quad (II.6)$$

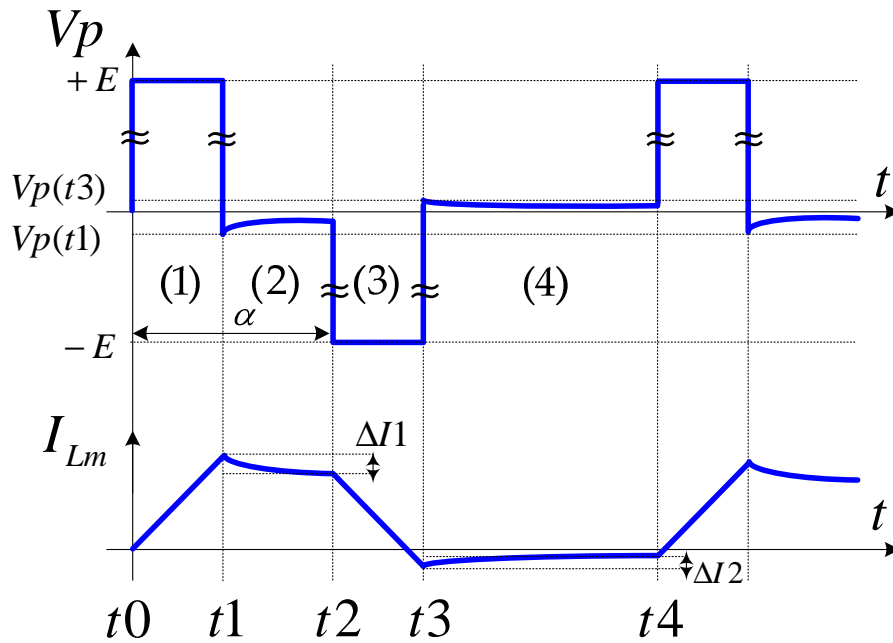


Figure II.7. Formes d'ondes du courant magnétisant et de la tension au primaire du transformateur (pour α faible).

En conséquence, la phase de roue libre débute lorsque l'impulsion de tension s'annule. La circulation du courant au primaire induit une tension négative au primaire du transformateur qui est calculée par l'équation (II.7) ci-dessous :

$$V_p(t1) = -I_{Lm}(t1) \cdot (R_{dsON_P1} + R_{dsON_P2} + R_p) \quad (II.7)$$

$$\tau = \frac{L_m}{R_{dsON_P1} + R_{dsON_P2} + R_p} \quad (II.8)$$

Cette tension négative au primaire du transformateur dépend donc principalement d'une part de la tension d'alimentation et de la durée de l'impulsion de commande et d'autre part des valeurs de l'inductance magnétisante du transformateur et des résistances à l'état passant des transistors P1 et P2. En conséquence, une tension plus ou moins négative de la valeur $-\eta \cdot V_p$ apparaît au secondaire du transformateur.

Pour avoir un courant de commande de la grille I_G important, il faut que les résistances à l'état passant du PMOS P1 et du P2 soient suffisamment petites. De ce fait, la constante de temps τ de la phase de démagnétisation naturelle, qui est calculée par l'équation (II.8), est assez grande et le courant dans l'inductance magnétisante diminue très peu en fonction du temps pendant la phase de roue libre, cette diminution est appelée $\Delta I1$.

Du côté secondaire du transformateur, en faisant l'hypothèse que la tension V_s est négligeable, l'équation de maille impose le blocage de la diode Zener $Z1$. Le courant au secondaire correspond au courant de fuite de cette diode $Z1$. La tension $V_{GS}(t)$ dont la valeur est V_{GSmax} après la commutation à la fermeture, décroît en fonction de ce courant de fuite et bien sûr de la résistance de pull down si celle-ci est présente. Durant cette phase, la diode Zener $Z2$ est légèrement polarisée en direct.

Pour que le système se comporte effectivement de cette façon, il faut que la tension tenue par la diode $Z1$ soit sensiblement inférieure à sa tension d'avalanche. Si cette tension est suffisamment éloignée du coude du seuil de la diode, le courant de fuite au niveau de la grille du transistor sera faible comme le montre la Figure II.8, empêchant la décharge de la capacité d'entrée du MOSFET. Par contre, si la tension V_{GSmax} est sensiblement supérieure à la tension V_{BRZ1} , à l'instant d'initialisation de la phase de roue libre, on va avoir une phase d'avalanche pour cette diode qui va provoquer une décharge partielle de la grille jusqu'à satisfaire l'équation (II.9) suivante.

$$V_{GS} - V_{fz2} - V_s < V_{BRZ1} \quad (II.9)$$

Pendant cette phase, la charge de la capacité d'entrée du MOSFET de puissance est maintenue, elle diminue légèrement en fonction du temps via le circuit de la grille (les diodes Zener et la résistance de la grille R_G) et aussi via la résistance de pull-down R_d s'il y en a une. En conséquence, la tension de la grille diminue légèrement pendant cette phase.

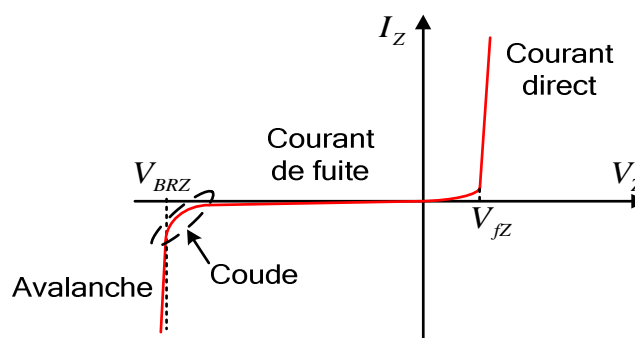


Figure II.8. Courbe caractéristique d'une diode Zener ou à avalanche.

II.2.1.d. Phase de commutation à l'ouverture (t2-t3)

La Figure II.9 représente le chemin du courant durant la phase de commutation à l'ouverture du transistor de puissance. Pour initier cette phase, le second bras de l'onduleur

CMOS est commuté. Les transistors P2 et N1 sont alors en conduction tandis que le P1 et N1 sont bloqués. Du côté primaire du transformateur, le courant circule à partir du +E via le PMOS P2, puis via l'enroulement primaire du transformateur, et enfin via le NMOS N2 jusqu'à la masse. De ce fait, une impulsion de tension négative $-E$ est créée au primaire du transformateur. On fera l'hypothèse que cette impulsion a une durée égale à celle de l'impulsion positive utilisée durant la phase de commutation à la fermeture, dans le but d'assurer une parfaite symétrie des potentiels appliqués et garantir la démagnétisation du transformateur en régime établi. Par conséquent, la diode Zener Z1 est polarisée en inverse et fonctionne en régime d'avalanche, tandis que la diode Zener Z2 est polarisée en direct.

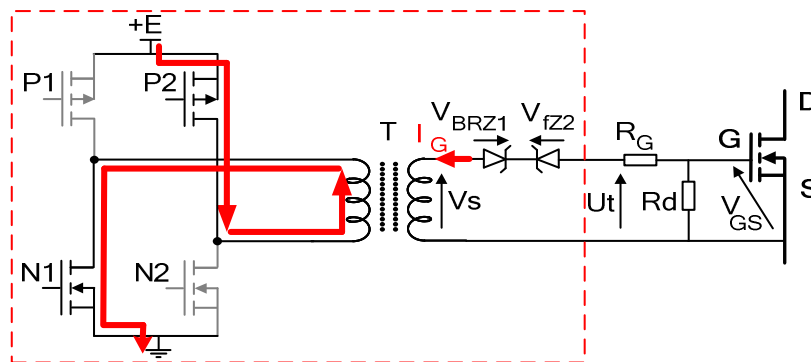


Figure II.9. Phase de commutation à l'ouverture.

La tension U_t et la tension entre la grille et la source sont calculées comme suit :

$$U_t = -\eta.E + V_{BRZ1} + V_{fz2} \quad (II.10)$$

$$V_{GS}(t) = U_t + R_G.I_G(t) \quad (II.11)$$

La tension de la grille diminue en fonction du temps et devient négative, à cause d'un courant de grille négatif ce qui provoque la décharge puis l'inversion de polarité de la capacité d'entrée du MOSFET de puissance. Lorsque la phase de décharge est finie, la tension V_{GS} atteint sa valeur minimale, qui est négative, calculée par l'équation (II.12).

$$V_{GS\min} = U_t = V_2 = -\eta.E + V_{BRZ1} + V_{fz2} \quad (II.12)$$

II.2.1.e. Opération pendant la phase de blocage (t3-t4)

La Figure II.10 (a) illustre le fonctionnement pendant la phase de blocage du MOSFET de puissance. Le courant au primaire du transformateur circule dans la même direction que

celle durant la phase de commutation à l'ouverture décrite précédemment. Il est en effet dans le sens négatif dans l'inductance magnétisante du transformateur. Ce courant circule via le PMOS P1 par le canal dans le sens inverse, et puis le PMOS P2, ces deux MOSFETs sont aussi commandés en conduction comme pendant la phase (t2-t1). Cette phase est aussi considérée comme une phase de roue libre avec un comportement identique à celui de la phase de roue libre qui a lieu dans l'état passant (t1-t2) avec un schéma électrique équivalent montré sur la Figure II.10 (b).

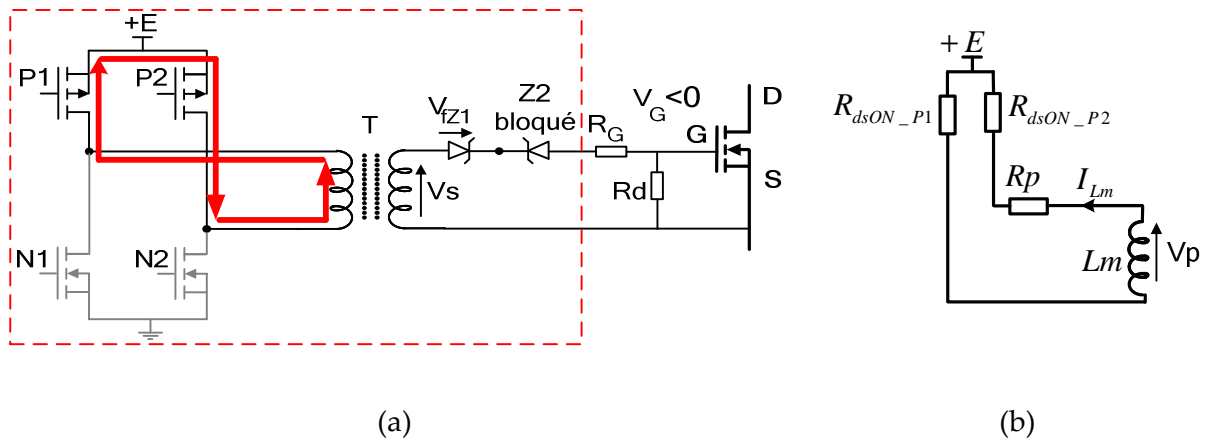


Figure II.10. (a) Seconde phase de maintien de V_{GS} et de démagnétisation partielle ou totale, (b) Schéma électrique équivalent simplifié.

Pendant la phase précédente de commutation à l'ouverture, le courant dans l'inductance magnétisante s'inverse et devient négatif sous l'effet de l'impulsion de tension négative $-E$ durant le temps (t3-t2), sa valeur au moment t3 peut être évaluée par l'équation (II.13) dans laquelle $\Delta I1$ représente la chute du courant magnétisant pendant le temps (t1-t2) grâce à la démagnétisation naturelle (voir la Figure II.7).

$$I_{Lm}(t3) = I_{Lm}(t1) - \Delta I1 - \frac{E \cdot (t3 - t2)}{Lm} \quad (II.13)$$

En conséquence, une tension positive va apparaître au primaire du transformateur, sa valeur peut être calculée par l'équation (II.14) :

$$Vp(t3) = I_{Lm}(t3) \cdot (R_{dsON_P1} + R_{dsON_P2} + Rp) \quad (II.14)$$

Durant la phase de maintien au blocage du MOSFET de puissance, le courant dans l'inductance magnétisante diminue en valeur absolue en fonction de temps avec une constante de temps τ égale à celle dans la phase de conduction (t2-t1), la diminution à la fin de cette phase est appelée $\Delta I2$.

Pendant cette phase, la tension de la grille étant négative, la diode Zener Z1 est donc en polarisation directe. C'est la diode Zener Z2 qui empêche la circulation du courant, et donc la décharge de la grille. Pour cela, il faut que sa tension d'avalanche soit supérieure, en valeurs absolues, à la tension présente au niveau de la grille du transistor de puissance, correspondant à la condition dans (II.15) :

$$\left|V_S - V_{fZ1} - V_{GS}\right| < V_{BRZ2} \quad (\text{II.15})$$

Dans cette condition, la diode Zener Z2 fonctionne dans le régime de polarisation en inverse avec un courant de fuite qui sera donc le courant de fuite du circuit de la grille, la tension à ses bornes est voisine de sa tension d'avalanche.

Le comportement du circuit de la grille pendant l'état bloqué est similaire à celui pendant l'état passant, la capacité d'entrée du MOSFET de puissance est déchargée par le circuit de la grille et via la résistance pull-down R_d , la tension de la grille diminue en valeur absolue en fonction de temps. Le cycle de commutation peut alors commencer à nouveau.

II.2.2. Analyse

II.2.2.a. Avantages fonctionnels et structurels de la nouvelle topologie de la commande rapprochée

La nouvelle topologie de commande rapprochée ci-dessus présente les avantages suivants en termes de conception, d'intégration et de fonctionnalité :

- Concernant la conception du transformateur d'impulsion, la taille de celui-ci est optimisée en fonction du produit de la tension +E et de la durée de l'impulsion ($t1-t0$) ou ($t3-t2$). Cette durée est normalement courte et de l'ordre quelques centaines nanosecondes, elle est dépendante de la taille du transistor de puissance à commander et de la résistance de grille formant la constante de temps de charge de grille. Ainsi, ce produit (tension*temps) peut être très petit, ce qui permet d'utiliser un petit transformateur d'impulsion avec un tore en ferrite de taille réduite. Dans le cadre d'une intégration monolithique, nous pourrions envisager d'intégrer ce transformateur d'impulsion directement sur silicium [3] ou utiliser un transformateur d'impulsion avec ou sans noyau sur le circuit PCB [4] afin de faire

un système de commande plus compact. Ces aspects vont être traités dans le chapitre IV de cette thèse.

- Les bras CMOS du côté primaire du transformateur sont totalement intégrables. On peut alors envisager de faire une puce intégrée qui contient des cellules élémentaires bras CMOS pour faire un système de commande pour les applications multi transistors telles que les onduleurs triphasés, les structures de conversion entrelacées ou encore multiniveaux. Nous aurons l'occasion d'aborder cela dans les chapitres qui suivent.
- Les composants du côté secondaire du transformateur sont des diodes Zener qui sont simples à mettre en œuvre, très fiables et à bas coût. Par ailleurs, on pourrait envisager de les intégrer au sein de l'interrupteur de puissance pour simplifier la mise en œuvre de la commande. Cela sera abordé plus loin dans ce chapitre.
- Cette structure permet de transférer un signal de commande avec une large gamme de rapport cyclique car celui-ci n'affecte pas la saturation du transformateur, contrairement au driver classique à base de transformateur d'impulsion qui limite le rapport cyclique à 0.5 (Figure I.24).
- Elle utilise une alimentation unipolaire pour créer un signal de commande bipolaire avec une tension de grille négative pendant l'état bloqué permettant d'assurer l'auto-blindage du composant de puissance à commander.
- Elle est compatible avec des applications à fréquence de découpage élevée.

II.2.2.b. Régulation du niveau de tension de commande dans les phases de fonctionnement

Nous avons mentionné ci-dessus que cette nouvelle topologie de commande rapprochée est capable de faire un signal de commande bipolaire à partir d'une alimentation unipolaire. Par ailleurs, nous allons montrer qu'elle peut créer un signal de commande avec quatre niveaux de tension de la grille pendant quatre phases de fonctionnement, ceci est illustré par la Figure II.11 (b).

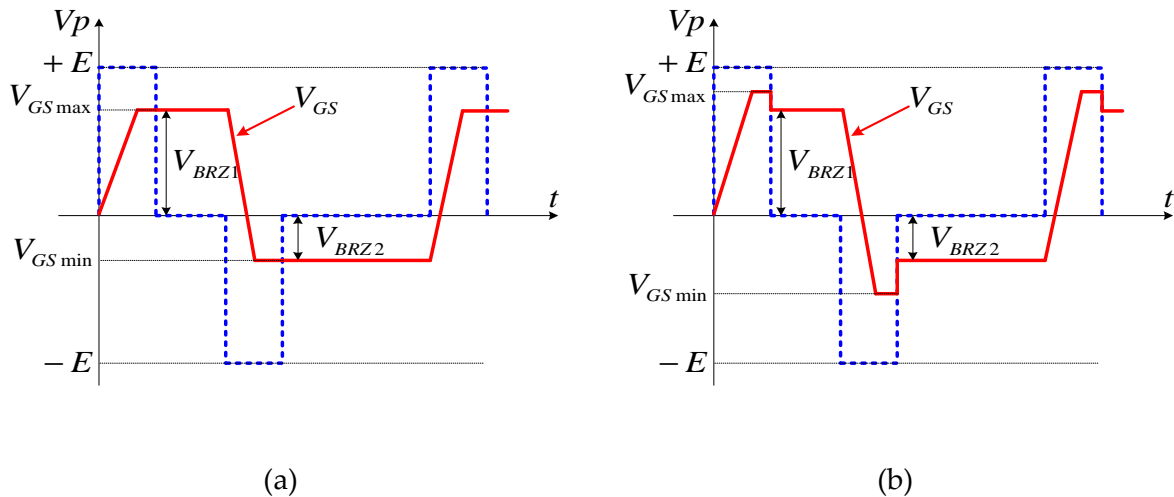


Figure II.11. Signal de commande bipolaire à quatre niveaux.

Les équations (II.5) et (II.12) nous permettent de déterminer les valeurs maximale et minimale de la tension de la grille pendant les phases de commutation à la fermeture et à l'ouverture. Pendant l'état passant, le niveau de tension de la grille est limité par la tension d'avalanche de la diode Zener Z1, V_{BRZ1} , tandis que pendant l'état bloqué, celui-ci est limité par la tension d'avalanche de la diode Zener Z2, V_{BRZ2} . De cette manière, en jouant sur différents paramètres de dimensionnement des diodes Zener, nous pouvons faire un signal de commande bipolaire à deux niveaux ou à quatre niveaux de tension différents. La Figure II.11 (a) illustre le premier cas dans lequel la valeur de la tension $V_{GS\ max}$ est inférieure à la tension d'avalanche de la diode Z1, V_{BRZ1} , et la valeur de la tension $V_{GS\ min}$ est aussi inférieure à la tension d'avalanche de la diode Z2, V_{BRZ2} , en valeur absolue. La tension de la grille a donc deux niveaux ($V_{GS\ max}$, $V_{GS\ min}$). La Figure II.11 (b) illustre le deuxième cas où nous avons $V_{GS\ max} > V_{BRZ1}$ et $|V_{GS\ min}| > V_{BRZ2}$, la tension de la grille a quatre niveaux dans ce cas. Nous avons donc une tension $V_{GS\ max}$ grande pour faire une commutation rapide dans la phase de fermeture puis une tension de la grille réduite à V_{BRZ1} pendant la phase de maintien à l'état passant du transistor de puissance ; Ceci peut être avantageux car cela permet de réduire le courant de court-circuit en cas de défaut comme nous avons abordé dans le chapitre I.

Un autre aspect intéressant concerne la possibilité de limiter la tension pour mieux appréhender certains régimes à fort risque de courts-circuits. Dans ce cas, en jouant sur la durée de l'impulsion, il est possible de moduler la valeur finale de la tension présente entre

grille et source du transistor de puissance, ceci est illustré par la Figure II.12. Sur cette figure on a :

- z est la durée de temps pendant laquelle la tension de la grille atteint sa valeur maximale.
- $w1, w2, w3$: les durées des impulsions de tension au secondaire du transformateur.
- $V_{GS}(w1), V_{GS}(w2), V_{GS}(w3)$: les courbes de tension de la grille en fonction de la durée des impulsions.

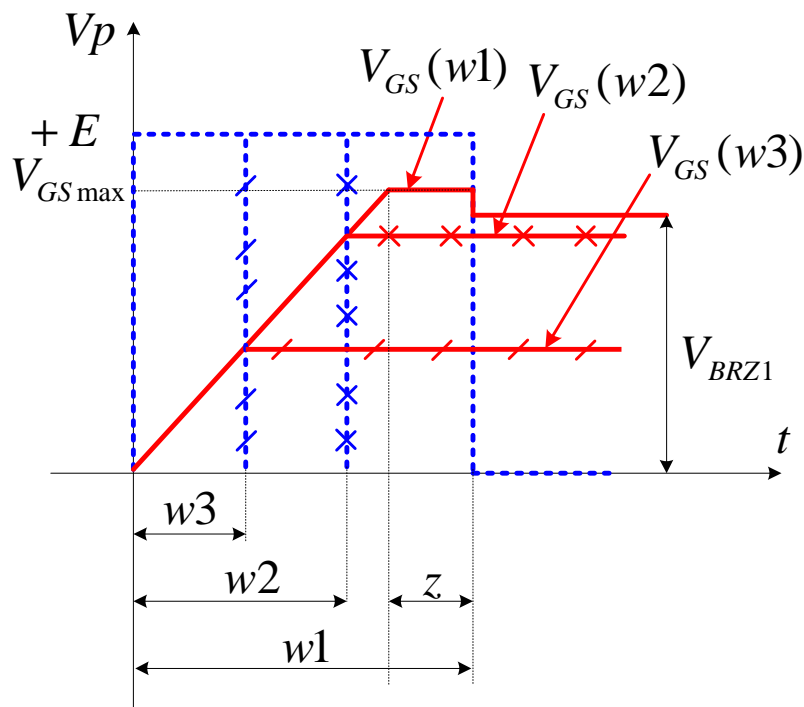


Figure II.12. Régulation des niveaux de tension de grille.

En regardant sur la Figure II.12, avec une durée w_1 de l'impulsion V_p , la tension de la grille atteint sa valeur maximale avant la fin de l'impulsion. En diminuant la durée de l'impulsion de w_1 à w_2 et w_3 , nous pouvons ajuster le niveau de tension de la grille pendant la phase de fermeture ainsi que pendant l'état passant. Cette fonctionnalité pourrait être très utile pour la gestion de l'énergie en cas des charges très variables où il est nécessaire de maintenir un niveau de polarisation réduit pour empêcher une surintensité de courant à cause des courts-circuits temporaires.

II.2.2.c. Synthèse des étapes de dimensionnement et de conception de la structure de commande

Les étapes de conception et dimensionnement de notre circuit de commande comprennent deux parties :

II.2.2.c.i. Choix de la tension d'alimentation +E pour le bras CMOS et choix des tensions de seuil des diodes Zener Z1 et Z2

La première partie de conception consiste aux choix de la valeur crête à crête de la tension AC en créneau à la sortie du transformateur des bras CMOS et des tensions de seuil des diodes Zener Z1 et Z2 parce que ceux-ci impactent sur les niveaux de tension de la grille pendant les phases de fonctionnement. En fonction des applications qui ont besoin des tensions maximale et minimale de la grille différentes et du rapport de transformation η , nous pouvons dimensionner des diodes Zener et choisir la tension d'alimentation E grâce à deux équations ci-dessous qui étaient présentées au préalable :

$$V_{GS\max} = \eta \cdot E - V_{fZ1} - V_{BRZ2} \quad (\text{II.16})$$

$$V_{GS\min} = -\eta \cdot E + V_{BRZ1} + V_{fZ2} \quad (\text{II.17})$$

II.2.2.c.ii. Dimensionnement du transformateur d'impulsion et choix des transistors des bras CMOS

Le transformateur d'impulsion a pour but d'assurer une isolation galvanique pour transférer un signal de commande référencé à la masse vers le transistor de puissance qui peut ne pas être référencé au même potentiel de référence. Il doit avoir une petite puissance apparente, mais doit délivrer des pics de courant importants pour commander la grille du transistor de puissance. Il peut aussi être utilisé pour changer l'échelle de tension entre le primaire et le secondaire (rapport de transformation non unitaire). Il doit offrir une isolation électrique suffisante entre le primaire et le secondaire.

La conception du transformateur d'impulsion est comparable à celle d'un transformateur de puissance et on peut lister les paramètres à prendre en compte dans le processus de conception dans le Tableau II.1.

Paramètres pour la conception du transformateur d'impulsion
- Tension
- Rapport de transformation
- Produit tension*temps $E*t$ ($V*\mu s$)
- Puissance
- Niveau d'isolation
- Température de fonctionnement

Tableau II.1. Paramètres typiques pour la conception du transformateur d'impulsion.

Parmi les paramètres listés ci-dessus, nous focalisons notre attention sur le produit (tension*temps) $E*t$ en $V*\mu s$, qui est le produit de la tension de l'impulsion avec la durée de celle-ci appliquée au transformateur d'impulsion. La Figure II.13 présente la forme d'onde en régime permanent du courant dans l'inductance magnétisante en fonction du rapport cyclique α . Pendant que l'impulsion positive $+E$ est appliquée pendant le temps "t", la densité de flux varie d'une valeur "dB" et atteint B_{max} positive. Lorsque cette impulsion s'annule, cela laisse place à une phase de "roue libre" pouvant correspondre plus ou moins selon le dimensionnement des éléments à une phase de démagnétisation naturelle. Le flux magnétique rémanent dans le noyau ferrite dépend du rapport cyclique mais aussi de la fréquence de découpage, il pourra diminuer jusqu'au zéro si la phase de démagnétisation naturelle est suffisamment longue. Sinon, une impulsion négative $-E$ est appliquée pendant un temps aussi égal à "t" pour inverser le flux. Celle-ci permettra de démagnétiser complètement le noyau ferrite avant la prochaine impulsion positive, la densité de flux varie aussi d'une valeur dB et elle se trouve à une valeur B_{min} négative. En fonction du rapport cyclique, ces deux valeurs B_{max} et B_{min} sont différentes comme le montre la Figure II.13 dans le cas de $\alpha < 0.5$, $\alpha = 0.5$ et $\alpha > 0.5$. Nous trouvons que dans le cas de $\alpha = 0.5$, on a la meilleure utilisation du noyau ferrite car les pics de la densité de flux sont les moins importants. Afin de ne pas saturer le noyau ferrite du transformateur d'impulsion, les densités de flux B_{min} et B_{max} ne doivent pas dépasser la densité de flux maximal du noyau ferrite en valeurs absolues. D'où, le produit (tension*temps) $E*t$ qui caractérise la taille admissible du noyau ferrite ou la taille du transformateur d'impulsion.

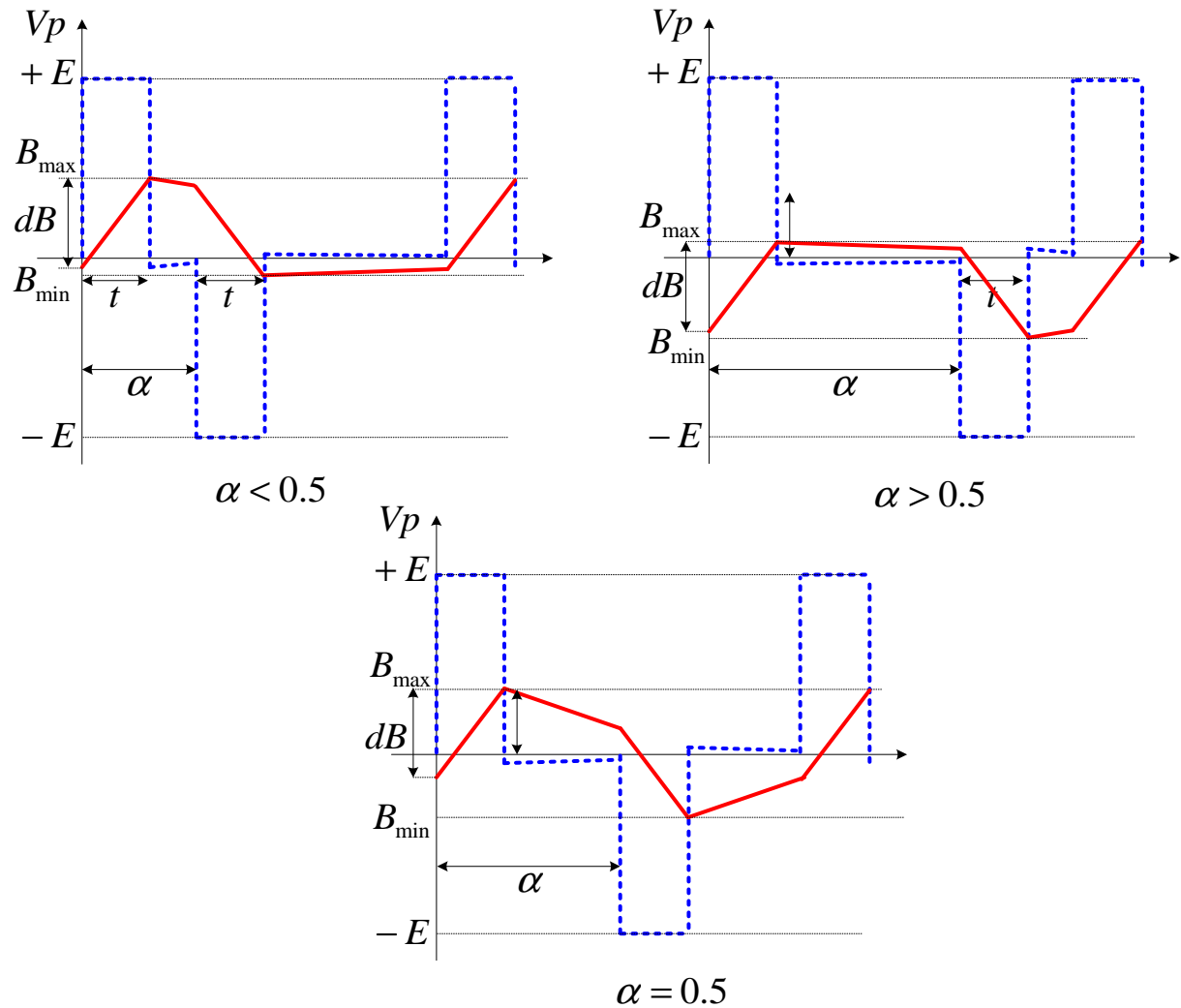


Figure II.13. La forme d'onde du courant dans l'inductance magnétisante en fonction du rapport cyclique.

La première étape de la conception consiste à choisir le noyau ferrite, celui-ci devrait avoir une grande perméabilité pour maximiser l'inductance magnétisante et minimiser l'inductance de fuite du transformateur. Une fois que le noyau ferrite est choisi, nous pouvons estimer le nombre de spires par la formule (II.18) dont :

- N_p et N_s : nombre de spires au primaire et au secondaire.
- B_{max} : la densité du flux ou l'induction maximale admissible du noyau (Tesla).
- A_{noyau} : la section du noyau (m^2).

$$N_p = \frac{E.t}{B_{max}.A_{noyau}} \quad (II.18)$$

Finalement, nous pouvons estimer la valeur de l'inductance magnétisante de ce transformateur par la formule (II.19) avec A_l qui est le facteur d'inductance du noyau ferrite :

$$Lm = A_L * Np^2 \quad (II.19)$$

Il faut prendre en compte ensuite cette valeur de l'inductance magnétisante du transformateur d'impulsion et les résistances à l'état passant des PMOS P1 P2 car ces paramètres impactent sur les valeurs de la tension au primaire du transformateur au début et pendant la phase de roue libre ou la phase de démagnétisation naturelle. Il faut que ces valeurs ne soient pas trop importantes pour ne pas influencer le circuit de la grille pendant les phases de maintien à l'état passant et l'état bloqué. Concrètement, la tension au primaire du transformateur au début de la phase de roue libre, durant la phase de maintien à l'état passant du MOSFET de puissance, est calculée avec la formule suivante :

$$Vp = -I_{Lm \max} \cdot (R_{dsON_P1} + R_{dsON_P2} + Rp) \quad (II.20)$$

Nous rappelons que cette tension doit satisfaire alors la condition (II.9), c'est-à-dire :

$$V_{GS} - V_{fz2} - \eta \cdot Vp < V_{BRZ1}$$

La tension au primaire du transformateur au début de la phase de roue libre, durant la phase de maintien à l'état bloqué du MOSFET de puissance, est calculée :

$$Vp = I_{Lm \min} \cdot (R_{dsON_P1} + R_{dsON_P2} + Rp) \quad (II.21)$$

Cette tension doit satisfaire alors la condition (II.15), c'est-à-dire :

$$|\eta \cdot Vp - V_{fz1} - V_{GS}| < V_{BRZ2} \quad (II.22)$$

Dans les deux cas, nous supposons que les courants $I_{L \max}$ et $I_{L \min}$ sont dimensionnés dans le cas le plus critique, c'est-à-dire que les densités de flux Bmax et Bmin sont maximales en valeur absolue pour que le transformateur d'impulsion puisse travailler dans une plage de fonctionnement la plus grande possible.

$$|I_{L \max}| = |I_{L \min}| = \frac{E \cdot (t1 - t0)}{Lm} \quad (II.23)$$

II.2.2.d. Gestion des temps morts entre les signaux de commande pour les bras CMOS et son impact

Les parties d'analyse ci-dessus ont présenté le fonctionnement en général du circuit de commande rapprochée. En réalité, lors de la phase de charge et de décharge de la grille du transistor de puissance, il y a une quantité de charge stockée dans la diode Zener Z1 qui est

en conduction directe pendant la phase de commutation à la fermeture et une autre quantité de charge étant stockée dans la diode Zener Z2 qui est également en conduction directe pendant la phase de commutation à l'ouverture. Ces charges vont être naturellement déstockées dès que les impulsions de tension s'annulent au primaire du transformateur. Ce phénomène dit « recouvrement de la diode » se passe au niveau du circuit de la grille, le courant de recouvrement tente donc à décharger la grille ce qui conduit à diminuer sensiblement la tension au niveau de la grille. La Figure II.14 (a) illustre ce phénomène lors de la commutation à la fermeture du transistor de puissance ; Q_{rr} représente la quantité de charges à déstocker dans la diode Zener Z1 qui était polarisée en directe pendant l'application de l'impulsion +E au primaire du transformateur ; $\Delta V1$ représente la chute de tension de la grille à cause du courant de recouvrement.

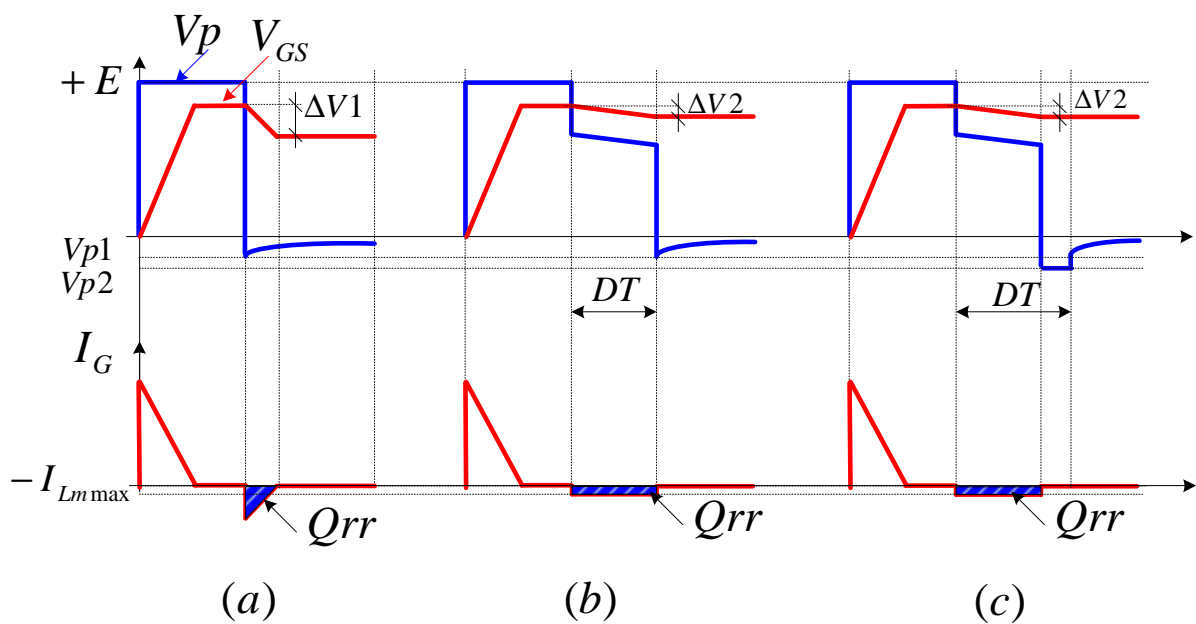


Figure II.14. Réduction du phénomène de recouvrement en fonction du temps mort.

- (a) Sans ou avec un faible temps mort, (b) Temps mort égal au temps de déstockage de charge, (c) Temps mort supérieur au temps de déstockage de charge

Nous pouvons introduire un temps mort entre le signal de commande pour le PMOS P2 et celui pour le NMOS N2 avant la mise en route de la phase de roue libre. Pendant ce temps mort, le NMOS N2 et le PMOS P2 sont bloqués tandis que le PMOS P1 est toujours passant, le secondaire impose alors la tension aux bornes du PMOS P2. De fait, celui-ci reste bloqué, le courant magnétisant circule alors au secondaire, c'est le petit courant négatif

(Figure II.14) de la valeur $-I_{Lm\max}$ qui a tendance à décharger la capacité de la grille. La diode Zener Z2 qui était en avalanche devient passante et la diode Zener Z1 qui conduisait a des charges stockées au niveau de sa zone de tenue en tension qui permettent de maintenir conducteur la jonction. En effet, nous avons deux phénomènes qui se passent en même temps dans ce cas : le recouvrement de la charge stockée par déstockage via un courant inverse et la recombinaison des porteurs de part et d'autres de la jonction PN de la diode Z1. De fait, si le temps mort est suffisamment long pour que la recombinaison soit complète, l'effet de déstockage des charges dans la diode est alors minimisé et la chute de tension de la grille est moins importante. Ceci est illustré par la Figure II.14 (b) quand le temps mort DT est égal au temps nécessaire pour déstocker les charges Q_{rr} par l'effet de recombinaison.

Décrivons ensuite le cas dans la Figure II.14 (c) où le temps mort DT est supérieur à ce temps de déstockage. Dès que la quantité de charge Q_{rr} est déstockée, le blocage de la diode Zener Z1 s'effectue et celle-ci tient la tension de la grille, le secondaire n'impose plus la tension au primaire du transformateur, le courant magnétisant circule alors au primaire via la diode intrinsèque du PMOS P2 et puis le PMOS P1. C'est aussi la phase de roue libre mais la tension négative au primaire du transformateur est plus importante dans ce cas, elle est en fait la somme de la tension de la résistance de l'enroulement primaire plus la chute de tension à travers la diode intrinsèque du P2 plus la chute de tension à travers la résistance à l'état passant du P1. Cette somme est notée V_{p2} qui est plus grande que V_{p1} avec la phase de roue libre via les résistances à l'état passant des PMOS P1 et P2. La chute de tension de la grille dans les deux derniers cas est notée $\Delta V2$ qui est moins importante que $\Delta V1$. On peut conclure au fait que le choix des diodes Zener Z1 et Z2 non seulement vis-à-vis de l'avalanche mais également de leurs caractéristiques de conduction est très important. Malheureusement ces données ne sont pas très accessibles dans les documentations des constructeurs et on sent bien ici le besoin d'un travail plus complet au niveau de la sélection et de l'optimisation de ces composants. Par exemple, des diodes Schottky à avalanche pourraient être avantageuses dans ce contexte particulier.

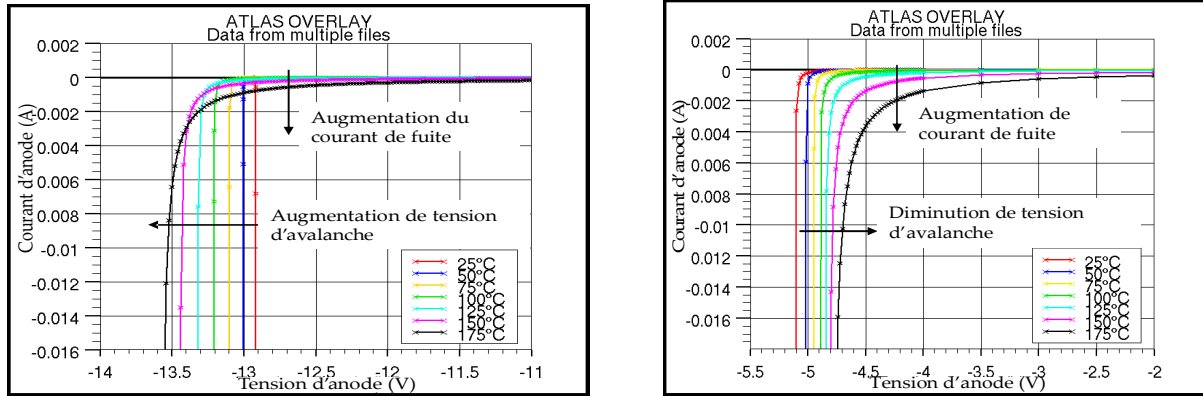
II.2.2.e. Impact de la température sur la caractéristique des diodes Zener

Considérons maintenant l'impact de la température de fonctionnement sur la caractéristique des diodes Zener à savoir son courant de fuite et sa tension d'avalanche car

ces derniers sont les principaux facteurs qui peuvent influencer le fonctionnement du circuit de commande rapprochée.

Concernant l'impact de la température sur la caractéristique des diodes Zener, les diodes Zener ayant une tension d'avalanche jusqu'à 5.6V sont dominées par l'effet Zener et elles ont un coefficient de température négatif, c'est-à-dire la tension d'avalanche diminue quand la température augmente. Au contraire, les diodes Zener ayant une tension d'avalanche au-dessus de 5.6V sont dominées par l'effet avalanche et elles ont un coefficient de température positif, la tension d'avalanche augmente donc en augmentant la température.

A propos du courant de fuite, celui-ci augmente en principe en fonction de la température. Nous avons fait des simulations dans le logiciel Silvaco, qui est un logiciel de simulation en 2D et 3D permettant de prédire les caractéristiques électriques et les comportements physiques des composants électroniques de type semi-conducteurs, pour vérifier l'impact de la température sur les caractéristiques de la diode Zener 13V et de la diode Zener 5.1V. Le niveau de dopage de ces diodes a été choisi pour que celles-ci aient une tension d'avalanche souhaitée à la température ambiante, puis nous avons modifié la température pour voir le changement de la caractéristique. Les résultats de simulation sur Figure II.15 confirment alors ces impacts.



(a)

(b)

Figure II.15. Impact de la température sur la caractéristique des diodes Zener (résultats de simulation avec le logiciel Silvaco).

(a) Diode Zener 13V, (b) Diode Zener 5.1V.

II.2.3. Validation expérimentale

II.2.3.a. Présentation du circuit à implémenter

Nous avons utilisé cette nouvelle structure de commande rapprochée pour commander un MOSFET dont le potentiel de source est flottant dans un hacheur série. La Figure II.16 montre le schéma électrique du circuit de puissance et de commande, les paramètres des composants utilisés sont présentés dans le Tableau II.2.

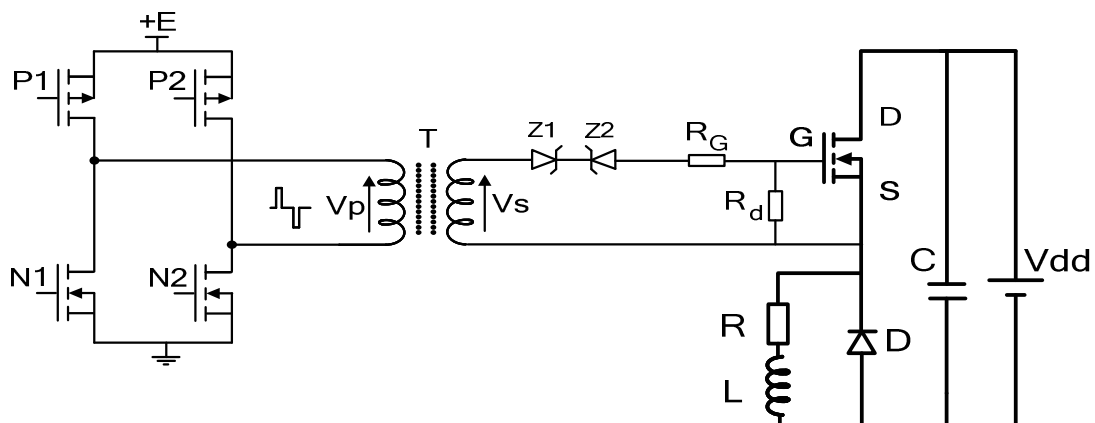


Figure II.16. Schéma du hacheur série et de son circuit de commande rapprochée.

Paramètres du circuit de puissance	
MOSFET	IRFP350 400V, 16A Qg : 150 nC
Diode D	BYT400V 3A
Fréquence de découpage	40 kHz
R	50 Ω
L	600 μ H
C	220 μ F, 400V
Vdd	200V

Tableau II.2. Paramètres du circuit de puissance.

II.2.3.b. Dimensionnement et conception du circuit de commande

II.2.3.b.i. Choix des diodes Zener

Dans le chapitre I, nous avons analysé les besoins pour la commande rapprochée et conclu que le signal de commande optimal pour le MOSFET devrait être de type bipolaire avec des valeurs nominales de +15V,-5V. De ce fait, dans cette première validation expérimentale, nous allons dimensionner le circuit de commande pour avoir un tel signal de commande. Nous prenons ici un exemple de dimensionnement comme suit : Z1 est une diode Zener 16V, Z2 est une diode Zener 6V, les tensions des impulsions au secondaire du transformateur sont de (+22V,-22V). Les tensions de commande sont calculées en se basant sur les équations (II.5) (II.12), on suppose ici que la chute de tension en direct des diodes Zener est de +1V :

$$V_{GS \max} = \eta \cdot E - V_{fz1} - V_{BRZ2} = 22 - 1 - 6 = 15(V)$$

$$V_{GS \min} = -\eta \cdot E + V_{BRZ1} + V_{fz2} = -22 + 16 + 1 = -5(V)$$

II.2.3.b.ii. Conception, caractérisation du transformateur d'impulsion haute fréquence et choix des transistors des bras CMOS

Pour notre première validation du fonctionnement du circuit de commande, nous avons utilisé le noyau ferrite toroïdal TC9/6/3 – 3E5 recommandé par Ferroxcube pour des transformateurs d'impulsion [5]. Une fois que le noyau ferrite est choisi, nous pouvons

calculer le nombre de spires par la formule (II.18). Le temps "t" choisi pour le dimensionnement et comme valeur maximale d'impulsion est de 500 ns, ce qui permet d'assurer la charge ou la décharge de la grille pour des transistors de petites ou moyennes puissances, l'alimentation E est choisie à 15V pour le dimensionnement. La valeur de "Bmax" est choisie à 0.25 Tesla pour ce type de noyau ferrite. A ce niveau, il n'y a pas de risque de saturation du transformateur parce que $B_{saturation}$ de la ferrite 3E5 du Ferroxcube est d'environ 0.4T. Nous pouvons donc estimer le nombre de spires des enroulements primaire N_p et secondaire N_s du transformateur :

$$N_p = \frac{E.t}{B_{max}.A_{noyau}} = \frac{15 * 500 * 10^{-9}}{0.25 * 4.4 * 10^{-6}} = 6.8 \quad (II.24)$$

Nous avons choisi un nombre de spires de 7 pour le primaire, celui du secondaire est donc de 11 spires, ce qui donne un rapport de transformation d'environ 1.57.

La valeur de l'inductance magnétisante de ce transformateur est estimée à environ 100 μ H par la formule (II.19), avec la valeur de A_L est de 2070 nH donné par le constructeur.

Une fois que le transformateur d'impulsion est conçu et réalisé, il est important de le caractériser afin d'identifier ses paramètres. Nous avons effectué le processus d'identification expérimental avec un pont de mesure d'impédance afin de trouver un schéma électrique équivalent. Dans un premier temps, nous n'identifions que le couplage magnétique et nous ne nous soucions pas de la partie électrostatique. Ce processus est bien détaillé dans la référence [6]. La Figure II.17 montre les impédances à vide et en court-circuit de notre transformateur d'impulsion mesurées par le pont de mesure d'impédance. En nous basant sur le processus d'identification, nous avons identifié le modèle magnétodynamique de ce transformateur pour notre application, tel qu'il est présenté sur la Figure II.18 avec :

- R_p : la résistance de l'enroulement primaire.
- L_m : l'inductance magnétisante.
- η : le rapport du couplage.
- R_s : la résistance de l'enroulement secondaire.
- L_f : l'inductance de fuite.

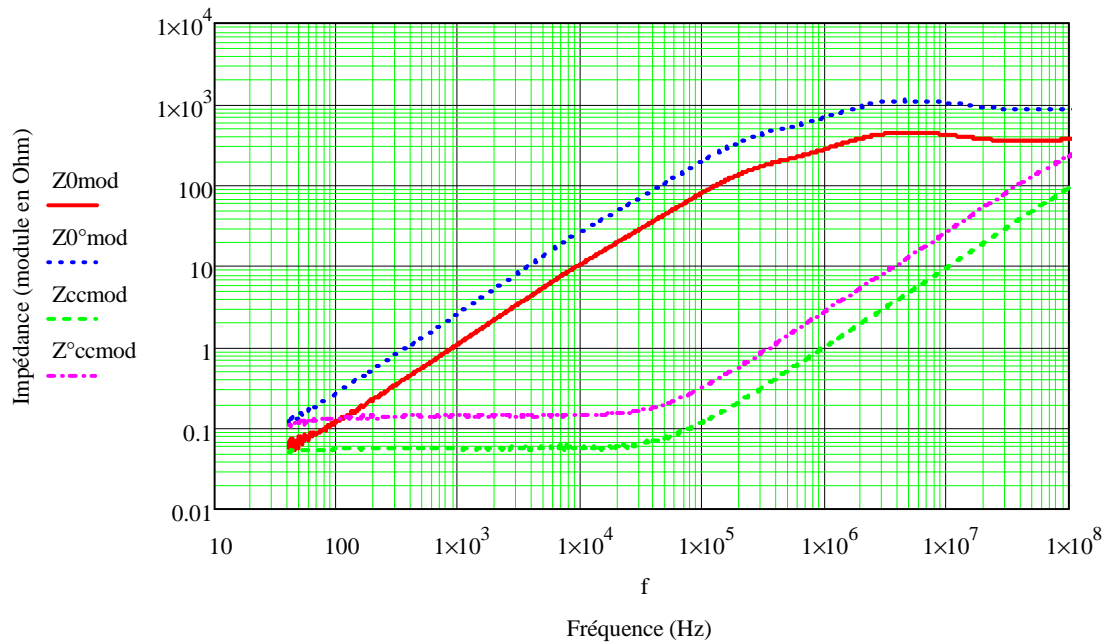


Figure II.17. Impédances à vide et en court-circuit du transformateur d'impulsion.

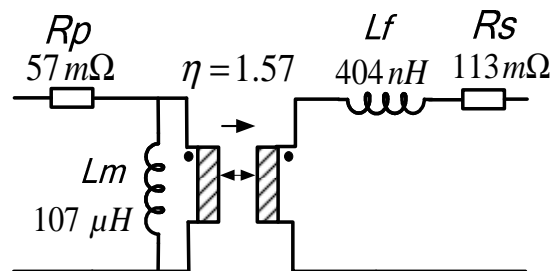


Figure II.18. Circuit équivalent de la partie magnétique du transformateur d'impulsion à deux enroulements.

L'inductance magnétisante de $107 \text{ }\mu\text{H}$ correspond bien au dimensionnement préalable. Nous pouvons ensuite calculer les courants maximal et minimal dans l'inductance magnétisante pour les différents cas d'application d'impulsions de tension au primaire du transformateur. En effet, avec un tel de rapport de transformation, nous avons besoin d'une alimentation de 14V pour avoir une tension 22V au secondaire du transformateur. Nous pouvons donc estimer les courants maximal et minimal dans l'inductance magnétisante lors de l'application des impulsions de tension. Nous prenons le cas extrême où le courant dans l'inductance magnétisante est initialisé à zéro avant d'appliquer une impulsion.

$$I_{Lm \max} = \frac{E.(t1-t0)}{Lm} = \frac{14 * 500 * 10^{-9}}{107 * 10^{-6}} = 0.065(A)$$

$$I_{Lm \min} = -\frac{E.(t1-t0)}{Lm} = -\frac{14 * 500 * 10^{-9}}{107 * 10^{-6}} = -0.065(A)$$

En ce qui concerne les transistors du pont complet, nous avons utilisé le ZVN2106A ($R_{dsON} 2 \Omega$) pour les NMOS N1 N2 et le ZVP2106A ($R_{dsON} 5 \Omega$) pour les PMOS P1 P2.

Le Tableau II.3 résume les paramètres des composants pour le circuit de commande.

Paramètres du circuit de commande	
P1, P2	ZVN2106A, $R_{DSON} 5 \Omega$
N1, N2	ZVN2106A, $R_{DSON} 2 \Omega$
Z1	BZX55-C16, Zener 16V, 500 mW
Z2	BZX55-C6V2, Zener 6.2V, 500 mW
Rg	10 Ω
Rd	55 $k\Omega$

Tableau II.3. Paramètres du circuit de commande.

II.2.3.b.iii. Vérification du dimensionnement

Nous avons tracé la caractéristique des diodes Zener Z1 et Z2 à l'aide du traceur B1505A de l'Agilent Technologies qui permet de tracer la courbe caractéristique des interrupteurs de puissance. La Figure II.19 et la Figure II.20 montrent respectivement les courbes caractéristiques des diodes Zener Z1 $V_{BR} 16V$ et Z2 $V_{BR} 6.2V$ avec un zoom sur le coude de la courbe au niveau du seuil. Nous pouvons constater que la diode Zener Z1 a une tension d'avalanche d'environ 16V et une chute de tension en directe de 0.7V, tandis que la diode Zener Z2 a une tension d'avalanche de 6.2V et une tension en directe de 0.7V.

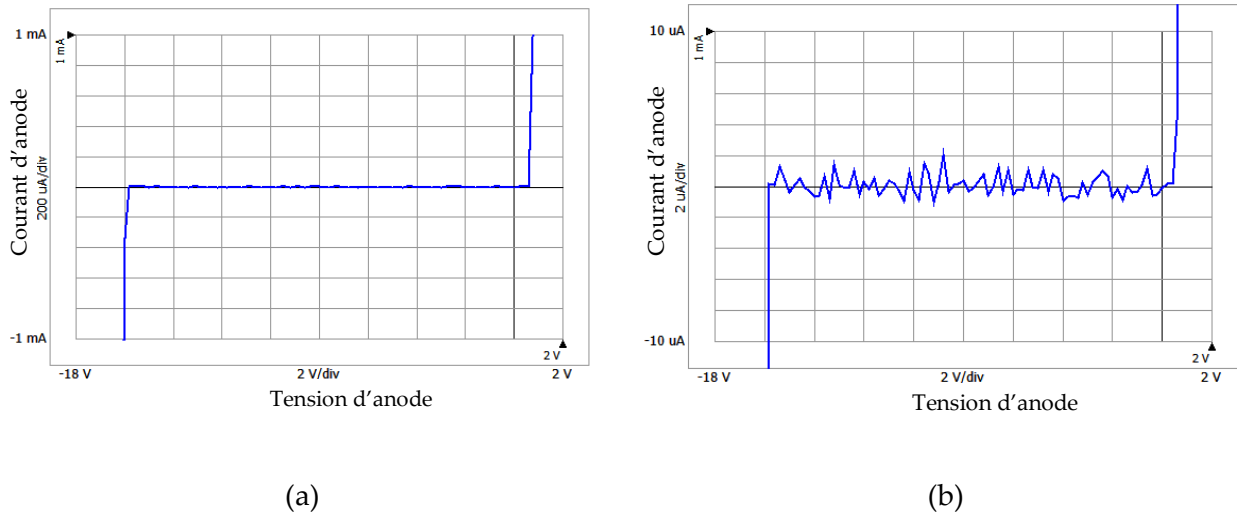


Figure II.19. Caractéristique statique de la diode Zener Z1 16V

(a) Tension d'anode – Courant d'anode, (b) Zoom sur l'axe des abscisses.

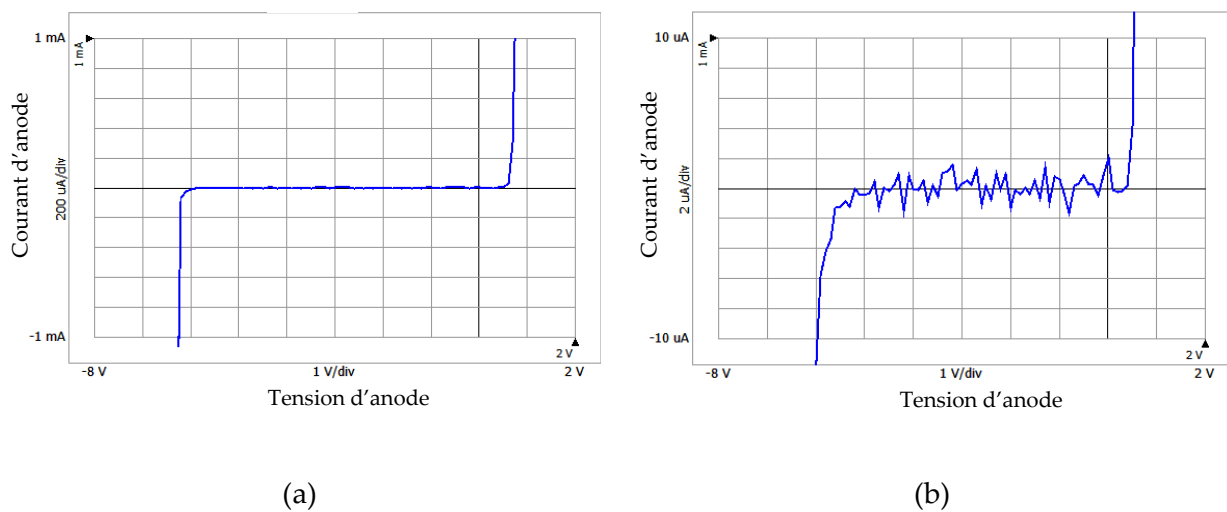


Figure II.20. Caractéristique statique de la diode Zener Z2 6.2V

(a) Tension d'anode – Courant d'anode, (b) Zoom sur l'axe des abscisses.

Nous pouvons donc calculer :

$$V_{GS\max} = \eta \cdot E - V_{fZ1} - V_{BRZ2} = 22 - 0.7 - 6.2 = 15.1(V)$$

$$V_{GS\min} = -\eta \cdot E + V_{BRZ1} + V_{fZ2} = -22 + 16 + 0.7 = -5.3(V)$$

La tension au primaire du transformateur au début de la phase de roue libre, durant la phase de maintien à l'état passant du MOSFET de puissance, est ensuite calculée :

$$V_p = -I_{Lm\max} \cdot (R_{dsON_P1} + R_{dsON_P2} + R_p) = -0.065 * (5 + 5 + 0.057) = -0.65 \text{ (V)} \quad (\text{II.25})$$

Cette tension satisfait alors la condition (II.9) :

$$\begin{aligned} V_{GS} - V_{fz2} - V_S &< V_{BRZ1} \\ \Leftrightarrow 15 - 0.7 - (-0.65 * 1.57) &< 16 \end{aligned}$$

La tension au primaire du transformateur au début de la phase de roue libre, durant la phase de maintien à l'état bloqué du MOSFET de puissance, est donc calculée :

$$V_p = I_{Lm\max} \cdot (R_{dsON_P1} + R_{dsON_P2} + R_p) = 0.65 \text{ (V)} \quad (\text{II.26})$$

Cette tension satisfait alors la condition (II.15) :

$$\begin{aligned} |V_S - V_{fz1} - V_{GS}| &< V_{BRZ2} \\ \Leftrightarrow |0.65 * 1.57 - 0.7 - 5.3| &< 6.2 \end{aligned} \quad (\text{II.27})$$

Nous venons de présenter un exemple de dimensionnement pour le circuit de commande rapprochée. Nous partons sur le besoin du signal de commande (+15V, -5V) pour la grille du MOSFET de puissance, puis nous dimensionnons les diodes Zener, la tension de l'alimentation ainsi que le transformateur d'impulsion et les composants du bras CMOS. Le paramètre critique du transformateur est la valeur de l'inductance magnétisante a été dimensionné pour satisfaire les conditions du circuit de commande. Les mesures pratiques ont confirmé une bonne précision de cette valeur avec les calculs analytiques. La suite de ce chapitre va présenter et analyser les résultats expérimentaux en utilisant le circuit de commande conçu.

II.2.3.c. Résultats expérimentaux

La Figure II.21 présente l'image du circuit mis en œuvre qui comprend le circuit de commande rapprochée et le circuit de puissance. Afin de limiter le courant de court-circuit au moment de la commutation entre le PMOS et le NMOS dans le même bras onduleur de la commande rapprochée, nous avons introduit un temps mort pour les signaux de commande de ces deux composants. Nous avons donc utilisé le circuit logique programmable FPGA pour générer les signaux de commande éloignée pour les transistors des bras de l'onduleur CMOS, ceci nous permet de nous affranchir de l'utilisation d'un circuit analogique pour générer les temps morts. Dans un premier temps, des opto-coupleurs sont utilisés pour d'une

part transférer et amplifier les signaux issus de la commande éloignée venant du FPGA et d'autre part assurer la protection pour celui-ci.

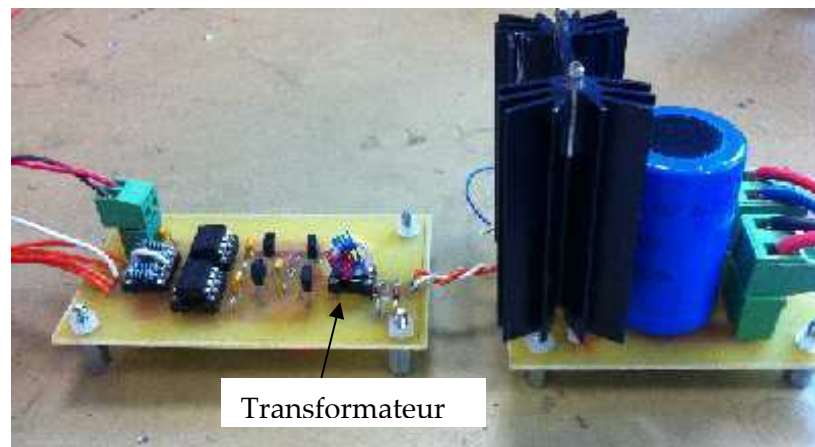


Figure II.21. Image des circuits de commande et de puissance

La Figure II.22 présente les formes d'ondes des tensions : la tension au secondaire du transformateur V_s , les tensions des diodes Zener V_{Z1} et V_{Z2} , la tension entre la grille et la source du MOSFET V_{GS} ainsi que le courant de la grille I_G . La Figure II.22 (a) montre les formes d'ondes sur une période de commutation, la Figure II.22 (b) et la Figure II.22 (c) détaillent les phases de fermeture et d'ouverture du MOSFET de puissance.

En regardant sur la Figure II.22 (b), nous observons que lorsqu'il y a une impulsion de tension positive de +22V appliquée au secondaire du transformateur, la diode Zener Z2 V_{BR} 6.2V est mise en avalanche tandis que la diode Zener Z1 est polarisée en directe. Cela résulte du fait que lorsque que la tension de la grille commence à augmenter, le courant de la grille augmente rapidement jusqu'au pic et puis il baisse en fonction de temps pour charger la capacité d'entrée du MOSFET. Lorsque cette phase de charge est finie, la tension de la grille atteint sa valeur maximale et peut être évaluée en se basant sur l'équation (II.5). Pour vérifier les résultats expérimentaux. Nous pouvons donc vérifier que la tension maximale entre grille et source du composant de puissance est d'environ 15.1V comme la valeur calculée dans la partie II.2.3.b.iii.

Sur la Figure II.22 (b) et la Figure II.23 (b) nous avons fait un zoom sur la phase de commutation à la fermeture de MOSFET. Un temps mort de 300ns a été introduit entre le signal de commande pour le P2 et le N2. Nous retrouvons le phénomène décrit dans la partie II.2.2.d, durant que le PMOS P2 est encore en état bloqué et que la phase de roue libre n'est pas encore mise en route, la tension V_s est imposée par le circuit de la grille du MOSFET, le

courant magnétisant circule au secondaire du transformateur. On peut observer sur la Figure II.23 (b) que le courant primaire est nul pendant une certaine durée. Le courant magnétisant apparaît au secondaire et tend à décharger la grille et en même temps il permet de déstocker la charge qui était stockée dans la diode Zener Z1 pendant l'application de l'impulsion. La chute de tension de la grille notée $\Delta V2$ pendant cet intervalle est estimée à environ 2V. Puis dès que cet intervalle de temps est fini, le courant magnétisant circule au primaire, la diode Zener Z1 se bloque comme le montre la Figure II.23 (b), mais puisque le temps mort dure encore, la diode intrinsèque du PMOS P2 se met en conduction et on trouve une tension négative importante au secondaire du transformateur. Lorsque le temps mort est fini, la phase de roue libre est mise en route et la tension négative au secondaire baisse car cette phase est effectuée par les résistances à l'état passant des P1 et P2. Ensuite, la tension de la grille baisse par décharge par le courant de fuite de la diode Z1 et par la résistance pull-down. Nous pouvons quantifier la contribution du courant de fuite à cause des diodes Zener et à cause de la résistance pull-down. Par exemple, le courant de fuite qui circule dans la résistance pull-down sous une tension de la grille de 11V peut être calculé comme suit :

$$I_{Rd} = \frac{V_{GS}}{Rd} = \frac{11}{56 * 10^3} = 196(\mu A)$$

En regardant sur la Figure II.19 (b) qui représente le coude de la courbe caractéristique de la diode Zener Z1, avec une tension de 11V aux bornes de cette diode, cela représente un courant de fuite d'environ quelques μA , ce qui est négligeable devant le courant de fuite causé par la résistance pull-down.

Nous avons aussi montré, sur la Figure II.23 (a), le cas où il n'y pas de temps mort pour faire la comparaison. Dans ce cas, dès que l'impulsion de tension au primaire s'annule, la phase de roue libre se met en route brusquement. Du côté secondaire du transformateur, le courant de recouvrement de la diode Zener Z1 a un pic très important et il dure pendant un temps court, il décharge la capacité de la grille, cette dernière subit donc une décharge plus importante et sa tension baisse d'une valeur $\Delta V1$ d'environ 4V.

Décrivons maintenant la phase de blocage du MOSFET : une impulsion de tension négative de -22V est appliquée au secondaire du transformateur comme le montre la Figure II.22 (c). De ce fait, la diode Zener Z1 V_{BR} 16V entre en régime d'avalanche tandis que la diode Zener Z2 V_{BR} 6.2V est polarisée en direct. La tension de la grille diminue jusqu'à atteindre une tension négative, qui peut être calculée par l'équation (II.12). Il y a un courant

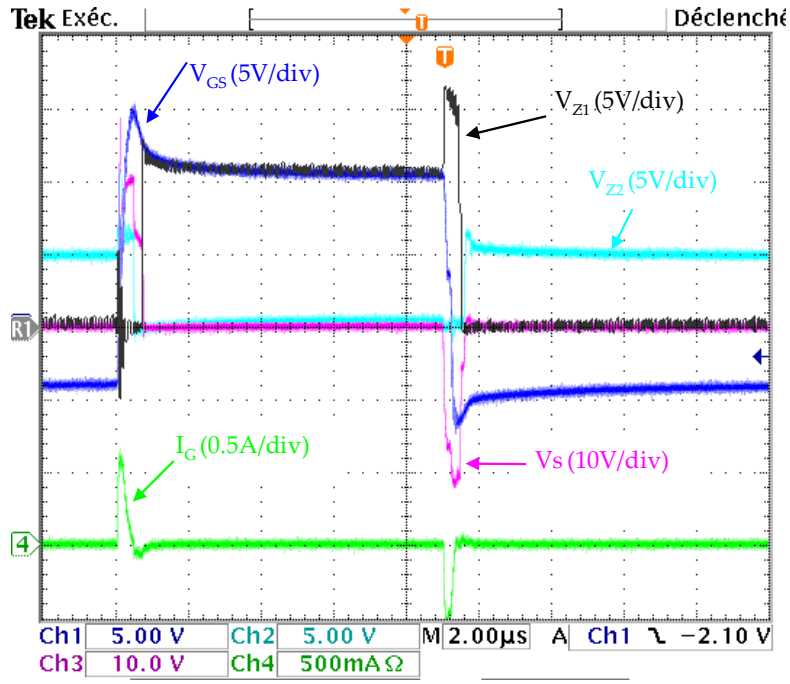
négatif dans la grille pour décharger la capacité d'entrée du MOSFET et ainsi le bloquer pour finalement polariser sa grille sous une tension légèrement négative.

$$V_{GS \min} = -E + V_{BRZ1} + V_{fZ2} = -22 + 16 + 0.7 = -5.3(V)$$

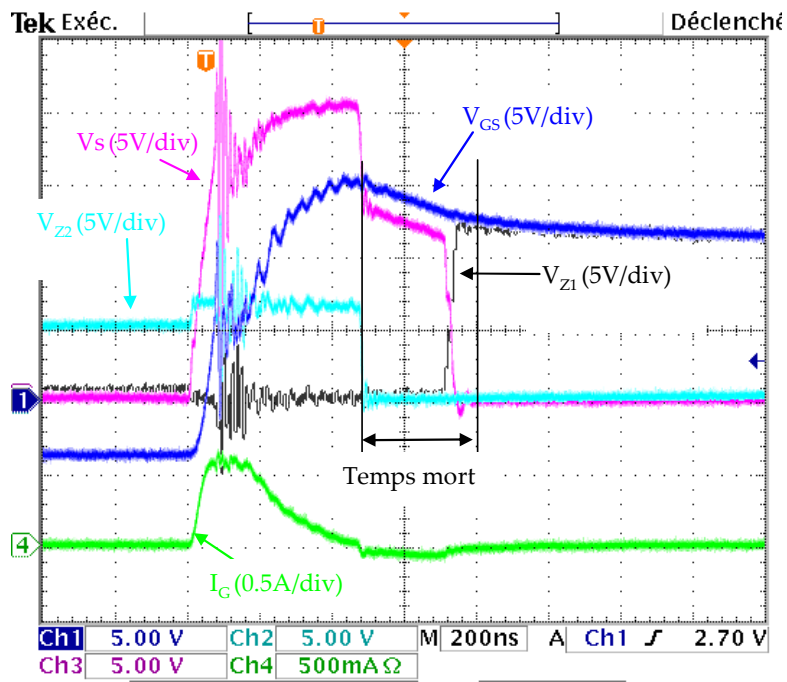
Nous avons aussi introduit un temps mort de 300ns pendant lequel le phénomène se passe comme pendant le temps mort après la commutation à la fermeture décrit ci-dessus sauf que le sens du courant magnétisant est en inverse, et c'est l'évacuation des charges stockée dans la diode Zener Z2 pendant certain temps après la commutation à l'ouverture. La tension de la grille chute d'environ 1V à cause du courant magnétisant circulant au secondaire du transformateur. Ensuite, durant la phase de blocage du MOSFET de puissance, la tension de la grille est maintenue à une valeur négative, celle-ci ne peut pas dépasser en valeur absolue la tension d'avalanche de la diode Zener Z2 V_{BR} 6.2V. Elle diminue en valeur absolue au cours de la phase de blocage de part la décharge via le circuit de la grille et via la résistance pull-down de la même manière que durant la phase de maintien à l'état passant du MOSFET de puissance. C'est la diode Zener Z2 qui permet de limiter la décharge de la grille. Nous pouvons quantifier séparément les courants de fuite dont le premier élément est causé par la résistance pull-down R_d sous la tension de la grille de -4V :

$$I_{Rd} = \frac{V_{GS}}{Rd} = \frac{-4}{56 * 10^3} = 71(\mu A)$$

En observant la caractéristique statique de la Zener Z2 sur la Figure II.20 (b), nous pouvons estimer le courant de fuite inférieur à 2 μA qui circule dans la diode Zener sous une tension de -4V à ses bornes. Ce courant de fuite est de nouveau négligeable devant celui causé par la résistance pull-down.



(a)



(b)

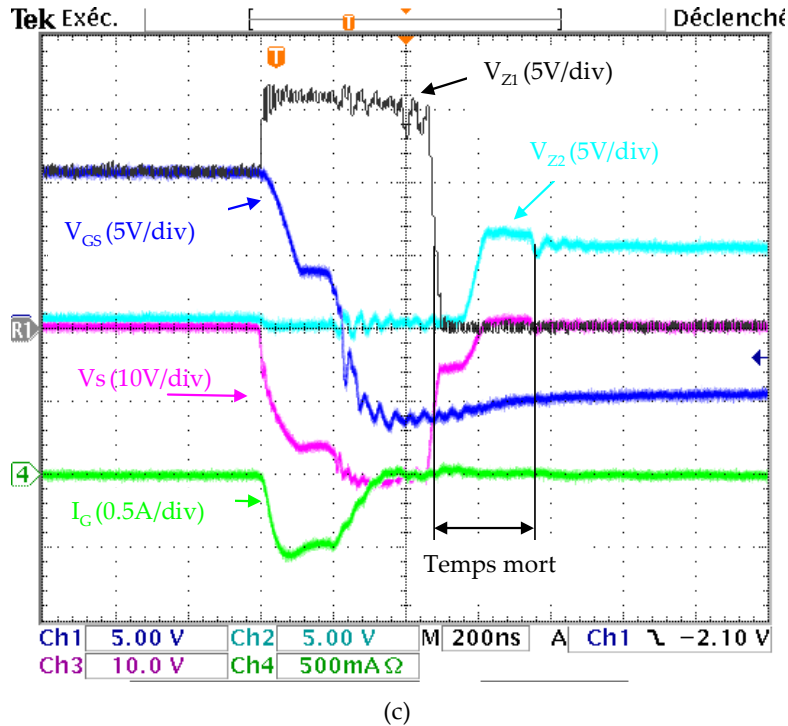


Figure II.22. Formes d'ondes du circuit de la grille.

(a) Pendant une période, (b) Fermeture du MOSFET, (c) Ouverture du MOSFET.

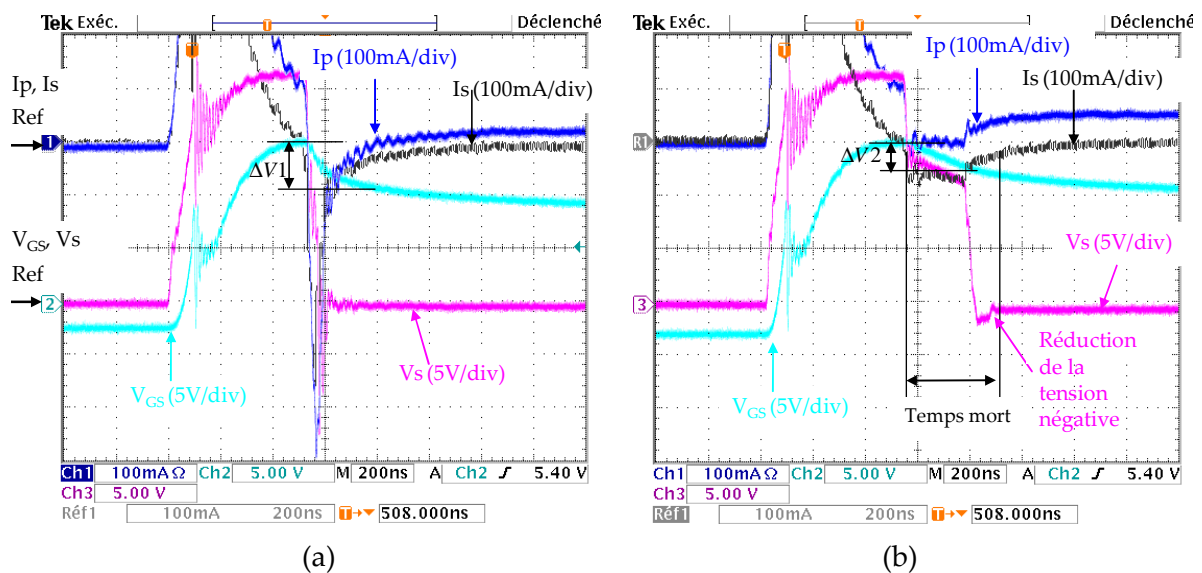
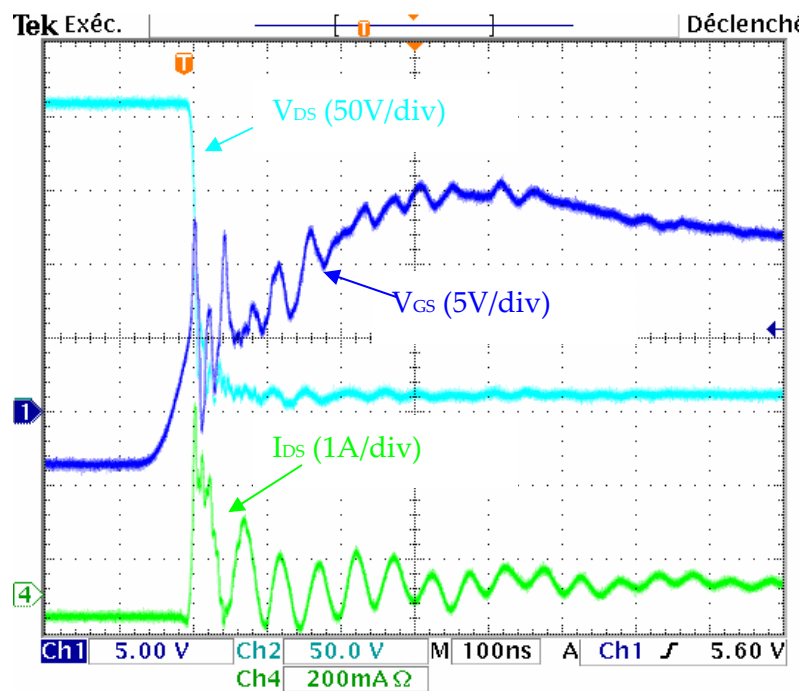


Figure II.23. Zoom sur la phase de commutation à la fermeture du MOSFET

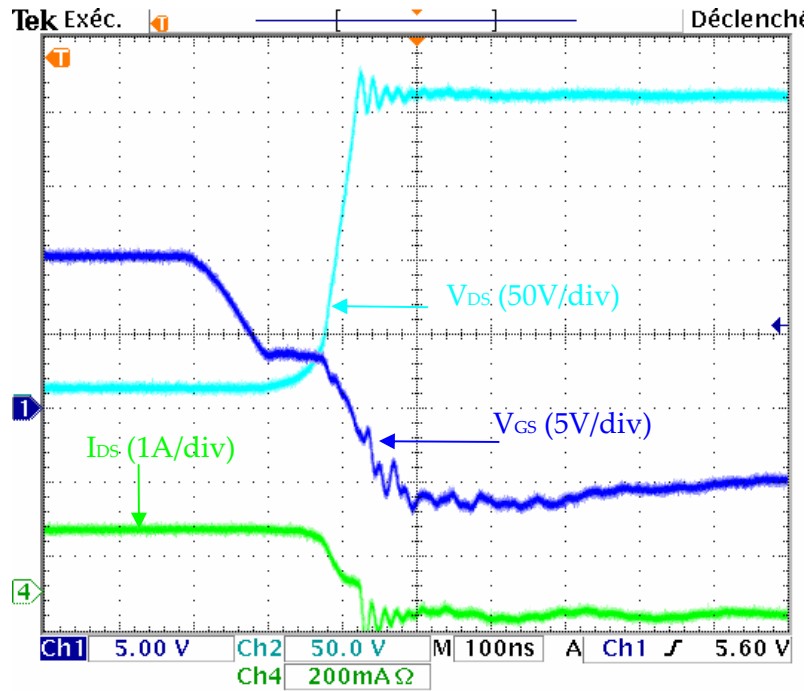
(a) Sans temps mort, (b) Temps mort de 300 ns.

Les résultats expérimentaux ci-dessus sont en accord avec les analyses théoriques sur le principe de fonctionnement de la nouvelle topologie de commande rapprochée. Nous

avons obtenu un signal de commande de la grille avec une tension initiale de +15.1V pour avoir une commutation rapide à la en fermeture rapide et un pic de tension négatif de -5.3V est obtenu afin d'accélérer la commutation à l'ouverture. La tension de la grille est maintenue supérieure à 11V pendant l'état passant et inférieure à -4V en l'état bloqué d'où l'auto-blindage est assuré pour contre les perturbations extérieures. Les résultats présentés sur Figure II.24 montrent les signaux de commutation du MOSFET, ils valident le fonctionnement correct du driver. Sur la commutation à la fermeture, on peut observer des oscillations au niveau de la tension de la grille, elles sont dues aux inductances parasites de la grille et aussi au courant de recouvrement de la diode de puissance. En effet, l'inductance de fuite au secondaire du transformateur d'impulsion contribue également pour une grande partie à l'inductance parasite dans le circuit de la grille du MOSFET.



(a)



(b)

Figure II.24. Signal de commutation du MOSFET

(a) Commutation à la fermeture, (b) Commutation à l'ouverture.

II.2.3.d. Analyse des pertes du circuit de commande rapprochée

II.2.3.d.i. Bilan énergétique

Sur la Figure II.25, nous détaillons la répartition des puissances consommées par les différents éléments dans le circuit de commande.

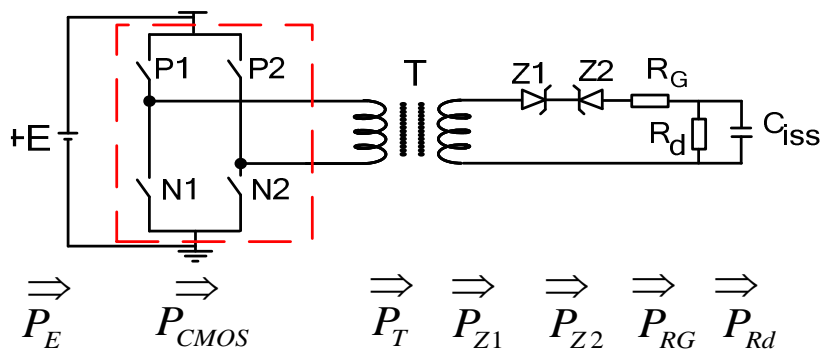


Figure II.25. Bilan énergétique.

Le bilan de puissance peut être exprimé par l'équation (II.28) :

$$P_E = P_{CMOS} + P_T + P_{Z1} + P_{Z2} + P_{RG} + P_{Rd} \quad (II.28)$$

$$P_{CMOS} = P_{dynamique} + P_{Lm} + P_{statique} + P_{com} \quad (II.29)$$

Dont :

- P_E : la consommation totale du circuit de commande.
- P_{CMOS} : elle comprend les éléments suivants :
 - o $P_{dynamique}$: l'énergie dissipée dans les résistances à l'état passant des transistors des bras CMOS liées à la charge et la décharge de la capacité d'entrée du MOSFET de puissance.
 - o P_{Lm} : les pertes de puissance dans les phases de roue libre dans lesquelles l'énergie stockée dans l'inductance magnétisante est dissipée dans les PMOS, plus la consommation statique.
 - o $P_{statique}$: les pertes de puissance à cause du courant de fuite dans les transistors des bras CMOS.
 - o P_{com} : les pertes de puissance pour commander les MOSFETs des bras CMOS et les pertes de puissance à cause du courant de court-circuit dans les bras CMOS.
- P_T : les pertes dans le transformateur.
- P_{Z1} : les pertes dans la diode Zener Z1.
- P_{Z2} : les pertes dans la diode Zener Z2.
- P_{RG} : l'énergie dissipée dans la résistance de la grille R_G liées aux charges stockées dans la grille du MOSFET de puissance.
- P_{Rd} : les pertes dans la résistance pull-down R_d .

Les énergies requises pour la charge et la décharge de la capacité d'entrée du MOSFET de puissance sont dissipées principalement dans les résistances à l'état passant des transistors des bras CMOS et dans la résistance de la grille. Pour chaque intervalle de charge ou de décharge, l'énergie requise est calculée par la formule (II.30) dont Q_G est la charge totale de la grille, ΔV_{ON} et ΔV_{OFF} sont respectivement les amplitudes crête à crête de la

tension de la grille pendant les commutations à la fermeture et à l'ouverture, f est la fréquence de découpage.

$$P = \frac{1}{2} Q_G \cdot \Delta V_{ON} \cdot f + \frac{1}{2} Q_G \cdot \Delta V_{OFF} \cdot f \quad (\text{II.30})$$

De fait, nous pouvons calculer l'énergie dissipée dans les transistors des bras CMOS par la formule (II.31) et dans la résistance de la grille par la formule (II.32) :

$$P_{\text{dynamique}} = P_{ON} + P_{OFF}$$

$$P_{ON} = \frac{1}{2} Q_G \cdot \Delta V_{ON} \cdot f \cdot \frac{R_{dsON_P1} + R_{dsON_N2}}{R_{dsON_P1} + R_{dsON_N2} + R_G} \quad (\text{II.31})$$

$$P_{OFF} = \frac{1}{2} Q_G \cdot \Delta V_{OFF} \cdot f \cdot \frac{R_{dsON_P2} + R_{dsON_N1}}{R_{dsON_P2} + R_{dsON_N1} + R_G}$$

$$P_{RG} = \frac{1}{2} Q_G \cdot \Delta V_{ON} \cdot f \cdot \frac{R_G}{R_{dsON_P1} + R_{dsON_N2} + R_G} + \frac{1}{2} Q_G \cdot \Delta V_{OFF} \cdot f \cdot \frac{R_G}{R_{dsON_P2} + R_{dsON_N1} + R_G} \quad (\text{II.32})$$

Les pertes de puissance P_{Lm} dans les phases de roue libre sont calculées par la formule (II.33) ci-dessous :

$$P_{Lm} = Lm \cdot I_{Lm}^2 \cdot f \quad (\text{II.33})$$

II.2.3.d.ii. Caractérisation expérimentale

La Figure II.26 détaille les pertes de puissance en mW et en pourcentage des éléments du circuit de commande, ce dernier consomme au total 460mW à 40 kHz. Nous pouvons d'abord constater que les diodes Zener constituent des pertes assez importantes (16.5% pour la diode Z1 et 7.6% pour la diode Z2) liées à l'effet d'avalanche de celles-ci, c'est un inconvénient de notre topologie de commande rapprochée. Les pertes de puissance sur la résistance de grille sont de 45mW, nous pouvons vérifier cette valeur en utilisant l'équation (II.32), il faut noter qu'avec les résultats expérimentaux, la tension de la grille change de -4V à +15.1V pendant la commutation à la fermeture et de +11V à -5.3V pendant la commutation à l'ouverture. Avec une tension de la grille de 15V, la charge totale de la grille est d'environ 130 nC selon les données du constructeur [7]. La valeur théorique de P_{RG} ci-dessous de 54mW est assez proche de la valeur en pratique, l'erreur peut être due à la mesure et aussi de la quantité de charge Q_G en pratique.

$$P_{RG} = \frac{1}{2} Q_G \cdot \Delta V_{ON} \cdot f \cdot \frac{R_G}{R_{dsON_P1} + R_{dsON_N2} + R_G} + \frac{1}{2} Q_G \cdot \Delta V_{OFF} \cdot f \cdot \frac{R_G}{R_{dsON_P2} + R_{dsON_N1} + R_G}$$

$$P_{RG} = \frac{1}{2} \cdot 130 \cdot 10^{-9} \cdot (15.1 + 4) \cdot 40 \cdot 10^3 \cdot \frac{10}{5 + 2 + 10} + \frac{1}{2} \cdot 130 \cdot 10^{-9} \cdot (11 + 5.3) \cdot 40 \cdot 10^3 \cdot \frac{10}{5 + 2 + 10} = 54 (mW)$$

Ensuite, les pertes de puissance P_{CMOS} sont déduites par la consommation totale du driver moins les pertes de puissance des éléments $P_T, P_{Z1}, P_{Z2}, P_{RG}, P_{Rd}$. Les éléments dans les pertes P_{CMOS} ne sont pas mesurables, seulement les pertes $P_{dynamique}$ et P_{Lm} peuvent être calculées par les équations (II.31) et (II.33). Le reste des pertes P_{CMOS} représente les pertes statiques $P_{statique}$ et P_{com} sont estimées d'environ 241.63 mW constituant 52.3% de la consommation du driver. Ceci est très critique car les commandes pour les transistors des bras CMOS ne sont pas optimisées. De fait, le courant de court-circuit dans les bras CMOS reste important provoquant des pertes de puissance.

Pour bien prendre conscience de l'impact des performances des bras CMOS, nous les avons fait fonctionner à vide, sans connecter un composant de puissance. Le bilan de la consommation du driver est dans ce cas, de 265mW comprenant principalement les pertes en commutation et les pertes liées à la magnétisation du transformateurs, toutes non optimisables en l'état. En retranchant les éléments, on comprend qu'il est possible de gagner environ 50% via une bonne gestion des commutations au niveau des bras d'onduleur CMOS

Dans le chapitre IV, nous allons présenter une solution d'intégration afin d'optimiser la commande pour les bras CMOS pour réduire la consommation du circuit et augmenter l'efficacité du système. Ce processus d'intégration va nous permettre, d'une part, de bien maîtriser le courant de court-circuit dans les bras CMOS afin de réduire les pertes de puissance, et d'autre part de réduire le temps de transfert du signal de commande pour aussi réduire les pertes de puissance par commutation.

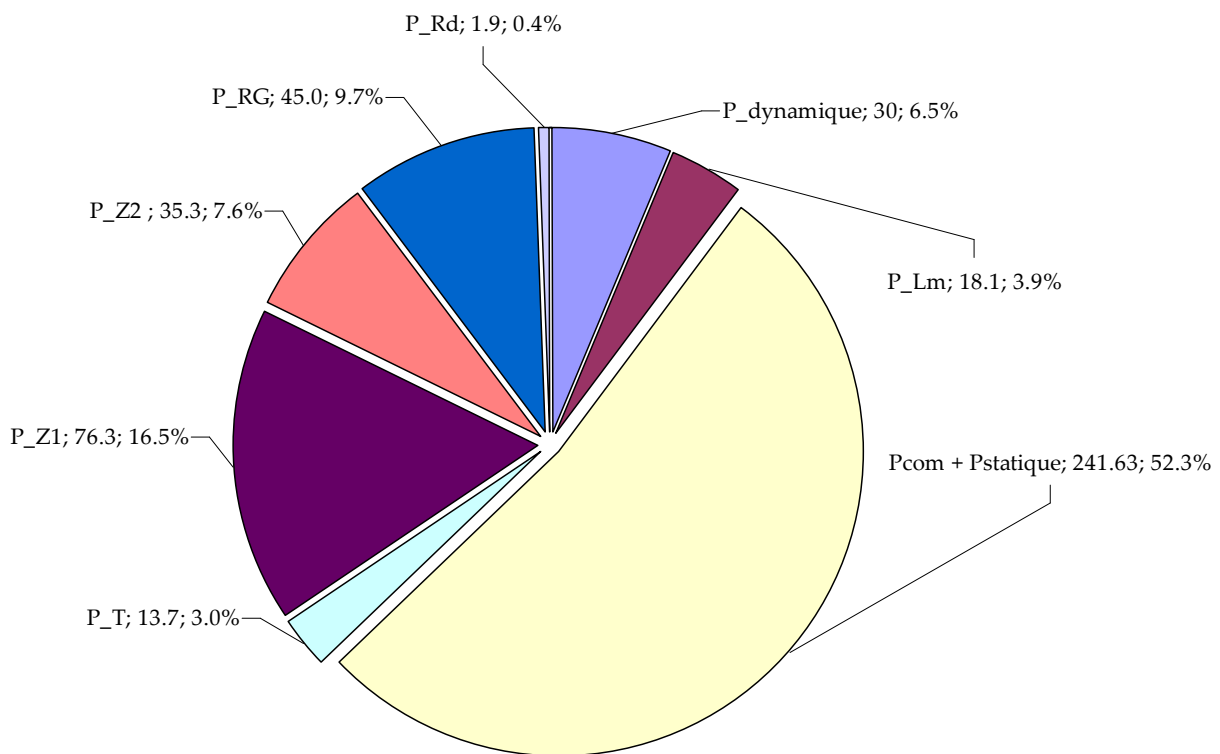


Figure II.26. Répartition des pertes de puissance du circuit de commande (mesure expérimentale).

II.2.3.e. Comparaison de la nouvelle topologie de commande rapprochée avec la structure conventionnelle

Afin d'évaluer la performance de notre topologie de commande avec une structure conventionnelle, nous avons choisi la structure représentée dans la Figure I.25 du chapitre I qui utilise aussi le transformateur d'impulsion.

Afin de comparer les performances de notre structure de commande rapprochée avec celle présentée sur la Figure I.25 dans le chapitre I, nous avons utilisé les deux circuits de commande pour commander le même MOSFET de puissance, les paramètres du circuit de puissance sont ceux présentés dans le Tableau II.2. En ce qui concerne la topologie de commande de la Figure I.25, nous avons utilisé les transistors N-MOSFET IRFU014 (60V, 7.7A) pour Q1 et Q2.

En général, un signal de commande pour le MOSFET sera considéré comme idéal lorsqu'il a les pics de (+15V, -5V) pour la commutation en fermeture et en ouverture respectivement. De ce fait, nous avons réglé l'alimentation +E des bras CMOS pour que le pic

positif de tension de commande de la grille soit de +15V pour les deux topologies de commande. En ce qui concerne le pic négatif de tension de commande de la grille, il est de -5V pour notre driver et de -15V pour le driver conventionnel, ceci est dû à la différence dans la structure.

La Figure II.27 compare les performances des deux topologies de commande : la consommation du driver et les pertes par commutation et en conduction du MOSFET de puissance. On peut observer que notre topologie de commande consomme plus d'énergie que la topologie conventionnelle, elle consomme 0.46W tandis que l'autre consomme 0.36W, ce qui représente d'environ 21% d'augmentation de la consommation. La raison principale pour expliquer cela est que notre topologie nécessite une alimentation de +14V pour avoir un pic de +15V de tension de commande de la grille tandis que la topologie conventionnelle la nécessite d'une alimentation de +11V. En ce qui concerne les pertes par commutation à la fermeture du MOSFET, elles sont presque pareils avec deux drivers, c'est parce que celles-ci font la même pic de tension à la grille du MOSFET de puissance, donc les vitesses de commutation en fermeture du MOSFET sont pratiquement les mêmes. La structure conventionnelle fait un pic de -15V pour bloquer le MOSFET de puissance tandis que notre structure en fait de -5V. Ce qui traduit par des pertes de commutation en ouverture légèrement plus grande avec notre structure. Il faut cependant noter que une tension négative de -5V est suffisante pour bloquer le transistor de puissance et assurer l'auto-blindage. Les pertes en conduction du MOSFET sont sensiblement réduites avec notre structure de commande, elles sont de 2.19W contre 2.23W dans le cas d'une commande conventionnelle.

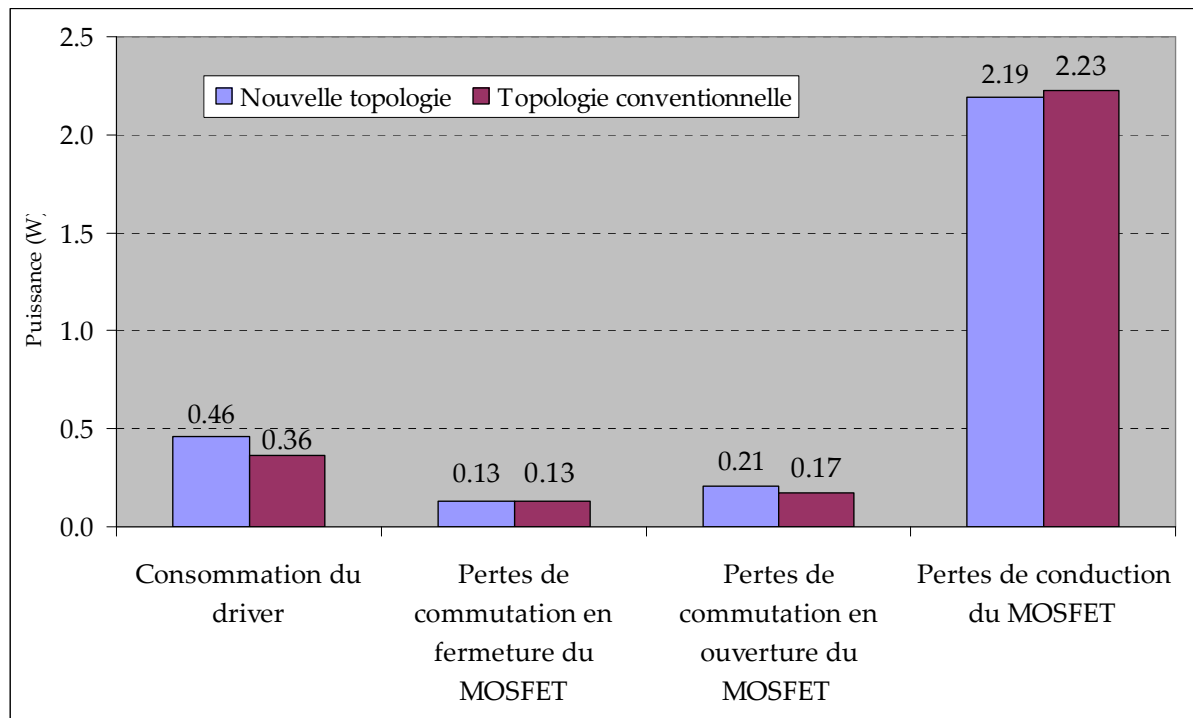


Figure II.27. Comparaison la performance de deux topologies de commande (résultats expérimentaux).

Nous pouvons dire que notre structure de commande ne présente pas d'avantage par rapport à la structure conventionnelle en termes de consommation énergétique, notamment à cause des pertes de puissance dans les diodes Zener. Cependant, notre structure est plus avantageuse en termes de la simplicité de mise en œuvre, de la fiabilité et de l'intégrabilité des diodes Zener au sein de l'interrupteur de puissance à commander. Elle offre des degrés de liberté supplémentaires et ouvre des perspectives d'intégration fonctionnelle qui seront abordées en perspectives de ce chapitre.

II.3. Perspectives pour l'intégration du circuit de commande

Notre ambition et notre objectif dans cette thèse sont de concevoir un système de commande intégré qui est à la fois générique et compact. La topologie de commande rapprochée que nous avons développée ci-dessus a été conçue pour remplir cet objectif. Elle offre des possibilités pour l'intégration d'un ou de plusieurs de ses éléments pour pouvoir en faire un système de commande très compact et générique. La suite de cette partie va analyser les voies d'intégration possibles pour cette structure de commande.

II.3.1. Intégration des bras CMOS

En ce qui concerne les bras CMOS dans la structure de commande, un transistor à commander nécessite deux bras CMOS, de ce fait, nous pouvons imaginer intégrer dans une puce de nombreux bras CMOS avec une alimentation commune. Cette puce intégrée pourra ensuite servir à commander des structures de conversion utilisant plusieurs transistors. En plus de simplifier la mise en œuvre avec un système et un composant ou boîtier unique, ce processus d'intégration permettra, d'une part, d'éliminer le phénomène de court-circuit entre les transistors d'un bras CMOS par la gestion et l'optimisation des signaux de commande pour ceux-ci, et d'autre part, d'améliorer la dynamique ou le temps de réponse du circuit de commande rapprochée [8]. Concernant la filière technologique pour l'intégration de la puce, il faudra une technologie CMOS de type haute tension (quelque dizaines de volts). La conception et la caractérisation d'un tel circuit feront l'objet d'un prochain chapitre.

II.3.2. Réalisation des transformateurs d'impulsion sur substrat commun (le circuit imprimé, noyau ferrite ou la plaquette Si)

Dans la perspective de concevoir un système de commande compact pour des applications multi transistors, nous pouvons aussi imaginer réaliser des transformateurs d'impulsion dont les bobinages sont constitués par des pistes sur le circuit imprimé. Ce bloc se composera de plusieurs transformateurs d'impulsion avec des noyaux ferrites. Ce processus permettra de réaliser de manière identique les transformateurs en s'affranchissant des imprécisions dues à la réalisation manuelle des enroulements.

De manières comparables aux travaux effectués au niveau académique par C. Martin au laboratoire Ampère [8] ou O. Deleage au G2Elab [8] [10] des techniques d'intégration pourraient permettre de développer des procédés collectifs de fabrication et d'assemblage.

II.3.3. Intégration des composants au secondaire du transformateur au sein de l'interrupteur de puissance

Du côté secondaire du transformateur, le fait que les deux diodes Zener Z1 et Z2 soient connectées en tête-bêche nous permet de concevoir un composant à semi-conducteur unique. Celui-ci contiendrait trois couches, P, N, P comme un transistor bipolaire. De plus, ce composant pourrait être intégré au sein même du composant de puissance à commander de

la même manière que dans le processus présenté dans la référence [11], la Figure I.3 illustre cette perspective d'intégration.

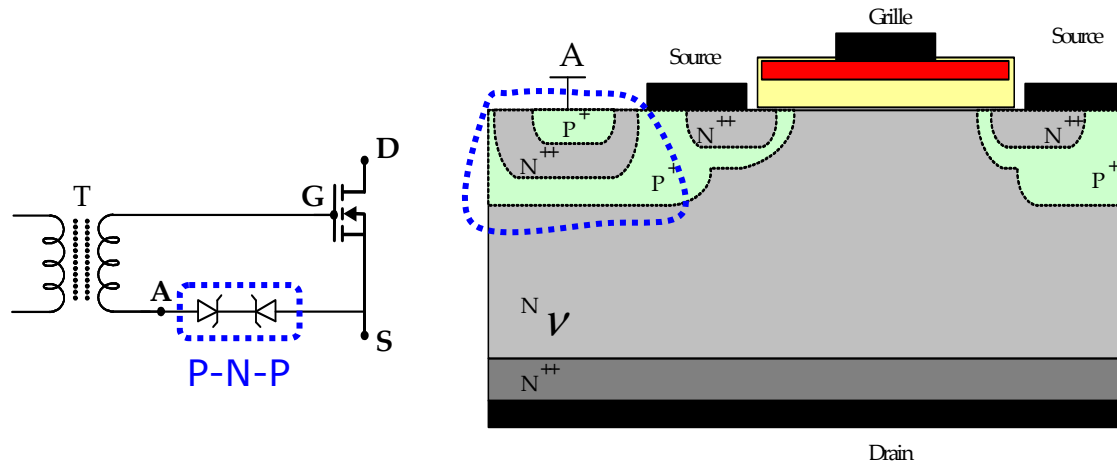


Figure II.28. Perspective d'intégration du composant NPN au sein du transistor de puissance.

Encore plus intéressant, en jouant sur la polarisation de la base du transistor bipolaire PNP, on pourrait faire varier les niveaux des tensions positives et négatives appliquées entre grille et source du composant de puissance. On pourrait aussi envisager de le protéger en local contre le court-circuit. La Figure II.29 ci-dessous présente cette perspective.

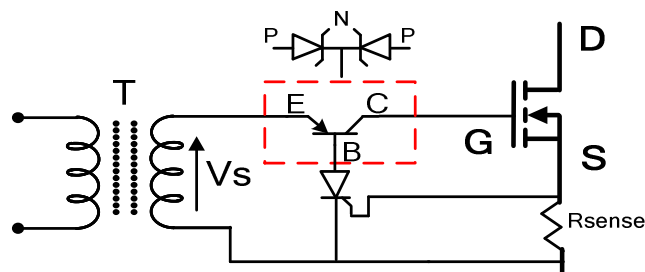


Figure II.29. Perspective de protéger en court-circuit.

Nous venons de présenter les voies de recherche qui permettent de concevoir un système de commande pour différentes structures de conversion d'énergie contenant plusieurs transistors. La Figure II.30 représente l'image de tel système de commande pour les applications de type multi transistors, il se composera de trois blocs, un bloc qui contient une puce intégrée avec plusieurs bras CMOS, ensuite celui-ci est connecté et ou reporté avec ou sur un bloc contenant des transformateurs d'impulsion en circuit imprimé PCB, puis le troisième bloc est le bloc des composants de puissance à commander avec les diodes Zener intégrées au sein même de ceux-ci.

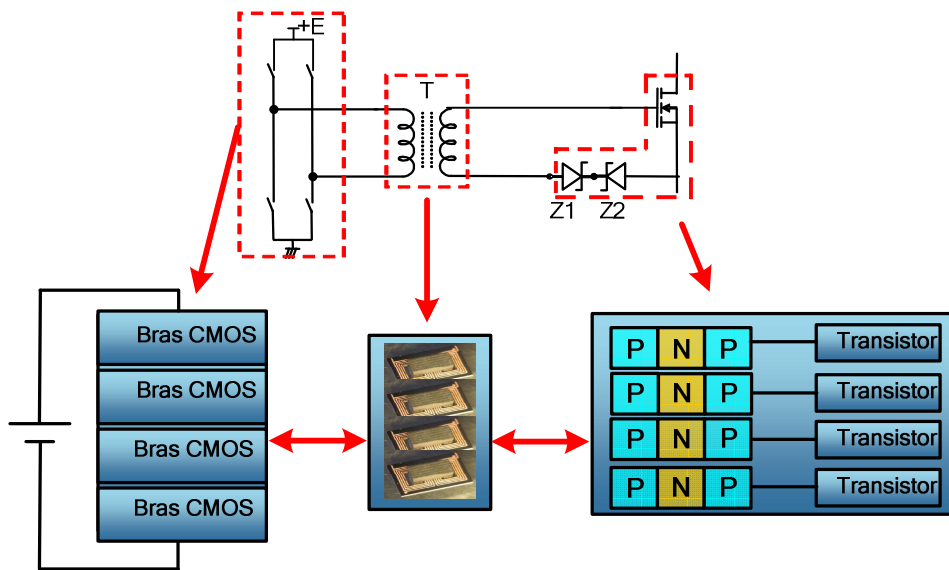


Figure II.30. Perspective d'un système de commande intégré générique.

II.4. Conclusion

Dans ce deuxième chapitre, nous avons présenté une nouvelle topologie de commande rapprochée se basant sur l'utilisation d'un transformateur d'impulsion haute fréquence. Nous avons expliqué le principe de fonctionnement de ce circuit en détaillant les phases de fonctionnement puis nous avons analysé les avantages de cette nouvelle structure. Nous avons aussi présenté des étapes de dimensionnement du circuit de commande selon le cahier de charges puis nous avons montré un exemple de dimensionnement du circuit de commande en fonction des caractéristiques du signal de commande optimal tel que défini dans le chapitre I. Les résultats expérimentaux ont validé notre analyse théorique. Les analyses sur la consommation des éléments du driver sont montrées, en même temps, nous avons fait une comparaison entre notre structure de commande avec la structure conventionnelle utilisant le transformateur d'impulsion. Il est conclu que notre topologie ne présente pas d'avantage en termes de consommation de l'énergie mais elle est plus avantageuse en termes de la fiabilité, de la simplicité de mise en œuvre et de l'intégrabilité. Nous avons aussi présenté les perspectives d'intégration à partir de cette nouvelle topologie de commande rapprochée pour faire un circuit de commande le plus intégré possible pour

les applications multi transistors. Dans le chapitre suivant, nous allons présenter quelques améliorations en termes de fonctionnalité pour cette structure de commande.

Bibliographie

- [1] V. Nguyen, J. Crebier, and P. Jeannin, "Compact, isolated and simple to implement gate driver using high frequency transformer," in *2011 Twenty-Sixth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2011, pp. 1092–1098.
- [2] N. Rouger, "Intégration monolithique des fonctions d'interface au sein de composants de puissance à structure verticale," Thèse, INPG, 2008.
- [3] M. Munzer, W. Ademmer, B. Strzalkowski, and K. T. Kaschani, "Insulated signal transfer in a half bridge driver IC based on coreless transformer technology," in *Power Electronics and Drive Systems, 2003. PEDS 2003. The Fifth International Conference on*, 2003, vol. 1, pp. 93–96 Vol.1.
- [4] S. Y. Hui, H. S.-H. Chung, and S. C. Tang, "Coreless printed circuit board (PCB) transformers for power MOSFET/IGBT gate drive circuits," *IEEE Transactions on Power Electronics*, vol. 14, no. 3, pp. 422–430, May 1999.
- [5] "Soft Ferrites and Accessories." Ferroxcube.
- [6] J.-P. Kéradec, "Transformateurs HF à n enroulements -Identification expérimentale." Techniques de l'ingénieur.
- [7] "IRFP350 datasheet." International Rectifier.
- [8] O. Deleage, "Conception, réalisation et mise en œuvre d'un micro convertisseur intégré pour la conversion DC/DC," Thèse, Université Joseph Fourier, 2010.
- [9] B. Allard, C. Buttay, D. Tournier, R. Robutel, J.-François Mognotte, P. Lamelot, B. MORILLON, P. Godignon, D. Bergogne, C. Martin, and H. Morel, "Higher temperature power electronics for larger-scale mechatronic integration," in *Automotive Power Electronics*, Paris, France, 2011, p. Actes sur CD (pas de pagination).
- [10] O. Deleage, J.-C. Crebier, M. Brunet, Y. Lembeye, and Hung Tran Manh, "Design and Realization of Highly Integrated Isolated DC/DC Microconverter," *IEEE Transactions on Industry Applications*, vol. 47, no. 2, pp. 930–938, Apr. 2011.
- [11] N. Rouger, J.-C. Crebier, R. Mitova, L. Aubard, and C. Schaeffer, "Fully integrated driver power supply for insulated gate transistors," in *Power Semiconductor Devices and IC's, 2006. ISPSD 2006. IEEE International Symposium on*, 2006, pp. 1–4.

CHAPITRE III :

Améliorations des fonctionnalités de la structure de commande

SOMMAIRE

<i>CHAPITRE III : Améliorations des fonctionnalités de la structure de commande</i>	96
III.1. Introduction	97
III.2. Limite de fonctionnement de la topologie de commande	97
III.3. Version améliorée de la commande rapprochée pour les fonctionnements ON et OFF permanents	99
III.3.1. Fonctionnement ON permanent	100
III.3.2. Fonctionnement OFF permanent	104
III.4. Validation expérimentale	107
III.4.1. Validation pour le transformateur à vide	107
III.4.2. Validation pour le MOSFET de puissance	109
III.5. Perspectives : vers un circuit de commande plus intelligent et automatisé.	114
III.6. Conclusion	115
Bibliographie	117

III.1. Introduction

Dans ce chapitre, nous allons proposer une version améliorée de la topologie de commande rapprochée présentée dans le chapitre 2, celle-ci offre une évolution en fonctionnalité qui optimise le comportement du circuit vis-à-vis des phases de démagnétisation du transformateur d'impulsion. Pour cela, nous avons modifié la structure du circuit de commande ce qui permet au driver de fonctionner à basse fréquence, en régime ON permanent ou OFF permanent. La partie III.3 va présenter la structure de commande et expliquer le fonctionnement, la partie III.4 va montrer les résultats expérimentaux pour la validation du fonctionnement du driver.

III.2. Limite de fonctionnement de la topologie de commande

Avec les structures de commande rapprochée à base de transformateurs d'impulsion comme celle présentée dans le chapitre II ou celles dans les références [1] [2], la tension de la grille est maintenue grâce à la charge stockée dans la capacité d'entrée Ciss du transistor de puissance durant l'état passant et l'état bloqué de celui-ci. Pourtant, la capacité d'entrée se décharge via le circuit de la grille (via la résistance de la grille et la résistance pull-down s'il y en a une) et en conséquence la tension de la grille va chuter au cours du temps en fonction des paramètres du circuit de la grille, du temps de conduction du transistor de puissance, lui-même en fonction du rapport cyclique et de la fréquence de découpage auxquels fonctionne le convertisseur. Par ailleurs, si la tension de la grille devient trop faible pendant l'état passant, il est possible que le transistor de puissance ne puisse plus être maintenu dans son état ON et se bloque. Ceci provoquerait des pertes statiques indésirables, cela pourrait aussi provoquer un dysfonctionnement de la structure de conversion lorsque la tension de la grille deviendrait inférieure à la tension de seuil du transistor de puissance. En ce qui concerne l'état bloqué, ce phénomène de décharge de la capacité d'entrée Ciss est moins critique car même si la tension de la grille tendait vers zéro, le transistor de puissance resterait en état bloqué, mais dans ce cas l'effet d'auto-blindage ne serait plus assuré pour protéger le composant contre les fortes perturbations dV/dt entre le drain et la source de celui-ci. On voit ainsi les limites des techniques de commande rapprochée à base de

transformateur d'impulsion et maintien de charge vis-à-vis des fonctionnements à basses fréquences lorsque les temps de conduction et/ou de blocage du transistor deviennent trop longs. Dans un cas extrême, le fonctionnement ON permanent du transistor de puissance est impossible avec une simple impulsion d'amorçage, tandis que le fonctionnement OFF permanent est possible mais il n'est pas optimisé par l'absence de l'effet l'auto-blindage.

Les résultats expérimentaux dans le chapitre II ont montré que la raison principale de la décharge de la grille vient de la résistance de pull-down (le courant de fuite des diodes Zener est négligeable devant le courant de fuite via la résistance pull-down). Sur la Figure III.1, nous illustrons la décharge de la grille au cours du temps en fonction de la résistance pull-down, les paramètres des composants du circuit de puissance et du circuit de commande sont les mêmes que ceux utilisés dans le chapitre II, la fréquence de découpage est de 3.3 kHz avec un rapport cyclique de 0.5. Nous pouvons donc constater un net impact de la résistance de pull-down sur la décharge de la grille du MOSFET de puissance. A titre exemple, avec une résistance de pull-down R_d de $30\text{ k}\Omega$, la tension de la grille est diminuée jusqu'à 5V après une durée de $160\ \mu\text{s}$, sachant que la tension de seuil du MOSFET IRFP350 est de 4V.

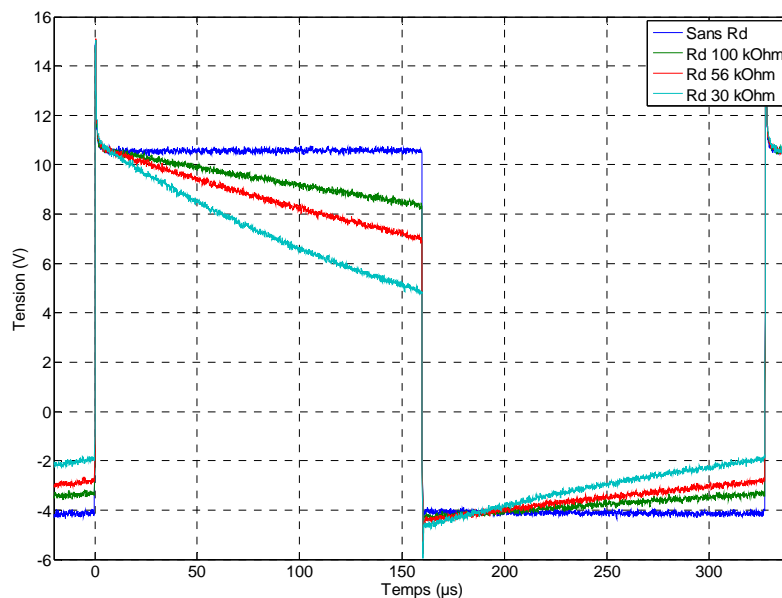


Figure III.1. Evolutions temporelles de la tension de la grille en fonction de la valeur de la résistance de pull-down R_d .

Afin de faire fonctionner le circuit de commande à basse fréquence voire à l'état ON permanent ou OFF permanent, il faudrait donc pouvoir recharger (en positif ou en négatif) régulièrement la capacité d'entrée du transistor par des impulsions de courant via

l'application d'un créneau de tension périodiques au primaire du transformateur dès que la tension de la grille chute au-dessous du niveau désiré. Or, cette opération pourrait mener à la saturation du transformateur, augmenter les pertes fer dans le transformateur et augmenter les pertes de puissance dans les bras CMOS à cause du courant rémanent dans l'inductance magnétisante si entre ces impulsions de tension, la démagnétisation naturelle via les PMOS P1 et P2 n'est pas complète. Par ailleurs, si on cherche à introduire une opération de démagnétisation plus rapide entre les impulsions, il faudra prendre en compte l'impact de celle-ci sur le fonctionnement du circuit de commande du côté du circuit de la grille du transistor à commander. Dans le chapitre II, nous avons analysé l'impact de la tension négative ou positive apparente pendant la phase de démagnétisation sur le niveau de polarisation de la grille du transistor de puissance.

Pour s'affranchir de cette limite, nous proposons dans ce chapitre une solution basée sur la structure représentée dans le chapitre II, contenant des composants supplémentaires permettant d'optimiser la phase de la démagnétisation du transformateur durant l'intervalle de temps entre deux impulsions de même signe de tension sans affecter le fonctionnement du driver.

III.3. Version améliorée de la commande rapprochée pour les fonctionnements ON et OFF permanents

La nouvelle structure de commande est représentée sur la Figure III.2 [3]. En effet, pour effectuer des commandes ON ou OFF permanentes, nous allons envoyer des impulsions de tension périodiques pour recharger périodiquement la capacité d'entrée du transistor de puissance. Le primaire du transformateur est donc excité avec un train d'impulsions, soit toutes positives soit toutes négatives. Si aucune phase de démagnétisation n'est prévue, le transformateur ne tardera à entrer en saturation par accumulation d'énergie magnétisante (le produit $E \cdot t$ devenant largement supérieur au dimensionnement. Avec la structure de commande proposée dans le chapitre II, cette phase de démagnétisation est effectuée naturellement via les PMOS P1 et P2 (voir la Figure III.2) dont les résistances à l'état passant sont relativement faibles, ce qui se traduit par un temps nécessaire pour la démagnétisation complète très long pendant lequel la tension de la grille pourrait chuter significativement. De ce fait, nous avons introduit des composants supplémentaires pour accélérer la phase de

démagnétisation du transformateur sans aucun impact sur le fonctionnement du driver : un PMOS P3 en série avec une résistance R3 présentant une résistance à l'état passant pour la démagnétisation pendant le fonctionnement ON permanent, un PMOS P4 et une résistance R4 pour la démagnétisation pendant le fonctionnement OFF permanent. Le principe de notre solution consiste à utiliser des résistances R3 et R4 assez élevées pour accélérer la phase de démagnétisation par une réduction de la constante de temps formée par l'inductance magnétisante et la somme des résistances de démagnétisation. Cette phase de démagnétisation plus efficace s'accompagne d'une tension plus importante durant cette phase au niveau du primaire du transformateur. Il faut alors veiller à ce que cette tension n'affecte pas le bon fonctionnement et la bonne polarisation de la grille du transistor de puissance. Le détail du fonctionnement pour les opérations ON et OFF permanents est présenté dans la suite de ce chapitre.

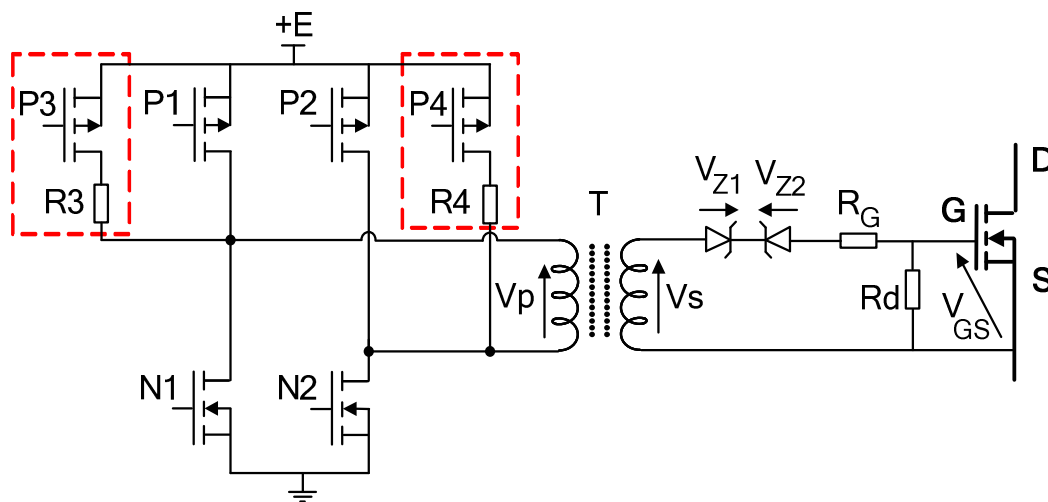


Figure III.2. Schéma de la nouvelle structure de commande rapprochée pour les fonctionnements ON et OFF permanents.

III.3.1. Fonctionnement ON permanent

La Figure III.3 détaille les schémas électriques équivalents pour le fonctionnement ON permanent dont la première phase est la phase de charge de la capacité d'entrée du transistor pour la commutation à la fermeture de celui-ci et la deuxième est la phase de démagnétisation du transformateur. Les sens de circulation du courant du côté primaire du transformateur sont aussi indiqués par les flèches rouges. Nous présentons ici le schéma

électrique simplifié du transformateur dont R_p est la résistance de l'enroulement primaire et L_m est l'inductance magnétisante.

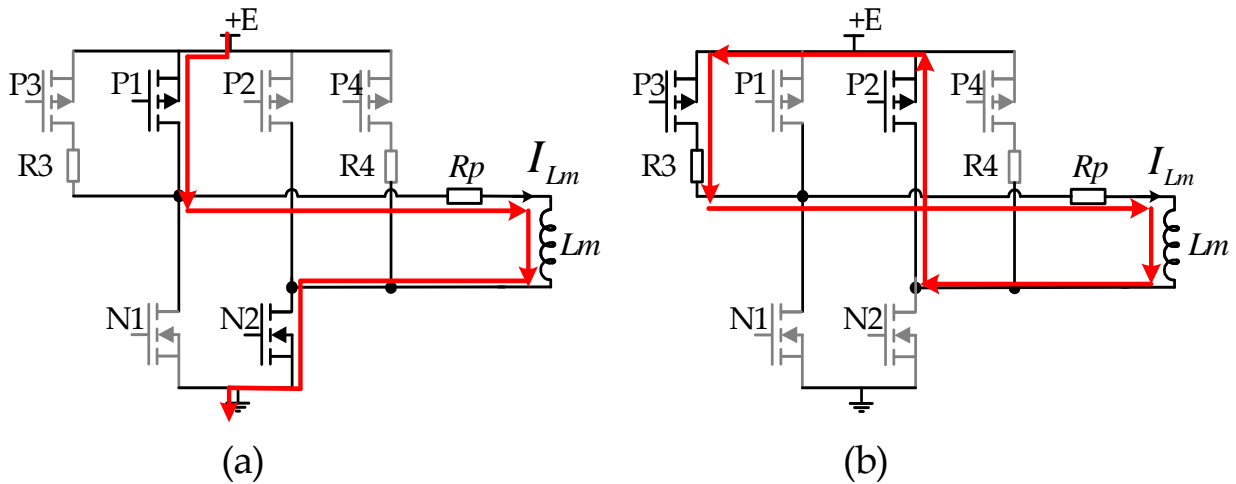


Figure III.3. Phases de fonctionnement pour le fonctionnement ON permanent

(a) Phase de charge de la grille du transistor, (b) Phase de démagnétisation du transformateur.

Sur la Figure III.5, nous présentons les formes d'ondes qualitatives des signaux de commande MLI pour les MOSFETs des bras CMOS ainsi que les formes d'ondes de la tension appliquée au primaire du transformateur V_p , du courant dans l'inductance magnétisante I_{L_m} et de la tension de la grille pendant l'opération ON permanente V_{GS} . Les phases de fonctionnement sont comme suit :

- **t0-t1** : phase de commutation à la fermeture. On suppose ici que le transistor est initialement bloqué, la tension de la grille est initialement de zéro et le transformateur est complètement démagnétisé.

Cette phase de commutation à la fermeture est tout à fait identique à celle présentée dans la partie II.2.1.b du chapitre II. La capacité d'entrée du MOSFET de puissance est chargée sous l'application d'une impulsion de tension au primaire du transformateur. Le courant au primaire circule à partir du +E via le PMOS P1 et le NMOS N2 vers la masse. Pendant ce temps, le courant dans l'inductance magnétisante augmente linéairement comme le représente l'équation (III.1) :

$$\frac{di_{L_m}}{dt} = \frac{E}{L_m} \quad (\text{III.1})$$

Lorsque l'impulsion de tension s'annule et que la phase de charge de la grille est finie, le courant dans l'inductance magnétisante atteint sa valeur maximale $i_{Lm \max}$ qui est calculée par l'équation (III.2) :

$$i_{Lm \max} = \frac{E * (t1 - t0)}{Lm} \quad (III.2)$$

- **t1-t2** : phase de démagnétisation.

Pendant cette phase, les PMOS P2 et P3 sont commandés en conduction tandis que tous les autres transistors sont bloqués. Le courant du primaire du transformateur continue dans même sens et circule via le PMOS P2 et puis P3, et R3 si son ajout est nécessaire. Le principe de cette phase est identique à celui dans la phase de roue libre ou de la phase de démagnétisation naturelle dans la partie II.1.1.c sauf que l'on utilise dans ce cas une résistance R3 de valeur suffisamment grande pour réduire le temps de démagnétisation du transformateur. La Figure III.4 montre le schéma électrique équivalent pendant cette phase ; R_{dsON_P2} et R_{dsON_P3} représentent respectivement les résistances à l'état passant du PMOS P2 et P3.

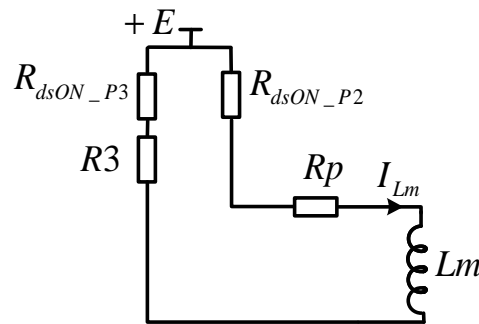


Figure III.4. Schéma électrique équivalent durant la phase de démagnétisation.

Ce circuit se comporte comme un circuit R-L avec un courant initial dans l'inductance magnétisante Lm de $I_{Lm \max}$, la constante de temps du circuit τ_1 est calculée par l'équation (III.3) :

$$\tau_1 = \frac{Lm}{R_{equ1}} \quad (III.3)$$

$$R_{equ1} = R_{dsON_P2} + R_{dsON_P3} + R3 + Rp \quad (III.4)$$

La phase de démagnétisation qui apparaît impose une tension négative $-V_{p'}$ au primaire du transformateur dont la valeur, au début de la phase, est donnée par l'équation (III.5) :

$$-V_{p'} = -i_{Lm \max} \cdot R_{equ1} \quad (III.5)$$

Pendant la phase de démagnétisation, la tension de la grille du MOSFET de puissance se maintient et diminue a cause des courants dans les résistances de pull down et de fuite du circuit de commande rapproché.

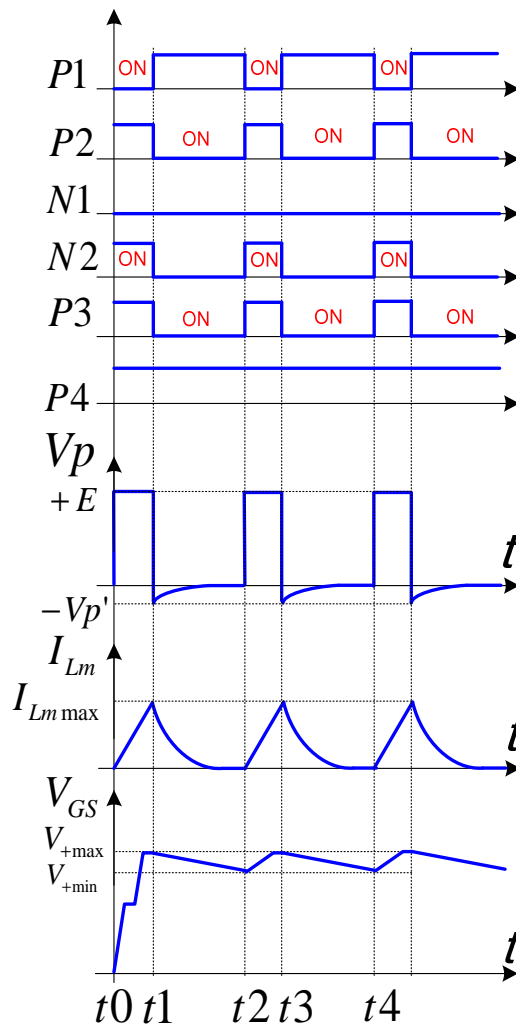


Figure III.5. Formes d'ondes de fonctionnement pour le mode ON permanent.

La première condition pour assurer le fonctionnement ON permanent est que la durée de l'intervalle de temps entre deux impulsions consécutives soit au minimum supérieure à cinq fois la constante de temps du circuit R-L, τ_1 , pour que la phase de démagnétisation soit complète.

La deuxième condition est que la tension la plus négative au primaire du transformateur au début de la phase de démagnétisation ne doit pas affecter la polarisation de la grille du transistor de puissance. Cela signifie que cette tension doit toujours satisfaire la condition donnée dans l'équation (III.6) dans laquelle $-\eta.Vp'$ est la tension au secondaire du transformateur. Autrement dit, la tension négative pour démagnétiser le transformateur ne devrait pas être trop importante pour que la diode Zener Z1 ne soit pas mise en avalanche, ce qui provoquerait une chute du niveau de polarisation de la grille du transistor de puissance comme nous avons analysé dans le chapitre II.

$$V_{GS_{\max}} - V_{fZ2} + \eta.Vp' < V_{BRZ1} \quad (III.6)$$

Ainsi, la procédure pour réaliser la commande ON permanente avec un transformateur d'impulsion dimensionné est la suivante :

- A partir du dimensionnement du circuit de commande dans le chapitre II avec les paramètres $V_{GS_{\max}}$, $V_{GS_{\min}}$, la taille des diodes Zener Z1 et Z2 et la taille du transformateur d'impulsion, nous pouvons déterminer la marge de la tension négative $-Vp'$ qui peut être appliquée au primaire du transformateur sans affecter la polarisation de grille du MOSFET de puissance suivant l'équation (III.6).
- A partir de la marge de $-Vp'$, déduire la marge de la résistance R3 par l'équation (III.5).
- Déduire le temps nécessaire pour que la démagnétisation soit complète $5 \cdot \tau_1$ par l'équation (III.3).
- Le temps entre deux impulsions de tension se détermine d'une part à partir de quel niveau minimal de la tension de la grille $V_{+\min}$ il faut ajouter une impulsion pour recharger la grille, et d'autre part dans combien de temps la phase de démagnétisation est finie. Il faut noter que le choix de la valeur $V_{+\min}$ dépend du cahier de charge et la chute de tension de la grille dépend notamment du choix de la résistance pull-down R_d .

III.3.2. Fonctionnement OFF permanent

Pour assurer le blocage du transistor de puissance, une tension nulle de la grille suffit, mais comme nous avons expliqué dans le chapitre I, il est toujours souhaitable d'avoir une tension de la grille négative (-5V en général) pour bloquer celui-ci et maintenir l'effet l'auto-

blindage du composant contre les fortes perturbations dV/dt entre le drain et la source du transistor de puissance.

La Figure III.6 détaille les schémas électriques équivalents pour le fonctionnement OFF permanent dont la première phase est là pour décharger la capacité d'entrée du transistor de puissance pour la commutation à l'ouverture et la deuxième est la phase de démagnétisation du transformateur. Les sens de circulation du courant du côté primaire du transformateur sont aussi montrés en flèches rouges.

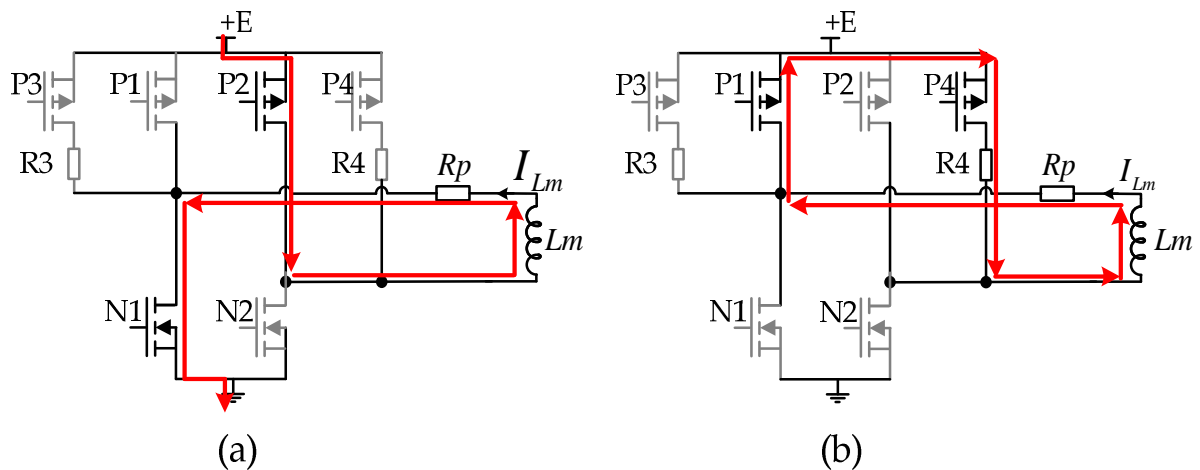


Figure III.6. Phases de fonctionnement pour le mode OFF permanent

(a) Phase de décharge de la grille du transistor, (b) Phase de démagnétisation.

Sur la Figure III.8, nous présentons les formes d'ondes des signaux pendant le fonctionnement OFF permanent. Les phases de fonctionnement sont composées par une phase de commutation à l'ouverture et une phase de démagnétisation. La phase de commutation à l'ouverture est identique à celle présentée dans la partie II.2.1.d du chapitre II. Le comportement de la phase de démagnétisation est tout à fait similaire à la phase de démagnétisation pour le fonctionnement ON permanent présentée auparavant avec la constante de temps, τ_2 , calculé par l'équation (III.7). La Figure III.7 montre le schéma électrique équivalent pendant cette phase.

$$\tau_2 = \frac{Lm}{R_{equ2}} \quad (III.7)$$

$$R_{equ2} = R_{dsON_P1} + R_{dsOn_P4} + R4 + Rp \quad (III.8)$$

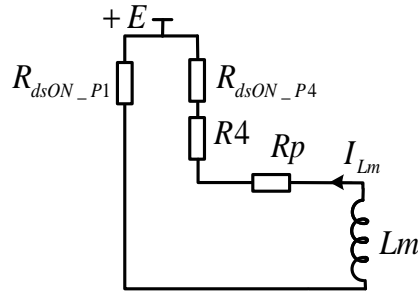


Figure III.7. Schéma électrique équivalent durant la phase de démagnétisation.

La tension positive Vp' au primaire du transformateur au début de la phase de démagnétisation est calculée par l'équation (III.9) :

$$Vp' = i_{Lm \min} \cdot R_{equ2} \quad (III.9)$$

De la même manière que celle pour faire une commande ON permanente, la tension positive pour démagnétiser le transformateur ne devrait pas être trop importante pour ne pas impacter le circuit de la grille ou pour que la diode Zener Z2 ne soit pas mise en avalanche, ce qui se traduit par la condition (III.10) comme nous avons analysé dans le chapitre II.

$$\left| \eta \cdot Vp' - V_{fz1} - V_{GS \min} \right| < V_{BRZ2} \quad (III.10)$$

Ainsi, la procédure pour réaliser la commande OFF permanente est tout à fait identique à celle pour réaliser la commande ON permanente sauf le transistor P4 et la résistance R4 font le rôle du P3 et R3.

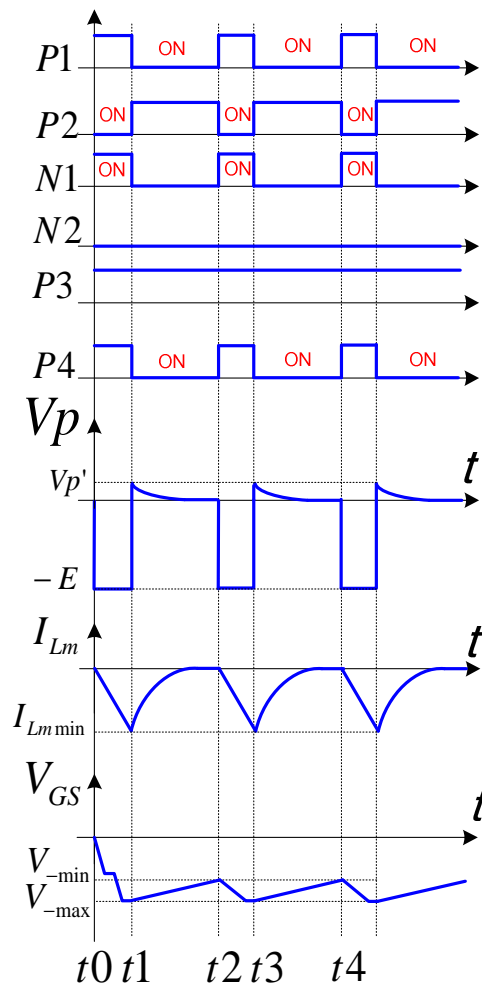


Figure III.8. Formes d'ondes de fonctionnement pour le mode OFF permanent.

III.4. Validation expérimentale

III.4.1. Validation pour le transformateur à vide

Tout d'abord, nous voulons valider notre méthode de démagnétisation en comparaison avec la démagnétisation naturelle, c'est-à-dire la démagnétisation via le PMOS P1 et P2. Nous avons utilisé les MOSFETs ZVP2106 ($R_{dsON} 5\Omega$ à 25°C) pour les PMOS P3 et P4, c'est-à-dire les mêmes composants que pour les PMOS P1 P2. Nous avons ensuite fait travailler le transformateur d'impulsion à vide, ce dernier est le même transformateur que celui utilisé dans le chapitre II. Des impulsions de tension périodiques sont générées toutes les $30\mu\text{s}$ au primaire du transformateur. Celles-ci sont toutes positives et elles ont une amplitude de 14V et une durée de 400ns . Les résultats expérimentaux présentés sur la Figure III.9 montrent les

formes d'ondes de la tension et du courant au primaire du transformateur pour comparer l'efficacité de la méthode de démagnétisation dans le cas naturel et dans le cas de la nouvelle structure avec différentes valeurs de la résistance R3. Il faut noter ici que l'image du courant primaire du transformateur dans l'intervalle entre deux impulsions de tension représente le courant qui circule dans l'inductance magnétisante. Dans le Tableau III.1, nous montrons les résultats expérimentaux comparés aux valeurs théoriques à propos de la tension négative apparue au primaire du transformateur au début de la phase de démagnétisation ainsi que le temps de démagnétisation.

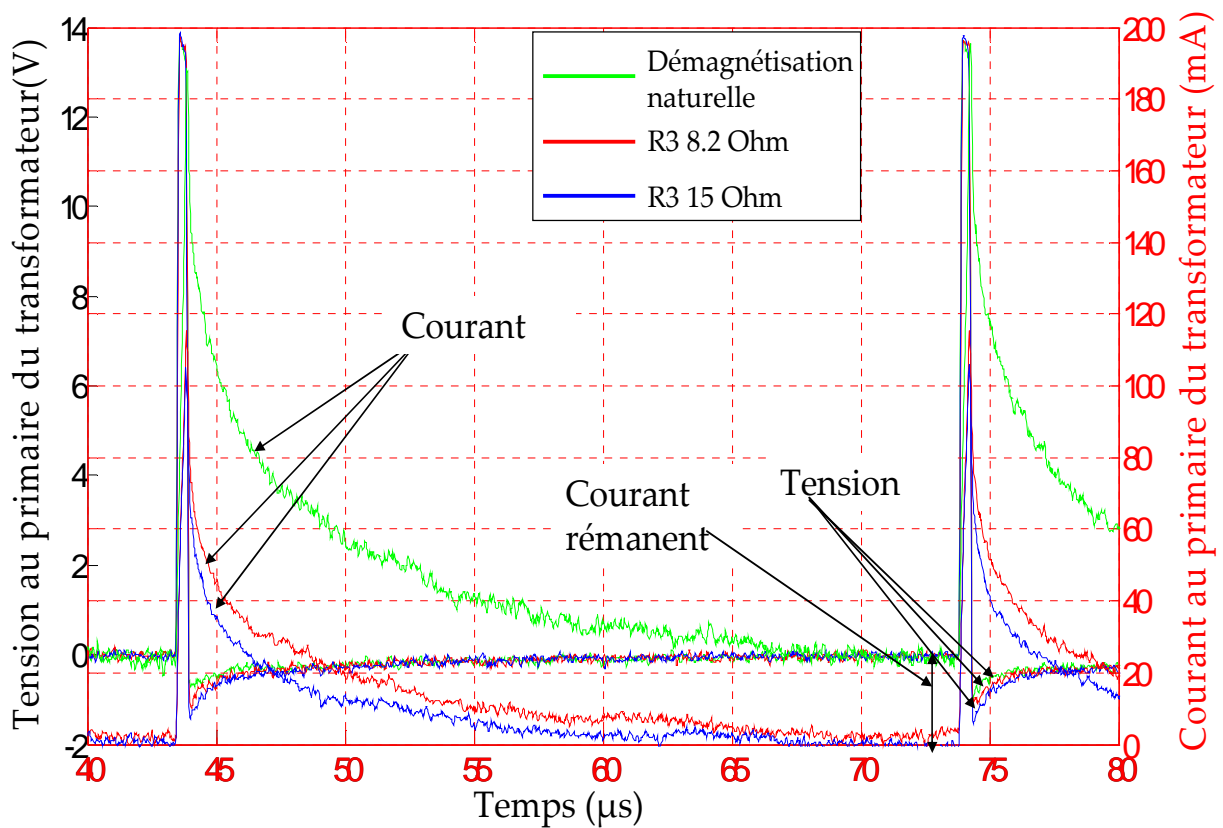


Figure III.9. Validation de la méthode de démagnétisation

	$-V_p'$ (V)		$5.\tau_1$ (μs)	
	Valeur théorique	Valeur mesurée	Valeur théorique	Valeur mesurée
Démagnétisation naturelle	-0.52	-0.62	53.5	>40
R3 : 8.2Ω	-0.95	-0.98	29	28.5
R3 : 15Ω	-1.3	-1.45	21.2	20

Tableau III.1. Paramètres et caractéristiques de la phase de démagnétisation du circuit de commande en régime ON permanent pour différentes constantes de temps de démagnétisation.

En se basant sur ces résultats, nous trouvons qu'avec la méthode de démagnétisation naturelle, le transformateur ne peut pas être démagnétisé complètement entre chaque intervalle séparant deux impulsions de tension, ainsi, le courant dans l'inductance magnétisante se maintient à environ 25 mA après chaque phase de démagnétisation naturelle en régime permanent. Par contre, en utilisant notre méthode de démagnétisation, le temps pour une démagnétisation complète est réduit. A titre d'exemple, avec une résistance R3 de 8.2Ω , ce temps est évalué à environ 28.5 μs sous l'application d'une tension négative de -0.98V au primaire du transformateur, tandis que avec une résistance R3 de 15Ω , nous avons réduit le temps de démagnétisation à environ 20 μs avec une tension négative de -1.45V au primaire du transformateur. Ces résultats expérimentaux sont en bonne cohérence avec les analyses et les calculs théoriques précédents. Ils confirment le bénéfice de notre solution par rapport à la démagnétisation naturelle avec un intervalle donné entre deux impulsions de tension. La partie suivante va présenter l'application de notre méthode pour faire fonctionner le MOSFET de puissance à très basse fréquence et en mode ON et OFF permanents.

III.4.2. Validation pour le MOSFET de puissance

Afin de pouvoir faire fonctionner le MOSFET de puissance à très basse fréquence voire en mode ON et OFF permanentes, nous déterminons la marge de la tension négative et positive au primaire du transformateur pour faire la démagnétisation sans affecter le fonctionnement du circuit de commande. Pour cela, nous nous basons sur les équations

(III.6) et (III.10) avec les paramètres du circuit de commande utilisés dans le chapitre II, c'est-à-dire $V_{GS\max} = 15.1V$ et $V_{GS\min} = -5.3V$. Si nous appliquons des impulsions de tension de 14V pendant 400ns, la valeur du courant maximal dans l'inductance magnétisante est de +53mA suivant l'équation (III.2) pour le mode ON permanent, la valeur du courant minimale sera de -53mA pour le mode OFF permanent.

- Pour le fonctionnement ON permanent :

$$\begin{aligned} V_{GS\max} - V_{fz2} + \eta.Vp' &< V_{BRZ1} \\ \Leftrightarrow \eta.Vp' &< V_{BRZ1} - V_{GS\max} + V_{fz2} \\ \Leftrightarrow \eta.Vp' &< 16 - 15.1 + 0.7 \\ \Leftrightarrow \eta.Vp' &< 1.01(V) \end{aligned}$$

Donc la valeur de la résistance R3 doit satisfaire :

$$\begin{aligned} \eta.Vp' &< 1.01(V) \\ \Leftrightarrow i_{Lm\max} . R_{equ1} &< 1.01 \\ \Leftrightarrow R_{equ1} &< 19\Omega \\ \Leftrightarrow R3 &< 9\Omega \end{aligned}$$

- Pour le fonctionnement OFF permanent :

$$\begin{aligned} |\eta.Vp' - V_{fz1} - V_{GS\min}| &< V_{BRZ2} \\ \Leftrightarrow |\eta.Vp'| &< V_{BRZ2} + V_{GS\min} + V_{fz1} \\ \Leftrightarrow |\eta.Vp'| &< 6.2 + (-5.3) + 0.7 \\ \Leftrightarrow |\eta.Vp'| &< 1.01(V) \end{aligned}$$

Donc la valeur de la résistance R4 doit satisfaire :

$$\begin{aligned} |\eta.Vp'| &< 1.01(V) \\ \Leftrightarrow |-i_{Lm\min} . R_{equ2}| &< 1.01 \\ \Leftrightarrow R_{equ2} &< 19\Omega \\ \Leftrightarrow R4 &< 9\Omega \end{aligned}$$

Avec ces valeurs pour les résistances R3 et R4, le temps théorique nécessaire pour démagnétiser complètement le transformateur est de 28.3 μs .

Maintenant, revenons sur les résultats expérimentaux dans la Figure III.1 sur la décharge de la grille à basse fréquence. Pour la validation de notre méthode de démagnétisation, nous définissons le cahier de charge avec une résistance de pull-down Rd de 56 k Ω , la tension de la grille ne doit pas être inférieure à 10V pendant le maintien à l'état passant et celle-ci ne doit pas passer au-dessus de -4V à l'état bloqué. Le résultat sur la Figure

III.1 montre que la tension de la grille chute au-dessous de 10V après 30 μ s, nous appliquons donc des impulsions de tension chaque 30 μ s pour l'état passant, les résistances R3 et R4 sont de 8.2 Ω qui assurent les conditions ci-dessus.

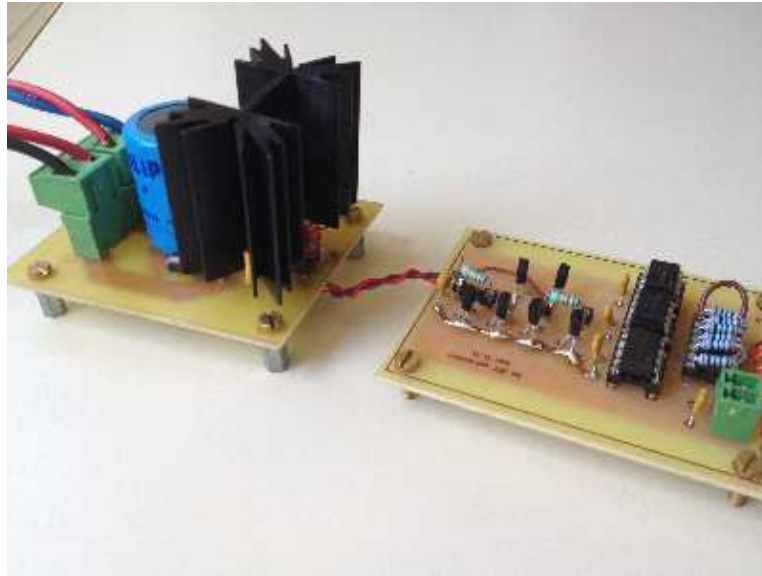


Figure III.10. Photo du circuit pour la validation expérimentale des fonctionnements ON et OFF permanents.

La Figure III.11 montre les résultats expérimentaux quand le MOSFET de puissance travaille à la fréquence de découpage de 3.3 kHz et le rapport cyclique de 0.5. Lors de l'état passant, quand la tension de la grille chute au-dessous de 10 V, une impulsion de tension est appliquée au primaire du transformateur pour recharger la grille et la tension de la grille remonte à 15.1V, puis elle chute de 2V à cause du phénomène de recouvrement de la diode Zener Z1 comme nous avons abordé dans le chapitre II. Le phénomène de recouvrement de la diode Zener Z1 dans ce cas est moins critique car la quantité de charge injectée à la grille pendant la phase d'application de l'impulsion est moins grande. Après 30 μ s, une deuxième impulsion continue de recharger la grille, la tension de la grille est de 12V avant l'application de celle-ci et elle remonte de nouveau à 15.1V. La Figure III.12 (a) fait un zoom sur ce point de fonctionnement d'où on constate que la tension de la grille augmente d'environ 1.5V après chaque recharge, et que le transformateur est complètement désaturé.

En ce qui concerne l'état bloqué, les impulsions de tension négative sont générées de la même manière que les impulsions de tension positive, c'est-à-dire qu'elles ont la même amplitude, la même durée et la même distance entre deux impulsions consécutives. Les résultats sur la Figure III.11 et la Figure III.12 (b) montre que la tension de la grille est

maintenue au-dessous de -4V et qu'elle est remontée de 0.5V en valeur absolue après chaque phase de re-décharge.

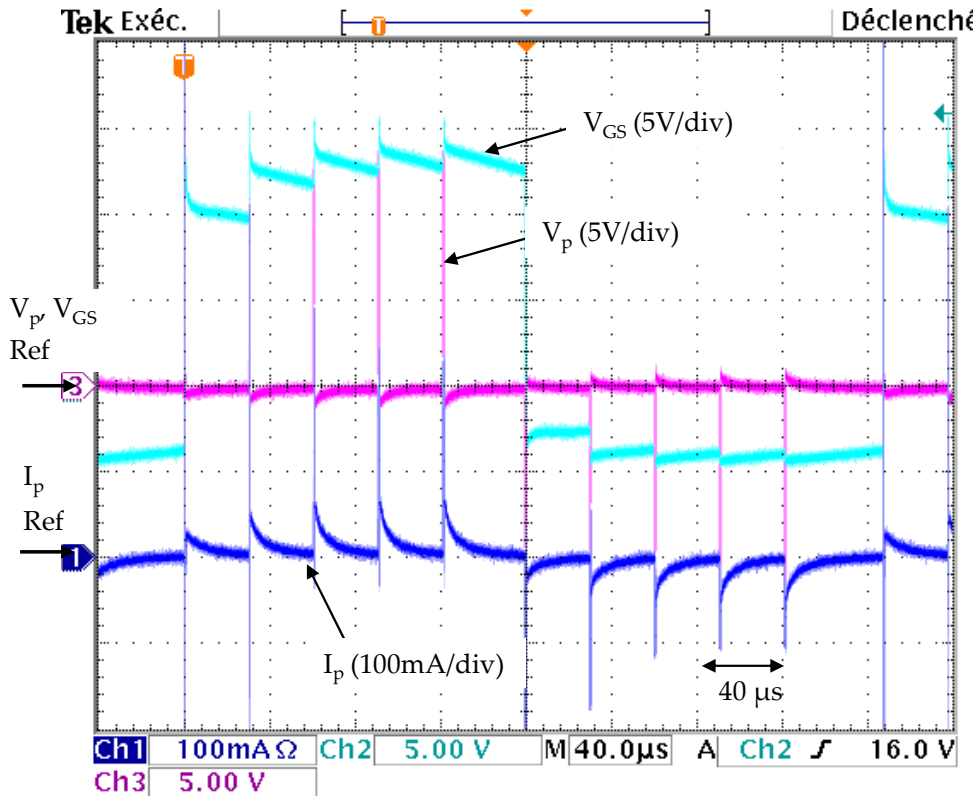


Figure III.11. Fonctionnement du circuit à basse fréquence 3.3 kHz.

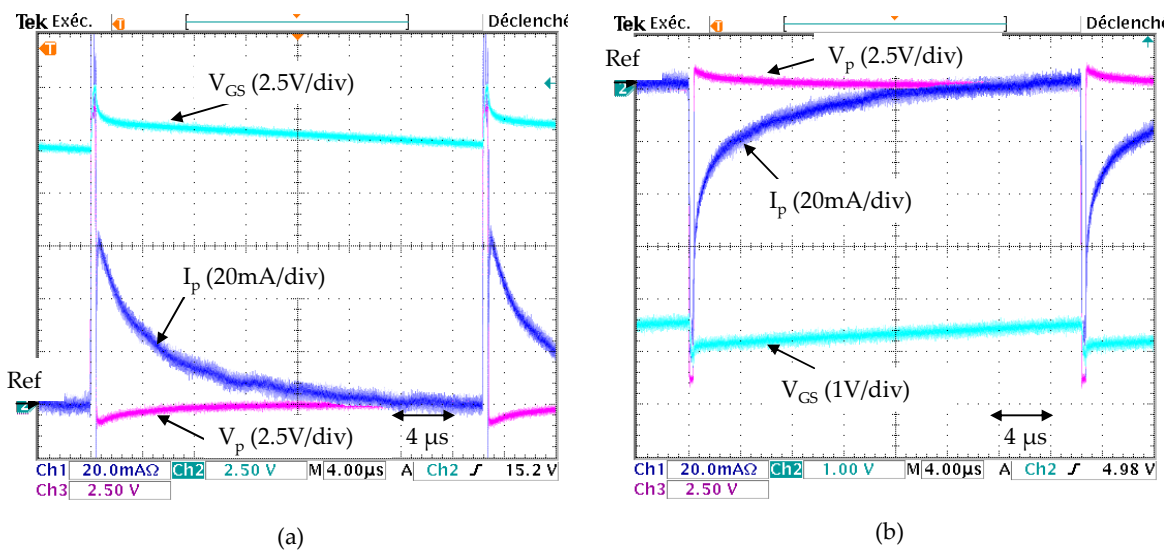


Figure III.12. Zoom sur l'état passant et l'état bloqué du MOSFET

(a) Etat passant, (b) Etat bloqué.

Suite à ces résultats en fonctionnement à basse fréquence du MOSFET de puissance, nous avons fait fonctionner celui-ci en cas extrême : ON permanent et OFF permanent.

Pour le fonctionnement en ON permanent, nous avons généré des impulsions toutes les 30 μs pour recharger la grille. La Figure III.13 montre les formes d'ondes dans ce mode de fonctionnement à savoir la tension drain-source V_{DS} , le courant du drain I_{DS} , la tension de la grille et la tension au primaire du transformateur. Nous trouvons que dans ce mode ON permanent, la tension de la grille est maintenue à un niveau supérieure à 12V à la place de 10V car l'effet de recouvrement de la diode Z1 est moins important. La tension drain-source à l'état passant est à faible valeur 0.5V avec le courant du drain de 2A, cela signifie une résistance à l'état passant d'environ 0.25 Ω du MOSFET de puissance.

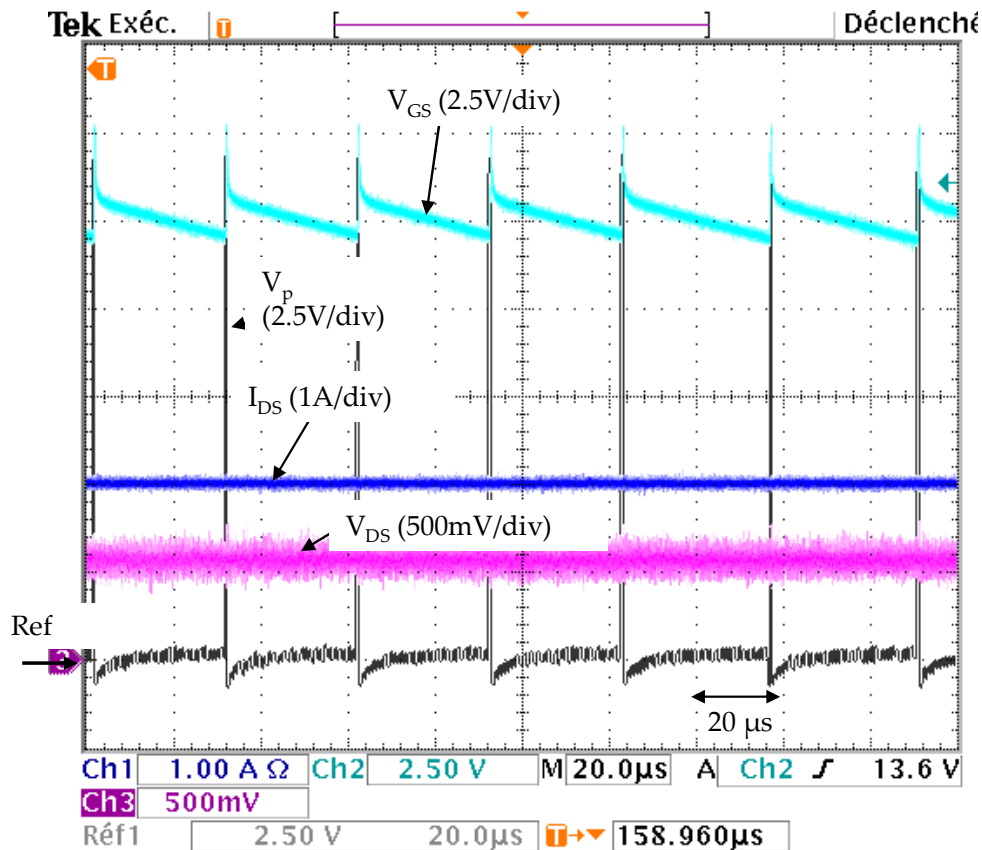


Figure III.13. Mode de fonctionnement ON permanent.

Quant au fonctionnement en OFF permanent, les résultats sur la Figure III.14 nous confirment aussi le bon fonctionnement du driver, la tension de la grille est maintenue inférieure à -4V, elle est réduite d'environ -1V après chaque impulsion pour la décharge. Le MOSFET de puissance reste bloqué sous la tension de 200V, l'effet l'auto-blindage est assuré.

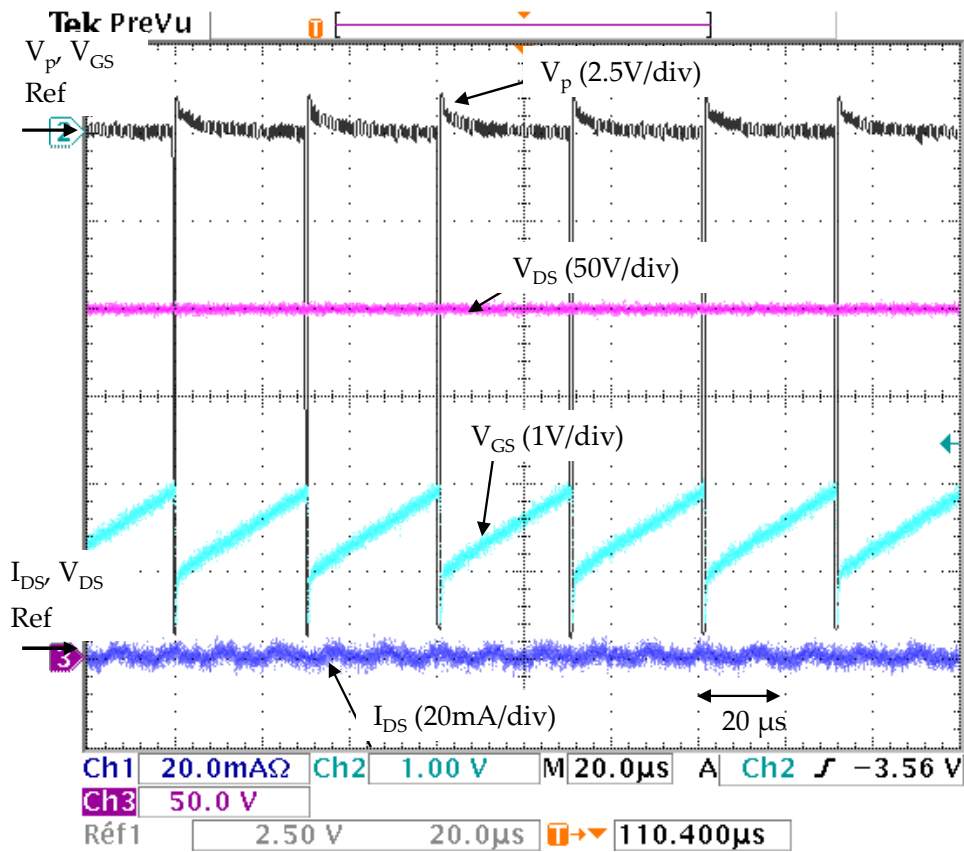


Figure III.14. Mode de fonctionnement OFF permanent.

Nous venons de valider le fonctionnement de notre solution pour le driver pouvant travailler à basse fréquence ou en mode ON/OFF permanents. Le driver présenté ci-dessus a été amélioré donc la plage de fonctionnement de la structure de commande rapprochée par rapport au chapitre II. Cependant, il demande une commande plus complexe avec 6 signaux de commande MLI séparés pour 6 transistors des bras CMOS.

III.5. Perspectives : vers un circuit de commande plus intelligent et automatisé

Les résultats pratiques sur la Figure III.11 pour le mode de fonctionnement à basse fréquence nous ont montré que dès la deuxième impulsion, la recharge de la grille s'effectue pour faire monter la tension de la grille de la valeur V_{+min} à la valeur V_{+max} , la re-décharge de la grille s'effectue pour faire descendre la tension de la grille de la valeur V_{-min} à la valeur V_{-max} . De fait, la quantité de charge nécessaire à injecter à la grille du transistor de puissance pourrait être réduite, la largeur d'impulsion de tension sera donc réduite permettant

optimiser l'utilisation du transformateur d'impulsion. Nous pouvons envisager donc rendre le circuit de commande plus intelligent et automatisé en introduisant une phase d'apprentissage du niveau de la tension de la grille. Ceci est illustré par la Figure III.15 : un capteur de tension permet de détecter le niveau de la tension de la grille, lors que celle-ci devient inférieure au niveau V_{+min} pendant l'état passant ou celle-ci devient inférieure au niveau V_{-min} en valeur absolue pendant l'état bloqué, un circuit de type hystérésis déclenche le circuit de commande éloignée pour générer des impulsions pour recharger ou re-décharger la grille.

Nous pouvons également envisager une charge en plusieurs impulsions afin de réduire la taille du transformateur d'impulsion, dans ce cas il nécessite une démagnétisation plus rapide de ce dernier.

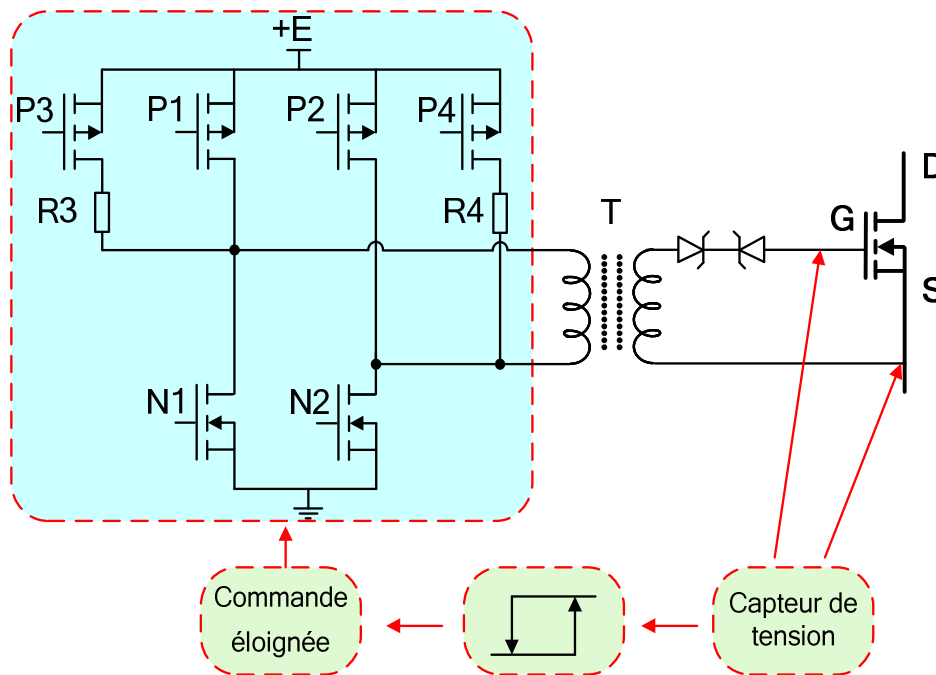


Figure III.15. Perspective d'un circuit de commande intelligent et automatisé.

III.6. Conclusion

Dans ce chapitre, nous avons présenté une nouvelle structure de commande rapprochée qui est une version améliorée de la structure présentée dans le chapitre II afin de pouvoir travailler dans une plus grande plage de fonctionnement telle qu'à basse fréquence

et en mode ON OFF permanents. Les résultats expérimentaux sont en accord avec les analyses théoriques et valident notre approche.

Bibliographie

- [1] A. N. A.-950 International Rectifier, *Transformer-Isolated Gate Driver Provides very large duty cycle ratios.* .
- [2] M. J. Werson and P. J. White, "Driving high side power MOSFETs and IGBTs at high voltage using ASICs," in *ASIC Technology for Power Electronics Equipment, IEE Colloquium on*, 1992, pp. 3/1–3/4.
- [3] T. V. Nguyen, J.-C. Crebier, and P.-O. Jeannin, "Design and control of a demagnetization circuit for permanent ON OFF operation in pulse transformer gate driver," in *2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2012, pp. 2472 –2479.

CHAPITRE IV : Conception, réalisation et application du circuit générique de commandes rapprochées

SOMMAIRE

<i>CHAPITRE IV : Conception, réalisation et application du circuit générique de commandes rapprochées</i>	118
IV.1. Introduction	119
IV.2. Objectifs et enjeux du driver générique	119
IV.3. Conception de la puce de commande intégrée	120
IV.3.1. Contraintes et cahier des charges	120
IV.3.2. Technologie AMS H35B4 0.35 μm haute tension	121
IV.3.3. Conception des bras CMOS et des étages d'amplification.....	123
IV.3.3.a. Conception des bras CMOS.....	124
IV.3.3.b. Conception des étages de commande pour les transistors des bras CMOS.....	128
IV.3.4. Contraintes du layout de la puce.....	136
IV.3.5. Caractérisation de la puce intégrée	141
IV.4. Conception des transformateurs d'impulsion sur le PCB	144
IV.4.1. Objectifs.....	144
IV.4.2. Calcul analytique	147
IV.4.3. Optimisation l'emplacement des enroulements par la simulation dans le logiciel Flux2D	150
IV.5. Réalisation et validation expérimentale du circuit générique de commandes rapprochées	153
IV.5.1. Assemblage du circuit.....	153
IV.5.2. Caractérisation du transformateur	155
IV.5.3. Validation expérimentale du driver	159
IV.6. Conclusion	163
Bibliographie	164

IV.1. Introduction

Dans ce dernier chapitre, nous allons présenter la démarche de conception du circuit de driver générique à base de la topologie de commande rapprochée présentée dans le chapitre II. Dans un premier temps, la conception d'une puce intégrée utilisant la technologie H35B4D3 sera exposée, elle contiendra des bras CMOS élémentaires formant 6 onduleurs monophasés permettant de commander plusieurs transistors de puissance en même temps. Puis dans un second temps, nous allons présenter le dimensionnement et la conception des transformateurs d'impulsion haute fréquence sur le circuit imprimé multi-couches. La puce intégrée sera reportée sur un circuit imprimé, les points milieu, sorties des bras CMOS de la puce, seront ensuite connectées aux primaires des transformateurs par des fils de bonding. Cet assemblage permet de réaliser un driver générique et compact, simple à mettre en œuvre. L'application de ce driver pour commander un convertisseur polyphasé conclura ce chapitre.

IV.2. Objectifs et enjeux du driver générique

Dans le cadre de ce travail de thèse, nous voulons réaliser un circuit de commandes rapprochées qui est d'une part générique, c'est-à-dire qu'il peut couvrir de nombreuses applications différentes, et d'autre part compact et simple à mettre en œuvre. Ce driver générique doit pouvoir remplir les fonctions classiques d'un circuit de commande, comme nous l'avons présenté, et il doit présenter des performances énergétiques acceptables. Il doit également pouvoir commander des transistors « high side » ainsi que des transistors « low side », la topologie de commande rapprochée à base de transformateur d'impulsion présenté dans le chapitre II satisfait donc cette condition. L'objectif que nous visons pour ce driver est de pouvoir commander 6 transistors de puissance, ce qui permettra de l'utiliser pour les applications comme les convertisseurs polyphasés, la mise en série des transistors et les convertisseurs multiniveaux. Pour les applications qui contiennent plus que 6 transistors de puissance à commander, il est tout à fait possible d'envisager d'utiliser plusieurs drivers intégrés (1 par groupe de 6 interrupteurs). Notre driver contiendra une puce intégrée CMOS reportée sur le circuit imprimé PCB sur laquelle 6 transformateurs d'impulsion seront aussi réalisés. Le boîtier de ce driver couvrira ces éléments ainsi que les noyaux ferrites.

L'intégration sur puce des bras d'onduleur permettra à la fois de simplifier la mise en œuvre du driver (plus de 100 transistors distincts seront intégrés dans la puce), de densifier le système mais surtout d'améliorer sensiblement les performances du circuit par une gestion optimale des commutations de bras CMOS.

L'intégration sur PCB des transformateurs d'impulsion s'inscrit dans la même démarche avec les mêmes objectifs, moins d'interconnexion, simplification de réalisation et maximisation des performances.

IV.3. Conception de la puce de commande intégrée

IV.3.1. Contraintes et cahier des charges

Suite à la définition de l'objectif de conception du driver générique ci-dessus, nous pouvons définir le cahier des charges pour la puce intégrée qui contient des bras CMOS de la manière suivante :

- La puce intégrée doit contenir 12 bras CMOS pour pouvoir commander 6 transistors de puissance, sachant qu'un transistor à commander nécessite deux bras CMOS au primaire du transformateur. La Figure IV.1 illustre le schéma interne simplifié de la puce qui contient 12 bras CMOS, les 12 entrées logiques vont passer par un étage level-shifter pour adapter la tension du signal logique à la tension d'alimentation +E et puis des étages d'amplification suivent pour amplifier le signal de commande pour les transistors des bras CMOS et gérer de manière optimale la commutation de chaque bras CMOS. La partie suivante va détailler le dimensionnement et le fonctionnement de ceux-ci.
- La tenue en tension des transistors du bras CMOS selon la technologie sélectionnée sera de 20V pour créer la tension AC de commande de grille nécessaire.
- Les bras CMOS doivent pouvoir délivrer un pic de courant de commande de +3A pour la commutation à la fermeture et un pic de -3A pour la commutation à l'ouverture du transistor de puissance. Ce choix de cahier des charges nous permet de commander de façon optimale des transistors de puissance de petites à moyennes puissances de coupure $I \times V$ (tenue en tension de quelques centaines

volts, calibre en courant de quelques dizaines ampères) pour différentes applications.

- Les transistors des bras CMOS et leurs commandes sont intégrés monolithiquement pour simplifier et fiabiliser la mise en œuvre.

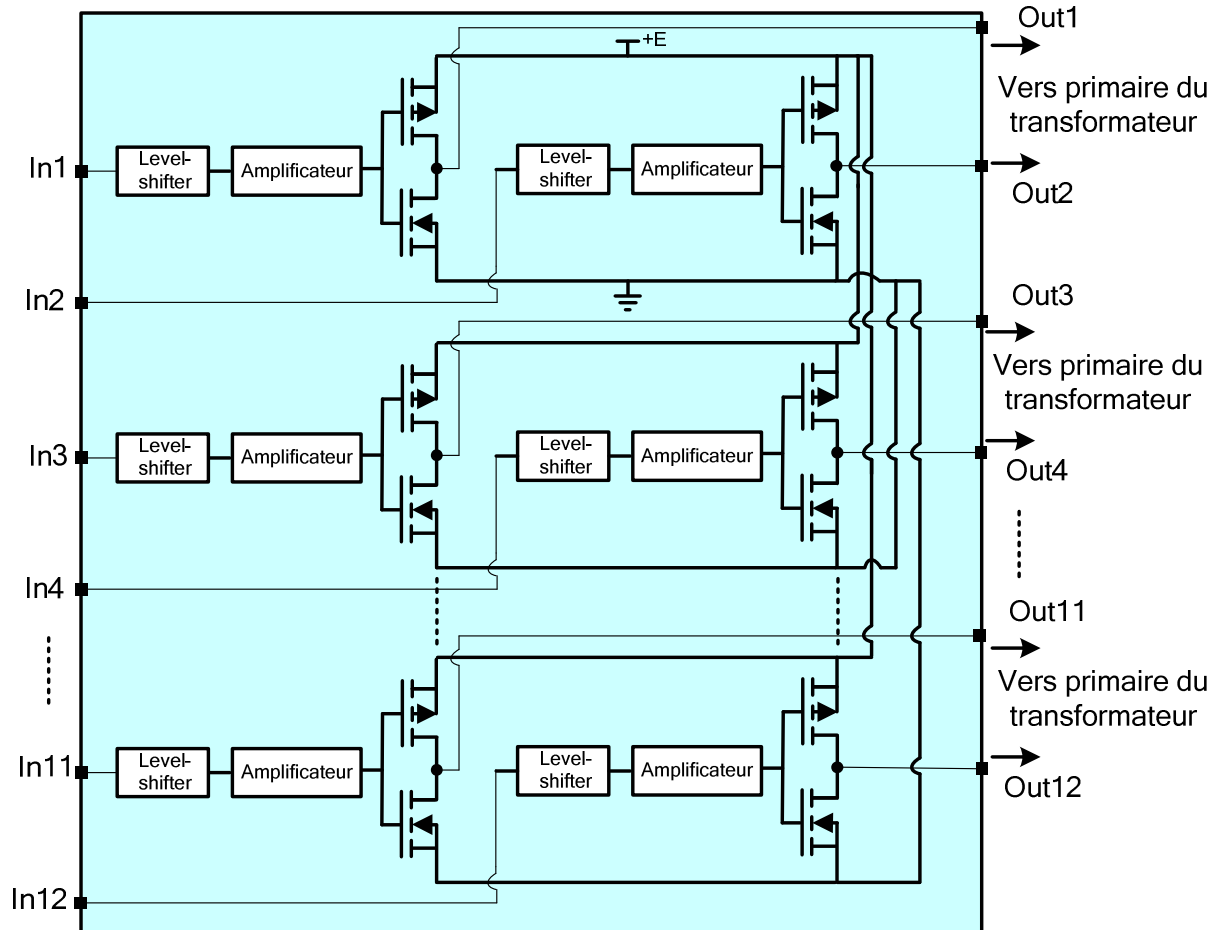


Figure IV.1. Schéma interne de la puce intégrée.

IV.3.2. Technologie AMS H35B4 0.35 μm haute tension

Pour répondre à nos besoins définis auparavant, il faut choisir une filière technologique adaptée pour réaliser notre circuit intégré. En effet, il existe un large choix de fondeurs, de finesses de gravure et de nombreux procédés technologiques s'offrent à nous. Nous pouvons citer par exemple AustriaMicroSystems – AMS qui proposent des technologies dont la tenue en tension peut aller de 3.3V jusqu'au 50V avec des finesses de gravure de 0.18 μm et 0.35 μm . Autres fondeurs proposent aussi des filières technologiques qui sont similaires à celles de l'AustriaMicroSystems comme Xfab [1] ou Dalsa [2].

Cependant, nous avons choisi la technologie H35B4D3 0.35 μ m de l'AustriaMicroSystems pour plusieurs raisons :

L'accès facilité à la technologie AMS via et la sous-traitance se passe via le CMP (Circuit Multi Projets) [3], la disponibilité immédiate de la technologie au CIME-Nanotech qui propose le support à la conception. Ce choix permet de réduire le coût de conception et de fabrication car le CMP va mutualiser les wafers avec de nombreux projets différents puis traiter cela en direct avec le fondeur pour la phase de réalisation. La Figure IV.2 illustre ce processus.

Une finesse de 0.18 μ m de l'AMS n'est pas nécessaire pour notre application et elle est beaucoup plus chère qu'une finesse de 0.35 μ m. Le coût est de 1500€/mm² pour la technologie 0.18 μ m et celui de la technologie 0.35 μ m est de 1000€/mm².

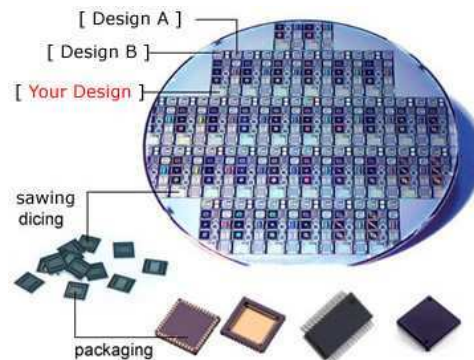
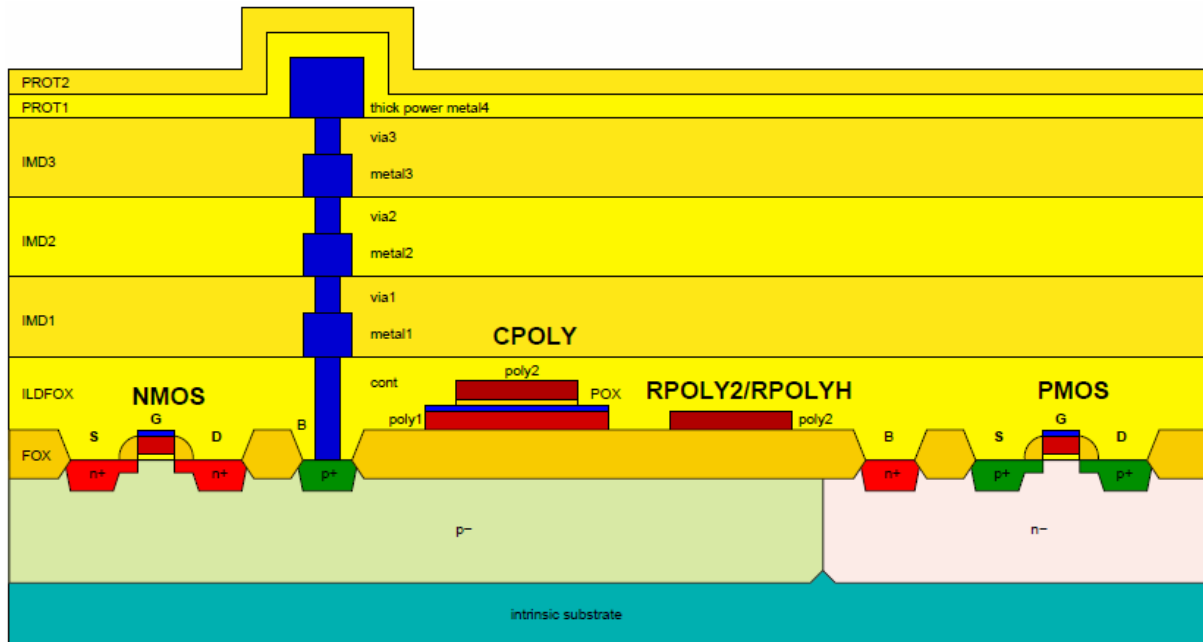


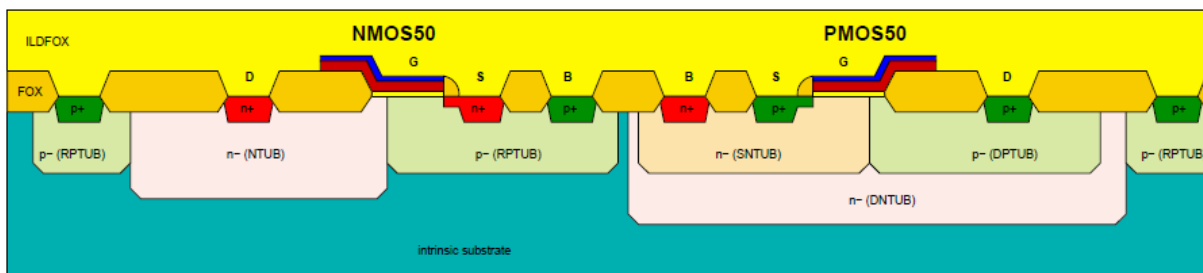
Figure IV.2. Mutualisation du wafer par le CMP) [3].

La technologie H35B4D3 a deux niveaux de poly silicium et quatre niveaux de métallisation dont le niveau supérieur présente une épaisseur plus importante. Cette épaisseur est particulièrement adaptée pour faire transiter un courant important. La Figure IV.3 présente la vue en coupe de cette technologie. Cette technologie est basée sur les transistors 3.3V avec une finesse de gravure minimale de 0.35 μ m. Pour l'intelligence interne et si nécessaire l'interface avec des circuits logiques extérieurs, les transistors 3.3V et 5V sont disponibles et sont montrés sur la Figure IV.3 (a), on trouve aussi sur cette figure la présence du condensateur de type PIP (Polyoxide-Isolant-Polyoxide) et de la résistance de type Poly. Des transistors haute tension sont aussi disponibles et ils peuvent fonctionner jusqu'à 50V, plus précisément il existe des transistors NMOS et PMOS avec la tenue en tension de 20V et de 50V. Ils sont présentés sur la vue en coupe de la Figure IV.3 (b). Cependant, ces transistors haute tension sont latéraux donc leurs longueurs de canal sont dépendantes de leurs calibres

en tension, de fait, leurs résistances à l'état passant et leurs charges totales de grille seront d'autant plus importantes que leurs calibres en tension seront grands. Avec cette technologie, il existe des transistors avec une tenue de tension importante (20V) mais avec une tension de seuil réduite ce qui va nous permettre d'adapter la tension du signal logique d'entrée (3.3V, 5V) vers un signal de sortie de tension 20V.



(a)



(b)

Figure IV.3. Vue en coupe de la technologie H35B4D3 de l'AMS [4]

(a) Transistor standard NMOS, PMOS 3.3V et 5V, condensateur PIP, résistance, (b) Transistor haute tension 20V et 50V.

IV.3.3. Conception des bras CMOS et des étages d'amplification

Chaque bras CMOS élémentaire dans notre puce intégrée est composé d'un PMOS et d'un NMOS avec le circuit de commande comme le montre la Figure IV.4 (a) [5] [6]. La

technologie CMOS présente un avantage majeur vis-à-vis du circuit de commande rapprochée. Elle permet l'utilisation d'un signal de commande unique pour les deux interrupteurs, ce qui n'est pas le cas dans la structure classique qui est constituée de 2 NMOS. La commande est plus simple car elle ne nécessite pas d'isolation galvanique pour l'alimentation de la commande comme le cas présenté sur la Figure IV.4 (b) [7] ou elle ne nécessite pas la présence de plusieurs alimentations isolées pour pouvoir appliquer une tension de commande correcte entre la grille et la source des transistors comme le cas présenté sur la Figure IV.4 (c) [7].

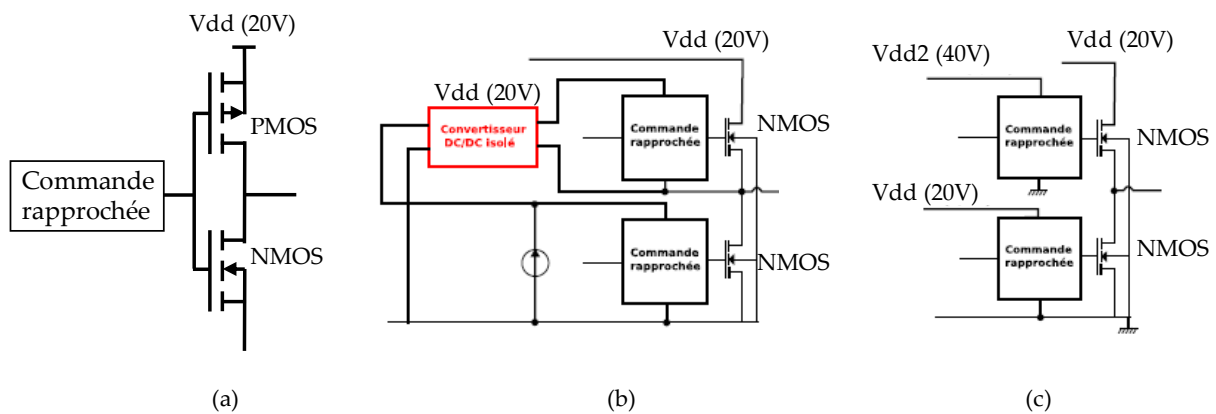


Figure IV.4. Différents étages de sortie d'un bras onduleur

(a) Structure CMOS, (b) Structure 2 NMOS avec une alimentation isolée pour la commande du transistor « high side » [7], (c) Structure 2 NMOS avec deux alimentations pour les commandes [7].

Cependant, le fait que le PMOS et le NMOS dans le bras CMOS sont commandés par le même signal causera des phénomènes de court-circuit aux moments des commutations. De ce fait, les étages de commande doivent être dimensionnés pour éviter cet effet et donc optimiser la consommation d'énergie du driver.

IV.3.3.a. Conception des bras CMOS

Comme nous l'avons défini dans la partie précédente traitant du cahier des charges, le bras CMOS doit pouvoir fournir des pics de courant de +3A et -3A pour pouvoir faire commuter rapidement le transistor de puissance. Nous avons choisi le NMOS20H pour les NMOS et le PMOS20H pour les PMOS, ils ont une tenue en tension de 20V et une tension de grille maximale de 20V, cela limitera donc le niveau de tension des impulsions au primaire du transformateur d'impulsion à 20V.

Pour atteindre les pics de courant de sortie ci-dessus, la documentation d'AMS indique que les courants drain-source de saturation sont de $525\mu\text{A}$ par μm de largeur de grille pour un NMOS20H et de $360\mu\text{A}$ par μm de largeur de grille pour un PMOS20H. Nous constatons donc que le pic de courant positif à la sortie du bras CMOS dépend de la taille du NMOS, tandis que le pic de courant négatif, sous entendu entrant dans le bras CMOS, dépend de celle du PMOS.

On doit donc choisir la taille des largeurs de grille pour le PMOS et le NMOS telles que :

$$W_{PMOS} = \frac{3}{360 * 10^{-6}} = 8333 \mu\text{m}$$
$$W_{NMOS} = \frac{3}{525 * 10^{-6}} = 5714 \mu\text{m}$$

Ces largeurs de grille sont assez importantes pour ne pas pouvoir négliger les courts-circuits de bras. Il sera donc nécessaire de se préoccuper de limiter les courants de court-circuit à l'aide des étages de commande rapprochée.

A propos de la conception géométrique des MOSFET du bras CMOS, différents aspects sont à prendre en compte, d'une part pour assurer le bon fonctionnement du driver, et d'autre part, il faut respecter les règles de dessin imposées par le fondeur.

En effet, pour assurer une distribution homogène du courant et limiter les résistances d'accès des pistes dans lesquelles les courants de sortie du bras CMOS circulent, les amenées de courant sont réalisées au niveau du métal 4 (dernier niveau de métallisation) dont l'épaisseur est environ trois fois plus importante que celle des autres niveaux ($e_{MET4}=2800$ nm). Une fois à la verticale de la surface active du MOSFET, le courant est acheminé au niveau du silicium par des vias entre chaque niveau de métallisation. Cette conception permet de réduire au maximum la résistance des amenées de courant. La Figure IV.5 représente le principe de cette conception.

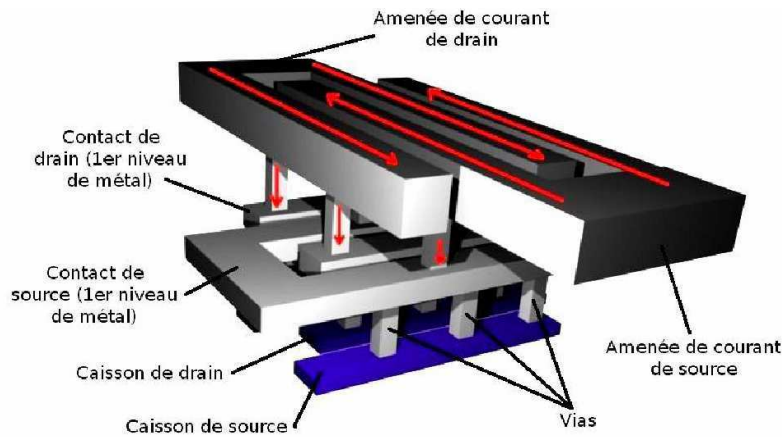


Figure IV.5. Représentation simplifiée des amenées de courant [7].

Les amenées de courant de grille sont également dessinées de manière à réduire la résistance et assurer une répartition homogène du courant sur l'ensemble de la surface des MOSFET du bras, qui est un MOSFET multicellulaire. La réduction de cette résistance permet d'augmenter la vitesse de commutation des MOSFETs du bras. Pour cela nous avons utilisé des niveaux de métallisation plutôt que du poly silicium pour amener le courant de grille.

Il est également important d'assurer une bonne polarisation du substrat ainsi que des prises de caissons pour la conception des transistors PMOS. Il faut donc créer des contacts de substrat (et des caissons dopés N) pour fixer le potentiel de ces zones de silicium. Ces contacts de substrats sont reliés à des zones fortement dopées de même dopant que le substrat, ces zones dopées permettent de drainer les courants circulant dans le substrat dans le but de ne pas perturber le bon fonctionnement des transistors. En effet, ces courants sont à l'origine du phénomène de "latch-up", provoquant l'amorçage des thyristors structurels qui existent dans les structures CMOS, et qui peuvent mener à la destruction du circuit, ceci est illustré sur la Figure IV.6. Pour en savoir plus sur ce phénomène, veuillez vous reporter à la thèse de Jean-Philippe Lain [8].

Pour éviter ce phénomène, les PMOS haute tension (20V et 50V) dans la filière technologique H35B4D3 sont protégés par un caisson de protection ou « guard ring » en anglais, ce caisson doit être impérativement connecté au point de masse du bras CMOS par les niveaux de métallisation comme le montre la Figure IV.7.

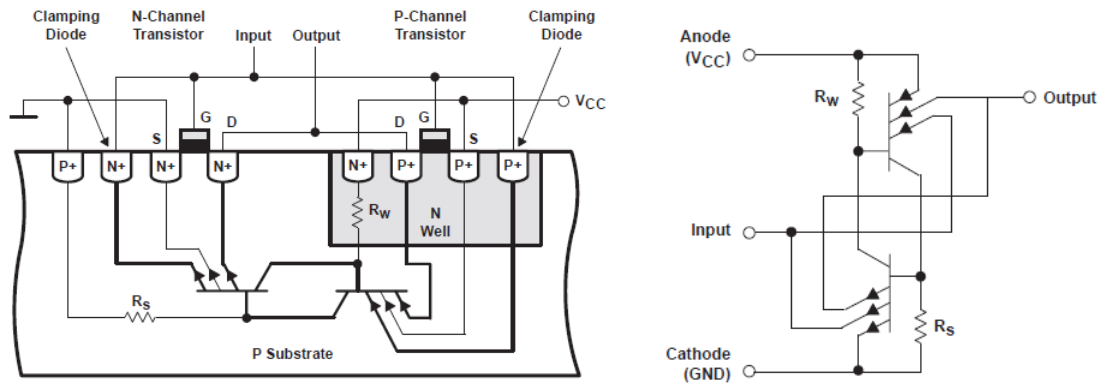


Figure IV.6. Schéma de la structure CMOS et thyristor parasite impliqué dans le phénomène de "latch-up" [7].

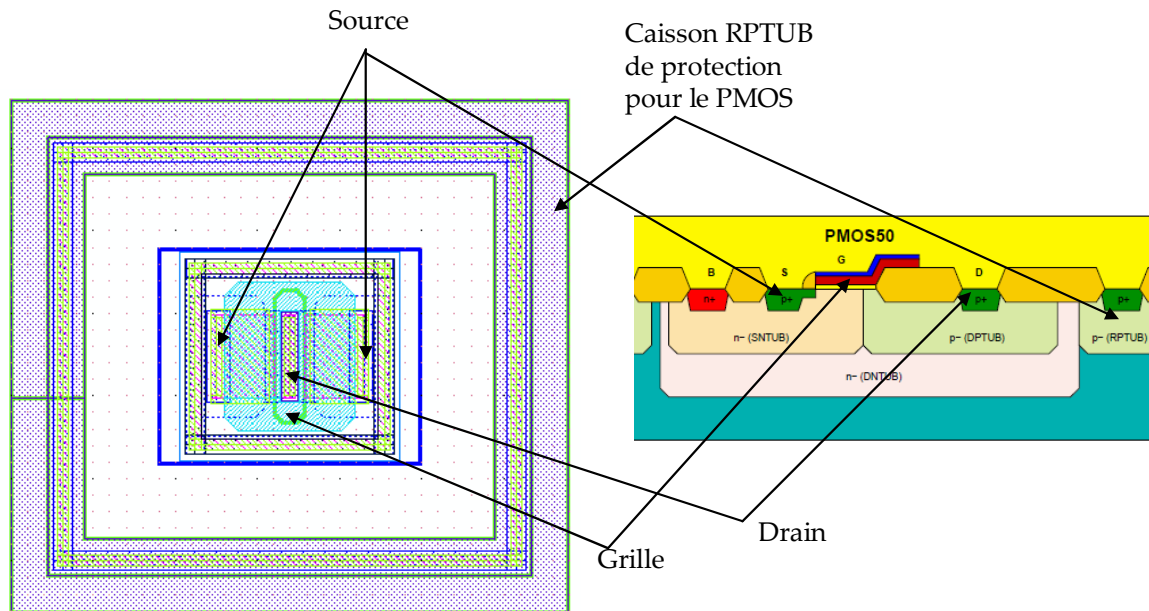


Figure IV.7. Vue layout et vue en coupe d'un PMOS20H à 2 doigts protégé par un caisson.

La Figure IV.8 montre la vue en layout du PMOS qui est utilisé dans le bras CMOS avec une alternance des contacts de drain et source. Les contacts de grille sont distribués aux deux extrémités du MOSFET pour assurer une répartition homogène du courant sur l'ensemble de la surface des MOSFET du bras afin d'assurer une commande optimale.

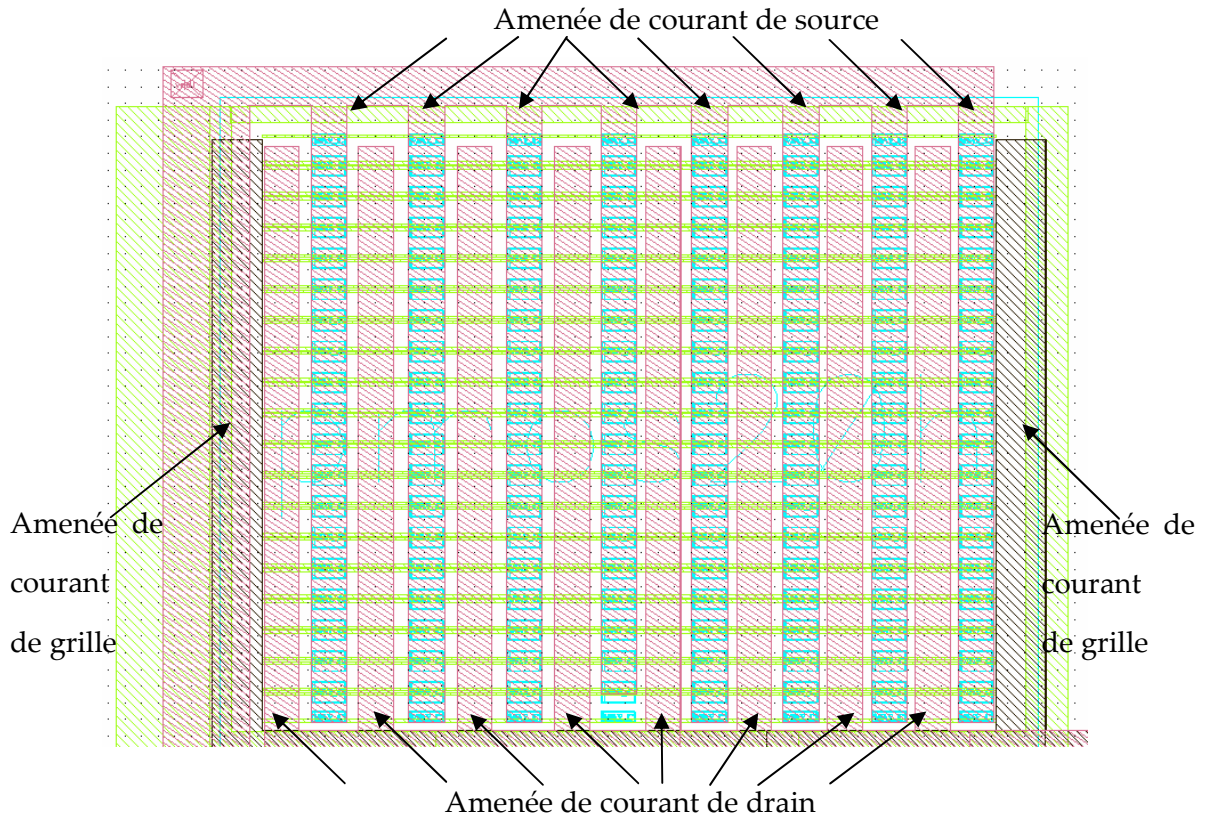


Figure IV.8. Transistor PMOS20H du bras CMOS avec les aménagements de courant de drain, source et grille.

IV.3.3.b. Conception des étages de commande pour les transistors des bras CMOS

La taille des MOSFET du bras CMOS (voir Figure IV.9) est assez importante, la capacité d'entrée du NMOS est de 7 pF et celle du PMOS est de 13 pF, ces valeurs sont obtenues par extraction et simulation dans le logiciel Cadence. Ceci ne permet pas d'utiliser simplement la sortie de la commande éloignée du circuit logique FPGA (commande éloigné qui n'est pas intégré monolithiquement dans la puce conçue au cours de cette thèse) pour commander directement ces MOSFETs parce que sans étage d'amplification, les capacités de grille des MOSFETs seraient chargées trop lentement, ce qui ralentirait considérablement les commutations et puis augmenteraient les pertes. A titre d'exemple, avec un courant de sortie maximal des circuits FPGAs de 20mA, cela nécessiterait en principe un temps minimal de 20 ns pour charger les grilles des MOSFETs du bras CMOS jusqu'au 20V. La présence des étages d'amplification pour avoir une commande optimale pour le bras CMOS est donc obligatoire.

La Figure IV.9 présente le schéma des blocs de commande pour les transistors du bras CMOS. Chacun d'eux contient un étage d'adaptation de tension ou « level shifter », trois étages d'amplification pour maintenir une réponse rapide du circuit tout en limitant le courant de court-circuit du bras CMOS.

Le premier étage comprenant le transistor T7 et la résistance R est un étage d'adaptation de tension classique qui sert à transférer le niveau logique de la commande éloignée (3.3V ou 5V) vers le niveau de commande de grille pour les transistors des étages d'amplification suivants.

Nous avons utilisé un premier étage d'amplification (T5, T6) pour amplifier la sortie du level-shifter avant de la transférer au prochain étage à travers une longue distance due au nombre important des bras CMOS présents dans la surface de la puce. Le deuxième étage (T3, T4) et le troisième étage d'amplification (T1, T2) vont ensuite amplifier le signal de commande pour les transistors du bras CMOS.

Nous pouvons remarquer que compte tenu des tailles de transistors de sortie pour chaque bras CMOS et compte tenu des dynamiques de commutation de chaque étage d'amplification, il n'apparaît pas nécessaire de différencier le pilotage des transistors N et P de sortie comme cela fut réalisé dans [7] [9] .

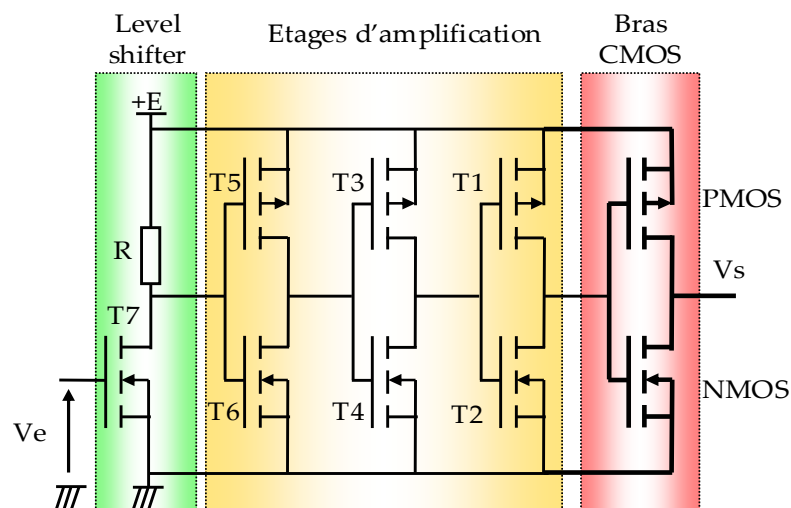


Figure IV.9. Schéma des étages de commande pour les transistors du bras CMOS.

Un autre déficit dans la conception de la puce intégrée est qu'elle contient un grand nombre de bras CMOS (12 bras) avec des pics de courant de sortie assez importants qui peuvent perturber les signaux logiques d'entrée. Il faut donc nécessairement découpler les

signaux logiques d'entrée et les points milieu des bras CMOS. Pour cela il faut éviter que les pads de la masse GND soient communs avec les entrées logiques et les sorties de puissance afin de limiter les couplages électromagnétiques. La partie suivante va détailler cette problématique et notre solution.

Le dimensionnement de la commande pour le bras CMOS commence à partir du dimensionnement de l'étage le plus près du bras CMOS, c'est-à-dire le troisième étage d'amplification (T1, T2). Un surdimensionnement de cet étage pourrait mener des pertes supplémentaires dans celui-ci et augmenter en même temps la taille des transistors des étages d'amplification précédents (T3, T4, T5, T6, T7) sans bénéfice. Au contraire, si on sous estime la taille des transistors de cet étage, le courant sortie de cet étage ne suffira pas pour commander rapidement le bras CMOS et causera les pertes en commutation importantes, une partie de ces pertes est due à l'apparition d'un court-circuit dans le bras CMOS. La Figure IV.10 représente l'apparition du courant de court-circuit dans le bras CMOS quand la tension de commande commune du PMOS et NMOS se trouve entre deux tensions de seuil ($V_{gsthN} < Vg < E + V_{gsthP}$ avec $V_{gsthN} = 2.93V$ et $V_{gsthP} = -1.65V$). Les deux MOSFETs se trouvent donc à l'état passant simultanément, créant ainsi un courant de court-circuit. La Figure IV.11 montre la relation entre le courant de court-circuit du bras CMOS et le courant de saturation des transistors du troisième étage d'amplification (T1, T2) qui est lié à leur taille, ces résultats ont été obtenus par la simulation à l'aide du logiciel Cadence. Nous pouvons remarquer que au-delà du niveau de courant de saturation de 180 mA, le courant de court-circuit dans le bras CMOS se stabilise et il reste à environ 120 mA, c'est-à-dire environ 4% du courant sortie du bras CMOS, ce qui est acceptable. Nous avons donc pris cette valeur pour dimensionner le troisième étage d'amplification. Une autre possibilité aurait été de concevoir le circuit de commande [7] [9] consistant à commander le bras CMOS par deux signaux différents intégrant un temps mort pour limiter le courant de court-circuit. Cependant, cette démarche crée une certaine complexité du circuit de commande, en plus elle est plutôt nécessaire pour commander le bras CMOS de puissance importante dont le courant de court-circuit devient très grand et impacte nettement sur le rendement du système. Les largeurs de grille des transistors T1, T2 sont donc calculées comme suit selon le document de la technologie d'AMS :

$$W_{T1} = \frac{180 * 10^{-3}}{360 * 10^{-6}} = 500 \mu m$$

$$W_{T2} = \frac{180 * 10^{-3}}{525 * 10^{-6}} = 342 \mu m$$

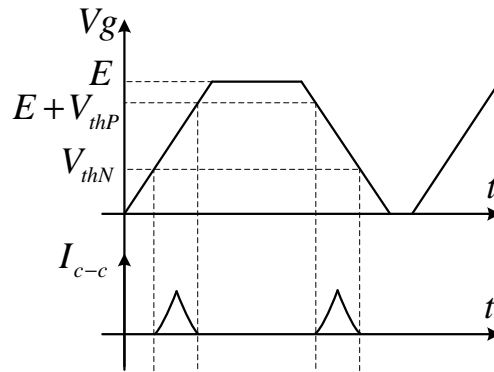


Figure IV.10. Courant de court-circuit lors de la commutation du bras CMOS.

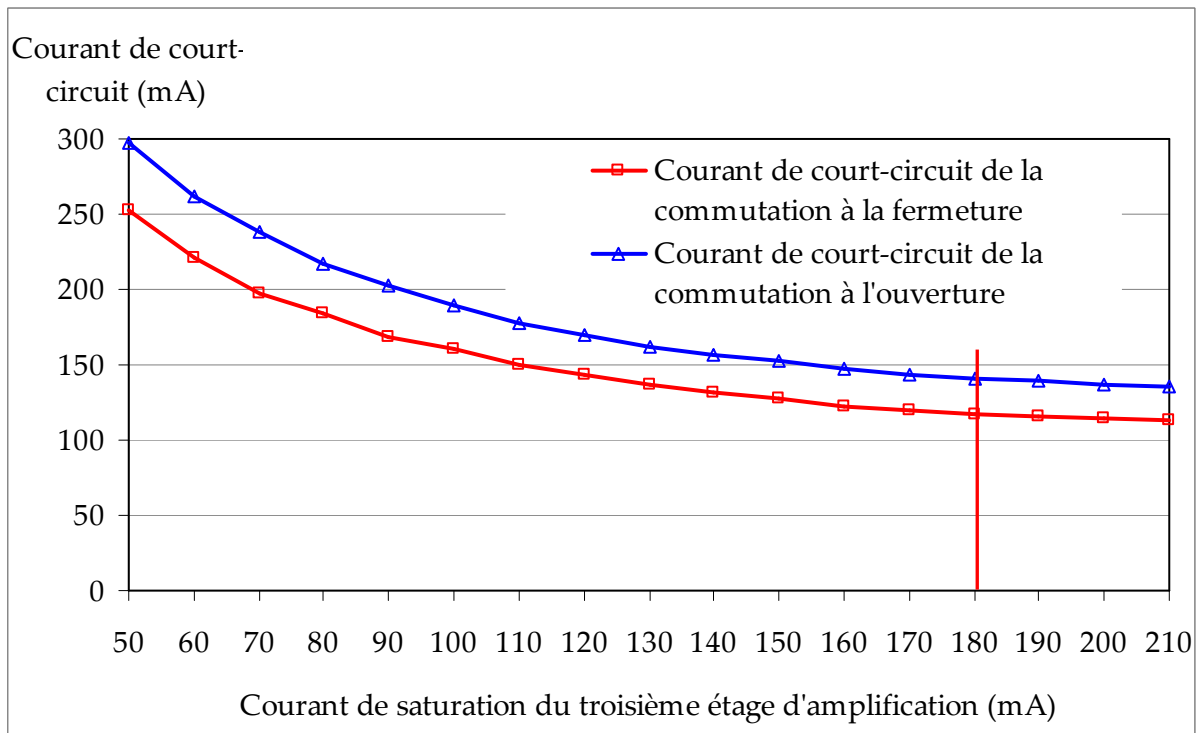


Figure IV.11. Dimensionnement du troisième étage d'amplification.

Le dimensionnement des transistors du deuxième étage d'amplification suit la même démarche comme celle du troisième étage. La Figure IV.12 montre la courbe d'évolution du courant de court-circuit dans le bras du troisième étage d'amplification en fonction de la

taille des transistors du deuxième étage d'amplification. A l'aide de cette courbe, nous pouvons remarquer d'une part que le courant de court-circuit dans le bras du troisième étage d'amplification est beaucoup plus faible par rapport au courant de court-circuit dans le bras CMOS de sortie, et d'autre part qu'au-delà du courant de saturation maximum 30mA du deuxième étage, les courants de court-circuit se stabilisent. Les transistors T3 et T4 ont donc les largeurs de grille suivantes, suivant le document de la technologie d'AMS :

$$W_{T3} = \frac{30 * 10^{-3}}{360 * 10^{-6}} = 83 \mu m$$

$$W_{T4} = \frac{30 * 10^{-3}}{525 * 10^{-6}} = 57 \mu m$$

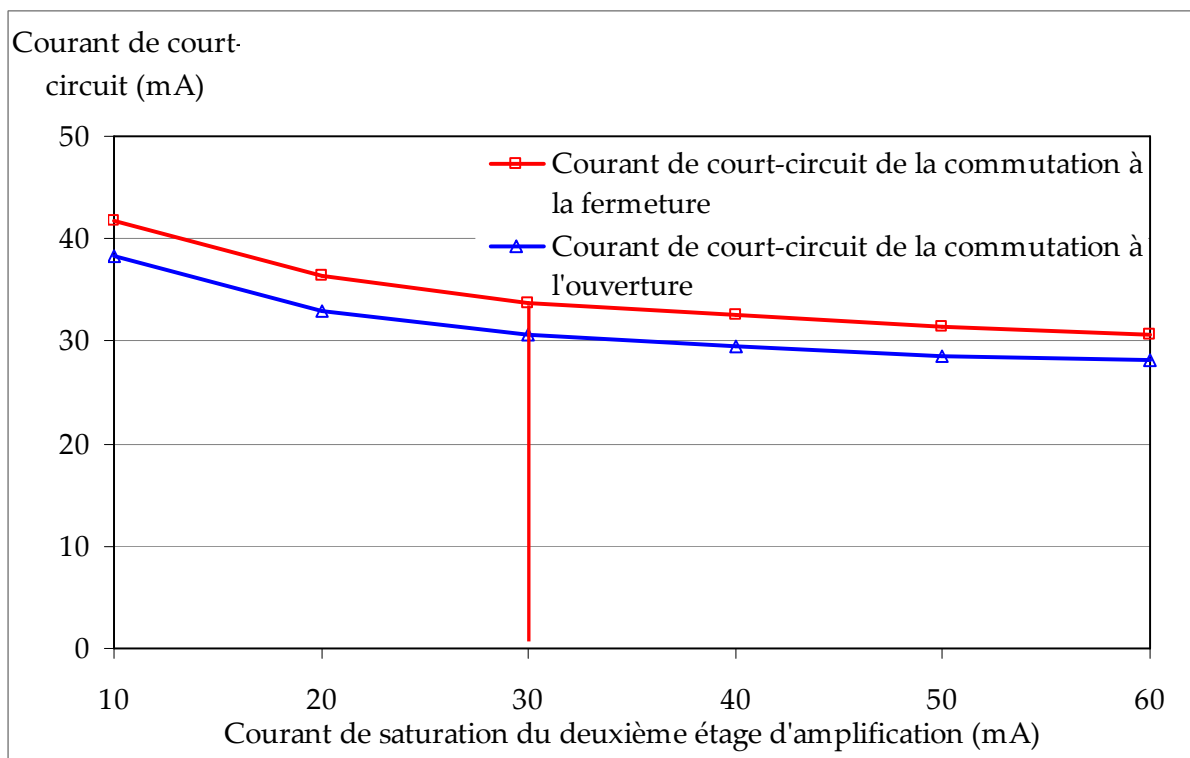


Figure IV.12. Dimensionnement du deuxième étage d'amplification.

Le premier étage d'amplification (T5, T6) doit transférer le signal à la sortie du level shifter vers le deuxième étage qui est à longue distance. A cause de cette longue distance de transfert de signal, il y a des capacités parasites entre la piste de transfert du signal et la masse, ce qui pourrait ralentir ce transfert. Pour cette raison, la taille des transistors de cet étage doit être suffisamment grande pour assurer un temps de réponse rapide et limiter les interactions électromagnétiques possibles. Nous avons simplement dimensionné la taille de

cet étage identique à celle du deuxième étage car avec cette taille très petite, un courant de sortie du circuit logique FPGA pourra commander rapidement cet étage et nous n'avons plus besoin d'un autre étage d'amplificateur.

$$W_{T5} = 83\mu m$$

$$W_{T6} = 57\mu m$$

L'étage level shifter est un inverseur NMOS classique, nous devons prendre en compte l'effet de la valeur de la résistance R sur la dynamique du circuit mais aussi sur la consommation statique et la surface occupée par celle-ci. Les résultats de simulation nous ont montré que la valeur de la résistance R impacte peu sur le temps de réponse du circuit mais beaucoup sur sa consommation d'énergie. La surface occupée par celle-ci est aussi un facteur important car si elle n'est pas suffisamment grande pour pouvoir dissiper l'énergie consommée, cela causerait des problèmes thermiques. Au contraire, si cette surface est surdimensionnée par rapport à la surface des MOSFETs du bras CMOS, ça engendrerait des surcoûts non nécessaires. La Figure IV.13 montre deux courbes d'évolution des pertes et de la surface occupée par la résistance R en fonction de la valeur de résistance. En se basant sur ces courbes, nous avons pris une résistance de $30\text{ k}\Omega$ car au-delà de cette valeur, les pertes de puissance ne diminuent que faiblement, de plus avec une surface occupée de $4000\text{ }\mu\text{m}^2$, elle reste raisonnable devant la surface occupée par les étages d'amplification de $12000\text{ }\mu\text{m}^2$. En ce qui concerne le transistor T7, il doit avoir une tenue tension de 20V et une tension de seuil de la grille faible pour pouvoir être commandé par le signal logique venant du circuit FPGA (3.3V ou 5V), c'est donc le transistor NMOS20T qui a un oxyde de grille mince ($V_{Gsth} = 0.48V$) qui satisfait cette condition. Les paramètres de l'étage level shifter sont déterminés comme suit :

$$W_{T7} = 27\mu m$$

$$R = 30\text{ k}\Omega$$

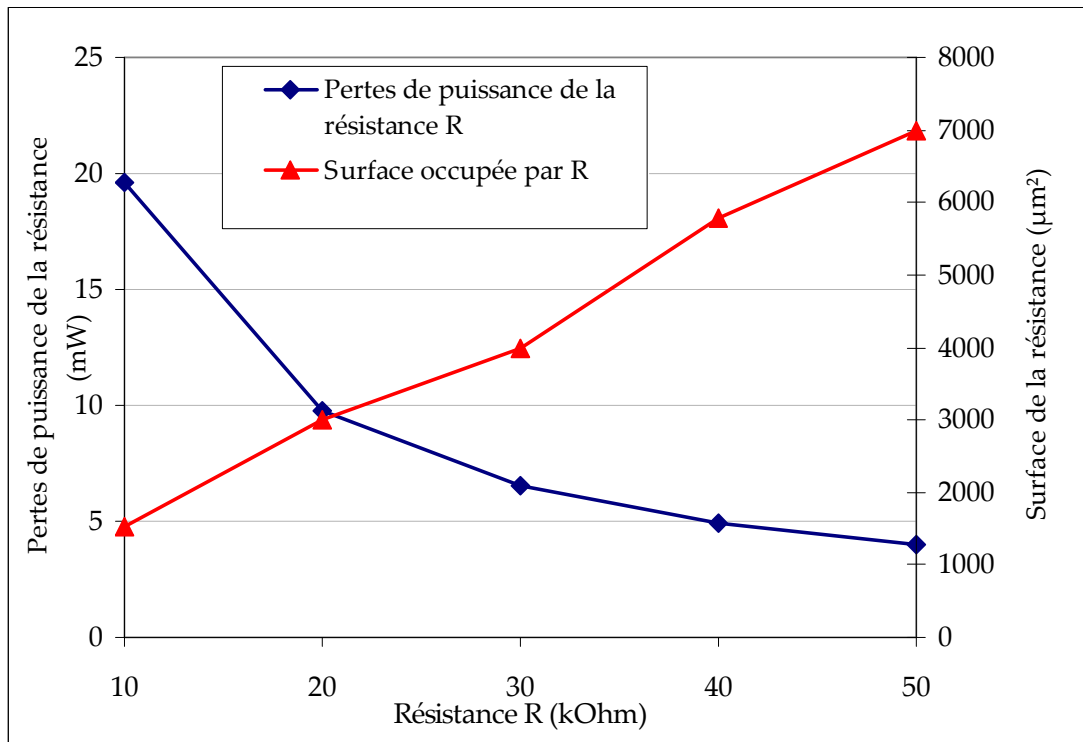


Figure IV.13. Optimisation de la valeur de la résistance R.

La Figure IV.14 fait une synthèse sur le dimensionnement du bras CMOS et sa commande en partant du cahier de charges du bras CMOS. La Figure IV.15 et la Figure IV.16 montrent les vues layout des étages d'amplification et des transistors du bras CMOS.

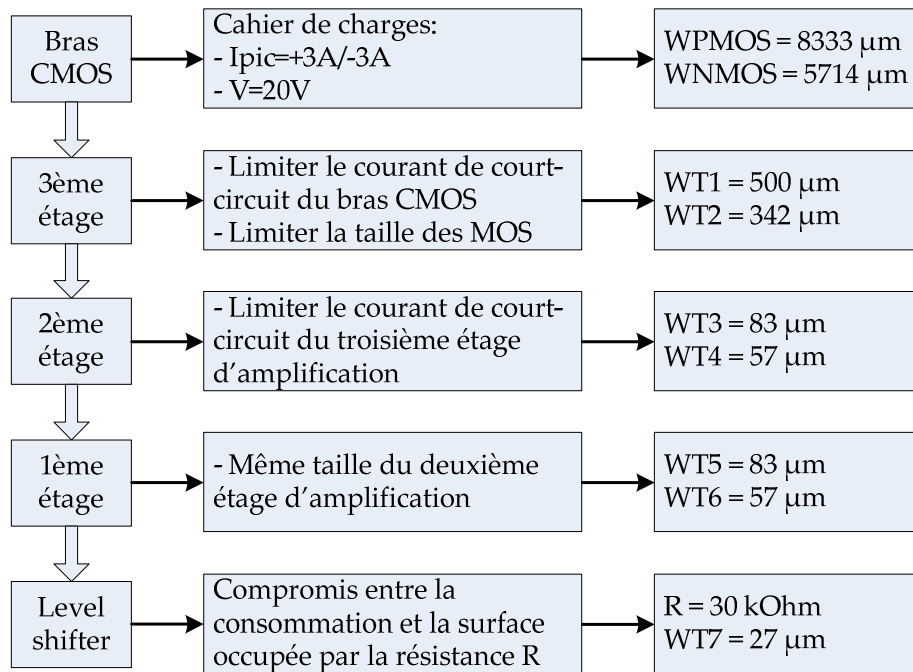


Figure IV.14. Synthèse du dimensionnement du bras CMOS et sa commande.

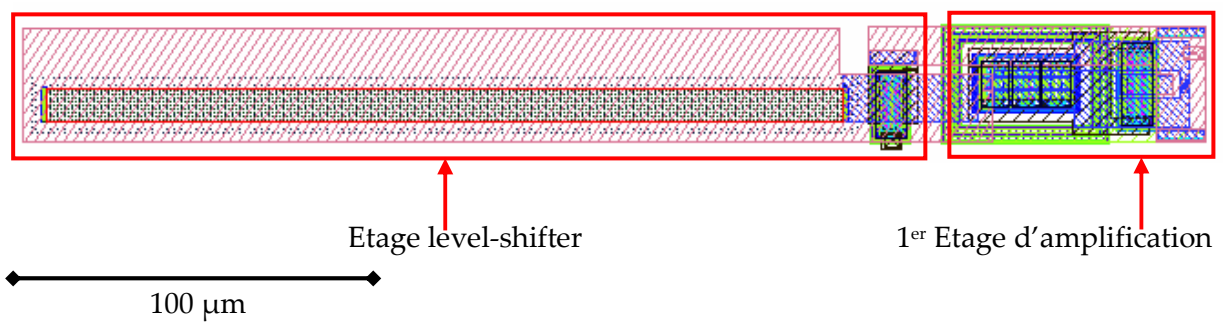


Figure IV.15. Vue du layout de l'étage level-shifter et du 1^{er} étage d'amplification.

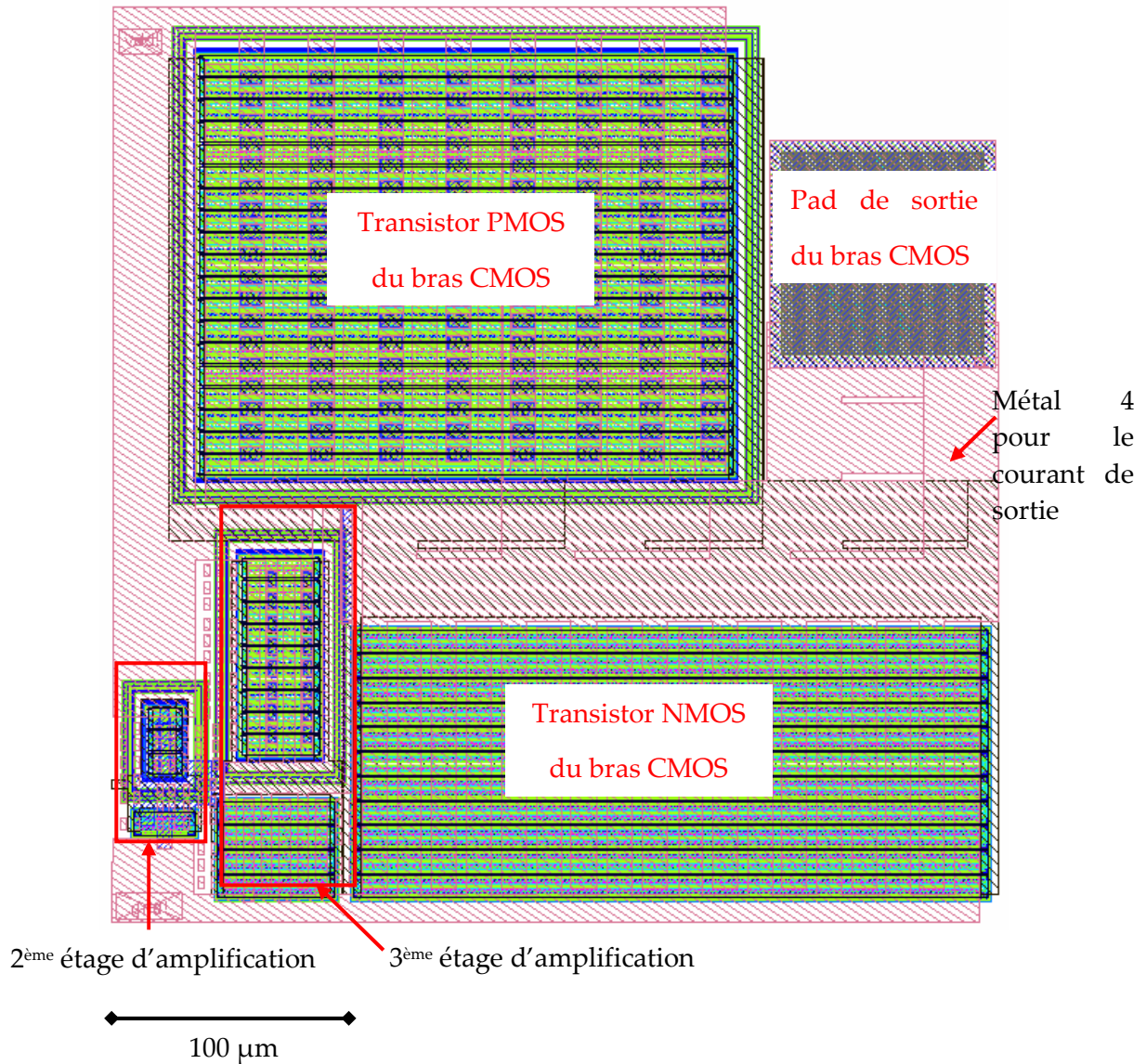


Figure IV.16. Vue layout du 2^{ème}, 3^{ème} étage d'amplification et du bras CMOS.

IV.3.4. Contraintes du layout de la puce

En raison du grand nombre de bras CMOS dans la puce intégrée, il est primordial d'optimiser la mise en place des connexions des pads pour la masse (GND), l'alimentation +E ainsi que les points milieu des bras CMOS. Ce placement a pour objectif d'une part de limiter les couplages électromagnétiques possibles entre les pistes des signaux de commande entre elles, et d'autre part de limiter les couplages entre les pistes des signaux de commande et les pistes qui amènent le courant de sortie des bras CMOS. La Figure IV.17 représente la vue layout de la puce dans laquelle on trouve deux blocs principaux marqués en rouge : le premier contient 12 cellules élémentaires dont chacune est composée de l'étage « level shifter » et le 1^{er} étage d'amplification, le deuxième contient aussi 12 cellules élémentaires

dont chacune est composée du 2^{ème}, du 3^{ème} étage d'amplification et des transistors de chaque bras CMOS. La puce a une dimension de 1.3*3mm². Comme on peut l'observer, la distance de la sortie du 1^{er} étage d'amplification jusqu'à l'entrée du 2^{ème} étage d'amplification pourrait être très longue pour les bras les plus éloignés, elle est d'environ 2.4 mm. De ce fait, les résistances et donc les chutes de tension aux bornes de ces pistes pourraient être assez grandes pouvant engendrer des délais de propagation ou encore des couplages intempestifs. En effet, le fait que ces pistes d'interconnexions soient en parallèle va introduire des interactions électromagnétiques non négligeables entre celles-ci. Pour résoudre ces problèmes critiques, nous avons, d'une part, augmenté de manière raisonnable la largeur de ces pistes d'interconnexions de 6µm à 10µm, buffériser les entrées de commande et d'autre part, optimisé l'emplacement des pads de la masse et de l'alimentation, ce dernier sera abordé ci-dessous.

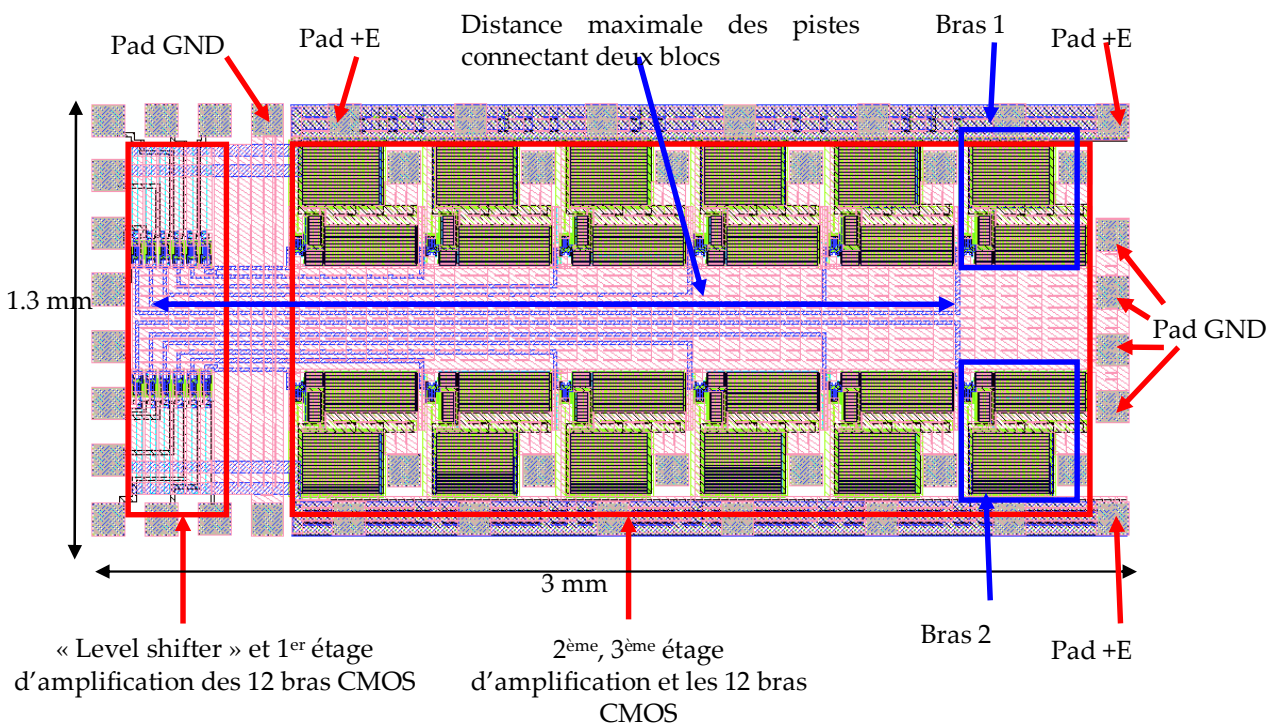


Figure IV.17. Vue layout de la puce intégrée

Nous avons étudié le couplage électromagnétique entre 2 cellules de commande élémentaires dans le cas le plus critique dans lequel la distance des pistes d'interconnexion est la plus grande et quand le signal d'entrée du bras 1 est commuté tandis que celui du bras

2 est mis à la masse. La Figure IV.18 présente le schéma électrique équivalent pour telle situation avec les paramètres suivants :

- $L1$, $L2$ et Lg sont respectivement les inductances propres des pistes 1, 2 et la piste de la masse.
- $R1$, $R2$ et Rg sont respectivement les résistances des pistes 1, 2 et de la masse.
- $M12$, $M1g$, $M2g$ sont respectivement les inductances mutuelles entre la piste 1 et la piste 2, entre la piste 1 et la masse, et entre la piste 2 et la masse.
- $C1$ et $C2$ sont respectivement les capacités parasites de la piste 1 et 2 par rapport à la masse.
- La capacité d'entrée des interrupteurs de puissance à commander est de 4.5 nF.

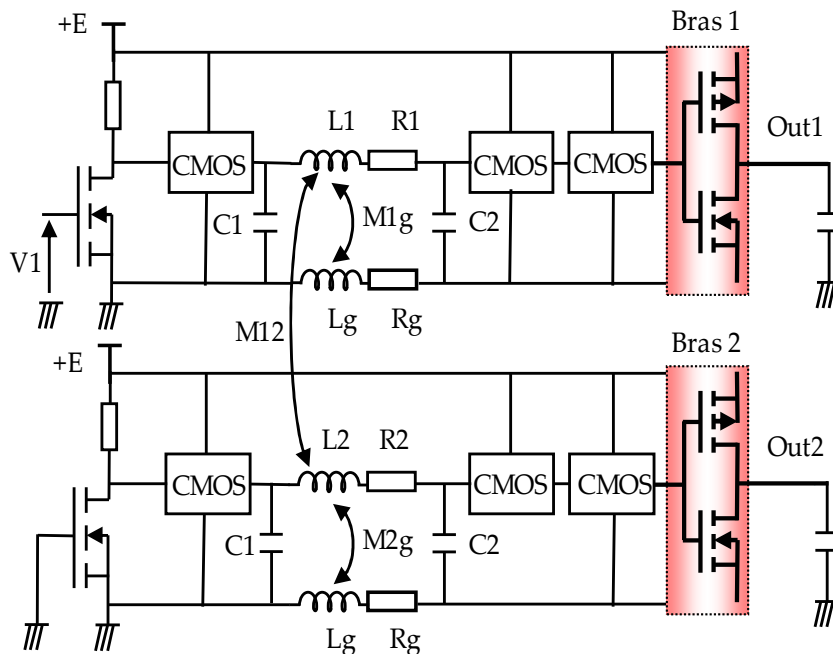


Figure IV.18. Schéma électrique équivalent représentant le phénomène de couplage entre deux bras CMOS.

A l'aide du logiciel de la simulation INCA3D [10], nous pouvons calculer les valeurs des résistances et des inductances. A propos de la valeur des capacités parasites, le logiciel Cadence nous permet d'extraire ces dernières après la conception du layout. Le Tableau IV.1 donne la liste des valeurs de ces paramètres parasites.

Paramètre	Valeur	Unité
R1, R2	13,67	Ohm
L1, L2	3,2	nH
C1, C2	50	fF
Rg	0,27	Ohm
Lg	1,6	nH
M1g, M2g	1,67	nH
M12	1,89	nH

Tableau IV.1. Paramètres des circuits équivalents des pistes obtenus par InCa3D.

Ces paramètres sont ensuite utilisés pour faire la simulation dans le logiciel Cadence pour analyser l'impact du couplage électromagnétique sur la sortie du bras 2. Il faut noter que comme chaque bras a cinq étages d'inversion, la sortie du bras sera donc à l'état haut si son signal d'entrée est mis à l'état bas. La Figure IV.20 montre les résultats de simulation, on peut remarquer que sans la présence du condensateur de découplage (valeur 100 nF), il y a une apparition d'une surtension d'environ 2V à la sortie du bras 2 lorsque la sortie du bras 1 passe de l'état basse à l'état haut. Pour cette raison, il est important d'éliminer cet impact. La solution que nous avons proposée est d'ajouter des pads de GND et d'alimentation +E au côté opposé à celui des entrées logiques comme le montre la Figure IV.17. Cela permettra ensuite d'utiliser des condensateurs de découplage à la sortie de la puce dans le driver intégré final comme la Figure IV.19 illustre. D'ailleurs, le courant de la grille va circuler dans une petite boucle à l'intérieur de la puce et ne pas impacter l'étage « level shifter » et le 1^{er} étage d'amplification parce que ces étages n'utilisent pas les mêmes pads GND et +E que les sorties. Le résultat de simulation sur la Figure IV.20 montre une nette amélioration avec cette solution. Les condensateurs de découplage doivent être placés au plus près des pads de l'alimentation et de la masse. La valeur du condensateur de découplage dépend beaucoup de la fréquence de fonctionnement de la puce et des bruits générés à haute fréquence, le principe de choisir sa valeur est que plus la fréquence de découpage est importante, moins la valeur du condensateur l'est. Il est aussi conseillé d'utiliser des condensateurs céramiques pour avoir une meilleure performance. Nous avons pris une valeur de 100nF pour les condensateurs de découplage pour la simulation.

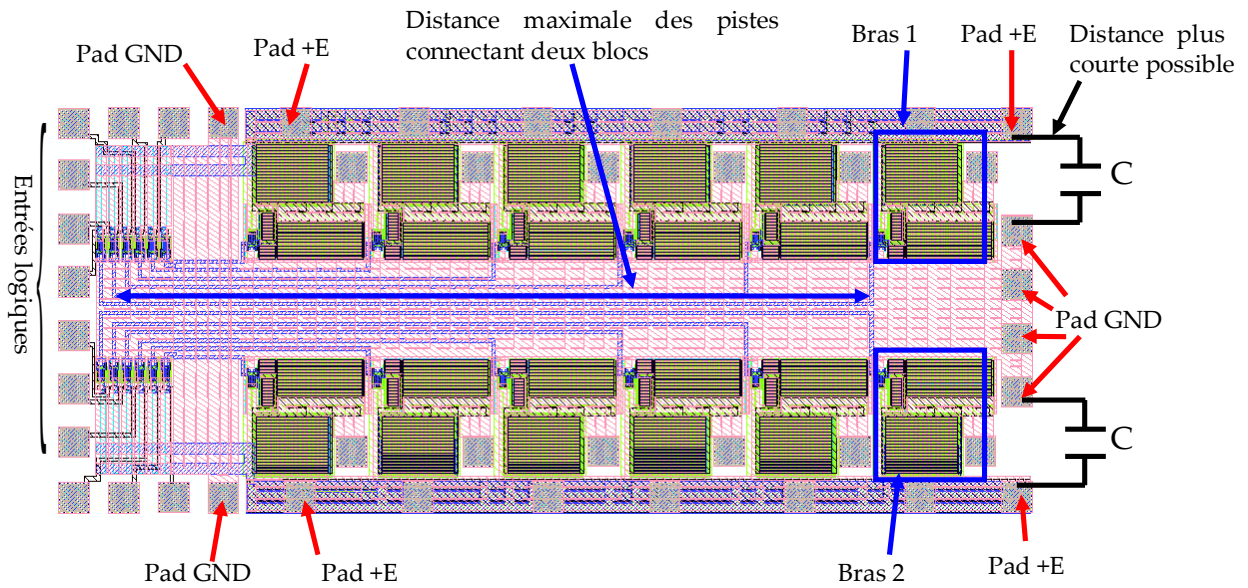


Figure IV.19. Vue layout de la puce avec la présence des condensateurs de découplage.

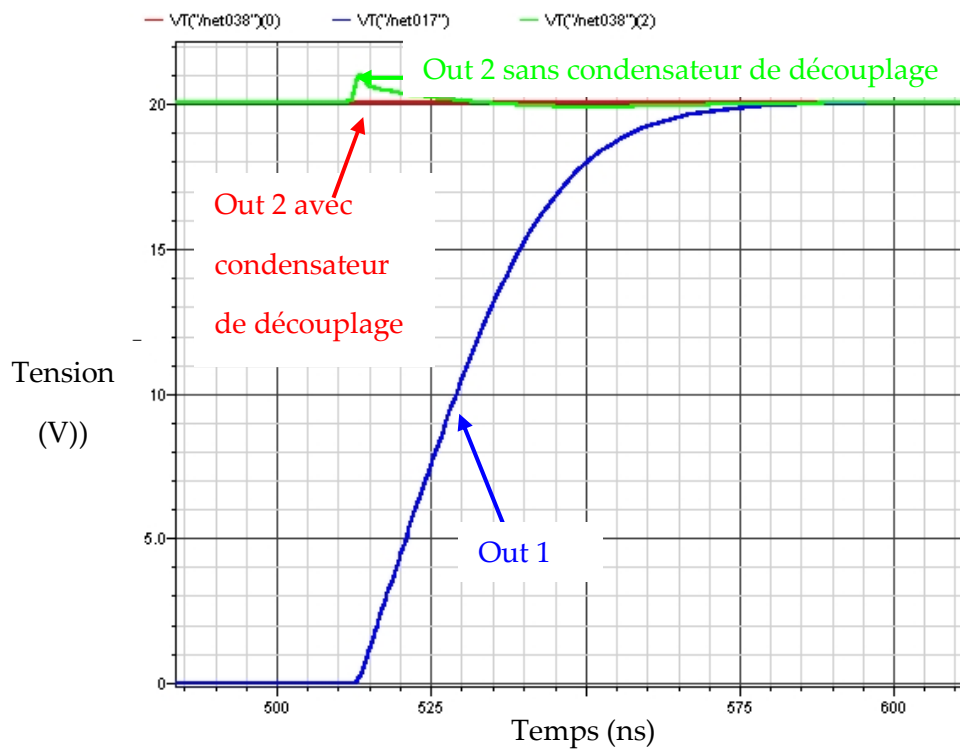


Figure IV.20. Résultats de simulation du phénomène de couplage dans le logiciel Cadence.

IV.3.5. Caractérisation de la puce intégrée

Dans un premier temps, nous voulons tester séparément la puce intégrée conçue ci-dessus. Celle-ci a été alors mise en boîtier de type céramique CQFP-44. La Figure IV.21 (a) montre la photo au microscope de la puce fabriquée et la Figure IV.21 (b) montre la photo de la puce mise en boîtier, ce boîtier contient 12 pattes pour les 12 entrées logiques, 12 pattes pour les 12 sorties, 4 pattes d'alimentation +E et 6 pattes de GND.

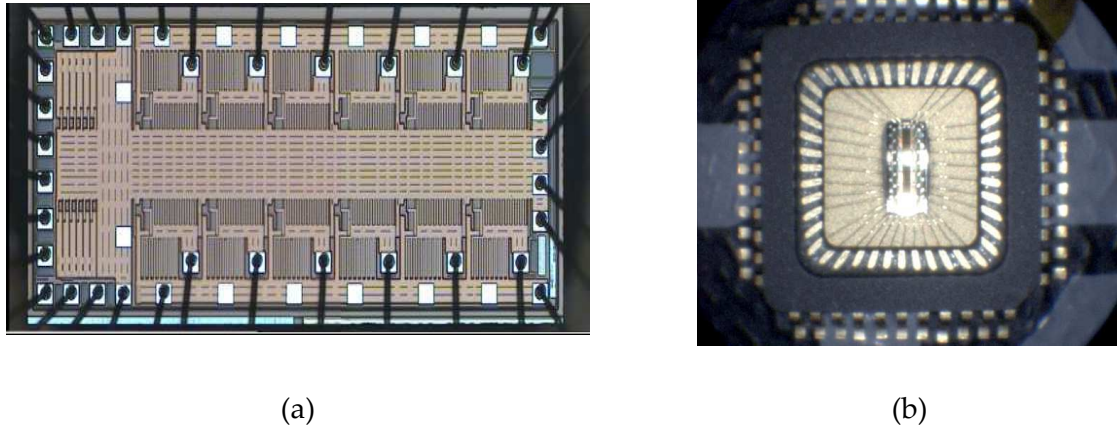


Figure IV.21. (a) Photo au microscope de la puce intégrée, (b) Photo de la puce mise en boîtier CQFP-44.

Tout d'abord, nous avons testé quelques caractéristiques de la puce. Nous avons testé sa réponse aux limites de fréquence de travail sans charge. Les Figure IV.22 (a) et (b) montrent les réponses du circuit en cas d'utilisation à basses fréquences et à hautes fréquences, on peut observer que la puce peut fonctionner de 1.2 kHz jusqu'à 625 kHz avec un temps de réponse rapide, quelques oscillations peuvent être présentes à la sortie à haute fréquence de 625 kHz.

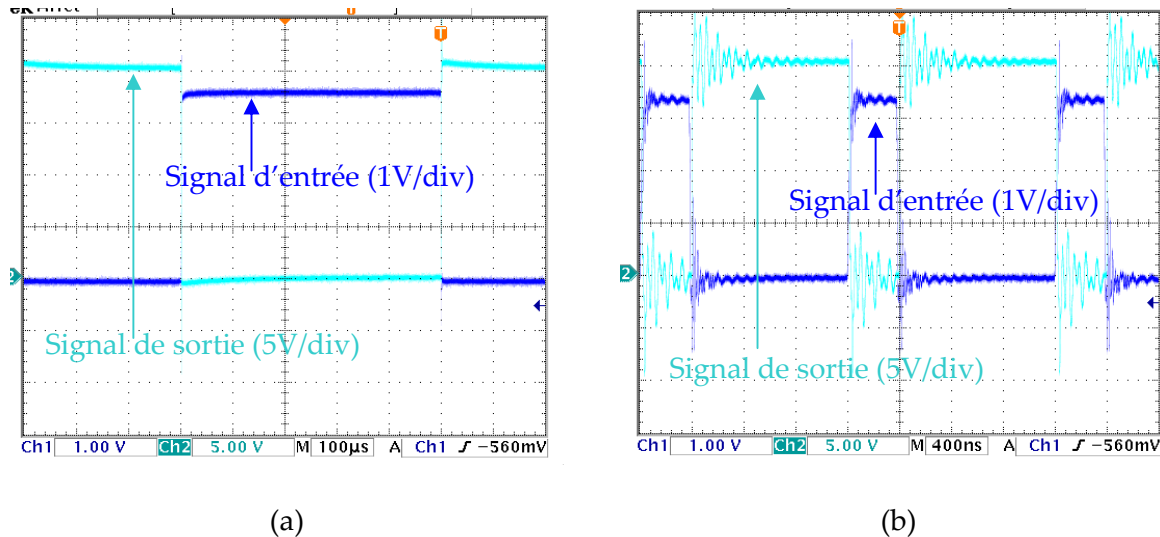


Figure IV.22. (a) Réponse à basse fréquence 1.2 kHz, (b) Réponse à haute fréquence 625 kHz.

Ensuite, nous avons testé la puce dans les conditions de charge avec une résistance de 1.2Ω mise en série avec un condensateur de 4.5 nF qui peuvent représenter la capacité d'entrée d'un interrupteur de puissance de moyenne puissance (par exemple le MOSFET IRFB260NPbF 200V, 56A, C_{iss} 4.2 nF). Les résultats sont présentés sur la Figure IV.23 (a), (b). Ces figures présentent les temps de commutation ainsi que le courant de sortie du bras CMOS en fonction de la tension de l'alimentation, le temps de montée est définie par le temps durant lequel la tension monte de 10% jusqu'au 90% de sa valeur finale maximale, le temps de descente est définie par le temps durant lequel la tension descend de 90% à 10% de sa valeur finale maximale. On peut donc conclure qu'avec une alimentation supérieure à 14V, les temps de commutation de la tension aux bornes du condensateur se stabilisent et que, au-dessous de cette valeur, ils augmentent de manière significative. En ce qui concerne le pic du courant de sortie du bras CMOS, il varie linéairement avec la tension d'alimentation de la puce. Il atteint 2.2A pour la charge du condensateur et 2.7A pour la décharge avec une alimentation de 20V, il est normal que ces valeurs soient inférieures à celles définies dans le cahier de charge (+3A, -3A) car nous avons mis une résistance de 1.2Ω pour la charge.

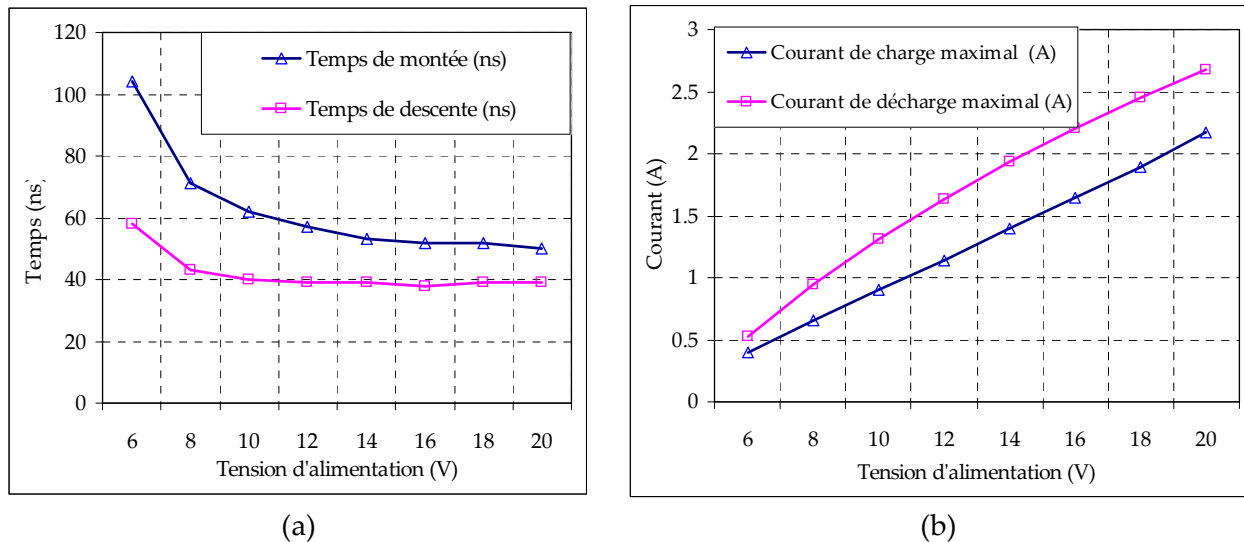


Figure IV.23. (a) Variation de la dynamique de commutation en fonction de la tension d'alimentation, (b) Variation des courants de sortie des drivers en fonction de la tension d'alimentation.

Nous avons aussi montré les meilleures performances du circuit intégré comparées à celles du circuit en composants discrets dans le chapitre II. Nous avons utilisé 2 bras CMOS de la puce intégrée pour commander le MOSFET de puissance du circuit représenté dans la Figure II.16, tous les paramètres des composants du circuit de puissance étant les mêmes, les autres composants du circuit de commande étant également les mêmes : les diodes Zener, la résistance de grille R_g et la résistance pull-down R_d ainsi que le transformateur. La Figure IV.24 compare le circuit discret et le circuit intégré en termes de la consommation totale d'énergie et les pertes de puissance P_{com} liées à la commande des transistors des bras CMOS et au court-circuit de ceux-ci, plus les pertes de puissance statique $P_{statique}$. Nous constatons donc que grâce à l'intégration, nous avons réduit de 146mW la consommation totale du driver, soit 32% d'économie. En particulier, nous avons réduit les pertes ($P_{com} + P_{statique}$) de 118 mW, soit approximativement près de 49% des pertes dans les transistors CMOS grâce à l'optimisation de la commande pour le bras CMOS.

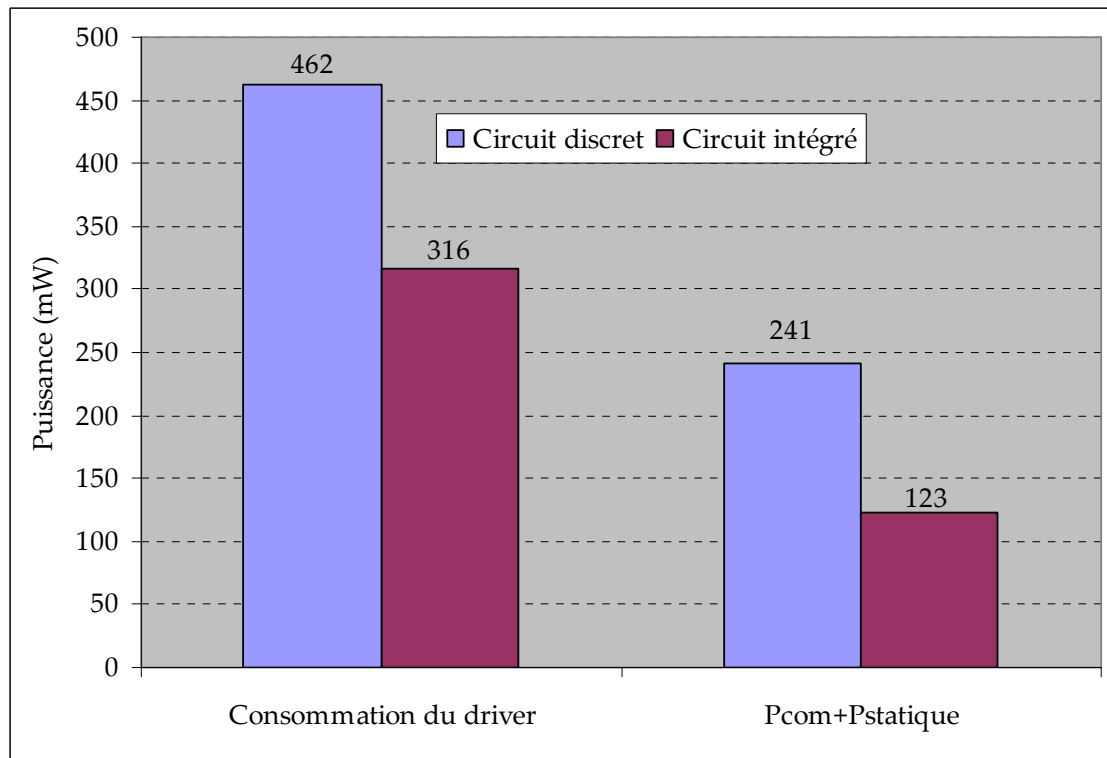


Figure IV.24. Comparaison de la consommation du circuit discret et du circuit intégré.

IV.4. Conception des transformateurs d'impulsion sur le PCB

IV.4.1. Objectifs

L'objectif de cette partie est d'optimiser le dimensionnement des transformateurs d'impulsion sur PCB par une action sur les paramètres critiques de ceux-ci en fonction du cahier de charge défini et quel signal de commande nous souhaitons :

- L'inductance magnétisante : Car elle impacte sur la valeur du courant magnétisant circulant dans les bras CMOS pendant la phase roue libre, elle impacte donc sur la tension aux bornes de l'enroulement primaire du transformateur ainsi que l'énergie dissipée inutilement pendant cette phase comme nous l'avons analysé dans le chapitre II. Idéalement, l'inductance magnétisante devrait avoir une valeur la plus grande possible pour réduire ces effets, cependant, cela introduira des surcoûts et une surface importante à cause du nombre important des spires. Nous allons donc utiliser des noyaux ferrites à haute perméabilité pour maximiser ce paramètre et en même temps optimiser sa valeur en fonction du cahier des charges.

- Inductance de fuite : Car elle est la raison principale qui cause le délai de temps de réponse du signal à travers le transformateur. De plus, elle fait partie des inductances parasites du côté de la grille du transistor de puissance à commander. Des oscillations apparaissant au niveau de la grille sont dues à ces dernières. L'inductance de fuite doit donc être minimisée.
- Résistance DC et résistance à haute fréquence des enroulements : Ces résistances influencent, d'une part, sur la chute de tension à travers le transformateur, et d'autre part, sur la limitation du courant de sortie du bras CMOS. Celles-ci doivent alors être limitées de manière raisonnable car une résistance petite des enroulements nécessite d'utiliser les pistes de largeur importante et donc la surface utilisée par les piste devient aussi importante. Nous avons pris comme critère de dimensionnement des résistances des enroulements qu'il ne devrait pas être supérieur à la sommes des résistances à l'état passant des transistors du bras CMOS ($R_{dson\ PMOS} = 2.28\ \Omega$ et $R_{dson\ NMOS} = 1\ \Omega$).

Par ailleurs, nous devons aussi optimiser l'emplacement des transformateurs pour simplifier la mise en œuvre. Nous considérons que l'inductance magnétisante est le critère le plus important dans la conception du transformateur d'impulsion parce que son impact sur la tension qui apparaît au secondaire du transformateur pendant la phase de roue libre pourrait mener au dysfonctionnement du driver si celle-ci est trop importante. La valeur de l'inductance magnétisante sera fixée en fonction du cahier de charge et les autres paramètres seront optimisés ensuite.

En partant sur la conception du transformateur présentée dans le chapitre II, nous pouvons reprendre les paramètres des diodes Zener ainsi que la tension au secondaire du transformateur. Nous rappelons que pour avoir une tension de commande de grille avec les pics (+15V,-5V), nous utilisons une diode Zener Z1 de 16V et une diode Zener Z2 de 6V, avec une tension au secondaire du transformateur de 22V.

Le dimensionnement de l'inductance magnétisante L_m est basé sur la limite de la tension apparue au secondaire du transformateur pendant la phase de roue libre comme suit :

- Phase de roue libre pendant l'état passant :

$$\begin{aligned}
 V_{GS} - V_{fz2} - V_S &< V_{BRZ1} \\
 \Leftrightarrow -V_S &< V_{BRZ1} - V_{GS} + V_{fz2} \\
 \Leftrightarrow |V_S| &< 16 - 15 + 1 = 2
 \end{aligned} \tag{IV.1}$$

- Phase de roue libre pendant l'état passant :

$$\begin{aligned}
 |V_S - V_{fz1} - V_{GS}| &< V_{BRZ2} \\
 \Leftrightarrow |V_S| &< V_{BRZ2} - |V_{GS} - V_{fz1}| \\
 \Leftrightarrow |V_S| &< 6 - |5 - 1| = 2
 \end{aligned} \tag{IV.2}$$

Considérons aussi que l'alimentation au primaire est de +15V, le rapport de transformation du transformateur est de 1.46, nous pouvons déduire la limite de tension au primaire pendant la phase de roue libre par l'équation (IV.3). La raison pour laquelle nous voulons faire fonctionner la puce intégrée à 15V au lieu de la tension nominale de 20V est pour augmenter la marge de sécurité et de fiabilité du circuit contre les surtensions possibles. Nous pouvons donc estimer la limite de la tension au primaire du transformateur au début de la phase roue libre à partir des équations (IV.1) et (IV.2) :

$$V_p = \frac{V_S}{1.46} = \frac{2}{1.46} = 1.36V \tag{IV.3}$$

La limite maximale du courant dans l'inductance magnétisante au début de la phase roue libre est donc déduite par l'équation (IV.4). En effet, la résistance à l'état passant des PMOS dans le bras CMOS est évaluée à 2.28Ω par les données technologiques du fabricant, on néglige dans un premier temps l'effet de la résistance de l'enroulement primaire du transformateur.

$$I_{Lm} = \frac{V_p}{R_{dsON_P1} + R_{dsON_P2}} = \frac{1.36}{2.28 + 2.28} = 0.298(A) \tag{IV.4}$$

Considérons ensuite que nous appliquons des impulsions de tension de 15V pendant 500 ns au primaire du transformateur, la valeur de l'inductance magnétisante est donc calculée par l'équation (IV.5) :

$$L_m = \frac{E * t}{I_{Lm}} = \frac{15 * 500 * 10^{-9}}{0.298} = 25(\mu H) \tag{IV.5}$$

Maintenant on peut évaluer l'énergie stockée dans l'inductance magnétisante et l'énergie dissipée ensuite dans le bras CMOS pendant les deux phases de roue libre par la formule (IV.6), supposons que la fréquence de découpage soit de 50 kHz. En même temps, supposons que l'on commande un transistor avec une charge de grille totale Q_G de 100 nC

sous la tension de commande de (+15V,-5V), l'énergie de commande de la grille dissipée dans le bras CMOS est calculée par l'équation (IV.7).

$$P_{Lm} = L * I_{Lm}^2 * f = 25 * 10^{-6} * 0.298^2 * 50 * 10^3 = 111(mW) \quad (IV.6)$$

$$P_{CMOS} = Q_G * V * f = 100 * 10^{-9} * 20 * 50 * 10^3 = 100(mW) \quad (IV.7)$$

Après ces calculs, on trouve que l'énergie inutile dissipée pendant deux phases de roue libre est plus grande que celle nécessaire pour commander le transistor de puissance, ce qui n'est pas acceptable au niveau du bilan énergétique. Nous avons donc décidé de doubler la valeur de l'inductance magnétisante pour le dimensionnement du transformateur, elle est fixée à 50 μ H, l'énergie dissipée pendant les phases de roue libre diminue donc à 55 mW pour un transistor à commander, soit 330 mW pour 6 transistors, celle-ci est alors dissipée dans la puce intégrée.

IV.4.2. Calcul analytique

Nous avons utilisé le noyau ferrite de la forme ER9.5 du fabricant Ferroxcube pour les applications de type planar comme le circuit imprimé. Pour avoir une valeur de l'inductance magnétisante la plus grande possible avec un nombre minimal de spires et pour des raisons de compacité, nous avons utilisé la ferrite 3E5 avec une haute perméabilité ($\mu_r=4700$) recommandé par Ferroxcube pour les applications des transformateurs d'impulsion. La Figure IV.25 (a) présente l'image du circuit magnétique et de l'enroulement au centre. Pour prendre une marge de dimensionnement du transformateur et pour éviter le dysfonctionnement de notre circuit dû à une valeur trop faible de l'inductance magnétisante, nous devons prendre en compte l'effet de l'entrefer résiduel entre les deux noyaux, cet entrefer est causé d'une part par l'état de la surface du noyau et d'autre part par la force du clip de retenue. Nous avons fixé l'épaisseur e de l'entrefer résiduel à une valeur de 5 μ m pour les calculs de dimensionnement.

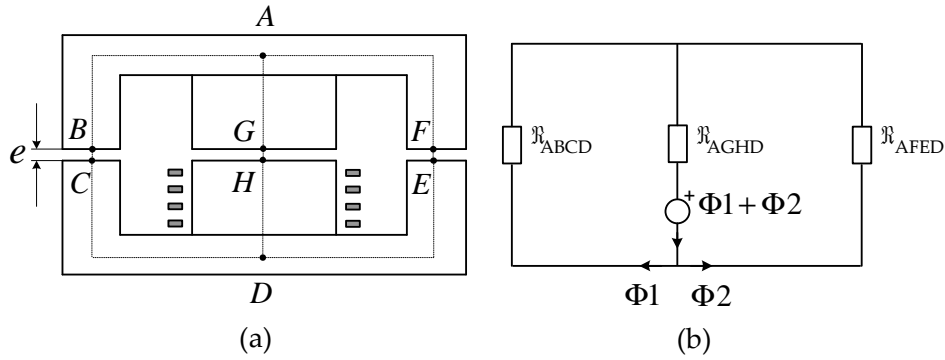


Figure IV.25. (a) Circuit magnétique, (b) Circuit équivalent des réluctances.

La Figure IV.25 (b) présente le schéma équivalent représentant la répartition des flux dans le noyau ferrite en fonction des réluctances des éléments. Nous pouvons déduire la valeur de l'inductance magnétisante du transformateur en fonction du nombre de spires n_1 de l'enroulement primaire par l'équation (IV.8) dont :

$$\mathfrak{R}_{ABCD} = \mathfrak{R}_{AFED} = \mathfrak{R}_{AB} + \mathfrak{R}_{BC} + \mathfrak{R}_{CD}$$

$$\mathfrak{R}_{AGHD} = \mathfrak{R}_{AG} + \mathfrak{R}_{GH} + \mathfrak{R}_{HD}$$

$$L_m = n_1^2 \frac{2}{2 * \mathfrak{R}_{AGHD} + \mathfrak{R}_{ABCD}} \quad (IV.8)$$

Selon les calculs analytiques, avec un entrefer de $5\mu\text{m}$ d'épaisseur et 6 spires pour l'enroulement primaire, nous allons avoir une inductance magnétisante de $52\mu\text{H}$, ce qui satisfait notre objectif. Le nombre de spires du secondaire sera de 9 pour avoir un rapport de transformation compatible avec le cahier de charge. Pour réaliser ce nombre de spires sur un PCB, nous devons employer un circuit imprimé multicouche pour gagner en volume du circuit. Nous avons choisi un circuit PCB à quatre couches avec une épaisseur de cuivre de $35\mu\text{m}$.

Il faut également considérer l'effet de peau. En effet, il limite la section du conducteur qui est parcouru par courant et il devient plus important avec l'augmentation de la fréquence. Si nous voulons faire fonctionner le driver à une fréquence maximale de 500kHz , l'épaisseur de peau sera de $90\mu\text{m}$. Avec la réalisation du transformateur en planar sur le circuit PCB dont l'épaisseur de la piste en cuivre de $35\mu\text{m}$ ou $70\mu\text{m}$, l'effet de peau sera donc éliminé.

Il faut ensuite calculer la largeur minimale des pistes pour pouvoir faire circuler les courants sans trop augmenter la température à cause des pertes Joules. Le courant circulant dans l'enroulement primaire du transformateur est composé du courant impulsionnel délivré à la grille du transistor de puissance et du courant magnétisant. Le courant impulsionnel peut avoir une valeur de quelques ampères mais il ne dure que pendant un temps très court de l'ordre de quelques centaines de nanosecondes, il a donc une valeur moyenne moins grande que celle du courant dans l'inductance magnétisante, donc nous allons dimensionner la largeur des pistes des spires en fonction du courant dans l'inductance magnétisante. Sachant qu'avec une inductance magnétisante de $50\mu\text{H}$, le courant maximal dans celle-ci en cas d'application une impulsion de 15V pendant 500ns sera de 150 mA, tandis que la valeur moyenne d'un courant impulsionnel de type exponentielle décroissante ayant le pic de +3A est de 40mA à la fréquence de 500 kHz. La Figure IV.26 donne une estimation rapide de la largeur de la piste du circuit PCB en fonction du courant et de l'augmentation en température [11]. En se basant sur cette courbe, nous avons calculé une largeur de piste de $180\mu\text{m}$ pour les pistes dans les couches internes et une largeur de $130\mu\text{m}$ pour les pistes dans les couches externes, cela satisfait les conditions thermiques et électriques, la température augmente théoriquement moins de 10°C . En outre, ces valeurs nous permettent de respecter les contraintes technologiques de réalisation des enroulements sur PCB.

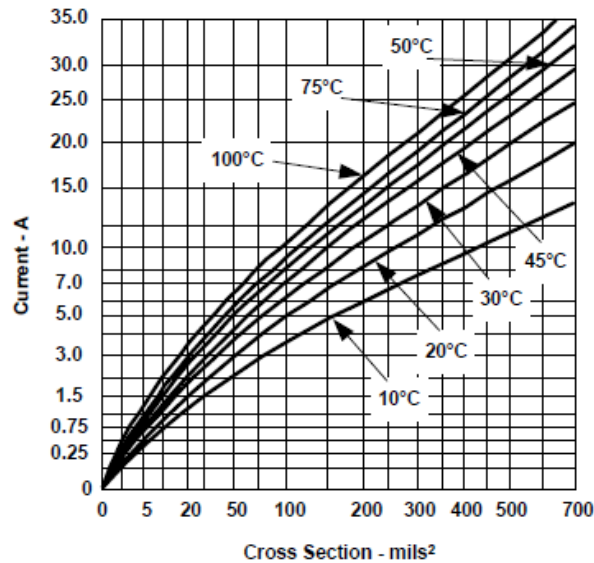


Figure IV.26. Relation entre le courant, la section de la piste et l'augmentation de la température [11].

IV.4.3. Optimisation de l'emplacement des enroulements par la simulation dans le logiciel Flux2D

Une fois que les calculs analytiques sont faits, pour les valider, nous pouvons les comparer aux résultats obtenus par la simulation à l'aide du logiciel Flux2D. Ceci nous permet aussi d'optimiser l'emplacement des enroulements pour avoir un meilleur couplage et réduire des fuites.

Tout d'abord, la réalisation des pistes des enroulements sur le circuit PCB doit respecter les normes du fabricant sur : largeur minimale, distance minimale entre les pistes. De plus, nous devons prendre en compte la contrainte sur la surface maximale occupée par les enroulements, celle-ci est limitée par la surface disponible dans le noyau ferrite. Une autre contrainte est le fait que les spires doivent être les plus centrées possible sur la partie centrale du noyau ferrite pour limiter les fuites du flux. Nous avons donc réparti 6 spires de l'enroulement primaire entre deux couches PCB, trois spires sur chacune. Les 9 spires du secondaire sont réparties sur deux couches qui restent, l'une contient 4 spires et l'autre en contient 5. A ce stade, il faut optimiser l'emplacement des enroulements afin d'avoir un bon couplage magnétique. Nous avons deux possibilités de placement comme le montre la Figure IV.27 (a), (b).

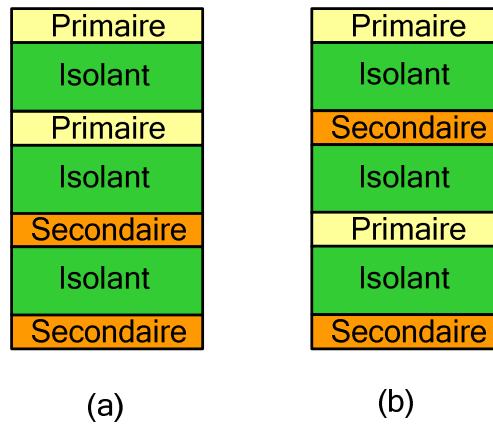


Figure IV.27. Deux possibilités de placement des enroulements sur les couches du PCB

(a) Structure P-P-S-S, (b) Structure entrelacée P-S-P-S.

Le Tableau IV.2 donne la comparaison de deux structures en termes de coefficient de couplage obtenue par la simulation dans le logiciel Flux2D. La structure entrelacée permet d'obtenir un coefficient de couplage légèrement meilleur par rapport à l'autre, l'inductance de fuite totale du transformateur est deux fois moins grande par rapport à celle de la structure classique P-P-S-S. Nous avons donc pris la structure entrelacée pour la conception du circuit sur le PCB. Concernant la valeur de l'inductance magnétisante, elle est assez proche de celle obtenue par le calcul analytique ($57\mu\text{H}$ contre $52\mu\text{H}$), nous pouvons donc valider notre dimensionnement concernant le nombre de spires. La Figure IV.28 présente les lignes de champs circulant dans le noyau ferrite.

	Structure P-P-S-S	Structure P-S-P-S
Inductance magnétisante (μH)	57.25	57.37
Inductance de fuite (nH)	208.7	106.5
Coefficient de couplage	0.998	0.999

Tableau IV.2. Comparaison de deux structures.

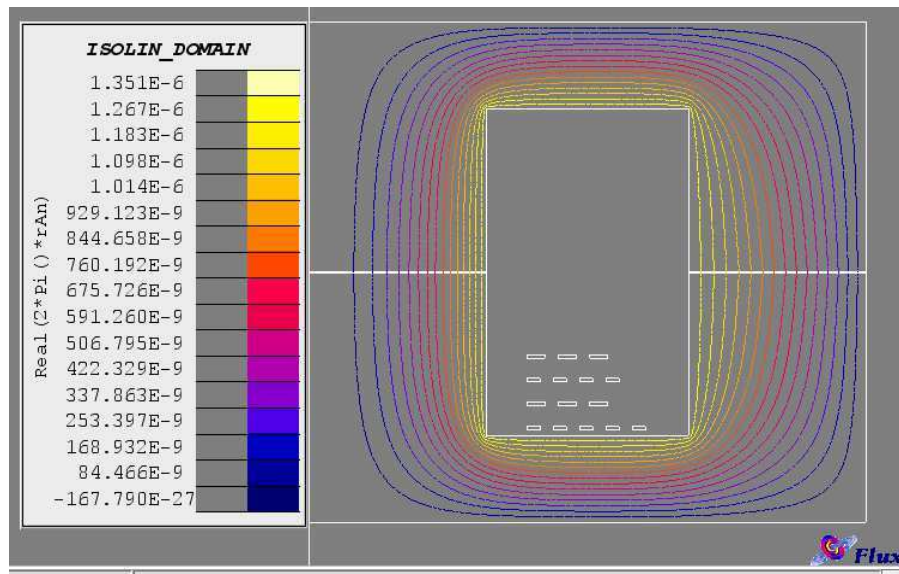


Figure IV.28. Lignes de champs – Simulation Flux2D avec la symétrie.

Le Tableau IV.3 résume les paramètres des enroulements sur le circuit PCB ainsi que leurs résistances estimées par la simulation dans Flux2D à basse fréquence et à haute fréquence 500 kHz. Il y a deux choses à conclure ici : la première est que la somme totale des résistances des enroulements primaire et secondaire reste très raisonnable par rapport à la résistance à l'état passant des PMOS du bras CMOS (0.642Ω contre 2.28Ω), ce qui ne va pas impacter sur courant de la grille ainsi que sur la tension au primaire pendant la phase de roue libre, satisfaisant notre critère de dimensionnement défini au préalable. La deuxième est que les résistances des enroulements à haute fréquence ne changent guère par rapport à celles en continu, cette légère augmentation de la résistance en haute fréquence pourrait être due aux effets de proximité des pistes.

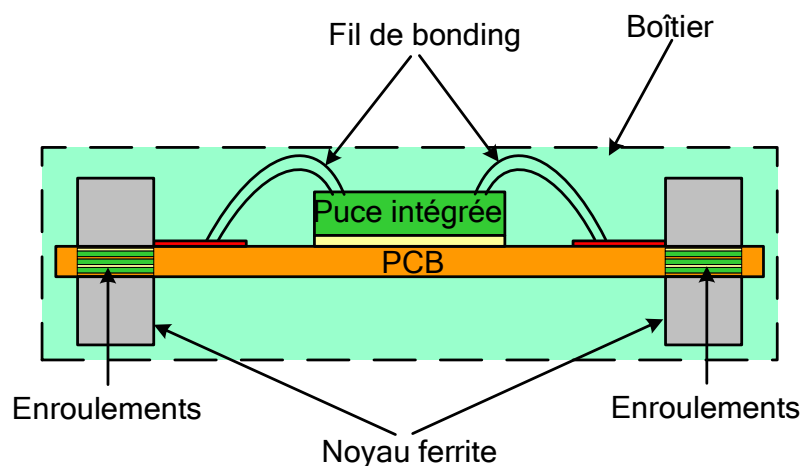
	Primaire	Secondaire
Nombre de spire	6	9
Largeur de spire (μm)	180	130
Distance entre les spires (μm)	130	130
Résistance DC $m\Omega$ (Flux2D)	243	399
Résistance (500 kHz) $m\Omega$ (Flux2D)	246	410

Tableau IV.3. Paramètres des enroulements sur le circuit PCB.

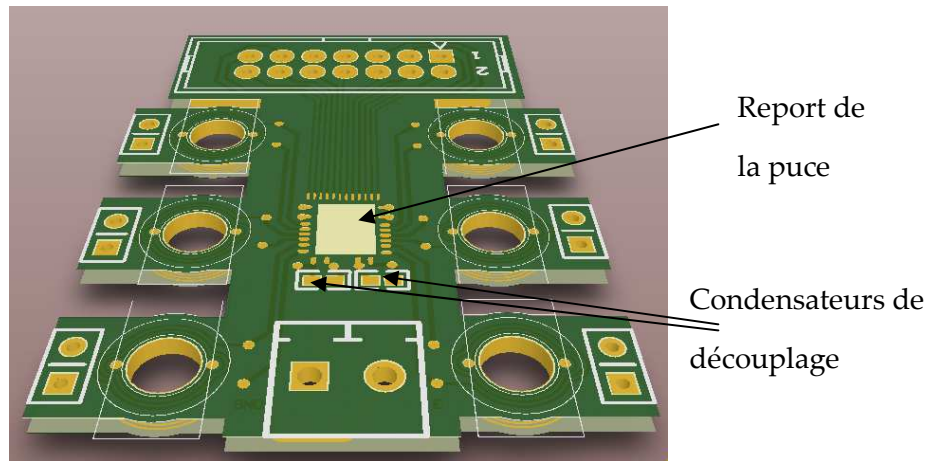
IV.5. Réalisation et validation expérimentale du circuit générique de commandes rapprochées

IV.5.1. Assemblage du circuit

L'assemblage de notre driver générique consiste à reporter la puce intégrée sur le circuit imprimé PCB où les transformateurs d'impulsion sont réalisés, les sorties de la puce sont connectées aux enroulements primaires des transformateurs par des fils de bonding en aluminium. La technologie fil de bonding est une technologie déjà ancienne et très fiable qui se traduit par une bonne maîtrise au niveau industriel des moyens d'assemblage et des moyens de production massifs et automatisés, elle est donc actuellement la plus répandue pour l'assemblage de puces. L'ensemble de la puce intégrée et des noyaux ferrites des transformateurs sera mis en boîtier permettant de faire un driver compact, simple à mettre en oeuvre pour les applications multi transistors comme on peut le voir sur la Figure IV.29 (a).



(a)



(b)

Figure IV.29. (a) Assemblage 2D du driver intégré, (b) Vue en 3D du circuit PCB.

La réalisation du transformateur sur le circuit PCB doit respecter des normes du fabricant, afin de satisfaire les contraintes du nombre de spires des enroulements, nous avons utilisé les paramètres suivants pour la fabrication :

- Distance minimale entre les pistes d'une couche de circuit imprimé : 0.125 mm.
- Distance minimale entre les pistes et le bord du circuit imprimé : 0.125 mm.
- Distance entre les couches : 0.2 mm.

La Figure IV.30 montre la vue en 3D du transformateur d'impulsion réalisé sur le circuit PCB à 4 couches.

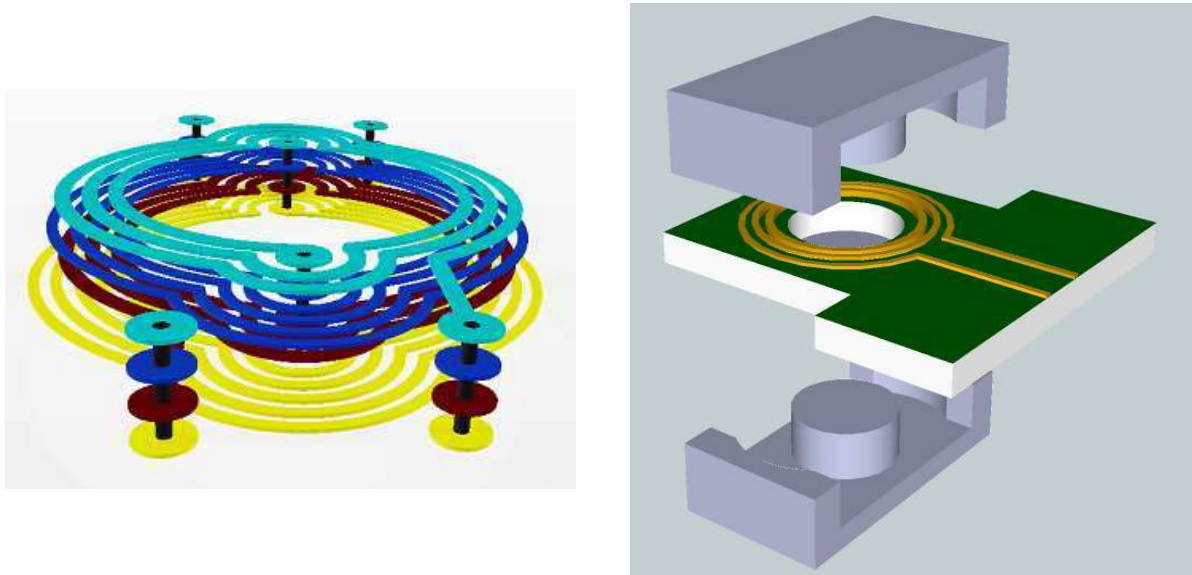


Figure IV.30. Vue en 3D le transformateur réalisé sur le circuit PCB à 4 couches.

Enfin, la Figure IV.31 montre la photo du driver complet qui fait une taille de 3cm x 4 cm. Dans la partie suivante, nous allons présenter la caractérisation du transformateur planaire et la validation expérimentale du driver générique.

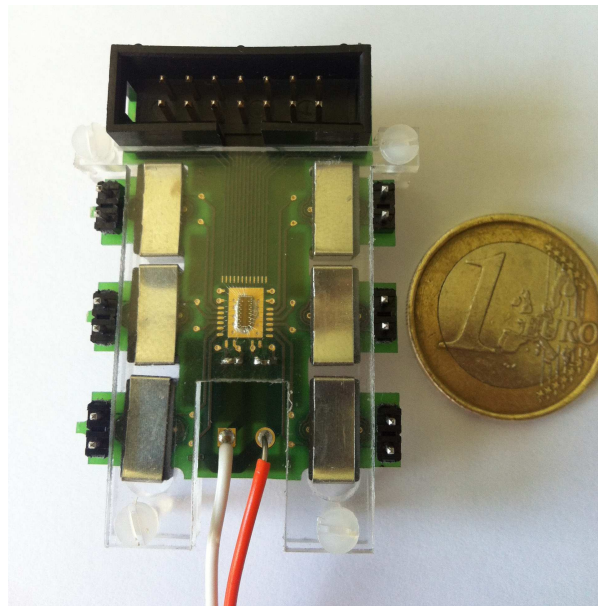


Figure IV.31. Driver intégré complet mis en boîtier.

IV.5.2. Caractérisation du transformateur

Une fois que les transformateurs d'impulsion sont réalisés sur le circuit imprimé, nous les avons caractérisés à l'aide d'un pont de mesure d'impédance.

Dans un premier temps, le transformateur a été caractérisé à vide afin de déterminer son inductance magnétisante L_m ainsi que la résistance du bobinage primaire R_p dans la Figure IV.32. Cet essai permet ainsi de caractériser le primaire du transformateur. En regardant la Figure IV.33, les mesures que nous avons réalisées au pont d'impédance nous donnent une inductance propre L_m du transformateur de $72 \mu\text{H}$ au-dessous de 10 kHz , puis au-delà de 10 kHz , celle-ci commence à diminuer, sa valeur est de $47 \mu\text{H}$ à 500 kHz , cette valeur est à comparer à la valeur souhaitée qui est de $50 \mu\text{H}$ à 500 kHz . Cela est acceptable et confirme notre dimensionnement. Sa valeur est donc correcte dans une large gamme de la fréquence de fonctionnement de 10 kHz à 500 kHz . En ce qui concerne la résistance DC de l'enroulement primaire, elle est mesurée à $250 \text{ m}\Omega$, ce qui est très proche à la valeur de $243 \text{ m}\Omega$ obtenue par la simulation avec Flux2D. La résistance à vide à haute fréquence représente en effet la résistance de l'enroulement primaire du transformateur.

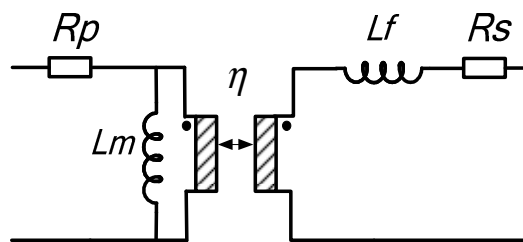


Figure IV.32. Modèle magnétique simple du transformateur.

Nous avons ensuite caractérisé le transformateur en court-circuit, les résultats de mesure sont présentés sur la Figure IV.33. La valeur de l'inductance de fuite totale L_f est de 105 nH , qui est très proche de la valeur de 106.5 nH obtenue avec la simulation avec Flux2D. En comparaison avec la valeur de l'inductance de fuite d'environ 400 nH du transformateur d'impulsion réalisé en tore dans le chapitre II, nous avons réduit par un facteur 4, ce qui montre l'intérêt du transformateur planar par rapport au transformateur classique. Nous pouvons aussi remarquer ici que la valeur de l'inductance de fuite est très grande en-dessous de 10 kHz et qu'elle se stabilise au-delà de cette valeur, cela signifie que notre transformateur peut fonctionner correctement sur une plage de fréquence de 10 kHz à 500 kHz avec la prise en compte des valeurs de l'inductance magnétisante et de l'inductance de fuite.

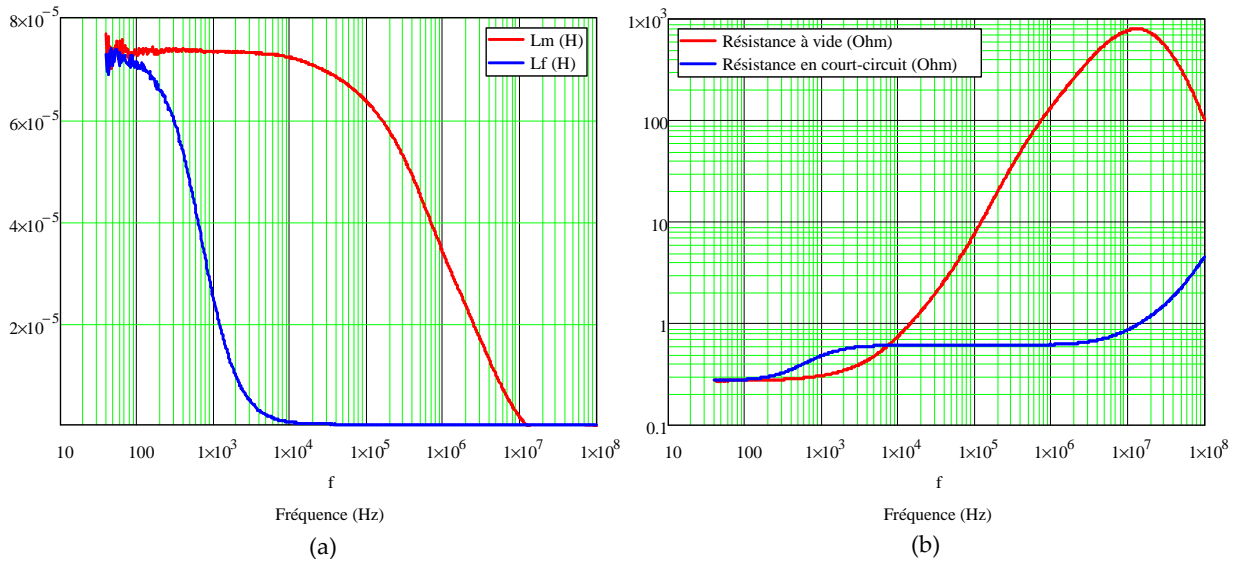


Figure IV.33. (a) Inductance à vide et en court-circuit du transformateur planar, (b) Résistance à vide et en court-circuit du transformateur planar.

Nous avons aussi mesuré l'évolution fréquentielle du rapport de transformation du transformateur planar. Les résultats sont présentés sur la Figure IV.34. Nous trouvons que le transformateur a un rapport de transformation très stable dans une large plage de fréquence jusqu'à 100 kHz, à 500 kHz, il est réduit à 1.4. On peut observer que le phénomène de résonance de l'inductance magnétisante avec les capacités parasites n'apparaît qu'au-delà de 10 MHz.

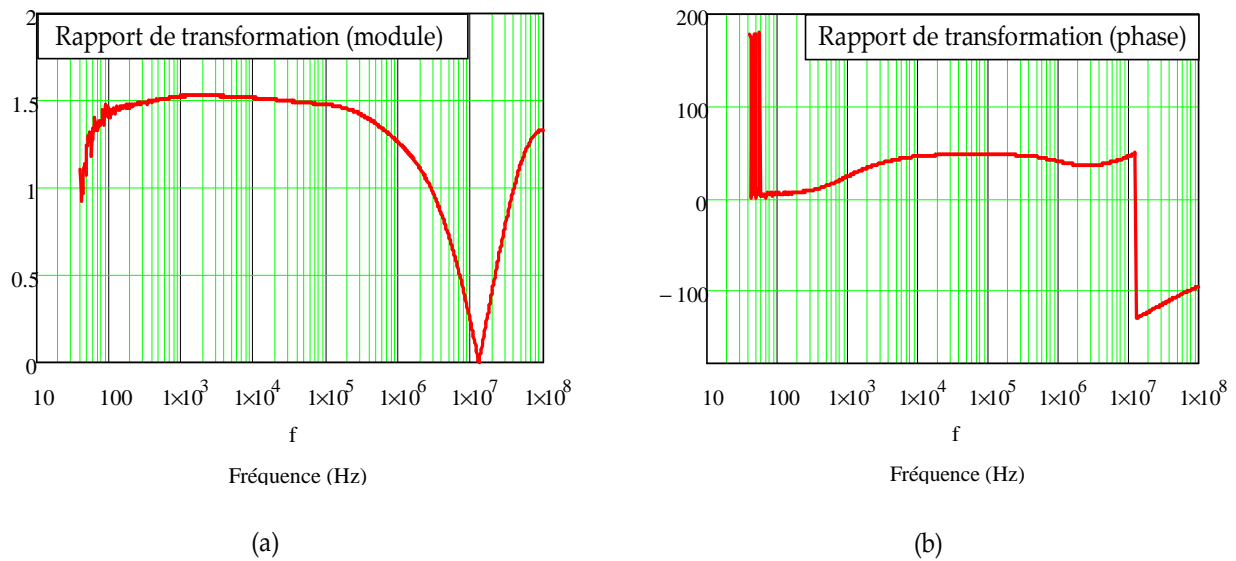


Figure IV.34. (a) Module du rapport de transformation du transformateur planar, (b) Phase du rapport de transformation du transformateur planar.

Une fois que les paramètres critiques du transformateur planar sont caractérisés et identifiés, nous avons ensuite analysé le délai du signal transféré à travers le transformateur. Un signal de commande de 50 kHz est appliqué au primaire du transformateur, le secondaire est ouvert. Ce signal est composé des impulsions de tension positive et négative ayant une amplitude de 15V et une durée de 500ns. La Figure IV.35 présente les relevés expérimentaux des formes d'ondes des tensions primaire et secondaire du transformateur V_p et V_s respectivement. On peut constater que le temps de propagation à travers le transformateur est pratiquement négligeable. On observe également des oscillations et des surtensions au moment de la montée du signal à cause de l'inductance de fuite du transformateur, puis en fonction de temps, l'amplitude de l'impulsion de tension diminue car il y a une chute de tension à travers la résistance de l'enroulement primaire à cause du courant magnétisant.

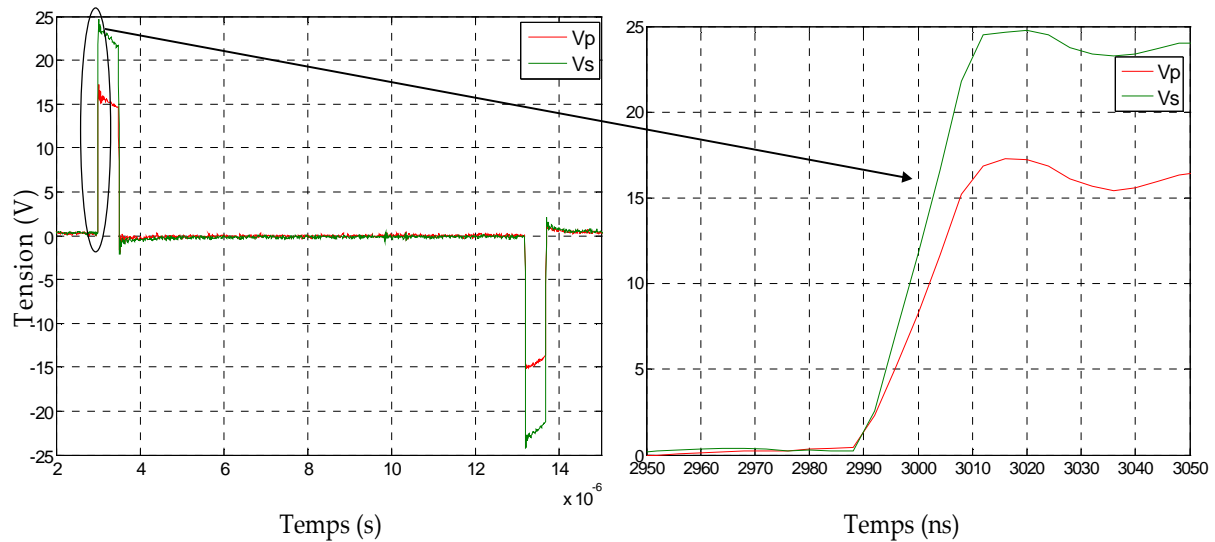
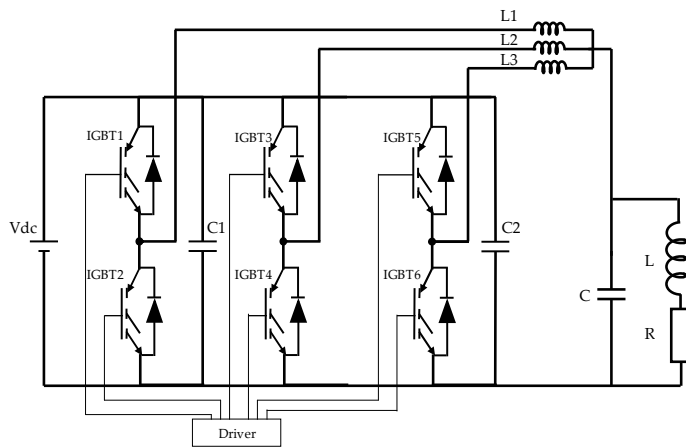


Figure IV.35. Tension primaire et secondaire du transformateur.

Pour conclure sur la partie caractérisation du transformateur, le transformateur planar a été conçu, les mesures confirment qu'il satisfait au cahier des charges et que ses paramètres (son inductance magnétisante, son inductance de fuite, la résistance de l'enroulement ainsi que le rapport de transformation) ont les valeurs souhaitées. On conclut donc que ce transformateur planar peut fonctionner dans la plage de fréquence de 10 kHz à 500 kHz. La partie suivante va exposer la validation expérimentale du driver complet.

IV.5.3. Validation expérimentale du driver

Nous avons ensuite utilisé ce driver hybride pour commander un convertisseur entrelacé triphasé DC/DC Boost. Les signaux d'entrée logiques pour les bras CMOS sont générés par un circuit logique programmable FPGA Spartan 3 de Xilinx. Afin de limiter le courant de court-circuit entre l'IGBT « high side » et l'IGBT « low side » dans chaque bras du convertisseur triphasé, nous avons introduit un temps mort de 400 ns entre les deux signaux de commande de ceux-ci. Le schéma du circuit de puissance et les paramètres associés sont montrés sur la Figure IV.36, la Figure IV.37 montre la photo du circuit dont le driver intégré est monté au dessus du PCB du circuit de puissance, les IGBTs du circuit de puissance sont montés en dessous du PCB et leur face arrière est tournée vers le refroidisseur.



- Fréquence de découpage : 50kHz;
- $\alpha = 0.5$;
- $V_{dc}=200V$; $C=68 \mu F$; $R=60 \Omega$, $L=600 \mu H$;
- $C1, C2 : 0.68 \mu F, 275VAC$.
- $L1, L2, L3 : 1 mH$
- IGBT: IRG4PC40UD 600V 20A
- $Z1$: zener 16V; $Z2$: zener 5.6 V;
- $R_g=10 \Omega$, $R_d = 55 k\Omega$.

Figure IV.36. Schéma électrique du circuit de puissance pour la validation du driver intégré.

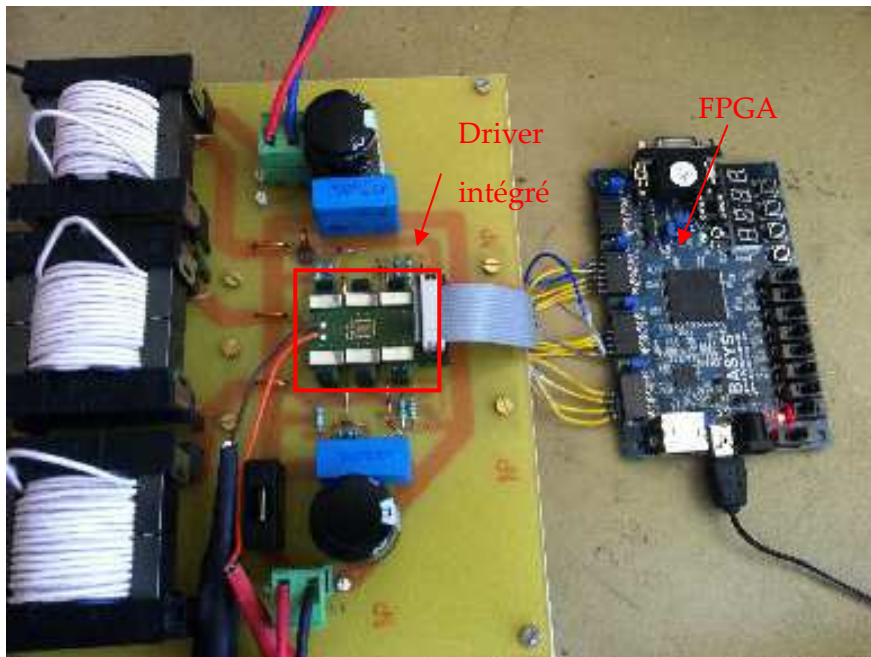


Figure IV.37. Photo du circuit.

La Figure IV.38 montre les formes d'ondes des tensions entre la grille et l'émetteur des transistors IGBT1, IGBT3 et IGBT5. Nous trouvons que ces tensions sont décalées de 120° entre elles et chacune a le pic de +15V pour la commutation à la fermeture et le pic de -5V pour la commutation à l'ouverture. La Figure IV.39 représente la forme d'onde des courants circulant dans les inductances L1, L2 et L3 ainsi que la tension aux bornes de la charge. Le bon fonctionnement du convertisseur polyphasé entrelacé valide le bon fonctionnement du driver complet. Le driver consomme 1.2W à 50 kHz, dans cette puissance sont compris

les pertes de puissance à cause de la charge et décharge des capacités d'entrées des IGBTs, les pertes de puissance pendant les phases de démagnétisation naturelle des transformateurs et les pertes de puissance statiques à cause du courant de fuite des transistors des bras CMOS. La Figure IV.40 montre l'image thermique de la puce intégrée, nous trouvons que celle-ci a une température assez élevée qui est d'environ 82°C. Ceci montre la limite de notre réalisation vis-à-vis des techniques d'assemblage du driver car la face arrière de la puce n'est pas refroidie. Pour résoudre ce problème, nous pouvons envisager de reporter la puce sur un plan de cuivre de la couche de la face avant du circuit PCB, ce plan de cuivre est ensuite connecté un autre plan de cuivre dans la face arrière du circuit PCB par les vias. Ce deuxième plan de cuivre sera allongé au maximum de la surface afin d'évacuer la chaleur de la puce.

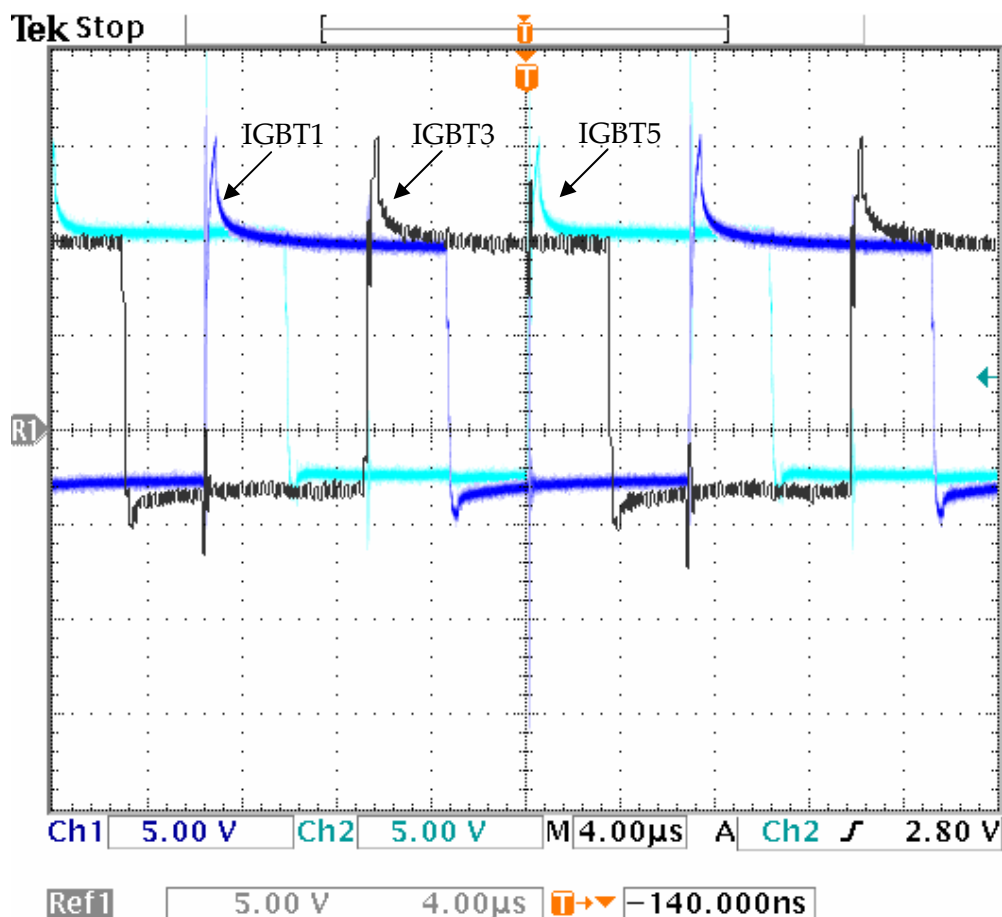


Figure IV.38. Tensions grille - émetteur des IGBT1, IGBT3 et IGBT5.

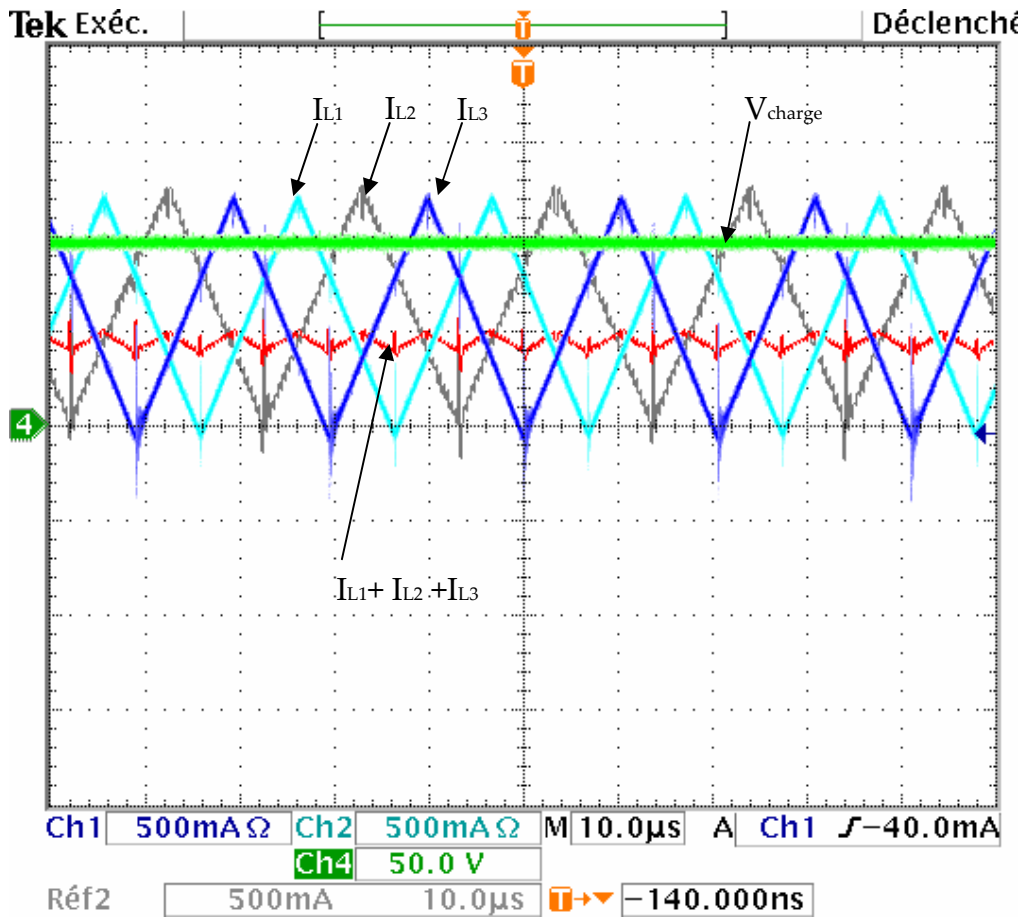


Figure IV.39. Courant dans les inductances et tension de la charge.

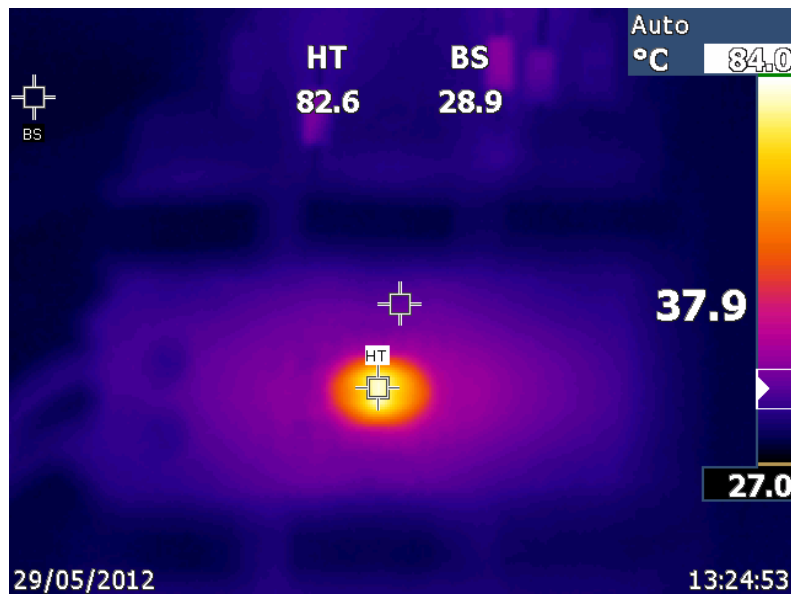


Figure IV.40. Image thermique de la puce intégrée.

IV.6. Conclusion

Ce chapitre final du travail de thèse a présenté d'une part la conception, la réalisation du driver générique et d'autre part une première validation expérimentale de ce dernier pour un convertisseur DC/DC Boost triphasé entrelacé. Cette première validation a confirmé le bon fonctionnement du driver, cependant, le management thermique de ce dernier est à modifier car la puce intégrée ne peut pas évacuer la chaleur causée par les pertes. Les premiers résultats sont encourageants, le driver conçu est compact et simple à mettre en œuvre. Les perspectives sont multiples, à savoir d'une part l'amélioration de l'évacuation des pertes du driver et d'autre part les applications envisageables du driver comme la mise en série des interrupteurs de puissance ou les convertisseurs multi niveaux.

Bibliographie

- [1] "Analog/Mixed-Signal Semiconductor Foundry: Home." [Online]. Available: <http://www.xfab.com/en/home.html?L=1>.
- [2] "Teledyne DALSA." [Online]. Available: <http://www.teledynedalsa.com/>.
- [3] "Multi-Project Circuits." [Online]. Available: <http://cmp.imag.fr/>.
- [4] H35B4D3 Design kit, AustriaMicroSystems.
- [5] T. V. Nguyen, P.-O. Jeannin, J.-C. Crebier, and J.-L. Schanen, "A new compact, isolated and integrated gate driver using high frequency transformer for interleaved Boost converter," in *2011 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2011, pp. 1889–1896.
- [6] T. V. Nguyen, J.-C. Crebier, and P.-O. Jeannin, "Design and investigation of an isolated gate driver using CMOS integrated circuit and HF transformer for interleaved DC/DC converter," *Industry Applications, IEEE Transactions on - Revue acceptée.*, 2012.
- [7] O. Deleage, "Conception, réalisation et mise en œuvre d'un micro convertisseur intégré pour la conversion DC/DC," Thèse, Université Joseph Fourier, 2010.
- [8] J. P. LAINE, "Mécanismes d'injection de porteurs minoritaires dans les circuits intégrés de puissance et structures de protections associées," THESE, INSA de Toulouse, 2003.
- [9] O. Deleage, J.-C. Crebier, and Y. Lembeye, "Design and realization of autonomous power CMOS single phase inverter and rectifier for low power conditioning applications," in *13th European Conference on Power Electronics and Applications, 2009. EPE '09*, 2009, pp. 1–10.
- [10] "CEDRAT: InCa3D." [Online]. Available: <http://www.cedrat.com/fr/solutions-logicielles/inca3d.html>.
- [11] R. Kollman, "Constructing Your Power Supply-Layout Considerations." Texas Instruments.

Conclusion générale

Les aspects de la commande rapprochée pour les transistors à grille isolée comme le MOSFET ont été présentés dans le premier chapitre. Nous avons défini les besoins au niveau du contrôle de la grille du transistor tant au niveau dynamique qu'au niveau statique pour avoir une commande optimale. La définition d'une commande rapprochée optimale contient donc plusieurs critères à savoir qu'elle devrait générer un signal bipolaire avec les bons niveaux de polarisation, les bonnes dynamiques, avoir une haute efficacité énergétique, être fiable et simple à mettre en œuvre. Nous avons ensuite présenté l'état de l'art des circuits de commande pour le MOSFET sous la forme trois composants principaux : la topologie de commande rapprochée ou d'amplificateur de puissance, le transfert de signal de commande éloignée avec l'isolation galvanique, et le transfert de la puissance de commande en utilisant différentes techniques d'alimentation. Nous avons aussi abordé l'évolution des circuits de commande intégrés pour les structures de conversion de l'énergie.

Suite à l'état des lieux résumé ci-dessus, notre objectif dans ce travail de thèse fut de concevoir un circuit de commande générique pour l'électronique de puissance. Dans cette perspective, nous avons privilégié les critères d'un circuit de commande compact, fiable, simple à mettre en œuvre et qui soit une solution intégrable pour notre objectif final. Dans le deuxième chapitre, nous avons présenté une nouvelle topologie de commande rapprochée se basant sur l'utilisation d'un transformateur d'impulsion haute fréquence. Cette topologie permet donc de commander le transistor « low-side » ainsi que le transistor « high-side », ce qui satisfait l'objectif de concevoir un système de commande générique. Nous avons expliqué le principe de fonctionnement de ce circuit, puis les étapes de dimensionnement du circuit de commande ont été présentées, les analyses des avantages fonctionnels et structurels ont été aussi présentées. Les résultats expérimentaux ont validé notre analyse théorique. Nous avons aussi présenté les perspectives d'intégration à partir de cette topologie de commande rapprochée pour faire un circuit de commande le plus intégré possible pour les applications multi transistors.

Dans le troisième chapitre, nous avons présenté une nouvelle structure de commande rapprochée qui est une version améliorée de la structure présentée dans le chapitre II afin de pouvoir travailler dans une plus grande plage de fonctionnement telle que à basse fréquence

et en mode ON OFF permanents. Les résultats expérimentaux sont en accord avec les analyses théoriques. Une des perspectives de ces analyses sera probablement l'optimisation du circuit de driver par la mise en place d'une commande par train d'impulsion permettant l'intégration totale de tous les éléments mais également l'optimisation des dynamiques de commutation.

Le chapitre final du travail de thèse a été consacré aux démarches de conception, à la réalisation du circuit de commande partiellement intégré jusqu'à la validation expérimentale de ce dernier pour un convertisseur DC/DC Boost triphasé entrelacé. Cette première validation a confirmé le bon fonctionnement du driver. Les premiers résultats sont encourageants, le driver conçu est compact et simple à mettre en œuvre. En ce qui concerne le principal inconvénient de la structure de conversion, à savoir son efficacité énergétique, les différents tests et améliorations ont mis en évidence que le surplus de pertes représente en fait environ 25% d'augmentation. Cet inconvénient, structurel du dispositif étudié, reste une pénalité de ce système de commande qui devra être compensé par les gains fonctionnels.

Du point de vue des perspectives offertes par ces travaux de thèse, elles sont nombreuses tant au niveau de l'intégration du système qu'au niveau de rendre le système de commande plus intelligent. Ainsi, on peut imaginer d'intégrer directement les deux diodes Zener au sein du composant de puissance à commander comme nous avons exposé dans la partie de perspective du chapitre II. Par ailleurs, on peut imaginer d'intégrer un circuit de commande éloigné de type FPGA dans le driver intégré conçu qui assurerait directement une bonne configuration de celui-ci et en même temps, assurerait la communication avec le monde extérieur. Enfin, si un circuit de commande générique tel qu'il a été présenté dans ce mémoire peut être développé au niveau industriel et commercialisé, il pourra grandement simplifier la mise en œuvre de la commande rapprochée des convertisseurs de puissance qui sont de type multitransistors.

Publications

Article de revues internationales avec comité de relecture

T. V. Nguyen, J.-C. Crebier, P.-O. Jeannin, « Design and investigation of an isolated gate driver using CMOS integrated circuit and HF transformer for interleaved DC/DC converter », *Industry Applications, IEEE Transactions on* – Revue acceptée.

Article de conférences internationales avec comité de relecture

T. V. Nguyen, J. Crebier, et P. Jeannin, « Design and control of a demagnetization circuit for pulse transformer gate driver », in *2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2012, p. 2472 - 2479

T. V. Nguyen, P.-O. Jeannin, J.-C. Crebier, et J.-L. Schanen, « A new compact, isolated and integrated gate driver using high frequency transformer for interleaved Boost converter », in *2011 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2011, p. 1889-1896.

T. V. Nguyen, J. Crebier, et P. Jeannin, « Compact, isolated and simple to implement gate driver using high frequency transformer », in *2011 Twenty-Sixth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2011, p. 1092-1098.

Circuit générique de commandes rapprochées pour l'électronique de puissance

Résumé : Ces travaux de thèse portent sur la conception et la réalisation d'un circuit générique de commandes rapprochées pour les transistors à grille isolée, notamment pour les MOSFETs et les IGBTs, compatible avec différentes structures de conversion d'énergie de l'électronique de puissance. L'objectif principal est de concevoir un système de commande simple à mettre en œuvre, compact, intégrable et configurable pouvant servir un panel varié d'applications dites multi transistors. Le mémoire de thèse se structure en quatre chapitres : état de l'art de la commande rapprochée des transistors à grille isolée, présentation et validation d'une nouvelle topologie de commande rapprochée à base de transformateur d'impulsion, présentation et validation d'une version améliorée pour travailler à large spectre de fréquence et de rapport cyclique, conception et validation du circuit de commande générique contenant une puce intégrée en technologie CMOS et 6 transformateurs d'impulsions planars. Les champs d'application de ce concept du driver sont multiples, celui-ci favorise la simplicité de la conception et de la mise en œuvre des systèmes de commande pour l'électronique de puissance.

Mots clés : commande rapprochée, MOSFET et IGBT, transformateur d'impulsion, intégration monolithique, technologie CMOS, driver générique.

Generic gate driver for power electronics

Abstract: This thesis work focuses on the design and the implementation of a generic gate driver circuit for power transistors such as MOSFETs and IGBTs in power conversion structures of power electronics. The main objective is to design a control system which is simple to implement, compact and can be configurable to be used for various multi-transistors applications. This thesis is structured into four chapters: state of the art of the gate driver for power transistor, presentation and validation of a new gate driver topology based on pulse transformer, presentation and validation of an upgraded version enable to work with wider range of switching frequencies and duty cycles, design and validation of a generic driver having a CMOS integrated chip and 6 planar pulse transformers. The fields of

applications of this multiple switch driver concept are multiples; it promotes the simplicity of the design and implementation of control system for power electronics.

Keywords: generic gate driver, MOSFET and IGBT, pulse transformer, monolithic integration, CMOS technology.