



HAL
open science

Conception et hybridation de l'environnement électronique des composants de puissance à structure verticale

Timothé Simonot

► **To cite this version:**

Timothé Simonot. Conception et hybridation de l'environnement électronique des composants de puissance à structure verticale. Energie électrique. Université de Grenoble, 2011. Français. NNT : . tel-00733677v1

HAL Id: tel-00733677

<https://theses.hal.science/tel-00733677v1>

Submitted on 19 Sep 2012 (v1), last revised 19 Jan 2018 (v2)

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE UNIVERSITÉ DE GRENOBLE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Génie Electrique**

Arrêté ministériel : 7 août 2006

Présentée par

Timothé SIMONOT

Thèse dirigée par **Jean-Christophe Crébier** et
codirigée par **Nicolas Rouger**

préparée au sein du **Laboratoire de Génie Electrique de
Grenoble (G2Elab)**
dans **l'École Doctorale Electronique, Electrotechnique,
Automatique et Traitement du Signal (EEATS)**

Conception et hybridation de l'environnement électronique des composants de puissance à structure verticale

Thèse soutenue publiquement le **28 Novembre 2011**
devant le jury composé de :

Dr Zoubir KHATIR

Directeur de recherches, IFSTTAR,

Rapporteur

Pr Patrick AUSTIN

Professeur des Universités, LAAS,

Rapporteur

Dr Frédéric RICHARDEAU

Directeur de recherches au CNRS, LAPLACE

Président

Dr Dominique BERGOGNE

Enseignant chercheur, Ampère,

Membre

Dr Hervé RIBOT

Chef de laboratoire, CEA-LETI

Membre

Pr Yves LEMBEYE

Professeur des Universités, G2Elab

Membre

Dr Jean-Christophe CREBIER

Chargé de recherches, G2Elab,

Directeur de thèse

Dr Nicolas ROUGER

Chargé de recherches, G2Elab,

Co-encadrant



REMERCIEMENTS

Après ces trois années de thèse au G2Elab, j'ai rencontré et cotoyé un grand nombre de personnes qui ont rendu ces trois années très intéressantes et enrichissantes, c'est pourquoi je tiens à les remercier. J'essaierai donc de n'oublier personne mais la tâche ne sera pas facile !

Je remercierai en premier lieu mes encadrants, tout d'abord mon directeur de thèse Jean-Christophe Crebier qui m'a encadré déjà durant mon stage de master et qui m'a donné l'opportunité de faire cette thèse. Merci pour ton ouverture d'esprit, tes qualités humaines et ta disponibilité tout au long de cette thèse. Ensuite, mon co-encadrant Nicolas Rouger, qui a pris la thèse en cours de route à peine chercheur au CNRS mais qui m'a grandement aidé par sa gentillesse, sa rigueur scientifique et sa disponibilité également. Je vous souhaite de garder la même motivation et la même passion tout au long de vos recherches.

Je remercie également les membres du jury pour l'intérêt qu'ils ont porté à mes travaux de thèse. Monsieur Frédéric Richardeau, pour avoir présidé ce jury, messieurs Zoubir Khatir et Patrick Austin pour avoir accepté d'être rapporteurs de mes travaux de thèse, et messieurs Yves Lembeye, Hervé Ribot et Dominique Bergogne qui ont assisté à ma soutenance.

Je tiens à remercier également les personnes, chercheurs, ingénieurs et techniciens qui m'ont aidé pendant cette thèse et sans qui un grand nombre de mes travaux n'auraient pas été possibles. Les membres du G2Elab : Pierre Olivier Jeannin pour son aide sur les aspects technologiques (et merci également à Pierina du CEDMS). Les mécaniciens Claude Brun et Florian Dumas pour leurs réalisations de pièces. Olivier Lesaint pour m'avoir hébergé dans ses locaux du Polygone et son aide sur la manip. Jean Barbaroux pour ses conseils et la réalisation de l'alimentation de courant. Je remercie également l'équipe administrative du G2Elab. Ensuite les membres du CIME Nanotech : Alexandre Chagoya pour sa gentillesse et sa constante disponibilité pour les bugs de Cadence. Irène Pheng pour sa gentillesse également et son aide pour les bondings. Robin Rolland pour son aide sur les aspects RF. Merci également à Jean Daniel Arnould du laboratoire IMEP-LAHC pour son aide sur la caractéristion du transformateur intégré. Et un merci spécial à Victor Gaude pour son travail en salle blanche, son aide sur les aspects techno et les bières « after work ».

Enfin je remercie les doctorants qui m'ont aidé durant mes travaux de thèse, et l'ensemble des personnes que j'ai cotoyé durant ces trois années au laboratoire et qui, de près ou de loin, ont contribué à créer une excellente et enrichissante ambiance de travail.

Table des matières

| | |
|---|-----------|
| INTRODUCTION GENERALE | 7 |
| CHAPITRE I : INTEGRATION HETEROGENE EN ELECTRONIQUE DE PUISSANCE..... | 9 |
| 1 ETAT DE L'ART | 10 |
| 1.1 INTEGRATION MONOLITHIQUE | 10 |
| 1.2 INTEGRATION HYBRIDE OU HETEROGENE | 13 |
| 2 L'INTERRUPTEUR DE PUISSANCE GENERIQUE : LE CONCEPT..... | 18 |
| 2.1 CONCEPTION COUPLEE COMMANDE ET PUISSANCE : LE PARTAGE DES FONCTIONNALITES | 18 |
| 2.2 INTEGRATION HETEROGENE : HYBRIDATION EN SURFACE..... | 19 |
| 3 FAIBLE TENSION DE SEUIL : POURQUOI, COMMENT, CONSEQUENCES | 20 |
| 3.1 CONCEPT : POURQUOI BAISSER LA TENSION DE SEUIL | 21 |
| 3.2 SOLUTIONS TECHNOLOGIQUES POUR BAISSER LA TENSION DE SEUIL : AVANTAGES ET INCONVENIENTS | 22 |
| 3.2.1 <i>Modification de la concentration du dopage en surface du porte canal P-</i> | 22 |
| 3.2.2 <i>Modification de l'épaisseur d'oxyde de grille</i> | 23 |
| 3.2.3 <i>Effets de la température</i> | 24 |
| 3.3 CONSEQUENCES DE LA BAISSSE DE LA TENSION DE SEUIL SUR LES CARACTERISTIQUES STATIQUES ET | |
| DYNAMIQUES DU VDMOS..... | 25 |
| 3.3.1 <i>Composants considérés et approche de simulation</i> | 25 |
| 3.3.2 <i>Dynamique de commutation du composant de puissance</i> | 26 |
| 3.3.3 <i>Susceptibilité au dv/dt</i> | 30 |
| 4 VERS UNE AUTO ALIMENTATION A L'ETAT PASSANT DU TRANSISTOR : POSSIBILITES | |
| D'INTEGRATION DE L'AUTO ALIMENTATION A L'ETAT PASSANT..... | 36 |
| 4.1 STRUCTURES A POMPE DE CHARGES..... | 37 |
| 4.1.1 <i>Doubleur de tension : dimensionnement</i> | 38 |
| 4.1.2 <i>Structure de Dickson : dimensionnement</i> | 40 |
| 4.2 STRUCTURE BOOST | 43 |
| 4.3 BILAN SUR L'INTEGRATION DE L'AUTO ALIMENTATION A L'ETAT PASSANT : | 46 |
| 5 PERSPECTIVES : L'INTERRUPTEUR AUTONOME..... | 47 |
| CHAPITRE II : DEVELOPPEMENTS CONCEPTUELS ET TESTS ASSOCIES..... | 50 |
| 1 INTRODUCTION..... | 51 |
| 1.1 INTEGRATION PARTAGEE DES FONCTIONNALITES | 51 |
| 1.2 GENERALITES SUR LA COMMANDE DES TRANSISTORS MOSFETS DANS UN CONVERTISSEUR DE | |
| PUISSANCE : CIRCUITS USUELS | 55 |
| 1.2.1 <i>Circuits de commande de MOSFETs high side à transformateurs</i> | 57 |
| 1.2.2 <i>Circuits de commande de MOSFET high side à pompe de charge</i> | 57 |
| 1.2.3 <i>Circuit de commande de MOSFET high side par la technique « bootstrap »</i> | 58 |
| 1.2.4 <i>Circuit de commande de MOSFET high side par la technique d'auto alimentation</i> | 58 |
| 2 CONCEPTION DE LA PUCE DE COMMANDE..... | 59 |
| 2.1 ISOLATION DU SIGNAL DE COMMANDE..... | 59 |
| 2.1.1 <i>Dimensionnement du transformateur d'isolement intégré</i> | 60 |
| 2.1.1.1 Influence de la largeur de spire..... | 63 |
| 2.1.1.2 Influence de la largeur interspire | 64 |
| 2.1.1.3 Influence des diamètres internes et externes des spires | 65 |
| 2.1.1.4 Comparaison entre formules analytiques et simulations par éléments finis..... | 66 |
| 2.1.1.5 Circuit de démodulation de la commande éloignée | 66 |
| 2.2 COMMANDE RAPPROCHEE | 68 |
| 2.3 AUTO ALIMENTATION | 69 |

| | | |
|--|--|------------|
| 2.3.1 | <i>Etat bloqué et commutation au blocage du transistor de puissance principal</i> | 70 |
| 2.3.2 | <i>Etat passant du transistor de puissance principal</i> | 74 |
| 2.3.2.1 | Dimensionnement du circuit tripleur de tension et de sa commande..... | 75 |
| 2.3.2.2 | Conception de l'oscillateur et du circuit de génération d'horloges complémentaires..... | 79 |
| 2.3.2.3 | Bilan sur l'auto-alimentation à l'état ON : | 82 |
| 2.4 | DESSIN DES MASQUES..... | 82 |
| 2.4.1 | <i>Transformateur d'isolation et circuit de démodulation</i> | 83 |
| 2.4.2 | <i>Circuit de commande rapprochée</i> | 84 |
| 2.4.3 | <i>Circuit de contrôle de l'auto alimentation à l'état bloqué</i> | 85 |
| 2.4.4 | <i>Circuit d'auto alimentation à l'état passant</i> | 86 |
| 2.4.5 | <i>Circuit de recharge de la capacité de stockage</i> | 87 |
| 2.5 | TEST ET VALIDATION | 88 |
| 2.5.1 | <i>Caractérisation du transformateur intégré et test du circuit de démodulation</i> | 89 |
| 2.5.2 | <i>Test électrique des fonctions</i> | 92 |
| 2.5.3 | <i>Mise en œuvre de la puce dans un convertisseur</i> | 95 |
| 2.5.4 | <i>Bilan énergétique des auto-alimentations</i> | 97 |
| 2.6 | CONCLUSIONS ET BILAN SUR LA PUCE DE COMMANDE..... | 99 |
| | | |
| CHAPITRE III : CONCEPTION COUPLEE PUISSANCE/COMMANDE ET SOLUTIONS TECHNOLOGIQUES POUR L'INTEGRATION HETEROGENE..... | | 100 |
| 1 | CONCEPTION DU VDMOS | 102 |
| 1.1 | GENERALITES SUR LA CONCEPTION D'UN VDMOS DE PUISSANCE | 102 |
| 1.2 | CONCEPTION COUPLEE AVEC LA PUCE DE COMMANDE : SIMULATIONS | 104 |
| 1.2.1 | <i>Dimensionnement des paramètres physiques</i> | 104 |
| 1.2.1.1 | Tenue en tension..... | 104 |
| 1.2.1.2 | Caractéristiques du porte canal..... | 105 |
| 1.2.1.3 | Tension de seuil..... | 108 |
| 1.2.2 | <i>Dimensionnement des paramètres géométriques</i> | 109 |
| 1.2.2.1 | Transistor principal..... | 109 |
| 1.2.2.2 | Transistor auxiliaire de l'auto-alimentation OFF..... | 112 |
| 1.2.2.3 | Transistor auxiliaire de l'auto-alimentation ON..... | 114 |
| 1.3 | DESSIN DES MASQUES..... | 116 |
| 1.4 | TEST ET VALIDATION | 122 |
| 2 | SOLUTIONS TECHNOLOGIQUES POUR L'INTERCONNEXION DE LA PUCE DE COMMANDE ET DE LA PUCE DE PUISSANCE..... | 125 |
| 2.1 | SOLUTIONS EMPLOYANT LA TECHNOLOGIE WIRE-BONDING..... | 125 |
| 2.2 | SOLUTIONS EMPLOYANT LA TECHNOLOGIE FLIP CHIP | 127 |
| 2.2.1 | <i>Technologie flip-chip avec interconnexion par PCB ou flex</i> | 127 |
| 2.2.2 | <i>Technologie chip on chip</i> | 128 |
| 2.3 | ETUDE DES PERFORMANCES ELECTRIQUES ET THERMIQUE DE L'ASSEMBLAGE EN CHIP ON CHIP..... | 129 |
| 2.3.1 | <i>Etude des performances électromagnétiques</i> | 129 |
| 2.3.2 | <i>Etude des performances thermiques</i> | 132 |
| 3 | PROCEDES TECHNOLOGIQUES ET REALISATIONS..... | 134 |
| 3.1 | INTERCONNEXIONS PAR STUD BUMPING..... | 134 |
| 3.2 | INTERCONNEXIONS PAR BUMPS ELECTROLESS Ni/AU | 136 |
| 3.3 | INTERCONNEXIONS PAR ELECTRODEPOSITION DE POTEAUX DE CUIVRE | 137 |
| 3.3.1 | <i>Principe de l'électrodéposition</i> | 138 |
| 3.3.2 | <i>Réalisations pratiques :</i> | 139 |
| 4 | TESTS ET CARACTERISATIONS DES INTERCONNEXIONS REALISEES | 141 |
| 4.1 | MESURES DES PUCES STUD BUMPEES ET REPORTEES EN FLIP CHIP | 142 |
| 4.1.1 | <i>Caractérisations électriques</i> | 142 |
| 4.2 | MESURES DE LA RESISTIVITE DU CUIVRE ELECTRODEPOSE | 146 |
| 5 | CONCLUSIONS ET PERSPECTIVES : VERS DES PROCEDES COLLECTIFS D'INTEGRATION HYBRIDE DE LA COMMANDE | 148 |
| CONCLUSION GENERALE | | 150 |
| BIBLIOGRAPHIE..... | | 153 |

Introduction générale

| | |
|--|------------|
| ANNEXE 1 : MOTIFS DES PUCES DES PUCES DE TEST POUR LE REPORT EN FLIP CHIP | 161 |
| ANNEXE 2 : COMPTE RENDU DES REALISATIONS « CHIP ON CHIP » | 167 |

Introduction générale

A notre époque, l'énergie électrique concerne chacun : en effet nous avons tous besoin de cette énergie pour nous éclairer, faire fonctionner nos téléphones portables et ordinateurs, nos appareils électroménagers et même pour nous déplacer en train ou en tramway. L'énergie électrique étant donc à l'heure actuelle omniprésente, de nombreux enjeux économiques, sociaux et environnementaux rentrent en compte dans la gestion de cette énergie. On peut le voir à travers l'essor récent des énergies renouvelables (éolien, photovoltaïque, ...), des véhicules électriques et de la volonté d'économies d'énergies prenant une place de plus en plus importante dans la politique actuelle. L'électronique de puissance est au cœur de ce contexte car c'est elle qui transforme l'énergie électrique depuis le stade de sa production jusqu'à son utilisation finale par le consommateur. C'est une électronique de commutation, c'est-à-dire qu'elle utilise des interrupteurs électroniques pour découper l'énergie et la transformer dans la forme voulue. L'électronique de puissance a moins de 50 ans et au cours de ces années la taille, le poids et le coût des convertisseurs n'ont fait que diminuer, en grande partie grâce aux progrès faits dans le domaine des interrupteurs électroniques. L'efficacité des convertisseurs a également été sans cesse améliorée, si bien que maintenant il n'est pas rare d'obtenir des rendements de 98%, c'est à dire que seulement 2% de l'énergie de départ est perdue lors de la conversion.

Les interrupteurs de puissance étant à l'heure actuelle pour la plupart en silicium, les techniques de fabrication des transistors ont évolué rapidement. Comme on a pu le voir dans la microélectronique, les possibilités de motifs de photolithographie sont toujours plus petits ce qui permet de former de plus en plus de transistors sur la même surface de silicium. L'électronique de puissance a donc pu tirer parti de cette intégration en miniaturisant les composants et en intégrant les fonctions de commande dans un même substrat, ce qui forme la branche de l'intégration monolithique ou de l'intégration fonctionnelle. D'autre part, les techniques de packaging et de refroidissement des convertisseurs ont également évolué, ce qui permet également de réduire les tailles et les coûts de ces convertisseurs. Néanmoins de nombreux aspects restent encore à améliorer, comme l'ajout de fonctionnalités avancées permettant une mise en œuvre simplifiée du convertisseur, ainsi que l'amélioration du package pour l'amélioration des performances électriques et thermiques ainsi que de la fiabilité des convertisseurs.

Ce travail de thèse se situe au croisement entre ces deux tendances en explorant la branche de l'intégration hétérogène. Il comporte donc un aspect fonctionnel, avec l'étude de fonctions de commandes innovantes d'un transistor MOSFET de puissance notamment du point de vue de l'alimentation isolée de cette commande et la conception d'une puce regroupant ces systèmes. Il comporte également un aspect packaging remettant en question la conception séparée des interconnexions entre la partie commande et la partie puissance, où il est présenté le report de la puce de commande en surface du composant de puissance par la technique d'assemblage « chip on chip ». Le premier chapitre de cette thèse présentera donc dans un premier temps le contexte et les enjeux de ces travaux à travers un état de l'art sur les différentes techniques d'intégration en électronique de puissance, monolithique, hétérogène ou bien hybride. Un aperçu des différentes méthodes de packaging dans les modules de puissance hétérogènes et hybrides sera également présenté. Ensuite le concept de l'interrupteur de puissance générique qui a été développé au cours de ce mémoire de thèse va être exposé, et les problématiques au point de vue électrique et packaging pour l'intégration de la commande au plus près de la puissance seront présentées. Les choix conceptuels qui ont été faits tels que la baisse de la tension de commande et la remise en question du layout des métallisations de surface du composant de puissance seront donc expliqués, et les perspectives

Introduction générale

qu'offrent ces travaux de thèse pour la réalisation d'un interrupteur de puissance totalement autonome seront exposées.

Après cette entrée en matière et une fois le décor planté, le second chapitre de ce mémoire de thèse décrira les aspects fonctionnels et donc plus techniques des systèmes de commande développés, à travers la description de la conception de la puce de commande. Les différents systèmes développés seront donc vus en détail, et les résultats pratiques découlant des réalisations effectuées seront présentés.

Enfin le troisième chapitre présentera les aspects plus technologiques de ces travaux de thèse, en expliquant le process de fabrication du composant de puissance avec la modification de sa métallisation de surface pour permettre l'assemblage de la puce de commande en chip on chip. Les avantages résultant de cette méthode d'assemblage seront également discutés par rapport à d'autres méthodes d'assemblage. Enfin les différents procédés technologiques pour la réalisation de cet assemblage seront présentés, et les différentes réalisations pratiques effectuées montrées et caractérisées.

Les perspectives offertes par ces travaux sont donc multiples, que ce soit d'un point de vue fonctionnel avec l'intégration de fonctions avancées pour un contrôle simplifié des composants de puissance, que du point de vue packaging qui offre un meilleur contrôle du composant, une mise en œuvre simplifiée et une fiabilité accrue. Du point de vue de la fabrication des convertisseurs, des perspectives intéressantes peuvent également être trouvées en explorant les aspects de mutualisation des procédés de fabrication et de procédés collectifs de report de la commande et de la puissance au niveau du wafer.

Chapitre I : Intégration hétérogène en électronique de puissance

Sommaire

| | | |
|----------|---|-----------|
| 1 | ETAT DE L'ART | 10 |
| 1.1 | INTEGRATION MONOLITHIQUE | 10 |
| 1.2 | INTEGRATION HYBRIDE OU HETEROGENE | 13 |
| 2 | L'INTERRUPTEUR DE PUISSANCE GENERIQUE : LE CONCEPT | 18 |
| 2.1 | CONCEPTION COUPLEE COMMANDE ET PUISSANCE : LE PARTAGE DES FONCTIONNALITES | 18 |
| 2.2 | INTEGRATION HETEROGENE : HYBRIDATION EN SURFACE | 19 |
| 3 | FAIBLE TENSION DE SEUIL : POURQUOI, COMMENT, CONSEQUENCES | 20 |
| 3.1 | CONCEPT : POURQUOI BAISSER LA TENSION DE SEUIL | 21 |
| 3.2 | SOLUTIONS TECHNOLOGIQUES POUR BAISSER LA TENSION DE SEUIL : AVANTAGES ET INCONVENIENTS | 22 |
| 3.2.1 | <i>Modification de la concentration du dopage en surface du porte canal P-</i> | 22 |
| 3.2.2 | <i>Modification de l'épaisseur d'oxyde de grille</i> | 23 |
| 3.2.3 | <i>Effets de la température</i> | 24 |
| 3.3 | CONSEQUENCES DE LA BAISSSE DE LA TENSION DE SEUIL SUR LES CARACTERISTIQUES STATIQUES ET DYNAMIQUES DU VDMOS | 25 |
| 3.3.1 | <i>Composants considérés et approche de simulation</i> | 25 |
| 3.3.2 | <i>Dynamique de commutation du composant de puissance</i> | 26 |
| 3.3.3 | <i>Susceptibilité au dv/dt</i> | 30 |
| 4 | VERS UNE AUTO ALIMENTATION A L'ETAT PASSANT DU TRANSISTOR : POSSIBILITES D'INTEGRATION DE L'AUTO ALIMENTATION A L'ETAT PASSANT | 36 |
| 4.1 | STRUCTURES A POMPE DE CHARGES | 37 |
| 4.1.1 | <i>Doubleur de tension : dimensionnement</i> | 38 |
| 4.1.2 | <i>Structure de Dickson : dimensionnement</i> | 40 |
| 4.2 | STRUCTURE BOOST | 43 |
| 4.3 | BILAN SUR L'INTEGRATION DE L'AUTO ALIMENTATION A L'ETAT PASSANT : | 46 |
| 5 | PERSPECTIVES : L'INTERRUPTEUR AUTONOME | 47 |

Résumé de chapitre

Ce premier chapitre présentera dans un premier temps le contexte de l'intégration en électronique de puissance, à travers une introduction du sujet et un état de l'art sur les différentes techniques d'intégration monolithique, hétérogène ou bien hybride. Un aperçu des différentes méthodes de packaging dans les modules de puissance hétérogènes et hybrides sera également présenté.

Ensuite le concept de l'interrupteur de puissance générique qui a été développé au cours de cette thèse va être exposé dans la troisième partie. Les problématiques au point de vue électrique et packaging pour l'intégration de la commande au plus près de la puissance seront présentées, et les avantages escomptés seront expliqués.

Dans les quatrième et cinquième parties, la problématique de la baisse de la tension de seuil pour les transistors VDMOS sera étudiée, afin de voir quels avantages ou inconvénients peuvent en découler, et si il est possible d'utiliser cette réduction de la tension de seuil afin de réaliser une auto alimentation de la commande à partir de la chute de tension à l'état passant de l'interrupteur de puissance commandé. Les différentes solutions possibles pour l'intégration de cette auto alimentation seront explorées, et un bilan de cette étude sera fait.

Enfin dans la dernière partie de ce chapitre, les perspectives qu'offrent ces travaux de thèse pour la réalisation d'un interrupteur de puissance totalement autonome seront exposées.

1 Etat de l'art

Depuis ces dernières années, les systèmes de gestion et de conditionnement de l'énergie électrique sont en perpétuelle et constante évolution pour améliorer leurs performances, leur fiabilité tout en réduisant leur coût de mise en oeuvre. Dans ce contexte, l'intégration des circuits de contrôle et de commande au sein des transistors de puissance est particulièrement d'actualité. En effet, cette intégration offre de multiples avantages, de l'amélioration des performances électriques et CEM à la diminution de la taille des modules de puissance, de l'augmentation de la fiabilité jusqu'à la découverte et la mise en place de nouvelles fonctionnalités. L'évolution de cette intégration peut dépendre de la gamme de puissance dans laquelle se situe l'application, définissant la technologie employée. Ainsi on peut distinguer l'intégration monolithique, dans laquelle le circuit de commande est intégré dans la même technologie que le composant de puissance et dans le même substrat, et l'intégration hybride ou hétérogène, dans laquelle la puce de puissance et son circuit de contrôle sont séparés et le plus souvent de différentes technologies.

1.1 Intégration monolithique

L'intégration monolithique consiste à intégrer le composant de puissance et son environnement électronique (commande rapprochée, isolation galvanique, protections) dans un même substrat, en faisant cohabiter des circuits hautes et basses tensions devant être isolés [1, 2]. Au sein de cette intégration monolithique, deux voire trois stratégies sont possibles : soit les dispositifs privilégient les fonctionnalités de commande au détriment de la partie puissance, soit ils favorisent l'optimisation de la fonction de puissance, soit éventuellement un meilleur compromis entre ces approches. La première approche correspond aux circuits de

type Smart Power [3], réalisés dans des filières technologiques mélangeant composants verticaux et latéraux (600-700V / 10A<), et aux circuits HVIC (High Voltage Integrated Circuit) réalisés à partir de filières technologiques latérales de type CMOS (100V-200V / 3A [4]).

La figure 1 montre un exemple de technologie Smart Power : la technologie VIPer de ST Microelectronics [5], particulièrement adaptée aux convertisseurs mono-interrupteur type flyback (400V, 600V – quelques kW). Comme on peut le voir, cette technologie intègre dans le même substrat des transistors CMOS hautes et basses tensions, des transistors bipolaires latéraux et verticaux, ainsi que des mémoires. Ce type de technologie offre de nombreuses possibilités d'intégration de circuits de commande ainsi que de capteurs et de protections associées au composant de puissance. Cette intégration de plusieurs technologies dans le même substrat entraîne cependant une complexification du procédé technologique, d'où un plus grand nombre de niveaux de masquage (14 en 2000 pour la technologie VIPer [5]). La figure 2 montre un exemple de puce HVIC, intégrant des transistors de puissance latéraux et des circuits de traitement du signal numériques et analogiques en technologie CMOS. On peut voir que la puce est divisée en deux parties, une moitié pour la partie puissance et une moitié pour la partie traitement du signal. Cette technologie est donc très performante en termes d'intégration de fonctionnalités, mais la gamme de puissance accessible est réduite. C'est le principal point bloquant de ces technologies, dont les gammes de puissance correspondent à la centaine de volts pour quelques ampères. En effet, pour la technologie Smart Power utilisant des technologies verticales, la gamme de puissance du composant vertical n'est pas bloquante, mais le besoin d'isolation électrique entre les éléments de puissance haute tension et l'électronique de commande basse tension limitent la tension maximale de ce type de composants. Pour la technologie HVIC, le type de technologie employée étant une technologie latérale, la tension de claquage est limitée à 100V ou 200V [6]. C'est pourquoi à l'heure actuelle cette technologie n'est utilisée que dans le domaine des faibles puissances, comme dans l'automobile et les télécommunications.

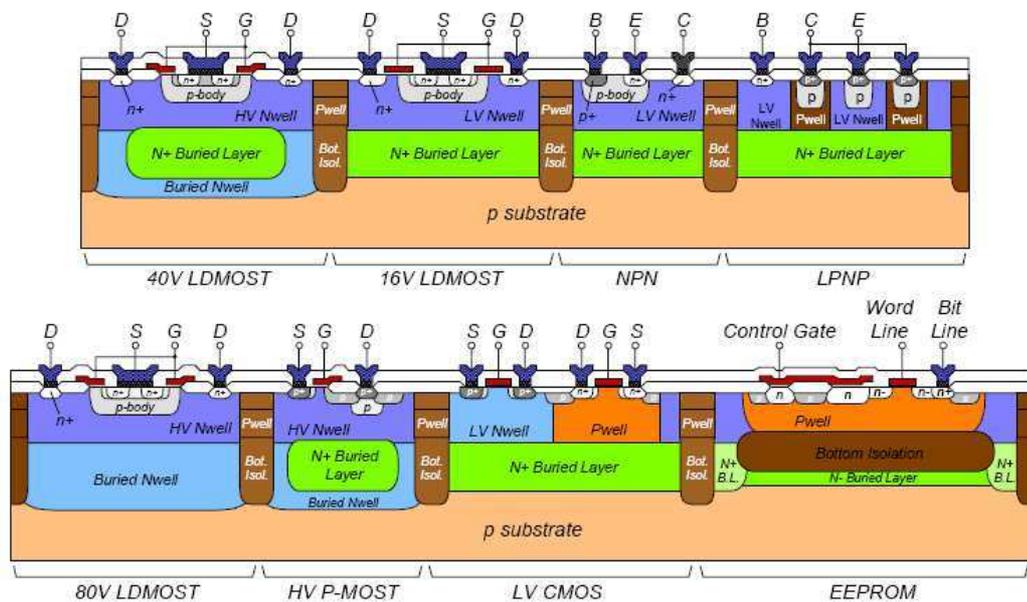


figure 1: Technologie Smart Power : exemples d'intégration de différents types de composants (CMOS, DMOS, bipolaire, mémoires) dans un même substrat [5]

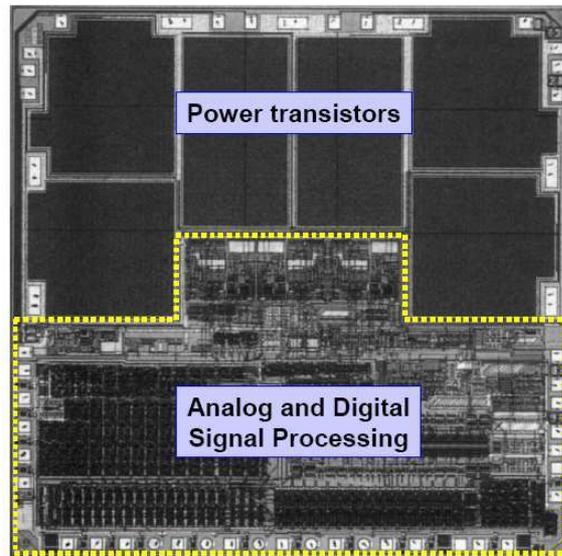


figure 2: Technologie HVIC : exemple d'intégration de transistors de puissance et de circuits de traitement du signal analogiques et numériques sur la même puce [4]

La seconde approche correspond à l'intégration dite fonctionnelle, où la technologie employée est celle du composant de puissance et les fonctions supplémentaires sont intégrées en utilisant l'architecture de base de l'interrupteur [7, 8]. Les applications visées sont des applications plus hautes tensions (600V - 3kV), qui présentent des contraintes élevées d'isolation galvanique ne pouvant pas être respectées en technologie Smart Power. La structure du composant est verticale, et l'intégration des éléments annexes est réalisée en exploitant cette structure afin de créer des composants élémentaires, soit en utilisant une région existante du composant de puissance, soit à l'intérieur d'une région isolée de la haute tension.

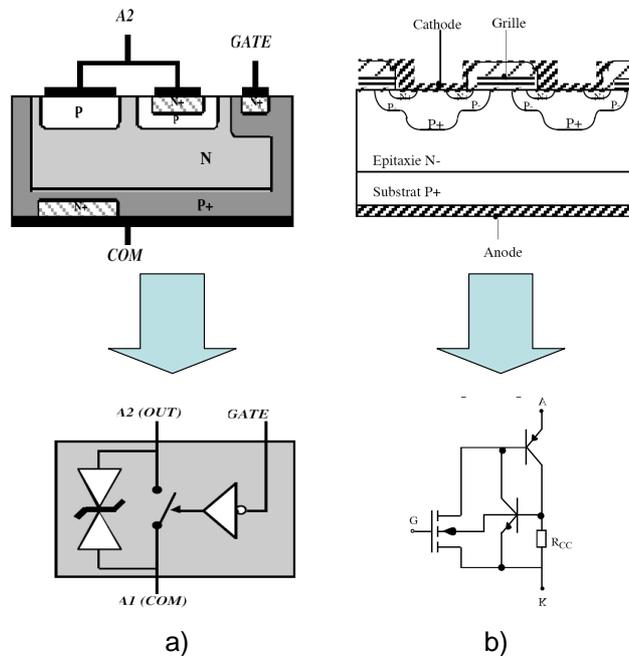


figure 3: Technologie intégration fonctionnelle : exemple de fonctions intégrables dans la structure de base du composant de puissance a) vue en coupe d'un ACS et symbole électrique b) vue en coupe d'un thyristor MOS et symbole électrique [7, 8]

Cette famille d'intégration utilise les filières technologiques des composants de puissance, elle est donc plus limitée en termes de fonctionnalités. La figure 3 montre des exemples de fonctions pouvant être intégrées suivant ces filières [8]. Diverses fonctions peuvent être ainsi réalisées, comme par exemple une structure MOS et thyristor pouvant être activée par voie optique dans [9], ou des protections en tension dans [10]. Sans atteindre la complexité des fonctions obtenues avec les composants Smart Power, les composants réalisés en intégration fonctionnelle intègrent toutefois de nombreuses fonctions de contrôle et de protection autour de l'élément de puissance. A l'heure actuelle, l'intégration fonctionnelle est en pleine évolution tant sur le plan de la conception de nouvelles fonctions monolithiques de puissance que sur le développement de nouvelles solutions technologiques.

1.2 Intégration hybride ou hétérogène

La seconde grande famille de l'intégration de puissance est appelée intégration hybride, dans laquelle, entre autres, la partie active du convertisseur est constituée de plusieurs puces silicium intégrées sur une même base formant à la fois le support mécanique, la connexion électrique, l'isolation électrique et l'évacuation de la chaleur. L'intégration hétérogène est constituée des puces de commande et de puissance dans un même boîtier, qui peuvent être empilées directement en « chip on chip », c'est à dire puce sur puce, ou bien via un substrat PCB ou Flex intermédiaire. Il existe ici aussi différents types de modules suivant les gammes de puissance visées.

Les modules de puissance standards concernent les applications fortes puissance (de 100 à 2000 A et de 1200 V à 3500 V) [11]. La partie active de ces modules est constituée de transistors principalement IGBTs et de leurs diodes de roue libre associées, mises en parallèles pour satisfaire les contraintes de fortes puissances. Ces puces sont reportées sur des substrats céramiques comportant des pistes en cuivre déposées par des procédés DBC (Direct Bonded Copper) ou AMB (Active Metal Brazing) [12], sur lesquelles sont interconnectées, en face arrière, des puces silicium. Ce type d'assemblage étant planaire, les interconnexions en face avant des puces sont réalisées par des fils de bonding, le plus souvent de diamètres importants ($\approx 250\mu\text{m}$), et mis en parallèle afin de distribuer les forts courants les traversant et réduire leur impédance parasite. Le substrat DBC est à son tour brasé sur une semelle possédant de bonnes caractéristiques thermiques pour l'épanouissement et le transfert de la chaleur. La semelle peut être prise en sandwich entre deux substrats DBC afin de limiter les contraintes thermomécaniques de l'assemblage [13]. Enfin cet assemblage est connecté au système de refroidissement. La figure 4 montre un exemple de ce type de modules.

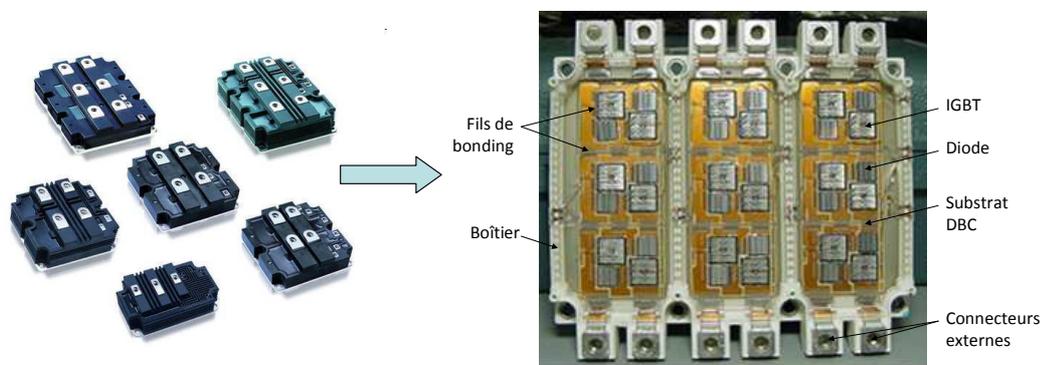


figure 4: *Module de puissance 2D standard*

Ces modules de puissance ont donc un mode d'assemblage planaire, toutes les puces étant fixées sur le même support plan. La fiabilité des méthodes d'assemblage de ce type de module (bonding, brasage) a été démontrée [14], et ces modules sont utilisés depuis de nombreuses années. Le désavantage de ce genre de module est qu'ils n'intègrent pas les commandes et circuits de protections, ces derniers devant donc être placés à l'extérieur du module. Ceci rend la commande des transistors sujette aux perturbations pouvant être causées par les interconnexions, notamment dues aux inductances mutuelles des fils de bonding et aux couplages parasites. Pour éviter ces phénomènes, des modules de puissances dits « intelligents » (IPEMs, Intelligent Power Electronics Modules) ont été développés pour des tensions supérieures ou égales à 600V et des courants compris entre 4 et 100A [15]. Ces modules intelligents incluent, en plus des transistors et diodes de roue libre, les circuits de commande et de protection associés dans un même boîtier. Parmi les principaux industriels fournissant des modules de puissance intelligents (IPMs) à l'heure actuelle, on peut citer Mitsubishi avec la gamme de produits DIIPM [16], Infineon (CIPOS) [17], Semikron (Skiip) [18], International Rectifier (iMotion) [19] et ST Microelectronics [20]. Ces modules intègrent des IGBT pour composants actifs avec leurs diodes associées, la commande rapprochée de ces composants ainsi que pour certains des capteurs de température et de courant ainsi que des diodes de bootstrap pour réaliser l'alimentation de la commande des transistors high side. Pour la plupart de ces modules, l'assemblage des puces est planaire comme on peut le voir sur la figure 5 montrant un module DIIPM de Mitsubishi. Seule la technologie Skiip de Semikron intègre un assemblage 3D, où les puces de commande sont reportées au dessus des puces de puissance via un PCB de type flex (figure 6).

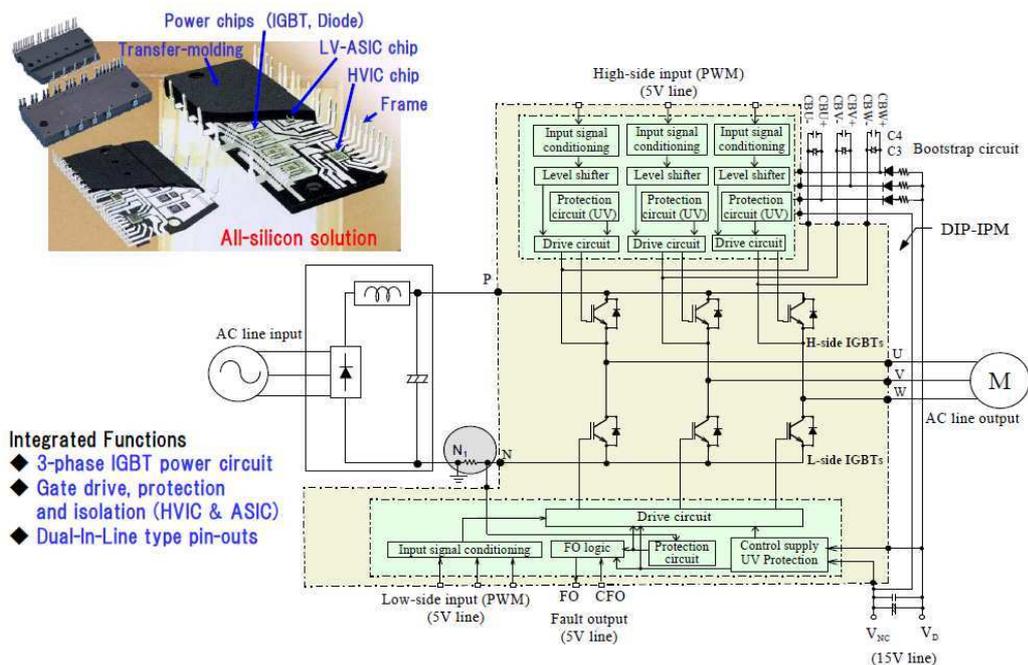


figure 5: Module DIIPM (Mitsubishi) intégrant 3 bras d'onduleurs IGBTs, des circuits de protection en tension, des circuits level shifter ainsi que la possibilité de connecter des circuits bootstrap pour l'alimentation de la commande des IGBT high side [16]

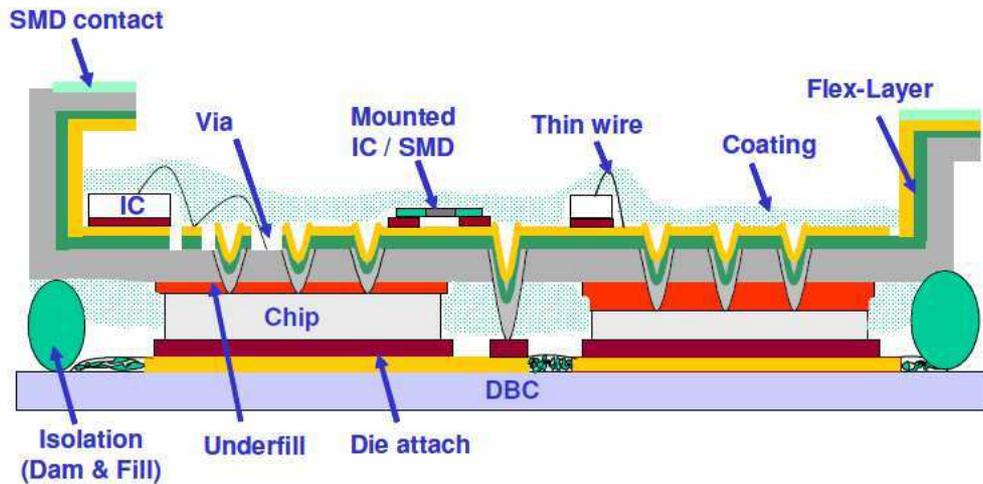


figure 6: *Module Skiip (Semikron) intégrant les circuits de commande au dessus des puces de puissance dans un assemblage 3D [18]*

Ce type de module en 3D a vu le jour suite aux travaux du CPES [21], où les interconnexions en face avant des puces ne sont plus réalisées par des fils de bonding mais par des poteaux de cuivre formés par électrodéposition (figure 7).

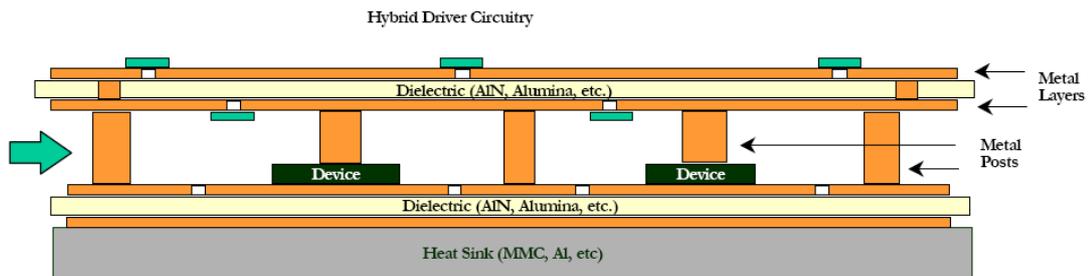


figure 7: *Technologie d'assemblage Metal Post Interconnection [21]*

Outre le fait d'intégrer les circuits de commande au plus près des composants actifs de puissance, réduisant ainsi les impédances parasites pouvant conduire à des perturbations de la commande de ces composants, cette technologie d'interconnexion 3D permet de supprimer les interconnexions par fils de bonding en face avant des puces de puissance, les remplaçant par des interconnexions de type « bump » ou « copper pillar ». Ces types d'interconnexions ont l'avantage de permettre le refroidissement en face avant des puces de puissance, par le report d'un substrat DBC sur les bumps ou poteaux électrodéposés (voir figure 7). Ceci permet donc d'obtenir un refroidissement sur les deux faces des puces, optimisant le transfert de chaleur vers l'extérieur. De plus il a été montré que les interconnexions de type bump ou poteaux présentaient des impédances moins élevées que les fils de bonding, que ce soit du point de vue de la résistance (2 à 3mΩ contre 0,2mΩ) et notamment du point de vue de l'inductance (2,6nH contre moins de 0,2nH) [22]. De nombreuses études sur l'empilement 3D des modules de puissance ont été menées au Center for Power Electronics Systems (CPES) de Virginia Tech, donnant naissance à plusieurs technologies d'interconnexions. Parmi ces technologies, on peut citer la technologie « solder bump interconnection » [23], dans laquelle les circuits de commandes sont reliés aux puces de puissance par des interconnexions par billes de soudure en flip chip via un flex double face (figure 8). On citera également la technologie « dimple array interconnection » [24], basée sur des déformations dans une plaque de cuivre flexible réalisant les interconnexions par brasure sur la métallisation de la

puce (figure 9). De par la forme concave de son joint de brasure, cette technologie possède de meilleures caractéristiques électriques et thermiques que la technologie « solder bump interconnexion », mais sa mise en œuvre difficile empêche son développement au stade industriel. Une autre technologie d'interconnexion consiste à électrodeposer une couche épaisse de cuivre (épaisseur de 50 à 150 μm) sur la métallisation aluminium des puces de puissance afin de former des « poteaux » de cuivre. La technologie « embedded power » [25], également développée par le CPES, utilise ce genre d'interconnexions (figure 10), permettant également de minimiser l'impédance parasite des contacts, mais dont la fiabilité reste à prouver, notamment du fait de contraintes thermomécaniques dues à la différence dans les CTE (Coefficient of Thermal Exchange) des matériaux [12]. La technologie « Power Overlay » [26] développée par General Electrics est basée sur le même principe d'électrodéposition des interconnexions, avec la possibilité du report des éléments passifs en surface des puces silicium IGBT et diodes, ou d'extraction de la chaleur en face avant des puces par le report d'un DBC (figure 11).

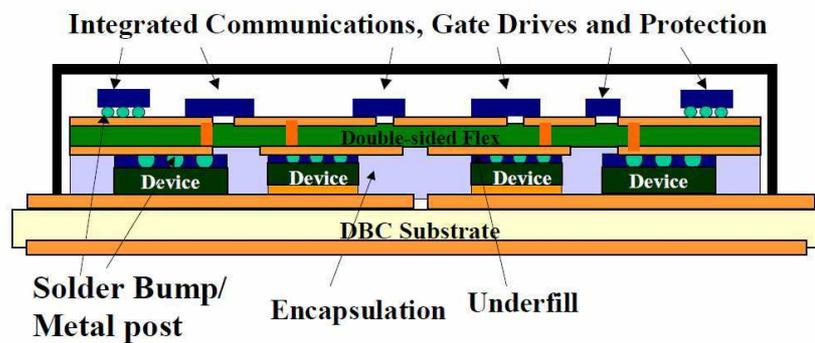


figure 8: Technologie « solder bump interconnexion »

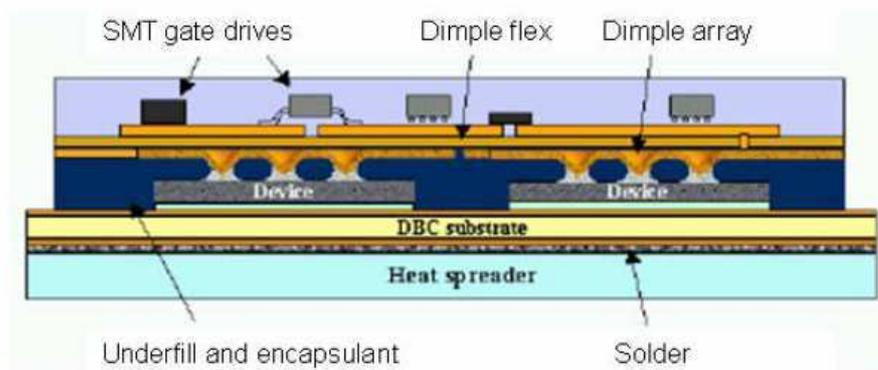
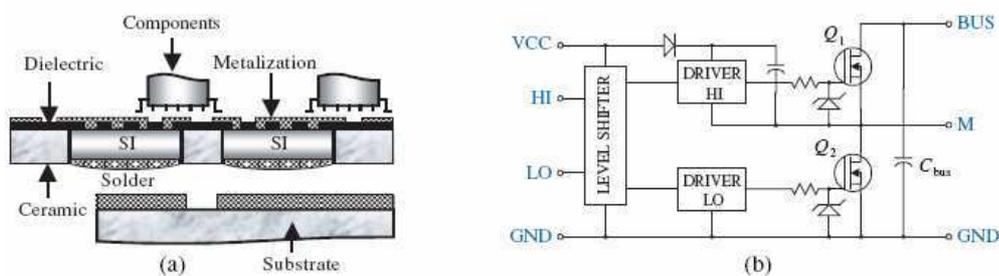


figure 9: Technologie « dimple array interconnection »



(a) Schematic integration structure of embedded power module and (b) circuit diagram.

figure 10: Technologie « embedded power »

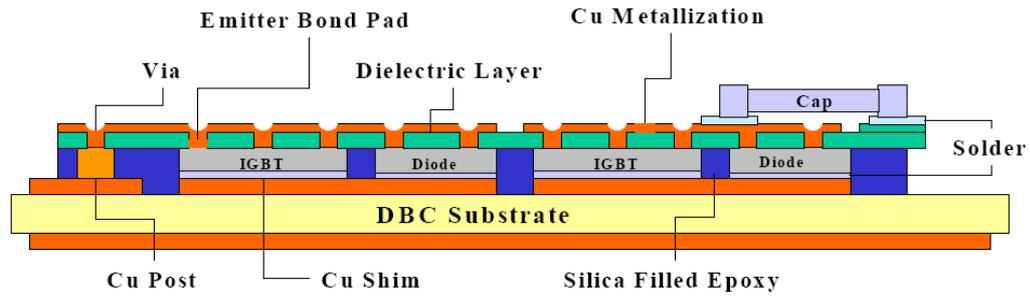


figure 11: Technologie « power overlay »

Ceci montre un aperçu des différents moyens d'intégration et d'interconnexions des composants actifs de puissance (MOSFETs, IGBTs, ...) et de leur commande, que celle-ci soit réalisée dans le même substrat dans le cas de l'intégration monolithique ou via plusieurs puces pour la commande et la puissance dans le cas de l'intégration hybride. L'intégration monolithique des fonctions de contrôle et de commande au sein des transistors de puissance est particulièrement adaptée aux solutions de type SmartPower couvrant les applications jusqu'à quelques centaines de watts. Néanmoins, pour des puissances supérieures et en particulier des niveaux de tension plus importants, l'intégration hybride reste préférable de par sa plus grande flexibilité et une meilleure adaptation des moyens technologiques associés à chacun des constituants d'une fonction.

Malgré les techniques modernes d'assemblage 3D, les interfaces d'interconnexion peuvent générer des problèmes de fiabilité et de couplage CEM [27]. Dans la plupart des cas, ces interconnexions ne sont pas optimisées principalement car les conceptions des puces de puissance et de commande ne sont pas conçues avec pour objectif futur leur intégration 3D, mais sur une optimisation découplée des points de vue connectique et mécanique. En effet, même si on peut noter quelques évolutions du packaging des composants de puissance (on peut citer le BGA MOSFET de Fairchild Semiconductor [28], le Flip Fet d'International Rectifier [29] et l'assemblage MCM de puissance de Motorola [30]), les techniques d'assemblage en 3D présentées ci-dessus sont encore à l'heure actuelle très peu développées au stade industriel en électronique de puissance, bien que déjà utilisées depuis plusieurs années en microélectronique [31]. Par conséquent, même si des améliorations considérables ont déjà été présentées, des progrès supplémentaires peuvent être obtenus par une conception couplée des puces silicium (puissance - commande) avec la prise en compte de leur assemblage dès le processus de conception des fonctions électriques. L'objectif de ce mémoire de thèse est de présenter la conception, la réalisation et la mise en oeuvre d'un ensemble 3D intégrant une puce de puissance 600V à structure verticale et sa puce de commande en technologie CMOS reportée en surface du composant de puissance, dans le but d'optimiser et de minimiser les interconnexions entre les deux éléments mais aussi de faire émerger de nouvelles fonctionnalités bénéficiant de ce rapprochement physique par le partage de fonctions entre la partie commande et la partie puissance.

2 L'interrupteur de puissance générique : le concept

Le concept de l'interrupteur de puissance générique consiste à créer un interrupteur intégrant sa commande rapprochée, incluant l'isolation et l'alimentation de cette commande. De cette façon, la circuiterie de commande est transparente pour l'utilisateur et celui-ci a uniquement besoin d'envoyer l'ordre de commande PWM, et ce pour n'importe quel type d'applications. L'objectif de notre approche est de faire un interrupteur de puissance entièrement autonome, ne nécessitant aucune alimentation externe et pouvant être inséré à n'importe quel endroit dans la structure de conversion, sur le haut ou sur le bas du bras d'onduleur ou à n'importe quel endroit sur les structures de conversion multi niveaux ou à connexion série d'interrupteurs de puissance.

2.1 Conception couplée commande et puissance : le partage des fonctionnalités

Comme on a pu le voir dans le paragraphe précédent, l'approche de conception couplée entre la commande et la puissance est quasiment obligatoire en intégration monolithique, mais est rarement utilisée en intégration hybride, où les technologies des puces de commande et de puissance sont différentes. En effet, il y a un fossé entre les outils de simulation analogiques et numériques utilisés pour la microélectronique (Virtuoso, Modelsim, Simvision, etc...) et les outils de simulation pour l'électronique de puissance (orientés circuits tels que PSPICE, SIMPLORER ou orientés physique du semi-conducteur et procédés technologiques tels que SILVACO ou TCAD), et les modèles des transistors de microélectroniques sont rarement compatibles avec les modèles des transistors de puissance. Il n'est donc pas aisé de pouvoir simuler ensemble ces modèles, et donc de pouvoir concevoir la partie commande en technologie CMOS conjointement avec le composant de puissance en technologie verticale et inversement. Cela est néanmoins réalisable, en utilisant par exemple des outils de simulation mixte pouvant simuler des modèles de langages différents tels que NCSim de Cadence [32] ou Eldo de Mentor Graphics [33]. C'est l'approche que nous avons suivie, en utilisant ces outils pour simuler les modèles de transistor CMOS standard (BSIM3V3 en langage Spectre), avec un modèle de transistor de puissance vertical en langage VHDL-AMS développé au G2Elab dans [34], [35] et [36].

Cette approche permet premièrement une optimisation des deux parties commande/puissance l'une par rapport à l'autre, par exemple la conception optimisée de la commande rapprochée selon le calibre en courant du transistor de puissance. Ensuite, cette approche peut être exploitée afin de développer de nouvelles fonctionnalités tirant parties des interactions entre la partie commande et la partie puissance. La figure 12 montre un exemple de ces interactions fonctionnelles possibles qui seront développées dans ce mémoire de thèse.

Dans ce schéma, il faut considérer que la puce de commande est reportée en flip-chip sur la puce de puissance, ce qui ne permet pas de connecter directement la puce de commande avec l'extérieur. Aussi, dans la figure montrant le principe et les interconnexions de l'interrupteur autonome imaginé, le signal de contrôle provenant de la commande éloignée est connecté par des pads en surface de la puce de puissance verticale qui offrent une forte isolation par rapport à la zone active du composant de puissance. Il est ensuite envoyé dans la puce de commande en technologie CMOS, où il passe par un dispositif d'isolation, puis est amplifié par la commande rapprochée. Cette commande rapprochée est connectée à la grille et à la source du composant de puissance, et contrôle la commutation de ce dernier. Elle est alimentée entre

autres par un système d'auto-alimentation développé dans [37] et [38], comprenant un transistor vertical auxiliaire et une capacité de stockage externe mais reportée sur le composant de puissance. Ce circuit sera détaillé plus loin dans ce mémoire de thèse. Comme on peut le voir, les deux puces sont fortement interconnectées, le transistor auxiliaire servant à dévier de l'énergie afin de recharger la capacité de stockage à chaque commutation du transistor principal au blocage. La capacité de stockage alimente elle la commande rapprochée, et la puce de commande contient des circuits de détection et de contrôle monitorant la recharge de la capacité de stockage et la grille du transistor auxiliaire. Ceci est un bon exemple des interactions entre commande, puissance et éléments passifs qui peuvent être exploitées.

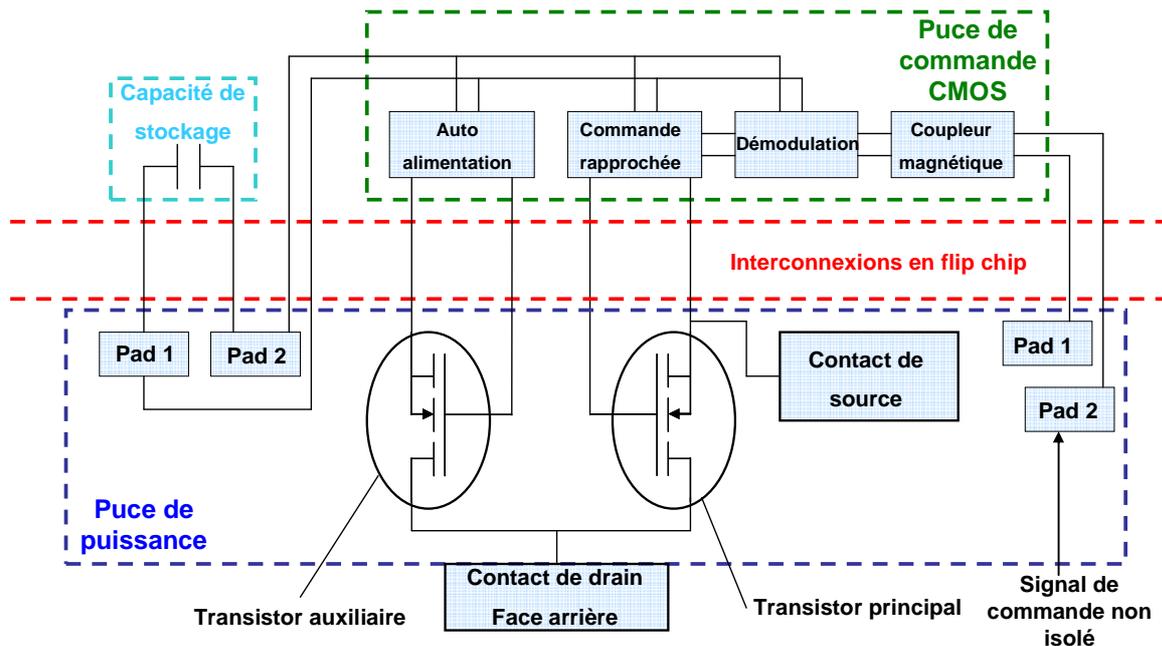


figure 12: Schéma structurel de l'interrupteur de puissance autonome imaginé

2.2 Intégration hétérogène : hybridation en surface

De façon à tirer au maximum profit de ce partage de fonctionnalités entre la partie commande et la partie puissance, cette approche se place dans une démarche d'intégration hétérogène des deux parties. En effet il a été vu dans la partie précédente que la réduction des impédances parasites et notamment des inductances dues aux interconnexions permettait un plus faible risque de perturbations de la commande, et donc un meilleur contrôle du composant de puissance. C'est donc en s'inspirant de cette démarche d'intégration en trois dimensions développée par le CPES que les interconnexions entre la partie commande et puissance de l'interrupteur autonome ont été imaginées. De plus les moyens technologiques mis à disposition par le CIME Nanotech principalement, ainsi que par la PTA, pour la fabrication de composants en salle blanche, permettent de concevoir un composant de puissance « sur mesure » pour notre approche. De cette manière, on peut imaginer repenser la géométrie des métallisations de surface du composant de puissance afin de permettre de reporter directement la puce de commande en surface du composant de puissance. Les bénéfices tirés de ce report en surface sont premièrement la réduction maximale des impédances parasites dues aux interconnexions. De plus l'élimination des supports PCB ou Flex habituellement employés dans ce type de structure limite les conséquences négatives

liées à l'empilements de matériaux différents, et donc les écarts de coefficient d'expansion thermique dans les matériaux de la structure. Ces avantages électriques, thermiques et thermomécaniques seront discutés plus loin dans ce mémoire de thèse. La figure 13 présente le SiP (System in Package) de puissance qui résulte de cette approche couplée d'intégration 3D : la puce de puissance est conçue en surface comme le réceptacle de la puce de commande CMOS reportée en flip-chip, et les deux puces partagent des interconnexions permettant l'intégration de l'ensemble des systèmes de contrôle et de commande. La réduction forte des effets parasites induits par les interconnexions permet de revoir les critères majeurs définissant les paramètres électriques tels que la tension de grille nominale, ce qui va être développé dans la prochaine partie de ce chapitre. De là, peuvent découler des opportunités fonctionnelles, nouvelles, originales et pratiques.

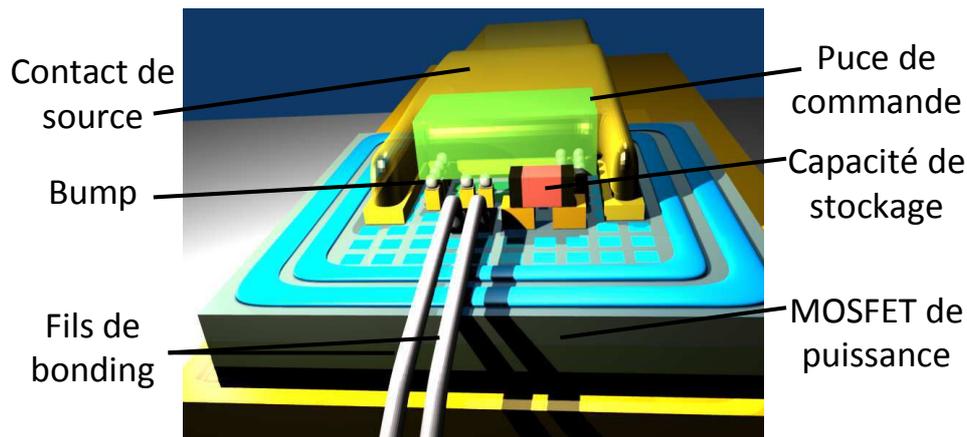


figure 13: Assemblage 3D d'une puce de puissance et de son circuit de commande

3 Faible tension de seuil : pourquoi, comment, conséquences

Si les composants de puissance à grille couvrent de larges plages de courants et de tensions selon leurs technologies et leurs tailles, ils sont très souvent pilotés par des niveaux de tension de grille standardisés de 15 à 20V nominal et des tensions de seuil de 3 à 4V. Ces grandeurs sont historiquement issues de la microélectronique à l'époque des premiers composants à grille qui étaient couramment pilotés à base de composants 15 à 20V. De plus, cette gamme de valeurs est généralement retenue car elle présente des niveaux suffisamment élevés pour limiter les effets induits par les perturbations électromagnétiques extérieures ou physiques comme la température.

Aujourd'hui, à travers le processus d'intégration et grâce à l'accès aux moyens technologiques qui ont été présentés précédemment dans ce mémoire, nous pouvons envisager une remise en question de ces niveaux de tensions de commande. En redonnant des degrés de liberté sur la conception et la fabrication des composants de puissance et de leur commande associée, nous voulons apporter un point de vue actuel sur ce choix "historique" et fonctionnel de la tension de seuil, pour voir si il correspond toujours aux besoins actuels ou bien s'il serait souhaitable de modifier les compromis de conception à différents niveaux, selon l'application ou selon le contexte. Il est présenté dans cette partie une étude qualitative et quantitative de l'influence de la tension de seuil sur les caractéristiques électriques et physiques des composants de puissance, en lien avec l'environnement électrique de la grille, à savoir le circuit de commande rapprochée et la connectique du composant de puissance. Cette étude

conduite en collaboration avec Nguyen Hoa Xuan [39, 40], un autre doctorant du groupe de recherche, montre que la réduction de la tension de seuil du composant de puissance est favorable en termes de performances en commutation des composants de puissance, tout en ouvrant la voie de fonctionnalités intéressantes en termes de circuits de commande associés.

3.1 Concept : pourquoi baisser la tension de seuil

La raison principale justifiant la baisse de la tension de seuil du composant de puissance est que cela permet d'abaisser également la tension du circuit de commande de grille associé. Comme nous allons le voir, la baisse de la tension d'alimentation de ce circuit de commande entraîne dans un premier temps un gain sur l'énergie nécessaire pour faire commuter le composant de puissance, cette énergie étant proportionnelle au carré de la tension d'alimentation du circuit de commande. Comme il va être démontré dans ce chapitre, en gardant les mêmes dynamiques de commutation, c'est-à-dire les mêmes pertes en commutation pour des composants ayant des tensions de seuil différentes, et dont la tension du circuit de commande est proportionnelle à cette tension de seuil, le bilan énergétique total est favorable pour le composant ayant la plus faible tension de seuil.

Ensuite, au niveau fonctionnel, la baisse de la tension d'alimentation du circuit de commande rapproche celle-ci du niveau de tension disponible aux bornes du composant de puissance durant son état passant. On suppose que ce niveau de tension à l'état passant est communément de l'ordre de 1V. Cette valeur est choisie comme un compromis entre les applications IGBTs fortes puissances/basses fréquences (par exemple l'IGBT IRGP4069 d'International Rectifier a une tension à l'état passant typique de 1,6V [19]), et les applications MOSFET plus faibles puissances/hautes fréquences (par exemple le MOSFET IRFR3710Z a une tension à l'état passant typique de 0,7V [19]). Si la tension d'alimentation du circuit de commande est de l'ordre de 3V, une multiplication par trois suffit pour obtenir la même tension à partir de la chute de tension de l'interrupteur à l'état passant. Ceci pourrait être exploité pour réaliser l'auto alimentation du circuit de commande à partir de la chute de tension à l'état passant du composant de puissance. Ainsi, en utilisant un convertisseur DC-DC actif durant l'état passant de l'interrupteur, on pourrait compléter le système d'auto-alimentation déjà existant. Ceci serait plus difficilement exploitable si la tension du circuit de commande était de 15V, car dans ce cas une multiplication par 15 serait nécessaire pour obtenir des niveaux de tension comparables. Ceci entraînerait soit la nécessité d'employer des composants passifs plus gros dans le convertisseur utilisé, soit l'utilisation d'un plus grand nombre d'étages de conversion. Ceci pénaliserait la démarche d'intégration entreprise dans notre approche d'interrupteur autonome, les composants passifs devant par exemple être placés à l'extérieur de la puce de commande, générant de cette manière un plus grand nombre d'interconnexions.

Dans notre démarche, nous avons utilisé un convertisseur DC-DC de type pompe de charge, permettant l'intégration des capacités requises à l'intérieur de la puce de commande CMOS. Ceci sera détaillé plus loin dans ce mémoire.

La baisse de la tension de seuil du composant de puissance nécessite d'adapter et de faire varier certains paramètres physiques (concentrations, profondeurs de jonctions, épaisseurs,...) de la cellule élémentaire du composant de puissance. L'effet de cette variation doit donc être quantifiée, de façon à vérifier que les caractéristiques électriques statiques et dynamiques du composant ne sont pas dégradées par ces changements. Dans un premier temps nous allons voir quels sont les paramètres physiques qui peuvent être modifiés dans le but de faire varier la tension de seuil. Ensuite, nous observerons les effets de la réduction de la tension de seuil sur les caractéristiques électriques du composant.

3.2 Solutions technologiques pour baisser la tension de seuil : avantages et inconvénients

Une étude analytique basée sur les modèles classiques que l'on peut retrouver dans [34] et [35] a été entreprise. La tension de seuil d'un transistor VDMOS est décrite par les équations (1) et (2), négligeant le terme dû aux charges piégées dans l'oxyde durant le dopage (Qss):

$$V_{th} = \frac{e_{SiO2} \cdot \sqrt{2 \cdot q \cdot Na \cdot \epsilon_{Si} \cdot \epsilon_0 \cdot \left(2 \cdot \frac{k \cdot T}{q} \ln \left(\frac{Na}{ni} \right) \right)}}{\epsilon_{SiO2r} \cdot \epsilon_0} + V_{fb} + 2 \cdot \frac{k \cdot T}{q} \ln \left(\frac{Na}{ni} \right) \quad (1)$$

$$\text{Avec } V_{fb} = - \left(\frac{k \cdot T}{q} \cdot \ln \left(\frac{Na}{ni} \right) + \frac{Eg}{2 \cdot q} \right) \quad (2)$$

Les paramètres intervenant dans la valeur de la tension de seuil V_{th} sont décrits dans le tableau 1.

| | | |
|-------------------|---|---|
| Vfb | tension de bandes plates | V |
| K | Constante de Boltzman | $1,38 \cdot 10^{-23} \text{ J.K}^{-1}$ |
| q | Charge de l'électron | $1,6 \cdot 10^{-19} \text{ C}$ |
| ϵ_0 | Permittivité diélectrique du vide | $8,85 \cdot 10^{-14} \text{ F.cm}^{-1}$ |
| ϵ_{Si} | Constante diélectrique relative du silicium | 11,9 |
| ϵ_{SiO2} | Constante diélectrique relative de l'oxyde | 3,9 |
| ni | Concentration intrinsèque à l'équilibre (T=300K) | $1,26 \cdot 10^{10} \text{ cm}^{-3}$ |
| Na | concentration de dopants accepteurs dans le silicium dopé P | cm^{-3} |
| eSiO2 | Epaisseur d'oxyde thermique de grille | cm |
| Eg | Energie de la bande interdite | eV |

Tableau 1 : Paramètres intervenant dans l'équation de la tension de seuil

La tension de seuil est donc dépendante de paramètres physiques qui sont, d'une part, la concentration de la zone de porte canal Na et, d'autre part, l'épaisseur de l'oxyde de grille e_{ox} . Elle est également dépendante d'un paramètre physique qui est la température, les autres paramètres intervenant dans l'équation (1) étant des constantes. Les influences de ces paramètres sur la tension de seuil ainsi que l'impact de la réduction de la tension de seuil sur les caractéristiques statiques et dynamiques d'un transistor VDMOS vont être analysées au cours de cette étude.

3.2.1 Modification de la concentration du dopage en surface du porte canal P-

Un des deux paramètres de la structure physique permettant la diminution de la tension de seuil est la concentration en surface du porte canal P-. Du point de vue technologique, la concentration en surface est fonction de la dose effectivement implantée, de l'énergie d'implantation ainsi que du temps et de la température de diffusion après implantation. La figure 14 montre les composants parasites de la structure VDMOS sur lesquels le paramètre Na a une influence. Afin de déterminer les plages de variations admissibles sur le paramètre Na, nous devons considérer 2 phénomènes prépondérants : le perçage statique de la jonction

On doit donc trouver un compromis entre ces deux paramètres technologiques afin de faire varier la tension de seuil sans risque d’amorçage du transistor bipolaire parasite, mais également sans trop augmenter la capacité d’entrée du MOSFET afin de ne pas dégrader les caractéristiques dynamiques de façon trop importante. La figure 15 montre l’évolution de la tension de seuil en fonction de ces deux paramètres

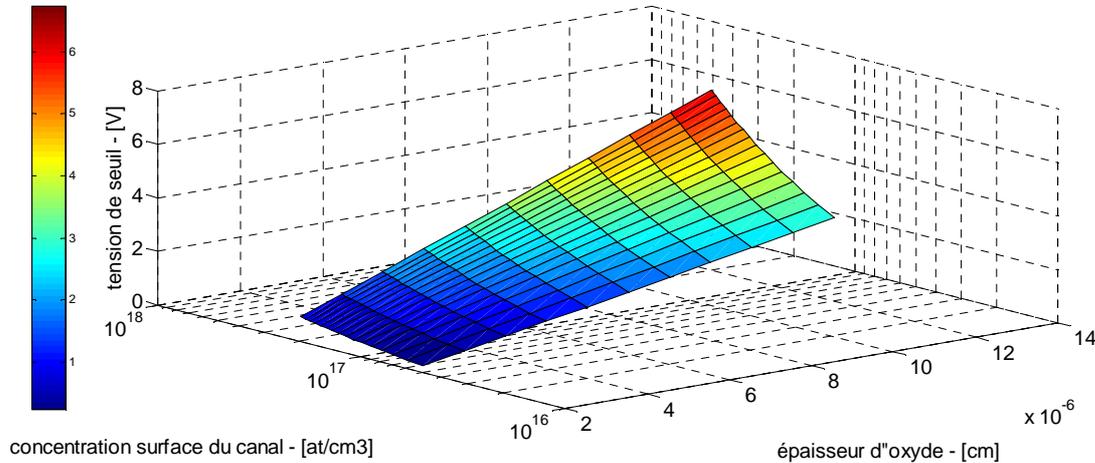


figure 15: Evolution de la tension de seuil en fonction de l’épaisseur d’oxyde et de la concentration en surface du porte-canal

Ce que l’on peut voir sur cette figure est que la tension de seuil augmente plus fortement en fonction de l’épaisseur d’oxyde lorsque la concentration en surface du porte-canal est plus élevée. Cependant pour de faibles valeurs de l’épaisseur d’oxyde de 20 à 40nm, l’influence de la concentration du porte-canal n’est pas prédominante. Si l’on veut obtenir une tension de seuil proche de 1V, il faut donc se placer sur l’isovaleur de 1V et trouver un compromis entre l’épaisseur d’oxyde la plus élevée possible en restant sur une valeur de concentration de porte canal acceptable.

3.2.3 Effets de la température

L’influence de la température sur la tension de seuil est décrite dans le tableau 2. L’influence de l’évolution des travaux de sorties des matériaux est ici prise en compte, par la modification de E_g et n_i en fonction de la température (équation (2)). La décroissance de la tension de seuil est principalement due à l’augmentation de la valeur de la concentration intrinsèque du silicium avec la température selon les équations que l’on peut trouver dans [35]. La température a une influence non négligeable sur la tension de seuil car une chute de 0.75, 0.5 et 0.3V est observée pour des tensions de seuil respectives de 4, 2 et 1V sur une plage de température allant de 23 à 173°C. L’influence de V_{fb} diminue la sensibilité de la tension de seuil à la température car son évolution positive compense la diminution de la tension de seuil lorsque la température augmente.

| $V_{th}(300K)$ | $V_{th}(450K)$ | $S=\Delta V_{th}/\Delta T$ | $V_{fb}(300K)$ | $V_{fb}(450K)$ |
|----------------|----------------|----------------------------|----------------|----------------|
| 1.00 V | 0.71 V | -1.93 mV/K | -0.97 V | -0.83 V |
| 2.00 V | 1.56 V | -2.93 mV/K | -0.97 V | -0.83 V |
| 4.00 V | 3.23 V | -5.13 mV/K | -0.97 V | -0.83 V |

Tableau 2 : Sensibilité de la tension de seuil à la température

La sensibilité relative à la température est donc de 0.13%/K pour $V_{th}=4V$ à 300K, et de 0.19%/K pour $V_{th}=1V$ à 300K. L’influence de la baisse de la tension de seuil est donc

globalement neutre vis-à-vis de la température. On doit cependant être vigilant pour des tensions de seuil inférieures à 1V car dans ce cas la tension de seuil devient proche de zéro pour de fortes températures. Nous avons donc déterminé quels sont les paramètres technologiques et physiques ayant une influence sur la tension de seuil. Il reste à voir quelle influence la variation de ces paramètres va avoir sur les caractéristiques électriques du transistor VDMOS.

3.3 Conséquences de la baisse de la tension de seuil sur les caractéristiques statiques et dynamiques du VDMOS

3.3.1 Composants considérés et approche de simulation

Pour l'étude qui va être conduite en collaboration avec Nguyen Xuan Hoa, nous avons fixé une structure de composant VDMOS, dimensionnée de façon optimale grâce à l'outil CADES [41] pour un calibre maximum en tension de 600V et commutant une source de courant de 1A à une fréquence de 40kHz et un rapport cyclique de 1/2. Les paramètres technologiques et de conception de la cellule élémentaire du VDMOS sont présentés sur le tableau 3 et la figure 16. Le transistor de puissance est composé de 3000 cellules carrées élémentaires, les contacts de grille et de source de chaque cellule étant connectés en parallèle. Les caractéristiques électriques induites au niveau du composant de puissance vont être étudiées pour trois épaisseurs d'oxyde de grille différentes. Pour l'étude de la commutation de ces composants (valeurs et variations des capacités, dynamiques et pertes de commutation, énergie de commande), nous avons utilisé un modèle analytique basé sur la description en 7 phases de la commutation, modélisant de façon fine la variation non linéaire des capacités du transistor de puissance [34, 35]. Dans tous les cas, nous simulerons la phase de fermeture du composant de puissance, et la tension commutée sera de 400V, le courant de 1A, et la tension de commande de grille (sortie de driver) sera un échelon de 0V à 5*Vth. La résistance de grille Rg sera ajustée afin de permettre des conditions identiques de dynamiques de commutation. Ces commutations s'effectueront sur des charges inductives idéales et nous négligerons toute influence externe au composant sur la dynamique de commutation (recouvrement de diode, inductances de câblage). Bien que classiquement la concentration en surface du porte canal soit choisie plus élevée (surtout dans le cas des composants IGBT), nous avons considéré un composant VDMOS dont la jonction N+P- assure une tenue en tension de 20V, afin d'assurer l'intégration monolithique d'autres fonctions au sein du VDMOS [42].

| | | | |
|--------------|---------------------|----------------|----|
| Na (at/cm3) | 5*10 ¹⁶ | Lcell (µm) | 48 |
| Xja (µm) | 6 | Lp (µm) | 12 |
| Na+ (at/cm3) | 5*10 ¹⁸ | Ln (µm) | 10 |
| Xja+ (µm) | 7 | Lp+ (µm) | 20 |
| Nv (at/cm3) | 1*10 ¹⁴ | Lintercell(µm) | 48 |
| Nd (at/cm3) | 5*10 ¹⁹ | Lcanal (µm) | 3 |
| Xjn (µm) | 1,1 | LN+(µm) | 15 |
| eox (nm) | Vth=1V => eox=46nm | | |
| | Vth=2V => eox=80nm | | |
| | Vth=4V => eox=149nm | | |
| ev(µm) | 43+Xja | | |
| egrille(µm) | 0,4 | | |

Tableau 3 : a) Paramètres physiques de la cellule VDMOS étudiée b) Paramètres géométriques de la cellule VDMOS étudiée

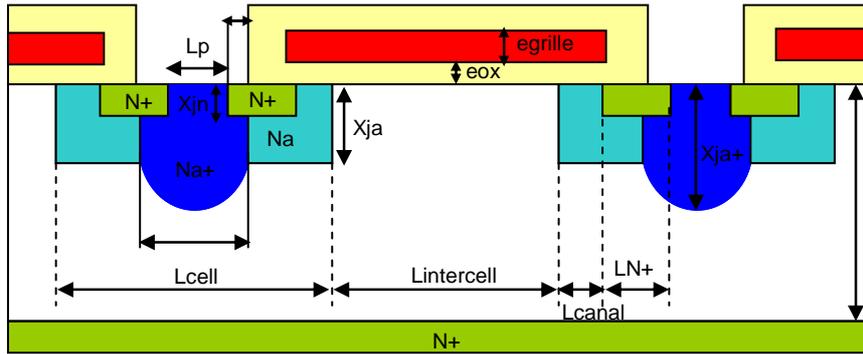


figure 16: Structure et paramètres physiques de la cellule VDMOS étudiée

3.3.2 Dynamique de commutation du composant de puissance

La simulation de la phase de commutation du composant de puissance repose sur l'étude de la réponse à un échelon de tension de commande de grille. La résistance R_g entre cet échelon de tension et la grille du transistor de puissance permet de limiter le courant de charge ou de décharge de la capacité d'entrée du transistor de puissance ce qui permet de régler les dynamiques de commutation du composant de puissance. Lorsque la tension de seuil du transistor de puissance est modifiée par une action sur l'épaisseur d'oxyde de grille, la valeur des capacités non linéaires va être modifiée et il faut donc ajuster la résistance de grille afin de conserver des paramètres de commutations identiques. Pour comparer trois composants à trois épaisseurs différentes d'oxyde (46nm, 80nm et 149nm), nous avons donc ajusté la résistance de grille afin de conserver les pertes par commutation sensiblement identiques. Pour cela, nous avons considéré le cas idéal de la tension de sortie fournie par le driver (pente infinie – échelon de Heaviside), et ajusté R_g afin de maintenir les pertes par commutation identiques entre les 3 composants. Comme nous l'avons précisé plus haut, la tension de pilotage de la grille, à la sortie du circuit de commande rapprochée, est elle aussi ajustée à une valeur maximale de $5 \cdot V_{th}$ pour garantir un niveau d'inversion comparable au niveau du canal du transistor de puissance. Pour ces trois composants, les formes d'ondes $V_{gs}(t)$ et $I_{gs}(t)$ sont représentées sur la figure 2. Nous avons utilisé les modèles de [34] et [35] décrivant le comportement dynamique des transistors de puissance VDMOS mis en œuvre dans un outil de résolution numérique. Le pas fixe de calcul utilisé pendant la simulation est de 0.1ns.

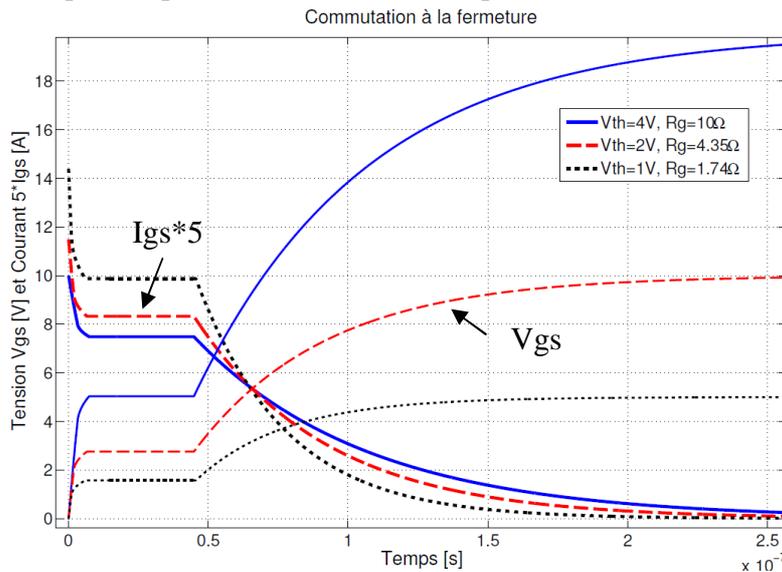


figure 17: $I_{gs}(t)$ et $V_{gs}(t)$ lors d'une commutation 400V/1A pour différentes tensions de seuil

Sur la figure 17, nous pouvons observer que l'augmentation des capacités liée à la diminution de l'oxyde de grille ne pénalise pas la vitesse de commutation du transistor de puissance. En effet, pour compenser l'augmentation de C_{gd} avec la diminution de la tension de seuil, et donc l'augmentation du temps de décroissance de la tension V_{ds} pendant la commutation à la fermeture, nous devons augmenter la vitesse d'établissement de la source de courant dans le canal du transistor de puissance. Ainsi, en augmentant le courant de charge de la capacité d'entrée du transistor de puissance, il est aisé de piloter des transistors à tension de seuil réduite et de maintenir les pertes par commutation identiques. Notre stratégie d'ajustement de la résistance de grille R_g est la suivante: l'établissement du courant dans le transistor de puissance à tension de seuil $V_{th}=1V$ doit être égale ou plus rapide que les composants à $V_{th}=2V$ et $V_{th}=4V$, ce qui permet de compenser les pertes supplémentaires du composant $V_{th}=1V$ pendant la décroissance de V_{ds} , sous l'effet de l'augmentation de la capacité C_{gd} avec la réduction de la tension de seuil (figures 18-19). On peut donc voir sur la figure 18 que la commutation du transistor ayant une tension de seuil de 1V est plus rapide que les autres, malgré que l'on observe sur la figure 19 que la capacité C_{gs} est plus importante lorsque la tension de seuil est réduite. Cependant on peut voir sur la figure 18 que les délais de commutation sont similaires. Le gain notable que nous allons démontrer est que, en maintenant le même niveau de pertes par commutation entre ces composants à tensions de seuil différentes, l'énergie fournie par le circuit de commande rapprochée est sensiblement inférieure pour le composant de puissance à tension de seuil la plus faible. Un autre gain que nous allons montrer est que grâce à la diminution de la tension de seuil, le stress sur la dynamique du driver (établissement de la tension de commande en V/ns) est réduit.

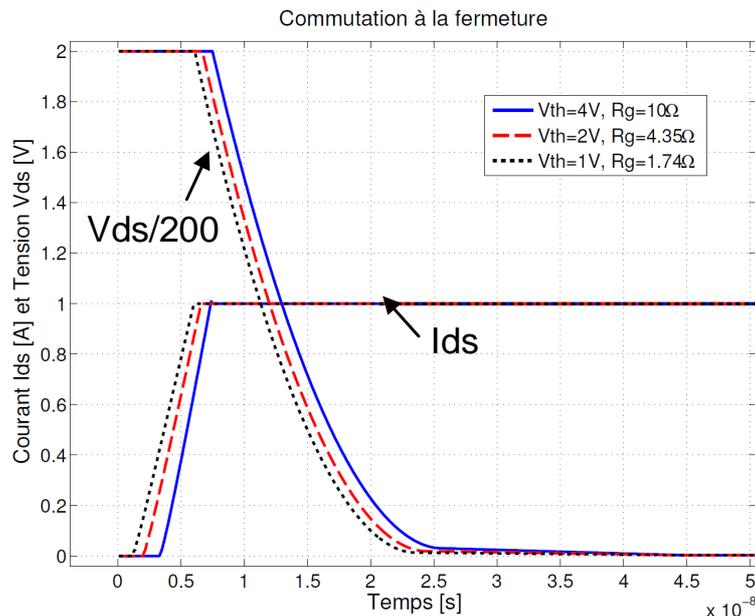


figure 18: $V_{ds}(t)$ et $I_{ds}(t)$ lors d'une commutation 400V/1A pour différentes tensions de seuil

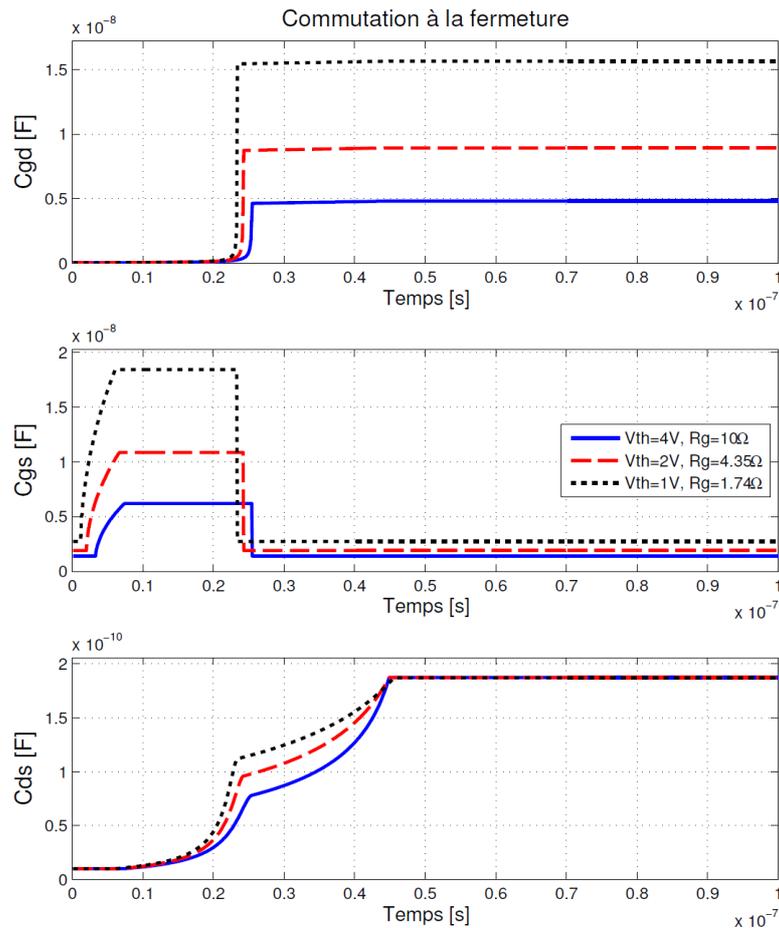


figure 19: $C_{gd}(t)$, $C_{gs}(t)$ et $C_{ds}(t)$ lors d'une commutation 400V/1A pour différentes tensions de seuil

Les tableaux 4 et 5 présentent le bilan complet entre les trois composants de puissance différents, dans le cas de la commande par un échelon de tension parfait (sans temps de montée) et en ajustant la résistance de grille R_g en maintenant constantes les pertes par commutation ($3.4\mu\text{J}$). $I_{\text{maxcommande}}$ représente le courant maximal dans la grille du transistor, E_{commande} et E_{driver} représentent respectivement l'énergie nécessaire pour la commutation du transistor de puissance et l'énergie consommée par le driver, et P_{driver} et P_{commande} représentent respectivement la puissance consommée par le driver et la puissance nécessaire à la commutation du transistor à la fréquence de 40kHz. L'énergie nécessaire pour la commutation du transistor de puissance passe de $1.48\mu\text{J}$ à $0.34\mu\text{J}$ lorsque V_{th} est réduit de 4V à 1V, et ce, même si le courant maximum de commande a été augmenté de 2A à 3A. Cette réduction d'un facteur 4.4 s'accompagne aussi d'une réduction sur la puissance fournie par le driver ($3.22\mu\text{J}$ à $0.77\mu\text{J}$), tout en maintenant des pertes en commutation identiques. La réduction de la tension de seuil apparaît donc ici comme une tendance très intéressante, avec des gains avoisinants les 25% à 40% sur l'ensemble des pertes par commutation.

| V_{th} (V) | R_g (Ω) | $I_{\text{maxcommande}}$ (A) | E_{commande} (μJ) | E_{driver} (μJ) | P_{driver} @40kHz (mW) | P_{commande} @ 40kHz (mW) |
|---------------------|--------------------|------------------------------|---|---------------------------------------|---------------------------------|------------------------------------|
| 4 | 10 | 2 | 1.48 | 3.22 | 128.8 | 59.2 |
| 2 | 4.35 | 2.2 | 0.7 | 1.54 | 61.6 | 28 |
| 1 | 1.74 | 3 | 0.34 | 0.77 | 30.8 | 13.6 |

Tableau 4 : Bilan de l'énergie de commande et de l'énergie fournie par le driver

| Vth (V) | Temps de commutation 400V/1A (ns) | Temps total de commutation (ns) | E dissipée (μJ) | Pcommutation @40kHz (mW) |
|---------|-----------------------------------|---------------------------------|-----------------|--------------------------|
| 4 | 41.6 | 44.9 | 3.4 | 272 |
| 2 | 42.9 | 44.9 | 3.4 | 272 |
| 1 | 44.4 | 45.6 | 3.4 | 272 |

Tableau 5 : *Bilan de l'énergie dissipée pendant une commutation coté signaux de puissance*

De plus, dans le cas d'un driver ayant un temps d'établissement de la tension de pilotage plus faible, les performances du composant de puissance à tension de seuil réduite sont supérieures. Le courant de grille est représenté sur la figure 20, et la puissance instantanée dissipée par le transistor de puissance sur la figure 21, dans le cas d'une tension de pilotage de $5 \cdot V_{th}$ avec une dynamique d'établissement de 0.1V/ns. Dans ce cas, les pertes par commutation du transistor à $V_{th}=1V$ sont de $4.4\mu J$ contre $6.1\mu J$ pour le $V_{th}=4V$, avec les mêmes résistances R_g fixées selon le cas précédent. De cette étude, nous concluons que les composants à tension de seuil réduite permettent de limiter les besoins énergétiques sur l'étage de sortie du driver, tout en offrant un bilan globalement favorable sur la vitesse de commutation, les pertes par commutation et l'énergie de commande nécessaire (tableaux 6 et 7). Il faut cependant souligner également que la réduction de la valeur de la résistance de grille se traduit in fine par une augmentation de la taille du driver et particulièrement au niveau de son étage de sortie qui devra pouvoir fournir plus de courant.

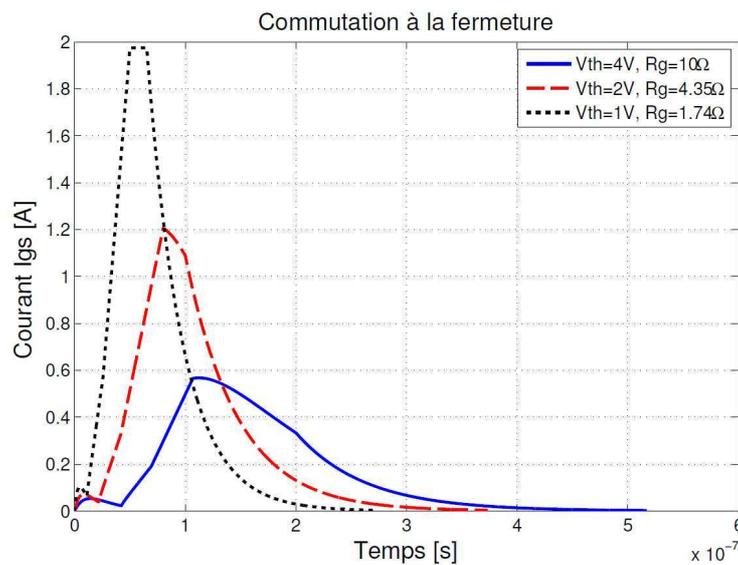


figure 20: $I_{gs}(t)$ avec une dynamique du driver de 0,1V/ns lors d'une commutation 400V/1A pour différentes tensions de seuil

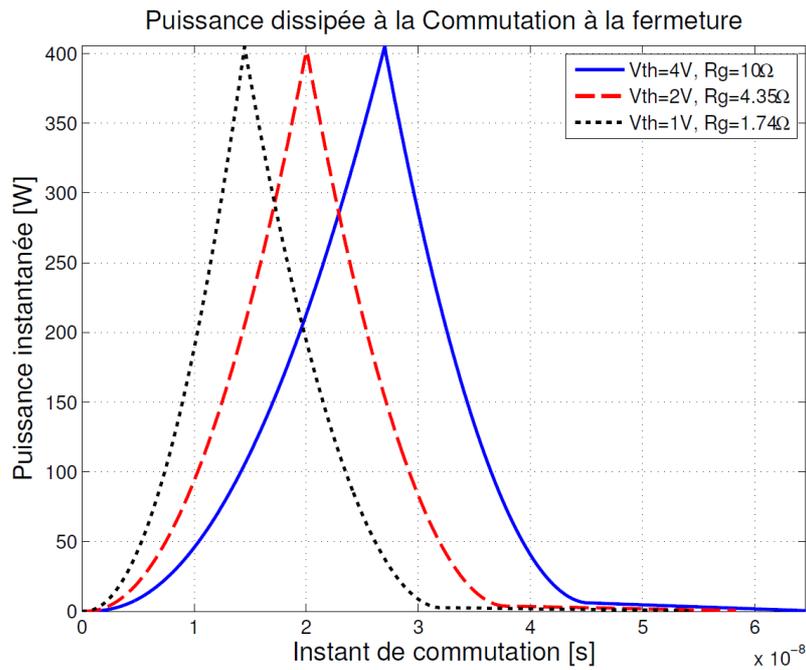


figure 21: Puissance instantanée avec une dynamique du driver de 0,1V/ns lors d'une commutation 400V/1A pour différentes tensions de seuil.

| Vth (V) | Rg (Ω) | I _{max} commande (A) | E _{commande} (μJ) | E _{driver} (μJ) | P _{commande} @ 40kHz (mW) | P _{driver} @40kHz (mW) |
|---------|--------|-------------------------------|----------------------------|--------------------------|------------------------------------|---------------------------------|
| 4 | 10 | 0.6 | 0.91 | 1.22 | 36.4 | 48.8 |
| 2 | 4.35 | 1.2 | 0.57 | 0.92 | 22.8 | 36.8 |
| 1 | 1.74 | 2 | 0.3 | 0.6 | 12 | 24 |

Tableau 6 : Bilan de l'énergie de commande et de l'énergie fournie par le driver pour une dynamique de commutation de 0,1V/ns

| Vth (V) | Temps de commutation 400V/1A (ns) | Temps total de commutation (ns) | E dissipée (μJ) | P _{commutation} @40kHz (mW) |
|---------|-----------------------------------|---------------------------------|-----------------|--------------------------------------|
| 4 | 64.5 | 107 | 6.1 | 488 |
| 2 | 58.3 | 80.1 | 5.1 | 408 |
| 1 | 54.1 | 65.1 | 4.4 | 352 |

Tableau 7 : Bilan de l'énergie dissipée pendant une commutation pour une dynamique de 0,1V/ns

3.3.3 Susceptibilité au dv/dt

La susceptibilité du transistor se caractérise entre autres par sa sensibilité aux variations de courant et de tension entre drain et source pouvant induire des différences de potentiel significatives au niveau de sa grille. La figure 22 montre les composants parasites du transistor VDMOS influant sur sa susceptibilité dans le cas d'une variation de tension V_{ds}.

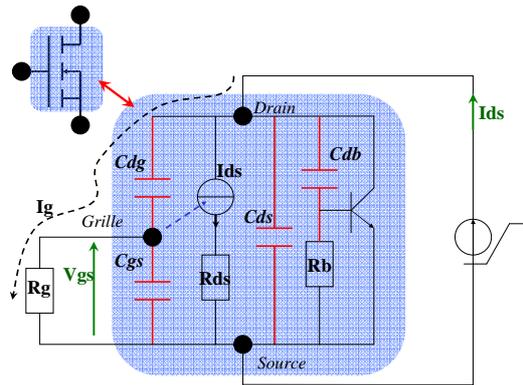


figure 22: Composants parasites du VDMOS influençant sa susceptibilité en fonction d'un $dVds/dt$

L'influence de l'évolution des capacités non linéaires d'entrée Cgd et Cgs va être étudiée dans un premier temps. La capacité Cgd et la résistance de grille Rg influent sur la susceptibilité du composant car le courant capacitif Ig peut remettre en conduction le composant principal alors que le circuit de commande impose un état bloqué. En effet, lors d'une variation de tension entre drain et source, un courant Ig est induit dans la grille via la capacité Cgd . Dans le cas simple d'une capacité Cgd constante, l'expression de Vgs devient donc

$$Vgs = Rg \cdot Cgd \cdot \frac{dVds}{dt} \quad (3)$$

La figure 23 représente l'évolution du courant de drain et de la tension de grille pendant un dv/dt de 400V en 100ns, soit 4kV/ μ s. Ces simulations numériques conduites avec le logiciel TCAD Sentaurus confirment que la susceptibilité des transistors à tension de seuil réduite est plus importante. En effet, sur la figure 23 nous pouvons voir que le potentiel de grille des composants à $Vth=1V$ et $Vth=2V$ s'élève au-delà de la tension de seuil, créant ainsi une brève mise en conduction parasite de la source de courant. La diminution de la capacité de réaction Cdg , par l'augmentation de la différence de potentiel Vds pendant le dv/dt permet d'interrompre la conduction du canal. Dans tous les cas, la fin de la perturbation due au dv/dt est sensiblement identique quelque soit la tension de seuil des composants, car les capacités drain-source des transistors ont des valeurs très proches. Cette sensibilité accrue s'explique principalement par la valeur plus importante de Cdg dans les composants à tension de seuil réduite, au début du dv/dt (Cdg est maximale dans cette phase).

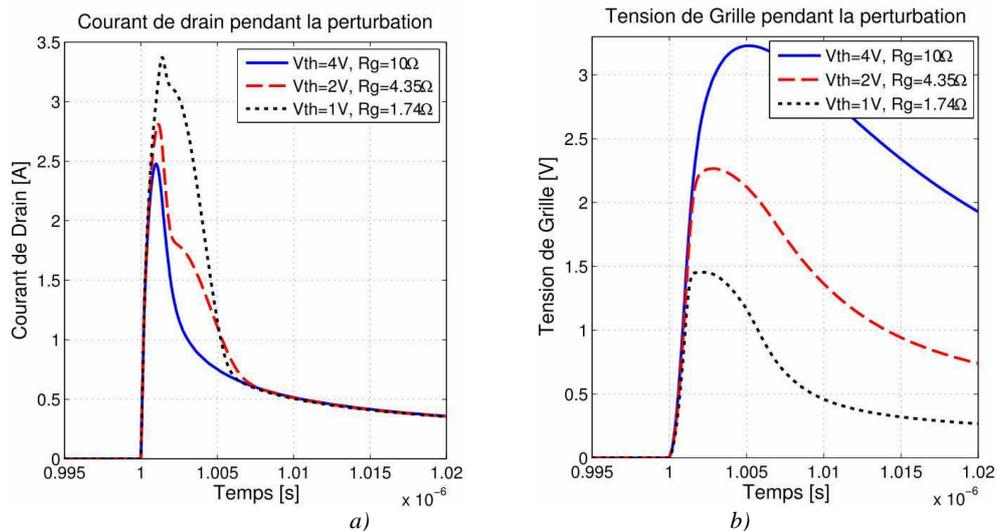


figure 23: Effets d'un dv/dt positif sur a) le courant de drain et b) la tension de grille, la tension de sortie du driver étant à 0V (simulations effectuées au LAAS avec TCAD Sentaurus [39, 40])

Des simulations numériques à l'aide du logiciel Silvaco ont également été réalisées, afin de vérifier cette tendance sur des composants VDMOS de taille 5*5mm, ainsi que d'étudier l'influence des variations de l'épaisseur d'oxyde ainsi que de la concentration P- sur la susceptibilité du composant, pour un V_{th} donné. Ces simulations sont effectuées par analyse harmonique petit signal autour de $V_{ds}=30V$. La figure 24-a montre l'évolution de la capacité C_{gd} en fonction de l'épaisseur de l'oxyde de grille pour différentes concentrations de dopage P- et différentes profondeurs de jonction. On peut voir que la capacité C_{gd} est plus faible lorsque la concentration P- est la plus élevée, et lorsque la profondeur de jonction est plus importante. De plus on voit que C_{gd} diminue lorsque l'épaisseur d'oxyde augmente. La figure 24-b montre l'évolution de la capacité C_{gd} en fonction de la concentration P- pour différentes épaisseurs d'oxyde de grille et différentes profondeurs de jonction. La tendance de la figure 24-a est confirmée car on voit que la capacité C_{gd} est d'autant plus faible que l'épaisseur d'oxyde de grille est élevée et la profondeur de jonction importante. De plus la capacité C_{gd} diminue lorsque la concentration P- augmente. On déduit de ces observations que l'on aura intérêt à choisir une concentration P- la plus élevée possible et ajuster l'épaisseur de l'oxyde de grille afin d'obtenir la tension de seuil voulue afin de minimiser C_{gd} et ainsi améliorer la susceptibilité du transistor. Il faut cependant observer l'influence de ces paramètres sur la capacité entre grille et source C_{gs} . La figure 25-a montre l'évolution de la capacité C_{gs} en fonction de l'épaisseur de l'oxyde de grille pour différentes concentrations P- et profondeurs de jonctions. On observe que la capacité C_{gs} est plus élevée lorsque la concentration P- est forte et la profondeur de jonction élevée. De plus on peut voir que la capacité C_{gs} diminue lorsque l'épaisseur de l'oxyde de grille augmente. La figure 25-b montre l'évolution de la capacité C_{gs} en fonction de la concentration P- pour différentes épaisseurs d'oxyde de grille et profondeurs de jonctions. On peut voir que la capacité C_{gs} est plus élevée lorsque l'épaisseur de l'oxyde de grille est faible et que la profondeur de jonction est élevée. De plus on observe que la capacité C_{gs} augmente lorsque la concentration P- augmente. On peut déduire de ces observations que lorsqu'on aura une concentration P- élevée ($1 \cdot 10^{18} \text{ at/cm}^3$) et une épaisseur de l'oxyde de grille faible (25nm), la capacité grille-drain C_{gd} sera réduite et la capacité grille-source C_{gs} sera plus grande que dans le cas d'une plus faible concentration P- ($2 \cdot 10^{17} \text{ at/cm}^3$) et d'une épaisseur d'oxyde plus élevée (100nm). Ceci aura pour conséquence que lors d'un dv/dt d'une part le courant parasite induit par la capacité C_{gd} sera réduit. D'autre part l'augmentation de C_{gs} autorisera à réduire la résistance de grille afin de

conserver la même dynamique de commutation, la tension parasite induite par le dv/dt sera donc également plus faible. La susceptibilité du transistor au dv/dt sera donc réduite dans le cas d'une concentration P- élevée et d'une épaisseur d'oxyde de grille faible. Ces résultats sont cependant à relativiser ; en effet les capacités C_{gd} et C_{gs} du VDMOS étant fortement non linéaires et dépendantes des tensions V_{gs} et V_{ds} appliquées [34, 35], on doit vérifier que ce comportement est vérifié pour différents cas de figures et suivant les niveaux de tensions mis en jeu. La limite inférieure de l'épaisseur de l'oxyde de grille doit être déterminée pour éviter que le phénomène de type « hot carrier degradation », pouvant entraîner la dégradation de la mobilité dans le canal ainsi que le piégeage de charges dans l'oxyde, ne devienne prédominant [43]. L'influence de ces phénomènes est dépendante principalement de la tension appliquée sur la grille, mais également de la qualité du process pouvant créer des défauts dans l'oxyde. Il a été montré que seul le phénomène de réduction de la mobilité était présent dans le VDMOS, entraînant une augmentation de la résistance à l'état passant [44]. Il existe également le phénomène de « Time Dependant Breakdown », entraînant un claquage de l'oxyde au bout d'un certain temps par le piégeage progressif de charges dans l'oxyde, ainsi que l'effet tunnel, où les électrons traversent l'oxyde selon une loi quantique. Pour des épaisseurs d'oxyde n'étant pas en dessous de 10nm, ces phénomènes ne devraient cependant pas être critiques [43]. La limite supérieure de la concentration P- doit être déterminée à partir de la valeur de l'épaisseur d'oxyde choisie afin d'éviter la remise en conduction du transistor bipolaire parasite lors de dv/dt importants.

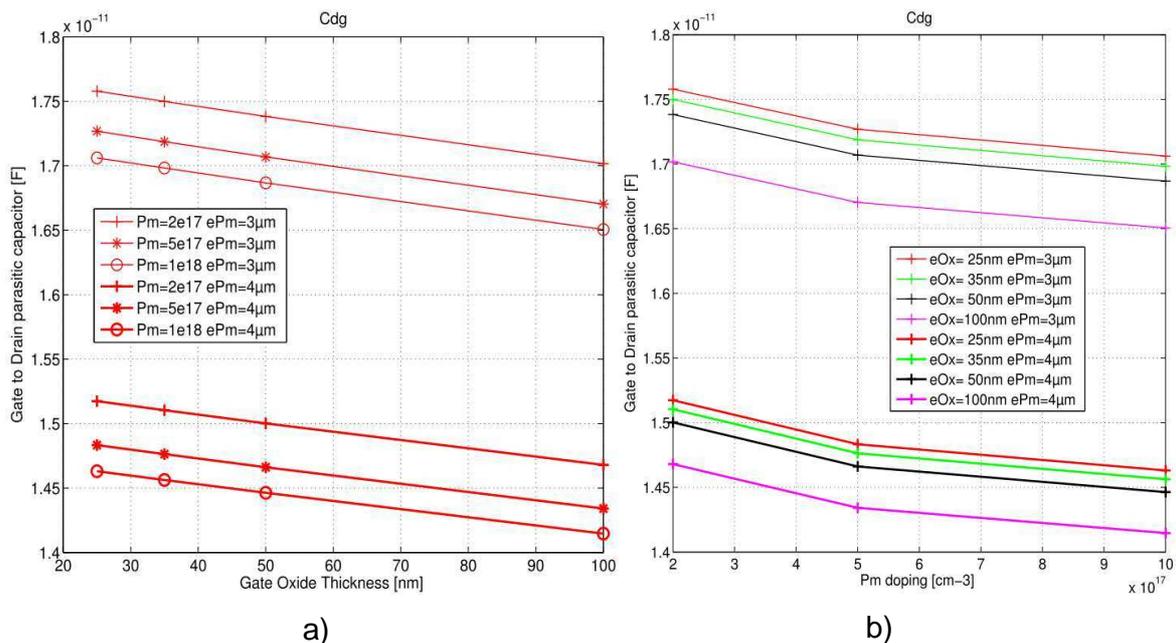


figure 24: a) Capacité C_{gd} en fonction de l'épaisseur de l'oxyde de grille pour différentes concentrations P- et profondeurs de jonctions à $V_{ds}=30V$ b) Capacité C_{gd} en fonction de la concentration P- pour différentes épaisseurs d'oxyde de grille et profondeurs de jonctions à $V_{ds}=30V$

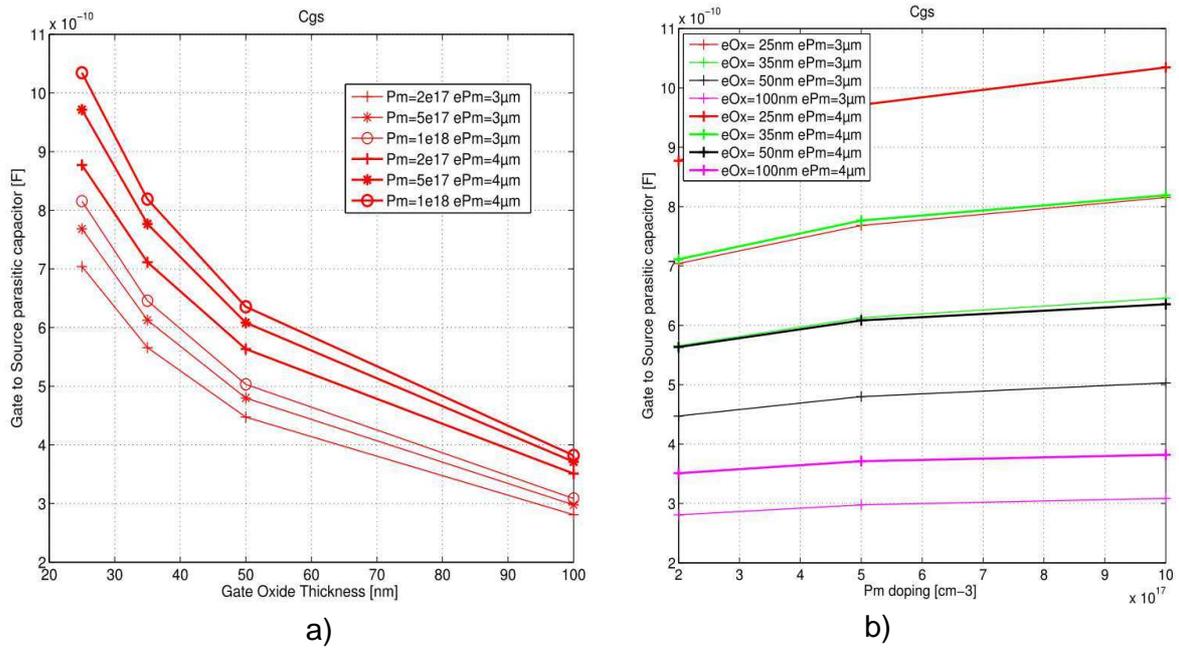


figure 25: a) Capacité C_{gs} en fonction de l'épaisseur de l'oxyde de grille pour différentes concentrations P- et profondeurs de jonctions à $V_{ds}=30V$ b) Capacité C_{gs} en fonction de la concentration P- pour différentes épaisseurs d'oxyde de grille et profondeurs de jonctions à $V_{ds}=30V$

La tendance indiquée par les simulations précédentes a été vérifiée à l'aide de simulations numériques. La figure 26 représente l'évolution de la tension de grille V_{gs} pendant un dv/dt de 400V en 20ns, soit 20kV/ μs . La figure 27 montre l'évolution du courant I_{gs} durant ce même dv/dt . Ces simulations numériques ont été conduites avec le logiciel Silvaco et effectuées par notre groupe d'intégration en électronique de puissance du G2Elab dans le cadre d'un projet de collaboration. Sur la figure 26 nous pouvons voir que le potentiel de grille du composant ayant une concentration P- élevée et une épaisseur d'oxyde de grille réduite est réduit de 0,3V par rapport au composant ayant une concentration P- faible et une épaisseur d'oxyde de grille importante. De même la figure 27 montre que le courant de grille I_{gs} induit par le dv/dt est réduit de 0,15V dans le même cas de figure étudié. Les suppositions faites à partir des observations des figures 23 et 24 sont donc confirmées.

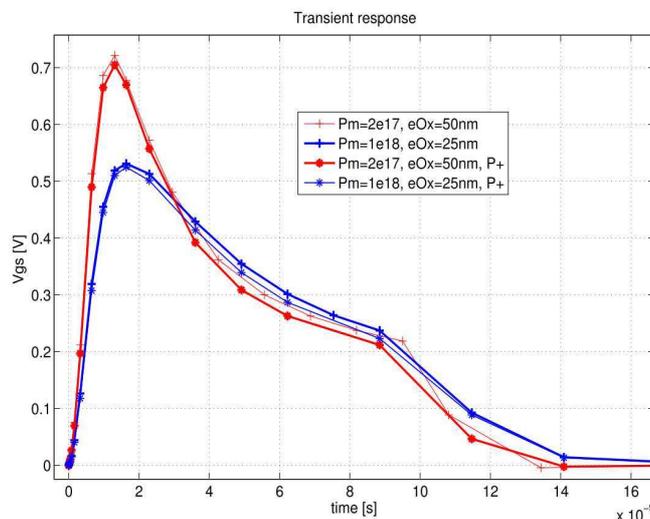


figure 26: a) Effets d'un dv/dt positif sur la tension de grille V_{gs}

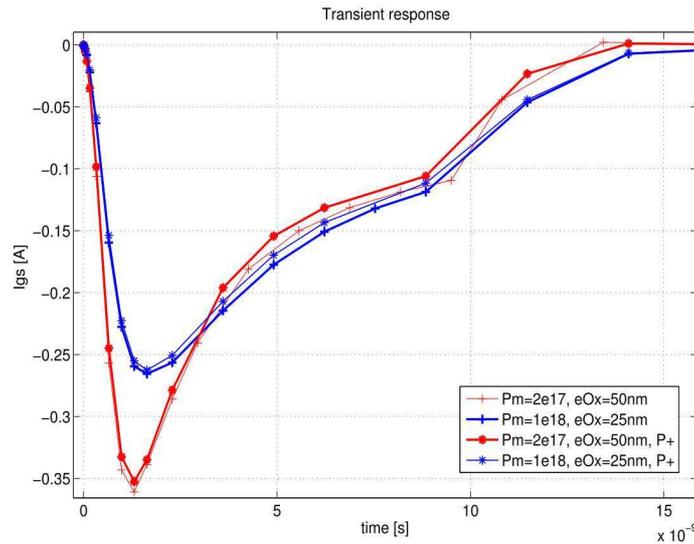


figure 27: Effets d'un dv/dt positif sur le courant de grille I_{gs}

Il a donc été montré dans cette étude que malgré l'augmentation de la capacité C_{gd} lorsque l'on baisse la tension de seuil du transistor VDMOS par la diminution de l'épaisseur de l'oxyde de grille, on avait des gains sur l'énergie de commutation en maintenant une dynamique de commutation constante. Le point négatif apparaissant est une susceptibilité accrue du composant, qui est alors plus sensible aux variations brusques de courant et de tension pouvant le remettre en conduction de façon indésirable. On doit donc trouver un moyen de remédier à cela en modifiant la commande du transistor à tension de seuil réduite. Il a été montré que la susceptibilité du transistor était réduite lorsqu'on modifiait la tension de seuil en réduisant l'épaisseur de l'oxyde de grille tout en conservant une concentration P- élevée. L'immunité du transistor pourrait également être améliorée par la réduction de la résistance de grille ou par l'emploi d'une commande bipolaire permettant d'appliquer une tension suffisamment négative sur la grille pendant l'état bloqué du transistor de puissance, à travers une résistance R_g . Dans ce cas, la tension V_{gs} négative diminue la valeur de la capacité C_{gd} et le courant I_g circulant dans R_g est ainsi plus faible. Une tension négative de $-5 \cdot V_{th}$ devrait permettre une très forte réduction de cette capacité C_{gd} par le phénomène d'auto-écrantage. De plus, l'élévation de tension ΔV_{gs} pendant le dV_{ds}/dt doit maintenant dépasser $6 \cdot V_{th}$ pour que le transistor soit remis en conduction (voir figure 28). Le ΔV_{ds} maximal acceptable dans ce cas sera donc supérieur au cas de la commande unipolaire. Les simulations numériques de cette commande bipolaire (figure 28) confirment l'effet d'auto-écrantage [43], avec une réduction du courant parasite de charge de grille I_g qui est réduit d'un facteur 15 grâce à la tension de sortie du driver négative, ce qui garantit alors une élévation de moins de 0.2V du potentiel de grille pendant un dv/dt , et donc une très bonne immunité. Il n'y a pas lieu ici de comparer la remise en conduction du transistor bipolaire parasite sous l'effet de dv/dt positif, car la modification de l'épaisseur d'oxyde de grille ne modifie ni la résistance pincée R_b , ni la capacité C_{db} , cet amorçage du transistor bipolaire sera donc identique dans tous les cas.

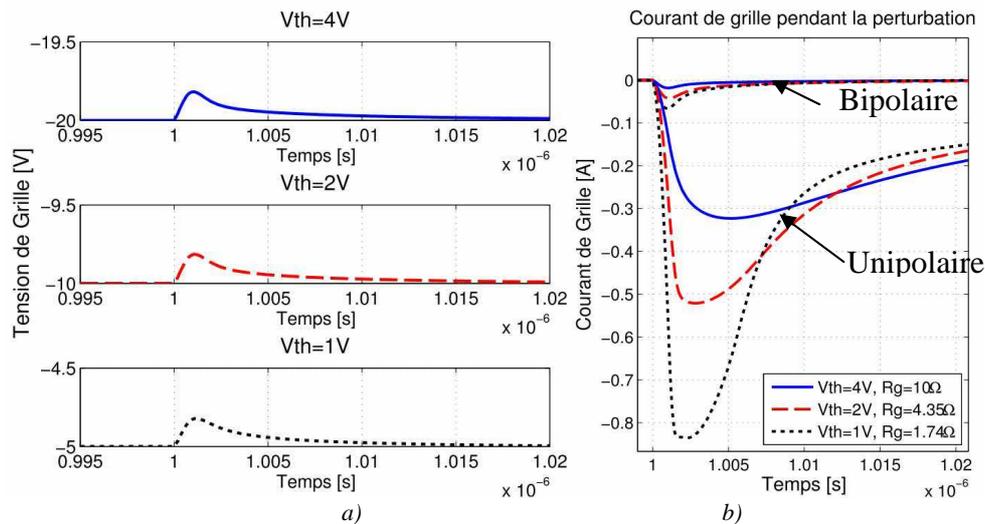


figure 28: a) Effets d'un dv/dt positif sur la tension de grille, la tension de sortie du driver étant à $-5 \cdot V_{th}$. b) Comparaison sur l'évolution du courant de grille pendant la perturbation, pour la commande unipolaire et bipolaire. (simulations effectuées au LAAS avec TCAD Sentaurus [39, 40])

Les conclusions que l'on peut tirer de cette étude sur la baisse de la tension de seuil d'un transistor VDMOS de puissance sont qu'il existe des gains non négligeables à l'utilisation de transistors de puissance à tension de seuil réduite. En effet, il a été démontré que la tension de seuil pouvait être réduite jusqu'à 1V sans rencontrer de contrainte physique majeure, et que la sensibilité de la tension de seuil à la température n'était pas dégradée. De plus des gains notables sur l'énergie de commande sont obtenus avec les composants à tension de seuil réduite, et ce malgré une augmentation des capacités parasites lorsque la tension de seuil est réduite par la modification de l'oxyde de grille. La baisse de la tension d'alimentation de la commande est la cause majeure de ces gains, même si la résistance de grille du transistor doit être réduite et ainsi le courant de grille augmenté pour conserver une dynamique de commutation égale aux composants à tension de seuil supérieure. Cependant cette augmentation du courant de grille nécessite donc une augmentation de la surface silicium du driver, cette étude devra donc être complétée par le bilan des tailles des drivers pour une tension de seuil donnée. Cette diminution de la tension de commande est également très attrayante car elle permet de diminuer l'écart entre la tension du composant de puissance à l'état passant et la tension d'alimentation du circuit de commande rapprochée, afin d'effectuer le plus efficacement possible une auto alimentation du circuit de commande lors de l'état passant, comme il a été brièvement expliqué plus haut. Cet aspect va être examiné plus en détail dans la suite de ce mémoire de thèse.

4 Vers une auto alimentation à l'état passant du transistor : possibilités d'intégration de l'auto alimentation à l'état passant

Comme il a été discuté dans le paragraphe précédent, la réduction de la tension de seuil du transistor MOSFET de puissance permet de baisser la tension d'alimentation du circuit de commande de grille, rendant plus aisé la possibilité d'utiliser la chute de tension à l'état

passant du transistor afin d'alimenter sa commande. Les différentes possibilités de réalisation de cette alimentation, en fonction du niveau de tension et de la topologie de conversion choisie, vont être présentées dans ce paragraphe. On suppose dans ce cas que la chute de tension à l'état passant de l'interrupteur est toujours inférieure à la tension d'alimentation de la commande, notre choix s'orientera donc uniquement sur des structures élévatrices de tension telles que les structures à pompe de charges ou élévatrices (boost). Cette étude se place toujours, dans la limite du possible, dans une logique d'intégration, c'est-à-dire que la structure proposée doit pouvoir être intégrée à moindre coût sur silicium. En effet, ce type de convertisseur nécessite des composants passifs, que ce soit des condensateurs dans le cas des pompes de charge, ou une inductance dans le cas d'une structure boost. L'intégration de ces composants passifs pose encore à l'heure actuelle beaucoup de difficultés, que ce soit du fait de leur faible densité d'intégration (par exemple, la densité des capacités polysilicium en technologie CMOS 0.35µm est typiquement de 0,9 fF/µm² et de 1.25fF/µm² pour les capacités MIM dans les technologies AMS et XFAB [44, 45]) ou des forts composants parasites associés dus au couplage parasite avec le substrat [46, 47]. Actuellement, de nombreux efforts sont faits pour résoudre ces problèmes, que ce soit par l'intégration des condensateurs en trois dimensions [48], par l'empilement de puces CMOS actives et de puces intégrant les composants passifs en flip chip [49], ou encore par l'augmentation des fréquences de découpage des convertisseurs [50]. L'intégration des composants passifs est donc en voie d'amélioration, mais ce n'est pas le cas pour les technologies CMOS standard qui sont plus anciennes. Dans l'étude suivante, nous prendrons le cas d'une technologie CMOS 0.35µm standard fabriquée par Austria Microsystems, possédant une tension d'alimentation de 3,3V [44].

4.1 Structures à pompe de charges

Le premier choix retenu concerne les structures à pompe de charge, utilisant des condensateurs. Il existe de nombreuses structures à pompe de charges, nous retiendrons donc uniquement les plus connues et utilisées. Il s'agit des structures de Dickson (fig 29-a), ainsi que des structures doubleur (fig 29-b) et tripleur (fig 29-c) de tension [51, 52, 53]. Leurs différences principales sont que dans les topologies doubleur et tripleur de tension, les transistors sont utilisés en interrupteurs, et la capacité est chargée par la tension d'entrée, puis commutée et mise en série avec la tension d'entrée. Par la répétition de cette séquence de commutation, la capacité de sortie Cload est petit à petit chargée à deux et trois fois la tension d'entrée pour le doubleur et le tripleur respectivement. Dans la topologie de Dickson, les transistors sont utilisés comme diodes, et les capacités sont chargées par les horloges CLK1 et CLK2. Le gain par étage de cette topologie est décrit par l'équation (4), où n est le nombre d'étages en série :

$$V_{out} = VDD + n \times (VDD - V_{th}) \quad (4)$$

La tension de seuil des diodes est donc remplacée par la tension de seuil des transistors. Plus le nombre d'étages sera important, plus le gain en tension sera donc grand. Il est également possible de disposer plusieurs étages doubleurs de tension en série pour obtenir un plus grand gain en tension. Ces topologies vont donc être dimensionnées pour une tension d'entrée de 1V et une tension de sortie de 3V et une puissance de sortie de 30mW, qui est une estimation de la consommation moyenne de la commande rapprochée. Le dimensionnement du circuit tripleur de tension sera expliqué en détail dans la partie II-2.3.2 de ce mémoire de thèse. Le dimensionnement de ces circuits étant effectués en boucle ouverte autour d'un point de fonctionnement pour une tension d'entrée ainsi qu'une tension et un courant de sortie

donnés, le fonctionnement de ces circuits en boucle fermée n'a pas été abordé dans ce cas d'étude.

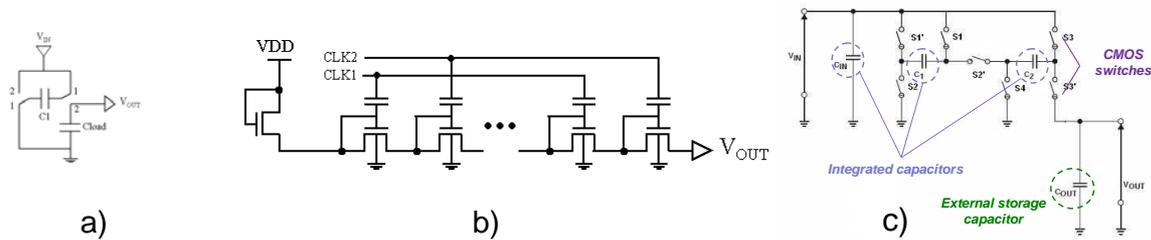


figure 29: Structures de circuits à pompe de charge : a) Circuit doubleur de tension b) Circuit de Dickson c) Circuit tripleur de tension

4.1.1 Doubleur de tension : dimensionnement

Les trois variables ayant une influence sur la puissance transférée sont la valeur de la capacité commutée C , déterminant l'énergie transférée, la largeur de grille des transistors utilisés en interrupteur W , le ratio largeur/longueur de grille ayant une influence directe sur la résistance à l'état passant des interrupteurs et donc sur les pertes en conduction, ainsi que la fréquence de commutation F , déterminant les pertes par commutation. L'influence de ces paramètres sur la puissance de sortie ainsi que sur le rendement de conversion du circuit va être observée. La résistance équivalente d'une capacité commutée est égale à :

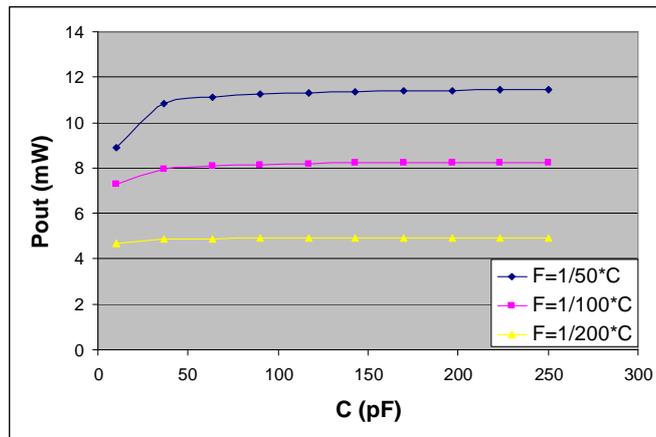
$$R_{eq} = \frac{1}{F \times C} \quad [53].$$

La méthodologie employée pour le dimensionnement du doubleur de tension est donc de fixer une résistance équivalente de la capacité commutée, et de faire varier la valeur de la capacité en faisant varier la fréquence proportionnellement à cette valeur. Les figures 30-a et 30-b montrent respectivement la puissance de sortie et le rendement du doubleur en fonction de la valeur de la capacité commutée. Les simulations du circuit sont effectuées avec le logiciel Cadence permettant d'avoir une bonne estimation des pertes et du rendement dans le cas de circuits intégrés sur silicium grâce à l'utilisation de modèles précis, fourni par le fondeur AMS. L'énergie nécessaire pour la commande des transistors n'est pour l'instant pas prise en compte dans cette étude, le but étant de comparer uniquement la topologie du circuit.

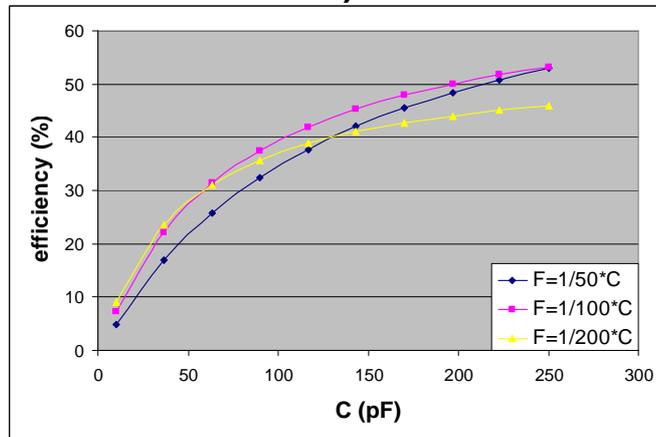
La valeur de la résistance équivalente de la capacité commutée est fixée à 50, 100 et 200Ω. La figure 30-a montre que plus la valeur de la résistance est faible, plus la puissance de sortie du circuit est importante. En revanche, la figure 30-b montre que la valeur de cette résistance n'a pas une influence majeure sur le rendement, mais que la valeur de la capacité est prédominante sur la valeur du rendement. On choisira donc la valeur de capacité la plus importante possible, afin d'obtenir un meilleur rendement ; mais une valeur de résistance équivalente la plus faible (et donc une fréquence de commutation plus grande) afin d'obtenir une puissance de sortie plus importante. On choisira donc une capacité de 250pF et une résistance équivalente de 50Ω, soit une fréquence de commutation de 80MHz.

La troisième variable à déterminer est la taille des interrupteurs. Ceux-ci doivent être assez grand pour minimiser les pertes par conduction dans le circuit, mais leur taille doit être limitée afin que les pertes par commutation ne deviennent pas prédominantes, spécialement aux fréquences de commutation considérées. La figure 31 montre l'influence de la largeur de grille des transistors sur la puissance de sortie et sur le rendement du doubleur, dans le cas du point de fonctionnement fixé au préalable. On peut voir que la puissance de sortie augmente lorsque la taille des interrupteurs augmente, mais le rendement se détériore lorsque la taille

des interrupteurs devient trop importante. La largeur de grille optimale semble donc être autour de 1mm.



a)



b)

figure 30: a) Puissance de sortie du doubleur en fonction de la valeur de la capacité commutée. b) Rendement du doubleur en fonction de la valeur de la capacité commutée.

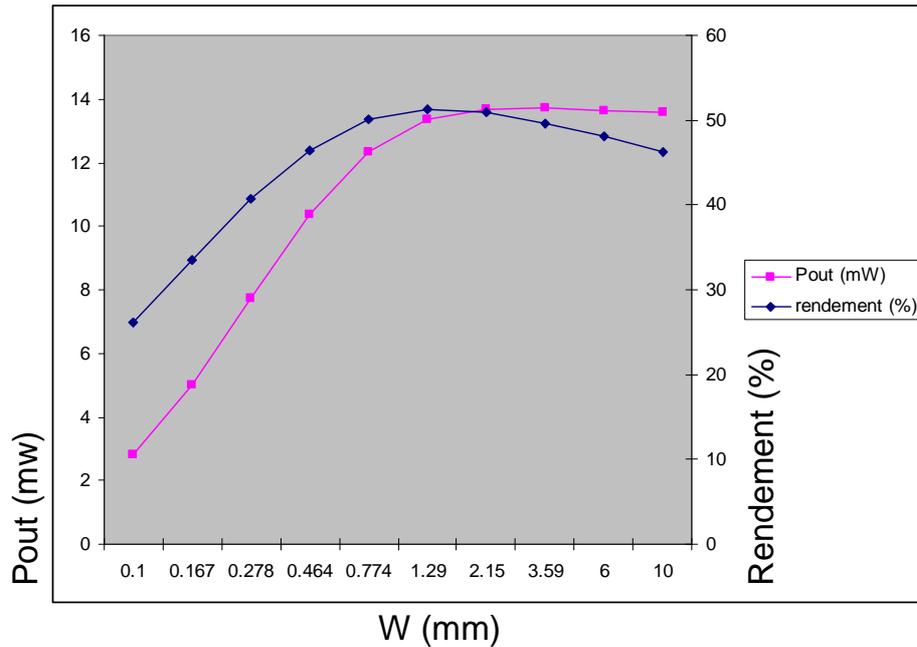
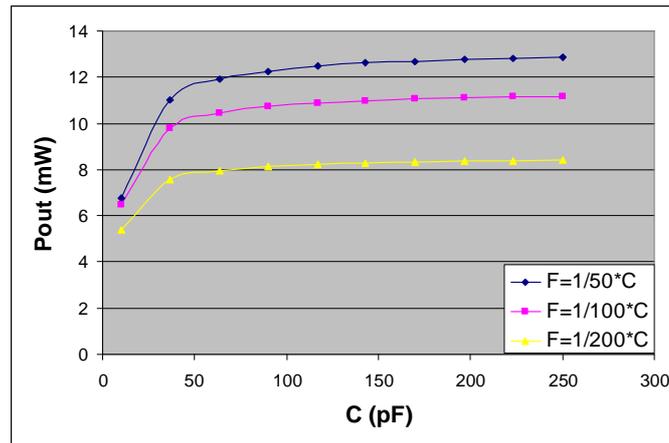


figure 31: a) Puissance de sortie et rendement du doubleur en fonction de la largeur de grille des transistors pour une fréquence de 80MHz et des capacités de 250pF.

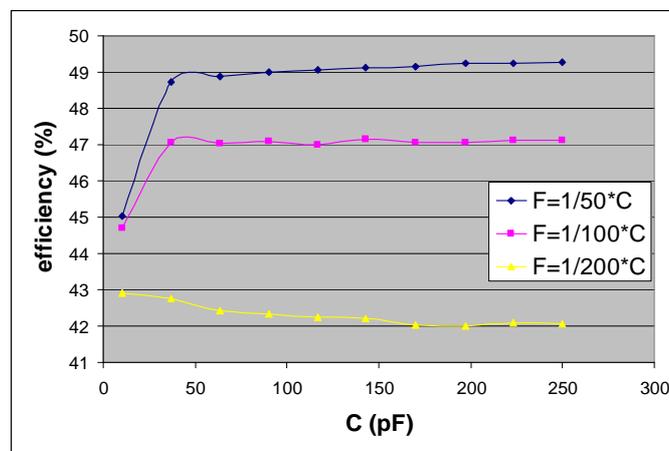
La cellule élémentaire du doubleur de tension est donc maintenant dimensionnée de manière optimale. Il faut maintenant déterminer combien de cellules élémentaires on doit mettre en série afin d'obtenir une puissance de sortie de 30mW pour une tension de sortie de 3V. Par simulation, il a été obtenu une puissance de sortie maximale de 16mW en mettant deux étages doubleurs de tension en série, malgré la modification de plusieurs paramètres du circuit et l'essai de différentes topologies de switchs (switchs NMOS et CMOS). Cette valeur est donc inférieure à 30mW, on en conclut que le doubleur de tension n'est pas un circuit adapté pour notre application.

4.1.2 Structure de Dickson : dimensionnement

La même stratégie de dimensionnement que pour le doubleur de tension sera utilisée pour la structure de Dickson. Les figures 32-a et 32-b montrent respectivement la puissance de sortie et le rendement du doubleur en fonction de la valeur de la capacité commutée.



a)



b)

figure 32: a) Puissance de sortie de la structure de Dickson en fonction de la valeur de la capacité commutée. b) Rendement de la structure de Dickson en fonction de la valeur de la capacité commutée.

La valeur de la résistance équivalente de la capacité commutée est fixée à 50, 100 et 200Ω. La figure 32-a montre que plus la valeur de la résistance est faible, plus la puissance de sortie du circuit est importante, ce qui s'explique car les pertes dans les condensateurs sont réduites. De même, la figure 32-b montre que le rendement est meilleur pour une valeur de résistance équivalente de la capacité plus faible. On choisira donc la valeur de résistance équivalente la plus faible possible (et donc une fréquence de commutation plus grande), afin d'obtenir un meilleur rendement. Dans tous les cas, le rendement et la puissance de sortie sont constants à partir de valeurs de capacité de 100pF, on choisira donc cette valeur afin de limiter la taille des composants passifs du circuit et une résistance équivalente de 50Ω, soit une fréquence de commutation de 80MHz.

La figure 33 montre la puissance de sortie et le rendement du circuit en fonction de la largeur de grille des transistors. On peut voir que cette largeur de grille n'a pas une influence prédominante au-delà de 3mm, on peut donc choisir cette valeur pour avoir une puissance de sortie et un rendement optimums tout en minimisant la taille des composants actifs.

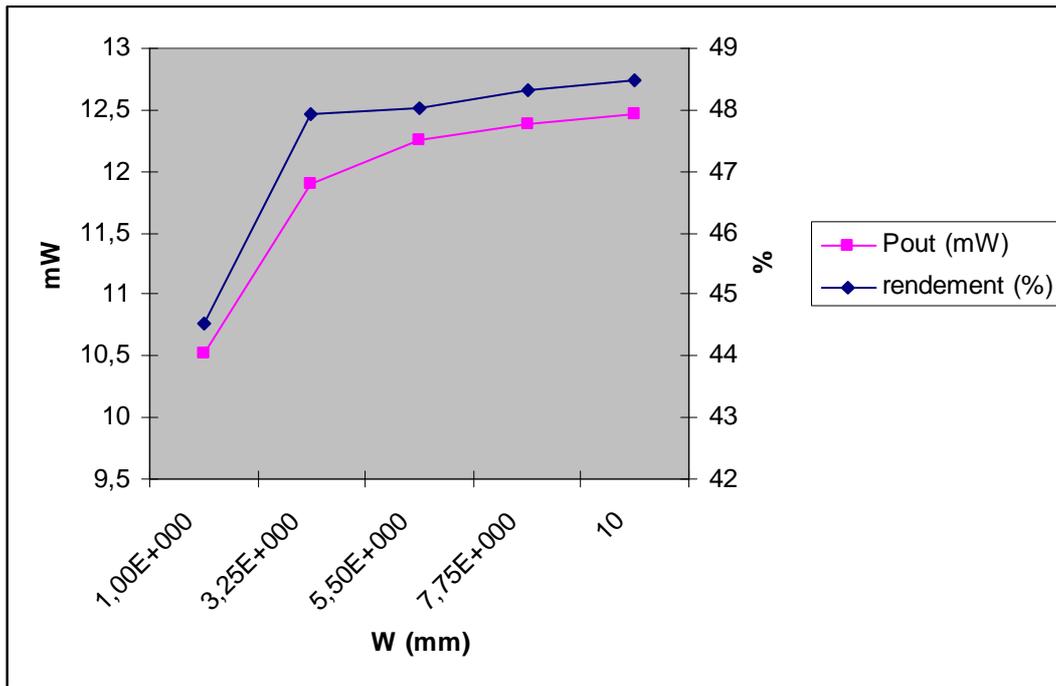


figure 33: a) Puissance de sortie et rendement de la structure de Dickson en fonction de la largeur de grille des transistors

La cellule élémentaire de la structure Dickson est donc maintenant dimensionnée, en disposant deux cellules en série on obtient par simulation une puissance de sortie de 34.4mW pour un rendement de 30.4%.

Ces circuits ayant soit un rendement réduit avec deux étages en cascade (comme la structure de Dickson), soit une puissance de sortie insuffisante (comme la structure doubleur de tension), une troisième topologie a été étudiée, le montage tripleur de tension [53]. Ce circuit a été estimé intéressant en termes de puissance de sortie et de rendement et ne requiert que trois capacités intégrées et une capacité externe. Le schéma de ce circuit a été montré dans la figure 29-c. Ce circuit contient donc trois capacités intégrées, sept interrupteurs (transistors NMOS et PMOS intégrés) ainsi que la capacité de stockage externe. Ce circuit n'est donc pas optimisé du point de vue du nombre de transistors, mais offre un bon compromis dans notre cas au vu des simulations effectuées montrant que ce circuit satisfait le cahier des charges fixé (figure 34).

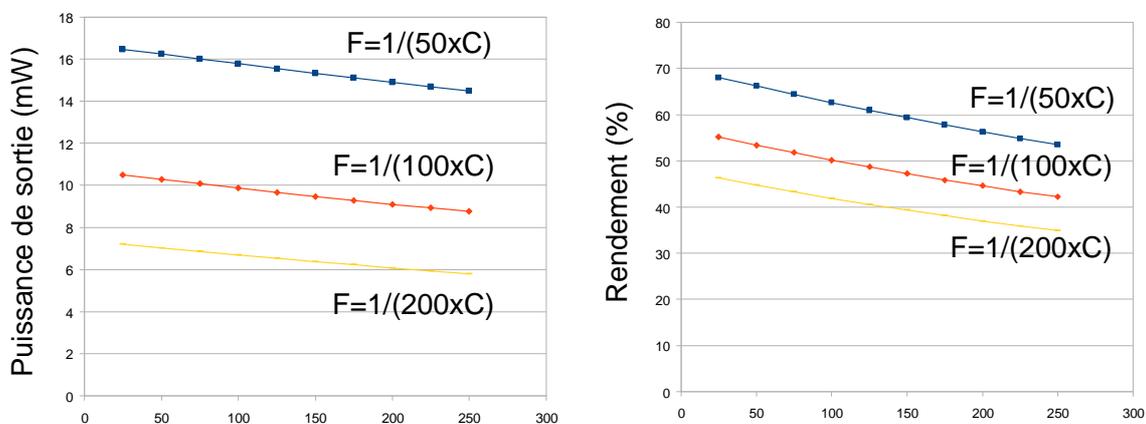
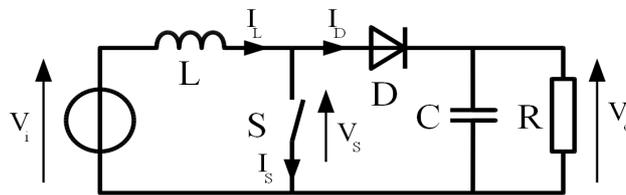


figure 34: Puissance de sortie et rendement en fonction de la valeur des capacités et de la fréquence de commutation pour un étage tripleur de tension

4.2 Structure boost

La seconde solution pour réaliser une élévation de tension est d'utiliser une structure dite « boost ». Cette structure classique en électronique de puissance utilise un interrupteur, une inductance ainsi qu'une diode. Cette topologie est représentée figure 35. Son principe de fonctionnement est de stocker l'énergie de la source de tension dans l'inductance lorsque l'interrupteur est fermé, puis de délivrer cette énergie à la charge lorsque l'interrupteur est ouvert. Comme pour les montages à pompe de charges, cette structure va être dimensionnée pour des tensions de sortie de 3.3V et pour une puissance de sortie de 30mW.



a)

figure 35: Structure « boost » classique.

Pour le dimensionnement, on se place à la limite entre la conduction continue et discontinue. Dans ce cas le courant de sortie limite entre ces deux modes de fonctionnement est donné par l'équation (5) :

$$I_o \text{ lim} = \frac{V_i \cdot T}{2 \cdot L} \times \frac{V_i}{V_o} \times \left(1 - \frac{V_i}{V_o}\right) \quad (5)$$

A ce stade du dimensionnement, la valeur de la fréquence ainsi que de l'inductance ne sont pas encore fixées, on ne peut donc pas déterminer le courant limite. On fait donc l'hypothèse que le convertisseur fonctionne à la limite entre la conduction continue et discontinue. On emploie donc l'équation de la tension en conduction continue.

La fonction de transfert en conduction continue du montage boost est la suivante :

$$\frac{V_s}{V_e} = \frac{1}{1 - \alpha}, \text{ alpha étant le rapport cyclique du signal de commande de l'interrupteur. Ceci}$$

signifie que la tension de sortie est dépendante de la tension d'entrée ainsi que du rapport cyclique du signal de commande. Pour une tension d'entrée de 1V et une tension de sortie de 3.3V, le rapport cyclique est donc de 0.7. Les paramètres sur lequel le concepteur à une influence sont la valeur de l'inductance L, la taille des interrupteurs S, la diode étant remplacée par un composant MOS, la taille de la capacité de sortie C ainsi que la fréquence et le rapport cyclique alpha. L'influence de ces paramètres sur la puissance de sortie et sur le rendement du circuit va être étudiée.

Pour dimensionner l'inductance, on peut se baser sur l'équation (6) :

$$L = \frac{V_e \times \alpha}{I_l \text{ max} \times F} \quad (6)$$

avec V_e tension d'entrée, α le rapport cyclique, I_{\max} le courant maximal dans l'inductance et F la fréquence de découpage.

Pour le dimensionnement du montage, on peut déterminer une stratégie consistant à fixer la tension d'entrée, le rapport cyclique ainsi que le courant maximal dans l'inductance et faire varier la fréquence de découpage proportionnellement à l'inductance. Le courant I_{\max} est donné par l'équation (7).

$$I_{\max} = \frac{V_s \times 2.I_s}{V_e}, \quad (7)$$

avec V_s et I_s respectivement la tension et le courant de sortie et V_e la tension d'entrée du circuit. Pour une tension d'entrée de 1V et une tension et un courant de sortie respectivement de 3V et 10mA, le courant I_{\max} est de 66mA. Il s'agit maintenant de déterminer la fréquence de découpage et la valeur de l'inductance optimales.

La figure 36 montre le rendement de la structure boost en fonction de la fréquence (et de l'inductance) du circuit pour une puissance de sortie constante fixée à 30 mW. La résistance série de l'inductance est estimée à $L \cdot 10^7$, soit si l'inductance a une valeur de 100nH, la valeur de la résistance série de l'inductance est de 1Ω. Cette valeur correspond à une estimation de la valeur de la résistance parasite d'une inductance dans la technologie considérée. Cette étude ne tient pas compte des pertes dans le substrat pour le cas d'une inductance intégrée. Il est montré sur la figure 36 que le rendement du circuit dans ce cas est optimal sur une plage de fréquence comprise entre 40 et 60MHz. Avant cette plage de fréquence, la résistance série de l'inductance pénalise le rendement. En effet pour les faibles tensions considérées, une valeur de résistance série de l'inductance trop élevée est très pénalisante. A partir de la fréquence de 40MHz le rendement de conversion du circuit est stable, et la valeur d'inductance résultant de l'équation (5) est de 190nH, ce qui correspondrait environ à une spire de 800μm de côté selon les équations analytiques que l'on peut trouver dans [54] et [55].

Si l'on augmente la fréquence jusqu'à 60MHz, le rendement est optimal et la valeur de l'inductance est réduite à 130nH, ce qui correspond à une inductance de 700μm de diamètre selon les mêmes équations que précédemment. On préférera donc choisir une fréquence plus élevée afin de réduire au maximum la taille de l'inductance. Au-delà de 60 MHz, les pertes par commutation deviennent trop importantes et le rendement chute.

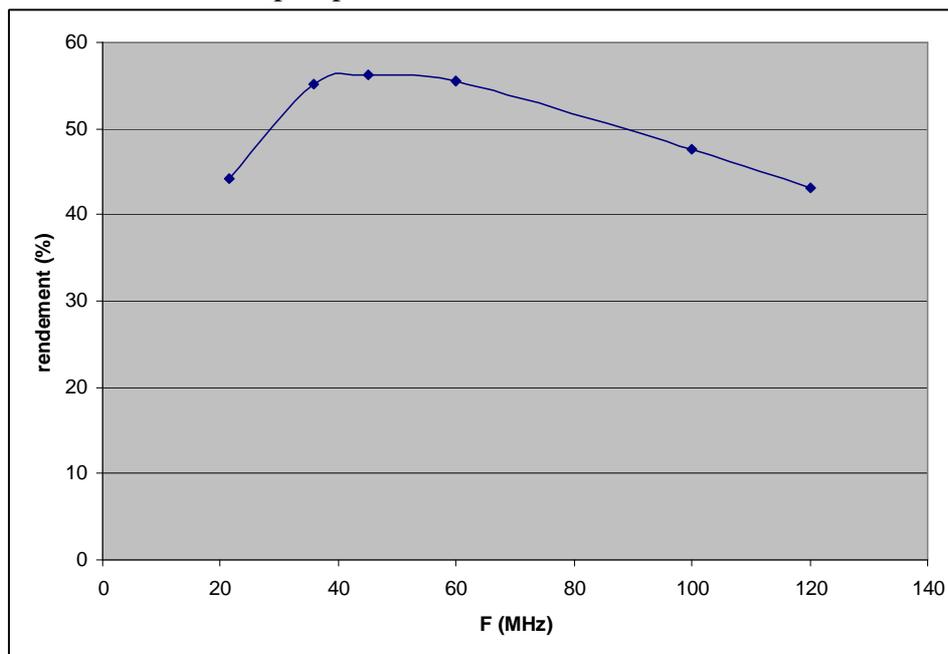


figure 36: Rendement de la structure boost en fonction de la fréquence de commutation pour une puissance de sortie constante égale à 30 mW

La figure 37 montre l'évolution du rendement de conversion du circuit en fonction de la largeur de grille du transistor. On peut voir que le rendement augmente avec la largeur de grille car les pertes en conduction du circuit diminuent, mais le rendement global est dégradé à partir d'une certaine taille des transistors car les pertes en commutation deviennent prédominantes. On peut donc choisir une valeur de la largeur de grille assez faible (3 mm). La figure 38 montre l'évolution de la puissance et du rendement de la structure boost en fonction de la capacité de sortie C_s . On peut observer que l'on obtient une puissance de sortie proche de 30mW pour une valeur de C_s de 10nF, on choisira donc cette valeur même si le rendement est dégradé.

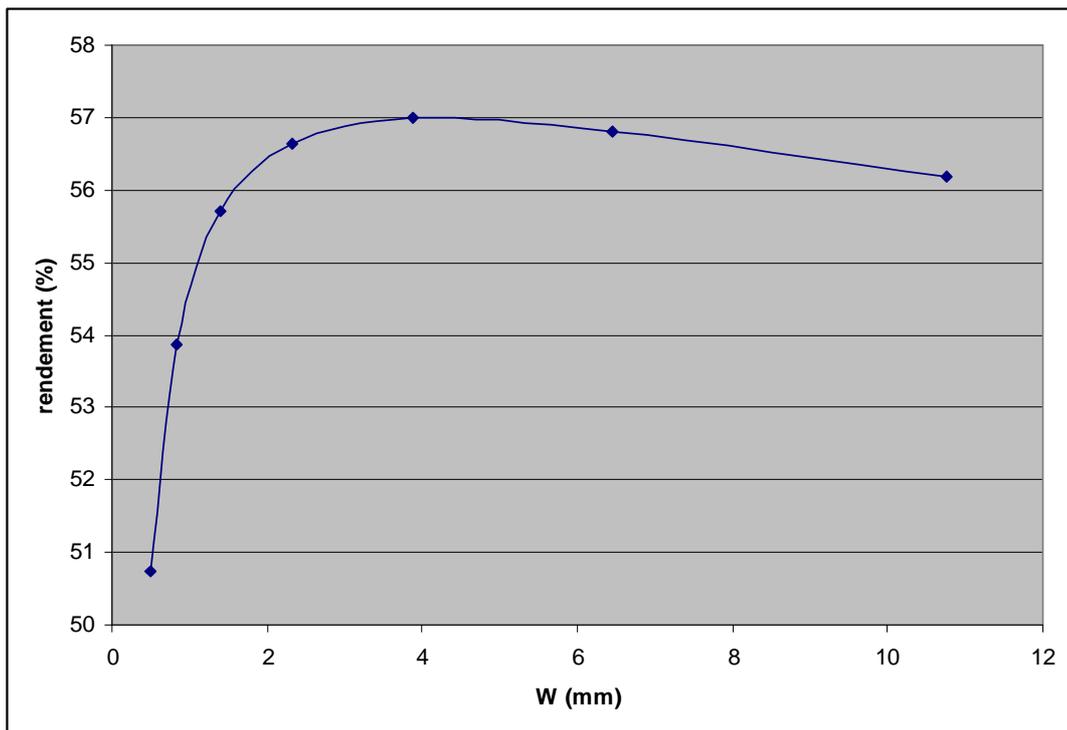


figure 37: Rendement de la structure boost en fonction de la largeur de grille du transistor

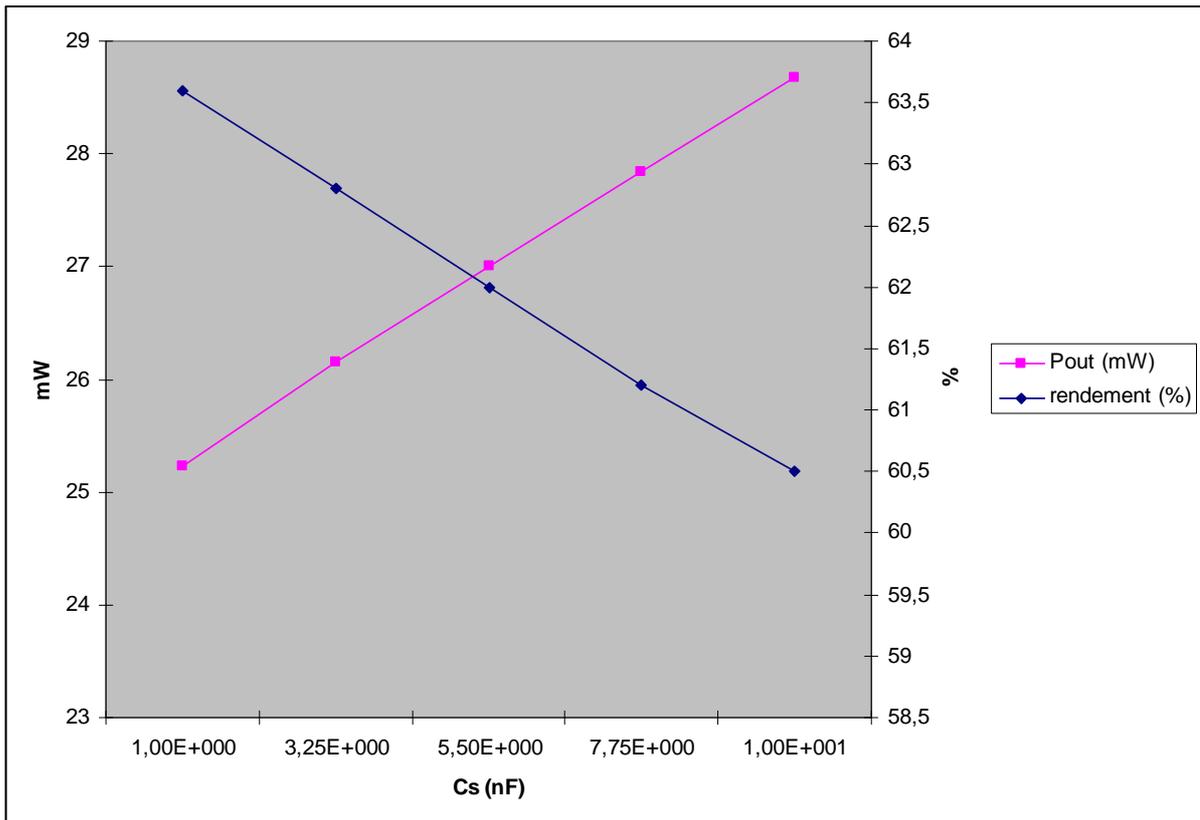


figure 38: Puissance de sortie et rendement de la structure boost en fonction de la capacité de sortie.

La structure boost est donc maintenant dimensionnée : pour une inductance de 130nH, une fréquence de découpage de 60MHz et une largeur de grille de l'interrupteur de 3mm, on obtient une puissance de sortie de 28.7mW et un rendement de 60.4%

4.3 Bilan sur l'intégration de l'auto alimentation à l'état passant :

Nous avons donc choisi et dimensionné plusieurs structures de convertisseurs élévateurs de tension de deux types différents, des montages à pompe de charge utilisant des condensateurs comme composants passifs, et de la structure boost utilisant une inductance. Une figure de mérite (FOM) a été définie en se basant sur l'aire de silicium totale, le rendement et la puissance de sortie comme exprimé dans l'équation (7).

$$FOM = \frac{P_{out} \cdot \eta}{Aire_totale} \quad (7)$$

Le bilan en termes de rendement et d'intégration de ces structures est montré dans le tableau 8.

| | Puissance de sortie (mW) | Rendement | Aire totale des actifs(mm ²) | Aire totale des passifs (mm ²) | FOM |
|---------------------|--------------------------|-----------|--|--|------|
| Boost monolithique | 5 | 30% | 0.03 | 0.5 | 282 |
| Boost hybride | 29 | 60% | 0.03 | >7 | 250 |
| Doubleur de tension | 16 | 37% | 0.24 | 0.6 | 714 |
| Dickson | 34 | 36% | 0.12 | 0.8 | 1137 |
| Tripleur de tension | 16 | 64% | 0.2 | 0.44 | 1600 |

Tableau 8 : *Comparaison des circuits éleveurs de tension pour l'auto alimentation à l'état passant.*

Ce tableau montre le rendement et la taille du circuit intégré sur silicium pour une tension d'entrée du circuit éleveur égale à 1V et une puissance de sortie du circuit de 30mW, correspondant à la consommation estimée de la commande rapprochée. On peut voir que les structures doubleur et tripleurs de tension n'offrent pas une puissance de sortie assez grande pour alimenter la commande rapprochée. De plus on peut voir que les structures doubleur et Dickson ont un faible rendement (<40%), et occupent une surface de silicium importante. En revanche, la structure tripleur de tension offre un bon rendement ainsi qu'une surface de silicium occupée plus faible. Pour la structure boost, deux cas ont été distingués pour plus de réalisme, le cas où l'inductance est intégrée sur silicium (boost monolithique) et le cas où l'inductance est externe (boost hybride). Seule la résistance série de l'inductance du montage a donc été modifiée. Le rendement et la puissance de sortie de la structure boost monolithique sont donc dégradés de moitié de par la forte augmentation de la résistance série de l'inductance. Le boost hybride offre un bon rendement et une puissance de sortie satisfaisante, mais ne sera pas retenu afin de simplifier la mise en oeuvre de la puce. Le convertisseur ayant la figure de mérite la plus élevée sera le plus propice à l'intégration de l'auto alimentation à l'état passant sur silicium. On peut voir que le tripleur de tension possède la FOM la plus élevée, en conclusion, c'est donc cette structure qui est la mieux adaptée à l'intégration de l'auto alimentation à l'état passant.

5 Perspectives : l'interrupteur autonome

Les systèmes présentés plus haut dans ce mémoire de thèse rentrant dans le processus d'intégration de la commande des interrupteurs de puissance ouvrent la voie à de nouveaux systèmes, permettant l'implémentation d'un interrupteur générique et complètement autonome. Cet interrupteur est dit générique car il peut être commandé de la même manière qu'il soit « high side » ou « low side », c'est-à-dire du côté haut ou du côté bas d'un bras d'onduleur. De plus sa commande est intégrée au plus près du composant par la technique de packaging « flip-chip », et optimisée dès la phase de conception. En effet, les techniques d'auto alimentation permettent d'éliminer les besoins d'alimentation externe, simplifiant énormément la mise en oeuvre des interrupteurs dans des dispositifs complexes avec différents niveaux de tension. L'intégration des protections ainsi que de la commande rapprochée au plus près du composant permet un meilleur contrôle de celui-ci par la forte réduction des

effets parasites dus aux interconnexions. Ce processus d'intégration peut être poussé encore plus par l'ajout de nouvelles fonctionnalités. Par exemple, l'intégration des fonctions en technologie CMOS peut permettre l'utilisation de fonctions numériques comprenant un grand nombre de circuits logiques. Ainsi on peut imaginer envoyer un ordre de commande modulé numériquement à haut débit contenant les informations de fréquence et de rapport cyclique pour la commutation de l'interrupteur (figure 39). Ces informations seraient reçues par une antenne intégrée et démodulées à l'intérieur de la puce de commande par un circuit numérique. Ensuite ces informations seraient stockées dans un registre dédié, et transmises à la commande rapprochée. De cette manière, on peut « programmer » l'interrupteur de manière à ce qu'il commute de façon autonome, et venir le reprogrammer lorsqu'il est nécessaire.

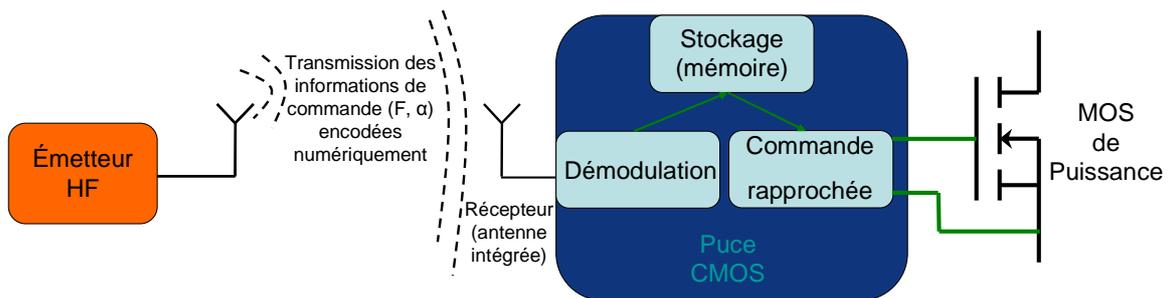


figure 39: Schéma de principe de l'interrupteur autonome

Ceci n'est qu'un exemple des possibilités qui sont offertes par le processus d'intégration et de packaging présenté, et de nombreux systèmes peuvent voir le jour dans le but de simplifier la commande des systèmes d'électroniques de puissance et d'améliorer leurs performances. La figure 40 montre différents types de systèmes comprenant plusieurs interrupteurs pouvant être mis en oeuvre, et les différentes façons de transmettre les informations de commande. Dans un premier cas (figure 40-a), le transfert d'information se fait par l'air, et un seul émetteur peut contrôler plusieurs interrupteurs à la fois. Ce cas est optimal, cependant il est le plus complexe car il requiert que chaque interrupteur soit réglé pour fonctionner à une fréquence donnée, et que l'émetteur fonctionne à diverses fréquences. Dans le second cas (figure 40-b), le transfert d'informations se fait également par l'air, mais cette fois chaque interrupteur possède son émetteur propre fonctionnant à une fréquence donnée. Dans ces deux premiers cas le transfert d'informations se fait dans un seul sens, de l'extérieur vers l'interrupteur. Dans le troisième cas (figure 40-c), le transfert d'informations se fait par voie magnétique, qui permet également un transfert à haut débit (haute fréquence). Ceci permet également le transfert bidirectionnel d'informations, le signal pouvant être transmis de l'interrupteur vers l'extérieur. Ceci peut servir à la transmission d'informations de protections de l'interrupteur telles que sa température, signaler un court-circuit de l'interrupteur ou un fonctionnement dégradé (sur ou sous-tension). Les deux derniers cas (figures 40-d et 40-e) montrent ce transfert bidirectionnel dans le cas d'un transfert par l'air. Dans ce cas, des blocs de transmission et de réception doivent être intégrés sur chacune des puces, mais le signal peut transiter via la même antenne si un filtrage est réalisé sur le signal émis ou reçu par cette antenne comme dans le cas des communications téléphoniques mobiles.

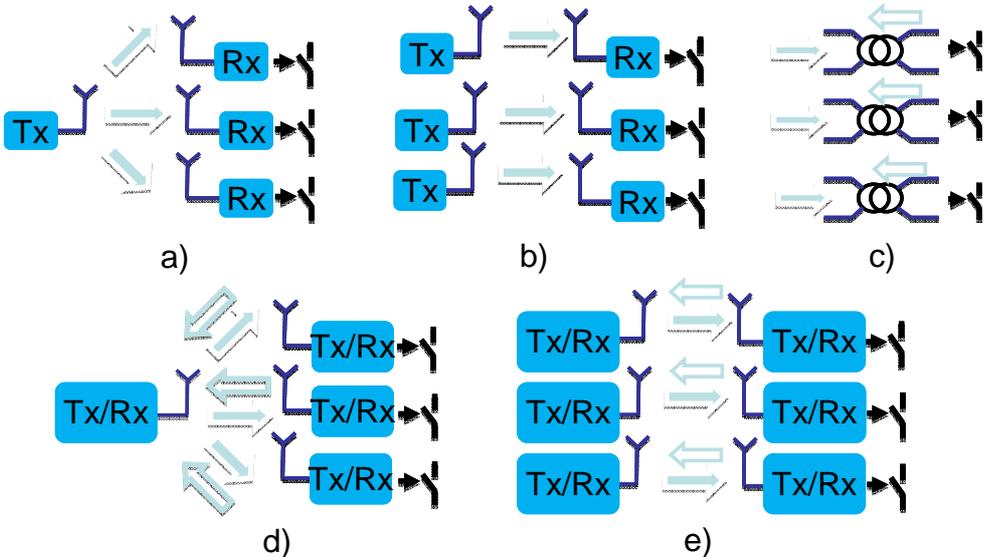


figure 40: Exemples de systèmes intégrant des interrupteurs autonomes

Chapitre II : Développements conceptuels et tests associés

Sommaire

| | | |
|----------|--|-----------|
| 1 | INTRODUCTION | 51 |
| 1.1 | INTEGRATION PARTAGEE DES FONCTIONNALITES | 51 |
| 1.2 | GENERALITES SUR LA COMMANDE DES TRANSISTORS MOSFETS DANS UN CONVERTISSEUR DE PUISSANCE : CIRCUITS USUELS | 55 |
| 1.2.1 | <i>Circuits de commande de MOSFETs high side à transformateurs</i> | 57 |
| 1.2.2 | <i>Circuits de commande de MOSFET high side à pompe de charge</i> | 57 |
| 1.2.3 | <i>Circuit de commande de MOSFET high side par la technique « bootstrap »</i> | 58 |
| 1.2.4 | <i>Circuit de commande de MOSFET high side par la technique d'auto alimentation</i> | 58 |
| 2 | CONCEPTION DE LA PUCE DE COMMANDE | 59 |
| 2.1 | ISOLATION DU SIGNAL DE COMMANDE | 59 |
| 2.1.1 | <i>Dimensionnement du transformateur d'isolement intégré</i> | 60 |
| 2.2 | COMMANDE RAPPROCHEE | 68 |
| 2.3 | AUTO ALIMENTATION | 69 |
| 2.3.1 | <i>Etat bloqué et commutation au blocage du transistor de puissance principal</i> | 70 |
| 2.3.2 | <i>Etat passant du transistor de puissance principal</i> | 74 |
| 2.4 | DESSIN DES MASQUES | 82 |
| 2.4.1 | <i>Transformateur d'isolation et circuit de démodulation</i> | 83 |
| 2.4.2 | <i>Circuit de commande rapprochée</i> | 84 |
| 2.4.3 | <i>Circuit de contrôle de l'auto alimentation à l'état bloqué</i> | 85 |
| 2.4.4 | <i>Circuit d'auto alimentation à l'état passant</i> | 86 |
| 2.4.5 | <i>Circuit de recharge de la capacité de stockage</i> | 87 |
| 2.5 | TEST ET VALIDATION | 88 |
| 2.5.1 | <i>Caractérisation du transformateur intégré et test du circuit de démodulation</i> | 89 |
| 2.5.2 | <i>Test électrique des fonctions</i> | 92 |
| 2.5.3 | <i>Mise en œuvre de la puce dans un convertisseur</i> | 95 |
| 2.5.4 | <i>Bilan énergétique des auto-alimentations</i> | 97 |
| 2.6 | CONCLUSIONS ET BILAN SUR LA PUCE DE COMMANDE | 99 |

Résumé de chapitre :

Le premier chapitre de ce mémoire de thèse a présenté brièvement l'état de l'art sur l'intégration en électronique de puissance, ainsi que les concepts d'interrupteur générique et de la réduction de la tension de seuil pour l'intégration de l'auto alimentation de la commande à l'état passant du transistor principal. Ce second chapitre va poursuivre le développement des concepts expliqués dans le premier chapitre en expliquant la conception de l'interrupteur générique présenté. On commencera par expliquer la démarche suivie pour le choix du composant servant d'interrupteur, ainsi que les différentes fonctions de commande à intégrer pour la réalisation de l'interrupteur générique. Ensuite la conception de la puce de commande en technologie CMOS AMS 0,35 μ m va être présentée. Cette puce a été conçue avec le logiciel Cadence, et les simulations ainsi que le dessin des masques de cette puce seront détaillés. La fabrication de cette puce a été effectuée, et des résultats pratiques seront également présentés et critiqués.

1 Introduction

1.1 Intégration partagée des fonctionnalités

A partir du concept développé dans la section I-3 de ce mémoire de thèse, on peut imaginer un interrupteur générique regroupant diverses fonctions intégrées soit dans la puce de commande, soit dans la puce de puissance. Il s'agit donc premièrement de déterminer quel genre d'interrupteur on souhaite commander et les systèmes de commande différents d'un interrupteur à l'autre. On rappelle que les critères de choix d'un interrupteur de puissance sont les suivants :

- Ses points de fonctionnements dans les quadrants du plan (I; V), autrement dit ses directionnalités en tension et courant (unidirectionnel ou bidirectionnel)
- Son type de commande : ouverture et fermeture spontanée ou commandée,
- Sa fréquence de commutation,
- Ses calibres en tension et en courant,
- Ses éléments parasites : capacités dynamiques (vitesses de commutation - pertes en commutation) et résistances statiques (état passant - pertes à l'état passant)
- Son mode de commande : pilotage par effet de champ (Jfet, Mosfet, Igbt, ...) ou par injection de porteurs (transistors bipolaires, thyristor, ...)
- Ses contraintes thermiques : environnement, mode d'évacuation des calories, température maximale autorisée.

Les caractéristiques de chaque interrupteur peuvent donc être déterminées par :

- Le type de matériau employé, le plus répandu étant le silicium (Si), viennent ensuite le carbure de silicium (SiC), l'arséniure de gallium (GaAs) ou le nitrure de gallium (GaN). Le matériau silicium est employé depuis de nombreuses années aussi bien pour les composants de puissance que pour les composants utilisés en microélectronique, si bien que les procédés de fabrication sont éprouvés et maîtrisés à un stade industriel avancé. Cependant, pour des applications de puissance, les limitations du silicium commencent à apparaître car l'électronique de puissance tend vers des fonctionnements à hautes températures (>150°C, [56]). Or le silicium possède une conductivité thermique de 1,5 W/cm.C contre 4,9 W/cm.C pour le carbure de silicium [57]. De même les fréquences de fonctionnement augmentent de plus en plus [58], et les composants parasites réduisant la dynamique de l'interrupteur deviennent alors critiques. C'est pourquoi

de nouveaux matériaux sont recherchés à l'heure actuelle afin de surmonter ces limitations, que ce soit le SiC pour des applications haute température [57], ou les composants à base de GaN pour les applications hautes fréquences [58, 59]. Le type de matériau employé est donc primordial car il détermine toutes les caractéristiques du composant, tant du point de vue électrique (résistance à l'état passant) que du point de vue thermique et mécanique (coefficient d'expansion thermique, ...). Pour notre interrupteur générique, les procédés de fabrication pour des matériaux du type SiC ou à base de Germanium en étant encore au stade de la recherche, on préférera choisir le silicium, dont les procédés de fabrication sont mis au point et fiabilisés depuis de nombreuses années, même si il a été vu qu'à l'heure actuelle l'électronique de puissance commence à atteindre les limites du silicium. Comme on peut le voir sur la figure 1, la limite de tenue en tension des composants SiC et GaN dépasse d'une décade celle des composants silicium, et la résistance à l'état passant des composants SiC et GaN est plus faible pour une même tension de claquage des composants silicium [60]. Cependant les composants silicium restent attractifs car ils sont simples et fiables, et coûtent moins cher que les composants GaN et SiC. De plus les recherches technologiques pourraient continuer à améliorer les performances de ces composants pour obtenir des caractéristiques proches des composants GaN ou SiC selon les gammes de tension et les technologies mises en œuvre (par exemple le CoolMOS d'Infineon [61]). Si les travaux de recherche présentés dans ce mémoire de thèse portent sur des composants en silicium, les résultats obtenus pourront dans le futur être appliqués à ces autres types de matériaux.

- Le type de composant détermine le mode de commande, ainsi que le point de fonctionnement dans les quadrants du plan (I ;V). Ainsi par exemple un MOSFET est commandable dans le premier quadrant, et se comporte comme une diode polarisée en directe dans le troisième quadrant (voir figure 2). La plupart des composants en électronique de puissance sont commandables dans le premier quadrant, c'est à dire lorsque la différence de tension à leurs bornes est positive, et que le courant les traversant est positif également. Lorsqu'ils sont commandés au blocage, le courant les traversant est alors idéalement nul (un faible courant appelé courant de « fuite » est présent dans le cas réel), jusqu'à une certaine tension (appelée tension de claquage), à partir de laquelle un courant traverse le composant et celui-ci peut alors être détérioré. Le type de composant définit également le type de commande à utiliser. Ainsi par exemple pour mettre un MOSFET en conduction, il faut appliquer une tension entre grille et source supérieure à sa tension de seuil. Le MOSFET restera ensuite en conduction tant que cette tension restera supérieure à ce seuil, et redeviendra ouvert lorsque la différence de potentiel entre grille et source redeviendra inférieure à ce seuil. Un thyristor deviendra passant lorsqu'une tension sur sa gâchette dépassera également un certain seuil, mais restera ensuite passant tant que le courant le traversant ne s'annulera pas. Il suffit donc dans la plupart des cas d'une impulsion pour commander un thyristor, tandis qu'un créneau de tension de la durée de l'état passant souhaité est nécessaire pour commander un MOSFET [62]. Selon l'application envisagée, le type de composant doit donc être choisi judicieusement. La figure 3 montre les types d'interrupteurs employés selon la fréquence et la puissance nominale de l'application visée [63]. On peut voir que les thyristors sont plutôt utilisés pour des applications basses fréquences et pour toutes les puissances, ensuite pour des applications de moyenne fréquence (entre le kHz et la dizaine de kHz), les IGBTs sont employés, et on utilise ensuite des MOSFETs

pour des applications à plus hautes fréquences (entre 10kHz et l'ordre du MHz). La tendance actuelle dans les convertisseurs étant l'augmentation des fréquences de découpage, on s'orientera donc plutôt vers des composants de type MOSFET ou IGBT à électrode de commande à grille.

- La technologie employée, verticale ou latérale, définit dans la plupart des cas les calibres en tension et courant du composant considéré. Ainsi il a été vu dans l'état de l'art que les technologies latérales s'adressent plutôt à des applications basses tensions et courants faibles, tandis que les technologies verticales à des applications de plus fortes puissances, dans le cas du silicium. Dans notre démarche, on cherche à atteindre la plus grande gamme de puissance possible, on choisira donc une technologie de type verticale pour le composant de puissance. Pour un MOSFET, plusieurs structures verticales existent (voir figure 4 [62]). Dans la structure V-groove, la zone N+ de la source et la zone de drain sont séparées par une zone P-base, formant deux jonctions P-N. La grille en forme de V pénètre dans ces deux jonctions. La structure V-groove a été la première à être développée dans les années 1970 ; elle a ensuite été abandonnée car le V-groove était formé par gravure humide à base de potassium qui dégradait l'oxyde de grille du composant, ce qui produisait des instabilités durant le fonctionnement à long terme du transistor. La structure VDMOS est formée à partir d'une zone de drift N- dans un substrat dopé fortement N+. Le canal est constitué par la différence d'extension latérale entre une zone P- et la zone N+ de source formées par deux diffusions successives. Ces deux zones sont auto-alignées par rapport à la grille en polysilicium. Avec le développement de la technologie trench dans le silicium dans les années 1980, la structure U-MOS a été développée. Dans cette structure, la grille est placée dans une tranchée à travers les zones N+ et P-, et atteint la région de drift P-. Ceci supprime la structure JFET de la structure VDMOS, et permet une réduction de la résistance interne. Pour notre interrupteur générique, on choisira la structure VDMOS, moins performante mais technologiquement plus aisée à réaliser.

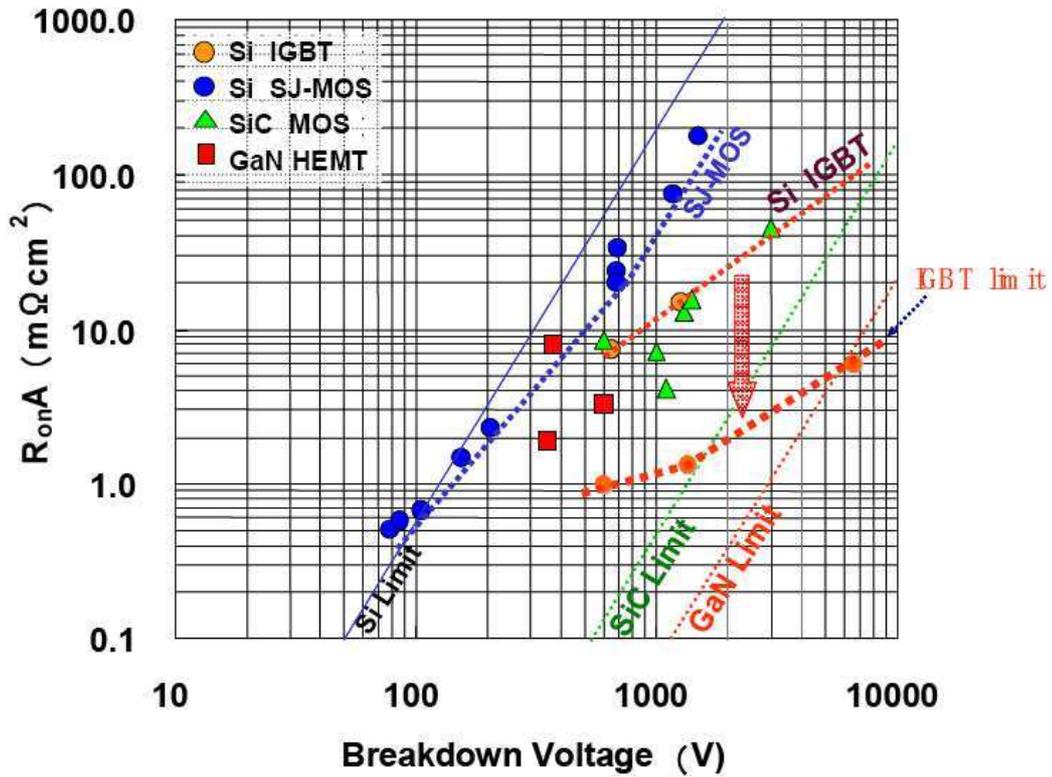


figure 1: Courbes résistance à l'état passant/tenue en tension pour des composants silicium (IGBT et MOS à superjonction), un composant SiC et un composant GaN [60]

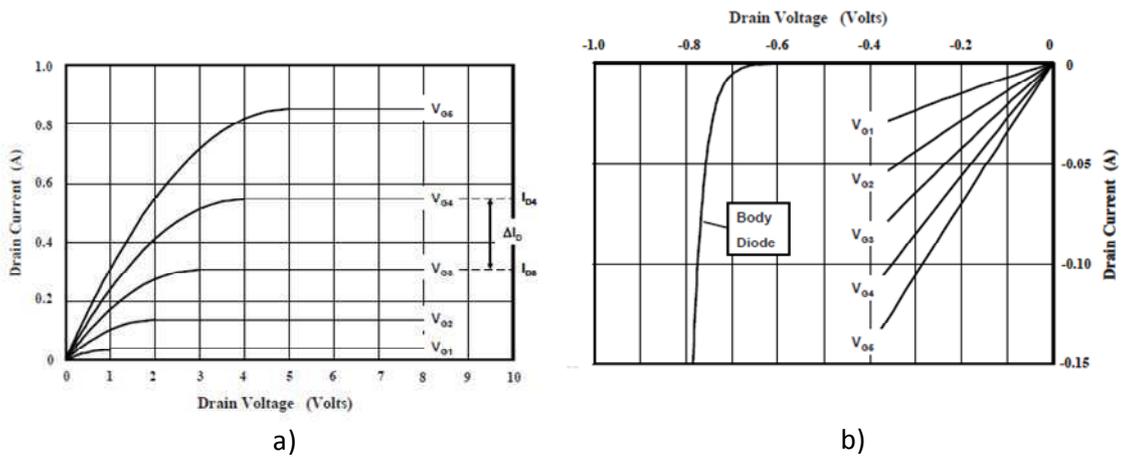


figure 2: Caractéristiques I-V d'un VDMOS : a) caractéristique Vds-Ids dans le premier quadrant, b) Caractéristique Vds-Ids dans le troisième quadrant

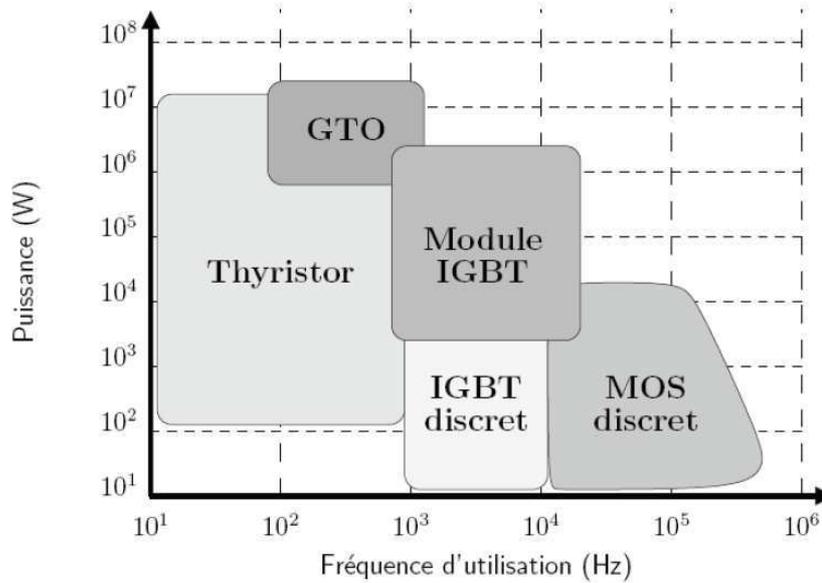


figure 3: Types d'interrupteurs utilisés selon la fréquence et la puissance nominale de l'application visée [63]

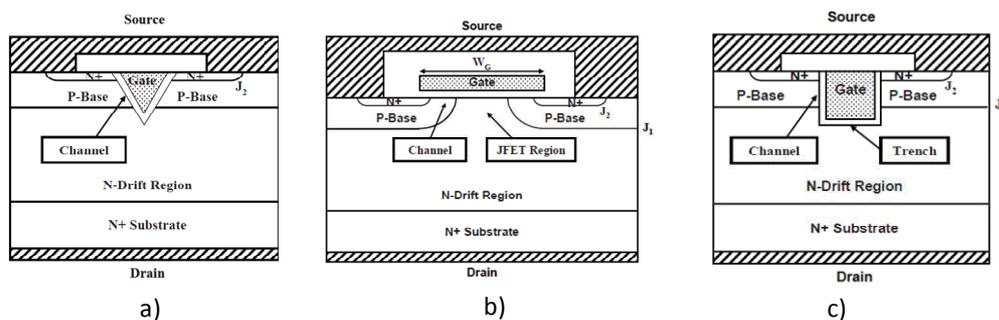


figure 4: Structures de MOSFET vertical : a) Structure « V-groove », b) Structure VD-MOS, c) Structure U-MOS [62]

Le type de composant, sa structure et le type de matériau utilisé pour sa fabrication sont donc déterminés, il s'agit maintenant de déterminer quelles fonctions il est judicieux d'intégrer dans cet interrupteur générique, et à quel endroit. Pour cela, nous allons brièvement passer en revue les fonctions nécessaires à la commande d'un MOSFET de puissance.

1.2 Généralités sur la commande des transistors MOSFETs dans un convertisseur de puissance : circuits usuels

Le circuit de commande d'un interrupteur MOSFET de puissance peut être réalisé de nombreuses manières différentes, dépendant de la polarité du transistor (canal N ou P), de la position de l'interrupteur dans le circuit de puissance (source flottante ou référencée à la masse), ainsi que de la taille du transistor et des dynamiques de commutation souhaitées, déterminant le courant que doit fournir le circuit de commande. Pour des transistors MOSFET à canal N se trouvant du côté bas du bras d'onduleur (« low side »), la source du transistor est référencée à la masse de l'alimentation de puissance, ce qui signifie que le transistor peut être commandé directement par la sortie de la PWM si le transistor est de petite taille, ou alors via un circuit d'amplification de type push-pull utilisant des transistors bipolaires ou MOSFETS (voir figure 5 [64]) pour des composants de plus grandes tailles. Cette technique est beaucoup

utilisée car elle est la plus simple, et de nombreux circuits de commande disponibles dans le commerce sont basés sur cette technique, par exemple les circuits LM511 (National Semiconductor), IR2121 (International Rectifier), MCP1401 (Microchip).

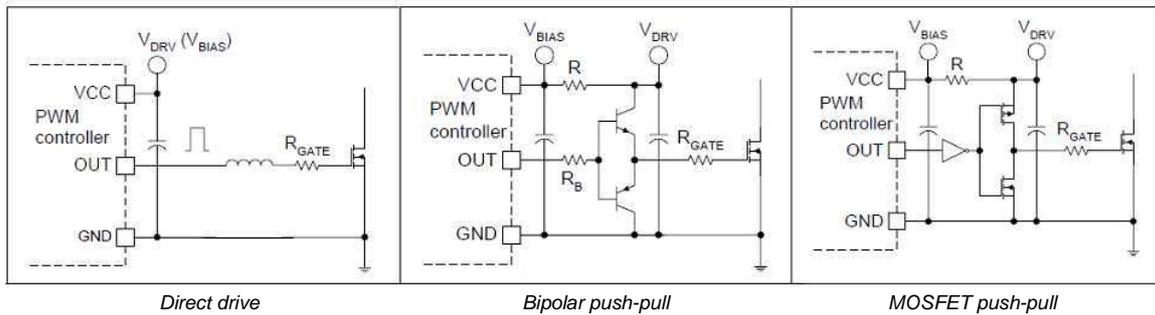


figure 5: Circuits de commande directe d'un MOSFET low side

Pour les transistors se trouvant du côté haut du bras d'onduleur (« high side »), la topologie du circuit dépend de la polarité du MOSFET, c'est-à-dire canal N ou canal P. Pour un interrupteur high side il est plus facile d'utiliser un MOSFET à canal P, sa source étant référencée au potentiel positif de l'alimentation de puissance, il peut donc être commandé directement par un circuit push-pull ou par un circuit de type collecteur ouvert avec la tension d'alimentation du circuit de commande VCC (voir figure 6 [64]). On peut également utiliser des circuits de type level shifter, mais ce circuit doit pouvoir supporter la tension de puissance V_{in} (voir figure 6 [64]). Le principe de ce circuit est que lorsque le signal de la PWM est à l'état logique haut, le transistor du circuit level shifter est fermé et la grille du transistor de puissance est reliée à la masse. Quand la sortie de la PWM est à l'état bas, le transistor du circuit level shifter est ouvert et la grille de l'interrupteur de puissance est chargée à travers une résistance connectée au rail d'alimentation, ce qui rend le MOSFET de puissance passant. Cette technique est également aisée à mettre en œuvre, mais les dynamiques de commutation de l'interrupteur de puissance dépendent de la résistance utilisée pour charger la grille, la valeur de cette résistance doit donc être choisie judicieusement. Il y a peu de circuits de commande disponibles dans le commerce, l'utilisation de PMOS n'étant pas très répandue du fait de leurs plus faibles performances à l'état passant comparé aux NMOS. Un exemple de circuit est le LTC4414EMS8 de Linear Technology.

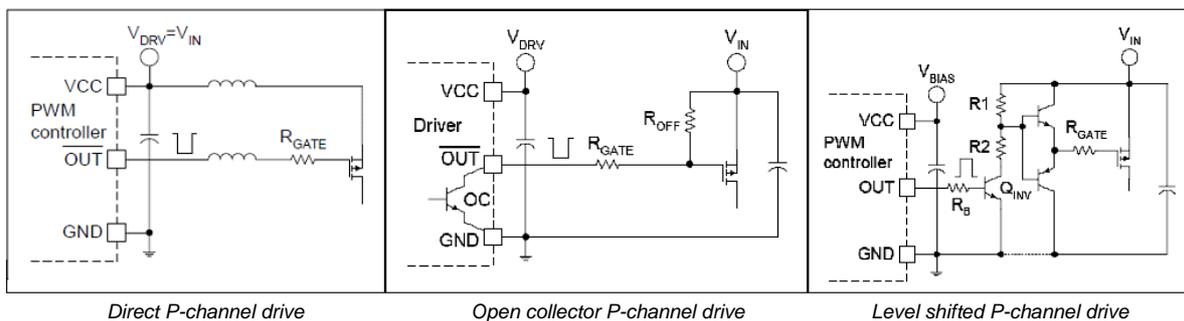
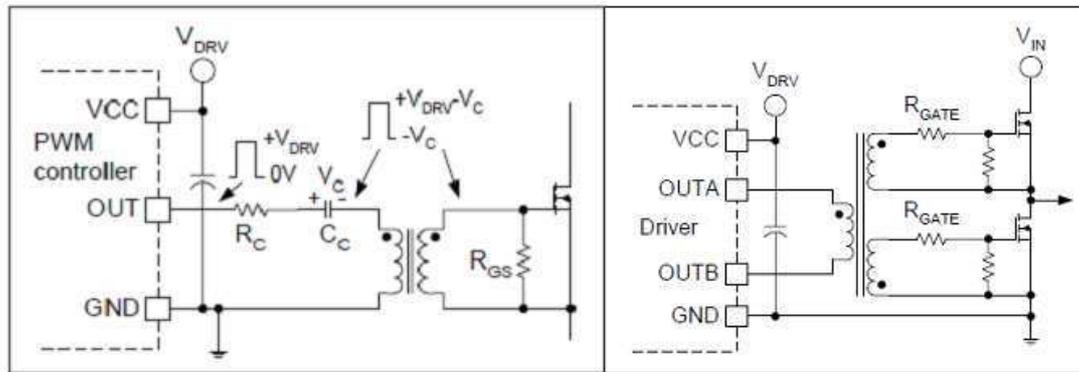


figure 6: Circuits de commande directe de MOSFET à canal P high side

Pour les transistors MOSFET "high side" à canal N, la commande est plus difficile à réaliser car dans le cas d'un bras d'onduleur classique la source du MOSFET "high side" est connectée au point milieu du bras, elle est donc flottante. La commande directe du MOSFET n'est donc pas réalisable pour des tensions de puissance supérieures à la tension d'alimentation du driver, car la tension du driver doit être supérieure à la tension de puissance plus la tension de seuil du MOSFET pour rendre l'interrupteur passant. Il faut donc créer une

source d'alimentation flottante qui soit égale à la tension de puissance plus la tension d'alimentation du driver afin de commander le MOSFET correctement. Plusieurs techniques ont été mises au point pour résoudre ce problème.

1.2.1 Circuits de commande de MOSFETs high side à transformateurs



Single ended transformer gate drive

Push pull type half bridge gate drive

figure 7: Circuits à base de transformateurs pour la commande de MOSFET high side

La solution classique est d'utiliser des transformateurs d'impulsion magnétiques ou piézoélectriques (figure 7 [64]). L'avantage de cette solution est que l'ordre de commande ainsi que l'énergie nécessaire pour la commutation de l'interrupteur transitent tous les deux par le transformateur. Cette solution peut être mise en oeuvre directement avec le signal de la PWM pour commander un seul interrupteur, ou bien avec un driver à deux sorties dans le cas de la commande d'un bras d'onduleur, ce qui la rend simple et fiable et utilisable dans un grand nombre d'applications. Les inconvénients de cette solution sont que l'utilisation pour de larges rapports cycliques demande des techniques complexes, la taille des transformateurs augmente significativement lorsque la fréquence diminue, ce qui rajoute des parasites réduisant les dynamiques de commutation et rend l'intégration peu aisée.

1.2.2 Circuits de commande de MOSFET high side à pompe de charge

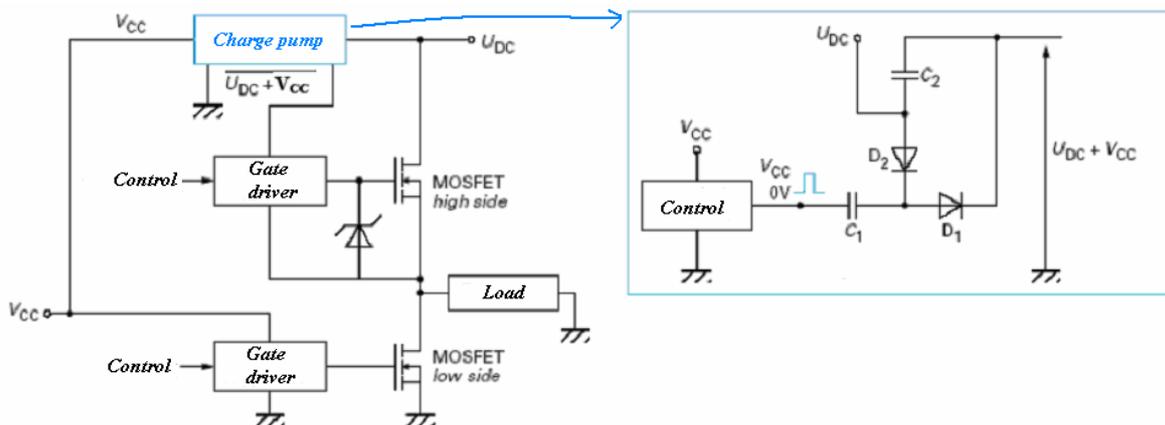


figure 8: Principe du circuit à pompe de charges pour la commande de MOSFET high side [65]

Le principe du circuit à pompe de charges est d'utiliser l'alimentation du driver low side ainsi que l'alimentation de puissance pour alimenter le driver high side. Le schéma de principe du circuit de commande est montré dans la figure 8. Quand la commande est à l'état logique bas, la capacité C1 est chargée par la tension de puissance U_{dc} . Quand la commande passe à l'état logique 1, la diode D1 devient passante et la capacité C1 se décharge dans C2. La répétition de ce cycle permet à C2 d'être chargée à la tension d'alimentation du driver V_{cc} . De cette manière, la tension d'alimentation du driver high side est égale à $U_{dc} + V_{cc}$, et le MOSFET peut être commandé correctement. Cette solution est simple et économique, cependant elle est appropriée seulement pour de moyens ou faibles niveaux de tension de puissance, et est intégrable uniquement pour des faibles valeurs de capacités. Un exemple de circuit utilisant cette technique est le circuit IPS511 d'International Rectifier.

1.2.3 Circuit de commande de MOSFET high side par la technique « bootstrap »

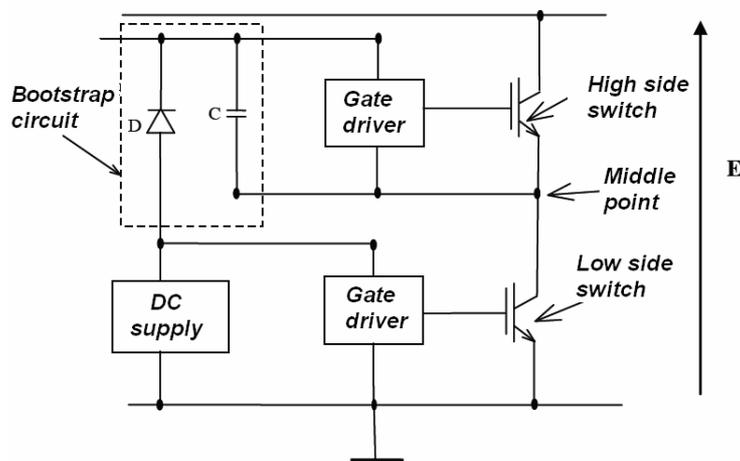


figure 9: Principe du circuit bootstrap pour la commande de MOSFET high side

Cette technique utilise un circuit de polarisation externe au driver, référencé à la source du transistor high side. Le driver et son circuit de polarisation oscillent donc entre les deux rails d'alimentation avec la source du MOSFET. Le principe est de créer une alimentation flottante pour le driver high side en stockant périodiquement des charges dans une capacité (voir figure 9). Quand l'interrupteur low side est fermé, la capacité est chargée à travers la diode de bootstrap par l'alimentation DC de commande. Lorsque l'interrupteur low side est ouvert, le driver high side est alimenté par l'énergie stockée dans la capacité. Pendant cette phase la diode de bootstrap supporte la tension totale E, une diode capable de supporter la tension du convertisseur est donc requise. Cette solution est donc simple et économique, et ne requiert que peu de composants externes. Cependant, elle ne peut pas fonctionner pour des basses fréquences (applications réseau) ou pour un fonctionnement ON permanent du fait de la recharge périodique de la capacité. Des exemples de circuits utilisant cette technique sont le IR2117 d'International Rectifier et le FAN7385 de Fairchild Semiconductor.

1.2.4 Circuit de commande de MOSFET high side par la technique d'auto alimentation

Une autre solution mise au point par International Rectifier [66] est la technique d'auto alimentation. Cette technique ne requiert pas d'alimentation externe, et récupère l'énergie nécessaire à la commutation sur le rail d'alimentation de puissance lorsque le transistor est à l'état bloqué. Cette solution sera la base de notre système d'auto alimentation, et son

fonctionnement sera détaillé plus loin dans la section « auto alimentation à l'état bloqué » de ce mémoire.

2 Conception de la puce de commande

Après avoir présenté les problématiques de la commande d'un transistor MOSFET, ce chapitre se concentrera donc sur la conception de la puce de commande de l'interrupteur générique que l'on propose de mettre en place. Dans le but de pouvoir couvrir le plus grand nombre d'applications possibles, cet interrupteur doit pouvoir être placé indifféremment du côté bas ou du côté haut du bras d'onduleur, et de façon générale pour tous types de placements du composant de puissance dans des structures de conversion spécifiques telles que les associations série ou les structures multi niveaux. D'après les explications du paragraphe précédent, le signal de commande externe doit donc être isolé, et la commande rapprochée doit également posséder une alimentation isolée. Afin de simplifier au maximum la mise en oeuvre de cet interrupteur, ces fonctions seront intégrées dans la puce de commande sous la forme d'un système d'isolation, ainsi que d'un système d'auto-alimentation permettant de générer une alimentation flottante. Les circuits réalisant ces fonctions et leurs conceptions vont être présentés, ainsi que le circuit de commande rapprochée. Les circuits de protection n'étant pas indispensables à la commande, ils n'ont pas été abordés dans un premier temps dans la conception de la première version de la commande de l'interrupteur générique. Enfin, et toujours dans un souci de généricité et de polyvalence, la commande de l'interrupteur générique a été conçue et réalisée dans une technologie CMOS standard, il s'agit de la technologie 0,35 μ m du fondeur Austria Microsystems, possédant un niveau de tension d'alimentation de 3,3V [44]. Ce niveau de tension a été choisi afin de confirmer expérimentalement les gains observés dans les simulations faites dans la partie I-4 de ce mémoire de thèse.

2.1 Isolation du signal de commande

L'ensemble de la puce devant être isolé électriquement de son environnement afin de permettre le référencement au potentiel de source ou d'émetteur de l'interrupteur à commander dans le cas d'utilisations où ce potentiel est flottant (onduleur par exemple), un système d'isolation doit être employé pour isoler le signal de commande externe. Ce besoin d'isolation peut être satisfait par un circuit level-shifter pour les applications de niveaux de tensions inférieurs à 1200V [67], par une solution optique (fibre optique ou optocoupleur) [68], ou bien par un transformateur magnétique discret [69], intégré sur PCB [70], sur silicium [71], ou piezoélectrique [72]. Le tableau 1 montre les avantages et les inconvénients de ces différentes méthodes [73].

| Circuit | | Avantages | Inconvénients |
|---|--|---|--|
| level-shifter intégrés monolithiquement | | pas cher intégration température | tension <1200V lent sensible aux EMI |
| Optocoupleurs | | bonne capacité d'isolation non sensible aux EMI | cher fiabilité lent |
| Transformateurs d'impulsions discrets | | bonne capacité d'isolation | cher coûteux en espace coûteux en énergie plage d'utilisation limitée |
| Transformateurs intégrés (sans noyau magnétique) | | bonne capacité d'isolation pas cher intégration | sensible aux EMI |

Tableau 1 : Avantages et inconvénients des différentes méthodes d'isolation

L'avantage du transformateur sur les autres méthodes d'isolation est qu'il permet une isolation pour des hautes tensions (dizaines de kV) tout en restant rapide et relativement peu coûteux. De plus, l'avantage des transformateurs intégrés sur les transformateurs d'impulsions est que l'énergie de commutation ne transite pas par le transformateur, il peut donc être plus petit et moins coûteux en énergie car les pertes dans les transformateurs d'impulsions sont en général élevées. Le transformateur est un moyen simple d'obtenir l'isolement d'un signal alternatif, référencé par rapport à un potentiel qui peut être quelconque. Il peut être intégré sur silicium dans une technologie CMOS sans étapes technologiques supplémentaires (si il ne possède pas de noyau magnétique), ce qui permet son intégration monolithique avec les autres fonctions de commande. Il présente également l'avantage d'être réversible et de permettre le transfert d'un signal électrique dans les deux sens : ceci pourra être exploité ultérieurement afin de renvoyer des informations sur l'état de la puce vers la commande éloignée (ceci serait beaucoup plus difficile à mettre en œuvre par une solution optique car il faudrait un émetteur optique sur la puce, engendrant des coûts énergétiques et technologiques non négligeables). Nous avons donc choisi d'envisager l'implémentation de cette solution dans la puce de commande en technologie AMS 0,35µm.

2.1.1 Dimensionnement du transformateur d'isolement intégré

La démarche de conception suivie pour dimensionner le transformateur intégré est d'optimiser le couplage tout en utilisant une surface de silicium la plus réduite possible. Le plus souvent dans une technologie CMOS industrielle, les données technologiques telles que l'épaisseur des conducteurs et l'épaisseur d'oxyde entre les conducteurs sont des données du constructeur et ne peuvent être modifiées. On devra donc jouer sur les paramètres géométriques du transformateur afin d'optimiser le couplage entre primaire et secondaire. La topologie de transformateur intégré choisie est de type « stacked » ou planar, c'est à dire que la spire primaire et la spire secondaire sont empilées l'une sur l'autre. Ceci est envisageable grâce à l'utilisation des quatre niveaux de métallisation différents dans la technologie choisie. L'une des difficultés est reportée sur la tenue en tension entre primaire et secondaire. La figure 10 montre les différents paramètres géométriques de ce type de transformateur intégré. Les paramètres fixés par la technologie sont l'épaisseur des conducteurs T , l'épaisseur d'oxyde entre les spires T_{ox} , et l'épaisseur d'oxyde entre la spire inférieure et le substrat T_{sub} . Les paramètres latéraux sur lesquels le concepteur a une influence sont le diamètre externe de la spire D_{out} , le diamètre interne de la spire D_{in} , la distance interspire D_{int} ainsi que la largeur

de la spire W . L'épaisseur d'oxyde entre les spires primaire et secondaire Tox est critique car c'est elle qui détermine la tension que pourra supporter le transformateur, selon l'équation (1) :

$$Tox \times DS = BV \quad (1)$$

(avec Tox : épaisseur d'oxyde, DS force diélectrique du matériau et BV tension de claquage de l'oxyde)

L'oxyde utilisé dans la fabrication des circuits intégrés est très souvent un dioxyde de silicium (SiO_2) à basse température, qui a le plus souvent une rigidité diélectrique aux alentours de 10 MV/cm [74], ce qui résulte en une tension de claquage de 1kV pour un oxyde d'épaisseur 1 μ m. On cherchera donc à maximiser la distance entre les deux spires primaire et secondaire afin d'obtenir une tension d'isolation la plus grande possible, tout gardant une distance raisonnable afin de maximiser le couplage. Les paramètres latéraux du transformateur restent à déterminer, et leur influence sur le couplage et les éléments parasites du transformateur vont être observés. La présence d'un substrat conducteur sous les spires influence également les caractéristiques du coupleur.

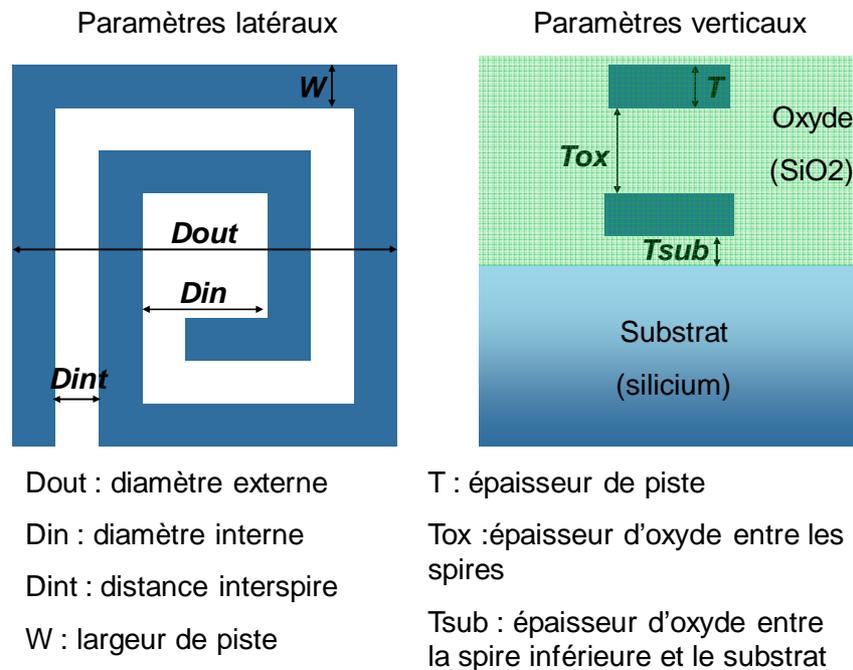


figure 10: Paramètres géométriques du transformateur intégré

Les éléments électriques représentant un transformateur intégré sont l'inductance des spires, l'inductance mutuelle entre les spires et le coefficient de couplage primaire secondaire. Les éléments parasites du transformateur sont l'inductance de fuite, les capacités et résistances propres des spires et les capacités interspires, ainsi que le couplage capacitif avec le substrat. Les formules analytiques que l'on peut trouver dans [54] et [55] mettent ces éléments en équation en fonction des paramètres géométriques du transformateur. Ces formules seront employées pour évaluer l'influence de ces paramètres sur les différentes impédances du transformateur.

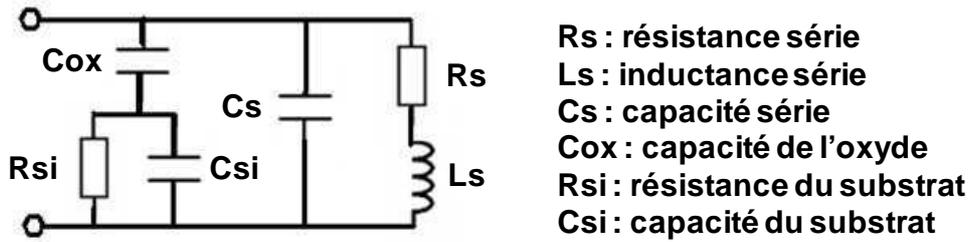


figure 11: Modèle électrique d'une inductance sur silicium

La figure 11 montre le modèle équivalent d'une inductance intégrée sur silicium [75], comprenant la résistance, l'inductance et la capacité propres de la spire, respectivement R_s , L_s et C_s , ainsi que la capacité d'oxyde C_{ox} et la résistance et la capacité du substrat R_{si} et C_{si} . A partir de ce modèle, on peut exprimer l'impédance des éléments parasites C_{ox} , C_{si} et R_{si} . L'impédance de la spire peut être exprimée avec R_s , L_s et C_s . Dans le cas d'un fonctionnement à hautes fréquences (centaines de MHz-GHz) du transformateur, comme c'est le cas pour un transformateur intégré, il est supposé que le terme $(L_s \cdot \omega)^2$ sera prédominant par rapport aux R^2 et $1/(C \cdot \omega)^2$ dans l'équation de l'impédance de la spirale. On peut donc exprimer celle-ci uniquement en fonction de l'inductance. L'équation (2) exprime l'impédance équivalente des composants parasites C_{ox} , C_{si} et R_{si} , et l'équation (3) l'impédance X_s de l'inductance. A partir de ces deux termes, on peut définir le rapport X_s/Z_{paras} , permettant de déterminer si l'impédance des composants parasites est prédominante sur l'impédance de la spire. Ce modèle analytique simplifié prend donc en compte les effets de substrat mais ne prend pas en compte les effets de proximité, les effets 3D ainsi que les impédances parasites dues à la connectique.

$$Z_{paras} := \left[\frac{1}{\left[\frac{1}{\frac{1}{R_{si}^2} + (C_{si} \cdot \omega)^2} \right] + \frac{1}{(C_{ox} \cdot \omega)^2}} \right]^{0.5} \quad (2)$$

$$X_s := \left[(L \cdot \omega)^2 \right]^{0.5} \quad (3)$$

Un autre paramètre important est le coefficient de couplage. Cette valeur est le rapport de l'inductance mutuelle M divisée par la racine du produit de l'inductance primaire L_p et de l'inductance secondaire L_s (équation 4). Il donne donc une image du couplage magnétique entre le primaire et le secondaire. Il peut également être exprimé en fonction des paramètres géométriques du transformateur comme montré dans l'équation (4) [54].

$$k := 0.9 - \frac{d_s}{d_{avg}} \quad (4)$$

avec k coefficient de couplage, d_s distance entre les spires de centre à centre et d_{avg} diamètre moyen

Cette équation est valable car il a été déterminé que l'effet du substrat était négligeable sur le couplage du transformateur. En effet les simulations effectuées avec le logiciel Flux 2D en modélisant le substrat par un conducteur possédant la conductivité du silicium ont montré qu'aux fréquences considérées, aucun courant ne circulait dans le substrat et que les lignes de champ n'étaient pas perturbées par le substrat (voir figure 12). On peut voir sur la figure 12 que la forme des lignes de champ n'est pas modifiée lorsque le substrat silicium est modélisé par rapport à lorsqu'il ne l'est pas, et que le courant circulant dans le substrat est quasiment de

l'ordre des nanoampères (voir échelle à gauche de la figure). De plus comme il va être expliqué plus loin, des caissons N+ dans le substrat ont été dessinés lors du layout du transformateur afin d'empêcher la création de courants parasites dans le substrat [76].

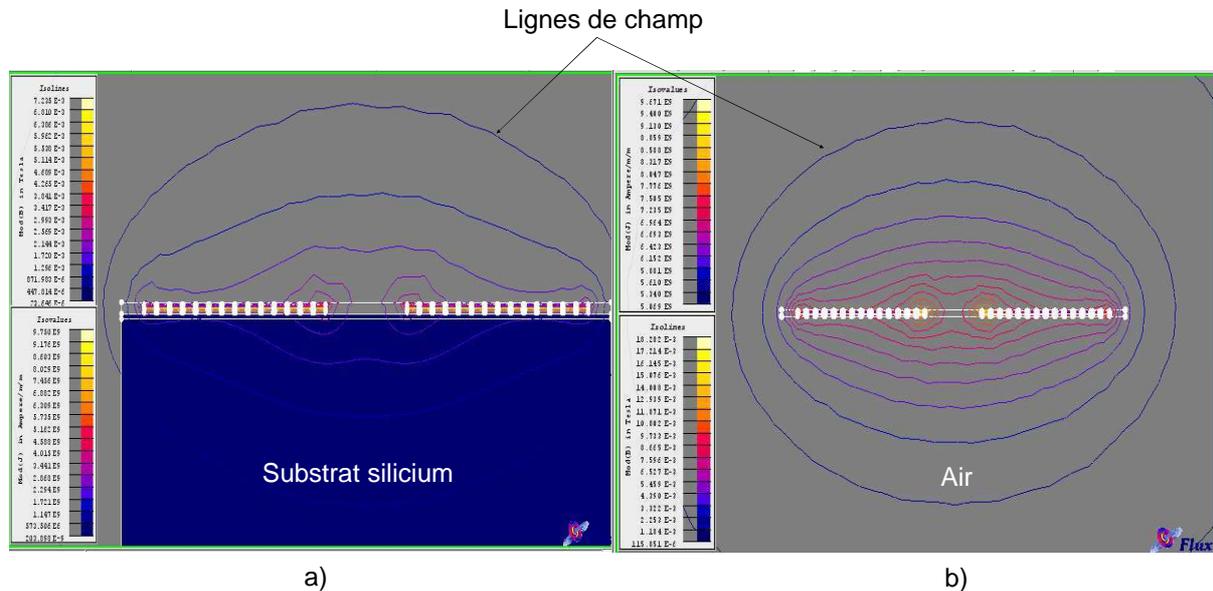


figure 12: Simulation par Flux 2D de la structure du transformateur intégré a) Avec modélisation du substrat silicium b) Sans modélisation du substrat silicium

Les équations décrites permettent donc d'avoir une image du couplage entre primaire et secondaire ainsi que de l'influence des éléments parasites en fonction de la géométrie du transformateur. La façon dont cette géométrie influe sur ces paramètres va être étudiée. Dans le dimensionnement qui va suivre, on fixe la fréquence de fonctionnement à 100MHz. Le but du dimensionnement est d'obtenir une inductance magnétisante la plus élevée possible (≈ 100 nH) tout en conservant une surface de silicium occupée faible ($< 1\text{mm}^2$) et en maximisant le couplage ($k \approx 0,9$). Les éléments parasites tels que la résistance série de la spire et l'inductance de fuite du transformateur doivent également être réduits afin de minimiser l'énergie à envoyer dans le transformateur.

2.1.1.1 Influence de la largeur de spire

La largeur de la spire est importante car elle va déterminer la résistance de la spire. On aura donc tendance à la choisir la plus grande possible afin de minimiser cette résistance. Cependant augmenter la largeur de la spire va augmenter le diamètre et donc la taille du transformateur, ainsi que le couplage capacitif parasite de la spire avec le substrat. Ainsi, la figure 13 montre que plus la largeur de spire est grande (en conservant tous les autres paramètres constants), plus le couplage ainsi que le rapport X_s/Z_{paras} diminuent. La largeur de spire doit donc être la plus petite possible. De plus et pour les fréquences considérées, il faut être vigilant à l'effet de peau qui va réduire la section utile du conducteur pour le passage du courant. Dans l'aluminium, l'effet de peau est égal à $0,08/f^{0.5}$ dans un matériau non magnétique, ce qui donne une épaisseur de peau de $8\mu\text{m}$ à 100MHz. On choisira un ratio de 2 fois cette épaisseur pour dimensionner la largeur de spire, ce qui permet de s'affranchir de l'effet de peau tout en gardant une section de conducteur importante.

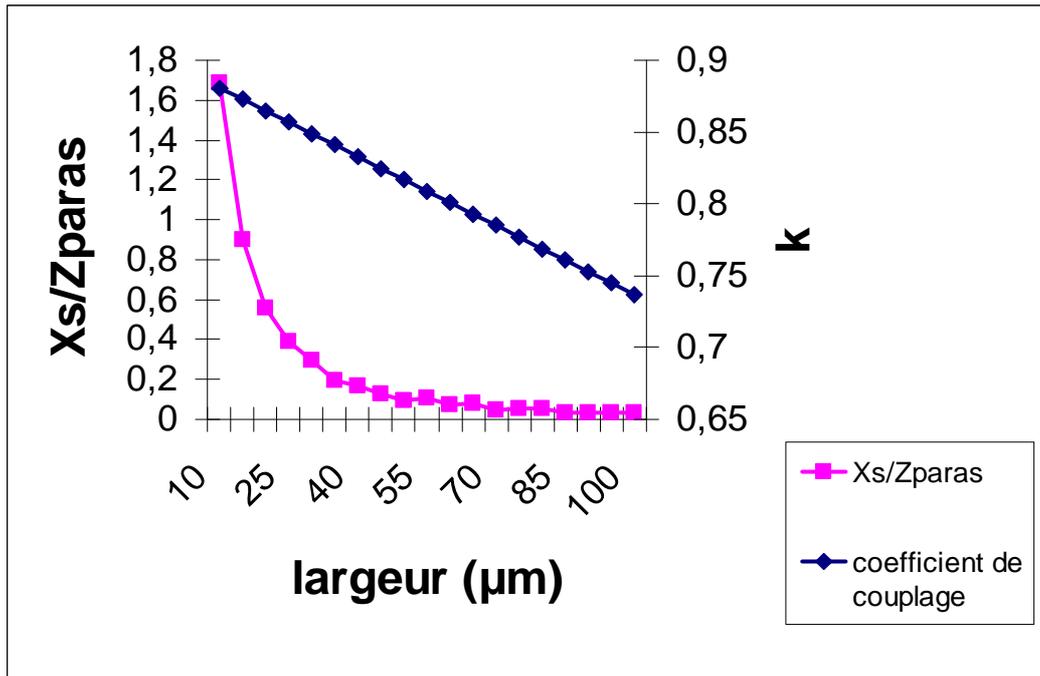


figure 13: Influence de la largeur de spire sur le ratio X_s/Z_{paras} et le coefficient de couplage pour une fréquence de 100MHz

2.1.1.2 Influence de la largeur interspire

On effectue la même simulation que précédemment, c'est-à-dire que l'on garde tous les paramètres constants et on fait varier la distance interspire et l'on observe son influence sur le rapport X_s/Z_{paras} et sur le coefficient de couplage. Les résultats de la figure 14 montrent que plus la largeur interspire est grande et plus le coefficient de couplage ainsi que le rapport X_s/Z_{paras} diminuent. On choisira donc la largeur interspire la plus faible possible, dictée par les règles de dessin de la technologie employée. Dans notre cas, la distance minimale entre deux pistes de métal dans la technologie AMS 0,35µm est de 2µm pour le métal 4 qui est employé pour réaliser le primaire du transformateur. On emploiera donc également cette distance interspire pour l'enroulement du primaire, bien que la distance minimale entre deux pistes soit plus petite pour ce niveau car il est moins épais.

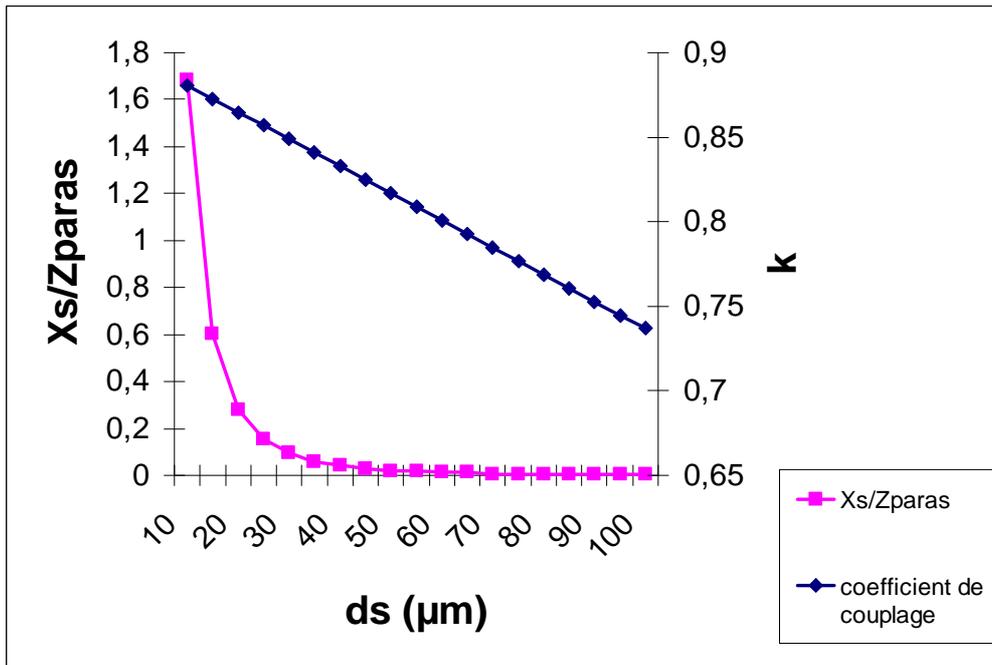


figure 14: Influence de la largeur interspire sur le ratio X_s/Z_{paras} et le coefficient de couplage à la fréquence de 100MHz

2.1.1.3 Influence des diamètres internes et externes des spires

On a donc fixé les règles de dimensionnement pour la largeur des pistes ainsi que pour la distance interspire, il reste maintenant à déterminer l'influence des diamètres interne et externe ainsi que le ratio à respecter entre ces deux diamètres. Pour cela, on fait varier le diamètre externe en fixant le diamètre interne à une fraction de celui-ci (par exemple $D_{in}=D_{out}/4$). Ceci signifie que le nombre de tours N de la spire va augmenter lorsque D_{out} augmente. Les autres paramètres géométriques que sont la largeur des spires, la distance interspire sont fixés respectivement à $10\mu m$ et $2\mu m$, et la fréquence est fixée à 100MHz (figure 15).

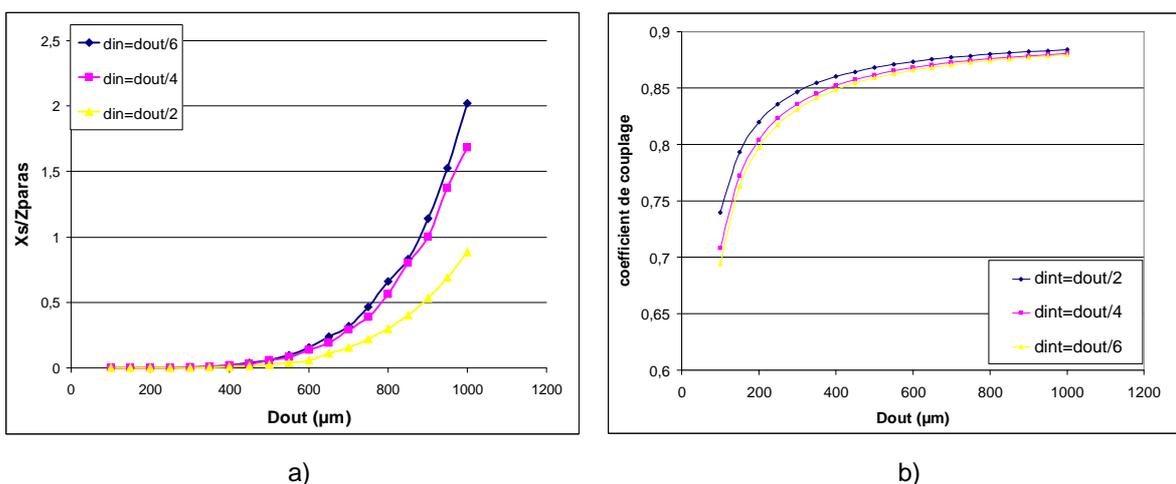


figure 15: a) Rapport Z_{spiral}/Z_{paras} en fonction du diamètre externe pour différents rapports d_{out}/d_{in} à la fréquence de 100MHz. b) Coefficient de couplage en fonction du diamètre externe pour différents rapports d_{out}/d_{in} à la fréquence de 100MHz

Comme on peut le voir sur la figure 15-a, le rapport X_s/Z_{paras} est proche de zéro lorsque le diamètre externe est inférieur à $500\mu m$, ce qui signifie que l'impédance parasite est prédominante, puis augmente de façon exponentielle lorsque le diamètre externe dépasse $500\mu m$. On peut voir que le rapport entre le diamètre interne et le diamètre externe n'est pas significatif entre $1/4$ et $1/6$ mais on peut noter que le rapport X_s/Z_{paras} est diminué pour un rapport $1/2$. Ceci est dû au fait que le nombre de spires est diminué et donc l'inductance de la spire est trop faible pour les dimensions du transformateur considérées. La figure 15-b montre que le coefficient de couplage est inférieur à $0,85$ lorsque le diamètre externe est inférieur à $500\mu m$, mais devient proche de $0,9$ lorsque le diamètre externe dépasse $500\mu m$. On peut également déduire de la figure 15-b que le rapport entre les diamètres interne et externe n'a pas d'influence majeure sur le coefficient de couplage. On peut en conclure que pour obtenir un coefficient de couplage satisfaisant et une faible influence des éléments parasites, le diamètre externe doit être supérieur à $500\mu m$ pour la fréquence et la technologie choisie. On doit ensuite faire un compromis entre ces critères et la surface de silicium utilisée. Le rapport entre le diamètre interne et le diamètre externe pourra être choisi le plus petit possible afin de maximiser le nombre de tours de la spire et ainsi l'inductance.

Pour résumer cette étude, la géométrie du transformateur choisie est une largeur de piste de $16\mu m$, égale à deux fois l'épaisseur de peau dans l'aluminium à $100MHz$, la distance interspire est de $2\mu m$ fixée par la distance minimale entre deux pistes en métal. Le diamètre externe a été fixé à $600\mu m$, formant un compromis entre les critères de dimensionnement et la surface de silicium occupée, et le diamètre interne est de $100\mu m$, donnant un rapport $1/6$ entre diamètre interne et externe afin de maximiser l'inductance de la spire.

2.1.1.4 Comparaison entre formules analytiques et simulations par éléments finis

Les valeurs des éléments du transformateur sont calculées à l'aide des formules analytiques de [54] et [55], puis des simulations à l'aide du logiciel de calcul par éléments finis Flux 2D ont été effectuées afin de vérifier les valeurs analytiques. Les résultats de cette comparaison sont présentés dans le tableau 2.

| Elément du transformateur | Valeurs calculées | |
|-------------------------------------|-------------------|----------------|
| | Analytique | Elément finis |
| Inductance série | 90 nH | 85 nH |
| Inductance mutuelle | 76.9 nH | 76,5 nH |
| Coefficient de couplage | 0.85 | 0.9 |
| Résistance série du primaire (DC) | 23.2 Ω | 25.8 Ω |
| Résistance série du secondaire (DC) | 97.7 Ω | 107.5 Ω |

Tableau 2 : Comparaison des valeurs des éléments du transformateur par calcul analytique et simulation 2D

Les valeurs du tableau 2 montrent qu'il y a peu de différences entre les valeurs analytiques et les valeurs obtenues par simulation. On peut donc supposer que le dimensionnement du transformateur à partir des formules analytiques est approprié. Ces valeurs seront ensuite comparées avec les mesures du transformateur fabriqué.

2.1.1.5 Circuit de démodulation de la commande éloignée

La plupart des transformateurs intégrés sur silicium ne possèdent pas de noyau magnétique, ce qui veut dire que le couplage est fortement réduit à basses fréquences. La fréquence de résonance de ce type de transformateur est généralement assez élevée, l'inductance

magnétisante du transformateur étant faible (autour de 100nH). C'est pourquoi le signal provenant de la commande éloignée doit être modulé à hautes fréquences (centaines de MHz) afin de minimiser les pertes dans le transformateur. La technique de modulation que nous avons employée est une modulation de type OOK (On-Off Keying), qui consiste à générer un signal sinusoïdal pouvant être modulé dans une large gamme de fréquence pour transmettre un 1 logique, et à appliquer une tension nulle pour transmettre un 0 logique. Le principe de modulation et de démodulation du signal de commande est montré dans la figure 16.

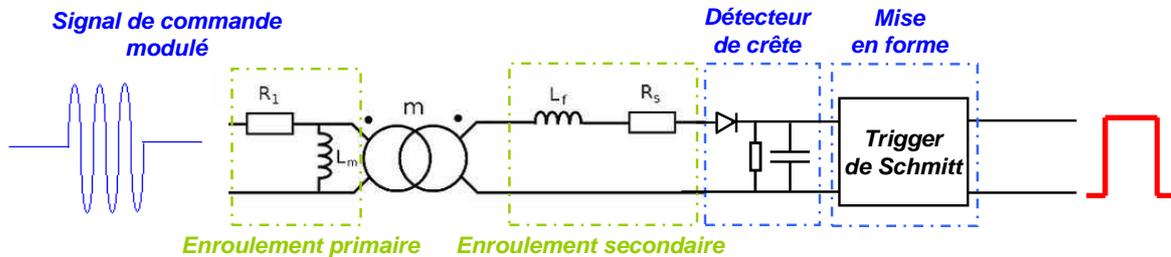


figure 16: Schéma de principe du circuit de démodulation du signal de commande

Lorsqu'un 1 logique est transmis, le signal sinusoïdal est appliqué aux bornes du primaire du transformateur. A la sortie du secondaire, un circuit de détection d'enveloppe permet de retrouver l'enveloppe du signal modulé basse fréquence. Ce circuit de démodulation a été choisi pour sa simplicité de mise en œuvre. Ensuite un circuit trigger de Schmitt, permettant de définir un niveau de commutation de l'état bas à l'état haut plus élevé que l'inverseur, est utilisé pour éviter les faux amorçages du transistor dus à des parasites. L'ordre de commande est alors démodulé et envoyé au circuit de commande rapprochée.

Ce circuit de démodulation a été simulé avec Cadence en utilisant les valeurs déterminées précédemment pour le modèle du transformateur et une fréquence de modulation du signal de commande de 250MHz. Les formes d'ondes obtenues sont présentées figure 17.

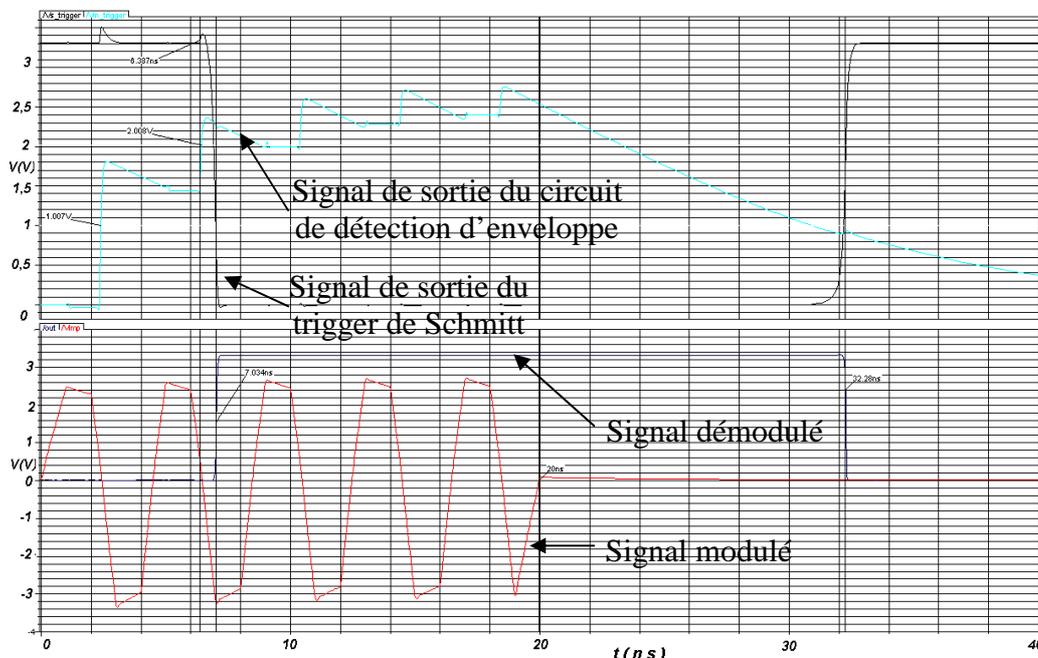


figure 17: Mise en forme du signal démodulé et comparaison du signal de sortie avec le signal d'entrée

On observe sur le premier chronogramme de la figure 17 la tension à la sortie du circuit de détection d'enveloppe en bleu et la tension de sortie du trigger de Schmitt en noir. On peut

voir que le trigger commute de l'état haut à l'état bas lorsque sa tension d'entrée est supérieure à 2V, puis de l'état bas à l'état haut lorsque cette tension est inférieure à 1V. Ce montage permet donc une variation de la tension de 1V après la commutation de l'état haut à l'état bas, ce qui évite que un changement d'état une fois la commutation à l'état passant amorcée à cause de parasites. On observe sur le second chronogramme le train d'impulsions d'entrée et la tension de sortie du circuit. On peut donc voir un retard à l'établissement de l'état haut de 7ns et un retard d'établissement de l'état bas de 12,3ns. Ces retards sont fixes car ils sont déterminés par les composants du circuit RC ainsi que par les délais de propagations dans les inverseurs et les niveaux des seuils de détection. Ces délais de commutation sont relativement rapides comparés aux délais d'autres types de circuits tels que les optocoupleurs (par exemple HCPL 2200/2219 [77]) ou les transformateurs piézoélectriques [72].

Un système d'isolation du signal de commande, comprenant d'une part un transformateur sans noyau magnétique et d'autre part un circuit de démodulation de l'ordre de commande, tous deux intégrés sur silicium, a donc été conçu. La conception de ce système sera ensuite vérifiée expérimentalement. La seconde brique essentielle à la commande d'un MOSFET de puissance est le circuit de commande rapprochée, également conçue dans la même technologie.

2.2 Commande rapprochée

Il existe de nombreux moyens de réaliser la commande rapprochée d'un interrupteur de puissance, les principaux ayant été détaillés dans la partie 1.2 de ce mémoire. Le but du circuit de commande rapprochée est d'amplifier le signal provenant de la commande éloignée afin de charger rapidement la capacité d'entrée de l'interrupteur de puissance, capacité pouvant être élevée car dépendante de la taille de l'interrupteur et donc de son calibre en tension/courant (les datasheets des composants indiquent une capacité typique de 7,37 nF pour un MOSFET 300V/93A IRFP4242, et de 1,9nF pour un IGBT 600V/40A IRG4BC40WS [19]). L'amplification de ce signal de commande permet de charger rapidement cette capacité, permettant d'augmenter la vitesse de la commutation de l'interrupteur et limitant ainsi les pertes durant cette commutation.

Dans notre cas, on veut pouvoir commander un interrupteur MOSFET de puissance indépendamment qu'il soit « high side » ou « low side ». Il a été vu que la commande des interrupteurs "high side" demandait d'utiliser des techniques particulières. Cependant en utilisant la technique d'auto alimentation du driver permettant de créer une alimentation flottante isolée référencée à la source du MOSFET, on peut s'affranchir de cette contrainte. De plus le signal de commande étant également isolé, on peut référencer la masse de l'alimentation du driver à la source flottante du MOSFET sans rencontrer de problèmes de fonctionnement. La structure du circuit de commande rapprochée choisie est donc une structure classique d'étages inverseurs CMOS de taille croissante permettant d'avoir une bonne dynamique de commutation tout en limitant les pertes. Le nombre d'étages inverseurs choisi est de trois et le dimensionnement des différents étages est optimisé afin de réduire au maximum les pertes par commutation et ainsi de réduire la consommation du circuit. Le détail du dimensionnement de ces étages d'amplification peut être trouvé dans [78]. Les transistors du dernier étage d'amplification du bras connecté à la grille (c'est à dire l'étage chargeant la capacité de l'interrupteur de puissance) sont dimensionnés pour pouvoir fournir un courant maximal de 600mA en mode « charge/sink ». Les transistors connectés à la source du transistor de puissance sont beaucoup plus gros car ils doivent être dimensionnés pour faire passer le courant de puissance. En effet durant les phases de commutation du transistor le

courant de puissance le traverse, les transistors de la commande doivent donc avoir une résistance assez faible pour ne pas créer une chute de tension qui conduirait au ré-enclenchement du transistor de puissance. Il y a donc un rapport 10 sur la taille entre les transistors connectés à la grille et ceux connectés à la source.

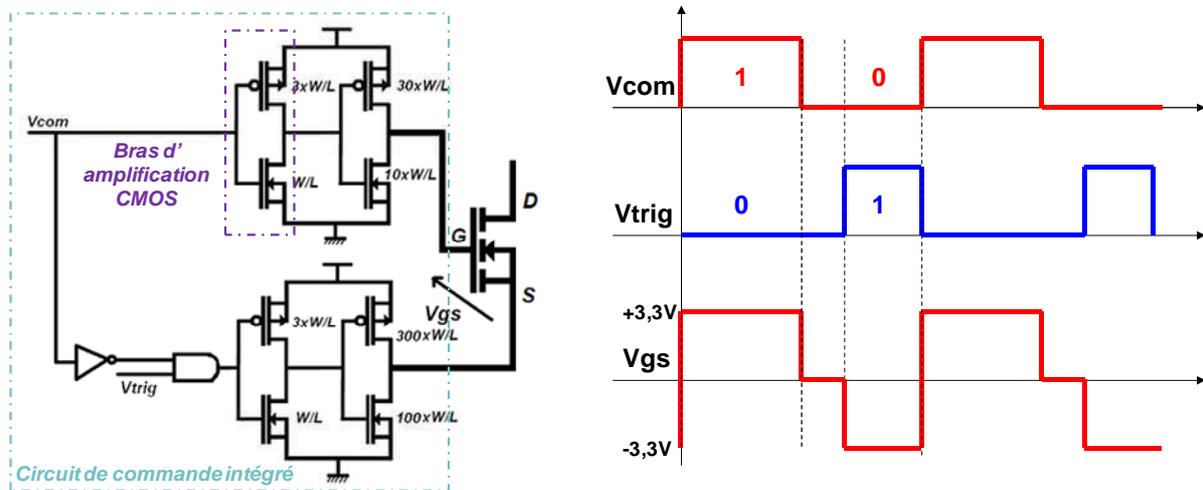


figure 18: Topologie du circuit de commande rapproché d'un MOSFET de puissance et formes d'ondes décrivant son fonctionnement

La structure complète du circuit de commande rapproché est présentée figure 18. Il est composé de deux structures d'étages amplificateurs inverseurs sur la grille et la source, formant un circuit onduleur en pont complet. Ceci permet l'application d'une tension négative entre grille et source lors de l'état bloqué de l'interrupteur de puissance, permettant d'obtenir un meilleur état bloqué ainsi qu'une meilleure immunité aux amorçages parasites comme montré dans le paragraphe I-4 de ce mémoire. Afin de permettre le fonctionnement de l'auto alimentation lors du blocage de l'interrupteur de puissance, un circuit logique composé d'un inverseur et d'une porte ET, contrôlent le potentiel connecté à la source du MOSFET de puissance. La fonction de ce circuit est de conserver le potentiel de source du composant de puissance au potentiel moins du condensateur de stockage de l'alimentation lors du blocage du transistor tant que la capacité de stockage alimentant la commande rapprochée n'est pas rechargée par le circuit d'auto alimentation. Ceci permet de dériver le courant de charge dans la capacité de stockage, comme il sera expliqué dans la prochaine section de ce chapitre. Lorsque cette capacité est rechargée, la tension V_{trig} est au niveau logique 1, la tension sur la source devient alors positive et la tension V_{gs} résultante est égale à $-3,3V$. La figure 18 montre les formes d'onde décrivant ce fonctionnement.

Les systèmes nécessaires à la commande d'un interrupteur de puissance, c'est-à-dire l'isolation et l'amplification du signal de commande, ont été choisis et dimensionnés, il faut donc maintenant créer une alimentation isolée pour alimenter ces circuits. Ce système va être décrit dans la prochaine section de ce chapitre.

2.3 Auto alimentation

La puce de commande CMOS est alimentée par deux circuits d'auto alimentation, intégrés à la fois dans la puce CMOS et dans la puce VDMOS de puissance. Un circuit de type régulateur linéaire est utilisé pour recharger la capacité de stockage alimentant la puce lors du blocage de l'interrupteur de puissance. Cette technique d'auto alimentation a été décrite dans [37], son principe de fonctionnement est de récupérer une partie de l'énergie de l'alimentation

de puissance durant la commutation au blocage de l'interrupteur. Sa mise en œuvre requiert un interrupteur de puissance auxiliaire afin de créer un chemin pour dériver le courant de puissance dans une capacité de stockage externe lors du blocage du transistor principal. Ce transistor peut être intégré au sein de la même puce que l'interrupteur de puissance principal. Cette technique d'auto alimentation est cependant connue pour être limitée dynamiquement lors d'une utilisation en basses fréquences (applications réseau 50Hz ou DC), et éventuellement à haute fréquence dans une approche discrète [79]. C'est pourquoi un second circuit d'auto alimentation a été développé, récupérant l'énergie disponible aux bornes de l'interrupteur de puissance durant son état passant. Ce circuit est de type pompe de charges, utilisé pour élever la chute de tension de l'interrupteur à l'état passant. Ce circuit requiert également un interrupteur de puissance auxiliaire afin de tenir la tension durant le blocage de l'interrupteur principal, qui peut lui aussi être intégré dans la même puce que l'interrupteur principal. La figure 19 décrit le mode de fonctionnement du système complet d'auto alimentation. Pendant la commutation à l'ouverture du transistor principal, le transistor auxiliaire OFF est passant et le transistor auxiliaire ON est bloqué. Une partie de l'énergie de commutation de l'interrupteur principal est alors déviée dans la capacité de stockage. Le circuit de pompe de charges est alors inactif. Lorsque le transistor principal est passant, le transistor auxiliaire OFF est bloqué et le transistor auxiliaire ON est passant. Le circuit de pompe de charges est alors activé afin d'alimenter la commande rapprochée.

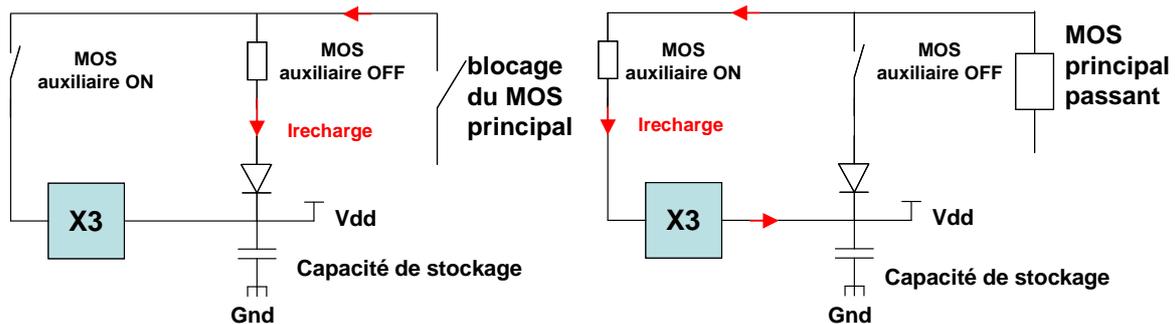


figure 19: Mode de fonctionnement du système d'auto alimentation a) Durant l'état bloqué du transistor b) Durant l'état passant du transistor principal

2.3.1 Etat bloqué et commutation au blocage du transistor de puissance principal

La puce de commande conçue devant être capable de commander un interrupteur « high side », on a donc besoin de créer une alimentation isolée flottante. Les solutions assurant à la fois l'isolation galvanique et la transmission de puissance (les transformateurs d'impulsion notamment) sont actuellement difficiles à intégrer [69]. Afin de résoudre ce problème il est possible d'utiliser d'autres principes d'alimentation de la commande rapprochée qui n'ont pas besoin d'une alimentation isolée telles que des solutions classiques comme l'alimentation bootstrap [80] et la pompe à charge [65]. Dans ce mémoire nous allons étudier l'intérêt de mettre en place une structure de type auto alimentation qui pourrait profiter de la présence de la puce de commande pour en optimiser les caractéristiques et conditions de bon fonctionnement. Cette structure permet de réaliser la fonction d'alimentation de la commande rapprochée d'un interrupteur de puissance en éliminant la nécessité d'une isolation galvanique. L'avantage de cette structure d'auto alimentation est qu'elle peut être intégrée monolithiquement (à l'exception de la capacité de stockage). Le principe de cette auto alimentation est de prélever l'énergie nécessaire à la commande rapprochée sur le circuit de

puissance. Cette solution a été proposée par International Rectifier (voir figure 20 [37]). Son principe de fonctionnement est d'utiliser la tension disponible aux bornes de l'interrupteur durant son état bloqué. Cette tension est alors régulée par une diode Zener, et une petite partie de l'énergie provenant de l'alimentation de puissance est dérivée afin de recharger la capacité de stockage C. Ce circuit est basé sur le principe du régulateur linéaire, et ses performances dynamiques sont limitées par les valeurs de la capacité, de la résistance R1 ainsi que par la fréquence de commutation. Un autre inconvénient est que la diode Zener est polarisée par le courant de charge, créant ainsi des pertes supplémentaires. Ce système peut être amélioré en plaçant un transistor Q limitant le courant dans la capacité dès que la tension aux bornes de ce dernier a atteint la valeur de la tension de régulation de la diode Zener moins la chute de tension VBE aux bornes du transistor Q. Ce circuit peut encore être amélioré en créant une régulation de la tension aux bornes de la capacité par d'autres moyens.

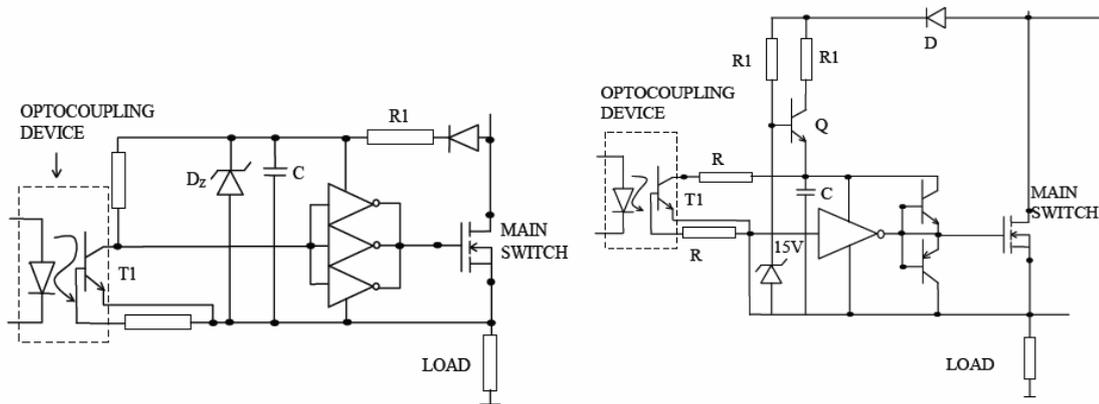


figure 20: Techniques d'auto alimentation proposées par International Rectifier

Cette structure d'auto alimentation a été adaptée afin de permettre son intégration monolithique au sein d'un interrupteur MOSFET de puissance dans [37] et [38]. Un fonctionnement sans pertes supplémentaires de ce circuit par rapport à une alimentation externe a été identifié dans [81]. Nous allons maintenant montrer comment ce circuit peut être intégré de façon hybride entre une puce CMOS et une puce VDMOS de puissance, en tirant partie de l'intégration CMOS pour améliorer le système de régulation de la tension aux bornes de la capacité. En effet l'inconvénient majeur du circuit de régulateur linéaire initial est son faible rendement, égal à V_{out}/V_{in} si on néglige le courant de polarisation de la branche auxiliaire. Pour une tension d'entrée de 400V et une tension de sortie de 20V, le rendement est donc inférieur à 5%.

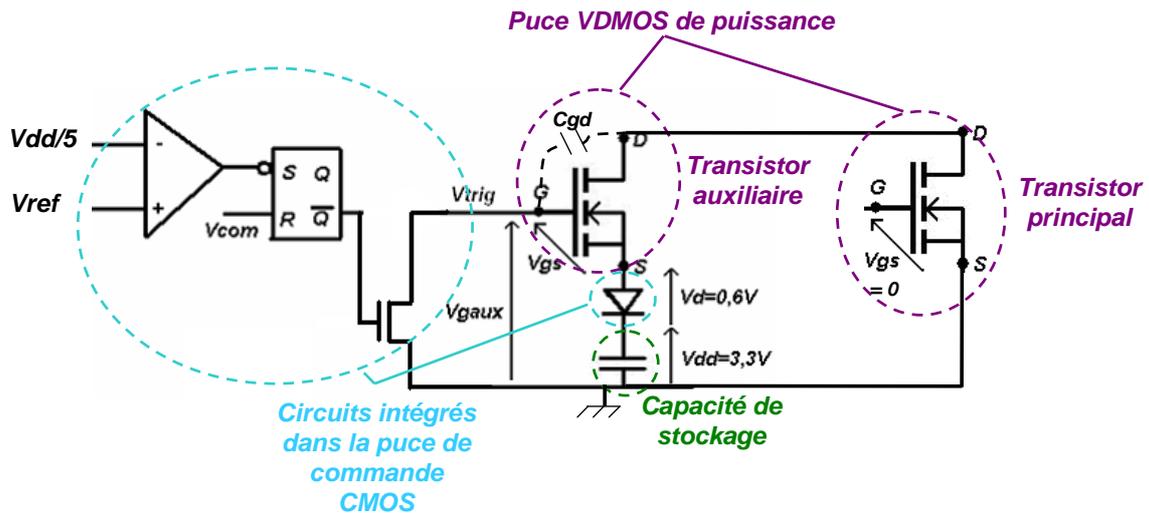


figure 21: Schéma électrique du circuit d'auto-alimentation à l'état bloqué

Le principe du circuit d'auto alimentation à l'état bloqué à base de transistors MOSFETS développé dans [37] a été repris, mais un nouveau circuit de régulation de la tension aux bornes de la capacité de stockage a été développé, tirant parti des possibilités offertes par l'intégration hybride, et dans le but de garantir un fonctionnement maîtrisé et contrôlé. La figure 21 montre le système complet regroupant des circuits intégrés dans la puce de commande, dans la puce de puissance ainsi que la capacité de stockage externe. Les composants de ce système intégrés dans la puce de puissance VDMOS sont l'interrupteur de puissance principal, contrôlé par la commande rapprochée précitée, ainsi qu'un transistor MOSFET auxiliaire, contrôlé par le circuit de régulation. Ce circuit de régulation est lui-même intégré dans la puce CMOS, ainsi que la diode servant à empêcher la décharge de la capacité de stockage via la diode body du MOSFET auxiliaire. Enfin la capacité de stockage est elle-même de taille trop importante pour être intégrée [48] dans l'une des deux puces, elle doit donc être discrète. Le fonctionnement de ce système est décrit par les formes d'ondes de la figure 22.

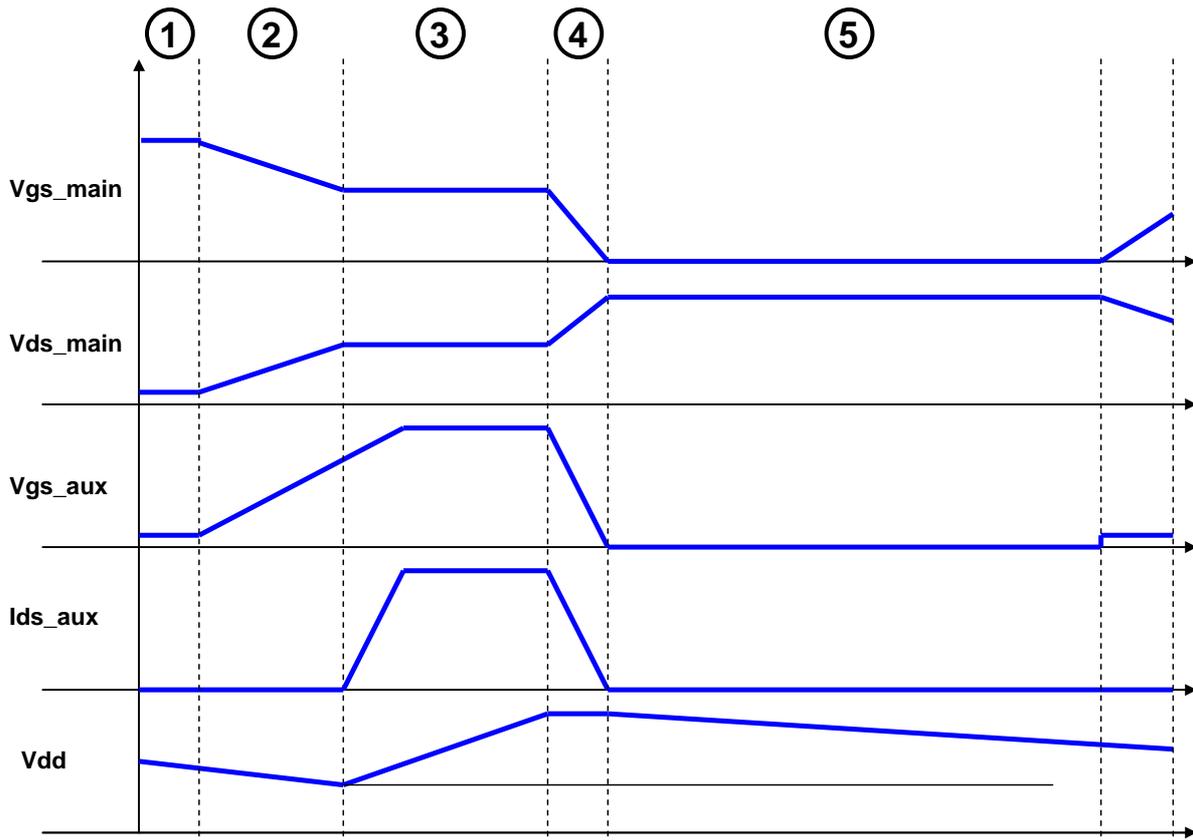


figure 22: Formes d'ondes qualitatives du circuit d'auto alimentation à l'état bloqué

Le fonctionnement de ce circuit est composé de plusieurs phases. La figure 22 décrit qualitativement ces différentes phases suivant l'état du transistor principal et du transistor auxiliaire. Dans la phase 1, l'interrupteur principal est fermé et l'interrupteur auxiliaire est bloqué. La grille de l'interrupteur auxiliaire est dans un état de haute impédance, ce qui permet au transistor d'être sensible à l'amorçage par un fort dv/dt qui se produit lors du blocage de l'interrupteur principal via la capacité Miller C_{gd} . A noter dans cette phase l'absence de polarisation de la grille de l'interrupteur auxiliaire. Ce point est fondamental car ce potentiel doit être plus haut que celui de l'alimentation pour garantir la polarisation suffisante entre grille et source du transistor auxiliaire et permettre une recharge efficace de la capacité de stockage. Dans la phase 2, la tension V_{gs_main} de l'interrupteur principal diminue, et l'interrupteur principal commute au blocage. La tension V_{ds_main} à ses bornes entre drain et source commence donc à augmenter jusqu'à la tension permettant de rendre le transistor auxiliaire passant, ce qui débute la recharge de la capacité de stockage. Dans la phase 3, le transistor auxiliaire est passant et un courant I_{ds_aux} le traverse, rechargeant la capacité de stockage. La tension aux bornes de la capacité de stockage commence donc à augmenter. Ensuite, dans la phase 4, la tension aux bornes de la capacité atteint la valeur désirée, ce qui est détecté par le circuit de régulation grâce à la comparaison d'une fraction de la tension d'alimentation de la commande rapprochée à une tension de référence générée à l'intérieur de la puce CMOS. Le comparateur change alors d'état logique, ce qui connecte ensuite la grille de l'interrupteur auxiliaire à la masse via le circuit de commande rapprochée de cet interrupteur composé d'un transistor NMOS en montage collecteur ouvert. Ceci a pour effet de bloquer l'interrupteur auxiliaire et la recharge de la capacité de stockage est alors stoppée. Dans la phase 5, les deux interrupteurs sont à l'état bloqué et la commande rapprochée est alimentée par la capacité de stockage. Enfin dans la phase 6, le transistor principal commute à l'état passant, ce qui a pour effet de remettre la grille de l'interrupteur

auxiliaire dans un état de haute impédance à l'aide d'une bascule RS faisant commuter le transistor NMOS de la commande rapprochée du transistor auxiliaire au blocage.

Avec ce type d'alimentation, la dynamique de recharge de la capacité est dépendante de la vitesse de commutation du composant de puissance principal, de sa fréquence de fonctionnement, ainsi que de la consommation énergétique de la puce de commande, du courant de puissance disponible et de la valeur de la capacité de stockage. La taille optimale de cette capacité est comprise entre 10 et 100nF pour une tension de 3,3V et un courant consommé par la commande rapprochée estimé de 10mA moyen, pour des applications allant jusqu'à 500kHz. Dans cette configuration, un bon fonctionnement de la puce de commande n'est pas possible pour des fréquences de commutation basses ou pour un état ON permanent car la tension aux bornes de la capacité de stockage devient trop faible pour alimenter la commande rapprochée au bout d'un certain temps. Des solutions d'auto alimentation ON permanents ont été récemment mises en évidence dans notre laboratoire [42], en dé-saturant partiellement le transistor de puissance et générant ainsi des séquences de recharge de la capacité de stockage. Nous proposons maintenant de coupler au système initial un deuxième dispositif venant ainsi compléter les possibilités opérationnelles du circuit.

2.3.2 Etat passant du transistor de puissance principal

Ce circuit exploite donc la chute de tension disponible aux bornes de l'interrupteur de puissance durant son état passant. Cette chute de tension dépend d'une part de la résistance à l'état passant de l'interrupteur, et d'autre part du courant le traversant. Le circuit utilisé pour réaliser l'alimentation de la commande devra donc être dimensionné en fonction de la tension disponible à son entrée. Comme dans la section I-5 de ce mémoire de thèse, on suppose cette tension proche de 1V en moyenne. La tension d'alimentation de la commande rapprochée étant de 3,3V dans notre technologie, la chute de tension à l'état passant doit être multipliée par trois afin d'obtenir un niveau de tension suffisant. On choisit donc d'utiliser un montage à pompe de charges triplant la tension. Le schéma électrique de ce circuit est présenté sur la figure 23.

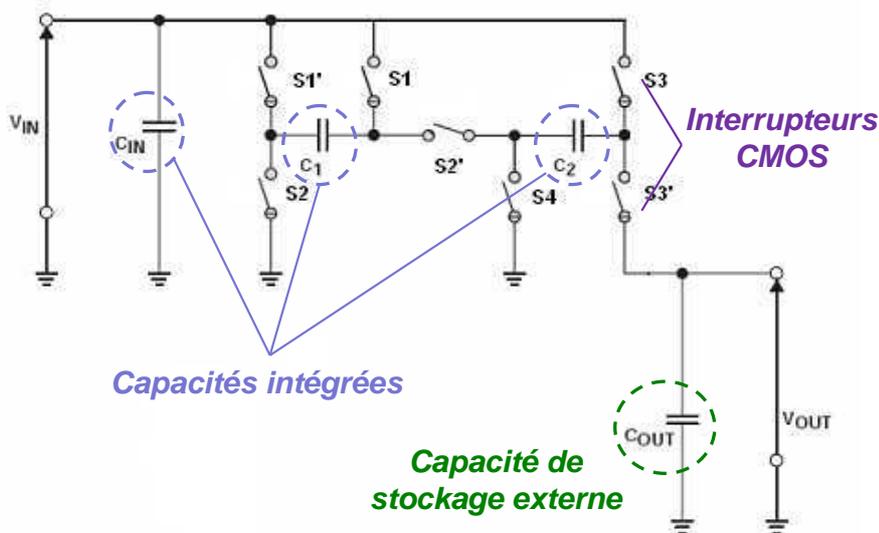


figure 23: Schéma électrique du circuit triplieur de tension

Ce circuit est donc composé de trois capacités intégrées ainsi que de la capacité de stockage externe. La partie active de ce circuit est composée d'interrupteurs qui commutent à très haute fréquence en opposition de phase. Le principe de fonctionnement du circuit est le suivant : dans un premier temps (une demie période), les interrupteurs S1, S2, S3 et S4 sont fermés et les interrupteurs S1', S2' et S3' sont ouverts : les capacités C1 et C2 sont alors chargées avec la tension d'entrée Vin. Ensuite durant la seconde demie période, les interrupteurs S1, S2, S3 et S4 sont ouverts et les interrupteurs S1', S2' et S3' fermés. Les capacités C1 et C2 sont alors associées en série avec la tension d'entrée Vin et se déchargent dans la capacité Cout. En répétant ce cycle durant un certain nombre de périodes, la tension de sortie Vout devient égale à trois fois la tension d'entrée.

Ce sont donc les capacités C1 et C2 qui sont commutées, le condensateur Cin servant au filtrage de la tension d'entrée et le condensateur de sortie Cout étant utilisé pour stocker les charges transférées. Dans un souci d'intégration et de fiabilité de la puce, on veut intégrer les condensateurs au sein de la puce, contrairement aux puces classiques du commerce où les condensateurs sont alors externes. On utilisera donc des capacités MIM (Métal-Isolant-Métal), qui ont l'avantage d'avoir une meilleure densité d'intégration ($1,25\text{fF}/\mu\text{m}^2$ contre $0,9\text{fF}/\mu\text{m}^2$ pour des capacités poly1-poly2 dans la technologie AMS $0,35\mu\text{m}$ [44]) ainsi qu'un couplage capacitif parasite avec le substrat plus faible, ce qui est critique pour ce circuit car les capacités ne sont pas reliées à la masse lors de la seconde phase de commutation. Un couplage capacitif parasite important avec le substrat générerait donc des pertes supplémentaires dans ce circuit. Les interrupteurs sont constitués par des transistors NMOS. En effet ceux-ci possèdent une mobilité d'électrons plus élevée que les transistors PMOS et donc un meilleur état passant pour une largeur de grille donnée. Cependant une structure de type CMOS, constituée par un NMOS et un PMOS en parallèle est utilisée pour réaliser l'interrupteur S2' et un PMOS est utilisé pour l'interrupteur S3' sur la branche de sortie. En effet la tension sur la source du transistor NMOS étant égale à la tension d'alimentation en régime permanent du circuit, on obtient donc un fonctionnement en mode linéaire du transistor d'où une dégradation des performances du circuit.

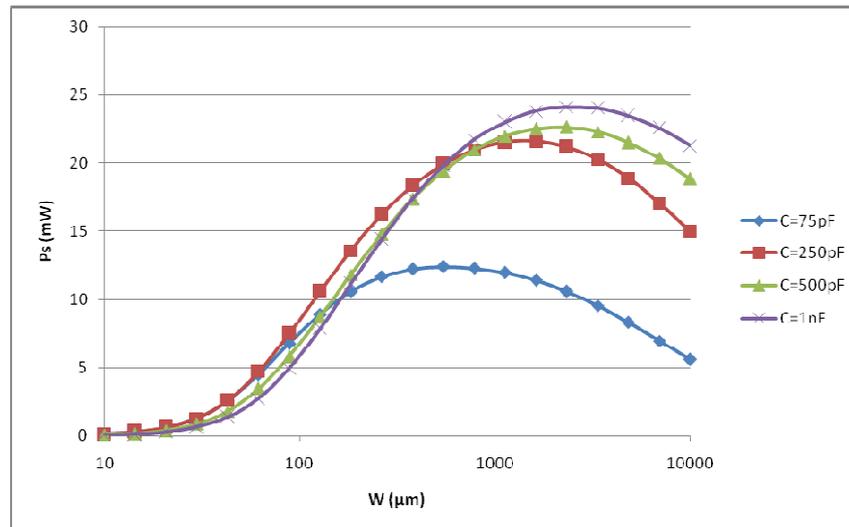
2.3.2.1 Dimensionnement du circuit tripleur de tension et de sa commande

Pour dimensionner le circuit, on fera varier différents paramètres avec en particulier les valeurs des capacités et les rapports W/L des transistors). On observera l'effet de ces différents paramètres sur la puissance de sortie et sur le rendement pour une puissance de sortie estimée à 30mW [82].

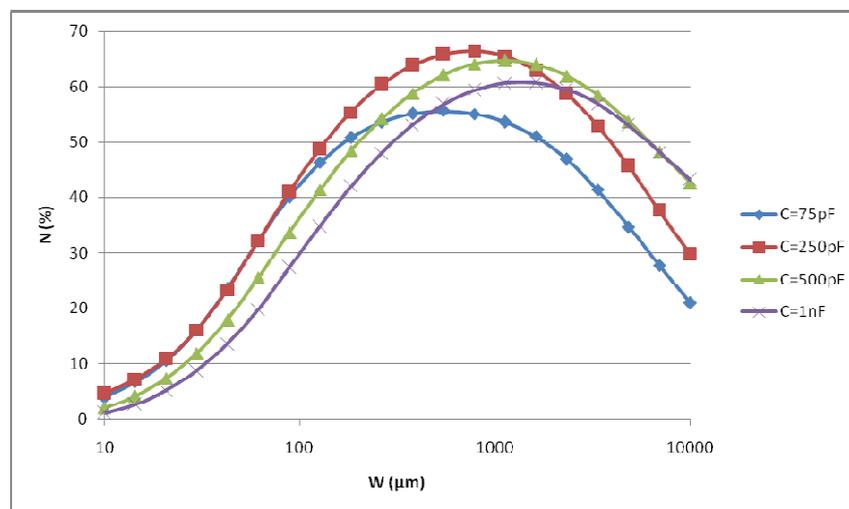
Etudions d'abord l'effet de la variation de la taille des transistors sur la tension de sortie. En effet on sait que la résistance à l'état passant d'un transistor est liée au rapport W/L (où W est la largeur et L la longueur de sa grille) selon l'équation (5)

$$R_{dson} = \frac{1}{2K \times \frac{W}{L} \times (V_{gs} - V_t)} \quad (5)$$

Plus le rapport W/L va augmenter, plus Rdson sera faible. On aura donc moins de chutes de tension aux bornes des transistors. On va donc observer la variation de W pour un L minimum ($0,35\mu\text{m}$), une charge en sortie du circuit de 360Ω (30mW) et différentes valeurs de capacités. On équilibre les NMOS et PMOS en imposant $W_{pmos}=3*W_{nmos}$, et on choisit $C1=C2$ afin d'équilibrer le transfert de charge des capacités commutées. Dans ce dimensionnement la puissance nécessaire pour piloter les transistors n'est pas prise en compte. On obtient les résultats des figures 24-a et 24-b pour une fréquence de commutation fixée à 120MHz.



a)



b)

figure 24: a) Puissance de sortie du tripleur en fonction de W pour différentes valeurs de capacités b) Rendement du tripleur en fonction de W pour différentes valeurs de capacités

On observe sur la figure 24-a que la puissance délivrée par le circuit augmente dans un premier temps lorsque la largeur de grille grandit car les pertes par conduction diminuent. Ensuite après un maximum, la puissance décroît car les pertes par conduction sont alors minimales, mais ce sont les pertes par commutation qui augmentent et font chuter la puissance transmise. Le même comportement est également observé pour le rendement sur la figure 24-b. On remarque que quelle que soit la valeur des capacités du circuit, l'optimum entre les pertes par commutation et les pertes par conduction, et donc le maximum de puissance délivrée par le circuit, se trouve aux alentours de $W=1\text{mm}$, cette valeur est donc choisie. Pour une largeur de grille de 1mm , on calcule une résistance R_{dson} des transistors de $1,5\Omega$. Pour dimensionner les capacités du circuit, on peut se baser sur le modèle équivalent de la figure 25.

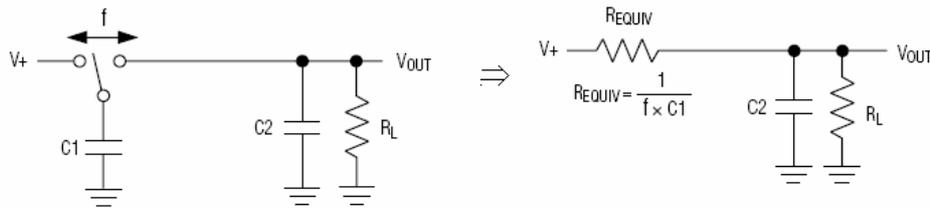
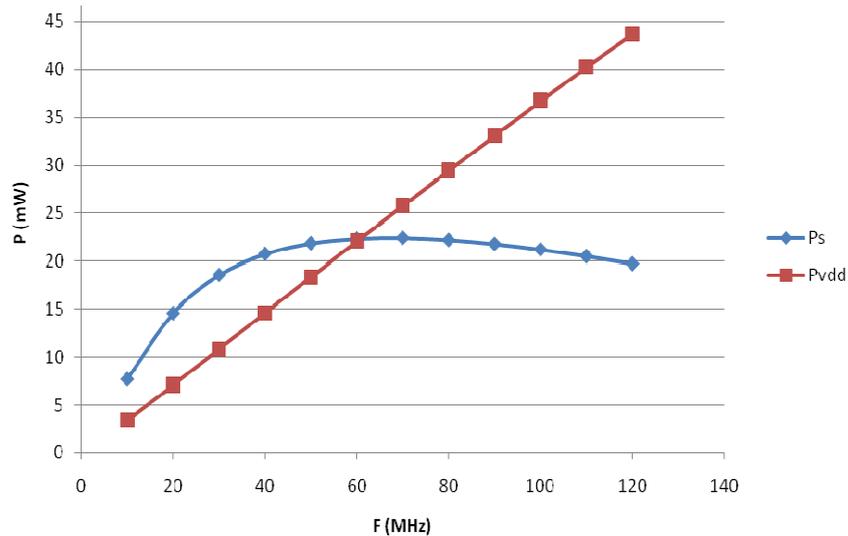


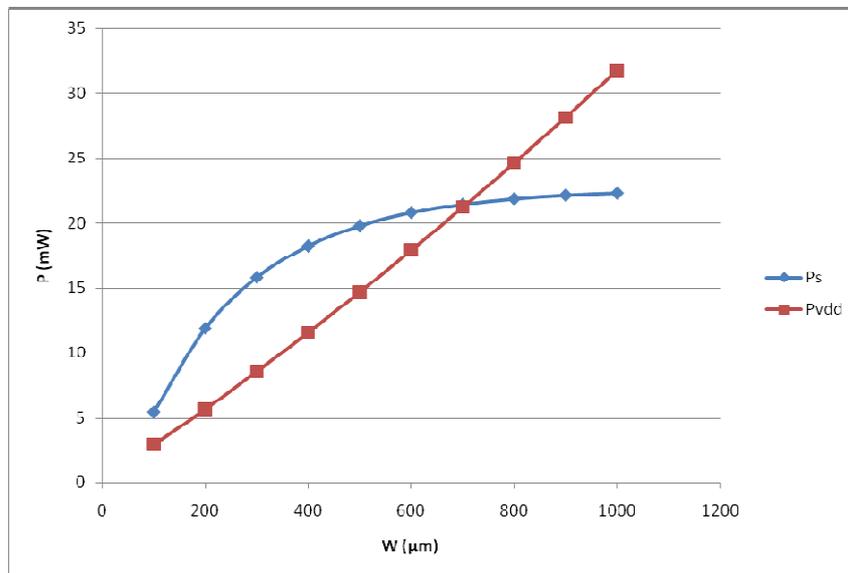
figure 25: Modèle équivalent d'une capacité commutée [53]

Ce modèle montre que la résistance équivalente d'une capacité commutée est proportionnelle à l'inverse de sa valeur multipliée par la fréquence de commutation des interrupteurs f , donc plus sa valeur sera grande et plus sa résistance apparente sera faible. Cependant les figures 24-a et 24-b montrent qu'à partir d'un certain point, augmenter cette valeur aura un effet négligeable car les pertes par conduction seront dues principalement au R_{dson} des transistors. On peut voir qu'un compromis sur la valeur de ces capacités peut être fait afin de limiter leur taille sans perte significative de puissance ($\approx 1\text{mW}$). Dans le souci de réduire la surface occupée par les capacités qui est importante (la densité des capacités est typiquement de $1\text{fF}/\mu\text{m}^2$) on peut donc fixer la valeur de ces capacités à 250pF . Par des simulations on a donc dimensionné les composants du circuit tripleur de tension. On choisit une valeur de 1mm pour la largeur de grille des transistors et 250pF pour la valeur des capacités commutées.

Lors de la conception de ce circuit il faut également prendre en compte que l'amplification des tensions de commande des interrupteurs est nécessaire pour pouvoir charger les capacités de grille parasites des transistors assez rapidement. En effet les transistors possédant un W/L élevé, ces capacités de grille sont importantes et on devra fournir le courant nécessaire afin d'obtenir une commutation assez rapide des transistors pour ne pas dégrader le fonctionnement global du tripleur, et ce d'autant plus que la fréquence de commutation est élevée. La première solution permettant de limiter la consommation de cette commande consiste à réduire la fréquence de fonctionnement du circuit afin de réduire la puissance moyenne demandée pour la commutation. La seconde solution est de réduire la taille des transistors de la commande afin de limiter ses pertes par commutation. Sur la base d'un plan d'expérience, on effectue donc une série de simulations en faisant varier la fréquence de fonctionnement ainsi que la taille des transistors de la commande afin de déterminer leur valeur optimale.



a)



b)

figure 26: a) Puissance de sortie et puissance consommée par la commande en fonction de la fréquence pour $W=1\text{mm}$ b) Puissance de sortie et puissance consommée par la commande en fonction de la taille des transistors de la commande à 60MHz.

Sur les figures 26-a et 26-b, P_s est la puissance disponible en sortie pour les valeurs de capacités trouvées précédemment et P_{vdd} représente la consommation de la commande. On observe ces puissances pour une largeur de grille des transistors NMOS $W=1\text{mm}$ (et PMOS=3mm). On voit donc que la puissance consommée par la commande évolue linéairement avec la fréquence (figure 26-a). La fréquence de fonctionnement optimale se situe à 30MHz pour une puissance de sortie de 19,6mW. On a alors une différence de 7,8 mW entre la puissance de sortie et la consommation de la commande. On voit cependant que pour des fréquences inférieures la puissance de sortie chute rapidement, on préfère donc se placer à la fréquence de 60MHz pour éviter une baisse trop grande de la puissance de sortie en cas de variation de la fréquence de l'oscillateur.

Etant donné que la réduction de la fréquence ne diminue pas suffisamment la consommation de la commande, la seconde solution réalisée est de réduire la largeur de grille des transistors du tripleur (figure 26-b). On fait varier la largeur de grille des transistors du tripleur (toujours en équilibrant NMOS et PMOS) ainsi que celle des transistors de la commande en gardant le même rapport entre les deux que précédemment. On peut donc voir que pour une largeur de 300µm des NMOS soit une division par 3 de la largeur initiale choisie, la puissance de sortie est supérieure à la puissance demandée à la source de 7,3mW, mais celle-ci diminue car elle atteint seulement 15,8mW. Comme il nous faut une puissance de sortie au minimum supérieure à 20mW, on choisit donc une largeur de grille de 600µm. Enfin on peut maintenant déterminer la taille optimale des étages d'amplification afin de limiter au maximum les pertes par commutation tout en ayant une puissance de sortie et un rendement les plus élevés possibles. Les simulations suivantes sont effectuées avec les paramètres déterminés précédemment (F=60MHz et largeur de grille des NMOS 600µm).

| | Pe (mW) | Ps (mW) | Pvdd (mW) | Pdispo (mW) | ηtripleur (%) | ηtotal (%) |
|-------------|----------------|----------------|------------------|--------------------|----------------------|-------------------|
| W | 31,3 | 20,1 | 19,6 | 0,5 | 64,3 | 39 |
| W/2 | 31,3 | 20,1 | 12,9 | 7,2 | 64,3 | 45 |
| W/3 | 31,4 | 20 | 10,9 | 9,1 | 63,8 | 47 |
| W/5 | 31,4 | 19,8 | 9,4 | 10,4 | 63,1 | 49 |
| W/10 | 31,5 | 19,3 | 8,3 | 11 | 61,3 | 48 |
| W/15 | 31,5 | 18,8 | 7,9 | 10,9 | 59,7 | 48 |
| W/20 | 31,5 | 18,3 | 7,8 | 10,5 | 58,1 | 47 |

Tableau 3 : Bilan énergétique du tripleur en fonction des tailles de transistors de la commande rapprochée à 60MHz

Dans le tableau 3, Pe représente la puissance d'entrée, Ps la puissance de sortie, Pvdd la consommation de la commande et Pdispo la puissance disponible en retranchant la puissance consommée par la commande. Ntripleur représente le rendement du tripleur sans sa commande et Ntotal le rendement tenant compte de la puissance consommée soit $N_{total} = Ps / (Pe + Pvdd)$. On prend W comme étant la taille initiale des transistors de la commande rapprochée du transistor de puissance dimensionnée précédemment et on divise cette taille par différents rapports. On peut voir que lorsque l'on diminue la taille de la commande, le rendement du tripleur chute mais la consommation de la commande étant diminuée, le rendement total augmente. La taille de W/10 constitue donc le meilleur compromis entre la taille des transistors, le rendement et la puissance disponible.

2.3.2.2 Conception de l'oscillateur et du circuit de génération d'horloges complémentaires

Un oscillateur doit finalement être conçu afin de fournir le signal d'horloge injecté dans la commande des interrupteurs. Afin de déterminer quel type d'oscillateur est le mieux adapté à cette application, un comparatif sera effectué entre trois types d'oscillateurs : un oscillateur en anneau, un oscillateur commandé en tension (VCO) ainsi qu'un oscillateur LC. On étudiera l'influence de variations de la température ainsi que de la tension d'alimentation sur la fréquence de l'oscillateur et sur sa consommation. On a déterminé précédemment que la fréquence à laquelle l'alimentation devra fonctionner était de 60MHz, l'oscillateur devra donc être le plus stable possible autour de cette fréquence (on tolère une variation de fréquence de

20% sur une plage de température de 27 à 100°C et pour une tension d'alimentation variant entre 3,3 et 2V) et devra également consommer le moins possible (moins de 5mW). Les résultats de cette étude comparative sont présentés dans le tableau 4.

| | Anneau | VCO | LC |
|---------------------------------------|--------|-------|-------|
| Fréquence min (MHz) | 51 | 47 | 53,5 |
| Fréquence max (MHz) | 68 | 70 | 63,8 |
| Variation de fréquence max (%) | 15,00 | 21,67 | 10,83 |
| Consommation max (mW) | 1,34 | 1,98 | 30 |

Tableau 4 : Comparatif des oscillateurs

On peut donc voir que l'oscillateur le plus stable en fonction de la température et de la tension d'alimentation est l'oscillateur LC. Malheureusement sa consommation excessive du fait de sa trop haute fréquence d'oscillation (qui est ensuite divisée par des circuits diviseurs de fréquence) en fait un type d'oscillateur inadapté pour notre application. L'oscillateur en anneau et le VCO en revanche sont un peu moins stables mais consomment peu. On peut constater que le VCO dépasse la limite de stabilité fixée dans le cahier des charges et consomme un peu plus. L'oscillateur en anneau présente une variation de fréquence maximale inférieure à la limite fixée ainsi que la plus faible consommation : on retiendra donc cet oscillateur pour notre circuit.

Un oscillateur en anneau est constitué d'un nombre impair d'étages inverseurs qui forment un système bouclé. La figure 27 montre le schéma de l'oscillateur réalisé sous Cadence :

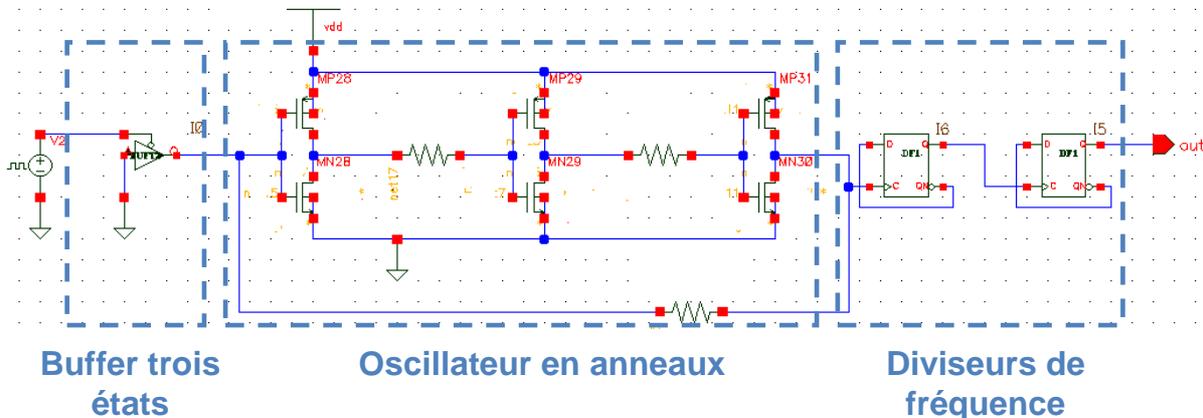


figure 27: Schéma Cadence de l'oscillateur en anneau

Sur ce schéma des résistances ont été rajoutées entre les inverseurs afin de créer des circuits RC avec les capacités de grille des transistors afin de fixer le délai de propagation dans le circuit et ainsi la fréquence d'oscillation. Celle-ci dépend alors de la constante de temps $\tau=RC$ et donc des valeurs des résistances et de la taille des transistors. Ceci permet de fixer la fréquence grâce à des composants passifs qui sont moins sujets à des variations en fonction de la température, et ainsi de garantir une plus grande stabilité en fréquence. Le buffer trois états sert à envoyer une impulsion afin de fournir l'énergie nécessaire au démarrage de l'oscillateur. Les bascules D sont employées en diviseur de fréquence : l'entrée d'horloge de la première bascule est connectée à la sortie de l'oscillateur et la sortie Qb est rebouclée sur l'entrée D. Ainsi la fréquence de changement d'état de la sortie Q sera la moitié de celle de l'horloge. Les inverseurs sont de petite taille afin de limiter la consommation. On a ici

$W_n=2\mu\text{m}$ et $W_p=6\mu\text{m}$. On ajuste ensuite par simulation la troisième résistance afin d'avoir une fréquence à la sortie des inverseurs de 240MHz, que l'on divise ensuite par 4 à l'aide des bascules pour avoir une fréquence de 60MHz. Cette division permet ainsi de limiter la taille des résistances.

La commande des interrupteurs du circuit tripleur de tension est constituée de deux signaux d'horloge en opposition de phase. De plus, il faut éviter la conduction simultanée de tous les transistors afin de minimiser les pertes par commutation. On doit donc à partir du signal d'horloge généré par l'oscillateur générer deux signaux d'horloge non recouvrants. Le circuit de la figure 28 est utilisé pour cela.

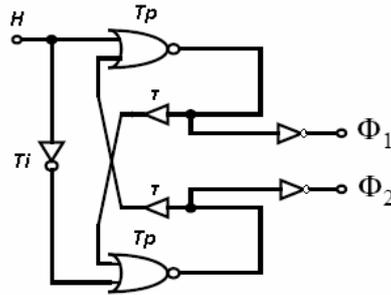


figure 28: Générateur d'horloges non recouvrantes

Les buffers de delay sur les entrées des portes NAND servent à introduire un retard T . T_p symbolise le temps de propagation dans les portes NAND et T_i celui de l'inverseur. Les buffers de delay sont des cellules DLY12 de la bibliothèque CORELIB d'AMS dont le délai est de 1,53 ns pour une charge de 2 fF. On utilise donc des portes NAND20 dont les capacités des entrées sont de 3 et 4 fF pour obtenir le délai le plus court possible. Après simulation on trouve un délai entre les commandes de 1,5ns.

Pour la mise en route et de ce circuit de pompe de charge et étant donné que la chute de tension à l'état passant dépend de la résistance à l'état passant du transistor de puissance utilisé ainsi que du courant circulant dans la charge, l'auto alimentation à l'état passant n'est pas toujours fonctionnelle lorsque la chute de tension à l'état passant n'est pas suffisante pour permettre une récupération d'énergie. Il faut donc désactiver cette alimentation lorsque la chute de tension à l'état passant est inférieure à une certaine valeur (déterminée par simulation à 1V). La solution mise en œuvre est donc de détecter la chute de tension à l'état passant du transistor principal avec une tension de référence de 1V (figure 29). Le signal de démarrage de l'oscillateur provient d'une porte ET dont les entrées sont la tension de sortie du comparateur inversée et l'ordre de commande du transistor principal. Ainsi on n'envoie le signal de démarrage de l'oscillateur uniquement si le transistor principal est à l'état passant et si la tension à ses bornes est suffisante pour permettre une récupération d'énergie avec un rendement assez élevé. Ce système permet de minimiser la consommation de la puce.

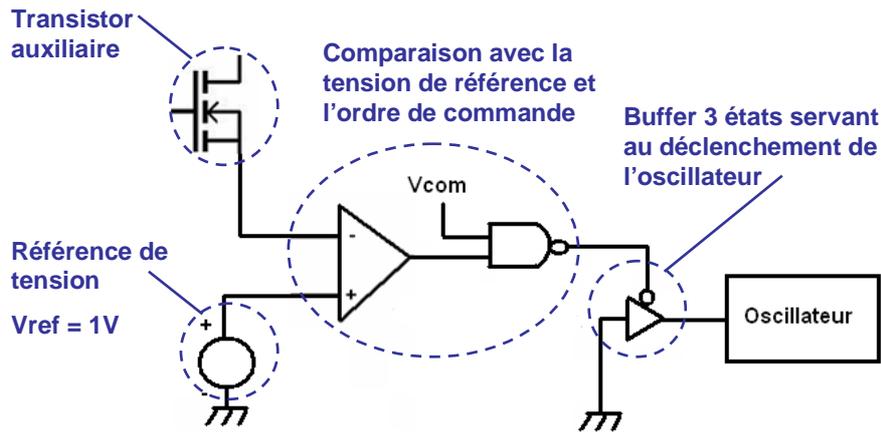


figure 29: Circuit de détection pour l'autorisation de la recharge de la capacité de stockage par

2.3.2.3 Bilan sur l'auto-alimentation à l'état ON :

Le système d'auto alimentation à l'état passant complet comprend donc un circuit tripleur de tension à pompe de charge, un circuit de décalage et d'amplification de la commande et un oscillateur.

| | |
|---|---------|
| Puissance délivrée par le tripleur : | 19,3 mW |
| Puissance consommée par la commande : | 8,3 mW |
| Puissance consommée par l'oscillateur : | 1,3 mW |
| Puissance disponible : | 9,7 mW |
| Rendement global : | 47% |

Tableau 5 : bilan énergétique du tripleur

Le bilan énergétique de ce circuit pour le point de fonctionnement considéré dans le cahier des charges ($V_{in}=1V$) est présenté dans le tableau 5. Le rendement total est donc proche de 50%, ce qui signifie que la moitié de l'énergie récupérée est dissipée en pertes lors de la transformation de la tension. Or cette énergie provenant elle-même de pertes occasionnées par la résistance parasite du transistor de puissance à l'état passant, on parvient en fait à récupérer de l'énergie utilisable sans occasionner des pertes supplémentaires dans le convertisseur principal. Cette énergie récupérée étant donc « gratuite », ce rendement de 47% est donc acceptable dans notre application.

2.4 Dessin des masques

Les différents circuits nécessaires à la commande d'un interrupteur VDMOS de puissance ont donc été choisis et dimensionnés. Les éléments constituant la puce de commande en technologie CMOS sont donc :

- Un transformateur d'isolation magnétique sans noyau et son circuit de démodulation associé

- Un circuit de commande rapproché du transistor de puissance et son circuit de contrôle permettant la génération d'un signal de commande bipolaire
- Un circuit de détection de la tension d'alimentation de la puce et le circuit de commande rapproché du transistor auxiliaire pour l'auto-alimentation à l'état bloqué
- Un circuit tripleur de tension à pompe de charges, sa commande associée composée d'un oscillateur, d'un circuit générateur d'horloges non recouvrantes avec leur circuit d'amplification, ainsi que la commande rapprochée de l'interrupteur auxiliaire pour l'auto alimentation à l'état passant.

Le dessin des masques de ces différents circuits a été réalisé dans la technologie AMSC35B4M3 3,3V/0,35 μ m. Ceci va maintenant être présenté.

2.4.1 Transformateur d'isolation et circuit de démodulation

Le dessin des masques du transformateur a donc été réalisé selon les critères déterminés lors de l'étude de dimensionnement précédente, en faisant un compromis sur la taille de silicium occupée. Le diamètre interne des bobines est de 100 μ m et le diamètre externe des bobines est de 600 μ m. La distance inter-spire est égale à 2 μ m, valeur dictée par la limite minimale des règles de dessin de la technologie, et la largeur des pistes est égale à 16 μ m, valeur correspondant à deux fois l'épaisseur de peau dans l'aluminium à 100MHz. Le primaire est situé sur le niveau de métal supérieur, et le secondaire sur le niveau de métal inférieur et chaque enroulement utilise le niveau de métal supérieur ou inférieur pour les pistes de sortie au milieu de la spire, ce qui correspond à un entrefer (distance entre primaire et secondaire) de 2 μ m, l'épaisseur d'oxyde entre deux niveaux de métaux étant de 1 μ m. L'épaisseur des pistes du primaire est de 2800nm et celle des pistes du secondaire est de 665nm, le métal supérieur étant plus épais dans la technologie utilisée. Le nombre de spires est de 14, égal au primaire et au secondaire. La vue du layout ainsi que la vue en coupe en résultant sont montrées sur la figure 30.

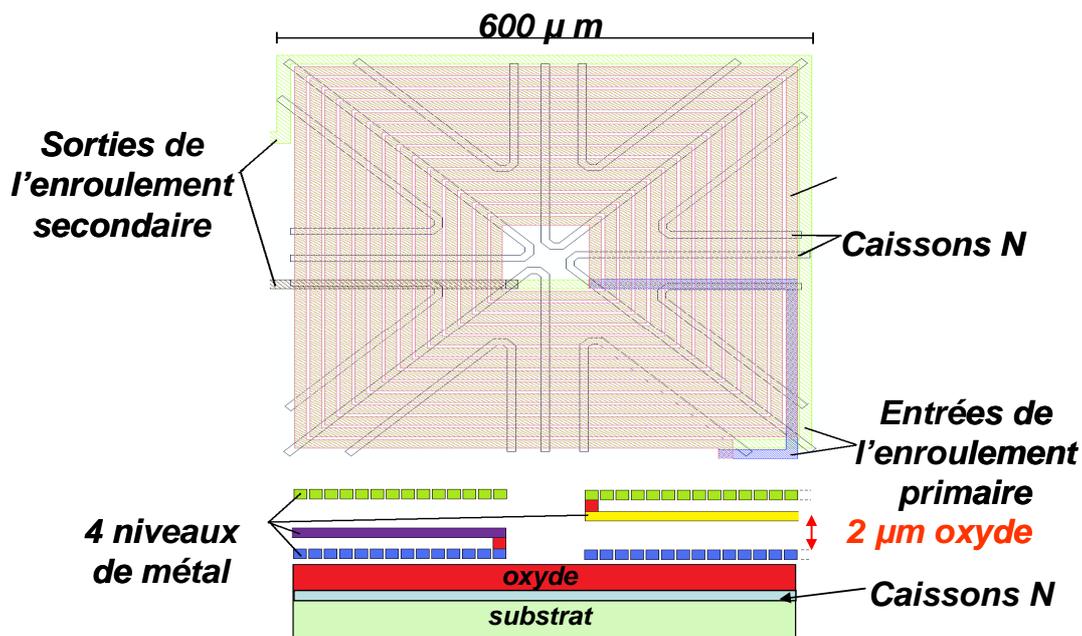


figure 30: Vue layout et vue en coupe correspondante du transformateur

2.4.2 Circuit de commande rapprochée

Le circuit de commande rapprochée est décomposé en deux parties : la partie logique ainsi que les deux premiers étages d'amplification sont situés proches du circuit de démodulation du signal de commande, afin d'éviter les perturbations ainsi que d'avoir à rajouter des étages d'amplification du signal démodulé. Le dernier étage d'amplification est situé au plus près des contacts de sortie de la grille et de la source, afin de minimiser l'impédance parasite des pistes entre cet étage et les pads de sortie (voir figure 31). Les transistors de ce dernier étage devant fournir un courant important, un soin particulier a été apporté au dessin des masques de cet étage. Ainsi des contacts ont été disposés sur toute la surface de ces transistors, avec une alternance entre source et drain, afin de permettre une meilleure répartition du courant sur toute la surface plutôt qu'une concentration de ce courant aux extrémités (voir figure 32). De même on a bien pris soin de ne pas situer la partie active d'un transistor à plus de 40 μm d'un contact relié au substrat afin d'éviter les phénomènes de latch-up. Pour en savoir plus sur ces règles de conception, le lecteur peut se référer à [78] et [83].

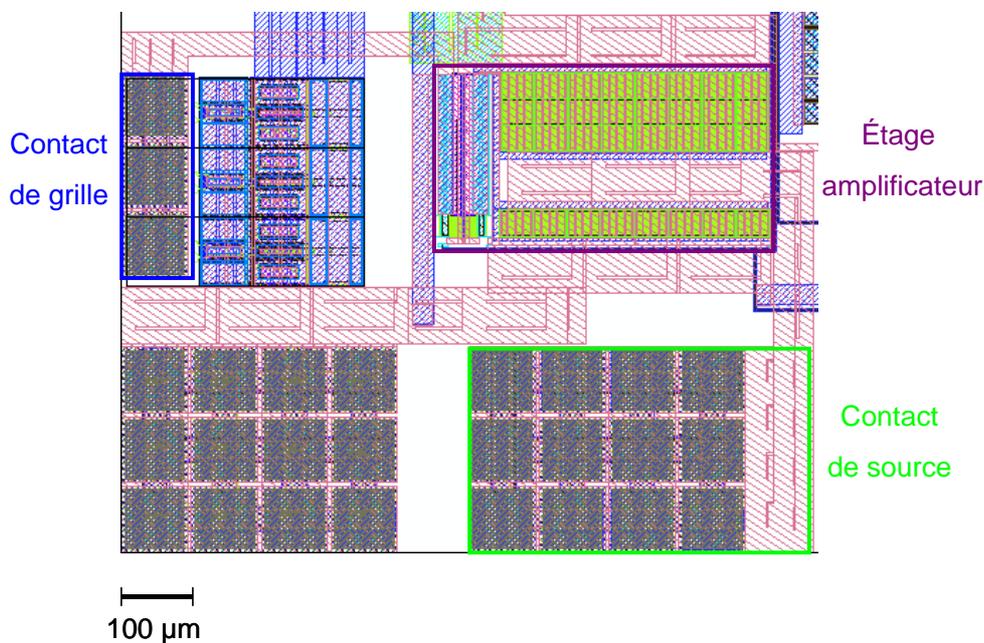


figure 31: Vue layout de l'étage d'amplification de la commande rapprochée et des contacts de grille et de source

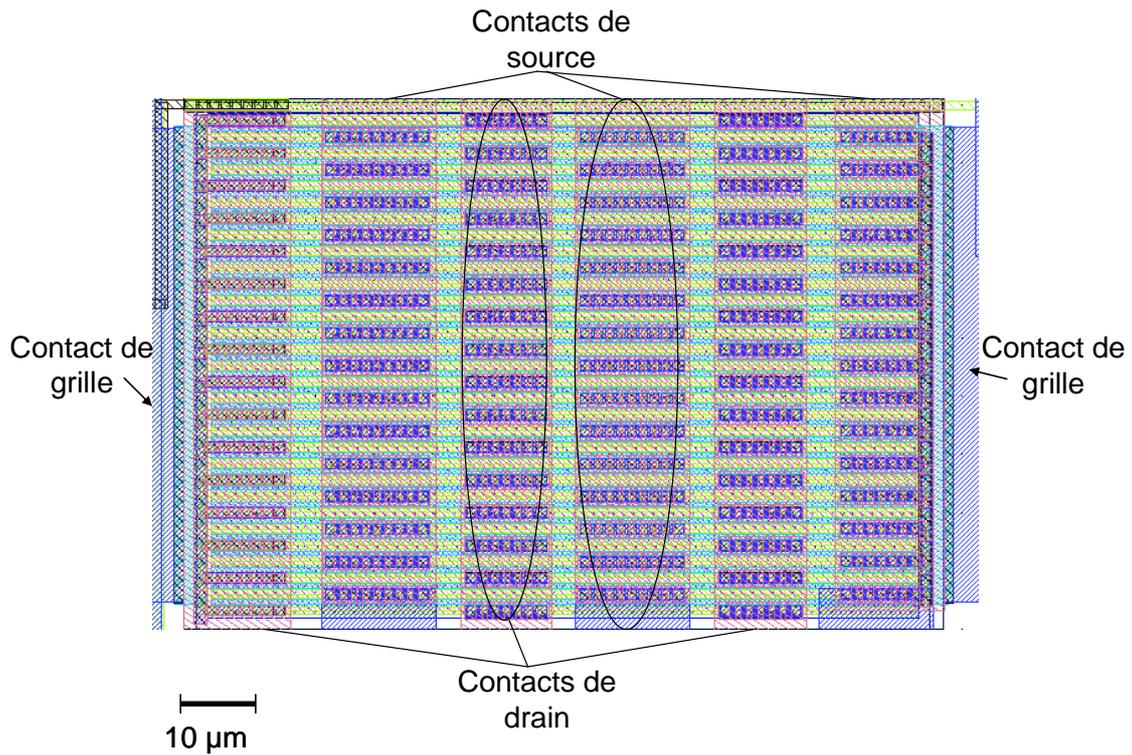


figure 32: Transistor constituant le dernier étage de la commande rapprochée

2.4.3 Circuit de contrôle de l'auto alimentation à l'état bloqué

Le circuit d'auto alimentation à l'état bloqué est composé d'une source de tension servant à créer une tension de référence pour la comparaison du niveau de la tension d'alimentation, ainsi que du comparateur et des circuits logiques servant à générer l'ordre de blocage du transistor auxiliaire. La vue layout de ces circuits est représentée figure 33.

Circuits logiques

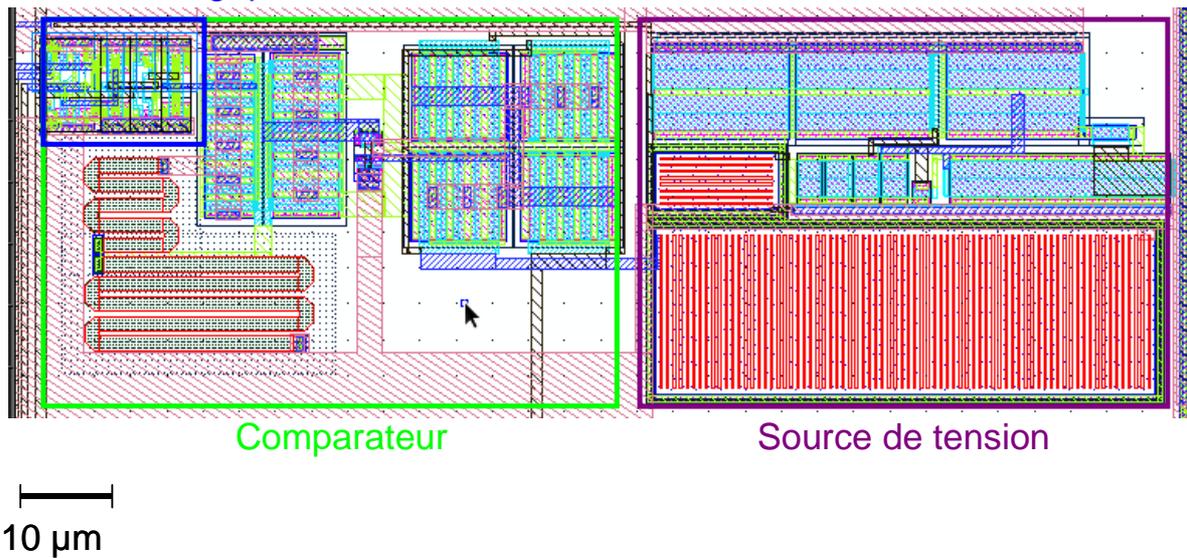


figure 33: Vue layout du circuit de contrôle de l'auto alimentation à l'état bloqué

2.4.4 Circuit d'auto alimentation à l'état passant

Le circuit d'auto alimentation à l'état passant est également décomposé en deux parties : la partie active, composée de transistors NMOS et PMOS, et la partie passive, composée de capacités MIM situées entre deux niveaux de métaux. Le layout des transistors a été réalisé de la même façon que pour la commande rapprochée (voir figure 34). Les capacités étant de taille importante, elles sont constituées de nombreuses capacités de tailles plus petites interconnectées. De même que pour les transistors, des contacts sont faits sur la surface de la capacité afin de permettre une meilleure répartition du courant (voir figure 35).

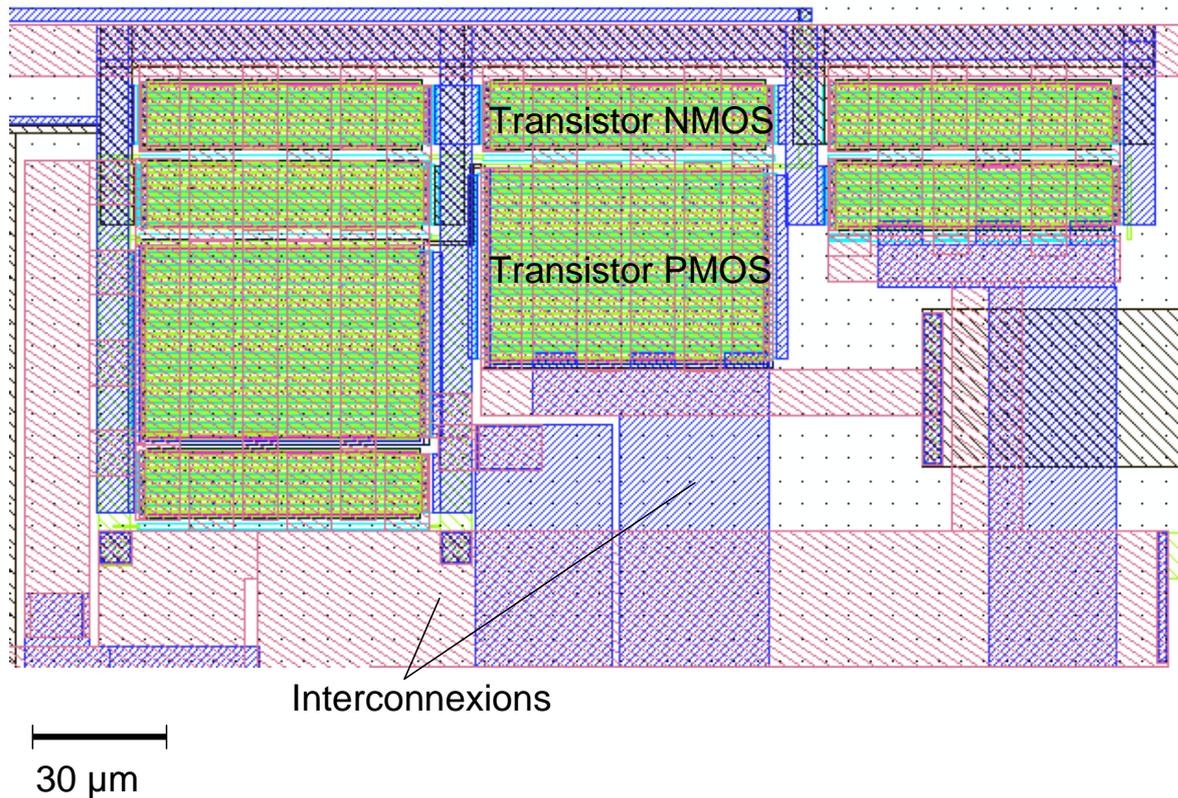


figure 34: Vue layout de la partie active du tripleur de tension

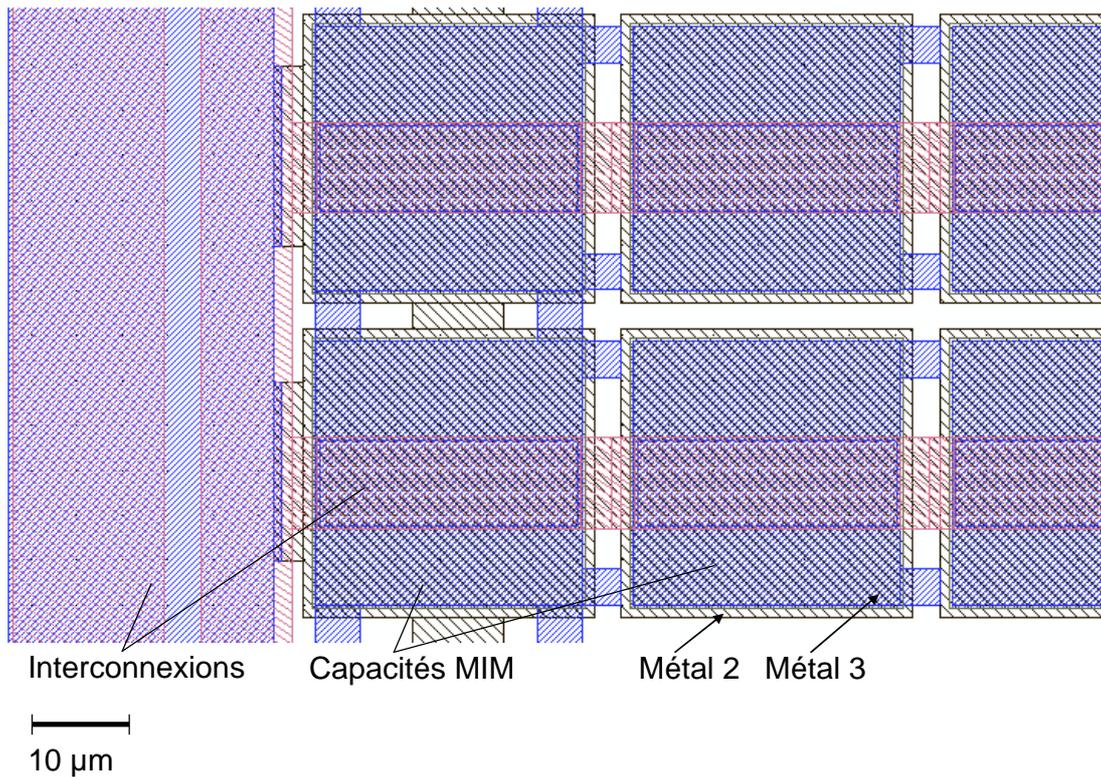


figure 35: Vue layout d'une partie d'un composant passif du tripleur de tension

2.4.5 Circuit de recharge de la capacité de stockage

Le circuit de recharge de la capacité de stockage est constitué des éléments dans lesquels circule le courant de puissance. On doit être vigilant à l'endroit où l'on place ce circuit, car un fort courant peut circuler dans cette maille et générer des perturbations des circuits de contrôle. Ce circuit est constitué d'une diode ainsi que des contacts de source du transistor auxiliaire OFF ainsi que des contacts d'alimentation reliés à la capacité de stockage. La diode servant à empêcher la décharge de la capacité de stockage a été dimensionnée pour faire circuler un fort courant (10A efficace), et les contacts sont constitués de plusieurs pads interconnectés afin de pouvoir connecter plusieurs fils de bonding en parallèle (voir figure 36). Le circuit est placé sur le bord de la puce afin de limiter au maximum les perturbations pouvant être générées par le fort courant impulsionnel circulant dans la maille lors de la recharge de la capacité de stockage. Les commandes rapprochées des transistors auxiliaires ont également été placées au bord de la puce afin de limiter l'inductance parasite des interconnexions (figure 36).

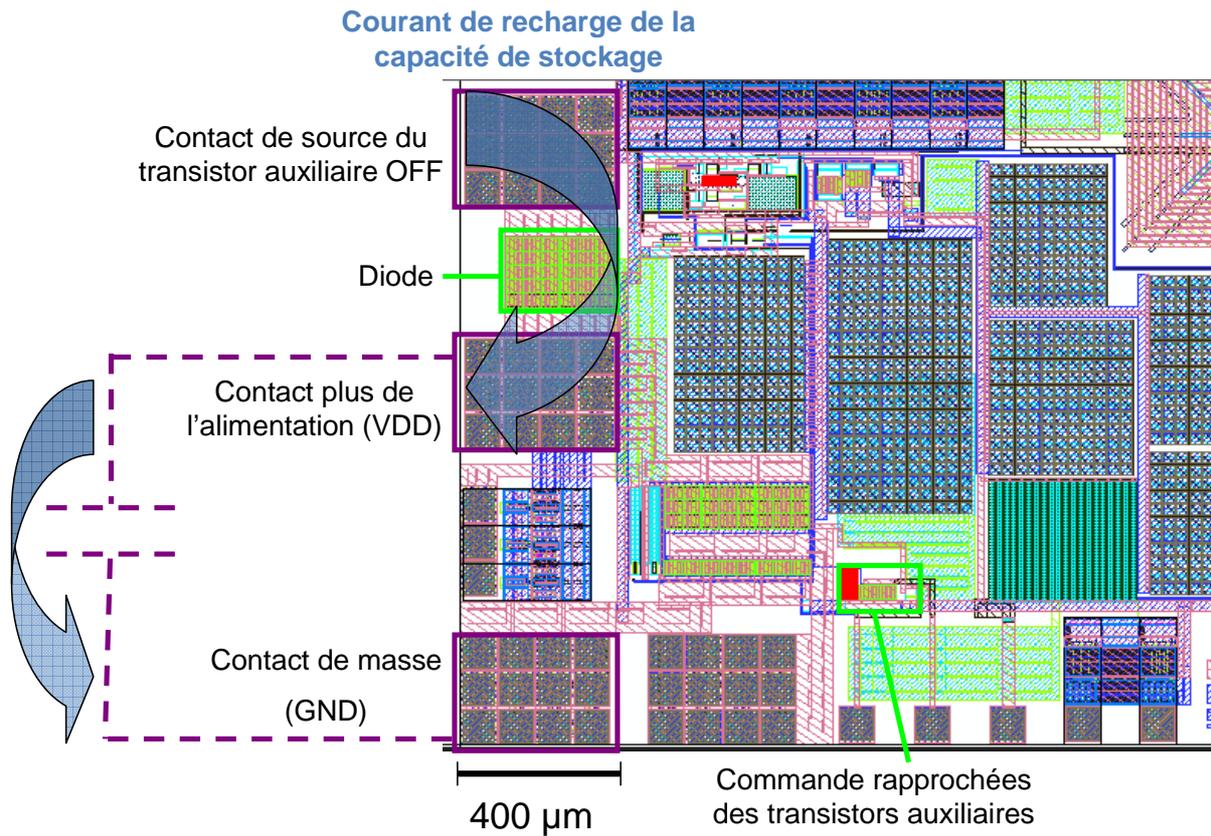


figure 36: Vue layout du circuit de puissance

2.5 Test et validation

La réalisation de la puce de commande a donc été sous traitée au CMP (Circuits Multi Projets [84]) sur le principe de MPW (Multi Project Wafer), consistant à regrouper sur un même wafer plusieurs projets différents afin de réduire les coûts de prototypage auprès du fondeur, en l'occurrence Austria Microsystems [44]. La figure 37 montre une photographie au microscope optique de la puce fabriquée.

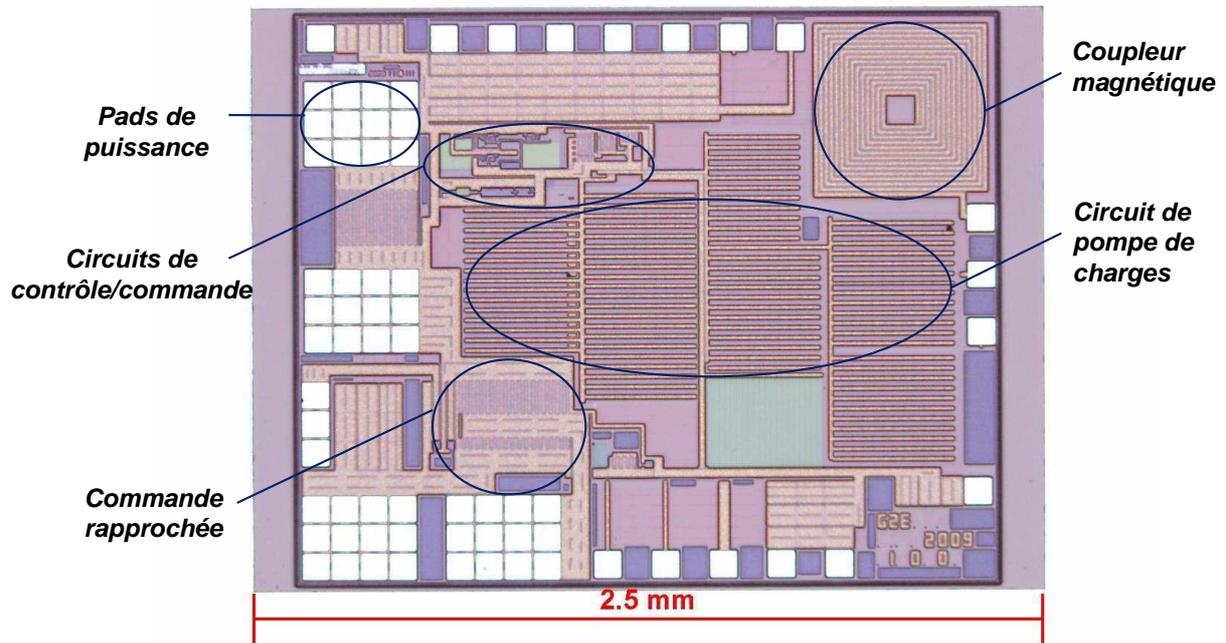


figure 37: Photographie au microscope de la puce fabriquée

Dans un premier temps des tests électriques des fonctionnalités de la puce ont été effectués, puis la puce de commande a été mise en œuvre dans un convertisseur de puissance abaisseur de tension en conditions réelles. La caractérisation du transformateur a également été effectuée et sera présentée.

2.5.1 Caractérisation du transformateur intégré et test du circuit de démodulation

La caractérisation du transformateur intégré a été réalisée à l'aide d'un analyseur de réseaux ANRITSU ME7808C. Cette caractérisation a été réalisée au laboratoire IMEP-LAHC de Grenoble avec l'aide de M. Nicolas Corrao et Jean-Daniel Arnould, que nous remercions. Les mesures obtenues ont ensuite été comparées au modèle établi précédemment. Les résultats obtenus sont présentés sur la figure 38. On peut observer que le modèle résistif et magnétique établi à partir des simulations Flux, auquel on ajoute en faisant coïncider la valeur des capacités, correspond assez bien aux mesures jusqu'à la première fréquence de résonance aux alentours de 500MHz, puis les deux courbes montrent des différences dues à d'autres couplages capacitifs et inductifs qui ne sont pas inclus dans le modèle équivalent. La figure 39 montre le paramètre S21 qui représente le coefficient de transmission entre le primaire et le secondaire. Ce paramètre montre donc une image du couplage magnétique entre le primaire et le secondaire. Le modèle correspond ici à la mesure jusqu'à 5GHz. On peut voir que le coefficient de transmission est maximal à la fréquence de 490MHz, ce qui signifie que le couplage est optimal à cette fréquence.

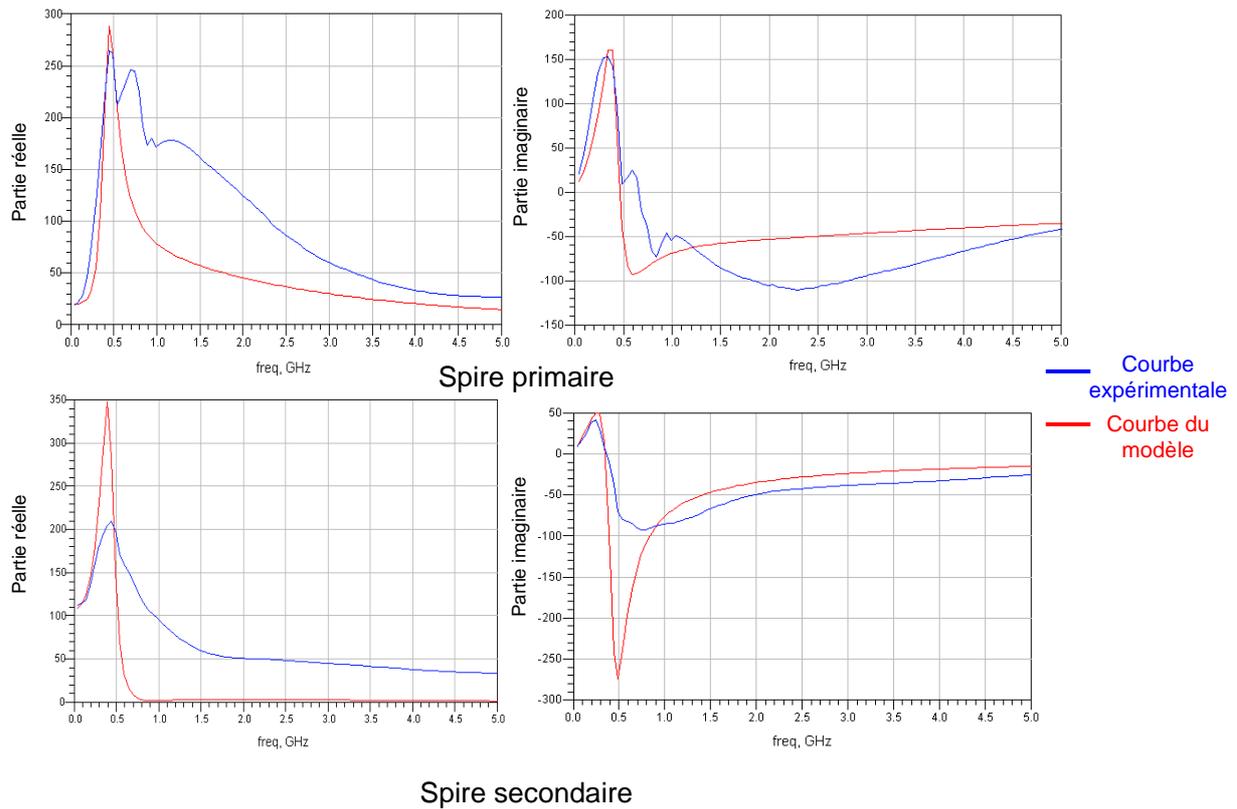


figure 38: Comparaison entre le modèle et les mesures des impédances primaire et secondaire du transformateur

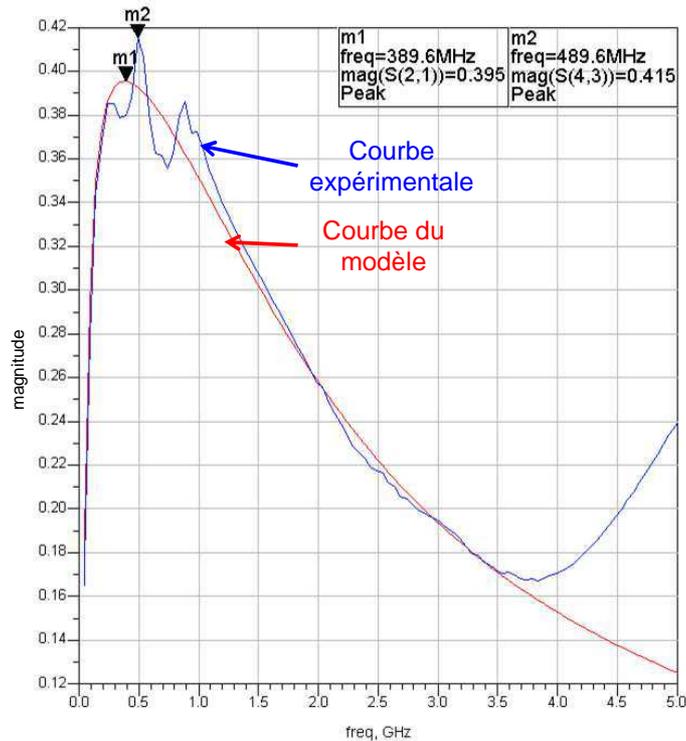


figure 39: Comparaison entre le modèle et les mesures du paramètre S21 du transformateur intégré

Ceci montre donc que la fréquence de résonance du transformateur est trop élevée, car pour notre système tel qu'il a été conçu on a besoin d'un signal de 2,6V d'amplitude au secondaire

pour que le signal soit détecté par le circuit de démodulation, or il n'est pas aisé de générer un signal d'une telle amplitude à cette fréquence. On peut cependant déduire de ces observations que le modèle qui a été déterminé est cohérent avec les mesures effectuées, et que la technique de modélisation employée peut être utilisée ultérieurement pour redimensionner un transformateur avec une fréquence de résonance plus faible. Cependant le circuit de démodulation a été testé à des fréquences plus basses et des résultats ont été obtenus (voir figure 40).

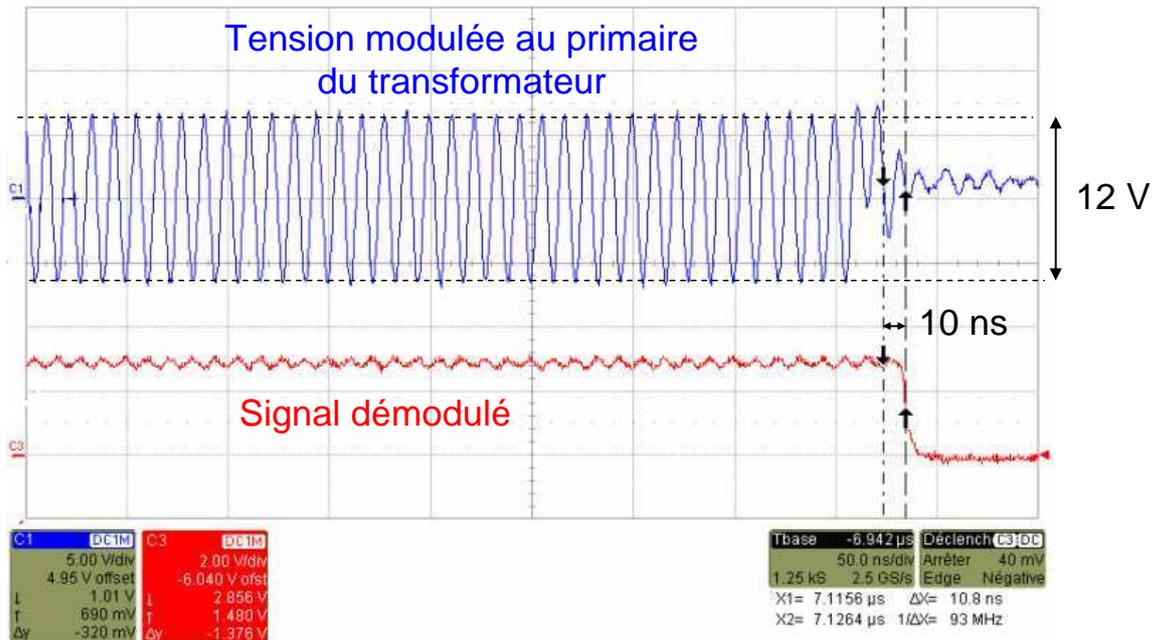


figure 40: Test du circuit de démodulation avec un signal modulé à 90MHz

Les tests électriques du circuit de démodulation ont été effectués avec un générateur de fonctions pouvant aller jusqu'à 100MHz. La figure 40 montre que pour un signal modulé aux alentours de 100 MHz (90 MHz), la tension aux bornes du primaire doit être de 6V d'amplitude pour obtenir un signal satisfaisant (sous entendu détectable) à la sortie du circuit de démodulation. En dessous de 90MHz, l'amplitude du signal que l'on peut obtenir avec le générateur de fonctions n'est pas suffisante pour obtenir un signal démodulé. En effet, il a été observé une amplitude au secondaire de 3V crête à crête pour une amplitude crête à crête au primaire de 12V, soit un rapport de transformation de 1/4. On peut également observer que le délai entre le signal modulé au primaire et le signal démodulé est de 10ns sur la mesure, ce qui confirme donc les résultats obtenus en simulation.

Un test du circuit de démodulation a également été effectué à l'aide d'un oscillateur à la fréquence de 250MHz, alimenté en 3,3V. Le résultat de ce test est présenté sur la figure 41. Ce test montre que les pertes dans le transformateur sont moins élevées à cette fréquence, car l'amplitude au secondaire est mesurée à 1,2V crête à crête pour une amplitude au primaire de 3.2V crête à crête, soit un rapport de transformation de un peu plus d'1/3. Ceci confirme les mesures du paramètre S21, montrant un meilleur couplage du transformateur à cette fréquence. Cependant le couplage n'est toujours pas optimal, et ce niveau de tension est trop faible pour que le signal soit détecté par le circuit de démodulation. Il faut donc repenser la conception de ce circuit de démodulation afin que le signal soit détecté pour des niveaux de tension plus faibles. Des pistes à explorer seront données dans les perspectives de ce travail de thèse.

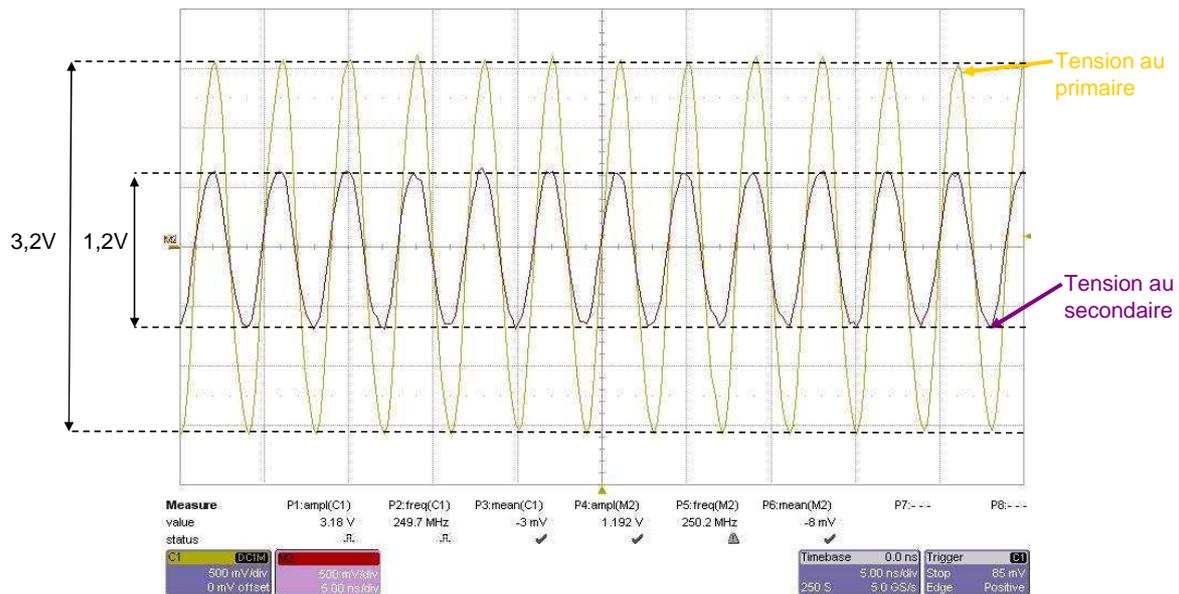


figure 41: Test du circuit de démodulation avec un signal modulé à 250MHz

Le test diélectrique du transformateur a également été effectué, et la tension de claquage de l'oxyde séparant les spires primaire et secondaire a été mesurée à 1,2kV [85]. Si des transistors MOSFETs sont utilisés, cette valeur est raisonnable et peut satisfaire un grand nombre d'applications.

2.5.2 Test électrique des fonctions

Des sorties permettant d'observer les tensions stratégiques au sein de la puce ont été prévues afin de valider le bon fonctionnement des circuits intégrés dans la puce. Ainsi le bon fonctionnement du circuit de démodulation a déjà été démontré, et il reste à valider le fonctionnement de la commande rapprochée ainsi que des circuits d'auto alimentation. Ceci va être présenté dans cette section. On a ainsi des pattes de sortie permettant d'observer la tension de référence générée à l'intérieur de la puce, afin de valider le bon fonctionnement du circuit de détection de la recharge de la capacité de stockage, ainsi qu'une sortie permettant d'observer la tension de l'oscillateur intégré afin de valider le bon fonctionnement du circuit à pompe de charges. Le bon fonctionnement de la commande rapprochée peut être observé directement en mesurant la tension entre le contact de grille et le contact de source.

La tension de référence du circuit de détection de la recharge de la capacité de stockage est mesurée à 0,6V, ce qui correspond à la valeur attendue car elle est comparée à une tension correspondant à 1/5 de la tension d'alimentation (3,3V). Cette source de tension a été conçue de façon à être indépendante de la tension d'alimentation de la puce, variant en fonction de la décharge de la capacité de stockage.

Afin de tester le montage tripleur de tension, on alimente la puce par une tension de 2V et on applique une tension de 1,5V sur la source du transistor auxiliaire ON. La capacité de stockage a une valeur de 20nF et l'ordre de commande envoyé est à la fréquence de 250kHz (figure 42). La figure 43 montre les résultats obtenus : l'ordre de commande de l'interrupteur est représenté par la tension jaune (C1), la tension de l'oscillateur est observée sur la voie 2 (C2), et la tension d'alimentation de la puce (qui est donc également la tension de sortie du circuit de pompe de charges) est observée sur la voie 3 (C3).

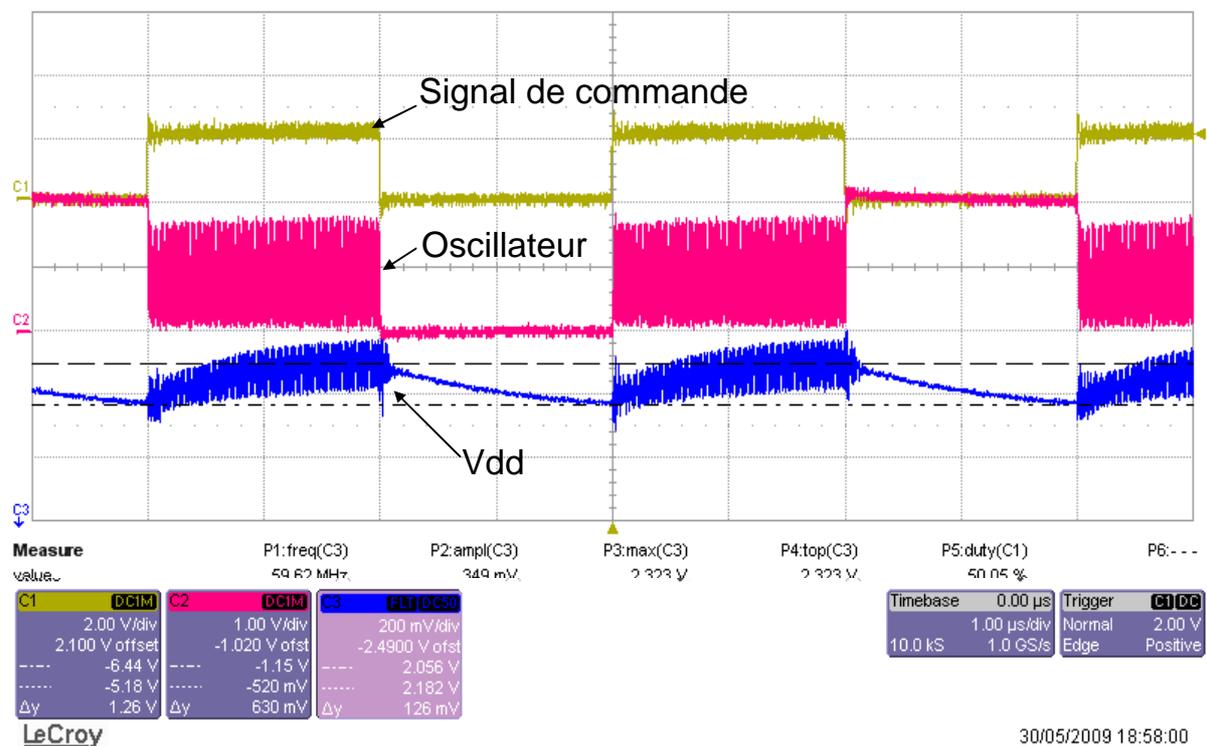
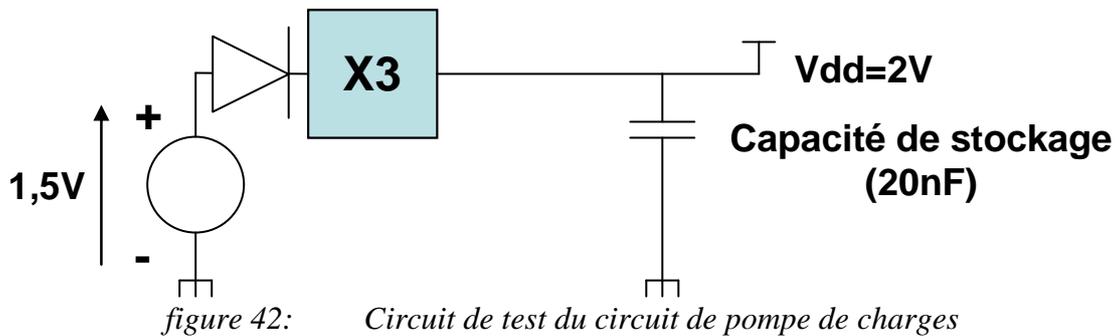


figure 43: Test du circuit de pompe de charges

On peut voir que l'oscillateur ne démarre que lorsque l'ordre de commande du transistor est dans l'état logique 1, ce qui avait été prévu dans le but de minimiser la consommation de la puce. On observe également une augmentation d'environ 100mV durant l'état passant du transistor, ce qui signifie qu'il y a bien récupération d'énergie durant cette période. Cependant il est difficile de conclure sur l'efficacité du circuit de pompes de charges. En effet, la tension d'alimentation de la puce étant fournie par une alimentation régulée, celle-ci revient à la valeur de 2V lorsque l'ordre de commande de l'interrupteur est à l'état logique 0. On peut cependant remarquer que la tension d'alimentation semble très perturbée lorsque l'oscillateur

est actif, alors qu'elle ne l'est pas lorsqu'il n'est pas activé. Il semble donc que l'oscillateur provoque des perturbations sur la tension d'alimentation. Ceci est à approfondir dans des tests complémentaires.

Enfin la figure 44 montre le test du circuit de commande rapproché. La tension d'alimentation de la puce est un signal triangle compris entre 2,5 et 3,5V afin de simuler les variations de la tension en condition réelle (avec une auto-alimentation OFF seulement). La valeur maximale de cette tension dépasse 3,3V afin que la sortie du comparateur bascule et que le signal de blocage du transistor auxiliaire soit généré.

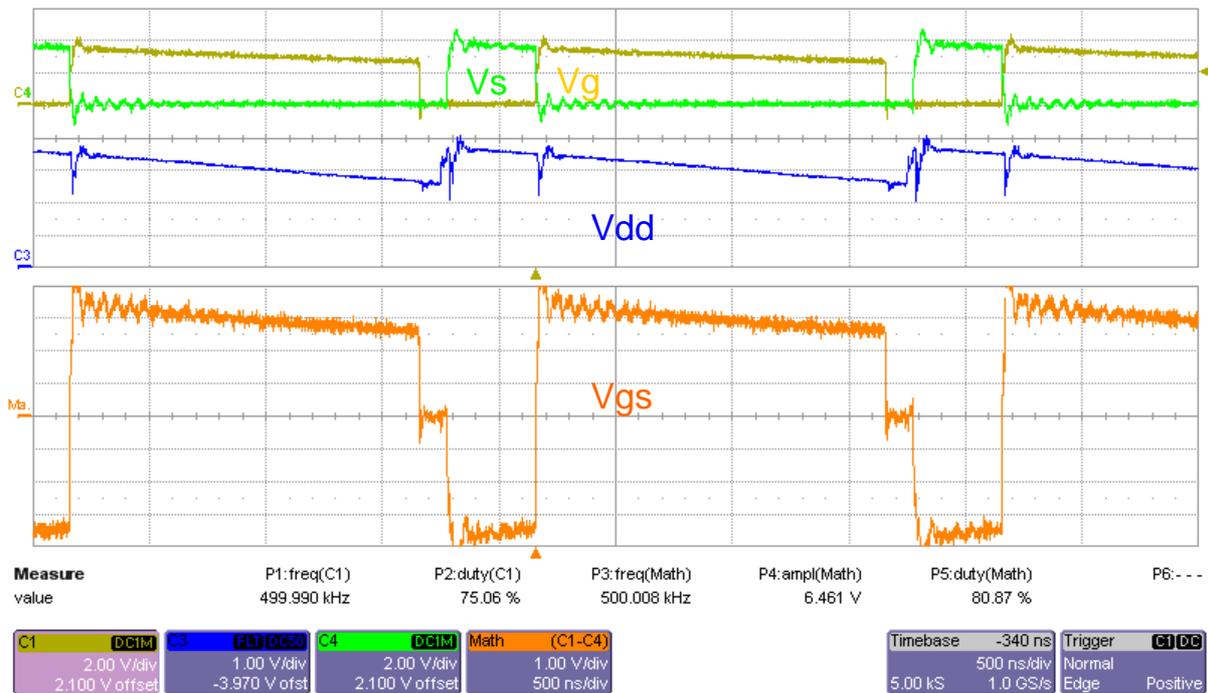


figure 44: Test du circuit de commande rapproché

La tension V_g correspond à la tension sur le contact de grille de l'interrupteur, la tension V_s celle sur le contact de source et V_{dd} correspond à la tension d'alimentation. La tension V_{gs} est la différence entre la tension V_g et la tension V_s , ce qui correspondrait à la différence de tension entre la grille et la source de l'interrupteur. Le signal de commande est à la fréquence de 500kHz avec un rapport cyclique de 75%. On observe un bon fonctionnement du circuit logique de la commande rapprochée ainsi que du circuit de détection de la recharge de la capacité de stockage. En effet lorsque l'ordre de commande est à l'état logique 1, la tension V_{gs} est positive. Puis lorsque l'ordre de commande passe à l'état logique 0 et que la tension d'alimentation est inférieure à 3,3V, la tension V_{gs} est alors nulle. Enfin lorsque la tension d'alimentation devient supérieure à 3,3V, la tension V_{gs} devient négative. Ceci correspond au fonctionnement attendu.

Tous les circuits de commande intégrés dans la puce ont donc été testés électriquement, et un bon fonctionnement de ces circuits a été observé. On peut donc maintenant la mettre en œuvre dans un convertisseur de puissance afin de valider son fonctionnement en conditions réelles.

2.5.3 Mise en œuvre de la puce dans un convertisseur

La puce de commande a donc été mise en œuvre dans un convertisseur de puissance abaisseur de tension (buck). Ce type de convertisseur a été choisi dans un premier temps car il ne comporte qu'un seul interrupteur à commander, et la source de celui-ci peut être référencée à la masse de l'alimentation, et n'est donc pas flottante, ce qui simplifie sa commande. Le circuit réalisé est montré dans la figure 45.

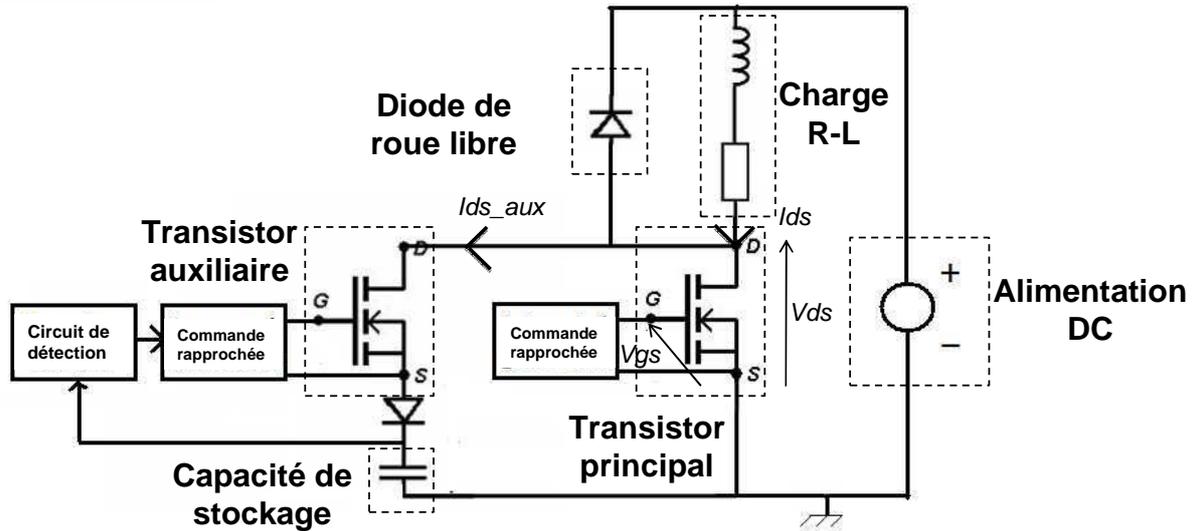


figure 45: Circuit de test de la puce de commande dans un convertisseur abaisseur de tension

La mise en oeuvre de la puce a été réalisée dans un premier temps par un assemblage sur PCB. La source du transistor principal est donc connectée à la masse de la source d'alimentation de puissance pour simplifier la mesure. La puce de puissance est composée de deux transistors VDMOS verticaux intégrés dans le même substrat, ayant des calibres de courant et de tension de 1A et 300V respectivement. Le transistor principal est de taille plus importante car il dissipe plus de puissance que le transistor auxiliaire, qui n'est traversé par le courant de charge que de manière impulsionnelle à chaque commutation au blocage du transistor principal. Ces transistors ont également une tension de seuil proche de 1V, de façon à pouvoir être commandés par un niveau de tension de grille de 3,3V. Le dimensionnement et les étapes de masquage de ces composants pourront être retrouvés dans [37]. La charge est de type R-L, avec des valeurs de 100Ω et 250μH respectivement. La tension d'alimentation est de 60V et le rapport cyclique est choisi à 0,5, on a donc un courant moyen de 300mA dans la charge. Pour pouvoir mieux observer les séquences de charge et de décharge de la capacité de stockage dont la valeur est de 10nF, on choisit dans un premier temps une fréquence de commutation basse (6kHz). Afin de valider également le bon fonctionnement de la commande sur une large plage de fréquences, des tests ont ensuite été conduits jusqu'à 250kHz. Les résultats obtenus à ces fréquences sont présentés respectivement sur les figures 46 et 47.

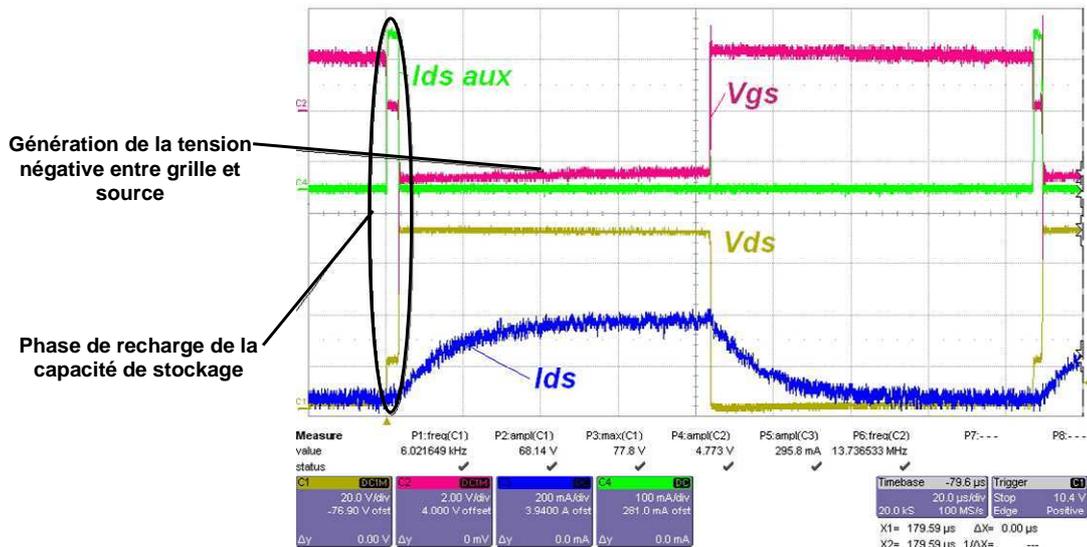


figure 46: Grandeurs significatives du convertisseur abaisseur de tension réalisé durant une période de commutation à la fréquence de 6kHz

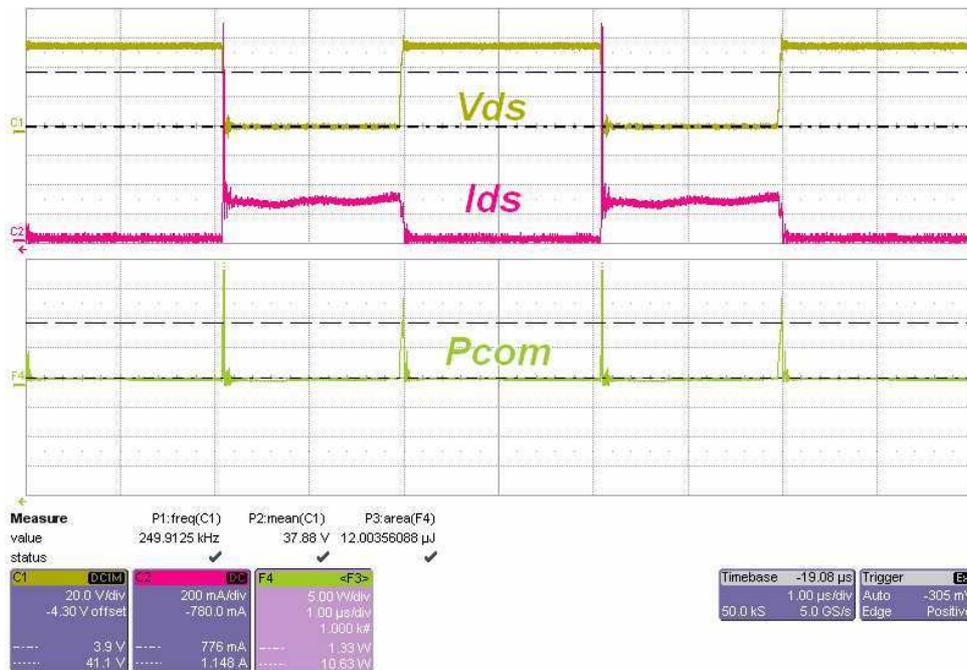


figure 47: Grandeurs significatives et image des pertes par commutation du convertisseur abaisseur de tension réalisé durant une période de commutation à la fréquence de 250kHz

La figure 46 montre la tension V_{gs} entre la grille et la source de l'interrupteur principal, la tension V_{ds} entre drain et source et le courant I_{ds} le traversant, ainsi que le courant I_{ds_aux} traversant le transistor auxiliaire. On peut observer le bon fonctionnement de la commande rapprochée ainsi que du circuit d'auto alimentation à l'état bloqué, avec la phase de recharge de la capacité de stockage durant laquelle le courant de charge traverse le transistor auxiliaire, puis la génération de la tension négative entre grille et source lorsque la recharge de la capacité de stockage est détectée. Un bon fonctionnement du convertisseur global a été observé jusqu'à la fréquence de 250kHz, le fonctionnement de la puce est donc validé. La figure 47 donne une image des pertes en commutation du convertisseur, et on peut observer que ces pertes sont plus importantes lors du blocage du transistor principal. Ceci est dû au fait

que le circuit d'auto alimentation à l'état bloqué rajoute des pertes en commutation, principalement à cause du faible courant de puissance qui limite la dynamique de l'auto alimentation. Ceci sera expliqué dans la prochaine section de ce mémoire.

2.5.4 Bilan énergétique des auto-alimentations

L'efficacité globale du convertisseur abaisseur de tension décrit précédemment a été comparée en alimentant la puce de commande avec son système d'auto alimentation et en utilisant une source de tension externe. La fréquence de commutation a été choisie à 100kHz, la taille de la capacité de stockage de 10nF et le courant de charge de 1A pour réaliser cette étude. Les résultats de cette étude sont présentés sur la figure 48. On peut voir que le rendement global du convertisseur est meilleur lorsque la puce est alimentée par une source de tension externe, en prenant en compte la puissance nécessaire à l'alimentation du circuit de pilotage. Ceci s'explique par le fait que des pertes en commutation sont ajoutées par le circuit d'auto alimentation à l'état bloqué, comme on peut le voir sur la figure 49. Ces pertes sont rajoutées car la recharge de la capacité de stockage se fait plus lentement que la commutation, le courant circulant dans la charge n'étant pas assez important. Cependant on peut voir sur la figure 48 que l'écart entre les deux courbes tend à se réduire lorsque la puissance augmente, car la recharge de la capacité de stockage se fait plus vite avec un courant plus important. On peut donc supposer que pour des puissances plus importantes (courant et/ou tension plus important(s)), le circuit d'auto alimentation rajouterait peu de pertes supplémentaires, comme cela a été démontré dans [81]. Un meilleur dimensionnement et une meilleure conception couplée de la puce de puissance, avec ses transistors auxiliaires d'auto alimentation, devraient être favorables au bilan énergétique.

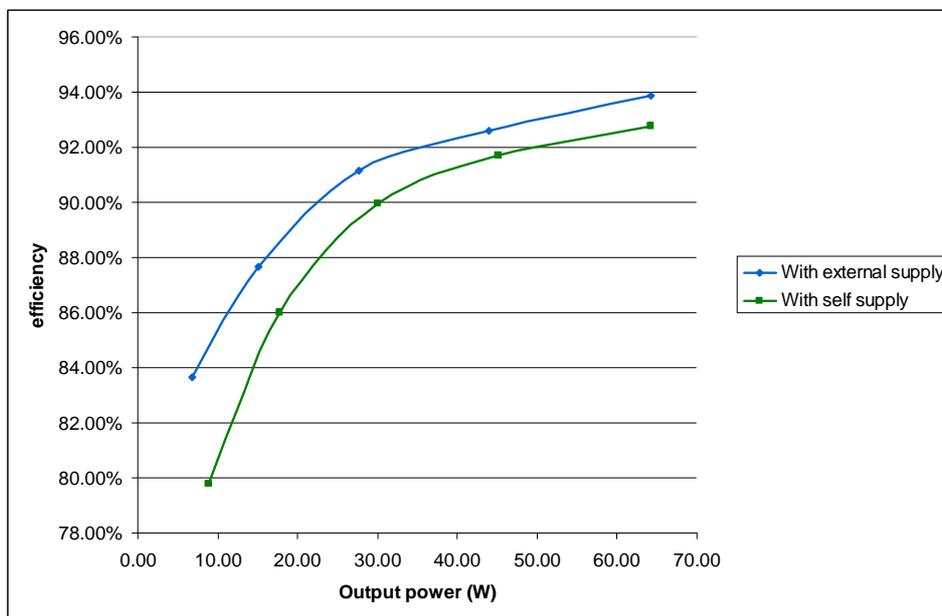


figure 48: Comparaison du rendement du convertisseur buck avec auto alimentation et alimentation de la puce de commande par une source externe

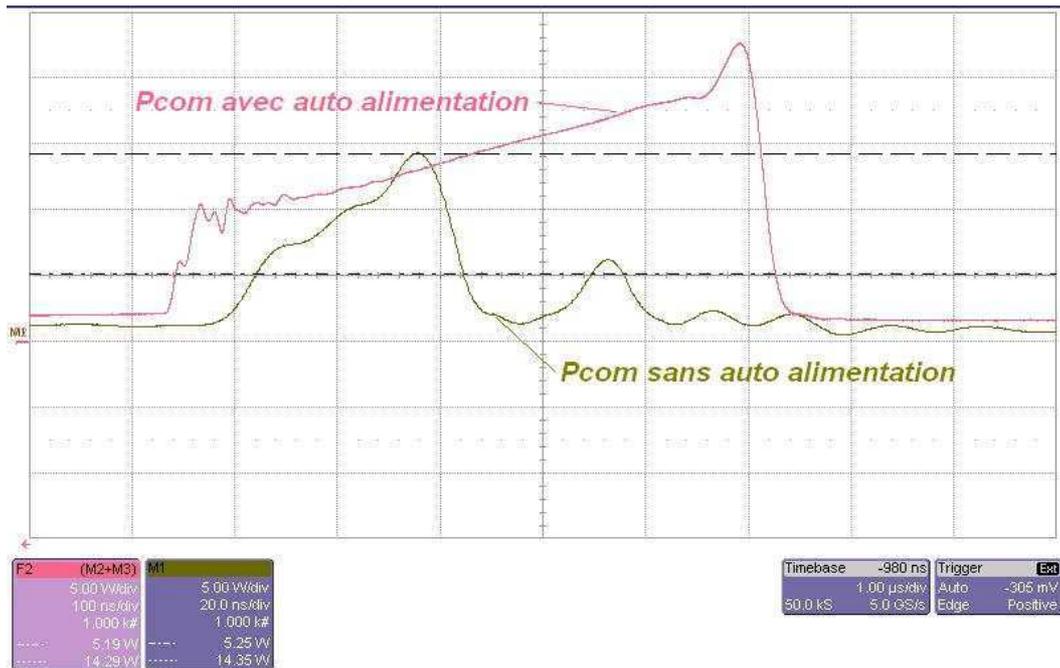


figure 49: Comparaison des pertes par commutation à l'ouverture d'un transistor de puissance dans un convertisseur buck, avec auto alimentation et alimentation de la puce de commande par une source externe

La puissance récupérée par le circuit d'auto alimentation à l'état passant a également été estimée dans le cas d'un fonctionnement ON permanent et comparée aux résultats de simulation. Le courant moyen consommé par la puce dans ce mode d'opération a été mesuré à 9.1mA pour une tension d'alimentation de la puce de 3,3V, ce qui donne une puissance consommée de 30mW. La figure 50 montre la puissance de sortie du circuit de pompe de charges en fonction de sa tension d'entrée. On peut voir qu'une tension de 2,4 est nécessaire pour obtenir une puissance de sortie de 30mW, ce qui est supérieur à la valeur observée en simulation (1,5V). Le circuit de pompe de charges est donc moins efficace que prévu, cependant cette mauvaise efficacité ne peut pas être expliquée en raison du manque de sorties pour mesurer les tensions au sein du circuit intégré. Ceci devra donc être mieux étudié dans une prochaine version de ce circuit d'auto alimentation.

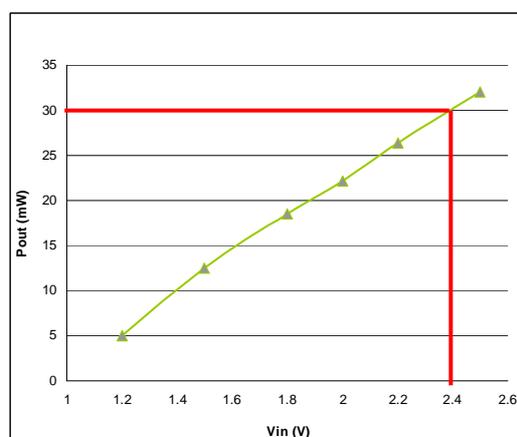


figure 50: Puissance de sortie du circuit de pompe de charges en fonction de sa tension d'entrée

2.6 Conclusions et bilan sur la puce de commande

La conception de la puce de commande a donc été présentée, et les choix des circuits de commande intégrés ont été justifiés et expliqués. Afin de réaliser l'isolation du signal de commande provenant de la commande externe, un transformateur sans noyau magnétique intégré a été dimensionné avec son système de démodulation du signal associé. Ce système d'isolation a les avantages d'avoir une bonne capacité d'isolation (1,2kV), d'être petit et rapide. Les tests effectués sur ce système ont cependant montré que le transformateur intégré possédait une fréquence de résonance plus élevée que celle pour laquelle il avait été dimensionné au départ (500MHz au lieu de 100MHz), ce qui montre que le dimensionnement n'est pas optimal. En conséquence, le couplage n'est pas celui attendu à la fréquence pour laquelle le circuit de démodulation associé a été conçu, et les niveaux de tension obtenus au secondaire du transformateur sont dans la plupart des cas trop faibles pour avoir une bonne démodulation du signal envoyé au primaire. Un nouveau système de démodulation devra donc être conçu dans une prochaine version de la puce de commande pour remédier à ce problème.

Un circuit de commande rapprochée a également été conçu, permettant de générer un signal de commande trois états avec une tension négative entre la grille et la source du MOSFET durant son état bloqué afin d'augmenter l'immunité du composant. Les étages d'amplification de ce circuit ont été dimensionnés dans le but de réduire au maximum leur consommation, et le détail de ce dimensionnement peut être trouvé dans le mémoire de thèse d'Olivier Deleage [78]. Un circuit logique contrôle la commutation afin de permettre le bon fonctionnement du circuit d'auto alimentation à l'état bloqué pendant la recharge de la capacité de stockage. Le bon fonctionnement de ce circuit a été démontré en pratique.

Un système d'auto alimentation permettant de générer une alimentation flottante isolée pour alimenter les circuits de commande a également été développé. Ce système est composé de deux circuits, l'un étant actif durant la commutation à l'état bloqué de l'interrupteur commandé, et l'autre durant son état passant. Le premier circuit est basé sur le principe d'un régulateur linéaire, et utilise l'énergie du circuit de puissance disponible durant la commutation de l'interrupteur. Ceci constitue une version hybride du circuit développé monolithiquement dans [37] et [38]. Le second est basé sur le principe de la pompe de charge et utilise l'énergie disponible aux bornes de l'interrupteur durant son état passant. Ces deux circuits sont mis en œuvre de façon hybride, et nécessitent un transistor de puissance auxiliaire chacun pour leur fonctionnement. Ces circuits ont également été testés électriquement, et leur bon fonctionnement a été démontré. Cependant, une étude énergétique de ces alimentations a montré un rendement inférieur à l'utilisation d'une source de tension externe. Cet aspect devra donc également être amélioré dans une prochaine version de la puce de commande.

Chapitre III : Conception couplée puissance/commande et solutions technologiques pour l'intégration hétérogène

Sommaire

| | | |
|----------|---|------------|
| 1 | CONCEPTION DU VDMOS | 102 |
| 1.1 | GENERALITES SUR LA CONCEPTION D'UN VDMOS DE PUISSANCE | 102 |
| 1.2 | CONCEPTION COUPLEE AVEC LA PUCE DE COMMANDE : SIMULATIONS | 104 |
| 1.2.1 | <i>Dimensionnement des paramètres physiques</i> | 104 |
| 1.2.2 | <i>Dimensionnement des paramètres géométriques</i> | 109 |
| 1.3 | DESSIN DES MASQUES | 116 |
| 1.4 | TEST ET VALIDATION | 122 |
| 2 | SOLUTIONS TECHNOLOGIQUES POUR L'INTERCONNEXION DE LA PUCE DE COMMANDE ET DE LA PUCE DE PUISSANCE | 125 |
| 2.1 | SOLUTIONS EMPLOYANT LA TECHNOLOGIE WIRE-BONDING | 125 |
| 2.2 | SOLUTIONS EMPLOYANT LA TECHNOLOGIE FLIP CHIP | 127 |
| 2.2.1 | <i>Technologie flip-chip avec interconnexion par PCB ou flex</i> | 127 |
| 2.2.2 | <i>Technologie chip on chip</i> | 128 |
| 2.3 | ETUDE DES PERFORMANCES ELECTRIQUES ET THERMIQUE DE L'ASSEMBLAGE EN CHIP ON CHIP | 129 |
| 2.3.1 | <i>Etude des performances électromagnétiques</i> | 129 |
| 2.3.2 | <i>Etude des performances thermiques</i> | 132 |
| 3 | PROCEDES TECHNOLOGIQUES ET REALISATIONS | 134 |
| 3.1 | INTERCONNEXIONS PAR STUD BUMPING | 134 |
| 3.2 | INTERCONNEXIONS PAR BUMPS ELECTROLESS NI/AU | 136 |
| 3.3 | INTERCONNEXIONS PAR ELECTRODEPOSITION DE POTEAUX DE CUIVRE | 137 |
| 3.3.1 | <i>Principe de l'électrodéposition</i> | 138 |
| 3.3.2 | <i>Réalisations pratiques :</i> | 139 |
| 4 | TESTS ET CARACTERISATIONS DES INTERCONNEXIONS REALISEES | 141 |
| 4.1 | MESURES DES PUCES STUD BUMPEES ET REPORTEES EN FLIP CHIP | 142 |
| 4.1.1 | <i>Caractérisations électriques</i> | 142 |
| 4.2 | MESURES DE LA RESISTIVITE DU CUIVRE ELECTRODEPOSE | 146 |
| 5 | CONCLUSIONS ET PERSPECTIVES : VERS DES PROCEDES COLLECTIFS D'INTEGRATION HYBRIDE DE LA COMMANDE | 148 |
| | BIBLIOGRAPHIE | 150 |

Résumé de chapitre

Dans le précédent chapitre, la conception de la commande de l'interrupteur générique a été détaillée, et des résultats pratiques ont été présentés. Dans la première partie de ce chapitre, la conception du composant de puissance va maintenant être détaillée. Cette conception a été faite de façon couplée avec la commande par simulation conjointe du modèle du VDMOS développé au G2Elab et des circuits de commande. Le composant de puissance a ainsi pu être optimisé pour fonctionner avec la puce de commande conçue précédemment. Le layout de ce composant a aussi fait l'objet d'une conception spéciale, car ses métallisations de surface ont été spécialement prévues pour le report de la puce de commande en chip on chip. Le dessin des masques de ce composant de puissance sera donc également présenté.

Dans les autres parties de ce chapitre, les solutions technologiques pour la réalisation de l'hybridation en surface de la puce de commande sur la puce de puissance seront explorées. Diverses solutions seront comparées du point de vue de leurs performances électriques, thermiques et électromagnétiques. Ensuite, les procédés technologiques pour l'hybridation en surface de la puce de commande et de la puce de puissance seront détaillés, les réalisations effectuées seront présentées et les caractérisations électriques de ces dispositifs seront montrées. Enfin dans la dernière partie des perspectives seront évoquées pour des procédés collectifs d'intégration hétérogène de la commande, permettant des gains en termes de temps, de fiabilité et de coût de fabrication des modules de puissance hétérogènes.

1 Conception du VDMOS

La conception de la puce de commande ayant été réalisée dans un premier temps, nous allons maintenant présenter la conception du composant VDMOS de puissance. De manière optimale, la conception des deux puces est menée de manière synchrone et couplée. Toutefois dans notre cas, cela ne fut pas le cas. Toujours dans l'optique de réaliser un interrupteur de puissance générique, ce transistor sera conçu et optimisé pour fonctionner avec la puce de commande conçue. Cette optimisation du composant de puissance est permise par les moyens technologiques offerts par la salle blanche du CIME Nanotech permettant de réaliser les composants. La filière technologique verticale a été développée dans les travaux de thèse de [37] et [38]. Différentes solutions pour la réalisation d'un composant VDMOS ont été explorées dans ces travaux de thèse. Nous utiliserons donc les connaissances acquises durant ces travaux au laboratoire pour concevoir notre composant. En ce qui concerne la géométrie de surface du composant, elle va être repensée pour accueillir à sa surface la puce de commande. Les différents aspects de la conception d'un composant de puissance seront donc brièvement présentés, puis la conception conjointe du composant avec la puce de commande sera expliquée dans cette section. Enfin le dessin des masques servant à la fabrication du VDMOS incluant les métallisations de surface pour le report en surface de la puce de commande sera également détaillé.

1.1 Généralités sur la conception d'un VDMOS de puissance

La vue en coupe d'une cellule élémentaire d'un VDMOS est représentée sur la figure 1. La partie active du composant est constituée de plusieurs cellules élémentaires connectées en parallèle, qui peuvent avoir une forme carrée, hexagonale, triangulaire ou être en bandes (doigts) [63]. Le choix de la densité des cellules conduit à trouver un compromis entre la largeur totale du canal, la capacité d'entrée du MOSFET et les moyens technologiques. La partie active du composant est entourée par une terminaison de tenue en tension qui peut être une électrode de champ, des anneaux de garde [35, 37] ou bien des poches [86]. A partir d'un substrat fortement dopé N+, une couche faiblement dopée est créée à l'aide d'une croissance épitaxiale (les substrats du type N sont beaucoup plus utilisés que ceux de type P en raison de la plus grande mobilité des électrons que des trous). L'épaisseur et la résistivité de la couche épitaxiée dépendent du calibre en tension du composant. Le canal est formé à la surface de la couche épitaxiée par une diffusion latérale, sous la grille, d'une implantation de Bore (type P). Cette zone de diffusion sera nommée par la suite porte-canal. La source est formée par une implantation de Phosphore ou d'Arsenic (type N) dans le caisson du porte-canal. Ces deux implantations sont auto-alignées par rapport à la grille en silicium polycristallin pendant le procédé de fabrication. Ceci garantit une longueur du canal homogène sur l'ensemble des cellules formant le composant. La grille est réalisée en silicium polycristallin dopé N+. Elle est isolée électriquement par une couche d'oxyde de silicium dont l'épaisseur varie en fonction de la tenue en tension maximale souhaitée pour la grille du VDMOS et de la tension de seuil désirée. La grille est recouverte par une couche plus épaisse d'oxyde de silicium. La source et le porte-canal sont court-circuités afin d'éviter le déclenchement intempestif du transistor bipolaire formé par la source, le porte canal et le substrat [62, 87, 88].

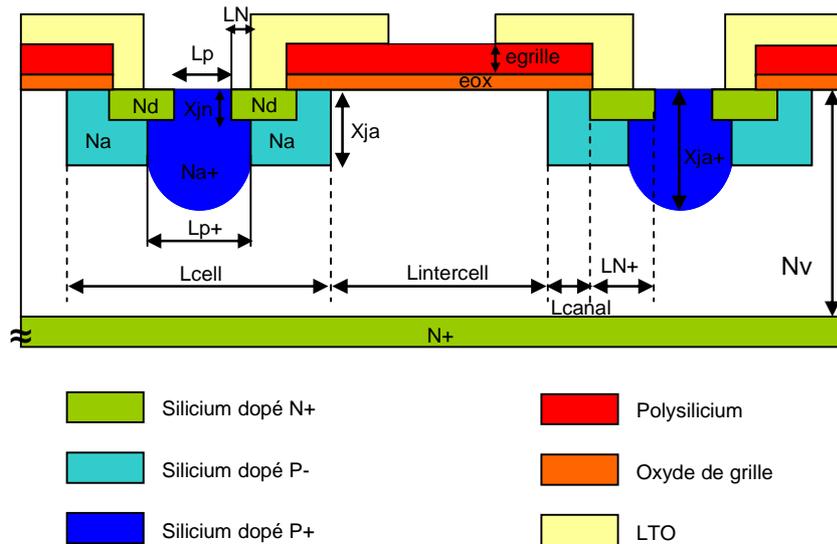


figure 1: Vue en coupe d'une cellule élémentaire d'un transistor VDMOS vertical

Les paramètres que nous devons dimensionner sont regroupés dans les tableaux 1 et 2, selon que ce soit des paramètres physiques dépendant donc des procédés de fabrication, ou bien des paramètres géométriques utilisés lors de la phase de dessin des masques du transistor.

| | |
|-----------------------------|--|
| Na (at/cm ²) : | dose en surface du porte-canal de type PNa+ |
| Xja (μm) : | profondeur de la zone du porte-canal de type PNa+ |
| Na+ (at/cm ²) : | dose en surface du court-circuit de type P+ |
| Xja+ (μm) : | profondeur de la zone du court-circuit de type P+ |
| Nv (at/cm ³) : | dopage de la zone intercellulaire en fonction du calibre de tenue en tension du composant. |
| Nd (at/cm ²) : | dose en surface de la source |
| Xjn (μm) : | profondeur de la zone de source |
| eox (μm) : | épaisseur de l'oxyde de grille |
| ev(μm) : | épaisseur de la zone de tenue en tension |
| egrille(μm) : | épaisseur de l'électrode de grille en silicium polycristallin |

Tableau 1 : Paramètres physiques du MOSFET

| | |
|-----------------------|--|
| Lcell (μm) : | largeur du motif élémentaire |
| Lintercell (μm) : | espacement entre deux motifs élémentaires (zone intercellulaire) |
| LP+ (μm) : | largeur du court-circuit P+ |
| Ncell : | nombre de motifs élémentaires (dépendant de la taille totale du composant) |
| Lcanal (μm) : | longueur du canal (dépendante des profondeurs de jonction Xja et de Xjn) |
| LcontS, LcontG (μm) : | largeur de l'ouverture de contact sur la source et la grille |
| LP (μm) : | largeur du contact ohmique entre l'aluminium et le porte-canal |
| LN (μm) : | largeur du contact ohmique entre l'aluminium et la source |
| Lgravure (μm) : | largeur minimale entre deux contacts métalliques |

Tableau 2 : Paramètres géométriques du MOSFET

On devra donc optimiser ces paramètres physiques et géométriques dans un premier temps pour le transistor principal afin d'obtenir les caractéristiques statiques et dynamiques souhaitées, puis également pour les transistors nécessaires aux circuits d'auto alimentation afin d'optimiser leurs rendements. Il est à noter que les caractéristiques physiques des couches constituant ces transistors auxiliaires seront obligatoirement les mêmes que celles du transistor principal car ils sont intégrés dans le même substrat et via les mêmes étapes technologiques, on aura donc uniquement les paramètres géométriques de ces composants à déterminer.

1.2 Conception couplée avec la puce de commande : simulations

L'objectif est ici de déterminer les paramètres physiques et géométriques des composants de type VDMOS. Avec les substrats que l'on a à disposition, on veut réaliser deux types de composants, l'un pouvant supporter une tension de 600V et l'autre de 100V pour un courant nominal de 3A. On souhaite également réaliser des composants avec différentes tensions de seuil, que l'on choisit de 0,75V et 1,25V. Il est à noter que ces deux tensions de seuil ne pourront pas être réalisées au cours du même process, car l'épaisseur de l'oxyde de grille ou la concentration du dopage Na doivent être modifiées pour faire varier cette tension de seuil. On devra donc réaliser deux process différents pour obtenir les tensions de seuil souhaitées. Nous allons dans un premier temps dimensionner l'interrupteur principal pour chaque calibre de tension d'avalanche et de tension de seuil, puis les interrupteurs auxiliaires seront optimisés en fonction de leur application (auto-alimentation ON et OFF) et de leur taille. Le dimensionnement devra également tenir compte des limites technologiques. Les dimensions des masques seront déterminées en fonction des valeurs de ces paramètres en prenant une marge de ± 1 micron supplémentaire (pour des raisons de défauts possibles d'alignement des masques). Pour le layout il faut aussi prendre en compte la taille minimale d'un motif qui peut être réalisé par photolithographie. Nous allons dans un premier temps dimensionner les paramètres physiques des composants.

1.2.1 Dimensionnement des paramètres physiques

1.2.1.1 *Tenue en tension*

La tenue en tension du composant est fixée par les caractéristiques de la couche épitaxiée faiblement dopée, c'est-à-dire son dopage N_v en at/cm^3 et l'épaisseur de la zone de tenue en tension e_v en μm . Pour calculer ces paramètres, on applique l'approche de la jonction tronquée optimale représentée figure 2.

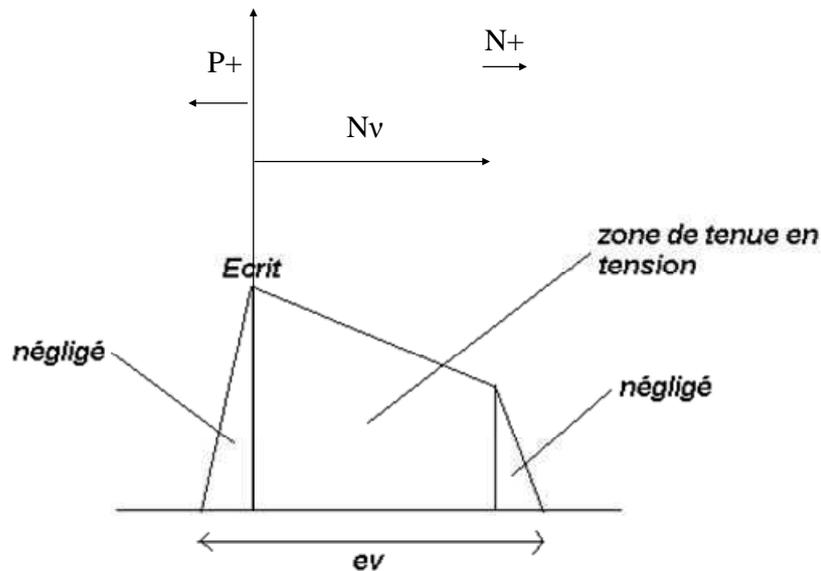


figure 2: Jonction tronquée optimale

On prend E_{crit} le champ critique pour le silicium égal à 200kV/cm [89] et $ev = 0.75 \times X_{ja+}$.

$$\text{Par ailleurs } V_{\max} = \frac{E_{crit} \times X_{ja+}}{2} \rightarrow X_{ja+} = \frac{2 \times V_{\max}}{E_{crit}}.$$

$$\text{Soit pour une tension de } 600\text{V} : X_{ja+} = \frac{2 \times 600}{200 \times 10^3} = 60 \times 10^{-4} \text{ soit } 60\mu\text{m}.$$

$$\text{On en déduit : } ev = 0,75 \times 60 = 45\mu\text{m}.$$

On en déduit la concentration de la zone de tenue en tension par :

$$V_{\max} = \frac{(E_{crit} + E_0) \times ev}{2} \text{ et } E_0 = \frac{q \times N_V \times ev}{\epsilon_0 \times \epsilon_{Si}}$$

$$\rightarrow \frac{2 \times V_{\max}}{ev} - E_{crit} = \frac{q \times N_V \times ev}{\epsilon_0 \times \epsilon_{Si}}$$

$$\rightarrow N_V = \left(\frac{2 \times V_{\max}}{ev} - E_{crit} \right) \times \frac{\epsilon_0 \times \epsilon_{Si}}{q \times ev}$$

$$\text{Donc pour } V_{\max}=600\text{V on trouve } N_V=1 \times 10^{14} \text{ at/cm}^3$$

En appliquant le même raisonnement pour $V_{\max}=100\text{V}$ on trouve :

$$E_v=7,5 \mu\text{m}$$

$$N_V=5,8 \times 10^{14} \text{ at/cm}^3$$

1.2.1.2 Caractéristiques du porte canal

Concernant le dopage de la zone du porte-canal, nous avons plusieurs contraintes. Comme on peut le voir sur la figure 3 dans la structure de MOSFET il existe un transistor bipolaire parasite entre la source, le porte-canal et le drain.

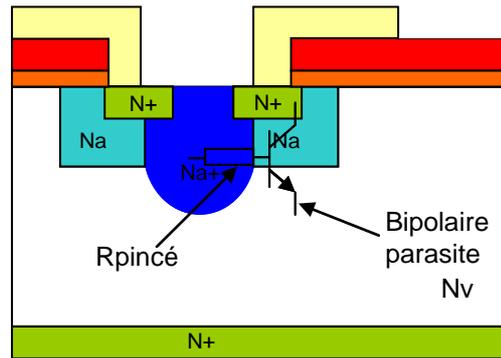


figure 3: Transistor bipolaire parasite de la structure VDMOS

Ce transistor parasite peut provoquer des dysfonctionnements du MOSFET pour deux raisons :

- Lorsqu'une tension positive est appliquée entre le drain et la source du MOSFET, la zone de charge d'espace développée dans le porte-canal peut atteindre la jonction source / porte-canal et provoquer son perçage. Afin d'éviter ce perçage, la profondeur et le dopage de la zone du porte canal doivent être optimisés.

- Le transistor bipolaire peut être amorcé sous un dV/dt important par injection de charges via la capacité parasite formée par la zone de charge d'espace de la jonction PN_v , si la résistance de sa base formée par la zone de porte-canal P- est trop élevée. Pour cette raison la valeur de la résistance du porte-canal doit être réduite et le court-circuit entre la source et le porte-canal assuré.

- Dans le cas de l'IGBT, l'injection permanente de trous au niveau de la jonction et durant la phase de conduction du transistor ne doit pas amorcer le BJT qui pourrait ensuite se transformer en thyristor et rendre le composant non contrôlable.

Le principe de dimensionnement est le suivant : dans un premier temps la valeur de la capacité parasite est calculée. Celle-ci est déterminée par la formule : $C = (\epsilon_0 * \epsilon_{Si}) * S / e$

Avec $S = (X_{ja} + L_{canal} + LN+) \times l_{canal}$ et $e = e_v$

Cette capacité va varier en fonction de la tension tenue par le composant car l'épaisseur e_v de la zone de tenue en tension change.

Pour 600V : $C = 37,3 \text{ pF}$.

Pour 100V : $C = 224 \text{ pF}$.

Le courant circulant dans cette capacité pour un dV/dt correspondant à la tenue en tension maximale du composant et un temps de 10 ns est ensuite déterminé. Ceci correspond à un dV/dt de $60 \text{ kV}/\mu\text{s}$ et de $10 \text{ kV}/\mu\text{s}$ respectivement pour 600 et 100V. On choisit ces valeurs élevées pour le dV/dt afin d'obtenir des valeurs dans le pire cas.

Pour 600V : $i = C \times \frac{dV}{dt} = 37.3 \times 10^{-12} \times \frac{600}{10 \times 10^{-9}} = 2,24 \text{ A}$

Pour 100V : $i = C \times \frac{dV}{dt} = 224 \times 10^{-12} \times \frac{100}{10 \times 10^{-9}} = 2,24 \text{ A}$

Cette résistance est ensuite déterminée afin que la chute de tension à ses bornes n'amorce pas le transistor ; une tension maximale de 0,4V aux bornes de cette résistance est fixée. Cette valeur est proche du potentiel de diffusion de la jonction base-émetteur du transistor bipolaire parasite, on se place donc également ici dans le cas le plus défavorable. Ceci donne :

$$R \leq \frac{0.4}{2.24} = 0,178\Omega \text{ soit } 178\text{m}\Omega.$$

La concentration de la zone P- qui vérifie cette valeur de résistance peut donc maintenant être déterminée. Le profil de concentration P- est de type gaussien :

$$P-(x) = P-\text{max} \times e^{-\frac{x^2}{\tau}}$$

On raisonne en doses (voir figure 4).

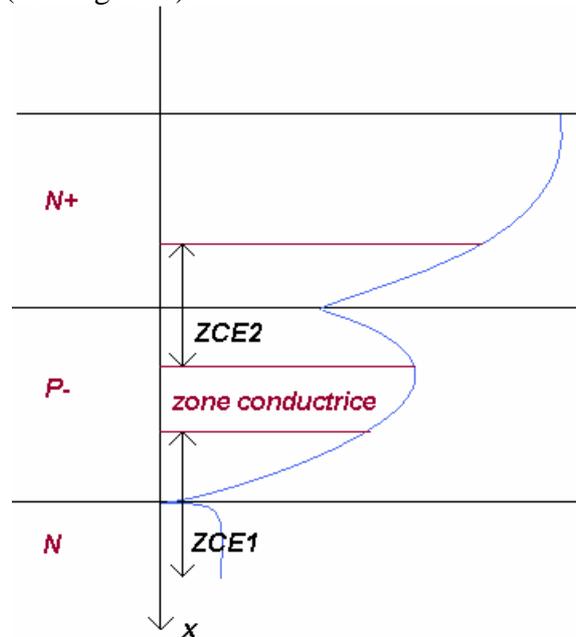


figure 4: Profil des concentrations dans le dispositif

D'après la figure 4, la tendance à suivre est donc d'avoir la zone conductrice la plus épaisse possible afin d'avoir une meilleure résistance à l'état passant du composant, cependant plus la jonction P- sera profonde et moins le courant aura tendance à s'épanouir dans la jonction, ce qui au final pénalisera la résistance à l'état passant du composant. On doit donc trouver un critère dimensionnant pour cette valeur.

Les conditions électriques sont :

- Rabattre le champ électrique au niveau de la jonction P-Nv
- Rabattre le champ électrique au niveau de la jonction P-N+
- Maintenir une zone conductrice entre les deux.

La zone P- pincée entre N+ et Nv doit avoir une dose pour rabattre un champ Ecrit. On se place également dans le cas défavorable d'un champ critique le plus faible de 200kV.cm⁻² pour un composant 600V :

$$(Nv/P-) \text{ Ecrit1} = \frac{q \cdot \text{Dose1}}{\epsilon_0 \cdot \epsilon_{Si}} \rightarrow \text{Dose1} = 1,25 \cdot 10^{12} \text{ at.cm}^{-2}$$

$$(N+/P-) \text{ Ecrit2} = \frac{q \cdot \text{Dose2}}{\epsilon_0 \cdot \epsilon_{Si}} \rightarrow \text{Dose2} = 1,45 \cdot 10^{12} \text{ at.cm}^{-2}$$

Pour garantir la conduction dans la zone libre :

Chapitre III : Conception couplée puissance/commande et solutions technologiques pour l'intégration hétérogène

$R = \rho \times \frac{l}{z}$ avec ρ R carrée, l longueur de la région pincée et z largeur du canal et

$$R_{carrée_moy} = \frac{l}{Dose3 \cdot \mu n \cdot q}$$

$$\rightarrow Dose3 = \frac{l}{R \cdot z \cdot \mu n \cdot q}$$

Avec $R=180m\Omega \rightarrow Dose3=0,78 \cdot 10^{12}$

Ensuite en résolvant l'équation telle que l'intégrale de la concentration P- entre $X_j/P-N^+$ et $X_j/P-N_v$ soit égale à $Dose1+Dose2+Dose3$, un couple P_{max} , $X_j/P-N_v$ est obtenu. Ici pour $X_{ja+}=2,5\mu m$, on trouve $N_a=1 \cdot 10^{17} \text{ at/cm}^2$.

Le dopage de la zone de porte canal est donc fixé par cette contrainte, il ne peut donc pas être utilisé pour réduire la tension de seuil.

1.2.1.3 Tension de seuil

La tension de seuil du transistor dépend d'une part de la concentration de la zone P- et d'autre part de l'épaisseur de l'oxyde de grille e_{ox} . Comme nous avons précédemment déterminé la concentration optimale de la zone P-, on peut calculer l'épaisseur de l'oxyde de grille en fonction de la tension de seuil voulue selon l'équation (1) :

$$V_{th} = (V_{fb} + 2 \frac{kT}{q} \times \ln(\frac{N_a}{n_i})) + \frac{\sqrt{2 \cdot q \cdot N_a \cdot \epsilon_0 \cdot \epsilon_{Si}} \times \sqrt{2 \frac{kT}{q} \cdot \ln(\frac{N_a}{n_i})}}{\epsilon_0 \cdot \epsilon_{Si}} \cdot e_{ox} \quad (1)$$

En résolvant cette équation on trouve :

$E_{ox}=22nm$ pour $V_{th}=0,75V$,

$E_{ox}=35nm$ pour $V_{th}=1,25V$.

Les autres paramètres physiques sont fixés par la filière technologique. Les valeurs de ces paramètres sont récapitulées dans le tableau 3.

| Composant 600V | | Composant 100V | |
|---------------------------------------|-------------------------------|---------------------------------------|-------------------------------|
| Na (at/cm ²) | $1 \cdot 10^{17}$ | Na (at/cm ²) | $1 \cdot 10^{17}$ |
| X _{ja} (μm) | 2 | X _{ja} (μm) | 2 |
| Na ⁺ (at/cm ²) | $5 \cdot 10^{18}$ | Na ⁺ (at/cm ²) | $5 \cdot 10^{18}$ |
| X _{ja+} (μm) | 2,5 | X _{ja+} (μm) | 2,5 |
| N _v (at/cm ³) | $1 \cdot 10^{14}$ | N _v (at/cm ³) | $5,8 \cdot 10^{14}$ |
| N _d (at/cm ²) | $5 \cdot 10^{19}$ | N _d (at/cm ²) | $5 \cdot 10^{19}$ |
| X _{jn} (μm) | 0,7-1 | X _{jn} (μm) | 0,7-1 |
| e _{ox} (nm) | V _{th} =0,75 : 22 | e _{ox} (nm) | V _{th} =0,75 : 22 |
| | V _{th} =1,25 : 35 | | V _{th} =1,25 : 35 |
| e _v (μm) | 45 | e _v (μm) | 7,5 |
| e _{grille} (μm) | 0,3 | E _{grille} (μm) | 0,3 |

Tableau 3 : Paramètres physiques des composants 600V et 100V

Maintenant que l'on a déterminé les paramètres physiques des composants, on peut procéder au dimensionnement de leurs paramètres géométriques.

1.2.2 Dimensionnement des paramètres géométriques

Ces paramètres géométriques vont avoir un effet sur les caractéristiques statiques (résistance à l'état passant) et dynamiques (capacités d'entrée C_{gd} et C_{gs}) du transistor. Nous allons donc faire varier ces paramètres et choisir leur valeur en fonction des performances voulues pour chacun des transistors. Le principe de dimensionnement appliqué est de déterminer dans un premier temps le transistor principal de manière analytique, puis de dimensionner les transistors auxiliaire en essayant de respecter un rapport de taille 1/10 entre le transistor principal et les transistors auxiliaires afin que la résistance à l'état passant du transistor principal ne soit pas trop pénalisée (contrainte d'intégration et minimisation de la surface de silicium).

1.2.2.1 Transistor principal

On fixe comme critère principal pour le dimensionnement de ce transistor sa résistance à l'état passant car c'est elle qui va déterminer les pertes par conduction du transistor. Aux niveaux de tension qui sont les nôtres (600V dans un premier temps), la résistance à l'état passant dépend principalement de la résistance de la zone de tenue en tension ainsi que de la résistance d'accès au canal (voir figure 5) [35].

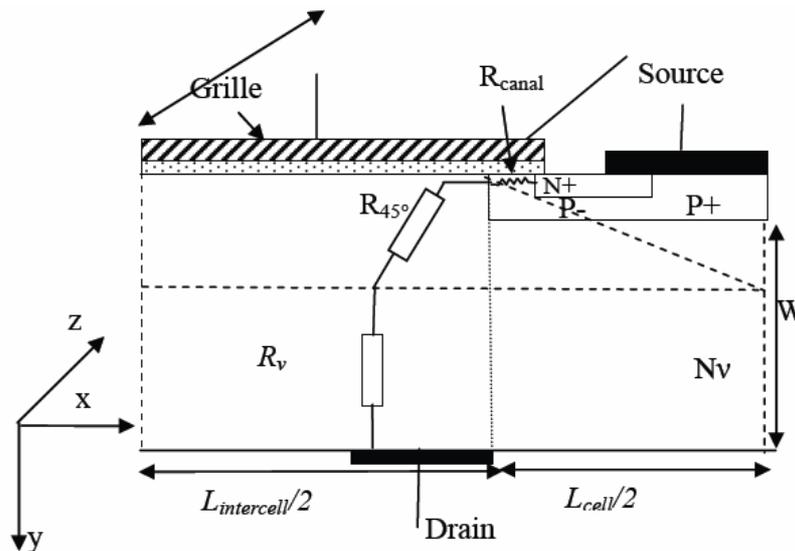


figure 5: Composantes de $R_{ds(on)}$

Les équations permettant d'estimer la résistance R_{DSON} sont :

- R_{45° : résistance d'accès au canal. Dans cette zone, nous avons supposé un épanouissement du courant à 45° sous la source.

$$R_{45^\circ} = \frac{\rho}{z} \int_{\frac{L_{intercell}}{2}}^{\frac{L_{cell} + L_{intercell}}{2}} \frac{1}{\frac{L_{intercell}}{2} + y} dy \quad (2)$$

Chapitre III : Conception couplée puissance/commande et solutions technologiques pour l'intégration hétérogène

- R_v : résistance de la demi-zone intercellulaire. Dans cette zone, nous avons supposé un épanouissement total. Ainsi cette résistance varie uniquement en fonction de la distance intercellulaire à épaisseur et dopage d'épitaxie donnés.

$$R_v = \frac{\rho \cdot (W - \frac{L_{cell}}{2})}{z \cdot (\frac{L_{int\ cell}}{2} + \frac{L_{cell}}{2})} \quad (3)$$

La résistance totale R_v de la demi-zone intercellulaire est égale à la somme de ces deux résistances. Cette résistance dépend donc au niveau géométrique de la longueur de la cellule, de sa largeur ainsi que de la distance intercellulaire, les autres variables étant dépendantes des paramètres physiques déterminés précédemment. La largeur de la cellule est fixée au minimum technologique à $26\mu\text{m}$ et la distance intercellulaire à $26\mu\text{m}$ car au delà de cette valeur une augmentation de cette distance n'aura que peu d'effets sur la réduction de la résistance du canal [35]. On se fixe une résistance à l'état passant du transistor principal d'une valeur de $0,6\Omega$ pour obtenir une chute de tension à l'état passant cohérente avec les applications visées (quelques ampères) et pour garder le composant de taille raisonnable. En modifiant uniquement la longueur de la cellule, on trouve une résistance de $0,6\Omega$ pour $l_{cell}=80\mu\text{m}$. Ceci donne les valeurs de capacité suivantes : $C_{dg}=20,8\text{pF}$, $C_{gs}=6,28\text{nF}$ et $C_{ds}=16,4\text{pF}$ pour $V_{ds}=200\text{V}$ et $V_{gs}=-3,3\text{V}$.

Les autres paramètres géométriques pour le transistor principal concernent les dimensions de la cellule élémentaire. Ces dimensions sont fixées par des contraintes technologiques et ont déjà été optimisées en fonction des paramètres technologiques durant les travaux de thèse de Radoslava Mitova [37], sur le principe de cellules élémentaires carrées. Ces dimensions sont montrées sur la figure 6 et leurs valeurs sont résumées dans le tableau 4.

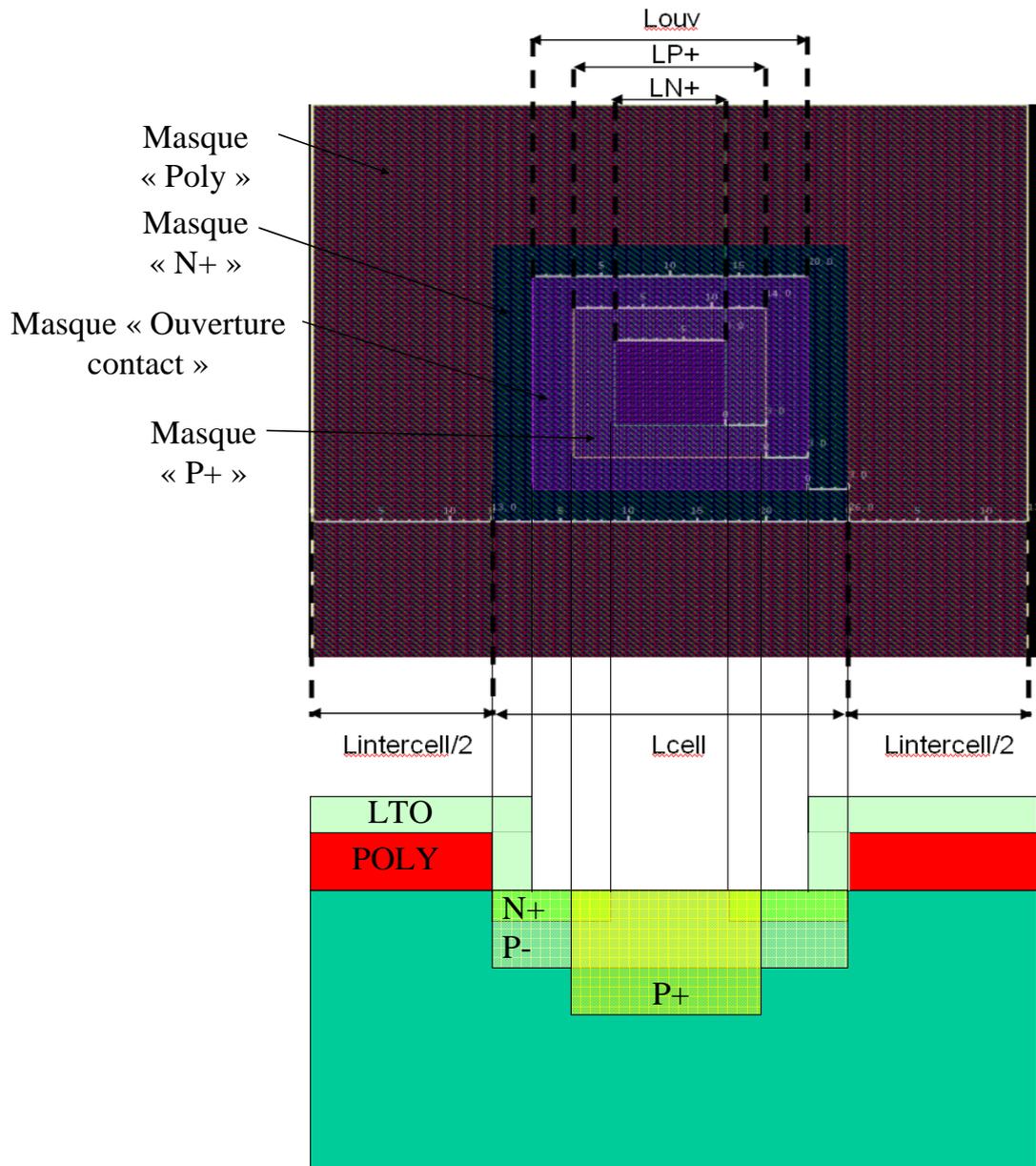


figure 6: Vue des masques de la cellule élémentaire et de ses dimensions et vue en coupe correspondante

| | | |
|-----------------|---|------------|
| L_{cell} | longueur de cellule | 26 μ m |
| $L_{intercell}$ | distance intercellulaire | 26 μ m |
| L_{ouv} | ouverture du LTO pour le contact de source | 20 μ m |
| $LP+$ | largeur d implantation P+ pour le contact ohmique | 14 μ m |
| $LN+$ | largeur entre deux caissons N+ | 8 μ m |

Tableau 4 : Dimensions de la cellule élémentaire

Il est à noter que sur la figure 6 le masque de la métallisation aluminium n'est pas représenté dans un souci de clarté, car il recouvre toutes les cellules élémentaires afin de créer le contact de source. L'écart entre la côte masque N+ et la gravure LTO pour le contact ohmique entre l'aluminium et le porte canal est fixé par la technologie à 6 μ m. L'écart entre la côte masque LTO et POLY pour éviter le court circuit entre grille et source est de même fixé

par la technologie à 3µm. La longueur du porte canal est déterminée par la diffusion de N+ et P- dans le silicium, le polysilicium servant de masque (≈1µm).

Ces dimensions étant fixées par la technologie, on les utilisera également dans le dimensionnement des transistors auxiliaires. Le dimensionnement de ces transistors consistera donc à déterminer leur longueur de cellule ainsi que leur distance intercellulaire optimale pour obtenir le meilleur rendement possible des autos alimentations. Ceci sera déterminé par des simulations en utilisant le modèle du transistor VDMOS développé par Loïc Vincent dans ses travaux de thèse [36], et en utilisant le logiciel NCSim permettant de réaliser des simulations mixtes entre ce modèle développé en VHDL-AMS et les modèles spectre de Cadence.

1.2.2.2 Transistor auxiliaire de l'auto-alimentation OFF

L'objectif pour le dimensionnement de ce transistor est de déterminer pour quelle taille du transistor les pertes lors de la recharge de la capacité de stockage sont minimales et donc le rendement de l'auto alimentation OFF maximal. Ce sont donc les caractéristiques dynamiques de ce transistor qu'il va falloir optimiser, la résistance à l'état passant étant secondaire. Les capacités d'entrée Cgs et Cgd du transistor dépendent de la longueur de cellule et de la distance intercellulaire selon les équations suivantes :

$$C_{gs} = (l_{canal} + l_{rec}) \times l_{cell} \times C_{oxs}$$

$$C_{dg} = C_{oxs} \times (w_{itnercell} + l_{cell})$$

$$\text{Avec } C_{ox} = \frac{\epsilon_0 \cdot \epsilon_{SiO2}}{e_{ox}}$$

L'influence de la distance intercellulaire et de la longueur de cellule sur les pertes par commutation au blocage a donc été étudiée. Lors de cette étude, nous avons observé les pertes totales par commutation au blocage (incluant donc les pertes du circuit d'auto alimentation) en fonction de la demie distance intercellulaire et pour différents rapports de taille du transistor du circuit d'auto alimentation par rapport au transistor principal. Le transistor principal commute 3A sous 400V, et la taille de la capacité est de 100 nF. Le niveau de tension de régulation de la capacité est de 3,3V, et la fréquence de commutation est fixée à 250kHz. Les résultats sont présentés sur les figures 7 et 8.

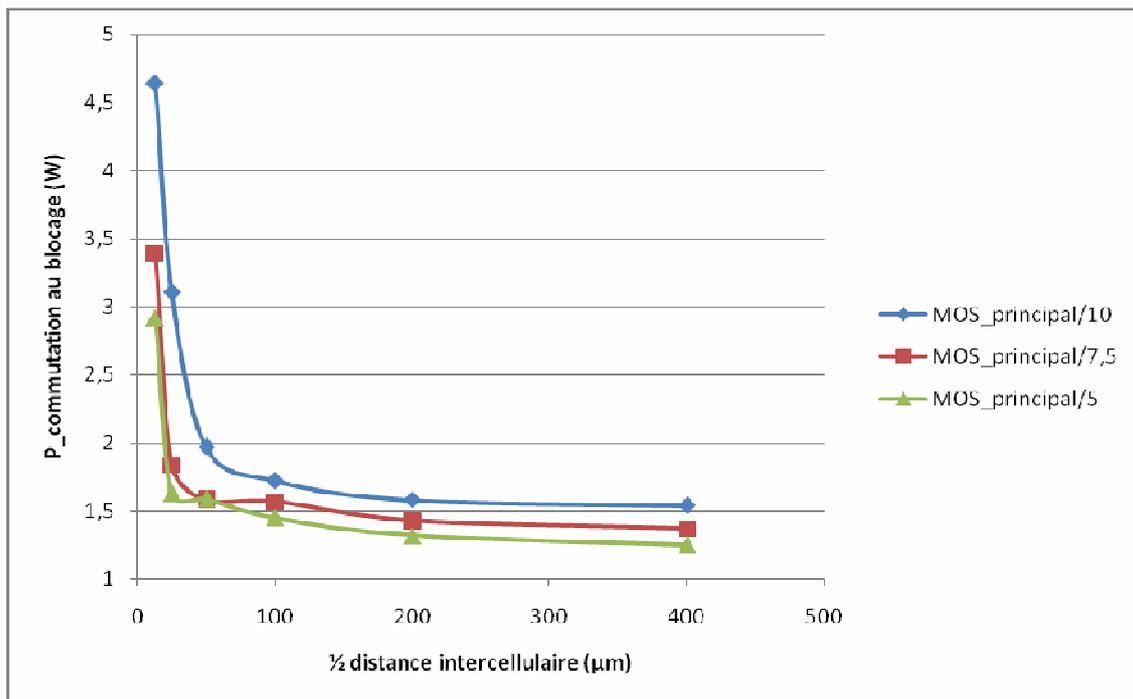


figure 7: Pertes par commutation au blocage en fonction de la 1/2 distance intercellulaire

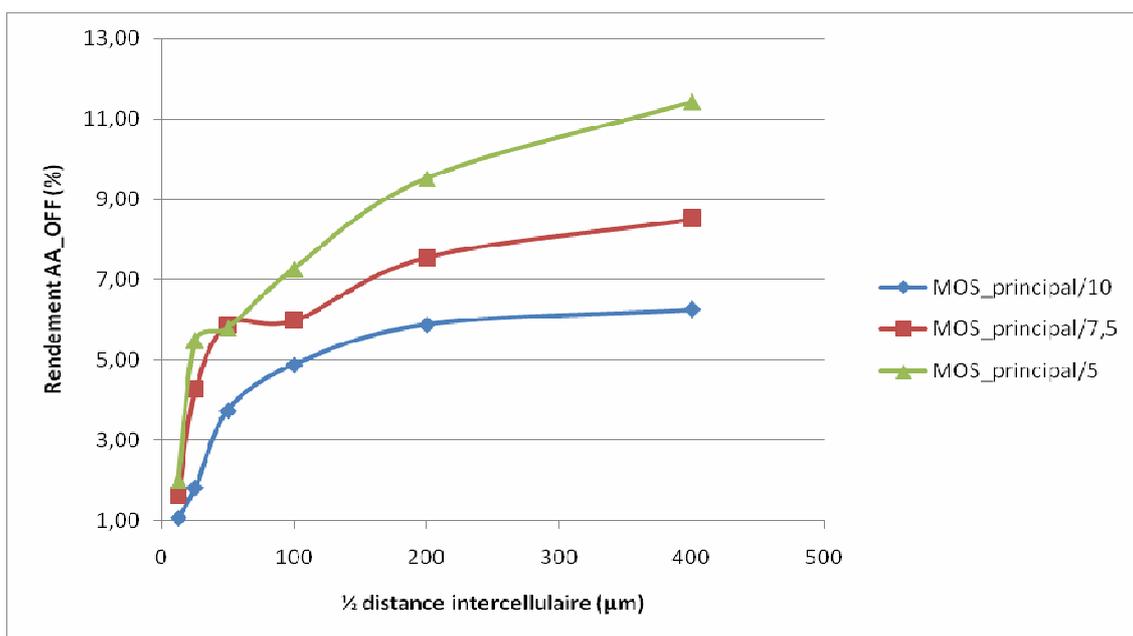


figure 8: Rendement de l'auto alimentation OFF en fonction de la distance intercellulaire pour une puissance consommée de la commande rapprochée de 30mW

Les pertes par commutation chutent donc fortement lorsqu'on augmente la demie distance intercellulaire jusqu'à 100μm, puis on ne gagne plus beaucoup en augmentant encore cette distance. On peut donc choisir une demie distance intercellulaire de 100μm. On remarque que lorsqu'on augmente la surface du transistor, les pertes en sont réduites. On peut observer le rendement de l'auto alimentation OFF afin de déterminer la taille du transistor optimale.

On peut voir que pour une distance intercellulaire de 100μm, on gagne 2 points de rendement lorsque l'on multiplie la taille du transistor par 2. Il y a donc un gain d'environ 50% sur le rendement mais on choisit de conserver le rapport 1/10 entre le MOS principal et

Chapitre III : Conception couplée puissance/commande et solutions technologiques pour l'intégration hétérogène

auxiliaire, le gain si on double la taille du transistor auxiliaire n'étant pas significatif par rapport aux pertes en conduction du transistor principal. Ceci nous donne donc les dimensions suivantes : distance intercellulaire=200 μm , largeur_cellule=26 μm , longueur_cellule =1cm.

Les caractéristiques du transistor sont donc : $R_{ds_on}=6\Omega$ et $C_{dg}=2\text{pF}$, $C_{gs}=78,5\text{pF}$, $C_{ds}=0,2\text{pF}$ pour $V_{ds}=200\text{V}$ et $V_{gs}=0\text{V}$.

1.2.2.3 Transistor auxiliaire de l'auto-alimentation ON

L'objectif lors du dimensionnement de ce transistor est ici de minimiser la chute de tension à l'état passant de ce transistor. On doit donc estimer la résistance R_{dson} . Comme précédemment l'influence de la distance intercellulaire et de la longueur de cellule sur la chute de tension à l'état passant a été étudiée. Lors de cette étude, on reprend les mêmes paramètres que pour l'étude de l'auto alimentation à l'état OFF (400V/3A/250kHz et la tension d'alimentation de la commande rapprochée est de 3,3V). Le transistor de l'auto alimentation est passant en même temps que le transistor principal, le courant de charge passe donc dans le transistor principal et le circuit tripleur de tension ainsi que le transistor de l'auto alimentation ON sont en parallèle du transistor principal. Le circuit tripleur de tension débite dans une charge résistive et la puissance moyenne aux bornes de cette charge est calculée pour connaître le niveau de puissance récupéré par le tripleur de tension. Si la chute de tension du transistor auxiliaire baisse, la tension en entrée du tripleur de tension augmente et donc l'énergie récupérée durant l'état passant également. On observe donc l'évolution de la puissance de sortie du tripleur en fonction de la demie distance intercellulaire (voir figure 9).

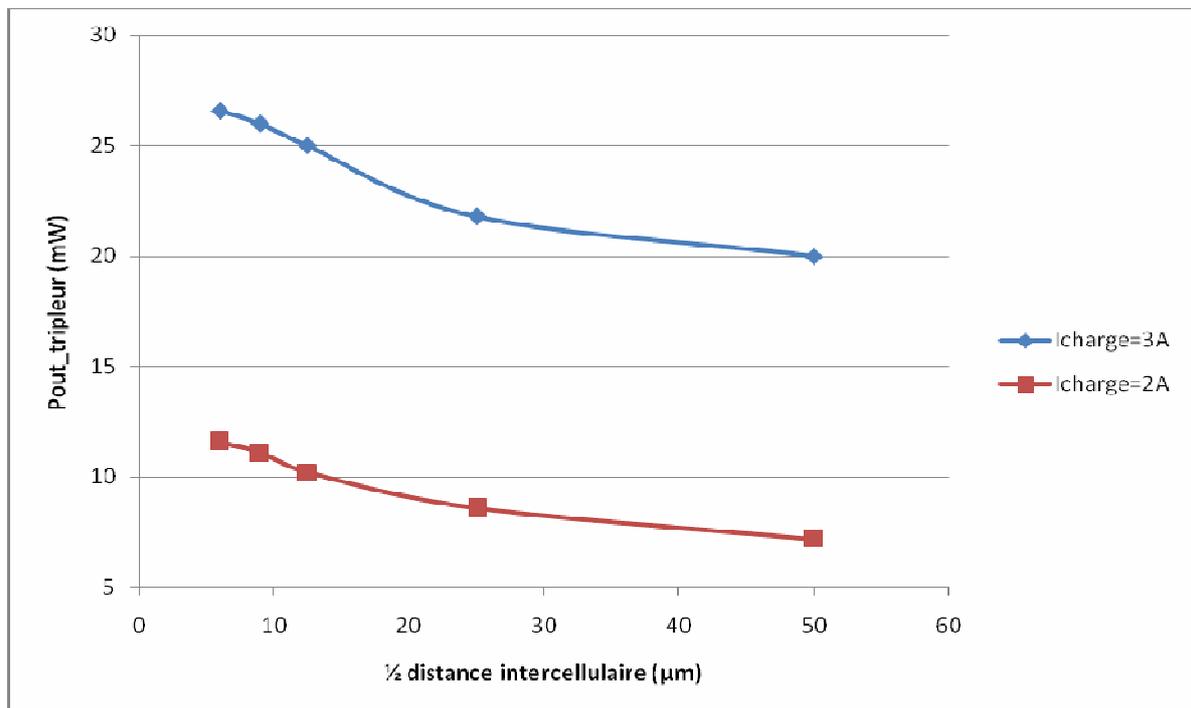


figure 9: Puissance de sortie du tripleur en fonction de la 1/2 distance intercellulaire

On observe donc ici que plus la distance intercellulaire est faible et plus la puissance de sortie du tripleur de tension augmente. Ainsi pour un courant de charge de 3A on peut récupérer 27mW durant l'état passant pour une demie distance intercellulaire de 6 μm . On en conclut que l'on doit choisir la distance intercellulaire la plus faible possible. On effectue la même étude afin de déterminer la taille du transistor. Les résultats sont présentés figure 10.

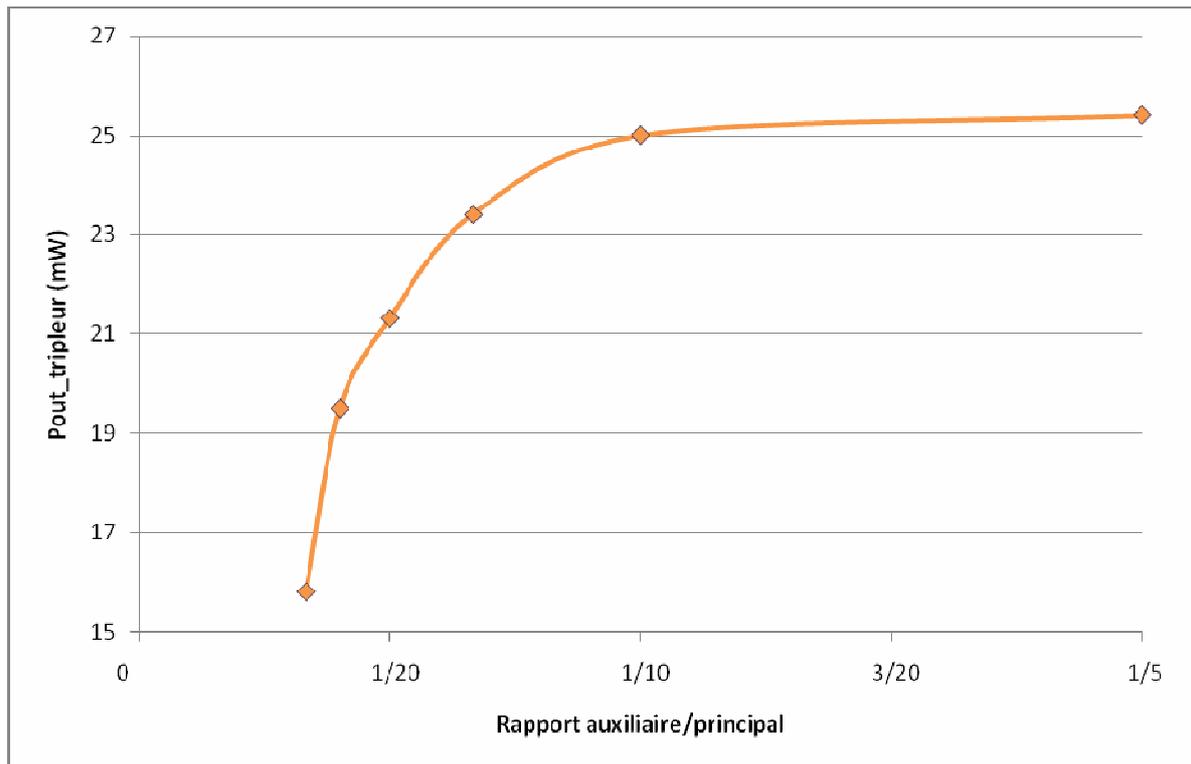


figure 10: Puissance de sortie du tripleur en fonction de la taille du transistor auxiliaire

On observe qu'au-delà d'un rapport de taille 1/10 entre transistor principal et auxiliaire, le gain sur la puissance de sortie du tripleur n'est pas significatif, on conserve donc ici aussi ce rapport de taille. Les dimensions du transistor sont donc : distance_intercellulaire=12 μ m, largeur_cellule=26 μ m, longueur_cellule=16cm.

Les valeurs des autres paramètres géométriques des transistors auxiliaires sont également choisies aux valeurs minimales permises par la technologie. Les paramètres géométriques des 3 transistors sont résumés dans le tableau 5.

| | Transistor principal | Transistor auxiliaire OFF | Transistor auxiliaire ON |
|-----------------------------|----------------------|---------------------------|--------------------------|
| Lcell (μ m) : | 26 | 26 | 26 |
| Lintercell (μ m) : | 26 | 200 | 12 |
| l_cell (cm) : | 80 | 1 | 16 |
| LP+ (μ m) : | 20 | 20 | 20 |
| Lcanal (μ m) : | 4 | 4 | 4 |
| LcontS, LcontG (μ m) : | 30 | 30 | 30 |
| LP (μ m) : | 12 | 12 | 12 |
| LN (μ m) : | 10 | 10 | 10 |
| Lgravure (μ m) : | 6 | 8 | 8 |

Tableau 5 : Paramètres géométriques des composants 600V

La même procédure de dimensionnement a été effectuée pour un transistor ayant une tenue en tension de 100V. Les paramètres physiques ayant déjà été déterminés plus haut, les paramètres géométriques ont été optimisés en suivant la même démarche que pour le composant 600V. Les caractéristiques géométriques des composants 100V sont résumées

dans le tableau 9. Seule la longueur de cellule est donc modifiée par rapport aux composants 600V.

| | Transistor principal | Transistor auxiliaire OFF | Transistor auxiliaire ON |
|------------------------------------|----------------------|---------------------------|--------------------------|
| Lcell (μm) : | 20 | 20 | 20 |
| Lintercell (μm) : | 25 | 200 | 12 |
| l_cell (cm) : | 20 | 0,25 | 1 |
| LP+ (μm) : | 20 | 20 | 20 |
| Lcanal (μm) : | 4 | 4 | 4 |
| LcontS, LcontG (μm) : | 30 | 30 | 30 |
| LP (μm) : | 12 | 12 | 12 |
| LN (μm) : | 10 | 10 | 10 |
| Lgravure (μm) : | 8 | 8 | 8 |

Tableau 6 : Paramètres géométriques des composants 600V

Les paramètres physiques et géométriques des transistors VDMOS de puissance principaux et auxiliaires ont donc été déterminés. Les paramètres physiques ont été choisis afin d'obtenir la tenue en tension et la tension de seuil des transistors souhaitées, et la précaution a été prise sur le dopage de la zone de porte canal afin d'éviter l'amorçage du transistor bipolaire parasite de la structure VDMOS. Les paramètres géométriques ont été choisis d'une part en fonction des contraintes technologiques sur la fabrication, et d'autre part optimisés pour obtenir la résistance à l'état passant voulue pour le transistor principal, ainsi que le meilleur rendement possible au niveau des auto alimentations pour les transistors auxiliaires. L'étape suivante de conception est donc le dessin des masques de ces composants, afin de pouvoir procéder à leur fabrication.

1.3 Dessin des masques

Le dessin des masques du transistor VDMOS a été réalisé avec le logiciel Cadence en utilisant la plateforme CAPcis développée par Loïc Vincent durant sa thèse [36], et en respectant les étapes de la filière technologique du VDMOS vertical mise au point dans la thèse de Radoslava Mitova [37]. Les différents niveaux de masquages vont être montrés et les étapes correspondantes expliquées.

La première étape correspond à l'implantation P+ correspondant aux zones devant être fortement dopées en bore. Ces zones sont situées aux emplacements des contacts de source dans une cellule élémentaire afin d'obtenir un bon contact ohmique car un fort dopage améliore la conductivité du silicium. On peut donc voir sur la figure 11 que les zones d'implantation P+ des cellules élémentaires du VDMOS principal sont carrées, et celles du VDMOS auxiliaire OFF sont rectangulaires. En effet, les cellules élémentaires de ce transistor ont été dessinées en doigts afin de limiter l'espace occupé par ce transistor étant donné sa distance intercellulaire importante. On peut également voir des zones d'implantation à l'emplacement de la diode servant au démarrage de l'auto alimentation à l'état bloqué ainsi qu'aux emplacements des anneaux de garde, également afin d'obtenir un bon contact ohmique.

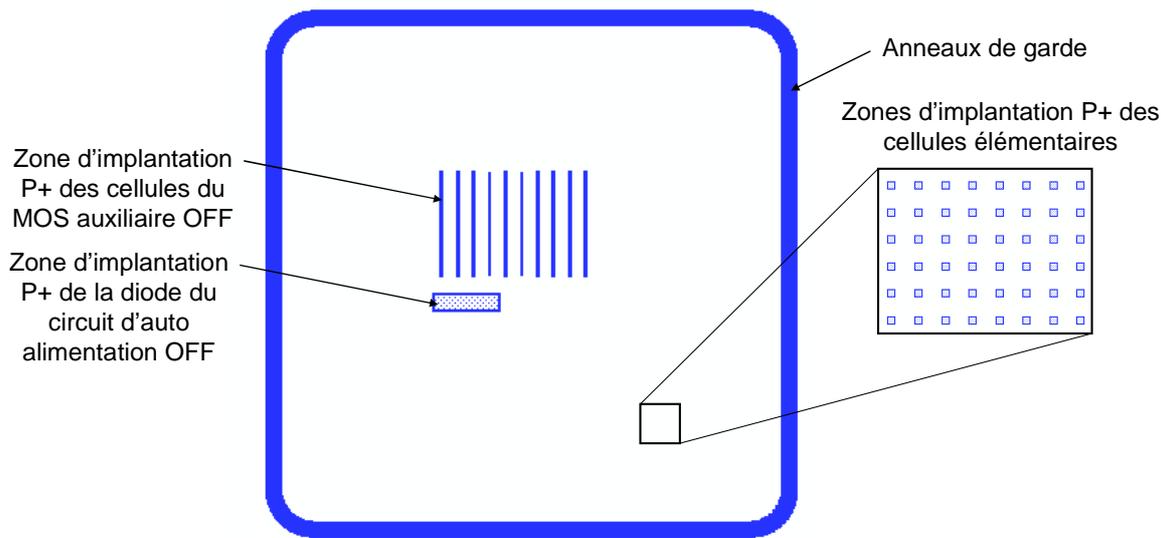


figure 11: Niveau de masquage PPLUS

Le second niveau de masquage est l'ouverture de la zone utile du VDMOS, correspondant à la gravure de l'oxyde de champ qui est apparu lors du recuit d'activation de l'implantation P+. La zone gravée correspond à la zone active du transistor, on a donc choisi ici de graver l'oxyde de champ sur toute la surface du VDMOS (voir figure 12).

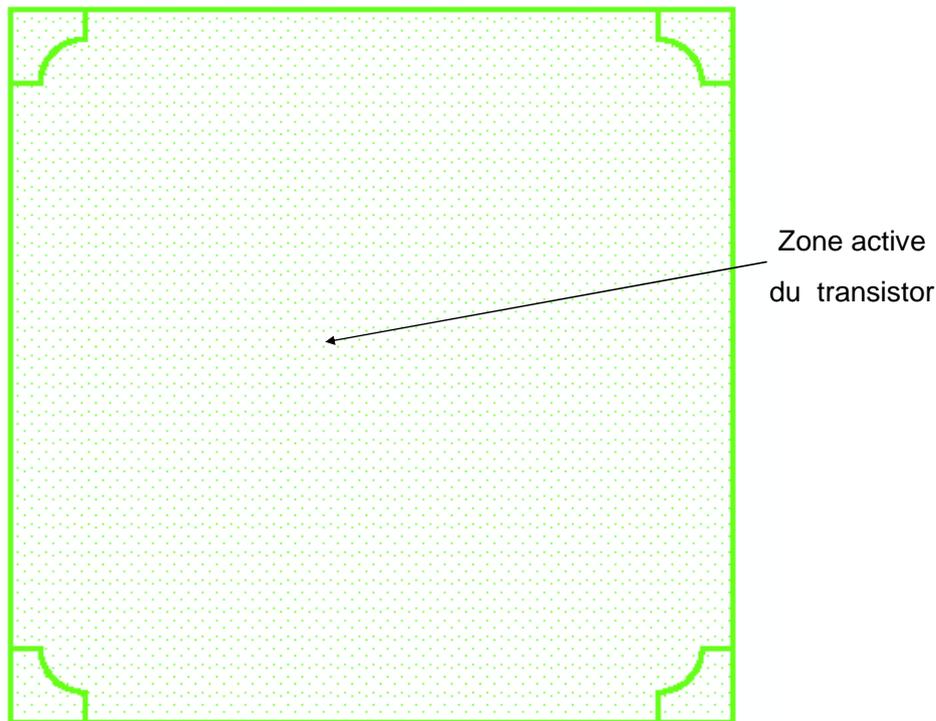


figure 12: Niveau de masquage OZUT

Le niveau de masquage suivant est la première gravure du polysilicium que l'on a fait croître sur toute la surface de la tranche. Ceci permet de créer la grille des transistors VDMOS. Le polysilicium sert également de niveau de masquage pour l'implantation P-, ce qui permet d'auto-aligner cette implantation par rapport à la grille. On peut donc voir sur la

figure 13 que le polysilicium est gravé aux emplacements de la source du transistor, et que la distance entre les deux zones de gravure correspond à la distance intercellulaire du transistor. On peut également voir que les zones devant être protégées de l'implantation P- comme les anneaux de gardes ne sont pas gravées lors de la première gravure du polysilicium.

Le niveau de masquage suivant correspond à la seconde gravure du polysilicium après l'implantation P-. On peut voir sur la figure 14 que les zones gravées correspondent aux zones où le polysilicium a servi de masque pour l'implantation P-. Ces zones sont donc à l'emplacement des anneaux de garde ainsi que pour séparer les grilles des transistors auxiliaires et du transistor principal. La grille du transistor auxiliaire OFF a été agrandie dans le but d'augmenter la capacité C_{gd} de ce transistor, ce qui favorise la dynamique du circuit d'auto alimentation à l'état bloqué pour la mise en conduction de ce transistor.

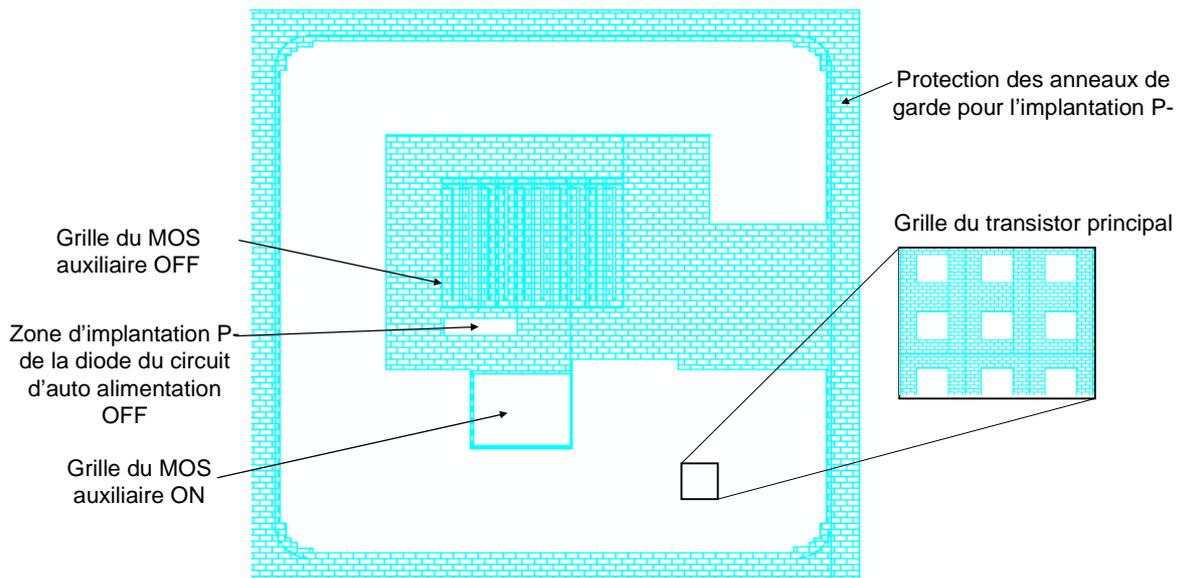


figure 13: Niveau de masquage POLY

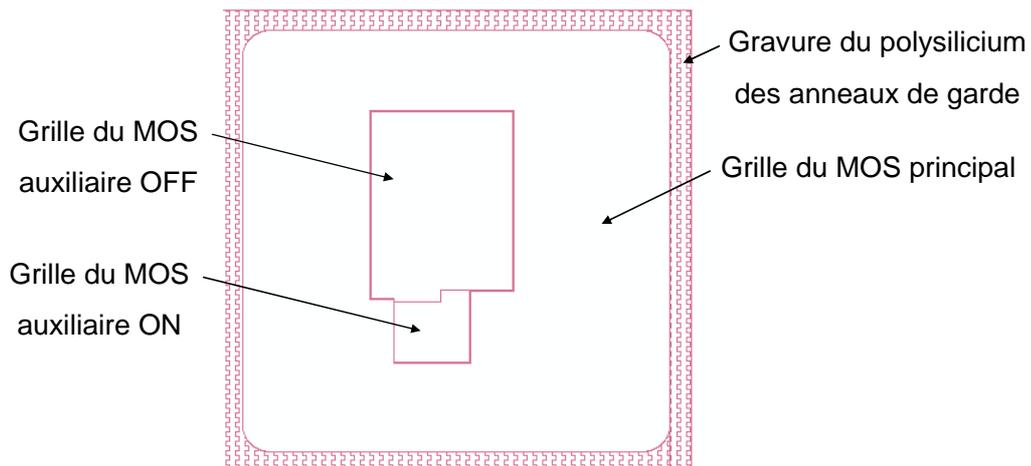


figure 14: Niveau de masquage JFET

Le niveau de masquage suivant correspond aux zones d'implantation N+, c'est à dire les zones fortement dopées au phosphore. On peut voir sur la figure 15 que ces zones sont situées au niveau du porte canal dans les cellules élémentaires des VDMOS. La grille en polysilicium des transistors est également dopée N+ afin de réduire sa résistivité. Au centre de chaque

cellule, un dégagement est prévu pour garantir le court circuit N+/P+ des cellules afin de prévenir l'amorçage intempestif du transistor bipolaire parasite.

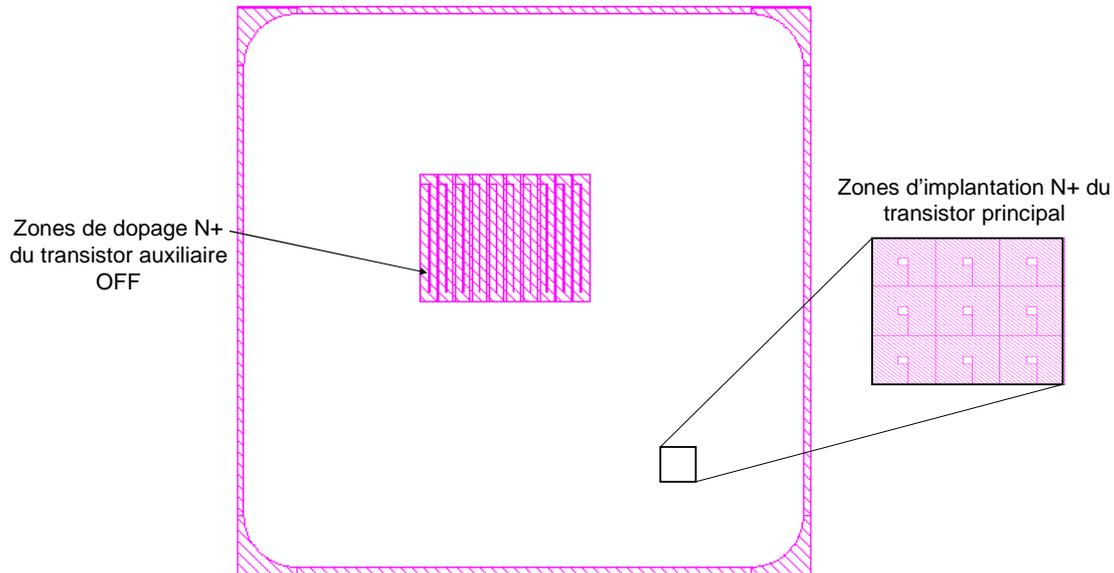


figure 15: Niveau de masquage NPLUS

Le niveau suivant correspond à l'étape de gravure de l'oxyde LTO que l'on a fait croître sur toute la surface de la tranche après l'implantation N+ afin d'isoler la grille en polysilicium de la métallisation de source des transistors (figure 16). Au niveau des cellules élémentaires des VDMOS, on grave donc les zones de contact de source pour contacter le silicium fortement dopé avec l'aluminium. Des zones sont également gravées au niveau des emplacements des prises de contact de grille pour contacter le polysilicium. Des ouvertures sont également faites au niveau des anneaux de garde afin de contacter les zones dopées P+ avec l'aluminium.

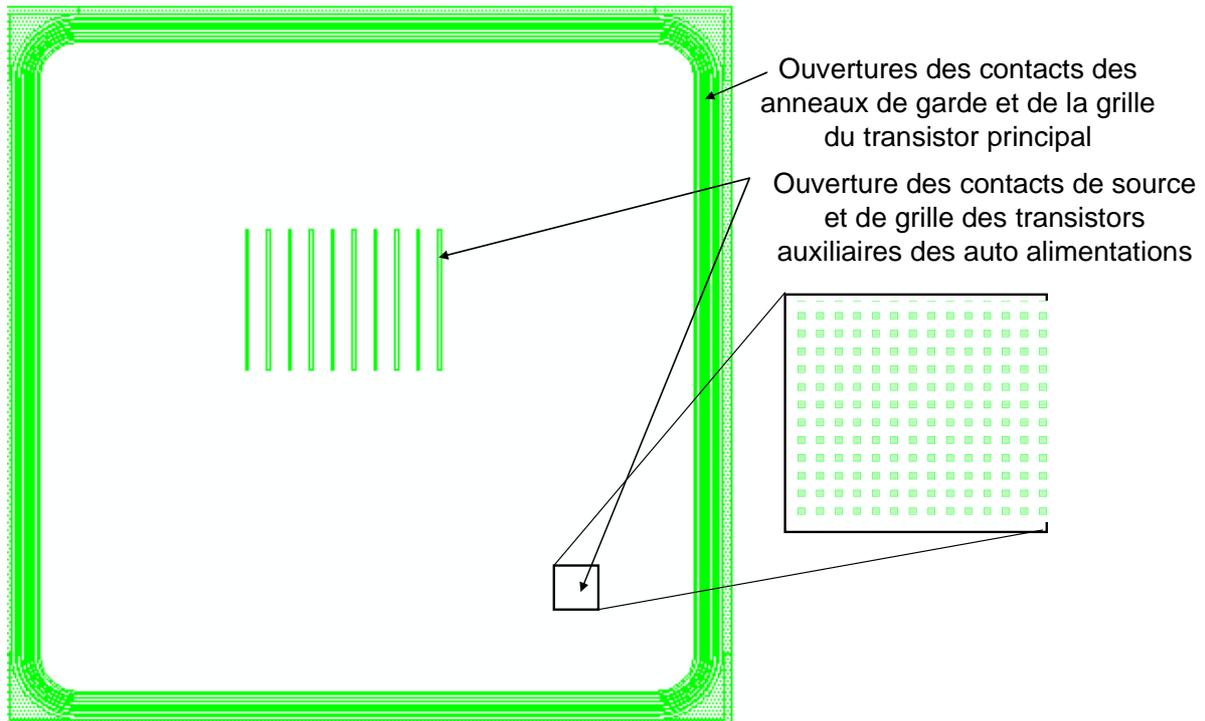


figure 16: Niveau de masquage OCON

Le niveau de masquage suivant est le masque servant à la gravure de l'aluminium qui a été déposé sur toute la tranche après l'étape de gravure du LTO (figure 17). Cette gravure sert à créer les prises de contact et les interconnexions dans le premier niveau de métallisation du transistor. Ainsi les zones gravées séparent les contacts de source et de grille des différents transistors, ainsi que les différents pads de contact de la capacité de stockage et de la puce de commande qui sont reportées à la surface du transistor. Des métallisations sont également créées au niveau des anneaux de garde.

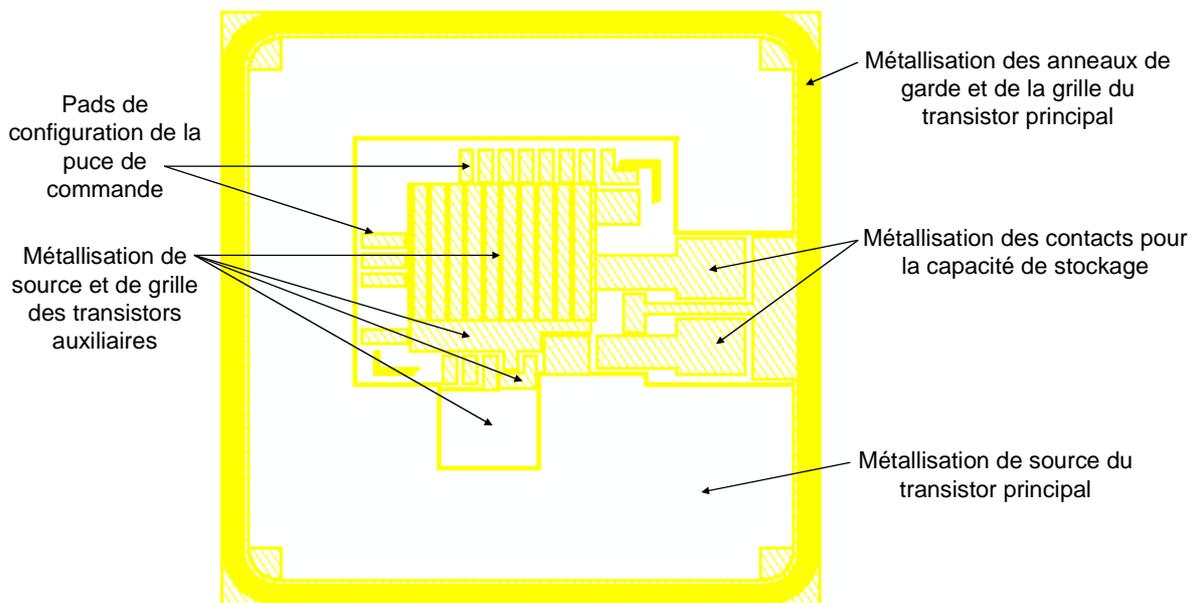


figure 17: Niveau de masquage GALU

Chapitre III : Conception couplée puissance/commande et solutions technologiques pour l'intégration hétérogène

L'étape suivante est une étape de passivation servant à protéger les métallisations à l'aide d'un oxyde (nitrure de silicium). Le niveau de masquage de la figure 18 correspond aux zones gravées dans cet oxyde afin de pouvoir contacter électriquement les zones métallisées avec l'extérieur, soit par des plots électrodéposés, soit par des fils de bonding.

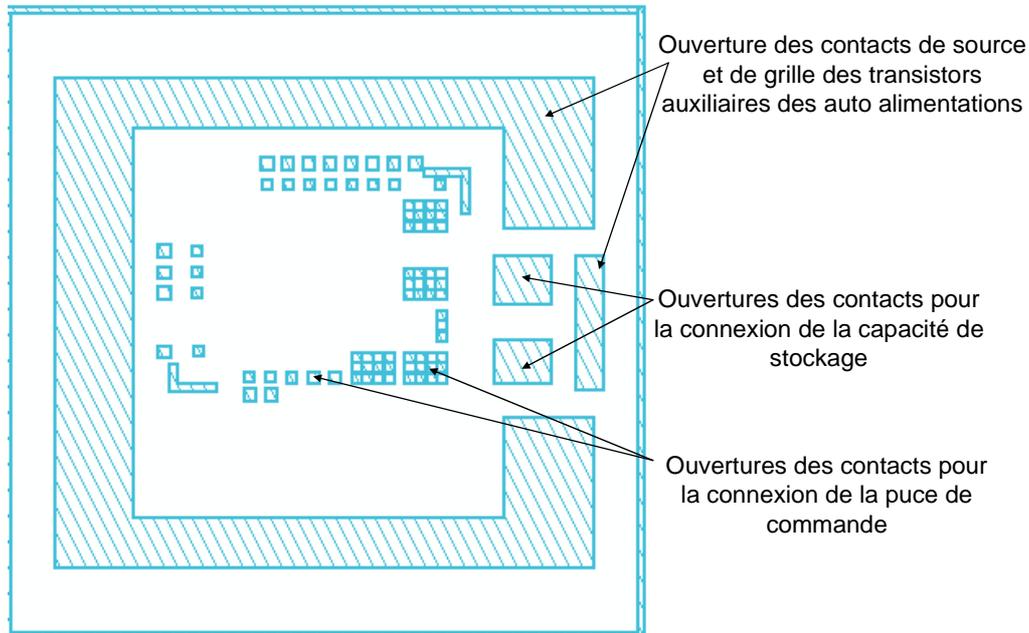


figure 18: Niveau de masquage OSCO

Le dernier niveau de masquage correspond aux endroits où l'on veut faire croître des métallisations épaisses en cuivre par électrodéposition (figure 19). Les zones développées correspondent aux emplacements des moules qui sont créés à l'aide d'une résine épaisse ($>10\mu\text{m}$). Les zones électrodéposées sont les emplacements des pads pour le report de la puce de commande en surface, ainsi que les zones de métallisation de grille et de source du transistor principal et les pads de report de la capacité de stockage.

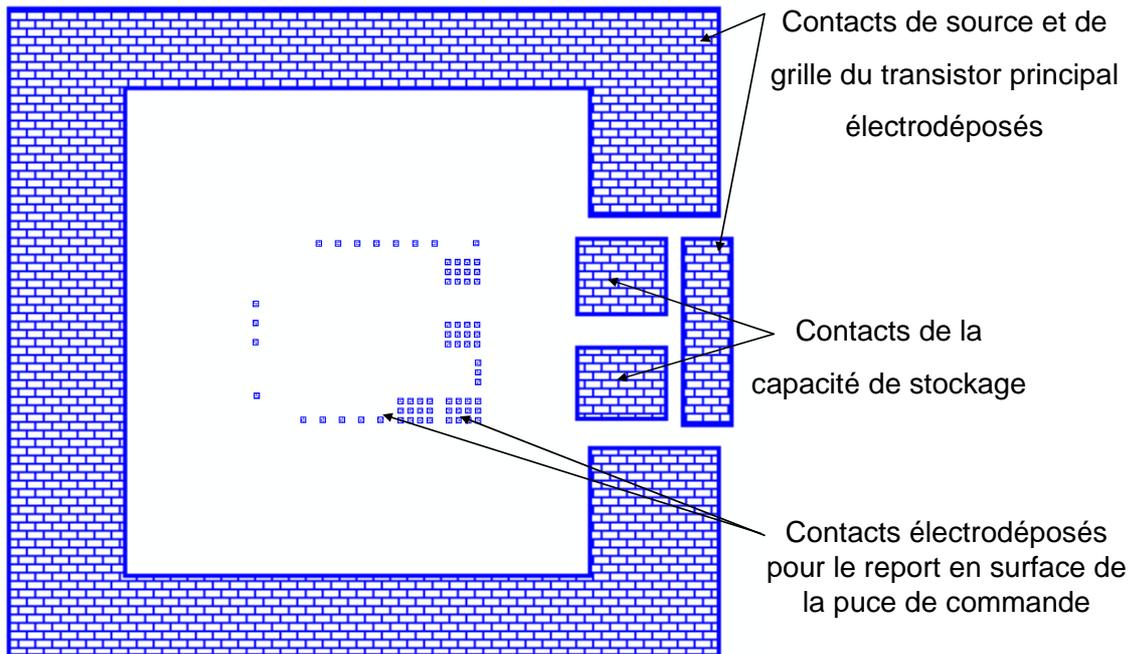


figure 19: Niveau de masquage ECD

Toutes les étapes de masquage successives ont été présentées. Le dessin des cellules élémentaires du VDMOS a donc été réalisé suivant les paramètres géométriques déterminés dans l'étude de dimensionnement préliminaire. Cela a permis d'optimiser les composants auxiliaires pour obtenir le meilleur rendement possible des circuits d'auto alimentation. Le transistor principal a également été optimisé pour une gamme de puissance donnée. Le dessin des masques a également pris en compte les étapes de fabrication suivies selon la filière technologique développée dans [37]. Cette filière technologique nécessite donc 7 niveaux de masquage pour la réalisation d'un composant VDMOS électriquement fonctionnel, puis deux niveaux de masquage ont été rajoutés, l'un servant à l'ouverture des contacts dans la couche de passivation du composant, et l'autre à la création de moules en résine pour la formation d'une couche de métal épais par électrodéposition. Le dessin du composant a également été validé une fois terminé en utilisant l'outil de vérification des règles de dessin (DRC – Design Rule Checking) mis en place dans la plate forme CAPcis.

1.4 Test et validation

La réalisation des masques pour les transistors de puissance a été sous traitée à l'institut FEMTO-ST. Pour la fabrication des composants, le travail fut conduit au CIME Nanotech. La fabrication a été assurée par l'ingénieur d'études G2Elab spécialisé en salle blanche, Victor Gaude, ainsi que par le soutien technique des personnels du CIME Nanotech et d'autres chercheurs du G2Elab. Le process décrit précédemment a été réalisé jusqu'à l'étape de métallisation aluminium (masque GALU), et les composants ont été caractérisés. Malheureusement ces composants n'étaient pas fonctionnels du fait de divers problèmes rencontrés au cours de la fabrication, notamment au cours de l'étape d'implantation N+. En effet une étape de photolithographie est nécessaire pour cette implantation afin de protéger les zones qui ne doivent pas être dopées, de la résine est donc présente sur le wafer au cours de l'implantation. Il a été observé que cette résine était détériorée au cours de l'implantation, et certaines zones restaient couvertes de résines (voir figure 20). Malgré tous les efforts déployés par l'équipe technologique, la résine n'a pu être décollée de la tranche, que ce soit par voie humide (nettoyages, utilisation acide nitrique fumant, ...) ou par gravure sèche (plasma O2 en

Chapitre III : Conception couplée puissance/commande et solutions technologiques pour l'intégration hétérogène

RIE ou DRIE). Le process a donc du être recommencé au début, et les paramètres d'implantation ont été modifiés afin d'éviter la détérioration de la résine. La puissance d'implantation et la dose implantée ont donc été baissées, afin de permettre un bon retrait de la résine. Un test de spreading resistance profiling (SRP) a été sous traité afin de voir l'effet de la baisse des paramètres d'implantation N+. Les résultats de ce test sont présentés sur la figure 21. On peut voir que le profil de l'implantation N+ n'est pas bon car on devrait avoir une concentration d'au moins $2 \text{ à } 5 \cdot 10^{19} \text{ cm}^{-3}$ à la surface de la tranche, or ici la concentration est plus d'une décade en dessous de cette valeur. Les paramètres de l'implantation sont donc trop bas pour obtenir un bon contact ohmique (il faut normalement entre $1 \cdot 10^{19}$ et $1 \cdot 10^{20} \text{ at/cm}^3$), on obtient donc un contact Schottky (figure 22). Ceci peut également être la cause d'un mauvais fonctionnement des transistors. Une solution possible est de réaliser un masquage en dur pour cette étape afin d'éviter que la résine ne brûle lors de l'implantation, ou de trouver une méthode de nettoyage adaptée.

Un autre problème rencontré au cours d'un process différent est le mauvais dopage du polysilicium, ce qui peut résulter en une grille beaucoup plus résistive que prévu. De nombreux problèmes, délais et incertitudes ont donc perturbé ce process de fabrication, et à l'heure actuelle des composants fonctionnels n'ont toujours pas été fabriqués, malgré deux réalisations complètes de VDMOS poussées jusqu'à la fin de toutes les étapes. Cette étape de fabrication était aussi particulièrement importante du fait qu'il nous est nécessaire de fabriquer des composants VDMOS à tension de seuil réduite, afin d'avoir une bonne association puissance / commande.

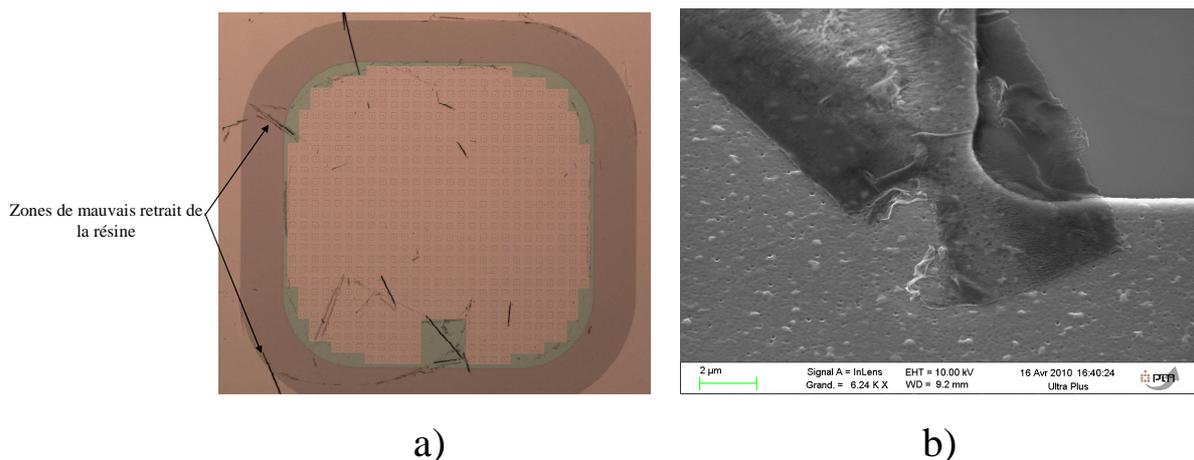


figure 20: a) Vue au microscope optique d'un transistor après l'étape d'implantation N+ et retrait de la résine ; on peut observer la résine brûlée lors de l'étape d'implantation N+. b) vue MEB des zones de résines modifiées

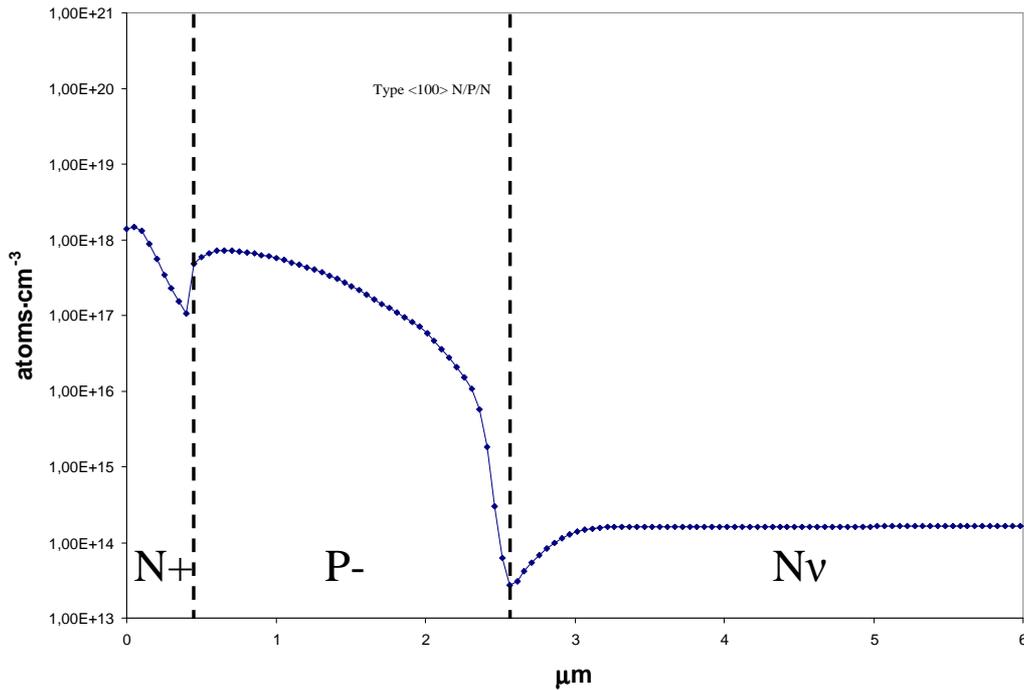


figure 21: Résultats de test de spreading resistance profiling du process avec les paramètres de l'implantation N+ modifiés

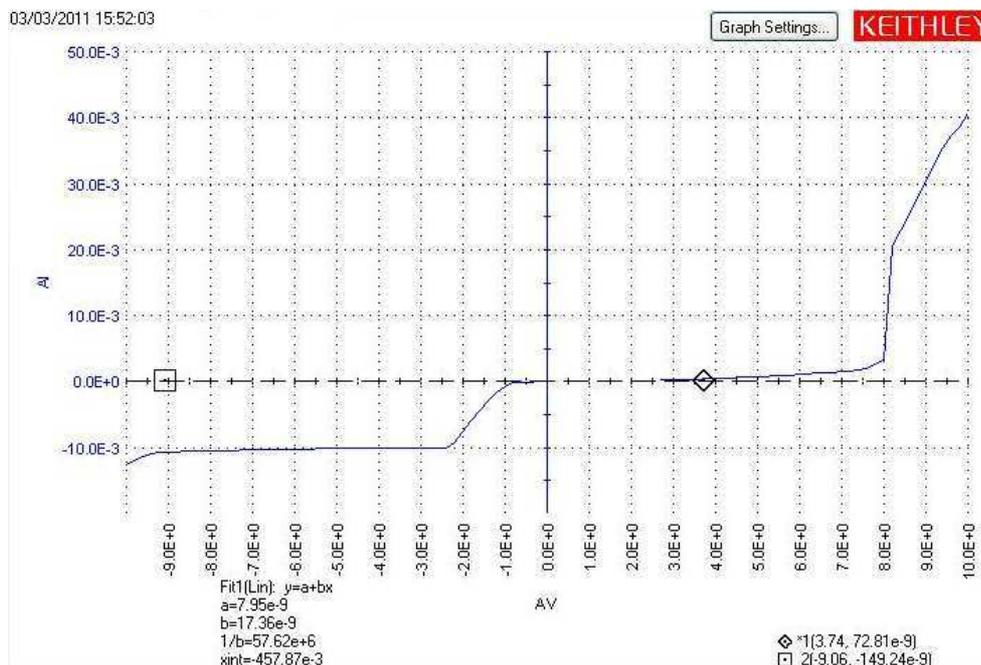


figure 22: Caractérisation électrique des caissons N+, contacté via la métallisation d'aluminium. Un comportement type diode Schottky apparaît clairement (la polarisation du contact est inversée)

Le dimensionnement de la partie puissance du système composée du transistor VDMOS principal et des deux transistors auxiliaires pour les circuits d'auto-alimentation a donc été présenté. Le dimensionnement du transistor principal a été réalisé indépendamment de

manière analytique en se basant sur les travaux de thèse de [37] et [38], puis le dimensionnement des transistors des auto-alimentations a été réalisé de manière couplée avec la partie commande à l'aide de simulations avec le logiciel NC Sim afin d'optimiser leur rendement. Le dessin des masques a été effectué pour la fabrication de ces composants en salle blanche, malheureusement divers problèmes ayant été rencontrés le dimensionnement réalisé n'a pas encore pu être vérifié. La dernière partie de ce mémoire va maintenant présenter l'étude des diverses solutions et les différents procédés technologiques pour l'interconnexion de la partie commande et de la partie puissance. Les réalisations effectuées et les caractérisations de ces interconnexions seront détaillées.

2 Solutions technologiques pour l'interconnexion de la puce de commande et de la puce de puissance

Comme il a été donné de le voir dans l'état de l'art du premier chapitre de ce mémoire de thèse, les technologies de packaging des composants et modules de puissance ont évolué ces dernières années, avec des interconnexions initialement réalisées par fils de bonding pour s'orienter vers les techniques de flip chip et de report en surface. Initialement développées pour la microélectronique [90, 91], ces techniques sont de plus en plus utilisées en électronique de puissance car elles permettent d'une part une réduction des éléments parasites dus aux interconnexions, permettant une amélioration des performances électriques [92] ; d'autre part elles permettent également dans le cas des modules de puissance hétérogènes la possibilité de refroidissement double face des puces pour une meilleure évacuation de la chaleur [14, 93] , ainsi qu'un gain en densité de puissance par l'empilement des puces les unes sur les autres. Dans cette introduction les techniques d'interconnexions en wire bonding et flip chip seront présentées, et des simulations seront effectuées afin d'évaluer les avantages de ces techniques du point de vue électrique et thermique. Ensuite les perspectives de ces techniques d'interconnexions vers des procédés collectifs d'hybridation de la commande sur la puissance seront exposées.

2.1 Solutions employant la technologie wire-bonding

La technologie wire bonding est une technologie déjà ancienne et est aujourd'hui arrivée à maturité, elle est donc actuellement la plus répandue pour l'assemblage de puces [14]. Comme on peut le voir sur la figure 23, le type d'assemblage est planar, c'est-à-dire que la puce de commande et la puce de puissance sont situées en 2D sur le même plan. Les interconnexions sont ensuite réalisées à l'aide de fils de bonding en aluminium ou en or de diamètre plus ou moins gros selon le courant devant transiter à travers le fil (autour de 300µm dans un module de puissance standard). Pour de forts courants, plusieurs fils de bonding peuvent être soudés en parallèle.

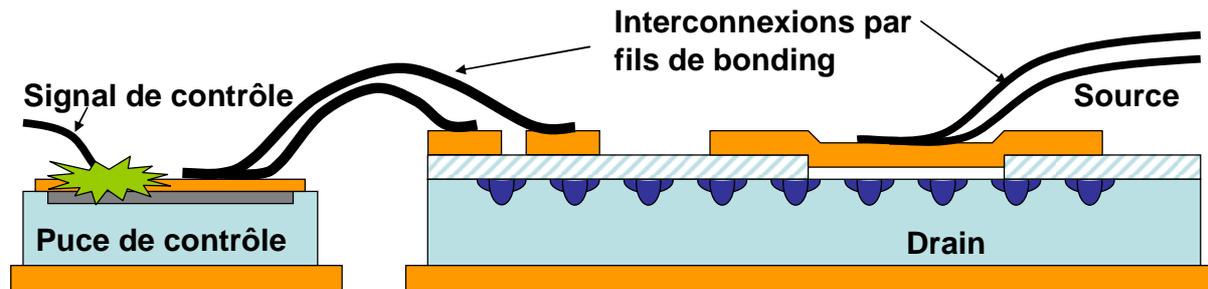


figure 23: Assemblage 2D de la puce de commande et de la puce de puissance par wire bonding (un flash vert présente le lieu d'une nécessaire isolation électrique)

La maturité de la technologie wire bonding se traduit par une bonne maîtrise au niveau industriel des moyens d'assemblage et des moyens de production massifs et automatisés. Le concepteur peut également s'appuyer sur des outils de modélisation électromagnétique, thermique ou encore mécanique pour trouver des géométries répondant au mieux aux critères de qualité définis par l'industrie : critères CEM, critères thermiques, fiabilité. D'un point de vue thermique, l'assemblage 2D simplifie la mise en œuvre du refroidissement car tous les composants peuvent être reportés sur le même refroidisseur.

Cependant, le refroidissement des puces ne peut être effectué que sur une seule face, du fait des fils de bonding sur la face avant des puces empêchant le report d'un refroidisseur. Ceci est le point limitant majeur de l'assemblage 2D. Un autre point limitant est la forte inductance parasite des fils de bonding (10-15nH), pouvant générer des perturbations CEM ainsi que des surtensions lorsque de fortes variations de courant les traverse. Les effets mutuels entre la partie commande et la partie puissance peuvent être à l'origine de dysfonctionnements. Les choix des chemins de courants respectifs doivent donc être particulièrement soignés pour limiter les interactions puissance/commande [94]. Cette forte inductance parasite est également limitante pour l'augmentation des fréquences de découpage des convertisseurs. D'un point de vue fiabilité, les puces étant assemblées sur le substrat, seule la différence de CTE (coefficients d'expansion thermique) entre la puce silicium et la métallisation du DBC (en général du cuivre) est critique dans ce cas de figure. Les CTE des différents matériaux utilisés dans un assemblage de puissance sont présentés dans le tableau 7 [12]. On peut voir dans ce tableau que l'aluminium et le cuivre ont des CTE assez proches, il y a donc des risques réduits de défaillance dans ce type d'assemblage. Cependant les fils de bonding ont également des défaillances connues dues aux cyclages thermo-mécaniques lors du fonctionnement du convertisseur. Ces défaillances peuvent être le décollement de leur surface d'attache ou leur rupture par fissuration [95, 96, 97]. La présence des fils de bonding est ainsi un maillon faible dans la recherche de fiabilité des modules de puissance.

Malgré la bonne maturité de la technologie wire bonding, les tendances actuelles à l'augmentation de la fréquence de découpage des convertisseurs et la demande de densités de puissance toujours plus élevées font que les limites de cette technologie commencent à être atteintes. De nouvelles solutions pour réaliser les interconnexions ont donc été étudiées.

| Matériau | CTE (ppm/°C) | Conductivité thermique (W/mK) @25°C - 150°C | Densité volumique (g/cm ³) |
|------------------------------------|--------------|---|--|
| Cu | 17,8 | 398 | 8,96 |
| AlSiC (60% SiC) | 6,5 - 9 | 170 - 200 | 3 |
| CuW (10%-20% Cu) | 6,5 - 8,3 | 180 - 200 | 15,7 - 17 |
| CuMo (15%-20% Cu) | 7 - 8 | 160 - 170 | 10 |
| Ni Fe | 5,2 | 11 - 17 | 8,1 |
| Al₂O₃ | 6,5 | 20 - 30 | 3,98 |
| AlN | 4,5 | 170 - 200 | 3,3 |
| Si | 4,2 | 151 | 2,3 |
| Al | 23,6 | 238 | 2,7 |

Tableau 7 : Caractéristiques physiques des matériaux employés dans un assemblage d'électronique de puissance [12]

2.2 Solutions employant la technologie Flip Chip

La technologie appelée flip-chip correspond à la connexion électrique directe de la face d'une puce, comportant les composants, dirigée vers le bas (d'où le terme 'flip' retourné) sur des substrats ou des circuits imprimés par le biais de billes d'or appelées bump. La soudure est réalisée par thermo-compression ou ultrason. Les avantages liés à cette technologie proviennent essentiellement :

- du gain des performances électriques et CEM par la réduction des impédances parasites dues aux interconnexions
- des gains sur la taille : toute la surface de la puce peut être utilisée contrairement à la connexion filaire où seul le périmètre est exploitable
- de la robustesse : c'est la méthode d'interconnexion la plus robuste mécaniquement.

Plusieurs solutions pour la connexion des puces de commande et de puissance utilisant la technologie flip-chip peuvent être employées : soit les puces sont connectées sur un support flex ou PCB servant de support mécanique et réalisant les interconnexions, soit les deux puces sont reportées directement l'une l'autre par la technique de « chip on chip ». Nous allons voir les avantages et les inconvénients de ces méthodes.

2.2.1 Technologie flip-chip avec interconnexion par PCB ou flex

Dans cette technique, les puces de commande et puissance sont interconnectées à travers un support de type PCB ou flex (figure 24). Cette technique a été développée dans [98, 99], puis dans [100, 101], où il a été montré que les inductances parasites dues à la connectique étaient réduites avec ce type d'assemblage par rapport à un assemblage par wire bonding. Il en résulte donc une réduction de l'énergie de commutation ainsi que des surtensions et oscillations lors de la commutation des transistors de puissance. De plus l'utilisation d'un substrat PCB ou flex en interconnectant les puces à l'aide de vias conducteurs offre une liberté supplémentaire dans la dimension verticale pour le routage des composants. D'un point de vue thermique, la suppression des fils de bonding sur la face avant des puces offre la possibilité de refroidissement double face des puces, et il a été démontré une amélioration par cette méthode [12]. D'un point de vue technologique, les procédés de fabrication de ce type

de module sont maîtrisés et low cost, ces modules peuvent donc être fabriqués à l'échelle industrielle. Cependant d'un point de vue thermo-mécanique, l'insertion d'un substrat PCB qui est le plus souvent composé d'epoxy n'est pas optimal pour la fiabilité de l'assemblage. En effet un PCB de type FR4 a un CTE de 14 ppm/°C [102], ce qui est donc assez éloigné du CTE du silicium (4,2ppm/°C). De même les pistes en cuivre du PCB et les vias possèdent toujours une résistance et une inductance parasites non négligeables, ce type d'assemblage peut donc être encore amélioré par le report direct en chip on chip des puces de commande et puissance.

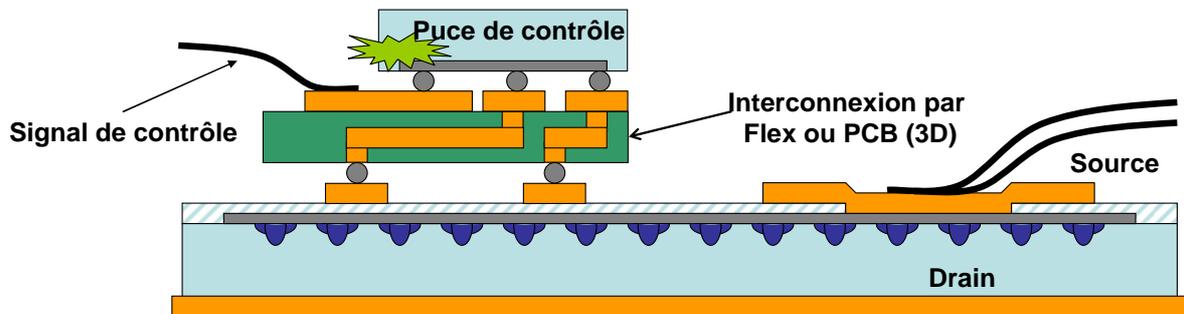


figure 24: Assemblage 3D de la puce de commande et de la puce de puissance par flip chip sur un support flex ou PCB

2.2.2 Technologie chip on chip

Cet assemblage est donc une amélioration du précédent, avec le report direct de la puce de commande à la surface de la puce de puissance via des interconnexions de type « bump » ou « copper pillars » (figure 25). Ce type d'assemblage n'a pas encore été recensé dans la littérature pour des applications en électronique de puissance, excepté dans [103] où deux puces de puissance sont interconnectées en chip on chip dans un boîtier press pack. Cependant il est déjà mis au point et utilisé depuis plusieurs années en microélectronique [104]. Les interconnexions sont optimisées et leurs impédances parasites réduites au maximum, la seule couche d'interconnexion entre les deux puces étant les bumps qui possèdent de faibles résistances et inductances. D'un point de vue thermomécanique l'assemblage est cette fois ci également optimisé car les deux puces sont en silicium et possèdent donc les mêmes CTE. Cependant la puce de puissance jouant le rôle de substrat pour la puce de commande, la métallisation de surface de la puce de commande doit être conçue spécialement pour réaliser les interconnexions. Un layout spécifique de la métallisation de la puce de puissance doit donc être prévu. A l'heure actuelle les puces de commande et de puissance étant conçues séparément, ce type d'assemblage ne peut donc pas être réalisé à partir de puces du commerce. Pour que ce procédé voie le jour au niveau industriel, il faudrait donc une standardisation des layouts de surface des puces de commande et de puissance.

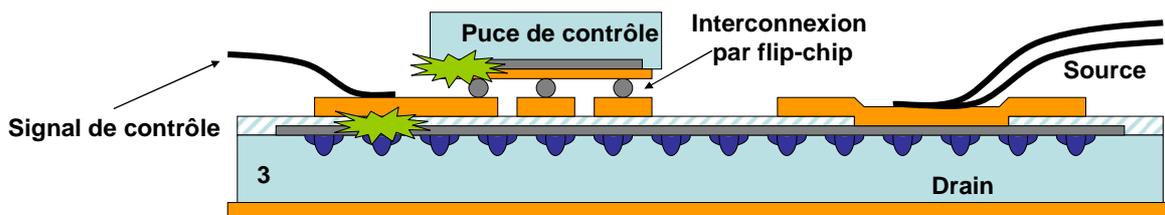


figure 25: Assemblage 3D de la puce de commande et de la puce de puissance par chip on chip (les flashes verts représentent les lieux au niveau desquels l'isolation électrique est requise)

Pour l'isolation du signal de contrôle, on peut voir que des contraintes diélectriques sont présentes à deux endroits dans l'assemblage de la figure 25, à la surface de la puce de puissance ainsi qu'à l'intérieur de la puce de commande dans laquelle le signal est isolé. Pour réduire ces contraintes, on peut imaginer une amélioration de cet assemblage en employant des TSV (Through Silicon Vias), qui consistent à creuser des tranchées dans le silicium dans toute l'épaisseur de la puce puis à les métalliser pour créer ainsi des vias [105]. Ceci permettrait de connecter le signal de contrôle en face arrière de la puce de commande puis à le faire transiter par les TSV (figure 26). La contrainte diélectrique en surface de la puce de puissance serait ainsi éliminée. Cependant ceci nécessiterait des étapes supplémentaires encore compliquées et coûteuses au niveau du procédé de fabrication des puces de commande (Deep Reactive Ion Etching et électrodéposition [106]). De plus les TSVs peuvent nuire à la fiabilité de l'assemblage [106] mais elles commencent à être disponibles de façon standard sur les centrales de fabrication CMOS multi-projet [84].

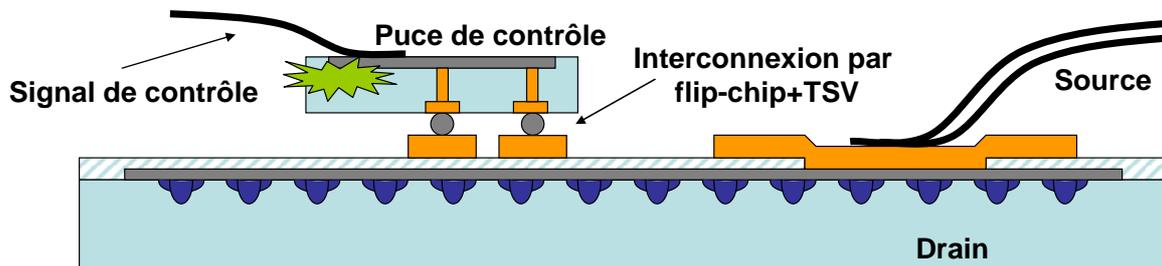


figure 26: Assemblage 3D de la puce de commande et de la puce de puissance par flip-chip on chip avec TSV (Through Silicon Vias)

Nous avons donc vu que malgré son utilisation depuis de nombreuses années et la fiabilisation et la maturité de la technologie, l'assemblage par wire bonding atteint les limites de l'intégration en électronique de puissance. Des assemblages utilisant la technologie flip chip interconnectant les puces via un substrat de type PCB ou flex ont donc été développés, et des améliorations des performances électriques et thermiques ont été démontrées dans la littérature. Cependant ce type d'assemblage peut être encore optimisé par l'interconnexion directe en chip on chip de ces deux puces. Ceci va être étudié à l'aide de simulations électriques et thermiques.

2.3 Etude des performances électriques et thermique de l'assemblage en chip on chip

Il a été dit que l'assemblage par la technique du flip chip réduisait les inductances parasites des interconnexions, cependant les puces étant au plus près l'une de l'autre, des couplages parasites d'autres types peuvent apparaître. De même l'assemblage de la puce de commande au dessus de la puce de puissance peut poser un problème au point de vue thermique, la puce de puissance ayant tendance à chauffer plus que la puce de commande. Ces phénomènes vont être étudiés par simulation, et leur impact sur le fonctionnement de l'assemblage va être déterminé.

2.3.1 Etude des performances électromagnétiques

Pour l'étude de notre interrupteur générique, nous avons choisi d'étudier le cas du fonctionnement du circuit d'auto alimentation à l'état bloqué du transistor principal, décrit dans le chapitre II de ce mémoire. En effet ce circuit est actif lors de dV/dt et il est très

sensible aux composants parasites sous de fortes contraintes dynamiques. Le circuit de simulation est décrit dans la figure 27.

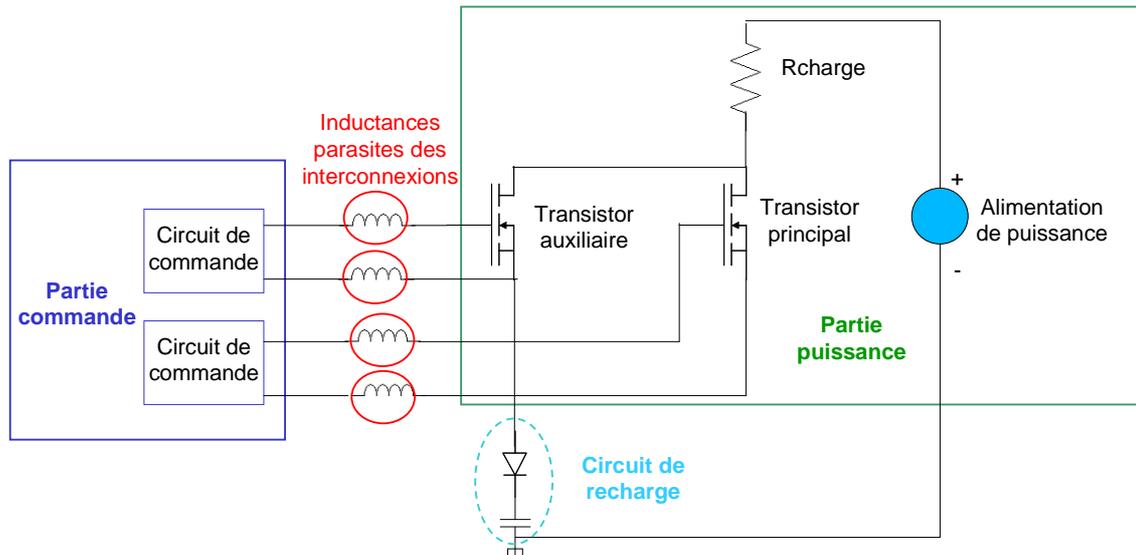


figure 27: Schéma équivalent de l'interrupteur générique faisant apparaître les inductances d'interconnexion entre puce de commande et puce de puissance

Le schéma de la figure 27 montre donc le circuit d'auto-alimentation constitué du transistor principal que l'on fait commuter sur une charge résistive, et le transistor auxiliaire avec son circuit de recharge. Les deux transistors sont pilotés par un circuit de commande intégré dans la puce de commande, et on place des inductances entre ce circuit de commande et la grille et la source des transistors afin de représenter les inductances parasites dues aux interconnexions. On ne place pas d'inductance parasite entre les drains des transistors de puissance car on suppose qu'ils sont intégrés dans le même substrat, cette inductance est donc négligeable. L'effet de ces inductances parasites sur le fonctionnement du circuit va être étudié. Les simulations sont effectuées avec NCSim à l'aide du modèle VHDL de [36] pour le transistor VDMOS de puissance. On simule dans un premier temps une forte valeur d'inductance (100nH) entre la commande et la puissance. Le résultat de cette simulation est présenté figure 28.

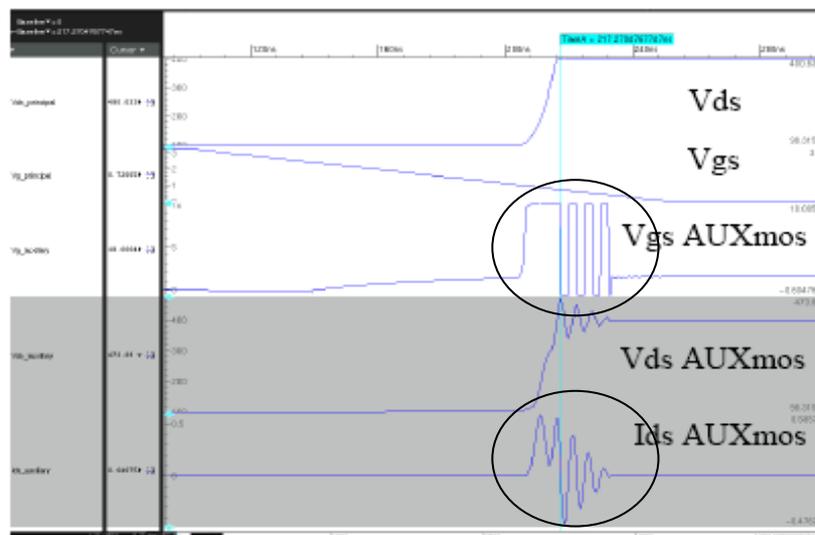


figure 28: Simulation du circuit d'auto-alimentation avec des inductances parasites d'interconnexions de 100nH entre la partie commande et la partie puissance

On peut voir sur la figure 28 que lors d'un dv/dt de 400V en 20ns aux bornes du transistor principal, la tension V_{gs_aux} du transistor auxiliaire commence à augmenter, un courant I_{ds_aux} commence alors à s'établir pour recharger la capacité. Lorsque la capacité de stockage est rechargée, on veut alors bloquer le transistor auxiliaire pour stopper la recharge de la capacité. On a alors un dv/dt aux bornes du transistor auxiliaire. On peut alors observer des oscillations de V_{ds_aux} dues aux inductances parasites, et on observe également le réenclenchement du transistor auxiliaire à cause des oscillations de V_{gs_aux} . On voit donc que le fonctionnement du circuit de commande du transistor auxiliaire est perturbé par les inductances parasites. On baisse ensuite la valeur des inductances parasites à 10nH. Le résultat de cette simulation est présenté figure 29.

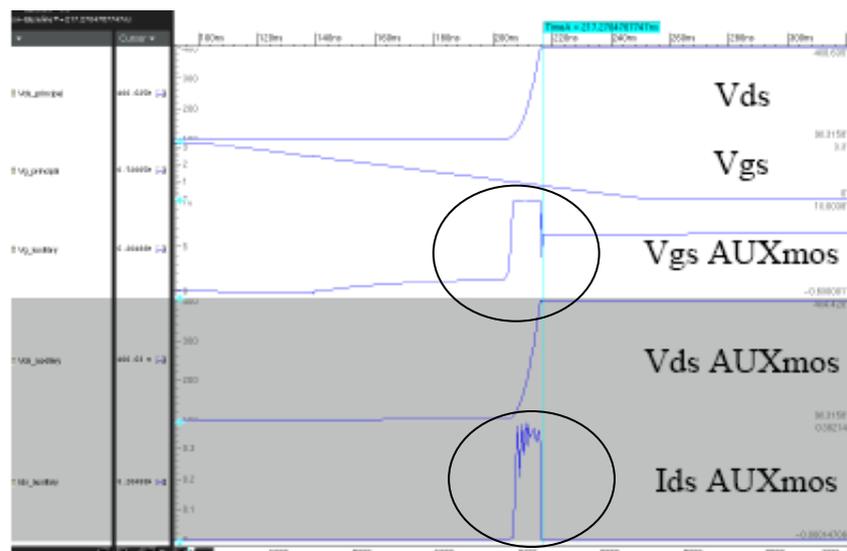


figure 29: Simulation du circuit d'auto alimentation avec des inductances parasites d'interconnexions de 10nH entre la partie commande et la partie puissance

On voit donc sur la figure 29 qu'en baissant l'inductance parasite à 10nH, le circuit d'auto alimentation n'est cette fois plus perturbé et fonctionne normalement sans ré-enclenchement parasite du transistor auxiliaire. En réduisant les inductances des interconnexions d'un facteur 10, on n'observe donc plus l'effet de ces inductances. Les inductances des bumps étant de l'ordre de 1nH, on peut en déduire que par le flip chip de la puce de commande sur la puce de puissance, l'ordre de grandeur des inductances des interconnexions sera négligeable et ne perturbera pas le circuit de commande.

De plus la réduction de ces inductances parasites peut autoriser les interactions à hautes fréquences entre la commande et la puissance et donne l'opportunité de commander le composant de puissance à la limite de ses performances. Les couplages électromagnétiques sont réduits, ce qui permet également de réduire les spécificités du driver. Le partage de fonctions entre la partie commande et la partie puissance peut également être mieux exploité grâce à cette intégration au plus proche.

2.3.2 Etude des performances thermiques

Les performances thermiques de l'assemblage en chip on chip vont maintenant être étudiées. Il s'agit de déterminer si le report de la puce de commande au plus près de la puce de puissance qui aura tendance à chauffer plus ne va être critique, le refroidissement des puces se faisant par l'arrière de la puce de puissance dans le cas classique d'un refroidissement simple face. Pour cela le modèle de simulation prenant le cas classique d'un assemblage dans un module de puissance a été simulé avec le logiciel Flotherm de Flomerics (figure 30). Les deux puces en silicium sont donc empilées et interconnectées par des bumps en or. La puce de puissance est brasée sur un substrat DBC, composé d'une couche de cuivre brasée sur un substrat céramique et d'une seconde couche de cuivre en dessous, et l'ensemble est connecté au refroidisseur pour la fiabilité thermomécanique de l'assemblage. Les puces sont encapsulées dans du gel siliconé. On suppose que le refroidisseur mis en place exerce une convection équivalente de $10\,000\text{ W/K.m}^2$ en face arrière de l'empilement et on suppose une convection naturelle de l'air de 10 W/K.m^2 .

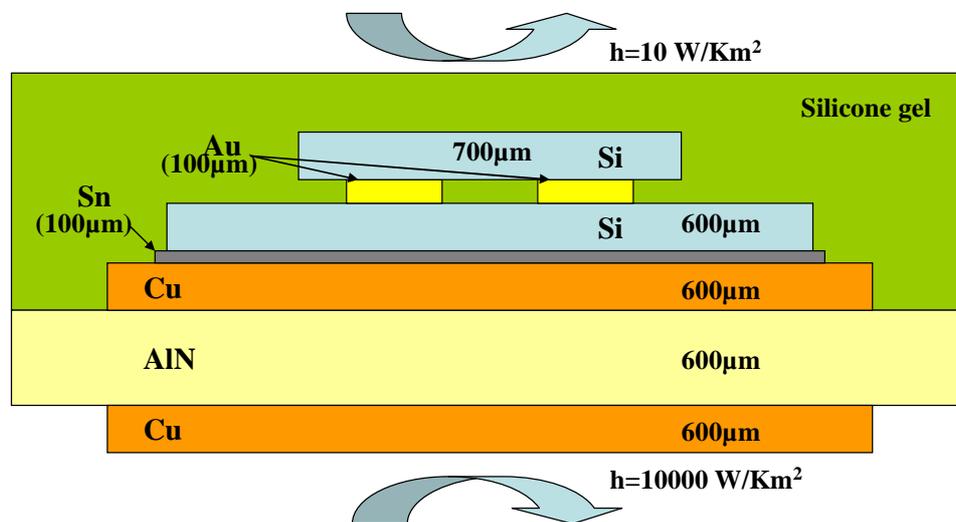


figure 30: Caractéristiques de l'assemblage en chip on chip utilisé pour la simulation avec Flotherm

Les paramètres des matériaux employés dans cet assemblage sont résumés dans le tableau 8. La puissance à dissiper est supposée de 70mW pour le driver et de 10W pour le composant de puissance, en supposant que les pertes par commutation sont égales aux pertes par conduction pour un courant de 5A et une chute de tension à l'état passant de 2V et un rapport cyclique de 0,5. Les résultats de la simulation sont montrés sur la figure 30.

| | Driver | Bumps | Transistor | Sn | Cu | AlN |
|--------------------|----------|----------|------------|----------|----------|------|
| Rth (K/W.m) | 0,78 | 0,79 | 0,09 | 0,03 | 7,00E-03 | 0,02 |
| Cth (J/K) | 7,00E-03 | 3,00E-03 | 0,03 | 7,00E-03 | 0,1 | 0,2 |

Tableau 8 : Caractéristiques thermiques des matériaux employés dans un assemblage d'électronique de puissance

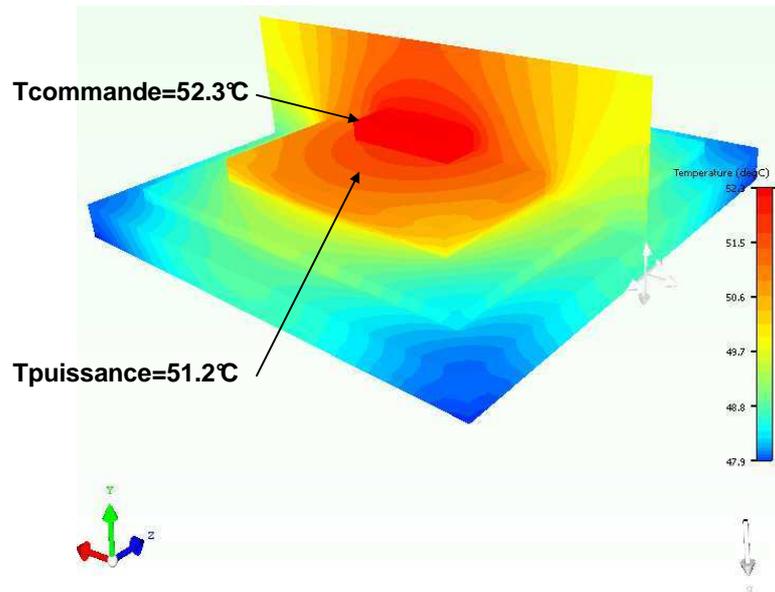


figure 31: Simulation avec Flotherm de l'assemblage en chip on chip

La figure 31 montre un écart de $1,1^{\circ}\text{C}$ entre la puce de commande et la puce de puissance, ce qui signifie que l'écart de température entre les deux puces est assez faible. La puce de commande est à la température la plus élevée, le refroidissement se faisant par la puce de puissance. Le fait que les deux puces soient à la même température est avantageux d'un point de vue thermomécanique car les deux puces ayant les mêmes CTE, le stress sur les bumps sera réduit de cette façon.

On peut vérifier ceci à l'aide d'une simulation dynamique. En reprenant le même modèle que précédemment, on le simule de manière analytique en faisant varier la puissance dissipée par les puces. Le résultat de cette simulation est présenté sur la figure 32.

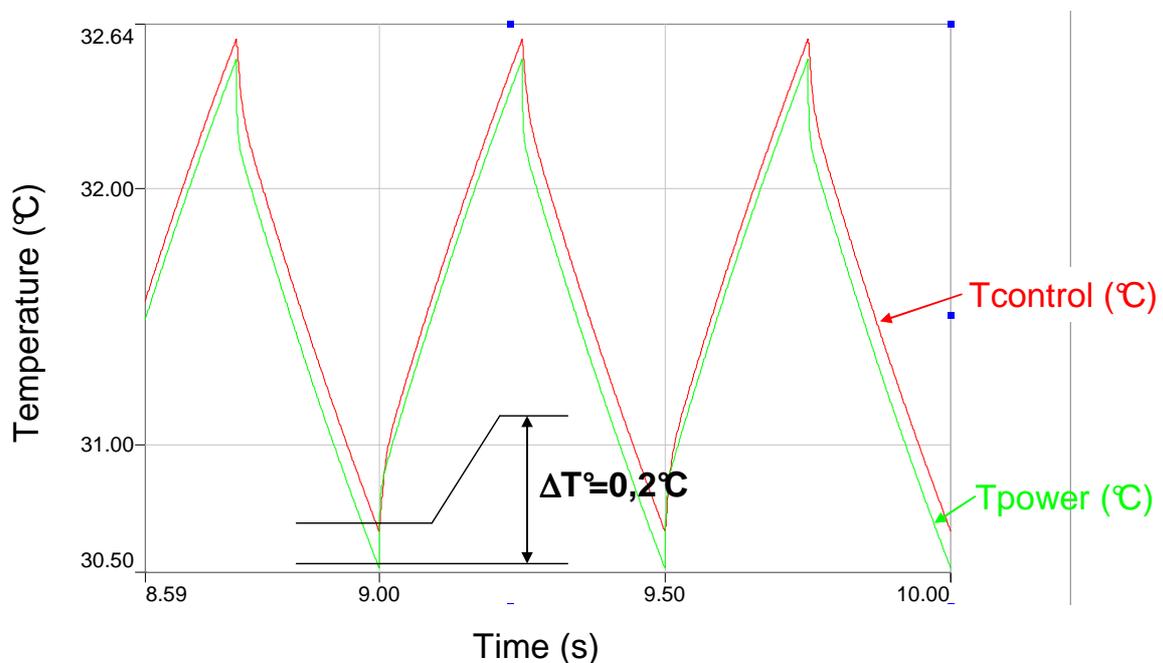


figure 32: Simulation thermique/électrique dynamique analytique de l'assemblage en chip on chip

On peut voir que, de manière dynamique, la différence de températures entre les puces reste inférieure à 1°C. Cela peut laisser supposer que ce type d'assemblage est robuste d'un point de vue thermomécanique.

Plusieurs manières d'interconnecter les puces de commande et de puissance en utilisant différentes technologies d'assemblage ont été présentées, et leurs avantages et inconvénients respectifs ont été énumérés. Les procédés technologiques pour la réalisation de l'assemblage de puces en flip chip vont maintenant être présentés, ainsi que les réalisations technologiques effectuées.

3 Procédés technologiques et réalisations

Dans cette partie, les procédés technologiques pour le report des puces en chip on chip vont être présentés puis expliqués, et les développements technologiques menés au laboratoire ou en collaboration afin d'acquérir la maîtrise de cette technologie pour le futur report des composants conçus dans les précédents chapitres vont être présentés.

3.1 Interconnexions par stud bumping

Le procédé de stud bump permet de créer des bumps conducteurs en or à la surface des pads de la puce, et relie la puce au substrat avec un assemblage par thermo compression ou à l'aide d'adhésif. Les stud bumps sont créés par une modification du procédé de ball bonding, en cassant le fil au plus proche de la boule. Ils peuvent donc être placés aussi facilement que les wire bondings [107]. La figure 33 montre des stud bumps déposés sur des pad de bonding.

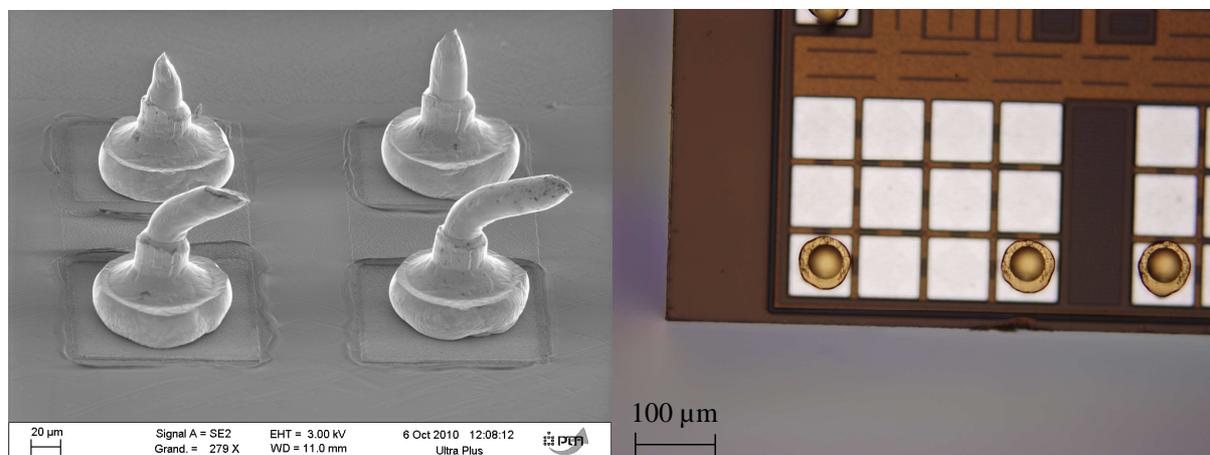


figure 33: Photographies au MEB (Microscope Electronique à Balayage) et au microscope optique de bumps en or déposés sur des pads de bonding

Après que les bumps soient placés sur la puce, ils peuvent être aplatis par pression mécanique pour uniformiser la surface des bumps. Chaque bump peut être aplati individuellement par un outil immédiatement après sa formation (tamping tool), ou tous simultanément par pression contre une surface plane dans une étape suivant le bumping.

Les puces stud bumpées peuvent ensuite être attachées par des adhésifs conducteurs ou non conducteurs, ou par assemblage sans adhésif par thermo compression. L'adhésif conducteur peut être isotrope, conducteur dans toutes les directions, ou anisotrope, conduisant uniquement dans une direction. L'adhésif peut être appliqué par impression dans un

« pochoir », ou la puce bumpée peut être trempée dans un liquide permettant le dépôt d'une fine couche d'adhésif, ne recouvrant que les bumps. L'impression au pochoir apporte une plus grande quantité d'adhésif, que le trempage, rendant l'assemblage plus solide mécaniquement. Cependant le pas du pochoir est limité à 90µm du fait de la précision du pochoir. Le trempage requiert une couche d'adhésif dont l'épaisseur est contrôlée précisément, tout comme le parallélisme de cette couche et de la puce durant le procédé d'assemblage. Le pas est plus petit que pour le pochoir, de 60µm ou moins [107]. Le trempage ne requiert pas d'équipement supplémentaire, la machine de flip-chip pouvant être utilisée pour le réaliser. Cependant l'épaisseur de la couche d'adhésif doit être contrôlée attentivement. L'assemblage par ultrasons se fait par pression de la puce bumpée sur les pads en or du substrat, et en appliquant la température, la pression et l'énergie ultrasonique nécessaire pour former une connexion entre or et or.

Le flip-chip par stud bump offre plusieurs avantages : l'équipement de bumping est largement disponible et bien mis au point. Les stud bumps peuvent être placés au même endroit que les wire bonds. Le pas entre bumps peut être facilement de moins de 100µm et ils peuvent être placés sur des pads de moins de 75µm de côté. Le stud bump peut être fait avec une machine de ball bonding. Une métallisation appelée UBM (Under Bump Metallization) est requise sur les pads de la puce bumpée afin d'éviter la formation d'intermétalliques lors de la soudure par thermo compression. La métallisation se compose d'une couche de titane, servant à créer une barrière de diffusion de l'or dans l'aluminium, et d'une couche d'or qui est le même matériau que le bump (figure 34). Des puces uniques découpées peuvent être bumpées, ce qui fait du stud bump un procédé rapide, efficace et flexible pour le prototypage. L'inconvénient de cette technique est donc que sauf en cas de process automatisé, l'opérateur doit déposer les bumps un par un, ce qui est donc coûteux en temps et ne s'applique pas à l'échelle du wafer.

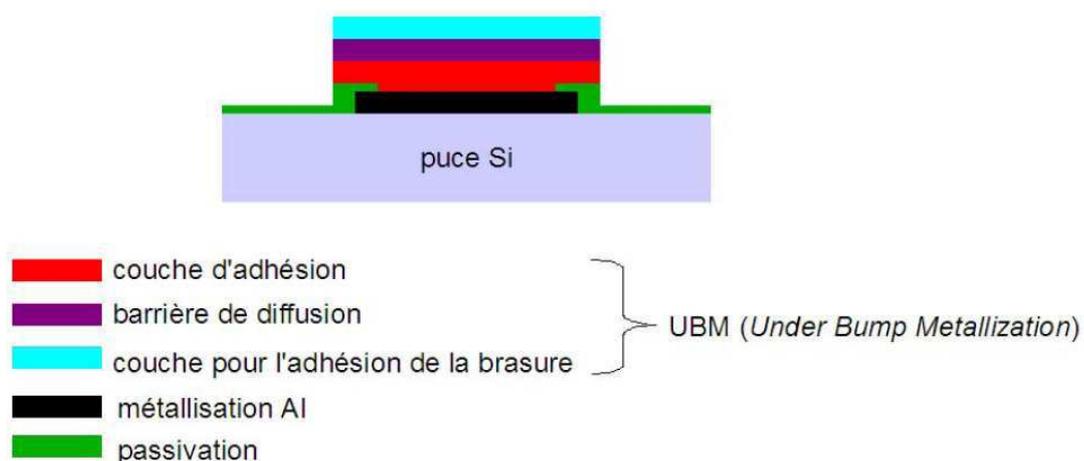


figure 34: Différentes couches de métallisation constituant l'Under Bump Metallization

Une machine de ball bonding permettant de réaliser des bumps a été achetée par le laboratoire et installée dans les locaux du CIME Nanotech. Cette machine (WB100 de Unitemp [108]) a permis le dépôt de bumps sur des puces de test fabriquées dans la salle blanche du CIME Nanotech. Le laboratoire ne possédant pas encore de machine de flip chip, le report en chip on chip de ces puces a été réalisé en sous-traitance par l'institut de recherche FEMTO-ST à Besançon [109]. Le résultat de cet assemblage est montré sur la figure 35.

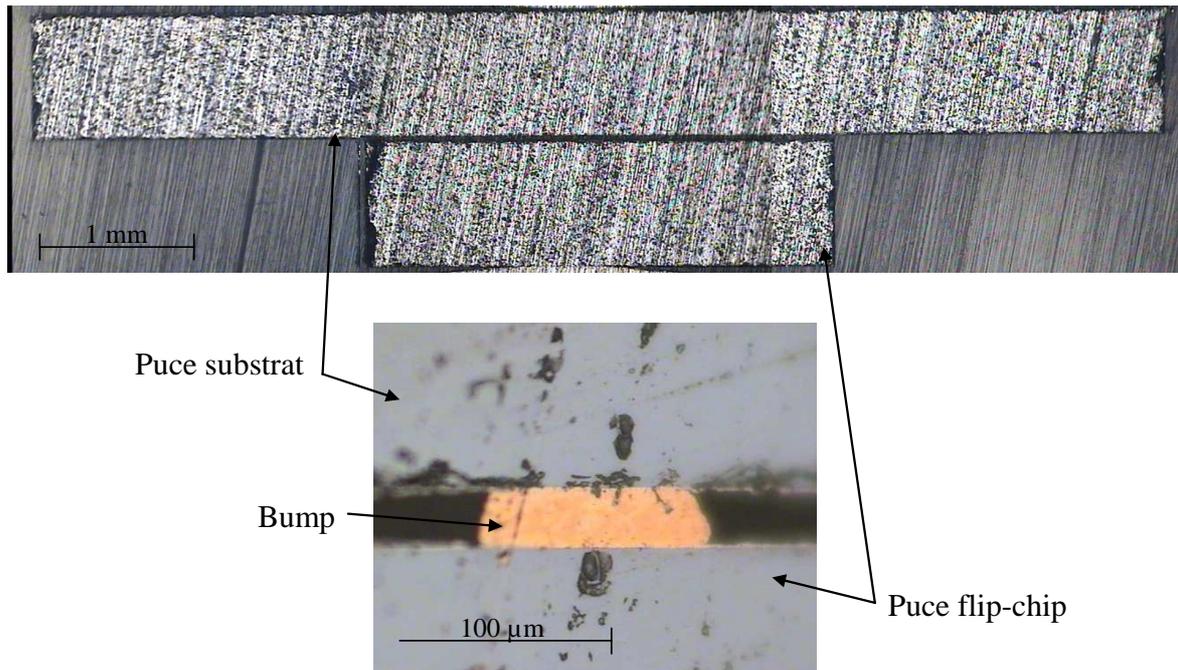


figure 35: Vues en coupe d'une soudure des puces de test reportées en chip on chip

On peut voir sur la figure 35 la vue en coupe de la soudure d'un bump. La métallisation des puces est en aluminium et une UBM Ti/Au avec 10 nm de titane et 80nm d'or a été déposée sur les pads pour éviter la formation d'intermétalliques entre l'or et l'aluminium lors de la soudure par thermocompression (appelé « peste pourpre »). Au microscope optique, on n'observe pas la formation d'intermétallique au niveau des contacts, ce qui est positif car la résistance de contact n'est donc pas dégradée au cours de la soudure.

Ces puces de test contiennent des motifs de contacts chaînés conçus pour la caractérisation électrique et thermomécanique de l'assemblage. La caractérisation de ces puces sera détaillée dans la section 4.1 de ce chapitre.

3.2 Interconnexions par bumps electroless Ni/Au

Un autre procédé permettant de déposer des bumps pour réaliser l'interconnexion en flip chip d'une puce est le dépôt de nickel sur des pads en aluminium par méthode « electroless », c'est-à-dire un dépôt chimique n'utilisant pas le principe de l'électrolyse. Ces bumps sont ensuite recouverts d'une couche d'or pour éviter l'oxydation du nickel et obtenir un meilleur contact électrique. Les différentes étapes de ce procédé sont décrites dans la figure 36.

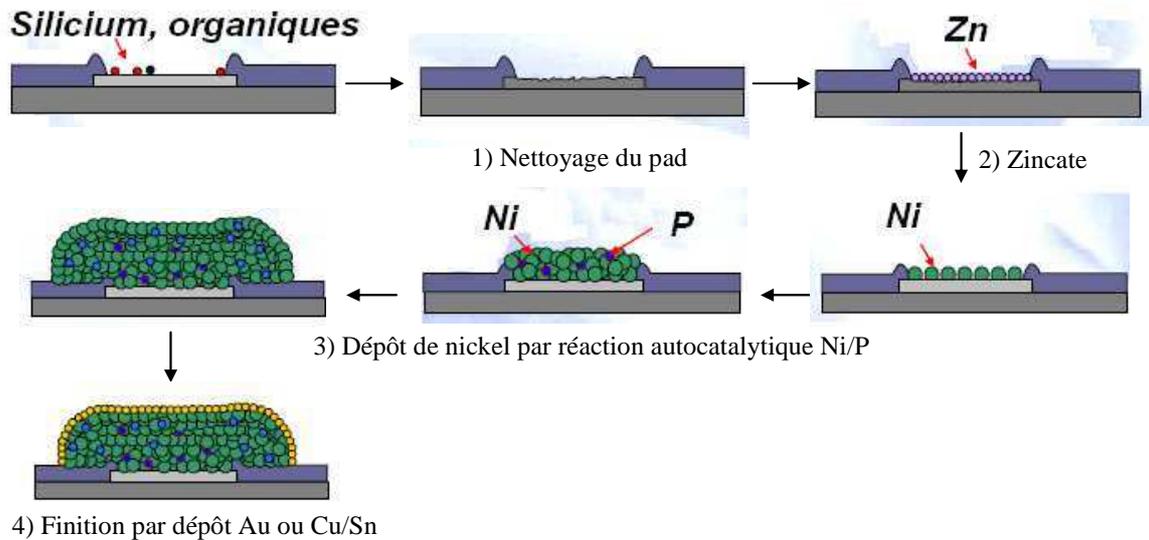


figure 36: Procédé de formation de bumps electroless Ni/Au

Pour les circuits possédant une métallisation en aluminium, les étapes pour la formation de bumps en nickel sont les suivantes : premièrement le pad est nettoyé afin d'enlever les composés organiques, puis l'oxyde natif à la surface du pad est enlevé. La déposition de nickel electroless sur des pads en aluminium peut ensuite être initiée après une première étape de traitement au palladium ou au zincate afin d'activer l'aluminium [110]. Ensuite le dépôt de nickel se fait par voie chimique par réaction autocatalytique dans un bain de nickel/phosphore. En ajustant le temps, la température, le pH et la concentration chimique en nickel du bain, des plots de nickel entre 1 et 25 μ m de hauteur peuvent être formés. Finalement pour éviter l'oxydation de la surface du plot, une couche de métal noble est déposée par-dessus le nickel. Deux métaux sont compatibles avec le process : l'or et le palladium, qui peuvent être déposés également par voie electroless.

Cette technique possède plusieurs avantages, le principal étant que le nickel ne se dépose que sur les pistes en métal exposées peut permettre de supprimer une étape de photolithographie nécessaire pour d'autres types de process. De plus cette technique est utilisable à l'échelle du wafer et est low-cost. Cependant la déposition de métal electroless sur wafers peut être difficile à maîtriser car la composition de l'aluminium, les structures en dessous du pad ainsi que la qualité du matériau utilisé pour la passivation jouent tous un rôle dans la vitesse de déposition, l'uniformité et adhésion du nickel au pad. Les trois premières étapes du process sont critiques pour déterminer la sélectivité du process, l'uniformité et l'adhésion du nickel. Les composés chimiques et leurs concentrations sont également critiques pour obtenir la structure désirée.

Ainsi nous avons essayé de réaliser ce process en collaboration avec la société Enthone [111], mais nous n'avons pas pu obtenir de résultats corrects du fait de la trop faible épaisseur d'aluminium déposée à la surface du wafer (0,6 μ m). En effet les étapes d'activation de l'aluminium (zincation) enlevant une couche d'aluminium, l'épaisseur d'aluminium après cette étape était ensuite trop faible pour obtenir une bonne déposition du nickel. Etant donné les difficultés technologiques pour déposer de fortes épaisseurs d'aluminium ainsi que celles liées au développement de ce process, cette solution a donc été abandonnée.

3.3 Interconnexions par électrodéposition de poteaux de cuivre

La dernière solution la plus populaire pour la réalisation de bumps est le dépôt de couches épaisses de métal par réaction électrolytique. De nombreux métaux peuvent être déposés par

voie électrolytique (or, cuivre, étain, palladium, nickel, ...). Cependant il a été montré que pour des applications en électronique de puissance le cuivre présentait plusieurs avantages [112]. En effet le cuivre possède de bonnes caractéristiques électriques et thermiques, et son CTE est plus faible que celui de brasures traditionnelles. Ensuite le procédé d'électrodéposition est connu en électronique, et son coût est plus faible que les métaux tels que l'or.

3.3.1 Principe de l'électrodéposition

Le principe de l'électrolyse est de plonger deux électrodes dans une solution électrolytique contenant des ions positifs du métal à déposer. On fait ensuite circuler un courant entre les électrodes, ce qui va provoquer l'arrachement d'ions métalliques de l'anode qui vont migrer vers la cathode, c'est-à-dire l'échantillon. Les ions métalliques de la solution vont être neutralisés par les électrons e^- et vont venir se déposer sur l'anode sous forme de métal. Ainsi l'équation pour la réaction électrolytique du cuivre est décrite par (1) :



Comme pour les bumps, la croissance de poteaux électrolytique requiert une métallisation de type UBM composée d'une couche faisant barrière de diffusion et d'une couche conductrice (voir figure 37). En effet toute la surface du wafer doit être recouverte de cette couche conductrice pour permettre la déposition du cuivre. On dépose ensuite une couche de résine épaisse qui est insolée puis développée afin de créer des moules dans lequel le cuivre va se déposer pour former des poteaux. Après l'électrodéposition, cette résine est enlevée et la couche d'accroche gravée pour ne laisser que les poteaux.

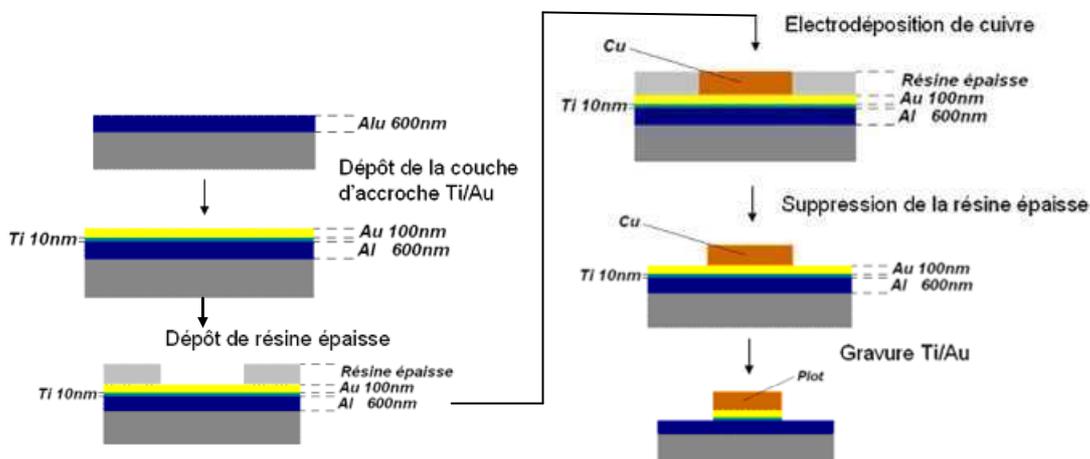


figure 37: Principe de la formation de micro poteaux par électrodéposition de cuivre

L'électrodéposition requiert donc des étapes de métallisation ainsi qu'une étape de photolithographie supplémentaires. Cependant elle a l'avantage d'être applicable au niveau du wafer ainsi que d'être facile à mettre en œuvre et d'être peu coûteuse. Les différentes étapes du procédé de formation des micros poteaux vont maintenant être décrites en détail et les réalisations pratiques effectuées vont être présentées.

3.3.2 Réalisations pratiques :

Le procédé de formation de micro poteaux est testé dans un premier temps sur des wafers possédant une métallisation en aluminium de $0,6 \mu\text{m}$ qui est gravée pour former les pistes et les pads destinés aux interconnexions. On dépose ensuite une couche de passivation constituée par un oxyde (nitrure de silicium Si_3N_4) de $1,6 \mu\text{m}$ d'épaisseur destinée à l'isolation entre la métallisation de source et les pads du signal de commande non isolé (figure 38-a). Cette couche de passivation est elle aussi gravée afin de créer les ouvertures pour les contacts avec l'extérieur. Les couches d'accroche constituées par une couche de titane de 10 nm et d'une couche de cuivre ou d'or de 100 nm sont ensuite déposées par pulvérisation ou par évaporation (figure 38-b).

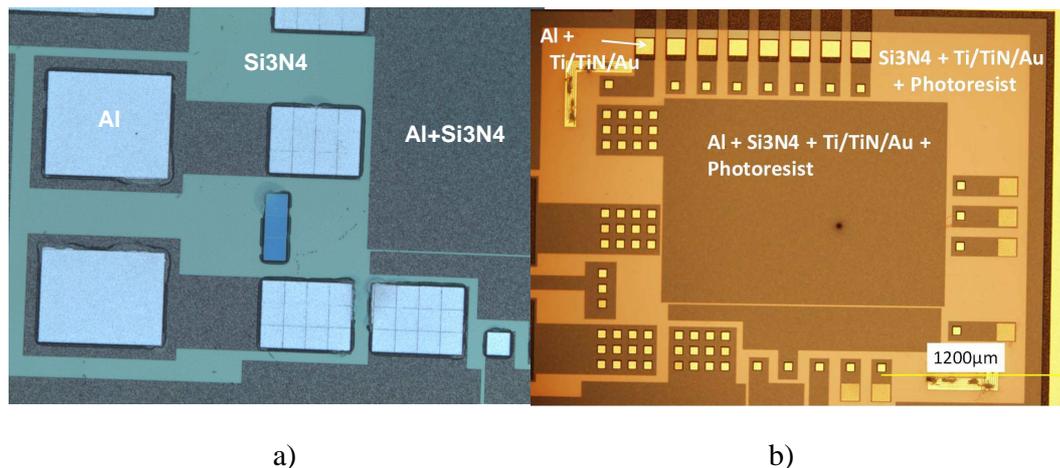


figure 38: Développements technologiques back end pour la réalisation de micro poteaux : a) Après gravure de l'aluminium et de la couche de passivation Si_3N_4 b) Après dépôt de la couche d'accroche Ti/TiN/Au

La prochaine étape est le dépôt d'une résine épaisse, puis l'étape de photolithographie pour former les moules dans lesquels les plots vont croître (figure 39-a). La taille des moules est de $50 \mu\text{m}$ de coté, et l'espace entre les plots est de $30 \mu\text{m}$. On peut voir sur la figure 39-b que les flancs de la résine sont positifs, c'est à dire que la résine est développée de la même distance sur le plan horizontal que sur le plan vertical. C'est pourquoi des marges ont été prises sur la taille des plots pour éviter que les plots ne se rejoignent.

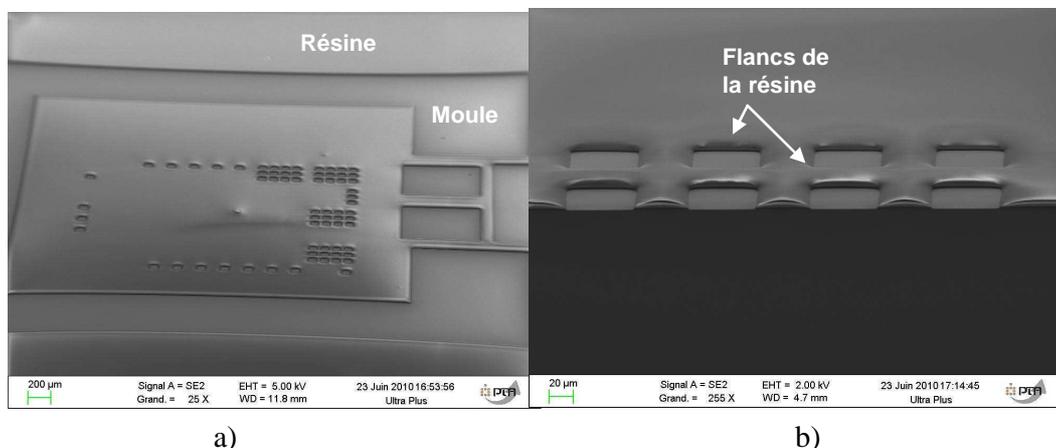


figure 39: Images au MEB des moules en résine : a) Vue d'ensemble des motifs b) Zoom sur les flancs de la résine

Chapitre III : Conception couplée puissance/commande et solutions technologiques pour l'intégration hétérogène

On peut ensuite passer à l'électrodéposition du cuivre dans les moules ainsi créés. Le bain d'électrodéposition de cuivre est composé de sulfate de cuivre $\text{CuSO}_4 \cdot 5\text{H}_2\text{O}$ et d'acide sulfurique H_2SO_4 . Le sulfate de cuivre fournit les ions cuivre, et l'acide sulfurique améliore la conductivité du bain. On peut également ajouter des additifs afin d'améliorer l'uniformité du dépôt ainsi que l'aspect du cuivre (grain fin, brillant). Pour nos expérimentations nous avons utilisé un bain industriel fourni par Enthone (Microfab Cu 200), ainsi que l'additif également fourni par Enthone [111]. Les étapes préconisées pour réaliser l'électrodéposition sont :

- Tremper l'anode dans un produit dégraissant afin de nettoyer la surface du wafer des composés organiques
- Rincer à l'eau dé-ionisée
- Tremper dans un bain d'acide dilué à 10% afin d'éliminer l'oxyde qui aurait pu se former sur la couche d'accroche

On peut ensuite commencer l'électrodéposition. L'agitation du bain se fait par bullage, et l'anode est constituée en cuivre phosphoré (voir figure 40). L'alimentation est une alimentation continue pouvant être configurée en mode source de courant.

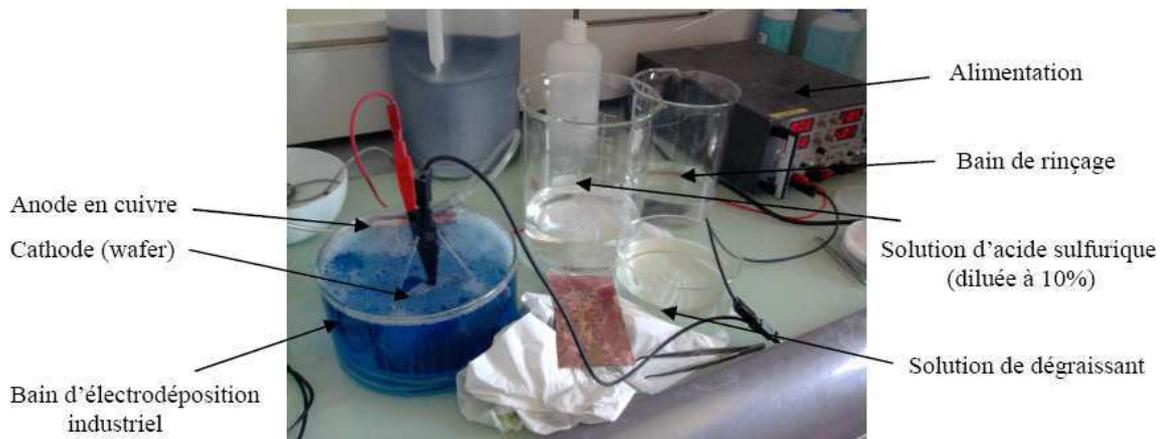


figure 40: Photographie de la manipulation d'électrodéposition de cuivre

Le temps d'électrodéposition dépend de la surface à électrodeposer, de la densité du courant appliquée ainsi que de la hauteur souhaitée. Dans notre cas, la hauteur de la résine a été mesurée à $12\mu\text{m}$ et la densité de courant conseillée est de 2 A/dm^2 , on calcule donc le temps de dépôt à partir de ces données. La vitesse de dépôt est calculée à $26,4\mu\text{m/h}$ à la densité de courant spécifiée. Le résultat après électrodéposition est montré dans la figure 41-a. On peut voir sur la figure 41-b que la hauteur du plot a dépassé la hauteur de la résine, ce qui explique la forme « champignon » du plot.

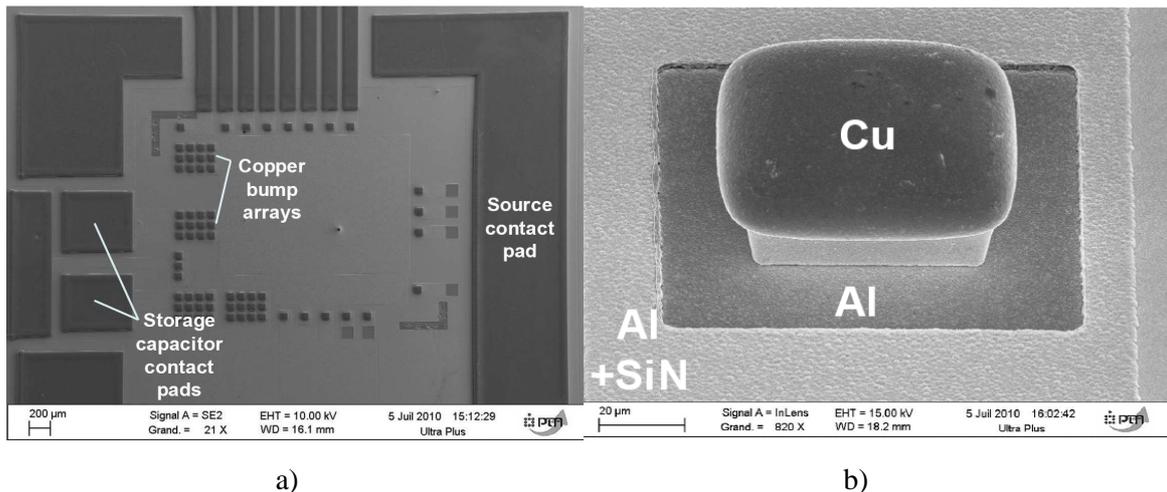


figure 41: Images MEB des motifs après électrodéposition de cuivre : a) Vue d'ensemble
b) Zoom sur un plot

On peut voir sur la figure 41-a que le cuivre s'est bien déposé à tous les endroits, et que la surface du cuivre est assez homogène : on peut donc dire à première vue que les tests d'électrodéposition sont concluants. La surface du cuivre s'oxydant en restant à l'air libre, on devrait donc déposer de l'étain à la surface du plot avant de retirer la résine afin d'empêcher l'oxydation du plot ainsi que de permettre la soudure lors du report en flip chip [12]. Le laboratoire ne possédant pas de machine pour le report de puces en flip chip, les tests n'ont pas été poussés plus loin à l'heure actuelle. Néanmoins le cuivre électrodéposé sera caractérisé électriquement dans la section 4.2 de ce chapitre.

Il a donc été présenté dans ce chapitre les principaux procédés technologiques permettant de créer des bumps pour la connexion de puces en flip-chip ou chip on chip. Le procédé de stud bump est simple et fiable, cependant il nécessite une machine de ball bonding et n'est pas applicable à l'échelle du wafer. Le procédé de formation de bumps Ni/Au par voie electroless est le moins coûteux car il supprime une étape de photolithographie et ne requiert pas de métallisation supplémentaire. Il est de plus applicable à l'échelle du wafer. Cependant ce process est assez complexe à maîtriser et nécessite une métallisation épaisse d'aluminium, il a donc été abandonné dans notre cas. Le procédé d'électrodéposition de cuivre requiert le dépôt d'une couche d'accroche et une étape de photolithographie supplémentaire, il est cependant peu coûteux, facile à mettre en œuvre et applicable à l'échelle du wafer. C'est donc ce procédé qui est le plus avantageux pour la réalisation de bumps.

4 Tests et caractérisations des interconnexions réalisées

Pour les caractérisations électriques et thermiques des connexions réalisées, des puces contenant des motifs de test de type contacts chaînés ont été conçues et fabriquées (voir figure 42). Ces puces contiennent donc des pads destinés au dépôt de bumps ou à l'électrodéposition de poteaux, et des pads destinés aux mesures sous pointes. Elles sont conçues pour être reportées en chip on chip, une puce jouant le rôle de substrat et l'autre étant reportée dessus. La puce substrat mesure 6mm de côté et contient les pads pour la mesure sous pointe, l'autre puce plus petite mesure 3mm de côté et contient les pads pour les bumps. Une fois assemblés,

un motif de type contact chaîné est créé, les pistes formant la chaîne étant situées alternativement sur l'une et l'autre des puces (voir figure 42). Plusieurs types de motifs ont été conçus, chacun avec des tailles de plots et des espacements entre les plots différents (voir annexe 1).

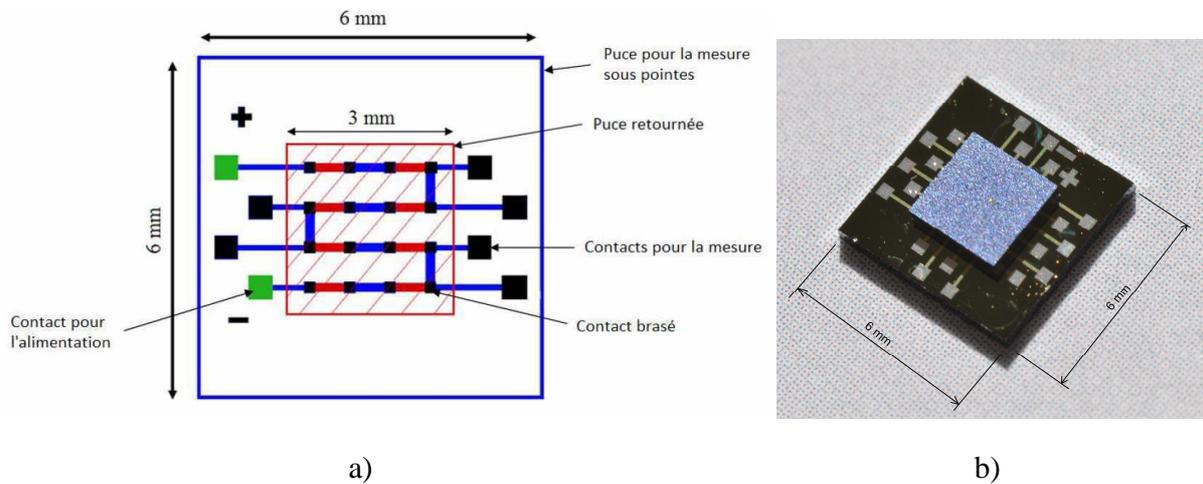


figure 42: a) Vue layout des puces de tests pour la caractérisation électrique et thermomécanique des interconnexions en chip on chip b) Photographie de l'assemblage final

4.1 Mesures des puces stud bumpées et reportées en flip chip

Plusieurs puces avec des motifs différents ont été bumpées et le report en flip chip de ces puces a été effectué à l'institut FEMTO-ST de Besançon à l'aide d'une machine FC250 de Süss Microtec [113]. La soudure des bumps en or a donc été faite par thermocompression, et plusieurs paramètres de pression ont été utilisés pour obtenir visuellement un entrefer entre les puces correct (voir annexe 2). Au niveau des températures, le substrat est chauffé à 300°C (2°C/s) et la puce à est maintenue à 150°C. Ensuite, pour la pression exercée, trois programmes ont été testés :

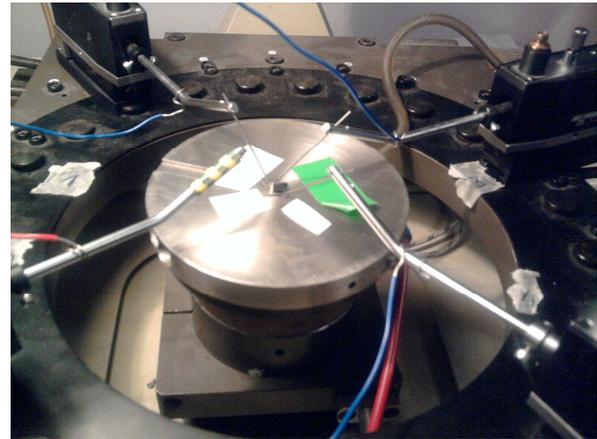
- Programme 1 : application d'une force de **1.5 Kg** pendant 20s puis augmentation à **3 Kg**.
- Programme 2 : application d'une force de **1 Kg** pendant 20s puis augmentation à **2 Kg**.
- Programme 3 : application d'une force de **750 g** pendant 20s puis augmentation à **1.5 Kg**.

Puis la puce est montée à 300 °C (100°C/s) pendant 40s avant le refroidissement et l'arrêt de la pression.

Une vingtaine de brasage flip-chip ont ainsi été réalisés. Ces puces ont ensuite été testées sous pointes au laboratoire [114].

4.1.1 Caractérisations électriques

Pour la caractérisation électrique des contacts, le principe de la mesure 4 pointes a été utilisé (figure 43). Ceci permet de s'affranchir des chutes de tension parasites dues au courant circulant dans les fils de mesure et aux résistances de contact au niveau des pointes, permettant ainsi d'obtenir une mesure plus précise de la résistance de l'échantillon [115]. Ceci est critique dans notre cas où les résistances mesurées sont de l'ordre du mΩ ou de l'ohm, on doit donc avoir une précision suffisante sur la mesure.



a)

b)

figure 43: Photographie de la manipulation de mesure quatre pointes a) Vue d'ensemble
b) Zoom sur l'échantillon

Dans un premier temps l'influence du changement de la pression lors du report en flip chip a été observée, afin de voir si ce paramètre a une forte influence sur la résistivité des contacts (voir figure 44).

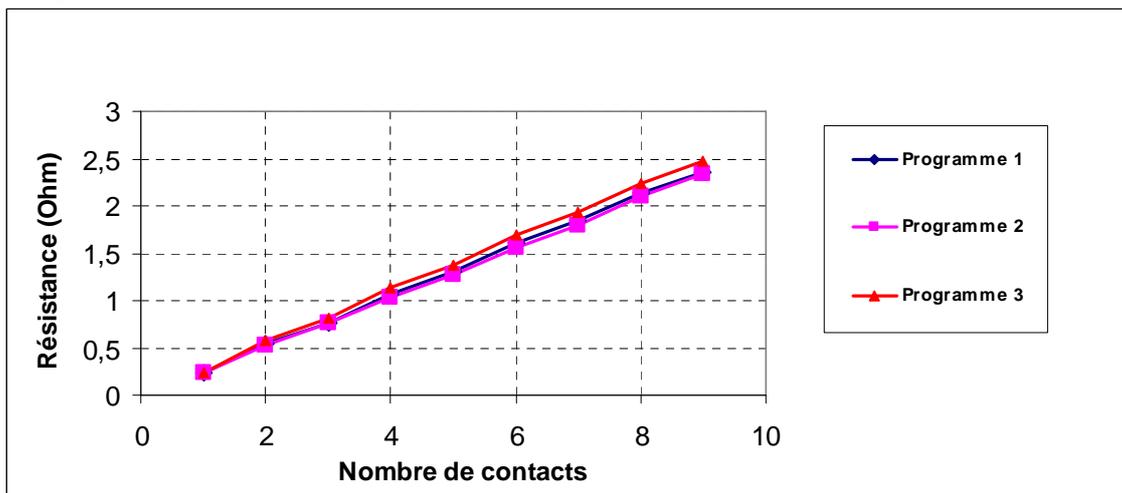


figure 44: Mesure de la résistance de l'échantillon «Plot 500 – Pitch 500 » en fonction du nombre de contacts pour différentes valeurs de pression lors du report en flip chip

On peut voir sur la figure 44 que la différence de résistance entre les programmes 1 et 2 est négligeable. La résistance de l'échantillon reporté avec le programme 3 est plus élevée, ce qui s'explique par le fait que la pression appliquée dans ce programme était la plus faible. Néanmoins, on peut voir que la différence avec les deux autres programmes n'est pas significative. Les autres puces ayant été reportées en utilisant toujours le programme 3, cette différence de résistivité n'influera donc pas dans les mesures effectuées.

Plusieurs motifs de test ont donc été caractérisés, avec différentes tailles de pads et différentes distances entre les pads (voir figure 45). Ainsi dans la légende de la figure 45 Plot 500 signifie que la taille du plot est de 500 μ m (carré de 500 μ m de côté), et Pitch 500 signifie que l'espacement entre les plots est de 500 μ m. Les mesures ont été effectuées sous un courant de 100mA.

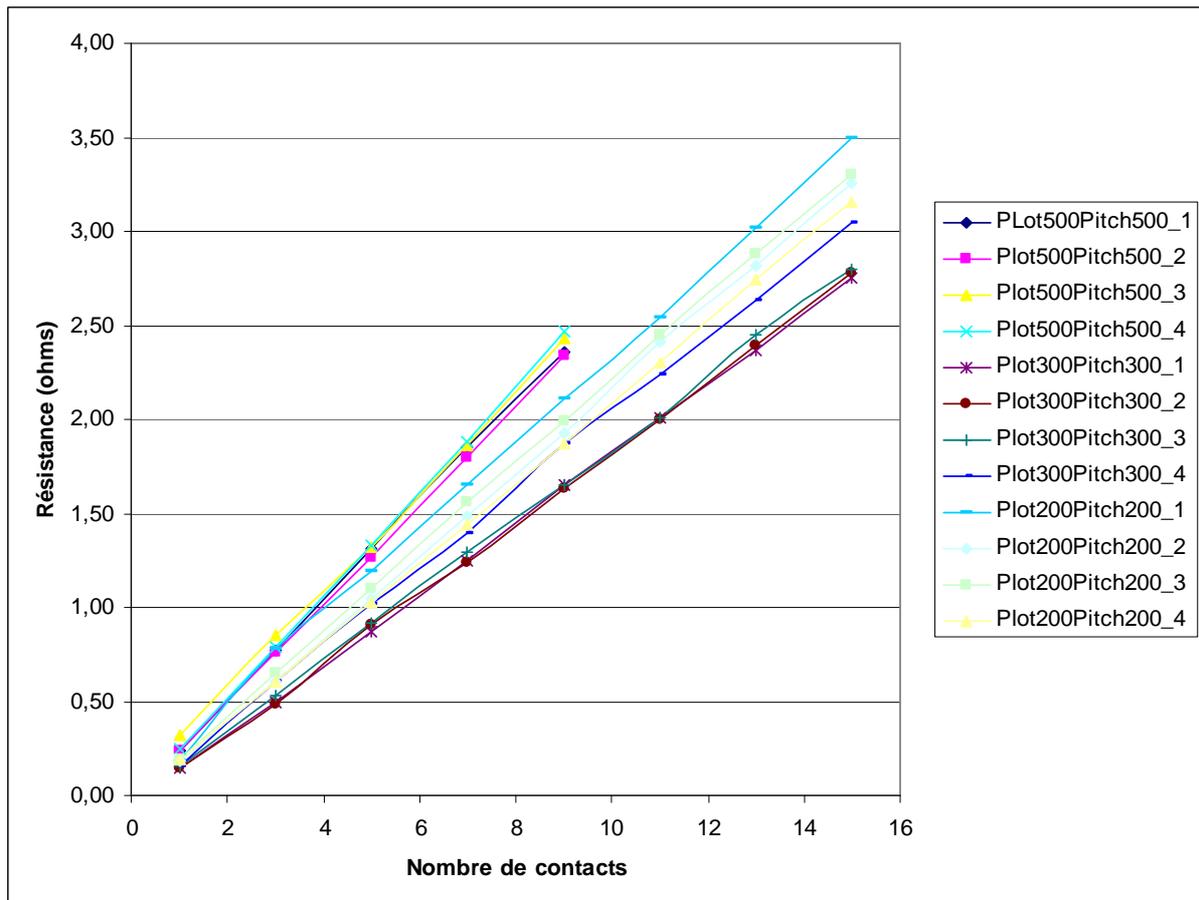


figure 45: Mesure de la résistance en fonction du nombre de contacts pour différentes tailles des pads et distances entre les pads

On observe sur la figure 45 que la résistance des contacts est assez homogène pour les différents échantillons des motifs Plot 500 Pitch 500 et Plot300 Pitch300, sauf pour l'échantillon 4 du motif Plot300 Pitch300 qui est plus résistif. En revanche la résistance des échantillons du motif Plot 200 Pitch 200 est moins homogène. Les motifs Plot300 Pitch 300 et Plot200 Pitch200 ayant le même nombre de contacts et ayant été assemblés avec les mêmes paramètres, on ne peut donc pas conclure sur les raisons de ces disparités.

On peut voir également que les motifs Plot 500 – Pitch 500 ont la plus forte résistivité, bien qu'ils possèdent moins de contacts (10 contre 16 pour les deux autres motifs), ce qui signifie que la résistance des pistes est plus importante que la résistance des contacts. Cependant on peut voir que la résistivité des motifs Plot 200 – Pitch 200 est plus importante que celle des motifs Plot 300 – Pitch 300 pour le même nombre de contacts, ce qui semble vouloir dire que la résistance des contacts est plus importante pour ce motif. On peut vérifier cela en calculant la résistance de contact à partir de la résistance théorique. La résistance totale divisée par le nombre de contacts correspond à la résistance moyenne d'un nœud (voir figure 46). On peut calculer la résistance théorique d'un nœud en se basant sur ce schéma en calculant la résistance théorique d'une piste et la résistance théorique d'un contact. Dans tous les cas, les ordres de grandeurs sont très satisfaisants et ne laissent aucun doute quand à l'intérêt de cette approche.

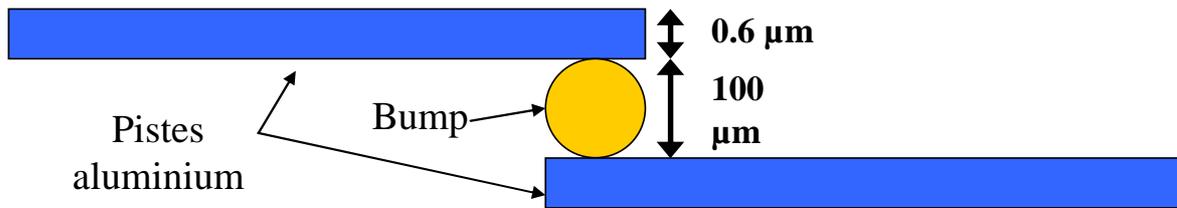


figure 46: Représentation d'un nœud de contact constitué de deux pistes et d'un bump.

On cherche à calculer la résistance théorique des pistes aluminium et du bump afin de pouvoir déterminer la résistance de contact de l'assemblage. La résistivité théorique de l'aluminium est connue, ainsi que la longueur, la largeur et l'épaisseur des pistes qui ont été fixées lors du design. On peut donc calculer la résistance théorique des pistes d'aluminium avec une bonne précision. Pour le motif Plot 300 – Pitch 300 la longueur des pistes en aluminium est de 300 µm, leur largeur est de 160 µm et leur épaisseur de 0,6 µm. La résistance théorique de la piste est donc :

$$R_{piste3} = 2,7 \cdot 10^{-2} \times \frac{300}{160 \times 0,6} = 84,37 \text{ m}\Omega.$$

La résistance théorique d'un bump de diamètre 100 µm, et d'épaisseur 65 µm après brasage est de :

$$R_{bump} = 2,2 \cdot 10^{-2} \times \frac{100}{100 \times 65} = 0,34 \text{ m}\Omega.$$

La résistance mesurée est de 3,025 Ω pour 16 contacts en or et de 15 pistes d'aluminium. On en déduit la résistance moyenne mesurée d'un nœud de contact :

$$R_{mes3} = \frac{3,025}{16} = 189 \text{ m}\Omega.$$

On peut donc calculer la résistance de contact de cet échantillon par :

$$R_{c3} = R_{mes3} - (2 \times R_{piste3} + R_{bump}) = 20,6 \text{ m}\Omega.$$

En réitérant le calcul pour le motif Plot 200 – Pitch 200, on trouve la résistance d'une piste $R_{piste2} = 90 \text{ m}\Omega$ et la résistance moyenne d'un nœud $R_{mes2} = 189 \text{ m}\Omega$, la résistance de contact est donc égale à

$$R_{c2} = R_{mes2} - (2 \times R_{piste2} + R_{bump}) = 37 \text{ m}\Omega.$$

La résistance de contact pour ce motif est donc plus élevée pour cet échantillon que pour celui du motif Plot 300 – Pitch 300 comme la figure 24 le laissait supposer. On peut supposer que cet écart de résistance de contact provient de l'inhomogénéité de la taille des bumps, ce qui peut créer un mauvais contact lors du report par thermo compression. On peut cependant voir que la résistance de contact des assemblages réalisés est assez faible, ce qui peut permettre de faire circuler un courant important.

Le tableau 3 résume les résistances de contact calculées de cette manière pour les échantillons assemblés en fonction du motif. On peut voir que cette résistance est de l'ordre de 10 à 20 mΩ pour tous les motifs, sauf pour le motif Plot200 Pitch 200 qui présente une résistance de contact plus élevée de l'ordre de 30 à 50 mΩ. A priori la résistance de contact ne dépend donc pas du nombre de contact, mais les données ne permettent pas de conclure sur la raison de cette résistance plus élevée. On peut supposer que cette différence provient de l'inhomogénéité de la taille des bumps.

| | <i>Plot 500 Pitch 500</i> | <i>Plot 300 Pitch 300</i> | <i>Plot 200 Pitch 200</i> | <i>Chain 500 Pitch 500</i> |
|-----------------------------------|---------------------------|---------------------------|---------------------------|----------------------------|
| Résistance de contact (mΩ) | 12,7 | 15 | 53 | 10,5 |
| | 10,2 | 17 | 37 | 10,5 |
| | 21,4 | 18,3 | 39,7 | 10,5 |
| | 26,4 | 20,3 | 30,3 | 23,4 |

Tableau 9 : Résistances de contacts en fonction des motifs pour différents échantillons

4.2 Mesures de la résistivité du cuivre électrodéposé

Le principe de la mesure 4 pointes a été repris pour la mesure de la résistance de contact du cuivre électrodéposé. Un wafer de test avec des motifs de contacts chaînés a donc été électrodéposé à l'aide de la manipulation décrite plus haut et des mesures de résistance ont été faites à plusieurs endroits du wafer et sur différents motifs (voir figure 47).

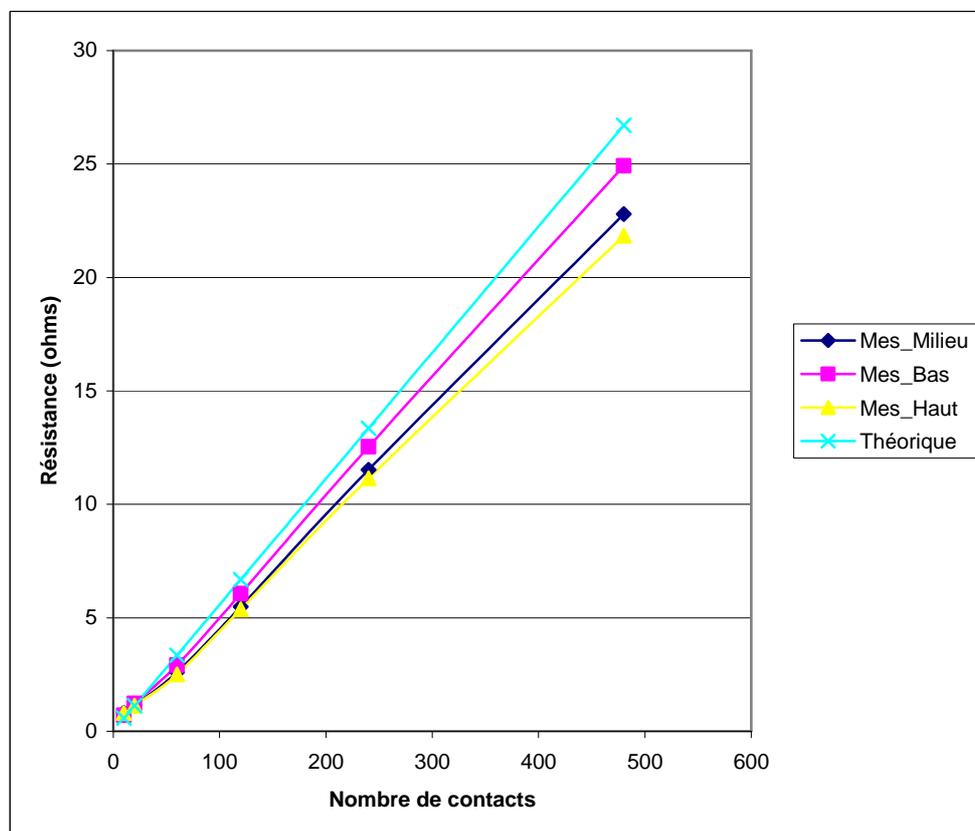


figure 47: Mesure de la résistance en fonction du nombre de contacts

Sur la figure 47, on observe la mesure de la résistance des motifs de tests en fonction du nombre de contacts pour des motifs de contacts chaînés entre des pistes d'aluminium et de cuivre électrodéposé. On compare les différentes courbes suivant l'endroit où sont placés les motifs sur le wafer (*Mes_milieu* signifie que les motifs sont situés au milieu du wafer, *Mes_Bas* signifie en bas et *Mes_haut* en haut du wafer) ; on peut voir que la résistance n'est pas la même en fonction de l'endroit du motif. Ceci s'explique par le fait qu'avec la manipulation d'électrodéposition « artisanale » réalisée on ne prend le contact pour l'alimentation qu'à un

Chapitre III : Conception couplée puissance/commande et solutions technologiques pour l'intégration hétérogène

seul endroit du wafer, la densité de courant n'est donc pas homogène sur toute la surface du wafer. Ceci se traduit donc par des hauteurs de cuivre électrodéposé différentes, et donc des résistances différentes. Ceci est cohérent car dans la manipulation réalisée le contact d'alimentation a été pris en haut du wafer, donc on peut supposer que la densité de courant était la plus importante à cet endroit. Cependant d'après les mesures effectuées les épaisseurs de cuivre déposées sont homogènes localement sur de petites surfaces.

On peut, en suivant le même raisonnement que précédemment, déterminer la résistance de contact entre l'aluminium et le cuivre. Pour cela on choisit de prendre la valeur la plus proche des valeurs théoriques donc de prendre les valeurs mesurées sur la partie haute du wafer. On calcule la résistance théorique d'un nœud (une piste d'aluminium, une piste de cuivre et un via) $R_{noeud_th} = 55,6\text{m}\Omega$, et la résistance mesurée $R_{noeud_mes} = 51,9\text{m}\Omega$. La résistance d'un via est donc de $3,7\text{m}\Omega$, ce qui est tout à fait acceptable.

L'assemblage en flip chip de puces possédant des métallisations en cuivre n'a pas été réalisé car l'étamage des poteaux de cuivre comme décrit dans [12] n'a pas été étudié. D'autres solutions pour l'assemblage de poteaux de cuivre en flip chip ont récemment vu le jour, comme l'assemblage par collage moléculaire [116], ce qui à l'avantage de supprimer l'étamage des plots et d'éviter les intermétalliques lors de la soudure qui dégradent la résistance de contact. Ceci ouvre donc des perspectives pour une utilisation future en électronique de puissance. La manipulation d'électrodéposition réalisée doit cependant être améliorée afin d'obtenir une épaisseur homogène sur toute la surface du wafer. Ceci peut être réalisé en utilisant un support avec une électrode circulaire faisant contact sur le bord du wafer afin d'avoir une densité de courant plus homogène autour du wafer.

5 Conclusions et perspectives : vers des procédés collectifs d'intégration hybride de la commande

Il a donc été présenté au cours de ce chapitre la conception du composant de puissance de façon couplée avec la partie commande, ainsi que les différentes solutions pour l'intégration de la commande rapprochée de manière hybride. La conception du composant de puissance a été effectuée en utilisant les développements technologiques et la plate forme de conception développés au cours de précédents travaux de thèse au laboratoire. La conception du système a également été optimisée afin d'obtenir le meilleur rendement pour les auto alimentations tout en minimisant la surface occupée par les composants auxiliaires par rapport à la surface du composant de puissance principal. Le dessin des masques a ensuite été réalisé dans le but de la fabrication de ces composants de puissance au sein de la plate forme technologique du CIME Nanotech.

D'un point de vue technologique, il a été vu que la technologie wire bonding, bien que mature et très répandue, pouvait être améliorée par l'emploi de la technologie flip chip, notamment du point de vue électrique et CEM en réduisant les impédances parasites dues aux interconnexions entre la puissance et la commande. De plus, la technologie flip chip permet le refroidissement double face des puces en supprimant les fils de bonding sur la face avant, ce qui améliore la gestion thermique du convertisseur. Des modules de puissance ont donc été développés en utilisant la technologie « Flip Chip On Flex », consistant à reporter les puces de commandes au dessus des puces de puissance via un support de type flex ou PCB. Ces modules présentaient donc des améliorations électriques et thermiques par rapport aux modules utilisant la technologie wire bonding [98, 99, 100, 101]. Avec le développement de la technologie « chip on chip », ces interconnexions peuvent encore être améliorées avec une réduction supplémentaire des impédances parasites et le report au plus près de la puce de commande sur la puce de puissance entraînant également des avantages d'un point de vue thermo mécanique comme il a été montré dans ce chapitre. Le point faible de ce type d'assemblage est qu'il nécessite la prise en compte dès la conception du layout de surface du composant de puissance pour le report de la puce de commande, ce qui n'est pas le cas industriellement à l'heure actuelle.

Dans un second temps les procédés technologiques les plus populaires pour le report en chip on chip de puces ont été présentés. Il a été vu que le report en chip on chip pouvait se faire à l'aide de stud bumps en or, soudés par thermo compression à l'aide d'une machine de flip chip. Ce procédé est assez simple à mettre en œuvre mais ses inconvénients sont qu'il est assez coûteux et utilisable uniquement pour du prototypage, la dépose de bumps ne se faisant pas à l'échelle du wafer. Le procédé de formation de bumps en nickel par voie electroless est le plus économique car il supprime une étape de masquage, et peut se faire à l'échelle du wafer. Cependant ce procédé est complexe et mal maîtrisé, de bonnes connaissances de la chimie du bain employé sont donc nécessaires pour le mettre en œuvre. L'électrodéposition de poteaux de cuivre offre de nombreux avantages [12] et est assez simple à mettre en œuvre. De plus il est peu coûteux et applicable à l'échelle du wafer. Il requiert cependant une étape de masquage supplémentaire dans le process. Enfin les réalisations pratiques et les caractérisations effectuées ont été présentées.

Les travaux effectués au cours de cette thèse sont donc une entrée en matière dans le domaine du packaging en 3D pour l'électronique de puissance, qui est à l'heure actuelle en pleine expansion. En effet de nombreux procédés technologiques sont en cours de mise au point à l'échelle industrielle, afin d'empiler plusieurs puces les unes sur les autres, notamment dans le domaine de la microélectronique [117, 118, 119, 120]. On peut citer le développement

du procédé « Through Silicon Vias », consistant à creuser des tranchées dans toute la surface du wafer puis à les remplir par du cuivre électrodéposé afin de pouvoir prendre des contacts en face arrière de la puce [121]. Ce procédé autorise le report de plusieurs puces les unes sur les autres. Cela autorise également des procédés de packaging collectifs tels que le Chip to Wafer, dans lequel la puce est reportée sur le wafer, et le Wafer to Wafer, dans lequel les deux wafers sont reportés directement l'un sur l'autre [122]. Ces procédés de packaging collectifs permettent de réduire les temps et les coûts, d'autant que la taille des wafers augmente et que la taille des circuits intégrés diminue. C'est pourquoi à l'heure actuelle de nombreux procédés de packaging au niveau du wafer ont été développés ou sont en cours de développement (voir figure 48 [122]). La principale différence entre ces procédés est s'il s'agit d'un bonding direct entre les wafers ou si une couche d'interconnexions intermédiaire est utilisée.

L'électronique de puissance peut donc profiter de ces techniques en cours de développement afin d'améliorer l'efficacité des convertisseurs et de réduire les coûts de fabrication, même si de nombreux aspects de ce type de packaging restent à explorer, notamment d'un point de vue thermique et CEM.

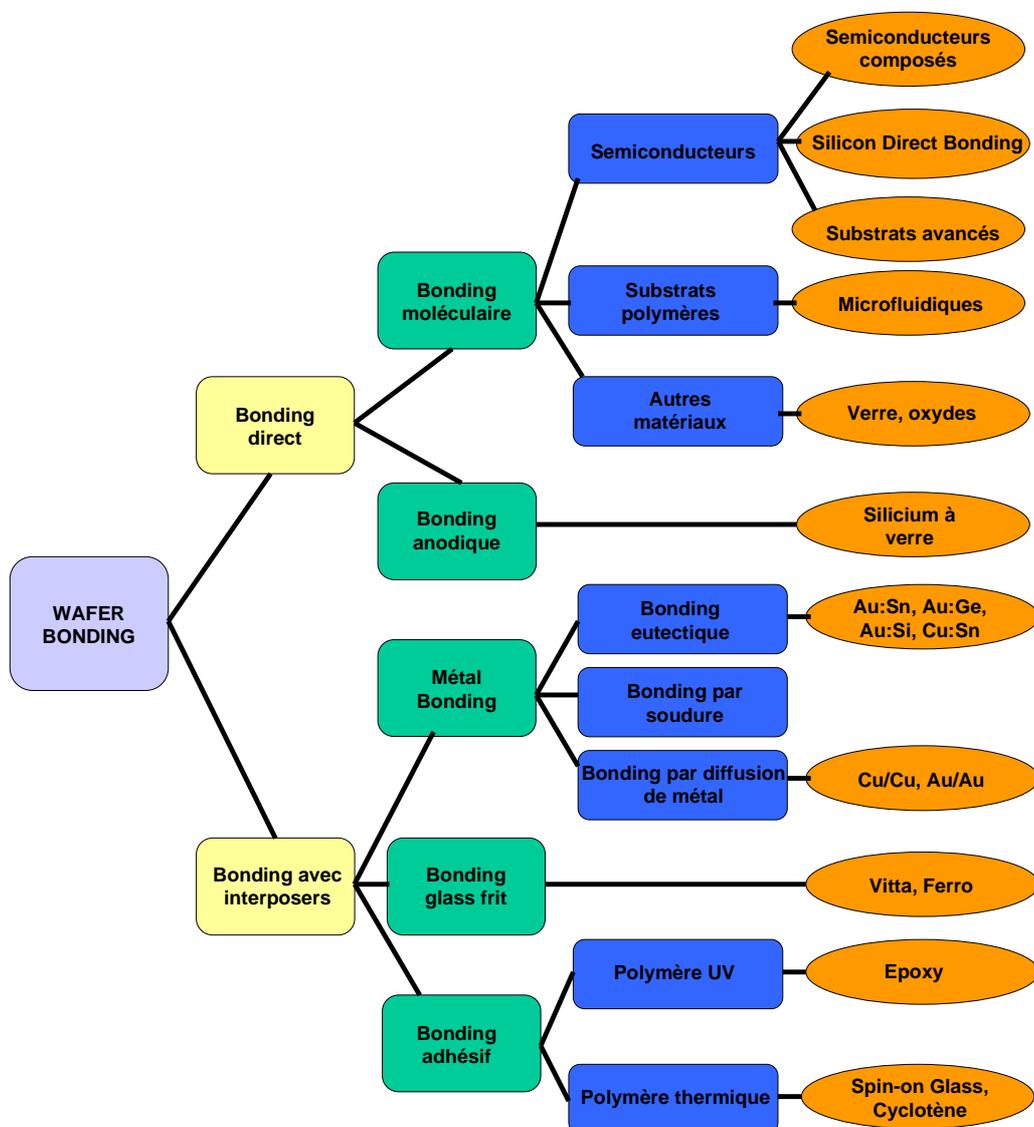


figure 48: Résumé des différentes méthodes de bonding à l'échelle du wafer

Conclusion générale

Ce travail de thèse a donc abordé différents aspects de l'intégration en électronique de puissance, en essayant d'avoir une approche nouvelle du composant de puissance. En effet, d'un point de vue conceptuel nous nous sommes placés dans une démarche de conception d'un interrupteur générique, pouvant être placé à n'importe quel endroit du convertisseur et pouvant être commandé de manière transparente par l'utilisateur final. Ce concept a été accompagné par une démarche de conception couplée de la partie commande et de la partie puissance, afin de réaliser un système autonome. Le packaging du système a également été repensé à partir de solutions de packaging déjà existantes d'assemblage hétérogène afin d'optimiser les connexions électriques entre la partie commande et la partie puissante, ainsi que de fiabiliser la mise en œuvre du composant dans des systèmes complexes et d'améliorer les aspects thermiques et thermomécaniques.

Dans cette démarche, la possibilité de conception et de fabrication d'un transistor VDMOS de puissance a ouvert la porte à de nombreux aspects innovants du système : ainsi il a été vu à travers l'étude des paramètres technologiques influant sur la tension de seuil dans le premier chapitre de ce mémoire que la baisse de la tension de seuil du composant n'était pas critique d'un point de vue technologique pour la fabrication du composant. De plus il a également été observé que la baisse de cette tension de seuil pouvait être bénéfique du point de vue des performances électriques du transistor ainsi que permettre de gagner également sur l'énergie nécessaire à la commande du transistor par une baisse de la tension de commande. Le seul point négatif évoqué lors de cette étude étant la réduction de la susceptibilité du composant, nous avons vu que la commande de ce composant devait également être adaptée afin de résoudre ce problème. Enfin la perspective majeure apportée par cette étude qui a également été explorée dans le premier chapitre est la possibilité d'auto alimentation de la commande rapprochée durant l'état passant du transistor de puissance, ce qui était jusqu'alors difficile du fait des niveaux de tension fortement éloignés entre la tension de commande du transistor et sa chute de tension à l'état passant. Ceci est également autorisé par une baisse de la tension de commande du composant de puissance.

Du point de vue de la commande, la baisse de la tension autorise également à utiliser des technologies ayant une résolution de gravure plus fine que les technologies hautes tensions, ce qui peut permettre l'intégration d'un plus grand nombre de fonctions dans une plus petite surface de silicium. Dans notre cas, les fonctions nécessaires à la réalisation du système générique ont été intégrées, avec les fonctions d'isolation du signal de la commande éloignée, de commande rapprochée et d'auto alimentation de la commande rapprochée. Un soin particulier a été apporté à cette partie d'auto alimentation, par l'utilisation des possibilités offertes par la technologie pour améliorer le système développé précédemment monolithiquement fonctionnant de façon impulsienne lors du blocage du transistor de puissance, ainsi que pour développer le système fonctionnant lors de l'état passant du transistor. C'est lors du développement de ces circuits que la démarche de conception couplée commande/puissance a été bénéfique, car ceci a permis de dimensionner les transistors auxiliaires nécessaires à ce système d'auto alimentation dans le but d'optimiser les performances globales de l'ensemble « interrupteur de puissance autonome ». La partie commande a été fabriquée et testée et des résultats encourageants ont été obtenus et les concepts définis lors de la conception validés. Des points bloquants ont cependant été dévoilés, comme le problème d'amplitude de modulation du signal de commande à hautes fréquences (500MHz), ainsi que l'efficacité énergétique des circuits d'auto alimentation

Conclusion générale

estimée moins bonne que prévu lors des phases de simulation. Ces points devront donc faire l'objet d'approfondissements lors de la prochaine phase de conception du système.

Enfin la conception du composant de puissance autorise également à repenser la métallisation de surface du composant afin de prévoir le report en chip on chip de la puce de commande. Il a été vu dans le troisième chapitre de ce mémoire que ce concept offrait théoriquement de nombreux avantages, notamment par la réduction maximale des impédances parasites entre la partie commande et la partie puissance. Ceci entraîne une augmentation des performances électriques et une réduction des émissions CEM par la réduction des inductances d'interconnexion, mais aussi la fiabilisation du système permettant de relâcher les contraintes sur le composant de puissance. Ceci offre également des avantages d'un point de vue thermique et thermo mécanique par la suppression des fils de bonding permettant le refroidissement double face des puces, et la suppression des couches d'interconnexions (PCB ou flex) réduisant la fiabilité de l'assemblage lors de cyclages thermiques de part une différence de CTE avec les puces silicium. Ces concepts n'ont pas été démontrés par manque de temps, mais les différentes solutions pour réaliser cet assemblage ont été explorées et comparées d'un point de vue technologique. Il est ressorti de cette étude que l'électrodéposition de métallisations épaisses à la surface de la puce était la plus simple à mettre en œuvre et la plus low-cost, de plus elle a l'avantage de pouvoir être mise en œuvre à l'échelle du wafer pour la mise en place de procédés collectifs de fabrication. Les points bloquants majeurs de cette thèse ont été les nombreuses difficultés et délais dans le process de fabrication du transistor de puissance, empêchant ainsi de valider expérimentalement les nombreux concepts développés dans ces travaux.

Du point de vue des perspectives offertes par ces travaux, elles sont nombreuses car le contexte d'intégration hétérogène exploré est assez général. Ainsi du point de vue de la commande on peut imaginer le développement de systèmes complexes incluant la modulation numérique du signal de commande en informations fréquence/rapport cyclique, et la transmission par radiofréquences ou ultra hautes fréquences de ces informations. La démodulation de ces informations pourrait se faire à hautes fréquences par un cœur numérique implanté sur la puce de commande rapprochée. De plus de nombreux circuits de traitement associés à des capteurs pourraient renvoyer des informations sur l'état du composant toujours dans un but de fiabilisation du système. Enfin ces systèmes de commande pourraient être adaptés à des composants GaN pour des fonctionnements à hautes fréquences (GHz). Il faudra néanmoins étudier les impacts environnementaux sur l'association de cette puce de commande et du transistor de puissance (température - CEM). Ceci pouvant être d'autant plus important que « l'intelligence » de la puce de commande est augmentée (capteurs, interfaces de communication, cœur numérique).

D'un point de vue du packaging, les aspects de fiabilité augmentée et d'amélioration des performances électriques restent encore à démontrer. Pour cela l'assemblage en chip on chip des puces de commande et de puissance devra être réalisé, et des tests électriques pour déterminer les performances d'un tel assemblage ainsi que des tests de cyclage de l'assemblage devront être effectués les résultats obtenus comparés aux résultats d'un assemblage classique par fils de bonding. Cependant si ces aspects sont démontrés, l'électronique de puissance pourrait profiter des avancées dans le domaine du packaging en microélectronique (bonding de wafer à wafer, empilement de puces grâce aux TSVs, etc) pour mutualiser les procédés de packaging et ainsi réduire les coûts de fabrication des convertisseurs.

Enfin, si un interrupteur autonome et générique tel qu'il a été présenté dans ce mémoire peut être développé au niveau industriel et commercialisé, il pourra grandement simplifier la mise en œuvre des convertisseurs dans de nombreuses applications pour la gamme de puissance à laquelle il est adapté (automobile, électroménager, habitat), notamment avec le

développement de convertisseurs multi-niveaux ou entrelacés multipliant le nombre des composants actifs afin de réduire la taille des composants passifs. En effet le concepteur de convertisseurs de puissance n'aura plus à se soucier d'optimiser la partie commande pour l'interrupteur employé, ceci étant déjà pris en compte lors de la conception de l'interrupteur. Le concepteur n'aura alors plus qu'à optimiser les chemins de courants dans les mailles de commutation et le layout du système. L'isolation du signal de commande éloignée permet de s'affranchir également des problèmes liés aux potentiels flottants dans ce type de convertisseur. Cet interrupteur générique pourra également s'appliquer aux interrupteurs quatre quadrants (bidirectionnels en tension et en courant), comme le concept a été présenté dans la thèse de Binh Dac Nguyen, préparée au laboratoire. Ceci consiste donc en un pas de plus vers ce type d'interrupteur à travers la simplification de sa mise en œuvre. De plus l'espace occupé par les composants actifs sera sensiblement réduit par l'assemblage en trois dimensions, ce qui sera également un avantage pour les convertisseurs multi niveaux comportant un grand nombre de composants actifs ou les applications où l'espace est limité comme l'automobile.

Bibliographie

- [1] Jean-Christophe Créber. Intégration Monolithique et composants de puissance. Habilitation à Diriger des Recherches - INPG - G2Elab, 2006.
- [2] Jean-Louis Sanchez. Intégration fonctionnelle de composants de puissance : principes et technologie. Habilitation à Diriger des Recherches - LAAS _ Université Paul Sabatier, 1995.
- [3] Baliga, B.J.; , "An overview of smart power technology," Electron Devices, IEEE Transactions on , vol.38, no.7, pp.1568-1575, Jul 1991
- [4] Riccardi, D.; Causio, A.; Filippi, I.; Paleari, A.; Pregolato, L.V.A.; Galbiati, P.; Contiero, C.; , "BCD8 from 7V to 70V: a new 0.18 μ m Technology Platform to Address the Evolution of Applications towards Smart Power ICs with High Logic Contents," Power Semiconductor Devices and IC's, 2007. ISPSD '07. 19th International Symposium on , vol., no., pp.73-76, 27-31 May 2007
- [5] Murari, B.; Contiero, C.; Gariboldi, R.; Sueri, S.; Russo, A.; , "Smart power technologies evolution," Industry Applications Conference, 2000. Conference Record of the 2000 IEEE , vol.1, no., pp.P10-P19 vol.1, 2000
- [6] Rossel, P.; Cezac, N.; Charitat, G.; Dorkel, J.M.; Morancho, F.; Pages, I.; Tranduc, H.; Zitouni, M.; , "Advanced concepts in smart power integrated circuits," Microelectronics, 2000. Proceedings. 2000 22nd International Conference on , vol.1, no., pp.117-124 vol.1, 2000
- [7] R. Pezzani, J-B Quoirin, « Functional integration of power devices: a new approach » EPE95, Seville (Spain), pp 2.219-2.222
- [8] M. Breil, F. Morancho, "Evolution de l'intégration en électronique de puissance", J3eA, Journal sur l'enseignement des sciences et technologies de l'information et des systèmes, Volume 2, Hors-Série 2, 9 (2003)
- [9] Sanchez, J.-L.; Berriane, R.; Jalade, J.; Laur, J.P.; , "Functional integration of MOS and thyristor devices: a useful concept to create new light triggered integrated switches for power conversion," Power Electronics and Applications, 1993., Fifth European Conference on , vol., no., pp.5-9 vol.2, 13-16 Sep 1993
- [10] Vincent, L.; Nguyen-Dac, B.; Crebier, J.-C.; Alkayal, F.; Schaeffer, C.; , "V-JFET Transistors for over voltage protection in power device series connected applications," Power Semiconductor Devices and IC's, 2006. ISPSD 2006. IEEE International Symposium on , vol., no., pp.1-4, 4-8 June 2006
- [11] JL Sanchez, "State of the art and trends in power integration", MSM 99 Technical Proceedings of the 1999 International Conference on Modeling and Simulation of Microsystems, Puerto Rico, pp 20-29, 1999
- [12] MENAGER, Ludovic. Contribution à l'intégration des convertisseurs de puissance en 3D Thèse de l'Institut National des Sciences Appliquées de Lyon, 2008
- [13] Techniques de l'ingénieur, « Modules et boîtiers de puissance (packaging)», Cyril Buttay, mai 2010
- [14] VAGNON, Eric, « Solutions innovantes pour le packaging de convertisseurs statiques polyphasés », Thèse de l'Institut National Polytechnique de Grenoble, 2010
- [15] Stockmeier, T.; , "From Packaging to "Un"-Packaging - Trends in Power Semiconductor Modules," Power Semiconductor Devices and IC's, 2008. ISPSD '08. 20th International Symposium on , vol., no., pp.12-19, 18-22 May 2008
- [16] www.mitsubishichips.com
- [17] www.infineon.com
- [18] www.semikron.com
- [19] www.irf.com
- [20] www.st.com

Bibliographie

- [21] S. Haque, K. Xing, R.-L. Lee, C. T. A. Suchicital, G.-Q. Lu, D. J. Nelson, D. Borojevic, and F. C. Lee, "An innovative technique for packaging power electronic building blocks using metal posts interconnected parallel plate structure," *IEEE Trans. Adv. Packag.*, vol. 22, no.2, pp. 136–144, May 1999.
- [22] Xingsheng Liu, Guo-Quan Lu, "Power Chip Interconnection: From Wirebonding to Area Bonding", *The International Journal of Microcircuits and Electronic Packaging*, Volume 23, Number 4, Fourth Quarter, 2000
- [23] Bai, J.G.; Guo-Quan Lu; Xingsheng Liu; , "Flip-chip on flex integrated power electronics modules for high-density power integration," *Advanced Packaging, IEEE Transactions on* , vol.26, no.1, pp. 54- 59, Feb. 2003
- [24] S. Wen, D. Huff, and G.-Q. Lu, "Dimple-array interconnect technique for packaging power semiconductor devices and modules," in *Proc. Int. Symp. Power Devices ICs*, Osaka, Japan, Jun. 4–7, 2001, pp. 69–74.
- [25] Zhenxian Liang; van Wyk, J.D.; Lee, F.C.; , "Embedded power: a 3-D MCM integration technology for IPEM packaging application," *Advanced Packaging, IEEE Transactions on* , vol.29, no.3, pp.504-512, Aug. 2006
- [26] R. Fillion, E. Delgado, P. McConnelee, and R. Beaupre, "A High Performance Polymer Thin Film Power Electronics Packaging Technology, *Advancing Microelectronics*, Sept./Oct., 2003, pp.7-12
- [27] Qiaoliang Chen; Xu Yang; Zhaoan Wang; Lianghua Zhang, "Analysis and Suppression of Inductive Interference in Active Integrated Power Electronics Module," *PESC 2007. IEEE* , pp.1619-1625, 17-21 June 2007
- [28] R. Joshi, et al, "MOSFET BGA Package," *Proceedings of CETC*, pp. 944-947, 2000.
- [29] H. Schofield, et al, "FlipFET MOSFET Design for High Volume SMT Assembly," *IR whitepaper*.
- [30] M. Paulasto and T. Hauck, "Flip Chip Die Attach Development for Multichip Power Packages," *IEEE/KMPT International Electronics Manufacturing Technology Symposium*, pp. 433-439, 1999.
- [31] DeHaven, K.; Dietz, J., "Controlled collapse chip connection (C4)-an enabling technology," *Electronic Components and Technology Conference*, 1994. *Proceedings.*, 44th , vol., no., pp.1-6, 1-4 May 1994
- [32] <http://www.cadence.com/products/fv/Pages/default.aspx>
- [33] http://www.mentor.com/products/ic_nanometer_design/analog-mixed-signal-verification/eldo/
- [34] L. Aubard, "Modélisation des transistors MOS de puissance pour l'électronique de commutation", *Thèse de l'Institut National Polytechnique de Grenoble*, 1999
- [35] G. Verneau, "Optimisation Géométrique de MOSFETs de Puissance en vue d'Intégrer l'Alimentation de l'Etage de Commande ", *Thèse de l'Institut National Polytechnique de Grenoble*, Mai 2002
- [36] L. Vincent, « Contribution à la Conception et Assistance au Prototypage de Systèmes Intégrés sur Silicium (CAPsis). Application à l'interrupteur automatique VD-MOSFET », *Thèse de l'Institut National Polytechnique de Grenoble*, Novembre 2010
- [37] R. Mitova, « Intégration de l'alimentation de la commande rapprochée d'un interrupteur de puissance à potentiel flottant », *Thèse de l'Institut National Polytechnique de Grenoble*, Octobre 2005
- [38] N. Rouger , « Intégration monolithique des fonctions d'interface au sein de composants de puissance à structure verticale », *Thèse de l'Institut National Polytechnique de Grenoble*, Juillet 2008
- [39] T. Simonot et.al. , "Towards reduced threshold voltages for vertical power Mosfet transistors", *Industrial Electronics, ISIE 2011, Proceedings of the IEEE International Symposium on* , in press.
- [40] Timothé Simonot, Nicolas Rouger, Xuan Hoa Nguyen, Jean-Christophe Crébier, A. Bourenane, J.L. Sanchez, Laurent Gerbaud, " Tension de

Bibliographie

- seuil réduite pour composants de puissance à grille: Intérêts et conséquences", *Électronique de Puissance du Futur*, Saint-Nazaire : France (2010)
- [41] B. Delinchant et al, "An Optimizer using the Software Component Paradigm for the Optimization of Engineering Systems", *The International Journal COMPEL*, Volume 26, Number 2, 2007, pp 368-379
- [42] N Rouger, JC Crebier, H Tran Manh, C Schaeffer, "Toward integrated gate driver supplies : Practical and analytical studies of high-voltage capabilities", *IEEE Power Electronics Specialist Conference*, Juin 2008.
- [43] G.Charitat , P.Rossel , N.Nolhier , D.Zerrouk, "Self-shielding phenomenon in VDMOS transistors", *Rapport LAAS No 94222, 2nd International Symposium on Power Semiconductors (ISPS'94)*, Prague (République Tchèque), 31 Août – 2 Septembre 1994, pp.113-121
- [44] <http://www.austriamicrosystems.com/>
- [45] <http://www.xfab.com/>
- [46] Burghartz, J.N.; , "Progress in RF inductors on silicon-understanding substrate losses ," *Electron Devices Meeting, 1998. IEDM '98 Technical Digest., International* , vol., no., pp.523-526, 6-9 Dec 1998
- [47] Yong-Zhong Xiong; Ming-Bin Yu; Guo-Qiang Lo; Ming-Fu Li; Dim-Lee Kwong; , "Substrate Effects on Resonant Frequency of Silicon-Based RF On-Chip MIM Capacitor," *Electron Devices, IEEE Transactions on* , vol.53, no.11, pp.2839-2842, Nov. 2006
- [48] Artillan, Ph.; Brunet, M.; Bourrier, D.; Laur, J.-P.; Mauran, N.; Bary, L.; Dilhan, M.; Estibals, B.; Alonso, C.; Sanchez, J.-L.; , "Integrated LC filter on silicon for DC-DC converter applications," *Power Electronics, IEEE Transactions on* , vol.PP, no.99, pp.1, 0
- [49] Bergveld, H.J.; Karadi, R.; Nowak, K.; , "An inductive down converter system-in-package for integrated power management in battery-powered applications," *Power Electronics Specialists Conference, 2008. PESC 2008. IEEE* , vol., no., pp.3335-3341, 15-19 June 2008
- [50] Perreault, D.J.; Jingying Hu; Rivas, J.M.; Yehui Han; Leitermann, O.; Pilawa-Podgurski, R.C.N.; Sagneri, A.; Sullivan, C.R.; , "Opportunities and Challenges in Very High Frequency Power Conversion," *Applied Power Electronics Conference and Exposition, 2009. APEC 2009. Twenty-Fourth Annual IEEE* , vol., no., pp.1-14, 15-19 Feb. 2009.
- [51] Richard, J.-F.; Savaria, Y.; , "High voltage charge pump using standard CMOS technology," *Circuits and Systems, 2004. NEWCAS 2004. The 2nd Annual IEEE Northeast Workshop on* , vol., no., pp. 317- 320, 20-23 June 2004
- [52] Favrat, P.; Deval, P.; Declercq, M.J.; , "A high-efficiency CMOS voltage doubler," *Solid-State Circuits, IEEE Journal of* , vol.33, no.3, pp.410-416, Mar 1998
doi: 10.1109/4.661206
- MAX1682-MAX1683 datasheet, Maxim (www.maxim-ic.com)
- [53] Hasaneen, E.-S.A.M.; , "Modeling of on-chip inductor and transformer for RF integrated circuits," *Power Systems Conference, 2006. MEPCON 2006. Eleventh International Middle East* , pp.65-69, 2006
- del Mar Hershenson, M.; Mohan, S.S.; Boyd, S.P.; Lee, T.H.; , "Optimization of inductor circuits via geometric programming," *Design Automation Conference, 1999. Proceedings. 36th* , pp.994-998, 1999
- Hornberger, J.; Mounce, S.; Schupbach, R.; McPherson, B.; Mustain, H.; Mantooth, A.; Brown, W.; Lostetter, A.B.; , "High-temperature integration of silicon carbide (SiC) and silicon-on-insulator (SOI) electronics in multichip power modules (MCPMs)," *Power Electronics and Applications, 2005 European Conference on* , vol., no., pp.10 pp.-P.10, 0-0 0
- [54] Hornberger, J.; Lostetter, A.B.; Olejniczak, K.J.; McNutt, T.; Lal, S.M.; Mantooth, A.; , "Silicon-carbide (SiC) semiconductor power electronics for extreme

- high-temperature environments," *Aerospace Conference, 2004. Proceedings. 2004 IEEE* , vol.4, no., pp.2538-2555 Vol.4, 13-13 March 2004
- [55] Ishida, M.; Uemoto, Y.; Ueda, T.; Tanaka, T.; Ueda, D.; , "GaN power switching devices," *Power Electronics Conference (IPEC), 2010 International* , vol., no., pp.1014-1017, 21-24 June 2010
- [56] Bin Lu; Piedra, D.; Palacios, T.; , "GaN power electronics," *Advanced Semiconductor Devices & Microsystems (ASDAM), 2010 8th International Conference on* , vol., no., pp.105-110, 25-27 Oct. 2010
- [57] Nakagawa, A.; Kawaguchi, Y.; Nakamura, K.; , "Achieving material limit characteristics in silicon power devices," *Physics of Semiconductor Devices, 2007. IWPSD 2007. International Workshop on* , vol., no., pp.762-767, 16-20 Dec. 2007
- [58] Lorenz, L.; Deboy, G.; Knapp, A.; Marz, M.; , "COOLMOS™-a new milestone in high voltage power MOS," *Power Semiconductor Devices and ICs, 1999. ISPSD '99. Proceedings., The 11th International Symposium on* , vol., no., pp.3-10, 1999
- [59] Baliga B. Jayant, « Fundamentals of power semiconductor devices », Springer, 2008
- [60] Rodolphe De Maglie, « Modélisation de différentes technologies de transistors bipolaires à grille isolée pour la simulation d'applications en électronique de puissance », PhD thesis, Université Paul Sabatier Toulouse III, 2007.
- [61] Laszlo Balogh, "Design and application guide for high speed MOSFET gate drive circuits", Texas Instrument technical paper (www.ti.com)
- [62] S. Lefebvre et B. Multon « MOSFET et IGBT: circuit de commande », les Technique de l'ingénieur
- HEXFET® Power MOSFET Designer's Manual Vol.1, International Rectifier (www.irf.com)
- [63] Yongcheol Choi, Changki Jeon, Minsuk Kim, "Design and process considerations for 1200V HVIC technology," ISPSD 2009. 21st International Symposium on , pp.311-314, 14-18 June 2009
- [64] Mazumder, S.K., Sarkar, T., "Optically-activated gate control of power semiconductor device switching dynamics," ISPSD 2009. 21st International Symposium on pp.152-155, 14-18 June 2009
- [65] Herzer, R.; Pawel, S.; Lehmann, J., "IGBT driver chipset for high power applications" Power Semiconductor Devices and ICs, 2002. Proceedings of the 14th International Symposium on, pp. 161- 164
- [66] Hui, S.Y.; Henry Shu-Hung Chung; Tang, S.C.; , "Coreless printed circuit board (PCB) transformers for power MOSFET/IGBT gate drive circuits," *Power Electronics, IEEE Transactions on* , vol.14, no.3, pp.422-430, May 1999
- [67] Baoxing Chen, "Isolated half-bridge gate driver with integrated high-side supply," *Power Electronics Specialists Conference, 2008. PESC 2008. IEEE* , pp.3615-3618, 2008
- [68] Vasic, D.; Costa, F.; Sarraute, E.; , "Piezoelectric transformer for integrated MOSFET and IGBT gate driver," *Power Electronics, IEEE Transactions on* , vol.21, no.1, pp. 56- 65, 2006
- [69] Munzer, M.; Ademmer, W.; Strzalkowski, B.; Kaschani, K.T.; , "Insulated signal transfer in a half bridge driver IC based on coreless transformer technology," *Power Electronics and Drive Systems, 2003. PEDS 2003. The Fifth International Conference on* , vol.1, no., pp. 93- 96 Vol.1, 17-20 Nov. 2003
- [70] S.M. Sze Physics of Semiconductor Devices (John Wiley and Sons, Inc, New York, 1981)
- [71] Yue, C.P.; Wong, S.S.; , "Physical modeling of spiral inductors on silicon," *Electron Devices, IEEE Transactions on* , vol.47, no.3, pp.560-568, Mar 2000
- [72] Yue, C.P.; Wong, S.S.; , "On-chip Spiral Inductors With Patterned Ground Shields For Si-based RF IC's," *VLSI Circuits, 1997. Digest of Technical Papers., 1997 Symposium on* , vol., no., pp.85-86, 12-14 Jun 1997
- [73] Datasheet HCPL2200/HCPL2219, Agilent Technologies (www.agilent.com)

- [74] Deleage, Olivier, « Conception, réalisation et mise en oeuvre d'un micro-convertisseur intégré pour la conversion DC/DC », Thèse de l'Université Joseph Fourier, 2009
- [75] Busquets-Monge, S.; Boroyevich, D.; Burgos, R.; Chen, Z.; , "Performance analysis and design optimization of a self-powered gate-driver supply circuit," *Industrial Electronics (ISIE), 2010 IEEE International Symposium on* , vol., no., pp.979-985, 4-7 July 2010
- [76] I. Zverev et al, « Comparison of state of the art gate drive techniques for high side switch », Trondheim, EPE'97, p4.250-4.255, 1997
- [77] J.-C. Crebier and N. Rouger, "Loss free gate driver unipolar power supply for high side power transistors," *IEEE Transactions on Power Electronics*, vol. 23, no. 3, pp. 1565–1573, May 2008.
- Simonot T., "Commande intégrée en technologie AMS 0,35µm pour actionneur de puissance", stage de M2P CSINA, 2008
- [78] Jean-Philippe Laine, « Mécanismes d'injection de porteurs minoritaires dans les circuits intégrés de puissance et structures de protections associées. », Thèse de doctorat, Institut National des Sciences Appliquées de Toulouse, 2003.
- [79] <http://cmp.imaq.fr/>
- [80] Simonot, Timothe; Rouger, Nicolas; Crebier, Jean-Christophe; , "Design and characterization of an integrated CMOS gate driver for vertical power MOSFETs," *Energy Conversion Congress and Exposition (ECCE), 2010 IEEE* , pp.2206-2213, 12-16 Sept. 2010
- [81] Tahir, Hakim, « Conception et réalisation de structures IGBTs bidirectionnelles en courant et en tension », PhD thesis, Université Paul Sabatier Toulouse III, 2011
- [82] Bernot, François, « Composants de l'électronique de puissance », les Techniques de l'Ingénieur, 2000
- [83] M. H. Rashid, «Power electronics handbook: devices, circuits, and applications», Academic Press, 2006
- [84] Robert Perret, «Power electronics semiconductor devices», Wiley, 2009
- [85] J. H. Lau, Flip Chip Technologies. New York: McGraw Hill, 1995.
- [86] R. R. Tummala, E. J. Rymaszewski, and A. G. Klopfenstein, Microelectronics Packaging Handbook. New York: Chapman & Hall, 1999.
- [87] Xingsheng Liu, Guo-Quan Lu, "Power Chip Interconnection: From Wirebonding to Area Bonding", IMAPS 2000 : international symposium on microelectronics, Boston MA, 20-22 September 2000 , vol. 4339, pp. 264-269
- [88] Xuejun Fan; Haque, S., "Emerging MOSFET packaging technologies and their thermal evaluation," *Thermal and Thermomechanical Phenomena in Electronic Systems, 2002. ITherm 2002. The Eighth Intersociety Conference on* , pp. 1102-1108, 2002
- [89] Akhbari, M.; Piette, N.; Schanen, J.L.; , "Optimisation of gate circuit layout to suppress power/drive interaction," *Industry Applications Conference, 1998. Thirty-Third IAS Annual Meeting. The 1998 IEEE* , vol.2, pp.1078-1084 vol.2, 12-15 Oct 1998
- [90] Lutz, J., "IGBT-Modules: Design for reliability," *Power Electronics and Applications, 2009. EPE '09. 13th European Conference on* , pp.1-3, 8-10 Sept. 2009
- [91] Xingsheng Liu; Xiukuan Jing; Guo-Quan Lu; , "A comparative study of wire bonding versus solder bumping of power semiconductor devices," *Integrated Power Packaging, 2000. IWIPP 2000. International Workshop on* , pp.74-78, 2000
- [92] Goehre, J.; Schneider-Ramelow, M.; Geißler, U.; Lang, K.; , "Interface degradation of Al heavy wire bonds on power semiconductors during active power cycling measured by the shear test," *Integrated Power Electronics Systems (CIPS), 2010 6th International Conference on* , pp.1-6, 16-18 March 2010
- [93] Bai, J.G.; Guo-Quan Lu; Xingsheng Liu; , "Flip-chip on flex integrated power electronics modules for high-density power integration," *Advanced Packaging, IEEE Transactions on* , vol.26, no.1, pp. 54- 59, Feb. 2003

- [94] Xiao, Y.; Natarajan, R.; Chow, T.P.; Rymaszewski, E.J.; Gutmann, R.J.; , "Flip-chip flex-circuit packaging for 42 V/16 A integrated power electronics module applications," *Applied Power Electronics Conference and Exposition, 2002. APEC 2002. Seventeenth Annual IEEE* , vol.1, pp.21-26 vol.1, 2002
- [95] R.Fillon, E.Delgado, P.MacConnelee, R.Beaupre, "A high performance polymer thin film power electronics packaging technology", *Advancing microelectronics*, Vol. 28, No3, September October 2003.
- [96] Zhenxian Liang; van Wyk, J.D.; Lee, F.C.; Boroyevich, D.; Scott, E.P.; Zhou Chen; Yingfeng Pang; , "Integrated packaging of a 1 kW switching module using a novel planar integration technology," *Power Electronics, IEEE Transactions on* , vol.19, no.1, pp. 242- 250, Jan. 2004
- [97] <http://www.injectorall.com/techsheetFR4.htm>
- [98] Vagnon, E.; Jeannin, P.O.; Avenas, Y.; Crebier, J.C.; Guepratte, K.; , "A Busbar Like Power Module Based On 3D Chip On Chip Hybrid Integration," *Applied Power Electronics Conference and Exposition, 2009. APEC 2009. Twenty-Fourth Annual IEEE* , pp.2072-2078, 15-19 Feb. 2009
- [99] Low, Y.L.; Frye, R.C.; O'Connor, K.J.; , "Design methodology for chip-on-chip applications," *Components, Packaging, and Manufacturing Technology, Part B: Advanced Packaging, IEEE Transactions on* , vol.21, no.3, pp.298-301, Aug 1998
- [100] Hongguang Liao; Min Miao; Xin Wan; Yufeng Jin; Liwei Zhao; Bohan Li; Yuhui Zhu; Xin Sun; , "Microfabrication of Through Silicon Vias (TSV) for 3D SiP," *Solid-State and Integrated-Circuit Technology, 2008. ICSICT 2008. 9th International Conference on* , pp.1199-1202, 20-23 Oct. 2008
- [101] Lu, K.H.; Xuefeng Zhang; Suk-Kyu Ryu; Im, J.; Rui Huang; Ho, P.S.; , "Thermo-mechanical reliability of 3-D ICs containing through silicon vias," *Electronic Components and Technology Conference, 2009. ECTC 2009. 59th* , pp.630-634, 26-29 May 2009
- [102] <http://www.flipchips.com/tutorials.html>
- [103] <http://www.unitemp.de/>
- [104] <http://www.femto-st.fr/>
- [105] Aintila, A.; Bjorklof, A.; Jarvinen, E.; Lalu, S.; , "Electroless Ni/Au bumps for flipchip-on-flex and TAB applications ," *Electronics Manufacturing Technology Symposium, 1994. 'Low-Cost Manufacturing Technologies for Tomorrow's Global Economy'. Proceedings 1994 IEMT Symposium., Sixteenth IEEE/CPMT International* , vol., no., pp.160-164 vol.1, 12-14 Sep 1994
- [106] <http://www.enthone.com/>
- [107] Ebersberger, B.; Lee, C, "Cu pillar bumps as a lead-free drop-in replacement for solder-bumped, flip-chip interconnects," *Electronic Components and Technology Conference, 2008. ECTC 2008. 58th* , pp.59-66, 27-30 May 2008
- [108] <http://www.suss.com/>
- [109] Nehr, Nicolas, "Etude de la technologie de report « Flip chip » et caractérisation électrique des contacts", stage de GEI11 de l'IUT de Génie Electrique de Grenoble, 2011
- [110] D. K. Schroder, *Semiconductor Material and Device Characterization* (Wiley-Interscience, 1990), p. 2
- [111] Radu, I.; Landru, D.; Gaudin, G.; Riou, G.; Tempesta, C.; Letertre, F.; Di Cioccio, L.; Gueguen, P.; Signamarcheix, T.; Euvrard, C.; Dechamp, J.; Clavelier, L.; Sadaka, M.; , "Recent developments of Cu-Cu non-thermo compression bonding for wafer-to-wafer 3D stacking," *3D Systems Integration Conference (3DIC), 2010 IEEE International* , pp.1-6, 16-18 Nov. 2010
- [112] Garrou, P.; , "Wafer level chip scale packaging (WL-CSP): an overview," *Advanced Packaging, IEEE Transactions on* , vol.23, no.2, pp.198-205, May 2000
- [113] Hamano, T.; Kawahara, T.; Kasai, J.-I., "Super CSP™: WLCSP solution for memory and system LSI," *Advanced Packaging Materials: Processes, Properties and*

Bibliographie

- Interfaces, 1999. Proceedings. International Symposium on* , pp.221-225, 14-17 Mar 1999
- [114] Souriau, J.-C.; Lignier, O.; Val, C.; Charrier, M.; Poupon, G.; , "Wafer level processing on re-built wafer for chip stacking," *Electronic Packaging Technology Conference, 2005. EPTC 2005. Proceedings of 7th* , vol.1, no., pp.4 pp., 7-9 Dec. 2005
- [115] Imoto, T.; Matsui, M.; Takubo, C.; Akejima, S.; Kariya, T.; Nishikawa, T.; Enomoto, R.; , "Development of 3-dimensional module package, "System Block Module"," *Electronic Components and Technology Conference, 2001. Proceedings., 51st* , pp.552-557, 2001
- [116] Zoschke, K. et al , "TSV based silicon interposer technology for wafer level fabrication of 3D SiP modules," *Electronic Components and Technology Conference (ECTC), 2011 IEEE 61st* , pp.836-843, May 31 2011-June 3 2011
- [117] Philip Garrou, Christopher Bower, Peter Ramm, « *Handbook of 3D integration : Technology and Applications of 3D Integrated Circuits*», Volume 1, Wiley-VCH, 2008

Publications

Simonot T., Rouger N., Crébier J.-C., « *Conception, intégration 3D et caractérisation d'un circuit de commande CMOS pour transistors de puissance* », Électronique de Puissance du Futur, Saint-Nazaire, France (Juillet 2010)

Simonot T., Rouger N., Nguyen X. H., Crébier J.-C., Bourennane A., Sanchez J.L., Gerbaud L., « *Tension de seuil réduite pour composants de puissance à grille: Intérêts et conséquences.* », Électronique de Puissance du Futur, Saint-Nazaire, France (Juillet 2010)

Simonot, Timothe; Rouger, Nicolas; Crebier, Jean-Christophe; , "Design and characterization of an integrated CMOS gate driver for vertical power MOSFETs," Energy Conversion Congress and Exposition (ECCE), 2010 IEEE , pp.2206-2213, 12-16 Sept. 2010, Atlanta, United States

Simonot, Timothé. ; Crébier, Jean-Christophe ; Rouger, Nicolas ; Gaude, Victor , "3D hybrid integration and functional interconnection of a power transistor and its gate driver," *Energy Conversion Congress and Exposition (ECCE), 2010 IEEE* , vol., no., pp.1268-1274, 12-16 Sept. 2010, Atlanta, United States

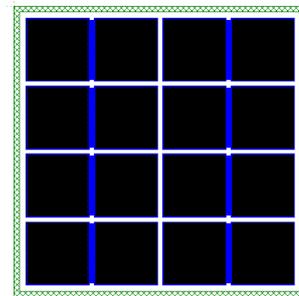
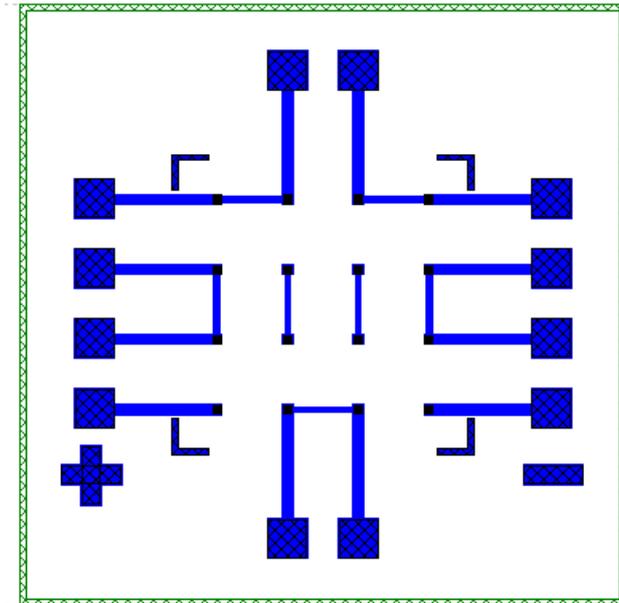
Simonot T., Rouger N., Crébier J.-C., Arnould J.-D., “*Design and characterization of a signal insulation coreless transformer integrated in a CMOS gate driver chip*”, Power Semiconductor Devices and IC's, International Symposium on, May 2011, San Diego, United States

T. Simonot, N. Rouger, JC. Crébier, V. Gaude, I. Pheng, “*A novel Power System in Package with 3D chip on chip interconnections of the power transistor and its gate driver*”, Power Semiconductor Devices and IC's, International Symposium on, May 2011, San Diego, United States

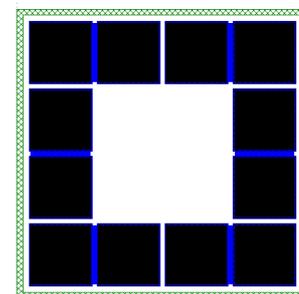
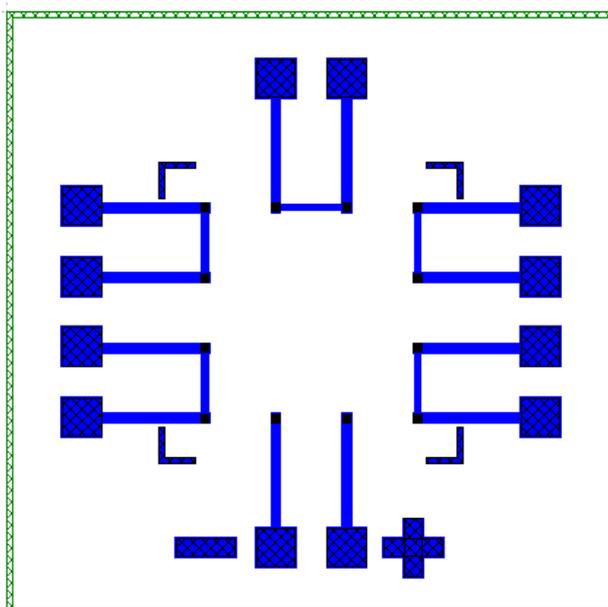
T. Simonot, H. X. Nguyen, N. Rouger, J. C. Crebier, A. Bourennane, L. Gerbaud, J.L. Sanchez, “*Towards reduced threshold voltages for vertical power Mosfet transistors*”, Industrial Electronics, 2011. ISIE 2011. IEEE International Symposium on, 27-30 June 2011, Gdansk, Poland

Annexe 1 : Motifs des puces des puces de test pour le report en flip chip

Ce jeu de masques contient trois niveaux de masquage. Les motifs bleus correspondent au masque de gravure de la métallisation aluminium, les motifs marrons au masque de gravure des ouvertures de contact dans l'oxyde et les motifs noirs au masque de moulage en résine pour l'électrodéposition. La figure de gauche correspond à la puce de 6mm agissant comme substrat et la figure de droite à la puce de 3mm reportée en flip chip sur la puce de 6mm.

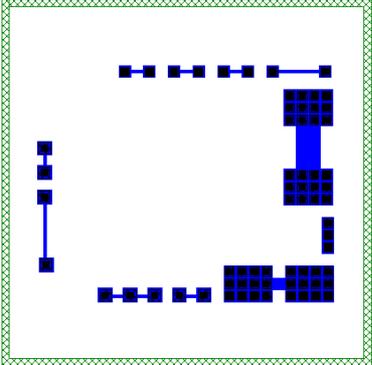
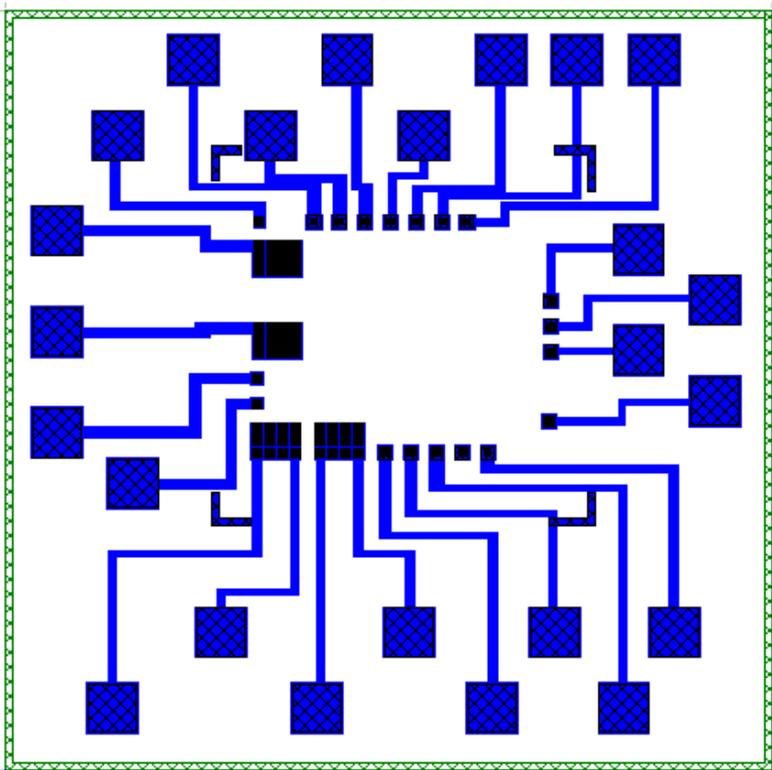


Motif « Puce de test 1 »

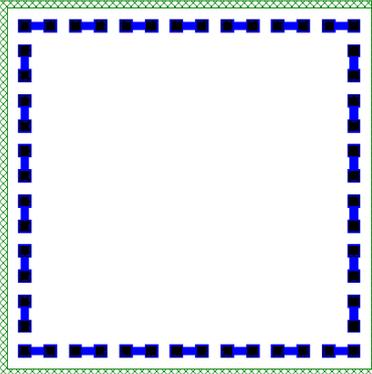
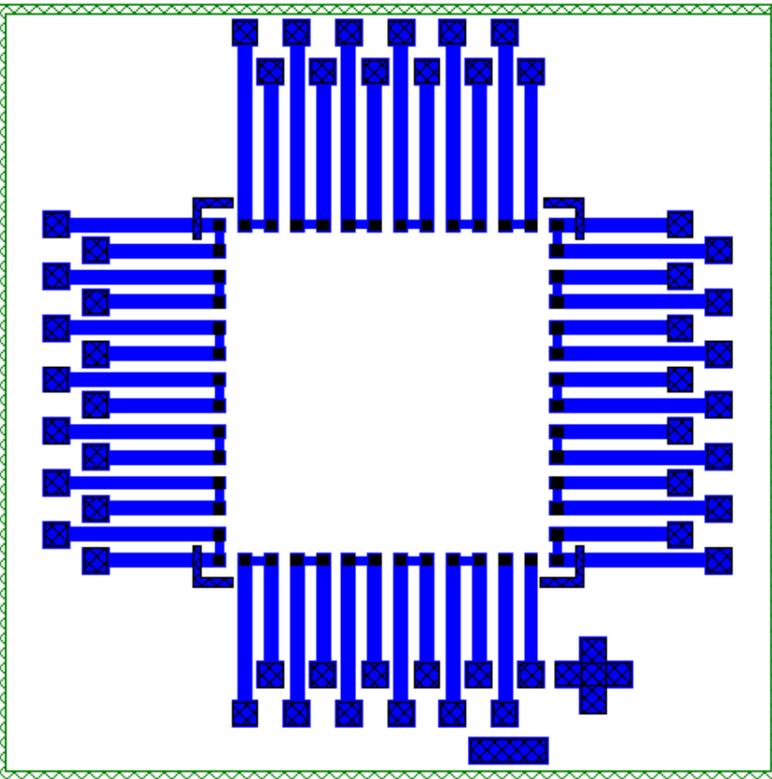


Motif « Puce de test 2 »

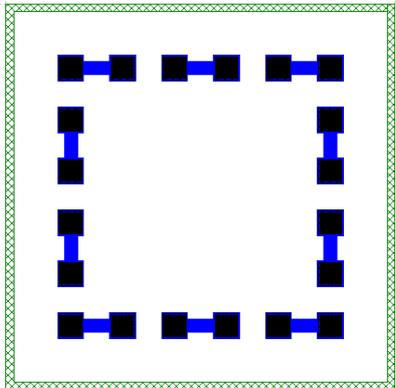
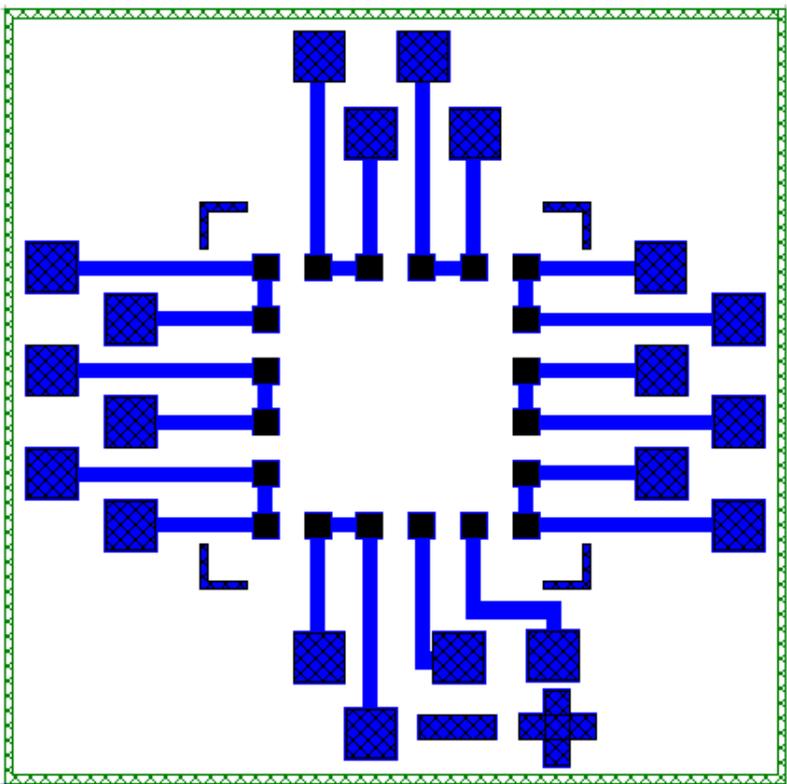
Annexe 1 : Motifs des puces des puces de test pour le report en flip chip



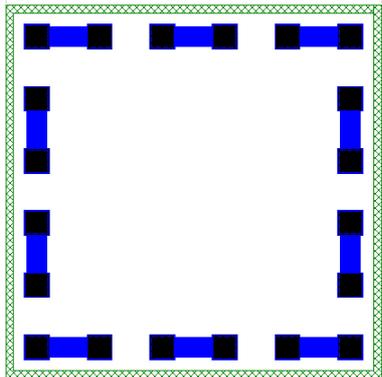
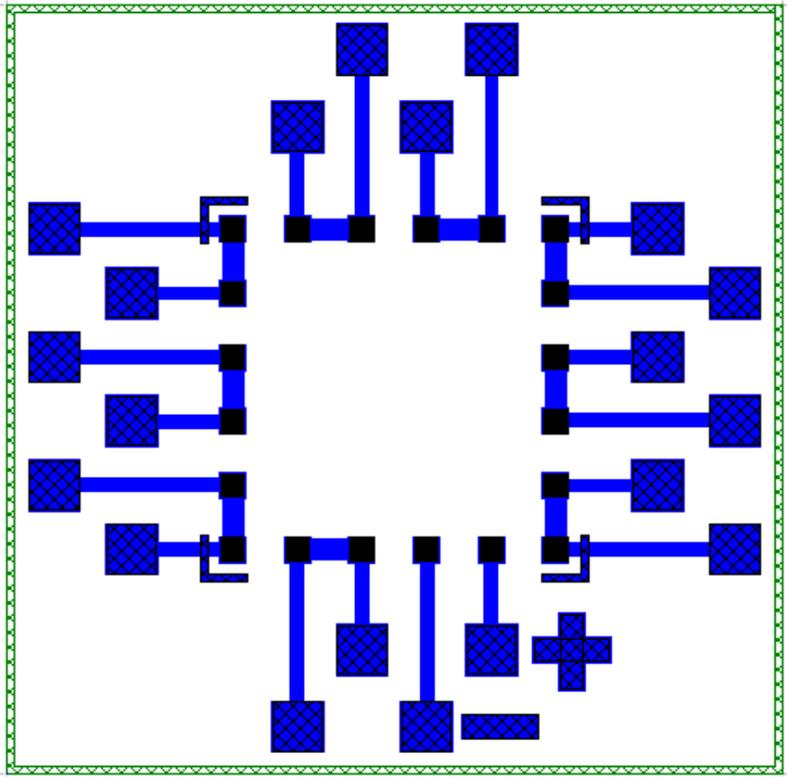
Motif « Puce de test flip chip »



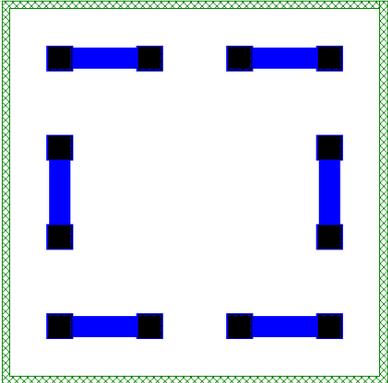
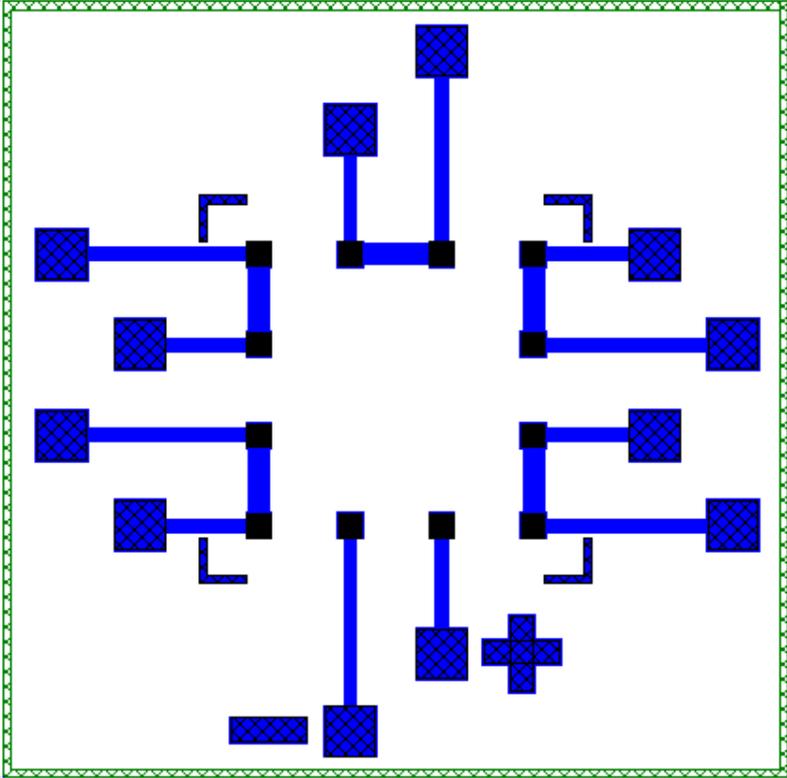
Motif « Plot 100 Pitch 100 »



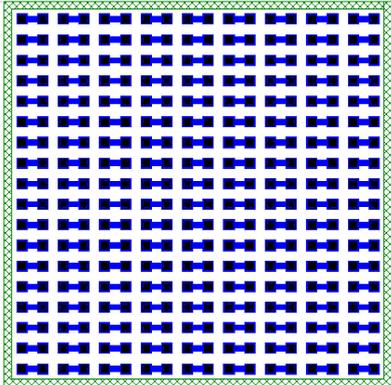
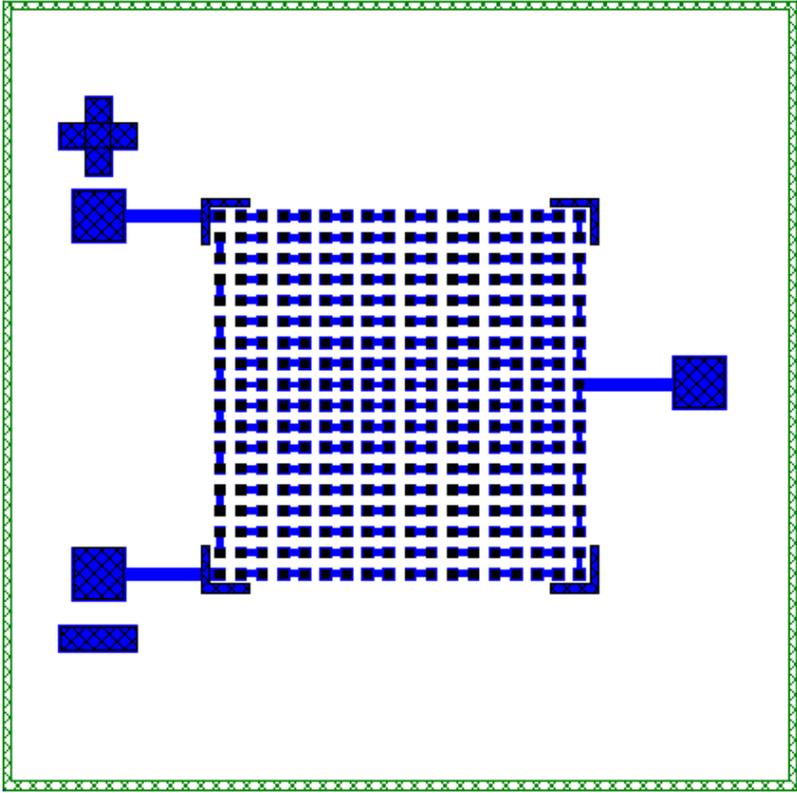
Motif « Plot 200 Pitch 200 »



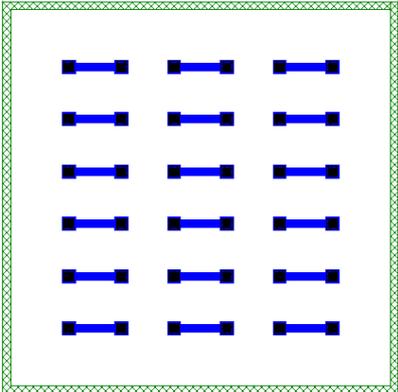
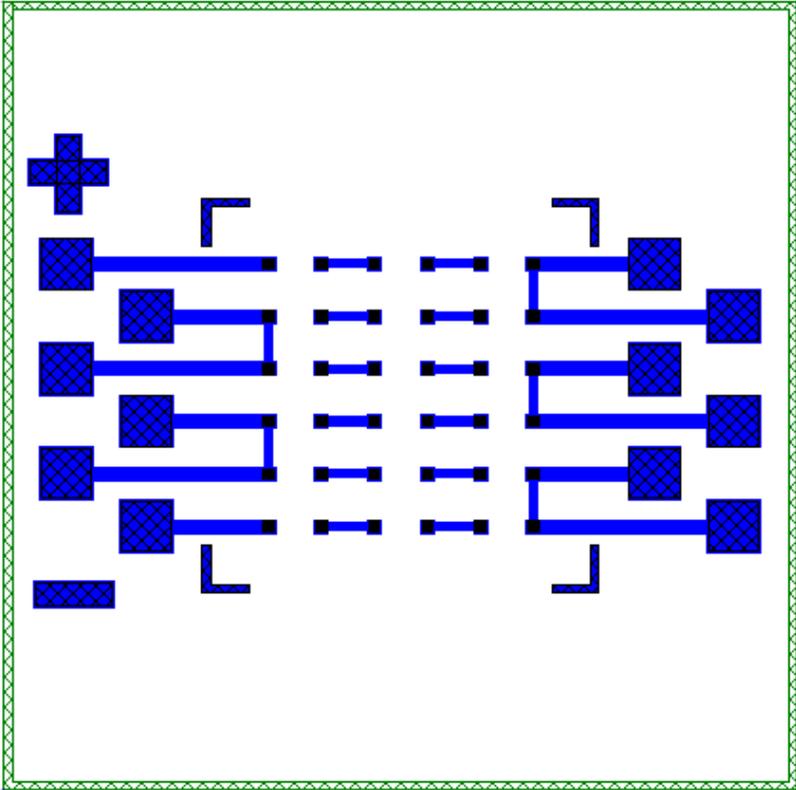
Motif « Plot 300 Pitch 300 »



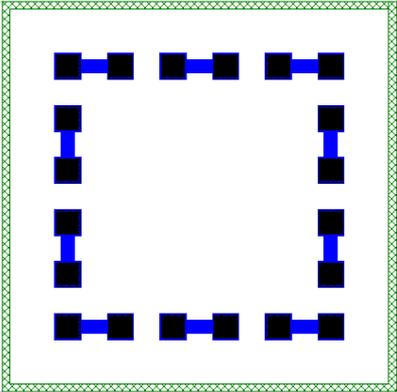
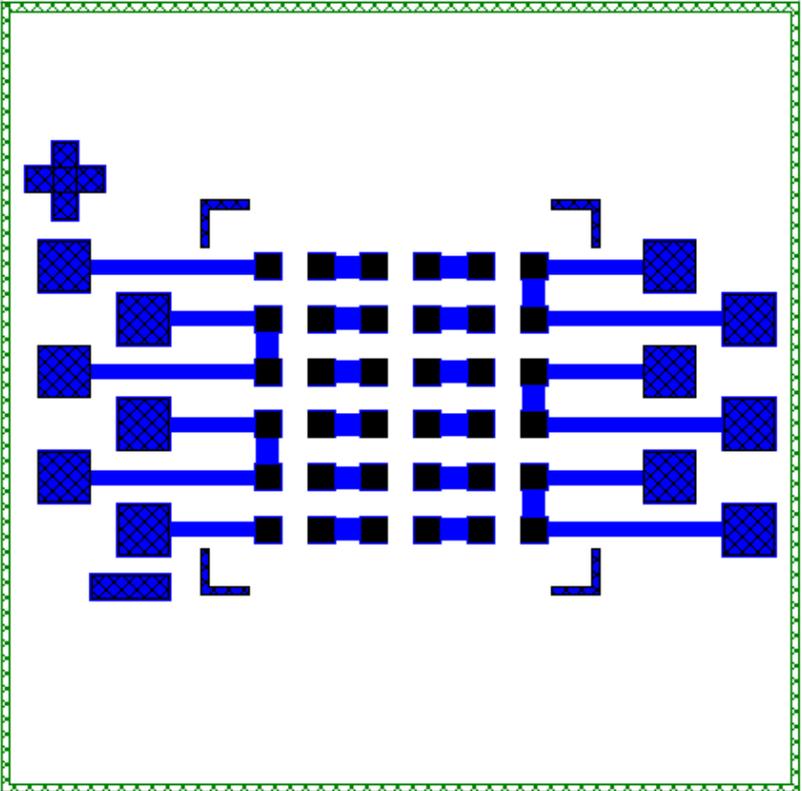
Motif « Plot 500 Pitch 500 »



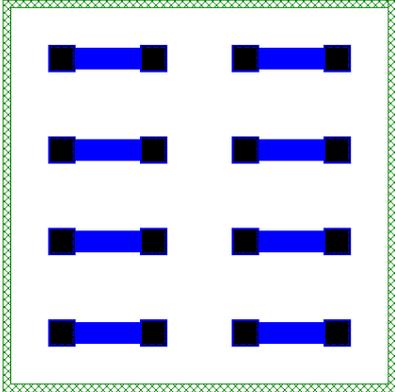
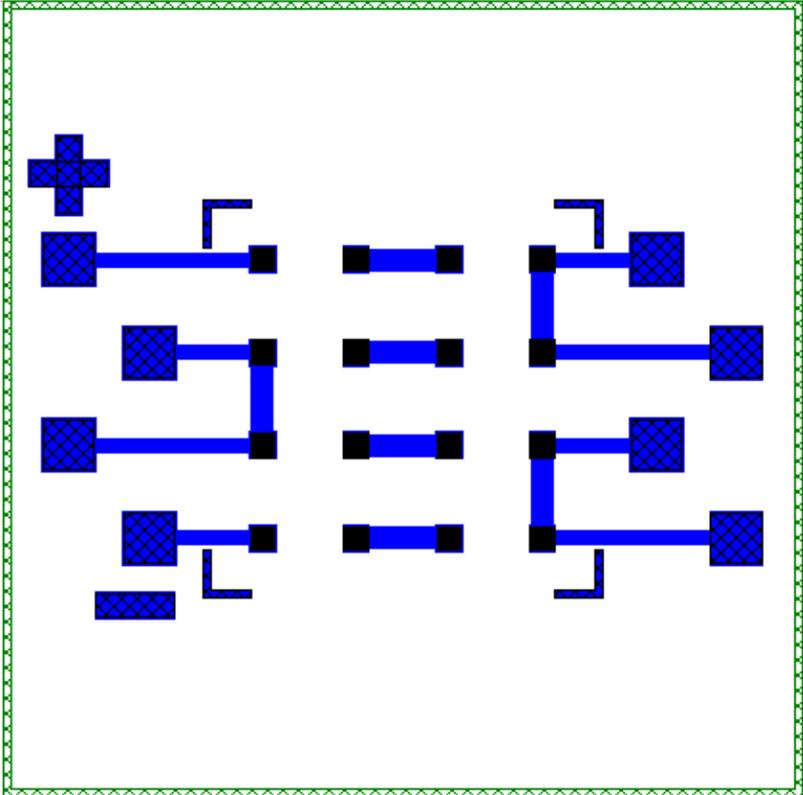
Motif « Chain 80 Pitch 80 »



Motif « Chain 100 Pitch 500 »



Motif « Chain 200 Pitch 300 »



Motif « Chain 500 Pitch 500 »

Annexe 2 : Compte rendu des réalisations « chip on chip »

Objectif : report de 20 puces réparties en quatre configurations différentes sur des substrats de caractérisation.

Caractérisation après soudure :

- test sous pointes de la résistance entre les pads (+ ; -) du substrat
- vérification sous binoculaire de l'entrefer entre la puce et le substrat
- test de tenue de la puce : poussée latérale de la puce avec une pince en maintenant le substrat.

Substrat : Silicium avec des pistes en aluminium et un renfort d'or sur les pads de connexion
Taille du substrat : 6mm² Epaisseur : 550µm
Température d'alignement : 150°C

Puce : Silicium avec des pistes en aluminium et un renfort d'or sur les pads de connexion
Taille de la puce : 3mm² Epaisseur : 550µm
Dépose des bumps: épaisseur entre 80µm et 120µm sans utilisation de l'outil générant le plat avant flip-chip.
Température d'alignement : 150°C

Nous disposons d'un capteur de force bridé à 50 Kg avec une sensibilité de l'ordre de 200g.
Il est recommandé de ne pas travailler à des forces < à 500g afin d'assurer une reproductibilité des conditions de process.

Programme 1 de soudure :

Montée en température à 300°C du substrat (2°C/s) et maintien de la température de la puce à 150°C tout en appliquant une force **de 1.5Kg** pendant 20s puis augmentation à **3Kg**.
Montée en température à 300°C de la puce (100°C/s)
Maintien de la température pendant 40s puis refroidissement.
Maintien de la force jusqu'à 200°C
Déchargement de l'assemblage à 100°C

Programme 2 de soudure :

Montée en température à 300°C du substrat (2°C/s) et maintien de la température de la puce à 150°C tout en appliquant une force **de 1 Kg** pendant 20s puis augmentation à **2Kg**.
Montée en température à 300°C de la puce (100°C/s)
Maintien de la température pendant 40s puis refroidissement.
Maintien de la force jusqu'à 200°C
Déchargement de l'assemblage à 100°C

Programme 3 de soudure :

Montée en température à 300°C du substrat (2°C/s) et maintien de la température de la puce à 150°C tout en appliquant une force **de 750g** pendant 20s puis augmentation à **1.5Kg**.
Montée en température à 300°C de la puce (100°C/s)
Maintien de la température pendant 40s puis refroidissement.
Maintien de la force jusqu'à 200°C
Déchargement de l'assemblage à 100°C

Annexe 2 : Compte rendu des réalisations « chip on chip »

| Puce | Motif | Programme | T°C Max substrat | R [+/-] (Ohm) | Déplacement en Z après contact |
|------|-------|-----------|---------------------|------------------|--------------------------------------|
| 1 | 1 | 1 | 270 | 10 | / |
| 2 | 1 | 2 | 270 | 8.5 | / |
| 3 | 1 | 2 | 270 | 10 | / |
| 4 | 1 | 3 | 270 | 31000 | 45 |
| 5 | 2 | 3 | 270 | 6.7 | 31 |
| 6 | 2 | 3 | 270 | / | / |
| 7 | 2 | 3 | 270 | 22 | 38 |
| 8 | 2 | 3 | 270 | 8.1 | 37 |
| 9 | 3 | 3 | 270 | / | 28 |
| 10 | 3 | 3 | 270 | 7 | 43 |
| 11 | 3 | 3 | 270 | 8 | 38 |
| 12 | 3 | 3 | 270 | 7.5 | 35 |
| 13 | 4 | 3 | 270 | 7.8 | 30 |
| 14 | 4 | 3 | 270 | 7 | 41 |
| 15 | 4 | 3 | 270 | 50000 | / |
| 16 | 4 | 3 | 270 | 11 | 34 |
| 17 | 4 | 3 | 270 | 9 | 26 |
| 18 | 3 | 3 | 270 | 10 | 33 |

Synthèse :

La diminution de la pression d'appui a été motivée par un entrefer (puce substrat) estimé sous binoculaire trop fin sur les trois premiers essais : afin de confirmer/mesurer celui-ci, il faudrait faire une image par microscopie électronique à balayage.

Nous avons maintenu les conditions de process du programme 3 pour les puces 4-18 car l'entrefer était bien net et la résistance du même ordre que sur les essais précédents.

L'inhomogénéité des bumps a été confirmée lors de l'étape de chargement de la puce où une adaptation de la focalisation était nécessaire entre centre et bord.

La résistance élevée obtenue sur les puces 5 et 15 peut s'expliquer justement par un bump trop petit par rapport aux autres et qui n'assurerait pas un contact optimum avec le pad en regard.

Pour y remédier, nous proposons la réalisation d'un plat sur les bump (tamping tool) pour augmenter la surface de contact avec les pads.

Conception et hybridation de l'environnement électronique des composants de puissance à structure verticale

Résumé :

Ces travaux de thèse portent sur l'intégration hétérogène des fonctions de commande pour des transistors de puissance verticaux à grille isolée. Ce travail a consisté en la conception des fonctions de commande pour un transistor de type MOSFET en technologie CMOS planar, puis en la conception du composant de puissance lui-même, incluant des fonctions spécifiques pour l'auto-alimentation de sa commande. Le deuxième aspect de ce travail est l'étude et la réalisation technologique de métallisations épaisses en surface de puces silicium pour l'hybridation en chip on chip de la partie commande et de la partie puissance. Ce mémoire de thèse comporte trois chapitres équivalents : études théoriques et présentation des concepts, conception et validation expérimentale de la partie commande puis conception de la partie puissance et développements technologiques. Les champs d'application de ces travaux sont variés car ils couvrent un large domaine de l'électronique de puissance (convertisseurs hybrides).

Mots clés : *intégration de puissance hétérogène, convertisseurs de puissance hybrides, circuits de commande de MOSFETs de puissance, packaging des semi-conducteurs*

Abstract:

The work presented in this PhD manuscript deals with heterogeneous integration of the control functions for driving a vertical power MOSFET. This work consisted in the design of the driving functions for a vertical power MOSFET in a planar CMOS technology, then in the design of the power transistor itself, including specific functions for the self powering of its driving circuitry. The second aspect of this work was the technological study and realization of thick metallization at the surface of silicon dies for the chip on chip assembly of the control and the power parts. This manuscript is composed of three equal chapters: the theoretical study and concepts presentation, the design and experimental validation of the driver part, and the design of the power part and the technological realizations. The field of application of this work covers a large spectrum as it concerns every hybrid converter.

Keywords: *heterogeneous power integration, hybrid power converters, power MOSFETs control circuits, semiconductor device packaging*

Laboratoire de Génie Electrique de Grenoble

Site principal campus

ENSE3 bat D

961, rue Houille Blanche

BP 46

38402 St Martin d'Hères Cedex

FRANCE

Tel. +33 (0)4 76 82 62 99

Fax +33 (0)4 76 82 63 00