



HAL
open science

Intégration 3D haute densité: comportement et fiabilité électrique d'interconnexions métalliques réalisées par collage direct

Mohamed Taibi

► To cite this version:

Mohamed Taibi. Intégration 3D haute densité: comportement et fiabilité électrique d'interconnexions métalliques réalisées par collage direct. Autre. Université de Grenoble, 2012. Français. NNT : 2012GRENT011 . tel-00721981

HAL Id: tel-00721981

<https://theses.hal.science/tel-00721981>

Submitted on 31 Jul 2012

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Nanoélectronique et nanotechnologies**

Arrêté ministériel : 7 août 2006

Présentée par

« **Rachid Mohamed TAIBI** »

Thèse dirigée par « **Roland Fortunier** » et
codirigée par « **Léa Di Cioccio et Laurent-luc Chapelon** »

préparée au sein du **Laboratoire de Transfert de Films et
Circuits au CEA-Léti**
dans **l'École Doctorale Electronique, Electrotechnique,
Automatique et Traitement du Signal**

Intégration 3D haute densité : comportement et fiabilité électrique d'interconnexions métalliques réalisées par collage direct

Thèse soutenue publiquement le « **08 Février 2012** »,
devant le jury composé de :

Rafael ESTEVEZ

Prof. UJF Grenoble (Président)

Yves OUSTEN

Prof. Université de Bordeaux (Rapporteur)

Karim INAL

Prof. Ecole des mines de St Etienne (Rapporteur)

Panagiota MORFOULI

Prof. INP Grenoble (Examineur)

Roland FORTUNIER

Prof. Ecole Nationale d'Ingénieurs de St Etienne (Directeur de thèse)

Léa Di Cioccio

Dr. CEA-Léti (Encadrant)

Laurent-luc CHAPELON

Ing. STMicroelectronics (Encadrant)

Cedrick CHAPPAZ

Dr. STMicroelectronics (Examineur)



Table des matières

Introduction	1
Chapitre I. Contexte de l'étude	5
I.1) Du 2D vers le 3D	7
I.1.1) Evolution et limitation des circuits intégrés	7
I.1.1.1) Miniaturisation des composants électroniques	7
I.1.1.2) Limitation de l'approche planaire (approche 2D)	8
I.1.1.3) Evolution de l'approche planaire	9
I.1.2) L'intégration 3D	11
I.1.2.1) Historique et principe de l'intégration 3D	11
I.1.2.2) Amélioration des performances des circuits intégrés	13
I.1.2.3) Gain en surface utilisée / augmentation des densités d'interconnexions	13
I.1.2.4) Approche adaptée à l'intégration hétérogène	13
I.1.2.5) Diminution des coûts de production	14
I.1.2.6) Intégration 3D monolithique	15
I.1.3) Différentes approches pour l'intégration 3D	15
I.1.3.1) Type d'empilement	16
I.1.3.2) Orientation de l'empilement	17
I.1.3.3) Type de connexion inter puce (TSV)	18
I.1.3.4) Type de collage	20
I.2) Réalisation des lignes de cuivre	20
I.2.1) Dépôt des sous-couches (seed layers)	21
I.2.2) Dépôt électrochimique du cuivre	21
I.2.3) Recuit de recristallisation	22
I.2.4) Polissage mécano-chimique des lignes de cuivre	22
I.3) Procédés de collage de couches métalliques	23
I.3.1) Collage par thermo-compression	23

I.3.1.1) Principe	23
I.3.1.2) Thermo-compression Cu-Cu.....	24
I.3.1.3) Eutectique Cu-Sn.....	26
I.3.2) Collage direct.....	28
I.3.2.1) Principe	28
I.3.2.2) Collage de couches d'oxyde de silicium.....	30
I.3.2.3) Collage de couches métalliques.....	32
I.4) Procédés d'amincissement.....	37
I.4.1) Amincissement mécanique du silicium	37
I.4.1.1) Procédé de Grinding (rectification)	37
I.4.1.2) Polissage mécano-chimique.....	38
I.4.2) Amincissement par gravure du silicium	39
I.4.2.1) Gravure sèche du silicium.....	39
I.4.2.2) Gravure humide du silicium	40
I.5) Connexion intra-puces	41
I.5.1) Through Silicon Vias (TSV).....	41
I.5.2) Réalisation d'un TSV.....	41
I.5.2.1) Gravure du TSV dans le silicium.....	41
I.5.2.2) Isolation des flancs du TSV.....	42
I.5.2.3) Dépôt de la barrière métallique.....	42
I.5.2.4) Remplissage du TSV	43
I.6) Schéma de l'intégration étudiée et axes d'étude de la thèse.....	44
I.6.1) Schéma de l'intégration étudiée.....	44
I.6.2) Axes d'étude de la thèse	45
I.6.2.1) Caractérisation électrique et fiabilité du collage direct Cu-Cu.....	45
I.6.2.2) Impact des procédés d'amincissement sur les propriétés du silicium ..	46
I.6.2.3) Choix et étude du matériau de remplissage inter-puces	46

Chapitre II. Méthodologie de caractérisation et d'analyse **47**

II.1) Méthodologie de caractérisation électrique et de fiabilité du collage direct Cu-Cu	50
II.1.1) Descriptif des structures de test.....	50
II.1.1.1) Structure de test pour l'électromigration : NIST.....	50
II.1.1.2) Daisy chain (ou chaîne de lignes).....	53

II.1.1.3) Règle de dessin spécifique au collage	54
II.1.2) Intégrations utilisées	55
II.1.2.1) Choix de l'approche plaque à plaque	56
II.1.2.2) Procédé d'intégration complet.....	56
II.1.2.3) Procédés alternatifs utilisés pour les caractérisations électriques	59
II.1.2.4) Approche utilisée pour la caractérisation électrique du collage direct de puce.....	61
II.1.3) Technique de caractérisation de la résistance à l'interface de collage	63
II.1.3.1) Extraction de la résistivité du cuivre	64
II.1.3.2) Méthodologie d'extraction de la résistance à l'interface de collage ..	64
II.1.4) Méthodologie de caractérisation de la fiabilité électrique du collage direct	65
II.1.4.1) Electromigration	65
II.1.4.2) Stress voiding	78
II.1.4.3) Cyclage thermique.....	80
II.1.5) Techniques d'analyse physique des dégradations induites lors des tests de fiabilité	81
II.1.5.1) Observation par microscopie infra rouge	81
II.1.5.2) Observation par FIB-MEB	81
II.1.5.3) Observation par OBIRCH	82
II.2) Techniques de caractérisation utilisées pour évaluer l'impact des procédés d'amincissement sur les propriétés du silicium	83
II.2.1) Diffraction des rayons X (XRD)	83
II.2.2) Nanoindentation	85
II.2.3) Flexion 4 points	88
II.2.4) Spectroscopie par micro-Raman.....	89
II.2.5) MEB	91
II.3) Choix et étude du matériau de remplissage inter-puces	92
II.3.1) Spécificité du matériau de remplissage (cahier des charges)	91
II.3.2) Méthodologie de caractérisation du remplissage et de la planarisation	92
II.3.2.1) Caractérisation du dépôt (homogénéité de remplissage).....	93
II.3.2.2) Caractérisation de l'amincissement.....	93
II.3.2.3) Caractérisation de la planarisation.....	93

Chapitre III. Caractérisation et fiabilité électrique du collage direct Cu-Cu	95
III.1) Qualité et résistance de l'interface de contact	97
III.1.1) Qualité de l'interface de collage	97
III.1.1.1) Observation de l'interface de collage par MEB après recuit de collage à 200°C.....	97
III.1.1.2) Observation de l'interface de collage par MEB après recuit de collage à 400°C.....	98
III.1.2) Résistance de l'interface de collage	99
III.1.2.1) Détermination de la résistance à l'interface de contact.....	99
III.1.2.2) Résistance de l'interface en fonction de la température de recuit...	109
III.1.2.3) Impact du désalignement.....	110
III.1.2.4) Homogénéité du collage sur une plaque	111
III.1.3) Premiers résultats électriques des collages puces à plaques	114
III.1.3.1) Qualité de l'interface de collage	114
III.1.3.2) Evolution de la résistance de contact en fonction de la Température de recuit.....	115
III.2) Fiabilité électrique des structures réalisées par collage direct métallique	118
III.2.1) Contrainte thermique.....	119
III.2.1.1) Cyclage thermique	119
III.2.1.2) Stress voiding	124
III.2.2) Contrainte thermique et électrique (électromigration).....	129
III.2.2.1) Test d'électromigration sur plaque.....	129
III.2.2.2) Test d'électromigration en boîtier.....	135
Conclusion	149
Bibliographie	153
Annexes. Impact des procédés d'amincissement sur le silicium et remplissage de l'inter-puce pour la réalisation d'une intégration puce à plaque	161

Annexe A. Evolution des contraintes dans le silicium aminci.....	165
A.1) Diffraction des rayons X (XRD).....	167
A.1.1) Evolution de la contrainte dans le Si en fonction des étapes d'amincissement	167
A.1.2) Impact de l'épaisseur totale enlevée sur les contraintes générées par l'amincissement.....	169
A.1.3) Evolution de la contrainte dans un silicium collé et aminci	170
A.2) Spectroscopie Micro-Raman	172
Annexe B. Evolution des propriétés mécaniques du silicium aminci.....	177
B.1) Nanoindentation	179
B.1.1) Evolution du module d'Young et de la dureté du silicium en fonction des procédés d'amincissement.....	179
B.1.2) Impact de l'épaisseur enlevée sur les propriétés du silicium	180
B.2) Flexion 4 points.....	182
Annexe C. Matériau de remplissage pour l'intégration puce à plaque.....	185
C.1) Identification d'un matériau de remplissage et faisabilité de l'intégration puce à plaque	187
C.1.1) Identification de l'oxyde HDR (High Deposition Rate).....	187
C.1.2) Modélisation de l'empilement après remplissage	187
C.2) Problématiques rencontrées lors du remplissage et de la planarisation des puces	189
C.2.1) Remplissage de l'inter-puce	190
C.2.2) Amincissement de l'oxyde HDR.....	191
C.2.3) Planarisation de la surface mixte (Silicium/matériau de remplissage)	193
C.3) Identification de nouveaux matériaux de remplissage et réalisation de l'intégration puce à plaque	194
C.3.1) Oxydes enrichis en silicium (SRO : Silicon Rich Oxide).....	194
C.3.2) Amincissement et planarisation des SRO	196
Publications	203

Introduction

L'industrie de la microélectronique ne cesse d'évoluer depuis plus de cinquante ans. Un gain en coût de fabrication, une miniaturisation continue des composants électroniques tout en maintenant une augmentation des vitesses et performance des ces derniers sont les objectifs majeurs qui pousse cette évolution. Cependant, cette course à la miniaturisation atteint des limitations physiques qui remettent en question l'approche planaire utilisée jusqu'à aujourd'hui. En effet, les faibles dimensions des nouveaux nœuds technologiques font apparaître des effets parasites (augmentation des délais d'interconnexions, dissipation thermique, diaphonie...) autrefois négligeables et qui pourraient dégrader les performances des composants électroniques. De plus, les besoins actuels de la part des consommateurs nécessitent une diversification des fonctionnalités. Un exemple simple que l'on retrouve dans notre vie quotidienne est le téléphone portable. Celui-ci permet de prendre des photos, de passer des appels en mode Visio tout en se connectant sur internet ; Il permet également de se localiser par un système GPS intégré. On y retrouve également des applications qui font appel à des outils sensoriels tels les détecteurs de mouvements. L'évolution de l'approche planaire (2D) utilisée à ce jour pour réaliser ces structures est très couteuse et demande une conception complexe afin de regrouper ces différentes technologies sur un même support. Il en résulte également une augmentation des lignes d'interconnexions pour connecter chaque module et cela va engendrer une augmentation des délais d'interconnexions réduisant par la même occasion les performances du dispositif final.

C'est en réponse à ces problèmes rencontrés lors de la miniaturisation et de la multifonctionnalité des dispositifs que plusieurs acteurs du monde de la microélectronique se tournent vers un concept innovant et prometteur qu'est l'intégration tridimensionnelle

Le concept de l'intégration 3D est d'empiler des substrats de natures différentes, puis de les interconnecter électriquement à l'aide d'une connexion verticale traversant les couches de silicium. Cette approche permet de réaliser des dispositifs avec une multitude de fonctionnalités et de réduire drastiquement les longueurs des interconnexions augmentant ainsi les vitesses de communications entre les différents composants.

Plusieurs étapes technologiques sont à maîtriser afin de réaliser une structure 3D. On y retrouve principalement l'assemblage des différents substrats (ou puces) par un procédé de collage, l'amincissement des substrats une fois assemblés et la réalisation des connexions verticales traversant le silicium pour permettre la connexion électrique (aussi appelé TSV pour *Through Silicon Vias*).

Différentes méthodes de collage peuvent être utilisées pour assembler deux substrats. Il est proposé dans ces travaux d'étudier une méthode particulière et très innovante qui est le collage direct métallique. Cette technique permet à la fois une forte adhérence mécanique

entre les substrats mais également une connexion électrique localisée ce qui permet de s'affranchir d'une étape de réalisation des TSV entre les deux substrats directement assemblés.

La réalisation de ce procédé fait appel à des technologies déjà existantes et non coûteuses, de plus le collage se fait à température ambiante, pression atmosphérique et à la particularité de permettre de forte densité d'interconnexions. D'autres avantages rendent cette technique séduisante et seront décrits dans ce manuscrit.

La réalisation du procédé de collage direct métallique ainsi que la compréhension des mécanismes mis en jeu ont été étudiés dans le cadre d'une thèse se déroulant en parallèle des travaux rapportés dans ce manuscrit. Cependant l'impact électrique de cette nouvelle interface de collage ainsi que le comportement et la fiabilité électrique des structures réalisées par ce procédé restaient à étudier. Ces axes d'étude représentent les objectifs principaux de ces travaux. Ils seront détaillés dans les trois chapitres qui constituent ce manuscrit.

Les technologies d'intégration 3D étant nombreuses et variées, il est donc proposé au chapitre I de résumer dans un état de l'art le concept de l'intégration 3D et son utilité par rapport à l'approche planaire. Il sera également décrit les différentes technologies et procédés utilisés pour la réalisation d'une structure 3D avec les différentes approches qu'il est possible de retrouver. Puis, une partie plus précise est présentée sur les différentes méthodes de collage métalliques (direct et thermo-compression), les pré-requis et les mécanismes mis en jeu.

Au chapitre II sont décrites les structures réalisées par collage direct. Leur conception ainsi que l'intégration utilisée pour permettre une reprise de contact et une mise en boîtier sont détaillées. On y retrouve également les méthodologies utilisées pour caractériser les différentes étapes intervenant lors de la réalisation d'une architecture 3D.

L'axe principal de ces travaux est l'étude du comportement électrique des structures collées et leur tenue face aux différents tests de fiabilité. Les résultats obtenus lors de cette thèse sont illustrés, analysés et discutés dans le chapitre III. D'abord une évaluation de la résistance à l'interface de collage est donnée puis comparée en fonction des recuits de collages appliqués. Ensuite, différents tests de vieillissement accélérés (notamment au travers de test de stress voiding et de cyclage thermique) sont réalisés dans le but d'évaluer si la présence de l'interface de collage a un impact sur la tenue de telles structures. Pour finir, le comportement des structures collées lors des tests d'électromigration est comparé à celui obtenu sur des structures ne présentant pas d'interface de collage métallique. Les résultats obtenus à l'aide de ces différents tests nous renseignent sur l'impact de cette interface de collage sur les mécanismes de dégradation observés sur des interconnexions métalliques réalisés par ce nouveau procédé.

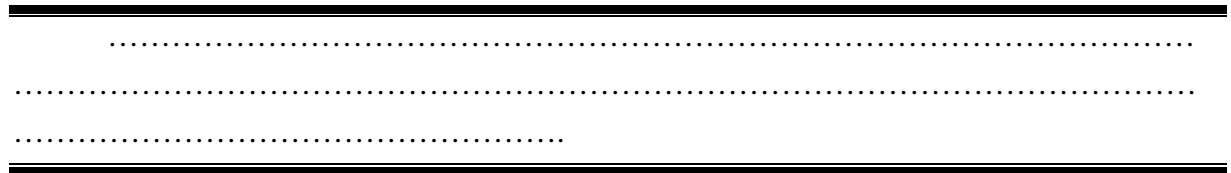
Enfin, en annexe est présenté le développement technologique qui a servi à valider la faisabilité d'une intégration 3D haute densité par une approche puce à plaque. Il s'agit de différentes caractérisations réalisées en parallèle du cœur du sujet de thèse mais nécessaires à la validation des différentes étapes utilisées lors de l'intégration. Les deux premières parties de ces annexes représentent l'étude menée sur l'impact des étapes d'amincissement sur les

contraintes et dégradations résiduelles générées au niveau du silicium. Puis, la validation de l'approche étudiée a été faite après identification d'un matériau de remplissage inter-puce et l'étude de son comportement face aux différentes étapes d'amincissement et de planarisation.

Une conclusion générale et une mise en perspective des travaux menés finiront ce document.



Chapitre I. Contexte de l'étude





I.1) Du 2D vers le 3D

I.1.1) Evolution et limitation des circuits intégrés

I.1.1.1) Miniaturisation des composants électroniques

La microélectronique a vu le jour avec la découverte du transistor dans les années 50 [Bardeen1984, Shockley1951]. Depuis ce jour, cette industrie ne cesse de croître et d'évoluer, ce qui a permis des avancées technologiques très importantes. Avec l'évolution des procédés de fabrication, la taille des composants électroniques ne cesse de diminuer, tout en maintenant une évolution en vitesse et performances des composants en adéquation avec les prévisions de Moore. En effet, en 1965, Gordon Moore énonça une loi empirique (portant son nom : loi de Moore) qui prédit que le nombre de composants intégrés dans une puce électronique est multiplié par un facteur deux tous les ans [Moore1965]. Cette loi a été réactualisée par Moore lui-même dix ans plus tard, en indiquant que le nombre de transistors dans un microprocesseur doublerait tous les deux ans [Moore1975]. Un exemple est donné par Intel, en Figure I. 1, montrant la bonne adéquation entre les prévisions de Moore et le nombre de transistors présents dans ses microprocesseurs.

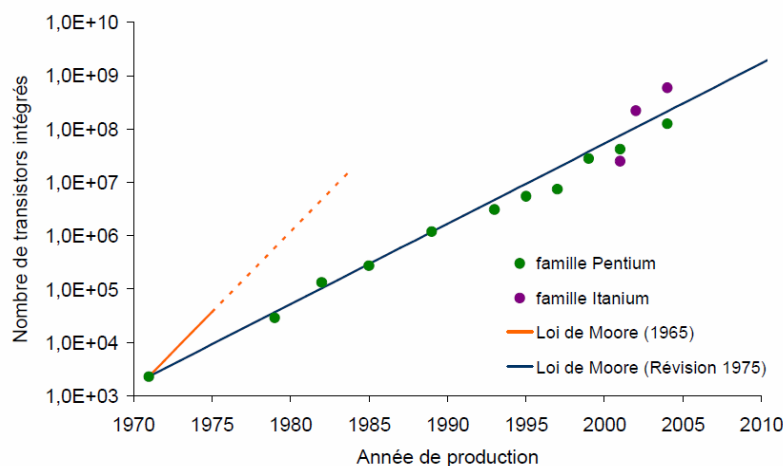


Figure I. 1 : Courbe représentant l'augmentation du nombre de transistors dans un microprocesseur d'Intel en adéquation avec les prévisions de Moore [Intel]

L'ITRS (pour International Technology Roadmap of Semiconductors) rédige, en collaboration avec les industriels et centres de recherche dans le domaine de la microélectronique, une feuille de route basée sur la loi de Moore et qui a pour but de définir les barrières techniques à franchir pour chaque nouvelle génération de nœuds technologiques.

I.1.1.2) Limitation de l'approche planaire (approche 2D)

Jusqu'à la fin des années 90, les dimensions des transistors (et donc la partie front end) ont régi les performances et le coût des puces électroniques. Ce n'est qu'au début des années 2000 que les délais générés par les longueurs des interconnexions (la partie back end) ont commencé à être le facteur limitant pour les performances des composants. En effet, avec la miniaturisation des transistors ainsi que le désir de relier les circuits de natures différentes (logique et numérique) sur une même puce, les réseaux d'interconnexions sont devenus de plus en plus denses tout en augmentant les longueurs d'interconnexions. Cette évolution des réseaux d'interconnexion a engendré une amplification des effets parasites, autrefois négligeables, et une augmentation des délais d'interconnexion. A cela s'ajoute, des problèmes de dissipation d'énergie et d'intégrité du circuit [Meindl2001, Meindl2003].

Si l'on considère une interconnexion comme étant un circuit composé de résistance R (les lignes métalliques) et de capacité C (correspondant à l'espace entre deux lignes, qui est généralement de l'oxyde), les délais d'interconnexion s'expriment alors par le produit RC [Fevennec2005]. Ainsi, il est possible de voir que plus le réseau sera dense et plus les délais seront augmentés. Pour y remédier, quelques solutions ont été proposées, comme le remplacement de l'aluminium utilisé dans les lignes d'interconnexion par le cuivre qui est moins résistif, ou bien la diminution de la capacité en modifiant la constante diélectrique de l'oxyde, notamment par l'ajout de porosités [Hoofman2006, Gosset2005, Gras2008], mais ces dernières ne peuvent pas être ajoutées indéfiniment. La Figure I. 2 illustre l'évolution de des délais d'interconnexion en fonction des dimensions de nœuds technologiques.

Il devient évident que la miniaturisation des transistors à elle seule ne suffit plus à augmenter les performances des circuits intégrés. Il est donc nécessaire de trouver une solution alternative qui permettra de suivre l'évolution prévue par la loi de Moore.

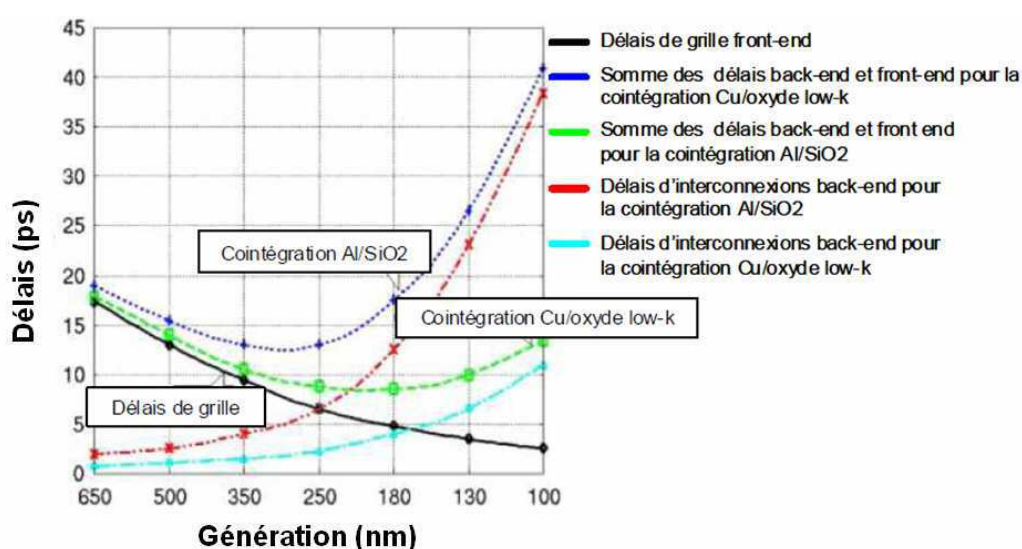


Figure I. 2 : Evolution des délais de grille et d'interconnexion en fonction de la miniaturisation. A partir d'une certaine génération technologique la somme des délais augmente ce qui engendrera une diminution des performances des composants [Bohr1995]

Afin de réaliser les nouvelles générations technologiques (inférieur à 22nm par exemple), des solutions technologiques existeront jusqu'à une certaine limite. L'ajout de niveaux de métallisations supplémentaires est une solution qui a pour inconvénient d'augmenter le coût de fabrication. L'utilisation de répéteur au niveau du réseau d'interconnexion est intéressante également mais demande une augmentation de la surface utilisée dans la puce ainsi qu'une augmentation de la consommation globale d'énergie. Bref, ces solutions poussent les scientifiques et industriels à penser que pour ces nœuds technologiques, leur réalisation était « technologiquement faisables, mais économiquement non viables » [Yu2006]. Ceci rend la politique industrielle du More Moore (technologie qui consiste à augmenter les performances des circuits sans pour autant miniaturiser les composants) plus incertaine que jamais.

I.1.1.3) Evolution de l'approche planaire

La diversification des applications utilisant des composants électroniques nécessite, en plus d'un gain en performance, une augmentation des fonctionnalités. Cela a fait apparaître des systèmes complets intégrés sur une même puce. Les circuits présents dans ces systèmes sont soit de technologie similaire soit de technologies hétérogènes (on parle dans ce cas de technologie More than Moore). Ces systèmes sont connus sous les noms : système sur puce (aussi appelé SoC pour System on Chip) et système en boîtier (SiP pour System in Package). Ils sont considérés comme deux systèmes d'intégrations complémentaires. Leurs avantages et inconvénients sont décrits ci-dessous :

System on Chip (SoC) :

Le principe de ce système est de regrouper sur une même puce des composants actifs et passifs fabriqués collectivement [Belleville2006, Muralid2004]. Il est possible de regrouper des circuits logiques, analogiques, RF et signaux mixtes. Ceci permet une grande diversification du produit final. Cependant, l'ensemble des composants, réalisés en même temps et sur une même surface, est conçu en fonction de la technologie de celui ayant le plus petit nœud technologique, ce qui rend leur coût de production de plus en plus cher, surtout avec les nouvelles générations technologiques. De plus, leur conception est très complexe. Le fait d'intégrer ces différentes fonctions sur un même design requiert des moyens de calculs ainsi qu'un savoir faire très avancés [Rousseau2009].

Système In Package (SiP) :

Ce système consiste à regrouper dans un même boîtier des puces de technologies différentes : circuits intégrés, MEMS, batteries, composants RF.... La nature de ces composants ne permet pas de les réaliser sur une même puce, il est donc nécessaire de fabriquer chaque composant sur un substrat à part puis de les relier soit par câblage extérieur appelé « wire bonding », soit par une technique de report connu sous le nom de « flip chip ».

Ce système à l'avantage de diminuer considérablement l'espace occupé sur la carte mère, comparé au SoC. Cependant, le prix unitaire d'un tel système est très élevé. De plus, les connectiques utilisées (notamment pour les câblages extérieurs) peuvent pénaliser la fiabilité ainsi que la vitesse des circuits.

Les deux types de connectiques utilisées pour les mises en boîtier (packaging) sont représentés en Figure I. 3.

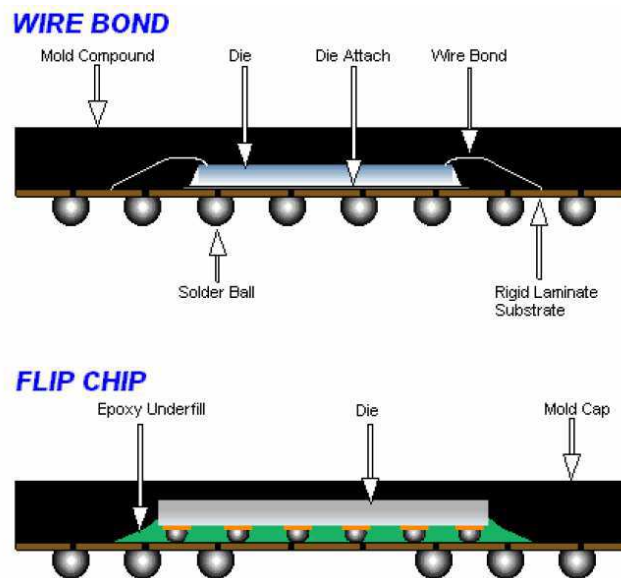


Figure I. 3 : Schéma représentant le principe de connexion par câblage (wire bonding) et report de puce (flip chip) (© 2001 Amkor technology, Inc.)

Le câblage par wire bonding permet l'assemblage de plusieurs puces et de relier n'importe quelle puce à une autre. Cependant, les connexions se faisant à l'extérieur des puces nécessitent un espace dédié supplémentaire, et le nombre de connexions est limité en raison de leur positionnement en périphérie des puces afin de permettre le câblage.

Le report par flip chip, quant à lui, permet un gain en surface dû aux connexions électriques situées sous la puce. Ces connexions sont réalisées généralement par microbilles, plus fiables que les fils de câblage extérieurs. Le principal inconvénient du flip chip est l'incapacité d'empiler plusieurs puces ce qui impose de les poser côte à côte.

La solution idéale, pour connecter plusieurs puces, serait de combiner les avantages de ces deux méthodes. C'est-à-dire, permettre à la fois d'empiler plusieurs puces et de pouvoir toutes les interconnecter sans dédier d'espace spécifique. Cette architecture est possible à l'aide de l'intégration 3D décrite ci-dessous.

I.1.2) L'intégration 3D

Comme nous venons de le voir, la miniaturisation à elle seule ne suffit plus à améliorer les temps de commutation ainsi que les performances des circuits intégrés. Il est donc nécessaire de trouver une solution à ce problème permettant de concevoir les futures générations de circuits intégrés, tout en suivant les prédictions de Moore. A ce titre, l'architecture proposée par l'intégration 3D, semble être une solution prometteuse à la miniaturisation et aux fonctionnalités des circuits. En effet, son concept permet d'augmenter les performances des circuits sans passer par la miniaturisation des composants « More Moore », et permet également la diversification des fonctionnalités à l'aide d'intégrations hétérogènes « More than Moore » (Figure I. 4).

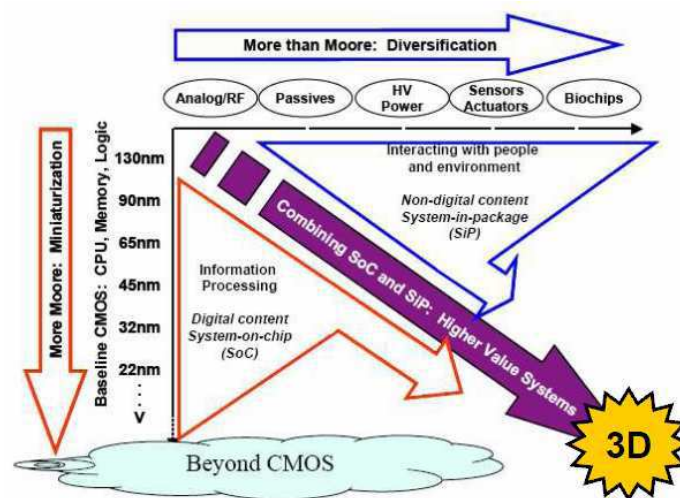


Figure I. 4 : Positionnement de la thématique de l'intégration 3D dans le contexte présent et futur de l'industrie des semi-conducteurs [ITRS2005]

I.1.2.1) Historique et principe de l'intégration 3D

L'intégration tridimensionnelle, telle que définie aujourd'hui, représente une architecture nouvelle et innovante. Elle consiste à empiler différents composants (provenant de plaque ou de puce différentes) puis à les interconnecter verticalement à l'aide de vias traversant les étages de silicium. Cette configuration de connexion verticale est appelée TSV (pour Through Silicon Vias). Si cette technologie reste novatrice, le concept d'empilement vertical quant à lui date des années 50. En effet, des empilements d'un composant actif sur des couches de composants passifs avaient été réalisés à cette époque [Henry1956]. Les interconnexions entre les différents niveaux étaient cependant faites par des câbles extérieurs à la puce. Ce type de configuration était appliqué uniquement dans le domaine du packaging jusqu'en fin des années 80, où Akasaka et Hayashi ont posé les concepts de base pour la réalisation d'un circuit 3D [Akasaka1986] [Hayashi1989], assez proche de ceux étudiés de nos jours.

Les premiers produits industriels ont été mis en production en 1998, et consistent à un empilement de puces reliées par câblage extérieur (Figure I. 5) [Rousseau2009]. Il s'agit notamment d'empilement de deux niveaux de mémoires [Garrou2005]. L'inconvénient du câblage extérieur (comme décrit au paragraphe I.1.1.3) est la grande surface occupée et le faible nombre d'interconnexions possible (car pas de connexions possible au cœur de la puce mais seulement sur les bords). C'est ainsi qu'a émergé le principe du TSV permettant les connexions verticales.

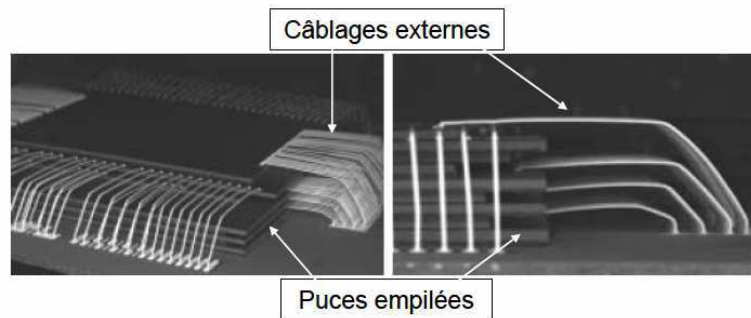


Figure I. 5 : Exemple d'un empilement de 9 puces reliées électriquement par câblage extérieur [Toshiba2004]

Il existe plusieurs façons de réaliser une structure tridimensionnelle. On retrouve pour chacune d'entre elles différentes étapes technologiques à maîtriser. Les 3 étapes principales communes à toutes sont les suivantes :

- Le collage et alignement : il s'agit de l'étape permettant l'empilement mécanique entre les différents niveaux. L'alignement est essentiel pour obtenir de forte densité d'interconnexions. En effet pour les fortes densités d'interconnexion, les dimensions sont de l'ordre de quelques microns ce qui implique directement un alignement à la même précision (voir en dessous).
- L'amincissement : après l'empilement des puces (ou plaques) il est nécessaire de les amincir afin de réduire la profondeur à graver pour la réalisation des TSV et donc la longueur d'interconnexion. L'étape d'amincissement permet également la miniaturisation du composant final.
- La réalisation des TSV (interconnexion verticale) : cette étape permet, comme décrit précédemment, de relier électriquement les différents niveaux empilés.

Ces différentes étapes sont décrites plus en détail aux paragraphes suivants (I.3, I.4 et I.5).

I.1.2.2) Amélioration des performances des circuits intégrés

Il a été mentionné précédemment, pour les faibles dimensions de nœud technologique, une augmentation des délais d'interconnexion notamment due à la longueur d'interconnexion entre deux blocs situés sur un même plan. Le fait d'empiler les différents blocs permet une diminution de ces longueurs d'interconnexion comme illustrée sur la Figure I. 6.

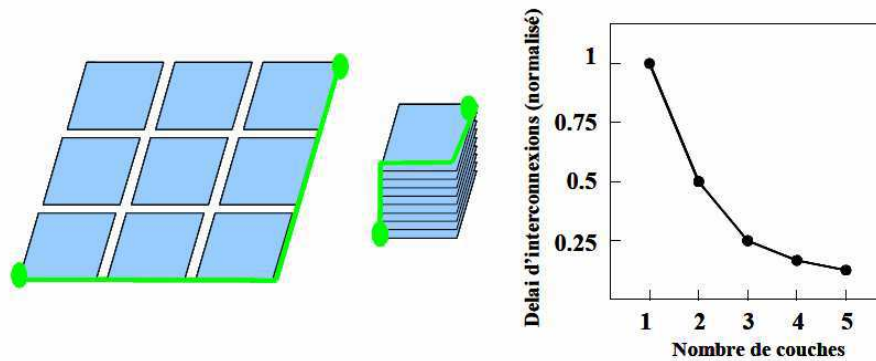


Figure I. 6 : Exemple d'une réduction des longueurs d'interconnexions pour un dispositif intégré en 2D ou assemblé en 3D. La courbe de droite montre que plus grand est le nombre de couches empilées, plus grand est le gain au niveau des longueurs d'interconnexion

Une première estimation de cette diminution a été donnée par Davis et al, qui ont annoncé une réduction des longueurs d'interconnexions de 42% pour une superposition de 3 niveaux [Davis2005]. Cette estimation ne prend pas en compte l'impact des vias traversant. Dans une étude plus minutieuse, Zhang et al, ont montré une diminution de 30% sur toutes les lignes de la structure 3D comparé à une structure 2D [Zhang2001].

I.1.2.3) Gain en surface utilisée / augmentation des densités d'interconnexions

Un gain en surface est obtenu en passant par une architecture 3D. En effet, une grande surface est économisée par le simple fait d'empiler les différents composants les uns sur les autres au lieu de les placer côte à côte sur un même plan (un exemple simple est illustré sur la Figure I. 6). Ce gain est également obtenu en remplaçant les lignes d'interconnexion planaire par des interconnexions verticales (TSV) [Garrou2006]. En diminuant également le diamètre de ces TSV, il est possible d'augmenter par la même occasion la densité d'interconnexion [Hen2007]. Il est possible de nos jours d'obtenir de forte densité d'interconnexion allant jusqu'à 10^7 connexions par cm^2 .

I.1.2.4) Approche adaptée à l'intégration hétérogène

Un des avantages majeurs de l'approche 3D est l'intégration hétérogène, qui consiste à empiler plusieurs composants de nature différente sur une même puce (Figure I. 7). Il s'agit en réalité de l'extension verticale du SoC (System on Chip). Cette configuration permet

d'obtenir un dispositif final couplant des technologies totalement différentes et impossible à réaliser sur un même support (exemple d'une mémoire avec un circuit logique). De plus, la communication entre les différents composants se fait plus rapidement à travers les TSV que sur un SoC plan.

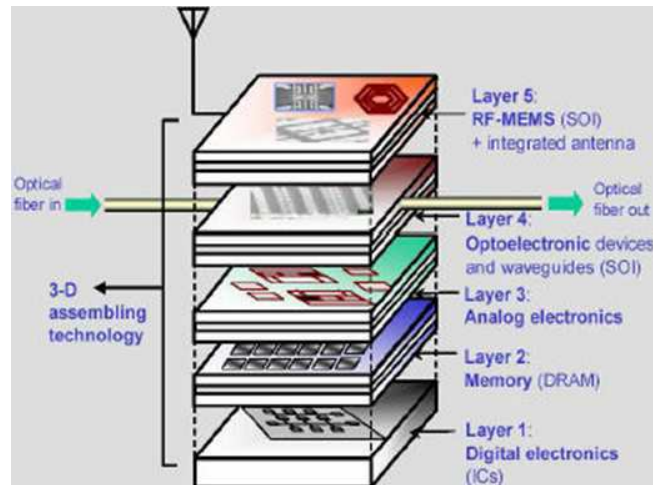


Figure I. 7 : Exemple d'intégration hétérogène où se trouvent empilées plusieurs puces de technologies différentes [Kernez2006]

I.1.2.5) Diminution des coûts de production

Considérant que l'intégration 3D est une technologie mixant le monde du packaging (SiP) et celui des performances (SoC), la plupart des procédés et technologies qui seront utilisées existe déjà. Contrairement au passage aux futurs nœuds technologiques qui nécessite le développement de nouvelles technologies et machines, il apparait que pour un dispositif ayant les mêmes performances quelle que soit la technologie utilisée, le passage industriel à l'intégration 3D sera moins coûteux que celui des prochains nœuds technologiques [Rousseau2009]. Une comparaison des coûts de fabrication pour un même produit réalisé en 2D ou 3D est donnée dans la Figure I. 8 [Ferrant2008].

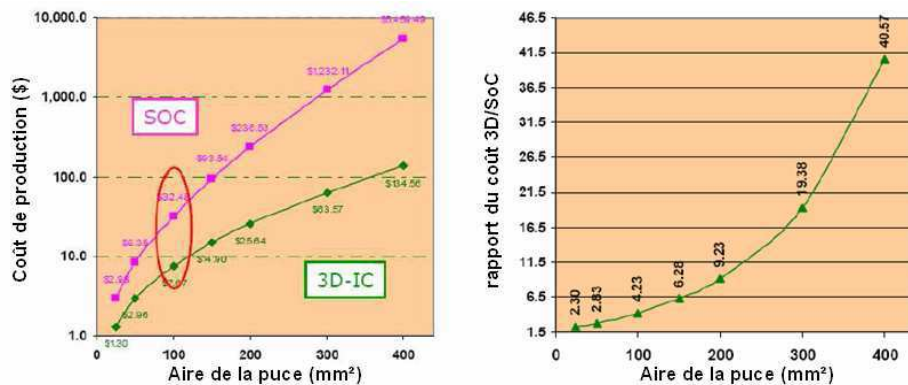


Figure I. 8 : Comparaison des coûts de fabrication (en \$) d'un produit 45nm réalisé en 2D ou en 3D en fonction de la surface de la puce (gauche), rapport des coûts relatif au SoC et 3D [Ferrant2008]

I.1.2.6) Intégration 3D monolithique

Il existe également un autre type d'intégration 3D très différent de ce qui a été décrit précédemment et de ce qui sera étudié dans cette thèse. Cette architecture 3D est appelée intégration 3D monolithique. Elle consiste à connecter verticalement deux transistors MOS réalisés sur un même support, l'un au dessus de l'autre. Il est possible d'obtenir une très haute densité d'interconnexions à l'aide de cette architecture. Le principe est de réaliser un premier niveau de transistors sur le substrat, puis de reproduire un deuxième niveau par-dessus. Les deux niveaux sont connectés à l'aide de vias de type microélectronique (diamètre d'environ 100 nm pour une profondeur de quelques centaines de nm). Le tout est interconnecté par un réseau BEOL (Back-End Of Line, cf. glossaire) standard. Le tout constitue ainsi un seul bloc intégré, d'où l'appellation 3D monolithique. Un exemple de cette architecture est représenté sur la Figure I. 9.

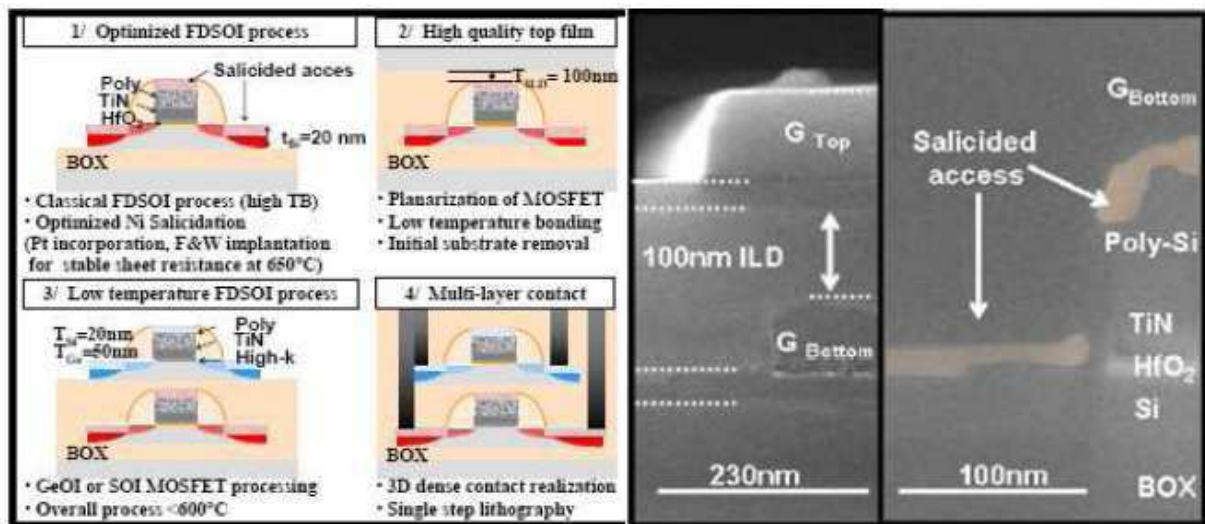


Figure I. 9 : Exemple d'une intégration 3D monolithique [Batude2009]

Le principal inconvénient de ce concept est le budget thermique, car en effet, il est important de ne pas endommager le premier niveau de composant lors de la réalisation du second niveau. C'est le principal frein au développement de cette technologie. Le coût de réalisation d'une telle structure est également élevé par rapport à une structure 3D réalisée par report de couches (plaque ou puce).

I.1.3) Différentes approches pour l'intégration 3D

Plusieurs architectures sont possibles dans une intégration 3D. Celles-ci sont orientées par le choix des procédés technologiques maîtrisés et du produit final désiré. Ces différentes architectures dépendent de plusieurs paramètres tels que la nature de l'empilement (plaque ou puce), l'orientation des plaques, le type de collage, ou même en fonction du moment de réalisation du TSV dans la chaîne de fabrication.

I.1.3.1) Type d'empilement

L'empilement des composants dans un produit 3D peut se faire de plusieurs façons : plaque à plaque (W2W pour Wafer to Wafer), puce à plaque (D2W pour Die to Wafer) ou encore puce à puce (D2D pour Die to Die). La Figure I. 10 représente un exemple de ces différents empilements. La dernière approche (D2D) se fait à l'échelle de la puce, ce qui rend son temps de réalisation très long. Cet empilement est plutôt utilisé pour les applications de packaging 3D (assemblage final avant câblage en boîtier).

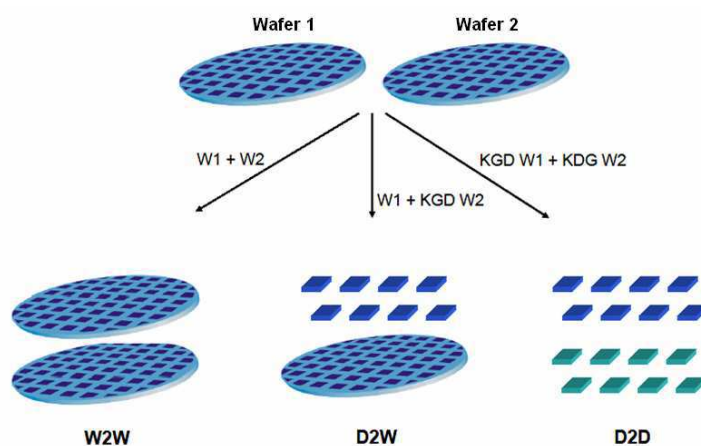


Figure I. 10 : Représentation des trois types d'empilement W2W (Wafer to Wafer), D2W (Die to Wafer) et D2D (Die to Die). Avec KGD pour Known Good Die

L'empilement plaque à plaque présente l'approche la plus rapide à réaliser, cela est dû au grand nombre de composants assemblés simultanément et à la possibilité d'empiler juste après processing (réalisation des niveaux actifs) des plaques. Cependant, cette approche a pour inconvénient de voir le rendement diminuer avec l'augmentation des zones actives à empiler. D'où l'avantage de l'empilement puce à plaque qui présente un meilleur rendement. En effet, les puces que l'on vient empiler ont préalablement été testées et seule les fonctionnelles sont sélectionnées, ces puces sont appelées KGD (pour Known Good Die). La Figure I. 11 illustre l'augmentation de rendement de l'empilement D2W par rapport au W2W.

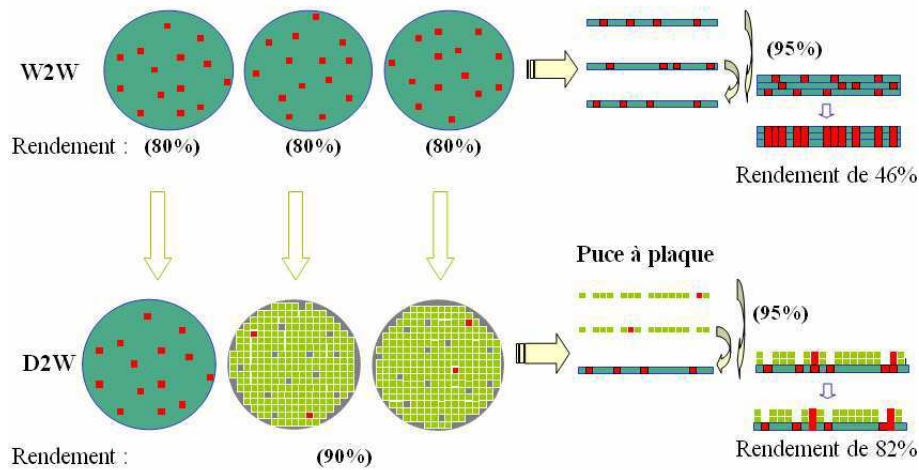


Figure I. 11 : Exemple de différence de rendement entre un empilement plaque à plaque et puce à plaque (en rouge sont représentées les zones non fonctionnelles). L'empilement de 3 plaques ayant chacune un rendement de 80% fait chuter son rendement de 46%. Par contre, l'empilement de puces fonctionnelles sur une plaque à 90% de rendement fait légèrement diminué ce dernier à 82%

I.1.3.2) Orientation de l'empilement

Soit deux plaques processées sur une face appelée face avant (face sur laquelle se trouvent les niveaux actifs). Alors, il existe deux façons d'empiler ces plaques. Les plaques peuvent être assemblées dans le même sens (face avant en haut), il s'agit de l'approche appelée « Face to Back » puisqu'une face avant est collée sur une face arrière. Ou alors, les plaques sont assemblées après retournement de l'une d'entre elle, dans ce cas on parle de l'approche « Face to Face », dans ce cas les deux faces avant se retrouvent collées l'une contre l'autre. Ces deux différentes approches sont représentées en Figure I. 12.

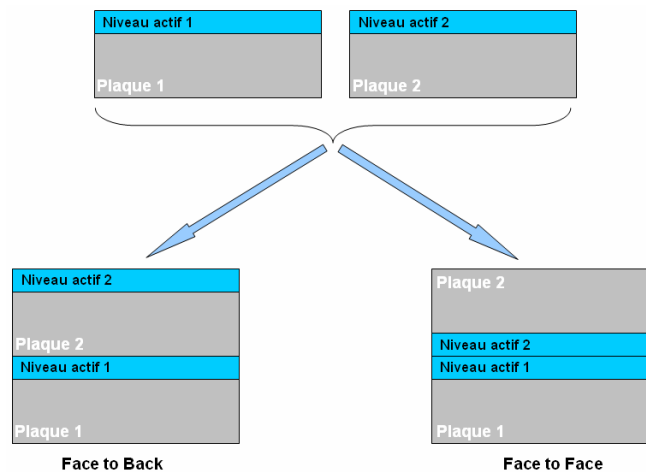


Figure I. 12 : Schéma représentatif des deux approches d'empilement tridimensionnel suivant l'orientation des plaques

L'approche utilisée aura un impact direct sur la réalisation du circuit 3D. Un exemple de ces différences d'intégration utilisées suivant l'empilement est représenté en Figure I. 13. Les plaques de silicium utilisées en microélectronique ont une épaisseur d'environ 700 μm . Les TSV quant à eux ont généralement une hauteur inférieure à 100 μm . Il est donc nécessaire, si l'on empile plusieurs plaques, de les amincir pour permettre la réalisation des interconnexions verticales reliant les différents circuits. Dans le cas d'un empilement « Face to Face », l'amincissement se fait après collage. Il se fait avant collage, pour un empilement face to back. Cependant dans ce dernier cas, la manipulation d'une plaque d'épaisseur inférieure à 100 μm étant difficile, on a recours à l'utilisation d'une poignée collée temporairement comme illustrée sur la Figure I. 13.

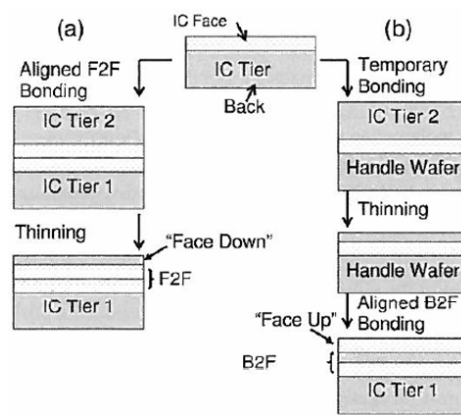


Figure I. 13 : Exemple d'intégration utilisée suivant l'approche du collage : a) Face to face, dans ce cas la plaque 2 est amincie après collage. b) face to back, dans ce cas la plaque 2 est collée sur une poignée temporaire pour être amincie puis retournée et collée sur la plaque 1, la poignée est ensuite retirée [Garrou2008]

I.1.3.3) Type de connexion inter puce (TSV)

Il existe également, dans le monde de la microélectronique, des noms spécifiques à des empilements tridimensionnels qui dépendent du positionnement de la réalisation des TSV au cours du processus de réalisation global de la structure 3D. On distingue deux types d'empilements différents appelés : Vias first et Vias last.

Vias first : cette dénomination fait référence à une architecture dans laquelle les TSV sont réalisés avant l'étape de collage (ou d'empilement) des deux plaques. Plus exactement, pendant le processus de fabrication des circuits planaires. Ceci implique que le procédé de réalisation de ces interconnexions soit compatible avec les différents procédés de fabrication ultérieurs (budget thermique, compatibilité des matériaux métalliques, etc.). Deux sous-catégories sont retrouvées dans l'intégration type Vias first : le « TSV pre-process », et le « TSV mid-process ». Le premier, fait référence au fait que le TSV soit réalisé en tout début de processus, directement sur le substrat de silicium, avant même la réalisation de la partie active du FEOL (pour Front-End Of Line, cf. glossaire). Quant au terme TSV mid-process,

celui-ci fait référence à une réalisation des TSV après formation des composants actifs et avant réalisation des interconnexions du BEOL (pour Back-End Of Line, cf. glossaire). La Figure I. 14 illustre de manière globale les deux sous catégories d'un empilement de type Vias first.

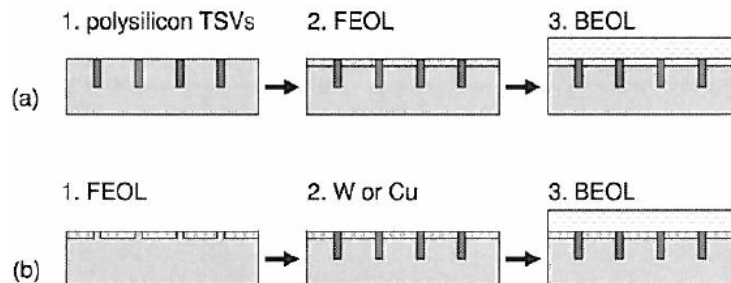


Figure I. 14 : Deux exemples d'intégration type Vias first : a) TSV pre-process, où les TSV sont réalisés avant FEOL et BEOL, b) TSV mid-process, où les TSV sont réalisés entre le FEOL et le BEOL [Garrou2008]

Vias last : cette approche signifie que les TSV sont réalisés à la fin du processus de fabrication et donc après réalisation des composants actifs, du collage et des étapes d'amincissement. Un exemple de ce type d'intégration est représenté en Figure I. 15. L'exemple choisi utilise également une approche face to face ainsi que le procédé de collage direct.

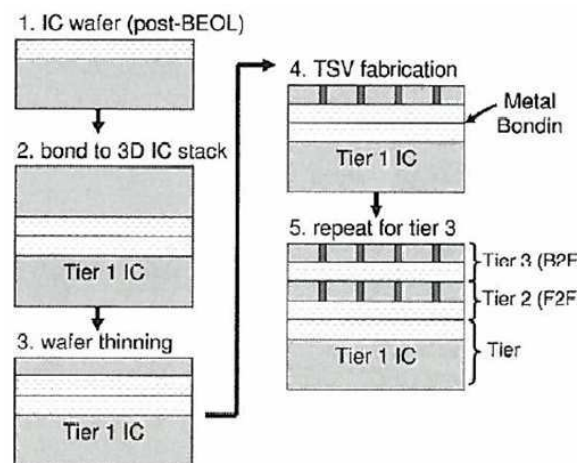


Figure I. 15 : Exemple d'intégration 3D type Vias last avec approche face to face et empilée par collage direct [Garrou2008]

L'avantage de cette famille d'intégration type Vias last, est la décorrélation entre la réalisation des TSV et celle des circuits intégrés. En effet, les différentes plaques peuvent être réalisées de manière habituelle sans se soucier des procédés de fabrications liés au 3D. C'est cette approche qui sera utilisé dans cette thèse pour la structure 3D étudiée.

I.1.3.4) Type de collage

Deux types d'assemblage peuvent être utilisés lors de la réalisation d'une structure 3D, celles-ci dépendent de la nature des matériaux mis en contact au niveau de l'interface de collage. En effet, le collage peut être :

- Soit isolant (collage oxyde ou collage polymère). Dans ce cas la connexion électrique entre les deux plaques se fait à l'aide de deux TSV, dont un traversant l'interface de collage.
- Soit métallique, et dans ce cas la connexion électrique se fait au même moment que l'adhésion mécanique, ce qui permet de s'affranchir d'une étape de réalisation des TSV.

Ces deux différentes approches sont représentées en Figure I. 16.

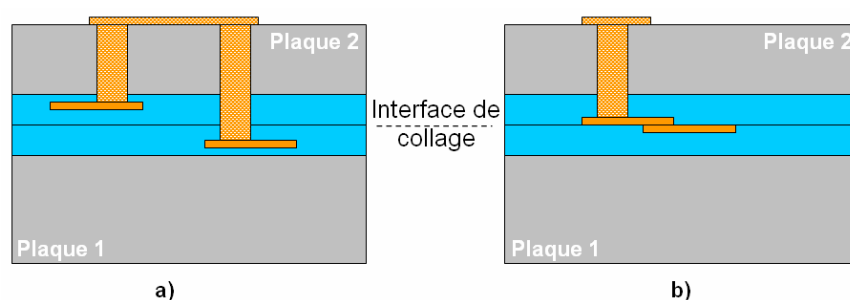


Figure I. 16 : Schéma représentatif de deux configurations d'assemblage suivant le type de collage utilisé : a) Collage isolant nécessitant deux TSV pour assurer la connexion électrique entre les deux plaques, b) Collage métallique assurant la connexion électrique et donc s'affranchissant d'un TSV

Dans la suite du chapitre, nous allons décrire les principaux procédés utilisés pour la réalisation d'une structure 3D : collage, amincissement et interconnexions verticales (TSV). Etant donné que le collage utilisé est un collage métallique, il sera également décrit la configuration et la réalisation des lignes de cuivre situées sur les faces collées et qui serviront d'interconnexions métalliques entre les deux plaques (ou puces).

I.2) Réalisation des lignes de cuivre

Dans le cadre de ce travail, l'assemblage étudié sera réalisé à l'aide du procédé de collage métallique. Dans cette configuration, des lignes de cuivre sont réalisées sur la face supérieure de chaque plaque, de sorte à former un contact électrique après leur mise en contact (le procédé de collage sera décrit au paragraphe I.3).

La couche à coller correspond à la dernière couche (couche supérieure) des niveaux d'interconnexions métalliques du BEOL. Dans un premier temps, pour étudier le comportement électrique du collage, seul le dernier niveau d'interconnexion sera réalisé. Nous allons décrire dans cette partie, les procédés de réalisation des lignes de cuivre utilisées pour la réalisation des interconnexions métalliques en microélectronique.

Pour obtenir une interconnexion en cuivre, on réalise tout d'abord une tranchée dans l'isolant qui recouvre notre substrat (plaque de silicium). Puis, le métal conducteur y est ensuite déposé et poli. Ce procédé est appelé « procédé damascène ».

I.2.1) Dépôt des sous-couches (seed layers)

Après ouverture dans l'oxyde, de sorte à créer les formes de lignes voulues, deux sous-couches sont déposées (généralement les deux dépôts s'enchaînent). La première (par ordre chronologique) est une barrière à la diffusion du cuivre dans l'oxyde, il s'agit d'une couche de type TaN/Ta (nitrure de tantale / tantale) ou TiN (nitrure de titane). La seconde est une couche d'accroche en cuivre (Cu) qui sert également de couche conductrice pour l'étape suivante. Les étapes sont représentées dans la Figure I. 17.

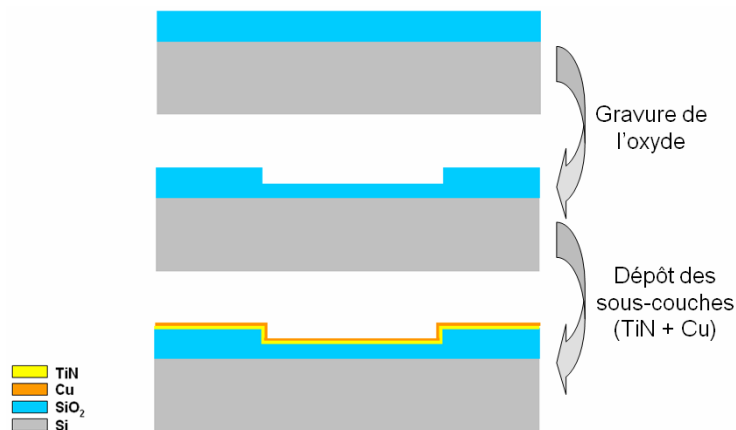


Figure I. 17 : Schémas descriptifs des étapes de gravure de l'oxyde et dépôt des sous-couches nitrure de titane et cuivre

Dans notre cas, les sous-couches réalisées sont constituées de 20nm de TiN déposée par voie chimique en phase vapeur CVD (Chemical Vapor Deposition), et de 200nm de Cu réalisée par PVD (Physical Vapor Deposition).

I.2.2) Dépôt électrochimique du cuivre

Les lignes gravées sont finalement remplies entièrement de cuivre à l'aide d'un dépôt par voie électrolytique (ECD, pour Electro-Chemical Deposition). Ce procédé consiste à réduire un métal présent sous forme ionique en solution sur une cathode (dans notre cas, il s'agit de la plaque de silicium recouverte d'une couche conductrice en cuivre) à l'aide d'un courant extérieur. Ce procédé de déposition a l'avantage de présenter un faible coût de production et des vitesses de dépôt élevées. La Figure I. 18 schématise cette étape d'électrolyse. Une épaisseur de 1µm de cuivre est réalisée par ECD dans notre étude.

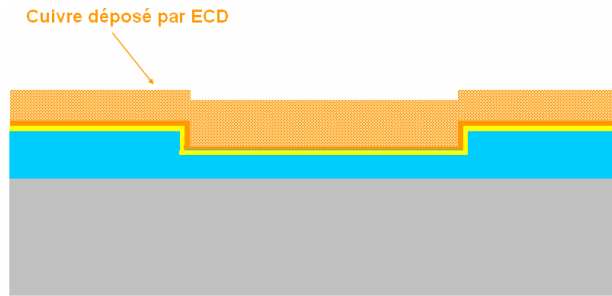


Figure I. 18 : Schéma représentant l'état de la plaque après dépôt électrolytique du cuivre

I.2.3) Recuit de recristallisation

Le principal but de ce recuit est de recristalliser le cuivre afin de diminuer sa résistivité, d'éliminer plusieurs des impuretés générées lors du dépôt électrolytique et de renforcer l'adhérence entre le cuivre et sa barrière métallique.

I.2.4) Polissage mécano-chimique des lignes de cuivre

La dernière étape de réalisation des lignes de cuivre est de retirer l'excès de cuivre et de barrière métallique à l'aide d'un polissage mécano-chimique. En effet, après ECD et recuit, la plaque est recouverte de cuivre. Le but de cette étape est de récupérer une surface mixte (cuivre-oxyde) et plane permettant la réalisation du procédé de collage direct (décrit dans le paragraphe suivant). Le polissage se fait en deux étapes : d'abord, la couche de cuivre est polie jusqu'à la barrière de TiN. L'arrêt de cette étape d'amincissement ne se fait pas à l'aide d'un temps paramétré mais à l'aide d'une détection optique du TiN lorsque ce dernier est mis à nu. La deuxième étape de polissage sert à enlever la barrière métallique et à réduire la rugosité de surface. Ces étapes de polissage sont représentées en Figure I. 19.

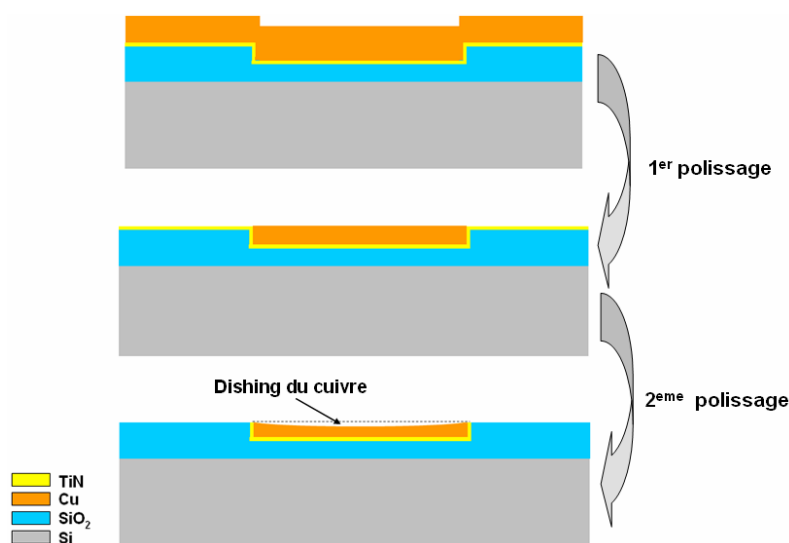


Figure I. 19 : Schémas représentatifs des différentes étapes de polissage d'une surface mixte (avec génération d'un dishing au niveau du cuivre)

Il est important de noter la présence d'une légère topologie de la surface mixte (cuivre-oxyde) due à la non-homogénéité de polissage sur les différents matériaux. En effet, le cuivre se polissant plus vite que l'oxyde, un creux (que l'on appellera « dishing » par la suite) sera créé dans le cuivre. Ce dishing sera fonction des dimensions des lignes de cuivres ainsi que de leur densité dans l'oxyde. En modifiant les propriétés chimiques du polissage il est possible de modifier le rapport de sélectivité de polissage des deux matériaux, et de le reproduire de manière assez précise. Dans notre cas, un léger dishing du cuivre sera favorisé sur la surface polie afin d'optimiser le collage lors de mise en contact des deux surfaces polies.

I.3) Procédés de collage de couches métalliques

Plusieurs types de collage existent de nos jours pour réaliser en une seule étape un assemblage mécanique et une interconnexion métallique. Deux principales technologies coexistent, notamment par la forte adhésion, la bonne conduction électrique et la forte densité d'interconnexion obtenue. Il s'agit du scellement par thermo-compression de pads ou bumps (billes) métalliques ou du collage direct de couches patternées métal / oxyde.

I.3.1) Collage par thermo-compression

I.3.1.1) Principe

Le principe d'un collage par thermo-compression est d'appliquer simultanément, après avoir mis les plots métalliques de chaque plaque en vis-à-vis, une forte pression (de l'ordre du MPa) et un budget thermique élevé. Les principaux mécanismes mis en jeu lors du collage sont l'inter-diffusion et le fluage du cuivre [Chen2002]. La qualité du collage obtenue par thermo-compression dépend fortement de plusieurs paramètres : la température de collage, la pression appliquée et son homogénéité sur toute la plaque, la durée du collage et l'environnement de ce dernier [Chen2004].

La température a un effet direct sur le mécanisme de diffusion du cuivre qui se produit lors du collage. Ce paramètre doit être contrôlé et suffisant afin d'activer la diffusion du cuivre. De plus, plus la température est élevée, plus facile sera la croissance des grains de cuivre. De la même façon, la durée du collage est liée à la température appliquée et impacte directement sur les phénomènes de diffusion aux interfaces. Un compromis entre ces deux paramètres doit être trouvé. En plus de la température appliquée lors du collage, un recuit supplémentaire après étape de collage est nécessaire afin de renforcer et d'améliorer la qualité de l'interface collée.

Etant donné l'importante rugosité de surface du cuivre présente avant collage, la pression a pour but, en plus de favoriser le mécanisme de collage (inter-diffusion et fluage), d'augmenter la surface en contact.

Le moindre écart en température (entre les deux plaques) ou en pression (homogénéité sur une plaque) va induire un désalignement lors du procédé de collage. C'est ce qui limite à nos jours la densité d'interconnexion obtenue par ce collage.

Le dernier paramètre à contrôler est l'environnement dans lequel se produit le collage. En effet, le but étant d'obtenir un bon contact électrique aux niveaux des plots métalliques en contact, il est donc nécessaire d'éviter toute oxydation qui aura pour résultat une forte résistivité à l'interface et pourrait par la même occasion favoriser des phénomènes d'électromigration. Pour cela, les collages (et également recuit après collage) ont lieu généralement sous atmosphère contrôlée, exemple sous flux d'azote ou sous vide.

Ce procédé de collage est trop long pour les applications puce à plaque, sachant qu'il faut presser chaque puce indépendamment, le temps de réalisation est trop important. Depuis peu, de nouvelles approches de collage collectif ont été proposées de sorte à coller simultanément toutes les puces [Huyghebaert2010]. Cependant, les procédés collectifs de préparation de surface restent encore à revoir car ils ont tendance à dégrader la qualité de collage.

I.3.1.2) Thermo-compression Cu-Cu

Le cuivre est le matériau le plus utilisé pour les différentes approches de collages métalliques. Le choix de ce métal est notamment dû à sa bonne conduction thermique et électrique, à la faible résistance aux interfaces et à sa compatibilité avec les différentes étapes technologiques utilisées en microélectronique (notamment les interconnexions métalliques du BEOL, qui sont réalisées en cuivre).

Les températures utilisées pour réaliser un collage par thermo-compression cuivre-cuivre sont de l'ordre de 350-400°C [Chen2004]. C'est la température nécessaire pour obtenir une bonne fermeture de l'interface de collage. Pour ce qui est de la pression et de la durée du recuit, cela varie. Généralement des pressions de l'ordre de 0,4 MPa sont utilisées pendant 30 minutes suivies d'un recuit (sans pression) d'une heure pour consolider le collage [Gopal2008, Ko2009].

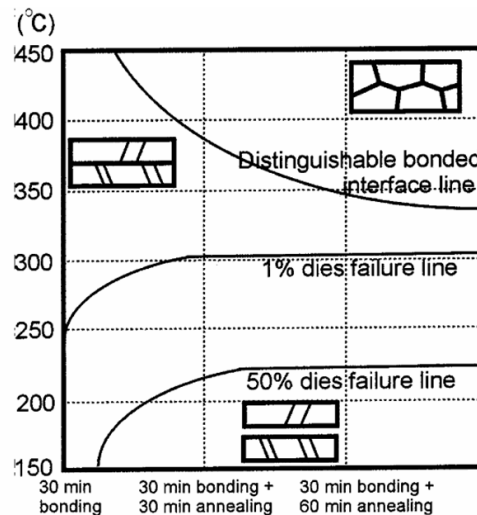


Figure I. 20 : Schéma représentatif de l'évolution de la qualité de collage Cu-Cu par thermo-compression en fonction du budget thermique [Chen2004]

Plusieurs approches sont utilisées pour les collages réalisés par thermo-compression. On en retrouve 3 principales qui dépendent de la topologie présente à l'interface de collage. Ces approches sont représentées en Figure I. 21. Les deux premières représentent une préparation de surface de sorte à obtenir, sur chaque plaque, une protusion de quelques microns des plots de cuivre qui sont mis en contact lors de la thermo-compression. Dans la majorité des cas l'espace vide entre les plots collés est rempli, après collage, par un polymère appelé « underfill » [Agarwal2010]. Cependant, ce polymère peut être à l'origine de défaillance au niveau de la fiabilité du procédé. En effet, dans la rugosité restante au niveau de l'interface de collage Cu-Cu, il est possible d'avoir des résidus de polymère piégé pouvant engendrer des défaillances électriques. Ces résidus sont plus importants dans le cas où le polymère est déposé avant collage.

La deuxième approche est moins utilisée et a la particularité de ne pas remplir l'espace entre les différents plots. Cette configuration reste néanmoins mécaniquement « fragile », cela est dû à la faible densité de cuivre collée de l'ordre de 10% de la surface de la plaque. Chen propose pour augmenter la surface en contact (et donc la tenue mécanique) de coller également les zones d'oxydes autour des plots de cuivre, comme représenté sur la Figure I. 21. Pour cela, une protusion de l'oxyde est réalisée sur l'une des surfaces à coller [Chen2010], puis cette dernière est collée sur la deuxième plaque préparée de manière standard (avec protusion des plots de cuivre).

La dernière approche est une préparation d'une surface « plane » mixte cuivre-BCB (pour un polymère appelé BenzoCycloButène) [McMahon2008]. Cette dernière approche offre une adhésion mécanique supplémentaire à l'aide du collage BCB-BCB et une conduction électrique à l'aide des plots de cuivres collés. Cependant, comme pour l'approche avec remplissage de l'espace entre les plots, celle-ci présente plusieurs cavités notamment aux

zones les plus contraintes (Figure I. 21). Ces cavités peuvent également induire des faiblesses au niveau de la fiabilité d'un tel procédé.

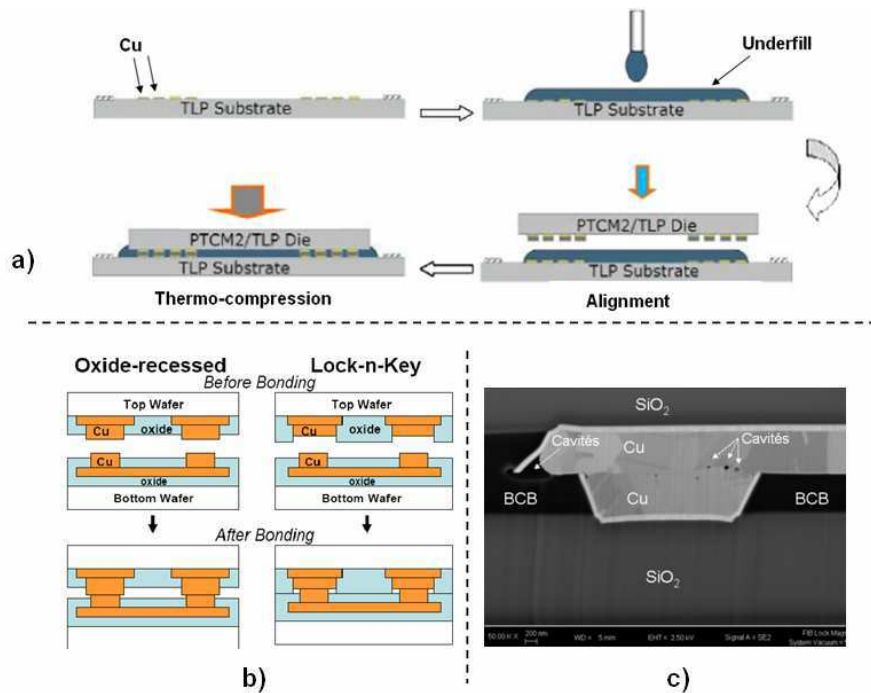


Figure I. 21 : Différentes approches utilisant le collage Cu-Cu par thermo-compression : a) approche standard avec plots de cuivre en protusion et ajout d'un polymère underfill [Agarwal2010], b) approche sans ajout d'underfill, avec ou sans ajout de surface oxyde-oxyde en contact [Chen2010], c) collage d'une surface mixte Cu-BCB [McMahon2008]

I.3.1.3) Eutectique Cu-Sn

Afin de diminuer la température de collage lors de la thermo-compression, une solution utilisée par plusieurs laboratoires [Temple2008, Labie2008, Huebner2002] est de former un eutectique à l'interface de collage lors de la montée en température. Le plus courant est l'intermétallique cuivre-étain (Cu-Sn). Comme il est possible de le voir d'après le diagramme de phase des métaux Cu-Sn (Figure I. 22). La température nécessaire pour former l'intermétallique est légèrement supérieure à celle de la fusion de l'étain qui est de 232°C. Le collage eutectique est généralement réalisé à des températures de l'ordre de 250-270°C [Ko2011].

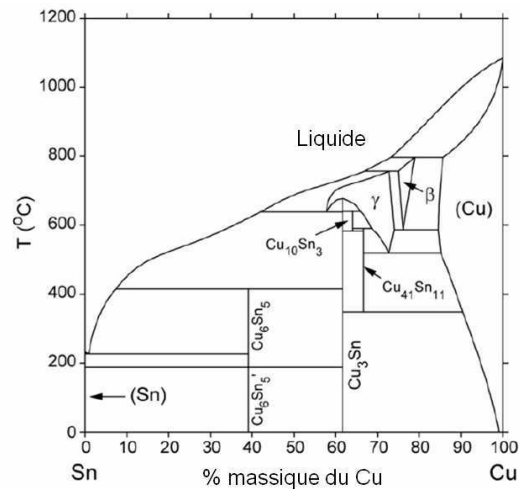
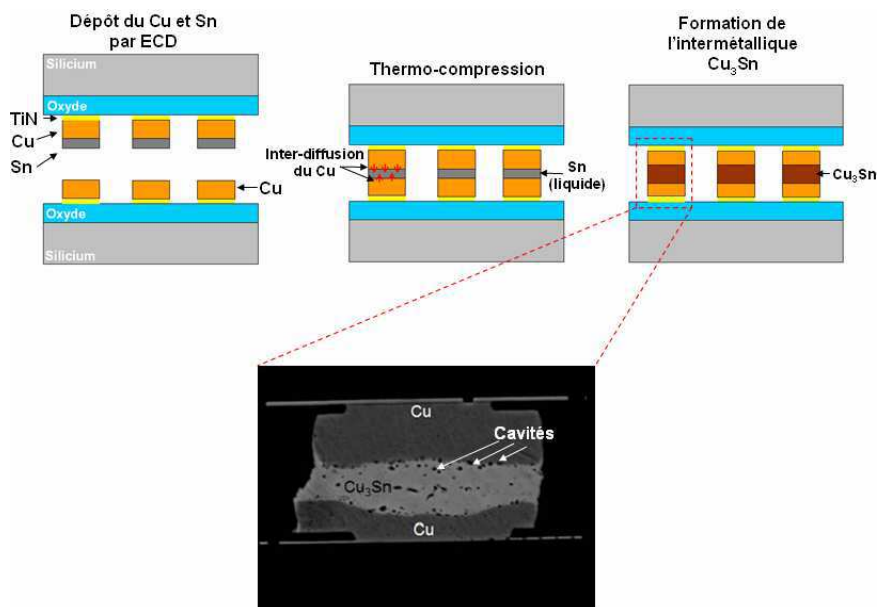


Figure I. 22 : Diagramme de phase Cu-Sn

Le principe est simple et consiste à poser sur un des plots de cuivre une couche d'étain qui sera mise en contact avec un plot de cuivre de la deuxième plaque. Puis lors de la thermo-compression à la température désirée, l'alliage eutectique Cu_xSn_y (généralement Cu_3Sn) est formé scellant ainsi l'interface (Figure I. 23).

L'avantage de ce collage est principalement les faibles températures nécessaires pour sceller l'interface. Le collage se produisant en phase liquide, cela permet de s'affranchir d'une préparation de surface avant collage. Cependant, ce changement de phase induit une variation de volume qui va générer des cavités au niveau de l'interface, un empilement non reproductible ou encore d'autres intermétalliques, notamment du Cu_6Sn_5 , (en bords de plots ou au centre). Toutes ces conséquences peuvent être à l'origine de défaillance électrique lors des tests de fiabilité.

Figure I. 23 : Schéma représentant la réalisation d'un collage eutectique Cu-Sn, avec une image [Agarwal2010] d'une connexion après formation de l'alliage Cu_3Sn

I.3.2) Collage direct

I.3.2.1) Principe

Le principe du collage direct est basé sur la mise en contact direct de deux surfaces, sans ajout d'un matériau spécifique à l'interface de collage tel : une colle, une cire, ou un métal à basse température de fusion...etc. Afin d'initier le contact, les plaques doivent être rapprochées de telle sorte à ce que les forces attractives (forces de Van der Waals ou liaisons hydrogènes) entre les deux surfaces soient assez élevées pour provoquer l'adhérence moléculaire. Les deux conditions primordiales à la réalisation d'une telle opération sont le nettoyage et la préparation des surfaces à coller, dans le but de les rendre les plus lisses possible et d'éliminer toute particule ou contamination en surface pouvant être à l'origine de défauts de collage.

Le collage direct a la particularité de pouvoir se faire à température ambiante, pression atmosphérique et sous air. Afin de renforcer l'adhésion entre les deux surfaces mises en contact et d'augmenter l'énergie de collage, un traitement thermique (que l'on appellera recuit de collage) est réalisé et permet de remplacer les liaisons de faible énergies par des liaisons de forte énergies type covalentes. Une autre particularité du collage direct est qu'il se produit par la propagation d'une onde de collage dont le temps de propagation est de l'ordre d'une dizaine de secondes après initiation. Un exemple de propagation d'une onde de collage est représenté en Figure I. 24.

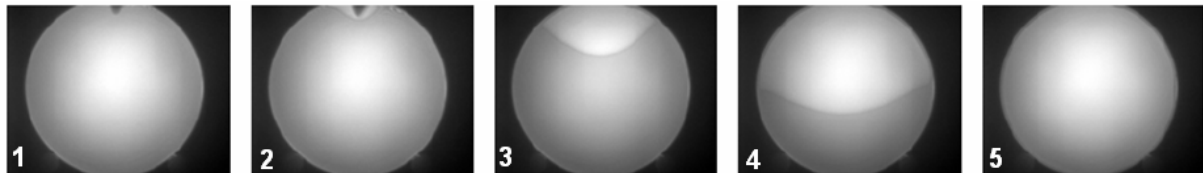


Figure I. 24 : Exemple d'une visualisation par microscope infrarouge de la propagation (de gauche à droite) d'une onde de collage (dans le cas d'un collage oxyde-oxyde). L'onde est initiée en bord de plaque (image 2) et se propage jusqu'à propagation sur toute la plaque en quelques secondes (image

5)

Le collage dépend également de la nature des surfaces ainsi que celle du milieu qui les sépare. Il en résulte deux types de collage dits : collage hydrophile et collage hydrophobe. Il est admis que le collage hydrophile est plus aisé à réaliser et de meilleure qualité que le collage hydrophobe. Il permet aussi le collage d'une variété plus grande de surface [Tong1998].

Pour réaliser un collage direct, les plaques ainsi que leur surface doivent répondre à quelques spécifications primordiales sans lesquelles le collage ne peut être de bonne qualité. Au niveau de la morphologie des plaques on retrouve : la flèche, la planéité et la microrugosité (Figure I. 25).

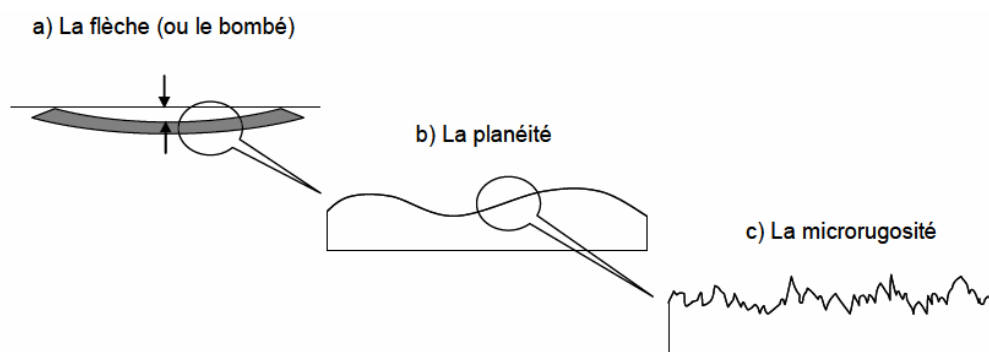


Figure I. 25 : Critères morphologiques auxquelles doit répondre un matériau pour permettre un collage de bonne qualité : a) la flèche de la plaque, b) la planéité, et c) la microrugosité en surface

La flèche correspond à la déformation (ou courbure) de la plaque. Pour une plaque standard de silicium (200mm de diamètre avec une épaisseur de $725\mu\text{m}$), la flèche maximum autorisée et permettant le collage direct est de l'ordre de $30\mu\text{m}$ [Rayssac1999].

La planéité correspond aux ondulations de la surface qui peuvent être créées lors de sa planarisation par polissage mécano-chimique par exemple. Ce paramètre a un impact direct sur la propagation de l'onde de collage. Cette planéité peut être mesurée à l'aide d'un profilomètre mécanique par exemple.

La microrugosité, quant à elle, caractérise les ondulations à l'échelle micrométrique. Elle représente également la rugosité de surface correspondant aux hautes fréquences. Sa mesure se fait à l'aide d'un microscope à force atomique (AFM) et est exprimée par sa valeur quadratique en nanomètre (aussi appelé RMS pour Room Mean Square). La limite de rugosité rms pour un collage direct oxyde est de l'ordre de 0.5nm [Moriceau2003].

En plus des critères morphologiques, le collage ne peut se faire qu'à condition que les surfaces soient les plus propres possibles. En effet, toute contamination, d'origine particulaire ou organique, peut être à l'origine d'un défaut de collage (zone dans lesquelles les deux surfaces ne sont pas en contact), comme représenté en Figure I. 26.

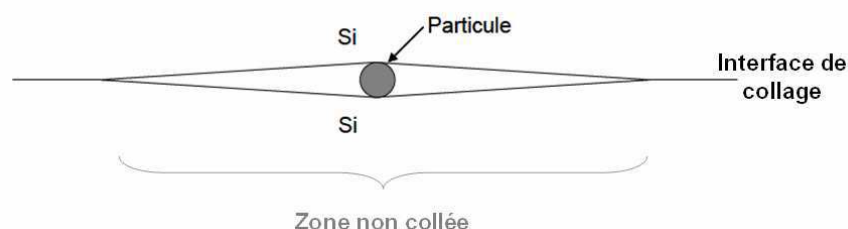


Figure I. 26 : Représentation d'une particule piégée à l'interface provoquant un défaut de collage

Un exemple est donné par Tong [Tong1999], qui annonce qu'une particule de $1\mu\text{m}$ de diamètre peut engendrer un défaut de collage de 5mm de diamètre, pour un collage de plaques ayant une épaisseur de $525\mu\text{m}$.

Les contaminations organiques, lors des recuits, peuvent se décomposer en sous produits gazeux entraînant la formation de bulles à l'interface de collage [Mitani1992].

Dans le cadre de la thèse, est étudié le comportement électrique du collage direct métallique avec pour surface à coller des surfaces mixtes cuivre-oxyde. C'est pour cela qu'il sera présenté, dans ce chapitre, le principe et mécanisme des collages oxyde et collages cuivre.

I.3.2.2) Collage de couches d'oxyde de silicium

Des mécanismes physique et chimique se produisent à l'interface de collage, lors des recuits, et permettent la fermeture de cette dernière. Stengl décrit, à la fin des années 80, le principe du collage direct oxyde-oxyde (c'est-à-dire deux plaques de silicium recouvertes d'une couche d'oxyde SiO_2) [Stengl1989]. Le modèle de Stengl considère que le deux surfaces à coller sont des surfaces hydrophile (et donc avec présence de groupement $-\text{OH}$). Lors de la mise en contact de ces surfaces, des liaisons hydrogènes se forment, créant ainsi une faible adhésion entre les deux surfaces. Ces dernières se retrouvent à 0.7nm séparées par des molécules d'eau. Après un recuit à 200°C , les molécules d'eau se réorganisent à l'interface et les surfaces se rapprochent à une distance de 0.35nm. Enfin, pour des recuits supérieurs à 700°C , des liaisons plus fortes se créent permettant un contact ultime entre les deux surfaces, il s'agit de liaisons covalentes type Si-O-Si (siloxane). La distance entre les deux surfaces devient alors minimum et égale à 0.16nm. Le modèle de Stengl est décrit en Figure I. 27.

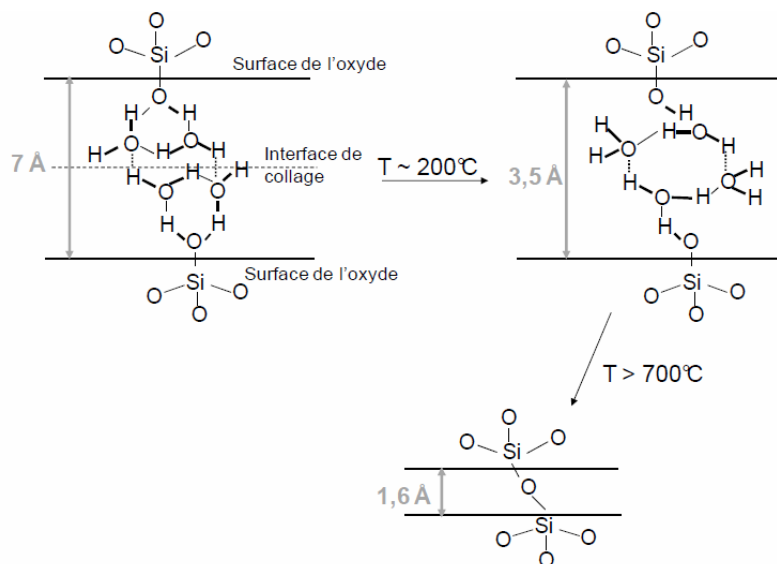


Figure I. 27 : Modèle de Stengl décrivant la fermeture de l'interface de collage en fonction de la température de recuit [Stengl1989]

Stengl explique donc que la fermeture de l'interface de collage se fait par le rapprochement des deux surfaces en fonction de la température de recuit. Ce modèle est ensuite repris quelques années plus tard par deux scientifiques Tong et Gösele qui recalculent la largeur de l'interface de collage et précisent la gamme de température d'évolution [Tong1999].

Depuis quelques années, le CEA-Léti et le CEA-Inac collaborent sur des mesures de l'interface de collage à l'échelle nanométrique. Leurs travaux remettent en cause le mécanisme de rapprochement des surfaces décrit par Stengl, Tong et Gösele. Ils proposent un modèle de contact par aspérité [Rieutord2006]. Ce modèle prend en compte la rugosité de surface des deux plaques mises en contact. En effet, même si les plaques sont très lisses à l'échelle macroscopique, elles sont rugueuses à l'échelle micrométrique.

L'interaction entre deux surfaces rugueuses peut être décrite par l'interaction entre une surface plane, parfaitement lisse et rigide, et une surface rugueuse [Greenwood1966]. Ceci est représenté en Figure I. 28.

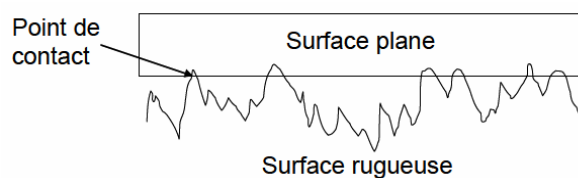


Figure I. 28 : Interaction entre deux surfaces rugueuses représentée par l'interaction entre une surface lisse et une surface rugueuse

Le contact entre les deux surfaces se produit au niveau des aspérités les plus hautes. Sans recuit de la structure, l'adhérence entre les deux surfaces se fait uniquement par l'équilibre qui se crée entre les forces d'attraction et de répulsion présentes entre les deux surfaces, il s'agit du modèle de Hertz [Hertz1981] représenté en Figure I. 29. Sous l'effet de la température, des liaisons covalentes se forment au niveau des points de contact. L'aire de contact s'étend tout en renforçant l'énergie d'adhésion entre les deux surfaces. Ce mécanisme de collage par extension des points de contact et non par rapprochement des surfaces a été développé par Johnson, Kendall et Roberts dans les années 70, et est appelé le modèle JKR [Johnson1971].

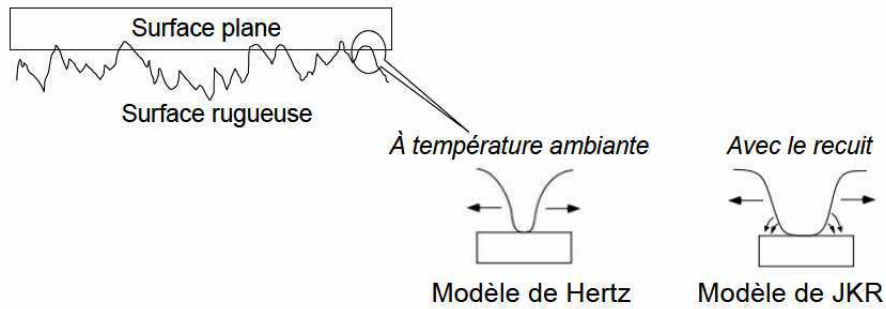


Figure I. 29 : Utilisation de modèle mécanique pour la compréhension du mécanisme de collage. Le modèle de Hertz (contact non adhésif) décrivant la mise en contact des surfaces sans recuit. Et le modèle JKR (contact adhésif) qui décrit l'évolution des points de contact avec la température de recuit

Les études menées par Rieutord et Ventosa [Rieutord2006, Ventosa2008], notamment à l'aide des investigations de l'interface de collage par réflectivité des rayons X, ont montré que la largeur de l'interface de collage est fixée à température ambiante par la distance entre les aspérités les plus hautes et la face opposée en contact. En effet, lors de la mise en contact des deux surfaces le contact se fait en quelques points. Sans recuit, les forces d'attraction génèrent au niveau des aspérités en contact une déformation élastique (écrasement) qui va à son tour induire une force répulsive. C'est la compensation de ces deux forces qui provoque l'équilibre correspondant à une distance de 0.7nm. Lors des traitements thermiques l'interface de collage se referme partiellement (et donc l'énergie de collage augmente) à l'aide de l'extension des aspérités en contact et de la formation de liaisons covalentes à ces endroits (Figure I. 30). Cependant, la largeur de l'interface de collage quant à elle reste inchangée jusqu'à des températures de 900°C. C'est au dessus de cette température que l'interface se referme totalement renforçant à nouveau l'énergie de collage.

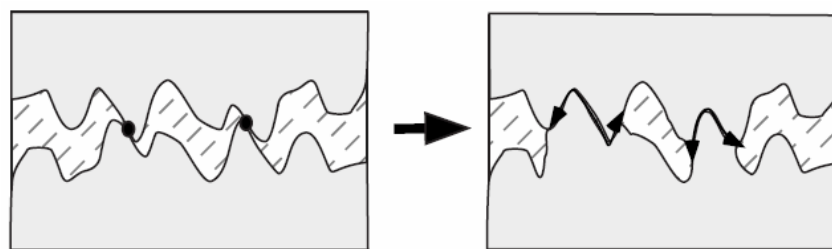


Figure I. 30 : Représentation du mécanisme de fermeture de l'interface de collage par le modèle de contact par aspérité [Ventosa2008]

I.3.2.3) Collage de couches métalliques

Le collage direct présente plusieurs avantages. En effet, il offre une grande force d'adhésion entre les deux substrats, un collage à température ambiante, une rapidité de réalisation (le collage est fait en quelques secondes), ainsi qu'un faible coût de production. De plus, il permet de s'affranchir de tout adhésif à l'interface, évite l'application d'une pression lors du collage qui pourrait détériorer les fonctionnalités des dispositifs en présence. En

réalisant des collages de surfaces métalliques, ce procédé permet également une communication électrique entre les deux substrats. Des études ont été menées sur le procédé de collage direct métallique [Gueguen2008], montrant la possibilité de réaliser des collages métalliques à température ambiante puis renforcement de ce collage par des traitements thermiques. Le mécanisme mis en jeu pour sceller l'interface de collage n'a été proposé que récemment, par Gueguen et al. [Gueguen2010].

Le collage est réalisé à température ambiante lors de la mise en contact des deux surfaces métalliques. Bien entendu, une préparation au préalable a été réalisée sur les plaques afin de satisfaire les spécifications requises pour le collage direct (morphologie des plaques, et état de surface de ces dernières). La préparation ainsi que l'activation de surface est réalisée par des étapes de polissage mécano-chimique et de nettoyage. Une fois les deux plaques planes et activées, elles sont mises en vis-à-vis (approche *face to face* décrite au paragraphe I.1.3.2). Puis une brève pression est réalisée sur la face arrière de la plaque du dessus afin d'amorcer la propagation de l'onde de collage. Le collage est donc réalisé à température ambiante, et il a été montré [Gueguen2009a] par différentes analyses par réflectivité des rayons X, que le collage était réalisé suivant le modèle de contact de surface rugueuse, comme pour l'oxyde.

Il a été mis en évidence, après étape de polissage et de nettoyage, une couche d'oxyde de cuivre Cu_2O (oxyde natif recouvrant la surface de cuivre), rendant la surface hydrophile à l'aide de liaisons Cu-OH en surface. Lors des premiers instants du collage, l'adhésion se fait à l'aide de forces de Van der Waals et de liaisons hydrogènes. La rugosité de surface inférieure à 0.5nm RMS, permet une adhésion suffisante pour maintenir les plaques collées sans traitement thermique. L'interface de collage à température ambiante est formée de deux couches d'oxyde de cuivre collée d'une épaisseur de quelques microns [Gueguen2009b].

Comme pour le collage par thermo-compression le collage direct est renforcé par effet de la température. En effet, suivant la température de recuit appliquée, des mécanismes de fluage ainsi que de diffusion du cuivre se produisent au niveau de l'interface. Les études menées par Gueguen lors de sa thèse ont montré une évolution de l'interface de collage en fonction de la température de recuit [Gueguen2010]. Il est possible d'observer dans la Figure I. 31 la disparition, au fur et à mesure que la température monte, de l'interface de collage (et donc de la couche d'oxyde de cuivre) jusqu'à des températures de 400°C où les joints triples de l'interface prennent une position d'équilibre.

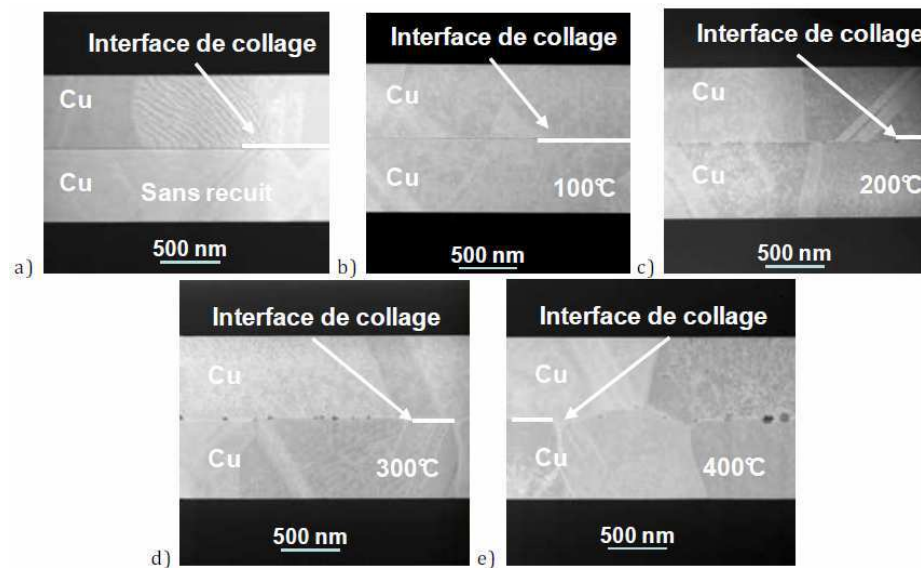


Figure I. 31 : Images STEM à champ sombre des collages Cu-Cu, a) à température ambiante, b) après recuit à 100°C, c) recuit 200°C, d) recuit 300°C, et e) recuit à 400°C [Gueguen2010]

Pour résumer cette évolution de l'interface de collage : à partir de températures supérieures à 120°C l'oxyde de cuivre Cu_2O perd sa stabilité thermodynamique et évolue vers l'oxyde CuO . Il en résulte une diffusion de cette couche d'oxyde le long de l'interface formant des précipités. Ce qui permet, à quelques endroits, un contact direct entre les deux couches de cuivre. Le nombre de ces précipités diminue avec l'augmentation de la température, ce qui donne lieu à une augmentation des zones de contact cuivre-cuivre (sans oxyde à l'interface). Au dessus de 300°C, la diffusion atomique du cuivre a lieu aux joints de grains rompant ainsi l'interface de collage nette et visible. Il reste toutefois des cavités le long de l'interface d'un diamètre d'environ 20nm. Ces cavités sont encore remplies d'oxyde ou en ont les parois tapissées si l'oxyde commence à diffuser dans le cuivre. Cette évolution de l'interface est schématisée en Figure I. 32.

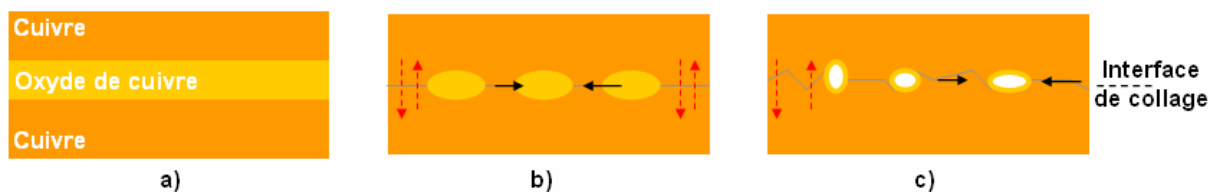


Figure I. 32 : Représentation schématique de l'évolution de l'interface de collage sous l'effet d'un traitement thermique : a) présence d'une couche homogène d'oxyde à température ambiante, b) puis instabilité en température de cet oxyde qui forme des précipités et apparition de zones de contacts Cu-Cu, c) diffusion du cuivre aux joints de grains et apparition de cavités le long de l'interface avec parois intérieure remplies d'oxyde

Pour finir, après une montée en température à 400°C, l'oxyde de cuivre initialement présent à l'interface de collage a diffusé laissant ainsi se créer des contacts cuivre-cuivre avec

une diffusion aux joints de grains à l'interface et permettant aux deux couches collées d'agir comme un seul et même matériau.

Le mécanisme décrit précédemment ne s'applique pas seulement au cuivre ; il a également été démontré pour des collages utilisant des couches de tungstènes (W) [Di Cioccio2010].

Un point essentiel à aborder est la préparation de surface pour les collages des surfaces mixtes (cuivre-oxyde). En effet, comme discuté dans le paragraphe I.2.4, les vitesses de polissage sur les différents matériaux en présence (dans notre cas le cuivre et l'oxyde) sont différentes. Et donc en contrôlant le procédé de polissage utilisé il est possible d'obtenir trois différentes topologies des surfaces à coller. La surface peut être plane, où aucune marche n'est présente entre les lignes de cuivre et l'oxyde autour. Il est également possible d'obtenir des lignes en protusion, c'est-à-dire que le niveau du cuivre est surélevé par rapport à l'oxyde autour. Et la dernière possibilité, qui est celle utilisée au sein du CEA-LETI, est l'obtention d'un Léger dishing (retrait) sur les lignes de cuivre. Les différentes topologies sont schématisées en Figure I. 33.

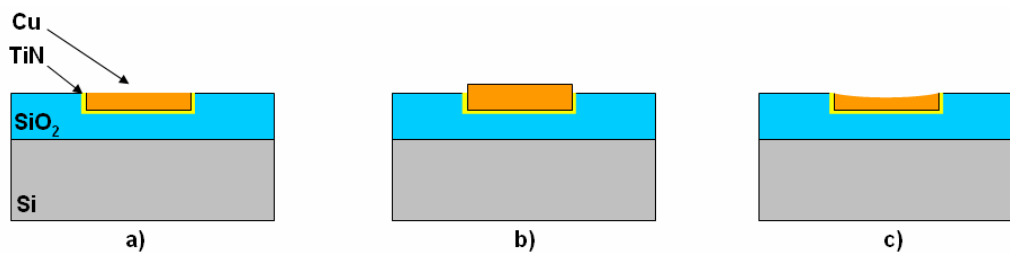


Figure I. 33 : Schéma représentant les différentes topologies possibles après polissage d'une surface mixte cuivre-oxyde : a) surface plane, b) le cuivre est en protusion par rapport à l'oxyde et c) le cuivre est mis en dishing par rapport à l'oxyde autour

C'est le mode de préparation donnant des lignes de cuivre en dishing qui a été favorisé pour le collage direct de surfaces mixtes cuivre-oxyde. Ce choix a été guidé par une étude sur la dilatation des lignes de cuivre en fonction de la température. En effet, il a été montré que les lignes de cuivre pouvaient se dilater suivant l'axe z (direction libre) en fonction de la température de recuit et des dimensions des lignes [Di Cioccio2011], comme le montre la Figure I. 34. Il est possible d'avoir des dilatations de quelques dizaines de nanomètres pour des recuits de 400°C (Figure I. 34). Ces dilatations, dans le cas des topologies plane et protusion, se produisant sur les deux lignes en vis-à-vis risquent de créer un décollement de l'oxyde tout autour des lignes et donc d'engendrer plusieurs défauts de collage fragilisant ainsi la qualité de l'interface de collage. D'où le choix de la topologie de dishing des lignes qui est de l'ordre de quelques nanomètres. Cette approche permet à température ambiante d'obtenir un collage oxyde-oxyde, permettant l'adhésion des plaques, avec quelques zones où les lignes

de cuivre seraient en contact. Puis lors des montées en température les lignes se dilateraient jusqu'à obtention des contacts de la totalité des lignes de cuivre. Afin d'obtenir une bonne homogénéité de polissage et de dishing, la densité de cuivre ainsi que les dimensions des lignes sera un facteur très important.

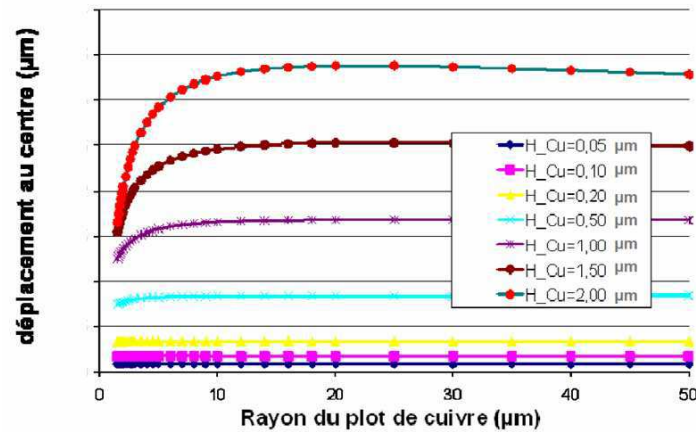


Figure I. 34 : Graphique représentant le déplacement du centre d'un plot de cuivre en fonction de son rayon et de son épaisseur H (exprimée en μm) [Di Cioccio2011]

L'alignement du collage est un paramètre important, surtout si l'on désire réaliser de fortes densités d'interconnexions. Les collages directs étudiés sont réalisés à l'aide d'une machine type « Smart View » de la société EVG. Cette machine permet la réalisation des collages avec une précision d'environ $1\mu\text{m}$. Des marques d'alignement complémentaires sont réalisées sur chaque face à coller et dans chaque champ. D'abord on procède à l'alignement optique de ces marques dans l'équipement. Puis on réalise le collage par mise en contact des plaques et une pression légère et locale en un point central de la plaque.

Les motifs d'alignement sont réalisés en cuivre en même temps que les lignes de cuivre que l'on colle. Ils sont accompagnés de verniers qui permettent la lecture de l'alignement après collage. Une fois le collage fait, les motifs se retrouvent au niveau de l'interface de collage, leur lecture se fait à l'aide d'un microscope infrarouge. La photolithographie des niveaux de lignes de métal à coller est réalisée en insolant sur toute la plaque le champ concepteur successivement par pas répétitif (le champ concepteur étant la zone où sont situés tous les motifs que l'on désire créer sur la plaque). En intégrant dans le champ concepteur des marques d'alignement il est possible ainsi de mesurer l'alignement en plusieurs points de la plaque de sorte à créer une cartographie de l'alignement en tout point. Un exemple est donné en Figure I. 35.

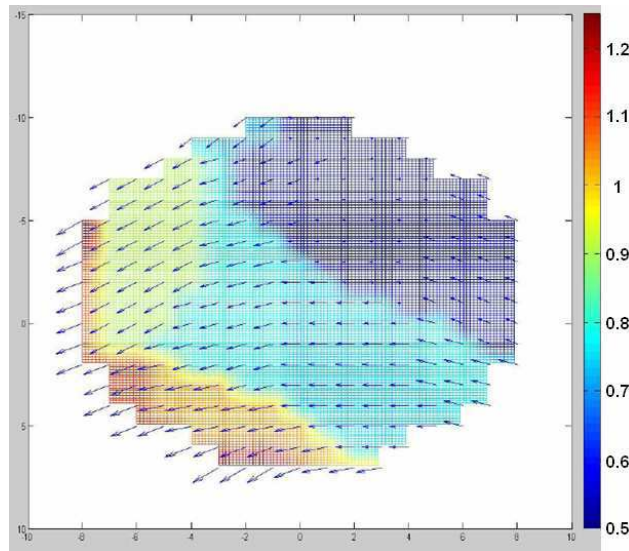


Figure I. 35 : Représentation graphique sous Matlab d'un désalignement effectif d'un collage de surface mixte cuivre-oxyde, les vecteurs indiquent la direction du désalignement et leur norme la valeur du désalignement. La majorité des valeurs sont inférieures au micron.

I.4) Procédés d'amincissement

Les plaques de silicium massif ont des épaisseurs de 700 à 800 μm , que ce soit pour des plaques de diamètre 200 ou 300mm. Dans une intégration 3D, la plaque supérieure est amincies à une épaisseur inférieure à 100 μm pour permettre la gravure des TSV au travers (cf. paragraphe I.5) et également de gagner en espace occupé par la structure finale. L'épaisseur finale du silicium visée après amincissement dépend de la densité d'interconnexion souhaitée et donc des dimensions des TSV [Swinnen2006, Liu2008]. Par exemple, dans cette étude, l'objectif est de réaliser une intégration haute densité. Pour cela, la hauteur finale des TSV et donc du silicium est de 15 μm .

Afin d'amincir le silicium, généralement deux approches sont réalisées. La première consiste à enlever une grande quantité de matière avec de fortes vitesses d'enlèvement. Cette étape est réalisée par le procédé de Grinding (rectification en français). La deuxième étape a pour but d'améliorer l'état de surface dégradée par le grinding et de relâcher également les contraintes apportées par la première action d'amincissement. Généralement, cette finition est réalisée par polissage mécano-chimique, mais peut être réalisée par gravure plasma ou gravure sèche humide suivant l'objectif final de cet amincissement.

I.4.1) Amincissement mécanique du silicium

I.4.1.1) Procédé de Grinding (rectification)

Le Grinding consiste à arracher mécaniquement de la matière par abrasion à l'aide d'une roue constituée de grains de diamant enchâssés dans de la résine. L'amincissement se

fait sous débit régulier d'eau ce qui permet de refroidir et de nettoyer la surface traitée. Ce procédé permet donc un enlèvement rapide de fortes épaisseurs.

La plaque à amincir est aspirée sur une table en céramique alumine poreuse et mise ensuite en rotation. L'ensemble est translaté afin de se trouver sous la roue diamanté de telle sorte à ce que le bord de la roue (là où se situent les grains de diamant) passe par le centre de la plaque pour avoir une rectification uniforme, comme figurée sur la Figure I. 36.

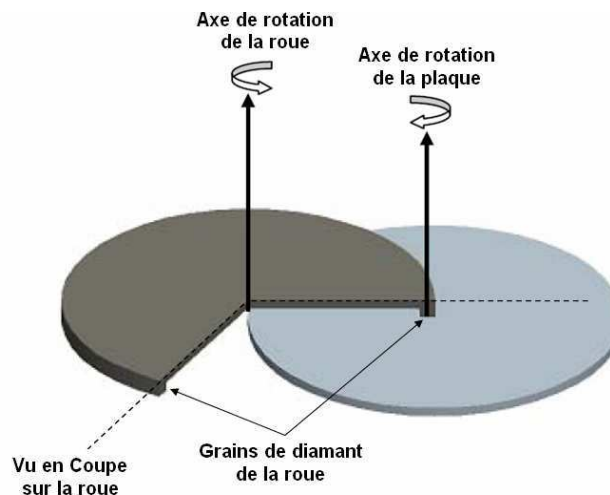


Figure I. 36 : Schéma représentatif du principe de grinding [Liu2007]

L'action de grinding se fait généralement en deux étapes successives. La première est appelée grinding grossier, elle est caractérisée par l'utilisation des roues à gros grains de diamant et permet l'enlèvement des fortes épaisseurs. La vitesse d'enlèvement de cette étape peut atteindre 100 μ m par minute.

La deuxième étape correspond au grinding fin, il s'agit d'une étape plus « douce » qui permet d'améliorer la rugosité de surface et d'éliminer une bonne partie des zones écrouies engendrées par le grinding grossier.

Les roues de grinding sont caractérisées par la taille de ses grains des diamants. Plus elles seront petites et plus la rectification sera fine, et donc meilleur sera l'état de surface après amincissement.

Même après passage de plusieurs roues avec des grains de plus en plus petits, l'état de surface nécessite néanmoins une finition plus fine (cela bien sur dépend de l'application visée et des étapes ultérieures à réaliser après amincissement). Généralement, cette étape de finition est réalisée par polissage mécano-chimique.

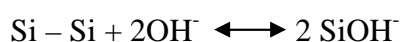
I.4.1.2) Polissage mécano-chimique

Le polissage mécano-chimique (aussi appelé CMP pour Chemical and Mechanical Polishing), est beaucoup utilisé en microélectronique. Notamment pour l'amincissement des

plaques (enlèvement de faibles épaisseurs de l'ordre de quelques microns), la diminution de la rugosité de surface et la planarisation du relief créé lors des étapes technologiques précédentes.

Le polissage mécano-chimique, comme son nom l'indique, est la combinaison d'une action chimique et d'une autre mécanique :

- **Chimique** : le polissage se fait en présence d'un abrasif, solution généralement aqueuse basique qui contient des particules de silice colloïdale. Ces particules permettent d'oxyder la surface à arracher. Le polissage se fait par abrasion de la surface de silicium par les particules, ce qui conduit à l'arrachement de la matière. La réaction se produisant en surface d'une plaque de silicium en présence d'un abrasif lors du polissage est la suivante:



- **Mécanique** : une pression est appliquée à la tête de polissage, pour que la plaque soit complètement en contact avec le plateau de polissage. Ce dernier est recouvert d'un tissu et d'un abrasif. Le frottement sur le tissu ainsi que les rotations, dans le même sens contrairement au grinding, de la plaque et du plateau vont engendrer l'arrachement de la surface de la plaque oxydée par l'abrasif.

Suivant le matériau à polir (notamment la chimie et la dureté du matériau), son polissage se fera différemment. En effet, l'oxydation de la surface va dépendre du type de matériau, l'oxydation n'est pas la même avec du silicium qu'avec de l'oxyde ou du cuivre. De plus, la dureté du matériau à polir joue aussi un rôle important lors du polissage, plus le matériau sera dur et plus il sera difficile de le polir. Ces diversifications entre les différents matériaux va engendrer des vitesses d'enlèvement différentes, créant ainsi une inhomogénéité de surface (exemple d'un dishing des lignes de cuivre entouré d'oxyde, cf. paragraphe I.2.4).

I.4.2) Amincissement par gravure du silicium

I.4.2.1) Gravure sèche du silicium

La gravure d'un matériau est un procédé qui permet l'enlèvement de matière à l'aide de l'interaction entre un gaz et la surface du matériau à graver. Dans le cas du silicium, plusieurs gaz peuvent être utilisés suivant l'application voulue (SF_6 , Cl_2 , HBr , CF_4 ...). Généralement la gravure s'effectue avec le SF_6 . Celui-ci forme des radicaux fluorés qui réagissent avec le silicium pour créer des espèces volatiles SiF_4 .

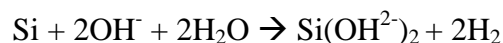
Les principales étapes décrivant le principe de la gravure sont les suivantes :

- Génération dans le plasma des espèces pouvant attaquer chimiquement la couche.
- Transfert des espèces réactives depuis le plasma vers la surface de la couche à graver.
- Adsorption de l'espèce attaquante à la surface.
- Réaction avec le matériau de surface. Le matériau produit par la réaction doit être volatile pour pouvoir quitter la surface.
- Désorption du produit de réaction.
- Diffusion dans l'environnement gazeux.

La gravure par plasma est généralement utilisée pour obtenir des profils anisotropes, lors de la réalisation de tranchés (pour créer des motifs de test ou même des TSV). Elle peut être également utilisée pour graver le silicium sur toute la surface de la plaque, dans le but d'amincir la plaque ou alors de relâcher les contraintes résiduelles dans le silicium pouvant être induites par les étapes antérieures.

I.4.2.2) Gravure humide du silicium

La gravure humide du silicium se produit dans une solution type hydroxyde de tetramethylammonium (appelé TMAH). Il s'agit d'une gravure chimique et anisotrope du silicium. Les caractéristiques des états de surface et de la vitesse de gravure varient en fonction de la concentration et de la température de ces bains maintenues constantes par bain marie et condensation des vapeurs. Typiquement les solutions sont diluées dans l'eau pour obtenir une concentration massique de 50%, et des températures de fonctionnement entre 70 et 90°C. Lorsque la plaque de silicium est trempée dans le bain, une réaction chimique se produit en surface, oxydant cette dernière puis l'arrachant progressivement. La réaction se produisant en surface est décrite ci-dessous [Xuefeng2005]:



L'avantage de cette gravure est sa vitesse d'enlèvement qui peut atteindre 1.5µm/min, et sa réalisation purement chimique sans apport d'action mécanique. Cependant, la vitesse d'enlèvement n'étant pas connue précisément, il est difficile de contrôler l'épaisseur enlevée. Un autre inconvénient de cette gravure est la rugosité de surface qu'elle induit. C'est pour cela qu'elle est souvent utilisée pour des gravures complète de silicium avec couche d'arrêt (type oxyde), et ce, grâce à la forte sélectivité de gravure.

I.5) Connexion intra-puces

I.5.1) Through Silicon Vias (TSV)

Comme leur appellation l'indique, il s'agit d'interconnexions métalliques traversant les couches de silicium (plaque ou puce). Le plus grand avantage des TSV est qu'ils permettent une haute densité d'intégration. En effet, le TSV permet l'interconnexion entre deux composants de deux plaques différentes, en utilisant une surface correspondant seulement au diamètre du TSV (contrairement à toute la longueur d'une ligne d'interconnexion en 2 dimensions). Et ce, quel que soit l'emplacement de ces composants sur les plaques. Suivant les applications, les diamètres des TSV varient entre 1 et 100 μm et ont des facteurs de forme, correspondant au rapport de leur hauteur sur leur largeur, entre 1 et 30. Et donc, plus les dimensions sont réduites et plus la densité d'intégration sera grande. Afin d'obtenir des facteurs de formes raisonnables et réalisables, il est nécessaire d'amincir les plaques (ou puces) de silicium à des épaisseurs inférieures à 100 μm (épaisseur initiale d'une plaque de silicium étant de l'ordre de 700 μm). Les TSV peuvent être réalisés avant ou après collage (cf. paragraphe I.1.3.3), cela dépend de l'intégration et type d'empilement choisi.

I.5.2) Réalisation d'un TSV

Les étapes de réalisation des TSV peuvent se décrire en 4 étapes essentielles, qui sont : la gravure du TSV dans le silicium, l'isolation des flans du TSV, le dépôt de la barrière métallique et pour finir le remplissage de TSV par un matériau conducteur. Ces étapes sont brièvement décrites ci-dessous :

I.5.2.1) Gravure du TSV dans le silicium

Au milieu des années 90, Bosch a introduit un nouveau procédé de gravure plasma connu sous l'acronyme DRIE (pour Deep Reactive Ion Etching) [Laermer1996a, Laermer1996b]. Ce procédé a la particularité de réaliser des gravures profondes avec des flans quasi verticaux, et ce quelle que soit l'orientation cristalline de la plaque. De plus, cette gravure est très sélective par rapport à l'oxyde du masque dur. Le principe de la gravure DRIE, aussi appelé procédé Bosch, consiste en une succession d'étapes de gravure anisotrope du silicium par SF_6 , suivi par une passivation par C_4F_8 ce qui génère un dépôt CF_2 . La Figure I. 37 illustre le procédé de base du procédé Bosch. L'étape de passivation entre deux étapes de gravure est réalisée dans le but d'avoir des flans les plus verticaux possibles en évitant les gravures latérales.

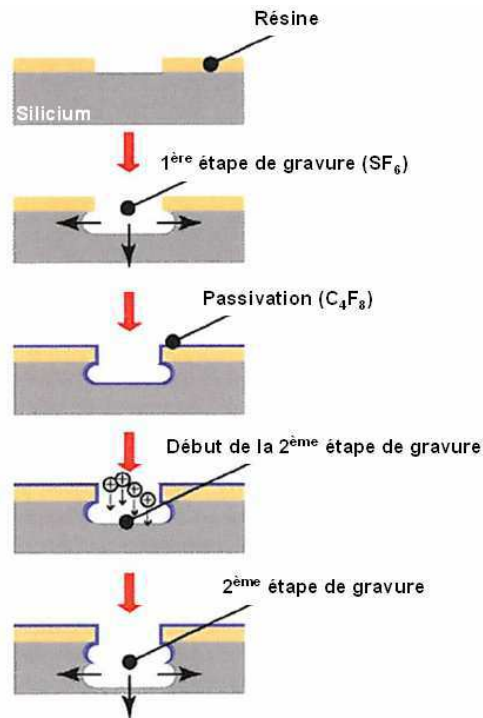


Figure I. 37 : Principe de base du procédé de gravure Bosch [Garrou2008]. Le procédé Bosch consiste à une succession d'étape de gravure et de passivation.

I.5.2.2) Isolation des flancs du TSV

La seconde étape de réalisation des TSV consiste à isoler électriquement ce dernier, du silicium qui l'entoure évitant ainsi tout risque de court-circuit. Etant donné les différents facteur de forme des TSV, il est primordial que le dépôt de la passivation soit le plus conforme possible. Généralement, la passivation se fait en déposant un oxyde de silicium soit par SACVD [Grabl1995, Wolf2000] s'il est possible de monter jusqu'à 400°C. Soit par PECVD qui peut se faire à 400°C mais aussi à des températures inférieures. Il est important de noter que plus la température sera basse moins bonne sera la conformité du dépôt.

I.5.2.3) Dépôt de la barrière métallique

Comme pour les lignes de cuivre étudiées précédemment, afin d'éviter toute diffusion du cuivre dans le silicium, une barrière est déposée bloquant ainsi les atomes de métal dans le TSV. Dans le cas du cuivre comme métal utilisé pour remplir les TSV, la température active ce phénomène de diffusion dans le silicium. Les matériaux barrière utilisés pour empêcher cette diffusion sont généralement des nitrures comme le nitrure de titane (TiN) ou de tantale (TaN) ou même de tungstène (WN). Les dépôts se font généralement par CVD ou PVD, de plus, la couche isolante d'oxyde déposée juste avant améliore le dépôt et l'accroche de ces barrières [Zhang2005].

Une deuxième couche métallique est déposée sur la barrière, et correspond au matériau conducteur dont sera rempli le TSV. Son rôle est d'initier le dépôt électrolytique lors du remplissage et sert de couche d'accroche pour ce dernier.

La difficulté rencontrée, que ce soit pour les dépôts de la barrière de diffusion ou de la couche d'accroche, est d'assurer une conformité de dépôt quel que soit le facteur de forme du TSV.

I.5.2.4) Remplissage du TSV

Pour des intégrations du type Vias first (paragraphe I.1.3.3), le matériau de remplissage des TSV devra être compatible avec les étapes technologiques de réalisation de la partie FEOL. Dans ce cas, c'est le tungstène qui est le plus adapté pour une approche mid-process, ou le poly-silicium dopé pour le pre-proces [Tsang2007].

Pour ce qui est des intégrations où le TSV est fait après réalisation du BEOL, ce sont les matériaux associés à ce dernier qui seront favorisés. Et dans ce cas le cuivre est le plus utilisé. Le remplissage du TSV se fait généralement par voie électrolytique, en se servant de la couche d'accroche conductrice en cuivre déjà déposée. Suivant la géométrie et l'application visée, le dépôt électrolytique sera soit poussé jusqu'à remplissage complet du TSV (majorité des cas), soit arrêté lors du recouvrement des flans et du fond du TSV. Cette dernière approche est surtout utilisée pour les « gros » TSV avec de forts diamètres (supérieur à $50\mu\text{m}$) et un facteur de forme inférieur ou égal à 1, qui sont utilisés pour les intégrations moyenne densité. Le temps nécessaire pour remplir ce type de TSV est prohibitif, et donc il a été choisi de déposer un film de cuivre permettant de remonter le signal électrique du bas du TSV jusqu'à la surface supérieur de la structure finale. La Figure I. 38 montre un exemple des deux types de TSV utilisés.

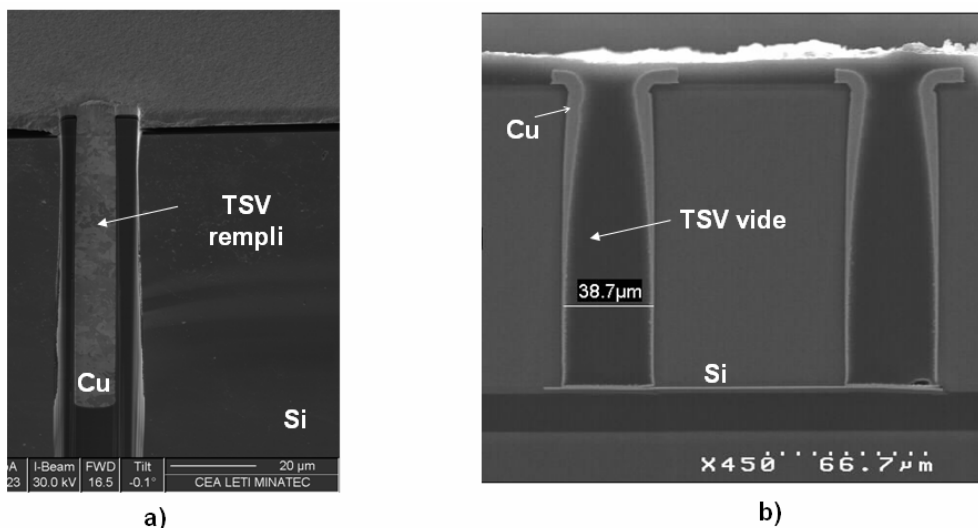


Figure I. 38 : Images MEB d'un a) TSV plein, rempli de cuivre, et d'un b) TSV vide

Il est important de noter également, pour les TSV remplis, que plus ces dimensions seront grandes et plus il y aura de quantité de cuivre introduite, ce qui entraînera une augmentation importante des contraintes thermomécaniques due à la différence de CTE entre

le Cu et le Si l'envoisinant. Ce qui peut causer des fissures et délamination allant jusqu'à la rupture de l'intégrité de la structure.

Plusieurs études sont réalisées afin d'obtenir le meilleur remplissage possible quelles que soient les dimensions des TSV [Kim2006, Wolf2008]. En effet, après remplissage de certains TSV, notamment avec fort aspect ratio, plusieurs défauts ont été observés : Des cavités en plein milieu du TSV, fermeture du haut du TSV avant remplissage complet de ce dernier ou encore des problèmes de remplissage dus à la mauvaise adhérence avec la couche d'accroche...etc. Ces études montrent que les paramètres de dépôt électrolytique sont primordiaux pour assurer un bon remplissage.

I.6) Schéma de l'intégration étudiée et axes d'étude de la thèse

I.6.1) Schéma de l'intégration étudiée

Comme nous avons pu le voir dans la partie (I.1.3), différentes approches sont possibles afin de réaliser une structure 3D. Celle étudiée dans ce travail représente un empilement puce à plaque type *vias last* avec une approche *face to face* utilisant un collage direct métallique localisé permettant l'interconnexion électrique entre les deux puces.

Cette thèse a été réalisée dans le but d'étudier et de caractériser différentes étapes technologiques utilisées lors de la réalisation de cette intégration 3D. Ces étapes technologiques peuvent également servir pour d'autres types d'intégration.

Les différentes étapes de réalisation sont schématisées en Figure I. 39. La première, consiste à coller les puces sur la plaque à l'aide d'un collage direct métallique. Une fois les puces collées, ces dernières sont amincies puis recouvertes d'un matériau de remplissage permettant de remplir l'espace entre les puces. La dernière étape de cette intégration est une planarisation de la surface supérieure et mixte (silicium des puces – matériau de remplissage). Le but de cette planarisation est de recréer une surface plane apte à accepter les différentes étapes technologiques ultérieures, telle une photolithographie, la réalisation des TSV ou encore le collage d'un deuxième niveau de puce.

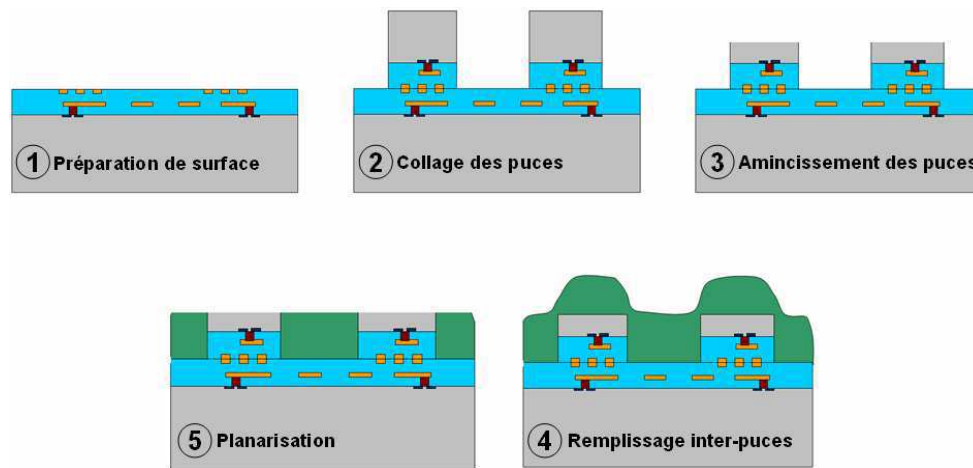


Figure I. 39 : Schéma décrivant les différentes étapes de réalisation de l'intégration étudiée. 1) préparation des surfaces à coller, 2) collage direct métallique des puces, 3) amincissement de ces dernières, 4) Remplissage de l'espace entre les puces, et 5) planarisation de la surface supérieure mixte (silicium des puces - matériau de remplissage)

I.6.2) Axes d'étude de la thèse

Trois principales étapes de cette intégration sont analysées dans ce travail :

- le comportement électrique et la fiabilité du collage,
- l'amincissement du silicium,
- le matériau de remplissage inter-puces et son comportement lors de la réalisation de différentes étapes de remplissage et de planarisation.

I.6.2.1) Caractérisation électrique et fiabilité du collage direct Cu-Cu

La réalisation du procédé de collage direct métallique ainsi que les mécanismes mis en jeux lors du collage sont des aspects déjà étudiés et matures. Ce qui ne l'est pas encore, est le comportement électrique d'un tel procédé. En effet, il a été montré une évolution de l'interface de collage avec la température de recuit. La couche d'oxyde de cuivre à l'interface peut présenter une forte résistivité empêchant la communication entre les deux plaques. Ou encore les cavités présentes tout au long de l'interface peuvent être à l'origine de dégradations induites par phénomène d'électromigration lors d'un fonctionnement et pouvant engendrer la défaillance des circuits présents. C'est dans ce but qu'il est proposé, dans cette thèse, d'étudier le comportement électrique de structures collées par collage direct métallique. Cette étude a été réalisée à l'aide de caractérisation électrique de l'interface de collage ainsi que de plusieurs tests de fiabilité mettant en avant les principales causes de dégradation des interconnexions métalliques, qui sont les phénomènes d'électromigration et de stress voiding. La stabilité des structures et notamment les phénomènes de délamination entre les couches a également été étudiée par des tests de cyclage thermique.

Le procédé de collage direct métallique n'étant pas encore mature pour un empilement puce à plaque, il a été décidé pour l'étude de son comportement électrique de caractériser des

collages réalisés sur plaque (approche plaque à plaque). Sachant que la préparation de surface pour les deux empilements est quasi identique, il est possible d'envisager que les mécanismes mis en jeux le soient également.

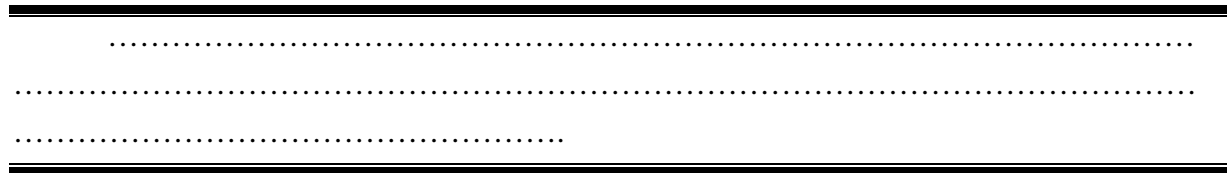
I.6.2.2) Impact des procédés d'amincissement sur les propriétés du silicium

L'intégration étudiée est une intégration permettant une haute densité d'interconnexion. Cela nécessite également un fort amincissement du silicium (typiquement l'épaisseur restante est de l'ordre de 15 μ m) afin de permettre la réalisation de TSV avec de faibles diamètres. Il est donc important d'enchaîner les étapes d'amincissement de telle sorte à obtenir une surface peu rugueuse et non contrainte pour permettre la suite du processus de fabrication. C'est dans ce but qu'il a été proposé d'étudier dans cette thèse, les propriétés mécaniques du silicium après chaque étape d'amincissement. Différentes caractérisations ont été utilisées. On y retrouve notamment des mesures par diffraction des rayons X, la nanoindentation, des mesures de flexion 4 points et de la spectroscopie Raman. Les différentes informations obtenues à l'aide de ces caractérisations ont permis une étude assez complète de l'impact des procédés d'amincissement sur le silicium.

I.6.2.3) Choix et étude du matériau de remplissage inter-puces

Après collage et amincissement des puces, une forte topologie subsiste entre les puces et l'espace vide entre ces dernières. Cela rend très difficile voire impossible la réalisation des étapes technologiques ultérieures telles que la lithographie. Il est donc nécessaire de combler l'espace entre ces puces par un matériau compatible avec le reste du processus de fabrication. Ce matériau doit satisfaire plusieurs critères (décrits au paragraphe II.3.1). Une fois le matériau identifié et le dépôt réalisé, le tout est aminci dans le but de recréer une surface plane permettant la réalisation des étapes ultérieures et même le collage d'un deuxième niveau de puce si cela est nécessaire.

Chapitre II. Méthodologie de caractérisation et d'analyse





Comme décrit à la fin du chapitre I, il s'agit dans cette thèse d'étudier différentes étapes de fabrication intervenant lors de la réalisation d'une architecture 3D. La description de l'intégration étudiée est résumée en Figure II. 1.

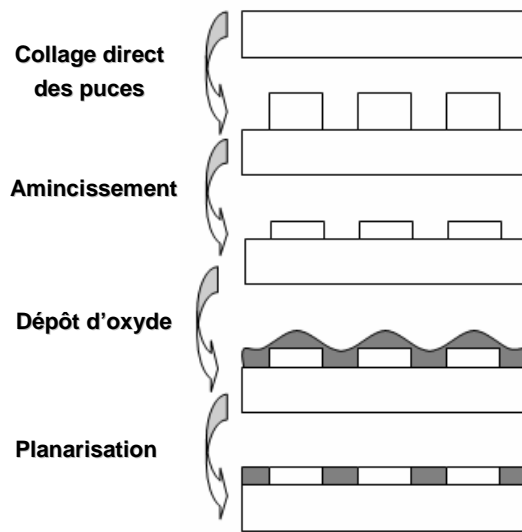


Figure II. 1 : Schéma décrivant les différentes étapes de réalisation d'un empilement puce à plaque : collage de puces sur substrat silicium / amincissement / Remplissage de l'espace entre les puces / Planarisation de surface pour permettre d'ultérieures étapes technologiques

La première étape de cette intégration consiste à coller un premier niveau de puce sur un substrat de silicium. Dans notre cas, le collage réalisé est un collage direct patterné (mixte) cuivre-oxyde. Celui-ci a l'avantage de fournir de très fortes énergies d'adhérence entre les deux niveaux collés, mais également une connexion métallique verticale ce qui assure le passage de courant entre les deux niveaux. Après renforcement du collage par un traitement thermique, les puces sont amincies à de faibles épaisseurs de l'ordre de $15\mu\text{m}$. Un matériau de remplissage est utilisé afin de combler le vide entre les puces, et vient par la même occasion encapsuler ces dernières. La dernière étape de cette intégration consiste à planariser la surface supérieure après avoir débouché sur les puces. Le but est de recréer une surface plane apte à accepter les différentes étapes technologiques nécessaires à la finalisation de la structure. Cela peut être des étapes de lithographie, de gravure, de dépôt ou même le collage d'un deuxième niveau de puce.

Dans cette thèse, trois axes de l'intégration décrite précédemment seront étudiés :

- La caractérisation et la compréhension du comportement électrique du collage direct cuivre-cuivre : le procédé de réalisation du collage étant mature, il est important de s'intéresser à la qualité électrique de l'interface de collage ainsi que sa tenue face aux différentes contraintes électriques et thermiques au travers des tests de fiabilité électrique décrits ci-dessous.

-
- L'impact des procédés d'amincissement sur les propriétés du silicium : cet axe consiste à caractériser et évaluer l'évolution des contraintes et autres propriétés mécanique du silicium, après chaque étape d'amincissement.
 - L'identification et la caractérisation du matériau de remplissage inter-puces : après identification du matériau idéal suivant un cahier des charges précis, il est nécessaire d'évaluer la faisabilité du remplissage, des contraintes apportées par ce dernier et de la planarisation de la surface mixte.

II.1) Méthodologie de caractérisation électrique et de fiabilité du collage direct Cu-Cu

Au début de la thèse, le procédé de collage était optimisé et mature pour une intégration plaque à plaque. Notamment, les rendements obtenus étaient suffisants pour envisager une étude sur un collage direct métallique. C'est donc pour cette raison qu'il a été décidé, dans un premier temps, de réaliser l'étude de fiabilité du collage Cu-Cu sur des collages plaque à plaque.

II.1.1) Descriptif des structures de test

Afin de caractériser électriquement la qualité de l'interface de collage Cu-Cu, un jeu de masque a été dessiné permettant une étude complète de fiabilité des structures collées. Les masques sont adaptés pour une intégration plaque à plaque mais aussi puce à plaque. Il a fallu dans un premier temps réfléchir au dessin des deux niveaux de collage (correspondant aux deux faces de chaque plaque, qui sont mises en contact lors du collage). On retrouve sur ces niveaux de collage différentes structures de test utilisées pour des études de fiabilité électrique, adaptées pour une architecture 3D. Des règles de dessin prenant en compte les limitations du procédé de fabrication (précision de l'alignement pendant le collage, nécessité d'homogénéisation des dimensions et des densité des lignes ainsi que de l'étape de polissage en tout point de la plaque) ont été mises en place afin d'optimiser au mieux la qualité et l'homogénéité du collage.

Une fois les deux plaques collées, il est nécessaire d'avoir accès aux structures (se trouvant à l'interface de collage et donc enterrées sous 725µm de silicium) afin de réaliser les tests électrique. C'est pour cela que plusieurs niveaux de masques ont été dessinés permettant la reprise de contact et l'intégration complète d'une structure 3D fiable pouvant être testée directement sur la plaque finale ou après mise en boîtier de puces découpées.

II.1.1.1) Structure de test pour l'électromigration : NIST

Les motifs de test les plus couramment utilisés pour des études d'électromigration sont développés sur la base de structure NIST (National Institute of Standards and Technology). Il

s'agit d'une structure standardisée par le comité JEDEC (Joint Electron Device Engineering Council) pour effectuer des tests de durée de vie [JESD87]. La structure utilisée est représentée par une ligne de métal avec des reprises de contact Kelvin (deux amenées de courant et deux prises de tension) permettant une mesure 4 pointes de la résistance, comme illustré sur la Figure II. 2 ci-dessous :

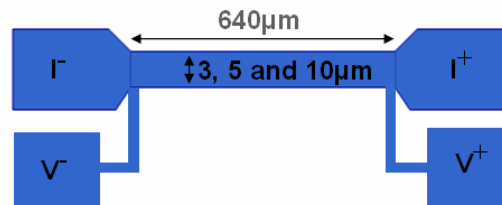


Figure II. 2 : Schéma d'une structure NIST représentée par une ligne de métal avec reprise de contact Kelvin

L'intérêt de cette architecture est d'avoir une grande précision de mesure de la résistance en évitant les résistances d'accès parasites.

La structure NIST décrite ci-dessus permet de mesurer la résistance d'une ligne de métal et de la comparer avec celle obtenue après test (ou même suivre la résistance pendant les tests). Tout changement au niveau des propriétés électriques de la ligne conditionnera une variation de la résistance mesurée.

La stratégie choisie pour évaluer l'impact de l'interface de collage sur le comportement électrique des structures collées est de comparer leur comportement avec celui de structures non collées. La Figure II. 3 représente un schéma descriptif des structures testées.

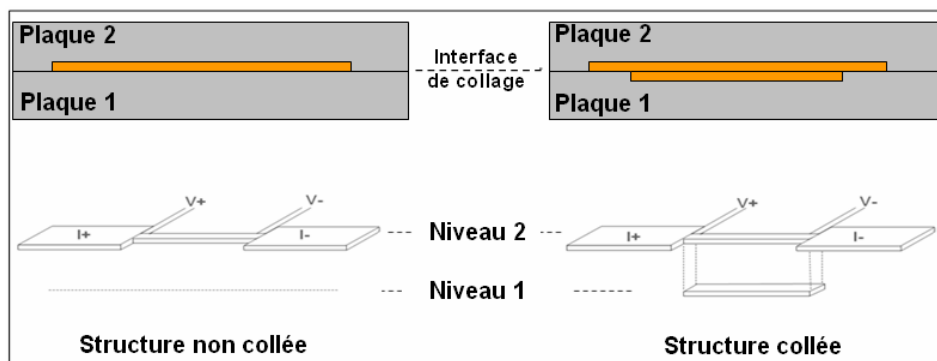


Figure II. 3 : Schéma descriptif d'une structure collée et non collée

Il est important de noter que l'appellation structure « non collée » implique qu'il n'y a pas d'interface de collage cuivre-cuivre. La structure est réalisée sur une des plaques seulement, puis est collée en vis-à-vis d'oxyde (sur la deuxième plaque). Au contraire de la structure « collée » où les deux lignes de cuivre (sur chacune des deux plaques) sont mises en

contact lors du collage. La structure obtenue après collage est donc caractérisée par une section de cuivre double au niveau des lignes de métal collées.

Des variantes au niveau de la reprise de contact et de l'aire du collage Cu-Cu ont été prises en compte et ont donné lieu à différentes structures résumées dans le Tableau II. 1.

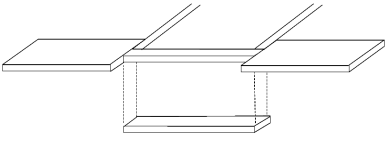
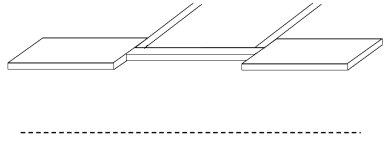
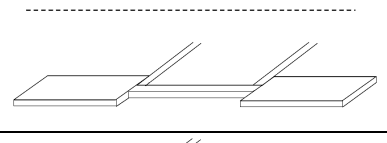
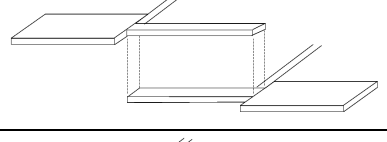
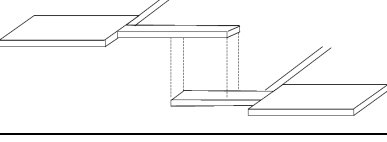
Nom	Schéma de la structure	Longueur de la ligne	Aire de contact Cu-Cu (largeur de ligne x longueur de chevauchement)
A1		640 μ m	3x640 μ m ²
A2		640 μ m	0
A3		640 μ m	0
A4		640 μ m	3x640 μ m ²
A5		490 μ m	3x340 μ m ²

Tableau II. 1 : Descriptif des différentes structures NIST utilisées pour les tests d'électromigration (la largeur des lignes est fixe et est égale à 3 μ m)

Les structures A2 et A3 représentent des structures non collées, elles serviront de référence pour extraire les résistivités du cuivre et seront comparées aux structures collées pour évaluer électriquement l'impact de l'interface cuivre-cuivre. La différence entre les structures A2 et A3 se trouve au niveau de la localisation de la ligne de cuivre, sur la plaque du haut pour A2 et celle du bas pour A3.

Les structures A1, A4 et A5 représentent toutes des lignes collées. Les amenées de courant sur A1 se trouvent sur un même niveau, cette configuration permet au courant, si l'interface de collage est résistive, de ne traverser d'une seule ligne. La structure A5 consiste en deux lignes décalées et donc une aire de contact plus limitée, et égale à 3x340 μ m au lieu des 3x640 μ m des structures A1 et A4. Le courant, dans les structures A4 et A5, sera dans ce cas forcé de traverser cette l'interface de collage contrairement à la structure A1.

II.1.1.2) Daisy chain (ou chaîne de lignes)

Des chaînes de lignes (aussi appelées daisy chains en anglais) sont également utilisées pour l'étude de la fiabilité électrique. Elles consistent en plusieurs lignes de métal espacées les unes les autres sur chaque niveau des deux plaques. Puis une fois collées, elles donnent une chaîne de lignes interconnectée par une petite zone de contact entre deux lignes de niveau différent. La Figure II. 4 représente un des cotés d'une chaîne de ligne interconnectée après collage de deux niveaux.

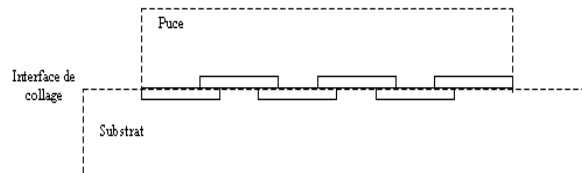


Figure II. 4 : Représentation d'une coupe sur tranche d'une daisy chain

Cette structure a pour avantage de tester la faisabilité et la qualité du passage de courant à travers de faibles aires de contact et ce pour un grand nombre de connexions. Différentes géométries peuvent être réalisées créant ainsi que des variantes au niveau de l'aire de contact, du pitch (pas répétitif de la distance entre deux connexions) et du nombre d'interconnexions. Il est également possible de réaliser des chaînes asymétriques (largeurs de lignes différentes entre les deux plaques), ce qui permet lors des tests de mise sous contraintes thermiques de contraindre localement (au niveau des surfaces en contact) la structure. On caractérise alors la structure par sa tenue sous contrainte. La Figure II. 5 représente un schéma de chaînes de lignes symétrique et asymétrique.

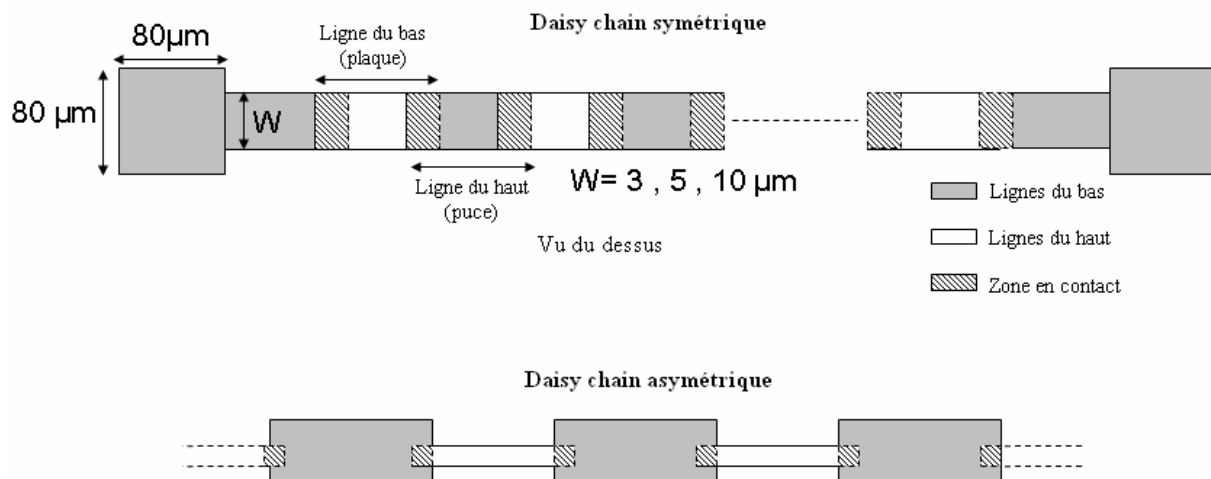


Figure II. 5 : Schéma descriptif de deux types de daisy chain : symétrique (image du haut) avec largeurs identiques entre les lignes ; et asymétrique (image du bas) avec largeurs différentes entre les lignes de la plaque du haut et celle du bas

Le Tableau II. 2 récapitule différentes daisy chains utilisées lors de cette étude. On y retrouve le terme « pitch » qui représente le pas répétitif entre deux interconnexions. Plus exactement, il correspond à la distance entre deux points pris au centre de deux interconnexions voisines.

Nom de la Daisy Chain	Nombre d'interconnexions	Aire de contact (μm^2)	Largeur de la ligne du dessous (μm)	Largeur de la ligne du dessus (μm)	Pitch (μm)
DC1	64	9	3	3	17 μm en x 85 μm en y
DC2	58	25	10	5	25 μm en x 66 μm en y
DC3	4872	25	5	5	10 μm en x 30 μm en y
DC4	10772	9	3	5	7 μm en x 19 μm en y
DC5	29422	9	3	3	7 μm en x 7 μm en y

Tableau II. 2 : Descriptif de certaines daisy chains utilisées pour caractériser électriquement la qualité de l'interface de collage Cu-Cu

II.1.1.3) Règle de dessin spécifique au collage

L'étape clé afin d'obtenir un parfait collage, est la préparation de surface lors du polissage mécano-chimique. En effet, sur des surfaces mixte oxyde-cuivre, l'homogénéité du polissage est primordiale. La largeur des lignes et leurs densités sont des facteurs importants pour obtenir une bonne homogénéité et qualité de polissage. Pour cela, le dessin des niveaux de collage a pris en compte des règles de dessin bien précises. En effet, il a été ajouté tout autour des motifs de test des « dummies » de cuivre. Ces dummies consistent en des lignes de cuivre de largeurs semblables aux largeurs moyennes des motifs de test. L'ajout de ces dummies a également pour but d'augmenter la densité de cuivre sur toute la plaque, ce qui évite les problèmes d'érosion lors du polissage. En superposant les dummies des deux niveaux à coller, on augmente ainsi la densité de cuivre collée, ce qui entraîne une augmentation de l'énergie de collage (étant donné que l'énergie de collage métallique est plus importante que celle obtenues sur les collages oxydes, dans les gammes de températures considérées). La Figure II. 6 représente un modèle de structure de test entouré par des dummies de cuivre. Il est impératif également d'ajouter des dummies d'oxyde au niveau des larges plots d'amenée de courant (ou prise de tension). En effet, le polissage étant optimisé pour obtenir des faibles dishing (compatible avec le collage) sur les motifs de test ayant en moyenne une largeur de ligne de 5 μm . Le dishing obtenu sur des plots de 80 μm pour ce même polissage aurait été plus important (supérieur à 50 μm) ce qui aurait engendrait des zones non collées. L'ajout de dummies d'oxyde dans ces grands plots a pour but de diminuer cette inhomogénéité de polissage entre les deux surfaces mixtes (cuivre-oxyde).

Des chemins de découpe ont également été prévus. Pour cela, des zones sans dummies ont été placées tout autour de chaque puce qui sera testée. Le but est d'éviter de mettre du métal sur le chemin de la scie pour faciliter la découpe.

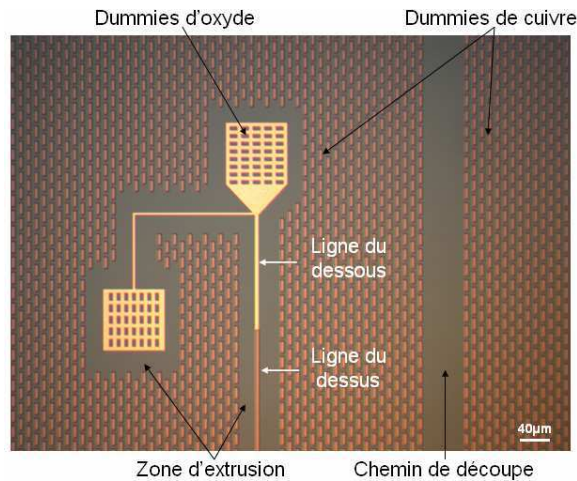


Figure II. 6 : Exemple de placement de dummies autour d'une structure de test (le but étant d'augmenter la surface de cuivre en contact, d'homogénéiser la densité du cuivre sur toute la plaque afin d'optimiser le polissage et la planéité finale)

La Figure II. 7 représente une image du layout d'une puce permettant cette étude de caractérisation électrique et de fiabilité du collage direct Cu-Cu. Les dimensions de ce champ sont d'environ 1x1cm².

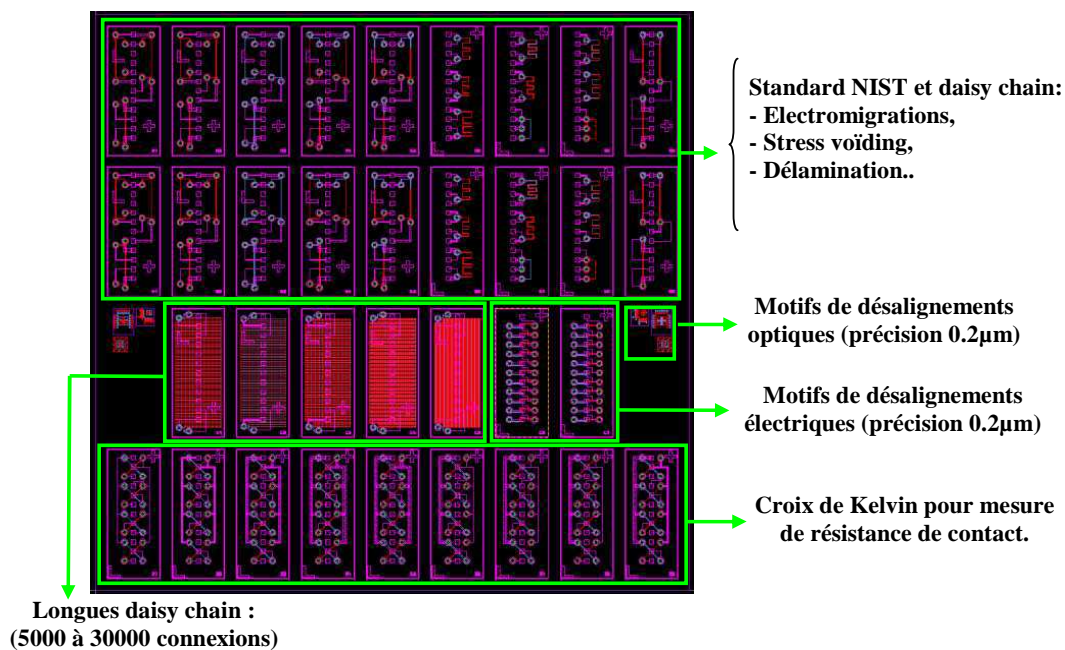


Figure II. 7 : Image du jeu de masque (sans dummies) utilisé pour l'étude de fiabilité électrique du collage Cu-Cu

II.1.2) Intégrations utilisées

Une fois le collage réalisé, les structures à tester se retrouvent au niveau de l'interface de collage et donc sous 725µm de silicium (de chaque côté). Il est donc nécessaire de réaliser une architecture permettant de reprendre les contacts électriques au niveau supérieur. Au

cours de la thèse, différentes approches ont été utilisées, suivant les besoins et les contraintes du moment. La description de ces différentes intégrations est décrite ci-dessous.

II.1.2.1) Choix de l'approche plaque à plaque

Le procédé de collage pour une approche puce à plaque étant en cours de développement au début de la thèse, il a été décidé d'étudier le comportement électrique du collage métallique dans une intégration plaque à plaque. Le jeu de masque a néanmoins été conçu pour permettre également une étude puce à plaque.

II.1.2.2) Procédé d'intégration complet

Dans un premier temps sont réalisées, sur les deux plaques à coller, les structures de test suivant le principe de réalisation de ligne de cuivre décrit en paragraphe I.2. On retrouve un dépôt de 800nm d'oxyde en face avant (face à coller), suivi d'une gravure partielle de cet oxyde afin d'obtenir la forme des motifs. Le remplissage de ces cavités est réalisé par un enchainement de dépôt de barrière TiN de 20nm et de Cu de 200nm par PVD suivi d'une croissance d'un micron de ce dernier par procédé ECD. Après stabilisation du dépôt de cuivre et renforcement de son adhérence avec la barrière à 400°C, une préparation de surface par polissage mécano-chimique est réalisée afin de créer une surface plane tout en activant cette dernière pour permettre le collage. Un recuit de renforcement de collage est ensuite réalisé à la température souhaitée afin de réaliser le contact électrique entre les lignes de métal. La Figure II. 8 décrit les différentes étapes réalisées jusqu'au collage.

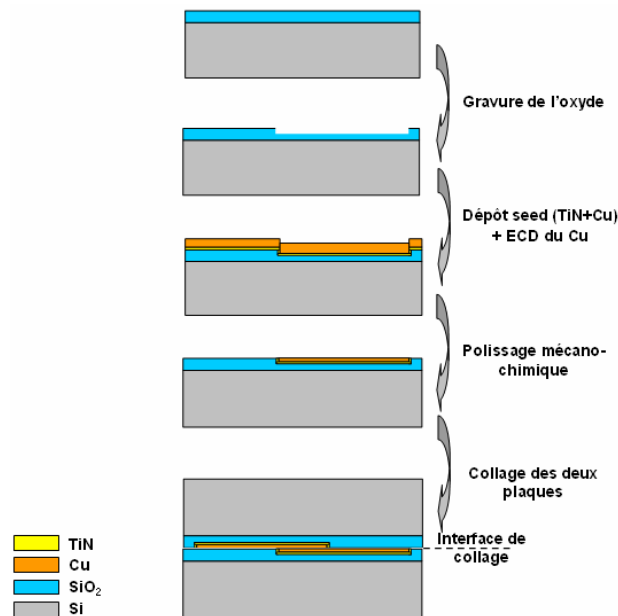


Figure II. 8 : Schéma descriptif des différentes étapes réalisées sur chacune des plaques jusqu'au collage de celles ci

Une étape d'amincissement par grinding (grossier puis fin) et polissage mécano-chimique est faite dans le but de laisser une faible épaisseur de la plaque de silicium du dessus, compatible avec la gravure des TSV afin de remonter les contacts à l'aide de ligne de cuivre. L'épaisseur de silicium restante utilisée lors de cette étude est d'environ 50 μ m. Une couche de masque dur d'oxyde est ensuite déposée, ayant un rôle de protection et d'isolant au dessus du silicium. Des TSV de 70 μ m de diamètre, avec un facteur de forme inférieur à 1, sont gravés, avec arrêt sur oxyde, permettant d'accéder aux plots d'amenée de courant et prise de tension. La Figure II. 9 représente une image obtenue par microscope électronique à balayage après gravure des TSV et ouverture sur les plots de cuivre. Une fois les ouvertures réalisées, une couche d'oxyde qui servira d'isolation des parois des TSV est déposée, suivie d'une gravure de l'oxyde en fond de TSV afin de déboucher sur les plots de cuivre. Lors de cette gravure, le masque dur est partiellement gravé pour garantir l'enlèvement complet de l'oxyde en fond de TSV. La Figure II. 10 représente un schéma descriptif des différentes étapes décrites.

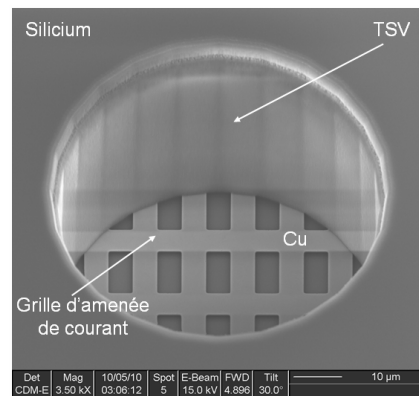


Figure II. 9 : Image obtenue par MEB après amincissement du collage et gravure des TSV jusqu'à l'ouverture sur les grilles d'amenée de courant et prise de tension

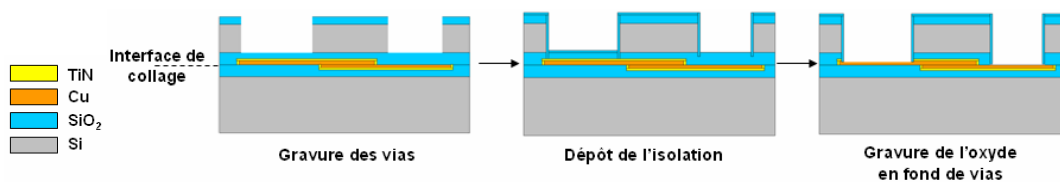


Figure II. 10 : Schéma descriptif des étapes de réalisation des TSV, de leur isolation et de l'ouverture sur les grilles d'amenée de courant et prise de tension

Puis, des dépôts de seed (TiN et Cu) sont faits, suivis d'une croissance du cuivre par électrolyse de quelques microns, de sorte à créer une ligne de métal permettant la continuité électrique à partir des grilles des amenées de courants jusqu'aux plots de contact du niveau supérieur. Une fois la croissance de cuivre sur les zones voulues faite, des étapes de gravure des seeds Cu et TiN sont réalisées aboutissant ainsi au niveau RDL (ReDistributon Layer) qui

a pour but de créer l'accès électrique des structures de test par le niveau supérieur. La Figure II. 11 décrit les étapes de réalisation de ce niveau.

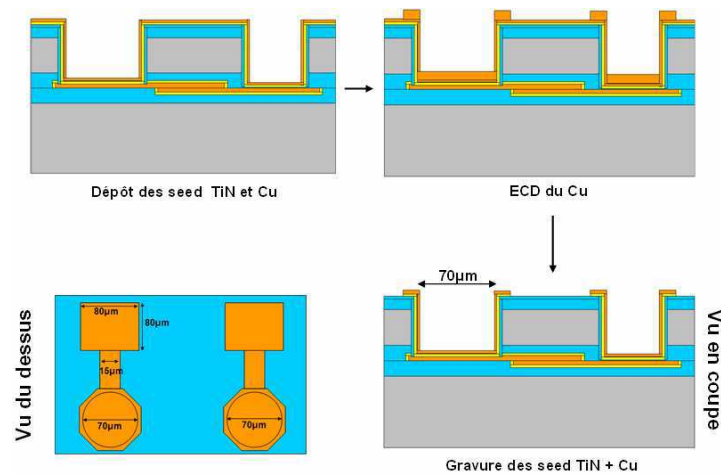


Figure II. 11 : Schéma descriptif de réalisation du niveau RDL pour la reprise de contact des structures de test par le niveau supérieur

Afin d'éviter la corrosion du cuivre, des étapes de passivation sont nécessaires. La première est réalisée sur toute la plaque à l'aide du polymère BenzoCycloButene (BCB), puis une ouverture au niveau des plots de contact est nécessaire pour assurer un contact électrique. Ces derniers sont recouverts d'un alliage de titane, nickel et or aussi appelé UBM (pour Under Bump Metallization). L'état final des deux plaques est représenté en Figure II. 12. Cette intégration permet à l'aide des plots de contact recouverts par l'UBM de tester les structures, sur plaque à l'aide de cartes à pointes, ou en boîtier après avoir découpé et câblé les puces par « wire bonding ». La Figure II. 13 représente une photo de plaque après procédé final et après mise en boîtier.

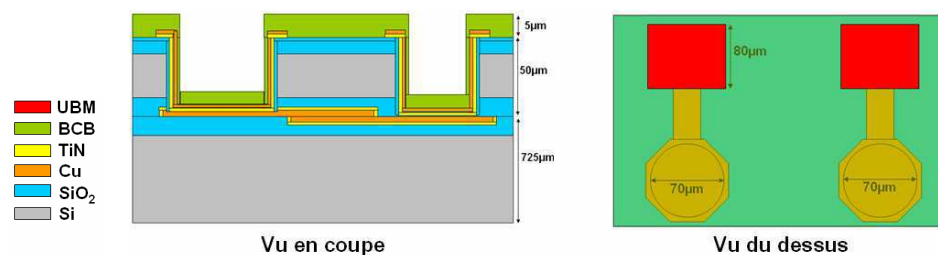


Figure II. 12 : Diagramme descriptif des deux plaques collées avec intégration complète permettant tout test électrique désiré

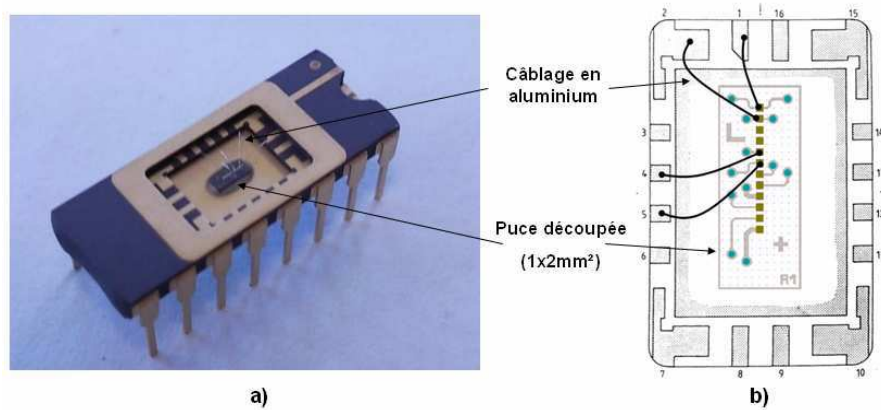


Figure II. 13 : Photo (a) et schéma (b) d'une puce après découpe et mise en boîtier. La puce découpée fait environ 2mm² et est câblée par des fils en aluminium sur son boîtier. Cet assemblage permet des tests électriques avec suivi de la résistance en continu et sous étuve.

II.1.2.3) Procédés alternatifs utilisés pour les caractérisations électriques

L'intégration complète décrite précédemment a l'inconvénient d'être complexe et donc susceptible de ne pas aboutir, sans oublier le temps de réalisation nécessaire à sa réalisation. Il a donc fallu trouver d'autres intégrations plus rapides et répondant aux besoins des différentes caractérisations réalisées lors de cette étude.

A) Enlèvement total de la plaque du dessus

Cette intégration est simple et rapide à réaliser, elle est dédiée à la caractérisation électrique des résistances de contact. Elle consiste, après avoir collé et recuit les plaques, à retirer tout le silicium de la plaque du dessus ainsi que son oxyde, comme décrit sur la Figure II. 14. Elle permet de mettre les motifs à nu et de venir y poser les pointes de test directement par-dessus.

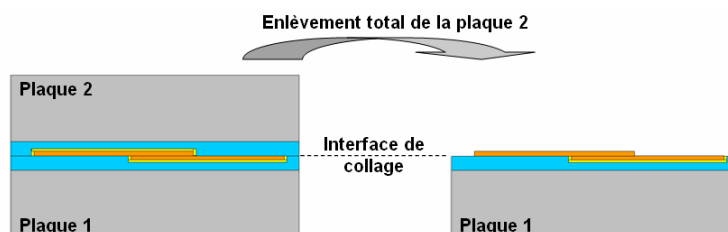


Figure II. 14 : Schéma descriptif de l'enlèvement complet de la plaque du dessus mettant ainsi les motifs de test à nu

L'enlèvement du silicium se fait en deux étapes. Une grande partie de la plaque est retirée tout d'abord par grinding. Le reste du silicium est enlevé chimiquement, en trempant la plaque dans un bain de Tetra-Methyl-Ammonium Hydroxide (TMAH). La gravure du silicium étant sélective par rapport à l'oxyde, ce dernier joue le rôle de couche d'arrêt. Une

fois le silicium gravé, il ne reste plus qu'à usiner par plasma l'oxyde de sorte à déboucher sur les structures de test, situées sur les deux niveaux collés.

Cette intégration est idéale pour réaliser des mesures de résistance des différentes structures et en extraire les résistances à l'interface de collage. Les inconvénients sont cependant nombreux :

- l'oxyde autour des lignes de métal de la plaque du dessus étant retiré, cela rend les structures mécaniquement fragiles. Il est possible d'endommager les grilles d'amenée de courant par la simple pose des pointes de test.
- les motifs étant à nu, il est primordial de réaliser les mesures électriques dans les jours suivant l'enlèvement de l'oxyde pour éviter toute variation de mesure due à la corrosion des lignes.
- les grilles de contact ne sont pas alignées, contrairement aux plots du niveau RDL. Il est donc impossible de réaliser des mesures automatiques à l'aide de carte à pointe.
- la non passivation des structures interdit toute possibilité de stockage en température de la plaque et donc aucun test de fiabilité ne peut être fait avec cette intégration.

B) Procédé avec vias dans l'oxyde et passivation nitrure

Cette intégration consiste à enlever le silicium de la plaque du dessus, puis de réaliser les ouvertures, sur les grilles, à travers la couche d'oxyde encapsulant les motifs de test. Une fois l'ouverture faite, le niveau RDL en cuivre est déposé de sorte à réaligner les plots de contact. Enfin, la passivation se fait à l'aide d'une fine couche de nitrure (SiN) d'environ 30nm. L'intégration est décrite sur la Figure II. 15.

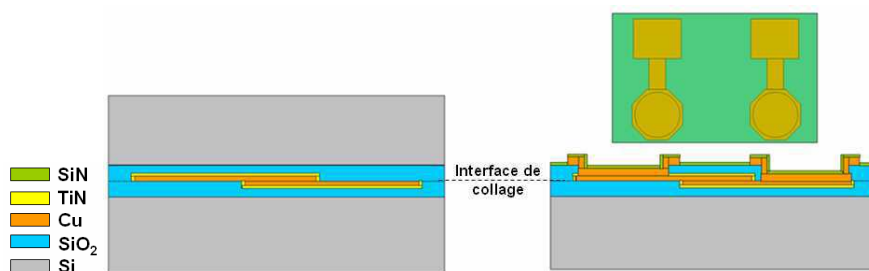


Figure II. 15 : Schéma représentatif de l'intégration alternative consistant à réaliser les vias à travers l'oxyde (après avoir retiré le silicium) puis dépôt du niveau RDL passivé par une fine couche de nitrure.

Cette intégration est utilisée pour des tests paramétriques (tests sur plaque). L'avantage majeur de cette intégration est de permettre l'observation optique des motifs de test à travers l'oxyde, ce qui n'est pas le cas lors de l'intégration finale où les structures sont situées sous 50 μ m de silicium.

De plus, un gain en temps de réalisation est obtenu, dû aux enlèvements des étapes liées à la gravure et l'isolation des vias dans le silicium et au remplacement de la passivation avec BCB et UBM et leur gravure par une simple étape de dépôt de nitrure. En effet, les pointes de test peuvent traverser des épaisseurs de l'ordre de 40nm de nitrure, ce qui permet la caractérisation électrique au travers de la passivation.

Cependant, cette passivation encapsule totalement les plots de contact rendant impossible le câblage pour des tests en boîtier. Par ailleurs, le fait de retirer tout le silicium de la plaque du dessus relâche d'éventuelles contraintes au niveau de l'interface de collage. Ce paramètre important doit être pris en compte lors des tests de fiabilité. Notamment, les petits défauts de collage qui ne sont pas gênants sous 50 μ m de silicium peuvent le devenir après retrait de ce dernier, ce qui peut provoquer la corrosion des structures.

C) Procédé avec vias dans oxyde et passivation BCB + UBM

Cette intégration se différencie de la précédente (procédé avec vias dans oxyde et passivation nitrure) seulement par le mode de passivation. En effet, après avoir déposé le niveau RDL, la passivation est faite par BCB et UBM (identique à ce qui a été décrit au paragraphe II.1.2.2).

L'avantage de cette intégration par rapport à la précédente est sa passivation finale en UBM, ce qui permet le câblage sur les plots métallique et donc la possibilité de réalisation de test en boîtier.

II.1.2.4) Approche utilisée pour la caractérisation électrique du collage direct de puce

La finalité de l'étude est de pouvoir réaliser une intégration de type puce à plaque intégrant le collage direct métallique, comme décrit à la fin du chapitre I. Une fois les puces collées, un matériau sera déposé pour combler l'espace entre les puces suivi d'une étape de planarisation afin de recréer une surface plane, compatible avec les différentes étapes technologiques nécessaires pour finaliser l'intégration (gravure des TSV, dépôt du RDL puis passivation BCB et UBM). Cette intégration ne sera validée qu'après maîtrise et validation de la fiabilité des différentes étapes étudiées pendant la thèse et qui sont le remplissage de l'interpuce, la faisabilité de planarisation, l'étude de fiabilité du collage et les dégradations induites par l'amincissement.

Afin de pouvoir tester le collage puce à plaque, un layout adapté de la plaque receveuse a été créé dans le but de déporter les amenées de courant et prise de tension, au delà du champ de la puce collée. Ainsi la mesure électrique sera possible juste après collage. Les Figure II. 16 et Figure II. 17 représentent respectivement le principe de reprise de contact sur une intégration puce à plaque et un exemple de structures de test avec plots déportés avant et après collage d'une puce.

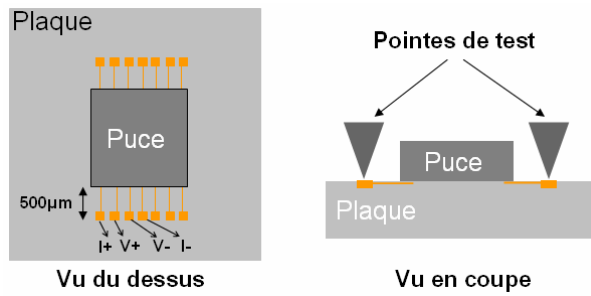


Figure II. 16 : Schéma descriptif de reprise de contact avec plots déportés pour des collages puce à plaque

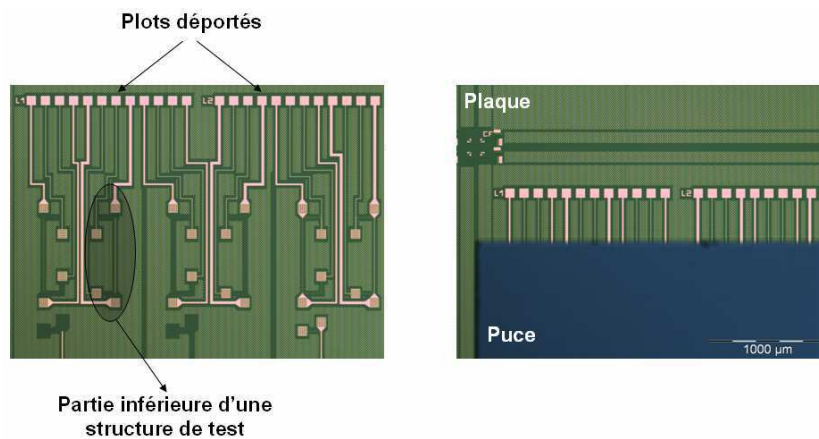


Figure II. 17 : Images optiques de structures de test avec plots déportés, avant (gauche) et après (droite) collage d'une puce

Afin d'éviter tout problème de corrosion des plots et des lignes de cuivre, un film fin de nitrure est déposé, après hybridation de la plaque, recouvrant cette dernière et permettant les tests électriques (les pointes percent le dépôt) et les tests de stockages en température pendant plusieurs centaines d'heures (le cuivre n'est plus à nu).

Le Tableau II. 3 résume les différentes approches et intégrations décrites précédemment dans le but de caractériser électriquement le collage direct Cuivre-Cuivre :

Intégration	Schéma	Avantages	Inconvénients
Intégration complète		<ul style="list-style-type: none"> - Intégration fiable - Lignes du niveau RDL passivées - Compatible pour des mesures sur plaques - Compatible pour des mesures en boîtier 	<ul style="list-style-type: none"> - Longue durée de réalisation - Structures de test non visibles
Procédé avec enlèvement de la plaque du dessus		<ul style="list-style-type: none"> - Rapidité de réalisation - Permet la mesure de la résistance à l'interface 	<ul style="list-style-type: none"> - Motifs de test à nu → Corrosion - Incompatibilité avec l'assemblage en boîtier - Incompatibilité avec les tests automatiques (layout non adapté) - Faible tenue mécanique
Procédé avec vias dans oxyde et passivation nitrure		<ul style="list-style-type: none"> - Gain en temps de réalisation - Permet l'observation optique des structures de test - Tests automatiques possibles - Stockage en température possible 	<ul style="list-style-type: none"> - Incompatible avec les mises en boîtier - Révèle les défauts de collage (relâchement de contrainte)
Procédé avec vias dans oxyde et passivation BCB et UBM		<ul style="list-style-type: none"> - Gain en temps de réalisation - Mise en boîtier possible - Tests automatiques possible 	<ul style="list-style-type: none"> - Révèle les défauts de collage (relâchement de contrainte) - Non représentatif de l'état final

Tableau II. 3 : Récapitulatif des intégrations utilisées pour la caractérisation et étude de fiabilité électrique du collage direct cuivre-cuivre

II.1.3) Technique de caractérisation de la résistance à l'interface de collage

Les études précédentes sur le collage direct métallique cuivre-cuivre ont montré, suivant les températures de recuits, une modification de l'interface de collage [Gueguen2010]. En effet, après collage on retrouve une couche d'oxyde de cuivre au niveau de cette interface, ce qui rend cette dernière résistive. Une évolution de l'interface avec les recuits thermiques est observée, caractérisée par une démixtion de cet oxyde avec apparition de nodules. Ces derniers diminuent en taille et en nombre avec l'élévation de la température de recuit. Ces différents états au niveau de l'interface de collage vont avoir un impact direct sur la résistance

de contact des structures collées. Il est donc important d'étudier l'évolution de la résistance à l'interface en fonction des températures de recuits.

II.1.3.1) Extraction de la résistivité du cuivre

En amont de l'étude sur la qualité de l'interface de collage, il est important d'extraire la résistivité du cuivre utilisé, et ce, sur chaque plaque testée. Cette information nous renseigne sur la qualité du cuivre et est prise comme référence pour toute estimation théorique des valeurs de résistances mesurées sur chacune des structures de test.

L'extraction de la résistivité du cuivre se fait à l'aide des structures non collées (décrites au paragraphe II.1.1.1). Il s'agit d'une mesure Kelvin de la résistance d'une ligne de métal. Connaissant les dimensions de la ligne et en s'appuyant sur la valeur de la résistance mesurée, la résistivité du cuivre est déduite à l'aide de l'équation suivante :

$$\rho = \frac{RS}{L} \quad \text{Eq. II.1}$$

Avec ρ la résistivité du cuivre, R la résistance mesurée, S la section de la ligne de métal et L sa longueur.

Cette estimation suppose que les dimensions exactes des lignes sont connues. Il est donc important de noter que les variations d'épaisseur des lignes dues à la gravure et au polissage ne sont pas prises en compte.

II.1.3.2) Méthodologie d'extraction de la résistance à l'interface de collage

Le principe est simple, d'une part une mesure de résistance des structures collées est réalisée. Cette dernière étant faite par une mesure 4 pointes, la résistance des lignes d'amenée de courant n'est pas prise en compte. Seule la résistance de la structure active est évaluée précisément. D'autre part, connaissant la valeur de la résistivité, il est possible d'évaluer théoriquement la valeur de résistance d'une telle structure. Pour finir, une comparaison est faite entre les deux valeurs de résistance, théorique et mesurée. La différence entre ces deux valeurs correspond, au maximum, à l'apport de la résistance à l'interface de collage (autrement dit la résistance de contact). Plus l'interface sera de mauvaise qualité, plus elle sera résistive et donc engendrera une grande différence entre la valeur de résistance mesurée et celle théorique.

Cette différence peut être également due à plusieurs autres paramètres, tels :

- le désalignement des structures lors du collage (les surfaces collées seront plus petites que celles définies lors du dessin des structures, ce qui va augmenter la résistance mesurée),
- une variation de procédé (une inhomogénéité d'épaisseur de ligne, de qualité de cuivre entre bord en centre...).

II.1.4) Méthodologie de caractérisation de la fiabilité électrique du collage direct

Depuis plusieurs années, de nombreuses évolutions et développements sont réalisés au niveau des interconnexions métalliques dans le but de garantir et d'améliorer la performance des circuits intégrés. De tels développements ne peuvent être faits sans considération de la fiabilité des ces interconnexions.

La fiabilité se définit de façon générale par la capacité d'un produit à remplir sa mission pendant une durée donnée. D'un point de vue mathématique, la fiabilité peut être définie comme la probabilité qu'un produit continue à fonctionner, sous certaines conditions, sans montrer de défaillance, pendant un temps spécifié.

L'électromigration ainsi que le stress voiding sont les principaux phénomènes de dégradation dans les interconnexions métalliques. C'est pour cela qu'il a été décidé d'orienter cette étude, concernant le comportement électrique des structures collées, sur ces deux problèmes de fiabilité.

II.1.4.1) Electromigration

Principe

Le phénomène d'électromigration se traduit par un déplacement de matière observé dans les métaux. Il est activé par la température et induit par le passage d'un courant électrique. Ce déplacement entraîne la formation et croissance d'une cavité jusqu'à la rupture électrique de la ligne. Ce phénomène est d'autant plus important que la densité de courant dans les interconnexions est grande. Or il est possible de constater, Figure II. 18, que la densité de courant ne cesse d'augmenter avec la réduction des dimensions, d'où l'importance de la maîtrise de ce phénomène.

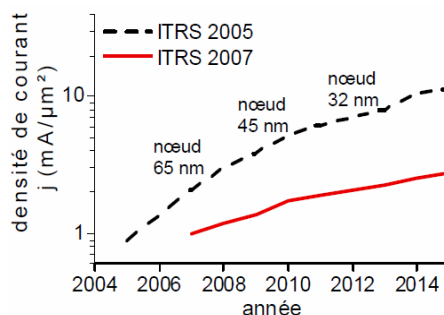


Figure II. 18 : Prévision de l'ITRS des densités de courant maximales dans les interconnexions à 105°C [ITRS] montrant que la densité de courant augmente avec la réduction des dimensions

Dans la suite de ce paragraphe, seront décrits les principaux mécanismes qui régissent le phénomène d'électromigration, de manière générale (dans un milieu homogène et infini) puis dans le cas particulier des interconnexions métalliques.

Mécanisme de diffusion

Le déplacement de matière, dans les matériaux compacts, est principalement rattaché aux défauts ponctuels du réseau cristallin, notamment les lacunes. Ces dernières, toujours présentes dans un cristal à l'équilibre thermodynamique, désignent des sites atomiques vacants autorisant la migration de matière. En effet, comme on peut le voir sur la Figure II. 19, lorsqu'un site du réseau est libre, ce dernier peut être rempli par le « saut » d'un atome voisin, délaissant derrière lui un nouveau site vacant. Ce processus peut être répété un grand nombre de fois. C'est par cette succession de sauts élémentaires, d'une position d'équilibre à une autre, qu'un atome peut se déplacer.

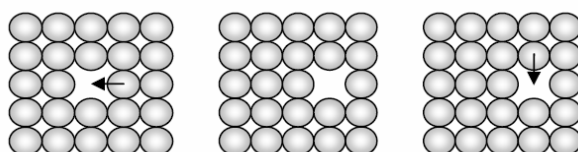


Figure II. 19 : Schéma représentatif du mécanisme de diffusion lacunaire [Doyen2009]

Cette diffusion assistée par les lacunes est le mécanisme principal de diffusion des atomes. La présence de défauts linéaires (dislocation) ou bidimensionnelles (joints de grains, surfaces) offre aux atomes des régions plus au moins désordonnées où la migration sera favorisée.

Le déplacement d'un atome dépend fortement de la fraction de lacunes à l'équilibre thermodynamique, noté n . Cette dernière est exprimée en fonction de l'enthalpie libre de formation de lacune ΔG_f (Eq. II.2):

$$n = n_0 \exp\left(-\frac{\Delta G_f}{RT}\right) \quad \text{Eq. II.2}$$

Où R est la constante des gaz parfaits, T la température et n_0 la fraction de lacune à T_0 .

Cette migration d'atome ne peut se faire que si ce dernier vibre avec une amplitude suffisante lui permettant de franchir la barrière d'énergie ΔG_m correspondant à l'enthalpie libre de migration des atomes ou des lacunes. D'où l'expression de la probabilité de migration p , qui correspond à la probabilité qu'un atome de passer à un site voisin libre :

$$p = \exp\left(-\frac{\Delta G_m}{RT}\right) \quad \text{Eq. II.3}$$

A l'aide de ces deux dernières équations, il est possible d'en déduire la fréquence de sauts des lacunes dans un cristal :

$$\Gamma = \nu_0 \exp\left(-\frac{\Delta G_m}{RT}\right) \exp\left(-\frac{\Delta G_f}{RT}\right) \quad \text{Eq. II.4}$$

Avec ν_0 la fréquence de vibration des atomes à l'équilibre thermodynamique, aussi appelée la fréquence de Debye.

Dans le cas de diffusion de lacunes dans un cristal monoatomique, le coefficient de diffusion D caractéristique d'une espèce est donné par la relation :

$$D = D_0 \exp\left(-\frac{\Delta H}{RT}\right) \quad \text{Eq. II.5}$$

Avec $\Delta H = \Delta H_f + \Delta H_m$ Eq. II.6

Et $D_0 = \beta a^2 \nu_0 \exp\left(\frac{\Delta S}{R}\right)$ Eq. II.7

Où D_0 regroupe les termes indépendants de la température, avec β le facteur de corrélation dépendant de la structure cristalline, il est égal à 1 pour une structure cubique centrée ou cubique face centrée. a représente le paramètre de maille et ΔS l'entropie. ΔH est l'énergie d'activation du phénomène de diffusion, aussi appelé l'enthalpie.

A l'équilibre, la diffusion moyenne de lacune, qui est activée uniquement par la température, est nulle. Il n'y a pas de direction privilégiée de diffusion de lacune car celle-ci voit une barrière de potentiel isotrope (c'est-à-dire que le passage d'un atome du site i vers le site $i+1$ ou $i-1$ est le même), comme illustré sur la Figure II. 20.a. L'obtention d'un déplacement de lacune (ou d'atome) se fait que par un abaissement de cette barrière dans une direction donnée, et ce, sous l'application d'une force extérieure comme on peut le constater sur la Figure II. 20.b. Ce qui augmente la probabilité de saut vers un site donné.

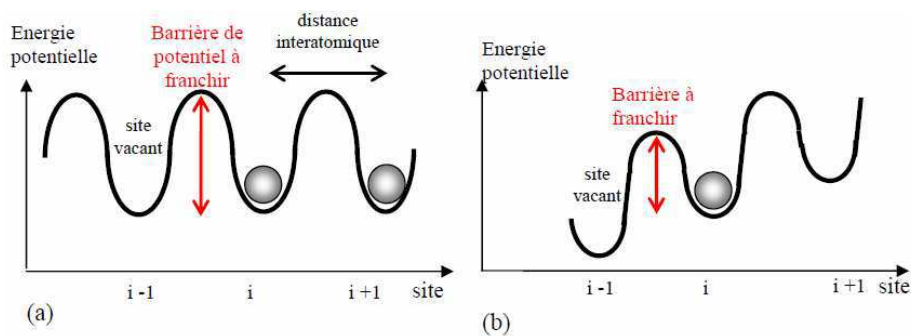


Figure II. 20 : Représentation schématique de l'énergie potentielle dans un cristal (a) en l'absence de force, (b) en présence d'une force [Doyen2009]

Le déplacement de matière engendré par la présence d'une force crée un gradient de concentration qui génère un second flux dans la direction opposée. Il en résulte un flux total qui est la somme du flux de matière induit par ce gradient de concentration et celui causé par la force extérieure.

Flux d'électromigration

Lorsqu'on applique un champ électrique \vec{E} sur un matériau conducteur, une force électrostatique \vec{F}_e est alors exercée sur ses atomes. Cette force est dirigée vers la cathode et s'exprime de la façon suivante :

$$\vec{F}_e = q\vec{E} \quad \text{Eq. II.8}$$

q étant la charge élémentaire de l'électron.

Sous l'application de cette force, un déplacement des atomes (ions) est observé dans le sens opposé du courant, vers l'anode. La force motrice de ce phénomène est appelée force de friction. Elle est causée par la collision entre les électrons de conduction et les atomes. Il est communément admis que la force de friction est proportionnelle à la force électrostatique, et s'exprime de la manière suivante :

$$\vec{F}_{friction} = -qZ^* \vec{E} \quad \text{Eq. II.9}$$

Où Z^* est la charge effective, elle correspond à l'interaction entre les électrons et les atomes de cuivre.

En assimilant les atomes de cuivre comme des ions chargés, Ficks et Huntington considèrent que la force électrostatique directe est négligeable devant la force de friction. En effet, dans un bon conducteur la valeur de Z^* est généralement de l'ordre de 10 [Tu2003].

La force totale est la somme des forces (électrostatique et de friction), elle est donc proportionnelle au champ électrostatique \vec{E} . Sous l'effet de cette force, la barrière de potentiel est réduite d'une quantité ΔW , comme on peut le voir sur la Figure II. 21. Il en résulte une augmentation de la probabilité de migrations des atomes mobiles. Ainsi, dans une ligne infinie (milieu homogène), le flux atomique est donné par la relation suivante:

$$J = \frac{cD_0}{kT} \exp\left(-\frac{\Delta G - \Delta W}{RT}\right) F_{totale} = \frac{cD}{kT} qZ^* E \quad \text{Eq. II.10}$$

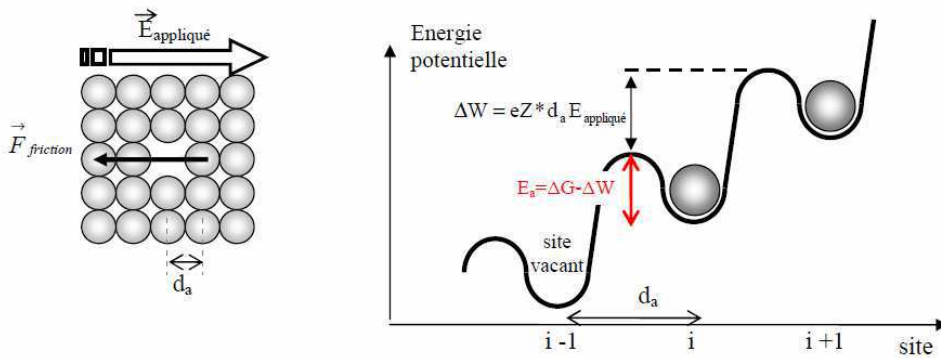


Figure II. 21 : Représentation schématique de l'abaissement de la barrière de potentielle sous l'effet de la force de friction

Comme illustré sur la Figure II. 21, $E_a = \Delta WG - \Delta W$ est l'énergie à apporter à l'atome afin qu'il puisse quitter son site. Il s'agit de l'énergie d'activation apparente du phénomène. Et est exprimée en eV. D'où l'expression du flux d'électromigration :

$$J = \frac{cD_0}{kT} \exp\left(-\frac{E_a}{kT}\right) qZ^* \rho j \quad \text{Eq. II.11}$$

Où k est la constante de Boltzmann, ρ la résistivité et J la densité de courant.

Electromigration dans les interconnexions

Les notions décrites précédemment concernent le phénomène d'électromigration dans un milieu homogène et infini. Dans le cas des interconnexions, les lignes sont de dimensions finies et délimitées par des interfaces avec des matériaux de nature différente. Cette architecture va fortement influencer le comportement de ces interconnexions vis-à-vis de l'électromigration.

Notion de diffusion effective

Le déplacement atomique généré par électromigration ne se limite pas au transport volumique. Il peut également se produire par différents chemins de conduction : les interfaces, les joints de grains et les dislocations. Ces différents chemins sont représentés sur la Figure II. 22, où les chemins notés vol, b, e, j et disl correspondent respectivement au volume, à l'interface cuivre/barrière diélectrique, à l'interface cuivre/barrière métallique, aux joints de grains et aux dislocations.

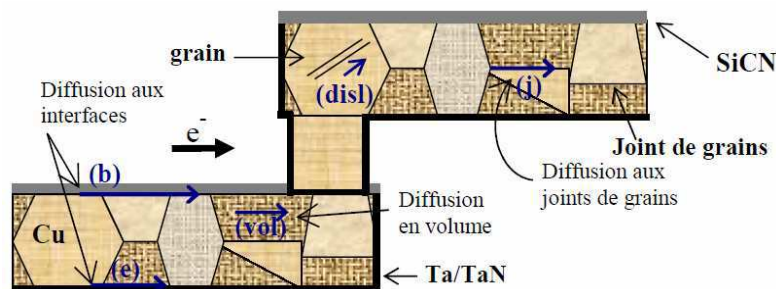


Figure II. 22 : Schéma représentant différents chemins de diffusion dans une interconnexion [Doyen2009]

Il faut noter que chaque mode de diffusion possible est associé à une charge effective Z^* différente car la force de friction varie fortement avec l'environnement électronique local des atomes susceptible de migrer [Sorbello1996].

Chemin de diffusion dominant

Tous ces chemins contribuent simultanément au transport de matière lors du passage du courant et par conséquent, c'est le mécanisme le plus rapide qui va court-circuiter les autres et régir ainsi la dégradation. Il est donc important de déterminer quel est le chemin privilégié pour la migration du cuivre. Cela peut être réalisé, soit en introduisant des marqueurs radioactifs, soit en réalisant des caractérisations physiques des cavités créées après test. En effet, à l'aide de la morphologie de ces dégradations, une corrélation peut être faite entre sa croissance et sa proximité éventuelle d'une interface, ou permet également de détecter des sillons entre les grains. La contribution des dislocations est généralement négligée, car ce chemin n'est pas continu le long de la ligne. Il est admis dans la littérature que le chemin dominant dans les interconnexions en cuivre est l'interface avec le diélectrique (SiCN) [Hu1999, Ogawa2002, Chang2002, Zszech2003]. C'est la mauvaise adhésion entre le cuivre et le nitrure de silicium qui est à l'origine de cette faible interface. Contrairement au cuivre, dans les interconnexions en aluminium, se sont les joints de grains qui ont été identifiés comme étant le chemin prédominant pour l'électromigration.

Le Tableau II. 4 représente des valeurs d'énergie d'activation, pour le cuivre et l'aluminium, associées aux différents modes de diffusion dans la littérature.

Chemin de diffusion	Energie d'activation (eV)	
	Al	Cu
Volume	1,4	2,1 – 2,3
Joints de grains	0,4 – 0,5	1,2 – 1,4
Interfaces	/	0,6 – 1,0

Tableau II. 4 : Valeurs d'énergie d'activation mesurées pour les interconnexions en aluminium et en cuivre [Lloyd1999a, Lloyd1999b]

Il est possible de noter que pour l'aluminium, l'énergie d'activation la plus faible est celle associée aux joints de grains, ces derniers correspondent au chemin de diffusion privilégié. Pour ce qui est du cuivre, c'est bien l'énergie d'activation associée aux interfaces qui est la plus faible. La dispersion des valeurs d'énergie d'activation est due à la variabilité de la qualité de l'interface et aux variations de procédés de fabrication. Exemple, un lien direct avec les traitements de surface utilisés a été mis en évidence [Vairagar2004]

Effet de confinement

Dans le cas d'un métal massif, le flux de matière induit par électromigration est proportionnel au champ électrique appliqué. La concentration de matière reste homogène car le flux ne présente pas de discontinuité. L'expression de ce flux est donnée dans l'équation (Eq. II.10). Cette équation doit être modifiée et tenir compte de la géométrie des interconnexions. La barrière métallique (TaN/Ta) se trouvant en fond de via empêche la

diffusion du cuivre et de lacune à chaque extrémité de la ligne. Il en résulte l'annulation, à ces extrémités, du débit atomique induit par électromigration et donc la matière peut ainsi s'accumuler à l'anode et désertier la cathode. Ce confinement génère l'apparition d'un gradient de concentration, s'opposant à l'électromigration, qui va donc favoriser le transport d'atomes en direction de la cathode. L'expression du flux devient alors :

$$J = \frac{cD_{eff}}{kT} qZ^* \rho j - D_{eff} \frac{\partial c}{\partial x} \quad \text{Eq. II.12}$$

Il est préférable d'introduire un aspect mécanique en travaillant avec le gradient de contrainte hydrostatique au lieu du gradient de concentration. En effet, la variation de concentration atomique induit une variation de contrainte mécanique. Il en résulte un état de compression au niveau de l'anode (dû à l'accumulation de matière), accompagné d'une tension à la cathode causée par la désertion du cuivre à cette extrémité. Cette configuration est représentée en Figure II. 23.

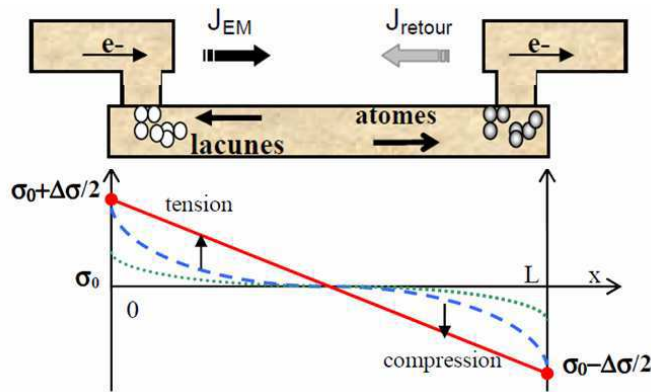


Figure II. 23 : Représentation de l'effet de confinement et du gradient de contrainte dans une interconnexion [Ney2007]. Le déplacement d'atomes crée une accumulation au niveau de l'anode, qui se retrouve en compression, et une déplétion du côté de la cathode qui se retrouve en tension.

A l'équilibre, la concentration de matière c dans un cristal sous contrainte hydrostatique σ est donnée par :

$$c = c_0 \exp\left(-\frac{\Omega\sigma}{kT}\right) \quad \text{Eq. II.13}$$

Où Ω est le volume atomique de cuivre et c_0 la concentration en l'absence de contraintes.

L'expression du flux total s'écrit :

$$J = \frac{cD_{eff}}{kT} \left(qZ^* \rho j - \Omega \frac{\partial \sigma}{\partial x} \right) \quad \text{Eq. II.14}$$

Origine des dégradations

Le transport de matière induit par électromigration ne suffit pas à endommager une ligne d'interconnexion. En effet, si le flux de matière reste continu le long de la ligne, une conservation locale de matière est maintenue, c'est-à-dire, que la quantité d'atomes sortant d'une région donnée est égale à la quantité y entrant. Le problème survient lorsque le transport de matière est perturbé par la présence de discontinuités. Celles-ci vont engendrer des divergences de flux changeant ainsi localement la concentration de matière, comme représentée sur la Figure II. 24.

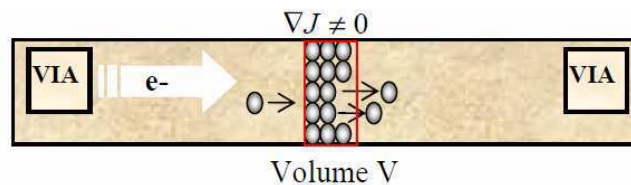


Figure II. 24 : Schéma représentatif d'une dégradation induite par une discontinuité de flux

D'après l'équation de continuité (Eq. II.15), plus l'amplitude de ces divergences est importante, plus la dégradation sera rapide donc plus vite la défaillance de la ligne sera atteinte.

$$\frac{\partial c}{\partial t} = -\bar{\nabla} \bar{J} \quad \text{Eq. II.15}$$

Deux types de défaillances peuvent être déduites d'après le signe de cette divergence :

- Si la divergence est positive : il y a déplétion de matière jusqu'à formation de cavité.
- Si la divergence est négative : il y a accumulation de matière pouvant entraîner l'extrusion du cuivre et un risque de court-circuit avec une ligne voisine.

Test de durée de vie

L'électromigration étant un phénomène répondant à une loi statistique, l'approche standard utilisée pour étudier ce phénomène est de réaliser des tests de durée de vie. Le principe consiste à accélérer la dégradation et de mesurer le temps à la défaillance (appelé en anglais Time To Failure TTF), qui est défini par une augmentation relative de la résistance, due à la présence d'une cavité. Dans notre cas, le critère déterminant le TTF est une variation de 10% de la résistance. Ce critère correspond à l'augmentation maximale du délai de propagation qui est jugé acceptable dans le circuit. Cette augmentation de résistance est généralement causée par une diminution de la section de la ligne testée, due à un volume de matière déplacé.

Il a été admis que les temps médian à la défaillance (Median Time To Failure, MTF) dépendent de la loi de Black [Black 1969]. Black a établi une relation empirique faisant

intervenir une dépendance en température de type Arrhenius, et une dépendance en densité de courant avec l'introduction d'un exposant n .

$$MTF = AJ^{-n} \exp\left(\frac{E_a}{kT}\right) \quad \text{Eq. II.16}$$

Où A est un coefficient de proportionnalité qui prend en compte les propriétés microstructurales de la ligne telles que la résistivité électrique... E_a est l'énergie d'activation de diffusion du cuivre.

La loi de Black est très largement utilisée dans le domaine de la microélectronique afin de prédire la durée de vie pour n'importe quelle condition de fonctionnement (température et courant). La précision et la justesse de cette extrapolation nécessitent une connaissance précise des paramètres E_a et n .

L'énergie d'activation intervenant dans l'équation de Black est une valeur apparente reflétant l'ensemble des mécanismes de diffusion à l'origine de la dégradation. Elle est extraite par la relation suivante, en prenant une densité de courant constante.

$$E_a = - \frac{d \ln(MTF)}{d(1/kT)} \Big|_{J \text{ constant}} \quad \text{Eq. II.17}$$

De la même façon il est possible de déterminer la valeur de n à l'aide de tests à différentes densités de courant pour une température donnée.

$$n = - \frac{d \ln(MTF)}{d \ln(j)} \Big|_{T \text{ constant}} \quad \text{Eq. II.18}$$

Généralement, l'extraction de n se fait par des tests en étuve. Le but est de rendre les paramètres température et courant injecté complètement indépendants (tests en boîtier).

Distribution lognormale des TTF

Pour ce qui est des phénomènes d'électromigration, la distribution des temps à la défaillance est supposée suivre une loi lognormale dont la densité de probabilité $f(t)$ et la probabilité cumulée $F(t)$ sont respectivement définies par les équations suivantes :

$$f(t) = \frac{1}{s_d t \sqrt{2\pi}} \left(- \frac{1}{2} \left(\frac{\ln(TTF) - \ln(MTF)}{s_d} \right)^2 \right) \quad \text{Eq. II.19}$$

$$F(t) = \int_0^t f(t') dt' \quad \text{Eq. II.20}$$

Où TTF , MTF et s_d sont respectivement, le temps à la défaillance, le temps médian à la défaillance et l'écart type (aussi appelé déviation standard). Le MTF et s_d sont caractéristiques de la distribution.

Pour la suite nous utiliserons la représentation de « Henry » qui permet de linéariser graphiquement la probabilité cumulée $F(t)$ avec t . Elle permet également la lecture rapide des données MTF et de l'écart type. Cette représentation consiste à tracer la probabilité cumulée en échelle gaussienne en fonction du logarithme du temps à la défaillance. La Figure II. 25 illustre un exemple d'une droite de Henry et montre la détermination de s_d .

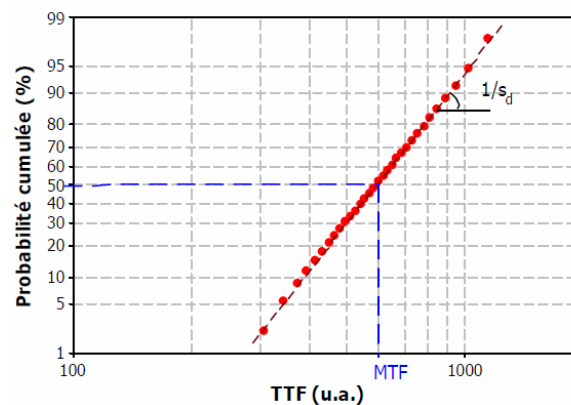


Figure II. 25 : Exemple de représentation de Henry des temps à la défaillance et détermination de l'écart type s_d

Intervalle de confiance

La notion d'intervalle de confiance est fondamentale. En effet, pour déterminer la fiabilité d'une population d'interconnexions, nous ne travaillons qu'avec un nombre d'échantillons fini. Nous n'obtenons donc qu'une estimation de la probabilité de défaillance et de déviation standard. C'est pourquoi il est important de quantifier la confiance que nous donnons à nos résultats. On définit donc des bornes dans lesquels les paramètres (dans notre cas MTF et s_d) ont le plus de chance de se trouver. La Figure II. 26 montre un exemple d'un intervalle de confiance à 90% pour une distribution normale. Cela signifie que les valeurs de MTF mesurées ont une probabilité de 90% d'être comprise entre les bornes définies $MTF1$ et $MTF2$.

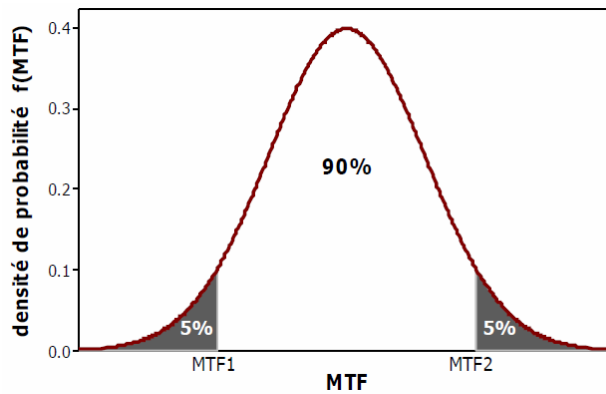


Figure II. 26 : Exemple d'un intervalle de confiance à 90% pour une distribution normale

Les intervalles de confiance peuvent être calculés mathématiquement par la méthode des moindres carrés. La Figure II. 27 représente une distribution lognormale des TTF avec ses intervalles de confiance (les courbes extérieures), en représentation Henry. Les élargissements de l'intervalle de confiance au niveau des faibles et forts pourcentages sont dus aux erreurs d'estimation sur les MTF et s_d .

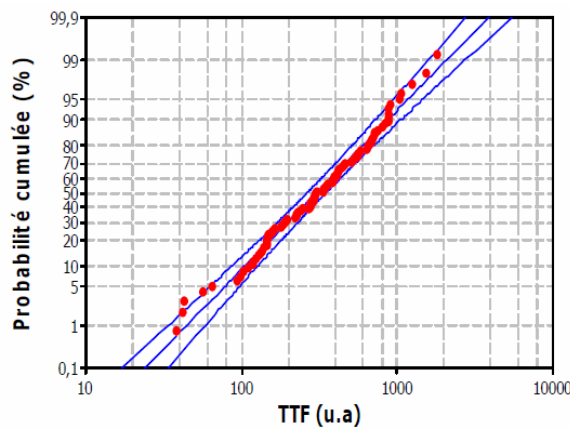


Figure II. 27 : Exemple de distribution de TTF ajusté par une loi lognormale avec des intervalles de confiance de 90%

Les tests de durée de vie peuvent être réalisés de deux manières différentes : soit sur plaque entière soit sur puces découpées et montées en boîtier.

Test sur plaque

Les tests sur plaque consistent à poser directement des pointes métalliques sur les plots de contact de la plaque. La particularité de ce test est que la température de test est produite par effet Joule. De fortes densités de courant sont alors utilisées pour atteindre les températures de test désirées. Suivant les dimensions des lignes testées, des effets de compliance peuvent apparaître limitant la densité de courant et par la même occasion la température voulue.

La mesure de la température est basée sur la sensibilité thermique de la résistance de la ligne de métal via le coefficient thermique de résistance (TCR pour Thermal Coefficient Resistance). Dans un premier temps, on détermine le TCR à l'aide de la relation suivante :

$$R(T) = R_0 [1 + TCR(T - T_0)] \quad \text{Eq. II.20}$$

Où $R(T)$ est la résistance à la température T , R_0 la résistance à la température T_0 .

Pour cela, une régression linéaire sur une mesure de résistance à faible courant pour plusieurs températures (celles-ci étant fixées par la plaque chauffante servant de support à la plaque de test) est réalisée.

Puis la résistance thermique R_{th} est obtenue en traçant la puissance dissipée Ri^2 en fonction de l'augmentation de la température de la ligne.

$$Ri^2 = \frac{\Delta T}{R_{th}} \quad \text{Eq. II.21}$$

Une fois ces deux paramètres identifiés, il est possible d'estimer quelle valeur de résistance doit être obtenue pour avoir la température de test désirée.

En réalité, il ne s'agit pas de la température réelle de la ligne, mais plutôt d'une valeur moyenne car le profil de température de la ligne n'est pas uniforme, comme on peut le voir sur la Figure II. 28. En effet, les amenées de courant de la structure de test sont larges et dissipent la chaleur, créant ainsi un gradient thermique à chaque extrémité de la ligne [Federspiel2007]. Ce gradient crée une divergence de flux de matière qui peut être à l'origine des dégradations.

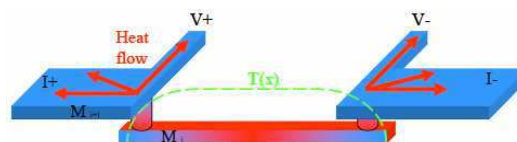


Figure II. 28 : Représentation du gradient en température dans la ligne de cuivre lors des tests sur plaque

L'avantage de ce test est le gain en temps d'expérimentation, en moyenne cela prend quelques minutes à quelques heures. Son principal inconvénient est la corrélation entre la température de la ligne et le courant, ce problème empêche une bonne extraction des paramètres de Black. Il sera intéressant dans notre cas d'étudier le type de dégradation sur des structures collées, puis de les comparer avec des structures réalisées sans collage métallique.

Test en boîtier

Il s'agit de tests réalisés sur des puces découpées et câblées, la température de test est fixée à l'aide d'une étuve. Afin de se rapprocher des conditions d'utilisation réelle de

fonctionnement, les densités de courant sont limitées de sorte à éviter l'effet Joule. En effet, la limite d'échauffement ne doit pas dépasser 5°C. Cette diminution de courant implique nécessairement une augmentation du temps de test. Les bancs utilisés pour ces tests permettent de tester en parallèle plusieurs puces pour les mêmes conditions.

L'inconvénient de cette méthode est la durée du test qui prend plusieurs jours et le coût généré par les mises en boîtier. Son avantage principal est de se rapprocher des conditions réelles de fonctionnement. L'indépendance entre la température et le courant durant ces tests évite les phénomènes de gradient thermique (la structure de test est à la même température à chaque point de la ligne, illustré en Figure II. 29), ce qui permet également une meilleure extraction des paramètres de Black.

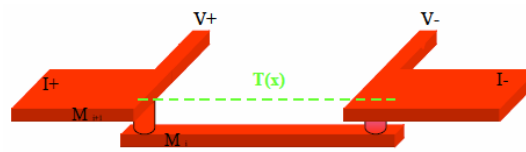


Figure II. 29 : Schéma représentant l'homogénéité de la température sur toute la ligne de test lors des tests en boîtiers

Stratégie adoptée et méthodologie de caractérisation

Comme décrit au paragraphe II.1.1.1 la stratégie adoptée pour évaluer l'impact de l'interface de collage sur le mécanisme d'électromigration est de comparer le comportement d'une structure NIST collée et non collée, comme décrit à la Figure II. 3. Les différentes structures NIST (Tableau II. 1) sont utilisées pour les tests d'électromigration mais une des daisy chains est également utilisée. Cette dernière est comparée aux comportements électriques obtenus sur les interconnexions classiques de cuivre.

Dans un premier temps, le calcul du TCR est réalisé de sorte à contrôler un éventuel effet joule provoqué par les densités de courant utilisées. Afin de pouvoir extraire les paramètres de Black (E_a et n), trois conditions de tests au minimum sont obligatoires. En effet, suivant les équations Eq. II.17 et Eq. II.18 il est nécessaire d'avoir deux températures ainsi que deux courants de test afin d'extraire ces paramètres. La détermination des temps à la défaillance est obtenue pour une variation relative de 10% de la résistance. Une fois les tests finis, on trace les distributions des TTF suivant une loi lognormale et représentation de Henry.

Une comparaison des pentes (déviations standard) nous renseigne sur le nombre de mécanismes mis en jeu ainsi que la comparaison de ces derniers entre les différentes structures testées. En effet si la pente, pour une condition donnée, est différente entre deux structures, cela impliquerait une différence de mécanisme de dégradation.

La Figure II. 30 montre un exemple de distribution des TTF pour une structure donnée indiquant deux mécanismes de dégradations.

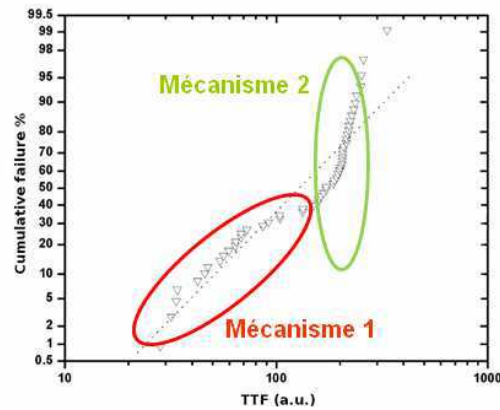


Figure II. 30 : Exemple de distribution de TTF mettant en évidence deux mécanismes de dégradations (deux pentes différentes sont observées)

Le tracé des distributions des TTF nous renseigne sur le nombre de mécanismes de dégradation produits pendant les tests d'électromigration mais leur nature reste inconnue. En effet, aucune information n'est donnée sur la taille de la cavité ainsi que sur sa localisation. De plus, les structures de tests se trouvent enterrées sous 50 μ m de silicium et rendent donc une observation au microscope optique ou même au MEB impossible. C'est pour cela que des techniques de caractérisations supplémentaires sont nécessaires. On y retrouve :

- L'interprétation des courbes R(t) : L'évolution de la résistance au cours du temps pendant les tests est rattachée à la nature de la dégradation. Exemple sur les tests sur plaque où généralement on observe une augmentation abrupte de la résistance caractéristique de la rupture de la ligne.
- Observation par microscopie infrarouge : étant donné que les structures de tests sont localisées sous plusieurs dizaines de microns de silicium, seule une observation par infrarouge permet d'observer les lignes de métal (à travers le silicium) et de localiser d'éventuelles dégradations de type cavité (void) dans les lignes.
- Observation par OBIRCH (pour Optical Beam Induce Resistance CHarge) : il s'agit d'une méthode permettant à l'aide d'un scan avec un laser de repérer les zones résistives sur des structures défailtantes, cette technique est associée au microscope infrarouge. Elle sera décrite au paragraphe II.1.5.3.
- FIB-MEB : une fois la dégradation localisée il sera possible de réaliser des coupes FIB suivies d'observation au MEB afin d'observer la forme de la dégradation.

II.1.4.2) Stress voiding

Principe

Une des causes principales de dégradation, en plus de l'électromigration, sur les interconnexions métalliques est le phénomène de « stress voiding » [Hu1995, Borgesen1992].

Ce phénomène a été décrit pour la première fois en 1984 [Curry1984, Yue1985], Il a été démontré que l'état de contrainte dans les lignes (ou films) avait un rôle principal dans ce phénomène de dégradation. Les dégradations induites par ce type de mécanisme, dans les lignes de cuivre, sont généralement l'apparition de void (cavité) dans les lignes ou en bord de ligne (sur les parois latérales de la ligne). Ces voids ont pour impact de diminuer la section de la ligne, il en résulte ainsi une augmentation de la résistance mesurée, la Figure II. 31 montre un exemple de lignes de métal après un test de stress voiding. Les voids sur les cotés de la ligne peuvent amorcer des fissures sur toute la largeur de cette dernière allant jusqu'à sa rupture complète.

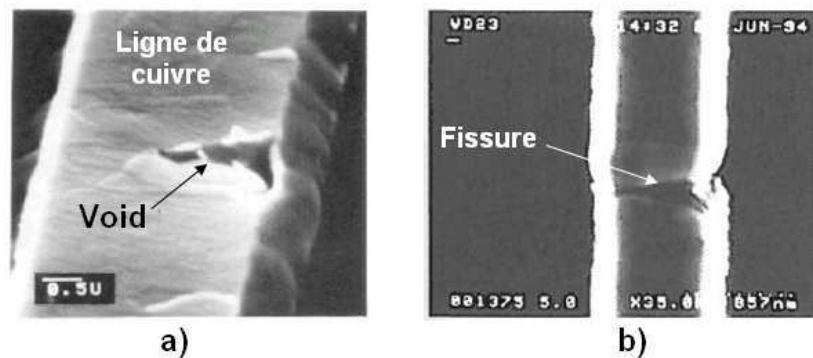


Figure II. 31 : Images MEB sur des lignes de métal après test de stress voiding montrant: a) un void dans la ligne de métal, b) une fissure sur toute la largeur de la ligne [Ohring1998]

Le stress voiding est un mécanisme activé thermiquement. Le test consiste donc à stocker, pendant un temps très long (plusieurs centaines d'heures), les plaques (ou les puces) à des températures données (pour le cuivre les températures de tests utilisées sont généralement 175 à 250°C, températures d'activation des voids). Comme cité précédemment, c'est l'état de contrainte dans les lignes qui va engendrer ces dégradations. Ces contraintes sont induites par la différence de CTE (coefficient de dilation thermique) entre la ligne de métal et son encapsulation (oxyde par exemple). Ces dégradations se produisent sans présence de courant électrique, mais peuvent être accélérées avec le courant. C'est pour cela que les phénomènes d'électromigration et de stress voiding peuvent être confondus lors des tests d'électromigration. En effet, il est possible d'avoir une contribution des deux phénomènes simultanément.

La densité de voids engendrée par ces tests dépend fortement des largeurs de lignes ainsi que de leur microstructure. La nucléation de ces voids se fait généralement aux zones où la contrainte est maximale dans la ligne. Le void est créé dans le but de relaxer localement la zone contrainte.

On peut donc conclure que le phénomène de stress voiding est un phénomène de relaxation des lignes de cuivre se manifestant par nucléation et déplacement des voids localisés dans les zones les plus stressées. Cette contrainte est le résultat du traitement

thermique que subissent les lignes de métal, et de la différence de CTE entre ces lignes et leur environnement.

Méthodologie de caractérisation

La méthodologie utilisée pour étudier le phénomène de stress voiding est un contrôle de la résistance avant et après stockage en température, notamment pour des tests sur plaque. L'avantage des tests en boîtiers est qu'ils permettent de contrôler la résistance en continu pendant les tests et donc de déterminer les temps à la défaillance et d'extraire une énergie d'activation du phénomène de dégradation produit. Dans les deux cas les structures subissent un recuit en étuve. La variation obtenue (avec un critère de variation au minimum de 10%) est significative d'une dégradation de la structure de test.

Pour ce qui est de la caractérisation morphologique de la dégradation (si celle-ci se produit), et comme pour les tests d'électromigration, une observation en infrarouge suivie d'une coupe FIB et observation MEB sur la zone dégradée est réalisée. Une caractérisation par OBIRCH peut également être utilisée, si la dégradation n'est pas visible en infrarouge.

Les structures de tests utilisées pour les tests de stress voiding sont dans notre cas les daisy chains. Ce sont les structures les plus adaptées, où l'on retrouve alternance de zone cuivre-oxyde et cuivre-cuivre au niveau de l'interface de collage. Les daisy chains asymétriques (avec largeurs des lignes différentes entre les lignes de la plaque du bas et celles de la plaque du haut) ont été conçues spécialement pour ces tests, car elles présentent la particularité d'un stress supplémentaire au niveau des zones collées.

II.1.4.3) Cyclage thermique

Principe

Il s'agit d'un traitement thermique qui consiste à faire subir à l'échantillon de nombreux cycles de chauffage et de refroidissement. Le but de ce traitement est de mettre la structure dans différents états de contraintes pouvant détériorer mécaniquement cette dernière. Il s'agit encore une fois de la différence de CTE entre les matériaux en présence qui est génératrice des dégradations. En effet, le passage d'un état de refroidissement à un état d'échauffement provoque des contraintes entre les matériaux pouvant engendrer des délaminations (séparation inter-faciale) aux interfaces les plus fragiles.

Les conditions de test utilisées sont des conditions normalisées dédiées aux tests de fiabilité sur des procédés technologiques de la microélectronique. Les cycles en températures remplissent la gamme de (-65°C à +150°C) avec en moyenne des tests de 500 cycles. Il s'agit de conditions extrêmes que doit subir le procédé étudié afin de remplir les critères de fiabilité.

Méthodologie de caractérisation

L'analyse statistique et morphologique des structures ayant subies des tests de cyclage est identique à celles utilisées pour les tests de stress voiding. En effet, la première étape de vérification d'existence de dégradations est une comparaison entre les valeurs de résistances mesurées avant et après cyclage. Les tests peuvent être réalisés soit sur plaque soit en boîtier. Concernant la caractérisation physique des dégradations, on retrouve les méthodes décrites au paragraphe précédent, c'est-à-dire, microscopie infrarouge, OBIRCH si besoin, coupe FIB et observation au microscope électronique à balayage.

II.1.5) Techniques d'analyse physique des dégradations induites lors des tests de fiabilité

Après réalisation des tests de fiabilité, l'existence de dégradation est liée à la forte variation de résistance mesurée avant et après test (pour les tests de traitements thermiques) ou par l'obtention des TTF lors des tests d'électromigration. Cependant la nature et la localisation de ces dégradations restent inconnues. C'est pour cela que les techniques de caractérisation suivantes sont utilisées.

II.1.5.1) Observation par microscopie infra rouge

Les structures testées se trouvant au niveau de l'interface de collage dans l'empilement étudié, leur visualisation directe optique est impossible. D'où l'utilisation du microscope infrarouge. Le silicium et l'oxyde étant transparents à l'infrarouge, il est possible grâce à un effet de contraste d'observer les structures de tests se trouvant à l'interface de collage. Cette méthode d'observation permet de localiser les dégradations et de donner, dans la majorité des cas, la nature de la dégradation (void ou extrusion).

II.1.5.2) Observation par FIB-MEB

L'identification par microscopie infrarouge des dégradations sur les lignes n'est parfois pas suffisante pour identifier la forme et la nature de ces dernières. Cela est dû à la faible résolution obtenue par l'observation à travers les différentes couches, ainsi que l'unique vue (par-dessus) de la dégradation obtenue.

Afin d'obtenir d'avantages d'informations sur les dégradations, des coupes FIB suivies par des observations par microscopie électronique à balayage sont nécessaires. Elles permettent d'observer localement et en tranche la forme de la dégradation ainsi que celle de l'interface de collage tout autour.

L'observation par infrarouge reste néanmoins primordiale car elle permet de localiser la dégradation. En effet, les structures de test ayant de grandes dimensions (exemple : une NIST fait 640 μ m de long) et étant enterrées sous 50 μ m de silicium, il est très difficile de réaliser la coupe FIB sur toute la structure.

Un enchainement de coupes FIB et d'observation au microscope électronique à balayage permet d'obtenir de très bonnes informations sur la forme de la dégradation. Des reconstructions 3D peuvent également être réalisées si le pas de la coupe est assez petit.

II.1.5.3) Observation par OBIRCH

Dans certains cas, les observations par microscopie infra rouge ne permettent pas l'identification et la localisation de la dégradation. Cela peut être dû à plusieurs raisons :

- La dimension de certaines dégradations (fissures par exemple)
- La faible résolution obtenue en infra rouge après avoir traversé les différentes couches supérieures.
- La dégradation peut se trouver en dessous d'une ligne de métal.
- Les niveaux métalliques supérieurs (RDL, UBM) peuvent se trouver au dessus de la ligne de test dégradée, ce qui empêche la transmission du faisceau.
- La dégradation peut se trouver au niveau RDL
- ...

Il existe une autre approche d'observation non destructive, associée à la microscopie infra rouge, qui permet la localisation de la dégradation avec une meilleure résolution. Il s'agit de la technique OBIRCH (pour Optical Beam Induced Resistance CHange). Cette technique a pour objectif de détecter les variations spatiales de résistance que présentent des interconnexions (ou pistes métalliques). Elle a été proposée pour la première fois par K. Nikawa et S. Tokazi en 1993 [Nikawa1993].

Un faisceau laser focalisé balaie une région du circuit sous test (dans notre cas la structure de test enterrée). L'énergie incidente du faisceau est partiellement transformée en chaleur qui se dissipe dans les régions environnantes. Il en résulte localement une augmentation de la température, et donc, une augmentation de la résistance. Quand la région illuminée présente un défaut, celui-ci gêne la transmission de la chaleur aux zones environnantes [Nikawa1999]. Il en résulte qu'en un tel point, l'élévation de température induite par le faisceau laser est supérieure à celle que connaît une région exempte de défauts. La technique OBIRCH permet ainsi de balayer toute la structure de test et d'effectuer des cartographies de variation de la résistance locale. Elle permet également la localisation de ces défauts sur les structures de test se trouvant en dessous de 50µm de silicium.

II.2) Techniques de caractérisation utilisées pour évaluer l'impact des procédés d'amincissement sur les propriétés du silicium

Une des étapes principales lors de la réalisation d'une architecture 3D est celle de l'amincissement. Cette dernière est principalement réalisée par grinding, suivie d'une ou plusieurs étapes, telles que le polissage mécano-chimique (CMP), la gravure plasma ou la gravure humide... (cf. paragraphe I.4). Ces dernières sont utilisées dans le but de relâcher les contraintes induites par le *grinding* et d'améliorer la rugosité de la surface amincie (dans notre cas le silicium).

Plusieurs techniques de caractérisation ont été utilisées dans le but de caractériser l'état dans lequel se trouve le silicium après son amincissement. Les caractérisations étant faites après chaque étape d'amincissement utilisée, il est possible d'étudier l'évolution de ces contraintes ainsi que les propriétés mécaniques du silicium après chaque étape.

II.2.1) Diffraction des rayons X (XRD)

Le but de ces mesures est de caractériser l'état de contrainte dans lequel se trouve le silicium après chaque étape d'amincissement, et d'étudier l'évolution de ces contraintes après chaque étape.

La diffraction des rayons X est une technique d'analyse basée sur la diffraction des rayons X sur la matière. Cette technique permet de déterminer les déformations cristallines du matériau analysé. Lorsqu'un faisceau de rayons X monochromatique et parallèle frappe un cristal, il est diffusé par chacun des atomes de la cible. Ces rayons diffusés vont interférer entre eux générant des interférences constructives dans certaines directions (lorsque les ondes s'additionnent) et destructives dans d'autres (si les ondes s'annulent). Ces interférences d'ondes diffusées forment le phénomène de diffraction.

L'état cristallin est caractérisé par la répétition tri-périodique dans l'espace d'un motif atomique. Cette répartition ordonnée constitue des plans parallèles et équidistants que l'on nomme plans réticulaires d'indices {h,k,l}. La diffraction des rayons incidents se fait dans une direction donnée par chacune des familles des plans réticulaires. Cette diffraction se produit à chaque fois que la condition ou loi de Bragg au premier ordre est réalisée :

$$2d \sin \theta = \lambda \quad \text{Eq. II.22}$$

d étant la distance inter-réticulaire, θ l'angle d'incidence et λ la longueur d'onde des rayons X.

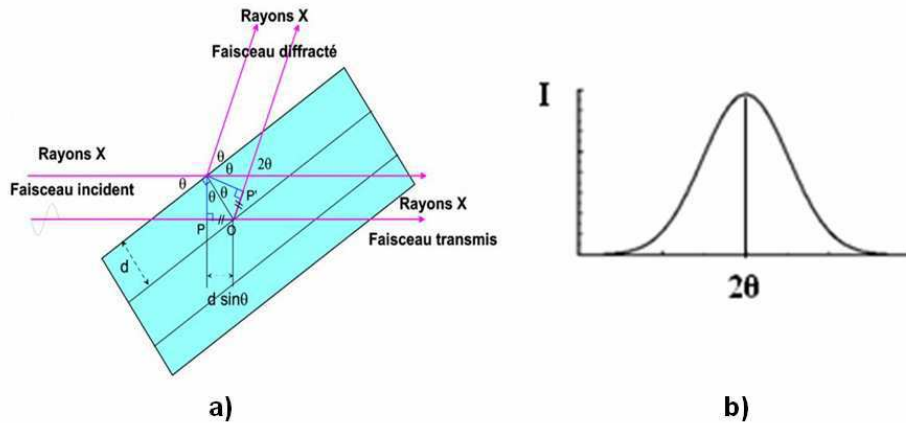


Figure II. 32 : Schéma décrivant la diffraction d'un rayon incident sur un échantillon cristallin

Ainsi, si l'on connaît la longueur d'onde du faisceau de rayons X, on peut mesurer à partir de l'angle θ la longueur d et ainsi identifier la nature du cristal. Pour une longueur d donnée, on observe un pic de diffraction pour différents angles θ associés à différents plans cristallographiques (Figure II. 32.b)

Les contraintes sont les forces internes à la matière. On peut distinguer deux sortes de contraintes différentes :

Contrainte macroscopique : Il s'agit de déformation uniforme sur un ensemble de grains entraînant une variation globale. Ces déformations sont homogènes et sont mesurables par la déformation de la maille cristalline qui va faire varier la distance inter-réticulaire d et donc décaler la position des pics de diffraction (Figure II. 33). Si l'on mesure cette position et donc le décalage des pics, on peut en déduire l'état de contrainte de l'échantillon. (Il s'agit dans ce cas la de déformation du premier ordre, donc variation des paramètres de maille).

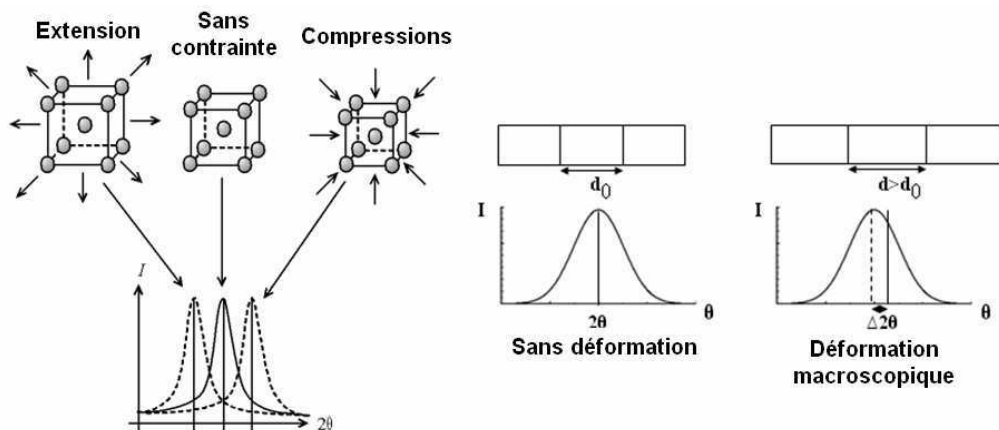


Figure II. 33 : Représentation schématique de déformations macroscopique : a) écart sur la position du pic dû à une contrainte macroscopique, b) augmentation de la distance inter-réticulaire représentée par un décalage du pic de diffraction

Contrainte microscopique : il s'agit de la déformation de chaque grain (ou chaque domaine cohérent) entraînant une variation locale différente suivant les grains (ou/et domaines cohérents), c'est ce que l'on appelle les micro-contraintes (Figure II. 34). Il en résulte l'élargissement de la raie de diffraction. (On parle dans ce cas de la mosaïcité des plans cristallins).

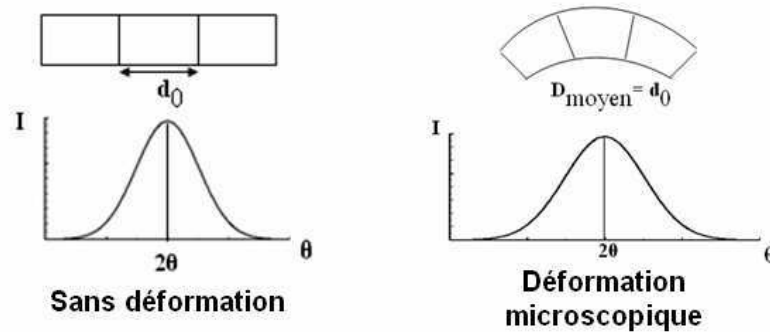


Figure II. 34 : Représentation d'une déformation microscopique représentée par un élargissement du pic de diffraction

Il est également possible d'avoir à la fois une déformation microscopique et macroscopique (Figure II. 35).

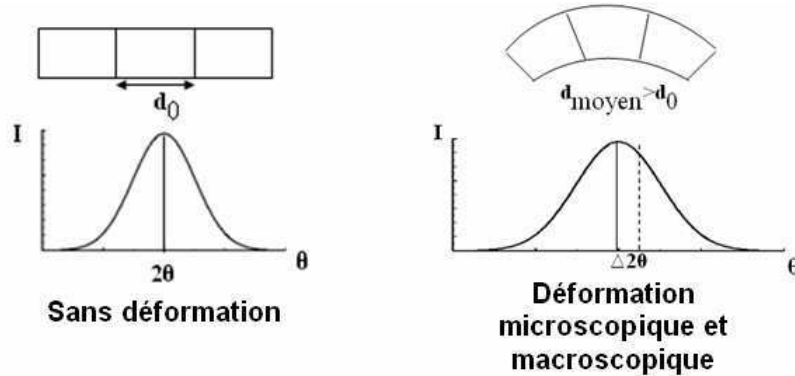


Figure II. 35 : Représentation d'une déformation microscopique et macroscopique représenté par le décalage du pic de diffraction ainsi que de sa largeur

II.2.2) Nanoindentation

Les mesures par nanoindentation ont pour but de caractériser les propriétés mécaniques et élastiques des matériaux, en déterminant leur module d'Young réduit E_r (Eq. II.26) ainsi que leur dureté H . Les variations de ces propriétés induites par les différentes étapes d'amincissement (grinding grossier, fin et CMP) peuvent être analysées. Un schéma décrivant le principe de mesure est illustré en Figure II. 36. Le matériau étudié subit une indentation de la part d'une pointe Berkovich en diamant de forme pyramidale à base triangulaire (aussi appelé indenteur), cette dernière est reliée à un dispositif muni de capteurs

permettant l'enregistrement en continue de la force appliquée et du déplacement de l'indenteur (profondeur analysée).

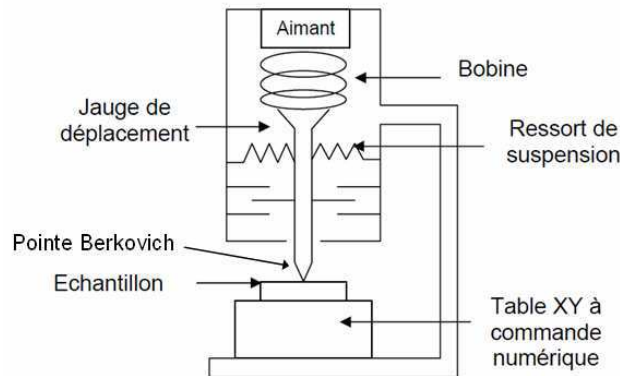


Figure II. 36 : Schéma d'indentation. L'échantillon est indenté par une pointe de diamant qui est relié à un appareil de mesure enregistrant continuellement la force ainsi que le déplacement.

L'extraction des paramètres E_r et H est faite à partir des courbes des forces appliquées (charge) en fonction du déplacement (ou profondeur d'indentation) lors de l'indentation [Oliver1992, Oliver2004]. Un exemple typique de cette courbe est illustré en Figure II. 37.

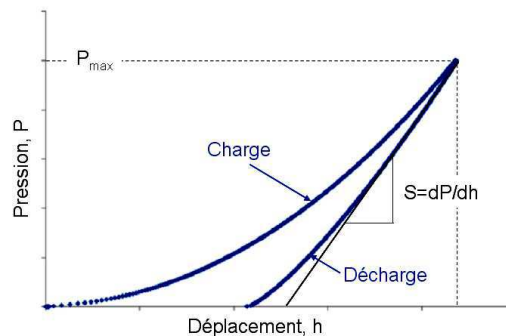


Figure II. 37 : Exemple d'une courbe force appliquée (charge) – déplacement de l'indenteur (profondeur indentée) obtenue après un test de nanoindentation. La première partie de la courbe (charge) est représenté par une augmentation de la pression appliquée jusqu'à pénétration de la pointe à la profondeur désiré, puis relâchement de la pression (partie décharge) qui caractérise le retour élastique du matériau et qui permet de déterminer la raideur de contact S .

Durant l'application de la force (la charge), des déformations élastiques et plastiques sont induites sur le matériau. C'est cette première partie de la courbe qui est caractéristique de la dureté du matériau. En effet la dureté est déterminée à l'aide de l'équation suivante :

$$H = \frac{P_{max}}{A} \quad \text{Eq. II.23}$$

Où P_{max} est la pression maximale appliquée lors de l'indentation et A l'aire de contact réelle entre l'indenteur et le matériau.

Lors de la décharge (deuxième partie de la courbe), le matériau se relaxe élastiquement. C'est à ce moment là que la raideur de contact S est extraite (Figure II. 37). Celle-ci est mesurée à partir de la pente de la tangente de la décharge élastique, comme illustrée sur la Figure II. 37.

La méthode dynamique (aussi appelé CSM pour Continuous Stiffness measurement) est utilisée pour accéder à la raideur de contact [Pharr 1992, Li 2002]. Cette technique consiste à mesurer la dureté continuellement pendant le procédé d'indentation (charge et décharge). Le principe de cette approche est d'imposer une petite oscillation dynamique sur la force et de mesurer l'amplitude et la phase du déplacement correspondant, ce qui permet à chaque oscillation de déterminer la dureté ainsi que le module d'Young réduit.

Le module d'Young réduit est déterminé par sa relation avec la raideur et l'aire de contact suivant l'équation suivante :

$$S = \beta \frac{2}{\sqrt{\pi}} E_{eff} \sqrt{A} \quad \text{Eq. II.24}$$

Où β est une constante dépendante de l'indenteur utilisé (aussi appelé facteur de corrélation), et E_{eff} est le module d'Young effectif relié au module d'Young réduit par la relation suivante :

$$\frac{1}{E_{eff}} = \frac{1}{E_r} - \frac{1 - \nu_i^2}{E_i} \quad \text{Eq. II.25}$$

$$\text{et } E_r = \frac{E}{1 - \nu^2} \quad \text{Eq. II.26}$$

Où ν_i et E_i représentent respectivement le coefficient de poisson et le module d'Young de l'indenteur. ν et E sont respectivement le coefficient de poisson et le module d'Young du matériau indenté.

Des mesures d'indentation ont été réalisées sur des échantillons de silicium ayant subis différentes successions d'étapes d'amincissement. Leurs propriétés mécaniques (H et E_r) ont été extraites après chaque étape d'amincissement puis comparées entre elles et également avec un celles obtenues pour un échantillon non aminci (référence).

II.2.3) Flexion 4 points

La méthode de la flexion 4 points permet d'obtenir la contrainte à la rupture du silicium, qui correspond à la contrainte maximale à laquelle peut résister ce dernier avant de rompre.

Cette méthode est souvent utilisée afin de déterminer la force d'adhésion entre deux plaques (ou couches), où une amorce de fissure sur une des faces est réalisée avant application de la force, puis l'énergie d'adhésion est déterminée à l'aide de la force appliquée lors de la propagation de cette fissure au niveau de l'interface étudiée. Dans notre cas, aucune fissure n'est réalisée. Le montage est représenté à la Figure II. 38; où l'on retrouve la surface traitée (aminicie) positionnée sur la face inférieure.

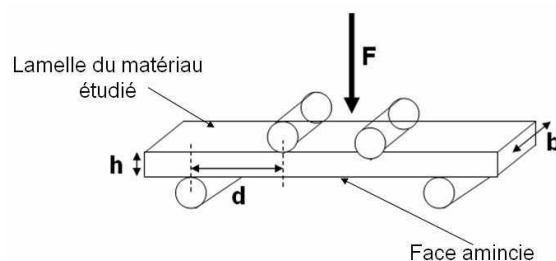


Figure II. 38 : Schéma du dispositif de flexion 4 points, la force est appliquée sur la face non amincie

Dans cette figure, F est la force appliquée en (N), b la largeur de l'échantillon en (mm), h son épaisseur (mm) et d la distance entre les axes des cylindres de charge internes et externes.

A l'aide d'un programme d'acquisition relié au montage, il est possible de tracer la courbe de la force appliquée en fonction de la distance parcourue par les deux cylindres mobiles (ceux situés en haut de la Figure II. 38).

L'allure des courbes obtenues est donnée ci-dessous (Figure II. 39). On retrouve bien un comportement élastique (courbe Force - Déplacement linéaire), suivi d'une chute brutale de la force. La valeur de cette dernière juste avant la chute correspond à la force maximale (F_{\max}) à laquelle le matériau peut résister avant de rompre.

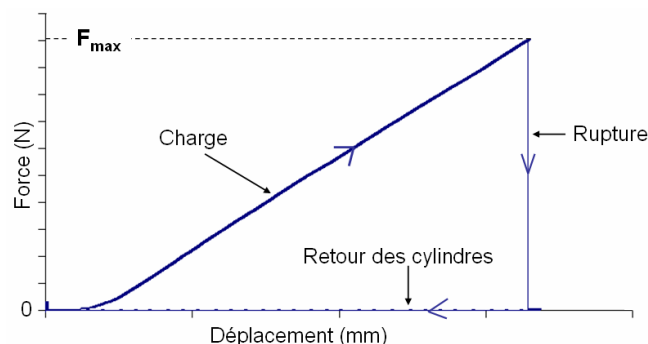


Figure II. 39 : Courbe typique de la force appliquée en fonction de la distance parcourue par les cylindres internes, la force maximale représente celle appliquée juste avant cassure de l'échantillon

On peut obtenir la contrainte à la rupture σ en fonction de la force maximale appliquée par l'équation suivante :

$$\sigma = \frac{3F_{\max}d}{bh^2} \quad \text{Eq. II.27}$$

d , b et h étant définies à la Figure II. 38.

C'est cette valeur de contrainte à la rupture pour le silicium qui sera extraite, après chaque étape d'amincissement, et qui nous renseignera sur la fragilité du matériau aminci.

Les mesures de flexion sont réalisées après chaque étape d'amincissement sur des échantillons de dimension définie (dans notre cas les échantillons font 5cm de long sur 0.8cm de large). Pour chaque état de silicium aminci plusieurs une dizaine d'échantillons sont testés, afin de vérifier la reproductibilité de la mesure. Une moyenne sur ces mesures répétitives est réalisée pour déterminer la valeur de contrainte à la rupture correspondant à un état donné de silicium après amincissement.

II.2.4) Spectroscopie par micro-Raman

Le but de cette étude par spectroscopie Raman est de déterminer localement les contraintes dans le silicium après amincissement et d'en déduire un éventuel gradient de contrainte pour une profondeur donnée. De plus, cette technique permet d'identifier les zones amorphes si celles-ci existent.

Le principe de la spectroscopie Raman consiste à envoyer une lumière monochromatique sur le matériau étudié, puis analyser la lumière diffusée. Les photons incidents sont détruits générant ainsi des photons diffusés qui servent à créer (processus Stock) ou détruire (processus anti-Stock) des vibrations entre molécules, créant ainsi un échange d'énergie entre la lumière et le matériau étudié. Il en résulte une différence de longueur d'onde entre la lumière diffusée et celle incidente. La mesure de ce décalage permet de remonter à certaines propriétés du milieu étudié. Les raies Raman sont caractéristiques de la composition chimique du matériau étudié, de sa structure cristalline et de ses propriétés électroniques.

Contrairement à l'XRD la taille analysée par le laser utilisé en Raman est de l'ordre du micron et la profondeur analysée peut varier de quelques nanomètres à une dizaine de microns suivant la longueur d'onde utilisée, comme le montre la Figure II. 40. Ces caractéristiques permettent de réaliser des balayages avec un très faible pas et d'investiguer plusieurs profondeurs afin d'identifier, s'il existe, un gradient de contrainte en profondeur.

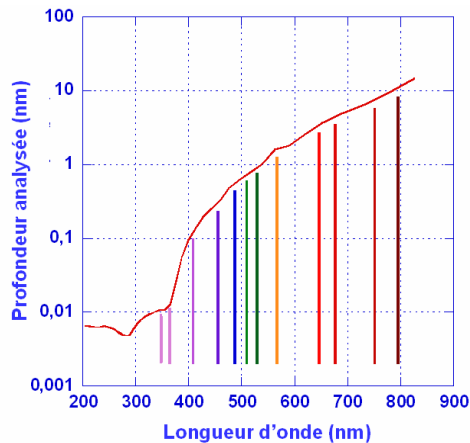


Figure II. 40 : Courbe représentant la profondeur analysée en fonction de la longueur d'onde utilisée

Pour cela deux modes de préparations d'échantillons ont été utilisés. Le premier consiste à cliver (à l'aide d'une pointe diamant) un substrat de silicium, après amincissement, et de scanner sur la tranche à partir de la surface amincie. La description est schématisée en Figure II. 41.a.

Le deuxième mode de préparation consiste à réaliser un biseau, par polissage localisé sur une tripode, dans le but de scanner en surface et d'avoir un profil en profondeur par la même occasion, comme illustré sur la Figure II. 41b.

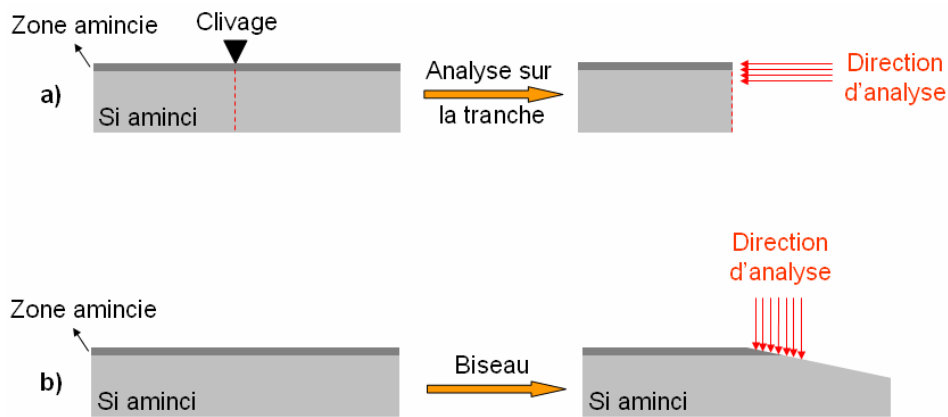


Figure II. 41 : Schémas décrivant les deux différentes préparations pour les observations par spectroscopie Raman. a) Clivage du silicium pour observation sur la tranche, b) Biseau réalisé par polissage

Comme pour les mesures de diffraction des rayons X, une analyse est réalisée après chaque étape d'amincissement. Les spectres obtenus sur les échantillons amincis sont comparés à un spectre de référence pour le silicium dans le but de déterminer une éventuelle modification (dégradation) induite par amincissement.

II.2.5) MEB

Le microscope électronique à balayage est utilisé pour des observations en tranche et en surface sur le silicium aminci. L'observation en surface a seulement pour but de donner des informations sur l'état de surface après les différents amincissements. L'observation en tranche permet d'observer la zone endommagée et d'identifier les zones écrouies et leur profondeur.

Conclusion

Le tableau suivant (Tableau II. 5) récapitule les différentes techniques de caractérisations utilisées pour l'étude et la détermination de l'impact des procédés d'amincissement sur les propriétés du silicium.

Technique de caractérisation	Information apportée
XRD	Contrainte dans le silicium
Nanoindentation	Propriétés mécaniques et élastiques du silicium : → Module d'Young réduit → Dureté
Flexion 4 points	Contrainte à la rupture du silicium
Spectroscopie Raman	- Profil de contrainte avec un pas $\sim 1\mu\text{m}$ - Identification de zone amorphe
MEB	- Information sur l'état de surface - Observation de la zone écrouie - Mesure des profondeurs de rayures

Tableau II. 5 : tableau récapitulatif des techniques de caractérisations utilisées pour évaluer l'impact des procédés d'amincissement sur les propriétés du silicium

II.3) Choix et étude du matériau de remplissage inter-puces

Comme décrit précédemment, afin de réaliser l'empilement puce à plaque il est nécessaire d'identifier le matériau idéal permettant le remplissage de l'espace entre les puces, puis d'amincir l'ensemble afin de recréer une surface plane compatible avec la suite de l'intégration. Bien entendu, ce matériau doit satisfaire plusieurs critères décrits ci-dessous.

II.3.1) Spécificité du matériau de remplissage (cahier des charges)

Afin de réaliser au mieux cette intégration, le matériau choisi doit répondre à plusieurs contraintes technologiques qui sont listées ci-dessous :

- Une résistance à de fortes températures allant jusqu'à 350-400°C. En effet, il s'agit des températures maximales que peut subir l'empilement lors de la réalisation d'étapes telles que la réalisation des TSV.

-
- Son dépôt doit engendrer une faible contrainte. Le but est de contraindre au minimum son environnement et d'obtenir une faible flèche après dépôt, de sorte à permettre la réalisation des étapes technologiques ultérieures. (idéalement une contrainte inférieure à 20MPa pour une épaisseur déposée de 20 μ m, et donc une flèche inférieure à 50 μ m après dépôt, pour une plaque 200mm).
 - Transparence en optique. En effet, pour pouvoir réaliser les différentes étapes ultérieures, telles la photolithographie ou la gravure, il est nécessaire de s'aligner par rapport à des marques se situant en dessous du matériau de remplissage.
 - Une compatibilité avec les étapes d'amincissement. En effet après amincissement, un bon état de surface et donc une faible rugosité doit être obtenue afin de permettre la lecture des marques d'alignement se situant en dessous du matériau de remplissage. Ce dernier devra également être polie, d'où le besoin de sa compatibilité avec un tel procédé.
 - Capacité de dépôt avec de grandes épaisseurs allant jusqu'à 30 μ m. Comme décrit sur la Figure II. 1, les puces seront amincies. L'épaisseur finale visée après remplissage et planarisation est d'environ 15 μ m. Pour cela le dépôt du matériau de remplissage devra atteindre des épaisseurs supérieure à l'épaisseur finale de la puce.
 - Adhérence et conformité de dépôt. Le remplissage inter-puces devra avoir une bonne adhérence avec le silicium et l'oxyde et également une bonne conformité de dépôt permettant d'épouser parfaitement la topologie présente (marque crée par les puces collées).

II.3.2) Méthodologie de caractérisation du remplissage et de la planarisation

L'objectif de cette partie de la thèse est de caractériser et d'étudier la faisabilité du remplissage inter-puces, suivi d'une planarisation de la surface mixte (puce de silicium et matériau de remplissage). Ces étapes sont réalisées après collage des puces et amincissement de ces dernières. Pour des raisons pratiques il a été décidé d'étudier le remplissage inter puces sur des plaques avec « mésa ». Il s'agit de plaques de silicium dans lesquelles ont été gravées des cavités de sorte à créer artificiellement une topologie identique à des plaques avec puces collées et amincies. La Figure II. 42 permet de visualiser ces dernières ainsi que leur réalisation. Le comportement lors du remplissage ou de la planarisation est identique que ce soit pour les plaques avec puces ou avec mésa.

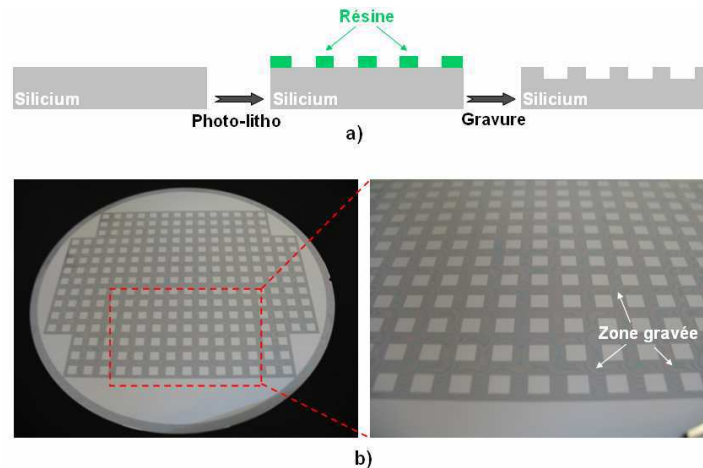


Figure II. 42 : Exemple d'une plaque avec méso. a) Schéma décrivant la réalisation d'une plaque avec méso. b) Photos d'une plaque avec mésas

II.3.2.1) Caractérisation du dépôt (homogénéité de remplissage)

Comme décrit dans le cahier des charges, il est nécessaire de vérifier la bonne conformité et homogénéité du dépôt de remplissage. Pour cela, des observations par microscopie électronique à balayage, après une coupe transverse, sont nécessaires. Ces observations permettront de contrôler l'adhérence du matériau de remplissage sur les flancs des puces et le fond de gravure, et par la même occasion, d'observer la conformité du dépôt sur les bords de puces et au niveau des angles entre la puce et la plaque.

Des mesures de flèche par profilométrie optique ou mécanique sont également réalisées dans le but d'évaluer la contrainte apportée par le dépôt. Celles-ci sont réalisées dans un premier temps sur des dépôts pleine plaque (dépôt sur une plaque de silicium sans méso) pour faciliter la mesure de la flèche et de la contrainte apportée par la couche déposée.

II.3.2.2) Caractérisation de l'amincissement

Une fois le matériau de remplissage inter-puce déposé, la partie se trouvant au dessus des puces sera d'abord amincie par grinding. L'objectif est d'amener l'amincissement au niveau de la surface des puces, puis de caractériser l'état de surface obtenue ainsi que sa rugosité. Ces caractérisations se feront à l'aide d'observations au microscope optique, de profilomètre (mécanique ou optique) et de mesures par AFM (pour Atomique Force Microscopy), et ce, suivant l'échelle de cette rugosité (fissures, rayures et rugosité de surface).

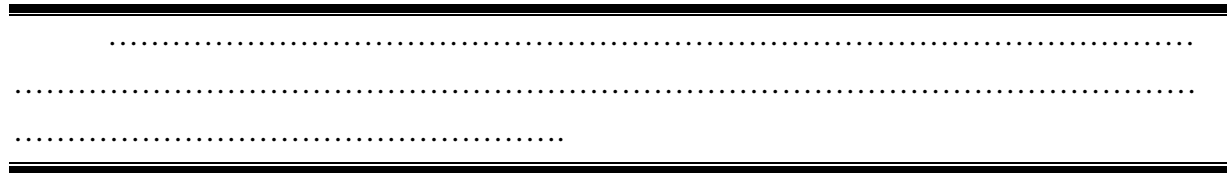
II.3.2.3) Caractérisation de la planarisation

La dernière étape de cet empilement puce à plaque consiste à planariser la surface mixte puce de silicium / matériau de remplissage. Pour cela une étape de polissage mécano-chimique est réalisée réduisant au maximum la rugosité de surface. Une fois la planarisation faite, un contrôle de la topologie au niveau de l'intersection puce-matériau de remplissage est fait à l'aide de scans réalisés par profilomètre mécanique. Cette mesure permet juste après

polissage de vérifier l'existence d'une marche entre les deux matériaux (silicium-matériau de remplissage). Afin d'obtenir la surface la plus plane possible, la marche entre ces deux matériaux doit être réduite au minimum possible, et ce, à l'aide d'un polissage non sélectif (vitesse de polissage identique entre les deux matériaux).

Après avoir optimisé la planarisation, la mesure de la rugosité de surface est faite par AFM. L'obtention de faibles valeurs de rugosité sur les deux matériaux amincis est primordiale pour la suite des procédés de réalisation (exemple : étalement de la résine lors de la litho, ou collage d'un deuxième niveau de puce).

Chapitre III. Caractérisation et fiabilité électrique du collage direct Cu-Cu





III.1) Qualité et résistance de l'interface de contact

Il a été mentionné précédemment (paragraphe I.3.2.3) que l'interface de collage cuivre-cuivre évoluait en fonction de la température de recuit. Ces transformations risquent de modifier le comportement électrique des structures collées. Dans la première partie de ce chapitre, nous exposerons les mesures électriques réalisés sur différents structures de test afin d'extraire la résistance à l'interface de collage en fonction de la température de recuit. La seconde partie sera dédiée à l'étude de la fiabilité électrique des structures réalisées par collage direct. On y retrouvera les différents résultats obtenus sur le comportement de ces structures collées lorsqu'elles sont soumises à des tests de vieillissement accélérée (contrainte thermique et stress électrique).

III.1.1) Qualité de l'interface de collage

Avant de réaliser les mesures électriques, les différentes structures (NIST et daisy chains) ont été observées au microscope électronique à balayage afin d'analyser la nature de l'interface de collage. Deux températures de recuits ont été étudiées, 200 et 400°C. Il s'agit, suivant l'application visée, des températures maximales auxquelles les plaques pourraient être amenées après collage.

III.1.1.1) Observation de l'interface de collage par MEB après recuit de collage à 200°C

Les coupes FIB suivies des observations au microscope électronique à balayage ont permis l'observation de l'interface de collage Cu-Cu sur différentes structures. Des zones Cu-Cu en contact intime sont présentes. Cependant des cavités sont observées au niveau de cette interface, résultant probablement de la microrugosité de surface avant collage ou encore de la présence de lignes en dishing après polissage (phénomène plus accentué sur des collages de surfaces mixtes que sur des collages pleine plaque). Cela expliquerait également leur forme allongée et leur taille supérieure à ce qui avait été observé dans la littérature [Gueguen2010]. La Figure III. 1 montre un exemple d'observations MEB sur une daisy chain ayant vu un recuit après collage de 200°C. La présence de ces cavités, leur nombre et leur densité peuvent augmenter la résistance de contact des collages ou même être à l'origine de dégradation allant jusqu'à la défaillance de la structure lors d'un test de vieillissement accéléré. Leur impact sur le comportement électrique des structures va être analysé dans ce chapitre.

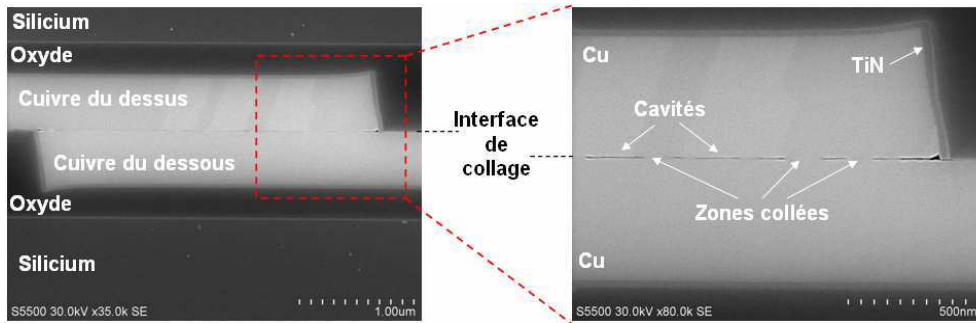


Figure III. 1 : Images MEB d'une interface de collage Cu-Cu sur une daisy chain après recuit à 200°C. L'interface de collage est constituée de cavités et de zones totalement collées Cu-Cu.

III.1.1.2) Observation de l'interface de collage par MEB après recuit de collage à 400°C

Après une montée en température allant jusqu'à 400°C, les observations MEB montrent une amélioration de la qualité de l'interface de collage. En effet, les longueurs des cavités diminuent augmentant par la même occasion la surface cuivre-cuivre en contact intime. Quelques cavités subsistent néanmoins au niveau de cette interface. Quelques unes sont situées au niveau de joints triple comme on peut le voir sur la Figure III. 2. Ces cavités sont certainement dues à une relaxation du cuivre lors de la redescente à température ambiante. Cette amélioration de la qualité de l'interface laisse envisager un meilleur comportement électrique des structures.

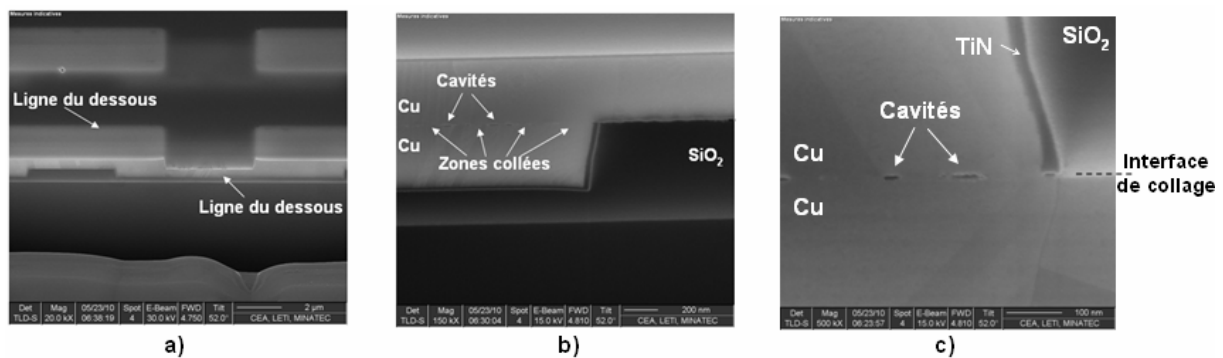


Figure III. 2 : Images MEB d'une daisy chain après enlèvement du silicium de la plaque du dessus (a) et de l'interface de collage (vue de dessus) (b) après un recuit à 400°C (vue en coupe). De grandes zones parfaitement collées se forment après recuit, cependant quelques cavités subsistent à l'interface Cu-Cu

Néanmoins, il a été observé sur les plaques ayant été recuites à une température supérieure à 300°C, après collage, l'apparition de plusieurs cavités entre la ligne de cuivre et sa barrière métallique TiN. La Figure III. 3 représente un exemple d'observation de ces cavités entre les deux couches métalliques. Dans le cas d'une seule plaque sans collage, ce phénomène n'est pas observé car une fois la ligne de cuivre densifiée à 400°C après son dépôt, celle-ci est stabilisée et compense l'effet des traitements thermique à l'aide de son axe libre

suivant la direction z (perpendiculaire au plan de la plaque). En effet, la ligne de métal étant à l'aire, rien ne l'empêche de se dilater lors des montées en température et de reprendre son état de contrainte initial après redescente à l'ambiante.

A l'inverse, sur deux plaques collées le comportement des lignes, sous l'impact de la température, n'est pas le même. Lors du recuit, les deux lignes vont légèrement se dilater jusqu'à être en contact sur toute leur surface, suivi d'une déformation plastique au niveau de l'interface de collage créant ainsi des contacts intimes entre les deux lignes. Il se produit, comme on a pu le voir précédemment une diffusion du cuivre et formation de joints triples au niveau de l'interface de collage. Puis, lors de la redescente en température une relaxation des lignes se produit. Sachant que l'interface de collage est totalement scellée avec une très forte énergie d'adhésion [Guguen2009], le cuivre tire sur son interface la plus fragile qui est celle avec la TiN, d'où l'apparition de ces cavités. Bien entendu, une étude microstructurale des lignes de cuivre collées par EBSD (Electron Back-Scattered Diffraction) est nécessaire pour confirmer, ou non, ces explications.

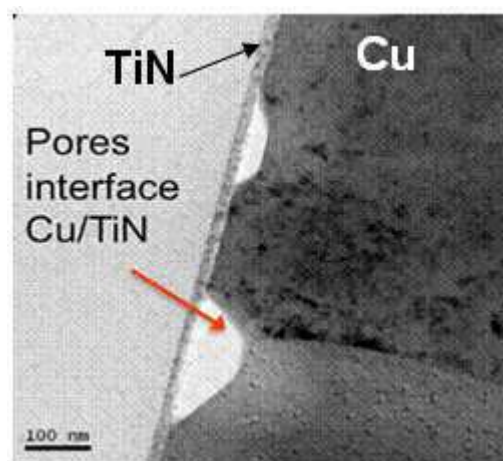


Figure III. 3 : Observation TEM d'une cavité présente entre la ligne de cuivre et la barrière TiN après recuit supérieur à 300°C

III.1.2) Résistance de l'interface de collage

III.1.2.1) Détermination de la résistance à l'interface de contact

Dans le paragraphe II.1.2, plusieurs approches de reprise de contact après collage ont été décrites. Etant donné que pour cette partie le but est d'extraire la résistance à l'interface de collage, le procédé utilisé a été choisi pour sa simplicité et rapidité de réalisation. Il s'agit du procédé alternatif « enlèvement total de la plaque du dessus ». Pour rappel, ce procédé consiste à enlever tout le silicium et l'oxyde de la plaque du dessus, de sorte à poser directement les pointes de mesures sur les plots de cuivre de l'interface de collage. Bien entendu, par la suite des mesures ont également été réalisées sur des collages avec procédé complet montrant les mêmes résultats au niveau des résistances mesurées.

Extraction de la résistivité du cuivre :

Il est nécessaire d'extraire, dans un premier temps, pour chaque plaque, la résistivité du cuivre utilisé. En effet, il est possible d'observer une variation de résistivité d'une plaque à une autre. Cela peut être dû à une variation d'une des étapes de réalisation des lignes de cuivre (concentration du bain électrolytique, polissage ou gravure non homogène sur la plaque). Une fois cette résistivité extraite, elle sera prise comme référence pour toutes les mesures théoriques des différentes structures collées de la même plaque.

L'extraction de la résistivité se fait à l'aide des structures appelées « NIST non collée » (cf. paragraphe II.1.1). Il s'agit d'une ligne de cuivre avec des amenées de courant et prises de tension permettant des mesures Kelvin. La ligne de cuivre est réalisée sur une seule plaque seulement, et fait face au collage à une couche d'oxyde. Lors de la mise en contact des deux surfaces, aucun impact sur la résistivité de la ligne ne devrait se produire. En réalité une légère oxydation de la surface de la ligne (qui est collée sur l'oxyde) se produit sur quelques nanomètres. Ceci engendre une faible augmentation de la résistivité locale qui est négligeable par rapport à la résistivité globale de la ligne d'une épaisseur moyenne de 500nm.

En mesurant la résistance de cette structure, et en connaissant les dimensions de la ligne, la résistivité est facilement extraite à l'aide de l'équation suivante :

$$\rho = \frac{RS}{L} \quad \text{Eq. III.1}$$

Avec ρ étant la résistivité du cuivre, R la résistance mesurée, S la section de la ligne de métal et L sa longueur.

La valeur de résistivité obtenue est de $2,1 \cdot 10^{-2} \Omega \cdot \mu\text{m}$. Plus de 150 puces sont testées sur chaque puce. Les variations des mesures sont en moyenne de 1 à 2%. La reproductibilité ainsi que la dispersion de ces valeurs seront présentées au paragraphe III.1.2.4. Les résistivités de cuivre utilisées durant ces travaux ont été comprises entre 2 et $2,2 \cdot 10^{-2} \Omega \cdot \mu\text{m}$. Celles-ci sont plus élevées que celle obtenu pour un cuivre pure (de l'ordre de $1,7 \cdot 10^{-2} \Omega \cdot \mu\text{m}$), cela est dû à la qualité du cuivre obtenu qui dépend fortement des impuretés présentes dans le matériau, des traitements thermiques utilisés pour le densifier ainsi que de la chimie utilisée lors de son électrolyse.

Caractérisation électrique d'un contact cuivre simple : Cas des structures NIST (avec recuit de collage à 400°C)

Les résultats et valeurs présentés dans cette partie concernent des collages ayant subi un recuit à 400°C, température où l'interface de collage est parfaitement scellée. Les mêmes résultats (concernant les différentes NIST) et comportements sont observés pour des collages avec recuit à 200°C (cela sera détaillé plus tard au paragraphe III.1.2.2).

Tout d'abord des mesures de résistances sont réalisées sur les différents NIST. Les valeurs des résistances expérimentales réalisées sur les NIST de largeurs 10 μ m sont données en Tableau III. 1.

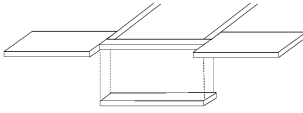
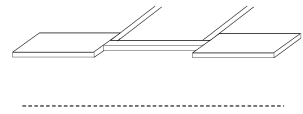
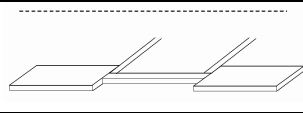
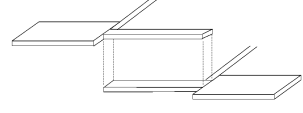
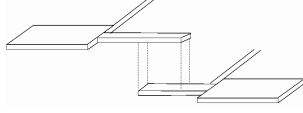
Nom	Schéma de la structure	Longueur de la ligne (μ m)	Aire de contact Cu-Cu (μ m ²)	Résistance mesurée (Ω)
A1		640	10 x 640	1.35
A2		640	0	2.70
A3		640	0	2.70
A4		640	10 x 640	1.35
A5		490	10 x 340	1.97

Tableau III. 1 : Tableau résumant les valeurs de résistance mesurées expérimentalement des différentes structures NIST

Si l'on compare les deux structures A3 et A4, respectivement composées d'une ligne d'épaisseur de 500nm) et de deux lignes collées (chacune ayant une épaisseur de 500nm), un ratio de 2 est observé au niveau des valeurs de résistance. C'est-à-dire la résistance de deux lignes collées est identique à celle d'une ligne de double épaisseur (dans notre cas ca serait une ligne de 1 μ m d'épaisseur). La Figure III. 4 schématise cette comparaison entre les valeurs de résistances théoriques et expérimentales. Ce comportement montre que les deux lignes collées par collage direct agissent comme une seule ligne sans interface de collage au milieu. Cela montre que les cavités présentes à l'interface sont négligeables par rapport à toute l'épaisseur des lignes collées.

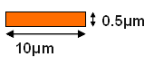
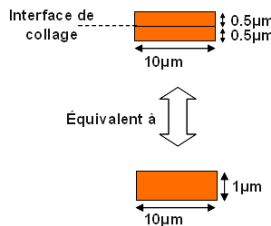
	Vue en coupe des lignes	Résistance théorique	Résistance mesurée
Structure A3		$R = \rho L/S$ $R = 2.7\Omega$	$R = 2.7\Omega$
Structure A4		$R = \rho L/S$ $R = 1.35\Omega$	$R = 1.35\Omega$

Figure III. 4 : Comparaison entre une structure collée et non collée de leur valeur de résistance théorique et mesurée. Il apparaît que deux lignes collées par collage direct agissent comme étant une seule ligne deux fois plus épaisse et sans présence d'interface au milieu.

La structure A1 se diffère de la structure A4 par la localisation des amenées de courant mais la surface collée reste identique. Dans la structure A4 le courant est forcé de traverser l'interface de collage. Dans le cas de A1, les amenées de courant se trouvent sur la même ligne. De ce fait, si l'interface de collage est résistive, le courant, pour A1, passera préférentiellement dans une seule ligne sans franchir l'interface de collage. Pourtant, la valeur de résistance mesurée sur cette structure est identique à celle mesurée sur A4 (Figure III. 5). Ce résultat montre encore une fois, à l'incertitude de mesure près (d'environ quelques mΩ), que l'interface de collage n'est pas (ou très peu) résistive et donc n'impacte pas le comportement électrique des structures collées.

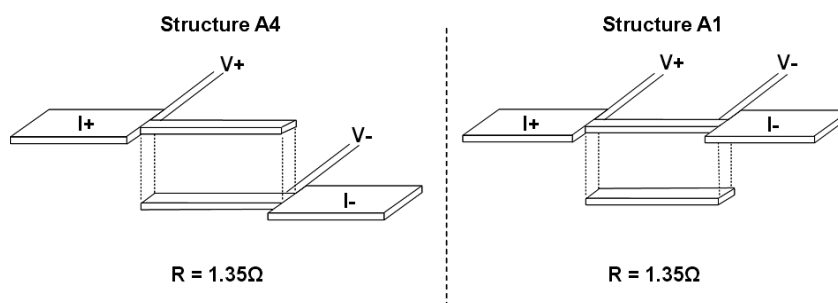


Figure III. 5 : Schéma montrant la même valeur mesurée de la résistance pour les structures A4 (gauche) et A1 (droite) comprenant des lignes collées. Les valeurs identiques de résistance montrent que le courant traverse de lui-même l'interface de collage même s'il n'y est pas forcé. Ce comportement est le résultat de la très faible résistivité à l'interface de collage

La structure A5 quant à elle, a la particularité d'avoir deux lignes décalées (et donc partiellement collées entre elles). En supposant que lorsque deux lignes sont collées elles

agissent comme une seule ligne deux fois plus épaisse, il est possible de mesurer théoriquement la résistance attendue de la structure A5. La résistance de l'ensemble des deux lignes, qui se chevauchent, peut être assimilée à 3 résistances en série, où la première et la dernière correspondent aux résistances des sections de lignes non collées. Quant à la résistance intermédiaire qui correspond à la zone collée, celle-ci est modélisée par une résistance d'une ligne épaisse, comme on peut le voir sur la Figure III. 6.

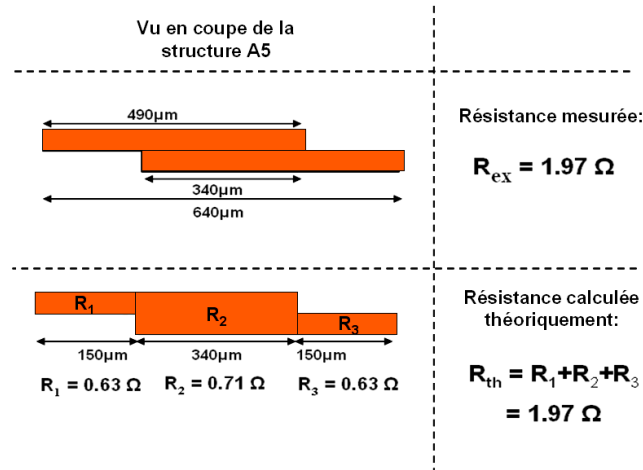


Figure III. 6 : Schéma décrivant la mesure expérimentale et théorique de la structure A5 (deux lignes de métal qui se chevauchent). La zone collée peut être représentée par un seul matériau épais de résistance R2 ne présentant aucune résistance supplémentaire due à l'interface de collage.

$$R_1 = R_3 = \frac{\rho L}{S} = \frac{2,1 \cdot 10^{-2} \cdot 150}{10 \cdot 0,5} = 0.63 \Omega \quad \text{Eq. III.2}$$

$$R_2 = \frac{\rho L}{S} = \frac{2,1 \cdot 10^{-2} \cdot 340}{10 \cdot (2 \cdot 0,5)} = 0.71 \Omega \quad \text{Eq. III.3}$$

$$R_{théorique} = R_1 + R_2 + R_3 = 1,97 \Omega \quad \text{Eq. III.4}$$

En faisant l'hypothèse que la section de lignes collées agissait comme étant une seule et même ligne de double épaisseur, on obtient une valeur de résistance théorique identique à celle mesurée. Ce constat montre encore une fois l'impact négligeable de la résistance à l'interface de collage sur les mesures de résistance des structures collées.

Ce comportement électrique est observé pour des NIST ayant subies un recuit de collage à 200°C ou 400°C. Cela montre que pour des grandes surfaces collées (de l'ordre de 3x640µm²) la présence de longues cavités à l'interface de collage, pour des structures recuites à 200°C, ne semble pas empêcher le passage de courant à travers l'interface ni augmenter, de plus de quelques mΩ la résistance de la structure collée.

Si effectivement la résistance à l'interface de collage est négligeable sur de telles structures avec une grande aire de contact, cela ne l'est pas forcément pour de faibles aires en

contact, ou encore sur des structures forçant le courant à traverser à plusieurs reprises des zones en contact. C'est pour cela que la suite des caractérisations a été réalisée sur les différentes daisy chains.

Caractérisation électrique de chaînes de contacts (daisy chain)

Les daisy chains ont été dessinées pour permettre, dans un premier temps, de montrer la faisabilité et la reproductibilité d'un passage de courant à travers un grand nombre d'interconnexions réalisées par collage direct. Ces interconnexions ont la particularité d'avoir de petites aires de contact (3x3, 5x5 et 10x10 μm^2), dans lesquelles l'impact de la résistance à l'interface de collage sera plus prononcé. En effet, la résistance spécifique ρ_c étant fixe, quelle que soit l'aire de contact, plus cette dernière sera petite et plus la résistance sera grande. Ainsi, la résistance ajoutée par l'interface de collage, qui est négligeable sur les structures NIST avec de grandes aires de contact, aura un impact non négligeable sur les structures ayant de petites aires de contact.

$$\rho_c = R_c \cdot A_c \quad \text{Eq. III.5}$$

Avec R_c étant la résistance de contact, et A_c l'aire de contact.

Les mesures de résistance sur les daisy chains se font à l'aide de mesures I(V) réalisées sur les structures après enlèvement total de la plaque du dessus. La Figure III. 7 montre quelques images optiques de daisy chains prises après enlèvement du silicium. Elle permet de visualiser un exemple de ces chaînes de lignes étudiées ainsi que la position des amenées de courant et prises de tension.

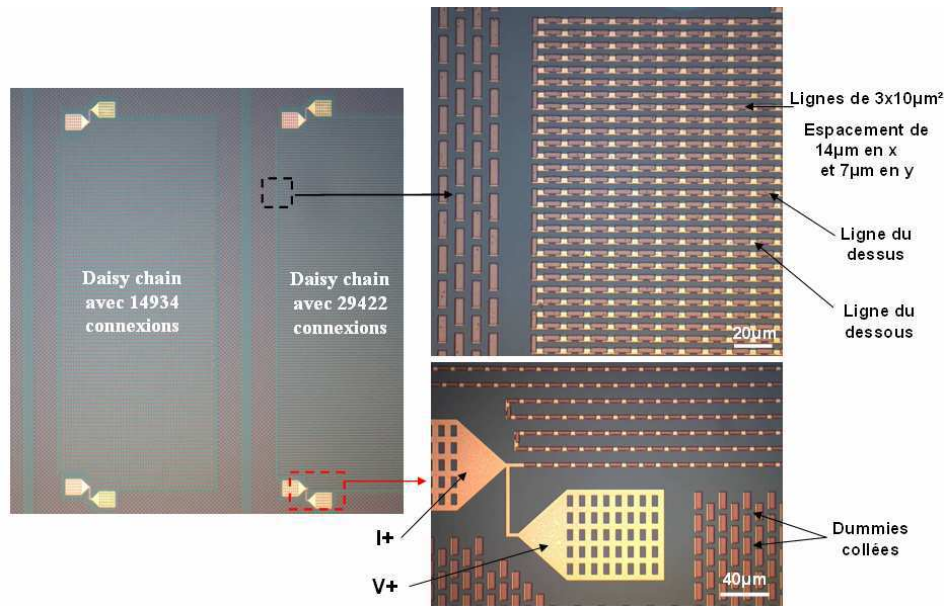


Figure III. 7 : Images prise par microscope optique de daisy chains (chaines de lignes) après enlèvement du silicium de la plaque du dessus. Les lignes de métal de la plaque du dessus sont plus sombres que celles de la plaque du bas due à la présence du TiN qui n'a pas encore été gravé.

Les différentes mesures réalisées ont montré la faisabilité du passage de courant à travers les différentes structures variant le nombre d'interconnexion, l'aire de contact de ces connexions ainsi que les largeurs des lignes et décrites dans le Tableau III. 2. La structure la plus dense est la chaîne de ligne DC5 qui propose, pour une surface inférieure à 2mm², 29422 connexions avec des aires de contact de 3x3µm². Ce qui mène à une densité de connexion autour de 1.5 10⁶/cm².

Les valeurs de résistance obtenues sur les longues daisy chains sont présentées dans le Tableau III. 2 suivant :

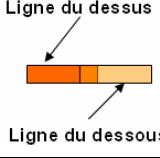
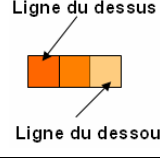
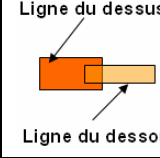
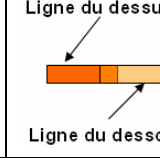
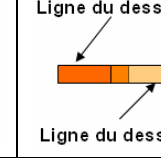
Daisy chain	DC1	DC2	DC3	DC4	DC5
Nombre d'interconnexions	10136	4872	10772	14934	29422
Largeur de la ligne au dessus (μm)	3	5	3	3	3
Largeur de la ligne en dessous (μm)	3	5	5	3	3
Aire de contact (μm^2)	9	25	9	9	9
Représentation des lignes collées (vue du dessus)					
Résistance globale mesurée (Ω)	801	310	681	1180	2340
Résistance par nœud ($\text{m}\Omega$)	79	63.6	63.2	79	79.5

Tableau III. 2 : Tableau résumant les descriptions et valeurs de résistance mesurée des daisy chains.

Le nœud représente la structure unitaire répétée tout le long de la daisy chain, il est défini en Figure III.9

Les courbes I(V) tracées pour les différentes structures montrent un caractère parfaitement ohmique. Un exemple est donné en Figure III. 8.

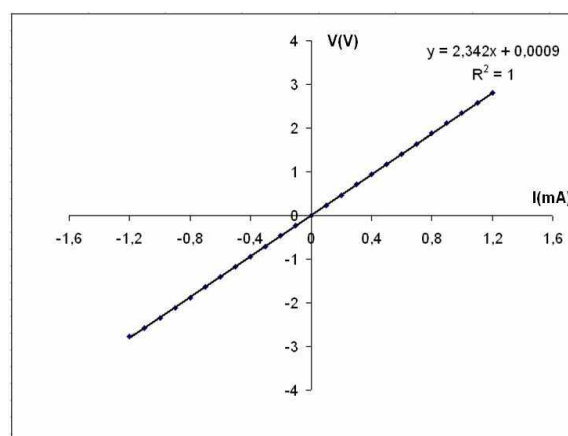


Figure III. 8 : Un exemple de mesure V(I) d'une structure daisy chain avec 29422 connexions réalisée par collage direct et montrant un parfait caractère ohmique

L'objectif de ces mesures est de déterminer l'impact électrique de l'interface de collage, ou encore l'apport supplémentaire de résistance que peut engendrer cette interface de collage. Pour cela un raisonnement simple et logique a été proposé. Prenons l'exemple de la chaîne de ligne DC5 (la plus dense, et éventuellement la plus impactée par la présence de cette interface de collage). Elle est constituée de plusieurs lignes, se situant sur les deux niveaux collées, qui se chevauchent afin de former localement des points en contact (aire de $3 \times 3 \mu\text{m}^2$). Le nombre de ces zones en contact dans la structure DC5 est de 29422. C'est-à-dire que la chaîne de ligne peut être assimilée à 29422 « structures unitaires appelées nœuds ». Cette structure unitaire est représentée par une zone collée et des lignes de part et d'autre de cette zone. La Figure III. 9 représente une vue en coupe d'une partie de la chaîne de ligne DC5 avec l'identification de la structure unitaire (nœud).

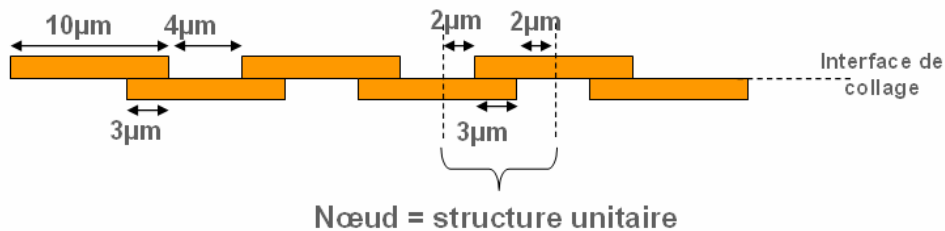


Figure III. 9 : Schéma représentant une vue en coupe d'une partie de la chaîne de ligne DC5 et la structure répétée 29422 fois que l'on appellera par la suite « nœud » ou encore structure unitaire

Lors de la mesure $I(V)$ sur les structures, l'information extraite correspond à la résistance globale de la structure (les prises de tension se situent sur chaque extrémité de la chaîne comme illustré sur la Figure III. 7). Dans le cas de la structure DC5, la valeur de résistance de $2.34 \text{ k}\Omega$ représente la résistance de toute la chaîne de lignes. Si on divise cette résistance globale par le nombre d'interconnexions (et donc le nombre de fois qu'un nœud est répété) alors on obtient une résistance moyenne par nœud de $79.5 \text{ m}\Omega$. Cette résistance correspond à la résistance de la structure unitaire et donc des deux lignes de $0.5 \mu\text{m}$ d'épaisseur chacune qui se chevauchent sur $3 \mu\text{m}$. Cette structure est identique à la structure A5 (avec différentes dimensions). Il est donc possible de calculer théoriquement sa résistance, en reprenant le raisonnement utilisé précédemment pour des structures A5. On obtient ainsi une valeur de résistance théorique de $77 \text{ m}\Omega$. La Figure III. 10 représente ce calcul théorique de la résistance de la structure unitaire avec ses dimensions.

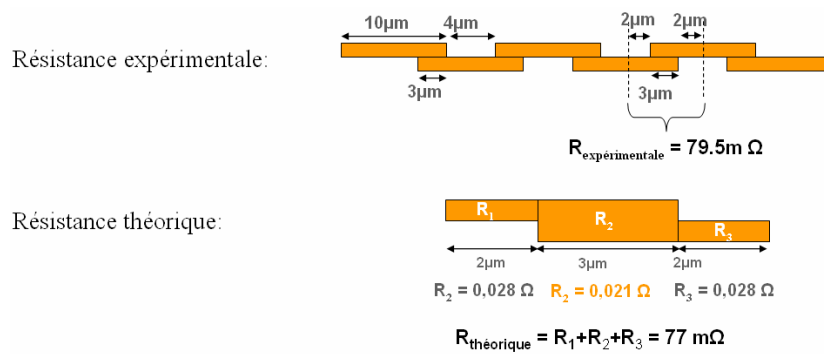


Figure III. 10 : Schéma représentant les valeurs de résistance expérimentale et théorique du nœud de la chaîne de ligne DC5

On observe une faible différence entre la valeur théorique et expérimentale de la résistance du nœud. Cette différence de $2.5\text{m}\Omega$ ($R_{\text{expérimentale}} - R_{\text{théorique}} = 79.5 - 77 \text{ m}\Omega$) correspond à l'apport résistif induit par l'interface de collage, sur une aire en contact de $3 \times 3\mu\text{m}^2$. En effet, dans le calcul théorique, la résistance de la section collée est mesurée sans prendre en compte la présence de l'interface de collage. En comparant cette valeur avec celle mesurée expérimentalement, il est possible d'en déduire que l'impact de l'interface de collage est représenté par une résistivité locale augmentant légèrement la résistance de la zone collée.

En réalité cette différence de résistance n'est pas uniquement due à l'interface de collage, mais également à une éventuelle variation de process (comme l'inhomogénéité d'épaisseur des lignes due au polissage, ou variation de résistivité... cf. paragraphe III.1.2.4). Un autre facteur important et qui n'a pas encore été abordé est le désalignement induit lors du collage. En effet, le désalignement des lignes (de l'ordre du micron) peut avoir un impacte sur la valeur de résistance mesurée (étant donné les petites aires collées de $3 \times 3\mu\text{m}^2$). L'impact du désalignement sera abordé plus bas dans ce chapitre (paragraphe III.1.2.3).

De ces remarques et observations, il est possible de conclure que pour un collage direct avec recuit de consolidation à 400°C , la valeur de $2.5\text{m}\Omega$ est la valeur maximale qui peut être ajoutée par l'interface de collage sur une aire de $3 \times 3\mu\text{m}^2$. Cela mène à une valeur de résistance spécifique de $22.5\text{m}\Omega \cdot \mu\text{m}^2$ (d'après l'équation Eq.III.5). Cette valeur de résistance spécifique est bien plus basse que toutes celles déjà présentées de nos jours sur les autres procédés de collage métallique [Enquist2009, Chen2006, Tang2011]. De plus, cette valeur est négligeable par rapport à d'autres procédés intervenant sur un dispositif 3D final. En prenant l'exemple des TSV, ce dernier étant fiable et présentant de bonnes caractéristiques électriques a néanmoins des valeurs de résistance de l'ordre de $120\text{m}\Omega$ pour des contacts de $3 \times 3\mu\text{m}^2$ [Leduc2009]. Cela montre encore une fois que l'impact électrique de l'interface de collage, après un recuit à 400°C , est négligeable.

Les daisy chains DC1 DC4 et DC5 ont en commun le même nœud (structure unitaire), la différence ne se fait qu'au niveau du nombre d'itérations et de la densité d'interconnexion de ces dernières (pitch suivant x et y). Les valeurs de résistances par nœud de ces trois

structures sont très similaires menant pour chacune d'entre elle à l'extraction de faible résistance spécifique. Pour être plus précis, les daisy chains DC1 et DC4 donnent des valeurs de résistance par nœud de 79mΩ et donc une résistance spécifique de 18mΩ.μm², valeur encore plus petite que celle extraite sur la structure DC5. Cela est peut être dû au grand nombre d'interconnexion de cette dernière, ce qui multiplie l'impact de la résistance de contact de plus en plus augmentant légèrement cette valeur. Quoi qu'il en soit, ces valeurs de résistances spécifiques sont très faibles et ont un impact totalement négligeable sur les résistances des structures collées.

III.1.2.2) Résistance de l'interface en fonction de la température de recuit

Les mêmes mesures ont été réalisées sur des plaques collées par collage direct puis recuites à 200°C. Des comportements identiques avec les mêmes valeurs de résistance ont été observés pour les structures NIST, montrant ainsi que l'interface de collage est très peu résistive. Le courant traverse l'interface de collage même s'il n'y est pas forcé. En réalité, une faible différence entre les valeurs théoriques et expérimentale de l'ordre du mΩ est observée mais celle-ci n'empêche le rapport 2 entre les valeurs de résistance des lignes collées et non collées. L'extraction de la résistance à l'interface se fera par les daisy chains.

En effet, comme attendu, les valeurs de résistance des daisy chains sont plus élevée, ce qui sous entend une résistance à l'interface plus élevée.

Suivant le même raisonnement et la même méthodologie que précédemment (pour les collages avec recuit à 400°C), une mesure de résistance expérimentale a été réalisée et comparée par la suite à la résistance théorique. Un exemple est donné avec la structure DC5 pour laquelle la valeur de résistance globale mesurée est de 2,354kΩ et donc une résistance par nœud de 80mΩ. Comparé à cela, le calcul théorique donne une valeur de résistance globale de la structure de 2,182kΩ et donc une résistance théorique par nœud de 74,2 mΩ. Cela induit donc une résistance spécifique de 52.5mΩ.μm². Cette valeur de résistance spécifique est supérieure à celle obtenue pour des structures recuites à 400°C (qui était de 22,5mΩ). Cela s'explique facilement par la qualité de l'interface de collage pour ces deux températures de recuit (paragraphe III.1.1). Les collages ayant vu un recuit à 200°C n'ont pas eu suffisamment de temps et d'apport thermique pour que l'oxyde de cuivre se trouvant à l'interface diffuse (paragraphe II.3.2.3) et que les cavités se ferment. Il en résulte donc une grande quantité de précipité d'oxyde de cuivre tout le long de l'interface la rendant plus résistive qu'une interface recuite à 400°C.

Cependant, cette valeur de résistance à l'interface reste encore faible par rapport aux autres procédés du dispositif final. Cela montre que même pour les collages recuits à 200°C seulement, l'interface de collage n'est pas l'interface la plus résistive pouvant diminuer les performances des dispositifs 3D.

Le facteur décisif qui permettra de conclure sur l'impact de l'interface de collage sur le comportement électrique des structures collées sera le comportement de ces dernières face aux tests de fiabilité. Ces tests et leurs résultats sont présentés dans ce chapitre au paragraphe III.2.

III.1.2.3) Impact du désalignement

Comme mentionné dans le paragraphe III.1.2.1, la différence entre la mesure expérimentale et théorique des résistances n'est pas uniquement due à la résistance de l'interface de collage mais peut être due à d'autres paramètres tels que le désalignement des structures collées. En effet, l'équipement utilisé pour réaliser les collages permet des alignements au micron. Sachant que la plupart des lignes de tests ont des largeurs de $3\mu\text{m}$, il résulte d'un désalignement de $1\mu\text{m}$, qu'un tiers de la ligne se retrouve décalée et donc non collée sur la ligne en vis-à-vis. Cela va donc modifier son comportement électrique et sa résistance.

En effet, les lignes équipotentielles de tension le long du flux de courant dans les lignes collées sont différentes entre deux lignes complètement collées et deux lignes décalées. Plus le désalignement sera important, plus grande sera cette différence de lignes équipotentielles. Ceci se manifestera par une variation au niveau de la résistance mesurée.

Afin de vérifier si expérimentalement il y a une variation de résistance en fonction du désalignement, des plaques présentant un fort désalignement de collage (supérieur à $1\mu\text{m}$) ont été sélectionnées et des mesures de résistance ont été réalisées sur les longues lignes de cuivre collées (structure NIST A4, cf. Tableau II. 1). Les résultats obtenus sont présentés dans le Tableau III. 3 suivant.

Largeur des lignes (μm)	Résistance théorique (Ω)	Résistance expérimentale (Ω)	ΔR ($\text{m}\Omega$)	Désalignement (μm)
10	1.34	1.35	10	$\Delta x = -1.6\mu\text{m}$ $\Delta y = -1.2\mu\text{m}$
10	1.31	1.41	100	$\Delta x = -2.5\mu\text{m}$ $\Delta y = -1\mu\text{m}$
3	4.16	4.25	90	$\Delta x = -1.2\mu\text{m}$ $\Delta y = -0.8\mu\text{m}$
3	4.26	4.42	140	$\Delta x = -1.6\mu\text{m}$ $\Delta y = -1.2\mu\text{m}$

Tableau III. 3 : Tableau résumant les valeurs de résistance mesurée sur les structures collées en fonction du désalignement du collage. Plus le désalignement est grand plus la variation entre la valeur mesurée et théorique sera grande. Etant donné les dimensions des lignes ($640\mu\text{m}$ en y et 3 ou $10\mu\text{m}$ en x) l'impact d'un désalignement en x est plus important que celui en y.

Sachant que les lignes testées font $640\mu\text{m}$ de long dans la direction y , et 3 ou $10\mu\text{m}$ dans la direction x . Le désalignement suivant la direction x est celui qui aura le plus d'impact sur la variation de l'aire de la zone collée (Figure III. 11). D'après les mesures de résistance du Tableau III. 3 il est possible de noter que plus le désalignement est grand et plus la variation entre la valeur de résistance théorique et expérimentale l'est également. Par exemple, pour une ligne de $3\mu\text{m}$ de large, l'aire de la zone collée est de $3 \times 640 = 1920\mu\text{m}^2$ et donne une résistance de 4.26Ω . Par contre, avec un désalignement de $1.6 \mu\text{m}$ l'aire de la zone collée devient $894\mu\text{m}^2$ et la résistance mesurée augmente à 4.42Ω . Cela confirme donc que l'alignement du collage est un point important à prendre en compte lors de l'extraction de la résistance à l'interface de collage.

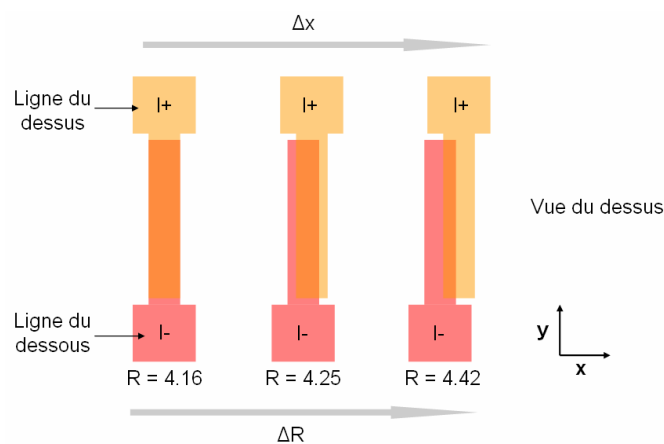


Figure III. 11 : Schéma représentant un exemple de l'impact du désalignement sur la résistance de la structure collée. Plus le désalignement est grand plus la résistance mesurée l'est également. Etant donné les dimensions des lignes ($640\mu\text{m}$ en y et 3 ou $10\mu\text{m}$ en x) l'impact d'un désalignement en x est plus important que celui en y

III.1.2.4) Homogénéité du collage sur une plaque

Afin d'évaluer la qualité du collage en chaque point de la plaque, il est proposé de déterminer la variation des valeurs de résistance de structures collées et leur dispersion sur toute la plaque. Pour cela, des mesures de résistance ont été réalisées sur une structure donnée puis répétées sur les 200 autres structures identiques présentes sur toute la plaque. Les résultats sont ensuite représentés graphiquement, par un programme simple réalisé sur Matlab, permettant à l'aide d'une échelle de couleur de représenter la dispersion des valeurs sur une plaque. Le Tableau III. 4 ainsi que la Figure III. 12 représentent respectivement les valeurs (min, max et moyenne) de la résistance mesurée sur la daisy chain la plus dense (DC5) et une cartographie de dispersion des valeurs mesurées sur toute la plaque. Cette dernière a subi un recuit de collage à 400°C .

Structure testée	Résistance min (Ω)	Résistance max (Ω)	Résistance moyenne (Ω)	Ecart type (%)
DC5 avec recuit de collage à 400°C	2162	2291	2202	1.18

Tableau III. 4 : Tableau résumant les valeurs minimum, maximum et moyenne de la résistance de la structure DC5 (structure à 29422 connexions de $3 \times 3 \mu\text{m}^2$) sur les 201 structures testées. L'écart type de la variation de ces valeurs est de 1.18%

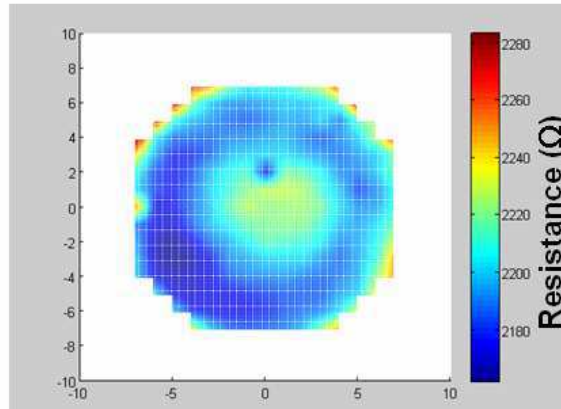


Figure III. 12 : Cartographie représentative des valeurs de résistance d'une daisy chain (DC5) sur toute la plaque (200mm)

On observe une faible dispersion des valeurs de résistance mesurées sur la structure collée. En effet, un écart type de 1.18% est calculé à partir des différentes mesures. Cette faible valeur est représentative de la bonne reproductibilité du procédé de collage sur toute la plaque. La dispersion des valeurs de résistance représentée en Figure III. 12 montre des valeurs de résistances élevées en centre de plaque et en bord. Cette allure de dispersion ressemble beaucoup au profil d'inhomogénéité d'épaisseur après polissage. En effet, après polissage mécano-chimique, on obtient sur l'équipement utilisé un enlèvement en centre de plaque plus important dû à une pression du plateau de polissage plus élevée à cet endroit. Ce phénomène est également observé en bord de plaque en plus des effets de bords.

Afin de vérifier si cette dispersion (néanmoins très faible, $\sigma=1,2\%$) des résistances des structures collées ne serait pas due à une variation d'épaisseur de ligne due au procédé de polissage. Des mesures de résistances ont également été réalisées sur des structures non collées (structure NIST A3) de la même plaque. Etant donné que sur la structure A3 est constituée d'une ligne de cuivre sur un seul niveau, le collage de cette ligne sur une surface d'oxyde n'affectera pas la mesure de résistance de cette dernière. Le Tableau III. 5 ainsi que la Figure III. 13 représentent respectivement les valeurs min, max et moyenne des résistances de la structure A3 (structure sans collage métallique) et une cartographie de ces valeurs sur toute la plaque.

Structure testée	Résistance min (Ω)	Résistance max (Ω)	Résistance moyenne (Ω)	Ecart type (%)
A3 avec recuit de collage à 400°C	8.12	8.75	8.33	1.20

Tableau III. 5 : Tableau résumant les valeurs minimum, maximum et moyenne de la résistance de la structure A3 (structure sans collage métallique) sur les 201 structures testées. L'écart type de la variation de ces valeurs est de 1.2%

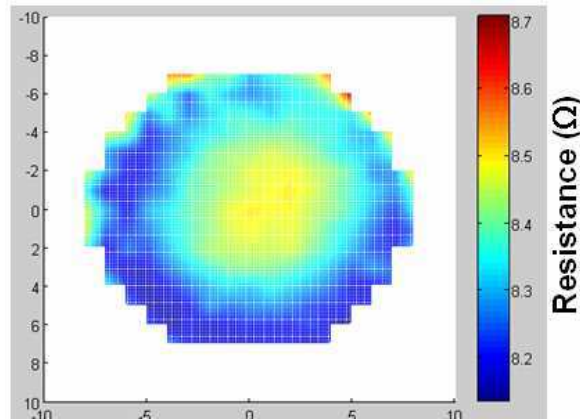


Figure III. 13 : Cartographie représentative des valeurs de résistance d'une structure sans collage métallique (A3) sur toute la plaque (200mm)

Les différentes mesures de résistance de la structure A3 donnent également une très faible dispersion avec un écart type de 1.2% identique à la dispersion obtenue sur une structure collée. L'allure de cette dispersion est également similaire à la précédente, ce qui met en évidence une variation du processus de fabrication lors de la réalisation d'une ligne de cuivre (probablement due à une inhomogénéité d'épaisseur de ligne après polissage). La variation d'épaisseur de ligne due au polissage peut expliquer cette dispersion des valeurs de résistance. En effet, les lignes étant plus fines en centre de plaque, ces dernières présentent une résistance plus élevée.

Cette observation montre donc que la faible dispersion des mesures de résistance des structures collées n'est pas due au collage mais plutôt à une variation au niveau du processus de fabrication des plaques (avant collage).

Conclusion

Les résultats présentés précédemment montrent une interface de collage très faiblement résistive et ayant un impact négligeable sur la résistance des structure collées. En effet, la mesures de résistance des différents NIST prouve, que ce soit pour des structures ayant subi des recuits de collage à 200 ou 400°C, que l'interface n'est pas assez résistive pour empêcher le passage de courant à travers même si celui-ci n'y est pas forcé. De plus, les

valeurs de résistance mesurées sur deux lignes collées sont identiques à celle d'une ligne deux fois plus épaisse. Ceci confirme la faible résistivité de l'interface de collage.

Les daisy chains, quant à elles, présentent de faibles aires de contact de $3 \times 3 \mu\text{m}^2$ ce qui accentue l'impact de la résistance à l'interface de collage. Cette dernière a pu être mesurée et a mené à une valeur de résistance spécifique de $22,5 \text{m}\Omega \cdot \mu\text{m}^2$ pour des collages à 400°C et $52,5 \text{m}\Omega \cdot \mu\text{m}^2$ pour ceux recuits à 200°C . Cette différence est due à la présence de cavités et de fines couches d'oxyde de cuivre à l'interface de collage pour les structures ayant subi de faibles recuits. Néanmoins, ces valeurs de résistance restent très faibles par rapport aux résistivités apportées par les autres interconnexions métalliques retrouvées dans une structure 3D (exemple des TSV). De plus, ces valeurs extraites expérimentalement représentent l'apport maximum de résistivité de l'interface car celles-ci peuvent être également induites par une variation de process ou de l'impact du désalignement du collage.

III.1.3) Premiers résultats électriques des collages puces à plaques

Des premiers tests électriques ont pu être réalisés sur une intégration puce à plaque. Ces derniers ont permis de caractériser électriquement la qualité du collage réalisé après report d'une puce sur une plaque.

III.1.3.1) Qualité de l'interface de collage

A ce jour, toutes les étapes permettant l'intégration puce à plaque décrite au paragraphe I.6 ont été étudiées et sa faisabilité a été démontrée [DiCioccio2009]. Cependant, la réalisation d'un empilement puce à plaque, utilisant le collage direct métallique, avec intégration complète permettant la mise en boîtier et les tests de fiabilité n'a pas encore été finalisée. Néanmoins, des mesures électriques de résistance des structures collées ont pu être réalisées.

Des collages de puces ayant vu un recuit à 400°C ont été caractérisés après enlèvement total du silicium des puces ainsi que l'oxyde recouvrant les structures de test. Ces dernières étant à nu, elles ont permis les mesures de résistance des différentes NIST et daisy chains.

Les résultats obtenus ont montré un comportement identique à ce qui avait été mesuré sur des collages plaque à plaque. Les valeurs de résistance des structures comportant deux lignes collées correspondaient à celles calculées pour une seule ligne deux fois plus épaisse. Ceci montre l'impact négligeable de l'interface de contact sur la résistance des structures collées. De la même façon, les mesures de résistance sur les daisy chains donnent des résultats semblables à ceux obtenus sur des collages plaque à plaque recuits à 400°C . La Figure III. 14 montre les tracés des courbes $V(I)$ de la daisy chain la plus dense (DC5) sur plusieurs puces collées ainsi qu'un exemple de la même structure collée sur un empilement plaque à plaque. Il est possible d'observer la reproductibilité des mesures entre les puces, le caractère parfaitement ohmique et des résultats identiques à celui obtenu sur des collages plaques à

plaques. Cela montre que les faibles différences de préparation de surface entre les collages de puces et de plaque n'affectent en rien la qualité électrique de l'interface de collage.

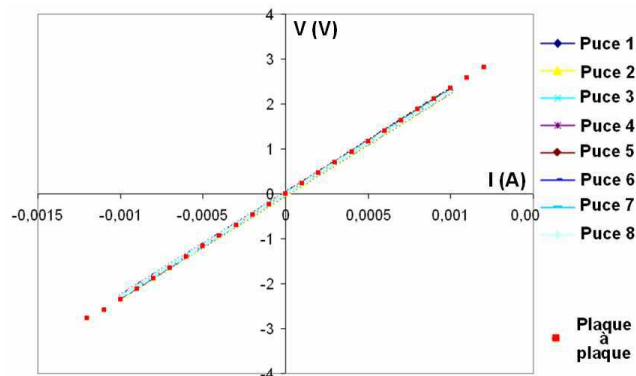


Figure III. 14 : Superposition des courbes $V(I)$ de la daisy chain DC5 la plus dense sur plusieurs puces collées ainsi que sur un collage plaque à plaque, tous ayant subi un recuit après collage de 400°C . Les mesures réalisées sur des collages puces à plaque montrent un caractère parfaitement ohmique, reproductibles et identiques à celui obtenu sur un collage type plaque à plaque.

Les mesures de résistance sont obtenues en balayant un courant d'environ -1mA à $+1\text{mA}$ et en mesurant la tension associée en chaque point.

III.1.3.2) Evolution de la résistance de contact en fonction de la Température de recuit

A l'aide du niveau de masque adapté pour une approche puce à plaque, décrit en paragraphe II.1.2.4, il est possible sur une même plaque de caractériser électriquement les structures collées dès la mise en contact des puces, sans apport de température, puis de suivre l'évolution de leur résistance en fonction des températures de recuit. La Figure III. 15 permet d'illustrer à nouveau l'approche puce à plaque permettant cette caractérisation. Et ce, en s'affranchissant de toutes les étapes nécessaire à la reprise de contact (aminçissement, TSV, RDL...). En effet, un film fin de nitrure peut être déposé avant les traitements thermiques empêchant toute corrosion des plots déportés et pouvant être traversé par la pointe lors de la mesure.

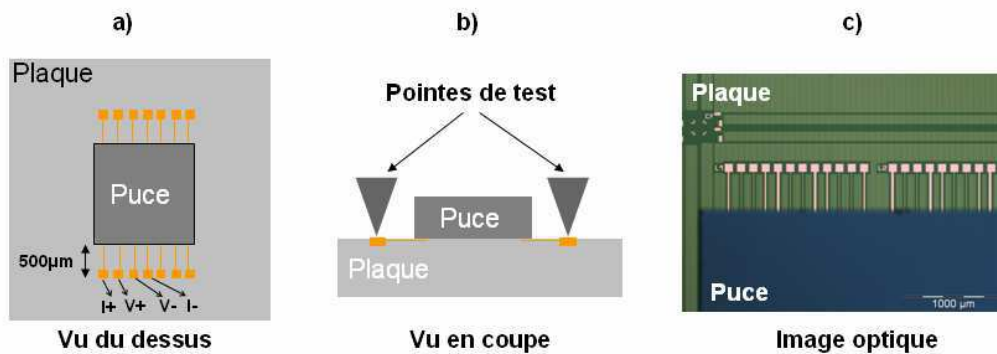


Figure III. 15 : a) vue du dessus et b) vue en coupe de l'approche puce à plaque permettant la reprise de contact avec plots déportés. L'image c) représente une observation optique après collage de la puce

Les mesures de résistance sont réalisées en 4 points (mesure Kelvin) ce qui permet de s'affranchir de la résistance des longues lignes de métal qui servent à déporter les plots de contact.

Il a ainsi été possible de caractériser, les différentes structures, juste après collage. L'approche plaque à plaque ne permet pas de réaliser cette mesure. En effet, le collage étant très faible à l'ambiante il ne permet pas une tenue mécanique suffisante pour résister à l'amincissement mécanique (dans l'optique où l'on voudrait enlever tout le silicium d'une des plaques).

Comme précédemment, la mesure de résistance sur une structure ayant un seul niveau de métal (NIST non collée) sert de référence puis est comparée aux mesures sur les structures collées. Le Tableau III. 6 représente les résultats obtenus sur différentes NIST testées. Ces mesures permettent de mettre en évidence un contact électrique et donc passage de courant à travers l'interface de collage, et ce, s'il s'y voit forcé comme pour la structure A4 où les amenées de courant se situent sur les deux différents niveaux à coller. Il est également possible de voir qu'à température ambiante, l'interface de collage est très résistive. Ceci est démontré sur le comportement de la structure A1 représentant deux lignes collées avec amenées de courant sur un même niveau. De ce fait, l'interface de collage étant très résistive, le courant parcourra la structure dans une seule ligne sans traverser l'interface. D'où la valeur de résistance identique à celle d'une structure mono niveau (NIST non collée A2).

Les structures A4 et A5 comprennent deux lignes collées mais se diffèrent par l'aire collée par ces deux dernières. En effet, A4 correspond à deux lignes totalement collées. Quant à A5, elle est constituée de deux lignes qui se chevauchent et sont donc partiellement collées. Cependant, la valeur de résistance mesurée sur ces deux structures est, en plus d'être élevée, identique. Ce qui laisse penser que le courant ne traverse pas l'interface de collage en tout point de la zone collée, mais seulement en quelques uns, d'où l'indépendance par rapport à la surface collée (Tableau III. 6).

NIST	Schéma de la structure	Vue en coupe	Résistance mesurée
A2			8.68 Ω
A1			8.65 Ω
A4			9.81 Ω
A5			9.84 Ω

Tableau III. 6 : Tableau décrivant différentes structures testées ainsi que la valeur de résistance mesurée sur des puces collée sans recuit. La structure A4 met en évidence une conduction électrique à travers l'interface de collage prouvant un contact électrique dès température ambiante. Cependant une forte résistance à l'interface de collage est observée sur la structure A1, empêchant le courant d'y passer spontanément au travers s'il n'y est pas forcé. Les valeurs de résistance semblables de A4 et A5 montre une indépendance de la résistance par rapport à la surface collée et donc que le courant ne traverse l'interface de collage que par certains points en contact.

Ce résultat montre que les lignes de métal sont en contact en certains points (les bords de plot par exemple en raison du dishing) et permettent une conduction électrique sans apport de température. Cependant, une forte résistance à l'interface de collage est présente à température ambiante. Celle-ci sera à diminuer par l'effet de la température lors des recuits, qui a pour but de renforcer le collage. La Figure III. 16 illustre parfaitement cette dépendance en température. En effet, il est possible d'observer la diminution de la résistance mesurée pour deux lignes collées (structure A4) en fonction de l'élévation de la température de recuit appliquée.

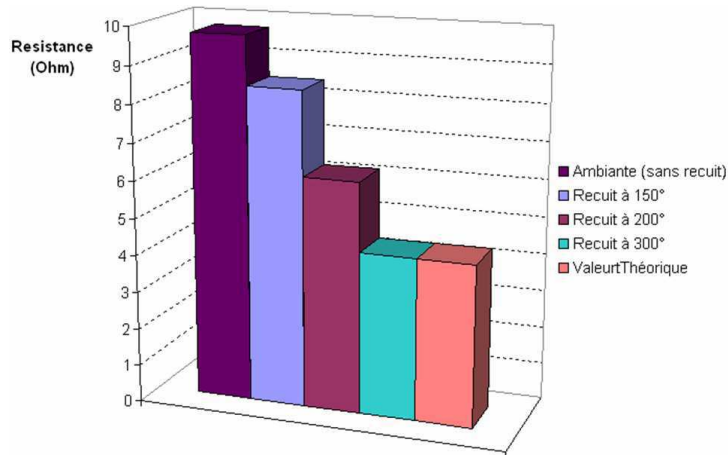


Figure III. 16 : Représentation de l'évolution de la résistance de deux lignes collées (structure A4) en fonction de la température de recuit. Une forte résistance est observée à température ambiante puis diminue avec l'augmentation de la température appliquée jusqu'à 300°C où l'on retrouve une valeur de résistance équivalente à celle théorique d'une seule ligne doublement épaisse.

Ces premiers tests électriques montrent qu'à des températures supérieures ou égales à 300°C, le comportement électrique des structures collées dans un empilement puce à plaque est identique à celui observé sur des empilements plaque à plaque. Il sera intéressant d'étudier le comportement de ces empilements face aux différents tests de fiabilité, notamment l'impact des contraintes thermiques en bord de puce, zones où plusieurs défauts de collage apparaissent.

III.2) Fiabilité électrique des structures réalisées par collage direct métallique

Après s'être attaché à montrer la faible résistance de contact après collage et recuit à 200 ou 400°C et montré l'impact négligeable sur le comportement électrique des structures collées hors fonctionnement (c'est-à-dire sans présence de contraintes extérieures). Il est maintenant proposé d'étudier le comportement de telles structures lorsqu'elles sont soumises à des contraintes thermiques et/ou électriques qui sont les principales contraintes à l'origine des dégradations se produisant dans les interconnexions métalliques. Le but est de déterminer le rôle de cette interface dans les mécanismes de dégradation qui se produisent dans ces structures après un temps déterminé de fonctionnement et ce, à l'aide de tests de vieillissement utilisés en fiabilité.

III.2.1) Contrainte thermique

Notre étude s'appuie sur 2 normes JEDEC pour cette étude. Les tests de cyclage thermique et de stress voiding. Leur principe ainsi que la méthodologie de test utilisée ont été décrits en aux paragraphes II.1.4.2 et II.1.4.3.

III.2.1.1) Cyclage thermique

Ce test a pour but d'étudier la tenue mécanique des structures réalisées par collage direct. Le fait de passer d'une température de (-65°C) à (+150°C) va imposer à la structure de passer d'un état de contrainte à un autre, et ce plusieurs fois pendant le test (en moyenne les tests sont réalisés avec 500 cycles). Les structures idéales pour ce type de test sont les daisy chains et plus exactement les daisy chains. En effet, on retrouve sur ces structures plusieurs couches collées : cuivre-cuivre, oxyde-oxyde, et cuivre-oxyde. Les dilatations thermiques de ces différents matériaux lors des montées et descente en températures peuvent induire des délaminations (décollement d'une couche sur une autre) ce qui peut causer la rupture de la structure et donc l'arrêt de son fonctionnement. L'interface de collage étant nouvelle dans notre structure, elle n'a donc jamais été soumise à de telles conditions de test. Ces tests permettront d'étudier le comportement de cette interface après plusieurs cycles, et de montrer si la présence de celle-ci fragilise ou non la structure finale.

Des tests de cyclages thermiques ont été réalisés sur des collages ayant vu des recuits à 200°C et d'autres à 400°C.

Collage avec recuit à 400°C

Les structures ayant subi des recuits de consolidation à 400°C ont montré de très faibles résistances à l'interface de collage ainsi qu'un début de diffusion et de croissance de grains de cuivre aux interfaces faisant agir les deux lignes collées comme étant une seule et même ligne (paragraphe III.1.2.1). Ce résultat est à démontrer lorsque les structures sont assujetties à des contraintes thermiques.

Des plaques collées et ayant vues une intégration complète de reprise de contact ont été caractérisées avant et après cyclage. Le but est de contrôler un éventuel changement de résistance, qui serait dû à une dégradation des structures.

Les résultats sont présentés en Figure III. 17. On y retrouve une représentation du pourcentage cumulatif des résistances mesurées pour plusieurs structures, avant et après 500 cycles. Aucune variation supérieure à 3% n'est observée après cyclage. Cela souligne la très bonne tenue thermique de telles structures. En effet, aucune dégradation au niveau des lignes, ni de délamination ne s'est produite pendant les tests et ce grâce à la bonne adhérence ainsi que la très faible résistivité de l'interface de collage.

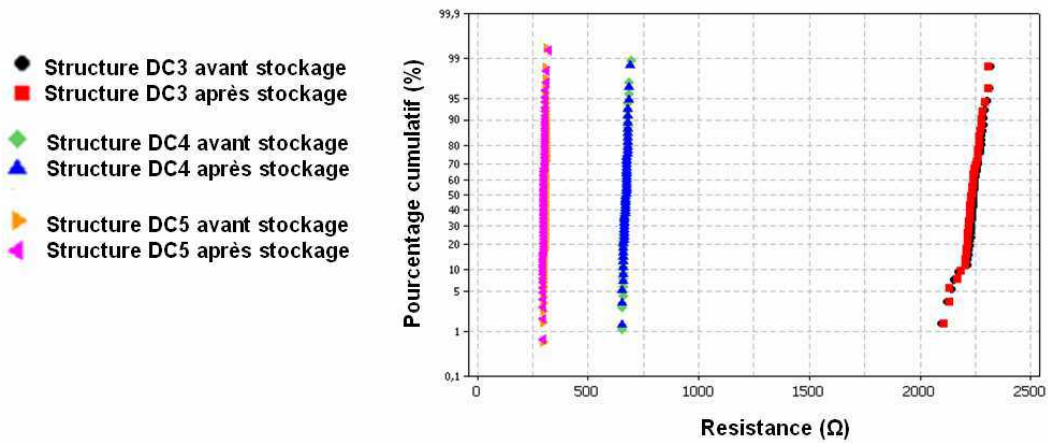


Figure III. 17 : Pourcentage cumulatif de différentes structures (avec recuit de collage à 400°C) avant et après cyclage (500cycles). Aucune variation de résistance n'est observée significative d'aucune dégradation des structures collées

Collage avec recuit à 200°C

De la même façon que précédemment, les structures ayant vues des recuits à 200°C après collage ont été mesurées avant et après 500 cycles. Les résultats sont présentés en Figure III. 18. Aucune variation n'a été observée après test, et ce, quelle que soit la structure de test. On observe des valeurs identiques avant et après test ce qui montre qu'aucune dégradation ne s'est produite au niveau de l'interface de collage cuivre-cuivre. Les cavités observées à cette interface avant test ne présentent apparemment pas de faiblesse au niveau de la structure et cela même sous l'effet de ces changements abruptes de contrainte thermique. L'état de l'interface de collage après un recuit de 200°C est suffisamment stable et de bonne qualité pour permettre une bonne conduction électrique ainsi qu'une bonne stabilité mécanique lors de changement d'état de contrainte par l'effet de la température du milieu.

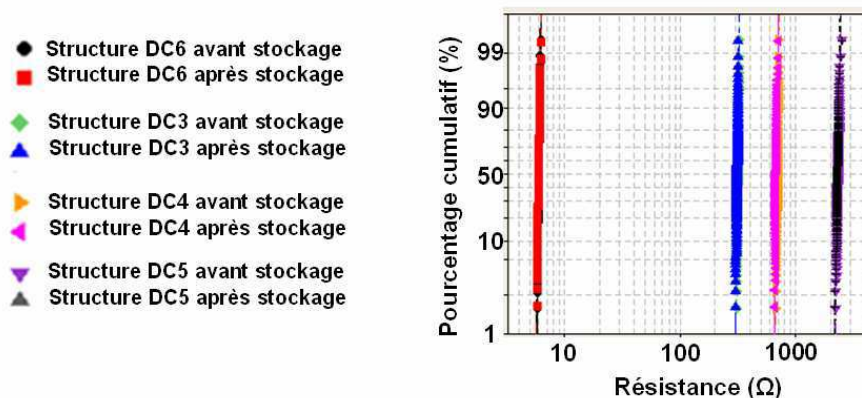


Figure III. 18 : Pourcentage cumulatif de différentes structures (avec recuit de collage à 200°C) avant et après cyclage (500cycles). Aucune variation de résistance n'est observée significative d'aucune dégradation des structures collées

500 cycles supplémentaires ont été ajoutés sur les structures afin de confirmer leur bonne tenue. Les mesures de résistance après ces 500 cycles ajoutés (1000 cycles au total) ne montrent aucune variation de résistance et donc aucune dégradation des structures collées. La Figure III. 19 représente des pourcentages cumulatifs des valeurs de résistance avant test, après 500 cycles et après 1000 cycles pour la daisy chain DC3, la plus stressée. Il est possible d'observer, à l'inverse de ce que l'on peut attendre, une légère diminution des valeurs de résistance (variation de l'ordre de -2% au maximum après chaque test). Ce résultat peut s'expliquer par une amélioration de l'interface de collage. En effet, pour des structures ayant vu un recuit à seulement 200°C, l'interface de collage n'est pas encore totalement stabilisée. Plusieurs précipités d'oxyde de cuivre se trouvent à l'interface cuivre-cuivre, et la température n'a pas été suffisamment haute pour permettre la diffusion du cuivre à l'interface de collage. Il est donc possible que lors des tests, les structures ayant subi des montées en température allant jusqu'à 150°C, l'oxyde de cuivre perdant sa stabilité thermodynamique a pu continuer à diffuser à l'interface augmentant légèrement les zones en contact cuivre-cuivre. Des coupes FIB suivies d'observations MEB ont été réalisées afin d'observer l'état de l'interface de collage.

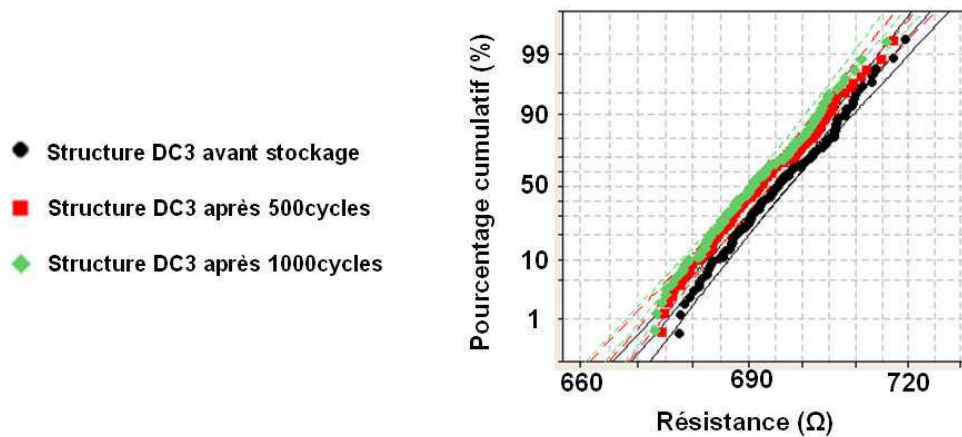


Figure III. 19 : Pourcentage cumulatif d'une daisy chain asymétrique avant (courbe noire) et après cyclages (500cycles en rouge, 1000cycles en vert)

Problématique de l'interface de collage cuivre/oxyde

Des tests de cyclage thermique ont également été réalisés sur des plaques collées où tout le silicium de la plaque du dessus avait été enlevé. Le but de cette intégration est de pouvoir observer l'interface de collage (à travers l'oxyde). En effet, dans une intégration complète, le renseignement sur le comportement de l'interface de collage est donné par les mesures électriques sans pouvoir observer l'interface de collage, qui est enterrée sous 50 μ m de silicium. Il est nécessaire de réaliser des coupes FIB, et donc de détruire la structure, pour l'observer.

L'intégration utilisée pour ces tests est l'intégration nommée « Process avec vias dans l'oxyde et passivation BCB+UBM » décrite en paragraphe II.1.2.3.C. Après avoir enlevé le silicium de la plaque du dessus, des « bulles » apparaissent notamment au niveau des larges amenées de courant, comme on peut le voir sur la Figure III. 20. Ces bulles sont des conséquences de défauts de collage entre ces larges plots de métal et l'oxyde en vis-à-vis. Lors du polissage d'une surface mixte (exemple cuivre-oxyde), le dishing obtenu dépend fortement de la densité et de la largeur des lignes de métal. Pour un polissage donné permettant de faible dishing sur les lignes de test (les lignes de faibles largeurs), un grand dishing est observé sur les lignes plus larges (comme par exemple les amenées de courant). C'est dans le but de diminuer ces dishing que des dummies d'oxyde avaient été prévus lors du dessin des niveaux des lignes. Le remplacement des gros plots de cuivre par des grilles a permis de diminuer le dishing obtenu et d'éviter des défauts de collage après mise en contact des deux plaques et recuits de ces dernières. Cela avait été vérifié par des observations réalisées par microscopie acoustique qui ne révélait aucune présence de défaut de collage à ce niveau. Cependant, le fait de retirer tout le silicium de la plaque du dessus a provoqué un relâchement de contrainte au niveau de l'interface de collage engendrant ces « bulles » au niveau des zones qui présentent la plus faible adhésion (il est également possible d'observer des décollements de l'oxyde de la plaque du dessus au niveau de ces zones). On constate d'après la Figure III. 20, que les bulles apparaissent plus souvent sur les lignes de la plaque du dessus (là où le silicium a été enlevé).

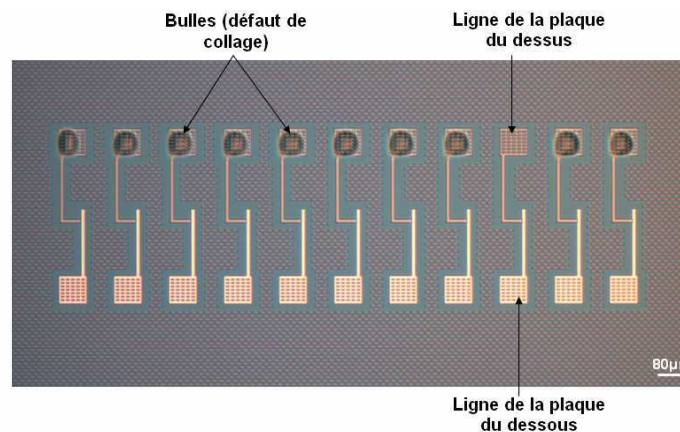


Figure III. 20 : Image optique à travers l'oxyde après enlèvement total du silicium de la plaque du dessus. Des bulles correspondant à des défauts de collage sont mises en évidence sur les larges plots de contact.

Après réalisation de l'intégration permettant la reprise de contact au niveau supérieur. Des mesures de résistance ont été réalisées avant cyclage. Les rendements obtenus étaient plus faibles. Quelques puces étaient défectueuses avant même de réaliser les tests de fiabilité. Après localisation de ces puces, il s'avère qu'elles présentaient toutes des décollements au niveau de l'interface de collage dans les zones des amenées de courant. Les plaques ont

ensuite été soumises à 500 cycles de choc thermique (-65°C / $+150^{\circ}\text{C}$). Les mesures réalisées après test, sur les motifs fonctionnels au préalable, n'ont montré pour une majorité des structures aucune variation de résistance. Ceci est un résultat identique à celui observé sur des plaques avec intégration complète. Les différentes observations optiques, à travers l'oxyde et le BCB, des structures collées ne montre aucune dégradation des ces dernières. Cependant, quelques puces fonctionnelles avant test ne le sont plus après les 500 cycles. Après localisation de ces puces défaillantes, il s'avère que ces dernières présentaient toutes des décollements au niveau de l'amenée de courant sans pour autant influencer la résistance de ces structures avant test. Par contre, après le test de cyclage une dégradation de ces amenées de courant est observée optiquement. Cette dégradation, à l'origine de la défaillance de la structure, est le résultat d'une corrosion L'observation optique en Figure III. 21 illustre un exemple d'amenée de courant après test avec corrosion du métal suite à la montée en température durant les tests de cyclages. En effet, la présence de ces décollements (ou bulles) au dessus des amenées de courant engendre une infiltration de l'air au niveau de ces lignes de cuivre. Même si celles-ci sont recouvertes de BCB, ce dernier étant très poreux il n'empêche pas l'oxydation des lignes de cuivre sous l'effet de la température élevée lors des tests de cyclages. Ces observations montrent que les dégradations induites par les tests de cyclages thermique ne se produisent pas au niveau de l'interface cuivre-cuivre collée, mais que cela est dû à l'intégration utilisée qui fragilise mécaniquement la structure collée, par l'enlèvement de la totalité du silicium de la plaque du dessus et met en évidence des problèmes d'adhérence entre les larges lignes de métal et l'oxyde en vis-à-vis.

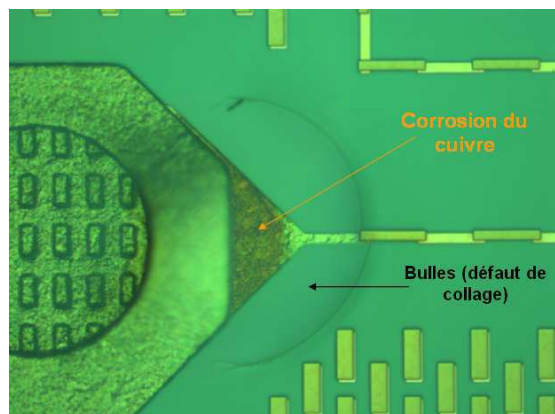


Figure III. 21 : Image optique d'une amenée de courant corrodée après traitement thermique. La corrosion est localisée en dessous de la bulle, défaut de collage entre le large plot de cuivre et l'oxyde sur lequel il est reporté. L'image est prise sur une plaque ayant subi une intégration type « TSV dans l'oxyde » qui permet de visualiser l'interface de collage.

Des solutions proposées pour s'affranchir de ces décollement tout en utilisant une intégration induisant l'enlèvement total du silicium sont soit de réduire les tailles de ces amenées de courant, soit de placer, lors du dessin des niveaux de collage, des grilles de cuivre

en vis-à-vis de celles utilisées pour les amenées de courant, afin de réduire les zones collées cuivre-oxyde. Cette dernière solution a été implémentée lors du dessin du niveau de collage dédié à l'intégration puce à plaque (avec plots déportés), et a montré une meilleure stabilité mécanique des structures sans présence de bulles après enlèvement du silicium de la plaque du dessus.

Une coupe FIB sur une zone présentant un décollement au niveau des amenées de courant a été réalisée suivie d'une observation par microscope électronique à balayage afin de visualiser la forme de la bulle et de confirmer la localisation de l'interface délaminée. La Figure III. 22 montre bien la zone non collée entre une amenée de courant et l'oxyde en vis-à-vis se trouvant sur la plaque collée. La grille d'amenée de courant se courbe au dessus de l'oxyde formant ainsi la bulle observée précédemment. Cette courbure tire sur la structure métallique et peut engendrer une fissure dans cette dernière pouvant couper entièrement la ligne et la rendre défaillante. Elle peut également provoquer une délamination (décollement) de la ligne de cuivre fragilisant ainsi mécaniquement la structure, ce qui affaiblit sa résistance aux différents tests de stress. Ainsi, ces larges zones cuivre-oxyde peuvent être une source de dégradation dès le moment du collage ou après traitement thermique.

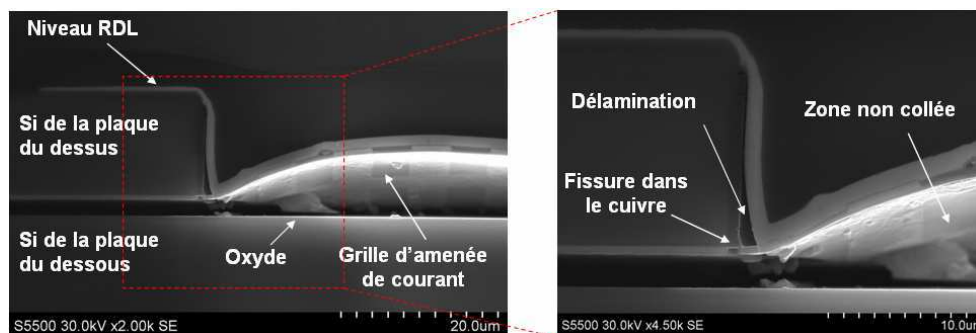


Figure III. 22 : Images MEB d'une amenée de courant non collée sur l'oxyde de la deuxième plaque pouvant engendrer une fissure dans la structure de test ainsi qu'une fragilisation de cette dernière et ne pouvant pas résister aux tests de stress

III.2.1.2) Stress voiding

Le phénomène de stress voiding est l'une des principales causes de dégradation induite sur les interconnexions métalliques. C'est pour cela que des tests de stockage en température ont été réalisés sur différents collage ayant vu des recuits à 200 ou 400°C.

Tests sur plaques

Recuit de collage à 400°C

Dans un premier temps, des collages ayant subi un recuit à 400°C ont été testés. Ces derniers ont la particularité de présenter une interface de collage avec de très bons contacts intimes entre les deux surfaces de cuivre. Le but de ces longs recuits est d'évaluer l'impact de ce stress en température sur cette interface. Si les deux lignes collées sont stressées à

température ambiante, une relaxation peut se produire lors des recuits générant ainsi la migration de cavités en direction des zones les moins stressées. Cette accumulation de cavités crée une diminution de la section de la ligne qui peut aller jusqu'à sa coupure. Ce phénomène sera détecté électriquement par une augmentation de la résistance mesurée.

Pour cela, des mesures de résistance ont été réalisées sur des lignes collées (structure NIST A1). Celles-ci seront prises comme référence puis comparées aux valeurs obtenues après stockage en température. Le pourcentage cumulatif des valeurs de résistance sur la structure collée est présenté en Figure III. 23. Il est possible d'observer que 5% de la population testée présente des valeurs de résistance plus élevées que la moyenne. Ce résultat est également observé sur les valeurs de résistance des structures non collées (NIST A2).. Après localisation des structures présentant des valeurs de résistance plus élevées, il est possible de noter que ces dernières se trouvent toutes en bord de plaque. Ces deux observations laissent penser que les structures en bord de plaque présente une forte résistivité (ou résistance), qui peut être due à une variation d'épaisseur de ligne ou de propriétés du dépôt électrolytique de cuivre lors du remplissage des lignes. Quoi qu'il en soit, le collage n'est pas la cause de cette variation en bord de plaque. Il est également important de noter le facteur 2 entre les résistances moyennes des structures collées et non collées, représentatif de la bonne qualité du collage, faisant agir deux lignes collées comme étant une seule et même ligne sans interface au milieu.

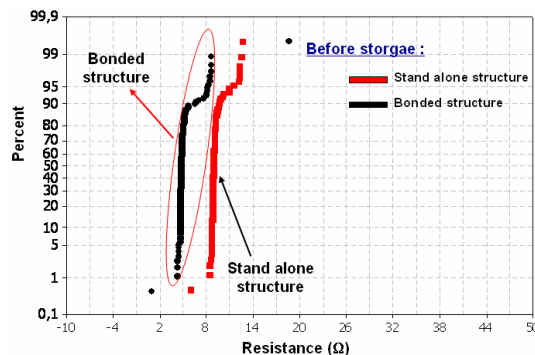


Figure III. 23 : Pourcentage cumulatif des résistances des lignes collées (structure A1) et non collées (structure A2) avant stockage en température

Les plaques collées sont ensuite soumises à des recuits de longues durées. La durée des stockages typiques pour ce genre de test est de 500h à 175°C. Puis, une mesure de résistance est faite après stockage. Dans notre cas, une mesure intermédiaire a également été réalisée au bout de 200h de stockage.

La Figure III. 24 montre sur un même graphique les valeurs de résistance de la structure collée, avant stockage en température, après 200 heures et après 500 heures à 175°C. Il est possible d'observer une superposition des valeurs de résistances avant et après stockage (que

ce soit 200h ou 500h). Il n'y a donc eu aucune variation de résistance des structures collées et donc aucune dégradation de l'interface de collage pendant le stress thermique subi.

Ce résultat montre que la qualité de collage obtenue pour des plaques collées et recuites à 400°C est suffisamment bonne pour pouvoir résister à des tests de vieillissement accéléré sous l'effet de la température. Les variations de résistances obtenues après 500h à 175°C sont de l'ordre de 1%, ce qui montre que le long stockage en température n'a eu aucun impact négatif sur les structures collées et donc que la présence d'une interface de collage n'a en aucun cas dégradé le bon fonctionnement de ces structures collées.

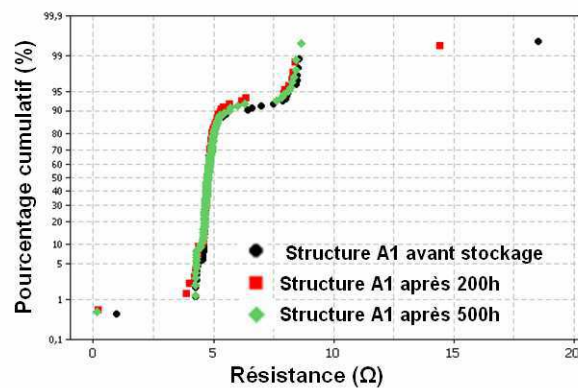


Figure III. 24 : Pourcentage cumulé des résistances d'une structure collée avant et après stockage à 175°C (200h et 500h). Aucune variation n'est observée, ce qui montre la bonne tenue mécanique, sous contrainte thermique, des structures collées et recuites à 400°C

Recuit de collage à 200°C

Le même test de stress voiding a été réalisé sur des structures collées ayant vu un recuit de collage à seulement 200°C. Le but de ce test est encore une fois d'évaluer la résistance des structures collées à basse température face à une contrainte thermique importante. Les structures ont été testées avant et après stockage (175°C pendant 500h) et les résultats obtenus sur certaines daisy chains sont représentés en Figure III. 25. Les résultats ne montrent aucune augmentation de résistance sur toutes les structures collées, quelle que soit la densité d'interconnexions ou l'aire de contact des différentes daisy chains. Cela montre qu'un recuit de collage à 200°C est largement suffisant pour permettre une très forte adhésion ainsi qu'une bonne résistance à une telle contrainte thermique. Sur la Figure III. 25, sont présentées également des structures collées (notamment DC3 et DC5) qui présentaient parfois avant test une forte résistance. Celles-ci ne sont pas dues à une variation de procédé de fabrication car elles ne sont pas observées sur toutes les structures. C'est donc une variation de résistance due à la présence d'une plus forte résistance de l'interface de collage.

Les structures présentant avant test une forte résistance sont préférentiellement localisées en bord de plaques. Cela pourrait s'expliquer par le dishing des lignes de cuivre plus important en bord de plaque associée à une faible température de recuit appliquée au

collage. En effet, comme déjà décrit au paragraphe I.3.2.3, le collage direct des lignes de métal, préalablement en dishing, nécessite un apport en température suffisant pour permettre la dilatation des lignes, augmenter la surface en contact et la diffusion du cuivre et de son oxyde. Sachant qu'en bord de plaque le dishing des lignes est plus important qu'au centre, il est possible que le budget thermique appliqué n'ait pas été suffisant pour renforcer au mieux l'interface de collage partout sur la plaque.

Ces puces, avec initialement une forte résistance, ont vu leur valeur de résistance chuter après le stockage en température. Cette diminution des valeurs de résistance est significative d'une amélioration de la qualité de collage. En effet, le traitement thermique basse température longue durée subi par ces puces a eu pour effet de permettre la fermeture d'interface non encore réalisée par le premier recuit.

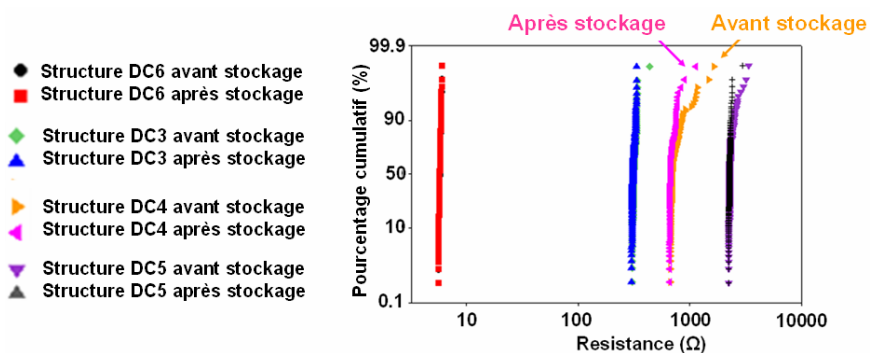


Figure III. 25 : Pourcentage cumulatif des résistances de plusieurs daisy chains avant et après stockage pendant 500h à 175°C. Aucune augmentation de résistance n'est observée montrant la très bonne tenue du collage sous contrainte thermique. Les puces initialement avec une forte résistance et donc une interface de collage plus résistive ont vu leurs résistances à l'interface de collage diminuées après stockage.

Si l'on prend l'exemple de la daisy chain DC4 sur la Figure III. 25, le stockage a diminué la résistance des puces initialement plus résistives que la moyenne. Cependant, il reste encore quelques puces avec une résistance légèrement plus grande que la moyenne. Il a donc été décidé d'ajouter sur cette même plaque un stress thermique supplémentaire de 500h à 175°C. Ce test a pour objectif de renforcer le résultat précédent qui annonce une bonne tenue sous contrainte des structures collées ayant vu un recuit de collage à seulement 200°C. Il a ainsi été démontré qu'aucune dégradation (et donc d'augmentation de la résistance) n'a été induite par ces 500 heures de stockage en température supplémentaires et que les puces encore résistives ont continué leur renforcement du collage diminuant ainsi la résistance globale de la structure (Figure III. 26).

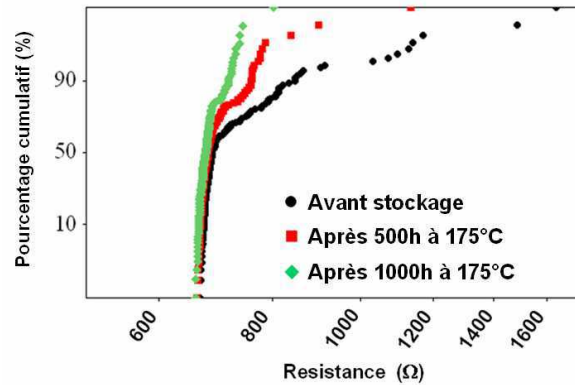


Figure III. 26 : Pourcentage cumulatif des résistances de la daisy chain DC4 avant et après 500 et 1000 heures de stockage à 175°C. Les valeurs de résistance de la structure diminuent avec la durée des tests diminuant ainsi la résistivité de l'interface de collage.

Ces résultats montrent que pour les recuits de collage à 200°C le durée de recuit peut être optimisée afin d'homogénéiser les valeurs de résistance sur tranche.

Tests en boîtiers :

Il s'agit dans ce cas de suivre l'évolution de la résistance pendant toute la durée de stockage en température. Les structures de test ont été découpées en puces puis montées en boîtier. Ces tests ont été réalisés sur des structures ayant vues des recuits de collage à 200°C et d'autres à 400°C.

La Figure III. 27 représente la variation relative de résistance pendant le stockage en température et ce sur des structures avec recuit de collage à 400°C. Deux températures de test ont été étudiées, 175 et 200°C. 30 puces ont été testées pour chaque température. La durée des tests a été de 2000h. On vise à aller jusqu'à la dégradation des structures (variation d'au moins 10% de la résistance) afin d'extraire des temps à la défaillance puis d'en déduire une énergie d'activation, à l'aide de l'équation de Black (Eq.II.16), correspondant au phénomène de détérioration produit. Cependant, les résultats obtenus sur la structure testée (daisy chain DC4) ne montrent aucune variation de résistance supérieure à 5%. Ainsi, comme pour les tests sur plaque à 175°C, les structures collées ayant vues un recuit de collage à 400°C ne subissent pas de dégradations significatives sous une contrainte thermique de 2000h à 200°C. Cela nous conforte dans la conclusion précédente qui montre la très bonne tenue de cette technologie.

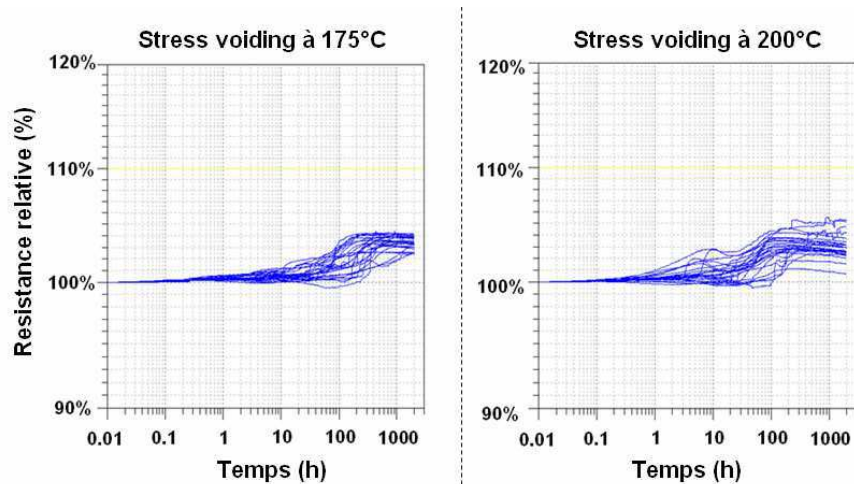


Figure III. 27 : Résistance relative de la daisy chain DC4, avec un recuit de collage à 400°C, pendant 2000h à 175°C (gauche) et 200°C (droite)

Un stockage à 175°C a également été réalisé sur une structure DC4 ayant vu un recuit de collage à 200°C pendant 500 heures. L'évolution de sa résistance ne montre pas d'augmentation supérieure à 1% durant toute la durée du stockage. De plus, les puces câblées et testées ne présentaient pas de forte résistance avant stockage, ce qui aurait permis de suivre la réduction de résistance observée sur les tests sur plaque. Ces résultats ne font que nous reconforter sur la bonne tenue mécanique et thermique des structures réalisées par collage direct.

III.2.2) Contrainte thermique et électrique (électromigration)

III.2.2.1) Test d'électromigration sur plaque

Dans un premier temps, l'objectif a été d'étudier le comportement, de structures collées et non collées, soumises aux tests d'électromigration. Le but est de déterminer et de comparer la nature des dégradations induites par les tests, sans se soucier dans un premier temps de l'extraction des paramètres de Black. C'est pour cela que des tests d'électromigration sur plaque (par effet Joule) ont été réalisés.

Recuits de collage à 400°C

Sachant que les structures collées et recuites à 400°C présentent le meilleur scellement de l'interface de collage et donc l'interface la moins résistive, il a été décidé de réaliser les premiers tests comparatifs sur ce type de collage.

Comportement en électromigration de lignes non collées

Afin de valider le bon comportement des structures NIST non collées, des tests d'électromigration à différentes températures ont été effectués sur les structures A2 et A3. Pour rappel, la différence entre ces deux structures se trouve au niveau de la localisation de la

ligne. En effet, dans la structure A2, la ligne de cuivre est réalisée sur la plaque du dessus, contrairement à la structure A3, où la ligne se situe sur la plaque du dessous. Un schéma descriptif des deux structures est donné en Figure III. 28. L'intégration avec vias dans l'oxyde est utilisée pour ces tests. Le silicium de la plaque du dessus a totalement été retiré de sorte à pouvoir observer les structures de test à travers l'oxyde.

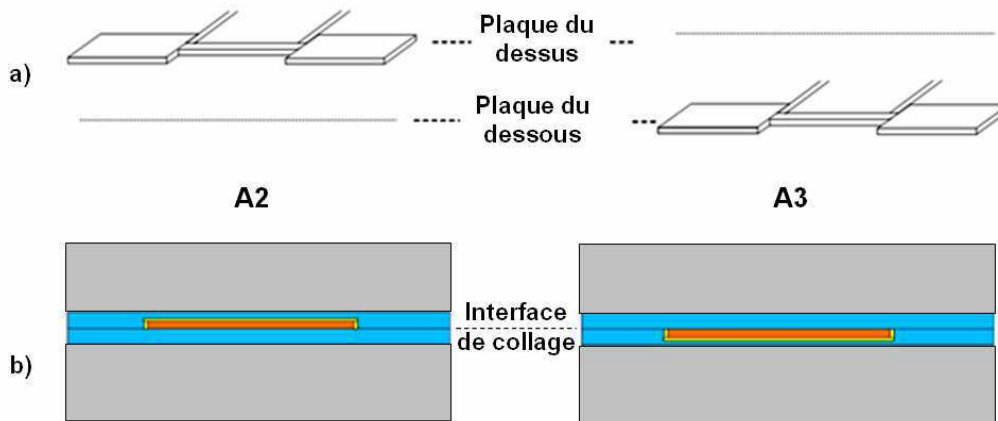


Figure III. 28 : a) Schéma descriptif et b) vue en coupe des deux structures NIST non collées A2 et A3. La différence d'empilement entre les deux se trouve au niveau de la localisation de la ligne de cuivre. Sur A2 la ligne est réalisée sur la plaque du dessus. Contrairement à A3 où la ligne est située sur la plaque de dessous

Une fois l'extraction du TCR ainsi que la résistance thermique des deux différentes structures il a été possible de déterminer la valeur de densité de courant nécessaire afin d'obtenir une température de ligne souhaitée. Les deux températures de test étudiées ont été 400 et 420°C et le TTF est déterminé pour une variation de 10% de la résistance.

Les distributions des temps à la défaillance des tests d'électromigration réalisées sur les deux configurations de lignes de cuivre sont présentées sur la Figure III. 29. Celles-ci semblent suivre une loi lognormale et sont tracées à l'aide d'une représentation de Henry.

Il apparaît d'après les résultats obtenus qu'un seul mécanisme de dégradation a été mis en évidence par les tests. En effet, une seule droite pour chaque test est obtenue et ce avec la même pente. Un écart type σ de 0.5 est obtenu pour les différents tests mettant en évidence un seul et même mécanisme de dégradation pour les deux structures et les deux températures de tests réalisées.

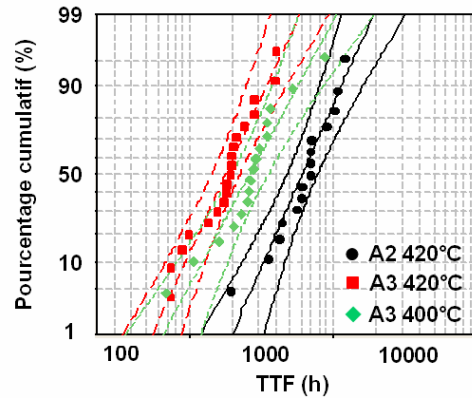


Figure III. 29 : Distribution de temps à la défaillance obtenue sur les deux NIST non collées (A2 et A3) aux deux températures de test étudiées (400 et 420°C). Une pente identique pour toutes les droites met en évidence un seul et même mécanisme de dégradation.

La différence entre ces distributions se trouve au niveau des temps moyens à la défaillance (MTF). Pour rappel, le MTF correspondent à la durée moyenne (durée obtenue pour 50% de la population testée) du test avant l'obtention d'une variation supérieure à 10% de la résistance.

Si l'on prend la structure A3, le MTF obtenu pour un test à 400°C est plus grand que celui obtenu pour un stress à 420°C. Cela montre que, sur une ligne de cuivre, une dégradation importante induisant une variation supérieure à 10% de la résistance est obtenue plus rapidement lorsque la ligne est testée à une température plus grande (dans notre cas 420°C). Ce phénomène est prévisible. En effet, plus la température désirée est grande, plus la densité de courant injectée doit l'être également. Il en résulte donc un stress plus important et donc un temps plus faible pour induire une dégradation. Ce raisonnement peut également être démontré mathématiquement par l'équation de Black suivante :

$$MTF = AJ^{-n} \exp\left(\frac{E_a}{kT}\right) \quad \text{Eq. III.6}$$

Où A est un coefficient de proportionnalité qui prend en compte les propriétés microstructurales de la ligne, J la densité de courant, n son exposant, E_a est l'énergie d'activation de diffusion du cuivre, k la constante de Boltzmann et T la température.

D'après l'équation ci-dessus, il est possible de noter que plus la température est grande, plus le MTF sera petit. Maintenant, si l'on compare entre elles les structures A3 et A2 ayant subi un test à la température de 420°C. Le MTF de la structure A3 est plus petit que celui de la structure A2. Les deux structures ont pourtant les mêmes dimensions et sont stressées à la même température. La seule différence se trouve au niveau de l'empilement de chacune, une fois l'amincissement de la plaque du dessus réalisé. Comme on peut le voir sur la Figure III. 30, la ligne de cuivre de la structure A3 se trouve à 300nm du silicium le plus proche

contrairement au 800nm que l'on retrouve entre le silicium et la structure A2. Cette distance entre la ligne de métal et le silicium est un paramètre important car elle détermine la résistance thermique de la ligne de cuivre testée. La dissipation thermique de la ligne chauffée se produit de cette dernière vers le silicium à travers l'oxyde. Plus la ligne sera éloignée du silicium, plus grande sera sa possibilité de dissiper sa chaleur causée par son échauffement par effet Joule et par conséquent, plus grande sera la densité de courant injectée afin d'atteindre la température désirée (420°C dans notre cas). C'est donc en raison de cette plus grande densité de courant injectée dans A3 que celle-ci présente un plus faible temps moyen à la défaillance.

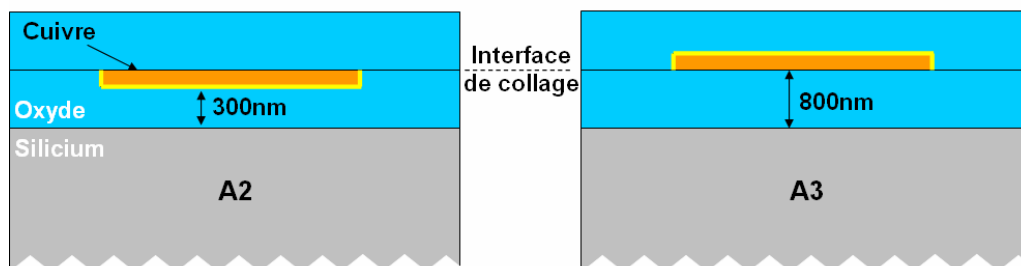


Figure III. 30 : Schéma descriptif de l'empilement se trouvant sur les structures A2 et A3 après enlèvement du silicium de la plaque du dessus

Comportement en électromigration des lignes collées

Après avoir vérifié le bon comportement des structures NIST non collées face aux tests d'électromigration, des structures collées ont été stressées. Afin de pouvoir comparer les deux structures, les mêmes conditions de test doivent être effectuées. Une température de test de 350°C a été fixée. Étant donné la grande épaisseur des NIST collées, une très forte densité de courant est nécessaire pour atteindre des températures supérieures à celle fixée ce qui mène à des effets de compliance en courant et donc une limite équipement. C'est donc pour cela qu'il n'a pas été possible de monter plus haut en température avec les tests sur plaque.

Les structures A1 et A2 ont été choisies. Afin d'obtenir une température de test de 350°C, un courant deux fois plus important a été injecté sur la structure collée. Celle-ci présentant deux fois l'épaisseur de la structure non collée, il en résulte une même densité de courant pour A1 et A2 pour obtenir la même température. Les distributions des temps à la défaillance pour chacune des structures sont illustrées en Figure III. 31. Le tracé de ces TTF selon la représentation de Henry montre une seule et même pente significative d'un seul et même mécanisme de dégradation, que ce soit pour la structure collée ou non collée. Ces résultats mettent en exergue que pour une température de test et une densité de courant identique des structures collées et non collées, le même temps médian à la défaillance est obtenu quelle que soit la structure. L'interface de collage impacte donc peu sur la dégradation induite par le test d'électromigration.

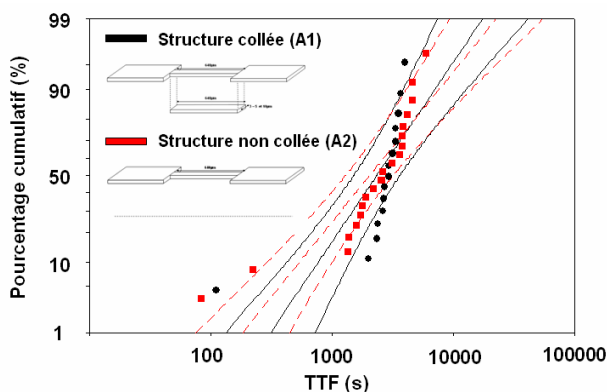


Figure III. 31 : Distributions des temps à la défaillance pour NIST collée et non collée obtenues après test sur plaque à 350°C

On retrouve dans les distributions des TTF de la Figure III. 31 trois puces (deux puces A2 et une A1) présentant une dégradation au bout d'une centaine de seconde à peine. Celles-ci sont éloignées du cœur de la population, il s'agit de défauts extrinsèques. Ces trois puces se sont avérées être situées en bord de plaque, là où une mauvaise qualité du cuivre des lignes du niveau RDL (de routage) a été remarquée. Après observation de ces puces, aucune dégradation n'a été observée sur les structures de test mais bien sur les lignes du niveau RDL.

L'analyse de l'évolution de la résistance durant les tests a montré que la valeur de la résistance est stable pendant un temps donné puis augmente brusquement, que ce soit pour les structures collées ou non collées. Il s'agit d'un phénomène d'emballement classique correspondant à un effet Joule accru au niveau du void en formation. C'est au moment de cette variation qu'est identifié le TTF car il s'agit d'une variation de plus de 10% de la résistance initiale. Une résistance infinie est caractéristique de la rupture de la ligne ce qui suggère qu'une grande cavité (void) s'est produite dans la structure testée générant une discontinuité électrique (open) de la ligne. Les observations optiques et électroniques permettent d'identifier la nature de cette dégradation.

Identification des dégradations induites durant les tests

Les tests d'électromigration sur plaque ont été réalisés sur un empilement utilisant une intégration du type via dans l'oxyde. Cette intégration permet de visualiser les structures de test à travers l'oxyde étant donné que le silicium de la plaque du dessus a été enlevé. Cela a permis donc de localiser et d'identifier les dégradations induites par les tests. En accord avec l'évolution abrupte de la résistance observé durant les tests, les images MEB sur les différentes structures A1 et A2 montrent toutes le même type de dégradation correspondant à une grande cavité créant une discontinuité dans la structure. De plus, cette cavité est systématiquement située au niveau de l'intersection entre la ligne de test et l'amenée de courant, comme on peut le voir sur la Figure III. 32, que ce soit pour une structure collée ou

non collée. La présence de l'interface de collage métallique n'est donc pas mise en jeu pour le mécanisme de dégradation induit par ces tests d'électromigration par effet Joule.

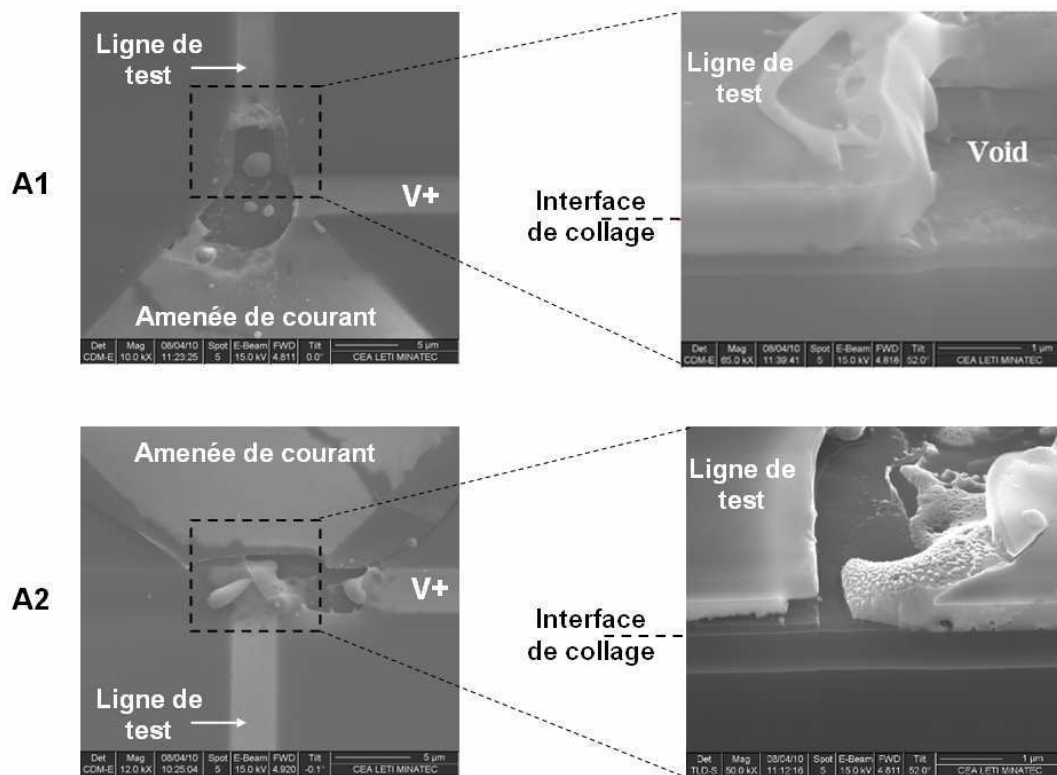


Figure III. 32 : Images MEB sur une structure collée (A1) et non collée (A2) au niveau de la dégradation induite par test d'électromigration. Le void est situé au niveau de l'intersection ligne de test et amenée de courant pour les deux structures indépendamment de l'interface de collage.

La localisation de cette dégradation est en rapport avec la discontinuité électrique et thermique qui se trouve à cette intersection où une différence de section entre la ligne de test et les larges amenées de courant est présente. Lors d'un échauffement par effet Joule, une différence du flux de matière apparaît à cette intersection. En effet, pour un même courant injecté, des accroissements de température différents vont être générés dans des segments de la structure suivant la section de ces derniers (Figure III. 33). Ainsi, un gradient de température peut s'établir entre deux segments de sections différentes, induisant ainsi une différence de diffusivité et donc de flux de matière [Ney2007].

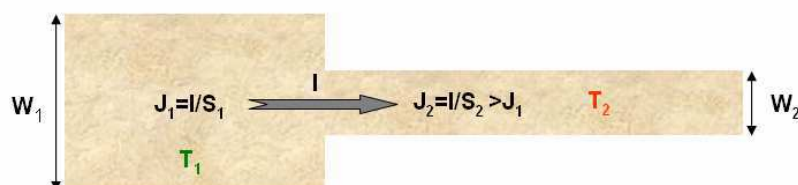


Figure III. 33 : Schéma décrivant la présence d'une discontinuité électrique et thermique à l'intersection de deux segments de sections différentes.

Des études précédentes ont montré que les dégradations par électromigration peuvent dépendre de la présence de gradient de température [Schwarzenberger1988, Federspiel2003] et que les points chauds sont des sites de dégradations privilégiés [Nguyen2004].

C'est donc ce gradient de température ainsi que la divergence du flux de matière au niveau de l'intersection ligne de test et amenée de courant qui est à l'origine des dégradations observées après les tests d'électromigration par effet Joule. La géométrie de la structure, même étant optimisée (diminution progressive de la section entre l'amenée de courant et la ligne), reste l'origine principale de la dégradation.

Cependant les tests en boîtier permettront de s'affranchir du gradient en température dans la structure l'échauffement ne se faisant plus par effet Joule mais thermiquement. L'interface de collage pourra alors, si celle-ci est une interface faible, impacter dans les mécanismes de dégradations engendrés par les tests.

III.2.2.2) Test d'électromigration en boîtier

Après intégration complète, les plaques sont découpées en puce de 2mm² puis câblées pour permettre la réalisation des tests d'électromigration en boîtier. Lors de ces tests, les puces sont sous étuve, pour permettre une homogénéisation de température sur toute la structure, puis sont stressées en courant. Cette configuration est idéale pour permettre l'étude du comportement en électromigration des structures collées. La première approche de l'étude est encore une fois une comparaison entre les structures NIST collées et non collées afin d'évaluer l'impact de l'interface de collage sur les mécanismes de dégradation.

NIST (collée et non collée) avec recuits de collage à 200°C

Etant donné les résultats précédents obtenus sur les structures ayant subies un recuit de collage à 400°C au niveau de leur tenue sous contrainte thermique, et la très faible résistivité extraite à l'interface, il a été décidé d'étudier principalement les structures collées et recuites à 200°C. Celles-ci sont plus susceptibles d'être sensibles aux mécanismes de dégradation lors des tests d'électromigration. En effet, une interface plus résistive même si celle-ci reste néanmoins faible, a été mesurée, avec la présence de plusieurs cavités à l'interface de collage (Figure III. 1).

Détermination des temps à la défaillance

Les structures A1 (collées) et A2 (non collées) ont été choisies pour ces tests. Des différences au niveau des paramètres de stress ont été réalisées. On retrouve deux températures de test, 325 et 350°C, et deux densités de courant de stress, 3 et 3,5MA/cm². Les courants de test sont différents suivant les structures de sorte à avoir la même densité pour permettre la comparaison. La Figure III. 34 représente les distributions des TTF obtenues à 10% de variation de la résistance lors des différents tests pour la structure collée A1. Les courbes linéaires obtenues en représentation d'Henry semblent montrer un seul mécanisme de

dégradation pour les différentes conditions de test. Les sigma (pente) quasi identiques de l'ordre de 0,7 pour chaque condition suggèrent qu'il s'agit du même mécanisme quel que soit le stress.

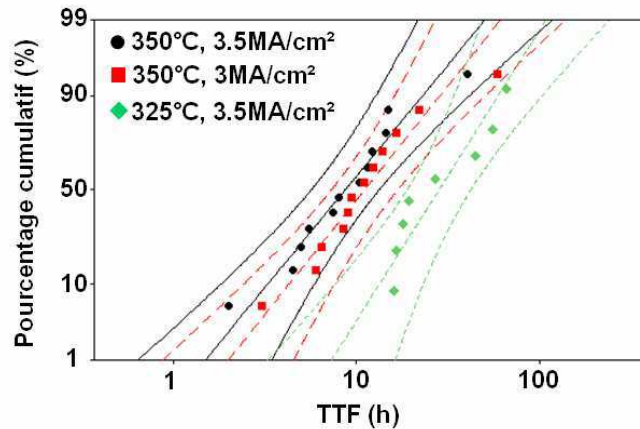


Figure III. 34 : Distribution des TTF pour les trois conditions de test d'électromigration sur la structure collée A1. Les différentes conditions de tests (température et densité de courant) sont illustrées sur la figure.

La différence des temps à la défaillance obtenue pour les trois conditions est cohérente. Si l'on prend les deux tests à 350°C, la condition la plus stressante (densité de courant = 3,5MA/cm²) est celle qui présente un temps de test plus court et donc un MTF plus petit que le test avec une plus faible densité de courant (3MA/cm²). Les temps à la défaillance de ces deux conditions restent néanmoins proches, cela est peut être dû à la faible différence de densité de courant qui est de 0,5MA/cm². De la même façon, pour une densité de courant fixe de 3,5MA/cm², les puces ayant été soumises à une plus forte température (350°C) ont été les plus tressées et ont donc une durée de test plus courte.

Il est important de noter que d'après l'équation de Black (Eq. III.6), les vitesses de dégradations sont plus fortement impactées par la température que par la densité de courant. C'est pour cela que la condition présentant une faible température et un fort courant (courbe verte sur la Figure III. 34) montre un plus grand temps à la défaillance.

Les conditions de stress à la température de 350°C ont également été utilisées sur la structure non collée A2. La Figure III. 35 représente les distributions des TTF pour cette structure. On observe, comme pour la structure collée, un seul et même mécanisme de dégradation pour les deux conditions avec un temps médian à la défaillance plus petit pour la condition la plus stressante. Une pente légèrement différente de celle observée sur la structure collée est extraite, de l'ordre de 0,5. Cette faible différence ne signifie pas forcément qu'il s'agit d'un autre mécanisme de dégradation. Cependant, une forte différence est observée au niveau des temps à la défaillance. Pour les mêmes conditions de stress sur les deux structures, on retrouve un temps de défaillance plus court sur les structures collées que sur celles non collées. La raison pour laquelle les structures collées présentent de plus faibles durées

aux conditions de test comparativement aux structures non collées sera décrite ultérieurement, après avoir identifié l'origine des dégradations.

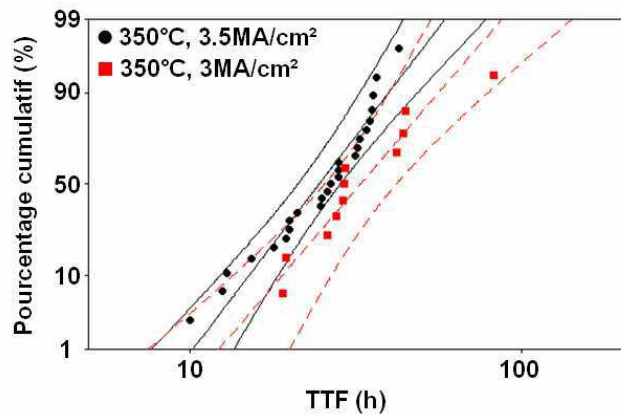


Figure III. 35 : Distribution des TTF pour deux conditions de test d'électromigration sur la structure non collée A2. Les différentes conditions de tests (température et densité de courant) sont illustrées sur la figure.

Afin de mieux comparer le comportement de deux structures de test, d'avantage d'informations sont nécessaires. Notamment, l'identification des dégradations induites par les tests d'électromigration.

Analyse des mécanismes de défaillance

Comme décrit au chapitre II, plusieurs analyses sont réalisées afin d'identifier au mieux le type et la nature des dégradations produites lors des tests d'électromigration.

Evolution de la résistance durant les tests

D'abord, on s'intéresse à l'évolution de la résistance des structures au cours des différents stress. Il a été observé quelle que soit la structure (A1 ou A2) une évolution identique de la résistance. La Figure III. 36 illustre quelques exemples de courbe $R(t)$ montrant une première phase où la résistance reste inchangée suivi d'une augmentation abrupte de cette dernière. Cette signature est différente de celle observée pour les ligne de cuivre classiques avec un saut de résistance suivit d'une augmentation constante de la résistance. On s'attend donc à un mécanisme différent [Doyen2009].

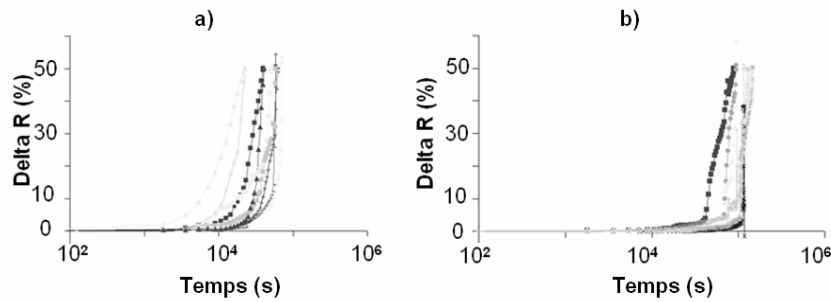


Figure III. 36 : Courbes d'évolution de la résistance pendant les tests d'électromigration pour les NIST collées (a) et non collées (b). La première partie de la courbe est caractérisée par une résistance stable suivie d'une augmentation de celle-ci après un temps déterminé (plus court sur les structures collées)

Analyse par microscopie infra rouge et OBIRCH

Les résultats statistiques précédents (temps à la défaillance, évolution de la résistance durant les tests) confirment l'existence d'un seul mécanisme de défaillance. La suite de l'analyse de ce mécanisme de défaillance consiste à caractériser morphologiquement les dégradations engendrées. La structure collée étant localisée sous 50 μ m de silicium. La localisation des dégradations ainsi que leur visualisation se font par OBIRCH et par microscopie infrarouge (cf. paragraphe II.1.5).

La majorité des puces présentent des voids au niveau des lignes de tests (A1 et A2). Ils sont localisés de manière aléatoire le long de la ligne. Un exemple d'observation est donné en Figure III. 37. Etant donné la largeur des lignes de 3 μ m, il est difficile d'obtenir une meilleure résolution d'image étant donné la résolution du microscope et la présence de différentes couches au dessus de la structure (silicium et BCB).

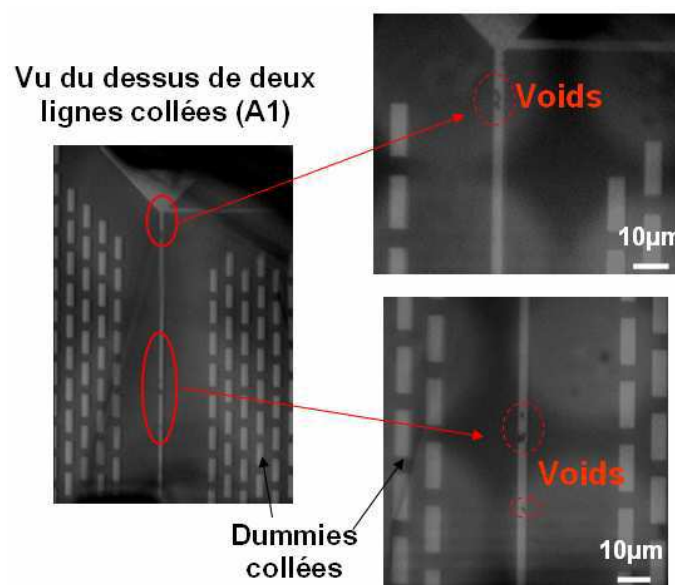


Figure III. 37 : Observation par microscopie infrarouge d'une structure A1 (vue du dessus) après test d'électromigration. Des voids (cavités) apparaissent le long de la structure de test

Dans quelques cas, que ce soit pour A1 ou A2, associé aux vides un autre type de dégradation sur la ligne est observé, il s'agit d'une extrusion de cuivre comme illustrée sur la Figure III. 38. Ces deux types de dégradation sont couramment observés après un test d'électromigration. Ils résultent d'un effet de confinement dans la ligne. Comme décrit dans le paragraphe II.1.4.1, un gradient de concentration atomique peut être présent dans une ligne de dimension finie. En effet, la divergence du flux de matière aux extrémités de la ligne va engendrer une désertion de matière du côté de l'anode (et donc formation de cavité). Celle-ci sera accompagnée d'une accumulation de la matière du côté de la cathode. On retrouve donc un comportement identique quelle que soit la structure testée. Cette variation de concentration atomique induit une variation de contrainte mécanique. L'état de compression au niveau de l'anode (dû à l'accumulation de matière) provoque l'extrusion du cuivre. De l'autre côté, une tension à la cathode est causée par la désertion du cuivre à cette extrémité et va jusqu'à former une cavité dans la ligne.

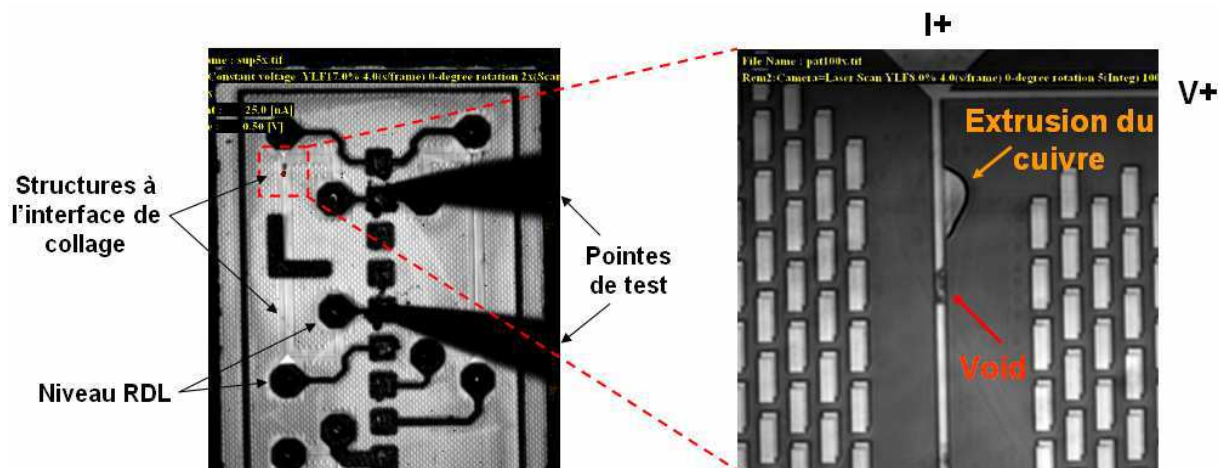


Figure III. 38 : Observation en infrarouge lors d'une mesure par OBIRCH d'une structure collée présentant un void du côté de la cathode et une extrusion du cuivre du côté de l'anode.

L'identification de l'extrusion ainsi que la nature du void a été réalisée à l'aide d'observation MEB effectuées après coupe par bombardement ionique au niveau de ces dégradations.

Observation par microscopie électronique à balayage

Des coupes FIB séquentielles ont été réalisées le long d'une cavité, chacune d'entre elle a été suivie par une observation au microscope électronique à balayage. Le but de cette analyse a été de déterminer la forme et la nature de cette dégradation. Quelques successions d'images sont représentées en Figure III. 39.

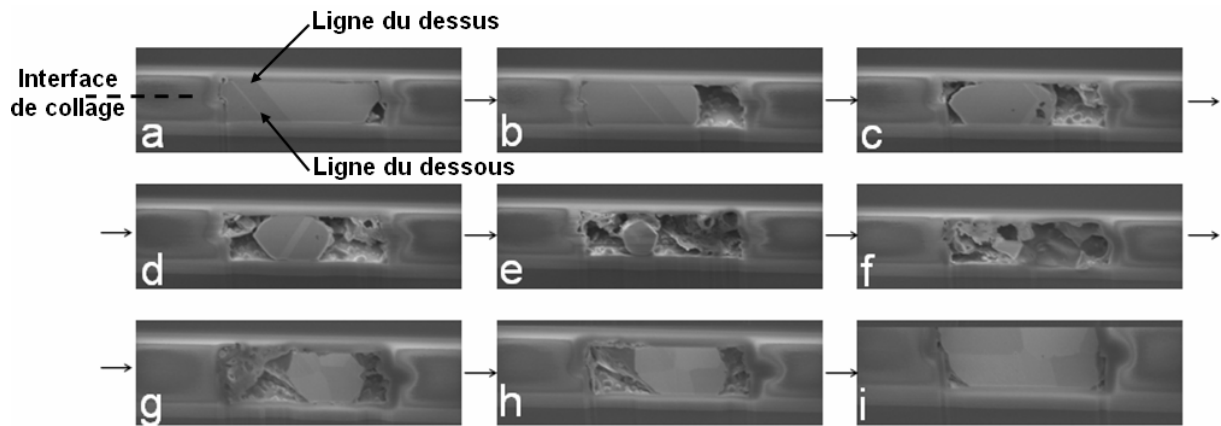


Figure III. 39 : Coupe FIB et observations MEB successives le long d'une cavité dans une structure collée (A1) après test d'électromigration. (la largeur des lignes de test est de $3\mu\text{m}$)

L'image a de la Figure III. 39 correspond à une coupe FIB réalisée au début de la cavité (void). Les images b,c,d...i ont été prises successivement après plusieurs coupes réalisées tout en avançant dans la cavité. C'est-à-dire, les images a et i représentent les deux extrémités de la cavité analysée. Il apparaît d'après les observations que la nucléation de cette cavité se fait par les bords des lignes de test. En effet, lors des coupes successives, la première apparition de la cavité est située sur un des cotés latéral de la ligne (image a), au niveau de l'interface entre le cuivre et sa barrière métallique (TiN). Plus l'on avance dans la cavité plus celle-ci augmente sa taille partant des deux cotés latéraux détruisant les grains de cuivre en bords (images a à d). Les lignes sont ainsi consommées latéralement jusqu'à laisser un seul et gros grain en centre de ligne et occupant toute l'épaisseur des deux lignes collées (image e). Ce grain agissant comme un seul est même bloc de matériau est le plus difficile à détruire. Une fois arrivé au niveau de la rupture totale de la ligne (image f), les coupes FIB s'enchaînent et l'on retrouve une morphologie identique et inversée de la forme de la cavité observé jusque là. C'est-à-dire de gros grains de cuivre au centre qui augmentent de taille latéralement, avec l'avancement dans la cavité, jusqu'au remplissage de toute la ligne (images g, h et i). Cette succession d'images MEB a permis une reconstruction 3D de la cavité dans les deux lignes collées, (Figure III. 40.)

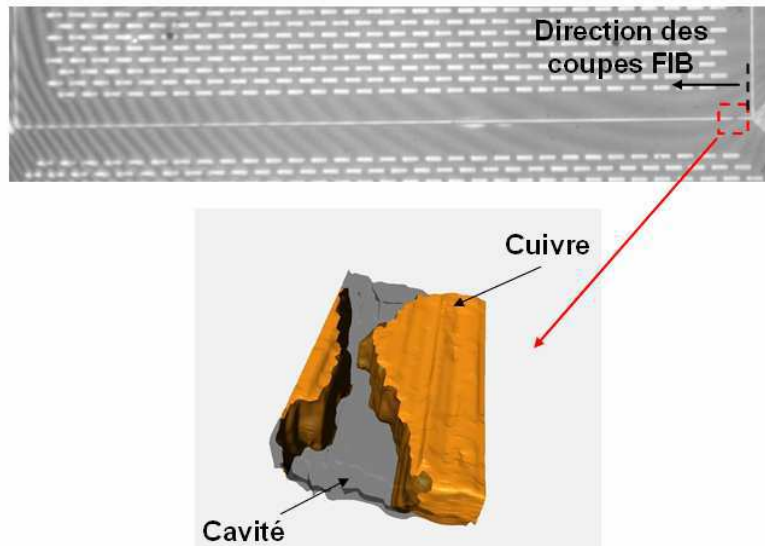


Figure III. 40 : Reconstruction 3D, réalisée à partir des images MEB successives, de la forme de la cavité produite dans la structure testée (A1).

Les différentes images de la Figure III. 39 ne montrent pas de cavité au niveau de l'interface de collage. Au contraire, on observe une microstructure analogue à celle observée lors de recuits à 400°C. On peut donc imaginer une amélioration de l'interface de collage et ce à l'aide du traitement thermique utilisé lors des tests ainsi que la durée de ces derniers. En effet, lors des tests d'électromigration, les structures ont été stressées pendant plusieurs dizaines d'heures à des températures de 325 et 350°C. Ces températures avaient pour but de dégrader les lignes en activant les phénomènes d'électromigration, mais ont eu également un impact positif sur la qualité de l'interface de collage et ce en jouant le rôle d'un recuit de collage renforçant la qualité de ce dernier.

Etant donné la qualité de l'interface de collage obtenue, sur ces structures collées, ainsi que le manque de présence de cavités à son niveau, il est possible d'en déduire que cette interface ne semble pas être le chemin prédominant de diffusion des lacunes. La nucléation des cavités se produit à partir de l'interface cuivre - barrière métallique (TiN). Cette interface a montré auparavant (paragraphe III. 1.1.2) une faible adhésion entre le cuivre et le nitrure de titane. Des cavités apparaissent dès la montée en température des lignes collées au dessus de 300°C (Figure III. 3).

A partir de cette conclusion, il serait possible d'expliquer la différence entre les temps médian à la défaillance obtenus sur les structures A1 et A2. Les tests précédents ont montré un comportement moins endurant (des durées de test plus courtes) pour les structures collées que celles obtenues pour les structures non collées. Cela peut s'expliquer, brièvement, par la présence d'une plus grande aire de contact Cu-TiN dans les structures collées (Figure III. 41). Sachant que cette interface est le chemin dominant pour les dégradations induites par les phénomènes d'électromigration, la structure A1 constituée de deux lignes métalliques

recouvertes de TiN présente une plus grande surface de sites privilégiés aux dégradations et donc aura une plus grande vitesse de dégradation.

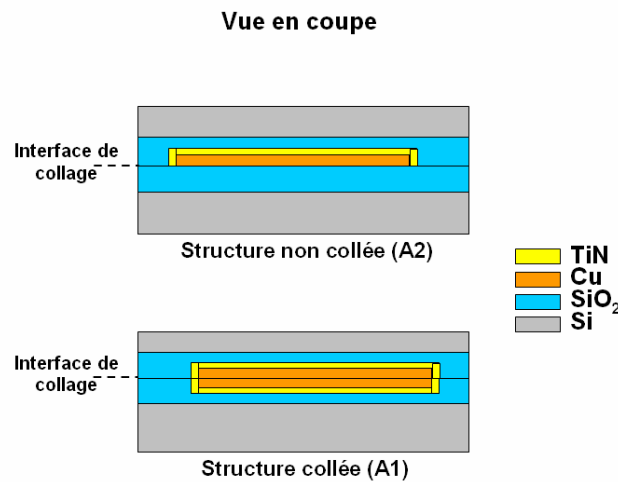


Figure III. 41 : Vue en coupe des structures A1 et A2 mettant en évidence une plus grande surface du cuivre en contact avec le TiN sur la structure collée (A1) que celle non collée (A2)

Des coupes FIB suivies d'observations MEB ont été réalisées sur les zones présentant une extrusion du cuivre après un test d'électromigration, Figure III. 42. Cette accumulation de cuivre va engendrer une dilatation verticale des lignes métalliques tirant sur l'interface oxyde-oxyde avoisinante, fragilisant cette dernière et permettant au cuivre en surplus d'extruder à cette interface.

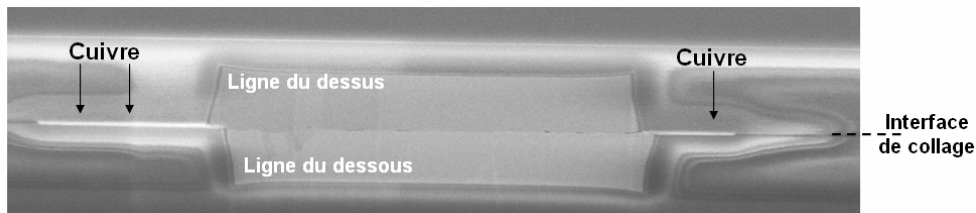


Figure III. 42 : Image MEB de deux lignes collées présentant une extrusion du cuivre après test d'électromigration. L'accumulation du cuivre à cet endroit le fait extruder au niveau de l'interface de collage oxyde – oxyde.

La légère différence de pente obtenue des distributions des TTF entre les deux structures peut être due au faible nombre de puces testées par condition (en moyenne seulement une douzaine de puces est testées par conditions). Quelques puces présentent des dégradations dans le niveau RDL, il s'agit de mécanismes de défaillance extrinsèques qui modifient les distributions et par la même occasion la valeur de déviation standard extraite. En effet, les dégradations peuvent être localisées sur les amenées de courant de la structure. Même si les mesures Kelvin des structures NIST sont prises au niveau de l'interface de collage de sorte à s'affranchir des résistances des lignes du niveau RDL. Ce dernier transporte

le courant et donc si une cavité se crée à son niveau provoquant une rupture dans la ligne, cela va causer une mesure de résistance infinie que l'on pourrait penser être due à une dégradation de la structure de test. Des mesures OBIRCH et observation infrarouge ont mis en évidence sur quelques puces des dégradations au niveau des lignes de cuivre du niveau RDL (Figure III. 43). Celles identifiées ont été retirées des distributions, ce qui a diminué le nombre de puces au final. Ces dégradations peuvent être causées par deux paramètres. Le premier est la qualité du cuivre de ce niveau qui est beaucoup moins bonne et stable que l'est celle des niveaux des lignes de test. Le deuxième est la contrainte apportée par le polymère BCB encapsulant ces lignes de métal. En effet, les tests atteignent des températures de 350°C, température à laquelle le BCB se dégrade en quelques heures. Ce dernier est dans un état de compression important jusqu'à se fissurer (Figure III. 43) et peut arracher un morceau de ligne de cuivre fragilisée par la présence de plusieurs cavités à l'intérieur.

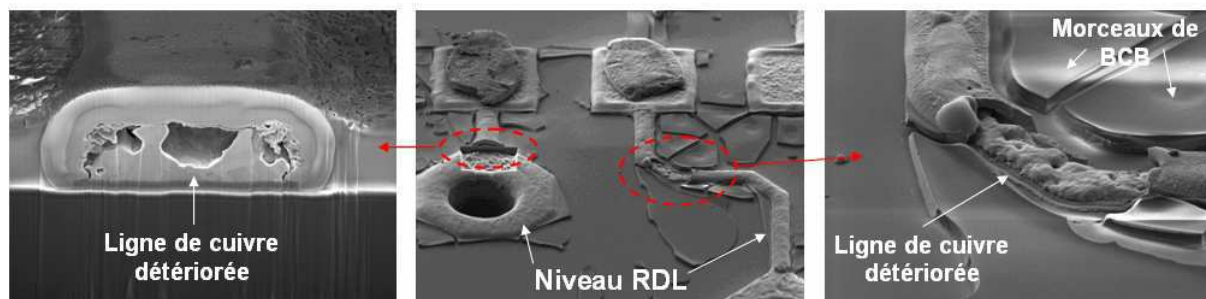


Figure III. 43 : Observations MEB de dégradations des lignes métalliques du niveau RDL pouvant générer une rupture de la ligne et fausser l'extraction des TTF lors des tests d'électromigration

Conclusion

L'étude comparative entre structure collée (avec recuit de collage à 200°) et non collée et l'investigation des mécanismes et de la nature des dégradations induites lors des tests d'électromigration montrent que l'interface de collage métallique cuivre-cuivre n'est pas le chemin prédominant pour les phénomènes d'électromigration. Il apparaît que l'interface Cu-TiN soit l'interface privilégiée pour les dégradations. Cela reste encore à valider, notamment par des tests d'électromigration sur des structures avec différentes largeurs de ligne ou encore ayant une autre barrière métallique (exemple du TaN/Ta) qui présente une meilleure adhésion avec le cuivre.

Dans les réseaux d'interconnexions métalliques classiques du backend, les différents travaux déjà réalisés montrent que le chemin dominant est l'interface de la ligne de cuivre avec le diélectrique SiCN [Hu1999, Ogawa2002, Chang2002, Zszech2003] et non avec l'interface avec sa barrière métallique. Il n'est pas évident de comparer ce type d'interconnexion avec celles réalisées par collage direct vu les différences au niveau de l'empilement, notamment l'environnement de la structure de test, et la nature des matériaux en présence. Dans notre cas, le diélectrique est un oxyde de silicium SiO₂ et non le SiCN et

pour ce qui est de la barrière métallique le TaN/Ta est remplacé par le TiN. Toutes ces différences sont autant de raisons pour lesquelles le mécanisme de dégradation n'est pas comparable à celui obtenu dans les structures collées.

Il sera également intéressant de voir si l'utilisation d'une barrière TaN/Ta, qui présente une forte adhésion avec les lignes des cuivre, ne va pas faire apparaître un nouveau chemin privilégié à la diffusion de lacune tel l'interface cuivre-oxyde ou même l'interface de collage cuivre-cuivre.

Cependant, même si l'étude a été réalisée sur des structures collées ayant subies un recuit de collage à 200°C, ces dernières ont été amenées à des températures de l'ordre de 325-350°C pendant les tests. Ce qui a permis un renforcement de l'interface de collage. Il serait donc préférable de conclure sur le fait qu'une interface de collage métallique recuite à 325°C est suffisamment forte pour ne pas être le chemin prédominant pour les phénomènes d'électromigration.

Afin de caractériser le véritable impact d'une interface de collage recuite à seulement 200°C, il est nécessaire de réaliser des tests d'électromigration avec des températures de tests n'excédant pas les 200°C. Cela demanderait alors une durée de test de plusieurs mois ce qui n'a pas pu être possible.

Daisy chain avec recuit de collage à 200°C

Une autre approche du comportement en électromigration des structures collées est d'étudier une structure type daisy chain. Celle-ci permet de stresser la structure forçant le courant à passer plusieurs fois à travers l'interface de collage avec de faibles aires collées de 3x3µm². La daisy chain DC6 a été choisie pour cette étude (cf. paragraphe II.1.1.2). Après découpe et câblage de cette dernière, des tests en boîtier ont été effectués identiques à ceux réalisés sur les NIST A1 et A2.

Détermination des temps à la défaillance

Les distributions des temps à la défaillance mettent en évidence encore une fois un seul mécanisme de dégradation pour les différentes conditions de test (Figure III. 44) avec des déviations standard de 0.5 à 0.6. Cet écart ne semble pas être significatif étant donné le nombre de puces testées par condition.

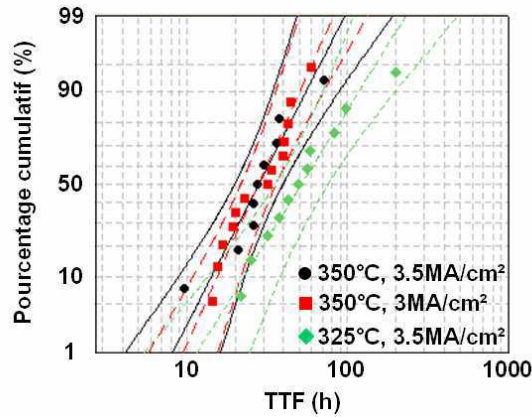


Figure III. 44 : Distribution des TTF pour différentes conditions de test d'électromigration sur la daisy chain DC6. Les différentes conditions de tests (température et densité de courant au niveau des zones non collées) sont illustrées sur la figure. Les densités de courant sur les zones collées sont de moitié étant donné que l'épaisseur en ces zones est deux fois plus grande.

Les deux tests à la même température de 350°C diffèrent par la densité de courant appliquée. Cette différence est de 0.5MA/cm² pour les zones non collées et 0.25MA/cm² pour les zones collées. Cela mène à de faibles variations de stress électrique, d'où des durées de tests quasi identiques pour ces deux conditions. Il en était de même pour les structures NIST A1 et A2. Celle-ci était moins prononcée mais les valeurs de MTF obtenues étaient assez proches.

Identification des mécanismes de défaillance

L'analyse infrarouge des puces testées a confirmé la présence d'un seul type de dégradation sur toute les daisy chains testées. Il s'agit de cavités situées au niveau des lignes de la structure, comme illustré en Figure III. 45. Ces dégradations sont identiques à celles observées sur les NIST A1 et A2. Ces cavités sont situées, encore une fois, aléatoirement par rapport à la structure et donc indépendamment des zones collées.

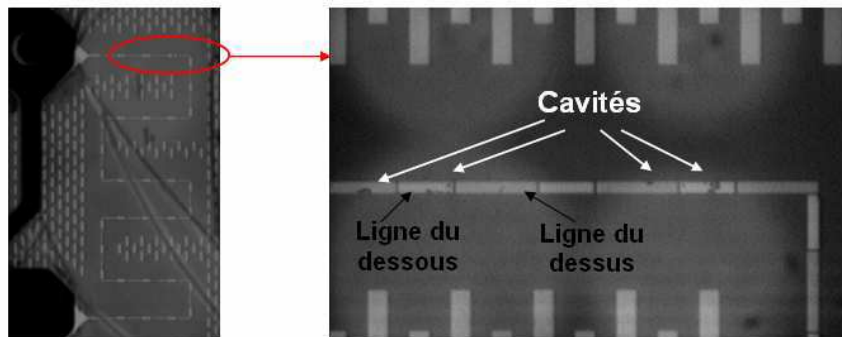


Figure III. 45 : Observation par infrarouge, à travers l'empilement, mettant en évidence des cavités le long de la daisy chain après un test d'électromigration.

De manière identique aux NIST, quelques daisy chains présentent, en plus des cavités, une extrusion du cuivre comme on peut le voir sur la Figure III. 46. La localisation de ces dégradations quant à elle est très intéressante. En effet, les deux types de dégradations (cavités et extrusion) sont situés à chaque bout de la daisy chain. Cela prouve l'existence d'un gradient de concentration (et donc de contrainte) sur toute la structure, sans discontinuité entre les lignes. C'est-à-dire que l'ensemble des lignes qui se chevauchent agissent comme étant un seul matériau continu sans présence d'interface au niveau des zones collées.

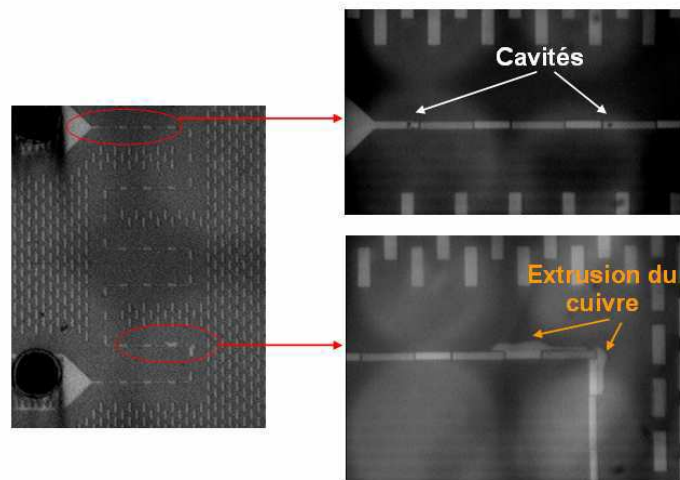


Figure III. 46 : Observation par infrarouge, à travers l'empilement, mettant en évidence des cavités et une extrusion du cuivre de chaque côté de la daisy chain après un test d'électromigration. Cela est significatif de la présence d'un gradient de contrainte sur toute la structure sans discontinuité entre les différentes lignes

Ce résultat est très différent de ce qui est observé sur une interconnexion de cuivre classique. Dans cette dernière, chaque ligne est séparée de sa voisine par un via dans lequel se trouve en son fond une barrière métallique. Cette barrière crée une discontinuité du flux de matière de chaque côté d'une ligne la rendant ainsi indépendante des autres. Il en résulte un gradient de contrainte dans chaque ligne du réseau d'interconnexion comme on peut le voir sur la Figure III. 47.a. Dans ce cas, la présence de cavité et d'extrusion de cuivre ne peut se produire que dans une seule et même ligne.

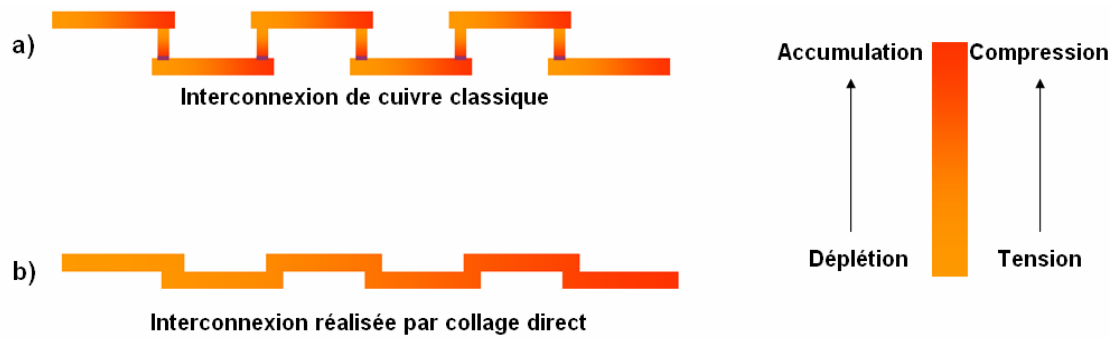


Figure III. 47 : Représentation du gradient de concentration et de contrainte dans a) une interconnexion de cuivre classique et dans b) une interconnexion réalisée par collage direct

Conclusion

Dans le cas de la daisy chain où les lignes métalliques s'interconnectent par procédé de collage direct, celle-ci présente un gradient de contrainte sur toute la structure comme si aucune interface n'était présente entre les différentes lignes et que l'ensemble est représenté par un seul matériau continu (Figure III. 47.b).

De plus, les dégradations observées après test d'électromigration sont identiques à celles obtenues sur A1 et A2 et leur localisation est indépendante des zones collées. Ces différentes observations montrent que la présence d'une interface de collage métallique réalisée à 200°C est négligeable électriquement et ne présente pas de site privilégié pour les phénomènes d'électromigration.

Daisy chain avec recuit de collage à 400°C

Des tests d'électromigration ont été également réalisés sur des daisy chains ayant subies un recuit de collage à 400°C. Comme il est possible de le voir sur la Figure III. 48, un seul mécanisme de dégradation a été déterminé pour toutes les conditions (pente de 0.7 pour la première condition et de 0.5 pour les deux dernières). Les observations par infrarouge ont montré, sans différence par rapport aux conditions de stress, une grosse cavité au début de la daisy chain (coté cathodique). Une grande partie des puces testées présentent, en plus de cette cavité, une extrusion du cuivre. Celle-ci est souvent située de l'autre coté de la daisy chain mais peut également être localisé en plein milieu de la structure globale. Cette dernière configuration pourrait identifier la présence d'une interconnexion légèrement résistive située au centre de la structure créant ainsi une discontinuité à ce niveau, d'où l'accumulation de matière juste avant.

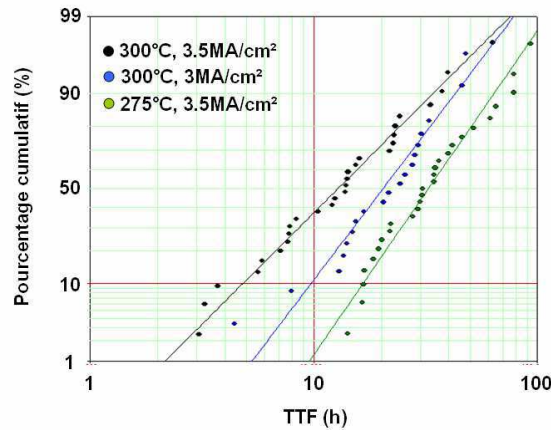


Figure III. 48 : Distribution des TTF pour différentes conditions de test d'électromigration sur la daisy chain DC6. Les différentes conditions de tests (température et densité de courant au niveau des zones non collées) sont illustrées sur la figure. Ne pas oublier que les zones collées ont une épaisseur double donc les densités de courant sur les zones collées sont diminuées de moitié

Plusieurs puces ont pu être câblées ce qui a permis d'extraire les paramètres de Black. Il en résulte une énergie d'activation de 1.01eV et un facteur n de 2.9. Ce dernier est plus élevé que ce que l'on retrouve habituellement sur les interconnexions classique ($n \sim 1$). On peut penser qu'un éventuel effet Joule a pu avoir lieu lors des tests et expliquerait également la localisation de la cavité près de l'amenée de courant contrairement aux précédents tests qui montrait une localisation aléatoire des cavités sur toute la structure.

Il a également été possible d'extraire une durée de vie d'une telle structure réalisée par collage direct. Bien entendu, cette extrapolation aux conditions de fonctionnement normal est faite à partir de ces paramètres de Black et donc avec une grande valeur de n qui peut être faussée. Cette extrapolation est donc à prendre avec précaution.

En utilisant donc l'équation de Black décrite précédemment (Eq.III.6), il est possible de prédire que pour un fonctionnement à 125°C pendant 10 ans la structure peut accepter un courant de 20mA. C'est-à-dire une densité maximum de courant de fonctionnement de 1.9MA/cm² sur les zones non collées et de 0.95MA/cm² sur les zones collées. Ces valeurs de densité de courant étant très élevées par rapport aux densités de fonctionnement habituelles, cela voudrait dire que soit la daisy chain permet un fonctionnement supérieur à 10ans soit que l'extrapolation est faussée par une erreur au niveau des paramètres de Black (notamment n). Des tests supplémentaires sont à prévoir.

Conclusion

L'objectif principal de la thèse a été d'étudier le comportement électrique ainsi que la fiabilité des interconnexions métalliques réalisées par procédé de collage direct.

Pour réaliser cette étude il a d'abord fallu concevoir un démonstrateur permettant d'embarquer des structures de tests puis de les intégrer dans une architecture fiable permettant la mise en boîtier de puces pour la réalisation des différents tests de fiabilité. Un suivi continu de la réalisation de ce démonstrateur a été effectué tout au long de cette thèse afin de comprendre et d'améliorer chaque étape nécessaire à l'élaboration de ce dernier.

On retrouve dans le chapitre II la description des structures de tests adaptées en trois dimensions ainsi que les règles de dessins établies à partir des pré-requis sur le procédé de collage, la préparation de surface ainsi que les mécanismes mis en jeu lors de sa réalisation. La description de l'intégration choisie pour la reprise de contact après collage y est également décrite.

Une fois l'intégration achevée, il a été possible de caractériser électriquement les différentes structures, travaux décrits dans le chapitre III. La stratégie adoptée pour évaluer l'impact de l'interface de collage a été de comparer des structures comportant des lignes de métal sur une seule plaque et donc sans présence d'interface de collage métallique, avec des structures comportant deux lignes collées. Les différentes mesures électriques réalisées ont montré un facteur 1/2 entre les valeurs de résistance d'une ligne simple et celle de deux lignes collées, et ce, même si le courant n'est pas forcé de traverser l'interface de collage. Cela montre que le courant traverse de lui-même la totalité des deux lignes collées, comme si celle-ci représentait une seule et même ligne deux fois plus épaisse (sans présence d'interface de collage). Ce résultat souligne le très faible impact de la résistance à l'interface de collage pour des collages ayant subi un recuit supérieur ou égale à 200°C. Les différentes structures daisy chain ont permis l'extraction de résistance spécifique de contact, sur des aires collées de $3 \times 3 \mu\text{m}^2$, de l'ordre de 22,5 et $52,5 \text{ m}\Omega \cdot \mu\text{m}^2$ pour des collages avec recuit à 400 et 200°C respectivement montrant ainsi la correspondance avec l'évolution de l'interface de collage en fonction de la température de recuit. Ces faibles valeurs de résistance restent néanmoins inférieures à celles observées pour les autres interfaces électriques présentes dans une structure 3D plus globale.

Une fois la validation du bon contact électrique et de la faible résistivité de l'interface, les différentes structures ont été assujetties à plusieurs stress thermiques au travers des tests de vieillissement accélérés tels du stress voiding et des tests de cyclage thermique. Il n'a été observé aucune dégradation de ces structures que ce soit après 1000 cycles allant de -65°C à +150°C ou alors après 2000 heures de stockage en température à 200°C. Ces observations sont représentatives de la bonne tenue mécanique et électrique des différentes structures sous

les différentes contraintes thermiques appliquées. En effet, aucune délamination au niveau de l'interface de collage n'as été observé après cyclage thermique et ce malgré les différents coefficients thermiques des matériaux en présence (cuivre et oxyde). De la même façon, les longs stockages sous étuve aux températures d'activation des cavités dans les lignes de cuivre n'ont engendré aucune dégradation dès lors où les structures avaient été préalablement recuites à des températures supérieures ou égales à 200°C.

Il a également été possible d'adresser des premiers tests d'électromigration sur les différentes structures. La comparaison entre les lignes unitaires et celles collées n'ont montré aucune différence au niveau du mécanisme de dégradation produit lors des tests. Les observations morphologiques en infra rouge et par mesure OBIRCH ont permis de localiser et d'identifier la nature de ces dégradations. Il s'agit généralement de cavités au niveau des lignes de test, quelquefois suivi par un phénomène d'extrusion du cuivre. Ce comportement est dû à un effet de confinement dans les lignes (que ce soit avec ou sans présence d'interface de collage métallique). Il résulte d'un gradient de concentration produit par l'accumulation de matière du coté anodique, provoquant l'extrusion du cuivre, suivi d'une déplétion du coté opposé de la ligne allant jusqu'à formation de cavité et rupture de la ligne. Les différentes analyses et observation MEB réalisées sur les cavités ne montrent aucune cavité au niveau de l'interface de collage. Celles-ci semblent croître à partir de l'interface entre la ligne de cuivre et sa barrière métallique. Cette interface présente, après collage et recuit à des température supérieures à 300°C, plusieurs cavités résultant probablement d'une relaxation des lignes de cuivre collées et contraintes lors de la redescente en température. En effet, les lignes de cuivre collées renforcent leur adhésion au niveau de l'interface de collage après une montée en température générant ainsi une diffusion de cuivre à travers l'interface et formation de joints triples. Puis la structure collée se retrouve soumise à une contrainte perpendiculaire aux lignes et non homogène, tirant sur ces dernière jusqu'à générer des cavités au niveau de l'interface la plus faible dans notre empilement qui est l'interface avec la barrière métallique TiN. Ces cavités se produisent généralement au niveau des coins des lignes, là où la contrainte est maximale. C'est pour cela que lors des tests d'électromigration sur les structures collées, l'interface Cu-TiN apparaît comme étant le chemin privilégié à la diffusion de lacune et non l'interface de collage métallique Cu-Cu.

Concernant l'extrusion du cuivre, celle-ci se produit au niveau de l'interface de collage oxyde-oxyde. En effet, cette extrusion est due à une accumulation de cuivre en cet endroit. Celle-ci va provoquer une dilation des lignes de cuivre collées qui va tirer latéralement sur les bords des lignes et amorcer une faiblesse (fissure) au niveau de l'interface oxyde-oxyde laissant ainsi le surplus de cuivre s'extruder. Ce phénomène peut également mettre en évidence une non encapsulation totale des deux lignes collées par la barrière métallique et ce à cause du léger désalignement engendré lors du collage.

On retrouve également dans le chapitre III les résultats obtenus après tests d'électromigration sur une daisy chain. Celle-ci a montré l'apparition de cavités et d'extrusion

de cuivre de chaque côté de la structure, significatif de la présence d'un gradient de contrainte sur toute la structure. Ce résultat est très différent de ce que l'on retrouve sur des interconnexions de cuivre classiques où chaque ligne est séparée d'une autre par un via et donc par une barrière métallique et résistive en fond de via. Cette interface résistive va isoler chaque ligne ce qui empêche la continuité du flux de matière dans toute la structure. Contrairement aux interconnexions métalliques réalisées par collage direct, qui elles, montrent un gradient de contrainte continu sur toute la structure sans discontinuité au niveau des interfaces de collages comme s'il s'agissait d'un seul et même matériau continu. Cela montre encore une fois la très faible résistivité à l'interface de collage métallique.

Pour finir, on retrouve en annexes une partie technique qui a servi à valider la faisabilité de réalisation d'un empilement type puce à plaque pour une intégration haute densité. Dans cette partie, il a été étudié l'impact des différentes étapes de réalisation de l'empilement étudié (étapes d'amincissement, de remplissage inter-puces et de planarisation). Les différentes méthodes de caractérisation utilisées (XRD, spectroscopie Raman, flexion 4 points et nanoindentation) ont montré la fragilisation ainsi que la forte dégradation de la surface du silicium après étape de *coarse grinding*, ainsi qu'une amorphisation de son extrême surface. L'évolution des contraintes ainsi que des propriétés du silicium ont été suivies le long des étapes d'amincissement, montrant un enlèvement progressif de cette zone dégradée par les étapes de *fine grinding* et de polissage mécano-chimique jusqu'à l'obtention d'un silicium avec un état de contrainte et des propriétés mécaniques identiques à celle d'un silicium non aminci.

Il a également été étudié durant ces travaux un matériau de remplissage inter-puce. Celui-ci a pour but de combler l'espace entre les puces collées et amincies dans le but de planariser la surface mixte silicium de puces / matériau de remplissage pour recréer une surface plane apte à recevoir les différentes étapes technologiques nécessaires à la finalisation de la structure 3D ou même l'empilement d'un troisième niveau de puces. Le matériau identifié a été un oxyde peu stressant déposé par PECVD à 400°C. Celui-ci montre de très faibles contraintes engendrées dans la puce, de l'ordre de 30MPa sur une profondeur de pénétration de seulement 1µm. Néanmoins, sa difficulté d'amincissement notamment par *grinding* par rapport au silicium a engendré le développement de nouveaux oxydes enrichis en silicium qui présentent un meilleur comportement face aux différentes étapes de planarisation et qui ont ainsi permis la validation de l'empilement puce à plaque haute densité.

Il sera intéressant pour la suite de cette étude, notamment pour la fiabilité électrique des interconnexions métalliques réalisées par collage direct, de reproduire les tests d'électromigration sur des empilements ayant une barrière métallique du type TaN/Ta au lieu du TiN étudié lors de ces travaux. L'avantage du nitrure de tantale est sa forte adhésion avec la ligne de cuivre. Cette nouvelle configuration permettra soit de confirmer que l'interface de collage n'est pas le chemin prédominant aux dégradations induites par électromigration, soit au contraire de mettre en évidence d'autres type de dégradation se produisant au niveau de

l'interface de collage notamment si celle-ci présente une plus faible adhésion que celle présente avec la barrière métallique. Ce type de comparaison a été envisagé durant cette thèse mais hélas le temps de réalisation de ces nouvelles plaques et de leur mise en boîtier n'a pas permis de les tester à ce jour.

Il a été observé également pendant les tests d'électromigration sur des structures collées à 200°C une amélioration de la qualité de l'interface de collage et ce par l'effet des températures de test supérieures à 300°C. Il sera important, afin de caractériser proprement la tenue électrique d'un collage à 200°C, de reproduire les différents tests d'électromigration à des températures n'excédant pas celle du collage. Cela bien entendu nécessite des temps de test de plusieurs mois mais sont primordiales pour affirmer de la bonne tenue des structures collées à 200°C face aux risques de dégradations induits par phénomène d'électromigration.

Bibliographie

- Agarwal2010** R. Agarwal, W. Zhang, P. Limaye, R. Labie, B. Dimcic, A. Phommahaxay et al. "Cu–Sn microbumps interconnect for 3D TSV chip stacking", Proceeding of Electronic Components and Technology Conference (ECTC), (2010), p. 415
- Akasaka1986** Y. Akasaka, T. Nishimura, "Concept and basic technologie for 3D IC structure", IEDM Technical Digest(1986), 488
- Bardeen1984** J. Bardeen and W.H. Brattain, "The transistor, A semiconductor Triode", Physical Review Letters, 74, pp230-231, 1948
- Batude2009** P. Batude et al., "GeOI and SOI 3D monolithic cell integrations for high density applications", Proceedings of VLSI Technology Symposium (2009), pp. 166
- Belleville2006** M. Belleville, N. Sillon, "Intégration système : êtes-vous plutôt SiP ou SoC ?", CEA Technologies, n°82 (octobre 2006)
- Black1969** J. R. Black, "Electromigration Failures Modes in Aluminum Metallization for Semiconductor Devices", Proc. of the IEEE, (1969), Vol. 57, no. 9, pp. 1587- 1593.
- Bohr1995** M. T. Bohr, "Interconnect scaling-The real limiter to high performance ULSI", IEDM Tech Dig., p241, 1995
- Borgesen1992** P. Borgesen, M. A. Korhonen, and C. Y. Li, Thin Solid Films 220, 8 (1992)
- Chang2002** N. M. Chang, "Investigation of the influence of microstructure on electromigration in damascene copper interconnects", PhD Dissertation, Stanford University, 2002
- Chen2002** K.N. Chen, A. Fan, and R. Reif, "Interfacial morphologies and possible mechanisms of copper wafer bonding", Journal of Materials Science, (2002), 37(16), p. 3441-6.
- Chen2004** K.N. Chen , C. S. Tan, A. Fan and R. Rief, "Morphology and bond strength of copper wafer bonding", Electrochemical and Solid-State Letters, (2004), 7(1), p. 14-16
- Chen2006** K.N. Chen et al., "Structure, Design and Process Control for Cu Bonded Interconnects in 3D Integrated Circuits", IEDM Digest, 2006, pp. 367-370
- Chen2010** K. N. Chen, C. Cabral, Jr, S. H. Lee, P. S. Andry, and J. Q. Lu, "Investigations of Cu Bond Structures and Demonstration of a Wafer-Level 3D Integration Scheme with W TSVs", Proceeding of VLSI Technology Systems and Applications, (2008), p.162-163

- Curry1984** J. Curry, G. Fitzgibbon, Y. Guan, R. Muollo, G. Nelson, and A. Thomas, 22nd Annual Proceeding of IEEE Reliability Physics Symposium, p. 6 (1984)
- Davis2005** W. R. Davis et al., “Demystifying 3D ICs : The pros and cons of doing vertical” , (2005), IEEE Design & Test of Computers, p. 498-510
- Di Cioccio2010** L. Di Cioccio, E. Grouillet, P. Gueguen et al, “Vertical metal interconnect thanks to tungsten direct bonding”, ECTC Conf, proc (2010).
- Di Cioccio2011** L. Di Cioccio et al, “An overview of patterned metal/dielectric surface bonding: mechanism, alignment and characterization”, JECS 2011, pp. 81-86
- Doyen2009** Thèse de L. Doyen, “Caractérisation électrique de l’endommagement par électromigration des interconnexions en cuivre pour les technologies avancées de la microélectronique”, (2009)
- Enquist2009** P. Enquist, G. Fountain, C. Petteway, A. Hollingsworth, H. Grady “Low Cost of Ownership Scalable Copper Direct Bond Interconnect 3D IC Technology for Three Dimensional Integrated Circuit Applications”, ECTC Proceeding, 2009
- Federspiel2007** X. Federspiel, D. Ney, G. Sers and L. Doyen, “Optimized structure design for wafer level electromigration tests”, Integrated Reliability Workshop, IEEE, (2007)
- Ferrant2008** R. Ferrant, “3D-IC integration costs and benefits, Design For 3D”, Workshop, Minatec Crossroads 2008
- Fevenec2005** L. Fevenec, “Développement de matériaux diélectriques pour les interconnexions des circuits intégrés a-SiOC:H poreux Ultra Low K et a-SiC:H Low K“, Thèse de doctorat en Chimie des Matériaux, Montpellier, 2005
- Garrou2005** P. Garrou, Future ICs go vertical, In Semiconductor International, Feb. 1st (2005)
- Garrou2008** P. Garrou, C. Bower, P. Ramm. “Handbook of 3D Integration”, volume 1 – 1st Edition. Weinheim: WILEY-VCH Verlag GmbH & Co. KGaA, (2008)
- Gopal2008** Gopal Chandra JHA thesis, “Copper to copper bonding by nano interfaces for fine pitch interconnections and thermal applications”, (2008)
- Gosset2005** L.G. Gosset et al., “Advanced Cu interconnects using Air Gaps, Microelectronic Engineering”, vol. 82, issues 3-4 (2005), pp 321-332
- Grabl1995** T. Grabl, P. Ramm et al., “Deposition of TEOS/O3 oxide layers for application in vertically integrated circuit technology” Proceeding of the first International Dielectrics for VLSI/ULIS Multilevel Interconnection Conference, (1995), p.382

- Gras2008** R. Gras et al., “300 mm Multi Level Air Gap Integration for Edge Interconnect Technologies and Specific High Performance Applications”, Proceedings of the IITC 2008, (2008), pp 196-198
- Greenwood1966** J. A. Greenwood, J. B. P. Williamson, “Contact of nominally flat surfaces” , Proceeding of the Royal Society of London, (1966), Series A295, pp. 300-319
- Gueguen2008** P. Gueguen, L. Di Cioccio et al, “Copper Direct Bonding for 3D Integration”, Proceeding of IITC, proc. P 61 (2008)
- Gueguen2009a** P. Gueguen, C. Ventosa, L. Di Cioccio et al, “Physics of direct bonding: Applications to 3D heterogeneous or monolithic integration”, Journal of Microelectronics Engineering, In Press, Corrected Proof, Available online 23 August 2009, ISSN 0167-9317, DOI: 10.1016/j.mee.2009.07.030. (2009)
- Gueguen2009b** P. Gueguen, L; Di Cioccio et al, “Physics of Direct Metal Bonding: Applications to 3D Integration”, Wafer Bonding Conference, proc (2009).
- Gueguen2010** P. Gueguen, L. Di Cioccio et al, “Physics of Direct Copper Bonding”, Journal of Applied Physics, (2010)
- Hayashi1989** T. Kunio, K. Oyama, Y. Hayashi, M. Morimote, “3D Ics having 4 stacked active device layers”, IEDM Technical Digest(1989), 837
- HDmicrosystems** http://hdmicrosystems.com/HDMicroSystems/en_US/index.html
- Henry1956** R.L. Henry, Project Tinkertoy: a system of mechanized production of electronics based on modular design, IRE Transactions on Production Techniques, 1-1 (1956) pp. 10-11
- Heny2007** D. Heny et al. PEAKS (2007) forum EMC 3D
- Hertz1981** H. Hertz, Journal Reine Angew. Math., vol. 92, 1881
- Hoofman2006** R. Hoofman et al., “Benefits and Trade-offs in Multi-Level Air Gap Integration”, Proceedings of the MRS 2006, (2006), pp 403
- Hu1995** C. K. Hu, K. P. Rodbell, T. D. Sullivan, K. Y. Lee, and D. P. Bouldin, IBM J. Res. Develop. 39, 465 (1995)
- Hu1999** C. Hu, R. Rosenberg and K. Lee "Electromigration path in cu thin-film lines", Applied Physics Letters, 74, 2945
- Huebner2002** H Huebner et al., “Face-to-face chip integration with full metal interface”, Proceeding of Advanced Metallization Conf. (2002), Materials Research Soc, p. 53.
- Huyghbaert2010** C. Huyghebaert, J. Van Olmen, Y. Civale, A. Phommahaxay, A. Jourdain, S. Sood, S. Farrens, P. Soussan, “Cu to Cu Interconnect using 3D-TSV and Wafer to Wafer Thermocompression Bonding”, proc. of IITC, (2010)
- Intel** http://download.intel.com/pressroom/kits/events/moores_law_40th/MLTimeline.pdf
- ITRS** www.itrs.net

- ITRS2005** ITRS Executive Summary 2005, Disponible en ligne :
<http://www.itrs.net/Links/2005ITRS/ExecSum2005.pdf>
- Jacquot2003** A. Jacquot, “Ingénierie des matériaux et des microgénérateurs thermoélectriques planaires”, Thèse de l’Institut National Polytechnique de Lorraine, 2003
- JESD87** JEDEC Standard, “Standard test structures for Reliability Assessment of AlCu Metallizations with Barrier Materials”, no. 87, (2001)
- Johnson1971** K. L. Johnson, K. Kendall, A. D. Roberts, “Surface energy and the contact of elastic solids”, Proceeding of the Royal Society of London A, (1971),vol. 324, pp. 301-313
- Kernevez2006** Nelly Kernevez, CEA-LETI, “Innovation in 3D Circuit via Direct Bonding Technologies”, (2006) 3D SIP symposium
- Kim2006** B. Kim et al., “Factors affecting copper filling process within high aspect ratio deep vias for 3D chip stacking”, Proceedings of the Electronic Components and Technology Conference (2006), pp. 838-843
- Ko2009** Cheng-Ta Ko, Kuan-Neng Chen, “Wafer-level bonding/stacking technology for 3D integration”, Microelectronics reliability, (2009)
- Ko2011** C-T Ko, K-N Chen, ,Low temperature bonding technology for 3D integration”, Microelectronics reliability, 2011,
- Laermer1996a** F. Laermer, A. Schilp, “Method for anisotropic plasma etching of substrates”, (March 12, 1996), US patent 5,498,312
- Laermer1996b** F. Laermer, A. Schilp, “Method of anisotropically etching silicon”, (March 26, 1996) US patent 5,501,893
- Leduc2009** P. Leduc, et al., “First integration of Cu TSV using die-to-wafer direct bonding and planarization”, 3D System Integration Conference proceeding, 2009
- Li 2002** X. Li, B. Bhushan et al. Materials Characterization, 48 (2002), p.11-36
- Liu2007** Liu, J.H., Pei, Z.J., and Fisher, G.R., “ELID grinding of silicon wafers: a literature review,” International Journal of Machine Tools and Manufacture, (2007), Vol. 47, No. 3–4, pp. 529–536
- Liu2008** F. Liu et al., “A 300-mm wafer-level three-dimensional integration scheme using tungsten through-silicon via and hybrid Cu-adhesive bonding”, IEDM Proceedings, (2008)
- Lloyd1999a** J. R. Lloyd, “Electromigration in integrated circuit conductors”, J. Phys. D:
 Appl. Phys., (1999), Vol. 32, pp. R109-R118
- Lloyd1999b** J. R. Lloyd, J. Clemens, R. Snede, “Copper metallization reliability”, Microel. Rel., (1999), Vol. 86, no. 4, p. 1595

- McMahon2008** J. J. McMahon, E. Chan, S. H. Lee, R. J. Gutmann, J. -Q. Lu, "Bonding Interfaces in Wafer-Level Metal/Adhesive Bonded 3D Integration", proc. of ECTC, (2008)
- Meindl2001** J.D. Meindl et al., "Interconnecting device opportunities for gigascale integration", IEDM Technical Digest (2001) pp 525-528
- Meindl2003** J.D. Meindl, "Interconnect opportunities for gigascale integration", IEEE Micro, 23-3 (2003) pp 28-35
- Mitani1992** K. Mitani, U. Gösele, "Formation of interface bubbles in bonded silicon wafers: a thermodynamic model", Applied Physics A 54, pp. 543-552, 1992
- Miyasaki1989** K. Miyasaki, O. Miura, U. Satu, "Adhesion of thin film metals on low thermal expansion polyimide", Proceeding of Electronic Chemical Society, 1989
- Moore1965** G.E. Moore, "Cramming more components onto integrated circuits", Electronics, Vol. 38 (8), 1965
- Moore1975** G.E. Moore, "Progress in Digital Integrated Electronics", IEDM Tech Digest; IEEE, p. 11-13, 1975
- Moriceau2003** H. Moriceau, O. Rayssac, B. Aspar, B. Ghyselen, "The bonding energy control: an original way to debondable substrates", Semiconductor Wafer Bonding VII: Science, Technology and Applications, ECS Transactions, PV 2003-19, pp. 49-56, 2003
- Muralidharan2004** N. Muralidharan et al., The System on Chip technology, Proceedings of LACCEI'04, Miami, USA, 2-4 June 2004
- Ney2007** Thèse de D. Ney, "Étude de la fiabilité en électromigration dans les interconnexions en cuivre pour les technologies avancées de la microélectronique", (2007)
- Nikawa1993** K. Nikawa, S. Tokazi, "Novel OBIC Observation Method For Detecting Defects In Al Stripes Under Current Stressing," ISTFA proceedings 1993, pp. 303-310
- Nikawa1999** K. Nikawa, "Failure analysis case studies using the IR-OBIRCH (Infrared Optical Beam Induced Resistance Change) method", Photonic Failure Analysis Workshop, 1999
- Ogawa2002** E. Ogawa, K. Lee, V. Blaschke, P. Ho, T. Inc and T. Dallas "Electromigration reliability issues in dual-damascene cu interconnections", Reliability, IEEE Transactions on, 2002, 51(4), pp. 403-419
- Ohring1998** M. Ohring, "Reliability and Failure of Electronics Materials and Devices", Academic Press, (1998)
- Oliver1992** W.C. Oliver and G.M. Pharr, J. Mater. Res. 7, 1564 (1992).

- Oliver2004** W.C. Oliver and G.M. Pharr, "Measurement of hardness and elastic modulus by instrumented indentation: Advances in understanding and refinements to methodology", *J. Mater. Res.*, Vol. 19, No. 1 (2004)
- Pharr1992** G.M. Pharr, W.C. Oliver, and F.R. Brotzen, *J. Mater. Res.* 7, 613, (1992).
- Rayssac1999** O. Rayssac, "Étude du collage par adhésion moléculaire hydrophile: application au contrôle de l'énergie de collage", thèse INPG, 1999.
- Rieutord2006** F. Rieutord, L. Capello, R. Beneyton, C. Morales, A-M. Charvet, H. Moriceau, "Rough surface adhesion mechanisms for wafer bonding" , (2006), *Semiconductor Wafer Bonding IX: Science, Technology and Applications*, ECS Transactions, vol. 3, pp. 205-215
- Rousseau2009** Thèse de M. Rousseau, "Impact des technologies d'intégration 3D sur les performances des composants CMOS", (2009)
- Shockley1951** W.Shockley, M. Sparks and G.K. Teal, "P-N Junction Transistors", *Physical Review* 83(1), pp.151-164, 1951
- Sorbello1996** R. S. Sorbello, "Microscopic driving forces for electromigration", *MRS Symp. Proc.*, (1996), Vol. 427, pp. 73-81
- Stengl1989** R. Stengl, T. Tan, U. Gösele, "A model for the silicon wafer bonding process", *Japanese Journal of Applied Physics*, (1989), vol. 28, no. 10, pp. 1735-1741
- Swinnen2006** B. Swinnen et al., "3D integration by Cu-Cu thermocompression bonding of extremely thinned bulk-Si die containing 10 μm pitch through-Si vias", *IEDM Proceedings*, (2006), pp 371-374
- Tang2011** Y.S. Tang, Y.J Chang, K.N Chen, "Wafer level Cu-Cu bonding technology", *Microelectronic Reliability*, 2011, doi:10.1016
- Tong1998** Q. Tong et al. "Wafer bonding", *The electrochemical Society*, New York, (1998)
- Tong1999** Q.-Y. Tong, U. Gösele, "Semiconductor wafer bonding", (1999), *science and technology*, Ed. Wiley
- Toshiba2004** System-in-Package, Toshiba system catalog (2004), disponible en ligne : <http://www.semicon.toshiba.co.jp/eng/prd/common/pdf/sce0010a.pdf>
- Tsang2007** C.K. Tsang et al., "CMOS-compatible through silicon vias for 3D process integration", *Proceedings of Material Research Society Symposium*, (2007), p.970
- Tu2003** K. N. Tu, "Recent advances on electromigration in very-large-scale-integration of interconnects", *J. Appl. Phys*, (2003), Vol. 91, no. 9, pp. 5451-5473.
- Vairagar2004** A. V. Vairagar, S. G. Mhaisalkar, A. Krishnamoorthy, "Effect of surface treatment on electromigration in sub-micron Cu damascene interconnects", *Thin Sol. Films*, (2004), Vol. 462, pp. 325-329.

- Ventosa2008** C. Ventosa, F. Rieutord, L. Libralesso, C. Morales, F. Fournel, H. Moriceau. "Hydrophilic low temperature direct wafer bonding", J. Appl. Phys, (2008), 104, Issue 12, p.123524
- Wolf2000** S. Wolf, R.N Tauber, "Silicon Processing for the VLSI Era Volume 1: Process technology, (2000), p.192
- Wolf2008** M.J. Wolf et al., "High aspect ratio TSV copper filling with different seed layers", Proceedings of the Electronic Components and Technology Conference (2008) pp. 563-570
- Xuefeng2005** These de D Xuefeng, "Microfabrication using bulk wet etching with TMAH", 2005
- Yu2006** C.H Yu, "The third dimension-More Life for Moore's Law, Advanced Module Technology Division, R&D", Taiwan Semiconductor Manufacturing Company (2006)
- Yue1985** J. T. Yue, W. P. Funsten, and R. V. Taylor, 23rd annual Proceeding of IEEE Reliability Physics Symposium, p. 126 (1985)
- Zelma2006** S. Zelma, "Etude des propriétés électriques d'un matériau polyimide à haute température", Thèse de l'université Toulouse III - Paul Sabatier, 2006
- Zhang2001** R. Zhang et al., "Power trends and performance characterization of 3-dimensional integration for future technology generation", Proc. Of International Symposium on Quality Electronic Design, (2001), p. 217-222
- Zhang2005** S.X. Zhang et al., "Characterization of copper-to-silicon diffusion for the application of 3D packaging with through-silicon vias", Proceedings of the Electronics Packaging Technology Conference, (2005)
- Zschech2003** E. Zschech, E. Langer, M. Meyer, A. LLC, C. KG and G. Dresden, "Failures in copper interconnects-localization, analysis and degradation mechanisms", Physical and Failure Analysis of Integrated Circuits, IEEE, 2003

Annexes. Impact des procédés d'amincissement sur le silicium et remplissage de l'inter-puce pour la réalisation d'une intégration puce à plaque

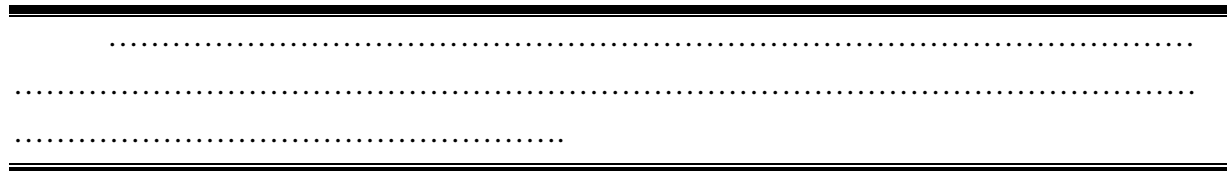


Table des matières :

Annexe A. Evolution des contraintes dans le silicium aminci	165
Annexe B. Evolution des propriétés mécaniques du silicium aminci	177
Annexe C. Matériau de remplissage pour l'intégration puce à plaque	185

Ces annexes résument les différentes caractérisations réalisées dans le but d'aborder d'un point de vue technologique les étapes principales de réalisation de l'intégration 3D étudiée avec empilement puce à plaque. La Figure 1 reprend ces différentes étapes de réalisation.

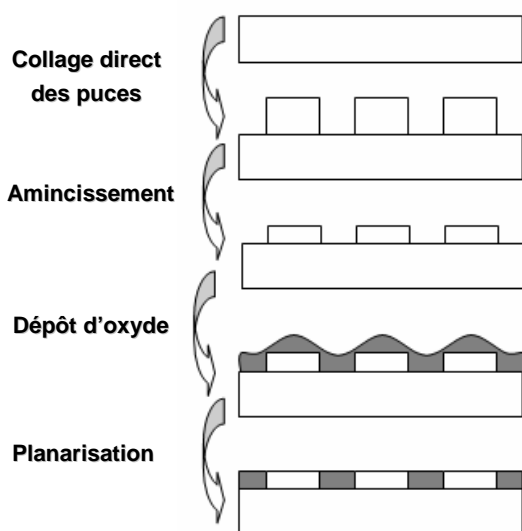


Figure 1 : Schéma décrivant les différentes étapes de réalisation d'un empilement puce à plaque : collage de puces sur substrat silicium / amincissement / Remplissage de l'espace entre les puces / Planarisation de surface pour permettre d'ultérieures étapes technologiques

Une des étapes principales lors de la réalisation d'une structure 3D est l'étape d'amincissement. En effet, une fois la plaque (ou puce) collée, celle-ci est amincie à des épaisseurs inférieures à $100\mu\text{m}$. Le but de cet amincissement est un gain en dimension (toujours dans l'optique de miniaturisation) et permet la réalisation des TSV avec des facteurs de forme raisonnables (et réalisables). L'amincissement se fait en plusieurs étapes. D'abord un amincissement purement mécanique, et ce à l'aide du procédé de *grinding*, afin d'enlever rapidement une grande quantité de matériau. Cependant, ce procédé a pour conséquence de dégrader fortement l'état de surface du matériau traité. C'est pour cela qu'il est généralement suivi par d'autres étapes d'amincissement à vitesse et taille de grains réduites qui permettent de récupérer un état de surface plan et lisse permettant la réalisation des différents procédés de fabrication nécessaires à la réalisation de la structure finale.

Dans l'intégration étudiée, décrite en paragraphe I.6.1, la face arrière des puces en silicium est amincie de plusieurs centaines de microns par *grinding* puis à nouveau amincie lors de la planarisation de la surface mixte afin de créer une surface plane et peu rugueuse. Cette surface doit également être non contrainte car des dispositifs actifs pourraient être réalisés.

Un autre axe principal de l'intégration étudiée est l'identification du matériau de remplissage inter-puces et la compréhension de son comportement face aux différentes étapes de réalisation (remplissage et planarisation). Pour rappel, ce matériau a pour but de combler l'espace entre les puces pour éliminer la topologie présente et permettre la réalisation des procédés de fabrication nécessaire à la finalisation de la structure.

Une fois toutes ces étapes maîtrisées et comprises, il sera alors possible, après avoir collé les puces, de montrer la faisabilité de cette intégration 3D de type puce à plaque.

On retrouve dans les deux premières annexes ci-dessous une étude permettant de caractériser et de suivre l'évolution des propriétés du silicium après les différentes étapes d'amincissement. La dernière partie de ces annexes consiste à identifier le matériau de remplissage inter-puces idéal pour la réalisation de l'intégration puce à plaque puis d'étudier son comportement face aux étapes de planarisation.

Annexe A. Evolution des contraintes dans le silicium aminci

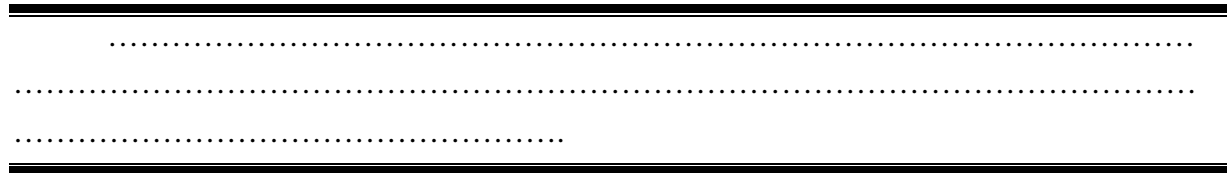


Table des matières :

Annexe A. Evolution des contraintes dans le silicium aminci..... 165

A.1) Diffraction des rayons X (XRD) 167

 A.1.1) Evolution de la contrainte dans le Si en fonction des étapes d'amincissement
 167

 A.1.2) Impact de l'épaisseur totale enlevée sur les contraintes générées par
 l'amincissement..... 169

 A.1.3) Evolution de la contrainte dans un silicium collé et aminci 170

A.2) Spectroscopie Micro-Raman 172

A.1) Diffraction des rayons X (XRD)

A.1.1) Evolution de la contrainte dans le Si en fonction des étapes d'amincissement

Des mesures par diffraction des rayons X ont été réalisées sur des plaques de silicium amincies. Chacune de ces plaques est arrêtée à une étape précise du processus d'amincissement. Il en résulte trois différentes plaques. La première n'a subi qu'une seule étape de *grinding* grossier (appelée *coarse grinding*). La seconde a été amincie par les deux étapes de *grinding*, c'est-à-dire *grinding* grossier et *grinding* fin (*coarse* et *fine grinding*). La dernière plaque a été polie par polissage mécano-chimique après avoir été amincie par les deux étapes de *grinding*.

Une plaque de silicium non traitée a été mesurée également, celle-ci sert de référence et sera comparée aux autres plaques amincies.

Le Tableau A. 1 : résume les différentes plaques traitées ainsi que leurs épaisseurs.

Echantillon	Epaisseur initiale	Epaisseur après <i>coarse grinding</i>	Epaisseur après <i>fine grinding</i>	Epaisseur après polissage
Plaque 1	725	-	-	-
Plaque 2	725	573	-	-
Plaque 3	725	573	554	-
Plaque 4	725	573	554	551

Tableau A. 1 : Tableau récapitulatif des différentes plaques analysées et décrivant les épaisseurs restantes de silicium après chaque étape d'amincissement

Les cartographies obtenues par diffraction de rayons X (XRD) sont données dans la Figure A. 1. Les deux axes de la cartographie correspondent à :

- L'angle «2 theta » entre le faisceau incident et le faisceau diffractant, qui pour une longueur d'onde donnée permet de définir le type de plan diffractant en fonction de sa distance inter-réticulaire,
- L'angle « omega » entre la normale de l'échantillon et le plan médian entre les faisceaux incident et diffractant, qui permet de caractériser la mosaïcité de la structure.

Les mesures par XRD sont réalisées sur les différentes plaques (référence et les trois plaques amincies). La cartographie D correspond à celle obtenue sur le silicium non traité. Son angle de diffraction ainsi que la largeur de son pic à mi-hauteur sont pris comme référence pour analyser les résultats obtenus sur les différentes plaques traitées.

La cartographie A représente le pic de diffraction obtenu sur un silicium ayant subi une étape de *coarse grinding*. On observe un très léger décalage en θ (angle de diffraction)

signe de la présence d'une très faible contrainte en surface (légèrement compressive, étant donné le sens du décalage). Par contre un fort élargissement du pic de diffraction est visible. La largeur à mi hauteur du pic est associée à un décalage de $0,01022^\circ$ par rapport au $0,00563^\circ$ obtenu sur le silicium de référence. Ce résultat met en évidence des contraintes microscopiques dans la couche de silicium analysée (la profondeur moyenne analysée par XRD est d'environ $20\mu\text{m}$). Le *coarse grinding* semble induire dans le silicium aminci une mosaïcité de ses plans cristallins. Les étapes supplémentaires d'amincissement (*fine grinding* et polissage) ont pour conséquence de réduire la largeur à mi hauteur du pic jusqu'à son retour, après polissage, à une valeur identique à celle obtenue pour un silicium de référence. En effet, la cartographie obtenue sur le silicium ayant vu les étapes de *coarse* et *fine grinding* montre un faible élargissement du pic de diffraction par rapport à la référence. Ceci montre que des contraintes microscopiques subsistent toujours après ces deux étapes. Ce n'est qu'après enlèvement de $3\mu\text{m}$ par polissage mécano-chimique que l'on retrouve un état de contrainte identique à celui obtenu pour un silicium de référence.

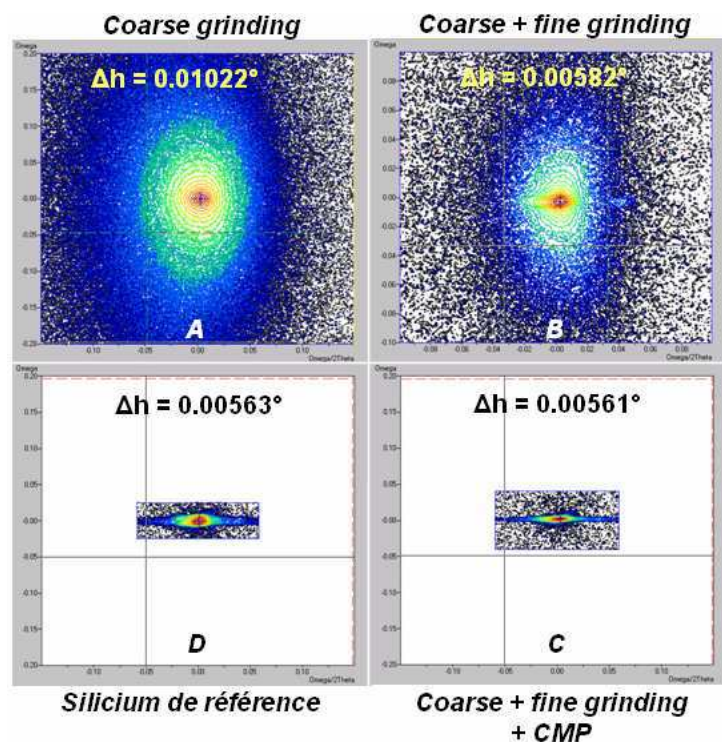


Figure A. 1 : Cartographies XRD des différents échantillons amincis à différentes étapes. Un élargissement du pic de diffraction est observé après étape de *coarse grinding* (a), puis un rétrécissement de ce pic, après étapes de *fine grinding* (b), jusqu'à retour à un état identique à celui du silicium de référence (d) est obtenu pour un silicium ayant vu une finition par polissage mécano-chimique (c)

A.1.2) Impact de l'épaisseur totale enlevée sur les contraintes générées par l'amincissement

Suivant l'application visée dans une intégration 3D, le silicium peut être aminci à différentes épaisseurs. Il a donc été étudié la contribution que pouvait avoir l'épaisseur enlevée par *coarse grinding* sur les contraintes apportées dans le silicium. En effet, lorsque l'on amincit deux plaques à différentes épaisseurs, c'est l'épaisseur enlevée par étape de *coarse grinding* qui est modifiée. L'épaisseur enlevée par l'étape de *fine grinding* est généralement fixée à environ $20\mu\text{m}$. Il s'agit de l'épaisseur nécessaire pour retirer totalement la zone la plus endommagée par *coarse grinding* et permet également de retrouver un meilleur état de surface avec une rugosité dix fois plus petite. Il est recommandé de ne pas enlever de forte épaisseur par *fine grinding* car la vitesse d'enlèvement de matière étant réduite on risquerait de provoquer des échauffements en surface de la roue pouvant endommager cette dernière. Ces effets apparaissent lorsque l'on essaye d'amincir longtemps une surface peu rugueuse.

C'est pour cela qu'il a été testé deux plaques de silicium ayant vu différentes épaisseurs enlevées par *coarse grinding*. Une des plaques testées est la plaque 3, qui présente un enlèvement de $150\mu\text{m}$ par *coarse grinding*. En parallèle, une autre plaque a subi un enlèvement de $300\mu\text{m}$ par *coarse grinding*. Les deux plaques ont vu la même étape de *fine grinding* sur $20\mu\text{m}$.

L'analyse par diffraction sur la plaque où l'amincissement est le plus poussé a permis d'obtenir la cartographie représentée en Figure A. 2. Celle-ci montre le même résultat que celui observé sur la plaque 3. Ceci montre qu'une fois l'étape de *fine grinding* réalisée, l'épaisseur enlevée auparavant par *coarse grinding* n'a aucun impact sur les contraintes présentes dans le silicium aminci.

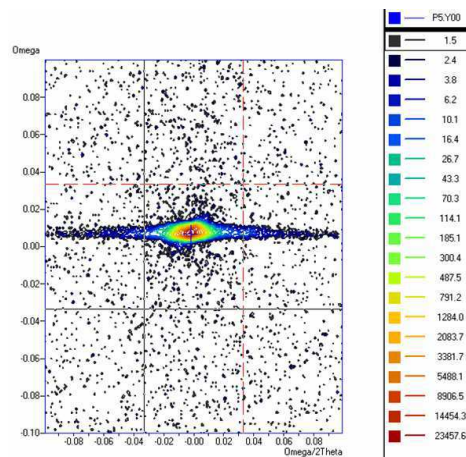


Figure A. 2 : Cartographie du pic de diffraction sur un échantillon de silicium aminci jusqu'à $400\mu\text{m}$ par grinding et polissage. Le pic est identique à celui obtenu pour un silicium de référence non aminci.

A.1.3) Evolution de la contrainte dans un silicium collé et aminci

Pour des applications haute densité d'intégration, le silicium de la puce (ou la plaque du dessus) collée se retrouve aminci à des épaisseurs inférieures à 50µm, Nous avons donc réalisé des mesures par diffraction des rayons X sur des collages amincis à de telles dimensions. Ces analyses permettront de déterminer si l'interface de collage engendre des contraintes supplémentaires sur la faible épaisseur de silicium restante après amincissement par rapport à un amincissement de silicium massif.

Pour cela, la même méthodologie que précédemment a été suivie. Pour trois collages, la plaque du dessus a été amincie jusqu'à une étape particulière du procédé d'amincissement (*coarse grinding*, *fine grinding* et polissage). La description des échantillons ainsi que leurs épaisseurs sont décrites en Tableau A. 2 :

Echantillon	Epaisseur initiale	Epaisseur après <i>coarse grinding</i>	Epaisseur après <i>fine grinding</i>	Epaisseur après polissage
Collage 1	725 + 725	725 + 40	-	-
Collage 2	725 + 725	725 + 40	725 + 20	-
Collage 3	725 + 725	725 + 40	725 + 20	725 + 17

Tableau A. 2 : Tableau récapitulatif des différentes collages analysés et décrivant les épaisseurs restantes du silicium de la plaque du dessus après chaque étape d'amincissement

Les cartographies des pics de diffractions obtenues sur les différents collages sont représentées en *Figure A. 3*. On retrouve le même comportement que précédemment sur des plaques seules, sans collage. Le *coarse grinding* engendre des contraintes microscopiques représentées par un élargissement du pic de diffraction. Cette largeur à mi-hauteur diminue avec l'application des étapes supplémentaires d'amincissement. La forme du pic après polissage montre que le silicium se trouve dans un état de contrainte identique à celui de la référence.

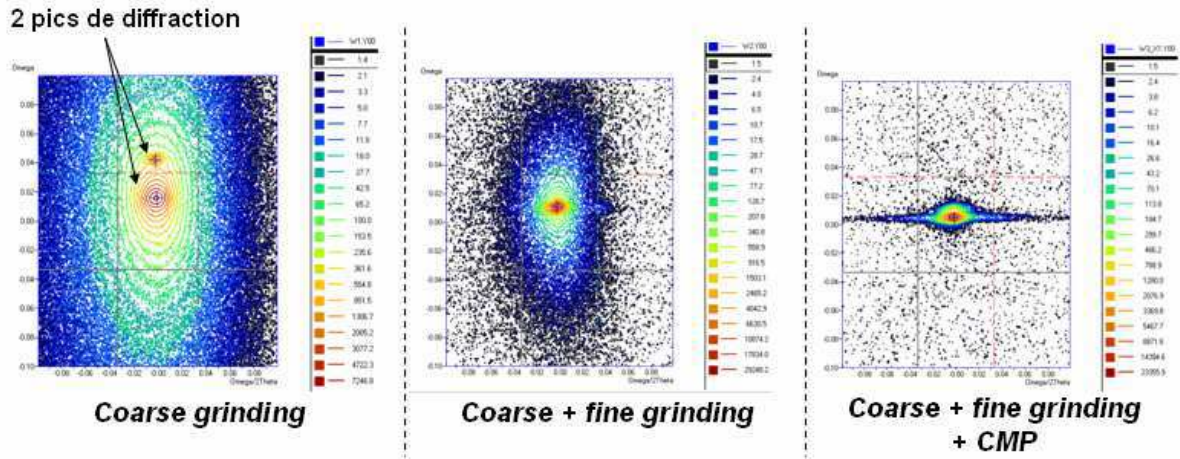


Figure A. 3 : Cartographies des collages amincis montrant des résultats identiques que ceux obtenus sur plaques de silicium aminci sans collage. Cependant, deux pics de diffraction apparaissent sur deux des plaques, et ce pour le même angle de diffraction à chaque plaque. Ce deuxième pic avec une faible intensité représente la diffraction d'une partie des rayons par la plaque silicium du dessous (au niveau de l'interface de collage).

Il apparaît néanmoins sur les trois cartographies un deuxième pic de diffraction, et ce pour le même angle de diffraction. Ce pic additionnel est le résultat de la diffraction des rayons incidents par la plaque silicium du dessous. En effet, l'interface de collage se situant à quelques dizaines de micromètres, une partie du rayon incident pénètre jusqu'à l'interface et se réfléchit sur la deuxième plaque de silicium, d'où la faible intensité du second pic de diffraction obtenu.

Afin de vérifier que le deuxième pic apparaissant est celui de la plaque du dessous, une analyse sous incidence rasante a été effectuée (sur le collage 1). Celle-ci, représentée en Figure A. 4, montre bien la disparition de ce deuxième pic.

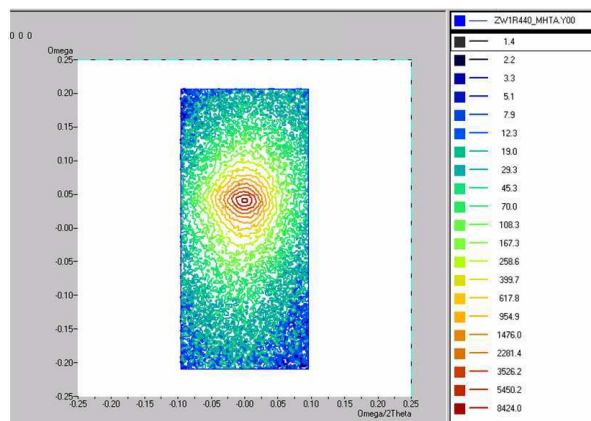


Figure A. 4 : Cartographie sous incidence rasante (8°) d'un échantillon de Silicium collé et aminci par coarse grinding montrant un seul pic de diffraction.

Conclusion

Les différentes mesures par diffraction des rayons X réalisées mettent en évidence la présence de micro-contraintes dans le silicium après *coarse grinding*, et donc une mosaïcité des plans cristallins. Cet état de contrainte est relâché après les étapes de *fine grinding* et de polissage mécano-chimique. En effet, le polissage permet de retrouver un état de contrainte identique à celui d'un silicium non aminci (pris comme référence). Il a également été démontré que l'épaisseur enlevée par *coarse grinding* n'avait pas d'impact, sur les dégradations apportées par cette étape, tant que l'étape de *fine grinding* est réalisée à la suite. Pour finir, les mesures effectuées sur les différents collages montrent que même pour des épaisseurs restantes de silicium de quelques dizaines de microns, l'interface de collage n'a pas d'impact sur l'état de contrainte du silicium restant.

A.2) Spectroscopie Micro-Raman

Il est possible à l'aide de mesures par spectroscopie Raman de réaliser des analyses locales. En effet, le spot laser utilisé pour les mesures a un diamètre d'environ $0,7\mu\text{m}$. Il est également possible d'analyser plusieurs profondeurs de pénétration, et ce, en fonction de la longueur d'onde utilisée (cf. paragraphe II.2.4).

Les mesures par diffraction des rayons X ont montré dans un silicium aminci par *grinding* la présence de micro-contraintes dans une zone moyenne de $20\mu\text{m}$ analysée. Le but de ces mesures locales par spectroscopie micro-Raman est d'essayer d'identifier un éventuel gradient de contrainte en surface du silicium (dans les premiers microns du silicium aminci). Pour cela deux approches ont été choisies et décrites au paragraphe II.2.4. La première consiste à observer l'échantillon aminci sur la tranche, après l'avoir clivé à l'aide d'une pointe diamant. La deuxième quant à elle est de réaliser un profil de mesure avec un pas d'un micron sur un biseau réalisé dans le silicium par polissage localisé (cf. Figure II. 40).

Les analyses ont été réalisées, comme pour les mesures par XRD, sur différentes plaques de silicium ayant vu différentes étapes du procédé d'amincissement. Il s'agit de plaques identiques aux plaques 2,3 et 4 du Tableau A. 1 :

Commençant par la plaque 1 qui a été amincie par étape de *coarse grinding* seulement. L'état de surface de celle-ci étant endommagé par cette étape agressive, plusieurs arrachements de silicium en surface sont observés. Ce qui empêche l'observation en tranche (après clivage). En effet, lors de ces observations sur la tranche, des morceaux de silicium de la surface supérieure sont arrachés et donc le début de la mesure sur la tranche ne correspond pas réellement à la surface supérieure de la plaque. Il est donc nécessaire pour ce type de plaque de réaliser une observation sur un biseau.

Il est néanmoins possible de réaliser une mesure en surface. La Figure A. 5 montre une image optique de la surface amincie et du segment analysée ainsi que la séquence de spectres acquis le long de ce segment. Il est possible d'extraire trois types de pics différents suivant les

zones analysées. Ces pics représentés en Figure A. 6 correspondent à des zones amorphes et des zones cristallines. En effet, l'analyse d'un échantillon de silicium aminci par *coarse grinding* montre une amorphisation de la surface et un arrangement par endroits de cette couche amorphe.

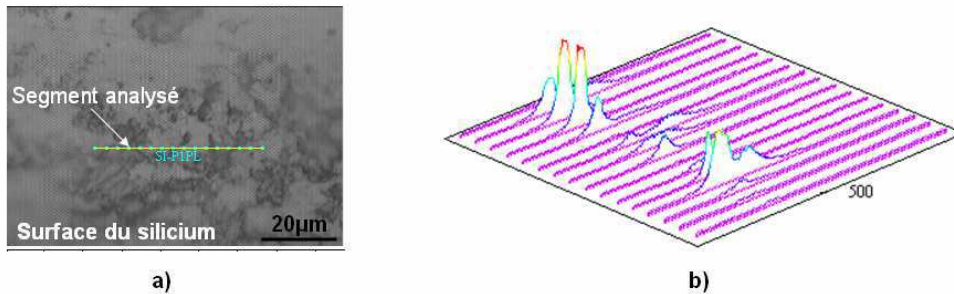


Figure A. 5 : a) Image optique de la surface analysée d'un échantillon aminci par *coarse grinding*, b) Séquences des spectres acquises par μ -Raman le long du segment analysé. Mise en évidence d'une forte modification de surface (arrachements, amorphisation, réarrangement par endroit de la couche amorphe)

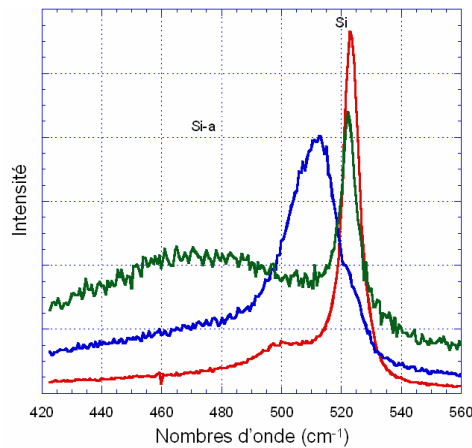


Figure A. 6 : Représentation des trois différents pics obtenus lors du scan sur échantillon aminci par *coarse grinding* montrant des zones amorphes ou cristallisées suivant les endroits observés.

Ce résultat est également observé lors de l'analyse de la surface avec biseau. De la même façon que précédemment, une mesure est réalisée le long d'un segment tout les 1µm. Les spectres enregistrés sont représentés en Figure A. 7. L'évolution de ces spectres le long du biseau présente une amorphisation du silicium ainsi que des arrangements en surface comme observé précédemment. Aucun gradient n'a pu être observé sur ces échantillons.

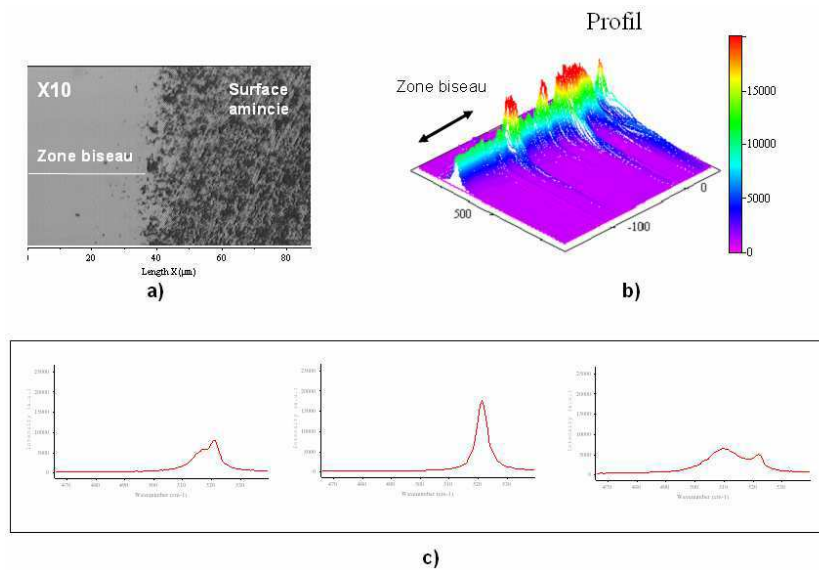


Figure A. 7 : a) Image optique sur la zone en biseau analysée sur un échantillon aminci par coarse grinding, b) Spectres acquis le long du segment, c) Les différents pics obtenus séparément (montrant une amorphisation de la surface après coarse gringing et un arrangement par endroit de cette couche amorphe)

Ces mesures ont également été réalisées sur du silicium aminci jusqu'à l'étape de *fine grinding* et de polissage mécano-chimique. Ces deux dernières plaques montrent des résultats similaires, que ce soit en tranche ou sur un biseau. La représentation de l'évolution des spectres acquis le long d'un segment (en tranche) sur les deux échantillons est illustrée en Figure A. 8. Des pics identiques sont observés en tout point de la zone analysée. Ces pics sont représentatifs d'une structure ordonnée. Une légère différence est observée au niveau de la largeur de ces pics (et donc de leur intensité). En effet, le pic obtenu pour le silicium aminci jusqu'à étape de *fine grinding* est plus large que celui obtenu pour le silicium poli. Ce dernier correspond parfaitement au pic d'un silicium de référence.

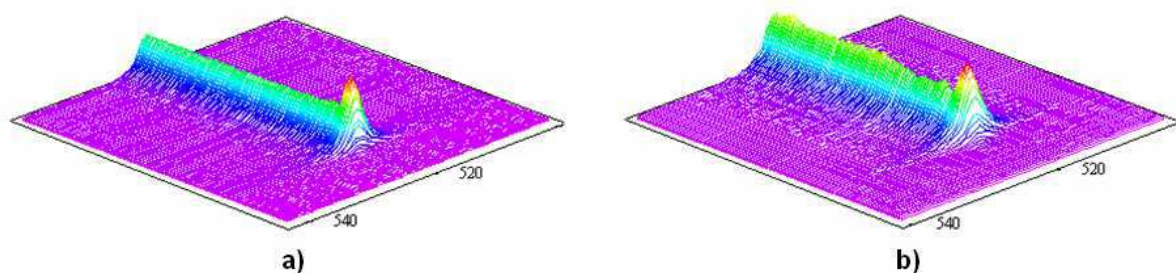


Figure A. 8 : Spectres obtenus sur échantillons aminci jusqu'au grinding fin (a) ou jusqu'à l'étape de polissage mécano-chimique (b) réalisés sur tranche, montrant une structure ordonnée et cristallisée.

Les pics obtenus pour l'échantillon grindé sont légèrement plus larges (et donc une plus faible intensité) montrant la présence de faibles micro-contraintes (résultat en adéquation avec les mesures XRD)

Contrairement aux résultats obtenus pour un silicium aminci seulement par *coarse grinding*, aucune zone amorphe n'est détectée. Etant donné que la longueur d'onde utilisée pour ces mesures est de 514nm, le volume sondé est de l'ordre de $2\mu\text{m}$ ($= 1/2\alpha$, avec α : le coefficient d'absorption d'un silicium cristallin). On peut donc en déduire que si l'extrême surface (quelques nanomètres) est légèrement modifiée, le signal d'une fine couche d'amorphe serait faiblement intense et difficile à observer.

Afin d'être plus précis sur la présence ou non de zone amorphe après *fine grinding* ou polissage, des analyses Raman dans la gamme UV sont réalisées sur ces mêmes échantillons. La longueur d'onde utilisée est de 363,8nm, ce qui limite à une profondeur analysée de 15nm.

Ces mesures réalisées sur les trois différentes plaques de silicium amincies sont représentées en Figure A. 9. Elles confirment, pour une profondeur de 15nm, une couche totalement amorphe pour le silicium aminci seulement par *coarse grinding*, la présence d'une couche amorphe inférieure à 15nm pour un silicium aminci jusqu'à étape de *fine grinding*, une couche totalement cristalline pour le silicium poli.

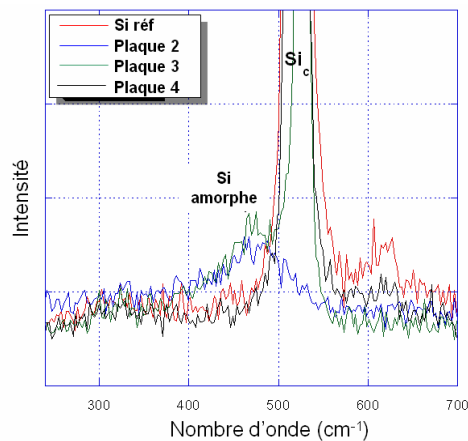


Figure A. 9 : Spectres Raman (avec longueur d'onde à 363.8nm) pour analyser une épaisseur de 15nm en surface, montrant une couche totalement amorphe pour la plaque 2 (décrite en Tableau A. 1 :), une couche amorphe de profondeur inférieure à 15nm pour la plaque 3, et une couche cristalline pour la plaque 4

Ces mesures ont permis également de mettre en évidence une légère contrainte en compression dans le silicium *grindé*. De montrer également que même dans les premiers 15nm en surface du silicium poli, aucune contrainte n'est présente. Cela est déduit en comparant la position du pic obtenu sur un silicium poli avec celui de référence pour le silicium. Ces résultats sont représentés en Figure A. 10.

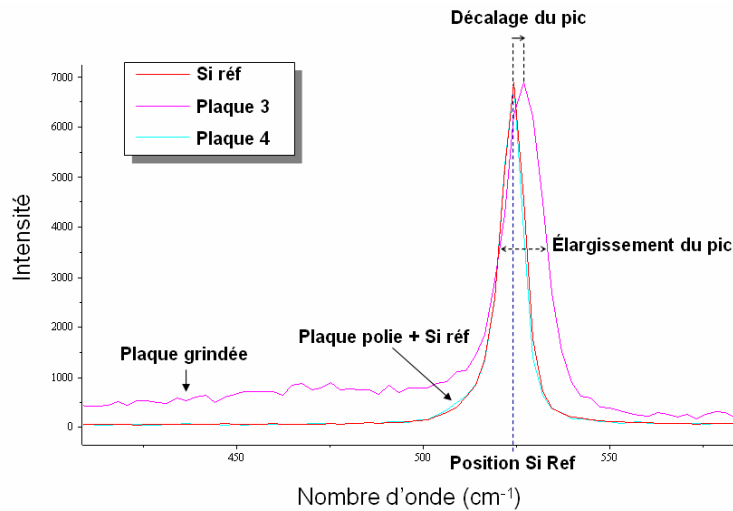


Figure A. 10 : Spectres Raman (avec $\lambda=363.8\text{nm}$) obtenus pour les plaques 3, 4 et silicium référence, mettant en évidence un décalage (shift) en fréquence pour la plaque 3 grindée et donc une légère contrainte en compression après grinding fin qui disparaît après CMP

Conclusion :

Les mesures réalisées par spectroscopie Micro-Raman ont montré une forte modification structurale (arrachements, déformations et une amorphisation de la surface) engendrée par l'étape de *coarse grinding*. L'étape de *fine grinding*, quant à elle, semble peu modifier la surface. Néanmoins, une fine couche amorphe inférieure à 15nm est observée ainsi qu'un léger décalage en fréquence, indiquant une faible contrainte en compression, sur les premiers 15nm en surface. Enfin, le silicium poli montre un pic ordonné et identique à celui obtenu sur un silicium de référence et donc significatif d'une structure parfaitement cristalline.

**Annexe B. Evolution des propriétés mécaniques du silicium
aminci**

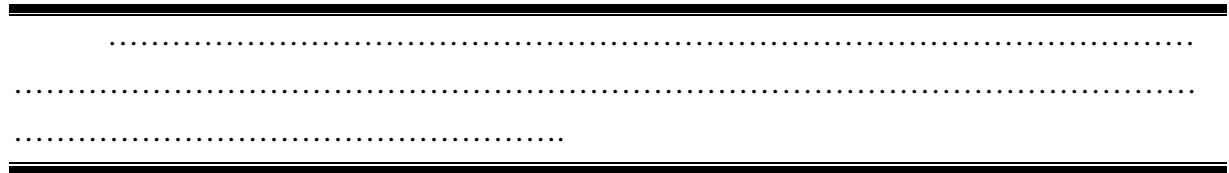


Table des matières :

Annexe B. Evolution des propriétés mécaniques du silicium aminci..... 177

B.1) Nanoindentation 179

 B.1.1) Evolution du module d'Young et de la dureté du silicium en fonction des
 procédés d'amincissement..... 179

 B.1.2) Impact de l'épaisseur enlevée sur les propriétés du silicium 180

B.2) Flexion 4 points..... 182

B.1) Nanoindentation

B.1.1) Evolution du module d'Young et de la dureté du silicium en fonction des procédés d'amincissement

Les mesures par nanoindentation ont pour but de caractériser les propriétés mécaniques et élastiques du silicium, en déterminant son module d'Young réduit ainsi que sa dureté. Les mesures étant faites après chaque étape d'amincissement, elles permettent de déterminer si le procédé d'amincissement peut engendrer des variations au niveau des propriétés du silicium en surface.

Hélas, les mesures par nanoindentation sur un silicium aminci par *coarse grinding* seulement ne sont pas possibles. Cela est dû à la grande rugosité en surface. En effet, l'état de surface de ce silicium aminci ne permet pas de faire la distinction entre les fissures dues à l'indentation de celles causées par le procédé de *grinding*.

Seules les plaques de silicium amincies avec arrêt au niveau de l'étape de *fine grinding* ou de polissage ont été mesurées. Les plaques 3 et 4 décrites en Tableau A.1 ont été utilisées pour cette étude. De même que précédemment, un silicium non aminci a été pris comme référence.

La Figure B. 1 représente les valeurs de module d'Young réduit extraites par nanoindentation en fonction de la profondeur indentée (profondeur analysée) sur les deux plaques de silicium amincies. On observe pour la plaque amincie par *grinding* une chute du module d'Young réduit par rapport à celui d'un silicium de référence. Cette diminution de la valeur du module d'Young s'accroît avec la profondeur de pénétration dans le silicium. Ce résultat, ajouté à la faible valeur de dureté observée pour cet échantillon (Figure B. 2), montre une dégradation des propriétés du silicium en surface. La rugosité de surface peut être à l'origine de cette chute du module d'Young ainsi que de la dureté. En effet, cette surface rugueuse peut amorcer des fissures favorisant la pénétration de la pointe de l'indenteur. Des mesures par flexion 4 points (décrites dans le paragraphe suivant) montrent une fragilisation du silicium causée par la rugosité en surface. Cet état de surface pourrait fausser l'extraction des propriétés mécanique lors de l'indentation.

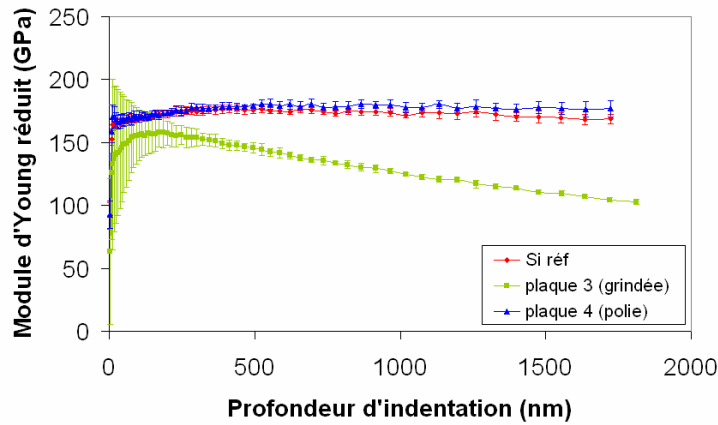


Figure B. 1 : Graphe représentant les modules d'Young réduit d'un silicium de référence (rouge), d'un Si aminci jusqu'au grinding fin (vert) et d'un Si aminci jusqu' au polissage (bleu).

D'autre part, les mesures réalisées sur le silicium ayant subi du *grinding* et du polissage montre des résultats identiques (module d'Young et dureté) à ceux observés pour un silicium de référence (qui n'a pas subi d'amincissement). Cela montre que les propriétés mécaniques du silicium poli sont identiques à ceux d'un silicium de référence.

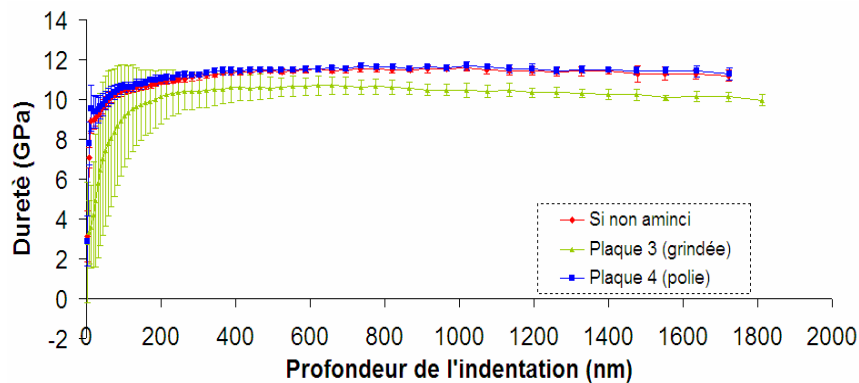


Figure B. 2 : Graphe des différentes duretés obtenues sur les différentes plaques observées. Seules les valeurs de dureté obtenues sur la plaque ayant été traitée par grinding seulement sont inférieures à celles obtenues pour un silicium de référence non aminci.

B.1.2) Impact de l'épaisseur enlevée sur les propriétés du silicium

Afin de déterminer si l'épaisseur finale enlevée a un impact sur les propriétés du silicium, deux plaques supplémentaires ont été amincies par *grinding* suivie d'une étape de polissage mécano-chimique. Ces plaques ont été mesurées par nanoindentation puis comparées avec la plaque 4 déjà testée. Il apparaît clairement qu'aucun changement n'est observé que ce soit pour le module d'Young réduit (Figure B. 3.a) ou la dureté extraite (Figure B. 3.b) sur ces différentes plaques. Celles-ci ont les mêmes propriétés mécaniques qu'un silicium de référence non aminci.

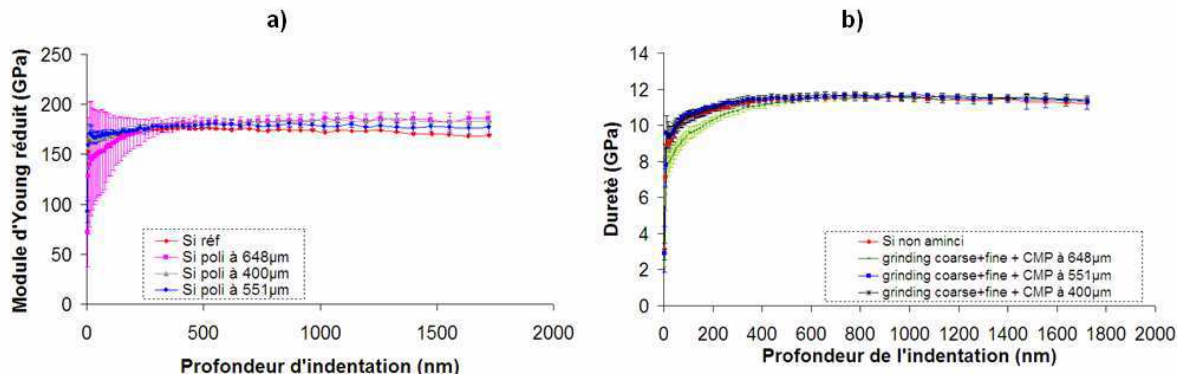


Figure B. 3 : Module d'Young réduit (a) et duretés (b) pour différentes plaques de silicium amincies par grinding puis polissage avec des variations au niveau de l'épaisseur enlevée. Les propriétés extraites des différentes plaques de silicium sont identiques et montrent que l'épaisseur enlevée n'a pas d'impact, sur les propriétés en surface, après étape de polissage.

Conclusion :

Les différentes valeurs de module d'Young réduit et de dureté sur les différentes plaques amincies sont représentées en Tableau B. 1. Il apparaît d'après ces mesures que l'étape de *grinding* dégrade la surface de silicium mais également ses propriétés mécaniques (dans les 2µm analysés). Il est également possible que les variations mesurées soient dues à la rugosité de surface qui la fragilise et favorise la pénétration de la pointe lors de l'indentation en amorçant des fissures. Néanmoins, l'étape de polissage mécano-chimique permet au silicium de retrouver ses propriétés mécaniques de référence comme s'il n'avait subi aucune étape d'amincissement.

Echantillons	Er	ΔEr	H	ΔH	E	E/H
Si de référence (non aminci)	175.7	2.4	11.4	0.1	161.9 ± 2.2	14.2
grinding à 554 µm	145.9	3.9	10.6	0.5	134.5 ± 3.6	12.7
grinding + CMP à 551 µm	179.1	1.7	11.5	0.1	165.1 ± 1.6	14.4
grinding + CMP à 648 µm	181.5	5	11.3	0.8	167.3 ± 4.6	14.8
grinding + CMP à 400 µm	180.6	3	11.6	0.1	166.4 ± 2.8	14.3

Tableau B. 1 : Valeurs de module d'Young et de dureté prises à une profondeur indentée de 500nm sur les différentes plaques testées.

B.2) Flexion 4 points

Les mesures de flexion 4 points ont pour but de caractériser la fragilité d'un matériau en déterminant sa contrainte maximale à la rupture. Plusieurs plaques ont été testées. Chacune d'entre-elles est arrêtée à une étape du processus d'amincissement (*coarse grinding*, *fine grinding*, polissage et plasma). En plus des trois premières étapes d'amincissement habituelles, il a été étudié également des plaques ayant subi une gravure plasma au lieu du polissage mécano-chimique. La gravure plasma est connue pour relâcher les contraintes dans le silicium (dans notre cas apportées par l'étape de *grinding*). Cependant, cette étape a l'inconvénient de générer une plus grande rugosité de surface que celle obtenue par polissage.

Chaque plaque est découpée en plusieurs barrettes de silicium, barrette soumise à une contrainte par flexion jusqu'à leur rupture. Le principe de la mesure est décrit en paragraphe II.2.3. Une dizaine de barrettes sont mesurées pour chaque plaque afin de vérifier la reproductibilité de la mesure et de déterminer par la même occasion l'incertitude de mesure. Cette incertitude est de l'ordre de +/- 30MPa.

Les valeurs de contraintes à la rupture moyenne obtenues pour chaque plaque sont représentées sur la Figure B. 4. Elles sont comparées à celles obtenues pour un silicium non aminci pris comme référence.

On observe grâce à ces résultats, une chute de la valeur de contrainte de rupture pour le silicium après un amincissement par *coarse grinding*. En effet, on passe d'une valeur de 440MPa (valeur de référence pour un silicium non aminci) à une valeur de 150MPa après *coarse grinding*. Cela est caractéristique d'une augmentation de la fragilité du matériau. Celle-ci est causée par la rugosité en surface qui représente une amorce à la fissure qui se propage lors de la flexion et qui provoque la rupture.

Les propriétés mécaniques du silicium aminci sont restaurées après des étapes de *fine grinding* et de polissage (ou plasma) comme on peut le voir sur la Figure B. 4. En effet, on observe une augmentation de la contrainte de rupture à 320MPa après étape supplémentaire de *fine grinding*. Cependant les étapes additionnelles, de polissage ou de gravure plasma, sont primordiales pour obtenir des valeurs de contraintes semblables, aux incertitudes près, à la valeur obtenue avec le silicium non aminci. Il est possible d'observer que deux microns enlevés, par polissage ou plasma, sont suffisants pour permettre au silicium d'avoir des propriétés mécaniques identiques à la référence et donc de s'affranchir des dégradations induites par procédé de *grinding*.

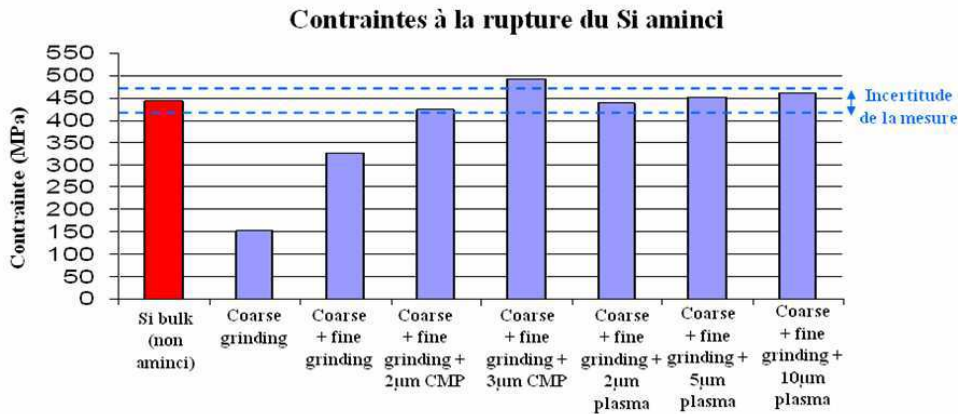


Figure B. 4 : Comparatif des valeurs de contrainte à la rupture obtenues pour différents échantillons de silicium amincis différemment. L'étape de grinding fragilise fortement le silicium, cela est dû à la couche écrouie en surface qui permet l' amorce d'une fissure, lors de la flexion, allant jusqu'à la rupture du matériau. Les étapes de polissage mécano-chimique et de plasma redonnent au silicium un état mécanique identique à une référence non aminci.

Conclusion :

La diminution de la contrainte de rupture, pour un échantillon de silicium après *coarse grinding* montre, qu'en plus de dégrader la surface aminci, le *grinding* diminue également les propriétés mécaniques de la couche de surface de la plaque la rendant plus fragile. Cela est dû aux zones écrouies ainsi qu'à la rugosité de surface obtenue après *grinding*. Néanmoins, cette zone fragilisée peut être enlevée à l'aide d'autres étapes d'amincissement telle le *fine grinding* suivi du polissage ou de gravure plasma.

On peut en déduire d'après les résultats obtenus que 3µm de silicium enlevé par polissage suffisent à restaurer à nouveau la qualité cristalline de l'échantillon.



Annexe C. Matériau de remplissage pour l'intégration puce à plaque

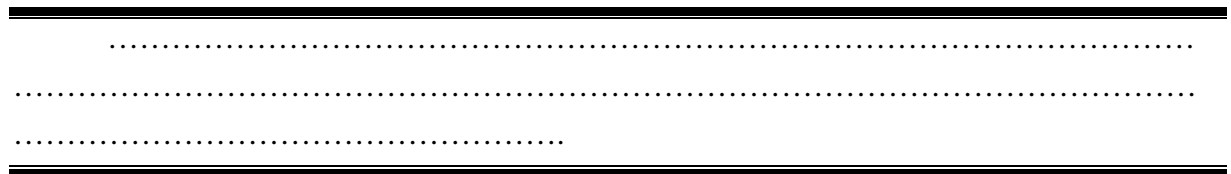


Table des matières :

Annexe C. Matériau de remplissage pour l'intégration puce à plaque 185

C.1) Identification d'un matériau de remplissage et faisabilité de l'intégration puce à plaque 187

C.1.1) Identification de l'oxyde HDR (High Deposition Rate) 187

C.1.2) Modélisation de l'empilement après remplissage 187

C.2) Problématiques rencontrées lors du remplissage et de la planarisation des puces 189

C.2.1) Remplissage de l'inter-puce 190

C.2.2) Amincissement de l'oxyde HDR..... 191

C.2.3) Planarisation de la surface mixte (Silicium/matériau de remplissage)..... 193

C.3) Identification de nouveaux matériaux de remplissage et réalisation de l'intégration puce à plaque 194

C.3.1) Oxydes enrichis en silicium (SRO : Silicon Rich Oxide) 194

C.3.2) Amincissement et planarisation des SRO 196

Ce dernier axe de la thèse est beaucoup plus considéré comme étant du développement technologique mais reste vital pour la validation et la réalisation de l'intégration puce à plaque désirée. D'abord, l'étude consiste à identifier le (ou les) matériau (x) idéal (s) pour le remplissage de l'espace vide entre les puces tout en satisfaisant les différentes contraintes et spécifications décrites en paragraphe II.2.1.1. Puis d'étudier son comportement face aux différentes étapes d'amincissement et de planarisation.

C.1) Identification d'un matériau de remplissage et faisabilité de l'intégration puce à plaque

C.1.1) Identification de l'oxyde HDR (High Deposition Rate)

Le matériau choisi est un oxyde déposé par PECVD (Plasma Enhanced Chemical Vapor Deposition), utilisant comme gaz le silane (SiH_4). Il remplit, en partie, les conditions et spécifications établies précédemment. Cet oxyde est déposé à 400°C , avec une vitesse de dépôt de $1.6\mu\text{m}$ par minute. D'où son nom « Oxyde HDR » pour High Deposition Rate. Son indice de réfraction mesuré par ellipsométrie optique est de 1.49 pour une longueur d'onde de $633,8\text{nm}$. Il a aussi la caractéristique d'être peu contraint même pour un dépôt à forte épaisseur (dans notre cas il s'agit de dépôts allant jusqu'à $30\mu\text{m}$). En effet, des mesures de flèche réalisées par profilométrie mécanique sur des plaques de silicium (200mm) après dépôt de $20\mu\text{m}$ d'oxyde ont montré de faible valeur d'environ $30\mu\text{m}$. Le comportement de cet oxyde face aux différentes étapes technologiques (remplissage de l'inter-puce, amincissement, planarisation) est à démontrer.

C.1.2) Modélisation de l'empilement après remplissage

Une modélisation de la structure étudiée a été réalisée afin d'évaluer la contrainte apportée par le remplissage à l'aide de cet oxyde sur une puce de silicium. Les mesures de flèches réalisées sur une plaque après dépôt nous renseignent sur la contrainte globale apportée par cette couche déposée. Le but de cette modélisation est de déterminer la valeur de la contrainte et sa répartition au niveau d'une puce unitaire. Ces renseignements nous permettront d'évaluer la garde minimale à prendre sur un layout afin que les transistors ne soient pas impactés par la contrainte résiduelle due au remplissage de l'inter-puce.

L'empilement puce à plaque modélisé représente l'empilement final d'une structure avec présence de dispositifs actifs. Pour cela des couches d'interconnexions sont à prévoir au niveau de l'interface de collage, que ce soit sur la puce ou sur la plaque receveuse. Le schéma de l'empilement est représenté en Figure C. 1.

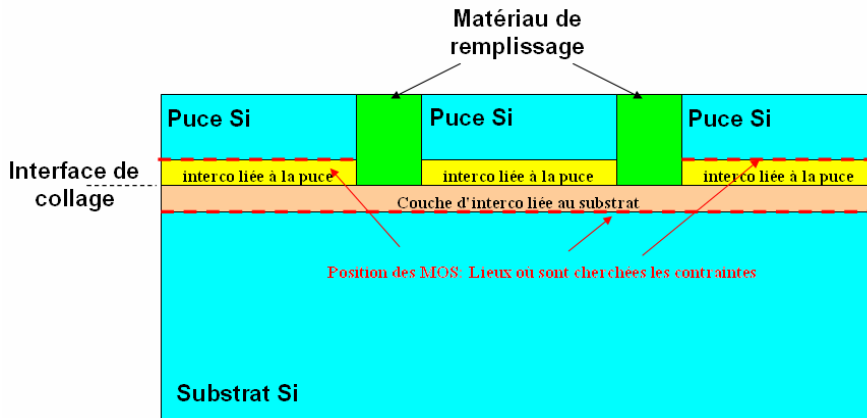


Figure C. 1 : Schéma représentatif de l'empilement à modéliser.

Etant donné la géométrie de cet empilement, il est possible d'extraire une symétrie par rapport à l'axe y et donc de réduire le domaine simulé à la structure représentée par la Figure C. 2.

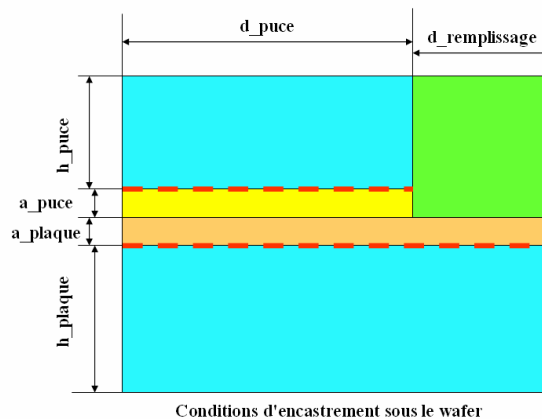


Figure C. 2 : Schéma décrivant la structure modélisée et extraite à partir des symétries dans le plan. (h représentant une hauteur, d une distance et a l'épaisseur du réseau d'interconnexion)

Ces simulations nous permettront de connaître l'influence de la géométrie, des propriétés des matériaux, des contraintes résiduelles sur les contraintes dans la puce.

Les couches d'interconnexions ne pourront pas être décrites précisément de manière réaliste. Elles seront modélisées par une couche de matériau homogène, éventuellement anisotrope. Les propriétés utilisées pour ces couches ont été extraites à partir de simulations précédentes déjà été validées expérimentalement.

La modélisation a été réalisée à l'aide du logiciel ANSYS. Une grande attention a été donnée sur le maillage de la structure et notamment au niveau des angles et des interfaces. Un exemple est donné en Figure C. 3 montrant la précision d'un maillage au niveau d'une interface.

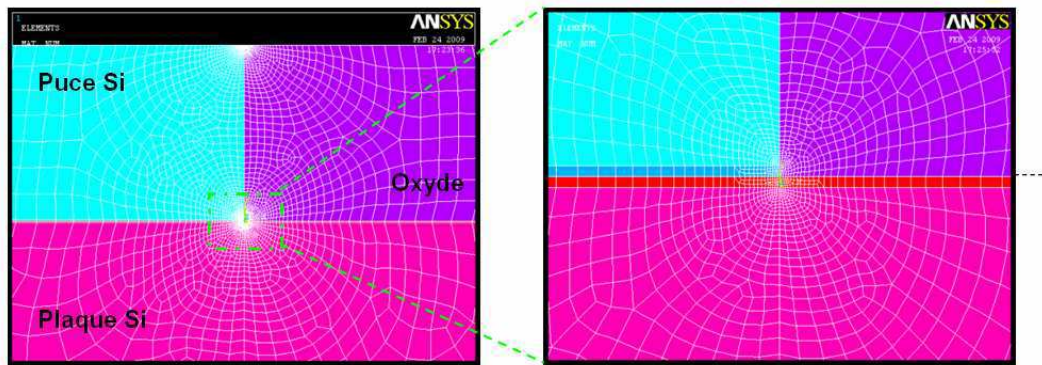


Figure C. 3 : Exemple de maillage réalisé sur l'empilement étudié montrant un maillage plus fin aux angles et interfaces.

Les contraintes dans le dispositif final seront générées par les contraintes résiduelles dans le matériau de remplissage. Ces dernières ont été mesurées expérimentalement par la mesure de flèche au profilomètre mécanique.

Les résultats des simulations ont montré de très faibles valeurs de contraintes résiduelles sur la puce, de l'ordre de 30MPa au maximum à une distance d'environ 1µm dans la puce. Un exemple de cartographie des contraintes principales est illustré en Figure C. 4. Ce résultat montre que le remplissage de l'espace entre les puces n'engendre pas de contraintes pouvant nuire au bon fonctionnement de dispositif situé à plus d'un micron des bords de puce.

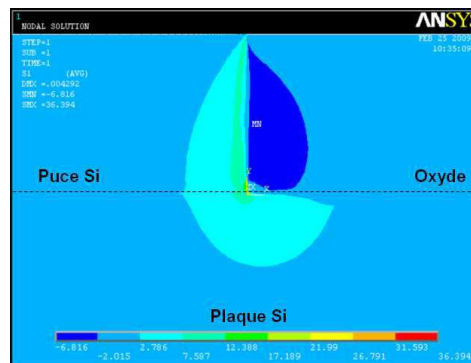


Figure C. 4 : Cartographie des contraintes simulées dans l'empilement étudié et mettant en évidence de faibles valeurs inférieures à 30MPa et se propageant au maximum à 1µm dans la puce de silicium

C.2) Problématiques rencontrées lors du remplissage et de la planarisation des puces

Lors des premiers essais de remplissage et de planarisation, quelques difficultés technologiques ont été mises en évidence pendant la réalisation de l'empilement désiré. On y retrouve notamment des problèmes au niveau du dépôt de l'oxyde et de son amincissement.

C.2.1) Remplissage de l'inter-puce

L'épaisseur de la puce avant remplissage n'avait pas été fixée au préalable. L'épaisseur fixée est celle de la puce une fois le remplissage ainsi que la planarisation réalisés. Des dépôts d'oxyde, de 20 μm , ont été réalisés sur différentes épaisseurs de puces allant de 20 μm à 100 μm . Il a été observé après dépôt un manque de croissance de ce dernier sur les flancs des puces de silicium. Ce manque de croissance est illustré en Figure C. 5.a. Il peut atteindre plusieurs microns, et ce, en fonction de l'épaisseur de la puce avant dépôt. Plus l'épaisseur de la puce est grande, plus le manque de croissance est profond. Il en résulte, une fois aminci au niveau de l'oxyde entre les puces, un trou tout autour des puces (Figure C. 6) difficilement rattrapable en polissage mécano-chimique, nécessitant ainsi une première planarisation purement mécanique par procédé de *grinding*. En effet, le polissage mécano-chimique ne permet pas de rattraper une telle topologie, en plus l'enlèvement de matière est limité. Il est donc primordial de retirer cette profondeur impactée par ce manque de croissance d'oxyde avant de commencer l'étape de polissage.

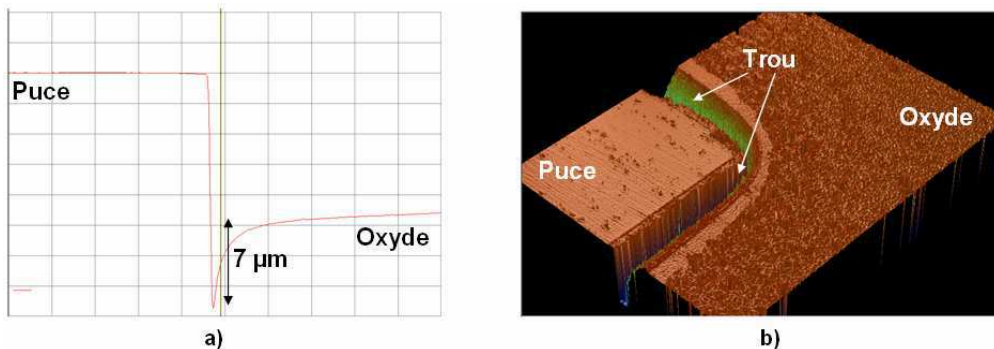


Figure C. 5 : Manque de croissance sur les flancs des puces observé par a) profilomètre mécanique et b) profilomètre optique après amincissement au niveau de l'oxyde entre les puces.

Ce phénomène est dû principalement à la géométrie de l'empilement. En effet, l'angle abrupt, que fait la puce avec la plaque sur laquelle elle est collée, diminue l'angle solide en cette zone lors du dépôt. De plus, un effet d'écrantage apparaît lors du dépôt. L'oxyde déposé au dessus des puces crée, en bord une zone débordante en forme de « chapeau ». Celle-ci joue le rôle d'écran sur les flancs des puces empêchant une bonne et homogène croissance de l'oxyde à ces endroits. Un schéma descriptif ainsi qu'une image MEB sont représentés en Figure C. 6.

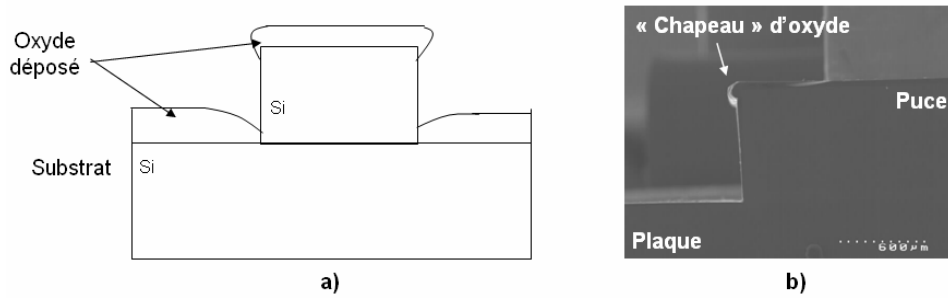


Figure C. 6 : Schéma et b) image MEB après dépôt d'oxyde sur une puce collée, mettant en évidence la présence d'un «chapeau» d'oxyde au dessus des puces de silicium.

Des développements au niveau du procédé de dépôt ont été réalisés par la plateforme de la salle blanche du CEA-Léti. Cela a permis de réduire la profondeur du manque de dépôt. En prenant compte de cette optimisation et en diminuant au minimum l'épaisseur des puces de silicium avant dépôt à $17\mu\text{m}$, un manque de croissance sur une profondeur de $1.4\mu\text{m}$ subsiste malgré tout.

C.2.2) Amincissement de l'oxyde HDR

Autre problème rencontré lors de la réalisation de cet empilement est l'amincissement de l'oxyde. Il s'est avéré que l'étape de *fine grinding* est difficilement réalisable au dessus de quelques microns enlevés. L'oxyde étant un matériau dur, seules les roues ayant de gros grains de diamant permettent son amincissement. Il en résulte une forte dégradation de la surface avec une grande rugosité et une importante zone écrouie (fissure dans l'oxyde pouvant atteindre plusieurs microns). Cet état de surface nécessite un enlèvement de plusieurs microns. Hélas, dès les deux premiers microns enlevés par *fine grinding*, l'extrême surface de l'oxyde devient suffisamment peu rugueuse pour faire patiner la roue diamantée par-dessus et provoquer un échauffement local dégradant encore plus cette surface. D'où la nécessité d'un fort enlèvement par polissage mécano-chimique. Cependant, ce dernier doit être réalisé sur plusieurs microns pour retirer toutes les fissures causées par l'étape précédente, ce qui nécessite un long temps de réalisation et engendre un autre problème qui sera décrit au paragraphe suivant.

Une roue de *grinding* dédiée aux matériaux durs est alors utilisée pour permettre l'amincissement de l'oxyde. Cette roue utilise des tailles de diamants intermédiaires entre le *coarse* et le *fine grinding*. Elle permet alors d'amincir n'importe quelle épaisseur d'oxyde sans passer par l'étape de *coarse grinding* mais induit une rugosité importante qu'il est difficile de rattraper entièrement par polissage. La Figure C. 7 montre un exemple de profil réalisé sur une surface d'oxyde grindée avec cette nouvelle roue.

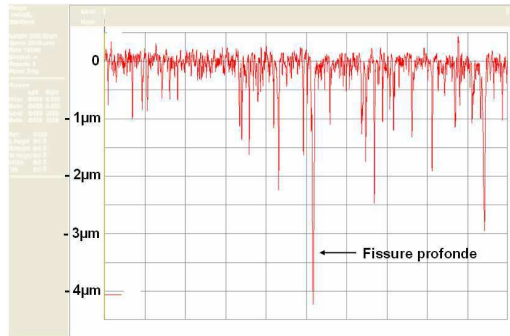


Figure C. 7 : Exemple de profil réalisé par profilomètre mécanique sur une surface d'oxyde amincie par grinding. Une forte rugosité est présente avec des fissures allant jusqu'à 4 μ m de profondeur

Il est possible d'observer en Figure C. 8 l'état de surface d'un empilement après étape de *grinding* et de polissage montrant la rugosité résiduelle de l'oxyde après amincissement. Les analyses réalisées ont montré une rugosité cinq fois plus importantes sur l'oxyde que sur le silicium des puces, ainsi que la présence de fissures après polissage de 3 μ m d'oxyde.

Il est important de signaler que les valeurs de rugosité mesurées par interférométrie optique ne sont pas aussi précises que celles obtenues par AFM. Cependant, cela est suffisant si l'on compare la rugosité de deux matériaux.

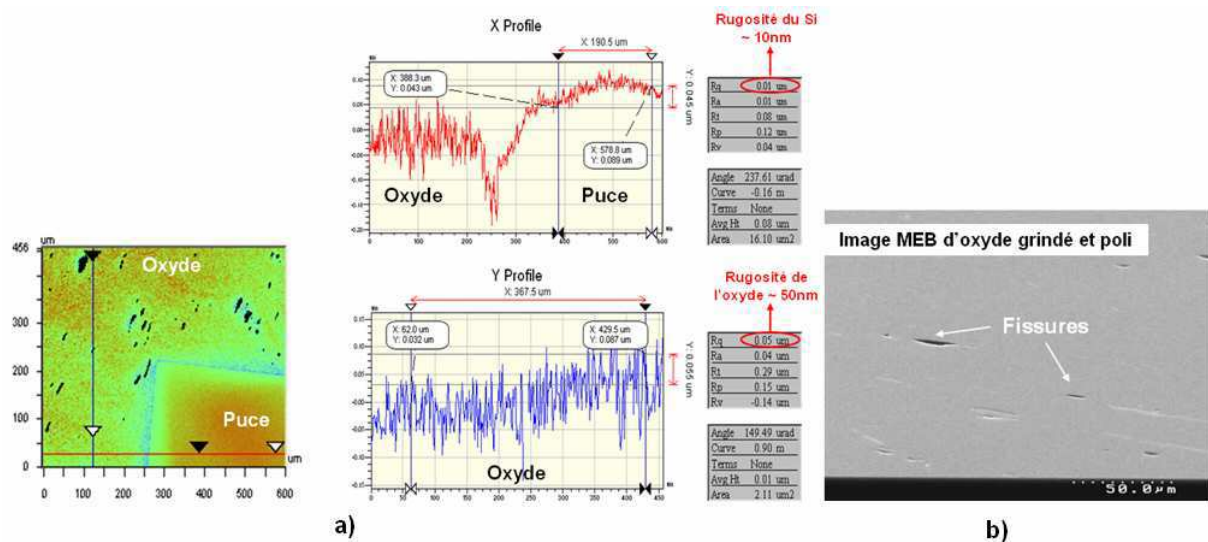


Figure C. 8 : Analyse réalisée par interférométrie optique sur une surface mixte silicium-oxyde après grinding et polissage montrant une rugosité de surface de l'oxyde cinq fois plus importante que celle du silicium des puces. b) Image MEB d'un oxyde entre les puces après étapes de grinding et d'enlèvement de 3 μ m par polissage mécano-chimique.

Il est intéressant de noter qu'habituellement l'oxyde est transparent à la longueur d'onde utilisée dans l'interféromètre optique. Néanmoins, l'observation en surface a été possible grâce à la rugosité de l'oxyde engendré par les étapes d'amincissement.

C.2.3) Planarisation de la surface mixte (Silicium/matériau de remplissage)

Comme déjà annoncé au paragraphe précédent, le polissage mécano-chimique est une étape primordiale pour améliorer l'état de surface final. Cette étape de polissage doit également permettre une meilleure planarisation de la surface mixte oxyde-silicium des puces. Cependant, la sélectivité d'enlèvement de ces deux matériaux n'étant pas la même, une topologie de surface apparaît après étape de planarisation. Celle-ci peut être représentée par une marche entre le silicium et l'oxyde ou alors un dishing dans le silicium.

La Figure C. 9 représente un exemple d'état de surface optimal après étape de planarisation. Cet exemple est obtenu après optimisation de l'étape de polissage de sorte à avoir une non sélectivité d'enlèvement entre les deux matériaux.

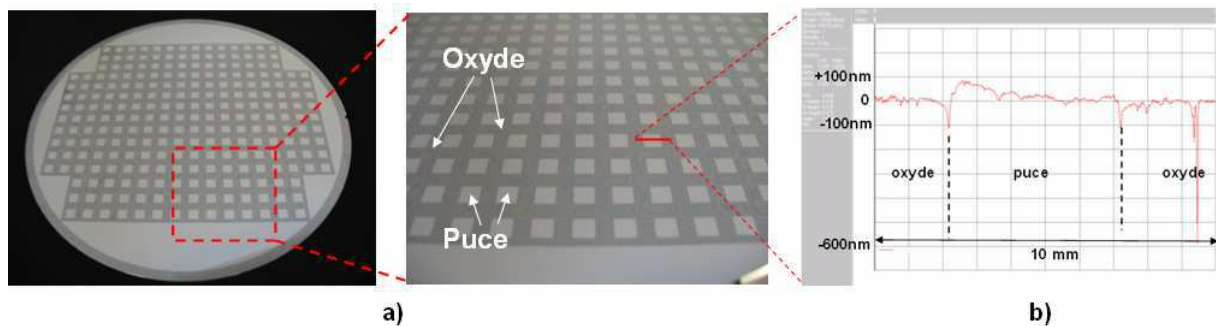


Figure C. 9 : Images a) et scan réalisé par profilomètre mécanique b) sur le meilleur état de surface réalisé après planarisation de la surface silicium des puce / oxyde HDR

La présence de marche entre les deux matériaux après étape de planarisation ainsi que la forte rugosité dans l'oxyde, au travers des fissures causées par grinding, montre un état de surface pouvant encore être problématique pour les étapes technologiques à venir. Notamment, des problèmes d'étalement de résine lors de la lithographie ou encore l'apparition de résidus de cuivre dans les fissures lors de la réalisation et polissage des lignes métalliques.

Conclusion

Cet état de surface n'est pas encore optimum pour permettre la validation de l'empilement puce à plaque permettant une intégration 3D haute densité. C'est pour cela que la recherche et le développement de nouveaux matériaux ont été réalisés dans le but de remédier aux différents obstacles rencontrés lors de la réalisation de cet empilement et d'identifier par la même occasion des matériaux alternatifs pour réaliser l'intégration de manière plus simple et plus rapide.

C.3) Identification de nouveaux matériaux de remplissage et réalisation de l'intégration puce à plaque

Il a été mis en évidence précédemment la difficulté d'amincir de l'oxyde de remplissage inter-puces par rapport au silicium. Ce comportement différent entre ces deux matériaux face à l'étape de *grinding* a donné lieu au développement de nouveaux oxydes avec enrichissements en silicium réalisés par les équipes de dépôts. Ceci, dans le but de « se rapprocher » du comportement du silicium lors des étapes d'amincissement. Néanmoins, les pourcentages d'enrichissement restent très faibles de sorte à garder ses propriétés isolantes.

C.3.1) Oxydes enrichis en silicium (SRO : Silicon Rich Oxide)

Propriétés des SRO

Le dopage en silicium lors d'un dépôt d'oxyde se fait en contrôlant et en adaptant les flux des gaz en présence, c'est-à-dire SiH_4 et N_2O . Il s'agit d'un équilibre entre l'augmentation du silane et la diminution du N_2O .

Deux oxydes enrichis en silicium ont été étudiés. Ils diffèrent entre eux et par rapport à l'oxyde HDR (que l'on appellera par la suite oxyde standard) par leur indice de réfraction. L'un est à 1.63, le second est à 1.75 pour une longueur d'onde de 633nm (à savoir que l'oxyde standard a un indice de 1.49). Un gain en vitesse de dépôt a également été observé pour ces oxydes, il s'agit d'un avantage non négligeable si le procédé passait en production. On passe ainsi d'une vitesse de $1.6\mu\text{m}/\text{min}$ à $2.7\mu\text{m}/\text{min}$. Les spectres d'absorbance FTIR des dits films pour une épaisseur de 700nm sont représentés en Figure C. 10 comparativement à l'oxyde standard (non enrichi). Les résultats permettent clairement de mettre en évidence l'enrichissement en Si du film d'oxyde : diminution du pic Si-O-Si vers les 1050 et 450 cm^{-1} et l'apparition d'un pic Si-H vers les 2250cm^{-1} .

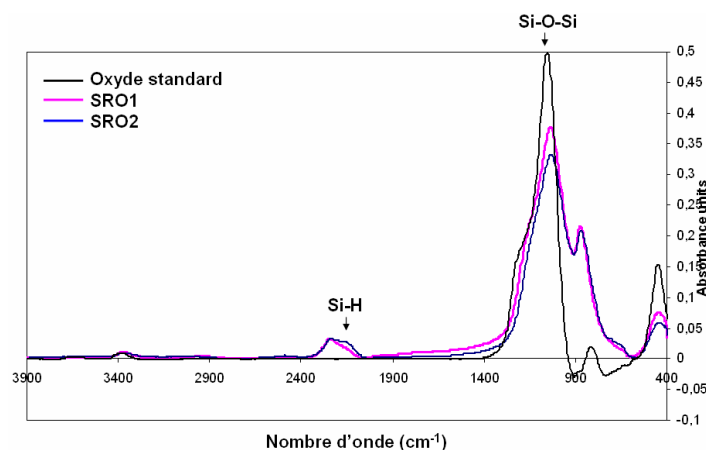


Figure C. 10 : Spectres FTIR des différents oxydes (standards et enrichis en silicium).

Dans le paragraphe précédent, il a été mentionné deux problèmes majeurs rencontrés lors de la réalisation de l'intégration puce à plaque : la difficulté d'amincissement de l'oxyde et un manque de croissance sur les flancs des puces lors du remplissage. L'enrichissement de l'oxyde standard en silicium a été notamment proposé pour faciliter l'amincissement. Pour ce qui est du manque de croissance lors du dépôt, il a été proposé de doper les oxydes en azote. En effet, cela augmente la mouillabilité des espèces et pourrait permettre une meilleure adhérence de l'oxyde sur les flancs. Le dopage en azote se fait en ajoutant de l'ammoniac (NH₃) lors du dépôt. C'est ce dernier qui favorise la diffusion du silane en surface et donc augmente sa mouillabilité sur les flancs des puces.

Les premiers résultats encourageants sur l'amincissement des oxydes enrichis en silicium, SRO1 et SRO2, (qui seront décrits aux paragraphes suivants) ont poussé le développement des dopages en azote sur ces oxydes enrichis en silicium. Il en résulte deux nouveaux oxydes SRO3 et SRO4 qui ont la particularité d'être enrichi en silicium et dopé en azote. Ils sont équivalents en enrichissement en silicium que les SRO1 et SRO2 respectivement. Cependant, leur indice de réfraction ainsi que leur vitesse de dépôt sont différents.

Le Tableau C. 1 regroupe les différents oxydes étudiés en décrivant quelques unes de leurs particularités.

Nom	Standard	SRO1	SRO2	SRO3	SRO4
Enrichissement et dopage	-	Si	Si +	Si et N	Si + et N
Vitesse de dépôt (µm/min)	1.55	2.78	2.5	3.15	2.78
Indice de réfraction (à 633nm)	1.48	1.63	1.78	1.58	1.73
Rapport (oxyde/silicium)	1.9	1.36	1.26	1.4	1.3

Tableau C. 1 : Tableau récapitulatif des différents oxydes étudiés pour le remplissage inter-puces

Remplissage de l'inter-puce avec les SRO

Des dépôts à partir des différents oxydes développés ont été réalisés sur des plaques avec méso (il s'agit de puces créées par gravure du silicium, description au paragraphe II.3.2). La première caractérisation réalisée sur les plaques après dépôt a été l'homogénéité du dépôt notamment en bord de puce. Les mesures par profilométrie mécanique ont permis d'identifier la présence de manque de croissance en bord de puce et de déterminer, de manière comparative, leur profondeur. En effet, la profondeur mesurée n'est pas forcément la profondeur réelle. Cela est dû à une limitation de mesure causée par la forme de la pointe utilisée.

Les différentes mesures réalisées sur les plaques sont décrites en Figure C. 11. Un manque de croissance de l'oxyde en bord de puce est présent pour tous les oxydes. On observe de faible amélioration. En effet, l'oxyde SRO4 dopé en azote permet une diminution d'environ 20% sur la profondeur atteinte par ce manque de croissance. On passe de 1.4µm sur

Il semblerait que l'enrichissement en silicium facilite l'amincissement de l'oxyde et permette une meilleure rugosité de surface. Il apparaît également une absence de profondes fissures comme celles observées sur l'oxyde standard aminci. La Figure C. 13 représente une analyse par interféromètre optique de la surface d'un empilement aminci (par grinding seulement). Celle-ci met en évidence l'absence de fissures dans l'oxyde et montre une rugosité de l'oxyde à peine trois fois plus grande que celle obtenue sur le silicium des puces. Cet état de surface après grinding des oxydes enrichis va permettre un faible enlèvement par polissage mécano-chimique pour obtenir une surface « lisse » sans fissures.

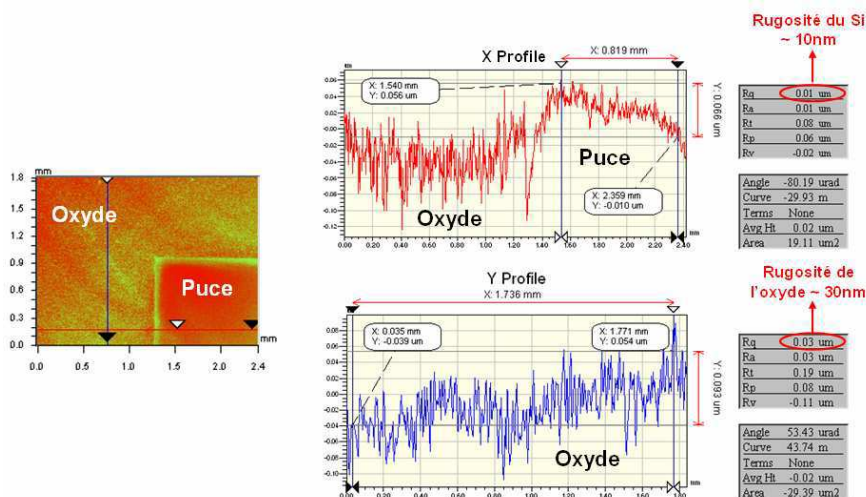


Figure C. 13 : Analyse réalisée par interférométrie optique sur une surface mixte silicium-oxyde enrichi (SRO2) après grinding seulement montrant une rugosité de surface de l'oxyde à peine trois fois plus importante que celle du silicium des puces ainsi que l'absence de trous (fissures) dans l'oxyde contrairement à l'oxyde standard.

Caractérisation physique des SRO (nanoindentation)

Des caractérisations par nanoindentation, sur les différents oxydes ont été faites, afin de vérifier s'il est possible de relier le comportement de ces derniers, lors de l'amincissement, à leur dureté.

La nanoindentation est une technique de caractérisation qui permet de remonter à la dureté ainsi qu'au module d'Young réduit du matériau indenté. Des dépôts pleines plaques, de 20µm, ont été réalisés pour cette étude. La profondeur de l'analyse s'est faite sur les 2 premiers microns en surface. Les résultats obtenus figurent dans le Tableau C. 2.

Oxydes	Module de Young réduit (GPa)	Dureté (GPa)
Oxyde standard	67.5 ± 2.4	7.6 ± 0.5
SRO1 (n=1,63)	64.8 ± 2.8	7.6 ± 0.5
SRO2 (n=1,78)	64.8 ± 3.8	7.7 ± 0.8
SRO3 (n=1,58)	72.5 ± 1.4	7.9 ± 0.2
SRO4 (n=1,73)	71.6 ± 1.4	7.6 ± 0.2

Tableau C. 2 : Tableau résumant les valeurs de module d'Young réduit et de dureté des différents oxydes étudiés

Les résultats de nanoindentation montrent la même valeur de dureté (environ 7.7GPa) pour tous les oxydes testés, aux erreurs de mesures près. Ce qui n'explique toujours pas la raison pour laquelle les oxydes enrichis en silicium se *grindent* plus facilement donnant de meilleurs rugosité que l'oxyde standard.

Pour ce qui est du module d'Young réduit, on peut distinguer deux familles d'oxydes : les oxydes dopés en azote (SRO3 et SRO4) et les non dopés (oxyde standard, SRO1 et SRO2). Cependant, la légère différence de valeur de module d'Young ne permet pas de conclure sur un comportement particulier face à l'amincissement. Des études supplémentaires doivent être réalisées afin de comprendre le comportement de ces différents matériaux face au mécanisme d'amincissement par *grinding*. La dissipation thermique pourrait être à l'origine de cette différence de comportement. Elle peut être mesurée à l'aide de la technique 3ω . Il s'agit d'une mesure dynamique qui permet d'évaluer la conductivité thermique d'un matériau. Elle consiste à déposer sur la surface du matériau étudié une fine bande métallique qui sert d'élément chauffant et de capteur de température [Jacquot2003]. Nous n'avons pas eu le temps de la mettre en œuvre.

Planarisation de la surface mixte (Silicium/SRO)

L'étape de *grinding* sur les oxydes enrichis en silicium s'est avérée plus facile à réaliser et cela sans développement particulier de cette étape d'amincissement. A l'inverse, l'étape de polissage mécano-chimique quant à elle a permis un amincissement de ces oxydes à l'épaisseur désirée sans difficulté mais avec une sélectivité très différente de celle du silicium.

Comparé au *grinding*, le polissage est une action mécanique et chimique, ce qui rend la composition chimique du matériau très importante lors de cette étape. En effet, le *slurry* non sélectif utilisé lors du polissage avec l'oxyde standard n'a pas eu le même effet sur cet oxyde enrichi (Figure C. 14). On observe une marche d'environ 900nm sur le silicium, ce qui montre que l'oxyde s'est enlevé plus facilement que le silicium (l'effet inverse était observé lors des premiers polissages silicium-oxyde standard).

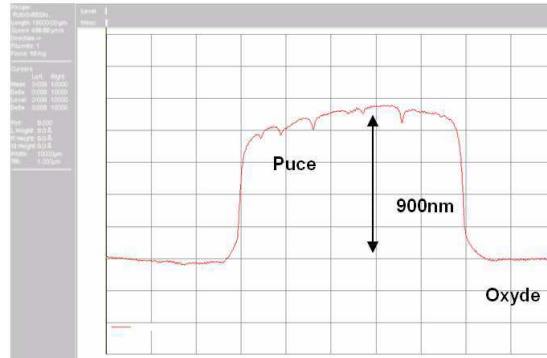


Figure C. 14 : Mesure par profilomètre mécanique de l'état de surface après polissage mécano-chimique d'une surface mixte puce de silicium / oxyde enrichi en silicium (SRO2)

Il est donc nécessaire de développer un *slurry* spécifique permettant un enlèvement non sélectif entre le silicium et l'oxyde enrichi utilisé. Ce développement consiste à modifier la chimie du *slurry* en jouant notamment sur la concentration des surfactants.

En regard des résultats obtenus sur le comportement des oxydes enrichis face à l'homogénéité de leur dépôt, leur amincissement ainsi que leur vitesse de dépôt, les oxydes SRO2 et SRO4 ont été retenus pour cette intégration. Le développement de slurry adéquat a été réalisé et a permis un parfait enlèvement non sélectif donnant lieu à un état de surface « plan » sans présence de marche entre les deux matériaux (silicium-oxyde enrichi).

Un exemple d'état de surface final est présenté en Figure C. 15 sur une plaque avec puces collées et après remplissage à l'aide de l'oxyde SRO2 puis planarisation de la surface. Une marche inférieure à 10nm est observée entre le silicium et l'oxyde (SRO2), comparée au 200nm obtenu avec l'oxyde standard dans les études précédentes. Une meilleure rugosité de l'oxyde est également observée et donc un meilleur état de surface de la plaque permettant la réalisation de toute étape technologique nécessaire à la finalisation de la structure 3D désirée.

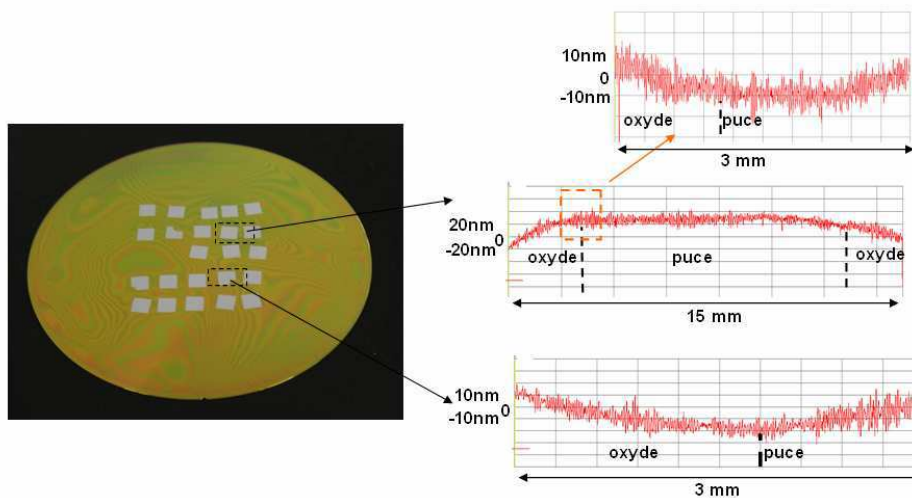


Figure C. 15 : Photo et scans obtenus par profilométrie mécanique d'une plaque avec puces collées après remplissage et planarisation de la surface mixte puce-SRO2

Conclusion

Les oxydes enrichis en silicium et éventuellement dopé en azote semblent être de très bons candidats au remplissage inter-puces. Les états de surface obtenus après étapes de *grinding* et de planarisation permettent la réalisation de n'importe quel procédé de fabrication nécessaire à la finalisation du dispositif finale désirée. Il est également possible d'envisager le report, par procédé de collage, d'un deuxième niveau de puce puis de reproduire à nouveau les différentes étapes d'amincissement, remplissage et planarisation pour recréer une surface plane et pouvoir empiler ainsi différents niveaux de puces. Cette approche montre donc la faisabilité de réalisation d'hétéro-structures par procédé de collage direct permettant de varier les fonctionnalités sur un même dispositif 3D.

Publications :

R. Taibi, L. Di Cioccio, C. Chappaz, M. Francou, J. Dechamp, P. Larre, S. Moreau, L-L. Chapelon, R. Fortunier, "*Investigation of stress induced voiding and electromigration phenomena on direct copper bonding interconnects for 3D integration*", International Electron Devices Meeting, IEDM (2011)

R. Taibi, L. Di Cioccio, C. Chappaz, L-L Chapelon, P. Gueguen, J. Dechamp, R. Fortunier, L. Clavelier, "*Full characterization of Cu/Cu Direct bonding for 3D integration*", Electronic Components and Technology Conference, ECTC, pp. 219-225, (2010)

L. Di Cioccio, **R. Taibi**, C. Chappaz, S. Moreau, L-L Chapelon, T. Signamarcheix, "*200°C direct bonding copper interconnects : electrical results and reliability*", IEEE International 3D System Integration Conference, 3D IC (2012)

L. Di Cioccio, P. Gueguen, **R. Taibi**, T. Signamarcheix, L. Bally, L. Vandroux, M. Zussy, S. Verrun, P. Leduc, M. Assous, D. Bouchu, F. De Crecy, L-L. Chapelon, L. Clavelier, "*An Overview of Patterned Metal/Dielectric Surface Bonding: Mechanism, Alignment and Characterization*", Journal of Electrochemical Society, pp. 81-86, (2011)

H. Moriceau, F. Rieutord, F. Fournel, L. Di Cioccio, C. Moulet, L. Libralesso, P. Gueguen, **R. Taibi**, C. Deguet, "*Low temperature direct bonding: an attractive technique for heterostructures build-up*", Microelectronics reliability (2011)

T. Signamarcheix, L. Bally, S. Verrun, **R. Taibi**, A. delolme, G. Lecarpentier, A. Farcy, B. Descouts, M. Legros, M. Martinez, V. Lelievre, E. Eugendre, L. Di Cioccio, V. Carron, C. Deguet, N. Sillon, "*Chip-to-Wafer Technologies for high density 3D integration*", Minapad forum (2011)

H. Moriceau, F. Rieutord, F. Fournel, L. Di Cioccio, C. Moulet, L. Libralesso, P. Gueguen, **R. Taibi**, C. Deguet, "*Low Temperature CMP Assisted or Plasma Activated Direct Bonding*", IEEE workshop (2010)

L. Di Cioccio, P. Gueguen, **R. Taibi**, T. Signamarcheix, L. Bally, L. Vandroux, M. Zussy, S. Verrun, J. Dechamp, P. Leduc, M. Assous, D. Bouchu, F. De Crecy, L-L.

Chapelon, L. Clavelier "*An innovative die to wafer 3D integration scheme : Die to wafer oxide or copper direct bonding with planarised oxide inter-die filling*", IEEE International 3D System Integration Conference, 3D IC, pp.1-4, (2009)

Rachid TAIBI

16 Rue Aimé Bery
38000 Grenoble
Téléphone : (+33)615504355
@ : rtaibi@ymail.com
8 juin 1984, nationalité Française

Docteur Ingénieur en Microélectronique



Capacité à travailler en équipe, autonomie, rigueur, communication et adaptabilité

EXPERIENCES PROFESSIONNELLES

2008 - 2011 **Ingénieur R&D (Thèse CIFRE) à STMicroelectronics** sur l'intégration 3D-IC, en collaboration avec le CEA-Léti.

« Etude et développement de procédés élémentaires à l'élaboration d'une architecture 3D pour des applications hautes performances de la téléphonie mobile »

- Connaissance et amélioration des procédés de fabrication pour la microélectronique (collage, amincissement, dépôt, photolithographie, gravure, traitement thermique, implantation ionique).
- Suivi des lots prototypes durant leur production en salle blanche.
- Fiabilité électrique des interconnexions métalliques en cuivre réalisées par collage direct, (électromigration, durée de vie, contraintes, cyclage thermique...).
- Caractérisation physique des matériaux : XRD, MEB, AFM, spectroscopie Raman, nanoindentation, flexion 4 points, profilomètre optique et mécanique.
- Dessin de véhicule de test et mise en place de l'intégration pour la réalisation de démonstrateurs.
- Encadrement de techniciens, stagiaire, et contrôle des résultats.
- Valorisation professionnelle : auteur et co-auteur de 8 publications pour des conférences internationales et 2 brevets.

2008 **Ingénieur chercheur (Stage de fin d'étude) au CEA-Léti Grenoble.** « Etude de faisabilité de l'empilement tridimensionnel de puces amincies sur substrat » pour l'intégration 3D (6 mois).

2007 - 2008 **Projet d'étude** en 5ème année INSA sur la fabrication de MEMS et composants MOS en salle blanche à l'INSA de Toulouse (4 semaines).

ETE 2007 **Ingénieur chercheur (Stage)** « Synthèse et caractérisation d'un semi-conducteur CuInS_2 pour application dans une cellule photovoltaïque électrochimique » à l'Université du Québec à Montréal (UQAM) (3mois).

- Evolution au sein d'une équipe internationale et pluridisciplinaire.
- Expérience dans le domaine du photovoltaïque.

2006 - 2007 **Projet multidisciplinaire** à l'INSA : Analyse du comportement sous radiation des fibres optiques en association avec le CNES (Centre National D'étude Spatiale) (9 mois).

- Expérience dans le domaine spatial.

2006 - 2007 Intérimaire sur différents postes à Synergie Labège Toulouse (8 mois).

FORMATIONS

2008 - 2011 **DOCTORAT** en micro et nano électronique à l'INP Grenoble

2005 - 2008 **Diplôme d'ingénieur à l'INSA** (Institut National des Sciences Appliquées) de TOULOUSE spécialité "Génie Physique" Option "Micro-Nanotechnologie et Microsystèmes"

2004 - 2005 **Licence de physique** à l'Université Aix Marseille III (Paul Cézanne)

2002 - 2004 **DEUG Science de la Matière** option « ENSI Physique » à l'Université Aix Marseille III (Paul Cézanne)

2001 - 2002 **Baccalauréat option scientifique** au « Lycée Ihaddaden » en Algérie

COMPETENCES

- Langues :
 - Bilingue : Français/Arabe (lu / parlé / écrit)
 - Anglais : Bon niveau (oral et écrit)
- Informatique :
 - Cadence; notion en C++; Origin; Microsoft office; logiciel de suivi de production

CENTRE D'INTERET

- Sports :
 - Squash, volley ball, équitation, football, karaté (ceinture marron)
- Loisirs :
 - Pêche sous-marine, cinéma, musique

Résumé

Depuis plus de 50 ans, l'industrie de la microélectronique ne cesse d'évoluer afin de répondre à la demande d'augmentation des performances ainsi que des fonctionnalités des composants, tout en diminuant les tailles et les prix des produits. Cela est obtenu à ce jour principalement par la réduction des dimensions des composants électroniques. Cependant les dimensions actuelles des transistors atteignent une limitation physique et de nombreux effets parasites émergent. Il devient évident que dans un avenir très proche cet axe de développement ne sera plus envisageable. L'intégration tridimensionnelle apparaît alors comme une solution très prometteuse face à cette problématique de miniaturisation. Cette architecture permet la réalisation de composants plus performants tout en augmentant les fonctionnalités de ces derniers. Son concept consiste à empiler différents circuits de natures éventuellement différentes puis de les interconnecter électriquement à l'aide de connexions verticales. Le collage direct métallique permet en ce sens d'assembler mécaniquement et électriquement deux circuits l'un sur l'autre. Le but de ce travail de thèse est d'étudier le comportement électrique du procédé de collage direct métallique avant de l'intégrer dans un composant actif. On retrouve dans la première partie de ces travaux, la description du jeu de masque ainsi que les intégrations technologiques utilisées, pour réaliser les démonstrateurs 3D permettant les différentes caractérisations électriques de ces interconnexions métalliques. L'évolution de la résistance spécifique de l'interface de collage a été investiguée en fonction de la température de recuit. Puis, la fiabilité électrique de ces interconnexions a été étudiée en analysant leurs comportements face aux risques de dégradation induits par électromigration ou sous contrainte thermique. Des études physico-chimiques ont permis d'analyser les défaillances et de proposer des mécanismes. Pour finir, dans une dernière partie, les étapes technologiques nécessaires à une intégration 3D haute densité type puce à plaque ont été développées et caractérisées.

Summary

During 50 years, semiconductor technology has been evolving in exponential rates in both productivity and performance. By following a steady technological path that consists in scaling down transistors and increasing electronic components density, the semiconductor industry was able to meet the increasing demand in high performance, low power consumption and low cost devices. However by constantly shrinking devices geometries and increasing functionalities, semiconductor industry is facing physical limitations in addition to more and more overwhelming parasitic effects. Since further miniaturisation would be made impossible in a near future, 3D integration appears as a promising approach to go beyond planar integration possibilities. This approach allows high performances and various functionalities compounds achievements. 3D integration consists on various chips stacking with vertical and electrical interconnects. The metallic direct bonding offers strong mechanical bond with a good electrical conductivity between the two bonded circuits. In this work, electrical behaviours of bonded devices achieved by direct bonding are studied. First, the various structures layout used in this study and the process flow integration for the 3D demonstrator are described. Then, electrical characterization of metallic interconnects are performed. Measurements and results are reported and discussed concerning the study of resistance evolution of the bonding interface during anneal. And the investigation of the bonded devices behaviours facing the risk of reliability issues on Cu-Cu direct bonded interconnects are achieved by addressing electromigration items and several thermal stress tests as stress voiding or thermal cycling. Finally, physical characterizations enabled failure mechanisms analysis and identification. technological steps required for a chip to wafer integration using direct bonding process has been developed and studied during this work. Results are given at the end of this report.