



**HAL**  
open science

## Etude de dispositifs à film mince pour les technologies sub-22nm basse consommation

Jean-Luc Huguenin

► **To cite this version:**

Jean-Luc Huguenin. Etude de dispositifs à film mince pour les technologies sub-22nm basse consommation. Autre. Université de Grenoble, 2011. Français. NNT : 2011GRENT073 . tel-00680798

**HAL Id: tel-00680798**

**<https://theses.hal.science/tel-00680798>**

Submitted on 20 Mar 2012

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

## THÈSE

Pour obtenir le grade de

### DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Nano Electronique et Nano Technologies**

Arrêté ministériel : 7 août 2006

Présentée par

**Jean-Luc HUGUENIN**

Thèse dirigée par **Gérard Ghibaudo** et  
codirigée par **Thomas Skotnicki**

préparée au sein de l'Institut de **Microélectronique, Electromagnétisme et Photonique (IMEP-LAHC)** et **STMicroelectronics, Crolles**.

dans l'**École Doctorale Electronique, Electrotechnique et Automatique et Traitement du Signal (EEATS)**.

## Etude de dispositifs à film mince pour les technologies sub-22nm à basse consommation

Thèse à soutenir publiquement le **3 novembre 2011**,  
devant le jury composé de :

**M. Olivier BONNAUD**

Pr. Université de Rennes 1,

Président

**M. Cor CLAEYS**

Pr. Université Catholique de Leuven,

Rapporteur

**M. Abdelkader SOUFI**

Pr. INSA de Lyon,

Rapporteur

**M. Gérard GHIBAUO**

DR. CNRS Alpes – IMEP-LAHC/INPG,

Directeur de thèse

**M. Thomas SKOTNICKI**

Ing. STMicroelectronics, Crolles,

Co-directeur

**M. Stéphane MONFRAY**

Ing. STMicroelectronics, Crolles,

Invité

**M. Thomas ERNST**

Ing. CEA/LETI,

Invité





*Sic transit gloria mundi*





---

---

# REMERCIEMENTS

---

---

Il est important de préciser que, même si l'on est seul dans les ultimes moments, une thèse est le travail de plusieurs personnes et plus particulièrement lorsque celle-ci est réalisée en milieu industriel comme ce fut mon cas. En effet, cette thèse CIFRE faisait l'objet d'une collaboration entre la société STMicroelectronics (site de Crolles où j'ai passé la majeure partie de mon temps) et le laboratoire IMEP-LAHC de Grenoble. Ainsi, je tiens à remercier toutes les personnes qui ont participé de près ou de loin à ce travail et sans qui ce manuscrit n'aurait jamais pu être écrit. Je vais essayer de n'oublier personne dans les lignes qui vont suivre, mais ce n'est pas une tâche aisée tant les interactions ont été nombreuses et variées.

Pour commencer, je tiens à remercier messieurs Olivier Bonnaud (Université de Rennes 1), Cor Claeys (Université Catholique de Leuven), Abdlekader Souifi (INSA Lyon) et Thomas Ernst (CEA-Léti) d'avoir accepté de faire partie du jury lors de ma soutenance, d'avoir pris sur leur temps de travail pour lire ce manuscrit et pour les discussions que nous avons eu le fameux jour J.

Je remercie chaleureusement Gérard Ghibaudo, directeur de l'IMEP-LAHC et surtout, mon directeur de thèse. Pendant ces trois années de thèse il m'a impressionné par sa disponibilité et sa réactivité. Je le remercie pour le temps qu'il a pris sur son travail pour relire mes différents articles et le temps qu'il a pris sur ses vacances pour relire ce manuscrit. Dès le début on m'avait dit que j'avais de la chance d'avoir "GG" comme directeur de thèse, je ne peux que confirmer. Par l'intermédiaire de Gérard, je tiens également à remercier l'ensemble de l'IMEP-LAHC pour les moyens qu'ils ont mis à ma disposition et plus particulièrement pour l'organisation des différentes conférences auxquelles j'ai participé (merci Annaïck Moreau).

Egalement présent dans mon jury, Stéphane Monfray, ingénieur chez STMicroelectronics, qui a été mon encadrant industriel et qu'à ce titre je cotayais quotidiennement. Ce fut un réel plaisir de travailler avec lui et je le remercie vivement pour ces trois ans. Toujours disponible pour me guider, répondre à mes questions, discuter des résultats, il a également toujours trouvé les mots pour me motiver lorsque c'était nécessaire. Je le remercie également pour tout le temps qu'il a passé à relire et corriger mes différents articles mais surtout ce manuscrit. Il est également très agréable d'avoir quelqu'un comme Stéphane à ses côtés pour des moments sortant du cadre de la thèse comme les pauses café, repas, sorties d'équipes ou encore pour notre seule conférence commune en Finlande. Je pense que le déroulement d'une thèse est lié au rapport doctorant/encadrant et je dois beaucoup à Stéphane pour le très bon déroulement de ma thèse.

Même si je n'ai eu aucune interaction avec eux au cours de cette thèse, je souhaite faire un clin d'œil aux personnes qui sont à l'origine de mon orientation vers cette thèse : Philippe Escanes, ancien camarade à l'Université de Montpellier II et collègue de stage de fin d'étude, Frédéric Saigné, professeur à l'Université de Montpellier II, Stéphane Vittoz, collègue stagiaire de fin d'étude qui m'a fait circuler le sujet de thèse et Markus Muller ainsi que Georgios Vellianitis qui ont appuyé ma candidature.

Au sein d’ST, j’étais rattaché à l’équipe des “Modules Avancés” et j’aimerais adresser un petit mot à chacun de mes collègues (dans un ordre quasi-aléatoire). Thomas Skotnicki, co-directeur de cette thèse et chef de l’équipe lors de mon arrivée. Merci de m’avoir accueilli dans ton équipe et pour ton soutien lors de plusieurs présentations orales en conférence. Thomas, quand tu veux pour la revanche au tennis ! Grégory Bidal, collègue thésard pendant ma première année puis collègue tout court par la suite. Il a joué un vrai rôle d’encadrant pendant un an et a su rester présent par la suite, je lui dois beaucoup (notamment 2 brevets) et je l’en remercie infiniment. De plus, Gregory est quelqu’un de profondément bon et j’ai passé d’excellents moments avec lui (à Hawaï par exemple ou encore à son mariage) ! Frédéric Bœuf, chef de l’équipe dans la deuxième partie de cette thèse, qui a toujours gardé un œil bienveillant sur l’évolution de mon travail. Je remercie également Fred pour l’excellente ambiance qui règne dans cette équipe, je pense que sa patience et son humour y sont pour beaucoup. Je le remercie également pour toutes ces discussions qui ont animé nos pauses café et repas et pour ses traits de caractères qui font que Fred est Fred : sa haine (peur ?) de la neige, son gros penchant *geek* (que j’ai l’impression d’être le seul à comprendre) et son amour des séries (TBBT est faite pour toi). Pierre Perreau qui m’a rapidement pris sous son aile et m’a rendu des milliers de services pour tout ce qui se passe en salle blanche. Pierre fait partie des personnes qui m’ont le plus aidé pendant cette thèse et je l’en remercie chaleureusement. Je le remercie également pour nos nombreuses parties de squash entre midi et deux et les repas qui suivaient. Stéphane Denorme, présent pendant ma première année de thèse, il m’a appris les rudiments du monde de l’industrie et “la survie en milieu hostile” comme il se plaît à le dire, je pense que son coaching a porté ses fruits. Pascale Mazoyer pour sa perpétuelle bonne humeur et pour son coup de pouce pour mes différents brevets. Claire Fenouillet-Béranger que j’ai presque plus fréquenté en conférence qu’au boulot, pour tous ces paysages magnifiques que nous avons vu ensemble. Kinaou Hervé, notre programmeur, pour sa bonne humeur et sa gentillesse. Charles Baudot, notre Mauricien national pour sa gentillesse, son humour, sa façon de tout savoir sur tout, son excellente cuisine (et les financiers de Justine) et nos récentes soirées potins/misfits avec Joris qui sont géniales (surtout les potins). Puis (je serais tenté de dire le meilleur pour la fin mais ça en vexerait certains), un grand merci à Joris Lacord, arrivé un an après moi et mon co-box pendant 18 mois. Il est dur de tout résumer en quelques lignes tant il y aurait à dire. D’un point de vue professionnel, je le remercie pour sa disponibilité, toujours prêt à aider et prendre le temps de réfléchir avec moi, je lui dois entre autre la dernière partie du chapitre IV de ce manuscrit, un article à l’ESSDERC et un modèle double grille. Mais je remercie surtout Joris pour la vie de tous les jours et les “à côtés” de la vie professionnel qui, je me répète, seraient durs à résumer ici mais qui ont énormément compté et ont fait régner une excellente ambiance pendant cette thèse. Enfin, une petite pensée pour toutes les autres personnes de l’équipe, anciennes et nouvelles, que j’ai croisées au cours de ces trois ans : Sophie (on se retrouve dans quelques lignes), Mélanie, Emilie, Estelle, Nathalie, Bernard, Jessy, Marie-Pierre, Germain et la nouvelle génération : Rémi, Léopold et Boris (bref... pécore quoi !). J’associe à ces remerciements les anciens voisins du B1 Bis rez-de-chaussée : Lionel, Alexis, Yacine, Perceval, Fabrice, David, Pierre, Sylvain, Yoan, Hamed. Des personnes qu’il était toujours agréable de croiser sur le site mais qu’il vaut mieux éviter au poker. Je salue aussi certains collègues thésards que j’ai eu l’occasion de cotoyer : Rachid, Clémence, Slawosz, Josep, Andres, Laurent N., Laurent B. (Maui forever) et Thomas.

Pour mener à bien l'intégration de mes différents dispositifs et leur caractérisation électrique, de nombreuses interactions ont été nécessaires avec des spécialistes que je tiens à remercier. Une mention spéciale à Yves Campidelli dit *Campi*, qui, en plus d'être un expert de l'épitaxie et quelqu'un de génial, je le remercie pour son aide, sa disponibilité, sa bonne humeur et sa gentillesse. A ST, je remercie Denis Pellissier-Tanon, Rémi Beneyton, Luc Pinzelli, François Leverd, Pascal Gouraud, Sébastien Lagrasta, Damien Jeanjean, Patrick Maury, Bertrand Le-Gratiet, Côme de Buttet, Francesco Abatte, Dominique Fleury, Antoine Cros, François Dieudonné, Julien Rosa et Ruddy Costanzi. Au CEA-Léti : Marie-Pierre Samson, Sébastien Barnola, Christian Arvet, Jean-Michel Hartmann et Vincent Destefanis sans qui le chapitre III de ce manuscrit n'existerait sans doute pas.

Mais, trois années de thèse ne peuvent pas se résumer à de simples relations professionnelles et je me dois d'associer à ces remerciements certaines personnes rencontrées pendant cette période et qui m'ont accompagné à leur façon. Je pense notamment au quatuor David, Sophie, Johanna et François Prunier pour nos excellentes soirées bouffe. Pierre, Gilles, Vincent, Antoine et Manu pour les barbeucs/pétanque (entre autres). Emile, Vince, Estelle, Fabrice, Greg et Elo pour quelques soirées mémorables avec en tête de liste un certain mariage qui manquait cruellement de Bob... Le duo François et Bruno pour nos soirées D'Enfer. Le couple Joris (que j'ai déjà bien remercié)/Rachel pour quelques bonnes soirées mais surtout pour avoir été là quand j'en ai eu besoin. Il y a également eu l'aventure des Cadix euh... des PND's euh... non, des Gonogoz avec Lionel, Alex et Sylvain. Un groupe de musique éphémère qui m'aura permis de m'apercevoir que j'imite très bien l'animateur de fête foraine, mais également de découvrir (en + de Lio) Alex et Sylvain qui sont deux personnes absolument géniales. Puis il y a "la bande de copiiiiings" avec qui j'ai passé la plus grande partie de mon temps libre entre les soirées vin-fromage-charcut' et autres virées/week-end : Pauline et Yacine, fraîchement expatriés en Suisse et Sophie et Lionel... des personnes en or. Je dois beaucoup à ces deux derniers pour leur aide et leur soutien sans faille dans les moments les plus durs (mais aussi les moins durs).

Puis, il y a ceux qui étaient déjà là avant et qui, même si on s'est éloigné géographiquement, sont restés à mes côtés : Laurent N. capable de redonner le sourire en 2 sms, Aurélien dont le travail nous fait tous rêver (quand tu veux pour un séminaire), Laurent P. et nos discussions toujours très intéressantes et parfois juste drôles, Vincent qui est sans doute le seul à comprendre ce que je fais, Mehdi qu'il est toujours bon de revoir et Jérémy, le plus catalan des aveyronnais.

Enfin, comme je n'aurais sans doute jamais l'occasion de le dire pour la remise d'un Oscar ou de la Palme d'Or : je voudrais remercier mes parents sans qui je ne serais pas là aujourd'hui. Je remercie également l'ensemble de ma famille pour leur présence, leur aide et leur soutien, qui m'ont permis d'arriver jusqu'ici. Je suis fier d'avoir une famille comme ça.

Mes dernières lignes sont pour Julianne qui restera associée à cette période de ma vie. Pour tous les bons moments partagés au cours de ces trois années (et quelques voyages extraordinaires) : merci !



---

---

# SOMMAIRE

---

---

REMERCIEMENTS.....	1
SOMMAIRE.....	5
INTRODUCTION GENERALE.....	9
<b>CHAPITRE I: LE TRANSISTOR MOS ET SA MINIATURISATION... VERS DE NOUVELLES ARCHITECTURES.....</b>	<b>11</b>
<b>I.A. Généralités.....</b>	<b>13</b>
I.A.1. Principes de fonctionnement et architecture générale.....	13
I.A.2. La tension de seuil $V_{TH}$ .....	14
I.A.3. Régime sous le seuil ou régime d'inversion forte.....	15
I.A.3.a. <i>Caractéristiques sous le seuil</i> .....	15
I.A.3.b. <i>Régime d'inversion forte : courant de saturation <math>I_{ON}</math></i> .....	16
<b>I.B. La miniaturisation et ses effets parasites.....</b>	<b>18</b>
I.B.1. La course à la miniaturisation.....	18
I.B.2. Les effets parasites.....	18
I.B.2.a. <i>Le courant de fuite de grille</i> .....	18
I.B.2.b. <i>Les effets canaux courts</i> .....	19
I.B.2.c. <i>Les résistances séries</i> .....	21
<b>I.C. Vers de nouvelles architectures.....</b>	<b>23</b>
I.C.1. Optimisation du transistor MOS conventionnel.....	23
I.C.1.a. <i>Implantations "poches"</i> .....	23
I.C.1.b. <i>L'empilement de grille "High-k/Métal"</i> .....	24
I.C.1.c. <i>"Gate first" vs. "gate last"</i> .....	26
I.C.2. Les dispositifs à film mince.....	27
I.C.2.a. <i>Le substrat SOI</i> .....	27
I.C.2.b. <i>Le SOI totalement déserté (FDSOI)</i> .....	28
I.C.2.c. <i>Le FDSOI à BOX mince</i> .....	29
I.C.3. Les architectures à grilles multiples.....	30
I.C.3.a. <i>Les architectures Double Grille</i> .....	31
I.C.3.b. <i>Les architectures Triple Grille</i> .....	33
I.C.3.c. <i>Les architectures à Grille Enrobante</i> .....	34
I.C.3.d. <i>Les architectures nanofils</i> .....	35
I.C.4. Les solutions pour améliorer le transport.....	36
I.C.4.a. <i>La contrainte mécanique</i> .....	36
I.C.4.b. <i>Le matériau du canal</i> .....	38
I.C.4.c. <i>L'orientation cristalline</i> .....	39
<b>I.D. Conclusion du chapitre.....</b>	<b>42</b>

<b>CHAPITRE II: LE SOI LOCALISE : ARCHITECTURES A FILM ET OXYDE ENTERRE MINCES ....</b>	<b>43</b>
<b>II.A. Les architectures à film et oxyde enterré minces .....</b>	<b>45</b>
II.A.1. Impact sur l'électrostatique.....	45
II.A.1.a. Influence de l'épaisseur de silicium $T_{Si}$ .....	45
II.A.1.b. Influence de l'épaisseur de $T_{BOX}$ .....	47
II.A.2. Intérêt du film mince pour la variabilité.....	48
II.A.3. Intérêt du BOX mince pour l'adressage de plusieurs tensions de seuil.....	49
<b>II.B. Transistors UTBB à partir de la technologie SON .....</b>	<b>52</b>
II.B.1. La technologie SON.....	52
II.B.1.a. Historique.....	52
II.B.1.b. L'épitaxie sélective .....	53
II.B.1.c. La gravure du SiGe.....	54
II.B.2. Le "BULK+" ou LSOI type-A.....	55
II.B.2.a. Procédé de fabrication .....	55
II.B.2.b. Limitations et optimisations.....	58
II.B.3. Le LSOI type-B .....	59
II.B.3.a. Procédé de fabrication .....	59
II.B.3.b. Limitations et optimisations.....	62
<b>II.C. Résultats électriques sur les architectures LSOI réalisées.....</b>	<b>65</b>
II.C.1. LSOI type-A .....	65
II.C.1.a. Résultats électriques de transistors unitaires.....	65
II.C.1.b. Cellules SRAM-6T.....	66
II.C.2. LSOI Type-B .....	68
II.C.2.a. Résultats électriques de transistors unitaires.....	68
II.C.2.b. SRAM-6T.....	69
II.C.3. Comparaison des architectures LSOI type-A et type-B.....	71
II.C.3.a. Impact de l'implantation du plan de masse sur la variabilité .....	71
II.C.3.b. Le gain 3D : avantage LSOI type-A.....	73
II.C.3.c. La polarisation par la face arrière : avantage LSOI type-B.....	74
<b>II.D. Co-intégration dispositifs LSOI et silicium massif .....</b>	<b>78</b>
II.D.1. Concept et intérêt .....	78
II.D.2. Procédé de fabrication.....	79
II.D.3. Performances des dispositifs BULK co-intégrés.....	82
II.D.3.a. Performances des transistors I/O.....	82
II.D.3.b. Variabilité.....	83
II.D.3.c. Bruit basse fréquence en $1/f$ .....	84
II.D.3.d. Protections ESD.....	85
<b>II.E. Conclusions et application au FDSOI.....</b>	<b>88</b>
<b>CHAPITRE III: PERFORMANCES DE TRANSISTORS LSOI SUR SUBSTRAT (110) : IMPACT DE LA DIRECTION DU CANAL.....</b>	<b>89</b>
<b>III.A. Introduction du chapitre.....</b>	<b>91</b>
<b>III.B. Influence de l'orientation cristalline sur les propriétés de transport dans le silicium: théorie .....</b>	<b>92</b>

III.B.1. Structure de bande du silicium .....	92
III.B.2. La bande de conduction .....	93
III.B.3. La bande de valence .....	94
<b>III.C. Ajustements du procédé de fabrication du LSOI liés à l'utilisation d'un substrat (110) .....</b>	<b>97</b>
III.C.1. Ajustement de la gravure du silicium.....	97
III.C.2. Ajustement de l'épitaxie SiGe/Si .....	98
III.C.2.a. Ajustement de l'épitaxie SiGe.....	98
III.C.2.b. Ajustement de l'épitaxie de Si.....	99
III.C.2.c. Suite et fin du procédé de fabrication.....	100
<b>III.D. Etude de l'impact de la direction du canal sur des dispositifs LSOI type-B sur substrat (110) .....</b>	<b>102</b>
III.D.1. Méthodes d'extraction de la mobilité .....	102
III.D.1.a. La méthode "split C-V" .....	102
III.D.1.b. La fonction Y.....	104
III.D.2. Extraction de la mobilité sur les dispositifs LSOI (110).....	105
III.D.3. Etude en courant sur les dispositifs LSOI (110) réalisés .....	108
III.D.3.a. Cas des transistors longs .....	108
III.D.3.b. Cas des transistors courts .....	109
<b>III.E. Conclusion du chapitre.....</b>	<b>112</b>
<b>CHAPITRE IV: L'ARCHITECTURE DOUBLE-GRILLE PLANAIRE A GRILLE ENROBANTE .....</b>	<b>115</b>
<b>IV.A. Introduction du chapitre : une architecture à grille enrobante pour la fin de la roadmap ?.....</b>	<b>117</b>
<b>IV.B. Etat de l'art des architectures GAA utilisant le SON .....</b>	<b>121</b>
IV.B.1. Le GAA SON Latbridge.....	121
IV.B.2. Le GAA adapté à la conception .....	122
IV.B.3. Le SADAGAA .....	123
IV.B.4. Les multicanaux et nanofils utilisant le SON .....	124
<b>IV.C. Procédé d'intégration de l'architecture GAA .....</b>	<b>126</b>
IV.C.1. Principe général et points communs .....	126
IV.C.2. Défis communs.....	129
IV.C.3. Etapes et développements propres à l'architecture sur SOI .....	130
IV.C.4. Etapes et développements propres à l'architecture sur Si massif.....	131
IV.C.5. Dispositif GAA avec $T_{Si}=4nm$ .....	133
<b>IV.D. Caractérisation électrique des transistors réalisés .....</b>	<b>134</b>
IV.D.1. Architecture GAA sur SOI.....	134
IV.D.1.a. Performances des transistors avec $T_{Si}=7nm$ .....	134
IV.D.1.b. Performances des transistors avec $T_{Si}=4nm$ .....	135
IV.D.1.c. Influence de l'épaisseur du canal sur la mobilité.....	136
IV.D.2. Architecture GAA sur Si massif .....	137
IV.D.3. Caractérisation d'un inverseur en technologie GAA .....	139
IV.D.4. Influence du canal parasite sur les mesures ? .....	140
IV.D.5. Comparaison avec l'état de l'art et comparaison des deux architectures .....	142



---

<b>IV.E. Perspectives circuit des architectures GAA et comparaison avec le FinFET.....</b>	<b>144</b>
IV.E.1. Présentation de l'architecture FinFET double grille et de ses problématiques.....	144
IV.E.2. Etude perspective d'environnements circuits en technologie à grille multiples .....	148
IV.E.2.a. Simulations des caractéristiques $I(V)$ .....	148
IV.E.2.b. Estimation de la capacité totale .....	149
IV.E.2.c. Capacités de l'architecture planaire .....	151
IV.E.2.d. Capacités du FinFET.....	155
IV.E.2.e. Evaluation des délais de propagation .....	157
IV.E.2.f. Etude en fonction de la largeur dessinée.....	159
<b>IV.F. Conclusion du chapitre .....</b>	<b>161</b>
<b>CHAPITRE V: PERSPECTIVES D'UNE PLATEFORME EN TECHNOLOGIE GAA PLANAIRE ....</b>	<b>163</b>
<b>V.A. Perspectives plateforme .....</b>	<b>165</b>
V.A.1. Une offre <i>multi-<math>V_{TH}</math></i> .....	165
V.A.1.a. Principe .....	165
V.A.1.b. Procédé de fabrication .....	167
V.A.2. Co-intégration GAA/Bulk conventionnel .....	170
<b>V.B. Utilisation de la résine HSQ : vers un GAA idéal ?.....</b>	<b>173</b>
V.B.1. Présentation de la résine HSQ .....	173
V.B.2. Intégration GAA avec utilisation du HSQ .....	174
V.B.2.a. Procédé de fabrication .....	174
V.B.2.b. Perspectives plateforme avec le GAA-HSQ :.....	176
<b>V.C. Conclusion de chapitre.....</b>	<b>179</b>
<b>CONCLUSION GENERALE.....</b>	<b>181</b>
<b>BIBLIOGRAPHIE.....</b>	<b>185</b>
<b>PUBLICATIONS DE L'AUTEUR .....</b>	<b>207</b>

---

---

# INTRODUCTION GENERALE

---

---

300 milliards de dollars : voici le chiffre d'affaire de l'industrie de la microélectronique en 2010, domaine très compétitif et à forte croissance, devenu un secteur clé dans l'économie mondiale. La brique élémentaire de cette industrie est le transistor MOS (pour Métal-Oxyde-Semiconducteur), objet manufacturé le plus vendu sur Terre, dont les dimensions sont revues à la baisse pour chaque nouvelle génération. Car la force de cette technologie se situe bien là : une possibilité d'intégration et de réduction d'échelle unique en son genre qui permet d'améliorer en permanence la rapidité des circuits mais également de diminuer le coût de fabrication d'une puce. On comprend alors l'intérêt qu'ont les industriels de la microélectronique à suivre le modèle défini par l'ITRS (*International Technology Roadmap for Semiconductors*) qui reprend le principe de la "Loi de Moore" : le nombre de transistors sur une puce doit être doublé tous les 18 mois.

Si la simple réduction d'échelle (et de la tension d'alimentation) s'est avérée suffisante pendant de nombreuses années, la donne a quelque peu changé depuis l'adoption du nœud 90nm : les gains en performances ne sont plus aussi importants que prévu entre deux générations et les courants de fuite augmentent systématiquement. Néanmoins, l'industrie de la microélectronique ne manque pas de ressources et des solutions technologiques ont toujours été apportées pour poursuivre la miniaturisation du transistor. Ces solutions sont d'autant plus intéressantes, qu'elles permettent de conserver l'architecture conventionnelle (appelée BULK) du transistor, favorisant ainsi une évolution rapide et maîtrisée pour rester compétitif sur un marché de l'électronique grand public qui évolue en permanence (télévisions, ordinateurs, lecteurs MP3, automobiles, téléphones portables...).

Si le BULK est encore utilisé sur les technologies actuelles (nœud 32/28nm), il commence à montrer ses limites face à des effets parasites (liés à la miniaturisation) toujours plus importants et de nouvelles architectures de transistors MOS sont alors envisagées pour le remplacer. Parmi les candidats les plus sérieux, on peut citer les dispositifs à film mince sur diélectrique enterré, qui, en restant assez proche d'une intégration "classique", améliorent de manière significative le contrôle des effets parasites et permettent de conserver des courants de fuite relativement faible (ce qui est important pour réduire la consommation des circuits). D'autres architectures, comme les multigrilles, sont également étudiées avec un intérêt particulier. Ces dernières semblent en effet être en mesure, de par leur immunité aux effets de canal courts (effet parasite majeur lié à la miniaturisation), d'accompagner le transistor MOS jusqu'à la fin de la *roadmap* définie par l'ITRS.

Ces études sont primordiales car un changement de grande envergure est également en cours du point de vue de l'utilisation des appareils électroniques. On ne cherche plus seulement à améliorer les performances des circuits mais également à abaisser leur consommation pour augmenter l'autonomie des applications portables qui sont en plein essor. On souhaite également profiter de la miniaturisation du transistor pour intégrer plusieurs fonctionnalités sur une même puce et continuer à gagner de la place : on parle de SoC (pour *System-on-Chip*). Le meilleur exemple de ce changement dans les besoins du consommateur est certainement l'arrivée massive

des *smartphones* qui permettent d'aller sur internet, prendre des photos, des vidéos, jouer, téléphoner et bien d'autres choses, tout en gardant les dimensions d'un téléphone portable.

C'est dans ce contexte que se situe ce travail de thèse, dans lequel nous allons proposer la réalisation et la caractérisation électrique de transistors en technologie à film mince que sont le *Localized Silicon-On-Insulator* (LSOI) et le double grille planaire à grille enrobante (notée GAA pour *Gate-All-Around*). Le but est de montrer que ces deux d'architectures sont en mesure de résister aux effets parasites engendrés par la miniaturisation tout en conservant des procédés d'intégration relativement proche du BULK conventionnel et en gardant comme perspective la mise en place d'une plateforme multimédia complète et optimale.

Le premier chapitre introduit de façon générale le principe de fonctionnement du transistor MOS, sa miniaturisation, les défis qui y sont liés et les principaux modules technologiques déjà en place pour y répondre. Puis, à partir de publications de référence, un état de l'art sera réalisé pour présenter différentes options envisageables pour continuer la course à la miniaturisation et/ou l'amélioration des performances : nouvelles architectures, orientations cristallines différentes ou encore nouveaux matériaux (pour remplacer le silicium).

Le second chapitre est consacré à la présentation du LSOI, dispositif simple grille à film ultra mince sur isolant ultra mince (noté UTBB pour *Ultra-Thin Body and BOX*). Son procédé de fabrication sera détaillé et les résultats électriques obtenus seront présentés en mettant en évidence l'intérêt de travailler avec de telles architectures. Dans une dernière partie, nous démontrerons la mise en place d'une intégration hybride entre dispositifs LSOI et BULK dans l'objectif de réaliser un SoC optimal.

Le troisième chapitre concerne également le LSOI, mais obtenu cette fois sur un substrat d'orientation cristalline différente ((110)). Nous étudierons l'impact de cette configuration, encore peu utilisée en industrie, sur le procédé de fabrication et surtout sur les propriétés de transports dans le canal de silicium des transistors réalisés.

Le quatrième chapitre est consacré à une autre alternative au BULK conventionnel, envisageable pour des nœuds technologiques plus avancés : le GAA. Les étapes spécifiques de son intégration seront exposées et les avantages technologiques de notre procédé de fabrication seront mis en avant. A travers les résultats expérimentaux obtenus, nous montrerons l'intérêt de tels dispositifs aussi bien du point de vue de leur résistance aux effets parasites qu'au niveau de leurs performances. Dans la dernière partie de ce chapitre, le potentiel de notre architecture sera évalué pour les applications circuits d'une génération avancée (nœud  $\approx 10\text{nm}$ ). Cette étude servira également de cadre pour une comparaison entre les deux principales approches de multigrilles : les planaires et les verticales (communément regroupées sous le terme FinFET).

Enfin, le dernier chapitre a pour but de proposer des solutions technologiques, dans la perspective d'une plateforme multimédia complète et optimale à base de transistors GAA planaires.

Ce travail de thèse a été réalisé au sein de l'équipe R&D avancée de STMicroelectronics à Crolles, en collaboration avec l'Institut de Microélectronique, Electromagnétisme et Photoniques (IMEP-LAHC) de Grenoble.

---

---

**- CHAPITRE I -**

**LE TRANSISTOR MOS ET SA**

**MINIATURISATION... VERS DE**

**NOUVELLES ARCHITECTURES**

---

---

*“Celui qui sait qu’il sait, écoute-le.  
Celui qui sait qu’il ne sait pas, éduque-le.  
Celui qui ne sait pas qu’il sait, éveille-le.  
Celui qui ne sait pas qu’il ne sait pas, fuis-le.”*

Proverbe chinois

<b>CHAPITRE I: LE TRANSISTOR MOS ET SA MINIATURISATION... VERS DE NOUVELLES ARCHITECTURES .....</b>	<b>11</b>
<b>I.A. Généralités .....</b>	<b>13</b>
I.A.1. Principes de fonctionnement et architecture générale .....	13
I.A.2. La tension de seuil $V_{TH}$ .....	14
I.A.3. Régime sous le seuil ou régime d'inversion forte .....	15
I.A.3.a. Caractéristiques sous le seuil.....	15
I.A.3.b. Régime d'inversion forte : courant de saturation $I_{ON}$ .....	16
<b>I.B. La miniaturisation et ses effets parasites .....</b>	<b>18</b>
I.B.1. La course à la miniaturisation .....	18
I.B.2. Les effets parasites .....	18
I.B.2.a. Le courant de fuite de grille.....	18
I.B.2.b. Les effets canaux courts.....	19
I.B.2.c. Les résistances séries.....	21
<b>I.C. Vers de nouvelles architectures.....</b>	<b>23</b>
I.C.1. Optimisation du transistor MOS conventionnel .....	23
I.C.1.a. Implantations "poches" .....	23
I.C.1.b. L'empilement de grille "High-k/Métal".....	24
I.C.1.c. "Gate first" vs. "gate last" .....	26
I.C.2. Les dispositifs à film mince.....	27
I.C.2.a. Le substrat SOI.....	27
I.C.2.b. Le SOI totalement déserté (FDSOI).....	28
I.C.2.c. Le FDSOI à BOX mince.....	29
I.C.3. Les architectures à grilles multiples .....	30
I.C.3.a. Les architectures Double Grille.....	31
I.C.3.b. Les architectures Triple Grille.....	33
I.C.3.c. Les architectures à Grille Enrobante .....	34
I.C.3.d. Les architectures nanofils.....	35
I.C.4. Les solutions pour améliorer le transport .....	36
I.C.4.a. La contrainte mécanique .....	36
I.C.4.b. Le matériau du canal.....	38
I.C.4.c. L'orientation cristalline .....	39
<b>I.D. Conclusion du chapitre.....</b>	<b>42</b>

## I.A. Généralités

### I.A.1. Principes de fonctionnement et architecture générale

Le transistor MOS (Métal-Oxyde-Semiconducteur), élément central des nouvelles technologies, assume une fonction des plus basiques : laisser passer un courant ou le bloquer, à la manière d'un interrupteur. Les premières pages de ce manuscrit sont dédiées à la présentation de ce transistor MOS qui appartient à la famille des transistors à effet de champ (ou FET pour Field Effect Transistors). Leur principe de fonctionnement commun consiste en la modulation de la concentration de porteurs dans une zone semiconductrice par l'action d'un champ électrique vertical.

Dans le cas du transistor MOS, le champ vertical est assuré par une tension appliquée sur l'électrode de grille (notée  $V_G$ ). Cette tension attire des porteurs à l'interface entre le silicium et l'oxyde de grille et forme un canal de conduction. Aux extrémités de ce canal se trouvent deux zones fortement dopées qui jouent le rôle de réservoir : la source et le drain. Le courant qui circule entre ces deux zones (noté  $I_D$ ) est induit par une différence de potentiel (notée  $V_D$ ) et est donc contrôlé par la tension de grille  $V_G$ . Les porteurs, responsables de ce courant, sont en fait des charges mobiles qui peuvent être soit des électrons et nous parlerons alors de NMOS soit des trous et nous parlerons dans ce cas de PMOS. On notera que la source et le drain sont deux zones identiques et que l'on appelle drain l'électrode sur laquelle est appliquée une tension alors que l'électrode de source est généralement connectée avec l'électrode de substrat (notée  $V_B$  pour *bulk*), toutes les deux à la masse ( $V_B = V_S = 0V$ ).

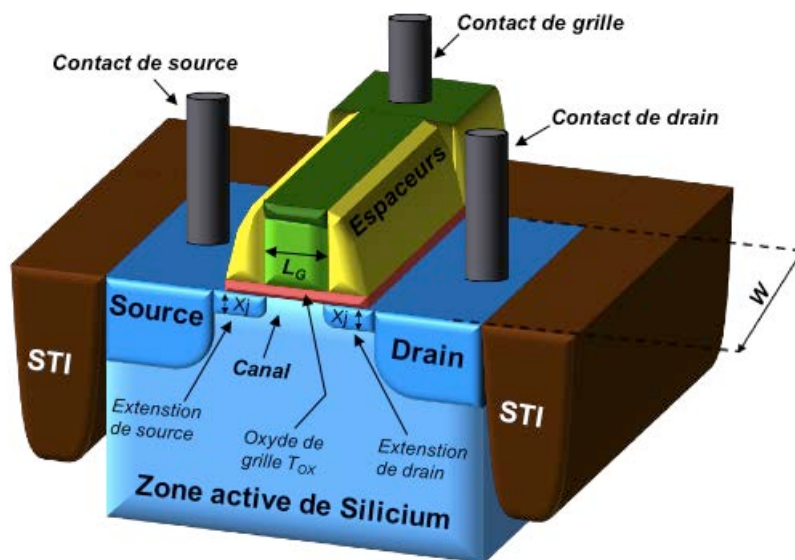


Figure I.1: Vue en 3D d'un transistor MOS

La figure I.1 ci-dessus représente l'architecture générale d'un transistor MOS et permet ainsi d'introduire certaines définitions que nous utiliserons dans la suite de ce manuscrit. De manière générale, lorsque nous parlerons des dimensions d'un transistor nous ferons référence à la longueur de sa grille, notée  $L_G$  et à la largeur totale de la zone active de silicium, notée  $W$ . L'épaisseur de l'oxyde de grille fait également partie des dimensions clés, elle est notée  $T_{OX}$  (pour

*oxide thickness*). L'isolation entre un transistor et ses voisins est assurée par des tranchées d'oxyde appelées STI (*Shallow Trench Isolation*).

### I.A.2. La tension de seuil $V_{TH}$

Comme nous l'avons vu au paragraphe précédent, le courant  $I_D$  est contrôlé par la polarisation de grille. On peut préciser que dans la technologie la plus utilisée aujourd'hui, la conduction est réalisée par les porteurs minoritaires. Un nMOS est donc obtenu sur un substrat de type P et ses source et drain seront fortement dopés N, le cas symétrique s'applique pour le pMOS. Cette conduction est surfacique, c'est-à-dire à proximité de l'interface entre le silicium et l'oxyde de grille, et non dans le volume du silicium.

De manière simplifiée, on peut considérer qu'un transistor MOS connaît deux régimes de fonctionnement, le régime bloqué lorsque la tension de grille est nulle ou faible et le régime passant lorsque  $V_G$  est suffisamment élevée. La tension de seuil est alors la tension de grille qui marque la frontière entre l'état bloqué et l'état passant du transistor. On la note  $V_{TH}$  pour *threshold voltage*.

En réalité, la transition entre l'état bloqué et l'état passant n'est pas aussi abrupte. Le fonctionnement du transistor MOS peut se diviser en trois régimes, atteints pour des valeurs de  $V_G$  différentes, nous prenons pour exemple le cas d'un NMOS (Figure I.2) :

\_ lorsque  $V_G$  est négatif, les porteurs majoritaires (trous) du substrat sont attirés en surface du canal formant une barrière de potentiel  $\Phi$  trop haute pour être franchie par les porteurs minoritaires de la source, le transistor est en régime d'accumulation.

\_ pour de faibles tensions de grille positives ( $V_{TH} > V_G > 0$ ), les trous sont repoussés de la surface mais les porteurs minoritaires n'y sont pas encore attirés. La barrière de potentiel  $\Phi$  du canal se voit alors diminuée, mais elle demeure cependant trop haute pour être franchie par les électrons, le transistor est en régime de déplétion.

\_ enfin, lorsque  $V_G$  est suffisamment élevée, les électrons affluent à l'interface oxyde/substrat. La barrière de potentiel  $\Phi$  entre la source et le canal est quasi nulle, le transistor est en régime d'inversion forte, ce qui correspond à l'état passant. Nous parlons d'inversion forte car le régime d'inversion d'une manière générale peut se diviser en deux : l'inversion faible lorsque  $V_G$  est encore inférieur à  $V_{TH}$  et l'inversion forte lorsque  $V_G$  est supérieur à  $V_{TH}$ . Les paramètres que nous avons étudiés au cours de cette thèse ont été principalement extraits dans ces deux régimes d'inversion. Le paragraphe I.A.3 leur est consacré.

Précisons enfin que par convention, nous considérons la tension de seuil atteinte lorsque la concentration de porteurs minoritaires en surface est égale à la concentration de porteurs majoritaires dans le volume.

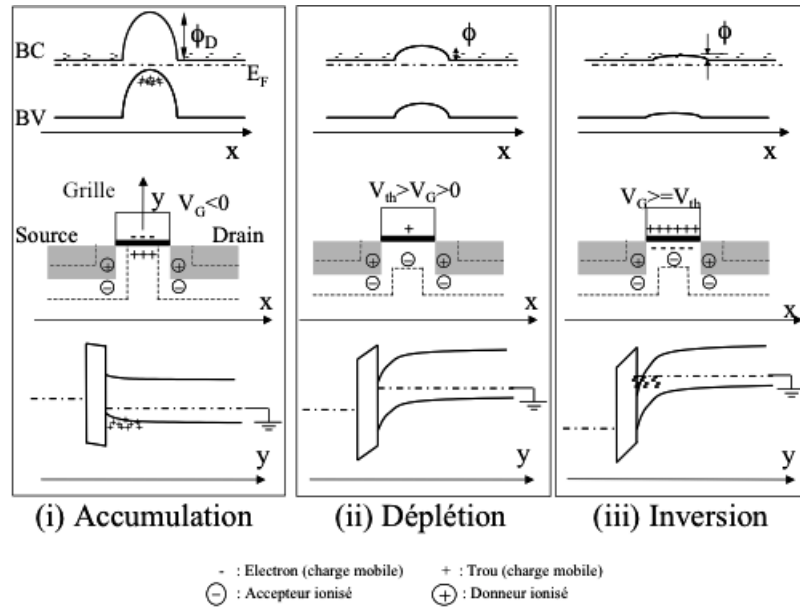


Figure I.2 [Skotnicki03]: Evolution de la courbure de bande en fonction de la tension de grille dans un transistor nMOS. La première ligne représente une coupe longitudinale de l'énergie le long du canal. La seconde représente un schéma du transistor MOS avec le type de porteurs dans le canal. Enfin, la troisième ligne représente l'énergie suivant une coupe transverse au canal dans les régions Metal, Oxyde et Semi-conducteur.

### I.A.3. Régime sous le seuil ou régime d'inversion forte

#### I.A.3.a. Caractéristiques sous le seuil

Comme nous venons de le voir, le régime sous le seuil est atteint pour des tensions de grille proches, mais inférieures à la tension de seuil. Physiquement, cela signifie que la densité de porteurs minoritaires dans le canal est plus faible que celle des porteurs majoritaires, on parle d'inversion faible. La barrière de potentiel du canal est encore trop haute et peu de porteurs minoritaires réussissent à la franchir par activation thermique. Il en réside cependant un courant de diffusion qui évolue exponentiellement avec la tension de grille  $V_G$ .

Pour déterminer expérimentalement les paramètres sous le seuil d'un transistor on étudie sa caractéristique  $I_D(V_G)$  en échelle semi-logarithmique (Figure I.3). Le courant est alors représenté par une droite dont la pente, notée  $S^{-1}$  correspond à l'inverse du paramètre appelé "pente sous le seuil" qui lui est noté  $S$  et exprimé en mV/décade. Nous nous servirons de ce paramètre tout au long de ce manuscrit, il représente l'augmentation de tension de grille  $V_G$  nécessaire pour augmenter le courant  $I_D$  d'une décade. L'équation définissant cette notion de pente sous le seuil est notée :

$$S = \frac{\partial V_G}{\partial(\log I_D)} = n \frac{kT}{q} \ln 10 \quad [\text{Eq. I.1}]$$

Avec  $n = \left[ \left( 1 + \frac{C_{\text{dep}}}{C_{\text{OX}}} + \frac{C_{\text{SS}}}{C_{\text{OX}}} \right) \right]$  où  $C_{\text{OX}}$  et  $C_{\text{dep}}$  représentent les capacités liées à l'oxyde de grille et à la déplétion respectivement, et  $C_{\text{SS}}$ , la capacité liée aux états d'interface dans l'oxyde. L'objectif est donc d'avoir une pente sous le seuil la plus faible possible puisque cela signifierait



que le transistor est parfaitement contrôlé par la commande de grille. L'équation I.1 nous permet cependant de noter que, dans le cas d'un MOS idéal où  $n=1$  et pour une température de 300K, la valeur minimale de la pente sous le seuil est de 60mV/dec et elle ne pourra pas être inférieure, à moins de baisser la température T.

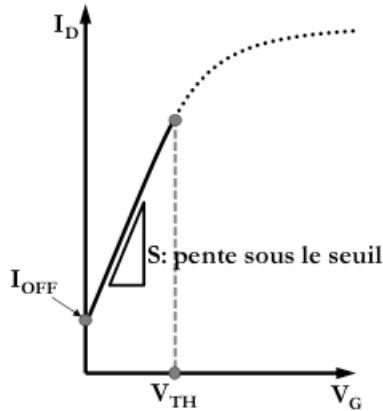


Figure I.3: Caractéristique  $I_D(V_G)$  en échelle semi-logarithmique d'un transistor MOS en régime sous le seuil avec ses principaux paramètres

On pourrait imaginer que lorsque  $V_G=0V$  aucun courant ne circule puisque le transistor est à l'état bloqué mais cela relève du cas idéal. Pour un MOS réel il réside un courant que l'on note  $I_{OFF}$  qui est un des principaux paramètres sous le seuil d'un transistor. Intuitivement, on comprend que ce courant est "perdu" puisqu'il circule alors que le dispositif est supposé ne pas être en fonctionnement, on parle alors de courant de fuite et il est préférable que sa valeur soit aussi faible que possible.

### 1.A.3.b. Régime d'inversion forte : courant de saturation $I_{ON}$

Lorsque la tension de grille est supérieure à  $V_{TH}$ , la concentration de porteurs minoritaires en surface devient beaucoup plus importante que la concentration de porteurs majoritaires dans le substrat. Une conduction s'effectue alors entre la source et le drain par dérive selon le champ longitudinal imposé par la tension de drain  $V_D$ . Tant que  $V_D < V_G - V_{TH}$ , le courant de drain est linéairement dépendant de  $V_G$ , on parle de régime ohmique. Lorsque  $V_D > V_G - V_{TH}$ , la dépendance en  $V_D$  disparaît et  $I_D$  devient alors quadratiquement dépendant de  $V_G$ , on parle de régime saturé. On repère ces deux régimes d'inversion forte sur la caractéristique  $I_D(V_D)$  sur la figure I.4.

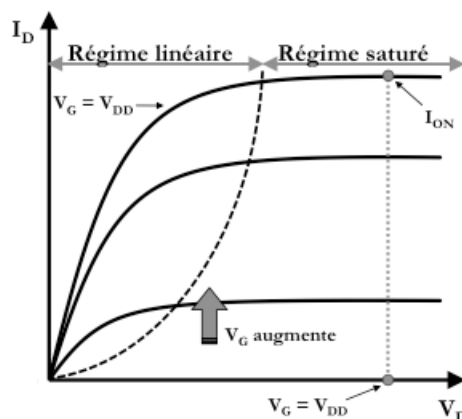


Figure I.4 : Caractéristiques  $I_D(V_D)$  illustrant les modes linéaires et saturés du régime de forte inversion et le courant de saturation  $I_{ON}$ .

Le principal paramètre que l'on extrait pour un transistor en régime d'inversion forte est son courant de saturation  $I_{ON}$ . Il est débité lorsque  $V_G=V_D=V_{DD}$ , où  $V_{DD}$  correspond à la tension d'alimentation dont la valeur, fixée par l'ITRS [ITRS] et fortement dépendante de l'épaisseur d'oxyde de grille, est réduite pour chaque nouvelle génération de transistors. Au même titre que le courant de fuite  $I_{OFF}$  doit être le plus faible possible, on cherche à obtenir un courant de saturation  $I_{ON}$  élevé, afin d'améliorer la rapidité du circuit. Cette rapidité est bien souvent estimée par le délai ( $\tau$ ) de commutation d'un inverseur, dispositif de base d'un circuit, composé d'un NMOS et d'un PMOS, donné par l'équation I.2 où  $C_{tot}$  est la capacité totale de l'inverseur :

$$\tau \approx \frac{C_{tot} \cdot V_{DD}}{(I_{ON,N} + I_{ON,P})/2} \quad [\text{Eq. I.2}]$$

Cependant, la vitesse de commutation d'un inverseur est telle que la condition  $V_G=V_D=V_{DD}$  n'est jamais réellement atteinte et il a même été montré que deux technologies délivrant un même courant  $I_{ON}$  n'avaient pas le même délai [Yoshida06]. Afin d'approximer au mieux le délai, on peut alors reprendre l'équation I.2 en remplaçant le courant  $I_{ON}$  par le courant effectif  $I_{EFF}$  du transistor, notion proposée par *Na et al.* [Na02] et *Yu et al.* [Yu08], donnée par l'équation I.3 :

$$I_{EFF} = \frac{I_{high} + I_{low}}{2} \quad [\text{Eq. I.3}]$$

Où  $I_{high} = I_D(V_G = V_{DD}/2, V_D = V_{DD})$  et  $I_{low} = I_D(V_G = V_{DD}, V_D = V_{DD}/2)$ .

Pour conclure ces premières pages introductives à la technologie MOSFET, notons qu'aujourd'hui, contrôler la tension de seuil d'un transistor est devenu un enjeu primordial puisque cela permet d'orienter les applications de ces dispositifs. En effet, un dispositif avec une faible tension de seuil connaîtra des performances élevées ( $I_{ON} > 1\text{mA}/\mu\text{m}$ ) au détriment d'un courant de fuite relativement fort ( $I_{OFF} \geq 100\text{nA}/\mu\text{m}$ ), nous parlons dans ce cas de technologies hautes performances ou HP (pour *High Performances*). Leur meilleur exemple d'application est l'ordinateur personnel pour lequel l'utilisateur est plus intéressé par la performance de l'appareil que par sa consommation. D'un autre côté, un dispositif avec une tension de seuil plus élevée permettra de maintenir un courant de fuite très faible ( $I_{OFF} \leq 1\text{nA}/\mu\text{m}$ ) tout en délivrant des performances aussi hautes que possible. Il s'agit ici des technologies basse consommation ou LP (pour *Low Power*) massivement utilisées dans la téléphonie mobile par exemple. Enfin, nous savons que deux transistors qui délivrent un même courant  $I_{ON}$  peuvent obtenir deux  $I_{EFF}$  différents. La réciproque est encore plus intéressante puisqu'elle implique qu'une technologie, même si elle débite moins de courant ( $I_{ON}$  plus faible), peut rester compétitive. Au cours de ce manuscrit nous aurons l'occasion de revenir sur certains des paramètres qui influent sur  $I_{EFF}$ .

## I.B. La miniaturisation et ses effets parasites

### I.B.1. La course à la miniaturisation

Fonctionnel pour la première fois en 1960, le transistor MOS n'a dès lors plus cessé d'évoluer et le fait qu'il soit un élément central des circuits intégrés, grâce à la logique CMOS (*Complementary MOS*, à base de NMOS et de PMOS), est un véritable moteur. Cette évolution, qui consiste principalement à réduire les dimensions des dispositifs, est motivée par la demande croissante en circuits intégrés denses, rapides et qui consomment peu d'énergie. L'espace ainsi gagné permet l'intégration de nouvelles fonctionnalités sur une même puce, nous parlons aujourd'hui de SOC (*System-On-Chip*). Cette augmentation de l'intégration suit une loi empirique, observée par Gordon Moore, co-fondateur d'Intel, d'où son nom de "*loi de Moore*". Ainsi, la tendance générale vise à doubler la densité des transistors intégrés tous les 18 mois. Concrètement, le premier microprocesseur d'Intel en 1971 intégrait 2300 transistors avec une longueur critique de  $10\mu\text{m}$  et ce sur une surface de  $12\text{mm}^2$ . En 2010, ce même Intel a intégré 3,1 milliards de transistors de longueur critique  $32\text{nm}$  sur une surface de  $544\text{mm}^2$ .

La miniaturisation du transistor MOS sur silicium s'est effectuée, jusqu'à la génération  $0.5\mu\text{m}$ , grâce à l'application d'une théorie simple de diminution de l'ensemble des paramètres définissant une technologie ; à savoir la longueur de grille  $L_G$ , la largeur de la zone active  $W$ , l'épaisseur d'oxyde  $T_{\text{OX}}$  et la profondeur des jonctions  $X_j$  (définis en Figure I.1), théorie proposée par Dennard en 1974 [Dennard74]. Cette loi montre que la simple réduction d'échelle (ou *scaling*) permettait, à elle seule, l'amélioration des performances d'un circuit. Les seules limitations à ce *scaling* étaient alors principalement d'ordre technologique, les principaux défis concernaient la mise au point de moyens techniques de fabrication du transistor (équipements, procédé).

Depuis cette génération, la course à la miniaturisation, indispensable à l'évolution des nouvelles technologies et à l'amélioration de leurs performances, ne se déroule plus aussi systématiquement, et la *loi de Dennard* n'est plus valable. En effet, si jusqu'à la génération  $0.5\mu\text{m}$  la réduction d'échelle se faisait à tension d'alimentation constante ( $V_{\text{DD}}=5\text{V}$ ), pour des raisons de fiabilité d'oxyde de grille et dans un souci de réduction de la consommation des circuits elle est désormais diminuée pour chaque nouvelle génération de transistor.

De plus, pour de telles dimensions (actuellement  $L_G=32-28\text{nm}$ ), les transistors sont sujets à des effets parasites, véritables effets secondaires de cette course à la miniaturisation. Parmi ceux-ci, nous détaillerons le courant de fuite de grille, lié à "l'amincissement" de l'oxyde de grille, les effets de canaux courts, conséquences immédiates de la réduction de la  $L_G$  et de l'augmentation de la résistance série dépendante de la diminution de  $X_j$ .

### I.B.2. Les effets parasites

#### I.B.2.a. Le courant de fuite de grille

Imposée par les règles de *scaling*, la réduction de l'épaisseur d'oxyde de grille accentue le couplage capacitif présent entre la grille et le canal. La densité de charge d'inversion (porteurs minoritaires) se voit ainsi augmenter, ce qui se traduit par un courant de saturation  $I_{\text{ON}}$  plus élevé.

On comprend donc aisément que la réduction de  $T_{OX}$  est nécessaire, voire indispensable, pour atteindre les performances attendues pour les prochains nœuds technologiques.

Bien qu'obligatoire, diminuer  $T_{OX}$  n'est pas sans effets secondaires. Si dans le cas du MOS idéal, l'oxyde de grille constitue une barrière infranchissable pour les porteurs minoritaires, dans le cas d'un transistor MOS réel il est possible que certains des porteurs traversent cette barrière par effet tunnel, créant une fuite de grille. Les premières générations de MOS n'ont pas eu à se soucier de cette fuite tunnel car elle n'était pas suffisamment importante pour dégrader leurs performances. Mais lorsque  $T_{OX} < 20\text{\AA}$  le courant de fuite de grille peut atteindre le même niveau que le courant  $I_{OFF}$ . Cela signifie que le courant de fuite du transistor est principalement dominé par la fuite de grille. Dans le cas encore plus extrême où  $T_{OX} < 10\text{\AA}$ , ce courant tunnel atteindrait des valeurs du même ordre de grandeur que le courant  $I_{ON}$  du transistor, compromettant alors son bon fonctionnement.

Pour continuer à diminuer l'épaisseur de l'oxyde de grille, jusqu'alors en oxyde de silicium, plusieurs solutions technologiques ont été étudiées. Grâce à leur constante diélectrique légèrement plus élevée que celle du  $\text{SiO}_2$ , les oxydes nitrurés (de type SiON) peuvent être considérés comme une alternative des plus intéressante. En effet, cela permet d'obtenir une épaisseur équivalente de  $\text{SiO}_2$ , pour une épaisseur physique de SiON plus importante. On parle d'EOT (pour *Equivalent Oxide Thickness*), notion qui sera détaillée au paragraphe I.C.1.b. Cependant, à partir des générations technologiques sub-45nm, les courants de fuites engendrés par l'utilisation du  $\text{SiO}_2$  et même du SiON sont trop élevés si l'on respecte l'EOT requis par l'ITRS [ITRS] (pour les technologies 32nm, EOT=1nm). L'introduction de matériaux à constante diélectrique très élevée est alors nécessaire, on parle de diélectriques de grille à haute permittivité ou "high- $k$ ", le paragraphe I.C.1.b. leur sera partiellement consacré. La figure I.5 compare les courants de fuites de grille mesurés sur des transistors avec empilement utilisant un diélectrique high- $k$  et un autre utilisant du SiON. On observe alors que l'utilisation de diélectriques haute permittivité permet une importante diminution de l'EOT, tout en réduisant également les fuites de grille.

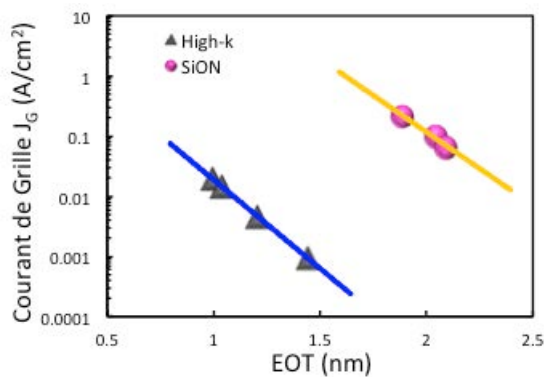


Figure I.5 [Chen08]: Comparaison des fuites de grille en fonction de l'EOT entre des transistors avec un diélectrique high- $k$  et un diélectrique SiON.

### I.B.2.b. Les effets canaux courts

Les "effets canaux courts" est une appellation générique qui regroupe l'effet canal court ou SCE (pour *Short Channel Effect*) et l'abaissement de la barrière de potentiel par le drain, plus

connu sous la dénomination DIBL (pour *Drain Induced Barrière Lowering*). Ces deux effets parasites sont liés à l'influence croissante du champ latéral, sur le potentiel du canal et sont d'autant plus importants que la longueur de grille est petite.

Contrairement à ce que pourrait nous laisser croire la figure I.1 qui représente le MOS idéal, les jonctions n/p formées par les extensions source/drain et le substrat ne sont pas abruptes. Le fort dopage des zones source/drain repousse les porteurs majoritaires du substrat, créant ainsi une zone de déplétion de quelques dizaines de nanomètres. Le potentiel dans ces zones de charge d'espace (ZCE) chute et échappe ainsi au contrôle exercé par la grille.

On comprend alors qu'en diminuant la longueur de grille, les zones déplétées se rapprochent et se recouvrent pour les cas les plus extrêmes. La chute de potentiel qui en résulte baisse alors la barrière de potentiel du canal, conduisant à une diminution de la tension de seuil du transistor, c'est le SCE (Figure I.6). Ce phénomène s'observe généralement en étudiant des caractéristiques représentant l'évolution de la tension de seuil  $V_{TH}$  en fonction de la longueur de grille  $L_G$ , à faible tension d'alimentation (Figure I.7-a), on parle de *roll-off* de la tension de seuil. On peut également noter la présence de SCE en comparant la courbe  $I_D(V_G)$  en échelle semi-logarithmique d'un transistor long et d'un transistor court, toutes caractéristiques identiques par ailleurs (Figure I.7-b). On remarque entre autres que le transistor subissant l'effet canal court aura un courant de fuite  $I_{OFF}$  plus élevé et, bien que  $I_{ON}$  soit également supérieur cet effet n'est pas souhaitable puisque non maîtrisé.

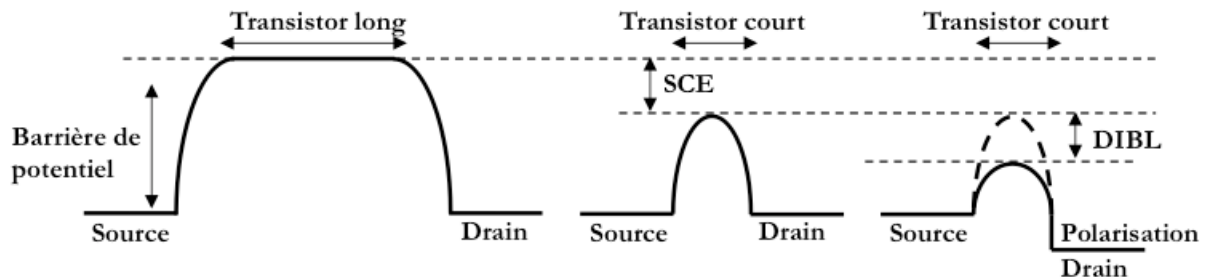


Figure I.6: La barrière de potentiel s'abaisse pour un transistor court par rapport à transistor long (SCE) et ce phénomène est amplifié lorsque le drain est polarisé (DIBL).

Etroitement lié à l'effet SCE, le DIBL correspond à un abaissement de la barrière de potentiel d'autant plus prononcé que la polarisation appliquée sur le drain est importante (Figure I.6). On caractérise cet effet en comparant la tension de seuil d'un dispositif pour un  $V_D$  faible (tension de seuil en régime linéaire) avec la tension de seuil lorsque  $V_D = V_{DD}$  (tension de seuil en régime de saturation), son unité la plus utilisée est le mV. On peut noter la présence de DIBL sur une courbe  $V_{TH}(L_G)$  (Figure I.7-a), mais bien souvent on l'observe sur une caractéristique  $I_D(V_G)$  en échelle semi-logarithmique (Figure I.7-b). On peut approximer le DIBL en mesurant l'écart de la courbe à  $V_D$  faible et celle à  $V_D$  fort. Même si ceci n'est pas précisé sur la Figure I.7-b, pour des transistors longs, l'absence de DIBL se traduit par la superposition des deux courbes jusqu'à la tension de seuil du dispositif. Au delà, la courbe à  $V_D$  fort atteint des valeurs de courant plus élevées que la courbe à  $V_D$  faible. On remarque donc qu'à l'instar du SCE, le DIBL détériore les performances du transistor. D'importants efforts sont déployés pour limiter leur impact comme avec l'utilisation de modules technologiques (cf. paragraphe I.C.1.a) ou avec l'émergence de nouvelles architectures comme nous le verrons par la suite.

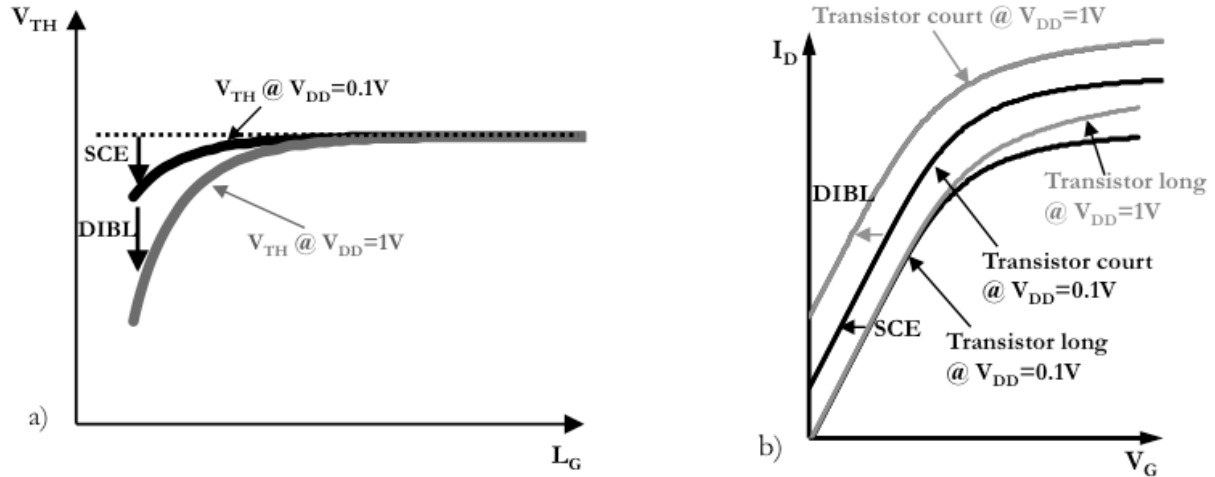


Figure I.7: (a) Evolution de la tension de seuil  $V_{TH}$  en fonction de la longueur, caractéristique permettant de mettre en évidence le SCE et le DIBL à travers la chute de la tension de seuil pour les transistors courts (b) impact du SCE et du DIBL sur la caractéristique  $I_D(V_G)$  du transistor  $I_D(V_G)$ : décalage de la tension de seuil et augmentation de  $I_{OFF}$ .

### I.B.2.c. Les résistances séries

La résistance totale d'un transistor peut se décomposer en deux termes : la résistance du canal de conduction et la résistance d'accès au transistor. Cette dernière est elle-même la somme de résistances de contact ( $R_{co}$ ), de la résistance source/drain ( $R_{SD}$ ), de résistances venant des extensions source/drain ( $R_{ext}$ ) et de la résistance venant du recouvrement entre les extensions source/drain et le bord de grille ( $R_{ov}$  pour *overlap*) (Figure I.8). Nous proposons au lecteur voulant plus de détails sur les expressions de ces résistances de s'orienter vers [Kim00, Dumont07].

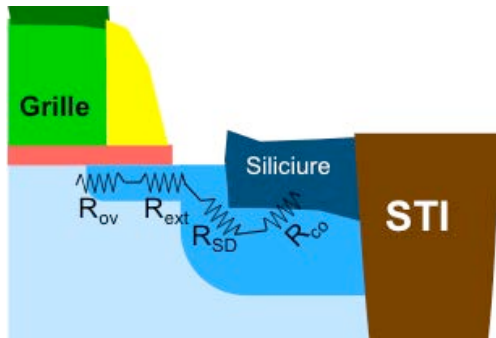


Figure I.8: Localisation des principales résistances composant les résistances séries. Cette figure ne représente que la moitié du transistor, par symétrie nous trouverions les mêmes résistances de l'autre côté.

Ces résistances conduisent à une chute de potentiel aux bornes du transistor, limitant le courant débité  $I_{ON}$  (Eq. I.4) et dégradant les performances du dispositif.

$$I_{ON} = \frac{1}{2} \mu_{eff} \frac{W}{L_{eff}} V_{Dsat}^2 \quad \text{avec} \quad V_{Dsat}^2 = \frac{V_{GT}}{1+d} \quad [\text{Eq. I.4}]$$

On peut apporter une correction à l'équation du courant de saturation (Eq. I.4 où  $V_{GT} = V_G - V_{TH}$ ) en introduisant la valeur de la résistance série  $R_s$  et en appelant  $V_{GT0}$  la valeur de  $V_G - V_{TH}$  lorsque  $R_s$  est nulle (cas du MOS idéal). Ceci donne alors  $V_{GT} = V_{GT0} - R_s I_{ON}$ .

L'utilisation d'un formalisme simplifié nous permet d'introduire cette expression dans l'équation I.4 et finalement d'exprimer  $I_{ON}$  en fonction de  $R_s$  (Eq. I.5) d'après *Skotnicki et Bauf* [Skotnicki03] :

$$I_{ON} = \frac{I_{ON0}}{1 + \frac{2R_s I_{ON0}}{V_{GT0}} - \frac{R_s I_{ON0}}{V_{GT0} + L_{eff} E_c (1+d)}} \quad [\text{Eq. I.5}]$$

$$\text{avec } I_{ON0} = v_L W C_{OX} \frac{V_{GT0}^2}{V_{GT0} + L_{eff} E_c (1+d)} \quad [\text{Eq. I.6}]$$

où  $E_c$  est le champ critique, à partir duquel la vitesse de dérive des porteurs sature et atteint sa limite  $v_L = V_{sat}$ ,  $d$  représente la pondération du courant par l'effet non uniforme du substrat le long du canal.

Comme le montre l'équation I.5 l'impact des résistances séries  $R_s$  augmente avec  $1/L$ , confirmant leur statut "d'effets parasites" de la course à la miniaturisation. Pour limiter cet impact on peut augmenter la profondeur des jonctions ( $R_s = \rho/X_j$ ) mais cela ne va pas dans le sens des règles de *scaling* et engendre d'autres effets non souhaitables comme l'augmentation des effets canaux courts et des capacités parasites, dégradant les performances du transistor.

Parmi les composantes des résistances séries, la résistance de contact ( $R_{cont}$ ) domine et demeure sans doute la plus difficile à réduire. On note avec l'équation I.7 qu'elle dépend exponentiellement de la hauteur de barrière  $\Phi_b$  entre le siliciure (métal) et le silicium, et du dopage  $N_{SD}$  des zones source/drain.

$$R_{cont} \approx \frac{1}{L_{contact}} \exp\left(\frac{\Phi_b}{\sqrt{N_{SD}}}\right) \quad [\text{Eq. I.7}]$$

Dans l'optique de baisser cette hauteur de barrière, l'intégration de source/drain métalliques (à barrière Schottky) représente une alternative prometteuse [Dubois02]. La principale difficulté de cette architecture est la complexification du procédé de fabrication qui impose l'intégration de deux siliciures différents pour obtenir un  $\Phi_b$  adapté aux NMOS et aux PMOS. D'autres travaux [Kinoshita04, Larrieu07] ont également mis en avant le gain apporté par ce type d'architecture et lui propose une amélioration : la ségrégation de dopants lors de la siliciuration de la jonction, on parle de DSS (pour *Dopant Segregated Schottky*).

## I.C. Vers de nouvelles architectures

Nous venons de le voir, réduire les dimensions des transistors MOS ne consiste plus en une simple mise à l'échelle. A chaque nouvelle génération correspondent de nouveaux défis que les principaux acteurs de la microélectronique se font un devoir de relever. Jusqu'à aujourd'hui (nœud technologique 32nm), les solutions adoptées pour faire face aux effets parasites, liés à la miniaturisation, ont toujours eu pour support le transistor conventionnel aussi bien en terme d'architecture qu'en termes de type de substrat. Dans le paragraphe suivant, nous présenterons quelques-unes de ces optimisations, introduites pour répondre, entre autres, aux effets parasites présentés précédemment.

### I.C.1. Optimisation du transistor MOS conventionnel

#### I.C.1.a. Implantations "poches"

Au paragraphe I.B.2.b nous avons vu que la tension de seuil des dispositifs est sensible à la réduction de la taille des grilles, phénomène caractérisé par l'apparition des effets canaux courts. Principale responsable de ces effets, la zone de charge d'espace à l'interface source/substrat ou drain/substrat, s'étend plus du côté canal puisque son dopage est plus faible que celui de la source et du drain. Une solution simple serait d'augmenter le dopage dans le canal afin de limiter l'impact de cette ZCE, mais elle ne serait pas idéale. En effet, l'augmentation du dopage dans le canal implique un nombre d'interactions plus important soit une dégradation de la mobilité et donc des performances du dispositif. Cette dégradation est d'autant plus gênante qu'elle affecte également les transistors longs qui eux, ne subissent pas les effets canaux courts.

Une variante de cette solution est l'introduction d'implantations de type "poches". Il s'agit d'augmenter le dopage du canal localement, autour des extensions source/drain (Figure I-9-a) par l'intermédiaire d'implantations tiltées et auto-alignées avec la grille. Le dopage moyen du canal des transistors les plus longs reste alors quasiment inchangé. En revanche, pour les transistors les plus courts, le dopage moyen est fortement augmenté, la ZCE dans le canal est réduite et la tension de seuil augmente, compensant la chute de  $V_{TH}$  induite par les effets canaux courts (Figure I.9-b).

Grâce aux poches, les transistors les plus courts d'un circuit se retrouvent avec une tension de seuil identique à celle des transistors les plus longs permettant alors de repousser les limites de la miniaturisation. Comme observé sur la figure I.9-(b), le  $V_{TH}$  des transistors intermédiaires est supérieur à celui des transistors longs, mais cet effet n'est pas considéré comme indésirable puisqu'il est maîtrisé. Le principe des poches est de ce fait communément utilisé dans les filières submicroniques et est constamment optimisé en jouant sur les paramètres d'implantations (dose, énergie, angle).



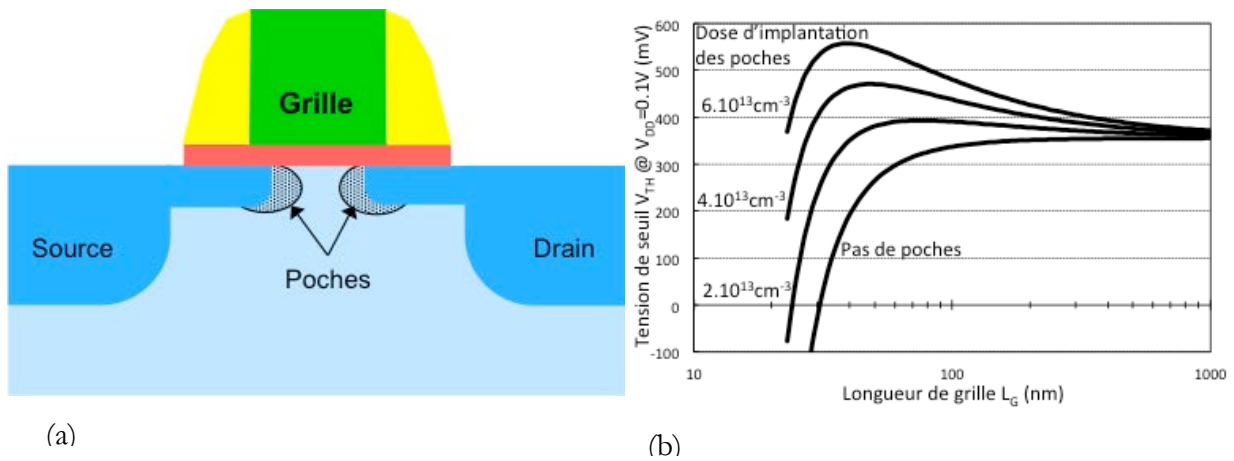


Figure I.9: (a) Positionnement des poches sur un transistor court. Pour un transistor long, ces implantations ne modifient pas le dopage moyen du canal. (b) Evolution de la tension de seuil en fonction de la longueur pour différentes doses d'implantations des poches. La tension de seuil est maîtrisée pour les transistors les plus courts en jouant sur la dose d'implantation. Ces résultats ont été obtenus par simulation avec le logiciel MASTAR.

### I.C.1.b. L'empilement de grille "High- $k$ /Métal"

Dans le paragraphe I.B.2.a., nous avons vu que l'un des principaux défis à relever avec la réduction de l'épaisseur d'oxyde de grille est l'apparition de courants de fuite de grille qui, à partir d'un certain niveau, nuisent au bon fonctionnement du transistor. Une des solutions mise en place pour remédier à ce problème est l'utilisation d'un diélectrique de grille à plus haute permittivité que l'oxyde de silicium  $\text{SiO}_2$ , diélectrique de grille historique du transistor conventionnel. Grâce à leur constante diélectrique plus élevée ( $\epsilon_r = 5$  contre  $\epsilon_r = 3,9$  pour le  $\text{SiO}_2$ ), les oxydes nitrurés (de types  $\text{SiO}_x\text{N}_y$ ) ont permis de repousser les limites de la miniaturisation. Mais cette optimisation du transistor devient insuffisante pour des épaisseurs d'oxyde inférieures à  $12\text{\AA}$ . Afin de continuer à réduire l'épaisseur d'oxyde tout en contrôlant les fuites de grille, l'introduction de matériaux à haute permittivité  $k$  devient nécessaire, on parle de matériaux high- $k$  ( $\epsilon_r > 10$ ). Augmenter la constante diélectrique permet ainsi d'augmenter l'épaisseur physique du diélectrique de grille et donc, *a priori*, de réduire le courant de fuite de grille. Avec une simple règle de trois, à partir des valeurs  $\epsilon_{\text{SiO}_2}$  et  $\epsilon_{\text{high-}k}$  nous pouvons retrouver une épaisseur de  $\text{SiO}_2$  équivalente pour une épaisseur de high- $k$  donnée, on parle d'EOT (pour *Equivalent Oxide Thickness*). Cette notion sert de référence, notamment pour les spécifications données par l'ITRS, puisqu'elle permet de s'affranchir du matériau utilisé comme diélectrique de grille.

Alors que le  $\text{SiO}_2$  s'obtient par une oxydation thermique du silicium, les matériaux high- $k$  doivent être déposés sur le substrat de silicium. Peu importe la méthode de dépôt choisie, la plupart des matériaux à haute permittivité et en particulier ceux à base d'hafnium, utilisés au cours de cette thèse, doivent être déposés sur une couche d'oxyde de silicium formée au préalable. Cette couche de  $\text{SiO}_2$  joue le rôle de piédestal et assure un dépôt homogène et sans défaut. L'EOT totale de cette bicouche  $\text{SiO}_2/\text{high-}k$  est donc la somme de l'épaisseur d'oxyde de silicium et de l'épaisseur équivalente de diélectrique haute permittivité. Pour continuer à réduire l'EOT des dispositifs, il faut donc limiter autant que possible l'épaisseur de cette couche interfaciale. C'est dans ce contexte que *Choi et al.* ainsi que *Ando et al.* [Choi09, Ando09], entre

autres, proposent de réduire l'épaisseur du  $\text{SiO}_2$  au cours du procédé de fabrication par *scavenging* (récupération des atomes d'oxygène du  $\text{SiO}_2$  par le matériau de grille), obtenant ainsi un EOT extrêmement agressif ( $\text{EOT}=0,42\text{nm}$ ) et démontrant le potentiel des matériaux high- $k$  pour atteindre les futures spécifications de l'ITRS. Il est important de préciser que la réduction de l'EOT améliore le contrôle des effets de canaux courts et augmente le courant de saturation  $I_{\text{ON}}$ .

Lorsque nous parlons d'empilement de grille, nous faisons généralement référence au couple diélectrique de grille/matériau constituant la grille. Bien qu'elle fut en aluminium sur les premiers transistors, la grille du MOS conventionnel (que nous cherchons à optimiser) est réalisée à partir de silicium poly-cristallin complétant ainsi un procédé de fabrication "tout silicium". Cependant, tout comme le  $\text{SiO}_2$ , ce matériau de grille tend à être remplacé.

En effet, ce poly-silicium, dopé jusqu'à dégénérescence induit une zone de déplétion à l'interface grille/oxyde qui a pour conséquence une augmentation de l'EOT (de l'ordre de  $4\text{\AA}$ ). Aujourd'hui, le retour à une grille constituée de vrai métal représente donc une sérieuse option pour la suppression de cette poly-déplétion. De plus, la résistivité d'une grille métallique est plus faible que celle des grilles en poly-silicium, réel avantage pour diminuer le délai de propagation du signal dans les applications à hautes fréquences (RF). Enfin, les grilles métalliques offrent une meilleure compatibilité avec les diélectriques high- $k$  et permettent l'ajustement de la tension de seuil du dispositif en jouant sur le travail de sortie  $\Phi_m$  du matériau.

Bien que réellement avantageuse, l'utilisation d'une "grille métal" n'est pas exempte de complications. Tout d'abord, l'utilisation d'un nouveau matériau de grille implique le développement de nouveaux procédés technologiques, notamment la gravure. Ensuite, l'intégration de tels matériaux expose une ligne de production aux risques de contamination métallique. Enfin, l'abandon de la grille en poly-silicium complique la "co-intégration" de travaux sortie NMOS et PMOS, jusqu'alors obtenus par simple implantation d'espèces de type "donneurs" ou "accepteurs" respectivement. En réponse à cette dernière problématique deux possibilités sont envisageables. La première est l'utilisation d'un métal unique dont le travail de sortie est proche du travail de sortie du silicium intrinsèque, soit  $4,61\text{eV}$  [Sze81]. On parle de matériaux quasi-*midgap*, ils permettent d'obtenir une tension de seuil "symétrique" qui convient aussi bien pour les NMOS que pour les PMOS. La deuxième possibilité, plus complexe à mettre en œuvre, est l'utilisation de deux métaux (ou alliages) différents. Chacun ayant le travail de sortie souhaité : de type n+ pour le NMOS et de type p+ pour le PMOS (Figure I.10). Pour y parvenir, deux types d'intégration s'opposent, le *gate first* et le *gate last*, le paragraphe suivant leur est consacré.

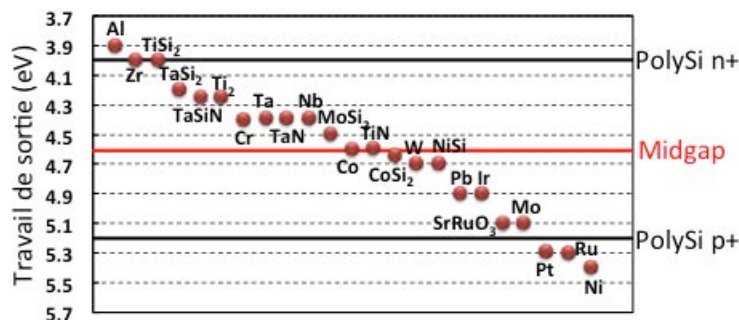


Figure I.10: Travaux de sortie sur silicium de différents métaux et alliages d'après [Skotnicki08].

Il est important de souligner que les empilements de grille high-k/métal ne représentent plus une simple option pour les futurs nœuds technologiques. Intel intègre d'ores et déjà de tels matériaux depuis sa technologie 45nm [Mistry07] et l'alliance IBM depuis sa technologie 32nm [Chen08, Arnaud08]. Dans le cadre de cette thèse, l'empilement de grilles des transistors étudiés est de type high- $k$ /métal ( $\text{HfO}_2/\text{TiN}$ ).

### I.C.1.c. "Gate first" vs. "gate last"

L'introduction de nouveaux matériaux dans l'empilement de grille implique de nouveaux schémas d'intégration. Aujourd'hui, deux approches semblent retenues par les acteurs majeurs dans l'industrie des semi-conducteurs : le *gate first* et le *gate last*.

L'intégration *gate first* paraît *a priori* le plus simple puisqu'elle reste relativement proche de l'intégration conventionnelle. Cependant, l'introduction de métal dans l'empilement de grille en complexifie la gravure. Cette complexité est amplifiée dans le cas de la réalisation de grille métallique duale puisque les matériaux de l'empilement de grille sont différents pour les NMOS et les PMOS (Figure I.11). Le métal étant introduit relativement tôt dans le procédé de fabrication du transistor, il endure des budgets thermiques pouvant être très élevés (les recuits d'activations peuvent dépasser les  $1000^\circ\text{C}$ ), on parle de procédé chaud. Bien que les points de fusions des métaux généralement utilisés soient supérieurs, travailler à de telles températures engendre une modification de leur travail de sortie ([Westlinder04]). Soulignons que c'est cette intégration *gate first* qu'a choisie l'alliance IBM pour leur technologie 32nm [Chen08, Arnaud08] (Figure I.12).

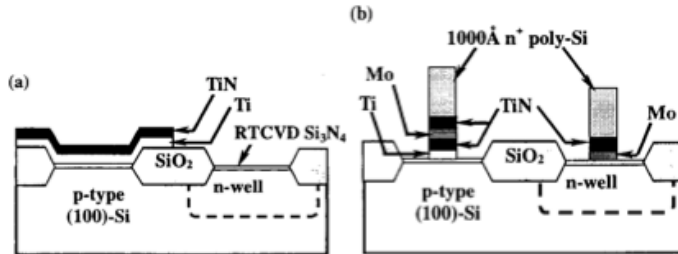


Figure I.11: Vue en coupe d'un schéma d'intégration de grille duale en *gate first*, proposé par Lu et al. [Lu00] : (a) une fois déposée, la bicouche TiN/Ti est retirée sur les zones PMOS. (b) après gravure grille, les empilements de grille sont différents pour les NMOS et les PMOS.

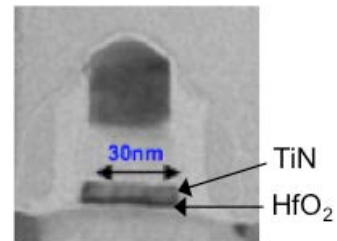


Figure I.12: image d'une grille métallique intégrée par procédé *gate first* [Chen08].

Dans le cas d'une approche *gate last*, le métal de la grille est intégré après les recuits d'activation source/drain, lui évitant ainsi l'exposition aux budgets thermiques élevés, on parle de procédé froid. Afin de n'intégrer le métal que vers la fin du procédé de fabrication, une technique de remplacement de grille est nécessaire. La technique Damascène [Chaterjee97, Guillaumot02] est la première technique à avoir proposé ce type d'intégration (Figure I.13). Son principe consiste à réaliser un transistor MOS conventionnel avec une grille sacrificielle en poly-silicium. Les transistors sont ensuite protégés par une couche protectrice de diélectrique et une étape de "planarisation" mécano-chimique (CMP pour *chemical-mechanical planarization*) met à nu le haut de la grille. Cette grille sacrificielle est alors retirée par gravure, formant une cavité qu'il suffit de remplir avec l'empilement de grille désiré. Pour finir, une nouvelle CMP est nécessaire pour retirer le métal déposé en dehors de la cavité. Cette méthode permet ainsi de contourner la

difficulté de la gravure métal. Cependant, les étapes de CMP restent des étapes difficiles à maîtriser, notamment en ce qui concerne l'arrêt de la "planarisation", rendu difficile par les faibles épaisseurs des matériaux de grille. De plus, ces deux étapes supplémentaires font du *gate last* une approche plus onéreuse que le *gate first*. Notons qu'Intel a fait le choix d'une intégration *gate last* depuis la technologie 45nm [Mistry07] (Figure I.14) mais dans une configuration *high-k first* et *metal last*.

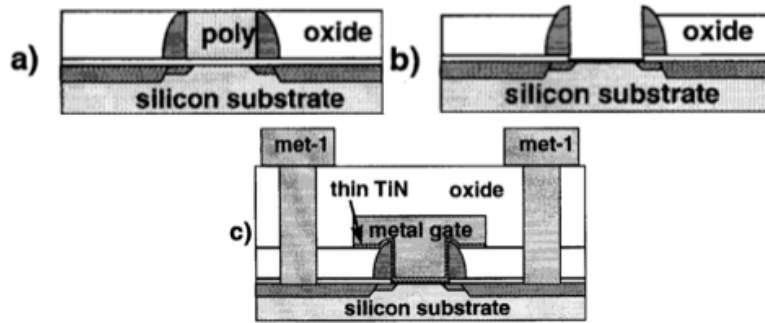


Figure I.13 : Schéma de l'intégration Damascène d'après Chaterjee et al. [Chaterjee97]. (a) formation conventionnelle du transistor, dépôt du diélectrique et CMP. (b) retrait du poly-silicium. (c) dépôt du diélectrique et du métal de grille.

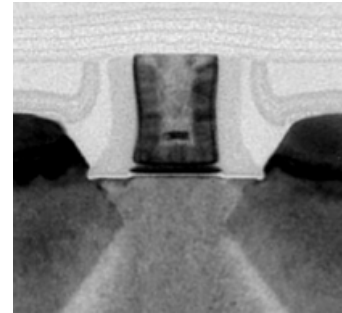


Figure I.14 : image d'une grille métallique obtenue par procédé gate last [Mistry07].

## I.C.2. Les dispositifs à film mince

Bien que l'optimisation du transistor conventionnel soit, jusqu'à aujourd'hui, suffisante pour atteindre les spécifications attendues, d'autres architectures sont à l'étude et certaines deviennent des candidates très sérieuses pour les nœuds technologiques à venir. Parmi celles-ci, les dispositifs à film mince et plus particulièrement la technologie "Silicium sur Isolant" ou SOI (pour *Silicon On Insulator*) semblent être les premiers sur la liste, l'objet de ce paragraphe est de sensibiliser le lecteur à ce type d'architecture.

### I.C.2.a. Le substrat SOI

Le substrat SOI est constitué de trois couches : une épaisse couche de silicium qui constitue le substrat, une couche d'isolant que l'on appelle oxyde enterré ou BOX (pour *Buried OXide*) et une nouvelle couche de silicium, plus mince que la première. C'est dans cette dernière couche, monocristalline, qu'est définie la zone active du transistor. Lorsqu'un transistor est réalisé sur ce type de substrat, nous parlons de technologie SOI, par opposition à la technologie BULK qui est réalisée sur silicium massif.

La dénomination SOI définit en réalité un substrat pour lequel le BOX est en  $\text{SiO}_2$ . Lorsqu'un autre matériau est utilisé, la dénomination du substrat utilise des termes plus spécifiques, comme par exemple le silicium sur Saphir (SOS), le SiC sur isolant (SiCOI) ou encore le silicium sur quartz (SOQ). Nous ne nous intéresserons ici qu'au SOI car de nos jours, le  $\text{SiO}_2$  est quasiment le seul type de BOX utilisé pour la technologie CMOS grâce à sa facilité de fabrication et à la grande qualité des substrats obtenus. Sa forme la plus répandue est le substrat SOI réalisé par collage (technologie Smart-Cut de SOITEC).

Bien que le principe de fonctionnement d'un transistor MOS sur SOI soit très proche de celui d'un MOS sur BULK, la présence d'une couche isolante enterrée lui offre certains

avantages. Le premier qui fut exploité commercialement est la plus grande résistance face aux radiations dans le cadre d'applications spatiales et militaires [Leray90, Hite92]. En effet, l'isolation entre la zone active et le substrat limite le risque de dysfonctionnement d'un circuit soumis aux effets des radiations. Ces premières applications ont alors permis d'introduire le SOI dans le monde de la microélectronique. C'est cependant pour d'autres avantages, d'ordre électrique et thermique notamment, qu'il représente un remplaçant potentiel de la technologie BULK dans un avenir proche.

Travailler sur SOI ajoute deux nouveaux paramètres par rapport aux transistors conventionnels : l'épaisseur de l'oxyde enterré, notée  $T_{\text{BOX}}$  et l'épaisseur du film de silicium qui repose sur ce BOX, notée  $T_{\text{Si}}$ . On distingue alors deux catégories de MOS sur SOI.

Lorsque  $T_{\text{Si}}$  est important (de l'ordre de 150nm et jusqu'à 50nm), la zone de déplétion située sous le canal du transistor n'atteint pas l'oxyde enterré, on parle de transistors "partiellement déplétés" ou PDSOI (pour *Partially-Depleted* SOI, figure I.15-a). L'avantage majeur de cette configuration est qu'elle est très proche du transistor MOS conventionnel, nous conseillons au lecteur de s'orienter vers [Fenouillet01] pour plus de détails sur le PDSOI.

A l'inverse, lorsque l'épaisseur de silicium de la zone active est suffisamment mince pour que la zone de déplétion atteigne le BOX, nous parlons de transistors complètement déplétés ou FDSOI (pour *Fully-Depleted* SOI, Figure I.15-b), c'est à cette configuration que nous allons nous intéresser.

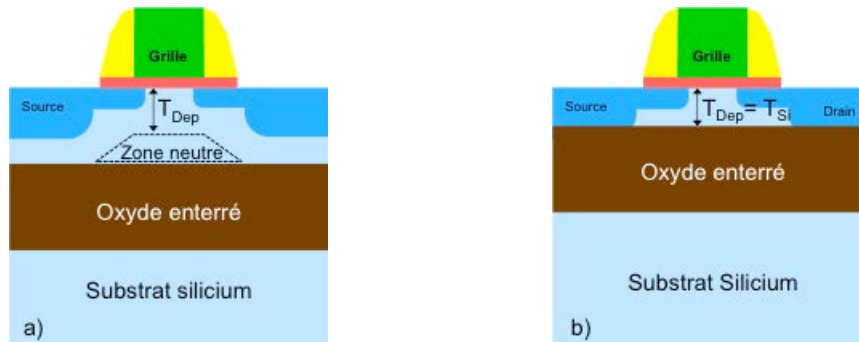


Figure I.15: Représentation schématique d'un transistor PDSOI (a) et FDSOI (b) où  $T_{\text{Dep}}$  est la profondeur de déplétion du canal.

### I.C.2.b. Le SOI totalement déserté (FDSOI)

D'une manière générale, les transistors FDSOI présentent de meilleures performances électriques que les transistors BULK ou PDSOI. Ils doivent cela à l'absence de zone neutre (non déplétée) qui se traduit par un meilleur couplage entre l'interface et la charge d'inversion, cette architecture permet un meilleur contrôle du potentiel dans le canal par la grille. Parmi les avantages du FDSOI, nous trouvons :

- ✓ La réduction considérable des capacités de jonctions de par la présence de l'oxyde enterré. Ceci conduit à des dispositifs plus rapides, soit un gain en rapidité pour les circuits.
- ✓ La réduction de la profondeur de déplétion, entraînant un champ effectif transverse plus faible, permettant ainsi un gain en mobilité et donc en courant débité par le transistor pour une tension donnée.



✓ Un excellent contrôle des effets canaux courts grâce à une plus faible profondeur des jonctions (limitée par  $T_{Si}$ ), ce qui permet de diminuer le dopage dans le canal (et de réduire la pente sous le seuil).

Nous comprenons de ce dernier point que réduire  $T_{Si}$  améliore le contrôle des effets canaux courts. Les épaisseurs utilisées deviennent alors extrêmement minces ( $T_{Si} < 10\text{nm}$ ), on parle de films ultra minces ou UTB (pour *Ultra-Thin Body*). Contrôler de telles épaisseurs devient compliqué or, ce paramètre technologique influence directement les caractéristiques du transistor. Un  $T_{Si}$  mal contrôlé signifie qu'on ne maîtrise pas les paramètres électriques du dispositif ; la tension de seuil en particulier. D'importants efforts ont été menés pour améliorer ce point, il n'en reste pas moins une difficulté et un inconvénient face au BULK. Un deuxième point bloquant est la présence d'une résistance d'accès au canal très élevée qui augmente avec la réduction de l'épaisseur de silicium [Barral07].

Cependant, à l'instar du BULK, la technologie FDSOI peut être optimisée, notamment en réduisant l'épaisseur d'oxyde enterrée.

### I.C.2.c. Le FDSOI à BOX mince

Il est intéressant de réduire l'épaisseur du diélectrique enterré afin d'améliorer le contrôle des effets canaux courts du FDSOI. Il a en effet été démontré que pour des grilles très courtes ( $L_G = 18\text{nm}$ ) le BOX est responsable de 80% du DIBL ([Barral07]) et la figure I.16 met en évidence qu'en réduisant  $T_{BOX}$  l'impact du DIBL sur les dispositifs est atténué. On remarque notamment que pour  $L_G = 30\text{nm}$ , réduire  $T_{BOX}$  de 50 à 10nm améliore le DIBL de 50%. Lorsqu'on travaille avec des épaisseurs de BOX inférieures à 50nm, on parle de dispositifs UTBB (pour *Ultra-Thin Body and BOX*).

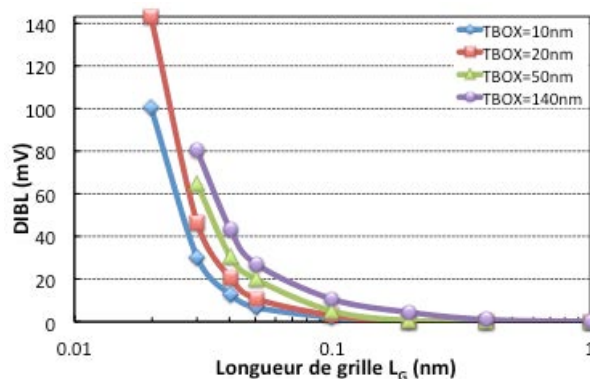


Figure I.16: Evolution du DIBL en fonction de la longueur de grille  $L_G$  de dispositif UTBB NMOS avec un GP [Gallon07]. Ce graphique permet de mettre en valeur qu'en diminuant l'épaisseur du BOX on améliore le contrôle du DIBL.

Cependant, en l'absence de dopage sous l'oxyde enterré, la zone d'influence du champ vertical de grille et source/drain provoque une déplétion sous le BOX mince, augmentant son épaisseur effective. Cette zone de déplétion impacte fortement le potentiel du canal de conduction. D'un point de vue électrique, elle s'ajoute à celle du film de conduction et augmente

ainsi l'épaisseur effective du diélectrique enterré. L'introduction d'un plan de masse (noté GP pour *Ground Plane*) est alors nécessaire pour réduire cette déplétion sous le BOX mince [Ernst99]. Ce GP consiste en une zone de fort dopage sous le BOX avec des dopants du type opposé aux source et drain qui vient supprimer la pénétration du champ électrique dans le substrat du transistor.

L'utilisation d'un plan de masse modifie la tension de seuil du dispositif. Cet effet étant parfaitement maîtrisé, il devient très intéressant puisqu'il permet l'adressage de plusieurs tensions de seuil sur une même puce, nous reviendrons sur ce point au paragraphe II.A.3.

Devant ces avantages incontestables de l'UTBB, la question légitime qui se pose est pourquoi n'a-t-il pas encore remplacé le BULK ? On peut répondre dans un premier temps que jusqu'à aujourd'hui, le BULK et ses optimisations ont toujours su répondre aux besoins de l'industrie, ne donnant ainsi aucune raison de changer de technologie. De plus, toutes les applications ne sont pas optimales sur film mince, ce qui représente un inconvénient majeur, la tendance étant au système intégré sur puce ou SoC (pour *System-on-Chip*). Ce dernier point n'est cependant plus vraiment bloquant puisque l'utilisation d'un BOX mince offre la possibilité d'une co-intégration entre dispositifs sur film mince et dispositifs sur silicium massif [Fenouillet09b]. Nous détaillerons cette co-intégration au paragraphe II.D.

Enfin, comme abordé au paragraphe I.A, les performances statiques d'un transistor MOS ne se limitent plus au courant de saturation  $I_{ON}$  et au courant de fuite  $I_{OFF}$ . Le courant effectif devient également un paramètre important. Or, comme expliqué par *Bidal* [Bidal09b], la présence de DIBL dégrade  $I_{EFF}$ . Cela signifie qu'à  $I_{ON}$  identique, les dispositifs UTBB, de par leur meilleur contrôle des effets canaux courts, devraient proposer un  $I_{EFF}$  plus élevé que ceux sur silicium massif. Ceci confirme que les technologies à film mince sont de sérieuses concurrentes au BULK pour les générations à venir.

Il existe un procédé de fabrication alternatif permettant d'obtenir une architecture UTBB en partant d'un substrat bulk. Cette technologie est appelée *Silicon-On-Nothing* (SON). Initialement proposée en 1999 par *Jurczak et al.* [Jurczak99], elle a depuis connu plusieurs optimisations. Le chapitre II reviendra sur son procédé de fabrication, les résultats expérimentaux présentés au chapitre II et au chapitre III sont obtenus sur ce type d'architecture.

### I.C.3. Les architectures à grilles multiples

Afin de diminuer encore l'impact des effets canaux courts sur les transistors, il est possible d'introduire une ou plusieurs grilles supplémentaires. En effet, remplacer l'oxyde enterré du FDSOI par une deuxième grille améliore le contrôle électrostatique du canal du fait de la suppression du couplage des source/drain à travers le BOX. La présence de deux grilles limite alors la profondeur des jonctions et les profondeurs de déplétion à la moitié du film de silicium ( $T_{Dep1} = T_{Dep2} = X_j = T_{Si}/2$ ). En comparaison avec le FDSOI, cette limitation réduit les effets canaux courts et offre une meilleure intégrité électrostatique. La présence d'une deuxième grille réduit également le champ électrique transversal imposé par la grille ([Lochtefeld02]) par rapport à une architecture simple grille (il est divisé par deux d'après *Esseni et al.* [Esseni04]). Le champ

transversal étant plus faible, les interactions avec la rugosité de surface sont moindres et la mobilité s'en trouve améliorée ([Lochtefeld02]). Cependant, ce gain en mobilité est légèrement atténué par sa grande dépendance à l'épaisseur du canal [Uchida02].

Soulignons que les premières études sur les transistors à double grille étaient en fait réalisées sur des transistors SOI avec une très forte polarisation sur la face arrière afin de se retrouver dans une configuration double grille ([Sekigawa84, Balestra87]). Depuis, différentes architectures avec deux électrodes de grille ont vu le jour, parmi lesquelles nous citerons le Double Grille planaire et le FinFET (Figure I.17-a et Figure I.17-b). Aujourd'hui le nombre de grille ne se limite plus à deux, on parle d'architectures à grilles multiples parmi lesquelles nous présenterons le Triple Grille, les transistors à grille enrobante et les nanofils (Figure I.17-c et Figure I.17-d). Précisons toutefois que si ces architectures améliorent les caractéristiques sous le seuil des dispositifs ( $I_{OFF}$ , SS...), elles ne les immunisent pas contre le courant de fuite de grille. Afin de minimiser ce dernier, l'utilisation d'un diélectrique high- $k$  et d'une grille métallique est nécessaire.

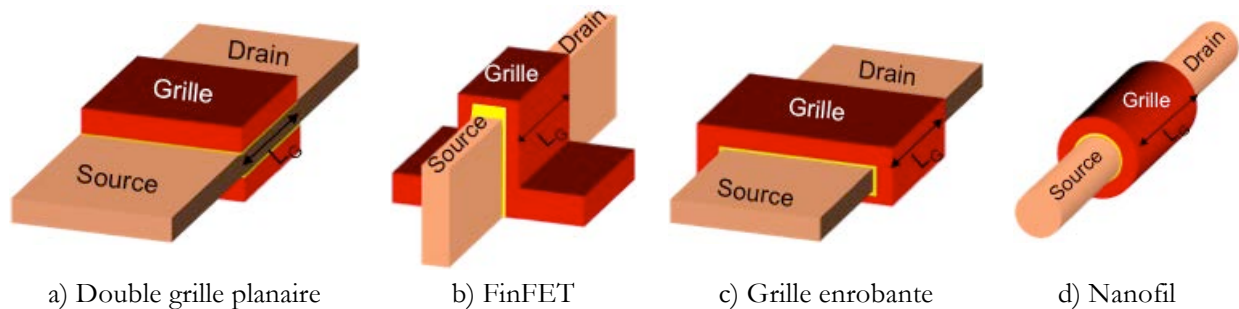


Figure I.17: Schéma des différentes architectures à grille multiple présentées.

### I.C.3.a. Les architectures Double Grille

- **Le Double Grille planaire**

L'architecture double grille planaire est une extension naturelle du SOI puisqu'il s'agit de remplacer le BOX par une grille (Figure I.18). Par conséquent, ces architectures conservent les avantages du FDSOI que nous avons présentés au paragraphe I.C.2.b. Dans ces dispositifs, le courant circule horizontalement entre le drain et la source, c'est à dire parallèlement au plan du substrat. On distingue deux catégories de double grille planaires. Une catégorie où la grille du haut et la grille du bas sont définies au cours d'une même étape de photolithographie, on parle de grilles auto-alignées ([Lee99, Guarini01, Zhang03]). Par opposition, la deuxième catégorie concerne les architectures sur lesquelles les deux grilles sont définies à deux étapes différentes ([Vinet04, Widiez05]).

Si on le compare à une structure à grille unique, la principal avantage du double grille planaire vient de la capacité supplémentaire qu'apporte la grille du dessous. Le potentiel dans le canal est alors très bien contrôlé par les grilles. Si on le compare aux autres architectures à grilles multiples, son atout majeur est sa proximité au transistor MOS "classique". C'est un avantage considérable notamment en ce qui concerne les règles de dessin qui restent compatibles avec la



technologie BULK. Ceci signifie que la densité d'intégration est conservée alors qu'elle est généralement plus faible pour les architectures non planaires.

Un autre avantage est que le canal des architectures double grille planaire est défini par épitaxie. Cela permet un excellent contrôle de l'épaisseur de  $T_{Si}$  et une surface de silicium homogène. Ce procédé est bien maîtrisé et reproductible, encore un avantage face aux approches non planaires pour lesquelles le canal est réalisé par des procédés de photolithographie et de gravure sèche qui entraînent une plus grande dispersion et une surface moins lisse.

Une difficulté technologique résidait dans le dopage du poly-silicium de la grille inférieure mais l'introduction des grilles métalliques a permis de s'en affranchir. Un autre défi de taille concerne l'alignement des deux grilles puisque leur désalignement dégrade les caractéristiques sous le seuil des transistors du fait d'un moins bon contrôle électrostatique. Une alternative intéressante est alors de réaliser une grille inférieure plus longue (environ 10nm par bord), bien qu'elle engendre 10% de perte sur les performances dynamiques du dispositif ([Widiez05]).

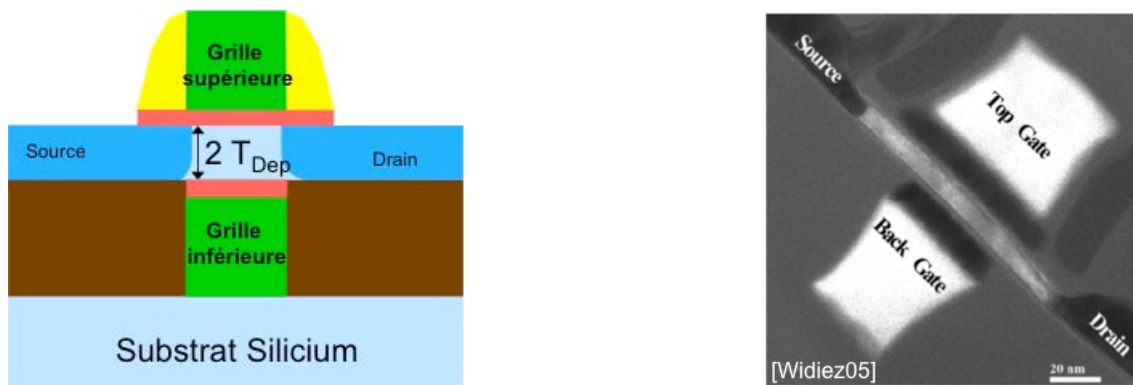


Figure I.18: schéma d'un transistor double grille planaire (gauche) et image obtenue au microscope électronique à transmission (TEM) d'un transistor double grille planaire obtenu par collage (droite).

- **Le FinFET**

D'une manière simplifiée, le FinFET est un double grille planaire qui aurait subi une rotation à  $90^\circ$  (Figure I.19). La zone active est appelé *fin* (en rapport avec sa forme d'aile) d'où le nom de cette architecture. L'épaisseur du canal est représentée par la largeur du *fin* alors que la largeur de la zone active est en fait la hauteur du *fin*. Dans cette architecture, le courant circule le long des flancs verticaux c'est pourquoi il est préférable de réaliser des FinFETs étroits (pour un meilleur contrôle de l'électrostatique) et "hauts" (pour qu'il débite un courant plus élevé). Cette hauteur étant généralement limitée à une centaine de nanomètres, les FinFETS sont très souvent utilisées dans une configuration "multi-doigts" (Figure I.20).

D'un point de vue du procédé de fabrication, les FinFETs sont presque toujours réalisés sur substrat SOI. Les *fins* sont définis par une étape de photolithographie et un masque dur est généralement déposé pour protéger les futurs canaux de la gravure sèche. Cette gravure se termine sur l'oxyde enterré qui sert de couche d'arrêt, expliquant donc l'intérêt de travailler sur substrat SOI. Les électrodes de grille sont ensuite déposées en une seule étape avant d'être définies elles aussi par lithographie.

La présence du masque dur sur le haut du *fin* inhibe toute conduction à l'interface du haut, limitant le contrôle de la grille sur seulement deux faces, c'est pourquoi le FinFET est considéré comme un double grille. La largeur de conduction est alors égale à deux fois la hauteur du *fin*. Cela signifie que pour obtenir un courant normalisé par la surface identique à celui d'un double grille planaire, l'écart entre deux "doigts" doit être inférieur à la hauteur du *fin*, ce qui représente un véritable défi technologique, notamment dans une configuration à haute densité d'intégration.

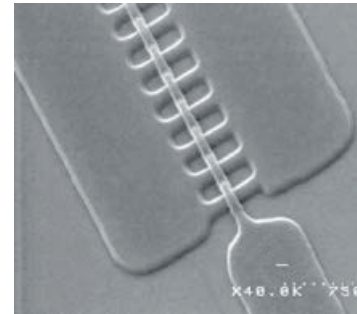
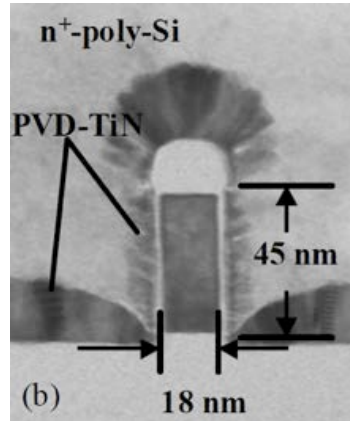
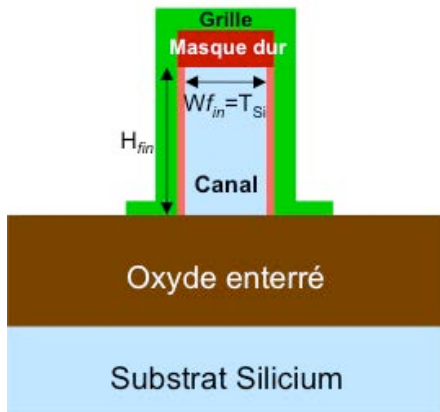


Figure I.19 : Schéma d'un FinFET (gauche) et image TEM d'un FinFET avec  $T_s = W_{fin} = 18\text{nm}$  et  $H_{fin} = 18\text{nm}$  (milieu, [Kamei10]).

Figure I.20 : Image obtenue au microscope électronique à balayage (MEB) de FinFETs en configuration "multi-doigts" ([Jahan05]).

Pour assurer un bon contrôle des effets canaux courts, l'épaisseur du *fin* doit être une fraction de la longueur de la grille (un tiers ou un demi). Les dimensions actuelles sont telles que des techniques additionnelles à la lithographie sont nécessaires comme les méthodes de *trimming* pour "rognier" la largeur du *fin*, la lithographie des espaceurs ([Choi01]), l'oxydation sacrificielle ([Lindert01]) et/ou la gravure sèche chimique. Inévitablement, ces techniques viennent également rétrécir les zones de source/drain avec pour effet l'accroissement des résistances séries des dispositifs, inconvénient majeur de ces architectures.

Enfin, l'architecture FinFET offre la possibilité de dissocier les électrodes des deux grilles. Pour cela, le masque dur de nitrure sert de couche d'arrêt à une étape de CMP ([Liu04]), rendant ainsi les deux grilles électriquement indépendantes.

### I.C.3.b. Les architectures Triple Grille

Les architectures triple grille font également partie de la famille des approches non planaires. Il s'agit en effet d'un FinFET dont le *fin* est carré. Le masque dur sur le haut de ce *fin* étant retiré, la grille contrôle le canal sur trois interfaces. La largeur de conduction d'un transistor triple grille est donc égale à deux fois la hauteur du *fin* plus une fois sa largeur (Figure I.21-a). Tout comme le FinFET, le triple grille est souvent utilisé dans une configuration "multi-doigts" mais la contrainte en densité est encore plus restrictive. En effet, l'écart entre deux dispositifs doit être inférieur à  $H_{fin} + W_{fin}/2$ , condition particulièrement exigeante puisque la hauteur du *fin* doit être aussi faible que sa largeur.

Enfin, le contrôle de la grille sur trois côtés du canal améliore considérablement la résistance aux effets canaux courts. Cependant pour garder un bon contrôle électrostatique, le

côté du  $f_{in}$  doit être du même ordre de grandeur que la longueur de grille. Le principal avantage de cette architecture réside dans le relâchement de la contrainte sur la largeur du fin  $W_{fin}$ .

Des variantes de cette architecture ont également été étudiées. On trouve par exemple le  $\pi$ -FET ([Park01]) et  $\Omega$ -FET ([Yang04, Jahan05]) (Figure I.21) dont le fonctionnement est globalement similaire au triple grille. Leur principal atout est l'amélioration du contrôle électrostatique puisque leur configuration est proche d'un quadruple grille.

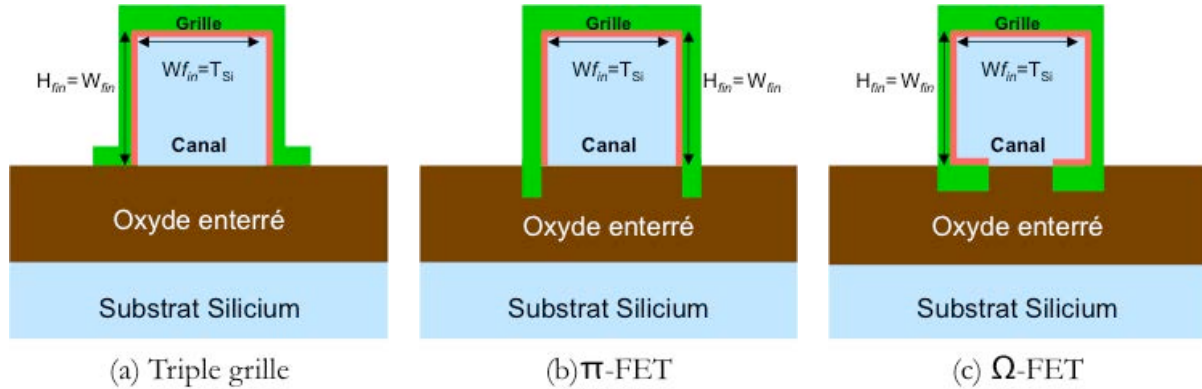


Figure I.21 : schéma d'une vue en coupe dans le sens de la largeur de transistors : a) triple grille, b)  $\pi$ -FET et c)  $\Omega$ -FET.

### I.C.3.c. Les architectures à Grille Enrobante

Comme on peut le deviner à partir de leur nom, le canal des architectures à grille enrobante (ou GAA pour *gate-all-around*) est contrôlé sur toute sa largeur (Figure I.17.(c)). Initialement, le GAA était réalisé sur un substrat SOI. Le principe était de former une cavité dans le BOX, le canal se retrouvant alors suspendu. Puis, le dépôt du matériau de grille étant conforme il remplissait également la cavité donnant ainsi une configuration de grille enrobante ([Colinge90]).

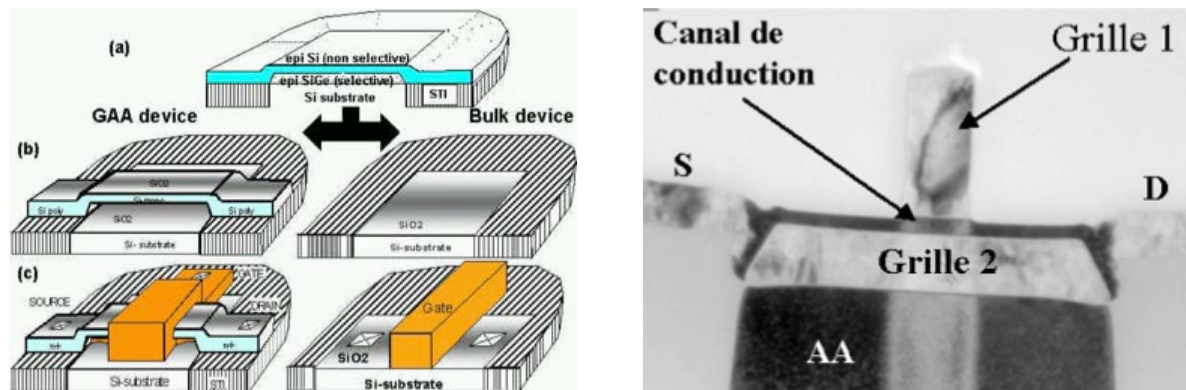


Figure I.22 : schéma d'intégration du GAA proposé par Monfray et al. [Monfray02] permettant la co-intégration avec des dispositifs sur silicium massif (gauche) et vue en coupe (TEM) d'un transistor GAA avec  $L_G=70\text{nm}$  pour la grille supérieure (droite, [Harrison04a]).

Depuis, bien que le principe de grille enrobante ait été conservé, le procédé de fabrication a été révisé à plusieurs reprises. Les GAA peuvent désormais être réalisés sur des substrats en silicium massif et utilisent la technologie SON. Au-delà d'un excellent contrôle électrostatique, ces architectures planaires permettent une éventuelle co-intégration avec des transistors BULK

([Monfray02], Figure I.22), proposent d'excellentes performances électriques ([Harrison03], Figure I.22) et les dernières architectures à grille enrobante obtiennent deux grilles parfaitement auto-alignées et aux dimensions comparables ([Bidal09a, Pouydebasque08], Figure I.24 et Figure I.25).

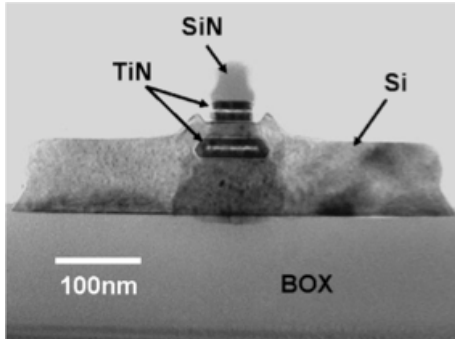


Figure I.23 : Vue en coupe TEM d'un transistor à grille enrobante avec ces deux grilles parfaitement auto-alignées, réalisé sur substrat SOI [Pouydebasque08].

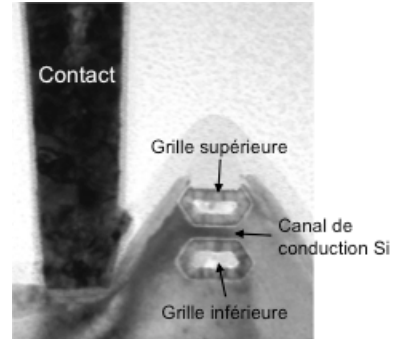


Figure I.24 : Vue en coupe TEM d'un transistor à grille enrobante avec ces deux grilles parfaitement auto-alignées, réalisé sur substrat BULK [Bidal09a].

#### I.C.3.d. Les architectures nanofils

Théoriquement, l'architecture offrant la meilleure immunité électrostatique est un canal cylindrique complètement "enrobé" par la grille, on parle de nanofils ou de NW-FETs (pour *NanoWire*, Figure I.25). Des transistors aux dimensions extrêmement agressives ont été démontrés, comme un transistor de 5nm de longueur de grille ([Yang04]) ou encore des nanofils de 3nm de diamètre ([Bangsaruntip09, Bangsaruntip10], Figure I.25).

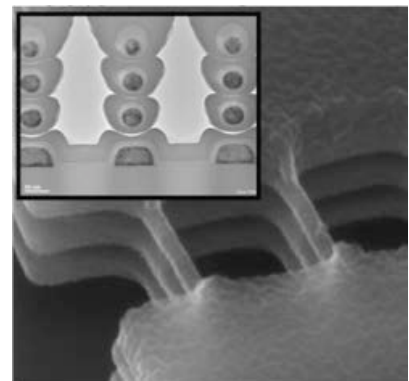
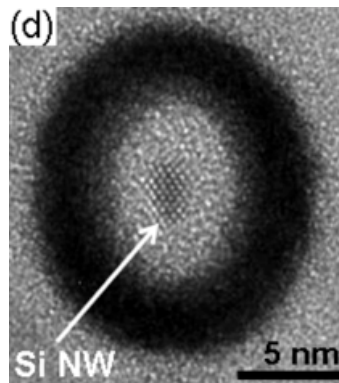
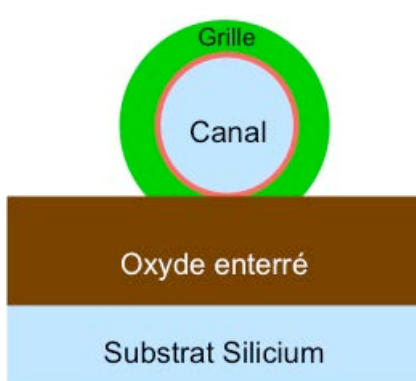


Figure I.25 : schéma d'un nanofil (gauche) et image TEM d'un nanofil de silicium de 3nm de diamètre ([Bangsaruntip10]).

Figure I.26 : image au MEB tilté d'une matrice de nanofils ([Ernst08]).

Le courant débité étant limité par de telles dimensions, les nanofils sont généralement utilisés en mode "multi-doigts". Une alternative à cette configuration consiste à réaliser des matrices de nanofils comme proposé par [Ernst06, Dupré08, Hubert09, Tachi09,] (Figure I.26). Le courant de chaque nanofil s'ajoutant, des courants de drain record ont été obtenus sur ce genre d'architecture qui présente également la possibilité de travailler avec deux grilles indépendantes ([Dupré08]). Cependant, cette intégration engendre d'importantes résistances séries pour les mêmes raisons que le FinFET.

Au regard des spécifications pour les ultimes nœuds technologiques (i.e. 11nm et au-delà, [ITRS]), il semble évident que le transistor MOS conventionnel sur BULK doive trouver un successeur. Les architectures présentées ci-dessus sont clairement les candidates les plus prometteuses à cette succession. Bien qu'aucune d'entre elles ne se détache clairement, le GAA semble avoir l'avantage grâce à son excellent contrôle de l'électrostatique d'une part et à sa proximité avec le transistor MOS conventionnel d'autre part. Au cours de cette thèse nous nous sommes intéressés à cette architecture, le chapitre IV lui est consacré. Nous aurons donc l'occasion de revenir en détails sur leur procédé de fabrication et sur les performances électriques obtenues sur de telles architectures.

#### I.C.4. Les solutions pour améliorer le transport

La notion de transport dans les transistors MOSFETs fait référence à la manière dont les porteurs circulent dans le canal de conduction entre la source et le drain. Le paramètre de transport le plus communément utilisé est la mobilité. Elle définit la relation entre la vitesse des porteurs et le champ électrique longitudinal dans la direction du transport. La mobilité effective  $\mu_{\text{eff}}$  s'exprime en fonction de la masse effective de conduction  $m^*$  dans une direction donnée et du temps de relaxation  $\tau_{\text{mfp}}$  (ou temps moyen entre deux interactions), son unité est le  $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$  (Eq. I.8).

$$\mu_{\text{eff}} = \frac{q \cdot \tau_{\text{mfp}}}{m^*} \quad [\text{Eq. I.8}]$$

On voit à partir de cette équation qu'une réduction de la masse effective de conduction des porteurs améliore leur mobilité effective. Or, améliorer le transport d'un dispositif revient à en augmenter le courant  $I_{\text{ON}}$  sans modifier, *a priori*, les autres paramètres du transistor. Ainsi, plusieurs techniques pour améliorer le transport sont étudiées, on trouve notamment l'application d'une contrainte mécanique ou encore l'utilisation d'un matériau alternatif dans le canal. Le choix de l'orientation cristalline du substrat ainsi que la direction du transport peuvent également modifier les propriétés de transport d'un dispositif. Ces techniques sont efficaces sur toutes les architectures que nous avons vu jusqu'à maintenant et peuvent être combinées.

##### I.C.4.a. La contrainte mécanique

Afin d'améliorer les propriétés de transport des transistors MOSFETs, l'utilisation d'une contrainte mécanique a été, et est toujours, intensivement étudiée. Cette contrainte implique une déformation de la maille cristalline qui équivaut à une modification de la structure de bande et de la masse effective. Les conditions de contrainte favorables aux électrons ne sont pas les mêmes que celles qui sont favorables aux trous. Différents types de contraintes peuvent être appliquées sur le canal : compressive ou en tension, uniaxiale ou biaxiale. La figure I.27 illustre l'exemple d'une contrainte uniaxiale suivant L. Si celle-ci est compressive, elle améliore la mobilité effective des trous et dégrade celle des électrons. À l'inverse, si elle est en tension, la contrainte dégrade la mobilité effective des trous alors qu'elle améliore celle des électrons.

L'application d'une contrainte uniaxiale peut être obtenue par l'intermédiaire d'une couche (ou *liner*) qui enveloppe la grille. On citera par exemple la couche d'arrêt de la gravure contact (ou CESL pour *Contact Etch Stop Layer*). Ce *liner* nitrure est déjà présent dans le procédé



de fabrication du transistor MOS conventionnel, ce sont les caractéristiques du matériau (sa stoechiométrie en particulier) qui détermineront s'il induit une contrainte compressive, en tension ou neutre [Shimizu01, Ghani03]. Cependant, cette technique de contrainte perd de son efficacité lorsque l'écart entre les grilles diminue [Auth08] et n'est plus envisagée pour les technologies au-delà de 32nm.

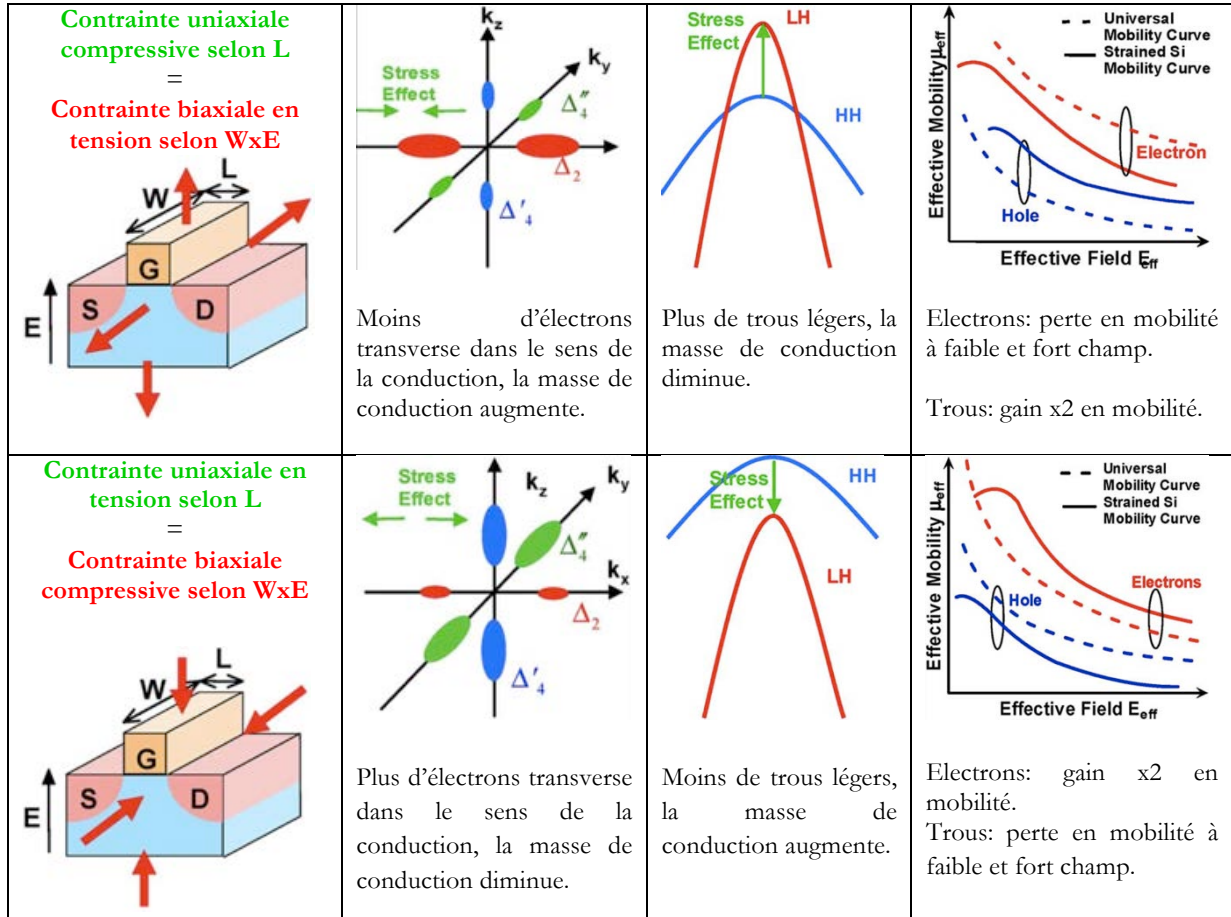


Figure I.27: Analyse de l'impact d'une contrainte uniaxiale suivant L : sur les structures de bandes et la mobilité des porteurs [Skotnicki08].

La technique de mémorisation du stress ou SMT (pour *Stress Memorization Technique*) est une autre solution pour améliorer la mobilité des électrons. Elle consiste à transférer une contrainte en tension dans le canal à partir d'une couche sacrificielle via la grille et/ou via les source/drain. Cette technique, combinée au CESL et à d'autres optimisations du transistor MOS permet d'améliorer les performances des transistors, Bœuf *et al.* [Bœuf04] reporte par exemple un gain de 20% sur la courant de drain des nMOS.

La déformation de la maille cristalline du silicium peut également être obtenue par le remplacement des source/drain en silicium par des source/drain en silicium-germanium (SiGe) [Ghani03, Mistry04] (Figure I.29). Le désaccord de maille entre le canal en Si et les source/drain en SiGe induit une contrainte compressive sur le canal (Figure I.30) et améliore la mobilité des trous. Plus la concentration en Ge est grande, plus le désaccord de maille est fort et plus la contrainte sera importante. Ueno *et al.* [Ueno05] a démontré un gain en courant de 35% sur des pMOS avec l'utilisation de source/drain SiGe. Notons toutefois que la concentration en Ge est limitée à 30% environ, au-delà le désaccord de maille devient trop important et induit des

dislocations dans le silicium, générant des fuites de jonctions. Basé sur le même principe, une contrainte uniaxiale peut-être appliquée sur les nMOS avec l'utilisation de source/drain en silicium-carbone (Si:C) [Ang04].

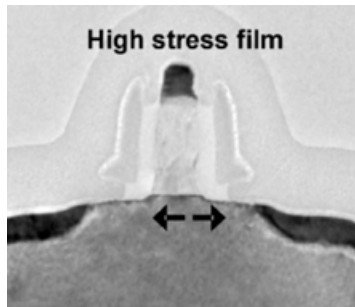


Figure I.28: image TEM représentant une couche de contrainte SMT sur un nMOS [Thompson05].

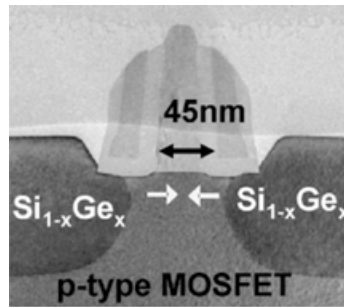


Figure I.29: image TEM d'un transistor pMOS avec des source/drain SiGe [Thompson-05].

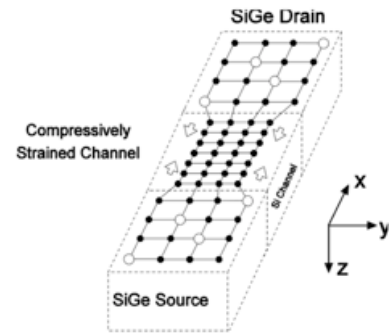


Figure I.30: représentation schématique du désaccord de maille entre les source/drain SiGe et le canal Si [Esseni10].

#### I.C.4.b. Le matériau du canal

Si historiquement les premiers transistors MOS avaient leur canal en germanium, le silicium lui a rapidement été préféré pour la qualité de son oxyde naturel (SiO<sub>2</sub>). Cependant, avec l'émergence des diélectriques de grille high- $\kappa$ , de nouveaux matériaux semiconducteurs, avec une mobilité intrinsèque supérieure à celle du silicium, peuvent être envisagés (Tableau I.1). Certains de ces matériaux sont d'ailleurs déjà utilisés pour des applications spécifiques et/ou très hautes performances, notamment pour les applications militaires et spatiales.

	Si	Ge	GaAs	InAs	InP	InSb
Masse effective des électrons (la plus faible) : $m_e/m_o$	0,191	0,08	0,067	0,023	0,073	0,012
Masse effective des trous lourds : $m_{hh}/m_o$	0,53	0,35	0,62	0,6	0,85	0,45
Masse effective des trous légers : $m_{lh}/m_o$	0,16	0,043	0,074	0,027	0,089	0,015
Mobilité des électrons $\mu_e$ (cm <sup>2</sup> .V <sup>-1</sup> .s <sup>-1</sup> )	1350	3600	9200	30000	4500	77000
Mobilité des trous $\mu_h$ (cm <sup>2</sup> .V <sup>-1</sup> .s <sup>-1</sup> )	480	1800	400	500	200	450
Bande interdite $E_G$ (eV) à 300K	1,12	0,66	1,43	0,36	1,27	0,17
Paramètre de maille: $a$ (Å)	5,431	5,65	5,653	6,058	5,86	6,48

Tableau I.1: propriétés de quelques semiconducteurs (données provenant de [Skotnicki08, IOFFE] où  $m_o$  représente la masse d'un électron.

Le germanium paraît de nouveau être un bon candidat de par ses très grandes mobilités, en particulier celle des trous. Des études récentes ont été menées sur des transistors aux canaux en germanium pur, réalisés sur substrat bulk [Ritenour03, Weber05], sur substrat SOI (on parle alors de GeOI) [Clavelier07, Pouydebasque07] et même sur technologie SON (GeON) [Batail07]. Il a ainsi été démontré qu'un gain de 1000% pouvait être apporté sur la mobilité des trous

[Shang04, Weber05]. Cependant, le procédé de fabrication de MOS en Ge est difficile (diffusion des dopants, siliciuration, budget thermique...), ce qui rend difficile l'intégration de transistors courts. Un autre inconvénient pour le germanium est sa bande interdite qui est plus petite que celle du silicium, engendrant nécessairement des courants de fuite plus importants. Le Ge doit donc être optimisé pour des applications à basse consommation.

L'utilisation de composés III-V (4 dernières colonnes du Tableau I.1) représente également une alternative intéressante puisque ces matériaux proposent des mobilités nettement supérieures à celle du silicium [Antoniadis06]. Cependant, le gain en performance qu'elles apportent n'est pas aussi évident. *Skotnicki et Bauf* [Skotnicki10] reportent même que les "effets destructifs" provenant de l'utilisation de III-V sont plus importants que leur "effets constructifs", les rendant ainsi moins intéressants que le silicium (Figure I.31). Parmi ces "effets destructifs" on retrouve une dégradation de la pente sous le seuil et du contrôle électrostatique (DIBL).

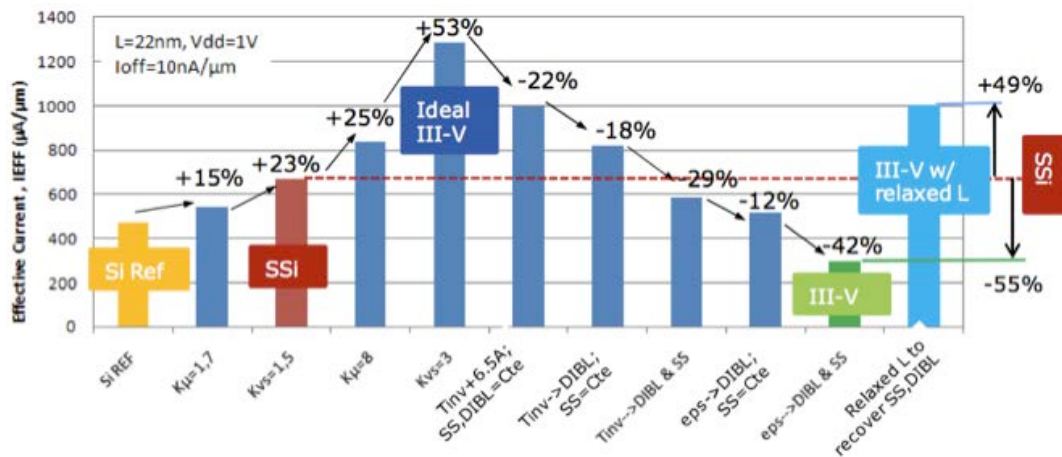


Figure I.31: impacts cumulatifs des effets "constructifs" et "destructifs" qui entrent en jeu lorsqu'on passe d'un canal en Si (Si Ref) à un canal en Si contraint (SSi) puis à un canal en III-V [Skotnicki10].

En définitive, bien qu'ils soient très sérieusement étudiés, l'introduction de ces matériaux à haute mobilité reste encore au stade d'études pour les générations de transistors à venir (22nm et au-delà).

#### I.C.4.c. L'orientation cristalline

Un autre moyen d'améliorer les propriétés de transports dans le canal d'un MOSFET est de jouer sur l'orientation cristalline du matériau. Précisons qu'il est important de différencier l'orientation du substrat qui définit la surface de la plaque et la direction de transport qui définit l'axe cristallographique dans lequel les porteurs circuleront entre source et drain. Les propriétés de transport n'étant pas les mêmes en fonction du couple orientation/direction, l'objectif est de déterminer la meilleure configuration pour le matériau utilisé.

En ce qui concerne la mobilité des électrons, une orientation de substrat (100) et une direction de transport  $\langle 110 \rangle$  représente la meilleure combinaison. Ceci explique en grande partie le choix de l'industrie microélectronique de travailler dans cette configuration. Cependant, comme nous l'avons vu précédemment, les options favorables aux électrons sont généralement



défavorables aux trous (et réciproquement). D'autres configurations peuvent alors être envisagées comme des substrats orientés (110) ou (111) et des directions de transports selon les axes  $\langle 100 \rangle$ ,  $\langle 111 \rangle$  ou encore  $\langle 112 \rangle$  (Figure I.32).

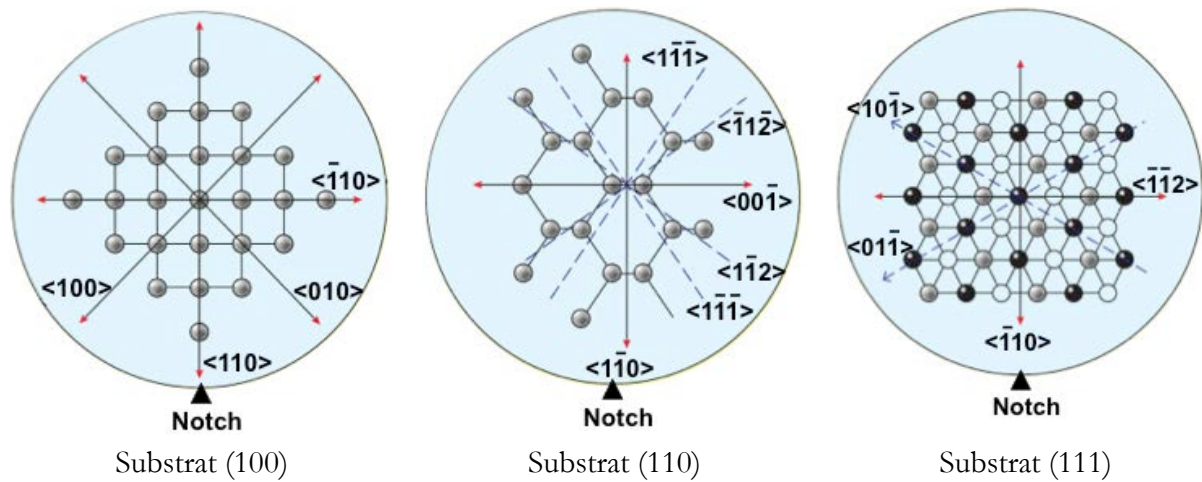


Figure I.32: synthèse des différentes orientations de substrat et des axes cristallographiques.

Des différentes études menées jusqu'à maintenant ([Sato69, Sato71, Takagi94b, Yang03a, Irie04, Liu05] entre de nombreux autres), il ressort que (110)/ $\langle 110 \rangle$  est la meilleure orientation sur silicium pour les trous. Un gain en mobilité de 160% par rapport à (100)/ $\langle 100 \rangle$  a notamment été reporté [Yang03a], entraînant ainsi une amélioration des performances statiques du transistor (68% de gain sur  $I_{ON}$ ).

La figure I.33 offre une comparaison des mobilités pour les principales combinaisons orientation/direction. On notera que l'impact de la direction de transport est très important sur substrat (110) alors qu'il est moindre sur (111). Cette anisotropie de la mobilité en fonction de la direction cristallographique est liée à l'anisotropie de la structure de bandes. Concernant la mobilité selon (100)/ $\langle 100 \rangle$ , elle n'est pas représentée sur la figure I.33 car elle est supposée identique à celle en (100)/ $\langle 110 \rangle$  et ce, aussi bien pour les trous que pour les électrons [Sato69, Sato71]. Cependant, un gain de l'ordre de 15% (par rapport à (100)/ $\langle 110 \rangle$ ) a été observé sur les pMOS courts et/ou étroits [Sayama99]. *Saito et al.* expliquent ce phénomène par l'effet de contraintes induites par les tranchées d'isolation (STI) [Saito06], justifiant ainsi la quasi-isotropie de la mobilité pour les transistors longs et larges. Les performances des nMOS étant indépendantes de la direction de transport sur substrat (100), certains acteurs de la microélectronique tirent profit de cette amélioration à faible coût puisqu'il ne s'agit que d'une rotation du substrat de  $45^\circ$  pendant le procédé de fabrication, faisant de (100)/ $\langle 100 \rangle$  leur nouvelle orientation cristalline par défaut.

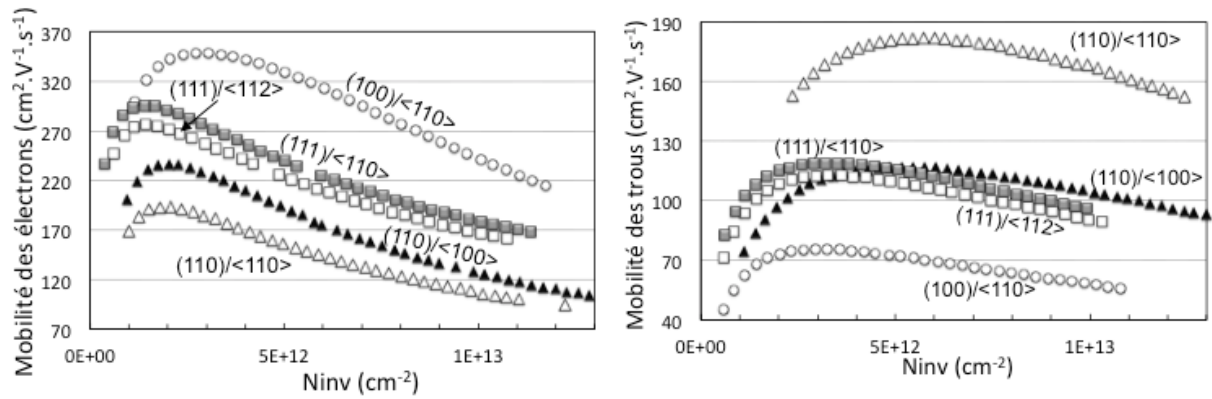


Figure I.33: Mobilités des électrons et des trous en fonction de la charge d’inversion pour différentes orientations de substrat et de canal, d’après [Yang03a].

Précisons enfin que (100) étant la meilleure orientation de substrat pour les électrons et (110) celle à privilégier pour les trous, des études ont été menées afin de “co-intégrer” ces deux options sur une même puce. *Yang et al.* ont par exemple proposé une architecture nommée HOT pour *Hybrid Orientation Technology* [Yang06] en partant d’un substrat de type SOI. Ces architectures ont alors la particularité d’avoir des nMOS sur (100) et sur SOI alors que les pMOS sont sur (110) et sur silicium massif. *Bidal et al.* proposent également une intégration à orientation multiples en gardant les nMOS et les pMOS sur film mince (UTBB) en tirant avantage de la technologie SON [Bidal09c] (Figure I.34).

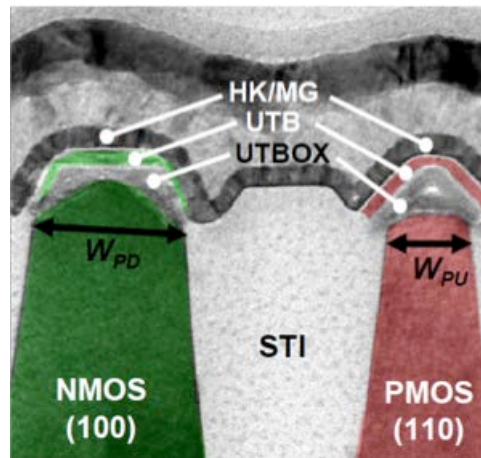


Figure I.34: Vue en coupe TEM dans le sens de la largeur d’une intégration à orientations multiples sur film mince réalisée en technologie SON. Les nMOS sont sur une orientation (100) et les pMOS sur une orientation (110). [Bidal09c]

## I.D. Conclusion du chapitre

Dans l'optique de proposer des technologies de plus en plus performantes et/ou à faible consommation, l'industrie de la microélectronique participe depuis un demi siècle à une véritable course. Une course à la miniaturisation dans un premier temps, pour augmenter encore et toujours la densité d'intégration des dispositifs et proposer ainsi des puces "multifonctions". Mais c'est également une course aux performances à laquelle nous assistons, des performances toujours plus élevées pour des tensions d'alimentation qui diminuent de génération en génération, tout en essayant de conserver une consommation aussi faible que possible.

Au cours de ce premier chapitre, nous avons vu que cette course à la miniaturisation doit répondre à de nombreux défis qui, petit à petit, ont engendré une modification du transistor MOS conventionnel. Ainsi, nous avons montré qu'en réponse à chaque effet parasite un nouveau "module technologique" apparaît, comme l'empilement de grille high- $k$ /métal pour limiter les courants de fuite ou encore les implantations de poches pour limiter l'impact des effets canaux courts. Mais, l'industrie ne se contente pas de répondre aux défis de la miniaturisation. Elle cherche également de nouveaux moyens d'améliorer les performances des dispositifs, comme l'utilisation d'une contrainte, l'intégration de nouveaux matériaux ou encore en jouant sur l'orientation cristalline.

Cependant, si jusqu'à aujourd'hui (nœud technologique 32nm) les optimisations du transistor MOS ont su répondre aux besoins des différentes applications, il y a fort à penser que de nouvelles architectures soient nécessaires pour les prochaines générations.

De par leur meilleur contrôle des effets canaux courts, les architectures UTBB devraient être les premières à faire leur apparition en production. Elles pourraient dans un premier temps être produites en parallèle avec les transistors sur silicium massif, chaque technologie ayant alors ses propres applications (UTBB pour les applications basse consommation et silicium massif pour les applications hautes performances). Mais si on imagine que d'ici 2 générations la technologie UTBB aura complètement remplacé le transistor MOS conventionnel, les ultimes nœuds technologiques devraient voir l'apparition d'architectures à grille multiple, comme le double grille, la "grille enrobante" ou encore les nanofils.

L'objectif de cette thèse étant d'explorer différentes options pour les futures générations de transistors, nous nous sommes intéressés aux architectures à film mince sur oxyde enterré mince (chapitres 2 & 3) et aux architectures à grille enrobante (chapitre 4), tant du point de vue de leur intégration que de leurs performances électriques.

---

---

**- CHAPITRE II -**

**LE SOI LOCALISE : ARCHITECTURES**

**A FILM ET OXYDE ENTERRE MINCES**

---

---

## CHAPITRE II: LE SOI LOCALISE : ARCHITECTURES A FILM ET OXYDE ENTERRE MINCES ....43

<b>II.A. Les architectures à film et oxyde enterré minces .....</b>	<b>45</b>
II.A.1. Impact sur l'électrostatique.....	45
II.A.1.a. Influence de l'épaisseur de silicium $T_{Si}$ .....	45
II.A.1.b. Influence de l'épaisseur de l'épaisseur de $T_{BOX}$ .....	47
II.A.2. Intérêt du film mince pour la variabilité.....	48
II.A.3. Intérêt du BOX mince pour l'adressage de plusieurs tensions de seuil.....	49
<b>II.B. Transistors UTBB à partir de la technologie SON .....</b>	<b>52</b>
II.B.1. La technologie SON.....	52
II.B.1.a. Historique.....	52
II.B.1.b. L'épitaxie sélective .....	53
II.B.1.c. La gravure du SiGe.....	54
II.B.2. Le "BULK+" ou LSOI type-A.....	55
II.B.2.a. Procédé de fabrication .....	55
II.B.2.b. Limitations et optimisations.....	58
II.B.3. Le LSOI type-B .....	59
II.B.3.a. Procédé de fabrication .....	59
II.B.3.b. Limitations et optimisations.....	62
<b>II.C. Résultats électriques sur les architectures LSOI réalisées .....</b>	<b>65</b>
II.C.1. LSOI type-A .....	65
II.C.1.a. Résultats électriques de transistors unitaires.....	65
II.C.1.b. Cellules SRAM-6T.....	66
II.C.2. LSOI Type-B .....	68
II.C.2.a. Résultats électriques de transistors unitaires.....	68
II.C.2.b. SRAM-6T.....	69
II.C.3. Comparaison des architectures LSOI type-A et type-B.....	71
II.C.3.a. Impact de l'implantation du plan de masse sur la variabilité .....	71
II.C.3.b. Le gain 3D : avantage LSOI type-A.....	73
II.C.3.c. La polarisation par la face arrière : avantage LSOI type-B.....	74
<b>II.D. Co-intégration dispositifs LSOI et silicium massif .....</b>	<b>78</b>
II.D.1. Concept et intérêt.....	78
II.D.2. Procédé de fabrication .....	79
II.D.3. Performances des dispositifs BULK co-intégrés.....	82
II.D.3.a. Performances des transistors I/O.....	82
II.D.3.b. Variabilité .....	83
II.D.3.c. Bruit basse fréquence en $1/f$ .....	84
II.D.3.d. Protections ESD.....	85
<b>II.E. Conclusions et application au FDSOI .....</b>	<b>88</b>

## II.A. Les architectures à film et oxyde enterré minces

Nous avons vu, au cours du premier chapitre, que les architectures à film mince représentent une alternative au transistor BULK des plus intéressantes pour les générations technologiques à venir. Dans ce paragraphe, nous revenons sur les avantages apportés par de telles architectures du point de vue du contrôle électrostatique et de la variabilité. Nous nous intéressons ici au cas particulier et optimal où le film mince est associé à un oxyde enterré (BOX) mince, on parle d'UTBB (*Ultra-Thin Body and BOX*).

### II.A.1. Impact sur l'électrostatique

#### II.A.1.a. Influence de l'épaisseur de silicium $T_{Si}$

Les effets de canaux courts présentés au chapitre précédent (SCE et DIBL), peuvent être modélisés par les équations II.1 et II.2 reportées ci-dessous. Ces équations, utilisées dans le modèle MASTAR [MASTAR] sont dérivées de la Transformation-Tension-Dopage (notée VDT pour *Voltage-Doping-Transformation*) proposé par *Skotnicki et al.* [Skotnicki88]. On s'aperçoit notamment que ces formules font intervenir un terme qui permet de comparer l'impact des effets canaux courts sur des architectures différentes : il s'agit de l'intégrité électrostatique, notée EI (pour *Electrostatic Integrity*).

$$SCE = 0.64 \times \frac{\epsilon_S}{\epsilon_{ox}} \times EI \times \Phi_d \quad [\text{Eq. II.1}]$$

$$DIBL = 0.8 \times \frac{\epsilon_S}{\epsilon_{ox}} \times EI \times V_D \quad [\text{Eq. II.2}]$$

où  $\epsilon_S$  et  $\epsilon_{ox}$  sont les permittivités relatives du silicium et de l'oxyde de grille respectivement ;  $\Phi_D$  est la hauteur de barrière entre la source et le canal.

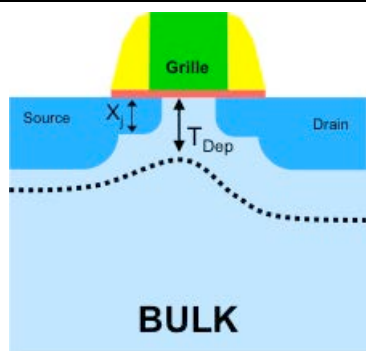
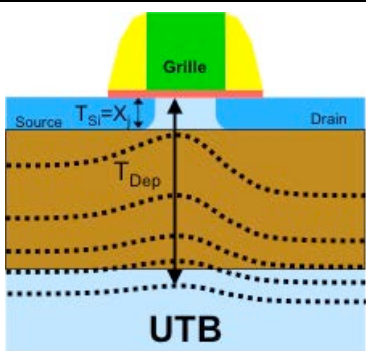
	
$EI = 1 \times \left( 1 + \frac{X_j^2}{L_{el}^2} \right) \times \frac{T_{ox}}{L_{el}} \times \frac{T_{Dep}}{L_{el}} \quad [\text{Eq. II.3}]$	$EI = 1 \times \left( 1 + \frac{T_{Si}^2}{L_{el}^2} \right) \times \frac{T_{ox}}{L_{el}} \times \frac{T_{Si} + \lambda T_{BOX}}{L_{el}} \quad [\text{Eq. II.4}]$

Tableau II.1 : représentation schématique d'un transistor BULK et d'un transistor UTB avec leur lignes de champ parasites et les formules de leur intégrité électrostatique respective [Skotnicki08].

Le tableau II.1 permet la comparaison entre un transistor conventionnel sur silicium massif et un transistor UTB, à travers leur représentation schématique et l'expression de EI qui

leur est associée (Equations II.3 et II.4). On s'aperçoit ainsi que pour le BULK, ce sont les valeurs de  $X_j$  (profondeur de jonction) et de  $T_{DEP}$  (profondeur de déplétion) qui jouent un rôle déterminant. Cependant, la réduction de  $X_j$  est délicate car elle entraîne une augmentation des résistances séries, faisant de l'optimisation de  $T_{DEP}$  la solution la plus "facile" pour réduire l'impact des effets canaux courts sur un dispositif BULK. Néanmoins, diminuer  $T_{DEP}$  impose des niveaux de dopage très élevés dans le canal, ce qui n'est pas souhaitable avec l'utilisation d'une grille métallique ni compatible avec la réduction des tensions d'alimentation.

Pour une architecture UTB (e.g. le FDSOI),  $X_j$  est limitée par l'épaisseur du film de silicium  $T_{Si}$ . Il est donc possible d'améliorer l'intégrité électrostatique d'une architecture à film mince, en réduisant  $T_{Si}$ . Cette dépendance à l'épaisseur du film de silicium est d'autant plus importante qu'elle influence également la profondeur de déplétion du dispositif  $T_{DEP}$ .

La figure II.1 propose des caractéristiques  $V_{TH}(L_G)$  pour différentes épaisseur du film de silicium et met en évidence l'impact de  $T_{Si}$  sur le contrôle du SCE. On observe sur ces courbes que la chute de la tension de seuil, caractéristique de l'effet SCE (cf. paragraphe I.B.2.b), intervient plus tard lorsque l'on travaille avec des films de silicium plus minces. Il est également intéressant de remarquer qu'en l'absence de dopage dans le canal, l'épaisseur  $T_{Si}$  n'a pas d'influence sur la tension de seuil des dispositifs longs (qui ne subissent donc pas les effets canaux courts).

De la même façon, la figure II.2 présente les caractéristiques DIBL( $L_G$ ) de transistors UTBB pour plusieurs valeurs de  $T_{Si}$ . Ces courbes permettent d'observer la tendance qui se dégage des formules : réduire  $T_{Si}$  améliore l'intégrité électrostatique du dispositif et lui offre une meilleure immunité face aux effets électrostatiques pour les longueurs de grille les plus courtes.

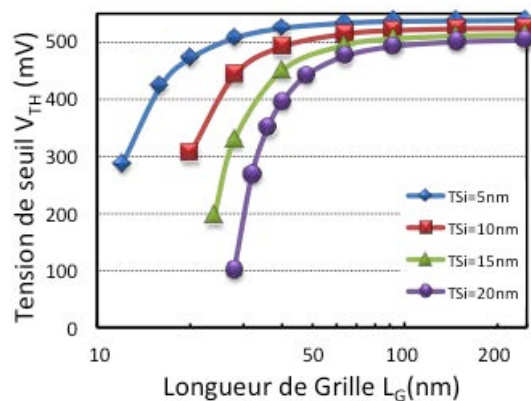


Figure II.1 : impact de l'épaisseur de silicium  $T_{Si}$  sur la caractéristique  $V_{TH}(L_G)$  d'un dispositif UTB,  $T_{BOX}=10\text{nm}$ , et  $V_D=0.1\text{V}$ . L'effet SCE est réduit lorsqu'on diminue  $T_{Si}$ .

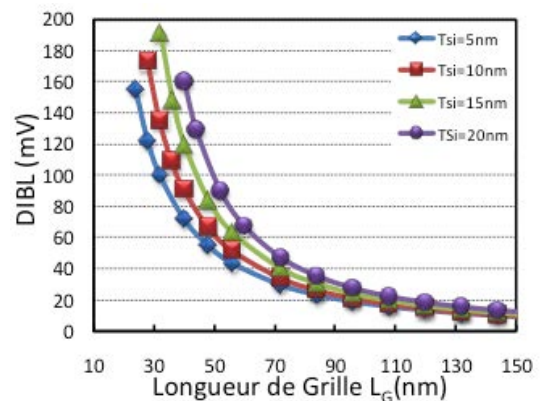


Figure II.2 : impact de l'épaisseur de silicium  $T_{Si}$  sur la caractéristique DIBL( $L_G$ ) d'un dispositif UTB,  $T_{BOX}=10\text{nm}$ , et  $V_D=1\text{V}$ . Réduire l'épaisseur du film de silicium améliore le contrôle des effets électrostatiques.

L'influence de l'épaisseur du film de silicium sur les effets canaux courts se répercute sur les caractéristiques sous le seuil du dispositif. C'est notamment le cas pour la pente sous le seuil  $S$  qui devient plus faible lorsque  $T_{Si}$  est réduite (Figure II.3).



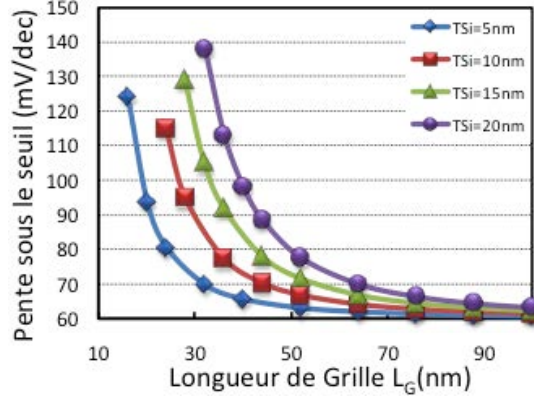


Figure II.3 : impact de l'épaisseur de silicium  $T_{Si}$  sur la pente sous le seuil d'un dispositif UTB,  $T_{BOX}=10nm$ , et  $V_D=0.1V$ .  $S$  est plus faible lorsque l'on réduit  $T_{Si}$ .

### II.A.1.b. Influence de l'épaisseur de $T_{BOX}$

Lors du premier chapitre, nous avons également noté que travailler avec un diélectrique enterré plus mince améliore le contrôle électrostatique d'une architecture sur film mince (cf. paragraphe I.C.3.c). Cette dépendance en  $T_{BOX}$  se retrouve dans l'équation de l'intégrité électrostatique (Eq. II.4 rappelée ci-dessous) où l'on remarque qu'une réduction du couple  $\lambda T_{BOX}$  est bénéfique pour le contrôle électrostatique du dispositif. Le coefficient  $\lambda$  dépend de  $T_{BOX}$  et de la longueur électrique du transistor ( $L_{Elec}$ ). Il peut être approximé empiriquement, sa formule est donnée par l'équation II.5 :

$$EI=1 \times \left(1 + \frac{T_{Si}^2}{L_{el}^2}\right) \times \frac{T_{ox}}{L_{el}} \times \frac{T_{Si} + \lambda T_{BOX}}{L_{el}} \quad [\text{Eq. II.4}]$$

$$\lambda = 0.21 \times \left(1 + \tanh\left(1.5 \times \frac{T_{BOX}}{L_{Elec}} - 1\right)\right) \times \left(1 + 0.09 \times \frac{T_{BOX}}{L_{Elec}}\right) \times \frac{L_{Elec}}{T_{BOX}} \quad [\text{Eq. II.5}]$$

L'évolution de  $\lambda T_{BOX}$  par rapport à l'épaisseur de diélectrique enterré est donnée en figure II.4. La dépendance en  $T_{BOX}$  apparaît clairement : plus le diélectrique enterré est mince et plus  $\lambda T_{BOX}$  est petit, améliorant alors l'intégrité électrostatique du dispositif. Ainsi, à  $T_{Si}$  constant, réduire  $T_{BOX}$  d'un transistor UTB améliore son contrôle des effets canaux courts. La figure II.5 montre qu'il est possible de diviser par deux le DIBL d'un dispositif en réduisant  $T_{BOX}$  de 145nm à 10nm. Rappelons que lorsqu'on utilise un BOX mince ou ultra-mince ( $T_{BOX} < 50nm$ ) la mise en place d'un plan de masse (zone de fort dopage sous le BOX) est indispensable pour éviter la déplétion sous le diélectrique enterré et profiter pleinement de cette configuration (cf. paragraphe I.C.3.c, [Ernst99]). Cette amélioration de l'intégrité électrostatique apportée par l'utilisation d'un BOX mince se caractérise également par une diminution de la pente sous le seuil (Figure II.5).



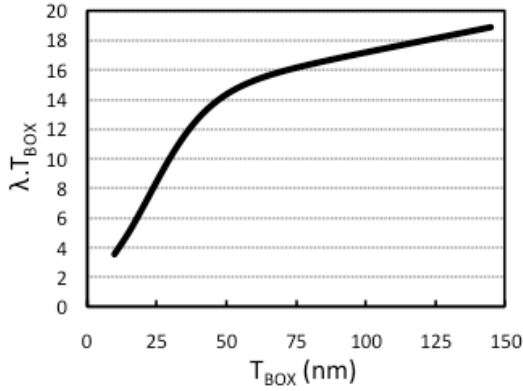


Figure II.4 : évolution du couple  $\lambda \cdot T_{\text{BOX}}$  en fonction de l'épaisseur de diélectrique enterré. On note qu'en diminuant  $T_{\text{BOX}}$ ,  $\lambda \cdot T_{\text{BOX}}$  tend vers 0.  $L_{\text{Elec}} = 22\text{nm}$ .

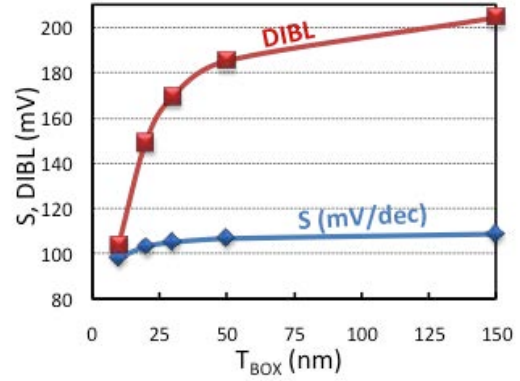


Figure II.5 : évolution du DIBL et de la pente sous le seuil S en fonction de  $T_{\text{BOX}}$  (en présence d'un plan de masse). Diminuer  $T_{\text{BOX}}$  améliore le contrôle du DIBL ainsi que la pente sous le seuil.  $L_{\text{Elec}} = 22\text{nm}$ ,  $T_{\text{Si}}=5\text{nm}$ .

## II.A.2. Intérêt du film mince pour la variabilité

La notion de variabilité s'inscrit dans un environnement circuit. En effet, un circuit est constitué, entre autres, de millions de cellules mémoires, composées chacune de plusieurs transistors, dont le rôle est de "manipuler" (i.e. lire, conserver, écrire) des bits d'information. Il est donc indispensable que ces bits d'informations soient traités de la même façon. Cela implique que ces cellules mémoires fonctionnent exactement de la même manière pour des conditions similaires. Or, dans les faits, il est possible que deux transistors supposés identiques et se trouvant sur la même puce fonctionnent différemment. C'est ce phénomène qui est appelé variabilité. Elle peut être liée à des variations systématiques sur des paramètres technologiques, provenant des procédés de fabrication (photolithographie et étapes de gravures correspondantes, doses d'implantations, épaisseur de couches déposées, etc.), on parle de variabilité globale. Ces variations systématiques peuvent, en principe, être corrigées par des modifications appropriées du procédé de fabrication ou des ajustements des règles de dessin. La variabilité peut également être aléatoire signifiant que même deux transistors voisins peuvent être impactés, on parle de variabilité locale.

Cette variabilité locale peut être quantifiée en comparant la tension de seuil de deux dispositifs très proches, l'écart entre ces deux tensions de seuil est noté  $\Delta V_{\text{TH}}$ , on parle de "désappariement" ou de *mismatch*. Puisque nous parlons ici de variabilité aléatoire, la distribution Gaussienne de  $V_{\text{TH}}$  (ou de  $\Delta V_{\text{TH}}$ ), gouvernée par une loi de Poisson de distribution du dopage, permet l'expression de l'écart type  $\sigma$  de cette distribution (Eq. II.6) [Mizuno94, Pelgrom98, Stolk98] :

$$\sigma_{V_{\text{TH}}} = \frac{\sigma \Delta V_{\text{TH}}}{\sqrt{2}} = \sqrt{2 \cdot q^3 \epsilon_{\text{Si}} \Phi_{\text{d}} N_{\text{ch}}} \left( \frac{\text{EOT}}{\epsilon_{\text{ox}}} \right) \frac{1}{\sqrt{W_{\text{eff}} \cdot L_{\text{eff}}}} = \frac{A_{V_{\text{TH}}}}{\sqrt{W_{\text{eff}} \cdot L_{\text{eff}}}} \quad [\text{Eq. II.6}]$$

où  $A_{V_{\text{TH}}}$  dépend de la technologie. C'est souvent ce dernier terme qui est utilisé pour comparer les variabilités car il permet de s'affranchir des dimensions des transistors étudiés. Son unité est le  $\text{mV} \cdot \mu\text{m}$ .

Les variations aléatoires sont principalement causées par les fluctuations du dopage canal, les fluctuations des différentes épaisseurs ( $T_{ox}$ ,  $T_{Si}$ ,  $T_{BOX}$ ), les fluctuations dues à la rugosité de surface ou encore les fluctuations du travail de sortie de l'électrode de grille. Pour plus de détails concernant les expressions analytiques de ces sources de variabilité, le lecteur peut consulter [Cathignol08, Pelgrom98, Weber08].

Comme nous l'avons déjà précisé, leur bonne immunité face aux effets canaux courts associée à l'utilisation de grilles métalliques permet aux architectures UTBB de travailler avec des canaux non dopés. Leur tension de seuil est alors ajustée avec le travail de sortie de la grille. Cette absence de dopage dans le canal représente donc un avantage majeur en terme de variabilité puisque ces technologies s'affranchissent des fluctuations de dopants dans le canal à conditions que les épaisseurs  $T_{Si}$  et  $T_{BOX}$  soient parfaitement maîtrisées. Ainsi, les variabilités les plus faibles publiées que l'on trouve dans la littérature sont obtenues sur des transistors FDSOI avec une valeur de  $A_{V_{TH}}=0.88\text{mV}\cdot\mu\text{m}$  [Weber08, Cheng09] (Figure II.6).

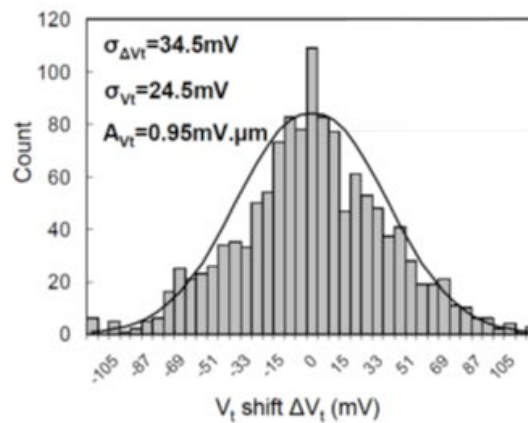


Figure II.6 : Distribution du décalage de la tension de seuil  $\Delta V_{TH}$  pour des transistors FDSOI courts et étroits ( $L_G=25\text{nm}$  et  $W=60\text{nm}$ ).  $A_{V_{TH}}=0.95\text{mV}\cdot\mu\text{m}$  est une des plus petite variabilité présentées dans la littérature [Weber08].

### II.A.3. Intérêt du BOX mince pour l'adressage de plusieurs tensions de seuil

Afin de proposer une plateforme multimédia complète, une technologie doit être en mesure de proposer plusieurs types d'applications sur une même puce. Cela signifie que les performances des transistors, ajustées par leur tension de seuil, seront différentes en fonction des applications visées : on parle de stratégie *multi- $V_{TH}$* . D'une manière générale, pour une plateforme basse consommation, on trouve trois niveaux de tensions de seuil :

- La première tension de seuil, appelée RVT pour *regular- $V_{TH}$*  représente la tension de seuil visée pour le circuit. D'une manière générale, cette tension de seuil est déterminée de manière à obtenir le courant de fuite  $I_{OFF}$  souhaité pour l'ensemble du dispositif. Typiquement  $I_{OFF}=1\text{nA}/\mu\text{m}$  pour une plateforme basse consommation.

- Sur ce même circuit sont ensuite repérés quelques “chemins” qui a eux seuls font perdre du temps dans la transmission du signal. On diminue alors la tension de seuil des transistors concernés de manière à améliorer leurs performances et donc la performance du circuit, on parle de dispositif LVT (pour *low- $V_{TH}$* ). Notons toutefois que ce gain en performances se fait au détriment d’un courant de fuite plus élevé pour les transistors concernés, typiquement  $I_{OFF}=10\text{nA}/\mu\text{m}$  pour une plateforme basse consommation.
- Le dernier niveau de tension de seuil est lui plus élevé, on parle de HVT pour *high- $V_{TH}$* . Il est généralement utilisé pour les cellules mémoires SRAM car ces cellules comportent un très grand nombre de transistors et leur courant de fuite doit être aussi faible que possible, typiquement  $I_{OFF}=0,1\text{nA}/\mu\text{m}$ .

Pour une technologie BULK, ces différentes tensions de seuil sont obtenues par le biais du dopage canal. Cette solution n’est donc pas envisageable pour les technologies à film mince puisque leur principal avantage est de fonctionner avec un canal non dopé. On peut imaginer l’intégration d’un métal de grille différent avec le travail de sortie correspondant à chaque application, mais cela signifie donc qu’il faut intégrer au moins 5 métaux différents (nMOS et pMOS compris). Cette solution reste néanmoins complexe et implique de nombreuses étapes technologiques supplémentaires. Une alternative est alors d’utiliser un plan de masse ou GP (pour *Ground Plane*, cf. paragraphe I.C.3.c) associé à un BOX mince.

En effet, même s’il a été initialement intégré pour améliorer l’intégrité électrostatique des dispositifs UTBB [Ersnt99], le GP, lorsqu’il est de type opposé aux source/drain, engendre une hausse de la tension de seuil d’autant plus haute que le BOX est mince. La présence d’un plan de masse améliore également l’efficacité des techniques de polarisations par la face arrière ou  $V_{BB}$  (pour *BackBiasing*). Ainsi, appliquer une tension  $V_{BB}$  du même signe que  $V_{DD}$  va abaisser la tension de seuil du dispositif et permettre une amélioration des performances au détriment d’un courant de fuite plus élevé. A contrario, si  $V_{BB}$  est du signe opposé à  $V_{DD}$ , la tension de seuil du dispositif est plus élevée ce qui permet d’obtenir un faible courant de fuite mais au prix d’une réduction des performances. Au même titre que le GP, l’influence de la polarisation par la face arrière sur la tension de seuil du transistor est d’autant plus importante que le BOX est mince.

Une stratégie *multi- $V_{TH}$*  avec une technologie UTBB se dessine alors. Dans le cas de transistors nMOS avec un métal de grille de type *midgap*, on obtient des dispositifs HVT par l’utilisation d’un GP de type P, des transistors LVT par l’utilisation d’un GP de type N couplé à du *backbiasing* ( $V_{BB}=V_{DD}$ ) et enfin, en l’absence de plan de masse, les dispositifs sont de types RVT [Fenouillet09a, Fenouillet09b, Noel09] (Figure II.7).

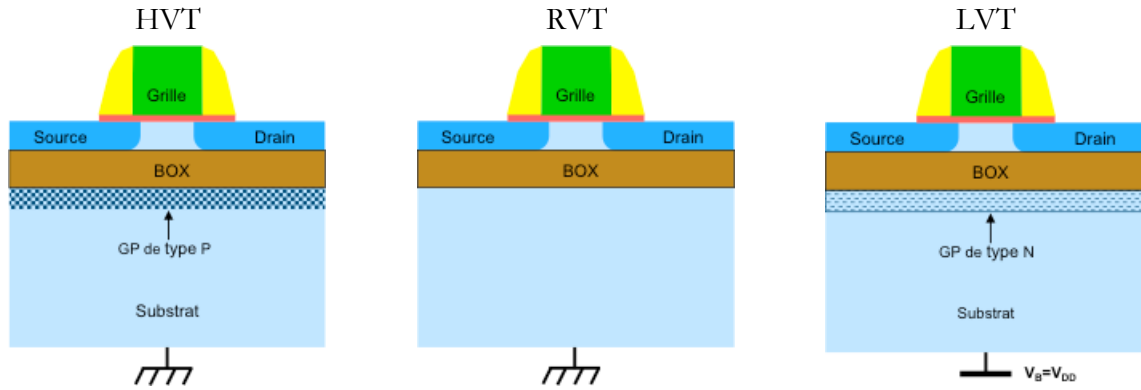


Figure II.7 : configurations pour une stratégie *multi-V<sub>TH</sub>* avec des technologies UTBB, exemple pour des transistors nMOS avec une grille métallique de type *midgap* [Fenuillet10].

La figure II.8 reflète l'influence de l'épaisseur de BOX sur la tension de seuil pour les différentes configurations présentées en figure II.7. Il est important de noter qu'en présence d'un diélectrique enterré épais (150nm), le plan de masse et/ou la polarisation par la face arrière n'ont aucun impact sur la tension de seuil. Pour proposer une stratégie *multi-V<sub>TH</sub>* il est donc indispensable de travailler avec un BOX mince. L'écart entre chaque niveau  $V_{TH}$  sera d'autant plus important que le diélectrique enterré sera mince.

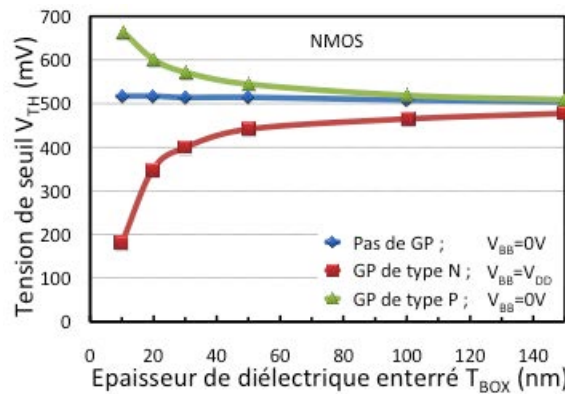


Figure II.8 : Influence de l'épaisseur du BOX sur la tension de seuil pour les trois configurations proposées en figure II.7 [Noel09].

Nous venons de le voir, les technologies sur film et diélectrique enterrés minces représentent des alternatives très prometteuses face au BULK. Nous avons également relevé qu'il était intéressant de diminuer l'épaisseur du film de silicium et celle du BOX pour améliorer encore l'intégrité électrostatique des dispositifs et leur ouvrir des perspectives (applications circuits grâce à la stratégie *multi-V<sub>TH</sub>*).

La suite de ce chapitre est consacrée à la présentation et à l'étude de dispositifs UTBB reposant sur une technologie alternative au SOI : le SOI Localisé ou LSOI (pour *Localized SOI*) qui repose sur la technologie *Silicon-On-Nothing* (SON) [Jurczak99].

## II.B. Transistors UTBB à partir de la technologie SON

### II.B.1. La technologie SON

#### II.B.1.a. Historique

Introduit par *Jurczak et al.* [Jurczak99], le principe du transistor SON est de réaliser un transistor UTBB où le diélectrique enterré est localisé uniquement sous la grille et les espaceurs (Figure II.10). Reposant sur substrat en silicium massif, cette approche permet de s'apparenter électriquement aux dispositifs FDSOI tout en bénéficiant d'une intégration technologique proche des transistors conventionnels. Les principales étapes spécifiques au procédé de fabrication du premier transistor SON sont présentées en figure II.9. Un des avantages majeurs de ce procédé de fabrication est la maîtrise des épaisseurs du canal de conduction et de l'oxyde enterré qui sont définies lors d'une étape d'épitaxie. On remarque également que le terme SON fait référence à une étape particulière pendant laquelle le canal de conduction est suspendue par la grille au-dessus de la zone active après gravure de la couche sacrificielle de SiGe.

Aujourd'hui, on parle de technologie SON au sens large lorsque le procédé de fabrication fait intervenir la présence d'une cavité dans le silicium. Ce tunnel ainsi vidé peut alors être rempli soit par un diélectrique pour former une architecture UTBB [Monfray01] soit par un empilement de grille pour former une architecture double-grille [Harrison03].

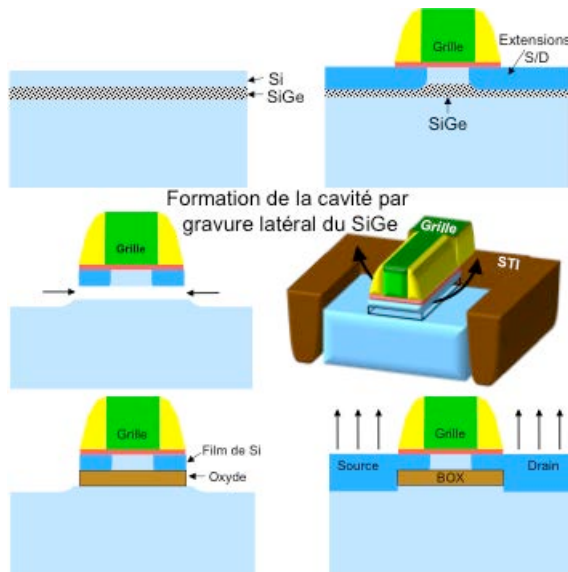


Figure II.9 : schéma d'intégration d'un transistor SON tel que proposé par *Jurczak et al.* [Jurczak99].

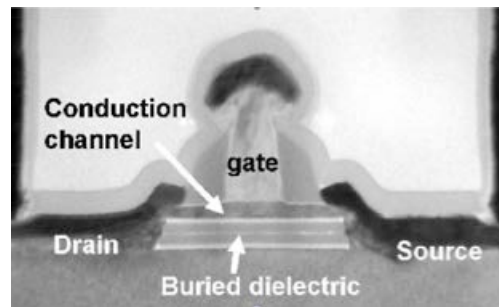


Figure II.10 : vue en coupe prise au microscope électronique en transmission (TEM) d'un transistor SON à la fin du procédé de fabrication [Monfray04].

Une architecture proche du transistor SON a également été proposée par *Oh et al.* [Oh06] : le SOONO (pour *Silicon-On-Oxide-Nitride-Oxide*). Bien que le principe de la gravure du SiGe soit identique à l'architecture proposée par *Jurczak et al.*, la membrane de silicium suspendue n'est pas maintenue par la grille mais par le STI ce qui implique l'utilisation d'un niveau de masquage supplémentaire.

### II.B.1.b. L'épitaxie sélective

La formation des couches de SiGe et de Si par épitaxie est une étape clé de l'intégration SON. En effet, la couche de silicium représente le futur canal de conduction du transistor et le SiGe sacrificiel sera gravé au cours du procédé de fabrication pour former la cavité qui sera remplie par le diélectrique enterré. La réalisation de ces deux couches nécessite donc une certaine expertise afin d'en assurer la cristallinité, l'épaisseur et l'uniformité.

La technique d'épitaxie utilisée sur les dispositifs de cette étude est le dépôt chimique en phase vapeur par traitement thermique rapide, on parle de RTCVD (pour *Rapid Thermal Chemical Vapor Deposition*). Les gaz utilisés sont le silane ( $\text{SiH}_4$ ) et le dichlorosilane (DCS) pour le silicium et le germane ( $\text{GeH}_4$ ) pour le germanium. Lorsque l'on souhaite éviter la croissance de silicium poly-cristallin sur les diélectriques (typiquement les isolations STI), on peut utiliser du chlorure d'hydrogène (HCl), on parle alors d'épitaxie sélective ou SEG (pour *Selective Epitaxial Growth*).

Le germanium et le silicium ayant des structures cristallines similaires (structure diamant cubique faces centrées) et un paramètre de maille relativement proche ( $5,43\text{\AA}$  pour le silicium et  $5,66\text{\AA}$  pour le germanium), il est possible de réaliser une épitaxie sélective d'un alliage  $\text{Si}_{1-x}\text{Ge}_x$  sur un substrat de silicium. Le léger désaccord de maille limite cependant l'épaisseur de cette couche de SiGe à quelques dizaines de nanomètres pour éviter l'apparition de dislocations qui seraient alors transmises au canal de conduction. De plus, cette épaisseur est d'autant plus limitée que la teneur  $x$  en germanium de l'alliage est importante. Dans cette thèse, les teneurs en germanium utilisées sont d'environ 30% pour des épaisseurs de SiGe variant entre 7 et 20nm.

L'épitaxie de silicium est, quant à elle, précédée d'un nettoyage pour en assurer la bonne qualité cristalline. De plus, le budget thermique de cette épitaxie est limité (entre 600 et 750°C) afin d'éviter le transfert de la contrainte depuis la couche de SiGe vers le Si du canal de conduction et limiter ainsi le risque d'apparitions de dislocations.

Comme nous le verrons par la suite, selon l'architecture étudiée, les deux épitaxies peuvent être surélevées ou enterrées. Le premier cas favorise l'apparition de "facettes" qui sont généralement un point bloquant mais dont on peut tirer profit pour réaliser des transistors à canal replié (paragraphe II.B.2.b). Une épitaxie est dite enterrée quand elle se trouve en-dessous du niveau des isolations STI, ce qui permet d'obtenir des couches de Si et de SiGe sans facettes (paragraphe II.B.3).

La figure II.11 nous montre un exemple de couches de SiGe et de Si épitaxiées sur un substrat en silicium massif.

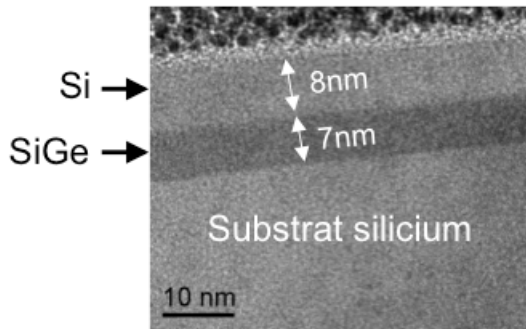


Figure II.11 : vue en coupe TEM d'une épitaxie SiGe/Si sur un substrat de silicium. Les épaisseurs sont 7nm et 8nm respectivement.

### II.B.1.c. La gravure du SiGe

Cette étape est elle aussi une étape critique de l'intégration SON. Il s'agit de retirer la couche sacrificielle de SiGe sélectivement au canal de conduction en silicium. La sélectivité de la gravure est dépendante de deux paramètres. Le premier est la teneur en germanium de l'alliage SiGe : plus elle est élevée, meilleure est la sélectivité (Figure II.12). Cependant, comme nous venons de le voir, ce pourcentage de germanium est limité par l'apparition de dislocations dans le silicium du canal de conduction. Le second paramètre influençant la sélectivité de la gravure est l'épaisseur de cette couche de SiGe (Figure II.13), mais cette valeur est généralement choisie en fonction de l'épaisseur du futur BOX (cf. paragraphe II.A).

Deux techniques de gravure ont été utilisées sur les dispositifs étudiés au cours de cette thèse :

✓ **La gravure plasma** [Borel04]: le principe de cette gravure sèche repose sur l'utilisation d'un gaz à base de fluor (typiquement  $\text{CF}_4$ ) qui se combine avec le Si (ou le Ge) pour former du  $\text{SiF}_x$  (ou du  $\text{GeF}_x$ ), produit volatil. Or, lorsqu'ils sont exposés simultanément, le SiGe est gravé préférentiellement au Si. Cela peut s'expliquer par les liaisons Si-Ge plus faibles que les liaisons Si-Si (2,12 et 2,31 eV respectivement). Ainsi, une sélectivité de 60 :1 peut être atteinte pour du  $\text{Si}_{0,8}\text{Ge}_{0,2}$  par rapport au silicium. Cette gravure ne consomme pas les diélectriques ni les métaux car les espèces chimiques n'ont pas assez d'énergie pour casser leurs liaisons, ce qui peut être un réel avantage pour des architectures avec des grilles métallique par exemple. Un inconvénient est une perte de la sélectivité face au silicium lorsque les temps de gravure sont longs. Dans le cas d'un transistor SON ce phénomène engendre un amincissement du canal de conduction sur ses extrémités, impactant alors les performances électriques du dispositif (résistance série, tension de seuil).

✓ **La gravure HCl** [Bogumilowicz05]: cette gravure sèche est une gravure chimique en phase gazeuse ou CVE (pour *Chemical Vapor Etching*) qui est réalisée dans les équipements normalement dédiés à l'épitaxie. Elle utilise en effet le gaz HCl qui est présent dans ces réacteurs pour rendre l'épitaxie sélective par exemple. De ce fait, au même titre que pour leur croissance, le Si et le Ge ont des cinétiques de gravure différentes. En présence de Ge et de Si, le HCl réagit préférentiellement avec le Ge (et pour des températures plus faibles), expliquant une cinétique de gravure supérieure pour le SiGe par rapport au silicium et la dépendance au pourcentage de Ge dans l'alliage. De plus, tout comme pour l'épitaxie, la gravure de ces matériaux est dépendante aux plans cristallins ce qui peut causer l'apparition de facettes. La gravure HCl offre une meilleure



sélectivité que la gravure plasma, *Loubet et al.* [Loubet08] reporte par exemple une sélectivité de 300 :1 pour du  $\text{Si}_{70}\text{Ge}_{30}$  par rapport à du Si. La sélectivité par rapport aux diélectriques étant considérée comme quasi-infinie, il est indispensable de “nettoyer” la plaque avant de procéder à la gravure pour éviter qu’un simple oxyde natif ne bloque l’accès à la couche sacrificielle. Un inconvénient de cette technique de gravure est sa non sélectivité aux métaux, la chimie chlorée étant très réactives avec les espèces métalliques. Enfin, précisons qu’en l’absence de Ge ou de SiGe, le HCl peut graver le silicium.

Il existe une troisième technique de gravure sélective du SiGe que nous n’avons pas utilisé au cours de ce travail, il s’agit de la gravure humide, utilisée entre autres par Samsung pour son architecture SOONO [Oh06]. Bien que la sélectivité proposée par cette technique soit très bonne, elle cause des problèmes de capillarité et de tension superficielle, ce qui peut être problématique pour réaliser des diélectriques enterrés ultra minces ( $T_{\text{BOX}} < 20\text{nm}$ ).

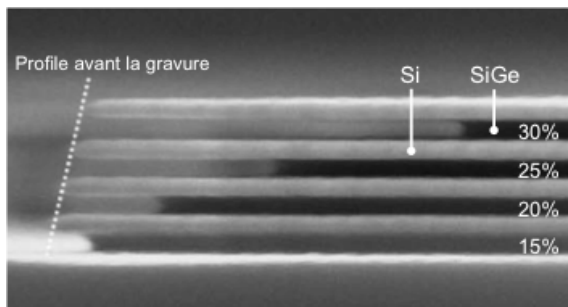


Figure II.12 : vue en coupe au microscope électronique à balayage (MEB) illustrant l’influence de la teneur en Ge de l’alliage SiGe sur la gravure [Loubet08].

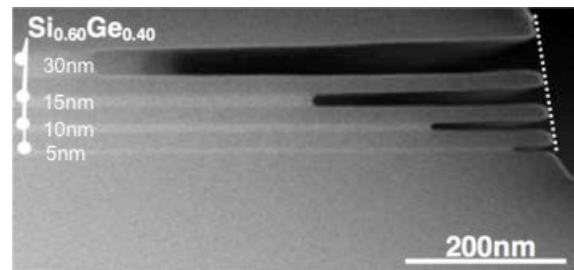


Figure II.13 : vue en coupe au microscope électronique à balayage (MEB) illustrant l’influence de l’épaisseur de SiGe sur la gravure [Loubet07].

Au cours de cette thèse, nous avons étudié deux architectures de transistors UTBB utilisant toutes les deux la technologie SON. Dans le cas de la première architecture, le diélectrique enterré est localisé uniquement sous la grille et les espaceurs à la manière du premier transistor SON, on parle de transistor “Bulk+” ou SOI Localisé (LSOI) type-A. Concernant la deuxième architecture étudiée, son diélectrique enterré est présent sur toute la surface de la zone active de la même façon qu’un transistor FDSOI, on parle de LSOI type-B.

## II.B.2. Le “BULK+” ou LSOI type-A

### II.B.2.a. Procédé de fabrication

Bien que le terme “Bulk+” ait été proposé par *Bœuf et al.* [Boeuf05, Bœuf09], cette architecture est globalement très proche du transistor SON de *Jurczak et al.* En effet, il s’agit d’un transistor réalisé sur substrat de silicium massif (BULK) avec une grille métallique et un diélectrique enterré inséré sous la grille en utilisant la technologie SON. L’utilisation d’un film mince totalement déplété couplé avec un diélectrique enterré mince lui permet un bon contrôle des effets canaux courts et l’utilisation d’un canal non dopé. Afin d’uniformiser le nom des différentes architectures UTBB, cette architecture est également appelée LSOI type-A (pour *Localized Silicon-On-Insulator*), appellation qui fait référence à la présence du BOX et ainsi à la



proximité de ce genre d'architectures avec le FDSOI. Le schéma d'intégration de cette architecture est présenté en figure II.14, nous allons le détailler.

Tout d'abord, précisons une nouvelle fois que le substrat de départ est un substrat de silicium massif et l'isolation latérale entre chaque dispositif est garantie par l'utilisation de tranchées d'oxyde peu profondes ou STI (pour *Shallow Trench Isolation*). L'étape qui suit est l'épithaxie sélective d'une couche sacrificielle d'alliage silicium-germanium et d'une couche de silicium (Figure II.14-a). Rappelons que cette épithaxie est un point clé de l'intégration du LSOI type-A puisque la couche de Si représente le futur canal de conduction du transistor et l'épaisseur de la couche de SiGe détermine l'épaisseur du BOX.

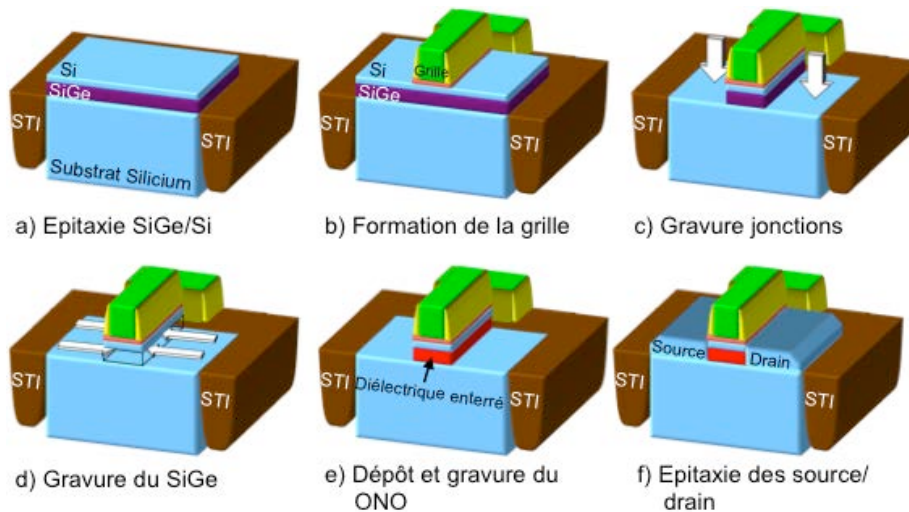


Figure II.14 : Schéma d'intégration d'un transistor LSOI type-A présentant principalement les étapes spécifiques à cette architecture.

Suite à cette étape d'épithaxie, l'empilement de grille est déposé puis gravé de manière conventionnelle (Figure II.14-b). Les transistors étudiés au cours de cette thèse ont un empilement de grille de type high- $k$ /métal avec du  $\text{HfO}_2$  comme diélectrique haute permittivité et du  $\text{TiN}$  comme métal de grille. Cet empilement de grille est ensuite protégé sur ses flancs par la formation d'espaceurs en nitrure de silicium ( $\text{Si}_3\text{N}_4$ ). Ces espaceurs jouent plusieurs rôles au cours du procédé de fabrication, nous aurons l'occasion de les souligner par la suite. Vient ensuite la gravure des jonctions source/drain (Figure II.14-c). Il s'agit d'une gravure plasma anisotrope et sélective aux diélectriques. Ainsi, cette étape ne nécessite pas de masquage particulier puisque la gravure est auto-alignée par rapport à l'empilement de grille qui lui, n'est quasiment pas "attaqué" par la gravure.

Il est bien entendu indispensable que cette gravure soit suffisamment profonde pour dégager l'accès complet à la couche de SiGe. Cette couche sacrificielle est alors gravée latéralement de manière sélective par rapport au silicium du canal de conduction (Figure II.14-d et Figure II.15). Ce canal se retrouve ainsi suspendu et ne repose plus sur rien se retrouvant dans la configuration "*Silicon-On-Nothing*". En réalité, le film de silicium est maintenu par l'empilement de grille qui repose sur les isolations STI sur les extrémités de sa largeur (Figure II.15 droite). Pour cette étape, les deux techniques de gravure présentées au paragraphe II.B.1.c peuvent être

utilisées. Notons ici l'importance des espaceurs SiN qui protègent le métal de la grille dans le cas d'une gravure HCl (non sélective aux métaux).

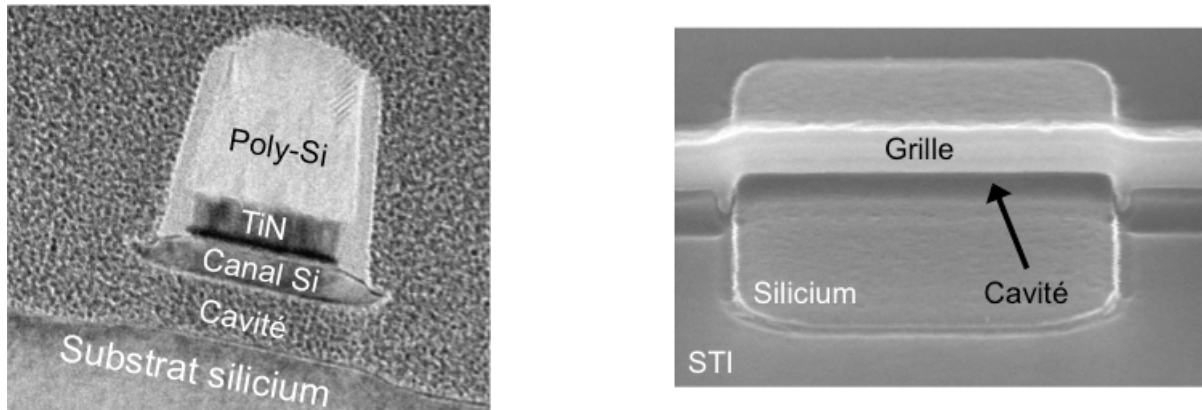


Figure II.15 : image en coupe TEM (gauche) dans le sens de la longueur de grille et image au MEB tilté (droite) dans le sens de la largeur de grille d'un transistor LSOI type-A après la gravure du SiGe. On remarque sur l'image de droite que la grille repose sur le STI à chaque extrémité.

La cavité réalisée, il s'agit maintenant de la remplir pour former le diélectrique enterré. Dans cette étude nous déposons une bicouche composée de  $\text{SiO}_2$  et de SiN qui, dans la cavité, forme un tricouche Oxyde/Nitride/Oxyde (ONO, Figure II.16). Il est ensuite nécessaire de procéder à la gravure de ces couches de manière à ne laisser l'oxyde enterré que sous la grille. Cette étape doit être soigneusement contrôlée car si la gravure est trop importante elle risque de vider (à nouveau) le canal et supprimer ainsi le BOX. A contrario, un manque de gravure conduirait à la présence d'espaceurs sur le canal empêchant alors son contact avec les source/drain lors de leur reformation par épitaxie, dernière étape spécifique au transistor LSOI type-A (Figure II.14-f et Figure II.17).

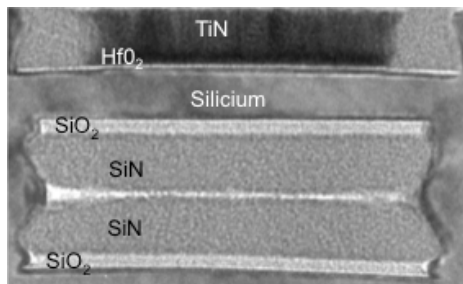


Figure II.16 : image en coupe TEM du diélectrique enterré d'un transistor LSOI type-A.

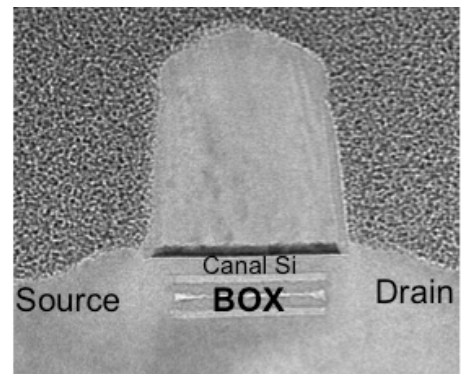


Figure II.17 : image en coupe TEM d'un transistor LSOI type-A après l'épitaxie des jonctions source/drain.

La suite et fin du procédé d'intégration est relativement similaire à celui d'un transistor BULK conventionnel : implantation des extensions (LDD), formation d'espaceurs source/drain, implantations des jonctions source/drain, siliciuration puis formation (gravure + remplissage) des contacts avant la mise en place des différents niveaux d'interconnexions.

### II.B.2.b. Limitations et optimisations

➤ *Limitation géométrique* : la gravure du SiGe se déroulant dans le sens de la longueur de grille  $L_G$  (Figure II.14-d), il devient critique de vider entièrement le tunnel des transistors les plus longs. En effet, cela implique un temps de gravure important qui induirait une perte de la sélectivité vis-à-vis du silicium du canal de conduction si l'on utilise une gravure plasma. Grâce à sa meilleure sélectivité, une chimie HCl pourrait permettre de dégager des dispositifs plus longs. Cependant, tous les transistors d'une même puce n'ayant pas les mêmes dimensions, cela impliquerait un excédent de gravure sur les transistors les plus courts qui consommerait une partie du silicium de leur canal. Pour les transistors LSOI type-A étudié au cours de cette thèse, nous avons donc trouvé un compromis en considérant la longueur critique à  $L_G=300\text{nm}$ . Ainsi, pour  $L_G \leq 300\text{nm}$ , les transistors ont un BOX entièrement formé alors qu'à partir de  $L_G > 300\text{nm}$ , les dispositifs gardent un pied de SiGe situé sous leur grille (et donc au milieu du BOX). Ces derniers ne seront donc pas considérés comme UTBB mais plutôt comme "pseudo-BULK", ce qui est acceptable puisque, pour de telles dimensions, les transistors ne subissent pas les effets canaux courts. Enfin, comme souligné par *Bidal* [Bidal09b], un problème d'ordre mécanique peut également se poser pour les transistors les plus larges. En effet, à partir de  $W=1\mu\text{m}$  le poids du canal suspendu et de la grille qui repose dessus devient trop important pour la structure qui se courbe, dans le meilleur des cas, ou qui peut rompre dans la pire des situations.

➤ *Gain 3D* : l'épithaxie SiGe/Si pouvant être surélevée, l'architecture LSOI type-A peut alors profiter de l'apparition de facettes dans le sens de la largeur du transistor. En effet, ces facettes permettent d'utiliser la troisième dimension du silicium pour augmenter la largeur effective  $W_{\text{EFF}}$  du transistor sans modifier la largeur dessinée  $W_D$  (Figure II.18, [Bidal08]). Grâce à cette surface de conduction supplémentaire, le courant débité par le transistor est plus élevé tout en conservant le contrôle électrostatique fourni par le film mince et le BOX. La formation de ces facettes est dépendante des conditions d'épithaxie (température et pression) mais elle est également fortement dépendante de l'orientation cristalline du substrat de silicium. Nous avons remarqué, par exemple, que la simple rotation à  $45^\circ$  d'un substrat (100) de silicium modifie le plan de conduction des facettes depuis (111) vers (110) (Figure II.19). Les facettes (110) étant plus abruptes, elle permettent un gain en courant plus important que les facettes (111) et le rapport  $W_{\text{EFF}}/W_D$  est d'autant plus élevé que  $W_D$  est petit. Précisons qu'il est possible d'optimiser ce gain en utilisant une couche plus épaisse de SiGe. Cependant, il s'agit, ici encore, de trouver un compromis puisqu'une épaisseur trop importante de SiGe engendre des dislocations dans le silicium (cf. paragraphe II.B.1.b) et implique un BOX plus épais, conduisant alors à une dégradation du contrôle électrostatique.

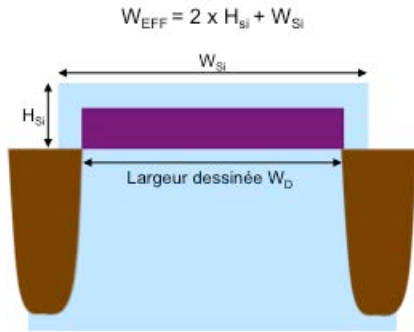


Figure II.18 : schéma en coupe dans le sens de la largeur d'un transistor LSOI type-A après épitaxie SiGe/Si.

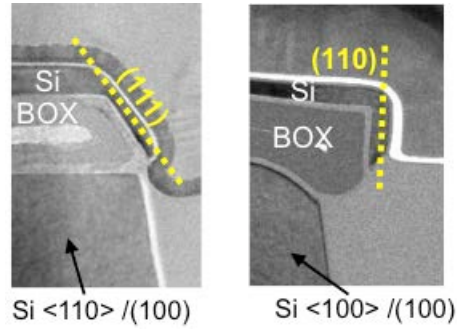


Figure II.19 : images en coupe TEM de la différence de facettes entre un substrat  $\langle 110 \rangle / \langle 100 \rangle$  et  $\langle 100 \rangle / \langle 100 \rangle$ .

➤ *Suppression du perçage volumique* : contrairement au FDSOI, les jonctions source/drain du transistor LSOI type-A sont profondes et ne sont pas isolées du substrat comme pour les technologies BULK. Ainsi, pour des transistors courts, sous l'influence du drain, une inversion peut avoir lieu sous le diélectrique enterré formant ainsi un canal de conduction parasite, on parle de perçage volumique. Dans le cas des technologies BULK, le perçage volumique est évité par la présence de dopants de type opposé aux source/drain, dopants provenant du dopage canal, des poches et des caissons. Le canal d'un transistor LSOI type-A n'étant pas dopé, il est nécessaire d'implanter des dopants sous le BOX afin d'augmenter sensiblement la tension de seuil du canal parasite. A cette fin, nous avons essayé deux méthodes : une implantation de type plan de masse (Figure II.20) que nous réalisons avant l'étape d'épitaxie SiGe/Si ou une implantation appelée "halos" utilisant le même niveau de masque que l'implantation des extensions (Figure II.21).

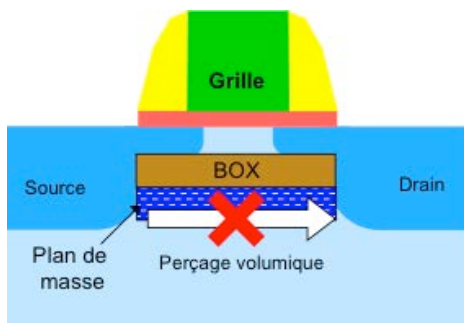


Figure II.20 : représentation schématique d'un plan de masse, implanté pour supprimer le perçage volumique.

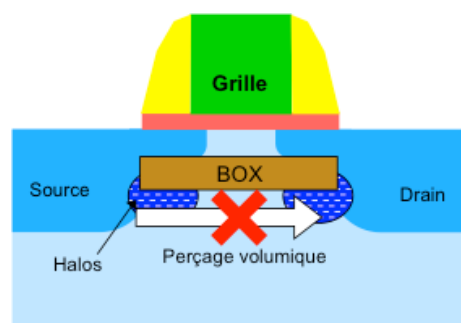


Figure II.21 : représentation schématique d'implantations halos pour supprimer le perçage volumique.

## II.B.3. Le LSOI type-B

### II.B.3.a. Procédé de fabrication

Initialement, le terme SOI Localisé ou LSOI (pour *Localized-SOI*) a été introduit par Monfray *et al.* [Monfray07]. Il fait référence à un transistor UTBB réalisé par technologie SON dont le diélectrique enterré est localisé sur toute la surface de la zone active, isolant ainsi les jonctions source/drain par rapport au substrat. Cette architecture est donc très proche du FDSOI à BOX mince et a l'avantage d'être réalisée sur substrat en silicium massif (représentant

ainsi une alternative à faible coût) et d'avoir les épaisseurs de son canal et de son diélectrique enterré définies par épitaxie. Le *Bulk+* ayant été rebaptisé LSOI type-A, cette architecture est appelée LSOI type-B dans un souci d'uniformisation des architectures UTBB utilisant la technologie SON. Nous allons détailler son procédé de fabrication.

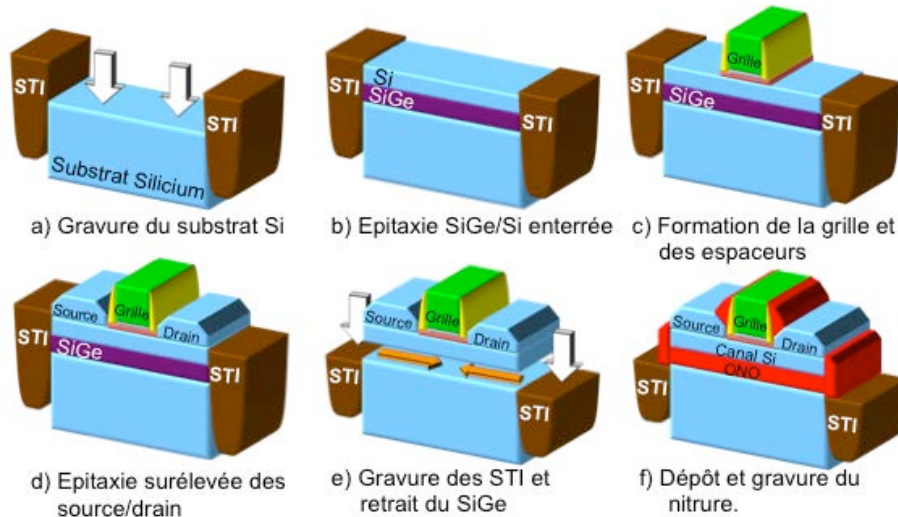


Figure II.22 : Schéma d'intégration d'un transistor LSOI type-B présentant les principales étapes particulières à cette architecture.

Tout comme le LSOI type-A, le LSOI type-B est basé sur un substrat BULK et les isolations entre un transistor et son voisin sont assurées par des STI. La première étape spécifique à cette intégration est la gravure du substrat de silicium (Figure II.22-a). Réalisée en chimie HCl dans un réacteur d'épitaxie, cette gravure peut-être directement suivie de l'épitaxie SiGe/Si (Figure II.22-b). Ces deux couches sont ainsi enterrées par rapport aux STI (Figure II.23), limitant la formation des facettes (cf. paragraphe II.B.2) qui bloqueraient l'accès à la couche sacrificielle.

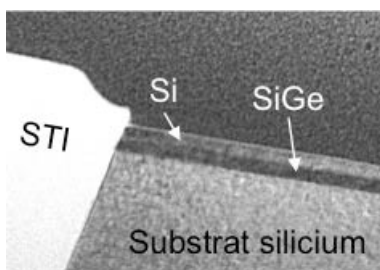


Figure II.23 : Vue en coupe TEM d'une épitaxie sélective SiGe/Si enterrée et sans facettes. L'épaisseur de chacune des couches est de 8nm.

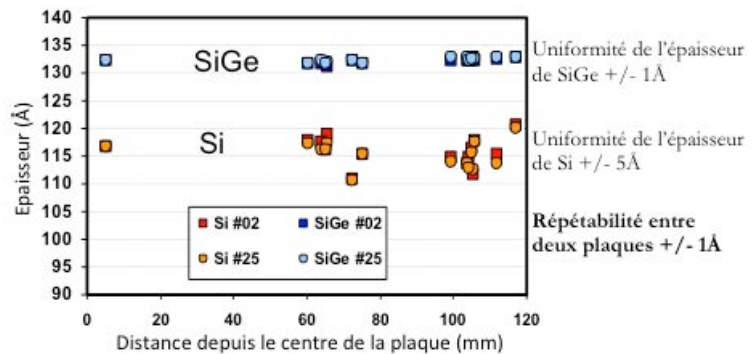


Figure II.24 : Comparaison des épaisseurs de SiGe et de Si épitaxiées en fonction de la position sur la plaque et entre deux plaques (#02 et #25). L'uniformité et la répétabilité des procédés d'épitaxies enterrées sont très bonnes.

La couche de silicium ainsi épitaxiée représentant le futur canal de conduction du dispositif, il est important de s'assurer de son uniformité sur une même plaque de silicium mais également de la répétabilité du procédé d'une plaque à une autre. Ici, cette étape d'épitaxie enterrée a été optimisée de manière à obtenir une uniformité du SiGe de +/- 1 Å et +/- 5 Å pour



l'épaisseur de la couche de silicium. La répétabilité est également excellente puisqu'elle est de  $\pm 1\text{\AA}$  (Figure II.24).

La suite du procédé est conventionnelle jusqu'à la formation de l'empilement de grille ( $\text{HfO}_2/\text{TiN}$ ) et des espaceurs en nitrure (Figure II.22-c). Une épitaxie de silicium est de nouveau réalisée pour surélever les futures jonctions source/drain (Figure II.22-d). Comme pour le FDSOI, le fait d'avoir des jonctions source/drain surélevées réduit les résistances séries des dispositifs, mais cette épitaxie est également indispensable pour assurer la solidité de la structure pour l'étape suivante. Cette étape consiste à graver les STI afin de dégager l'accès à la couche sacrificielle de SiGe. Il s'agit d'une gravure plasma et anisotrope pour que la partie du STI se situant sous la grille ne soit pas consommée (Figure II.25).

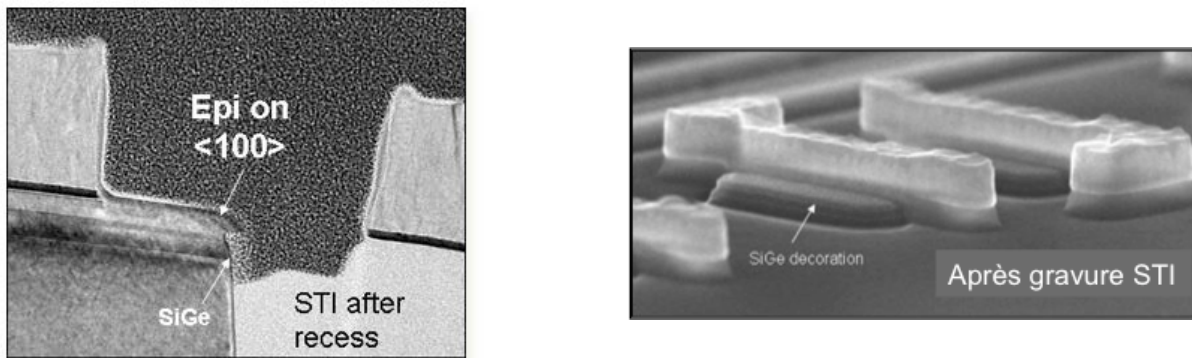


Figure II.25 : Vue en coupe TEM (gauche) et image au MEB tilté (droite) d'un transistor LSOI type-B après gravure du STI. Sur l'image de droite on note le STI restant sous la grille qui permet le maintien de la structure.

Le SiGe est alors gravé sélectivement au silicium par gravure plasma ou HCl (Figure II.22-e). Comme pour toutes les architectures utilisant la technologie SON, le canal de silicium se retrouve alors suspendu au-dessus de la zone active grâce à la grille dont les extrémités reposent sur le STI dans le sens de la largeur. Précisons tout de même qu'ici, à la différence du LSOI type-A, les jonctions source/drain sont toujours solidaires du canal se situant sous la grille, signifiant que la surface à maintenir suspendue est beaucoup plus importante, au même titre que la quantité de SiGe à retirer (Figures II.26).

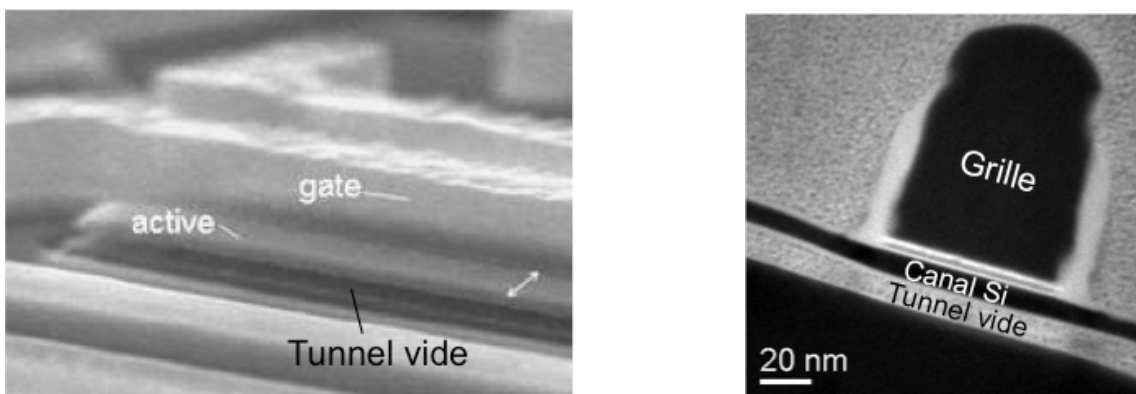


Figure II.26 : Image au MEB tilté (gauche) et image en coupe TEM d'un transistor LSOI type-B après gravure du SiGe.

Le tunnel ainsi vidé, il s'agit ensuite de le remplir avec un tricouche oxyde/nitruure/oxyde pour former le BOX. Pour les architectures étudiées dans cette thèse, nous avons utilisé la même étape de dépôt pour remplir le tunnel et pour former les espaceurs source/drain (Figure II.22-f). Ceci permet de s'affranchir d'une étape spécifique mais elle implique que les implantations des extensions LDD soient réalisées lorsque la membrane est encore suspendue. Il est donc nécessaire de prendre des précautions pour assurer le maintien de la structure pendant les cycles de photolithographie, implantations et retrait de la résine. Il a par exemple été indispensable de supprimer les ultra-sons lors du nettoyage humide de la résine. Une fois que le BOX et les espaceurs source/drain sont réalisés (Figure II.27), la suite du procédé est standard avec l'implantation et la siliciuration des jonctions puis la formation des contacts et des différents niveaux d'interconnexions. Comme nous l'avons noté précédemment, il est intéressant d'utiliser un plan de masse pour profiter pleinement d'une architecture à BOX mince. Pour les transistors LSOI type-B, ces implantations sont réalisées en début de procédé de fabrication, avant la gravure HCl du substrat de silicium (Figure II.22-a).

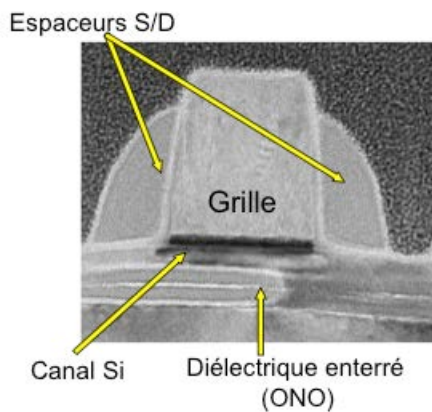


Figure II.27 : vue en coupe TEM d'un transistor LSOI après le remplissage de la cavité avec un tricouche oxyde/nitruure/oxyde et la formation des espaceurs à la même étape.

### II.B.3.b. Limitations et optimisations

➤ Limitation géométrique : l'étape de gravure du SiGe est une étape clé de l'intégration LSOI type-B et elle doit faire face à deux types de contraintes. La première contrainte est liée à la perte de sélectivité de la gravure vis-à-vis du silicium pour les transistors les plus longs (cf. paragraphe II.B.2.b). Précisons que cette contrainte sur la gravure n'est plus seulement limitée par la longueur de grille  $L_G$  (comme c'est le cas pour le LSOI type-A) mais également par la largeur de la zone active  $W$  et la distance entre la grille et le bord de cette zone active. La deuxième contrainte est liée à la stabilisation mécanique de la structure lorsque la membrane est suspendue. Stabilité d'autant plus importante que cette membrane verra plusieurs étapes d'implantations avant que le tunnel ne soit rempli. Si seule la largeur de la zone active est un point limitant pour le LSOI type-A (cf. paragraphe II.B.2.b), il faut tenir compte de la distance entre la grille et le bord de zone active pour le LSOI type-B. Plus cette distance est grande et plus le risque de voir cette membrane suspendue se courber sous son propre poids est grand (Figure II.28-a). Deux méthodes complémentaires ont alors été mises au point pour assurer la stabilité de la structure :

- ✓ une épitaxie sélective de silicium pour épaissir et rigidifier la zone active (Figure II.28-b). Cette épitaxie forme alors des zones de source/drain surélevées dont nous verrons les divers avantages.

- ✓ l'utilisation de grilles factices en plus de la grille principale pour "l'aider" à maintenir suspendue la membrane de silicium. Cette stratégie a été facilitée par l'utilisation de ces grilles factices dans les technologies BULK pour simuler un environnement haute densité pour limiter les éventuels effets de charges (Figure 28-c).

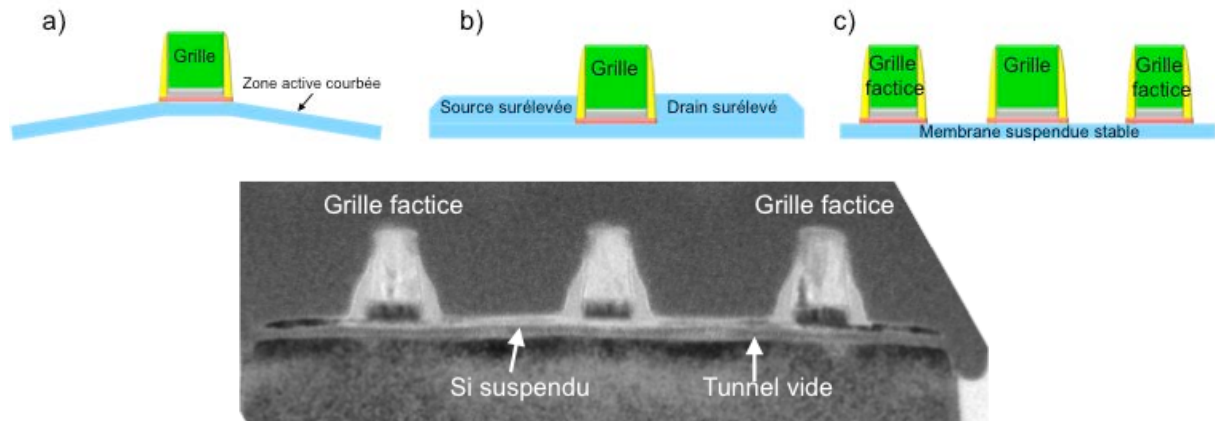


Figure II.28 : HAUT - (a) schématisation d'une membrane suspendue se courbant sous son propre poids ; (b) schématisation d'épitaxie source/drain surélevée pour stabiliser la structure lorsque la membrane est suspendue ; (c) utilisation de grilles factices pour assurer le maintien de la membrane. BAS – Vue en coupe TEM d'un transistor LSOI type-B après gravure du SiGe mettant en évidence l'utilisation de grilles factices pour assurer la stabilité mécanique de l'architecture.

A l'aide de ces deux stratégies et en prenant compte de la perte de la sélectivité lors de l'attaque du SiGe, le compromis que nous avons fait dans le cadre de cette thèse est de libérer complètement les transistors dont  $L_G \leq 250\text{nm}$  et  $W \leq 250\text{nm}$ . Les transistors qui sont plus longs et/ou plus larges auront des zones de SiGe restantes sous la zone active de silicium, rendant ainsi le BOX inefficace. Ces transistors ne peuvent donc pas être considérés comme UTBB.

➤ *Épitaxie source/drain surélevée* : nous venons de le voir, l'étape d'épitaxie sélective pour surélever les jonctions source/drain est utile pour stabiliser mécaniquement la membrane suspendue, mais ce n'est pas le seul intérêt de cette étape.

La gravure plasma utilisée pour l'abaissement des isolations STI ( $\text{SiO}_2$ ) a une sélectivité d'environ 4 :1 vis-à-vis du silicium. Prenons pour exemple un transistor dont les épaisseurs de SiGe et de Si épitaxiée sont de 10nm, il faut donc graver au moins 20nm de STI pour donner un accès total à la couche sacrificielle. Cette gravure va donc consommer 5nm de silicium, soit 50% de l'épaisseur initiale de zone active (la gravure étant anisotrope, le silicium qui se situe sous la grille est protégé). Une zone active aussi mince perd alors sa stabilité mécanique et risque de se courber ou même de rompre. Une si faible épaisseur de silicium risque également d'être entièrement amorphisée lors des implantations LDD, elle se ferait alors entièrement consommer lors de la prochaine étape de gravure (e.g. gravure des espaceurs source/drain). Et même si l'on considère que ce film de 5nm d'épaisseur "résiste" jusqu'à la fin du procédé de fabrication, il impliquerait des valeurs de résistances séries très élevées et donc de mauvaises performances pour le transistor. On comprend donc toute l'importance de cette épitaxie sélective de silicium juste avant la gravure des isolations STI.



Précisons enfin que cette épitaxie doit être optimisée de manière à être la plus sélective possible. Si elle déborde sur STI il y a un fort risque pour qu'elle le "protège" pendant la gravure plasma, bloquant ainsi l'accès au SiGe qui ne serait alors pas gravé (Figure II.29).

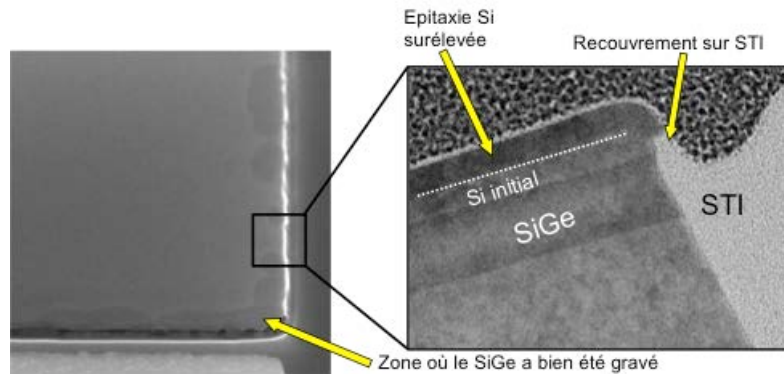


Figure II.29 : image MEB vue par dessus (gauche) où l'on arrive à observer par transparence les zones où le SiGe a été gravé. Zoom et vue en coupe TEM (droite) où l'on note le recouvrement de l'épitaxie sur le STI, empêchant la gravure de celui-ci.

➤ *Premiers espaceurs SiN* : formés à la suite de la gravure grille, le rôle de ces espaceurs est tout d'abord d'encapsuler les métaux de la grille pour éviter une éventuelle contamination dans les équipements utilisés pour la suite du procédé de fabrication. Ils permettent également l'isolation entre la grille et les source/drain lorsque ces derniers sont surélevés par épitaxie. Concernant l'épaisseur de ces espaceurs, il est là encore nécessaire de trouver un compromis. En effet, des espaceurs trop épais limiteraient le recouvrement des extensions LDD et de la grille, conduisant à des valeurs de résistances d'accès trop élevées. A l'inverse, des espaceurs trop minces ne protègent pas suffisamment la grille dont le métal peut être consommé lors de la gravure HCl du SiGe. En présence d'espaceurs SiN trop minces, la gravure plasma du SiGe peut être une alternative intéressante grâce à sa sélectivité quasi-infinie vis-à-vis des métaux.

## II.C. Résultats électriques sur les architectures LSOI réalisées

### II.C.1. LSOI type-A

L'architecture LSOI type-A et ses différentes optimisations ont déjà été largement étudiées ([Bidal09b]). L'objectif de cette partie est donc simplement de présenter les résultats obtenus sur les transistors réalisés au cours de cette thèse. Ces dispositifs ont un diélectrique enterré et un canal de conduction en silicium d'épaisseurs respectives  $T_{\text{BOX}}=15\text{nm}$  et  $T_{\text{Si}}=12\text{nm}$ . Leur oxyde de grille est composé de 2.5nm de  $\text{HfO}_2$  reposant sur un piédestal de 1.2nm de  $\text{SiO}_2$  représentant une épaisseur équivalent d'oxyde EOT=1.9nm. Le canal de conduction n'étant pas dopé, la tension de seuil  $V_{\text{TH}}$  est ajustée à l'aide d'une grille métallique proche du *midgap* en TiN de 10nm d'épaisseur. Enfin, un plan de masse a été implanté sur les transistors pour éviter toute conduction parasite sous le BOX. Nous pouvons d'ores et déjà préciser que ces transistors UTBB sont co-intégrés avec des dispositifs BULK. Nous reviendrons en détails sur ce point au paragraphe II.D.

#### II.C.1.a. Résultats électriques de transistors unitaires

La figure II.30 présente les caractéristiques  $I_D(V_G)$  d'un transistor nMOS et pMOS de longueur de grille  $L_G=45\text{nm}$  et une largeur dessinée  $W_D=110\text{nm}$ . Nous remarquons qu'en l'absence de dopage canal, le film et le BOX minces garantissent un bon contrôle de l'électrostatique avec un DIBL de 100mV/V pour les nMOS et 80mV/V pour les pMOS. Ceci se traduit également par de bonnes caractéristiques sous le seuil comme l'atteste la pente sous le seuil ( $SS=90\text{mV/dec}$ ) ainsi que des courants de fuite relativement faibles ( $I_{\text{OFF}}\approx 1\text{nA}/\mu\text{m}$  pour les nMOS et les pMOS).

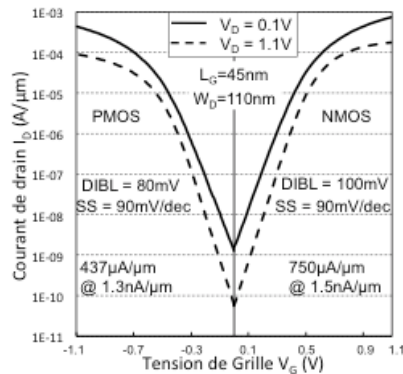


Figure II.30 : caractéristiques  $I_D(V_G)$  obtenues expérimentalement sur des transistors LSOI type-A. Les valeurs de courant sont normalisées par la largeur dessinée  $W_D = 110\text{nm}$ .

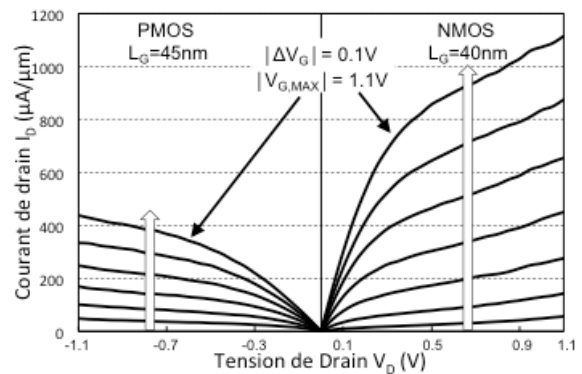


Figure II.31 : caractéristiques  $I_D(V_D)$  obtenues expérimentalement sur des transistors LSOI type-A. Les valeurs de courant sont normalisées par la largeur dessinée  $W_D = 110\text{nm}$ .

Les courants  $I_{\text{ON}}$  délivrés par les transistors étudiés sont assez élevés ( $437\mu\text{A}/\mu\text{m}$  et  $750\mu\text{A}/\mu\text{m}$  pour les pMOS et nMOS respectivement, à  $V_{\text{DD}}=1,1\text{V}$ ) car l'architecture LSOI type-A tire profit du "gain 3D" apporté par les facettes de l'épitaxie SiGe/Si (cf. paragraphe II.B.2.b.). En effet, les valeurs de courant sont ici normalisées par la largeur dessinée  $W_D$  qui correspond à l'espace qu'occupe le dispositif sur la puce. Cependant, comme nous l'avons expliqué

précédemment, la présence de facettes donne un aspect replié au canal, la largeur “réelle”  $W_{EFF}$  de conduction est donc plus grande que la largeur dessinée. Dans cette étude,  $W_D=110\text{nm}$  alors que  $W_{EFF}=266\text{nm}$ . Les transistors LSOI type-A profitent donc d’un gain 3D avec un facteur  $W_{EFF}/W_D = 2,4$ . Ainsi, lorsque  $L_G=40\text{nm}$ , les transistors proposent des courants de saturation encore plus élevés, pouvant atteindre jusqu’à  $1,12\text{mA}/\mu\text{m}$  pour les nMOS comme montré sur la caractéristique  $I_D(V_D)$  proposé en figure II.31. Cependant, ces excellentes performances sont obtenues au détriment du contrôle électrostatique qui est dégradé lorsque  $L_G$  diminue.

Cette dégradation du DIBL en réduisant  $L_G$  de 45 à 40nm s’observe sur le graphique  $DIBL(L_G)$  proposé en figure II.32. La courbe suit une tendance en  $1/L^2$  comme suggéré par l’équation II.2 et on remarque qu’il existe une longueur de grille (ici  $L_G=45\text{nm}$ ) à partir de laquelle une réduction des dimensions engendrera une très forte dégradation du contrôle électrostatique. Dans le cas de l’architecture LSOI type-A, il est possible de réduire cette “longueur critique” en réduisant l’épaisseur  $T_{Si}$  du canal par exemple.

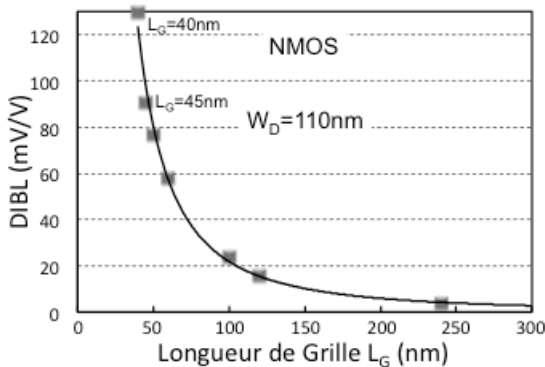


Figure II.32 : évolution du DIBL en fonction de la longueur de grille  $L_G$  pour les transistors LSOI type-A étudiés.

### II.C.1.b. Cellules SRAM-6T

Une cellule SRAM (pour *Static Random Access Memory*) est une cellule mémoire dont le principe consiste à reboucler un inverseur avec un second inverseur de manière à conserver une information. Cela représente quatre transistors (1 pMOS noté PU pour *pull-up* et 1 nMOS noté PD pour *pull-down* pour chaque inverseur) auxquels viennent s’ajouter deux nMOS qui jouent le rôle de transistor d’accès (notés PG pour *pass-gate*) qui permettent l’écriture ou la lecture d’un bit d’information par l’intermédiaire de connexions appelées *Word Line* (notée WL) et *Bit Line* (notée BL). Ainsi, une cellule SRAM est composée de six transistors, on parle alors de SRAM-6T. Elle représente le type de cellules mémoires le plus représenté en technologie CMOS. Ces cellules SRAM sont généralement réalisées avec la même technologie que la partie logique d’un circuit pour permettre leur intégration sur une même puce, on parle de mémoire embarquée. La figure II.33 présente un schéma d’une cellule SRAM-6T et des transistors la composant. On remarque une symétrie à partir des deux inverseurs, on parle d’un côté “false” et d’un côté “true”.

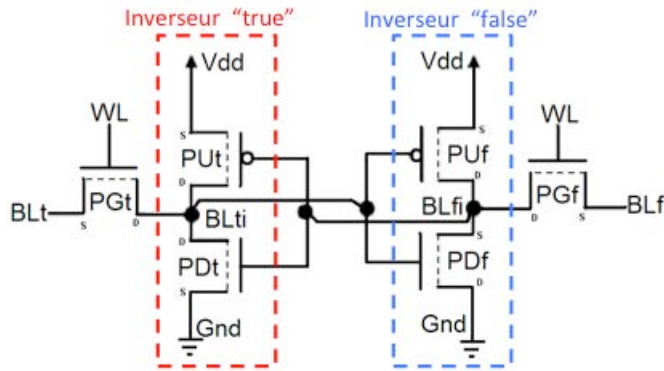


Figure II.33 : représentation d'une cellule SRAM-6T. On note la présence d'une symétrie, chaque moitié étant composée d'un pMOS (PU) et d'un nMOS (PD) qui constituent un inverseur et d'un transistor nMOS d'accès (PG). On parle de la partie "true" et de la partie "false" d'une SRAM.

Tout comme les transistors unitaires logiques, on caractérise les cellules SRAM en fonction de différents paramètres parmi lesquels on trouve :

- ✓ La consommation en veille que l'on note  $I_{SB}$  (pour *StandBy Current*) qui correspond au  $I_{OFF}$  du transistor.
- ✓ La rapidité de la cellule que l'on observe à travers le courant de lecture à  $V_{DD}$  donné, on le note  $I_{READ}$  et il correspond au  $I_{ON}$  d'un transistor.
- ✓ La stabilité en écriture et en lecture de la cellule que l'on note respectivement WM (pour *Write Margin*) et SNM (pour *Static Noise Margin*). Ces deux valeurs évoluent en sens inverse et implique de trouver un compromis.

Au cours de cette thèse, nous avons réalisé des SRAM-6T, intégrées sur les mêmes puces que les transistors logiques présentés précédemment. Ces cellules sont constituées de transistors LSOI type-A et profitent des avantages de l'architecture comme par exemple le gain en performances apporté par les facettes ou encore le bon contrôle de l'électrostatique.

La figure II.34 présente les courbes dites en "papillon" d'une cellule SRAM-6T, réalisée en technologie LSOI type-A pour trois tensions d'alimentation. Ces courbes permettent la caractérisation de la SNM d'une cellule. Elle correspond à la tension minimale qui entraîne le changement d'état de la cellule (de l'état "1" vers l'état "0" ou inversement). Sur ces courbes qui sont en fait la superposition des courbes des deux inverseurs de la SRAM, la SNM correspond au côté du carré le plus grand qui entre dans une "aile" (ou lobe). Lorsque les lobes ne sont pas exactement identiques, la SNM de la SRAM correspond à la plus petite entre la *true* et la *false*.

La cellule SRAM-6T d'une surface de  $0.299\mu\text{m}^2$  étudiée ici obtient une SNM de 200mV pour  $V_{DD}=1.1\text{V}$ . Cela signifie qu'elle a une bonne stabilité en rétention de l'information. Plus intéressant, la réduction de la tension d'alimentation ne dégrade pas l'allure des courbes qui conservent de bonnes valeurs de SNM. On obtient  $\text{SNM}=170\text{mV}$  et  $\text{SNM}=120\text{mV}$  lorsque  $V_{DD}=0.9\text{V}$  et  $V_{DD}=0.7\text{V}$  respectivement. Ces bonnes valeurs de SNM sont couplées avec des valeurs élevées de WM qui atteignent jusqu'à 350mV pour  $V_{DD}=1.1\text{V}$ . Un bon compromis écriture/rétention a donc été obtenu sur les cellules SRAM en technologie LSOI type-A (Figure II.35).

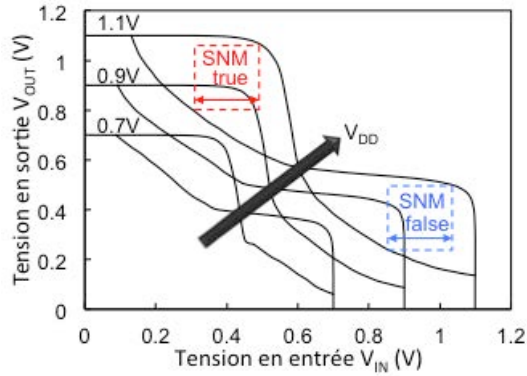


Figure II.34 : courbes “papillons” obtenues sur une cellule SRAM-6T de  $0,299\mu\text{m}^2$  en technologie LSOI type-A pour différentes tensions d'alimentation  $V_{DD}$ .

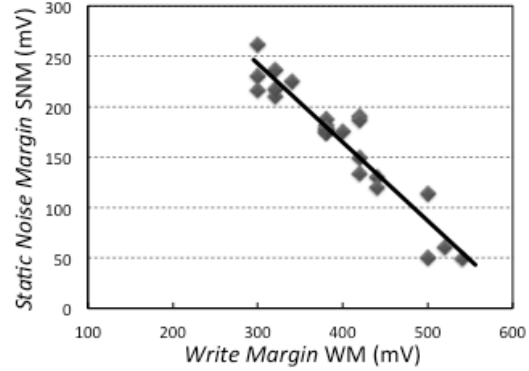


Figure II.35 : graphique représentant le compromis WM/SNM pour la cellule étudiée à  $V_{DD}=1,1\text{V}$ .

## II.C.2. LSOI Type-B

Nous présentons dans cette partie les résultats électriques obtenus sur dispositifs de technologie LSOI type-B réalisés au cours ce travail de thèse. Leurs principaux paramètres sont une épaisseur de diélectrique enterré  $T_{\text{BOX}}=15\text{nm}$  et une épaisseur de canal de conduction  $T_{\text{Si}}=9\text{nm}$ . Leur empilement de grille est composé de  $2,5\text{nm}$  de  $\text{HfO}_2$  reposant sur un piédestal en  $\text{SiO}_2$  et de  $10\text{nm}$  de  $\text{TiN}$  représentant une épaisseur équivalent d'oxyde EOT= $1,9\text{nm}$ . Enfin, un GP de type opposé aux source/drain a été réalisé sur ces dispositifs par une étape d'implantation de type “well” qui a lieu au début du procédé de fabrication, avant la gravure HCl de la zone active et l'épitaxie SiGe/Si. De même que pour le FDSOI BOX mince, ce plan de masse réduit la déplétion sous le diélectrique enterré et permet l'utilisation de polarisation par la face arrière. Enfin, précisons qu'au même titre que les dispositifs LSOI type-A étudiés précédemment, les transistors LSOI type-B ici étudiés sont co-intégrés avec des dispositifs BULK. Nous reviendrons en détail sur ce point au paragraphe II.D.

### II.C.2.a. Résultats électriques de transistors unitaires

Les figures II.36 et II.37 montrent les caractéristiques  $I_D(V_G)$  et  $I_D(V_D)$  d'un nMOS et d'un pMOS réalisés en technologie LSOI type-B. Ils ont une longueur de grille  $L_G=35\text{nm}$  et une largeur de zone active  $W=120\text{nm}$ . Ainsi, le SiGe de ces dispositifs a pu être remplacé par le BOX dans son intégralité, ce sont donc de “purs” UTBB. Alors que le canal de ces transistors n'est pas dopé, un bon contrôle électrostatique est assuré par le canal de conduction et le BOX minces. Ainsi, un DIBL de  $80\text{mV/V}$  et de  $100\text{mV/V}$  est obtenu sur le pMOS et le nMOS respectivement pour  $L_G=35\text{nm}$ . L'isolation complète de la zone active vis-à-vis du substrat permet au LSOI type-B d'obtenir de très bonnes caractéristiques sous le seuil avec notamment une pente sous le seuil de  $80\text{mV/dec}$  pour les nMOS et les pMOS et des valeurs de courant de fuite  $I_{\text{OFF}}$  très faibles.

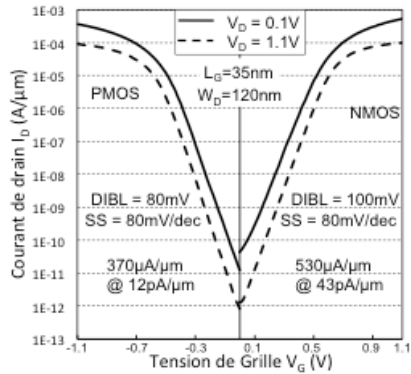


Figure II.36 : caractéristiques  $I_D(V_G)$  obtenues expérimentalement sur des transistors LSOI type-B. Les valeurs de courant sont normalisées par la largeur dessinée  $W_D = 120\text{nm}$ .

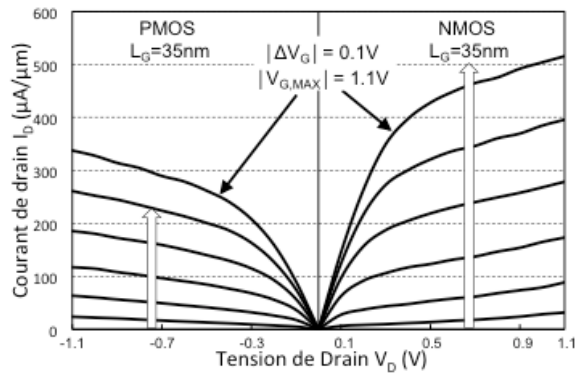


Figure II.37 : caractéristiques  $I_D(V_D)$  obtenues expérimentalement sur des transistors LSOI type-B. Les valeurs de courant sont normalisées par la largeur dessinée  $W_D = 120\text{nm}$ .

La figure II.38 trace l'évolution du DIBL en fonction de la longueur de grille  $L_G$  pour un transistor nMOS. Les transistors pMOS montrent bien entendu des résultats similaires. En comparant ces données avec les résultats obtenus sur le LSOI type-A, on note un meilleur contrôle de l'électrostatique sur les dispositifs LSOI type-B. Cette amélioration est principalement due à la différence d'épaisseur du canal en silicium (9nm vs. 12nm). Ceci confirme alors l'intérêt de travailler avec un film de silicium le plus mince possible comme discuté au paragraphe II.A.1. Enfin, la figure II.39 montre l'évolution de la tension de seuil linéaire  $V_{TH}$  en fonction de la longueur de grille  $L_G$  pour des pMOS et des nMOS. On note sur ce graphique que la chute de la tension de seuil pour les grilles les plus courtes, caractéristique de l'effet SCE, est très faible, confirmant la bonne immunité de LSOI type-B aux effets de canal courts.

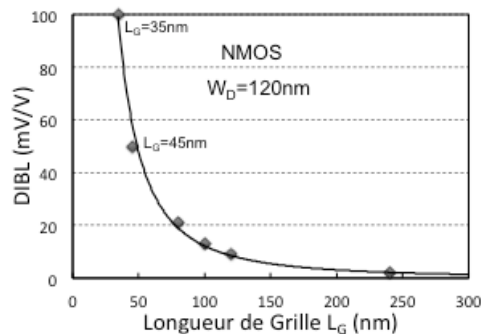


Figure II.38 : évolution du DIBL en fonction de la longueur de grille  $L_G$  pour les transistors nMOS LSOI type-B étudiés. Les résultats sur pMOS sont du même ordre de grandeur.

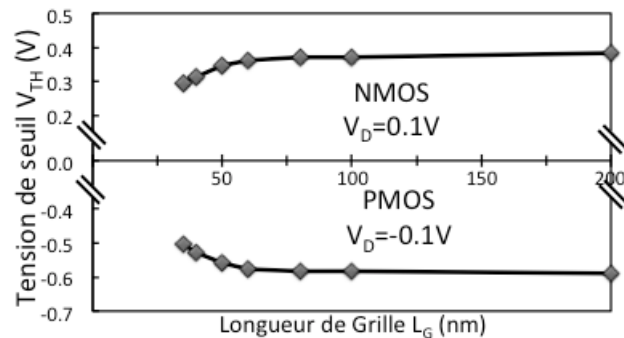


Figure II.39 : évolution du tension de seuil  $V_{TH}$  en fonction de la longueur de grille  $L_G$  pour les transistors nMOS et pMOS réalisés en technologie LSOI type-B.

### II.C.2.b. SRAM-6T

Au cours de cette thèse nous avons fabriqué des cellules SRAM-6T en technologie LSOI type-B co-intégrées aussi bien avec les parties logiques qu'avec des dispositifs BULK (Figure II.40). La figure II.41 montre les courbes de SNM d'une cellule mémoire de  $0,374\mu\text{m}^2$ . Nous notons la forme caractéristique en papillon obtenue par superposition des courbes des inverseurs



confirmant la fonctionnalité de la cellule et ce jusqu'à  $V_{DD}=0,7V$ . Cependant, les valeurs de SNM observées sur ce graphique ne sont pas très élevées.

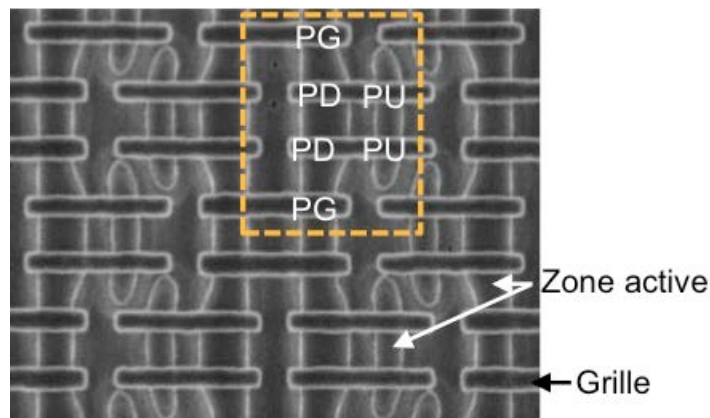


Figure II.40 : image MEB vue de dessus d'un environnement dense de cellules SRAM. Encadré : 1 seule cellule SRAM composée de 2 pMOS *Pull-Up* (PU) et 4 nMOS *Pass-Gate* (PG) et *Pull-Down* (PD).

Cela peut s'expliquer par l'absence de symétrie entre les tensions de seuil des nMOS et des pMOS ici étudiés. En effet, le nitrure de titane que nous avons utilisé comme métal de grille a en réalité un travail de sortie de 4,45eV et n'est donc pas tout à fait de type *midgap* (4,61eV). Les électrodes de grille sont donc légèrement de type N et ainsi, les nMOS ont une tension de seuil plus faible que celle des pMOS comme mis en évidence par la figure II.39. Un inverseur étant composé d'un nMOS et d'un pMOS, cette asymétrie des tensions de seuil implique un "déséquilibre" sur les courbes des inverseurs de la cellule SRAM.

Deux solutions sont envisageables pour "rééquilibrer" la cellule sans utiliser le dopage canal. La première est d'utiliser un métal de grille avec un travail de sortie réellement *midgap*. La seconde possibilité est l'utilisation de la polarisation par la face arrière pour ajuster la tension de seuil des dispositifs, nous reviendrons sur cette option au paragraphe II.C.3.c.

La figure II.42 présente l'évolution de la *Write Margin* de cette même cellule SRAM pour différentes tensions d'alimentation  $V_{DD}$ . Les valeurs observées sont très élevées pouvant atteindre jusqu'à 600mV pour  $V_{DD}=1,1V$  signifiant que la cellule a une très bonne stabilité en écriture. Cependant, comme nous l'avons déjà précisé, pour une cellule SRAM il s'agit d'un compromis rétention (SNM)/écriture (WM) et il pourrait être préférable d'améliorer la SNM au dépend d'une WM un peu plus faible. Il est intéressant de noter qu'une réduction de la tension d'alimentation est possible sans dégradation de la SNM, tout en conservant de bonnes valeurs de WM.

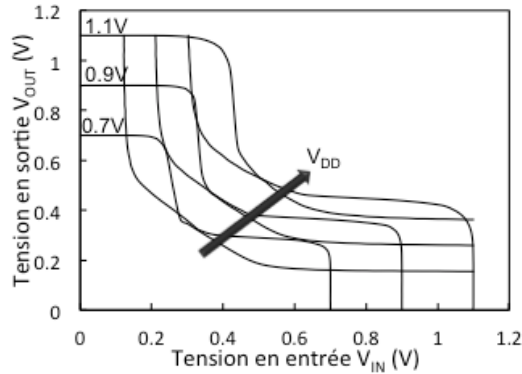


Figure II.41 : courbes “papillons” obtenues sur une cellule SRAM-6T de  $0,374\mu\text{m}^2$  en technologie LSOI type-B pour différentes tensions d'alimentation  $V_{DD}$ .

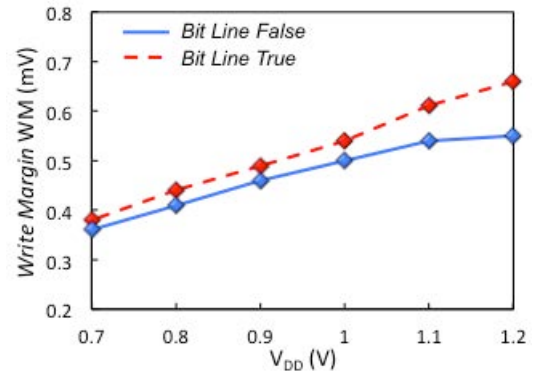


Figure II.42 : valeurs de la *Write Margin* pour différentes tensions d'alimentation  $V_{DD}$  obtenues sur la *Bit Line False* et la *Bit Line True*.

### II.C.3. Comparaison des architectures LSOI type-A et type-B.

#### II.C.3.a. Impact de l'implantation du plan de masse sur la variabilité

Comme nous l'avons présenté au paragraphe II.A.2, la notion de variabilité est importante dans un environnement circuit et le bon fonctionnement des cellules mémoires (SRAM incluses) passe par une variation de la tension de seuil la plus faible possible. L'absence de dopage dans le canal permet aux architectures LSOI que nous avons étudiées de s'affranchir des fluctuations de dopants associées et devrait leur permettre d'obtenir des valeurs parmi les plus basses reportées jusqu'à maintenant.

Les architectures type-A et type-B étant supposées obtenir des résultats sensiblement similaires en terme de variabilité, nous étudions ici l'impact de la méthode d'implantation du plan de masse (GP). Ce GP peut être réalisé par une étape d'implantation de surface en début de procédé de fabrication, avant l'étape d'épithaxie SiGe/Si ou il peut être obtenu par une implantation de type “poches” à la même étape que l'implantation des extensions LDD. La première méthode que nous appellerons *Ground Plane* peut aussi bien être utilisée sur le LSOI type-A que le type-B. La seconde méthode, quant à elle, ne peut pas être mise en place sur les dispositifs LSOI type-B de par la présence du BOX sous toute la surface de la zone active. Nous appellerons ces transistors *Halos* dans le cas du LSOI type-A.

La figure II.43 présente les graphiques de Pelgrom pour les transistors nMOS *Ground Plane* et *Halos*. Ils représentent l'évolution de l'écart type du décalage de tension de seuil  $\sigma_{\Delta V_{TH}}$  en fonction de  $1/\sqrt{WL}$  où  $W$  est la largeur de la zone active et  $L$  la longueur de la grille des transistors. La pente de la courbe ainsi obtenue donne le paramètre de variabilité de la technologie, noté  $A_{\Delta V_{TH}}$ . Alors que les transistors *Ground Plane* obtiennent une valeur  $A_{\Delta V_{TH}}=1,2\text{mV}\cdot\mu\text{m}$  comparable avec les variabilités obtenues par *Weber et al.*, ou encore *Cheng et al.* [Weber08, Cheng09], les dispositifs *Halos* ont une variabilité plus de deux fois supérieure.



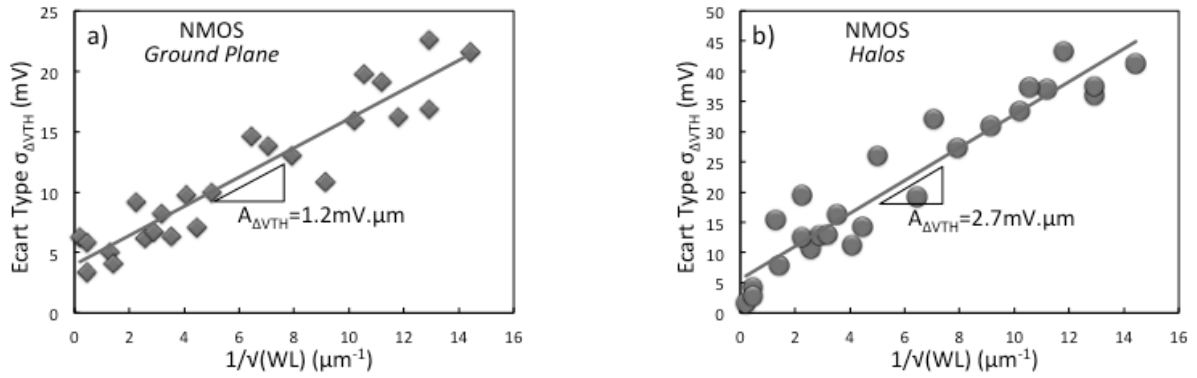


Figure II.43 : graphique de Pelgrom pour les transistors nMOS LSOI *Ground Plane* (a) et *Halos* (b) permettant d'obtenir le paramètre de variabilité  $A_{\Delta V_{TH}}$  de la technologie.

La figure II.44 compare les valeurs de variabilité pour différentes longueurs de grille obtenues sur les dispositifs *Halos*, *Ground Plane* et des dispositifs de référence sur technologie BULK. On remarque ainsi que les transistors avec *Halos* ont une variabilité du même ordre de grandeur que la référence BULK signifiant qu'il ne profite pas de son canal non dopé. Cet effet est certainement lié à l'implantation de type "poches" durant laquelle quelques dopants ont du rester dans le canal et engendrer ainsi une fluctuation supplémentaire.

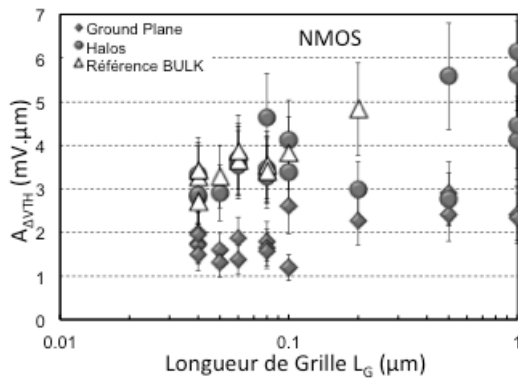


Figure II.44 : évolution de la variabilité  $A_{\Delta V_{TH}}$  en fonction de la longueur de grille  $L_G$  pour les transistors *Ground Plane* et *halos* nMOS ainsi que pour une technologie BULK qui sert de référence.

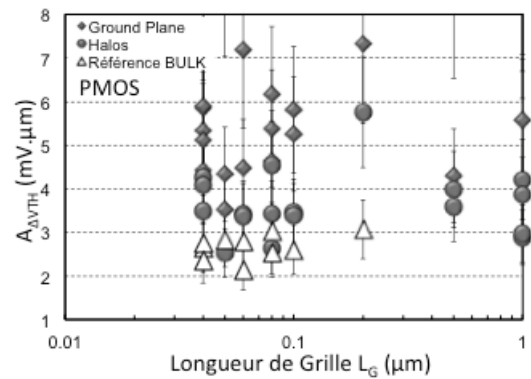


Figure II.45 : évolution de la variabilité  $A_{\Delta V_{TH}}$  en fonction de la longueur de grille  $L_G$  pour les transistors *Ground Plane* et *halos* pMOS ainsi que pour une technologie BULK qui sert de référence.

La figure II.45 montre les résultats obtenus sur les pMOS. On note que les transistors *Halos* ont toujours des valeurs de variabilités du même ordre que ceux de la technologie BULK de référence et certainement pour les mêmes raisons que les nMOS. La mise en place du plan de masse par *halos* doit donc être optimisée en modifiant par exemple l'angle ou l'énergie d'implantation.

Sur ce même graphique on remarque d'autre part que la variabilité obtenue sur les transistors *Ground Plane* pMOS est fortement dégradée par rapport au nMOS et à la référence BULK. Ce phénomène s'explique par une diffusion de l'arsenic (espèce de dopants utilisée pour le GP des pMOS) beaucoup plus élevée en présence de Ge que dans le silicium [Payet05]. Or, comme l'implantation de type *Ground Plane* est réalisé avant l'étape d'épitaxie SiGe/Si, les dopants du plan de masse se retrouvent à un moment en présence de la couche sacrificielle et diffusent à

travers. Ils se retrouvent alors dans le canal, modifient ainsi la tension de seuil du dispositif et dégradent la variabilité de la technologie. La solution serait alors de réaliser l'implantation du GP plus profonde et plus localisée pour limiter cette diffusion.

### II.C.3.b. Le gain 3D : avantage LSOI type-A

Nous essayons ici de comparer les architectures LSOI type-A et type-B. Toutes deux réalisées avec la technologie SON, ces approches présentent bien entendu de nombreuses similitudes. Cependant, en fonction des applications visées, il est possible qu'une architecture s'avère plus avantageuse que l'autre.

La possibilité d'utiliser les propriétés de facettages lors de l'épitanie SiGe/Si est sans doute l'avantage majeur du LSOI type-A par rapport au type-B. En effet, comme nous l'avons déjà abordé, réaliser une épitanie non enterrée au début du procédé de fabrication permet par la suite d'obtenir une architecture à canal replié i.e. qui a une largeur effective  $W_{EFF}$  plus grande que la largeur dessinée  $W_D$ , on parle de gain 3D.

En première approche, ce gain s'observe sur les performances statiques des transistors. En effet, les valeurs de courant sont bien souvent normalisées par  $W_D$  pour comparer les dispositifs à "encombrement" équivalent, ce qui donne naturellement l'avantage aux architectures ayant une conduction dans la troisième dimension comme le LSOI type-A. Ce phénomène est clairement visible sur le graphique  $I_{ON}(I_{OFF})$  proposé en figure II.46. On remarque ainsi que les dispositifs LSOI type-A larges ( $W_D=600nm$ , gain 3D négligeable) obtiennent des résultats comparables avec le LSOI type-B alors que le type-A étroit ( $W_D=110nm$ , gain 3D optimal) permet une nette amélioration des performances avec un courant  $I_{ON}$  quasiment multiplié par deux. Le LSOI type-A sera donc une option intéressante pour les applications "hautes performances".

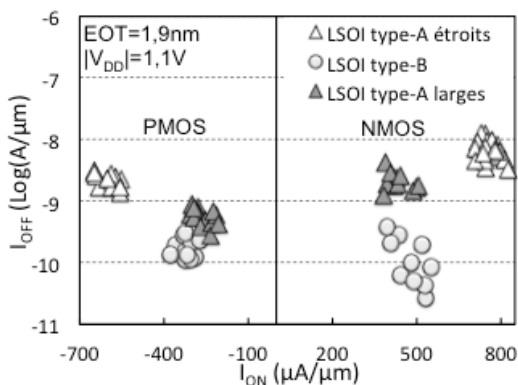


Figure II.46 : graphique du compromis  $I_{ON}(I_{OFF})$  pour les technologies LSOI type-A et type-B mettant en évidence le gain en performance apporté par la troisième dimension sur les dispositifs LSOI type-A étroits.

Le LSOI type-A peut également tirer avantage de son canal replié pour augmenter la vitesse des circuits, généralement estimée par le délai  $\tau$  d'un inverseur. Ce délai peut être approximé par la formule  $C_{TOT} \cdot V_{DD} / I$  où  $C_{TOT}$  est la capacité totale de l'inverseur et  $V_{DD}$  la tension d'alimentation. Cette capacité  $C_{TOT}$  peut se décomposer en deux composantes : la première est liée aux capacités engendrées entre autres par les différents niveaux d'interconnexions et ne dépend donc pas des dimensions des transistors, on la note  $C_{BE}$  (pour *Back-End*) ; la seconde composante représente la somme de toutes les capacités parasites liées aux

transistors qui sont, elles, dépendantes de la largeur  $W$  des dispositifs, on la note  $C_{PAR}$ . On peut donc écrire :

$$\tau \approx \frac{(C_{BE} + C_{PAR}(W)) \cdot V_{DD}}{I(W)} = \frac{(C_{BE} + C_{PAR} \cdot W) \cdot V_{DD}}{I \cdot W} = \frac{C_{PAR} \cdot V_{DD}}{I} + \frac{C_{BE} \cdot V_{DD}}{I \cdot W} \quad [\text{Eq. II.7}]$$

Il apparaît ainsi que le délai  $\tau$  augmente avec la réduction de  $W$ , ce qui est un réel problème, la tendance étant à la réduction des dimensions des dispositifs. Le LSOI type-A devient alors une alternative intéressante aux architectures planaires puisque pour un même  $W$  dessiné il délivre un courant plus élevé.

La figure II.47 présente l'évolution du délai d'un inverseur en fonction de la largeur du transistor nMOS pour trois technologies : un dispositif à film mince mais avec un BOX épais, un dispositif UTBB qui pourrait être un LSOI type-B et un dispositif LSOI type-A à canal replié. Ce graphique illustre l'impact du gain 3D sur la vitesse des circuits. Cette figure montre également que la réduction de l'épaisseur du diélectrique enterré améliore les performances du circuit. Il est important de noter que pour les dispositifs les plus larges, le LSOI type-A est pénalisé par ses capacités de jonctions qui ne sont pas présentes sur les dispositifs FDSOI ou LSOI type-B de par la présence du BOX sous la totalité de la zone active. Le gain en courant apporté par la troisième dimension est donc suffisamment important pour compenser ces capacités parasites supplémentaires. Précisons enfin que comme cela apparaît sur le graphique, les trois technologies étudiées ici présentent toutes de meilleurs résultats que la technologie BULK grâce à leurs plus faibles capacités parasites et à leur meilleur contrôle de l'électrostatique.

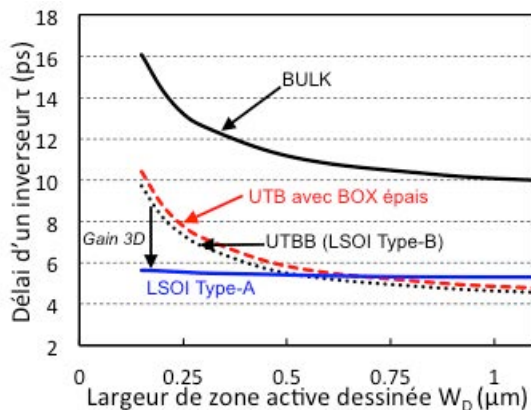


Figure II.47 : évolution du délai d'un inverseur en fonction de la largeur dessinée du nMOS pour trois technologies : UTBB avec BOX épais, UTBB ou LSOI type-B et LSOI type-A à canal replié.

### II.C.3.c. La polarisation par la face arrière : avantage LSOI type-B

Largement utilisée en technologie BULK, la polarisation par la face arrière consiste à appliquer une tension  $V_B$  sur le substrat (ou *Body*) afin de moduler la tension de seuil du dispositif. Une tension de même signe que  $V_{DD}$  diminue  $V_{TH}$  et améliore ainsi les performances des transistors, cela peut être utilisé de manière dynamique pour accélérer un circuit par exemple, on parle de FBB pour *Forward Body-Biasing*. A contrario, une tension du signe opposé à  $V_{DD}$  va augmenter la tension de seuil du dispositif et donc réduire son courant de fuite ce qui peut être intéressant pour diminuer la consommation d'un circuit, on parle de RBB pour *Reverse Body-*

*Biasing*. Cependant, cette méthode d'ajustement de la tension de seuil connaît quelques limitations sur technologie BULK.

En effet, en condition de FBB la tension appliquée sur le substrat ne doit pas dépasser la valeur  $V_B=0,6V$  ( $-0,6V$  pour les pMOS), au-delà de laquelle la jonction PN (source/substrat) est polarisée en direct et est passante. Généralement, on limite l'utilisation du FBB à  $V_B=0,3V$  pour conserver une certaine marge de sécurité. De même, si l'utilisation du RBB n'est *a priori* pas limitée pour diminuer la consommation des dispositifs, il apparaît qu'au-delà d'une certaine tension (ici  $V_B=-1V$  pour les nMOS), les fuites de jonctions deviennent trop importantes et contrebalancent le bénéfice du *body-biasing* sur les fuites de canal et  $I_{OFF}$  remonte (Figure II.48).

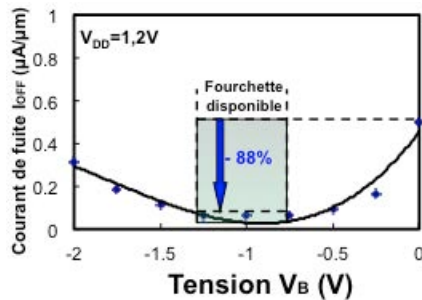


Figure II.48 : évolution du courant de fuite  $I_{OFF}$  de dispositifs nMOS LSOI type-A en fonction de la polarisation du substrat  $V_B$ . Au-delà de  $V_B=-1V$ , les fuites de jonctions font remonter  $I_{OFF}$  en dépit d'une tension de seuil plus élevée [Bidal09b].

On peut donc imaginer que les architectures à film mince ne sont pas limitées dans leur utilisation des techniques polarisation par la face arrière grâce à l'isolation des jonctions source/drain vis-à-vis du substrat. Cependant, le *body-biasing* est très peu utilisé en présence d'un BOX épais car ce dernier implique des tensions  $V_B$  très élevées (plusieurs dizaines de volts) pour être efficace, ce qui n'est pas compatible avec les tensions d'alimentation des circuits CMOS (de l'ordre de 1V). Pour qu'une technologie UTB puisse utiliser la polarisation par la face arrière, il est donc indispensable qu'elle soit réalisée avec un BOX mince couplé avec une zone dopée sous le BOX. Des tensions  $V_B$  du même ordre de grandeur que  $V_{DD}$  suffisent alors à moduler la tension de seuil du transistor en utilisant aussi bien le FBB que le RBB.

Le LSOI type-A, ayant son BOX localisé uniquement sous la grille et les espaceurs, a des jonctions source/drain profondes et connaît donc les mêmes limitations que le BULK en ce qui concerne l'utilisation du *body-biasing* (Figure II.48). L'avantage revient donc ici au LSOI type-B qui réunit toutes les conditions pour profiter pleinement de la polarisation par la face arrière.

La figure II.49 présente les caractéristiques  $I_D(V_G)$  d'un transistor nMOS type-B pour différentes tensions de substrat. Lorsque  $|V_B| \approx V_{DD}$  on observe une modulation de la tension de seuil de  $\Delta V_{TH} = \pm 150mV$  ce qui entraîne une réduction (augmentation) du courant de fuite  $I_{OFF}$  d'environ deux décades. L'impact de la polarisation de substrat est donc très fort en présence d'un BOX mince et il est donc possible d'utiliser des tensions  $V_B$  intermédiaires afin d'obtenir la modulation de  $V_{TH}$  désirée (Figure II.50).

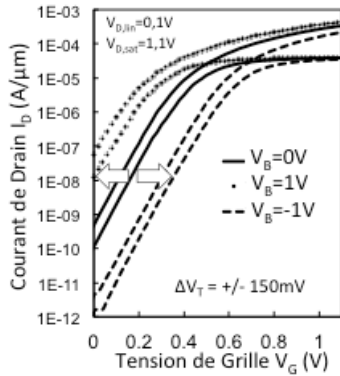


Figure II.49 : caractéristiques  $I_D(V_G)$  d'un transistor nMOS LSOI type-B pour différentes polarisation de substrat  $V_B$ .

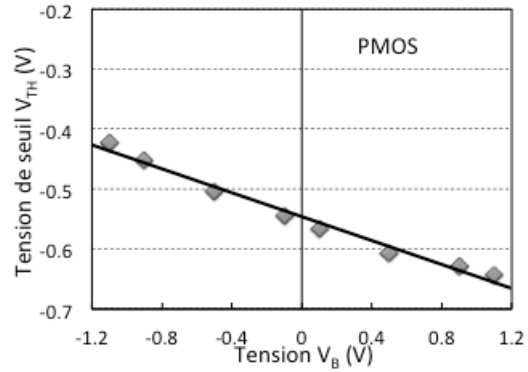


Figure II.50 : évolution de la tension de seuil  $V_{TH}$  d'un transistor pMOS LSOI type-B en fonction de la polarisation de substrat  $V_B$ .

Un exemple particulièrement intéressant d'utilisation du *body-biasing* est l'ajustement des tensions de seuils des dispositifs constituant un cellule SRAM. En effet, nous avons noté au paragraphe II.C.2.b que les faibles valeurs de SNM proposées par le LSOI type-B étaient certainement dues à la "non symétrie" des tensions de seuil entre les nMOS et les pMOS des inverseurs. L'application d'une tension  $V_B$  appropriée devrait alors permettre d'améliorer la stabilité en lecture de la cellule SRAM. La figure II.51 met en évidence l'augmentation de la taille du "lobe" sur les courbes papillon en fonction de la tension  $V_B$  appliquée. L'évolution de la valeur de la SNM correspondante est reprise sur la figure II.52 où l'on remarque qu'un gain de 30% peut être obtenu. Dans cet exemple, la tension sur le pMOS est fixée à  $V_{B,p} = V_{DD}$  (sa valeur par défaut en l'absence de *body-biasing*) et seul  $V_{B,n}$  varie.

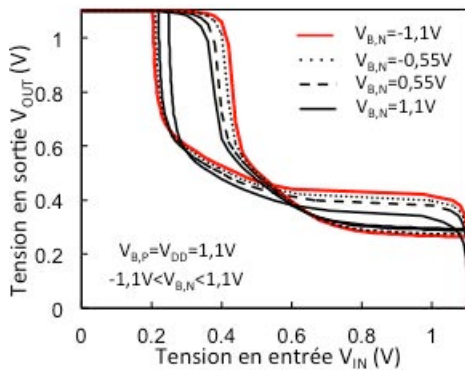


Figure II.51 : courbes papillon d'une cellule SRAM en LSOI type-B mettant en évidence l'augmentation de la taille du lobe en ajustant la polarisation sur la face arrière du nMOS.

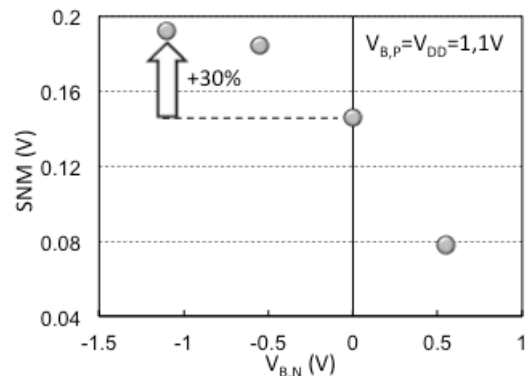


Figure II.52 : évolution de la valeur de la SNM d'une cellule SRAM-6T en LSOI type-B en fonction du *body-biasing* appliqué sur le transistor nMOS.

La figure II.53 présente l'évolution des valeurs de SNM de la cellule SRAM avec toutes les configurations de *body-biasing* étudiées. Ainsi, une réduction de la tension  $V_{B,n}$  augmente la tension de seuil des nMOS, ce qui améliore la valeur de la SNM. De la même manière, une réduction de la tension  $V_{B,p}$  diminue la tension de seuil des pMOS est conduit également à une plus grande valeur de SNM. Il est cependant encore une fois question de trouver un compromis sur les tensions  $V_{B,n}$  et  $V_{B,p}$  à appliquer de manière à obtenir la SNM optimale. Nous pouvons

noter par exemple que dans le cas de la cellule SRAM-6T en LSOI type-B étudiée, la meilleure stabilité en lecture est obtenue lorsque  $V_{B,N} = -1,1V$  tandis que  $V_{B,P}$  est laissée à  $1,1V$  qui est sa valeur par défaut pour une mesure de SNM.

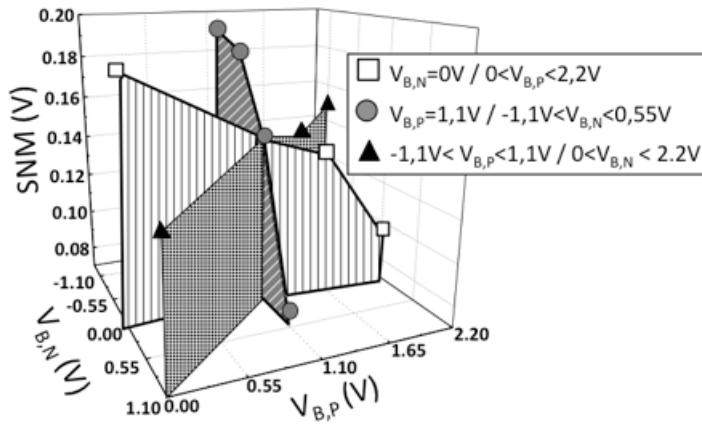


Figure II.53 : évolution des mesures de SNM d'une cellule SRAM-6T LSOI type-B en fonction de différentes configurations de polarisation par la face arrière  $V_{B,N}$  &  $V_{B,P}$ .

En résumé, les deux architectures UTBB étudiées au cours de cette thèse sont proches en de nombreux points. Tout d'abord toutes les deux profitent de la technologie SON qui leur permet une bonne maîtrise des épaisseurs du film de silicium  $T_{Si}$  et du diélectrique enterré  $T_{BOX}$ . Nous avons également vu que la présence du BOX offre aux deux architectures un bon contrôle des effets canaux courts, et l'absence de dopage canal leur permet d'obtenir d'excellentes valeurs de variabilité. Cependant, le LSOI type-A et type-B ont chacun leur particularité qui fait qu'on choisira plutôt l'un ou l'autre en fonction de l'application ciblée.

Si le faible courant de fuite  $I_{OFF}$  du LSOI type-A ( $I_{OFF} \approx 1nA/\mu m$ ) en fait une technologie à faible consommation, l'aspect à trois dimensions de son canal et le gain en performances qui en découle fait de cette architecture une solution intéressante pour réaliser des circuits à "hautes performances". Le canal replié permet également de relâcher la contrainte sur la largeur de la zone active puisque la largeur de conduction  $W_{ELEC}$  est supérieure à la largeur dessinée  $W_D$ . Ceci est donc un avantage dans un contexte de réduction permanente des dimensions pour une plus grande densité d'intégration.

Grâce à l'isolation complète de la zone active, le LSOI type-B est plus apte à contrôler les courants de fuite et sera donc privilégié pour les applications à basse consommation. Cette isolation est également un atout majeur pour une utilisation optimale des techniques de polarisation par la face arrière. Un *body-biasing* qui semble indispensable pour réaliser une plateforme multimédia complète, proposant plusieurs niveaux de tensions de seuil (cf. paragraphe II.A.3), mais qui est également très intéressant pour *booster* les performances d'un dispositif ou alors diminuer sa consommation.

Qu'ils s'agissent de LSOI type-A ou type-B, les architectures UTBB étudiées au cours de ce chapitre sont co-intégrées avec des dispositifs en technologie BULK. L'objet du paragraphe suivant est de comprendre le principe et l'intérêt d'une telle co-intégration et de présenter les résultats obtenus sur les dispositifs sur silicium massif.



## II.D. Co-intégration dispositifs LSOI et silicium massif

### II.D.1. Concept et intérêt

Depuis le début de ce manuscrit, nous ne nous sommes intéressés qu'aux transistors logiques qui font le cœur d'une technologie. Ce sont principalement ces dispositifs et leurs applications qui sont confrontés à la problématique de réduction d'échelle présentée au premier chapitre et qui justifient la nécessité d'architectures alternatives comme le LSOI. Cette réduction des dimensions permettant un gain de place, il est désormais possible d'intégrer sur une même puce des dispositifs logiques, analogiques et de radiofréquence (RF), on parle de *System-on-Chip* (SoC). Cette "co-intégration" implique l'utilisation d'une même technologie pour ces différentes applications, ce qui, pour le BULK se fait de manière naturelle. En effet, elle consiste principalement à l'épaississement de l'oxyde de grille des dispositifs devant supporter des tensions d'alimentation plus élevées (typiquement entre 1,8V et 2,5V). En présence de diélectrique *high-k*, seule l'épaisseur du SiO<sub>2</sub> piédestal est augmentée.

Lorsque la partie logique de la puce est réalisée en technologie UTBB, l'intégration d'applications analogiques et de radiofréquence peut être plus délicate. Tout d'abord parce que les transistors I/O (*Input/Output*), utilisés pour l'adressage et l'alimentation du circuit, sont généralement longs et ne subissent pas les effets de canal court. L'utilisation d'une architecture sur film mince n'est donc pas indispensable. Plus problématique encore, la présence du BOX pose des problèmes de dissipation de la chaleur et limite l'efficacité de certains dispositifs analogiques (protections ESD, dispositifs de puissance, résistances, diodes, etc.). Il serait donc préférable de conserver la technologie BULK pour les parties analogiques et RF d'une puce tout en utilisant une technologie UTBB pour la partie logique (Figure II.54).



Figure II.54 : Exemple d'une puce utilisant une technologie hybride. Le BULK (bleu) serait conservé pour les applications analogiques, I/O, RF, puissance etc... Une technologie UTBB (LSOI, FDSOI) serait utilisée pour les parties logiques et SRAM.

Le tableau II.2 ci-dessous liste de manière non exhaustive le type de dispositifs disponibles sur la puce d'une plateforme UTBB en précisant la technologie avec laquelle ces dispositifs sont optimaux en cas de co-intégration entre UTBB et BULK.

Type de dispositifs	UTBB	BULK
Transistors Logiques	✓	
Mémoires SRAM	✓	
Capacités	✓	
Résistances	✓	
Transistors Analogiques	✓	
I/O		✓
Diodes		✓
Mémoire Non Volatile embarquée		✓
Protections ESD		✓
MOS HV		✓

Tableau II.2 : Liste non exhaustive de dispositifs disponibles dans un SoC et la technologie sur laquelle ils sont optimaux en cas de co-intégration.

C'est dans ce contexte que s'intègre ce paragraphe dans lequel nous proposons la co-intégration sur une même puce de dispositifs LSOI (aussi bien type-A que type-B) pour la partie logique avec des dispositifs sur silicium massif pour les parties analogique et RF. Cette co-intégration est d'autant plus intéressante avec le LSOI que cette technologie est réalisée à partir d'un substrat BULK. Il s'agira donc de "protéger" les futures parties analogiques pendant les étapes spécifiques de la fabrication du LSOI. Nous allons détailler le procédé de fabrication de cette intégration hybride puis les résultats obtenus sur les dispositifs BULK seront présentés par la suite.

## II.D.2. Procédé de fabrication

Après avoir réalisé les isolations latérales STI, la première étape spécifique à cette intégration hybride est le dépôt d'une couche de 50Å de SiO<sub>2</sub>. Une étape de photolithographie permet ensuite de définir les parties de la puce sur lesquelles cette couche d'oxyde est conservée, et les zones sur lesquelles elle est retirée. Cette étape est l'étape clé de la co-intégration car cette couche de SiO<sub>2</sub> représente non seulement l'oxyde de grille des futurs dispositifs BULK, mais elle va également servir de masque dur, protégeant ces zones lors de l'étape suivante, spécifique au procédé de fabrication du LSOI (Figure II.55).



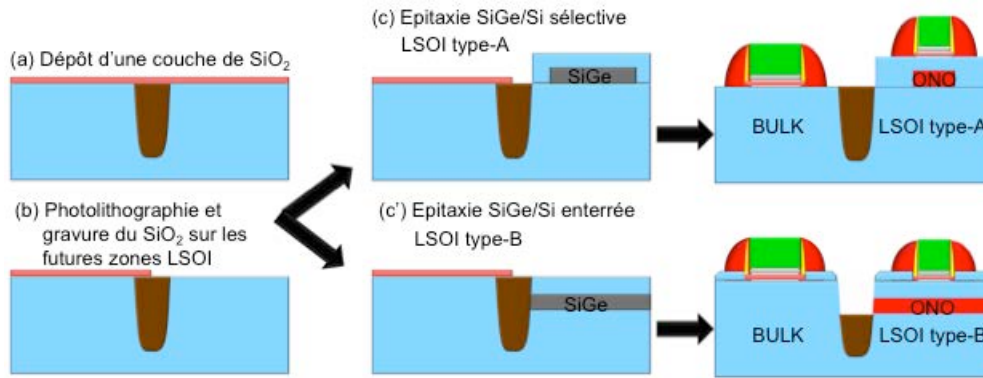
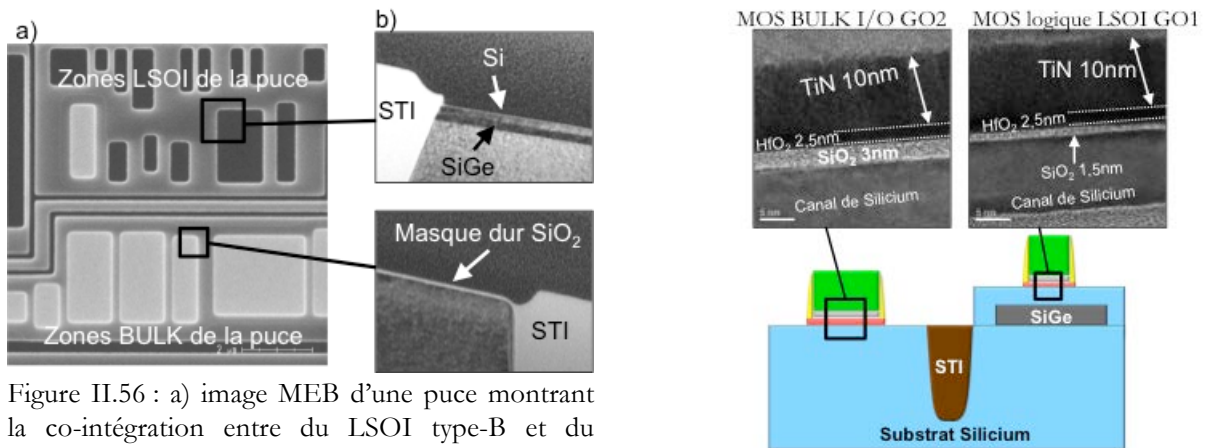


Figure II.55 : Représentation schématique de l'étape clé de la co-intégration entre le LSOI et du BULK. La couche de SiO<sub>2</sub> joue le rôle de masque dur pendant l'étape d'épitaxie SiGe/Si.

En effet, il s'agit de réaliser l'épitaxie des couches de SiGe et de Si pour définir le BOX et le canal de conduction des dispositifs LSOI. Pour le LSOI type-A, comme nous l'avons précisé au paragraphe II.B.1.b, l'utilisation de gaz HCl dans le réacteur d'épitaxie évite la croissance de silicium sur les diélectriques. L'épitaxie SiGe/Si n'a donc lieu que sur les zones où le SiO<sub>2</sub> a été retiré. Cette couche d'oxyde joue également son rôle de masque dur dans le cas du LSOI type-B puisque comme nous l'avons vu, la gravure HCl utilisée pour "enterrer" l'épitaxie a une sélectivité quasi-infinie face aux diélectriques (Figure II.56). On note donc que c'est cette étape de photolithographie qui détermine qu'elles sont les zones BULK ou les zones LSOI de la puce. Dans le cadre de ce travail, nous avons utilisé un niveau de masquage existant qui, pour une technologie BULK, définit les dispositifs à oxyde de grille épais pour les applications analogiques et RF (noté GO2 pour *Gate Oxide 2*) des dispositifs à oxyde de grille mince pour les applications logiques (noté GO1).



Cela nous conduit alors à la prochaine étape qui consiste à la formation de l'empilement de grille. Pour faciliter la gravure grille, nous avons déposé les mêmes matériaux sur toutes les parties de la puce. La seule différence entre les dispositifs LSOI et BULK se situe donc au niveau de l'oxyde piédestal  $\text{SiO}_2$  qui est plus épais (GO2 :  $\text{SiO}_2=3\text{nm}$ ) pour les zones sur silicium massif (Figure II.57).

Lors des dernières étapes spécifiques au procédé de fabrication du LSOI, les dispositifs BULK ne sont pas impactés. En effet, dans le cas du LSOI type-A, la gravure des jonctions qui donne accès à la couche sacrificielle est également "subie" par les zones en silicium massif. L'attaque chimique du SiGe étant sacrificielle, le silicium des BULK n'est pas dégradé et la ré-épitaxie des source/drain est parfaitement cristalline (Figure II.58). Pour le LSOI type-B, la situation est quasiment similaire : la surélévation des jonctions compense la perte de silicium pendant la gravure des isolations STI, ici encore le silicium n'est pas dégradé pendant le retrait de la couche sacrificielle. Peu importe la technologie LSOI choisie, tous les espaceurs sont formés en même temps pour les dispositifs UTBB et BULK. En revanche, les implantations des jonctions sont différenciées en fonction de l'épaisseur d'oxyde (GO1 ou GO2) et ont donc pu être ajustées pour chaque technologie présente sur la puce sans ajouter de niveau de masquage.

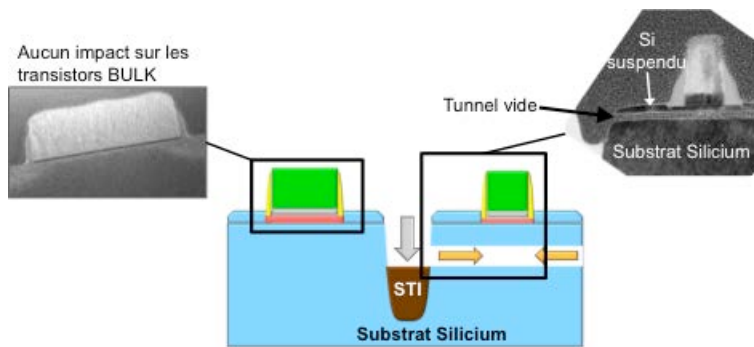


Figure II.58 : vues en coupe TEM d'un transistor LSOI et d'un transistor BULK co-intégrés à l'étape de gravure sélective du SiGe. Cette étape n'impacte pas la morphologie des transistors sur silicium massif.

La figure II.59 montre des vues en coupe obtenues par microscope électronique à transmission (TEM) de la structure finale de chacune des intégrations LSOI co-intégrée avec des dispositifs BULK. Ces images nous confirment que, morphologiquement, les étapes spécifiques du procédé de fabrication du LSOI n'ont pas eu d'impact sur les dispositifs en silicium massif. Il est donc maintenant nécessaire de vérifier si elles ont eu ou non des conséquences sur le comportement électrique de ces dispositifs co-intégrés, c'est l'objectif du paragraphe suivant.

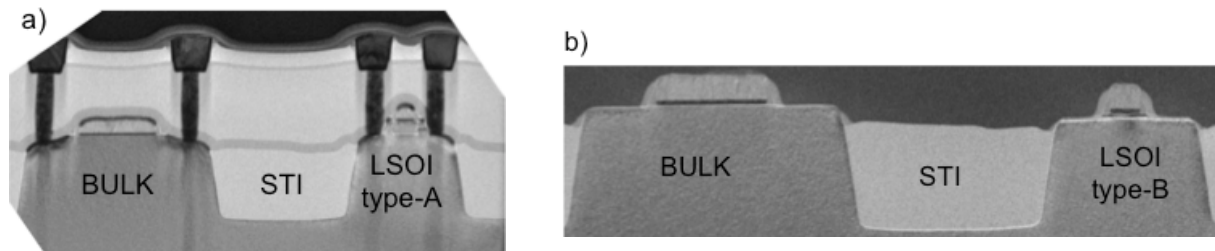


Figure II.59 : vues en coupe TEM des transistors a) LSOI type-A et b) type-B co-intégrés avec des transistors BULK à la fin du procédé de fabrication.

### II.D.3. Performances des dispositifs BULK co-intégrés

Dans cette partie, les performances de certains dispositifs BULK co-intégrés sont étudiées de manière à vérifier que les étapes spécifiques à la fabrication du LSOI n'ont pas impacté les parties analogiques de la puce. Pour cela, les résultats présentés sont systématiquement comparés avec une référence qui correspond à une technologie BULK I/O 45nm standard réalisée chez STMicroelectronics qui n'utilise pas d'empilement de grille high- $k$ /métal.

Que ces dispositifs BULK soient co-intégrés avec du LSOI type-A ou type-B, les résultats obtenus sont sensiblement identiques, c'est pourquoi les deux cas ne seront pas distingués dans cette étude.

#### II.D.3.a. Performances des transistors I/O

Comme précisé précédemment, les transistors I/O servent à l'adressage et à l'alimentation des circuits. Il s'agit donc de transistors MOSFETs aux dimensions généralement grandes et un oxyde de grille plus épais que celui des transistors logiques. Dans notre cas les transistors I/O sont des "GO2" et ont été réalisés en technologie BULK. La figure II.60 présente les caractéristiques  $I_D(V_G)$  d'un nMOS et d'un pMOS de longueur de grille  $L_G=150\text{nm}$  et de largeur  $W=600\text{nm}$ . L'allure des courbes semble indiquer que les transistors n'ont pas été dégradés, les caractéristiques sous le seuil sont très bonnes avec des courants de fuite  $I_{\text{OFF}}=11\text{pA}/\mu\text{m}$  et  $6\text{pA}/\mu\text{m}$  pour les nMOS et les pMOS respectivement. Les pentes sous le seuil  $S$  observées sont également très bonnes avec des valeurs qui sont proches de la pente idéale  $S=60\text{mV}/\text{dec}$ . Le contrôle électrostatique est lui aussi relativement bon avec des valeurs de DIBL de l'ordre de  $60\text{mV}/\text{V}$  pour les pMOS et  $45\text{mV}/\text{V}$  pour les nMOS, il est cependant possible de réduire encore ces valeurs par l'optimisation des implantations poches pour les extensions LDD. Ces extensions peuvent également être optimisées pour réduire (voire supprimer) le courant de fuite "GIDL" (pour *Gate Induced Drain Leakage*), ce qui permettrait d'obtenir des courants  $I_{\text{OFF}}$  encore plus faible, notamment pour les PMOS pour lesquels ce phénomène est plus marqué.

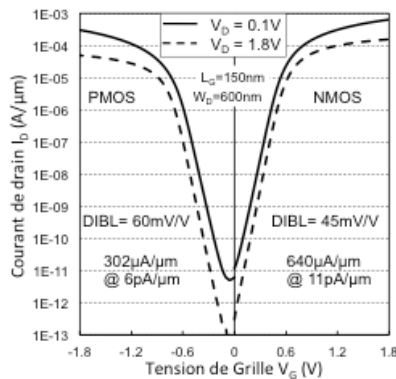


Figure II.60 : caractéristiques  $I_D(V_G)$  obtenues expérimentalement sur des transistors I/O co-intégrés.

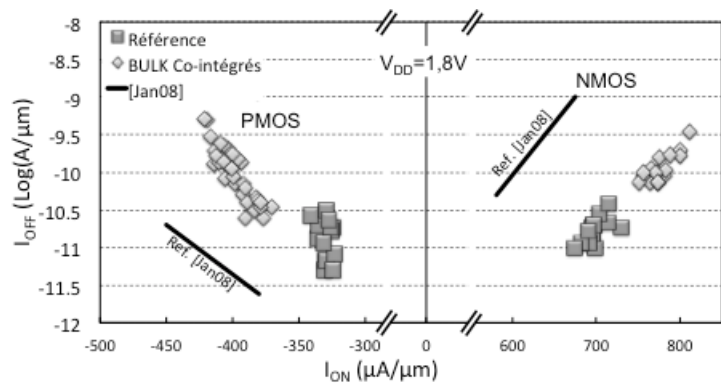


Figure II.61 : graphique du compromis  $I_{\text{ON}}(I_{\text{OFF}})$  pour les transistors I/O co-intégrés.

Le compromis  $I_{\text{ON}}(I_{\text{OFF}})$  présenté en figure II.61 montre que les transistors I/O co-intégrés offrent des performances qui sont comparables avec les références et confirme ainsi

qu'ils n'ont pas été dégradés pendant le procédé de fabrication, malgré les étapes du procédé de fabrication spécifiques au LSOI. Précisons que la référence *Jan et al.* [Jan08] utilise un empilement de grille high- $k$ /métal à l'image de nos dispositifs co-intégrés, mais ils utilisent une technique de stress (source/drain enterrés en SiGe) sur les transistors pMOS, expliquant leurs meilleurs performances.

C'est également ce que l'on peut observer sur les valeurs de délai obtenues sur des oscillateurs en anneaux (notés RO pour *Ring Oscillator*, Figure II.62). Il s'agit de circuits composés de plusieurs inverseurs (plusieurs dizaines voire quelques centaines) en nombre impair, et placés en cascade de telle sorte que la sortie du dernier et connectée à l'entrée du premier. Chaque inverseur représente un étage ou une porte. De tels dispositifs permettent de caractériser la vitesse des transistors utilisés (à travers le délai  $\tau$ ) et d'estimer ainsi le temps de réponse d'un circuit dans une technologie donnée. La figure II.62 montre d'une part la fonctionnalité de RO constitués de transistors I/O BULK co-intégrés et que leurs bonnes performances sont "en ligne" avec la référence BULK d'autre part.

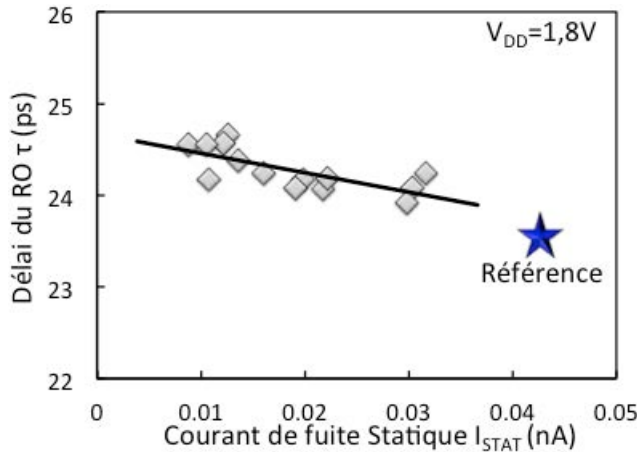


Figure II.62 : performances d'oscillateurs en anneaux réalisés avec des transistors I/O en technologie BULK co-intégrée.

### II.D.3.b. Variabilité

Si la variabilité a été présentée comme un paramètre très important pour les cellules mémoires SRAM, il en est de même pour les applications analogiques pour lesquelles il est nécessaire d'obtenir des transistors identiques pour minimiser l'amplification de leur différence. Les étapes du procédé de fabrication propres au LSOI peuvent engendrer des fluctuations supplémentaires sur les transistors BULK co-intégrés, c'est pourquoi le désappariement obtenu sur ces dispositifs a été étudié (Figure II.63).

Pour cette étude, nous avons différencié le cas des transistors I/O avec et sans implantations de poches dans le canal. Ces implantations étant une source supplémentaire de fluctuations, il est fort logique d'observer de bien meilleurs résultats sur les dispositifs sans poches. Les transistors avec poches quant à eux ont une variabilité similaire à la référence qui utilise également du dopage canal. On note cependant une légère dégradation de la variabilité sur les pMOS co-intégrés, dégradation certainement due aux implantations poches dans le canal qu'il

serait nécessaire d'optimiser pour améliorer ce résultat. On peut néanmoins conclure que les dispositifs BULK co-intégrés se comportent globalement de la même manière que les transistors de référence.

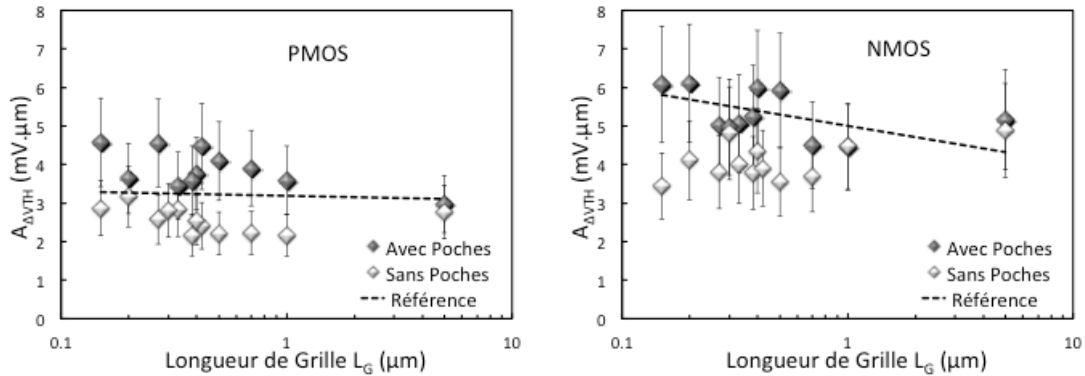


Figure II.63 : évolution de la variabilité  $A_{\Delta V_{TH}}$  en fonction de la longueur de grille  $L_G$  pour les transistors BULK I/O co-intégrés avec ou sans implantation poches.

Enfin, précisons que même en l'absence de dopage canal, la variabilité des transistors BULK I/O est plus élevée que celle obtenue sur les transistors LSOI, cela est en grande partie lié à l'épaisseur de l'oxyde de grille puisque l'EOT entre en compte dans la formule de la variabilité (Eq. II.6).

### II.D.3.c. Bruit basse fréquence en $1/f$

Historiquement, le bruit en  $1/f$  (ou *flicker noise*) était une préoccupation pour la conception des circuits analogiques à basse fréquence (e.g. amplificateur audio). Avec la réduction des dimensions de la technologie CMOS, il est devenu encore plus préoccupant et touche une gamme plus importante de circuits. Cette mise à l'échelle a en effet permis à la technologie CMOS d'intégrer de nouvelles applications comme les circuits radiofréquence, qui eux aussi sont sensibles à ce bruit en  $1/f$  [Tian01]. Ce bruit basse fréquence est engendré par des phénomènes de piégeage/dépiégeage de porteurs qui proviennent du canal dans les "pièges" de l'oxyde de grille. Cela signifie donc que la caractérisation de ce paramètre est un bon indicateur pour estimer la "qualité" de l'oxyde (nombre de pièges) mais également de l'interface oxyde/silicium. La particularité de nos dispositifs BULK co-intégrés par rapport à la référence est la présence d'un diélectrique, connu pour dégrader le bruit à basse fréquence [Kojima05, Min04, Yasuda06].



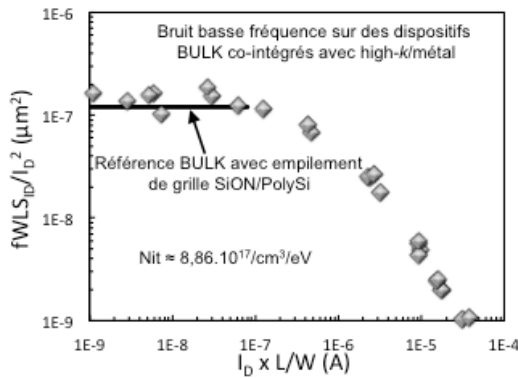


Figure II.64 : Mesures du bruit basse fréquence réalisées sur des transistors BULK co-intégrés avec empilement de grille high- $k$ /métal. Aucune dégradation majeure n'est à reporter en comparaison à la référence BULK avec un empilement de grille SiON/PolySi.

La figure II.64 présente les mesures de bruits basse fréquence réalisées sur les transistors BULK co-intégrés avec des dispositifs LSOI. Alors que Fenouillet *et al.* [Fenouillet09b] présentent une dégradation d'environ une décade en présence d' $\text{HfO}_2$ , les résultats obtenus ici sont similaires à la référence, renvoyant une densité de pièges (Nit) de  $1.10^{18}/\text{cm}^3/\text{eV}$  (ou  $3.10^{11}/\text{cm}^2/\text{eV}$ ). Ceci peut s'expliquer par l'épaisseur de l'oxyde  $\text{SiO}_2$  interfacial, qui, lorsqu'elle est assez importante, réduit voire annule l'impact du high- $k$  sur le bruit en  $1/f$  [Min04, Yasuda08]. Il s'agit donc ici d'un excellent résultat car il indique que nos transistors BULK co-intégrés ne dégraderont *a priori* pas les performances d'éventuelles applications radiofréquence.

### II.D.3.d. Protections ESD

Les protections ESD (pour *ElectroStatic Discharge*) sont des structures qui, comme leur nom l'indique, protègent un circuit lors d'une décharge électrostatique (qui serait destructive). Ces dispositifs sont un parfait exemple de composants qui ne fonctionnent pas de manière optimale sur des architectures à film mince. En effet, ils doivent être capable de supporter des hauts niveaux de courant dans le volume de silicium et des températures élevées. Or, la présence du BOX réduit considérablement le volume de silicium ainsi que la dissipation de la chaleur, ce qui limite fortement l'efficacité de ces dispositifs. Dans le cadre d'une co-intégration entre dispositifs UTBB et BULK, il semble donc primordial de réaliser ces protections ESD sur silicium massif. Nous présentons ici les caractéristiques de trois types de structures réalisées en BULK co-intégrés servant de protection ESD.

Un simple transistor nMOS peut servir de protection ESD. La figure II.66 présente les caractéristiques de telles architectures réalisées par une méthode appelée TLP (pour *Transmission Line Pulse*). Le principe est d'envoyer une série d'impulsions de courant sur le dispositif et de relever le courant et la tension du dispositif à chaque niveau d'incrémentement du stress en fonction du temps. Les valeurs moyennes des dernières 20ns sont alors utilisées pour "dessiner" une caractéristique  $I_{TLP}(V_{TLP})$  (Figure II.65). La défaillance du dispositif est atteinte lorsque un changement est détecté dans le courant de fuite mesuré entre deux impulsions. La valeur de courant  $I_{T2}$  qui précède le "claquage" donne la robustesse de la protection ESD (Figure II.62).

Les courbes présentées en figure II.66 montrent la bonne fonctionnalité des nMOS I/O co-intégrés et on observe également une bonne répétabilité puisque les différentes courbes se superposent.

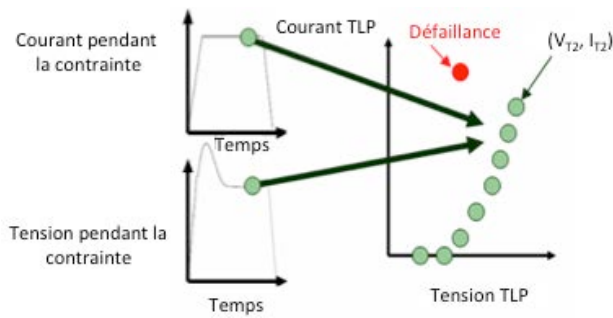


Figure II.65 : présentation du principe de mesure des caractéristiques TLP.

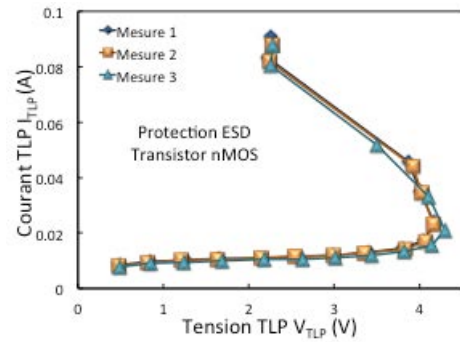


Figure II.66 : caractéristiques TLP de transistors nMOS en technologie BULK co-intégrée servant de protection ESD.

La figure II.67 représente une diode STI, autre structure jouant le rôle de protection ESD. Il est important de souligner que ce genre de structure n'est même pas disponible en présence d'un BOX puisqu'il isole les jonctions N+ et P+ par rapport au substrat pWELL. La co-intégration avec la technologie BULK est donc salvatrice pour ces dispositifs. Les diodes STI BULK co-intégrées avec le LSOI sont également fonctionnelles et présentent de bons résultats (Figure II.68). On remarque sur ces caractéristiques que la robustesse dépend fortement des dimensions du dispositif. Plus il est "imposant" plus il y a de volume de silicium pour dissiper la chaleur et plus la valeur de  $I_{T2}$  est grande.

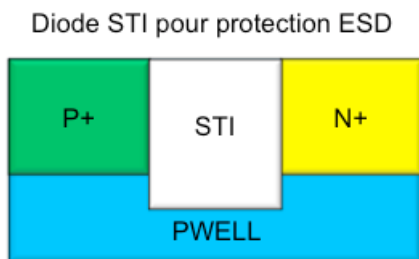


Figure II.67 : représentation schématique d'une diode STI servant de protection ESD.

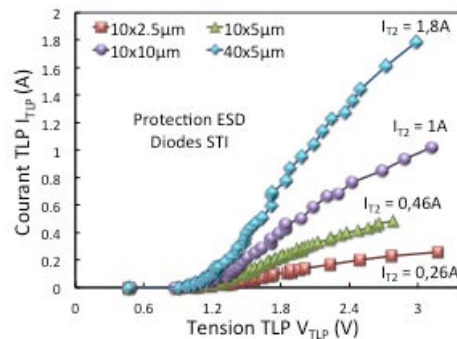


Figure II.68 : caractéristiques TLP de différentes dimensions de diodes STI en BULK co-intégrée servant de protection ESD.

Le tableau II.3 résume les valeurs de robustesse  $I_{T2}$  obtenues sur les dispositifs co-intégrés et les compare avec une référence BULK conventionnelle. Les deux technologies sont très proches, ce qui confirme la fonctionnalité et le comportement "normal" des dispositifs BULK co-intégrés avec du LSOI.

Dimension ( $\mu\text{m}$ )	$I_{T2}$ BULK (A)	$I_{T2}$ BULK co-intégré avec du LSOI (A)
10x2,5	0,26	<b>0,26</b>
10x5	0,5	<b>0,46</b>
10x10	0,97	<b>1</b>
40x5	1,94	<b>1,8</b>

Tableau II.3 : comparaison de la robustesse  $I_{T2}$  de diodes STI en technologie BULK co-intégrée avec une référence BULK conventionnelle.

Enfin, des diodes à grille ont également été réalisées en technologie BULK co-intégrée avec du LSOI (Figure II.69). Les caractéristiques  $I_{TLP}(V_{TLP})$  pour plusieurs dimensions sont présentées en figure II.70. Ici encore, les caractéristiques démontrent la fonctionnalité des dispositifs et une certaine dépendance à la dimension des protections ESD.

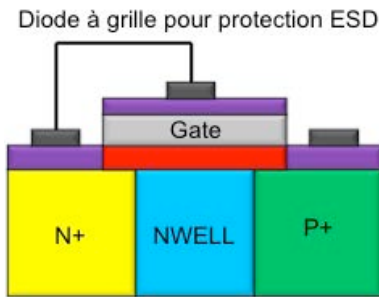


Figure II.69 : représentation schématique d'une diode à grille servant de protection ESD.

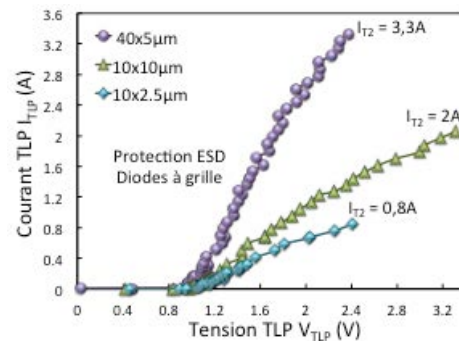


Figure II.70 : caractéristiques TLP de différentes dimensions de diodes à grille en BULK co-intégré servant de protection ESD.

Le tableau II.4 compare les valeurs de  $I_{T2}$  obtenues sur des diodes à grille BULK de référence, BULK co-intégrées réalisées au cours de cette thèse et une référence FDSOI à BOX épais. Les protections ESD co-intégrées obtiennent logiquement des performances similaires à la référence BULK alors que le FDSOI, pénalisé par son diélectrique enterré présente des performances nettement dégradées. Pour qu'une diode à grille soit aussi efficace sur FDSOI que sur BULK, il faudrait qu'elle soit plus de quatre fois plus grande, ce qui n'est pas compatible avec la course à la miniaturisation. Notons tout de même qu'il est possible d'améliorer l'efficacité des protections ESD en FDSOI en utilisant un BOX mince comme reporté par *Benoist et al.* [Benoist10], cependant elles n'arrivent toujours pas au niveau du silicium massif, confirmant l'intérêt de la co-intégration pour ces dispositifs.

Dimension ( $\mu\text{m}$ )	$I_{T2}$ BULK (A)	$I_{T2}$ BULK co-intégré avec du LSOI (A)	$I_{T2}$ FDSOI BOX épais (A)
10x2,5	0,6	<b>0,8</b>	0,14
10x5	1,1	<b>1,4</b>	0,25
10x10	2,2	<b>2</b>	0,48
40x5	4	<b>3,3</b>	0,89

Tableau II.4 : comparaison des valeurs  $I_{T2}$  mesurées sur des diodes à grille sur : une référence BULK, la technologie BULK co-intégré étudiée et une technologie FDSOI à BOX épais.



## II.E. Conclusions et application au FDSOI

Après avoir rappelé l'intérêt d'utiliser un film mince et un diélectrique enterré mince, ce chapitre a permis la présentation des architectures LSOI, alternatives UTBB à moindre coût puisque réalisées sur substrat BULK. Après avoir détaillé les étapes spécifiques de leur procédé de fabrication, les résultats électriques obtenus sur les deux architectures étudiées ont été présentés. Les performances observées confirment l'intérêt d'une technologie UTBB pour leur excellent contrôle de l'électrostatique, leur très faible variabilité et la modulation de la tension de seuil rendue possible par l'utilisation d'un BOX mince.

Nous avons ensuite montré qu'il était possible et intéressant (voire indispensable) de réaliser une co-intégration entre transistors LSOI et BULK, le tout sur une même puce. Les dispositifs LSOI sont ainsi utilisés pour les applications logiques pour lesquelles ils apportent une amélioration face au BULK. Ce dernier est cependant conservé pour les applications de type ESD, par exemple, ou il reste le plus performant.

Bien que notre étude ait été menée sur des dispositifs LSOI, ses conclusions peuvent servir au FDSOI ainsi que certaines options que nous avons mis en évidence au cours de ce chapitre :

- ✓ L'utilisation d'un film mince ( $T_{Si} > 10\text{nm}$ ) et d'un BOX mince ( $T_{BOX} \geq 25\text{nm}$ ) pour assurer un excellent contrôle de l'électrostatique.
- ✓ L'utilisation d'un plan de masse pour supprimer la déplétion sous le BOX et permettre l'utilisation de la polarisation par la face arrière.
- ✓ La mise en place d'une co-intégration pour réaliser sur BULK certains dispositifs (protections ESD, diodes, HVMOS, ...). Cette intégration hybride n'est envisageable qu'avec l'utilisation d'un BOX mince puisqu'il s'agit de graver le diélectrique enterré sur les futures zones BULK et de ré-épitaxier le substrat [Fenouillet09b].

---

---

**- CHAPITRE III -**

**PERFORMANCES DE TRANSISTORS  
LSOI SUR SUBSTRAT (110) : IMPACT  
DE LA DIRECTION DU CANAL**

---

---

*“Nous choisissons tous des directions et des orientations  
mais les imprévus nous forcent tous à dériver  
plus ou moins de notre route initiale”*  
Daniel Desbiens

<b>CHAPITRE III: PERFORMANCES DE TRANSISTORS LSOI SUR SUBSTRAT (110) : IMPACT DE LA DIRECTION DU CANAL.....</b>	<b>89</b>
<b>III.A. Introduction du chapitre .....</b>	<b>91</b>
<b>III.B. Influence de l'orientation cristalline sur les propriétés de transport dans le silicium: théorie .....</b>	<b>92</b>
III.B.1. Structure de bande du silicium .....	92
III.B.2. La bande de conduction .....	93
III.B.3. La bande de valence .....	94
<b>III.C. Ajustements du procédé de fabrication du LSOI liés à l'utilisation d'un substrat (110) .....</b>	<b>97</b>
III.C.1. Ajustement de la gravure du silicium.....	97
III.C.2. Ajustement de l'épitaxie SiGe/Si .....	98
<i>III.C.2.a. Ajustement de l'épitaxie SiGe.....</i>	<i>98</i>
<i>III.C.2.b. Ajustement de l'épitaxie de Si.....</i>	<i>99</i>
<i>III.C.2.c. Suite et fin du procédé de fabrication.....</i>	<i>100</i>
<b>III.D. Etude de l'impact de la direction du canal sur des dispositifs LSOI type-B sur substrat (110) .....</b>	<b>102</b>
III.D.1. Méthodes d'extraction de la mobilité .....	102
<i>III.D.1.a. La méthode "split C-V" .....</i>	<i>102</i>
<i>III.D.1.b. La fonction Y.....</i>	<i>104</i>
III.D.2. Extraction de la mobilité sur les dispositifs LSOI (110).....	105
III.D.3. Etude en courant sur les dispositifs LSOI (110) réalisés .....	108
<i>III.D.3.a. Cas des transistors longs .....</i>	<i>108</i>
<i>III.D.3.b. Cas des transistors courts .....</i>	<i>109</i>
<b>III.E. Conclusion du chapitre.....</b>	<b>112</b>

### III.A. Introduction du chapitre

Comme abordé au premier chapitre (cf. paragraphe I.C.4.c), les propriétés de transport dans le canal des transistors (principalement caractérisées par la mobilité) sont dépendantes de plusieurs paramètres parmi lesquels on trouve le matériau utilisé (dans notre cas le silicium) et le couple orientation du substrat / direction de transport. Nous savons, grâce aux différentes études menées sur le sujet ([Sato71, Yang03a, Irie04, Liu05]), qu'une mobilité optimale des électrons est obtenue sur un substrat orienté en (100) et pour une direction de canal suivant l'axe cristallographique  $\langle 100 \rangle$ . De la même façon, c'est une orientation (110) et une direction de canal selon  $\langle 110 \rangle$  qu'il faudra utiliser pour obtenir la meilleure mobilité des trous et donc de meilleures performances pour les transistors pMOS ([Sato69, Sayama99, Yang03b, Yang06]). La première partie de ce chapitre est consacrée à une brève présentation théorique des effets attendus lorsque l'on modifie l'orientation du substrat et/ou la direction de transport d'un transistor MOSFET en silicium.

Les différents travaux ayant servi de références pour cette étude ont été menés sur des dispositifs en silicium de technologie BULK. Bien que la théorie des phénomènes physiques entrant en jeu soit, *a priori*, valable pour des dispositifs à film mince, il n'existe que très peu de démonstrations d'architectures UTBB réalisées sur un substrat autre que (100) et plus particulièrement (110) [Shang05, Hiramoto06, Bidal09c]. Ainsi, au cours de ce travail de thèse, nous nous sommes intéressés à la fabrication et la caractérisation de transistors à film et oxyde enterré minces (architecture LSOI type-B) sur substrat (110), orientation de substrat supposée favoriser les pMOS.

Dans un premier temps, nous présenterons les ajustements du procédé de fabrication qu'il a été nécessaire de mettre en place. En effet, certaines étapes propres à l'architecture LSOI, sont fortement dépendantes des plans cristallins. L'utilisation d'une orientation de substrat différente implique donc de réajuster certains paramètres du procédé de fabrication, nous en présenterons les principaux résultats.

Puis, nous étudierons l'impact de cette orientation de substrat (110) sur la mobilité des trous et des électrons dans les transistors LSOI type-B réalisés. Nous évaluerons également la dépendance de cette mobilité vis-à-vis de la direction de transport sur cette même orientation de substrat, pour des directions intermédiaires entre  $\langle 100 \rangle$  et  $\langle 110 \rangle$ .

Enfin, l'influence de ces différentes configurations orientation/direction sur les performances statiques des transistors sera étudiée, notamment à travers le courant de saturation  $I_{ON}$ . La fonctionnalité de transistors à courtes longueurs de grille sera également démontrée afin de valider les ajustements réalisés sur le procédé de fabrication.

## III.B. Influence de l'orientation cristalline sur les propriétés de transport dans le silicium: théorie

L'objectif de cette partie est de présenter succinctement l'impact attendu selon la théorie de l'orientation du substrat et de la direction du canal sur les propriétés de transport. Les notions abordées ici s'appliquent initialement aux technologies sur silicium massif, mais elles peuvent tout aussi bien s'appliquer aux technologies sur film mince totalement déplété comme le LSOI, du moment que l'épaisseur du canal n'est pas inférieure à 10nm [Chanemougame05].

### III.B.1. Structure de bande du silicium

Le silicium est un semiconducteur à *gap* indirect. Dans l'espace des vecteurs d'onde  $k$ , cela signifie que le maximum de la bande valence ne se trouve pas au même point que le minimum de la bande de conduction. En effet, le sommet de la bande de valence est situé au centre de la zone de Brillouin, c'est à dire en  $k=0$ , il s'agit du point  $\Gamma$ . De plus, ce maximum représente la convergence de deux bandes, dégénérées au sommet, que l'on appelle bande des trous lourds, notée HH (pour *Heavy holes*) et bande des trous légers, notée LH (pour *Light Holes*). Il existe une troisième bande qui est appelée la bande de *split-off* (notée SO).

En ce qui concerne la bande de conduction, son minimum se situe dans la direction [100] (appelée  $\Delta$ ) en  $k=0.85k_x$ , où  $k_x$  représente le vecteur d'onde du point X de la zone de Brillouin. Enfin, entre le minimum de la bande de conduction et le maximum de valence se trouve une zone où aucun état électronique n'est possible, il s'agit de la bande interdite également appelée *gap*. La figure III.1 présente une illustration de la structure de bandes du silicium.

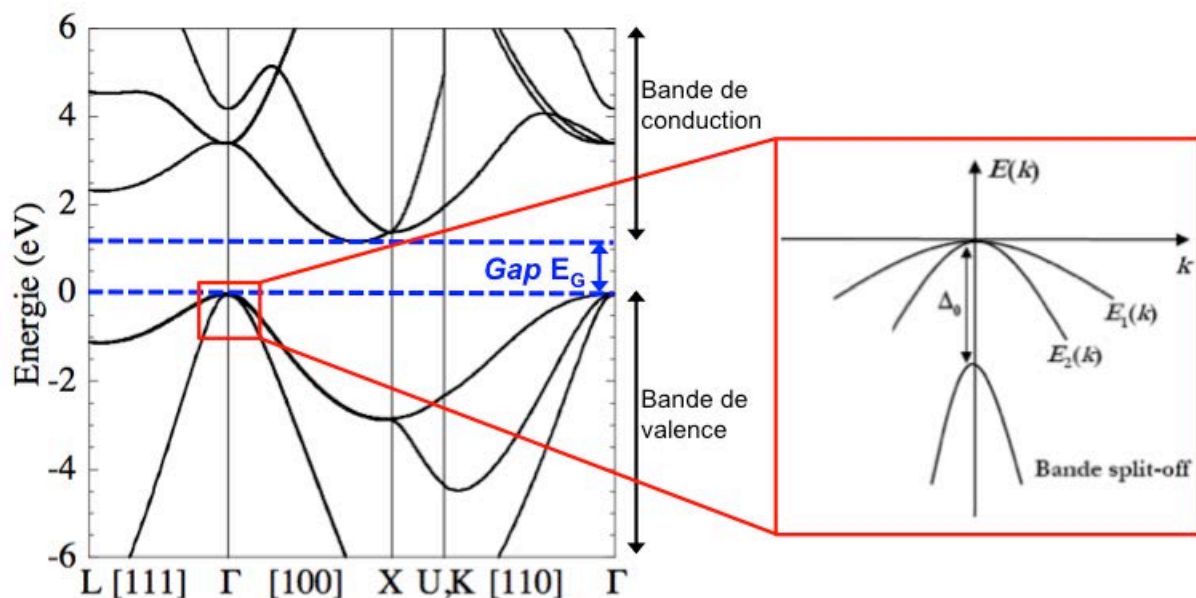


Figure III.1 : Exemple de structure de bande du silicium et zoom pour observer schématiquement le maximum de la bande de valence afin de visualiser la « split-off ».

### III.B.2. La bande de conduction

La structure cristalline du silicium étant cubique, il existe six directions équivalentes à la direction  $\langle 100 \rangle$ , ce qui signifie qu'il existe six minima équivalents pour la bande de conduction. Ces minima sont également appelés vallées  $\Delta$ , le silicium étant alors un semiconducteur multivallées. La variation de l'énergie de la bande de conduction  $E(k)$  n'est pas isotrope, elle est plus rapide dans le plan perpendiculaire à l'axe considéré que suivant cet axe [Mathieu04]. Ainsi, les surfaces d'énergie constante, appelées surfaces d'isoénergie, forment six ellipsoïdes (Figure III.2), ayant chacun une masse transverse notée  $m_t=0,191m_0$  et une masse longitudinale  $m_l=0,916m_0$  [Sze81] où  $m_0$  est la masse d'un électron libre. On distingue deux familles de vallées  $\Delta$  : les vallées  $\Delta_4$  qui sont situées dans le plan de conduction (100) et les vallées  $\Delta_2$ , perpendiculaires à ce plan. La masse effective de conduction  $m^*$  sera une moyenne de  $m_l$  et  $m_t$ , pondérée en fonction de la répartition entre les différentes vallées, selon l'orientation du substrat et la direction de transport. Or, le comportement de cette masse effective est en quelque sorte le "reflet" du comportement de la mobilité  $\mu_{EFF}$  puisque les deux valeurs sont reliées par la formule donnée au premier chapitre :  $\mu_{EFF}=(q \cdot \tau_{mfp})/m^*$  (Eq. I.8). De plus,  $q$ , la charge d'un électron est une constante et  $\tau_{mfp}$ , le temps de libre parcours moyen d'un électron, ne varie pas pour une orientation de substrat donnée [Takagi96, Mathieu04].

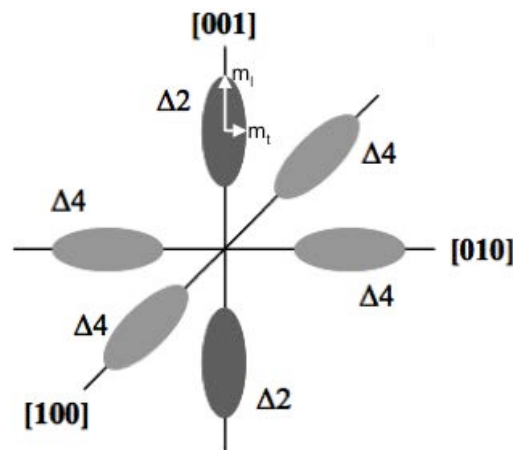


Figure III.2 : Représentation schématique des surfaces isoénergies des bandes de conduction.

La figure III.3 représente une projection, dans le plan de transport, du diagramme de la bande de conduction ([Irie04]) pour les deux orientations de substrat qui nous intéressent dans cette étude : (100) et (110).

Pour un substrat orienté (100), les vallées  $\Delta_4$  sont dans le plan de conduction alors que les vallées  $\Delta_2$  sont perpendiculaires à ce plan. Cette surface propose une faible masse effective pour les électrons car les vallées  $\Delta_2$ , qui sont ici les vallées principales de peuplement, sont toujours gouvernée par leur masse transverse  $m_t=0,191m_0$ . Plus intéressant encore, sur un substrat orienté (100), lorsqu'elle est pondérée en fonction de la répartition entre les différentes vallées, la masse effective des électrons est toujours identique indépendamment de la direction de transport. Elle est donc isotrope sur (100), faisant de cette surface, la surface optimale pour les électrons.

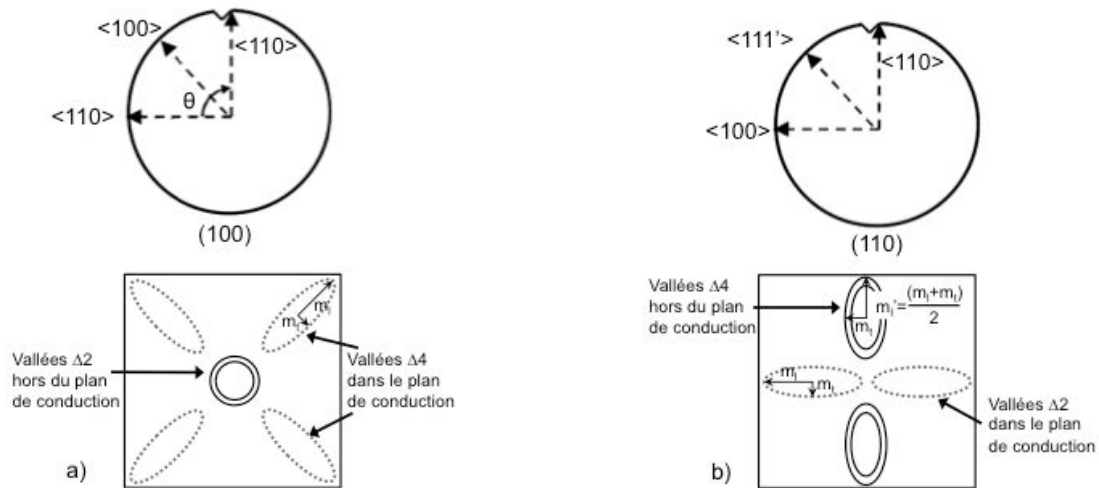


Figure III.3 : Projection dans le plan des surfaces isoénergétiques des électrons pour chacune des deux orientations de substrat étudiées : a) (100) et b) (110) [Irie04] avec en trait plein le peuplement principal de vallée.

Une orientation (110) en revanche ne sera pas aussi intéressante pour les électrons. En effet, le temps de libre parcours moyen  $\tau_{mfp}$  y est plus court signifiant qu'à  $m^*$  équivalent,  $\mu_{EFF}$  sera toujours plus faible sur un substrat (110) que sur un substrat (100). De plus, la masse effective des électrons n'est ici pas isotrope. On voit en effet sur la figure III.3-b que pour une direction (110)/<100> les vallées  $\Delta_4$ , vallées principales de peuplement, sont gouvernées par leur masse transverse  $m_t=0,191m_0$  alors que pour une direction (110)/<110> elles sont gouvernées par une masse plus lourde  $m_l'=(m_t+m_l)/2=0,553m_0$  [Rafhay08]. Cette dernière direction sera donc plus pénalisante pour la masse effective et la mobilité des électrons.

En résumé, la configuration optimale pour la mobilité des électrons est une surface orientée (100) et ce indépendamment de la direction de transport. A contrario, travailler sur un substrat orienté (110) dégrade les propriétés de transport des électrons avec un pire cas pour la configuration (110)/<110>.

Il est intéressant de préciser ici que le principe des contraintes mécaniques, utilisées pour améliorer le transport dans les transistors MOSFETs, consiste à modifier la répartition de la population d'électrons dans les vallées afin d'augmenter la proportion de masse transverse entrant en compte. Ainsi, le cas le plus favorable théoriquement serait que tous les électrons soient situés dans une vallée avec une masse transverse, ce qui donnerait :  $m^*=m_t=0,191m_0$ .

### III.B.3. La bande de valence

Le calcul de la structure de la bande de valence est rendu plus compliqué par la forte anisotropie et la non-parabolicité des bandes des trous lourds et légers, causée notamment par leur proximité énergétique en  $\Gamma$ . Cependant, comme pour la bande de conduction, il est possible de représenter les surfaces d'isoénergie des bandes des trous lourds et des trous légers, souvent approximées par des sphères (Figure III.4).



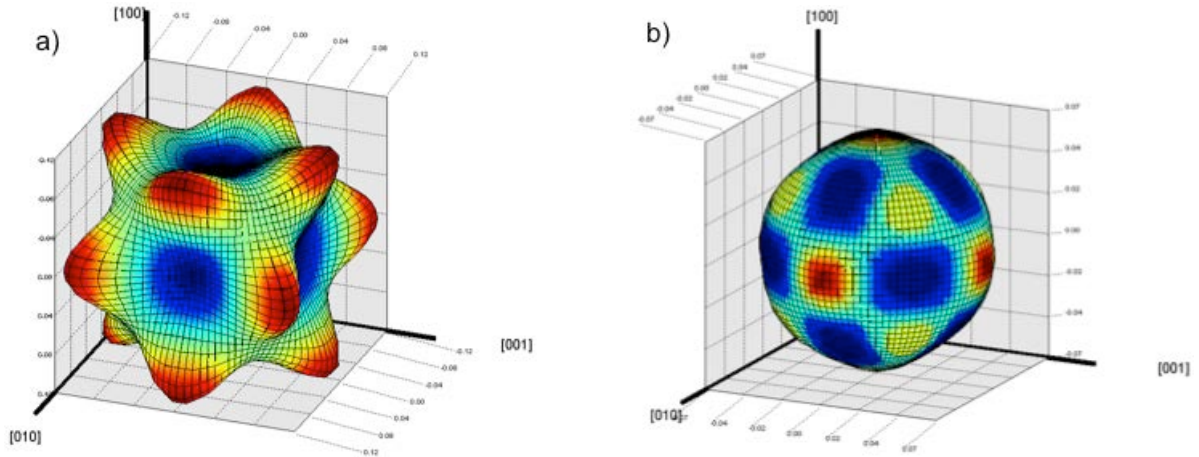


Figure III.4 : Surfaces isoénergies autour du maximum de la bande de valence représentées dans l'espace réciproque pour le silicium, a) des trous lourds, b) des trous légers

La figure III.5 ci-dessous représente une projection dans le plan de conduction des surfaces isoénergies des bandes des trous lourds et légers, et de la bande de split-off ([Fischetti03]) pour les deux orientations de substrat qui nous intéressent dans cette étude : (100) et (110). L'énergie pouvant être approximée par l'équation III.1 [Mathieu04], garder E constant (isoénergie) revient à faire varier la masse effective  $m^*$  avec le vecteur d'onde  $k$ .

$$E(k) = \frac{\hbar^2 k^2}{2m^*} \quad [\text{Eq. III.1}]$$

Ainsi, même si elles ne permettent pas le calcul de  $m^*$ , ces représentations donnent une idée du comportement de la masse effective des trous en fonction de la surface du substrat et de la direction de transport. On note alors que, quelque soit la direction de canal considérée, les valeurs de  $k$  sont plus élevées sur un substrat (100) que sur (110), signifiant que cette dernière surface propose des masses effectives plus faibles (et donc des mobilités plus élevées).

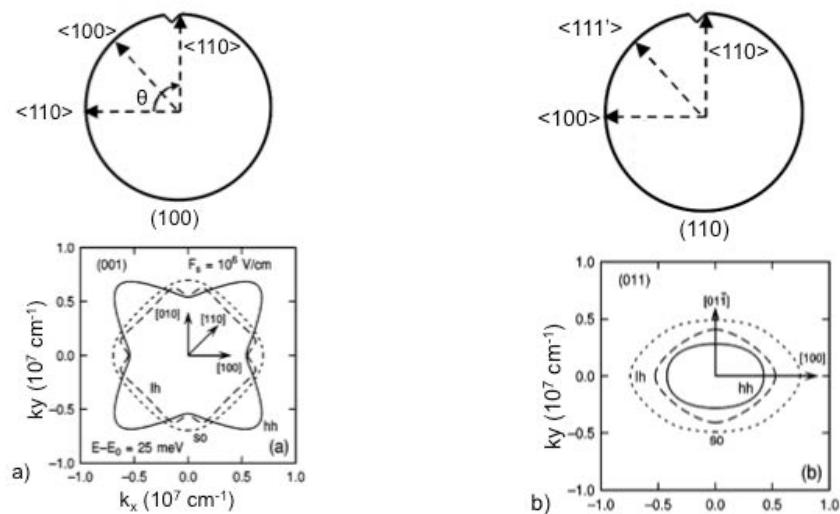


Figure III.5 : Projection dans le plan des surfaces isoénergies des trous pour chacune des deux orientations de substrat étudiées : a) (100) et b) (110) [Irie04], [Fischetti03].

Pour le cas du substrat (100), la question de l'influence de la direction de transport sur la mobilité des trous fait toujours débat. En effet, si la bande des trous lourds indique une masse effective plus élevée selon la direction  $\langle 110 \rangle$ , la bande des trous légers, dont la masse effective de conduction est plus faible, pourrait "équilibrer" les masses [Fischetti03] et rendre anisotrope la masse effective des trous sur une surface (100). Les résultats expérimentaux n'aident malheureusement pas à éclaircir la situation car si *Sato et al.* [Sato69] n'observent aucune différence de mobilité entre (100)/ $\langle 100 \rangle$  et (100)/ $\langle 110 \rangle$ , *Irie et al.* [Irie04] reportent une meilleure mobilité pour la direction  $\langle 110 \rangle$ . Cependant, ce gain n'a été observé que sur des transistors courts et pourrait être lié à une contrainte provenant des tranchées d'isolations STI [Saito06]. De nombreux acteurs de la microélectronique tirent néanmoins profit de ce gain en performance sur les transistors courts et privilégient la configuration (100)/ $\langle 110 \rangle$ .

En ce qui concerne le substrat (110), la bande des trous lourds et des trous légers se comportant de façon similaire, le débat n'a donc pas lieu d'être. Ainsi, d'après la figure 5, la direction  $\langle 110 \rangle$  offre une masse effective plus faible pour les trous et devrait alors conduire à une mobilité plus élevée que pour la direction  $\langle 100 \rangle$ .

En conclusion, même sans la calculer, il est possible d'estimer le comportement de la mobilité effective des électrons et des trous dans le silicium. Ainsi, nous avons vu qu'un substrat (110), comme celui sur lequel porte notre étude, dégrade la mobilité des électrons par rapport à un substrat (100). De plus, sur une surface (110), cette mobilité est dépendante de la direction de transport avec une pire configuration pour la direction  $\langle 110 \rangle$ . Pour les trous, c'est la situation inverse à savoir qu'ils sont favorisés sur un substrat (110). Leur mobilité reste néanmoins anisotrope et il y a des directions de transport à privilégier comme notamment la configuration (110)/ $\langle 110 \rangle$ .

Les résultats expérimentaux que l'on trouve dans la littérature sont en accord avec la théorie [Irie04, Yang06]. La suite de ce chapitre nous dira si nos résultats expérimentaux sur LSOI type-B correspondent également à ces attentes.

### III.C. Ajustements du procédé de fabrication du LSOI liés à l'utilisation d'un substrat (110)

La fabrication de dispositifs LSOI type-B sur un substrat orienté (110) demande une attention particulière. En effet, les étapes clés que sont la gravure HCl (pour abaisser le substrat de silicium en début de procédé) et l'épitaxie des couches SiGe/Si et la gravure sélective du SiGe (pour la chimie HCl) sont dépendantes aux plans cristallins et donc, dans notre cas, à l'orientation cristalline du substrat. Il a alors été nécessaire d'ajuster ces procédés en fonction du substrat utilisé pour cette étude. Ces différents ajustements font l'objet d'une partie du travail de thèse de *Destefanis* et sont détaillées dans son rapport [Destefanis09]. Nous ne présentons ici que les principales conclusions, appliquées aux dispositifs caractérisés électriquement par la suite.

#### III.C.1. Ajustement de la gravure du silicium

Pour rappel, il s'agit ici de l'étape pendant laquelle le substrat de silicium est abaissé de quelques dizaines de nanomètres afin "d'enterrer" l'épitaxie des couches de SiGe et de Si dans le but d'éviter l'apparition de facettes (cf. paragraphe II.B.3). Cet abaissement de la zone active est une gravure réalisée par chimie HCl, procédé fortement dépendant aux plans cristallins du silicium.

*Destefanis* reporte ainsi une cinétique de la gravure HCl quatre fois supérieure pour une surface (110) par rapport à une surface (100). S'il explique cette différence par la contribution des nombreuses liaisons dans le plan des surfaces (110), associée aux différentes énergies de surface entre (110) et (100), il montre également que les mécanismes de gravure sont similaires indépendamment de l'orientation du substrat. Pour ajuster cette cinétique de gravure sur substrat (110), réduire la température de travail peut donc s'avérer suffisant. Dans le cadre de cette étude, la température de gravure HCl a été diminuée à 675°C pour un substrat (110) alors qu'elle est habituellement de 725°C pour un substrat (100).

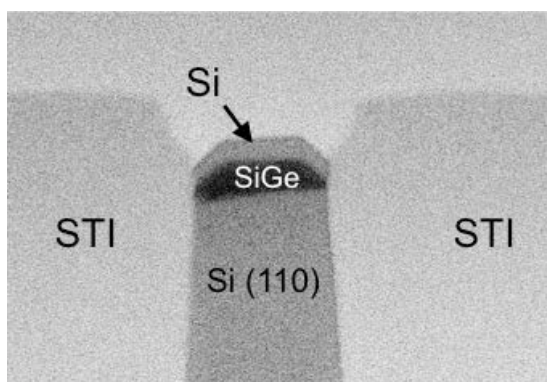


Figure III.6 : image en coupe TEM dans le sens de la largeur d'une épitaxie SiGe/Si enterrée sur substrat (110). On note la présence de facettes liée à la "non-optimisation" de l'abaissement du silicium par gravure HCl.

Un autre phénomène lié à l'utilisation d'un substrat (110) est une importante rugosité de la surface du silicium obtenue après la gravure, même lorsque celle-ci est réalisée à plus faible température (i.e. 675°C). Cette mauvaise qualité de la surface a dans la suite du procédé de fabrication des répercussions sur la qualité de l'interface Si/SiGe et peut même engendrer la présence de facettes lors de l'épitaxie SiGe/Si, même lorsque celle-ci est enterrée (Figure III.6). Ces facettes, comme nous l'avons déjà souligné, limitent alors l'accès à la couche sacrificielle lors

de son retrait. Cette gravure HCl a donc été optimisée de manière à obtenir une surface aussi lisse que possible et à éviter la formation de ces facettes [Destefanis09].

### III.C.2. Ajustement de l'épitaxie SiGe/Si

Au même titre que la cinétique de gravure par chimie HCl dépend fortement des plans cristallins du silicium, l'étape d'épitaxie SiGe/Si est impactée par l'orientation du substrat sur laquelle elle est réalisée. De plus, le SiGe et le Si ayant des cinétiques de croissance différentes, les conditions d'épitaxie ont dû être ajustées individuellement pour chacune des couches.

#### III.C.2.a. Ajustement de l'épitaxie SiGe

Comme abordé au chapitre II, l'épitaxie de la couche sacrificielle en SiGe doit remplir certaines conditions, propre au procédé de fabrication du LSOI :

- ✓ La teneur en Ge de l'alliage doit être suffisamment élevée pour garantir une bonne sélectivité par rapport au silicium lors de la future gravure de cette couche.
- ✓ Son épaisseur et/ou sa teneur en Ge ne doivent pas être trop élevées au risque de provoquer des dislocations qui se propageraient dans le silicium du canal.

D'une manière générale, diminuer la température de dépôt permet la croissance d'une couche plus concentrée en germanium sans augmenter le risque d'apparitions des dislocations. Cependant, cette réduction de la température implique une cinétique de croissance plus faible et donc un temps de procédé plus long. Ceci ne convient pas pour un contexte industriel qui implique le passage de plusieurs centaines de plaques de silicium par jour, quelques secondes peuvent alors rapidement devenir des heures. A titre d'exemple, les architectures LSOI sur substrat (100) présentées au chapitre II utilisent une température de dépôt de 700°C, ce qui correspond à des cinétiques de croissance de plusieurs dizaines de nanomètres par minute.

Si sur substrat (100) les différentes contraintes que nous venons d'évoquer laissent une fenêtre de procédé relativement confortable, elles sont beaucoup plus restrictives sur un substrat (110). En effet, pour une teneur en Ge donnée, l'épaisseur critique (avant relaxation du SiGe et donc dislocations) de la couche sacrificielle est divisée par 1,5 en passant d'une orientation (100) à (110). Cela signifie que pour les épaisseurs avec lesquelles nous travaillons (ici  $T_{SiGe}=15\text{nm}$ ), la couche sacrificielle sera parfaitement lisse sur substrat (100) alors que des ondulations apparaîtront sur substrat (110). Ces ondulations sont le signe d'une relaxation élastique (il n'est pas encore question de dislocations) et engendrent une importante rugosité de surface qui sera transmise à la couche de silicium du canal.

Pour les dispositifs étudiés dans ce chapitre, les ondulations ont été nettement minimisées par la réduction de la température de dépôt à 600°C. Bien que la cinétique de croissance soit clairement impactée, cette réduction de la température est moins pénalisante pour un substrat (110) que pour un substrat (100), ce dernier offrant des cinétiques plus élevées à "haute" température (Figure III.7).

La figure III.8 propose une vue en coupe réalisée au microscope électronique à transmission (TEM) d'une couche de 17,5nm de SiGe épitaxiée à 600°C sur un substrat de silicium orienté (110). Les ondulations présentes à la surface sont très faibles.

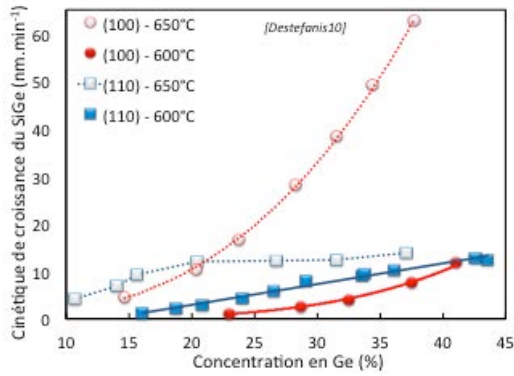


Figure III.7 : Cinétique de croissance du SiGe en fonction de sa concentration en Ge pour à 650°C et 600°C pour un substrat (100) et (110).

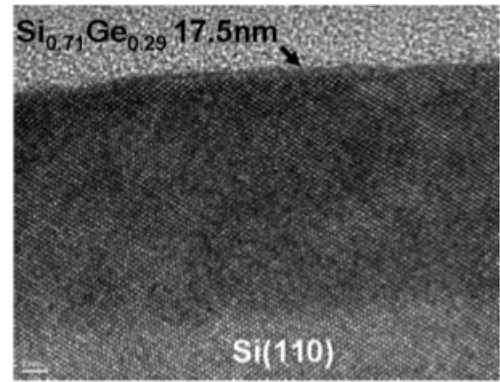


Figure III.8 : Vue en coupe TEM d'une couche de SiGe de 17,5nm épitaxiée sur un substrat de silicium (110) ne présentant que très peu d'ondulations à la surface.

### III.C.2.b. Ajustement de l'épitaxie de Si

Contrairement à la gravure HCl du silicium ou à l'épitaxie du silicium-germanium, l'épitaxie de la couche de Si est relativement similaire qu'elle soit réalisée sur un substrat (100) ou (110). Ainsi, la seule différence notable est une cinétique de croissance (notée GR pour *Growth Rate*) plus faible pour une orientation cristalline (110). Pour une température de dépôt identique (ici 700°C) :  $GR_{(110)} = 0,74 \times GR_{(100)}$  [Destefanis08]. Pour ajuster l'épaisseur du canal, il suffit donc d'augmenter de manière adéquat le temps de dépôt.

La qualité de cette couche de silicium (et de sa surface) qui représente le futur canal de conduction est donc principalement liée à la qualité de la surface de silicium obtenue après l'abaissement du substrat et à la qualité de l'épitaxie du SiGe sacrificiel.

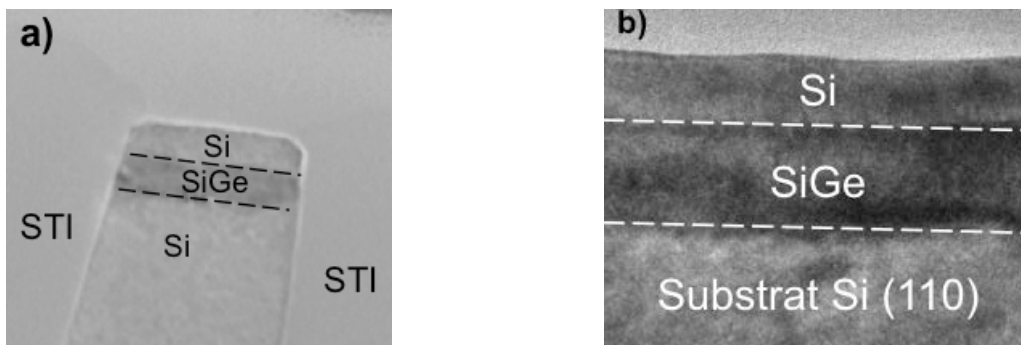


Figure III.9 : a) Vue en coupe TEM d'un transistor LSOI type-B après l'épitaxie SiGe/Si enterrée sans apparition de facettes. b) Vue en coupe TEM avec un gros plan sur l'empilement des couches SiGe/Si pour mettre en évidence la bonne qualité de l'épitaxie.

Ces deux étapes ayant été optimisées comme nous venons de le présenter, le silicium du canal de conduction présente une bonne qualité cristallographique et l'apparition de facettes a pu être évitée (Figure III.9-a). On observe néanmoins de légères ondulations à la surface de la couche de Si (Figure III.9-b) qui sont dues à une relaxation partielle du SiGe, certainement liée à la différence de température entre l'étape d'épitaxie du Si et celle du SiGe (700°C vs. 600°C). Ces ondulations pourraient être évitées en réduisant la température de croissance du silicium à 600°C,

mais cela impliquerait une cinétique de croissance trop lente pour être viable dans un contexte industriel.

Précisons enfin que les épitaxies des couches de SiGe et de Si sont rendues sélectives par l'utilisation cyclique de gaz HCl de manière à éviter la croissance de silicium polycristallin sur les isolations STI.

### III.C.2.c. Suite et fin du procédé de fabrication

Une fois l'épithaxie enterrée SiGe/Si réalisée et optimisée, la suite du procédé de fabrication ne nécessite pas d'ajustements spécifiques liés à l'orientation cristalline (110) du substrat (sauf si on utilise une gravure HCl pour retirer le SiGe, ce qui n'est pas le cas ici). Ainsi, l'étape suivante est la formation de l'empilement de grille qui est composé d'un oxyde SiO<sub>2</sub> piédestal, d'un diélectrique haute permittivité HfO<sub>2</sub> de 3nm et de 10nm de TiN constituant le métal de grille.

Vient ensuite l'épithaxie sélective de silicium pour surélever les sources et drain. La qualité de cette épithaxie dépend de la qualité du silicium sur laquelle elle est réalisée. Ici, la surface du silicium déposé lors de la première étape ayant été optimisée au préalable, cette nouvelle épithaxie est de bonne qualité et ne présente pas de défaut particulier (Figure III.10).

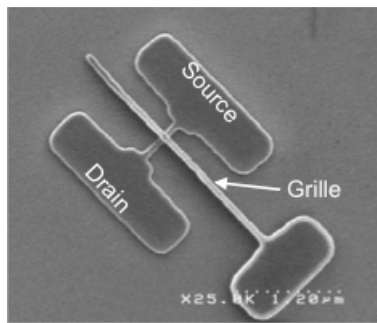


Figure III.10 : Image MEB (vue par dessus) d'un transistor LSOI type-B réalisé sur substrat (110) après l'étape d'épithaxie pour surélever les source/drain.

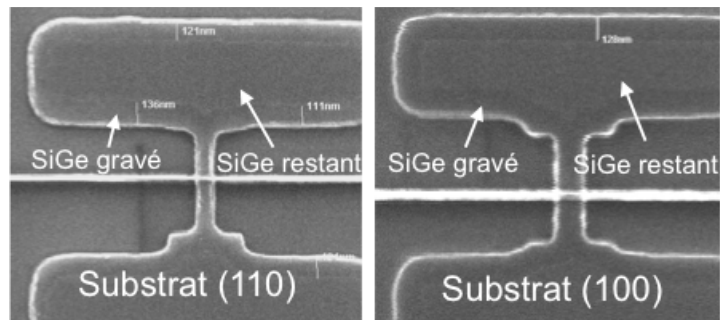


Figure III.11 : Images MEB (vues par dessus) de transistors LSOI type-B après gravure plasma du SiGe. On observe par transparence la quantité de SiGe qui a été retirée. La situation est similaire sur substrat (110) et (100).

La gravure de la couche sacrificielle de SiGe est, dans le cadre de cette étude, réalisée par plasma CF<sub>4</sub>. Ce choix est motivé par le fait que l'utilisation d'une chimie HCl pour la gravure sélective du SiGe sur (110) n'est pas isotrope et incompatible avec la forme de nos motifs. La chimie CF<sub>4</sub>, quant à elle, est isotrope et n'est donc pas dépendante de l'orientation du substrat comme confirmé par les vues de dessus obtenues au microscope électronique à balayage (MEB) proposées en figure III.11.

La fin du procédé est similaire à celle du LSOI type-B sur substrat (100). Pour rappel, il s'agit de remplir le tunnel pour réaliser le diélectrique enterré (BOX), former les espaceurs pour procéder ensuite à l'implantation ionique et à la siliciuration des jonctions source/drain avant de mettre en place les contacts et les différents niveaux d'interconnexions. La figure II.12 présente



une vue en coupe TEM d'un transistor LSOI type-B réalisé sur substrat (110) confirmant le succès de l'adaptation du procédé de fabrication à cette nouvelle orientation.

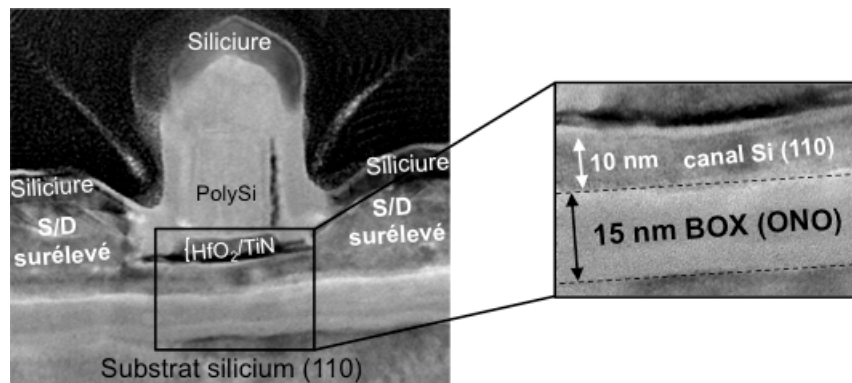


Figure III.12 : Vue en coupe MEB d'un transistor LSOI type-B réalisé sur substrat (110) à la fin du procédé de fabrication.

Si les ajustements des différentes étapes que nous venons de présenter sont principalement liés à l'orientation du substrat, les performances électriques des transistors sont également dépendantes de la direction de transport (i.e. du canal). La suite de ce chapitre est consacrée à l'étude des propriétés de transport et des performances obtenues sur les dispositifs présentés, et ce pour différentes directions de canal.



## III.D. Etude de l'impact de la direction du canal sur des dispositifs LSOI type-B sur substrat (110)

### III.D.1. Méthodes d'extraction de la mobilité

Comme abordé au premier chapitre (cf. paragraphe I.C.4), le paramètre le plus communément utilisé pour étudier les propriétés de transport dans les transistors MOSFETs est la mobilité. Au cours de ce travail de thèse, deux méthodes d'extraction de la mobilité ont été utilisées : la méthode appelée "split C-V" et la méthode de la fonction Y.

#### III.D.1.a. La méthode "split C-V"

Cette méthode est certainement une des méthodes les plus couramment utilisée dans la littérature (les articles de référence pour cette technique sont [Koomen73] et [Sodini82]). Son principe repose sur des mesures capacitives couplées à une mesure de courant en régime linéaire ( $I_D(V_G)$  à faible  $V_D$ ). La mobilité effective est définie par l'équation III.2 :

$$\mu_{EFF} = \frac{L_{EFF}}{W} \cdot \frac{I_D}{V_D \cdot Q_{inv}} \quad [\text{Eq. III.2}]$$

où  $L_{EFF}$  et  $W$  sont respectivement la longueur de grille effective et la largeur de zone active du dispositif.  $Q_{inv}$  est la charge d'inversion de surface, elle est obtenue en intégrant la capacité grille-canal ( $C_{GC}$ ) mesurée, par unité de surface, de l'accumulation ( $V_{ACC}$ ) à l'inversion (Eq. III.3) :

$$Q_{inv}(V_G) = \int_{V_{ACC}}^{V_G} C_{GC}(V_G) dV_G \quad [\text{Eq. III.3}]$$

La mobilité définit la relation entre la vitesse des porteurs et le champ électrique longitudinal dans la direction du transport (déterminé par  $V_D$ ). Ainsi, pour comparer différents dispositifs on trace généralement l'évolution de cette mobilité  $\mu_{EFF}$  (Eq. III.4) en fonction du champ électrique effectif  $E_{EFF}$  (Figure III.14). Ce champ dépend du dopage canal et de la charge d'inversion, il est donné par l'équation III.5 :

$$\mu_{EFF} = \frac{L}{W} \frac{I_D}{Q_{INV} \cdot V_D} \quad [\text{Eq. III.4}]$$

$$E_{EFF} = \frac{Q_{DEP} + \eta Q_{INV}}{\epsilon_{Si}} \quad [\text{Eq. III.5}]$$

où  $\eta$  est un facteur qui traduit la répartition des porteurs dans l'épaisseur de couche, il est généralement pris égal à 1/2 pour les électrons et à 1/3 pour les trous [Takagi94a]. Quant à la charge de déplétion  $Q_{DEP}$ , elle peut être déterminée soit de manière empirique en intégrant la capacité grille-substrat  $C_{GB}$  mesurée (Eq. III.6), soit de manière théorique (Eq. III.7).

$$Q_{DEP} = \int_{V_{FB}}^{V_{INV}} C_{GB}(V_G) dV_G \quad [\text{Eq. III.6}]$$

$$Q_{DEP} = \sqrt{2qN_A\epsilon_{Si}\phi_S} \quad [\text{Eq. III.7}]$$

Précisons que dans le cas de dispositifs UTBB comme le LSOI type-B, la présence du BOX rend impossible la mesure de la capacité  $C_{GB}$  et, l'absence de dopage canal  $N_A$  rend la valeur théorique de  $Q_{DEP}$  faible devant  $Q_{INV}$ .

La figure III.13 montre un exemple de courbes  $C(V_G)$  permettant d'extraire les paramètres  $Q_{INV}$  et  $Q_{DEP}$  pour l'extraction de la mobilité effective (Figure III.14).

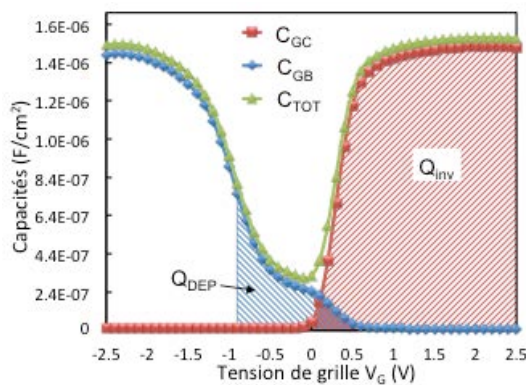


Figure III.13 : Caractéristiques  $C_{GC}(V_G)$ ,  $C_{GB}(V_G)$  et  $C_{TOT}(V_G)$  d'un transistor MOSFET BULK.

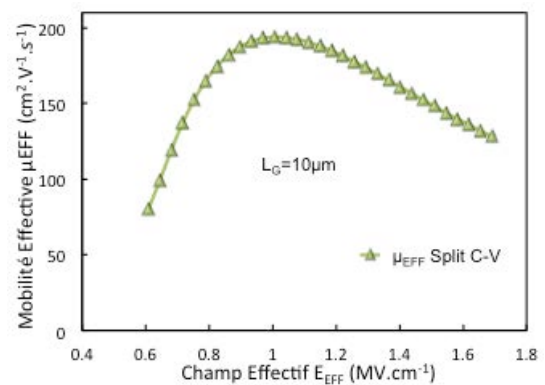


Figure III.14 : Mobilité effective des électrons dans un transistor BULK en fonction du champ effectif extraite avec la méthode split C-V.

Le principal avantage de la méthode split C-V est qu'elle permet l'extraction de la charge d'inversion  $Q_{inv}$  pour toutes les polarisations de grille  $V_G$ , évitant ainsi de faire des hypothèses sur le couplage capacitif grille-canal.

Sa principale limitation est qu'elle renvoie une mobilité nulle à faible charge (ou à faible champ, Figure III.14) ce qui n'est pas réaliste d'un point de vue physique. Ainsi, l'extraction de la mobilité effective  $\mu_{EFF}$  par la technique split C-V n'est valable que pour des tensions de grille supérieures à la tension de seuil  $V_G > V_{TH}$ . La raison de cette observation pourrait être le décalage entre la tension de seuil de la capacité MOS et celle du transistor MOSFET ( $V_{TH,Capa} < V_{TH,MOSFET}$ , [Rochette08]).

Une autre limitation de cette technique est liée à la complexité de l'extraction de la mobilité pour des transistors courts ( $L_G < 100\text{nm}$ ). Ainsi, une extension de la méthode split C-V a été proposée par Romanjek [Romanjek04a,b], elle nécessite l'extraction précise des paramètres suivants :

- ✓ Les résistances séries  $R_s$  pour pouvoir corriger le courant  $I_D$  et travailler alors avec le courant intrinsèque du canal
- ✓ Les longueurs effectives pour normaliser les capacités mesurées par la surface du composant

- ✓ La valeur “exacte” de la capacité  $C_{GC}$ , qui, pour de telles dimensions est très faible et peut être parasitée par d’autres capacités (au niveau des espaceurs ou des jonctions source/drain – canal par exemple mais également celle engendrées par l’équipement) dont il faut s’affranchir.

### III.D.1.b. La fonction Y

Proposée par *Ghibando* [Ghibando88], le principal intérêt de la fonction Y est de permettre l’extraction de la mobilité à faibles champs (longitudinal et transverse) indépendamment des résistances séries  $R_s$ . Cette fonction est définie par l’équation III.10, obtenue à partir des équations III.8 et III.9 en régime ohmique :

$$I_D = \frac{W}{L} \cdot C_{OX,inv} \cdot \mu_0 \cdot \frac{(V_G - V_{TH}) \cdot V_D}{1 + \theta_1 \cdot (V_G - V_{TH})} \quad [\text{Eq. III.8}]$$

$$G_m = \frac{\partial I_D}{\partial V_G} = \frac{W}{L} \cdot C_{OX,inv} \cdot \mu_0 \cdot \frac{(V_G - V_{TH}) \cdot V_D}{(1 + \theta_1 \cdot (V_G - V_{TH}))^2} \quad [\text{Eq. III.9}]$$

$$Y(V_G) = \frac{I_D}{\sqrt{G_m}} = \sqrt{(W/L) \cdot \mu_0 \cdot C_{OX,inv} \cdot V_D \cdot (V_G - V_{TH})} \quad [\text{Eq. III.10}]$$

On note alors que le facteur d’atténuation de la mobilité  $\theta_1$ , qui contient la résistance série, n’apparaît pas dans l’équation III.10 de la fonction Y.

La pente (notée  $S_Y$ ) de cette fonction  $Y(V_G)$  permet l’extraction du gain en courant en régime linéaire  $\beta_0$  (Eq. III.11) dont on se sert ensuite pour extraire la mobilité à faible champ effectif notée  $\mu_0$  (Eq. III.12).

$$\beta_0 = \frac{S_Y^2}{V_D} \quad [\text{Eq. III.11}]$$

$$\mu_0 = \frac{\beta_0}{C_{OX,inv}} \cdot \frac{L}{W} \quad [\text{Eq. III.12}]$$

Il est donc possible d’utiliser  $\mu_0$  pour comparer les propriétés de transport de différentes technologies. Les dispositifs comparés devront cependant être de même longueur de grille, la mobilité étant dépendante de ce paramètre.

La fonction Y permet également d’extraire les facteurs d’atténuation de la mobilité  $\theta_1$  et  $\theta_2$  [Mourrain00], le paramètre  $\theta_1$  étant lié aux collisions sur les phonons (vibrations du réseau cristallin) et à la résistance série  $R_s$  et le paramètre  $\theta_2$  aux collisions dues à la rugosité de surface à l’interface Si/SiO<sub>2</sub> [Reichert96]. A partir du graphique  $Y(V_G)$  (Figure III.15), on calcule la fonction  $\theta_{EFF}$  (Eq. II.13) que l’on trace à son tour en fonction de  $V_G - V_{TH}$ . Cette nouvelle courbe  $\theta_{EFF}(V_G - V_{TH})$  varie linéairement lorsque  $V_G \gg V_{TH}$  (Eq. II.14) et il est alors aisé d’en ressortir les valeurs  $\theta_1$  (ordonnée à l’origine) et  $\theta_2$  (pente).

$$\theta_{\text{EFF}} = \frac{S_Y^2}{I_D} - \frac{1}{V_G - V_{\text{TH}}} \quad [\text{Eq. III.13}]$$

$$\theta_{\text{EFF}}(V_G \gg V_{\text{TH}}) = \theta_2 \cdot (V_G - V_{\text{TH}}) + \theta_1 \quad [\text{Eq. III.14}]$$

On utilise alors ces deux facteurs d'atténuation pour retrouver la mobilité effective donnée par l'équation III.15 :

$$\mu_{\text{EFF}} = \frac{\mu_0}{1 + \theta_1 \cdot (V_G - V_{\text{TH}}) + \theta_2 \cdot (V_G - V_{\text{TH}})^2} \quad [\text{Eq. III.15}]$$

La figure III.16 représente l'évolution de la mobilité extraite avec les deux méthodes présentées en fonction du champ effectif. Le dispositif pris pour exemple est un transistor nMOS de technologie BULK de longueur de grille  $L_G = 10 \mu\text{m}$ . La méthode split C-V n'est donc pas "parasitée" par la résistance série. On observe alors que les valeurs extraites à partir du courant de drain (méthode fonction Y) correspondent parfaitement à celles extraites par split C-V à très forte inversion.

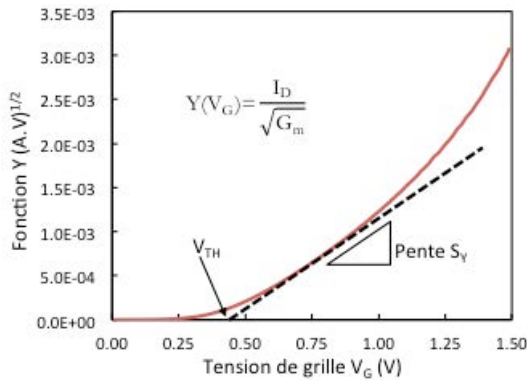


Figure III.15 : Illustration de la fonction Y.

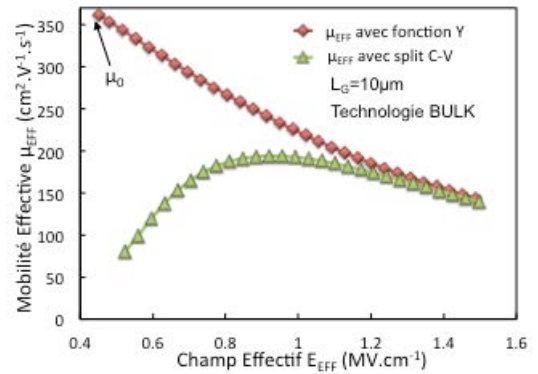


Figure III.16 : Mobilité effective des électrons dans un transistor BULK en fonction du champ effectif extraite avec la méthode split C-V et celle de la Fonction Y.

### III.D.2. Extraction de la mobilité sur les dispositifs LSOI (110)

Pour étudier les propriétés de transport d'une technologie, il est courant d'extraire la mobilité sur des transistors ayant une grande longueur de grille (i.e.  $L_G \geq 1 \mu\text{m}$ ). En effet, une dégradation certaine de la mobilité sur des transistors courts par rapport aux longs est reportée dans la littérature, et ce indépendamment : du matériau de la grille [Cros06, Pham-NGuyen08, Mayuzumi09], du diélectrique de grille [Cros06, Pham-NGuyen08], du dopage canal [Cros06, Andrieu05], ou encore de l'architecture (FinFET [Ramos06], FDSOI [Chaisantikulwat06], BULK [Cao99, Cros06], grille enrobante [Cros06]). On comprend donc que pour caractériser la mobilité d'une technologie donnée, il est préférable de s'affranchir des mécanismes de dégradation impactant les longueurs de grille les plus courtes.

Ainsi, pour notre étude, nous avons extrait la mobilité sur des transistors LSOI type-B ayant une longueur de grille  $L_G=10\mu\text{m}$ . Etant donné les limitations du procédé de fabrication du LSOI type-B (cf. II.B.3), les transistors étudiés dans cette partie n'auront pas le SiGe entièrement retiré et leur zone active ne sera donc pas totalement isolée du substrat, on parle de dispositifs "BULK-like". Ceci ne présente cependant pas de problèmes pour notre étude car ces transistors ont été exposés à l'intégralité du procédé de fabrication spécifique au LSOI et ont également le même empilement de grille et les mêmes propriétés d'interface que les transistors les plus courts (et donc "purs LSOI"). Leur comportement peut donc être considéré comme valable pour l'ensemble de la technologie LSOI type-B.

La mobilité a été extraite en utilisant la méthode split C-V présentée précédemment, soit à partir d'une mesure  $I_D(V_G)$  à faible  $V_D$  (0,1V) et d'une mesure de capacité grille-canal pour déterminer la charge d'inversion  $Q_{inv}$ . Tous les transistors étant identiques (mêmes dimensions et même empilement de grille), d'après la formule de  $\mu_{EFF}$  donnée à l'équation III.1, les différences de mobilité observées sont étroitement liées aux variations de courant de drain en fonction la direction de transport.

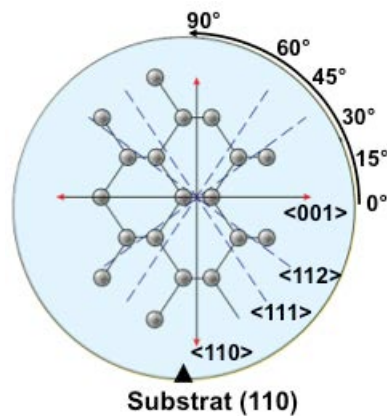


Figure III.17 : Description schématique d'un substrat (110) mettant en évidence les directions de transports étudiées.

De précédentes études [Sato69, Yang03a, Liu05] ont montré que la plus forte mobilité des trous dans le silicium est obtenue pour une configuration (110)/<110> alors que celle des électrons est la plus élevée pour un couple (100)/<110>. Utiliser une surface de silicium (110) dégrade la mobilité des électrons et, en contraste avec les trous, la plus mauvaise mobilité est atteinte pour la configuration (110)/<110>. Nous proposons ici d'évaluer l'impact de la direction du canal sur la mobilité sur un substrat (110). Nous avons étudié les propriétés de transports sur des dispositifs nMOS et pMOS ayant leur canal de conduction suivant l'axe cristallographique <100> (qui est notre référence 0°) et à 15°, 30°, 45° et 60° à partir de cette direction (Figure III.17).

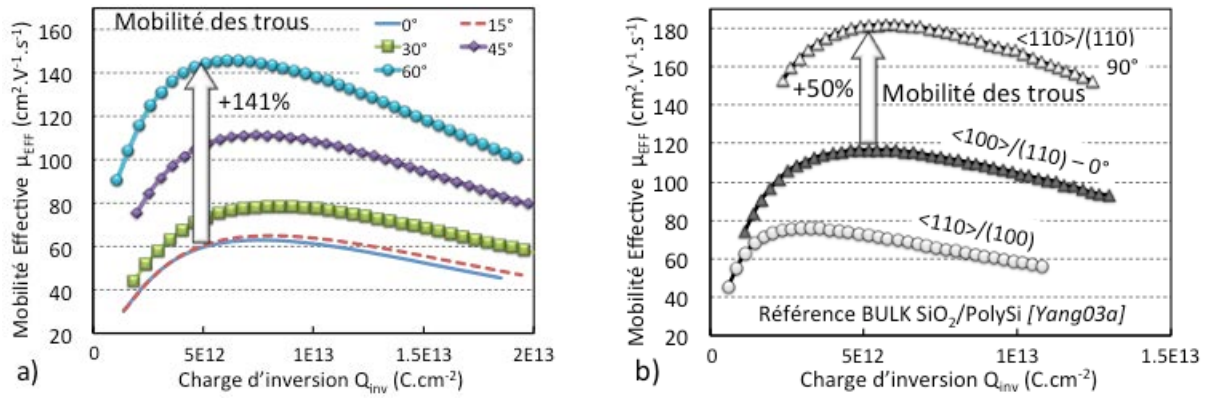


Figure III.18 : a) Mobilité des trous dans les longs dispositifs LSOI type-B pour les différentes directions de transports étudiées. b) Mobilité des trous sur une référence BULK pour les angles 0° et 90° [Yang03a].

La figure III.18-a présente la mobilité effective des trous en fonction de la charge d'inversion pour les différentes directions de canal étudiées. Alors qu'une orientation (110) est supposée améliorer la mobilité des trous, on observe que les valeurs extraites sur les transistors LSOI selon (110)/<100> (i.e. 0°) sont plus faible que celle selon (100)/<110> publiée par *Yang et al.* (Figure III.18-b, [Yang03a]) alors que cette dernière configuration est censée être la pire pour les trous. Cette mauvaise mobilité peut s'expliquer par l'utilisation d'un diélectrique de grille de type high- $k$  (ici HfO<sub>2</sub>) qui est connu pour dégrader la mobilité ([Yang03a]). Cela peut également venir de la légère rugosité de surface à la surface du canal que nous avons relevé précédemment.

Si l'on se concentre uniquement sur l'impact de la direction de transport, on note qu'il n'y a quasiment aucune différence entre les directions 0° et 15°. Puis, la mobilité des trous s'accroît de manière régulière pour les plus grands angles avec un gain allant jusqu'à +141% pour la direction de canal 60° (à  $Q_{inv}=5 \times 10^{12} \text{C}\cdot\text{cm}^{-2}$ ). Cette amélioration de la mobilité en passant de 0° à 60° est cohérente puisque l'on s'approche de la configuration (110)/<110> (i.e. 90°) qui est la meilleure configuration pour les trous. Cependant, nos dispositifs semblent particulièrement "sensibles" à la direction de transport puisque *Yang et al.* ne reportent un gain que de +50% entre les configurations (110)/<100> et (110)/<110> (i.e. 0° et 90° respectivement).

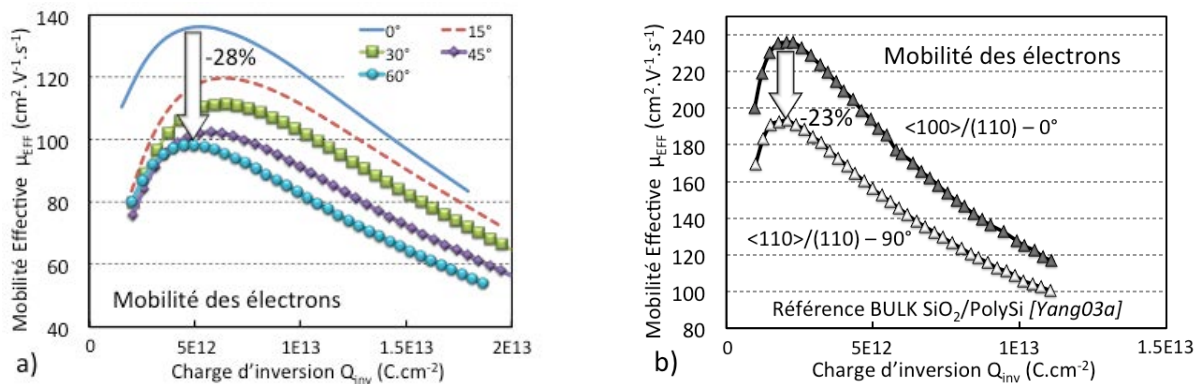


Figure III.19 : a) Mobilité des électrons dans les longs dispositifs LSOI type-B pour les différentes directions de transports étudiées. b) Mobilité des électrons sur une référence BULK pour les angles 0° et 90° [Yang03a].

Au contraire, la mobilité des électrons sur un substrat (110) diminue lorsque l'on "s'éloigne" de la direction de transport  $\langle 100 \rangle$  (Figure III.19-a). Ainsi, la mobilité la plus faible est atteinte pour la direction  $60^\circ$ , ce qui correspond à une perte de -28% par rapport à  $0^\circ$ . Là encore, les dispositifs LSOI étudiés sont plus sensibles (mais à moindre mesure) que les dispositifs BULK de la référence qui n'observent une perte que de -23% en allant de la direction (110)/ $\langle 100 \rangle$  à (110)/ $\langle 110 \rangle$  (i.e.  $0^\circ$  et  $90^\circ$  respectivement, Figure III.19-b). Précisons enfin que, comme pour la mobilité des trous, l'empilement high- $k$ /métal dégrade la mobilité des électrons par rapport à la référence BULK qui a un empilement de grille  $\text{SiO}_2$ /PolySi.

Nous avons ainsi mis en évidence que dans nos dispositifs LSOI (110), la mobilité évolue de façon régulière pour les directions de conduction intermédiaires entre (110)/ $\langle 100 \rangle$  et (110)/ $\langle 110 \rangle$ . Il est alors certain que, comme proposé par la théorie, la direction de transport selon l'angle  $90^\circ$  (i.e. (110)/ $\langle 110 \rangle$ ) aurait offert les meilleures valeurs de mobilités pour les trous et les plus mauvaises pour les électrons, malheureusement, une telle configuration n'était pas proposée sur le masque de conception utilisé dans cette étude. Ce comportement de la mobilité en fonction de la direction du canal est logiquement comparable à la référence BULK puisque le matériau du canal est le même (silicium). On note cependant que nos dispositifs LSOI pMOS semblent beaucoup plus sensibles à la direction de transport que les nMOS ou que la référence BULK. Ainsi, à partir de la direction à  $45^\circ$ , la mobilité des trous (Figure III.18-a) devient supérieure à celle des électrons (Figure III.19-a) et on peut légitimement imaginer que cet écart se serait creusé pour l'angle  $90^\circ$ .

### III.D.3. Etude en courant sur les dispositifs LSOI (110) réalisés

Comme mentionné précédemment, la dépendance de la mobilité par rapport à la direction de transport reflète principalement le comportement du courant de drain en régime linéaire. Cela signifie que l'orientation du substrat et la direction de transport peuvent également impacter le courant de saturation et les performances statiques des transistors MOSFETs en général.

#### III.D.3.a. Cas des transistors longs

Les résultats de mobilité que nous venons de présenter ont été extraits sur des transistors longs ( $L_G=10\mu\text{m}$ ). La figure III.20 montre l'évolution du courant de saturation ( $V_D=1,1\text{V}$ ) sur ces transistors nMOS et pMOS LSOI (110) pour les différentes directions de canal étudiées. Pour éviter que des différences de tensions de seuil  $V_{TH}$  ne viennent fausser la comparaison, le courant  $I_{D,sat}$  est présenté en fonction de la différence  $V_G-V_{TH}$ , également appelée *overdrive*. Pour de telles dimensions, les dispositifs ne subissant pas les effets canaux courts, il est logique d'observer la même évolution du courant de saturation que celle de la mobilité.



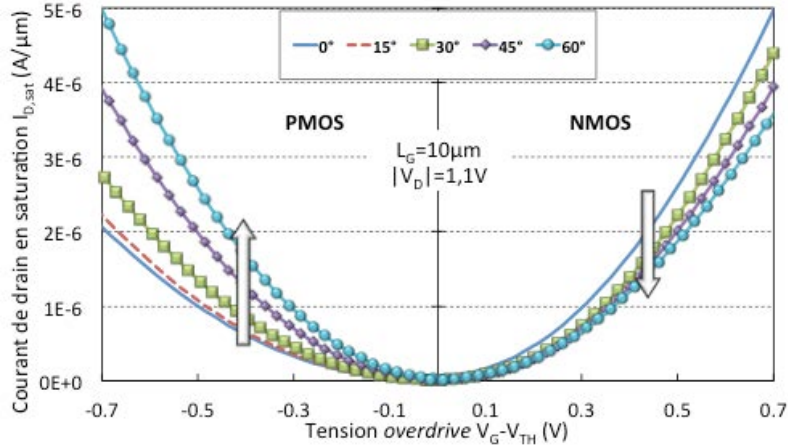


Figure III.20 : Courant de drain  $I_D$  en saturation ( $V_D=1,1V$ ) pour les dispositifs LSOI (110) nMOS et pMOS longs ( $L_G=10\mu m$ ) pour les différentes directions de transports étudiées.

Ainsi, augmenter l'angle de la direction du canal entre (110)/ $\langle 100 \rangle$  et (110)/ $\langle 110 \rangle$  (i.e.  $0^\circ$  et  $90^\circ$ ) entraîne une augmentation de  $I_{D,sat}$  des pMOS. Pour ces mêmes pMOS, la direction de canal  $60^\circ$  est associée à un gain en courant de  $+145\%$  (à  $|V_G - V_{TH}|=0,7V$  et  $V_D=1,1V$ ) alors qu'il n'y a quasiment aucune différence entre les directions  $0^\circ$  et  $15^\circ$ , tout comme observé sur la mobilité. Au contraire, le courant de saturation des transistors nMOS diminue lorsque l'on s'éloigne de la direction de canal  $\langle 100 \rangle$ . Comme pour la mobilité, l'impact de la direction de transport semble moins impacter les transistors nMOS que les pMOS.

On notera que les transistors LSOI pMOS à  $60^\circ$  proposent non seulement des performances plus élevées que leurs homologues nMOS, mais ils délivrent également un courant de saturation comparable aux nMOS ayant leur canal suivant l'axe  $\langle 100 \rangle$  (i.e.  $0^\circ$ ). Cette observation confirme l'intérêt pour les pMOS de travailler avec un substrat orienté (110) car, sans l'utilisation d'éventuelles contraintes, un tel phénomène n'est pas envisageable sur substrat (100).

### III.D.3.b. Cas des transistors courts

Lors de cette étude, nous avons été en mesure de graver la totalité du SiGe sur des dispositifs de longueur de grille  $L_G=350nm$  et de largeur de zone active  $W=80nm$ . Ces transistors sont donc de "purs" LSOI puisque leur BOX est entièrement formé. La figure III.21 présente les caractéristiques  $I_D(V_G)$  de tels dispositifs pMOS pour une direction du canal à  $0^\circ$  mais pour deux orientations de substrat : (100) et (110). Dans un premier temps, ces deux graphiques démontrent la fonctionnalité des transistors sur les deux substrats et confirment à nouveau la validité des ajustements du procédé de fabrication du LSOI liés au substrat (110).

Sur le graphique du haut, le courant de drain  $I_D$  est tracé en échelle logarithmique. Ceci permet de mettre en évidence que, pour une telle longueur de grille et avec la présence d'un diélectrique enterré, les dispositifs ne présentent aucun DIBL. De plus, les caractéristiques sous le seuil sont identiques pour les deux substrats étudiés, ce qui signifie que l'utilisation d'un substrat (110) n'engendre pas de dégradation notable à ce niveau.

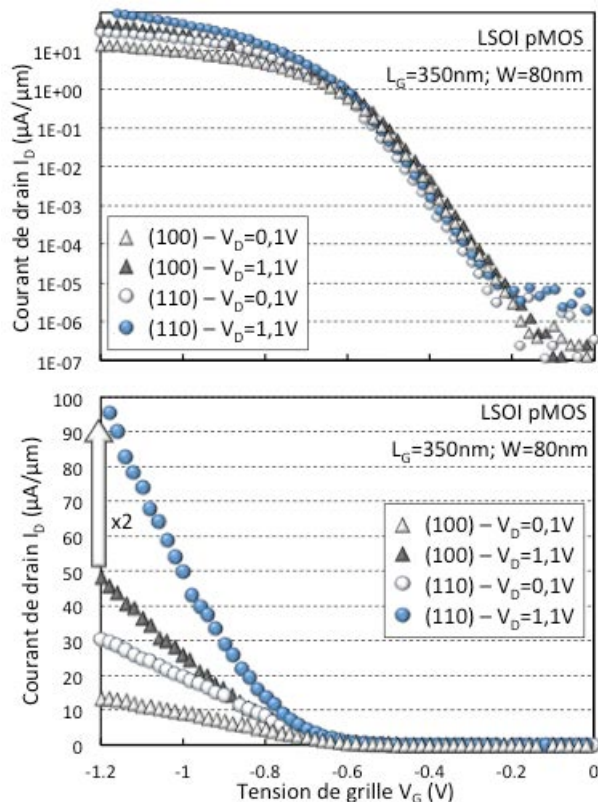


Figure III.21 : Caractéristiques  $I_D(V_G)$  pour des transistors “purement” LSOI ( $L_G=350\text{nm}$  et  $W=80\text{nm}$ ) pour une configuration (110)/ $\langle 100 \rangle$  et (100)/ $\langle 110 \rangle$ . Sur le graphique du haut (bas), le courant de drain  $I_D$  est tracé en échelle logarithmique (linéaire).

Le graphique du bas de la figure III.21 présente les mêmes caractéristiques  $I_D(V_G)$  mais en gardant une échelle linéaire pour le courant de drain. Ainsi, il est possible de comparer les performances des transistors à travers leur courant  $I_{D,\text{sat}}$  pour  $V_{DD}$  (également appelé  $I_{ON}$ ). Les dispositifs étudiés étant identiques par ailleurs, le simple fait de travailler avec un substrat (110) double ce courant  $I_{ON}$  par rapport à un substrat (100).

Sur ce même graphique, il est intéressant de noter que le courant en régime linéaire ( $V_D=0,1$ ) est lui aussi multiplié par deux. Or, comme nous l’avons déjà précisé, ce courant est le reflet de la mobilité. Cela signifie donc qu’à technologie équivalente (mêmes épaisseurs de BOX et de canal, même empilement de grille) la mobilité devrait être doublée entre un substrat (110) et (100). Cela confirme que la dégradation de la mobilité par rapport à la référence BULK (100) observé au paragraphe III.D.2 était liée à l’empilement de grille high- $k$ /métal.

Au cours de cette étude, nous avons également été en mesure de fabriquer des transistors LSOI avec des longueurs de grilles encore plus courtes, soit  $L_G=55\text{nm}$ . La largeur de ces dispositifs étant  $W=150\text{nm}$ , leur zone active est complètement isolée du substrat de silicium par le BOX. L’épaisseur du canal de ces transistors est de  $T_{\text{Si}}=10\text{nm}$  et l’épaisseur du diélectrique enterré  $T_{\text{BOX}}=15\text{nm}$  (Figure III.22).

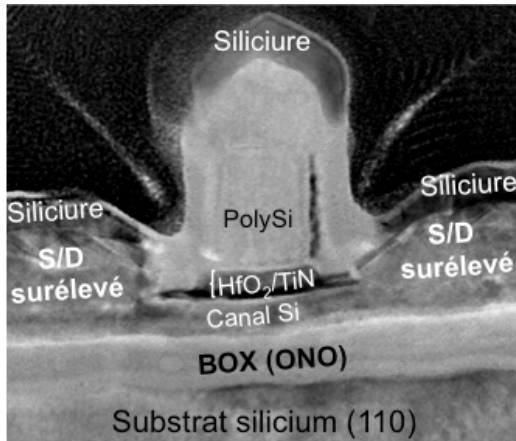


Figure III.22 : Vue en coupe TEM d'un transistor LSOI avec  $L_G=55\text{nm}$ ,  $T_{Si}=10\text{nm}$  et  $T_{BOX}=15\text{nm}$ .

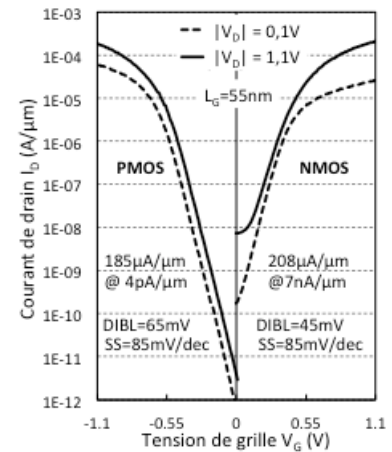


Figure III.23 : Caractéristiques  $I_D(V_G)$  pour des transistors LSOI (110) nMOS et pMOS avec  $L_G=55\text{nm}$ .

La figure III.23 montre les caractéristiques  $I_D(V_G)$  de ces transistors LSOI type-B nMOS et pMOS réalisés sur substrat (110). La présence d'un film et d'un BOX minces permet aux dispositifs d'avoir de bonnes caractéristiques sous le seuil. Ainsi, une excellente immunité électrostatique est obtenue sur les nMOS avec une valeur de DIBL de 45mV/V et une bonne pente sous le seuil de  $S=85\text{mV/dec}$ . Alors que les transistors pMOS présentent la même pente  $S$  que les nMOS, leur DIBL est légèrement supérieur (DIBL=65mV/V). Cette différence provient probablement de la diffusion des atomes de bore (B, dopants des pMOS) qui serait plus élevée sur substrat (110) que sur substrat (100) et serait également plus élevée que celle des atomes d'arsenic (As, dopants des nMOS). Cette plus forte diffusion conduit alors à une longueur de grille effective qui est plus courte pour les pMOS que pour les nMOS, expliquant alors l'écart de valeur du DIBL. Néanmoins, les dispositifs pMOS qui sont les plus intéressants sur substrat (110), présentent un courant de fuite  $I_{OFF}$  qui est très faible ( $I_{OFF}=4\text{pA}/\mu\text{m}$ ), confirmant l'intérêt des architectures à film et BOX minces (UTBB) pour les applications à basse consommation.

### III.E. Conclusion du chapitre

Ce chapitre était consacré à l'étude de transistors LSOI type-B, présentés au chapitre précédent, mais réalisés sur un substrat orienté (110).

Dans un premier temps, nous avons rappelé succinctement ce que prévoit la théorie en ce qui concerne la dépendance de la mobilité par rapport à l'orientation du substrat et/ou à la direction de transport. Ainsi, il a été montré que, contrairement au cas du substrat (100), la mobilité des électrons (liée à leur masse effective  $m^*$ ) n'est pas isotrope sur substrat (110) et est donc appelée à évoluer en fonction de la direction du canal. De plus, l'utilisation d'un substrat (110) dégrade automatiquement la mobilité des électrons, avec un pire cas pour la configuration (110)/ $\langle 110 \rangle$ . Si le cas des trous fait débat pour une orientation (100), l'anisotropie de leur masse effective, et donc de leur mobilité, ne fait aucun doute sur substrat (110). Néanmoins, cette orientation est avantageuse pour les trous, (110)/ $\langle 110 \rangle$  étant leur configuration optimale.

La suite du chapitre était dédiée à la fabrication et à la caractérisation électrique de transistors LSOI type-B. Tout d'abord, nous avons vu que l'utilisation d'un substrat (110) implique de modifier certains procédés, spécifiques aux LSOI. La gravure HCl, nécessaire à l'abaissement du substrat de silicium, a par exemple été optimisée pour assurer la meilleure qualité d'interface Si/SiGe possible et éviter l'apparition de facettes dans la suite du procédé de fabrication.

Ensuite, les cinétiques de croissance du SiGe et du Si étant fortement dépendantes aux plans cristallins, il a été nécessaire d'ajuster les températures de procédé. De plus, les conditions de relaxation du SiGe sont plus "sensibles" sur (110) que sur (100), une attention particulière à la croissance de cette couche sacrificielle est donc indispensable pour minimiser la rugosité de surface, connue pour dégrader la mobilité des porteurs.

Une fois les ajustements réalisés, nous avons été en mesure de caractériser électriquement les dispositifs LSOI type-B sur substrat (110). La mobilité a tout d'abord été étudiée en analysant également l'impact de la direction de transport. Il a ainsi été confirmé qu'un tel substrat désavantage les électrons et donc les nMOS alors qu'il est optimal pour les trous. L'anisotropie de la mobilité des deux types de porteurs a également été observée avec une évolution relativement régulière entre les directions  $\langle 100 \rangle$  et  $\langle 110 \rangle$ . Cette anisotropie est particulièrement prononcée sur les dispositifs pMOS étudiés qui reportent un gain de +141% pour un canal dirigé à  $60^\circ$  (par rapport à la direction  $\langle 100 \rangle$ ).

Les tendances observées sur la mobilité ont également été constatées sur les performances statiques des transistors. La fonctionnalité de transistors courts et donc purs LSOI a été mise en évidence. Ainsi, il a été observé que l'utilisation d'un substrat (110) permet de doubler le courant  $I_{ON}$  des dispositifs pMOS par rapport à un substrat (100). Il a même été montré qu'à partir d'une direction de transport à  $45^\circ$ , les transistors pMOS présentent des performances comparables voire meilleures que les transistors nMOS, démontrant de manière incontestable l'intérêt du substrat (110) pour les pMOS.

On peut donc imaginer que pour optimiser une technologie CMOS, l'utilisation d'une architecture UTBB pourrait être couplée à l'utilisation d'une orientation de substrat hybride. Des

nMOS réalisés sur un substrat (100) et des transistors pMOS sur un substrat (110) pour des performances optimales et un contrôle électrostatique assuré par la présence du film et du BOX minces. C'est la configuration proposée par *Bidal et al.* [Bidal09c] en utilisant une approche de type LSOI type-A.



---

---

**- CHAPITRE IV -**

**L'ARCHITECTURE DOUBLE-GRILLE**

**PLANAIRE A GRILLE ENROBANTE**

---

---



<b>CHAPITRE IV: DOUBLE-GRILLE PLANAIRE A GRILLE ENROBANTE .....</b>	<b>115</b>
<b>IV.A. Introduction du chapitre : une architecture à grille enrobante pour la fin de la roadmap ? .....</b>	<b>117</b>
<b>IV.B. Etat de l'art des architectures GAA utilisant le SON .....</b>	<b>121</b>
IV.B.1. Le GAA SON Latbridge.....	121
IV.B.2. Le GAA adapté à la conception .....	122
IV.B.3. Le SADAGAA .....	123
IV.B.4. Les multicanaux et nanofils utilisant le SON .....	124
<b>IV.C. Procédé d'intégration de l'architecture GAA .....</b>	<b>126</b>
IV.C.1. Principe général et points communs .....	126
IV.C.2. Défis communs.....	129
IV.C.3. Etapes et développements propres à l'architecture sur SOI .....	130
IV.C.4. Etapes et développements propres à l'architecture sur Si massif.....	131
IV.C.5. Dispositif GAA avec $T_{Si}=4nm$ .....	133
<b>IV.D. Caractérisation électrique des transistors réalisés .....</b>	<b>134</b>
IV.D.1. Architecture GAA sur SOI.....	134
IV.D.1.a. Performances des transistors avec $T_{Si}=7nm$ .....	134
IV.D.1.b. Performances des transistors avec $T_{Si}=4nm$ .....	135
IV.D.1.c. Influence de l'épaisseur du canal sur la mobilité.....	136
IV.D.2. Architecture GAA sur Si massif .....	137
IV.D.3. Caractérisation d'un inverseur en technologie GAA .....	139
IV.D.4. Influence du canal parasite sur les mesures ? .....	140
IV.D.5. Comparaison avec l'état de l'art et comparaison des deux architectures .....	142
<b>IV.E. Perspectives circuit des architectures GAA et comparaison avec le FinFET .....</b>	<b>144</b>
IV.E.1. Présentation de l'architecture FinFET double grille et de ses problématiques.....	144
IV.E.2. Etude perspective d'environnements circuits en technologie à grille multiples .....	148
IV.E.2.a. Simulations des caractéristiques $I(V)$ .....	148
IV.E.2.b. Estimation de la capacité totale .....	149
IV.E.2.c. Capacités de l'architecture planaire .....	151
IV.E.2.d. Capacités du FinFET.....	155
IV.E.2.e. Evaluation des délais de propagation .....	157
IV.E.2.f. Etude en fonction de la largeur dessinée.....	159
<b>IV.F. Conclusion du chapitre.....</b>	<b>161</b>

## IV.A. Introduction du chapitre : une architecture à grille enrobante pour la fin de la roadmap ?

Nous l'avons vu au premier chapitre, la réduction des dimensions engendre des effets parasites sur le transistor MOSFET parmi lesquels les effets canaux courts (ou effets électrostatiques). Nous rappelons ici leurs équations, données au chapitre II :

$$SCE = 0.64 \times \frac{\epsilon_S}{\epsilon_{ox}} \times EI \times \Phi_d \quad [\text{Eq. II.1}]$$

$$DIBL = 0.8 \times \frac{\epsilon_S}{\epsilon_{ox}} \times EI \times V_D \quad [\text{Eq. II.2}]$$

où EI représente l'intégrité électrostatique dont la modélisation varie en fonction de l'architecture étudiée. Ainsi, au cours du deuxième chapitre, nous avons montré que l'utilisation d'une architecture à film mince et à diélectrique enterré (UTB) limite la profondeur de jonctions  $X_j$  et la profondeur de déplétion  $T_{DEP}$  à l'épaisseur du film de silicium  $T_{Si}$  (Tableau IV.1, Eq. IV.2).

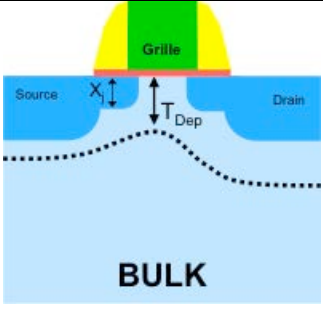
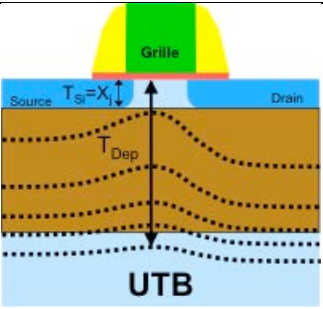
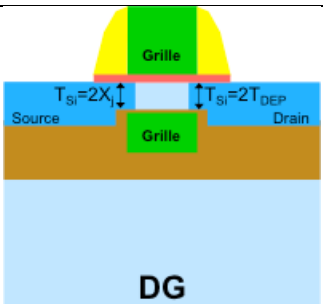
	$EI = 1 \times \left( 1 + \frac{X_j^2}{L_{cl}^2} \right) \times \frac{T_{ox}}{L_{cl}} \times \frac{T_{Dep}}{L_{cl}} \quad [\text{Eq. IV.1}]$
	$EI = 1 \times \left( 1 + \frac{T_{Si}^2}{L_{cl}^2} \right) \times \frac{T_{ox}}{L_{cl}} \times \frac{T_{Si} + \lambda T_{BOX}}{L_{cl}} \quad [\text{Eq. IV.2}]$
	$EI = 1 \times \left( 1 + \frac{T_{Si}^2}{4 L_{cl}^2} \right) \times \frac{T_{ox}}{L_{cl}} \times \frac{T_{Si}/2}{L_{cl}} \quad [\text{Eq. IV.3}]$

Tableau IV.1 : représentation schématique d'un transistor BULK, d'un transistor UTB et d'un transistor à double-grille (DG) avec les formules de leur intégrité électrostatique respective [Skotnicki08].

Si nous avons également vu qu'une réduction de l'épaisseur du diélectrique enterré ( $T_{BOX}$ ) améliore considérablement le contrôle électrostatique (cf. Chapitre II), il est possible de

l'améliorer encore avec l'utilisation d'une deuxième grille. En effet, grâce au couplage électrostatique entre les deux grilles,  $T_{DEP}$  et  $X_i$  ne sont plus limités par l'épaisseur du film de silicium mais par sa moitié :  $T_{Si}/2$  (Tableau IV.1). Le terme de l'intégrité électrostatique EI s'en trouve ainsi réduit (Eq. IV.3) et avec lui les effets de canal court (SCE et DIBL, Eq. II.1 et II.2 respectivement). Comme pour les architectures UTB, le contrôle électrostatique des architectures à double grille (ou à grilles multiples de manière générale) est dépendant de l'épaisseur du film de silicium  $T_{Si}$  qui doit être aussi mince que possible.

Bien que leur intérêt soit incontestable, ces architectures à film mince sont longtemps restées au statut d'étude, le transistor BULK conventionnel ayant toujours su répondre aux problématiques inhérentes à chaque nouvelle génération. Néanmoins, ces architectures sont désormais sur le chemin d'une mise en production par les acteurs de la microélectronique. Un intérêt particulier est notamment porté aux architectures à film et diélectrique enterré minces (UTBB) qui pourraient jouer le rôle de *boosters* pour le transistor conventionnel. La compagnie Intel® a, de son côté, annoncé l'adoption d'une architecture triple grille (ou *Trigate*, Figure IV.1) pour leur technologie hautes performances au nœud technologique 22nm. Précisons cependant qu'il semblerait que, dans un premier temps, ces *Trigates* ne remplaceraient pas la totalité des transistors BULK conventionnel et ne concerneraient que des applications hautes performances ciblées.

Bien que la modélisation de l'intégrité électrostatique ne soit certainement pas aussi simple que pour un dispositif simple ou double grille, on comprend aisément que l'ajout d'une troisième interface grille/canal améliore encore le contrôle des effets canaux courts pour le *Trigate*. Il apparaît alors intuitivement que pour améliorer encore le contrôle électrostatique d'un dispositif, l'étape suivante consiste à ajouter une quatrième grille. Le canal de silicium se retrouve ainsi totalement entouré par la grille (Figure IV.2), on parle d'architecture à grille enrobante ou GAA (pour *Gate-All-Around*).

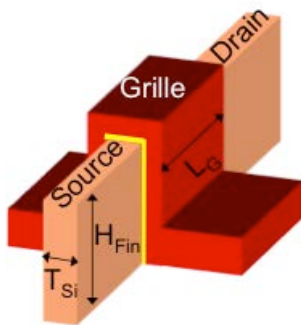


Figure IV.1 : représentation schématique d'un transistor MOSFET *Trigate*.

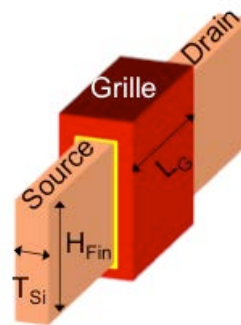


Figure IV.2 : représentation schématique d'un transistor à quatre grille ou à grille enrobante.

La figure IV.3 [Dupre08] compare les caractéristiques DIBL vs.  $L_G$  d'une architecture GAA avec deux configurations d'architecture FinFET. On constate ainsi la nette amélioration du contrôle électrostatique apportée par la grille enrobante qui présente de meilleurs résultats à  $T_{Si}=15\text{nm}$  que le FinFET à  $T_{Si}=6\text{nm}$ . L'excellente immunité de cette architecture aux effets de canal court permet donc de relâcher la contrainte sur l'épaisseur du film de silicium. Le FinFET

étant une architecture double grille, on peut légitimement imaginer que la différence entre un GAA et un *Trigate* aurait été moins importante. Néanmoins, une architecture à grille enrobante reste la meilleure configuration possible pour le contrôle des effets électrostatiques.

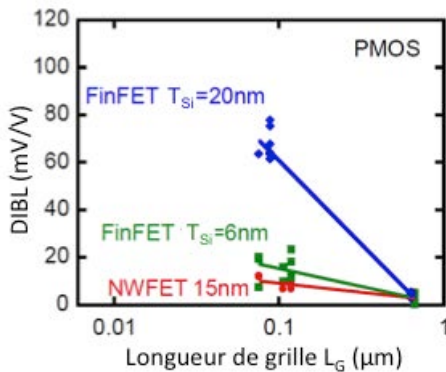


Figure IV.3 : Comparaison des caractéristiques  $DIBL(L_G)$  d'une architecture à grille enrobante (NWFET) et de deux configurations d'architecture FinFET (double grille), une pour  $T_{Si}=20nm$  et une pour  $T_{Si}=6nm$ . [Dupre08].

En tant qu'architectures à grilles multiples et bien que la grille soit présente sur toutes les faces du canal de silicium, deux écoles de GAA peuvent se démarquer : les architectures planaires (Figure IV.4) et celles qui ne le sont pas (Figure IV.2). Si *a priori* ces deux approches ne sont qu'une rotation à  $90^\circ$  l'une par rapport à l'autre, leur procédé de fabrication n'est en rien similaire.

Une approche non planaire comme celle présentée en figure IV.2 constituerait plutôt la suite logique de dispositifs tels que le FinFET ou le *Trigate*. Pour ces dispositifs, l'épaisseur  $T_{Si}$  est définie par l'enchaînement d'une lithographie et d'une gravure et la majeure partie du courant circule sur les flancs du fin, définis par leur hauteur  $H_{fin}$ .

Une approche planaire comme celle de la figure IV.4 constituerait plutôt une suite logique des architectures planaires telles que les dispositifs UTBB puisque sur ce genre de dispositifs la surface de conduction est parallèle à celle du substrat. Un des précieux avantages d'une approche planaire et sa compatibilité avec les règles de dessin du BULK conventionnel.

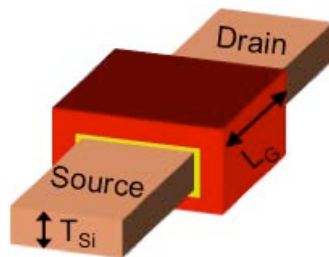


Figure IV.4 : représentation schématique d'un transistor à grille enrobante planaire.

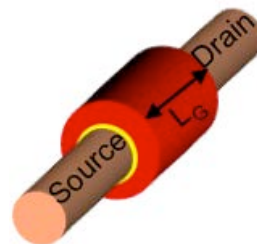


Figure IV.5 : représentation schématique d'un transistor nanofil.

Avec la réduction des dimensions, il y a fort à penser que les derniers nœuds technologiques voient la convergence de la largeur des transistors et de l'épaisseur du film de silicium faisant de l'architecture nanofil (souvent notée NW pour nanowire) l'architecture ultime (Figure IV.5).

Enfin, il est important de souligner que, peu importe l'architecture choisie (planaire ou non), le principal défi à relever pour les architectures à grille enrobante est l'alignement entre la partie représentant la grille supérieure et la grille inférieure.

C'est dans ce contexte que s'intègre le travail présenté dans ce chapitre. Nous avons en effet réalisé des dispositifs GAA planaires essayant de répondre à ce défi de l'alignement des grilles à l'aide de la technologie SON présentée au chapitre II. De plus, notre approche connaît deux avantages majeurs que sont la définition du canal de conduction par épitaxie (et donc une bonne maîtrise de son épaisseur) et des règles de dessin compatibles avec la technologie BULK conventionnelle.

Ainsi, après une présentation de l'état de l'art sur les dispositifs à grilles multiples utilisant la technologie SON, nous détaillerons le procédé de fabrication de l'architecture GAA développée au cours de cette thèse. Les performances et les caractéristiques électriques des transistors réalisés seront ensuite présentées avant d'étudier le potentiel de ces dispositifs dans un environnement circuit tout en le comparant à une approche non planaire.

## IV.B. Etat de l'art des architectures GAA utilisant le SON

La technologie SON a déjà été présentée en détails lors du chapitre II (cf. paragraphe II.B). Rappelons tout de même qu'il s'agit de graver une couche sacrificielle de SiGe sélectivement par rapport à une couche de silicium qui repose dessus. Si nous avons vu que la cavité ainsi formée pouvait être remplie par un diélectrique (pour réaliser une architecture UTBB), on peut également utiliser un empilement de grille afin d'obtenir une structure double grille et à grille enrobante.

Comme pour les transistors UTBB réalisés à partir de SON, l'avantage majeur d'une telle approche est la définition par épitaxie du canal de conduction. Cela signifie que l'on a un bon contrôle de l'épaisseur  $T_{Si}$ , avantage que l'on peut opposer à la manière dont est définie  $T_{Si}$  pour les approches de type FinFET. Nous reviendrons sur cette dernière architecture un peu plus tard dans ce chapitre.

Cette partie est consacrée à un "tour d'horizon" des différentes architectures GAA utilisant la technologie SON.

### IV.B.1. Le GAA SON Latbridge

Historiquement, l'utilisation de la technologie SON pour réaliser des transistors à grille enrobante a été introduite par *Monfray et al.* [Monfray02] suivi de *Harrison et al.* [Harrison03]. Le principe de réalisation reposait sur une épitaxie sélective de SiGe (couche sacrificielle) et d'une épitaxie non sélective de silicium (qui poussera donc sur les tranchées d'isolation en oxyde). Un niveau de masquage spécifique appelé "Latbridge" était alors utilisé pour définir les zones de source/drain et le canal de conduction. La suite du procédé consistait à graver la couche de SiGe sélectivement au silicium (technologie SON) et de remplir la cavité par l'empilement de grille. Enfin, les deux grilles étaient gravées après avoir été définies par une étape de photolithographie. Un dispositif à grille enrobante était ainsi formé (Figure IV.6-b) dans lequel la longueur de la grille supérieure est définie par la photolithographie alors que la longueur de la grille inférieure est définie par la zone active (Figure IV.6-a).

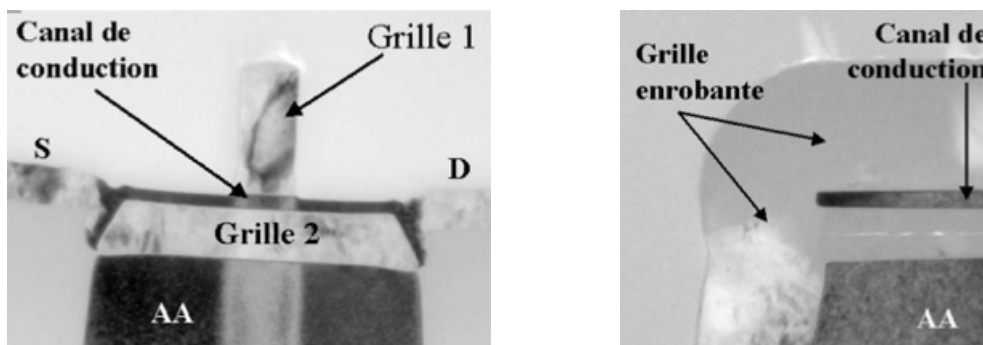


Figure IV.6 : Vue en coupe TEM d'un transistor GAA SON Latbridge a) dans le sens de la longueur de grille et b) dans le sens de la largeur [Harrison03].

Si initialement la grille des transistors GAA SON Latbridge était en polysilicium dopé in-situ, une grille métallique a été intégrée à l'aide du procédé PRETCH [Harrison04b].

Cette méthode d'intégration de dispositifs GAA comporte néanmoins quelques inconvénients. Tout d'abord, comme cela est visible sur la figure IV.6-a, la grille inférieure est "débordante" par rapport à la grille supérieure. Le second inconvénient est l'introduction d'un niveau de masquage supplémentaire qui engendre une hausse du coût de la technologie.

### IV.B.2. Le GAA adapté à la conception

Pour améliorer l'architecture GAA SON Latbridge, une intégration a été proposée par *Cerutti et al.* [Cerutti05] ayant pour objectif d'obtenir deux grilles de même longueur et de supprimer l'étape de masquage supplémentaire. Les masques utilisés pour réaliser ce type de dispositifs sont alors les mêmes que ceux de la technologie CMOS conventionnel, c'est pourquoi on parle de GAA adapté à la conception.

Sans entrer dans les détails de cette intégration, précisons que la principale originalité repose dans l'utilisation d'une photolithographie en début de procédé pour "dessiner" la grille inférieure dans une couche de SiGe. Cette couche sacrificielle est par la suite remplacée par l'empilement de grille pour former la grille inférieure. Le même masque est utilisé pour "dessiner" la grille supérieure qui est réalisée de manière conventionnelle. Ainsi, même si elles ne sont pas formées à la même étape, les deux grilles sont parfaitement alignées (Figure IV.7-a), ne formant finalement qu'une grille enrobant le canal (Figure IV.7-b).

Cependant, si les deux grilles que l'on observe sur la figure IV.7-a sont alignées et de même dimensions, cela est plutôt lié à une excellente performance lors du procédé de gravure et également lors de l'alignement de la deuxième étape de photolithographie pour la grille supérieure. Pour les nœuds technologiques les plus agressifs (sub-22nm) de telles performances sont difficilement envisageables et un décalage en taille ou en positionnement entraînerait des modifications dans le fonctionnement du transistor comme montré par *Widiez et al.* [Widiez04].

Une intégration où les deux grilles sont réalisées à la même étape (une seule photolithographie) serait donc préférable, on parle dans ce cas d'auto-alignement des grilles.

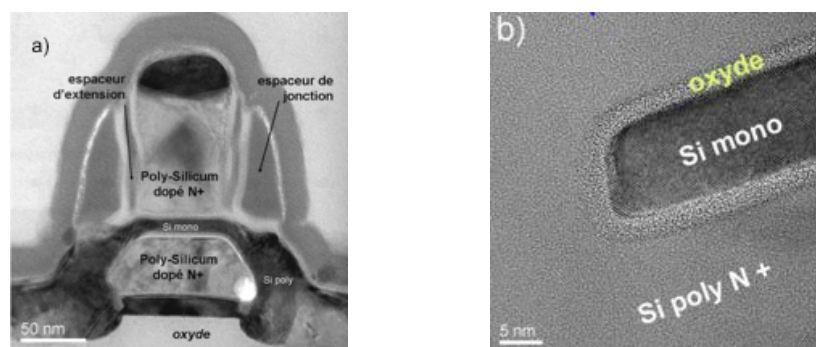


Figure IV.7 : Vue en coupe TEM d'un transistor GAA adapté à la conception ; a) dans le sens de la longueur et b) dans le sens de la largeur permettant de mettre en évidence l'aspect enrobant de la grille (Si poly N+) par rapport au canal (Si mono) [Cerutti05].



### IV.B.3. Le SADAGAA

Essayant de remplir toutes les conditions que nous venons de voir, *Wacquez et al.* [Wacquez06] ont proposé une intégration de transistor à grille enrobante ayant les grilles auto-alignées et adaptée à la conception, c'est l'architecture SADAGAA (pour *Self-Aligned Designed-Adapted Gate-All-Around*).

Reposant toujours sur le principe du procédé SON, l'originalité de cette intégration est d'utiliser non plus une mais deux couches de SiGe sacrificielles. Ainsi, les grilles supérieure et inférieure sont parfaitement alignées, aussi bien en ce qui concerne la position que la dimension (Figure IV.8) et cela reste réalisable pour les nœuds technologiques les plus agressifs. La particularité du SADAGAA proposé par *Wacquez et al.* est l'apparition d'un deuxième canal de conduction se situant sous la grille inférieure (Figure IV.8). L'architecture étant réalisée sur un substrat SOI à film mince, ce canal est totalement déplété et se comporte comme un FDSOI.

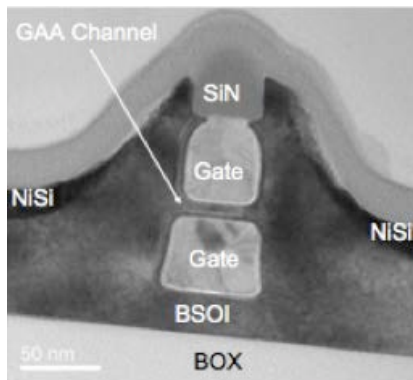


Figure IV.8 : Vue en coupe TEM d'un transistor SADAGAA dans le sens de la longueur [Wacquez06].

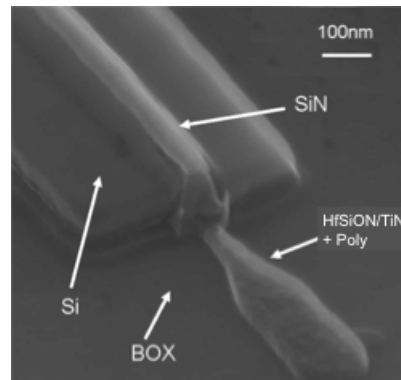


Figure IV.9 : Vue en coupe TEM d'un transistor SADAGAA avec un empilement de grille high-k/métal [Pouydebasque08].

Cette architecture ayant initialement un empilement de grille  $\text{SiO}_2/\text{PolySi}$  a été améliorée un peu plus tard par *Pouydebasque et al.* [Pouydebasque08] avec l'intégration d'un diélectrique de grille à haute permittivité et une grille métallique (Figure IV.9).

Enfin, un dérivé de cette intégration a été proposé par *Bidal et al.* [Bidal09a]. Sa particularité est d'être réalisé sur un substrat en silicium massif (BULK) et d'avoir une longueur de grille et une largeur de dimensions comparables ( $L_G=25\text{nm}$  et  $W=20\text{nm}$ ) donnant une forme quasiment cubique au canal de silicium : c'est le *nanodot*.

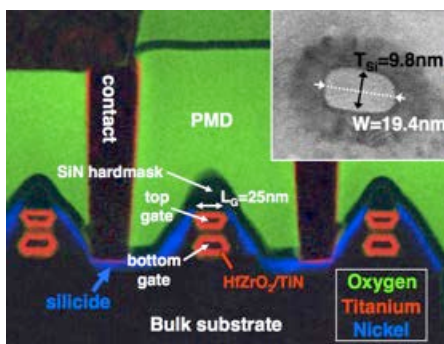


Figure IV.10 : Vue en coupe TEM du *nanodot* proposé par *Bidal et al.* [Bidal09a] avec dans le coin supérieure-droit une image TEM en W.

Il est important de préciser que les architectures présentées dans ce paragraphe offrent toutes un excellent contrôle électrostatique, de très bonnes caractéristiques sous le seuil et des performances parmi les meilleures publiées sur ce type de dispositif. En effet, le *nanodot* de *Bidal et al.* [Bidal09a] offre un courant de saturation  $I_{ON}$  dépassant  $2\text{mA}/\mu\text{m}$  (normalisation par la circonférence du canal) à  $V_{DD}=1,1\text{V}$  et pour un courant de fuite qui reste faible ( $I_{OFF}=1,45\text{nA}/\mu\text{m}$ ).

#### IV.B.4. Les multicanaux et nanofils utilisant le SON

Une couche de SiGe représentant une future grille et une couche de Si représentant un futur canal, une application intéressante de la technologie SON est la réalisation d'architectures "3D" ayant plusieurs canaux de conduction empilés les uns sur les autres et chacun étant enrobé par la grille (GAA).

Ainsi, *Bernard et al.* [Bernard08] proposent un MCFET (pour *Multi-Channel Field Effect Transistor*) avec trois canaux de silicium et trois grilles (Figure IV.11). Deux canaux de conduction sont totalement enrobés par la grille, le troisième étant de type FDSOI. Un avantage majeur de cette approche multicanaux, qui fait entrer la troisième dimension en jeu, est l'intégration de plusieurs canaux de conduction pour un même encombrement (représenté par la largeur dessinée  $W_D$ ) sur la plaque de silicium. Le courant débité par la structure est alors égal à la somme des courants débités par chaque canal et le courant total, lorsqu'il est normalisé par  $W_D$  peut atteindre des valeurs records comme nous le verrons un peu plus loin. Le MCFET publié par *Bernard et al.* [Bernard08], lui, permet d'atteindre un courant de saturation  $I_{ON}$  de  $2,27\text{mA}/\mu\text{m}$  (normalisé par  $W_D$ ) pour un courant de fuite très faible ( $I_{OFF}=16\text{pA}/\mu\text{m}$ ) faisant de cette architecture un excellent candidat pour les applications à très faible consommation.

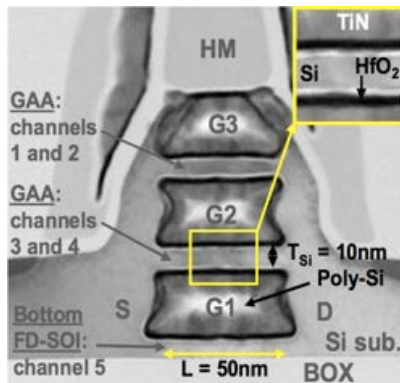


Figure IV.11 : Vue en coupe TEM du MCFET proposé par *Bernard et al.* [Bernard08] avec dans le coin supérieure-droit un zoom sur un canal.

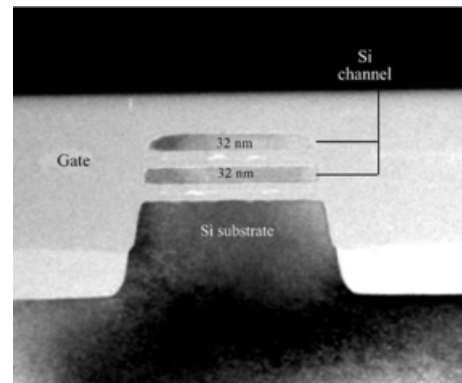


Figure IV.12 : Vue en coupe TEM dans le sens de sa largeur d'un MCFET proposé par *Lee et al.* [Lee04] mettant en évidence les deux canaux de silicium enrobés par la grille.

Cette architecture MCFET est en fait un dérivé de l'architecture MCFET (pour *Multi-Bridge-Channel Field Effect Transistor*) initialement publié par Samsung [Lee04, Yoon04, Yun07] (Figure IV.12) qui, bien qu'ils utilisent également la gravure de couches sacrificielles de SiGe, n'utilisent pas le terme SON.

Enfin, plusieurs publications ont également mis en avant l'intérêt de la technologie SON pour réaliser des transistors nanofils (ou NWFET pour *NanoWire*) [Ernst06, Dupré08, Hubert09, Tachi09]. Ces dispositifs tirent ainsi profit de la définition du canal par épitaxie. De plus, au même titre que le MCFET, les nanofils de silicium peuvent aisément être empilés et proposer alors des performances "records". Dupré *et al.* [Dupré08] ont ainsi publié un dispositif composé de trois nanofils de silicium de 14nm de diamètre proposant un courant de saturation  $I_{ON}$  de 6,5mA/ $\mu\text{m}$  (normalisation par l'encombrement  $W_D$ ). De telles architectures ont également été proposées avec deux grilles indépendantes (appelé  $\phi$ FET, Figure IV.13-b, [Dupré08, Hubert09]) ou encore en configuration matricielle (nanofils empilés + configuration multidoigts, Figure IV.14).

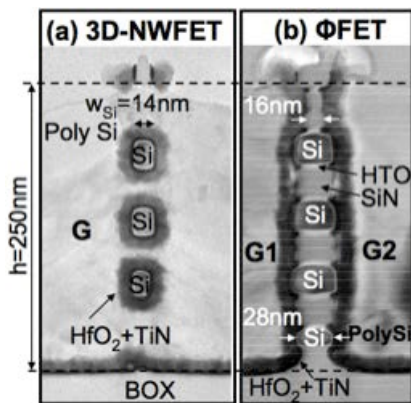


Figure IV.13 : Vue en coupe TEM a) d'un dispositif composé de 3 nanofils à grille commune. b) d'un dispositif composé de 4 nanofils ayant 2 grilles indépendantes ( $\phi$ FET).

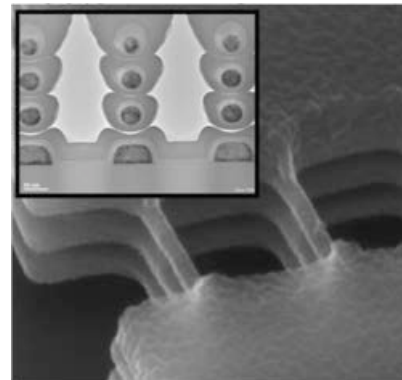


Figure IV.14 : image au MEB tilté d'une matrice de nanofils [Ernst08].

C'est en se basant sur cet état de l'art qu'au cours de ce travail de thèse nous avons réalisé une architecture à grille enrobante avec un auto-alignement des grilles supérieure et inférieure, par le biais de la technologie SON. La suite de ce chapitre est consacrée à la présentation du procédé de fabrication et à la caractérisation électrique de ces dispositifs.

## IV.C. Procédé d'intégration de l'architecture GAA

En réalité, ce n'est pas une mais deux architectures à grille enrobante que nous avons développé au cours de ce travail de thèse. Ces deux intégrations sont néanmoins très proches et ont de nombreuses étapes en commun. Leur principale différence réside dans le fait qu'une architecture est réalisée sur un substrat SOI à film épais ( $T_{\text{BOX}}=145\text{nm}$  et  $T_{\text{Si}}=70\text{nm}$ ) alors que l'autre est réalisée à partir d'un substrat de silicium massif. Nous présentons donc dans un premier temps le principe général de l'intégration GAA proposée, nous reviendrons ensuite plus en détails sur les défis et les améliorations communs et propres aux architectures proposées.

### IV.C.1. Principe général et points communs

Les schémas d'intégration du GAA sur SOI et du GAA sur BULK sont présentés en figure IV.15 et figure IV.16 respectivement.

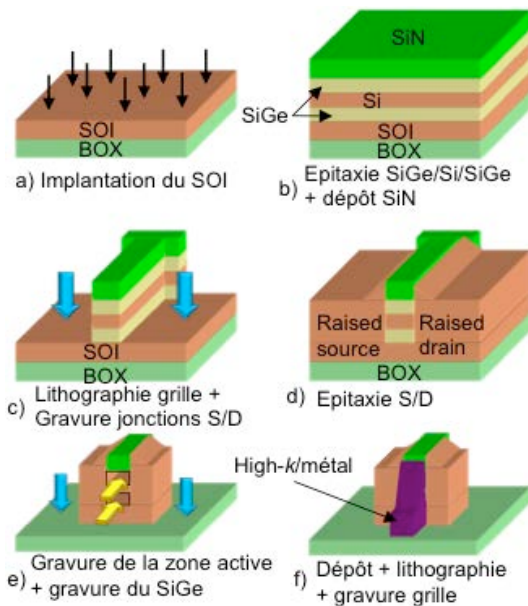


Figure IV.15 : Schéma d'intégration du transistor GAA réalisé sur substrat SOI.

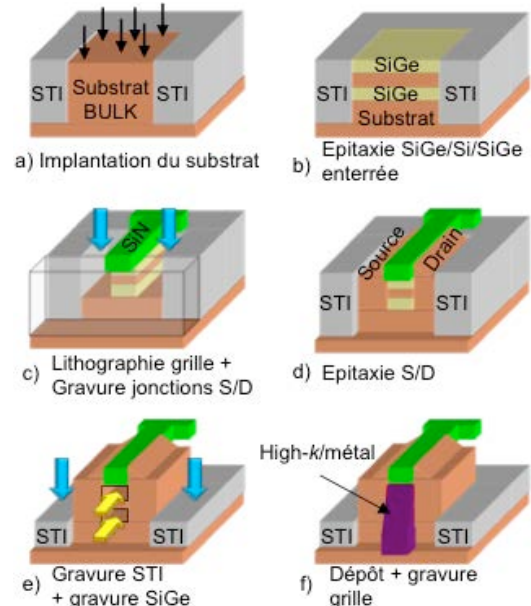


Figure IV.16 : Schéma d'intégration du transistor GAA réalisé sur substrat de silicium massif.

La première étape spécifique à notre intégration GAA consiste à réaliser une implantation de type *well* à forte dose (Figure IV.15-a et IV.16-a). L'objectif, en créant cette zone de fort dopage, est d'augmenter de manière significative la tension de seuil du canal parasite qui se formera naturellement sous la grille inférieure. En effet, s'il entrerait en conduction, ce canal, qui n'est pas enrobé par la grille, dégraderait fortement l'intégrité électrostatique du dispositif.

L'étape suivante est une étape caractéristique de la technologie SON puisqu'il s'agit de l'épitaxie de couches de SiGe/Si/SiGe (Figure IV.15-b et IV.16-b, Figure IV.17). Il s'agit d'une étape clé car la couche de silicium représente le futur canal de conduction du dispositif, ce qui signifie de ce fait qu'on en maîtrise l'épaisseur. Les couches de SiGe, comme pour toutes technologies SON, sont sacrificielles. Elles seront remplacées dans la suite du procédé par les matériaux de l'empilement de grille. Comme pour le LSOI, un compromis a été nécessaire entre



la concentration en Ge des alliages et l'épaisseur de ces couches épitaxiées. Dans notre étude, les couches de SiGe étaient épaisses de 20nm et contenaient 30% de Ge.

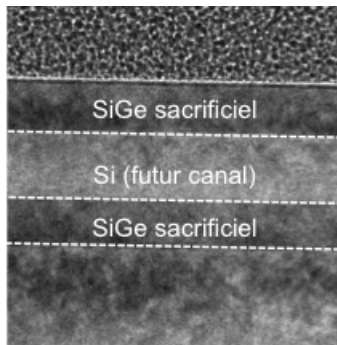


Figure IV.17 : Vue en coupe TEM d'une trilocouche SiGe/Si/SiGe épitaxiée.

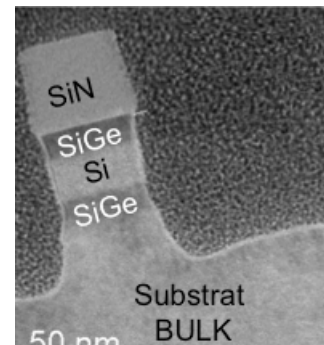


Figure IV.18 : Vue en coupe TEM d'un GAA sur BULK après l'étape de gravure anisotrope des jonctions source/drain.

Sur ces trois couches est ensuite déposée une épaisse couche de nitrure. Ce SiN, qui jouera le rôle de masque dur, sera conservé tout au long de l'intégration, il est donc important qu'il soit résistant aux différentes chimies et aux différents nettoyages, ce qui justifie en partie son épaisseur (45nm). Intervient alors une étape de photolithographie pour "dessiner" la grille. Le motif est transféré à l'empilement SiN/SiGe/Si/SiGe à l'aide d'une gravure anisotrope (Figure IV.18). Il s'agit là encore d'une étape clé de l'intégration car c'est ici que l'auto-alignement des deux grilles est assuré. En effet, si l'auto-alignement de deux grilles signifie qu'elles sont définies par une unique lithographie, les couches de SiGe (futurs grilles du dispositif GAA), sont bien gravées lors de cette même opération. En ce qui concerne l'architecture basée sur le substrat SOI, il est important que la gravure des quatre couches successives s'arrête dans le film de silicium piédestal pour assurer une reprise d'épitaxie. C'est ce que l'on vérifie sur la figure IV.19 où les marqueurs de SiGe servent de repères pour la profondeur de la gravure des jonctions.

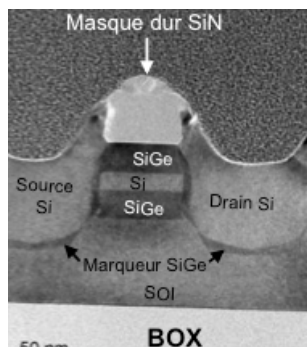


Figure IV.19 : Vue en coupe TEM d'un transistor GAA sur SOI après épitaxie des jonctions source/drain. Le marqueur SiGe avait été utilisé pour repérer la profondeur de la gravure jonction.

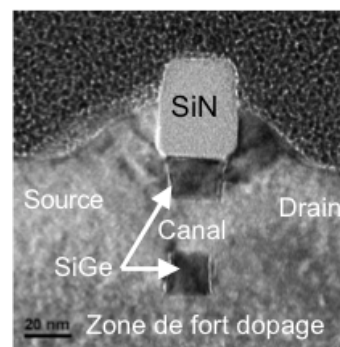


Figure IV.20 : Vue en coupe TEM d'un transistor GAA sur BULK après épitaxie des jonctions source/drain.

L'étape suivante est une croissance par épitaxie sélective de silicium pour reformer les zones de source/drain et contacter le futur canal de conduction (Figures IV.15-d, IV.16-d, IV.19 et IV.20). Cette croissance de silicium sert également à stabiliser la structure lors de la gravure du

SiGe (Figures IV.15-e et IV.16-e), nous reviendrons sur ce point. Comme pour les architectures LSOI présentées au chapitre II, cette gravure des couches sacrificielle peut être réalisée soit par procédé plasma  $CF_4$  soit par procédé gazeux HCl (Figure IV.21).

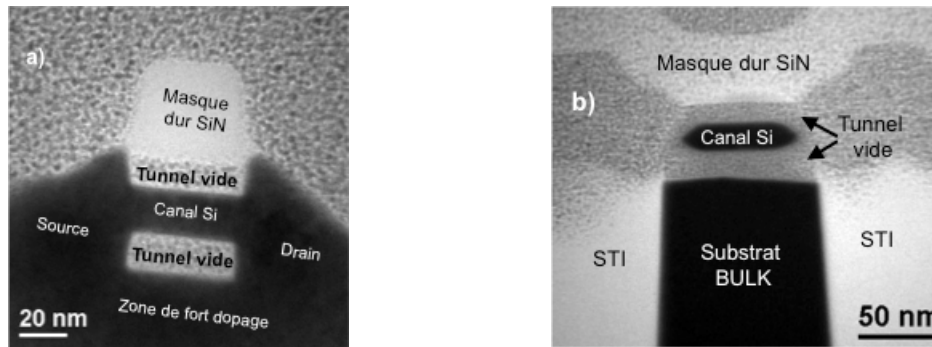


Figure IV.21 : Vue en coupe TEM d'un transistor GAA après gravure sélective du SiGe. a) dans le sens de la longueur de grille et b) dans le sens de la largeur où l'on devine que lors du remplissage du tunnel, la grille enrobiera le canal de Si.

Les cavités formées, il ne reste plus qu'à les remplir avec l'empilement de grille. Pour s'assurer de sa bonne conformité nous avons réalisé un dépôt de type ALD (pour *Atomic Layer Deposition*). Un empilement de type high- $k$ /métal ( $HfO_2/TiN$ ) "midgap" a été utilisé dans notre intégration, permettant d'obtenir une même tension de seuil pour les nMOS et les pMOS sans recourir au dopage canal.

Pour finir, la gravure grille, propre à chaque architecture est réalisée suivie de l'implantation et de la siliciuration des source/drain avant la formation des contacts (gravure + remplissage) et de la mise en place des différents niveaux d'interconnexions.

La figure IV.22 présente les architectures GAA réalisées juste avant le procédé de siliciuration. Les vues en coupe dans le sens de la longueur de grille mettent en évidence l'aspect double grille planaire de nos structures (Figure IV.22-a) alors que ce sont les coupes dans le sens de la largeur qui permettent d'observer l'aspect enrobant de la grille par rapport au canal de silicium (Figure IV.22-b).

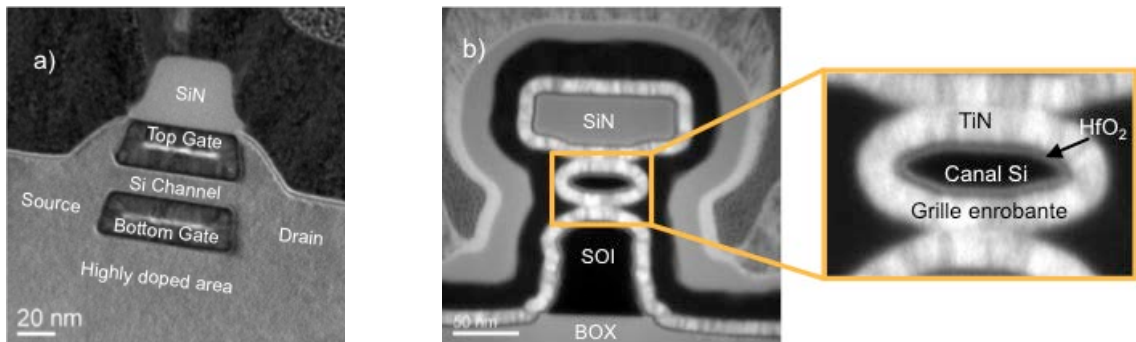


Figure IV.22 : Vue en coupe TEM d'un transistor GAA avant la siliciuration : a) dans le sens de la longueur de grille mettant en évidence l'aspect double grille planaire b) dans le sens de la largeur où l'on remarque la grille qui enrobe le canal de silicium.

### IV.C.2. Défis communs

➤ *Épitaxie des source/drain* : cette étape a pour objectif de reformer les jonctions source et drain, gravées au préalable, et de recontacter le canal de conduction du dispositif. L'épaisseur de cette épitaxie doit donc être contrôlée pour s'assurer qu'elle atteint le canal de silicium, mais elle ne doit pas non plus être trop importante pour éviter tout court circuit entre la source et le drain par dessus le nitrure.

Cette épitaxie a également comme rôle de maintenir le masque dur de nitrure pendant la gravure du SiGe, ce qui implique une excellente cristallinité. En effet, sur les flancs du SiN, le silicium épitaxié a tendance à être polycristallin (Figure IV.23-a). La sélectivité de la gravure du SiGe, s'il s'agit d'une chimie HCl, sera moindre face à ce silicium polycristallin qui sera alors consommé. Ceci conduit inévitablement à l'effondrement du masque dur de nitrure dans la cavité supérieure, future grille du dispositif (Figure IV.23-b). Dans le cadre de ce travail de thèse, cette étape a été optimisée en augmentant le taux de gaz HCl pendant la croissance, ce qui permet d'éliminer en cours d'épitaxie le silicium polycristallin et assure ainsi la bonne cristallinité du silicium (cf. chapitre II).

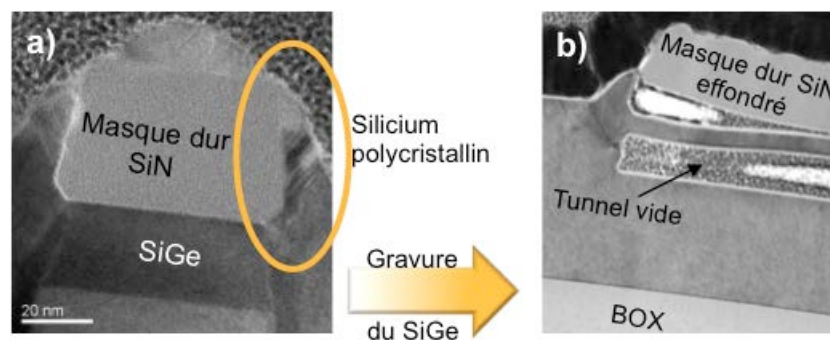


Figure IV.23 : Vue en coupe TEM d'un transistor GAA sur SOI ; a) après épitaxie des jonctions source et drain, mettant en évidence la présence de silicium polycristallin sur les flancs du masque dur SiN ; b) après gravure du SiGe, le polycristallin a été consommé et le masque dur s'est effondré dans le tunnel supérieur.

➤ *Limitation lors de la gravure du SiGe* : contrairement aux cas des architectures LSOI présentées au chapitre II, la limitation liée à la gravure du SiGe n'est pas ici d'ordre mécanique. En effet, à cette étape, la structure du GAA réalisée est supposée être parfaitement stable (cf. Figure IV.21) et ce, indépendamment de la longueur et de la largeur du dispositif considéré. C'est alors la sélectivité de la gravure en elle-même qui entre en ligne de compte, car un temps de gravure trop élevé engendre une perte de sélectivité vis-à-vis du silicium, en particulier pour les dispositifs les plus petits, vidés plus rapidement. Comme nous l'avions précisé au chapitre II, la gravure HCl offre une meilleure sélectivité que la chimie CF<sub>4</sub> (300 :1 vs. 60 :1) mais elle ne laisse en revanche aucun "droit à l'erreur" en ce qui concerne la cristallinité du silicium des jonctions source et drain.



### IV.C.3. Etapes et développements propres à l'architecture sur SOI

➤ *Première gravure grille:* en ce qui concerne l'architecture sur SOI, cette étape à l'originalité de définir la grille avant la zone active. Cette zone active servant généralement à l'alignement des lithographies suivantes, la création d'un niveau d'alignement supplémentaire en tout début du procédé de fabrication a été indispensable. Il s'agit de marques dans les chemins de découpe sur lesquels viendront s'aligner les lithographies suivantes. Ces marques doivent être suffisamment "profondes" pour être encore visibles à la fin du procédé, lors de la deuxième photo grille particulièrement.

Rappelons également qu'il est important que cette première gravure grille s'arrête dans le silicium piédestal (et non dans le BOX) pour assurer l'étape suivante, l'épitaxie des jonctions source/drain.

➤ *L'accès aux couches de SiGe, la gravure de la zone active :* contrairement aux architectures que nous avons pu voir jusqu'à maintenant, la particularité de ce GAA sur SOI est que l'isolation entre les transistors n'est pas garantie par des tranchées d'oxyde (STI) mais par le BOX et surtout l'absence de silicium entre deux zones actives, on parle d'architectures MESA. Il s'agit donc d'une étape de photolithographie pour définir la zone active (Figure IV.24-a) suivie d'une gravure anisotrope avec arrêt sur le BOX (Figure IV.24-b). Cette gravure assurant l'isolation entre les dispositifs par l'architecture MESA ouvre également l'accès aux couches de SiGe qui pourront être gravées à l'étape suivante (Figures IV.24-c et IV.25). La difficulté de cette étape est de graver deux types d'empilements en même temps : le silicium des jonctions source/drain et un empilement SiN/SiGe/Si/SiGe au niveau des grilles. Ces deux types d'empilement se comportant différemment face à la gravure, il a été nécessaire de l'optimiser pour garantir le dégagement total des zones où un bout de grille se trouvait sur la future isolation.



Figure IV.24 : schéma d'intégration détaillant l'étape de gravure de la zone active donnant accès aux couches de SiGe.

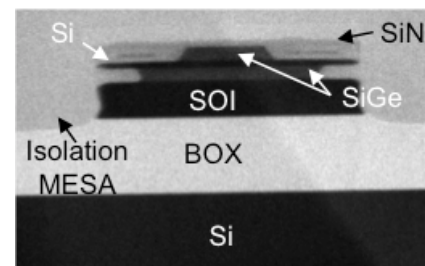


Figure IV.25 : vue en coupe TEM (en W) d'un GAA sur SOI après gravure (partielle) du SiGe. Cette vue en coupe met en évidence l'isolation MESA.

Lors de la photolithographie de la zone active, une difficulté particulière a été rencontrée. La forte topologie de cette architecture sur substrat SOI a engendré la rupture de la résine (Figure IV.26-a). Il a donc été nécessaire d'utiliser une résine plus épaisse (Figure IV.26-b).

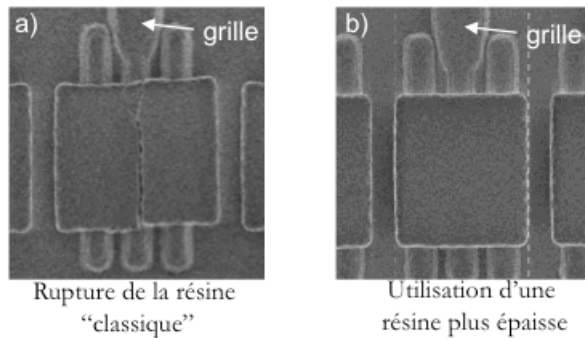


Figure IV.26 : image MEB (vue de dessus) ; a) de la rupture de la résine "classique" due à la forte topologie de l'architecture ; b) de la résistance de la résine plus épaisse.

➤ La deuxième gravure grille : suite au dépôt ALD de l'empilement de grille pour remplir les cavités, une nouvelle photolithographie est nécessaire pour définir (à nouveau) la grille et procéder à la gravure de l'empilement. Deux difficultés sont liées à cette étape : l'alignement de la lithographie avec la première photo grille et l'éventuelle rupture de la résine avec la forte topologie de l'architecture.

Le problème d'alignement avait été anticipé et la marque d'alignement, réalisée en tout début d'intégration, avait été optimisée de manière à être visible au moment de cette deuxième photolithographie de grille.

Pour ce qui est de la topologie et d'une éventuelle rupture de la résine, nous avons opté ici pour une résine constituée d'un tri-couche de carbone déposée par procédé *spin-on*. Cela consiste à déposer de manière non conforme une épaisse couche de résine qui remplit également les cavités formées par l'architecture MESA annulant ainsi la topologie et donnant une forme plane à la surface de la résine.

Enfin, une attention particulière a également été portée sur la gravure en elle-même afin d'assurer le retrait total de l'empilement de grille dans les cavités de l'isolation MESA. En effet, le dépôt étant ALD, il se dépose uniformément sur toute la plaque et la difficulté principale est d'effectuer une sur-gravure pour retirer le métal sur les flancs du SOI sans affecter les zones où il doit être conservé (Figure IV.27).

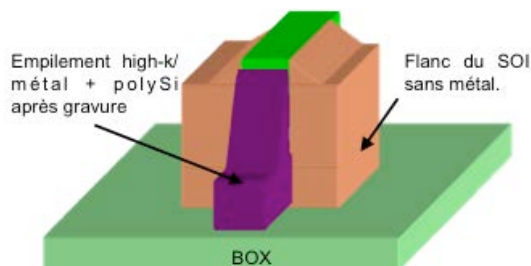


Figure IV.27 : représentation schématique d'un GAA sur SOI après gravure grille. L'empilement de grille doit être sur-gravé pour être retiré des flancs du SOI.

#### IV.C.4. Etapes et développements propres à l'architecture sur Si massif

➤ Épitaxie SiGe/Si/SiGe : contrairement à l'architecture sur SOI, les zones actives sont définies en début d'intégration et à la même étape, les isolations STI (Figure IV.16). Ainsi, comme pour l'architecture LSOI type-B présentée au chapitre II, les couches épitaxiées sont enterrées par rapport au niveau du STI (Figure IV.28). Cela permet non seulement d'éviter

l'apparition de facettes sur le STI qui seraient problématiques pour la suite du procédé mais cela limite également la topologie de l'architecture qui apporterait une difficulté pour la suite de l'intégration (cf. architecture sur SOI).

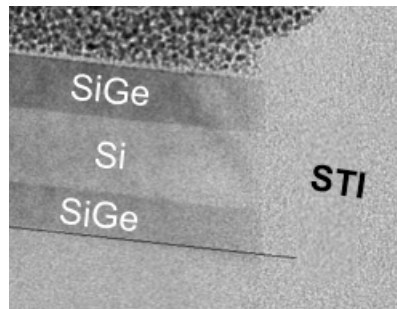


Figure IV.28 : vue en coupe TEM des couches SiGe/Si/SiGe enterrées par rapport au STI.

➤ *Accès aux couches de SiGe* : nous retrouvons ici encore une similitude entre le procédé d'intégration du GAA sur BULK et le LSOI type-B. En effet, l'accès aux couches de SiGe enterrées est obtenu par un abaissement des STI. Cependant, la ressemblance s'arrête là car pour le GAA, la gravure des isolations est faite par un procédé humide et isotrope. Cette isotropie est d'ailleurs indispensable car il s'agit ici de retirer le STI se trouvant sous la "tête de grille" (représentée ici par le masque dur SiN). Cette gravure doit être soigneusement contrôlée car une sous-gravure n'ouvrirait pas l'accès aux deux couches de SiGe (Figure IV.29). A l'inverse, une gravure trop importante exposerait les flancs du silicium au dépôt conforme de l'empilement de grille qu'il serait dur de retirer lors de la gravure grille (analogie avec l'architecture GAA sur SOI).

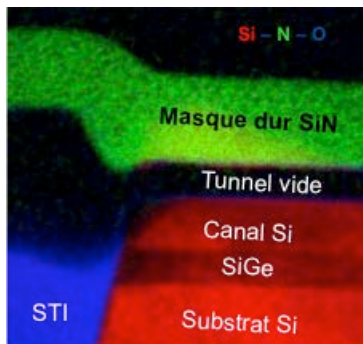


Figure IV.29 : vue en coupe TEM (en W) avec cartographie chimique d'un GAA sur BULK après gravure du SiGe. Le STI n'a pas été suffisamment gravé, l'accès à la seconde couche de SiGe n'est pas ouvert.

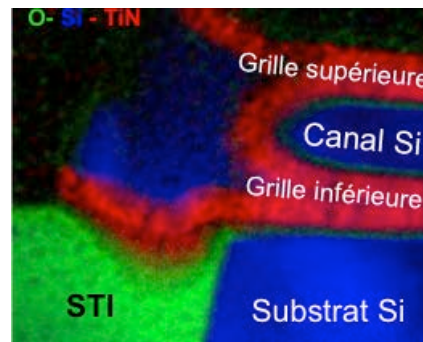


Figure IV.30 : vue en coupe TEM (en W) avec cartographie chimique d'un GAA sur BULK après gravure anisotrope de la grille. Les grilles inférieure et supérieure sont bien connectées l'une avec l'autre.

➤ *La gravure grille*: précisons simplement ici que la particularité de cette architecture GAA sur BULK est l'absence d'une étape de photolithographie avant la gravure de l'empilement de grille. Cette dernière se fait de manière "auto-alignée" par procédé anisotrope, le masque dur SiN jouant le rôle de couche d'arrêt. Ainsi, les parties protégées par le nitrure sont laissées intactes et les grilles supérieure et inférieure sont bien connectées (Figure IV.30).

➤ *La gravure du contact de grille* : si le fait de garder l'intégralité du masque dur de nitrure est un avantage pour l'étape de la gravure grille, cela ajoute une difficulté pour la gravure du contact de grille. En effet, le SiN protège l'empilement de grille lors des étapes d'implantation et de siliciuration. Pour être fonctionnel, le contact doit donc être réalisé directement sur le métal (TiN) de la grille. La gravure de ce contact a également été optimisée de manière à traverser l'épaisse couche de SiN qui n'est pas habituelle à ce niveau de l'intégration. L'architecture sur SOI n'est pas confrontée à cette situation car la partie du masque dur concernée est retirée lors de la gravure active (Figure IV.24-b).

#### IV.C.5. Dispositif GAA avec $T_{Si}=4nm$

Comme précisé précédemment, un avantage majeur d'une telle approche planaire est le contrôle de l'épaisseur du canal de conduction, défini par épitaxie. En effet, pour les nœuds technologiques les plus agressifs, les valeurs de  $T_{Si}$  devront être de l'ordre de quelques nanomètres pour assurer un bon contrôle des effets canaux courts, ce qui représente un sérieux défi pour les technologies dont le canal est défini par photolithographie (FinFET ou Trigate par exemple).

Ainsi, nous avons été en mesure de réaliser des transistors GAA sur SOI ayant un canal de conduction de 4nm d'épaisseur. Si les vues en coupe TEM proposées en figure IV.31 confirment le succès de la fabrication de tels dispositifs, nous montrerons dans la suite de ce chapitre leur fonctionnalité d'un point de vue électrique.

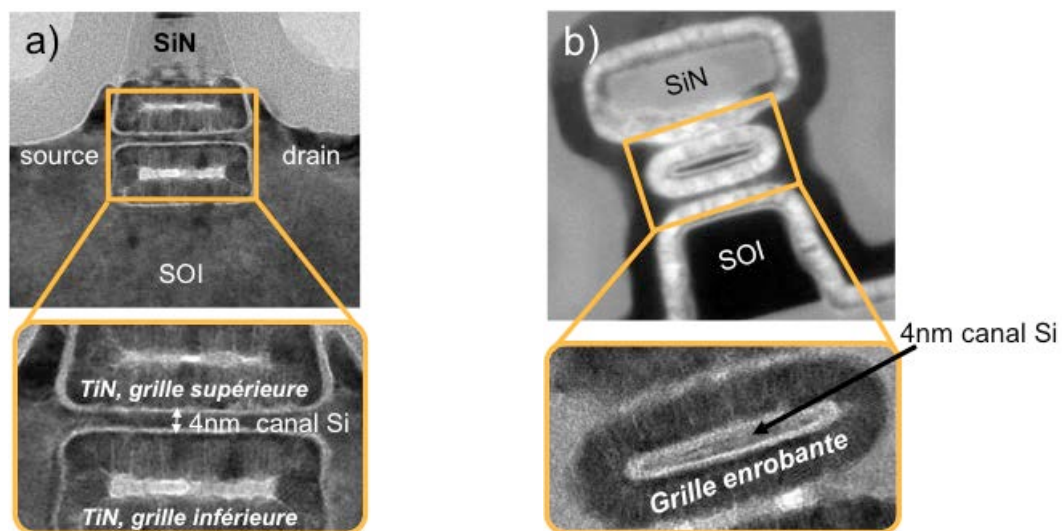


Figure IV.31 : vue en coupe TEM d'un transistor GAA sur SOI avec un canal de silicium de 4nm d'épaisseur ; a) coupe dans le sens de la longueur de grille et ; b) coupe dans le sens de la largeur.

## IV.D. Caractérisation électrique des transistors réalisés

### IV.D.1. Architecture GAA sur SOI

#### IV.D.1.a. Performances des transistors avec $T_{Si}=7nm$

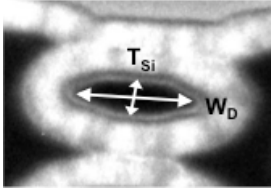


Figure IV.32 : vue en coupe TEM (en W) d'un transistor GAA sur SOI ;  $T_{Si}=7nm$ ,  $W_D=35nm$ .

Ce paragraphe présente les performances électriques mesurées sur des transistors GAA sur SOI ayant un canal de 7nm d'épaisseur (Figure IV.32). Précisons ici que les valeurs de courant présentées sont normalisées par la largeur dessinée sur le masque de conception ( $W_D$ ), cela correspond à l'encombrement du dispositif sur la plaque de silicium. Cependant, comme on le voit sur la figure IV.32, le canal est enrobé par la grille, la "vraie" largeur de conduction correspond donc à la circonférence du canal, on parle de largeur électrique (ou de conduction, notée  $W_{ELEC}$ ). Cette notion de  $W_{ELEC}$  est souvent utilisée pour la comparaison de différentes architectures à grilles multiples entre elles. Etant donnée la forme particulière de notre canal (Figure IV.32), nous pouvons approximer  $W_{ELEC}=2xW_D$ .

La figure IV.33 présente les caractéristiques  $I_D(V_G)$  de transistors nMOS et pMOS de 40nm de longueur de grille et une largeur mesurée de 34nm. Ces courbes confirment le bon contrôle de l'électrostatique offert par notre architecture à grille enrobante puisque le DIBL mesuré est de 30mV/25mV pour les pMOS/nMOS. Les caractéristiques sous le seuil sont également excellentes avec une pente quasi-idéale,  $S=69mV/dec$  pour les deux types de dispositifs et des courants de fuites  $I_{OFF}$  inférieurs à  $1nA/\mu m$  ( $0,2nA/\mu m$  et  $0,75nA/\mu m$  pour les pMOS et les nMOS respectivement). Pour ce qui est du courant de saturation  $I_{ON}$ , les conclusions sont différentes selon le type du transistor considéré.

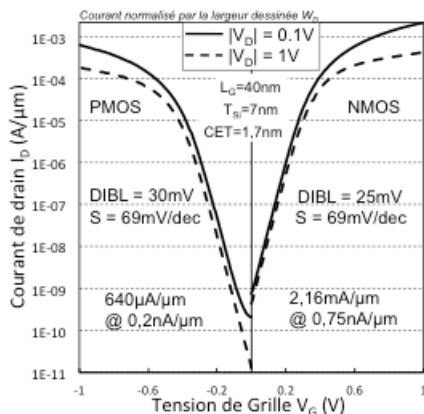


Figure IV.33 : caractéristiques  $I_D(V_G)$  obtenues expérimentalement sur des transistors GAA sur SOI. Les valeurs de courant sont normalisées par la largeur dessinée  $W_D$ .

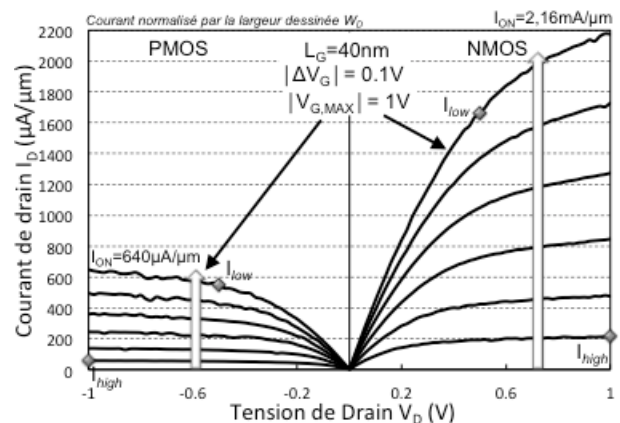


Figure IV.34 : caractéristiques  $I_D(V_D)$  obtenues expérimentalement sur des transistors GAA sur SOI. Les valeurs de courant sont normalisées par la largeur dessinée  $W_D$ .

Les transistors nMOS proposent des niveaux de courants très élevés atteignant  $2,16mA/\mu m$  à  $V_{DD}=1V$ . C'est également ce que l'on observe sur les caractéristiques  $I_D(V_D)$



(Figure IV.34) qui nous permettent d'extraire le courant effectif, approximation du courant adressé dans un inverseur,  $I_{EFF}=(I_{high}+I_{low})/2=938\mu A/\mu m$ .

Pour les pMOS, la situation est nettement différente. Tout d'abord, précisons que peu de dispositifs pMOS ont été fonctionnels sur notre lot de plaques intégrant l'architecture GAA sur SOI. Il est fort probable que ce problème soit lié à un mauvais ajustement de l'implantation source/drain et/ou de l'implantation *well* pour augmenter le  $V_{TH}$  du canal parasite. Il faudrait donc ajuster ces deux étapes d'implantation pour espérer obtenir de meilleures performances. Ceci étant, le courant  $I_{ON}$  des pMOS est de  $640\mu A/\mu m$ , et le courant effectif associé est de  $300\mu A/\mu m$  (Figure IV.34).

La figure IV.35 représente l'évolution de la tension de seuil en fonction de la longueur de grille. On note sur ce graphique que les mesures (losanges) ne présentent aucune chute de  $V_{TH}$  en réduisant  $L_G$ , signifiant que, pour les longueurs étudiées, l'effet canal court est parfaitement maîtrisé par notre architecture à grille enrobante. La courbe superposée à ces points représente une caractéristique  $V_{TH}(L_G)$  tracé à l'aide du logiciel MASTAR [MASTAR] avec les paramètres correspondants à l'architecture étudiée. Le modèle confirme que la chute de la tension de seuil, synonyme d'effet canal court, n'apparaît que pour les grilles inférieures à 40nm. De tels dispositifs n'étaient pas dessinés sur le masque de conception utilisé dans cette étude.

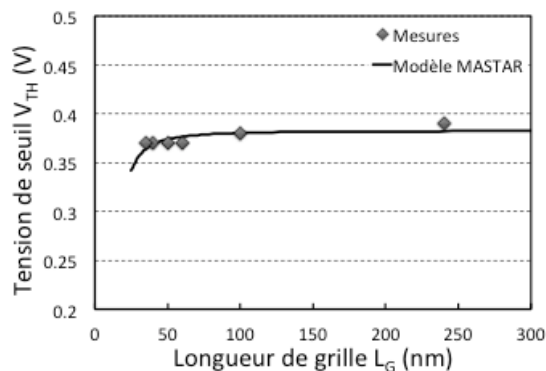


Figure IV.35 : Evolution de la tension de seuil  $V_{TH}$  en fonction de la longueur de grille  $L_G$  pour les transistors GAA sur SOI nMOS.

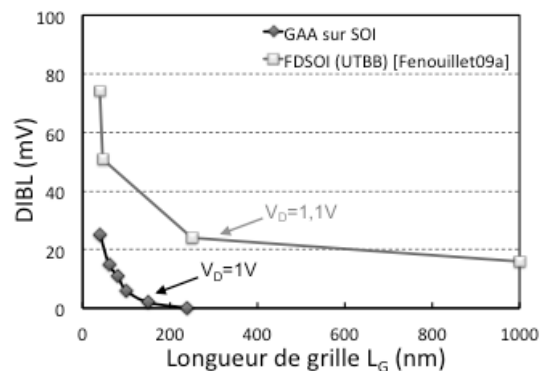


Figure IV.36 : Evolution du DIBL en fonction de la longueur de grille  $L_G$  pour les transistors GAA sur SOI nMOS.

Enfin, l'évolution du DIBL en fonction de la longueur de grille est proposée en figure IV.36. Cette caractéristique est ici comparée avec celle d'une référence simple grille, il s'agit d'un dispositif UTBB (FDSOI) publié par *Fenouillet et al.* [Fenouillet09a] qui est parmi les meilleurs en terme de contrôle de l'électrostatique. Cette comparaison confirme l'intérêt d'une architecture à grille enrobante pour le contrôle électrostatique puisque pour le plus petit  $L_G$  étudié ( $L_G=40nm$ ) le DIBL du GAA est de 25mV contre 75mV pour l'UTBB.

#### IV.D.1.b. Performances des transistors avec $T_{Si}=4nm$

Comme présenté au paragraphe IV.C.5, la définition du canal de conduction par une étape d'épitaxie permet un bon contrôle de son épaisseur  $T_{Si}$ . Nous avons ainsi été en mesure de réaliser des transistors GAA sur SOI ayant un canal de 4nm d'épaisseur, les figures IV.37 et IV.38 en présentent les principales caractéristiques électriques. La caractéristique  $I_D(V_G)$  (Figure IV.37) montre une légère amélioration du contrôle de l'électrostatique en réduisant  $T_{Si}$  avec un DIBL de

20mV. Cette faible différence s'explique cependant par le fait que les résultats sont déjà très bons lorsque  $T_{Si}=7\text{nm}$ . Les caractéristiques sous le seuil sont également excellentes ; la pente sous le seuil ( $S=65\text{mV/dec}$ ) est encore plus proche de sa valeur idéale ( $60\text{mV/dec}$ ) et le courant de fuite  $I_{OFF}$  reste très faible puisqu'il est de  $400\text{pA}/\mu\text{m}$ .

Concernant le courant de saturation  $I_{ON}$ , bien qu'il reste relativement élevé ( $I_{ON}=1,05\text{mA}/\mu\text{m}$ , normalisé par  $W_D$ ), il est beaucoup plus faible qu'avec  $T_{Si}=7\text{nm}$ . Nous supposons que cette dégradation du courant de saturation est liée à une dégradation des propriétés de transport avec une réduction de  $T_{Si}$ . Nous allons essayer de confirmer cette hypothèse dans le paragraphe suivant.

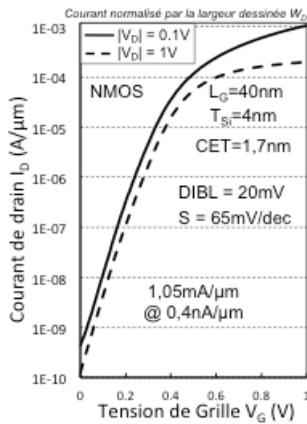


Figure IV.37 : caractéristiques  $I_D(V_G)$  obtenues expérimentalement sur des transistors GAA sur SOI avec  $T_{Si}=4\text{nm}$ . Les valeurs de courant sont normalisées par la largeur dessinée  $W_D$ .

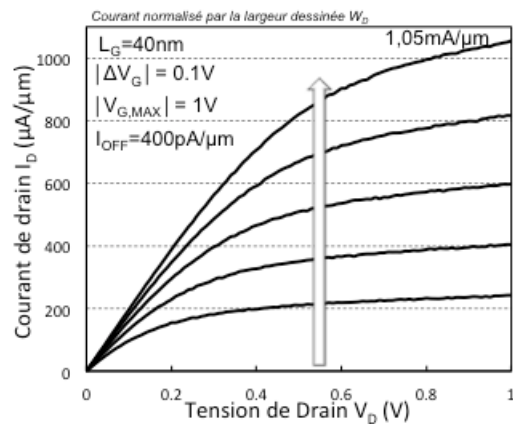


Figure IV.38 : caractéristiques  $I_D(V_D)$  obtenues expérimentalement sur des transistors GAA sur SOI avec  $T_{Si}=4\text{nm}$ . Les valeurs de courant sont normalisées par la largeur dessinée  $W_D$ .

#### IV.D.1.c. Influence de l'épaisseur du canal sur la mobilité

Pour étudier les propriétés de transport dans les transistors GAA sur SOI réalisés, leur mobilité a été extraite en utilisant la méthode de la Fonction Y [Ghibaudo88], présentée au chapitre précédent (cf. paragraphe III.D.1.b). Rappelons simplement qu'elle est définie par l'équation :  $Y(V_G)=I_D/\sqrt{G_m}$  et qu'elle permet d'obtenir une mobilité à faibles champs (longitudinal et transversal) que l'on note  $\mu_0$ . Il est ensuite possible de remonter jusqu'à la mobilité effective  $\mu_{EFF}$  par l'extraction des facteurs d'atténuation que sont  $\theta_1$  et  $\theta_2$ .

La figure IV.39 présente les courbes de mobilité effective  $\mu_{EFF}$  en fonction de la charge d'inversion  $Q_{INV}$  pour deux transistors GAA sur SOI de même longueur de grille  $L_G=40\text{nm}$  mais ayant une épaisseur de canal différente :  $T_{Si}=7\text{nm}$  et  $T_{Si}=4\text{nm}$ . On constate ainsi que la mobilité à faibles champs est meilleure dans le transistor "plus épais" et il semblerait donc que réduire  $T_{Si}$  engendre une certaine dégradation. On remarque également que les deux courbes n'ont pas la même allure et que l'écart entre les deux mobilités s'accroît pour les charges d'inversion les plus grandes. Or, l'allure de ces courbes est directement liée aux facteurs d'atténuation de la mobilité  $\theta_1$  et  $\theta_2$ , tous deux plus élevés pour le dispositif avec  $T_{Si}=4\text{nm}$ , expliquant la chute plus importante de  $\mu_{EFF}$  avec l'augmentation de  $Q_{INV}$ .



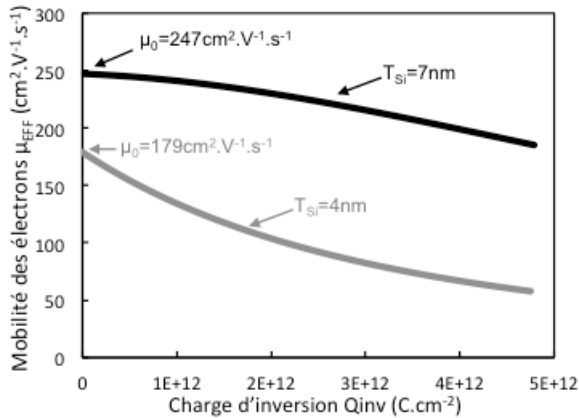


Figure IV.39 : évolution de la mobilité effective en fonction de la charge d'inversion dans les transistors GAA sur SOI avec  $T_{Si}=7nm$  et  $T_{Si}=4nm$ .

$\theta_1$  est lié à la résistance série et à l'interaction avec les phonons (vibrations du réseau cristallin). Ainsi, l'augmentation de  $\theta_1$  en réduisant  $T_{Si}$  est donc liée à une possible augmentation de la résistance série mais également à des interactions avec les phonons plus importantes. En effet, la fréquence des interactions des phonons est inversement proportionnelle à l'épaisseur de la couche d'inversion. Réduire  $T_{Si}$  augmente donc cette fréquence et dégrade la mobilité des porteurs [Takagi97, Fischetti03]. Les interactions avec la rugosité de surface à l'interface canal/oxyde sont également connues pour pénaliser la mobilité avec la réduction de  $T_{Si}$  [Uchida02] expliquant la valeur de  $\theta_2$  plus élevée pour  $T_{Si}=4nm$  que pour  $T_{Si}=7nm$ .

La réduction de l'épaisseur du film de silicium étant liée à une dégradation de la mobilité des porteurs, il paraît fort logique que nos dispositifs avec  $T_{Si}=4nm$  propose un courant  $I_{ON}$  plus faible que les dispositifs au canal plus épais. Dans le cadre de cette étude, cette baisse des performances paraît difficilement justifiable au vu de la faible amélioration de l'électrostatique apportée par l'amincissement du canal. Cependant, la réalisation d'un double grille planaire (à grille enrobante) avec un canal de 4nm d'épaisseur démontre le potentiel d'une telle approche pour les longueurs de grille les plus agressives où un canal aussi mince pourrait s'avérer salutaire pour le contrôle des effets de canal court.

#### IV.D.2. Architecture GAA sur Si massif

Dans ce paragraphe les résultats de la caractérisation électrique effectuée sur les transistors GAA réalisés sur un substrat en silicium massif sont présentés. Les dispositifs étudiés ici ont une épaisseur de canal de 15nm et une largeur de zone active de 110nm (largeur dessinée  $W_D$ ). La figure IV.40 montre les caractéristiques  $I_D(V_G)$  d'un transistor nMOS de 60nm de longueur de grille et d'un pMOS de 45nm. Bien que leur canal soit plus épais que celui des GAA sur SOI, les dispositifs tirent toujours profit de la grille enrobante qui leur permet un très bon contrôle de l'électrostatique et de bonnes performances sous le seuil. Ainsi, le transistor pMOS propose un DIBL de 30mV et une pente sous le seuil de 70mV/dec. Ses performances sont également très bonnes puisqu'il délivre un courant de saturation  $I_{ON}$  de 1,09mA/ $\mu m$  en conservant un faible courant de fuite  $I_{OFF}$  de 4,4nA/ $\mu m$ .

En ce qui concerne les nMOS, nous n'avons pas été en mesure d'étudier des dispositifs dont la longueur de grille était inférieure à 60nm. Ceci est très certainement dû à un trop grand recouvrement des jonctions source/drain par la grille (on parle d'*overlap*), diminuant ainsi sa

longueur électrique (plus faible que la longueur initialement dessinée sur le masque de conception). Ce phénomène est généralement lié à un mauvais ajustement du recuit d'activation (température trop élevée) qui engendre une trop grande diffusion des atomes dopants (ici arsenic). L'impact des effets électrostatiques est donc trop important et les caractéristiques sous le seuil trop mauvaises pour les transistors de plus petites dimensions. On constate ainsi (Figure IV.40) que pour  $L_G=60\text{nm}$  le transistor nMOS a un plus mauvais DIBL (50mV) et une plus grande pente sous le seuil ( $S=75\text{mV/dec}$ ) que son homologue pMOS pour  $L_G=45\text{nm}$ . Il faut néanmoins relativiser ces résultats qui sont légèrement moins bons que ceux obtenus sur les GAA sur SOI présentés précédemment mais restent meilleurs que ceux proposés par une architecture simple grille. Enfin, le dispositif nMOS délivre un courant  $I_{ON}$  de  $910\mu\text{A}/\mu\text{m}$  pour un courant de fuite de  $600\text{pA}/\mu\text{m}$ . Précisons qu'ici encore les courants présentés sont normalisés par la largeur dessinée sur le masque de conception  $W_D$ .

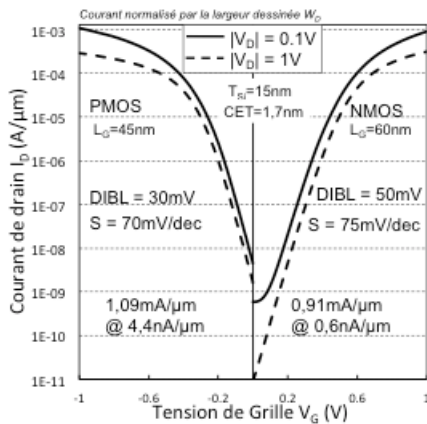


Figure IV.40 : caractéristiques  $I_D(V_G)$  obtenues expérimentalement sur des transistors GAA sur silicium massif. Les valeurs de courant sont normalisées par la largeur dessinée  $W_D$ .

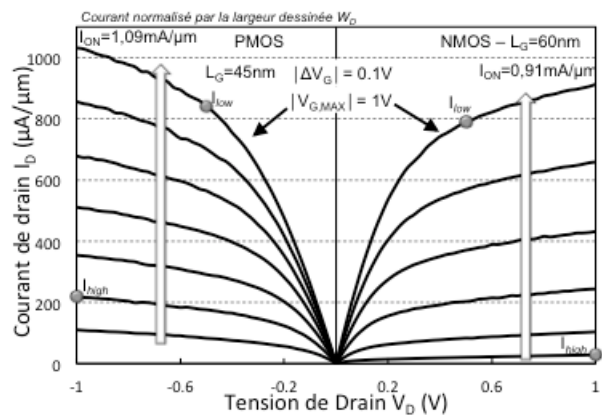


Figure IV.41 : caractéristiques  $I_D(V_D)$  obtenues expérimentalement sur des transistors GAA sur silicium massif. Les valeurs de courant sont normalisées par la largeur dessinée  $W_D$ .

La figure IV.41 présente les caractéristiques  $I_D(V_D)$  des transistors GAA étudiés. Ces courbes confirment les bonnes performances des dispositifs et permettent de remonter jusqu'au courant effectif. Déjà supérieur en terme de courant de saturation  $I_{ON}$ , les pMOS, grâce à leur bon contrôle de l'électrostatique, ont un meilleur courant  $I_{EFF}$  que les nMOS :  $I_{EFF}=530\mu\text{A}/\mu\text{m}$  et  $409\mu\text{A}/\mu\text{m}$  pour les pMOS et les nMOS respectivement. On remarquera cependant que l'écart entre les deux types de transistor n'est pas très important, ce qui pourrait être intéressant pour le bon fonctionnement des inverseurs et des mémoires SRAM.

Enfin, la figure IV.42 montre l'évolution du DIBL en fonction de la longueur de grille pour les transistors GAA sur BULK pMOS. En raison de son allure en  $1/L^2$ , le DIBL augmente très fortement pour les longueurs de grille inférieures à 45nm et atteint par exemple 70mV pour  $L_G=30\text{nm}$ . Cependant, comme nous l'avons déjà précisé, diminuer  $T_{Si}$  améliore le contrôle des effets électrostatiques et décale donc cette courbe sur la gauche, c'est à dire que cette forte augmentation du DIBL apparaît pour des longueurs de grilles plus courtes.

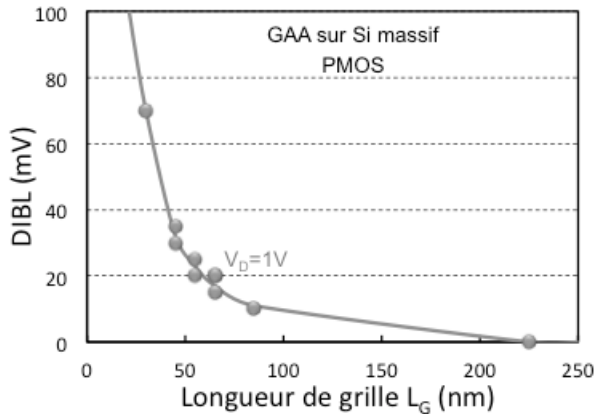


Figure IV.42 : évolution du DIBL en fonction de la longueur de grille pour les dispositifs GAA sur Si massif PMOS.

### IV.D.3. Caractérisation d'un inverseur en technologie GAA

Comme nous l'avons abordé au chapitre II, l'objectif, lorsqu'on développe une technologie, est de pouvoir intégrer sur une même puce des dispositifs pour des applications logiques avec des mémoires SRAM en utilisant le même type d'architecture, on parle de mémoire embarquée (cf. paragraphe II.C.1.b). Rappelons qu'une cellule SRAM est composée de deux inverseurs (1 nMOS *Pull-Down* et 1 pMOS *Pull-Up* chacun) et de deux transistors nMOS appelés transistors d'accès (*pass-gate*).

Sur le masque de conception utilisé pour l'intégration des architectures GAA, de telles cellules SRAMS étaient "dessinées". La figure IV.43 présente une image MEB d'un inverseur réalisée en technologie GAA sur silicium massif.

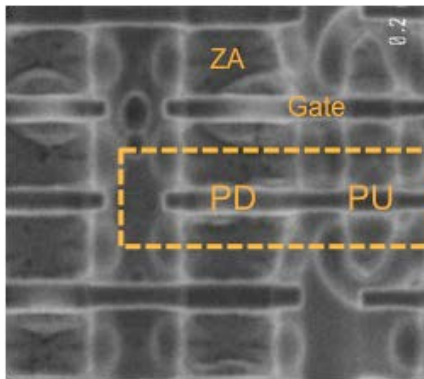


Figure IV.43 : vue de dessus (MEB) d'un inverseur en technologie GAA sur BULK.

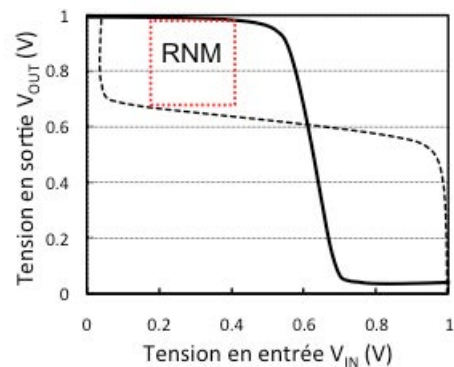


Figure IV.44 : caractéristique RNM d'une cellule SRAM de  $0,299\mu\text{m}^2$  réalisée en technologie GAA.

Malheureusement, les mauvaises performances des transistors d'accès (PG) n'ont pas permis la caractérisation d'une cellule SRAM complète. Néanmoins, nous avons été en mesure de mesurer les performances d'un inverseur. Sa caractéristique est présentée en figure IV.44 où le trait plein correspond à la courbe de basculement de l'inverseur entre l'état "1" et l'état "0". La même courbe a été utilisée (en pointillés) pour compléter la (possible) caractéristique RNM (pour *Reading Noise Margin*) de notre cellule SRAM. Cette RNM est en fait l'équivalent de la SNM (*Static*

Noise Margin) présentée au chapitre II (cf. paragraphe II.C.1.b) mais en s'affranchissant des transistors nMOS d'accès.

Notons tout de même que la réalisation et la caractérisation d'un inverseur en technologie à grille enrobante et aux règles de dessin du nœud 45nm est très encourageante. Cela confirme la compatibilité de ce type d'architectures avec l'intégration de cellules SRAM, indispensable pour envisager leur adoption dans le cadre d'applications circuits.

#### IV.D.4. Influence du canal parasite sur les mesures ?

Lors de la présentation du procédé de fabrication des transistors GAA, il a été précisé qu'une des premières étapes consiste à réaliser une implantation de type *well* à forte dose afin d'augmenter de manière significative la tension de seuil du canal parasite se formant sous la grille inférieure. Rappelons en effet qu'il est important que ce canal n'entre pas en conduction car il est à grille enrobante mais correspond plutôt à un transistor simple grille (PDSOI ou BULK selon le substrat de base de l'architecture) et dégraderait donc le contrôle électrostatique du dispositif.

Pour étudier l'influence de ce canal parasite sur les performances des transistors réalisés, le profil d'implantation a été simulé (Figure IV.45, exemple d'implantation Bore pour les nMOS). On observe alors qu'avec les conditions d'implantations utilisées, le niveau de dopage est supérieur à  $10^{18} \text{cm}^{-3}$  sur une profondeur de  $800 \text{Å}$ . Cette profondeur est aussi suffisante pour l'architecture sur SOI car elle correspond à la totalité du film de silicium se situant sous la grille inférieure ( $T_{\text{Si}}=70\text{nm}$ ) que pour l'architecture sur silicium massif car les jonctions source/drain ne sont pas aussi profondes.

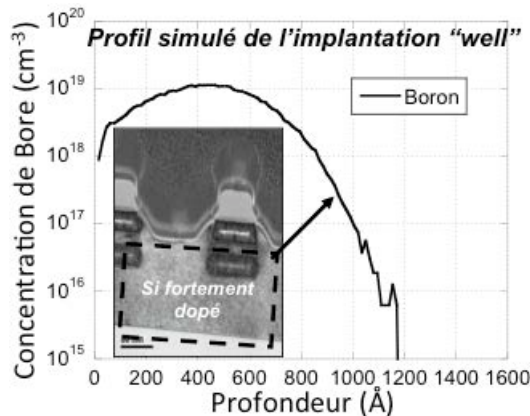


Figure IV.45 : simulation du profil d'implantation *well* utilisé pour augmenter la tension de seuil du transistor parasite.

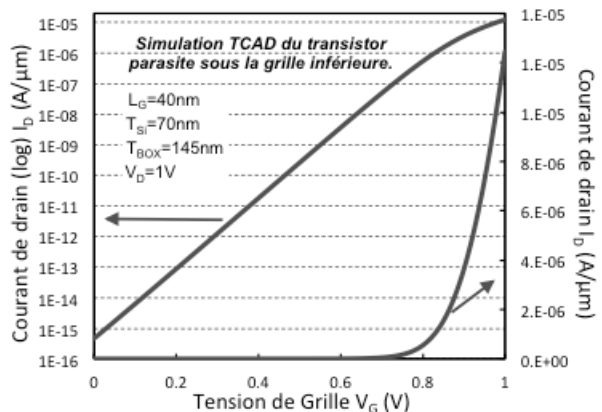


Figure IV.46 : caractéristique  $I_D(V_G)$  simulé par TCAD du transistor parasite sous la grille inférieure.

Pour s'assurer de l'efficacité de ce dopage, nous avons néanmoins procédé à une simulation par éléments finis (TCAD) d'un transistor PDSOI avec un dopage canal correspondant à celui du canal parasite de nos dispositifs GAA. La caractéristique  $I_D(V_G)$  pour  $V_D=1\text{V}$  de ce transistor est présentée en figure IV.46. On constate alors que la tension de seuil d'un tel dispositif est effectivement très élevée et que sa participation en terme de courant est relativement faible à  $V_G=1\text{V}$ . Un tel transistor parasite ne devrait pas modifier le bon fonctionnement des dispositifs GAA présentés précédemment. Il est néanmoins possible de

constater (ou non) de manière expérimentale l'influence du canal parasite sur les caractérisations électriques.

Tout d'abord, le fait que nos architectures présentent d'excellents résultats en terme d'intégrité électrostatique est plutôt rassurant, cela signifie que le canal parasite ne les dégrade pas. Ensuite, il est possible d'observer "l'entrée en jeu" d'un canal parasite à l'aide d'une mesure de transconductance  $G_m$  (dérivé du courant  $I_D$  par rapport à  $V_G$ ). En effet, cette caractéristique est révélatrice des propriétés de transport dans un dispositif et le pic formé par la courbe est souvent considéré comme une image directe de la mobilité à faible champ  $\mu_0$ . Ainsi, si la courbe de transconductance présente deux pics au lieu d'un seul, cela signifie qu'une deuxième canal est venu apporter sa contribution à la conduction. La mesure de transconductance réalisée sur les transistors GAA étudiés sont tracées en figure IV.47. On ne constate la présence que d'un seul pic signifiant qu'un seul canal n'a été considéré pendant la caractérisation électrique.

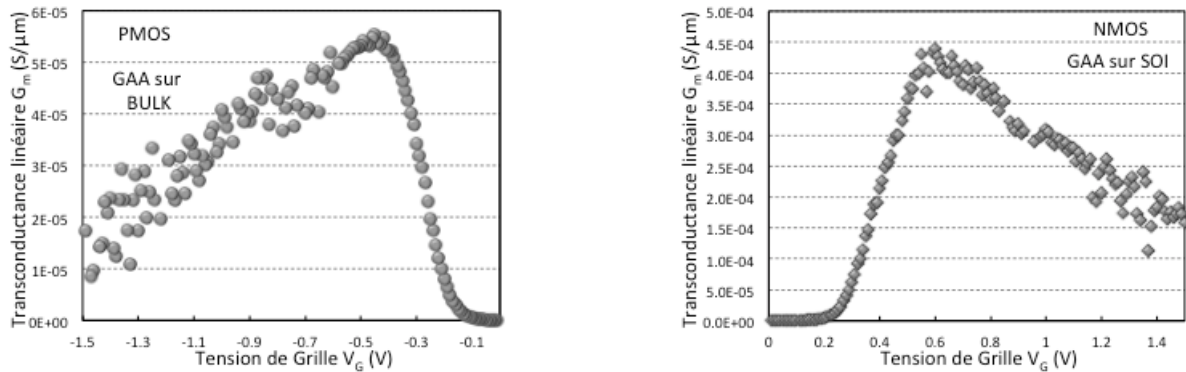


Figure IV.47 : mesure de la transconductance linéaire  $G_m$  en fonction de la tension de grille  $V_G$  sur un transistor pMOS GAA sur Si massif et nMOS GAA sur SOI

Enfin, si la présence d'un canal parasite est détectée, il est possible d'augmenter "manuellement" la tension de seuil du dispositif pour ne caractériser que le canal enrobé par la grille. Pour cela, il suffit d'appliquer une tension de signe inverse à  $V_{DD}$  sur la prise substrat (noté  $V_B$ ). Pour un GAA réalisé sur substrat BULK, des tensions de l'ordre de  $-V_{DD}$  devraient suffire alors que pour celui réalisé sur substrat SOI à BOX épais il est nécessaire d'appliquer des tensions  $V_B$  de plusieurs dizaines de volts.

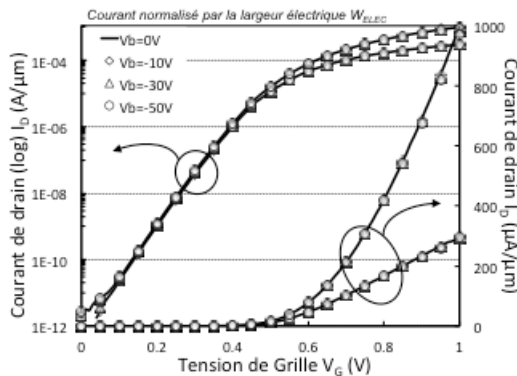


Figure IV.48 : caractéristiques  $I_D(V_G)$  sur un transistor GAA sur SOI pour différentes polarisations de substrat  $V_B$ . Les courants sont normalisés par la largeur totale de conduction  $W_{ELEC}$ .

La figure IV.48 présente les caractéristiques  $I_D(V_G)$  d'un transistor GAA sur SOI pour différentes tensions de polarisation par la face arrière ( $-50V \leq V_B \leq 0V$ ). Sur ce graphique, on

observe que les différentes polarisations VB n'ont aucun impact sur les caractéristiques  $I_D(V_G)$  des dispositifs GAA sur SOI. Cela signifie que dans notre cas, l'implantation *well* avait déjà joué son rôle et que le canal parasite n'entraînait déjà pas en compte pour  $V_B=0V$ .

#### IV.D.5. Comparaison avec l'état de l'art et comparaison des deux architectures

Il est courant, lors de l'étude expérimentale d'architecture à grilles multiples, de comparer les résultats obtenus avec ceux que l'on trouve dans la littérature, on parle de *Benchmarking*. Ainsi, le tableau IV.2 référence les différents paramètres des architectures considérées : la longueur de grille  $L_G$ , l'épaisseur du canal  $T_{Si}$ , la tension d'alimentation  $V_{DD}$ , le DIBL, la pente sous le seuil  $S$ , le courant de saturation  $I_{ON}$  et le courant de fuite  $I_{OFF}$ . Pour que la comparaison soit la plus juste possible, les valeurs de courant sont normalisées par la largeur réelle de conduction  $W_{ELEC}$  et par le nombre de canaux le cas échéant (architecture MCFET [4] et  $\phi$ FET [5]).

Ce tableau met en évidence que nos architectures, bien que leurs grilles soient légèrement plus longues que celles de la littérature, présentent des caractéristiques sous le seuil parmi les meilleures. Les épaisseurs de canal étant relativement faible, les effets de canal court sont parfaitement contrôlés par rapport aux architectures de type FinFET ou Trigate et les pentes sous le seuil de nos architectures sont parmi les plus proches de la pente idéale ( $S=60mV/dec$ ). Ce tableau souligne également la supériorité des architectures à grille enrobante ([4], [5] et [8]) du point de vue des caractéristiques sous le seuil.

Architecture	[1]		[2]		[3]		[4]		[5]		[6]		[7]		[8]		[9]		Nos meilleurs points		
	FinFET	TriGate		TriGate		MCFET		$\phi$ FET		Nanofil		GAA QW		GAA		TriGate		GAA			
Type	nMOS	nMOS	pMOS	nMOS	pMOS	nMOS	pMOS	nMOS	pMOS	nMOS	pMOS	nMOS	pMOS	nMOS	pMOS	nMOS	pMOS	nMOS	pMOS	nMOS	pMOS
$T_{Si}$ (nm)	15	17		23		10		7		13,3x20,4	9x13,9	12		10		25		7		15	
$L_G$ (nm)	40	25		40		50		100		35		65		25		25		40		45	
$V_{DD}$	1	1		1		1,2		1,2		1		1,2		0,9		1		1		1	
DIBL (mV)	40	83	158	80	101	20	20	15	7	65	65	30	30	58	10	100	120	25		30	
S		83	96	89	85	65	63	68	65	85	85			79	61	80	80	69		70	
$I_{OS}$ ( $\mu A/\mu m$ )	993	1296	-925	1395	-1140	366	-170	690	-350	825	-950	1280	-477	2054	-750	1200	-1100	1080		-545	
$I_{OFF}$ (A/ $\mu m$ )	9,4E-8	4,1E-8	6,8E-8	1,39E-7	5,9E-8	2E-12	2E-12	3E-09	5E-10	1,5E-8	1,5E-8	1,2E-8	9,5E-11	1,45E-9	1E-09	1,00E-07	1E-07	3,75E-10		2,2E-9	

Tableau IV.2 : tableau répertoriant les caractéristiques électriques de différentes architectures à grilles multiples de la littérature. [1] : [Vellianitis07] ; [2] : [Chang09] ; [3] : [Kavalieros06] ; [4] : [Bernard08] ; [5] : [Dupré08] ; [6] : [Bangsaruntip09] ; [7] : [Wong09] ; [8] : [Bidal09a] ; [9] : [Wu10].

Le compromis  $I_{ON}(I_{OFF})$  proposé en figure IV.49 permet de comparer les performances statiques des dispositifs. Là encore les courants sont normalisés par la largeur totale de conduction  $W_{ELEC}$ . En ce qui concerne les nMOS, les dispositifs GAA sur SOI réalisés concurrencent clairement les meilleurs points de la littérature. Bien que nous ayons été en mesure d'obtenir des nMOS hautes performances ( $I_{ON}=1,58mA/\mu m @ I_{OFF}=2E-8A/\mu m$ ), les excellentes performances obtenues pour  $I_{OFF}=0,4nA/\mu m$  et les bonnes caractéristiques sous le seuil font de cette architecture une excellente candidate pour les applications à basse consommation.

Le bilan des meilleurs pMOS réalisés au cours de cette thèse est un petit peu moins bon. En effet, pour des courants de fuite  $I_{OFF}$  aussi élevés, nos dispositifs n'atteignent pas des courant  $I_{ON}$  aussi élevé que les Trigate ([2], [3] et [9]). Cette légère "contre-performance" est certainement liée au procédé de fabrication (implantation, recuit d'activation) qu'il est possible d'ajuster. Il sera alors intéressant d'élever la tension de seuil de ces dispositifs pour exploiter leur potentiel dans le cadre d'applications à basse consommation.



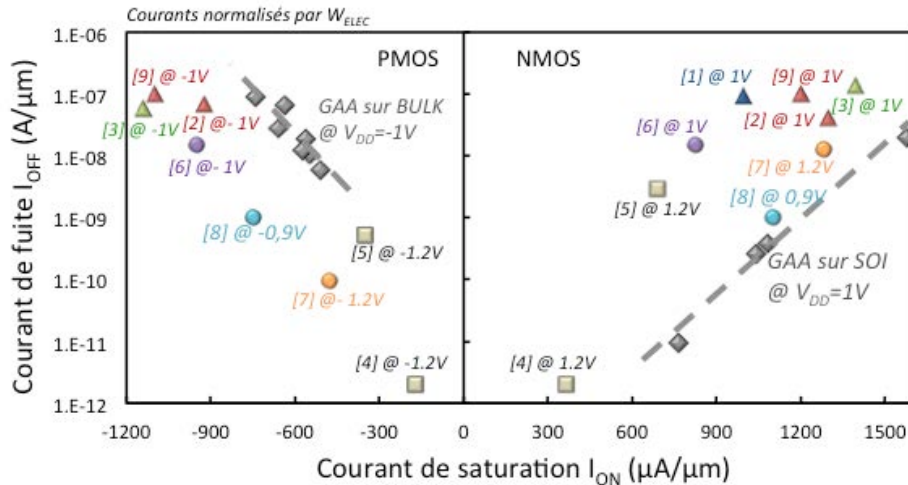


Figure IV.49 : compromis  $I_{ON}(I_{OFF})$  comparant les différentes architectures à grilles multiples de la littérature récente. Toutes les valeurs de courant sont normalisées par la largeur effective  $W_{ELEC}$  et par le nombre de canaux le cas échéant ([4] et [5]).

Enfin, il est difficile de comparer les architectures sur substrat SOI et sur substrat BULK réalisées au cours de cette thèse puisque seuls les nMOS de l'une et les pMOS de l'autre ont réellement été exploitables. Il peut néanmoins être précisé que les caractéristiques sous le seuil et le contrôle des effets électrostatiques semblent aussi bons pour les deux architectures, ce qui est lié à l'aspect enrobant de la grille. En ce qui concerne les performances ( $I_{ON}$  et  $I_{OFF}$ ), à paramètres technologiques équivalents ( $L_G$ ,  $W_{ELEC}$  et  $T_{Si}$ ), les deux architectures devraient, *a priori*, obtenir des résultats équivalents. Ceci correspond à l'objectif initial qui était de réaliser des dispositifs proposant la même approche : des transistors GAA planaires auto-alignés ayant leur canal défini par épitaxie. D'un point de vue du procédé de fabrication, il est également difficile de trouver une architecture supérieure à l'autre puisque chacune a des étapes particulières à contrôler.

Devant le potentiel des architectures planaires proposées dans ce chapitre, nous nous sommes intéressés aux perspectives d'un environnement circuit avec cette technologie. C'est l'objet de la dernière partie de ce chapitre.



## IV.E. Perspectives circuit des architectures GAA et comparaison avec le FinFET

Nous proposons ici d'estimer les délais de propagations d'éléments que l'on trouve habituellement dans des circuits en technologie CMOS : une chaîne d'inverseur et une chaîne de porte NAND réalisés à partir des dispositifs à grille enrobante présentés précédemment. Nos architectures étant basées sur une approche planaire, nous avons trouvé intéressant de la comparer avec une approche non planaire : le FinFET. Pour que la comparaison soit aussi équitable que possible, nous avons choisi un FinFET double grille (et non pas Trigate). Nos dispositifs sont en effet plus proches d'un double grille que d'un triple grille.

### IV.E.1. Présentation de l'architecture FinFET double grille et de ses problématiques

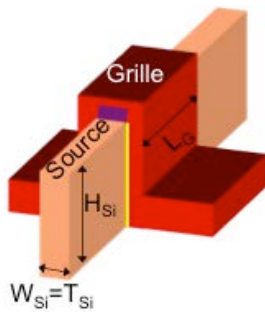


Figure IV.50 : schéma d'un FinFET double grille.

L'architecture FinFET (Figure IV.50) consiste en un canal de conduction en forme d'aileron (*fin* en anglais) sur lequel est déposé l'empilement de grille. Ainsi, on retrouve la grille sur trois faces du canal : les deux flancs verticaux de l'aileron et sa surface supérieure. Cependant, la présence d'un masque dur de nitrure sur cette dernière surface inhibe toute conduction faisant du FinFET un transistor double grille. La conduction s'effectuant sur les flancs verticaux de l'aileron (perpendiculaire au substrat), on parle d'architecture non planaire. La largeur totale de conduction est alors représentée par la hauteur des deux flancs verticaux (notée  $H_{Si}$ ,  $W_{ELEC}=2xH_{Si}$ ). Quant à l'épaisseur de canal  $T_{Si}$ , il s'agit de la largeur de l'aileron (on peut la trouver notée  $W_{Si}$ ).

La hauteur d'un *fin* (notée  $H_{Si}$  ou  $H_{Fin}$ ) étant généralement limitée à plusieurs dizaines de nanomètres, le courant débité par un seul FinFET est également limité. Pour obtenir l'équivalent d'un dispositif large et équilibrer certains circuits, plusieurs canaux sont alors implantés en parallèle [Pacha06] et sont connectés à une même grille (Figure IV.51). Cette configuration fait intervenir un nouveau paramètre : il s'agit de la distance entre deux *fins* que l'on appelle *Fin Pitch* (cette valeur intègre l'épaisseur d'un *fin*  $T_{Si}$ , Figure IV.51-a). Ce paramètre est très important pour la technologie FinFET et de nombreux efforts sont menés pour le réduire afin de ne pas pénaliser la densité d'intégration. Nous verrons plus tard que tous les paramètres de la technologie FinFET ( $L_G$ ,  $T_{Si}$ ,  $H_{Fin}$ , *Fin Pitch*) sont dépendants les uns des autres à travers des règles de dessin qui lui sont propres.

Notons également que,  $T_{Si}$  devant être faible pour obtenir un bon contrôle de l'électrostatique, il n'est pas possible de réaliser un contact sur un *fin* tel qu'il est dessiné initialement. Une solution consiste à faire une épitaxie de silicium pour les zones source et drain. Dans le cas d'un *Fin Pitch* agressif, les *fins* vont alors se contacter les uns avec les autres formant alors une source et un drain communs (Figure IV.51-c). Lorsque le *Fin Pitch* est plus relâché, les *fins* ne se rejoignent pas mais sont suffisamment épais pour qu'un contact y soit formé (Figure IV.51-c').

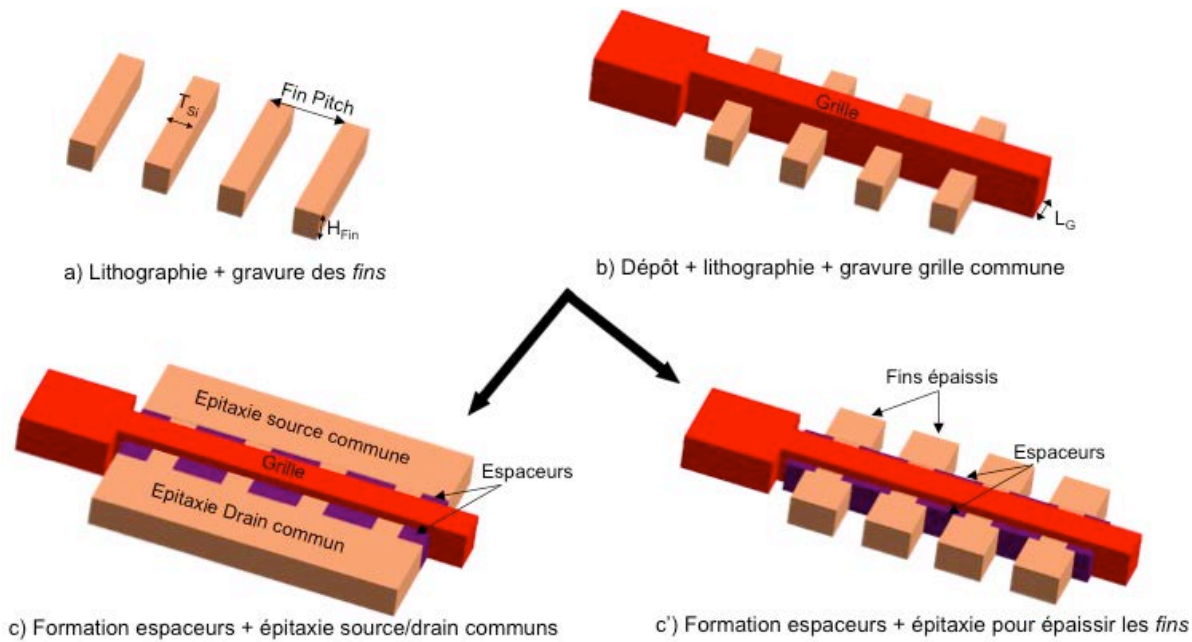


Figure IV.51 : schématisation de la conception d'une configuration multidoigts réalisée avec une architecture FinFET.

Le transport dans un FinFET étant réalisé sur un plan de conduction différent par rapport aux architectures planaires, les études concernant l'amélioration de la mobilité (utilisation de *boosters* en particulier) ont dû être renouvelées. En effet, la conduction se fait sur les flancs verticaux qui proposent une orientation cristalline (110), favorable aux trous mais pas aux électrons (cf. chapitre III), justifiant quelquefois des performances en dessous des attentes pour une architecture double grille. La littérature démontre alors l'utilisation de contraintes pour améliorer la mobilité. On trouve entre autres des couches tensiles pour améliorer les nMOS ou compressives pour les pMOS [Collaert06], des source/drain en SiC induisant une contrainte biaxiale tensile dans le canal pour *booster* les nMOS [Liow06a,b] ou encore des source/drain en SiGe induisant une contrainte uniaxiale compressive et donc favorable au transport des trous [Verheyen05].

Les nombreuses études menées sur le FinFET l'ont conduit à une relative maturité permettant la démonstration de circuits logiques élémentaires tels que des inverseurs ou des cellules SRAM [VonArnim07, Kawazaki06]. Néanmoins, cette architecture doit faire face à certains défis parmi lesquels on trouve :

➤ Le dopage source/drain : la difficulté de l'implantation des zones source/drain vient de la forme en aileron du canal de silicium. En effet, cela engendre des problèmes de conformité de l'implantation, un canal en forme d'aileron ne pouvant être uniformément dopé par un procédé d'implantation ionique verticale [Lenoble06a]. Ce problème est d'autant plus important que  $H_{Si}$  est grand et/ou  $T_{Si}$  petit, signifiant que ce défi sera de plus en plus difficile à relever pour les futures générations technologiques.

Bien que l'uniformité sur les flancs de l'aileron puisse être améliorée par une implantation inclinée (Figure IV.52-a), le sommet, lui, recevra deux fois la dose. De plus, dans une configuration à haute densité, comme les cellules SRAM, un *fin* fait écran et empêche

l'implantation sur la totalité du flanc du *fin* voisin, on parle d'effet d'ombrage ou de *shadowing* (Figure IV.52-b).

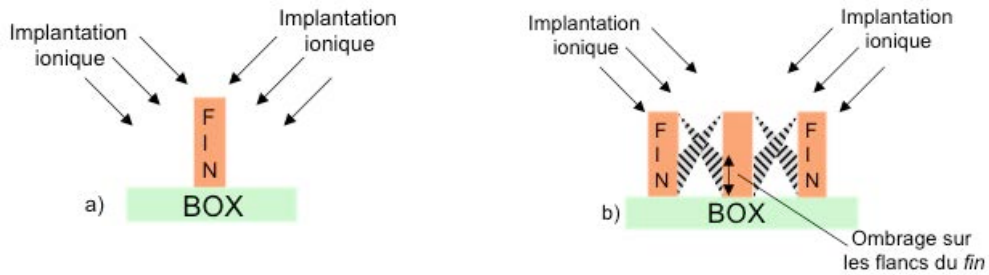


Figure IV.52 : schématisation de la conception d'une configuration multidoigts réalisée avec une architecture FinFET.

D'autres méthodes de dopage sont alors envisagées comme le dopage assisté par plasma (souvent appelé *PLAD*). Ce procédé permet en effet d'obtenir un dopage uniforme sur la totalité de l'aileron [Sasaki08] et peut conduire à une amélioration du courant de saturation [Lenoble06b].

➤ *Les règles de dessin* : nous avons vu précédemment que le courant d'un FinFET était fonction de la hauteur  $H_{Fin}$  de l'aileron et qu'il est donc nécessaire d'intégrer des canaux en parallèle pour obtenir des dispositifs plus ou moins larges (Figure IV.53). La largeur des dispositifs est donc discrétisée pour une technologie FinFET alors que la palette des  $W$  est continue pour les architectures planaires. Cette situation est encore plus problématique pour les circuits qui sont régis par leurs propres règles, faisant généralement intervenir un rapport  $W(nMOS)/W(pMOS)$ . Or, l'utilisation d'une technologie non planaire discrétise également ce rapport, ce qui complexifie encore la tâche des concepteurs.

L'utilisation de la technologie FinFET implique également la mise en place de règles de dessin propres à un dispositif. En effet, tous les paramètres technologiques sont liés les uns avec les autres. Pour commencer, l'épaisseur du canal ( $T_{Si}$ ) est déterminée en fonction de la longueur de grille ( $L_G$ ) pour assurer un certain contrôle des effets canaux courts. Généralement, on prend  $T_{Si}=L_G/2$ . La valeur du *Fin Pitch* est, elle, déterminée par lithographie. Sa valeur est donc limitée par la résolution de cette technique, limitant alors la densité d'intégration. La technique appelée "*Sidewall Image Transfer*" (SIT, Figure IV.54) a alors été proposée, permettant de réduire le *Fin Pitch* de moitié par rapport à la limite autorisée par la lithographie [Choi01]. C'est ensuite ce *Fin Pitch* qui détermine la hauteur de l'aileron  $H_{Fin}$ . *Kawasaki et al.* [Kawasaki09] expliquent que  $H_{Fin}$  doit être déterminé en prenant en compte la variabilité et les capacités parasites et qu'il doit donc être réduit avec les autres paramètres ( $L_G$ ,  $T_{Si}$ , *Fin Pitch*). Ils suggèrent de garder un rapport  $H_{Fin}/T_{Si}$  constant à 2,5. Cette réduction de  $H_{Fin}$  avec les générations technologiques augmente alors la palette de  $W$  disponibles.

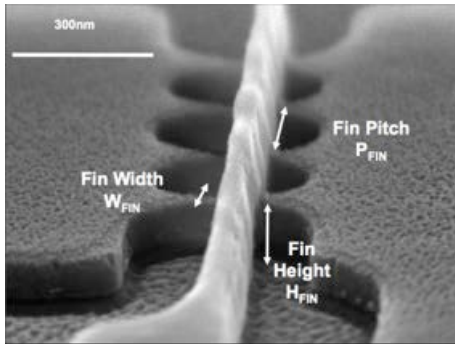


Figure IV.53 : vue tiltée d'un dispositif FinFET en configuration multidoigts [Pacha06].

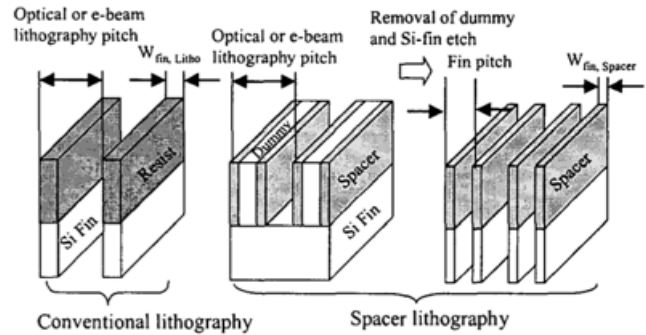


Figure IV.54 : schéma d'intégration présentant le principe du *Sidewall Image Transfer* [Choi01].

➤ La définition de  $T_{Si}$ : résultat d'un enchaînement lithographie-gravure, il est certain que la définition de l'épaisseur du canal est un point faible pour le FinFET face aux architectures planaires, d'autant plus que, comme nous l'avons vu,  $T_{Si} = L_G/2$  soit  $T_{Si} < 10\text{nm}$  pour les générations sub-20nm. Si la technique SIT règle (provisoirement) le problème du point de vue de la lithographie, la gravure doit être irréprochable. En effet, elle peut engendrer une rugosité sur les flancs verticaux de l'aileron et dégrader ainsi la conduction qui y a lieu. De plus, la définition de  $T_{Si}$  par gravure engendre généralement de plus mauvais résultats en terme de variabilité [Weber09].

Enfin, cette présentation de l'architecture FinFET ne pouvait se terminer sans discuter succinctement du FinFET à trois grilles conductrices, également appelé *Trigate*. Cette architecture est en effet plus que jamais au cœur de l'actualité depuis l'annonce officielle d'Intel® (mai 2011) sur l'adoption de ce "transistor 3D" sur substrat de silicium massif pour leur technologie hautes performances au nœud 22nm [Intel11] (figure IV.55). Comme présenté au premier chapitre, cette architecture est un FinFET sans masque dur de nitrure sur le haut du *fin* permettant une conduction sur trois faces du canal. La présence de la grille sur trois côtés du canal améliore l'intégrité électrostatique du dispositif et permet de relâcher (légèrement) les épaisseurs ( $T_{Si} = W_{Si}$ ) du *fin*. La définition des paramètres propres aux FinFETs ( $H_{Fin}$ ,  $T_{Si}$ , *Fin Pitch*) est donc toujours valable pour un *Trigate* mais leur largeur de conduction est plus importante puisqu'elle intègre la face supérieure du canal (de largeur:  $W_{ELEC} = 2 \times H_{Fin} + T_{Si}$ ). Les problématiques du FinFET restent également vraies pour le *Trigate* (à quelques nuances près) et les solutions apportées par Intel® n'ont pas encore été rendues publiques au moment où ses lignes sont écrites. Certains indices nous laissent cependant penser qu'ils utilisent un dopage plasma pour assurer son uniformité dans le *fin* et que la configuration en multidoigts est optimisée du point de vue de la densité d'intégration. Concernant l'épaisseur de l'aileron, il est probable qu'elle soit suffisamment relâchée ( $T_{Si} \approx 15\text{-}20\text{nm}$ ) pour limiter la difficulté de sa définition. En effet, Intel® s'intéressant aux applications hautes performances, le contrôle des effets électrostatiques peut être légèrement relâché, conduisant à des courants de fuite plus élevés ( $I_{OFF} = 100\text{nA}/\mu\text{m}$ ). Un  $T_{Si}$  plus mince serait en revanche indispensable pour une application à faible consommation.

Précisons enfin que d'autres acteurs majeurs de la microélectronique comme TSMC® s'intéresse également de très près au *Trigate* (ils gardent d'ailleurs l'appellation FinFET) comme le

montrent leurs récentes publications sur le sujet [Wu09, Chang09, Wu10, Yeh10] (Figure IV.56). Une adoption massive de cette architecture pour le nœud 16/14nm est donc à envisager.

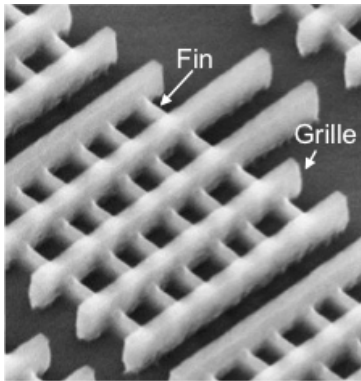


Figure IV.55 : image MEB d'un dispositif Trigate en configuration multidoigts présenté par Intel® [Intel11].

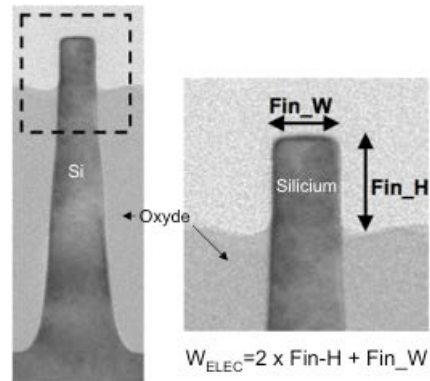


Figure IV.56 : exemple de FinFET (Trigate) sur silicium massif proposé par TSMC®. Image TEM [Wu10].

## IV.E.2. Etude perspective d'environnements circuits en technologie à grille multiples

Comme précisé en début de partie, l'estimation des performances d'éléments de circuit est réalisée sur deux types d'architectures double grille. Une approche planaire comme celle réalisée au cours de cette thèse et une approche non planaire comme le FinFET. Pour que la comparaison soit juste, les paramètres technologiques utilisés pour cette étude correspondent à ceux fournis par l'ITRS [ITRS] pour une technologie à faible consommation en veille (LSTP) pour l'année 2017. Nous avons choisi cette année car elle correspond, d'après l'ITRS, à la fin des architectures UTB et donc à l'adoption générale d'une (ou plusieurs) architecture(s) à grilles multiples. L'ITRS ne différenciant pas les architectures multigrilles, nous considérons les spécifications suivantes identiques pour les deux types d'approches étudiées :  $L_G=14\text{nm}$  ;  $T_{Si}=W_{Si}=7\text{nm}$  ;  $EOT=1\text{nm}$ ,  $V_{DD}=0,76\text{V}$  et  $I_{OFF}=10\text{pA}/\mu\text{m}$ . La largeur des dispositifs a été déterminée en utilisant les règles de dessins correspondant à la génération technologique et aux éléments circuits étudiés. Ainsi, la largeur dessinée des nMOS ( $W_{D,n}$ ) est de 110nm et celle des pMOS ( $W_{D,p}$ ) de 150nm.

Les performances d'un circuit sont, dans cette étude, évaluées à partir du calcul des délais de propagation (noté  $\tau$ ) d'une chaîne d'inverseurs (peut être noté RO pour *Ring Oscillator*) et d'une chaîne de portes NAND. La première étape de ce calcul est la génération des caractéristiques en courant des structures considérées.

### IV.E.2.a. Simulations des caractéristiques $I(V)$

Ainsi, des caractéristiques  $I_D(V_G)$  et  $I_D(V_D)$  continues ont été générées à partir des équations de base de MASTAR [MASTAR] en utilisant le modèle dit de "Source Virtuel" (noté VS pour *Virtual Source*) proposé par *Khakifirooz et al.* [Khakifirooz09]. Cette étape est indispensable pour obtenir une solution précise aux lois de Kirchoff's et calculer correctement la



vitesse des RO est des portes NAND en prenant en compte le régimes linéaire et saturé [Boeuf08, Wei09a].

Les spécifications de l'ITRS étant indépendantes de l'architecture multigrille considérée, les courants de drain simulés sont identiques pour le FinFET et pour l'architecture planaire. Les caractéristiques  $I_D(V_G)$  pour les nMOS et les pMOS sont présentés en figure IV.57. Comme exigé par les technologies LSTP, le courant de fuite  $I_{OFF}$  est fixé à  $10\text{pA}/\mu\text{m}$  et la pente sous le seuil est maintenue à  $69\text{mV}/\text{dec}$ . Ceci semble réaliste au vu des résultats expérimentaux présentés dans ce chapitre. Les valeurs de DIBL, calculées, sont de  $58\text{mV}$  et  $66\text{mV}$  pour les nMOS et les pMOS respectivement. La figure IV.58 présentent les caractéristiques  $I_D(V_D)$  correspondantes, précisons que les courants de saturation sont également des spécifications proposées par l'ITRS :  $I_{ON}=535\mu\text{A}/\mu\text{m}$  pour les pMOS et  $647\mu\text{A}/\mu\text{m}$  pour les nMOS.

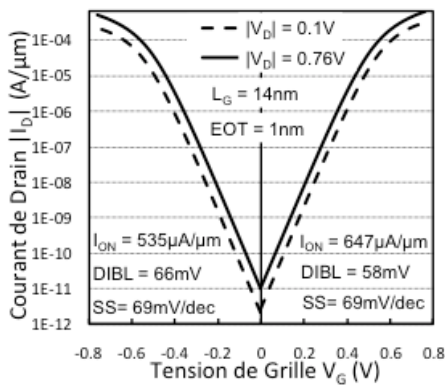


Figure IV.57 : caractéristiques  $I_D(V_G)$  simulées pour les dispositifs double grille étudiés.

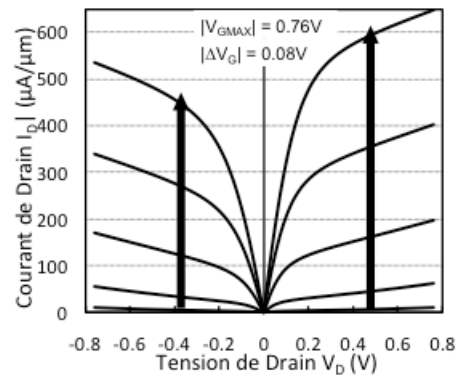


Figure IV.58 : caractéristiques  $I_D(V_D)$  simulées pour les dispositifs double grille étudiés.

Les deux approches ne pouvant être différenciées par leur courant de drain, elles ne le seront alors que par le deuxième paramètre prépondérant dans une étude circuit : la capacité totale (notée  $C_{TOT}$ ) de l'architecture.

#### IV.E.2.b. Estimation de la capacité totale

La capacité totale  $C_{TOT}$  qui se charge et se décharge au nœud de sortie, est la capacité qui détermine le délai de propagation au niveau du circuit. Elle inclut deux capacités (Figure IV.59) :

- ✓ La capacité de drain de l'étage conducteur du circuit, notée  $C_D$ .
- ✓ La capacité de grille de l'étage constituant la charge du circuit. Elle alterne entre la capacité de grille à l'état "ON", notée  $C_{G\_ON}$  et celle à l'état "OFF", notée  $C_{G\_OFF}$ .

Une troisième capacité peut également être prise en compte : la capacité liée aux connexions (câblages) entre deux étages, notée  $C_{INT}$ . Cependant, elle n'a pas été évaluée pour notre étude car elle est considérée identique pour les différents dispositifs étudiés.

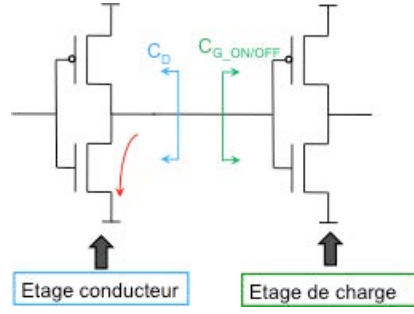


Figure IV.59 : les capacités à inclure pour le calcul du délai de propagation sont la capacité de drain  $C_D$  de l'étage conducteur et la capacité de grille de l'étage de charge [Wei09b].

Le terme  $C_{TOT}$  est donné par l'équation IV.4 ci-dessous [Wei09b] :

$$C_{TOT} = C_D + (0,25 \cdot C_{G\_OFF} + 0,75 \cdot C_{G\_ON}) \cdot FO \quad \text{Eq. IV.4}$$

où FO est le *fan-out*, soit le nombre de blocs connectés à l'élément du circuit (chaîne d'inverseurs ou de portes NAND) ; dans notre étude, FO=3.

La capacité de drain peut, dans un premier temps, être exprimées en fonction de deux composantes. La première représente la somme des capacités entre le drain et la grille, elle est notée  $C_{DG}$ . La seconde est la capacité entre la jonction de drain (zone dopée) et le substrat (zone non dopée), elle est notée  $C_j$ .

$$C_{TOT} = C_{DG} \cdot M + C_j + (0,25 \cdot C_{G\_OFF} + 0,75 \cdot C_{G\_ON}) \cdot FO \quad \text{Eq. IV.5}$$

où M représente le coefficient de l'effet Miller ; dans notre étude M=2 [Wei11].

Si l'on développe  $C_{DG}$ ,  $C_{G\_OFF}$  et  $C_{G\_ON}$  en fonction de leurs composantes respectives, on obtient l'équation IV.6 suivante :

$$C_{TOT} = (C_{ov} + C_{of} + C_{pcca} + C_{corner}) \cdot M + C_j + \left[ \begin{array}{l} 0,25 (C_{gb\_off} + 2C_{ov} + 2C_{of} + 2C_{if} + 2C_{pcca} + 2C_{corner}) \\ + 0,75 (C_{gc} + 2C_{ov} + 2C_{of} + 2C_{pcca} + 2C_{corner}) \end{array} \right] \cdot FO \quad \text{Eq. IV.6}$$

A l'aide d'un modèle analytique proposé par *Lacord et al.* [Lacord11], les composantes de capacités de l'équation IV.6 ont été évaluées pour les différentes architectures étudiées afin de calculer la capacité totale  $C_{TOT}$  du dispositif :

- $C_{ov}$  est la capacité liée au recouvrement entre la grille et les extensions de source et drain. Ici, elle est nulle car ce recouvrement n'a pas lieu pour les architectures double grille.
- $C_{GC}$  est la capacité entre la grille et le canal à travers l'oxyde de grille. Il s'agit de la capacité "utile" du dispositif, sa formule est celle d'une capacité plane (Eq. IV.7).

$$C_{GC} = W \cdot L_G \cdot \frac{\epsilon_{ox}}{T_{ox}} \quad \text{Eq. IV.7}$$

Comme  $\epsilon_{ox}$  (la permittivité de l'oxyde),  $T_{ox}$  (son épaisseur) et  $L_G$  sont des paramètres donnés par l'ITRS,  $C_{GC}$  sera quasiment similaire pour les architectures planaires et FinFETs et seul W variera entre les deux types d'approches (car il est discretisé pour les FinFETs). Cependant, la



participation des capacités parasites sera normalisée par rapport à cette capacité  $C_{GC}$  pour assurer une comparaison aussi juste que possible.

- $C_{gb\_off}$  est la capacité entre la grille et le substrat lorsque le dispositif est à l'état "off". Elle est nulle dans le cas d'une architecture planaire [Wei09b] et négligeable pour l'architecture FinFET étudiée car elle repose sur un substrat SOI à BOX épais (145nm).
- $C_{corner}$  est la capacité se trouvant entre la partie de la grille, plus large, sur laquelle repose le contact et le reste du transistor. Elle est la somme de plusieurs composantes dont la modélisation est donnée dans la référence [Lacord11]. N'engendrant pas de différences notoires entre les deux approches étudiées,  $C_{corner}$  ne sera pas discutée dans la suite de cette étude.
- $C_{if}$  (pour *inner fringe*) est la capacité entre la grille et les jonctions source/drain à travers le canal. On voit à partir de sa formule (Eq. IV.8) qu'elle dépend principalement de l'épaisseur de l'oxyde de grille, de l'épaisseur du canal et de la longueur de grille. Ces paramètres étant identiques pour les différentes architectures étudiées, seule la discrétisation de  $W$  pour les FinFETs engendrera de légères différences.

$$C_{if} = \frac{4}{\pi} \cdot W \cdot H_g \cdot \sinh^{-1} \left( \sqrt{\frac{(T_{Si}/2)^2 + 2T_{ox} \cdot (T_{Si}/2)^2}{T_{ox}}} \right) + 0,7 \cdot \epsilon_{Si} \cdot \frac{W}{\pi} \cdot \ln \left( \pi \cdot \frac{W}{T_{ox}} \right) \quad \text{Eq. IV.8}$$

où  $H_g$  est la hauteur de grille. Pour le cas d'un FinFET,  $W = N \times H_{fin}$  avec  $N$  le nombre de fins en parallèle.

- $C_{pcca}$  est la capacité entre la grille et le contact. Elle est la somme d'une composante plane à travers les espaceurs, notée  $C_{pcca\_flat}$  et d'une composante non plane partant du haut de la grille à travers le diélectrique pré-métal (PMD), notée  $C_{pcca\_top}$ . La modélisation de  $C_{pcca}$  sera décrite pour chaque architecture étudiée.
- $C_{of}$  (pour *outer fringe*) est la capacité entre la grille et la jonction de drain (ou source) à travers les espaceurs. Elle dépend principalement de la permittivité et de l'épaisseur des espaceurs. Sa modélisation dépend de l'architecture considérée, les équations correspondantes seront données plus tard.

#### IV.E.2.c. Capacités de l'architecture planaire

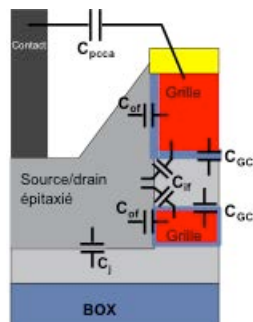


Figure IV.60 : représentation schématique des principales capacités de l'architecture GAA réalisée au cours de cette thèse.

Une représentation schématique des principales capacités de l'architecture correspondant aux GAA planaires réalisés est proposée en figure IV.60. On note que cette architecture a du silicium sur les flancs des grilles en lieu et place des espaceurs. Ceci a pour effet de supprimer la composante plane de la capacité entre la grille et le contact ( $C_{pcca\_flat}$ ) et limite ainsi la capacité parasite  $C_{pcca} = C_{pcca\_top}$  donnée en équation IV.9. L'avantage de cette architecture est le contrôle de la hauteur de grille  $H_g$ , définie par l'épitaxie du SiGe, qui influence cette capacité. Ici  $H_g = 20\text{nm}$ .

$$C_{pcca\_top} = \frac{2}{\pi} \cdot W \cdot H_g \cdot \epsilon_{PMD} \cdot \sinh^{-1} \left( \sqrt{\frac{(L_G/2)^2 + T_{esp} \cdot L_G}{T_{esp}}} \right) + 0,35 \cdot \epsilon_{PMD} \cdot \frac{W}{\pi} \cdot \ln \left( \pi \cdot \frac{L_G/2}{T_{esp}} \right) \quad \text{Eq. IV.9}$$

où  $T_{esp}$  est ici la distance entre la grille et le contact, donnée par l'ITRS (56nm pour notre étude).

Cependant, l'absence de réels espaceurs en nitrure pénalise fortement notre architecture puisque cela engendre une composante plane aux capacités  $C_{of}$  (notée  $C_{of\_plane}$ ) dont l'équation est donnée ci-dessous (Eq. IV.10) :

$$C_{of\_flat} = \frac{\epsilon_{esp} \cdot W \cdot H_g}{T_{esp}} \quad \text{Eq. IV.10}$$

D'après le schéma en figure IV.60, les espaceurs sont ici représentés par l'oxyde de grille qui est en réalité un diélectrique haute permittivité ( $\epsilon_{esp} = \epsilon_{ox} = 25\epsilon_0$ ) et qui est très fin ( $T_{esp} = 2,5\text{nm}$ ), renvoyant ainsi une valeur élevée de  $C_{of} = C_{of\_flat} + C_{of\_fringe}$  ( $7,6 \cdot 10^{-17}\text{F}$  pour un nMOS). La modélisation de  $C_{of\_fringe}$ , composante non plane de  $C_{of}$ , est donnée par *Lacord et al.* [Lacord11] (Eq. IV.11) :

$$C_{of} = \frac{2}{\pi} \cdot W \cdot \epsilon_{esp} \cdot \sinh^{-1} \left( \sqrt{\frac{T_{esp}^2 + 2T_{ox} \cdot T_{esp}}{T_{ox}}} \right) + 0,35 \cdot \epsilon_{esp} \cdot \frac{W}{\pi} \cdot \ln \left( \pi \cdot \frac{W}{T_{ox}} \right) \quad \text{Eq. IV.11}$$

Une solution, pour réduire la contribution de  $C_{of\_flat}$  serait d'introduire des espaceurs de nitrure (faible permittivité  $\epsilon$ ) entre les grilles (supérieure et inférieure) et le silicium épitaxié des jonctions source/drain. Cette solution est d'autant plus réaliste qu'elle a déjà été mise en œuvre par *Bernard et al.* [Bernard09] sur une architecture multicanaux (MCFET, Figure IV.61). Un gain de 39% avait alors été observé sur le délai intrinsèque CV/I. Le procédé d'intégration de ce MCFET étant assez proche de nos GAA, cette solution est donc envisageable. La figure IV.62 présente schématiquement les 3 étapes clés pour l'intégration d'espaceurs internes dans l'architecture GAA (exemple du GAA sur SOI). Suite à la gravure des jonctions (Figure IV.62-a), le SiGe est partiellement gravé. La cavité (non complète) formée est alors remplie par une bicouche  $\text{SiO}_2/\text{SiN}$  qui est ensuite gravée de manière auto-alignée par rapport au masque dur de nitrure (Figure IV.62-b). Il s'agit de la seule étape supplémentaire par rapport au procédé des GAA présentés dans ce chapitre puisque la suite consiste à faire recroître du silicium pour former

les source/drain, recontacter le canal et maintenir la structure (Figure IV.62-c). Une attention particulière sera portée sur la sélectivité de cette épitaxie pour assurer la cristallinité du silicium aux abords des espaceurs.

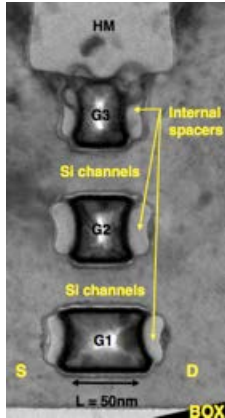


Figure IV.61 : vue en coupe TEM d'un MCFET avec des espaceurs internes [Bernard09].

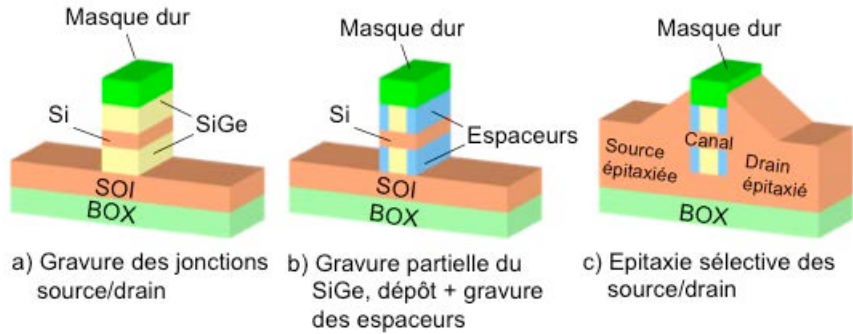


Figure IV.62 : schéma d'intégration des espaceurs internes dans une architecture GAA sur SOI.

Les capacités de cette nouvelle architecture planaire ont donc été étudiées. Elles sont représentées sur la figure IV.63. La seule différence avec l'architecture précédente ne réside qu'en la présence des espaceurs de nitrure. Ces derniers apportent une nette diminution de la permittivité ( $\epsilon_{\text{esp}} = 7\epsilon_0$  contre  $25\epsilon_0$ ) et augmentent l'épaisseur  $T_{\text{esp}}$  (14nm contre 2,5nm) dans l'équation de  $C_{\text{of\_flat}}$  (Eq. IV.10) est réduit ainsi la valeur de  $C_{\text{of}}$  ( $3,11 \cdot 10^{-17}\text{F}$  vs.  $7,6 \cdot 10^{-17}\text{F}$  pour un nMOS). Cette optimisation conduit à une réduction de la participation des capacités parasites (Figure IV.64) de l'ordre de 38% et devrait améliorer d'autant les performances du circuit, à courant de drain égal.

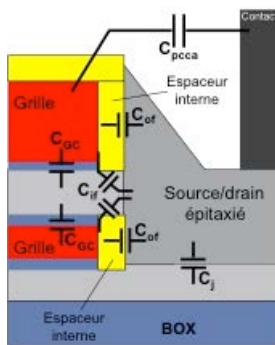


Figure IV.63 : représentation schématique des principales capacités de l'architecture GAA avec des espaceurs internes.

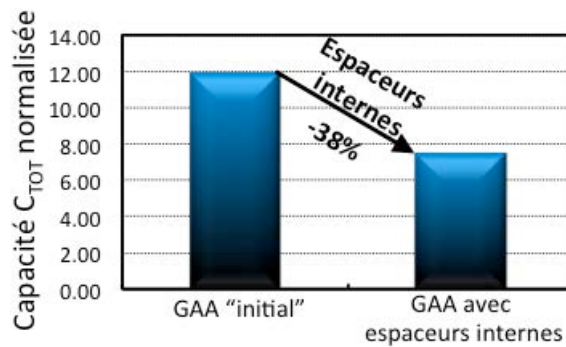


Figure IV.64 : Evaluation de la capacité totale  $C_{\text{TOT}}$  (normalisée par la capacité "utile"  $C_{\text{GC}}$ ) du GAA réalisé et du GAA intégrant des espaceurs internes.

Si les figures IV.60 et IV.63 représentent un GAA réalisé sur substrat SOI, les capacités sont sensiblement les mêmes pour l'architecture réalisée sur silicium massif. En effet, le SOI initial étant épais (70nm), la capacité  $C_j$  (entre les jonctions source/drain et le substrat) est

identique pour les deux types de substrat, sa formule est donnée par [Wei09b] (ici  $C_j=5,37.10^{-17}F$ ). Un SOI plus mince ( $\approx 10nm$ ) et complètement déplété aurait supprimé cette capacité.

A l'occasion de cette étude sur les capacités parasites de nos architectures GAA et en continuant le raisonnement sur l'utilisation d'espaces internes, nous avons convenu que l'architecture GAA idéale devrait non seulement avoir des espaces internes mais également un diélectrique enterré au même niveau que la grille inférieure. Une représentation schématique de cette architecture est proposée en figure IV.65. Les espaces de ce GAA étant encore plus épais que les précédents, cette architecture permet de réduire à nouveau la composante plane de  $C_{of}$  (entre les flancs de la grille et l'épitaxie de silicium) grâce à l'augmentation de  $T_{esp}$  pour la grille inférieure ( $C_{of}=1,92.10^{-17}F$  contre  $3,11.10^{-17}F$  pour l'architecture avec les espaces internes). Très intéressant également, le diélectrique enterré ainsi placé, supprime la capacité de jonctions  $C_j$  qui est remplacée par la capacité  $C_{BD}$  (Eq. IV.12) entre les jonctions source/drain et le substrat à travers ce diélectrique de 28nm d'épaisseur (figure IV.66) :  $C_{BD}=2,85.10^{-18}F$  alors que  $C_j=5,37.10^{-17}F$ .

$$C_{BD} = W \cdot L_{pcca} \cdot \frac{\epsilon_{BD}}{T_{BD}} \quad \text{Eq. IV.12}$$

où  $L_{pcca}$  est la distance entre le contact et la grille,  $\epsilon_{BD}$  la permittivité du diélectrique (ici  $\epsilon_{BD}=7\epsilon_0$ ) et  $T_{BD}$  son épaisseur, égale à la hauteur de la grille inférieure.

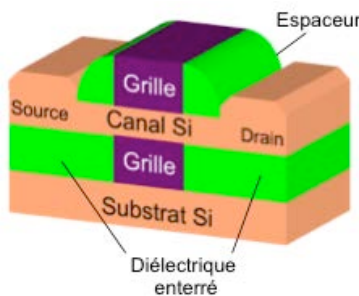


Figure IV.65 : schéma du transistor GAA planaire "idéal".

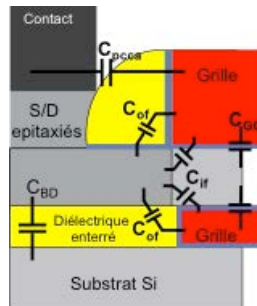


Figure IV.66 : représentation schématique des capacités de l'architecture GAA "idéale".

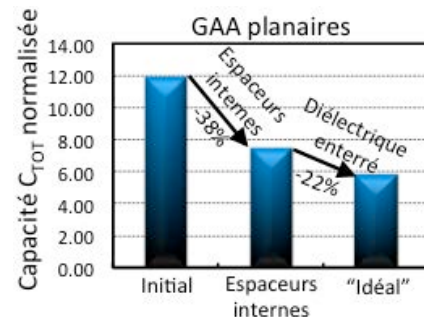


Figure IV.67 : comparaison de  $C_{TOT}$  pour les trois architectures GAA planaires présentées.

De par la prise en compte de sa composante plane à travers l'espaceur, la capacité grille-contact ( $C_{pcca}$ ) est plus élevée pour cette dernière architecture. Cette augmentation de  $C_{pcca}$  reste néanmoins plus faible que l'amélioration (réduction) apportée sur  $C_{of}$  et sur  $C_j$ , confirmant le caractère "idéal" de cette intégration dans une perspective circuit.

Finalement, l'architecture avec le diélectrique enterré au niveau de la grille inférieure (GAA "idéal") offre une réduction de 22% sur  $C_{TOT}$  par rapport à l'architecture avec les espaces internes, soit 52% par rapport à l'architecture GAA initial (Figure IV.67).

#### IV.E.2.d. Capacités du FinFET

La figure IV.68-a schématise une vue en coupe d'un transistor FinFET et montre les principales capacités de cette architecture. On note la présence d'un espaceur sur les bords de la grille qui permet d'obtenir une capacité  $C_{of}$  relativement faible. Cependant, l'aspect en trois dimensions de cette architecture engendre la présence de capacités  $C_{of}$  supplémentaires entre le *fin* et la grille à travers l'espaceur qui la pénalise (Figure IV.68-b).

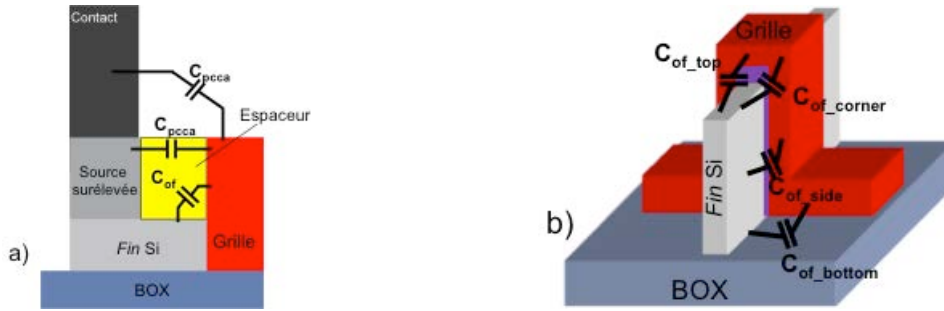


Figure IV.68 : a) représentation schématique des capacités d'un transistor FinFET ; b) représentation 3D d'un FinFET pour souligner la présence de capacités  $C_{of}$ . Pour rendre cette figure plus lisible, les espaceurs ne sont pas représentés.

L'équation de la capacité  $C_{of\_side}$  du FinFET (proche de celle d'une architecture planaire) est donnée en équation IV.13 [Lacord11] :

$$C_{of\_side} = \frac{4}{\pi} \cdot N \cdot H_{Fin} \cdot \epsilon_{esp} \cdot \sinh^{-1} \left( \sqrt{\frac{T_{esp}^2 + 2T_{ox} \cdot T_{esp}}{T_{ox}}} \right) + 0,35 \cdot \epsilon_{esp} \cdot 2 \cdot N \cdot \frac{H_{Fin}}{\pi} \cdot \ln \left( \pi \cdot \frac{H_{Fin}}{T_{ox}} \right) \quad \text{Eq. IV.13}$$

Pour retrouver l'équation de la capacité  $C_{of\_top}$  il suffit de remplacer  $H_{Fin}$  par  $T_{Si}$ , valeur qui représente la largeur de la capacité. Pour  $C_{of\_bottom}$ , il faut prendre  $T_{Si}/2$ . La modélisation de  $C_{of\_corner}$  est un peu plus complexe, le lecteur intéressé la trouvera dans [Lacord11].

Pour évaluer les différentes capacités d'un FinFET, il est nécessaire de déterminer les paramètres technologiques des dispositifs. Comme précisé précédemment, il existe des règles de dessin propre au FinFET qui ne sont pas spécifiées par l'ITRS. Pour cette étude, nous nous sommes appuyés sur les règles proposées par *Kawasaki et al.* [Kawasaki09], qui donnent les paramètres suivant :  $H_{Fin} = 2,75 \times T_{Si} = 19\text{nm}$ ,  $Fin\ Pitch = H_{Fin} + T_{Si} = 26\text{nm}$ . On comprend alors que pour les dispositifs étudiés ici le FinFET sera nécessairement utilisé en configuration multidoigts, entraînant une discrétisation de la largeur  $W$ . Nous avons étudiés trois configurations différentes, leurs paramètres sont répertoriés dans le tableau IV.3.

Dans une configuration multidoigts, la largeur dessinée est donnée par  $W_D = (N+1) \times Fin\ Pitch - T_{Si}$  (la valeur du *Fin Pitch* intègre  $T_{Si}$ ) et la largeur électrique par  $W_{ELEC} = 2 \times N \times H_{Fin}$  où  $N$  est le nombre de *fins* en parallèle. Pour les architectures planaires  $W_{ELEC} = 2 \times W_D$ .

	Architectures planaires	FinFET Cas A	FinFET Cas B	FinFET Cas C
$T_{Si}$ (nm)	7	7	7	7
nMOS $W_{D,n}$ (nm)	110	<b>97</b>	175	<b>112</b>
pMOS $W_{D,p}$ (nm)	150	<b>149</b>	227	<b>146</b>
nMOS $W_{ELEC}$ (nm)	220	114	<b>228</b>	<b>228</b>
pMOS $W_{ELEC}$ (nm)	300	190	<b>304</b>	<b>304</b>
$H_{Fin}$ (nm)	N/A	19	19	19
N (nMOS/pMOS)	N/A	3/5	6/8	6/8
<i>Fin Pitch</i> (nm)	N/A	26	26	<b>17</b>

Tableau IV.3: tableau répertoriant les paramètres des différentes configurations étudiées.

- Le cas A permet de comparer les deux types d'approches (planaires et non planaires) à encombrement équivalent (largeur dessinée  $W_D$ ). Cela signifie que nous avons essayé de nous rapprocher le plus possible de  $W_{D,n}=110\text{nm}$  et  $W_{D,p}=150\text{nm}$ . Cependant, la largeur de conduction  $W_{ELEC}$  proposée par le FinFET sera inférieure à celle des planaires et avec elle le courant  $I_D$ .
- Le cas B propose de comparer les deux approches à  $W_{ELEC}$  équivalent mais, en respectant les règles de dessin du FinFET, pour un encombrement plus important et ne respectant donc plus les règles de dessin de la technologie.
- Un cas C a donc été étudié pour lequel les valeurs de  $W_{ELEC}$  et  $W_D$  du FinFET sont aussi proche que possible de celles des dispositifs planaires. Néanmoins, ce cas implique un non respect des règles de dessin du FinFET puisque nous avons diminué *Fin Pitch* jusqu'à 17nm, une configuration très agressive et certainement très difficile à réaliser.

Les capacités totales de ces trois cas ont donc été calculées et comparées entre elles et avec les architectures planaires en les normalisant par rapport à la capacité "utile"  $C_{GC}$  (Figure IV.69).

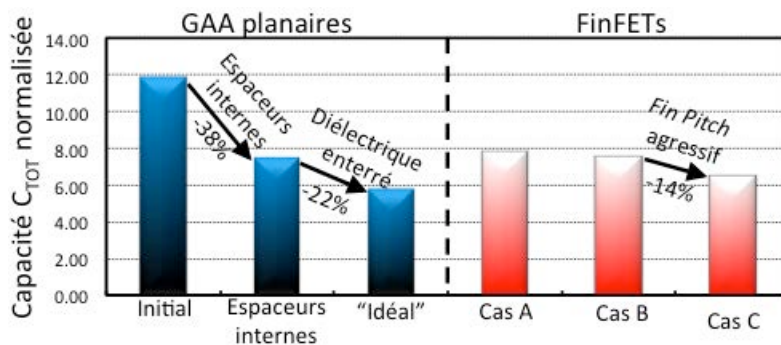


Figure IV.69: comparaison de la capacité totale  $C_{TOT}$  des trois configurations de FinFETs étudiées avec les GAA planaires.

Si l'on compare dans un premier temps les configurations FinFETs entre elles, on remarque que les cas A et B, qui respectent tous les deux les règles de dessin du FinFET, sont très proches. Cela vient du fait que la capacité  $C_{TOT}$  est normalisée par  $C_{GC}$ . Les règles de dessin étant conservées pour les cas A et B, l'augmentation d'une capacité (ex :  $C_{of,B}=2 \times C_{of,A}=2,88 \cdot 10^{-17}F$ ) est compensée par une augmentation similaire de la capacité utile ( $C_{GC,B}=2 \times C_{GC,A}=8,39 \cdot 10^{-17}F$ ). Une légère différence est néanmoins visible entre les deux cas. Elle est due à la largeur dessinée  $W_D$  qui n'est pas doublée entre le cas A et le cas B mais "seulement" multipliée par 1,8. Or, les composantes de la capacité  $C_{pcca}$  du FinFET sont dépendantes de  $W_D$  [Lacord11] et le rapport  $C_{pcca,B}/C_{pcca,A}=1,96$ . C'est donc cette faible différence avec le doublement de  $C_{GC}$  qui est observée sur la figure IV.69.

C'est le même phénomène qui explique l'amélioration apportée par le cas C. La largeur  $W_D$  (et donc  $C_{pcca}$ ) est réduite par rapport au cas B alors que le nombre de *fins*  $N$  (et avec lui  $W_{ELEC}$ ) sont gardés constants (et donc  $C_{GC}$  et  $C_{of}$  aussi). Ainsi, augmenter la densité d'intégration (ou diminuer le *Fin Pitch*) permet de réduire le rapport  $C_{pcca}/C_{GC}$  et baisse la participation des capacités parasites. Nous observons ainsi un gain de 14% en réduisant le *Fin Pitch* de 26nm à 17nm. Cela confirme l'importance, pour la technologie FinFET, de réduire ce paramètre.

En comparant les capacités du FinFET avec les GAA planaires, on constate immédiatement que le GAA initial est très fortement pénalisé par ses capacités  $C_{of}$  et présente donc la plus haute valeur de  $C_{TOT}$ . L'intégration d'espaces internes permet et la réduction de  $C_{of}$  permet alors à l'architecture GAA planaire de faire jeu égal avec une configuration FinFET respectant les règles de dessin (cas B). La capacité de jonctions  $C_j$  engendrée par cette approche planaire étant compensée par sa faible valeur de  $C_{pcca}$  ( $2,6 \cdot 10^{-18}F$  pour le planaire et  $2,49 \cdot 10^{-17}F$  pour le FinFET cas B).

Si le cas C permet de réduire encore la  $C_{pcca}$  du FinFET, elle reste plus élevée que celle d'un GAA planaire. Or, l'utilisation d'un diélectrique enterré améliore considérablement les capacités  $C_j$  (qui devient  $C_{BD}=2,85 \cdot 10^{-18}F$ ) et  $C_{of}$  de l'approche planaire, donnant l'avantage au GAA "idéal" face à la configuration agressive du FinFET.

#### IV.E.2.e. Evaluation des délais de propagation

Une fois la capacité totale  $C_{TOT}$  calculée et les caractéristiques  $I_D(V_G)$  et  $I_D(V_D)$  simulées, le délai de propagation peut être estimé pour une chaîne d'inverseurs et une chaîne de portes NAND. Ce délai  $\tau$  est extrait à partir de la valeur moyenne du délai entre signaux de sortie descendants (ou montants) comme décrit pas *Bæuf et al.* [Boeuf08] (FigureIV.70).



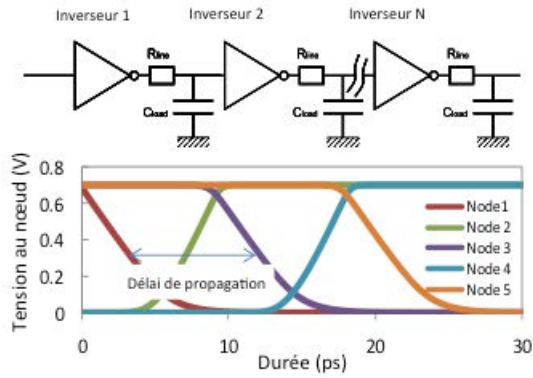


Figure IV.70 : haut : schéma d'un anneau résonnant (RO) d'inverseurs utilisé comme structure de test dans cette étude. Bas : tension de sortie en fonction du temps pour un étage donné du RO.

Les délais de propagation d'une chaîne d'inverseurs et d'une chaîne de portes NAND obtenus sur les différentes architectures (et configurations) étudiées sont présentées en figures IV.71 et IV.72 respectivement. Pour garder une échelle convenable sur les graphiques, les délais de propagation de l'architecture planaire initiale ne sont pas présentés, leurs valeurs sont supérieures à toutes les autres du fait des fortes capacités parasites  $C_{of}$ . Comme prévu par l'étude des capacités, les meilleurs délais sont atteints par l'architecture planaire "idéale" avec son diélectrique enterré au même niveau que la grille inférieure. Il ressort également de ces deux graphiques une supériorité des architectures planaires puisque l'architecture planaire avec les espaceurs internes propose de meilleures performances que les cas A et B du FinFET qui respectent les règles de dessin. La comparaison des meilleurs cas de chaque approche (planaire idéal et FinFET cas C) donne l'avantage au planaire idéal qui montre un gain de 20% sur le délai de propagation sur les deux éléments circuits étudiés à  $I_{OFF}=10\text{pA}/\mu\text{m}$ , spécifications ITRS pour une technologie à basse consommation en veille.

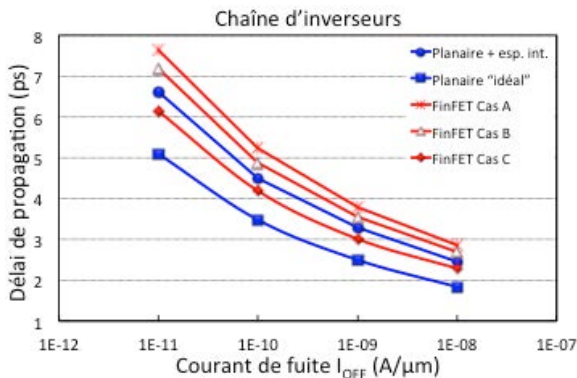


Figure IV.71 : délais de propagation d'une chaîne d'inverseurs modélisés pour différentes valeurs du courant de fuite  $I_{OFF}$ .

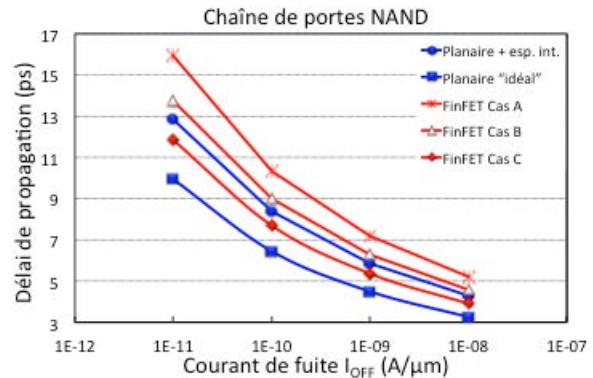


Figure IV.72 : délais de propagation d'une chaîne de portes NAND modélisés pour différentes valeurs du courant de fuite  $I_{OFF}$ .

Une chaîne de portes NAND est composée d'un plus grand nombre de transistors qu'une chaîne d'inverseurs, ce qui explique leurs délais de propagation plus importants.

IV.E.2.f. Etude en fonction de la largeur dessinée

Les délais de propagation, donnant l'avantage aux approches planaires, que nous venons de présenter concernent des dispositifs étroits. Or, nous avons constaté au paragraphe IV.E.2.d. que la configuration multidoigts des FinFETs engendrait une réduction des capacités parasites en augmentant la largeur dessinée. La situation est inverse pour une architecture planaire puisque la majorité de leurs capacités parasites augmentent avec  $W$ . Dans un environnement circuit, des dispositifs larges sont quelquefois nécessaires pour délivrer des niveaux de courants élevés, il est donc intéressant de savoir si l'architecture FinFET reprend l'avantage pour ce genre de situation. Ainsi, dans ce paragraphe l'impact de la largeur des dispositifs sur le délai de propagation est étudié sur les deux meilleurs cas de l'étude précédente : l'architecture planaire idéale et le cas C du FinFET. Deux nouvelles configurations de FinFETs ont également été modélisées :

- Le cas D consiste à doubler la hauteur du *fin* par rapport au cas C :  $H_{fin}=38\text{nm}$ . Pour conserver les mêmes valeurs  $W_{ELEC}$  et  $W_D$  que l'architecture planaire, le *Fin Pitch* a également été doublé :  $Fin\ Pitch_D=2 \times Fin\ Pitch_C=34\text{nm}$ .
- Le cas E correspond au cas le plus "extrême" pour les FinFETs. En effet, la hauteur du *fin* est doublé par rapport au cas C ( $H_{fin}=38\text{nm}$ ) mais le même *Fin Pitch* est utilisé ( $Fin\ Pitch=17\text{nm}$ ). Cette configuration propose donc une largeur de conduction  $W_{ELEC}$  (et donc un courant  $I_D$ ) deux fois supérieure à celle de l'approche planaire pour une même largeur dessinée.

La figure IV.73 présente l'évolution du délai de propagation  $\tau$  d'une chaîne d'inverseurs en fonction de la largeur dessinée d'un nMOS  $W_{D,n}$  et ce pour les trois configurations (C, D et E) de FinFETs et l'architecture planaire idéale.

La première information intéressante qui ressort de ce graphique est la chute des performances (augmentation significative de  $\tau$ ) engendrée par le cas D par rapport au cas C. Cela confirme l'importance des règles de dessin propres au FinFET et l'intérêt de conserver un rapport d'aspect  $H_{fin}/T_{Si} \approx 2,5$  [Kawasaki09].

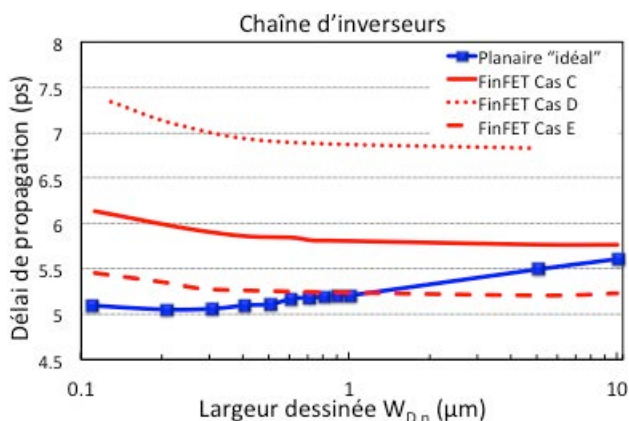


Figure IV.73 : évolution du délai de propagation d'une chaîne d'inverseurs en fonction de la largeur dessinée des transistors.

Plus intéressant encore, la comparaison entre le cas C des FinFETs et l'approche planaire idéale montre que, même pour les dispositifs les plus larges, les meilleures performances sont proposées par l'architecture planaire.

Seule la configuration du cas E arrive à concurrencer l'approche planaire mais le croisement des allures ne s'effectue qu'à partir de  $W_{D,n}=1\mu\text{m}$ , ce qui correspond à l'intégration de 30 canaux en parallèle pour un nMOS et 40 pour les pMOS. Il est alors difficile de parler d'avantage pour les FinFETs car une telle configuration apporte certainement un haut niveau de complexité en terme d'intégration technologique.

Cette étude comparative entre les approches planaires et de types FinFETs à travers des perspectives circuits nous permet de conclure sur une certaine supériorité des approches planaires. D'un point de vue des performances, la seule introduction d'espaces internes donne l'avantage à notre architecture GAA face aux FinFETs qui doivent s'affranchir de leurs propres règles de dessin pour "rivaliser" avec les approches planaires. De plus, même si cela n'a pas été pris en compte pour cette dernière étude, réaliser un FinFET avec un  $T_{Si}$  de 7nm constitue déjà une difficulté majeure au même titre qu'un *Fin Pitch* de 17nm [Basker10]. Cependant, il reste à considérer la voie technologie afin de réaliser l'architecture planaire idéale. Cela fera l'objet d'une partie du chapitre suivant.

## IV.F. Conclusion du chapitre

Après avoir présentés des architectures à film mince mais à grille unique dans les chapitre II et III, ce chapitre proposait de regarder un peu plus loin sur la roadmap de l'ITRS et de s'intéresser aux architectures à grille multiple.

Ainsi, nous avons proposé une architecture double grille planaire à grille enrobante, réalisée à l'aide de la technologie SON et sur deux types de substrat différent (silicium massif et SOI). Le procédé de fabrication des architectures réalisées a été présenté mettant en évidence les avantages d'une telle approche que sont l'auto-alignement des deux grilles du transistor, la compatibilité d'un tel procédé avec la technologie BULK classique (aucun masque dédié nécessaire) et la définition de l'épaisseur du canal par épitaxie. Ce dernier point a été illustré par la réalisation de dispositifs ayant un canal de seulement 4nm d'épaisseur, ce qui présente un avantage considérable pour les ultimes nœuds technologiques.

Les transistors fabriqués au cours de cette thèse permettent non seulement un excellent contrôle des effets électrostatiques mais ils présentent également d'excellentes performances statiques avec des nMOS faisant jeu égal avec d'autres architectures à grilles multiples de la littérature. La compatibilité de notre intégration avec des applications mémoires de type SRAM a également été démontrée grâce à la caractérisation d'un inverseur en technologie à grille enrobante avec des règles de dessins du nœud 45nm.

Enfin, la dernière partie de ce chapitre était consacrée à une étude sur les perspectives de l'architecture réalisée dans un environnement circuit pour une génération avancée ( $\approx$  nœud 10nm). Lors de cette étude, notre architecture s'est avérée pénalisée par des capacités parasites trop importantes. L'intégration d'espaceurs internes sur les flancs des deux grilles de l'architecture permet d'améliorer les résultats, mais surtout, nous avons proposé un cas idéal avec la mise en place d'un diélectrique enterré au même niveau que la grille inférieure. Nous avons également profité de cette étude pour comparer notre approche planaire avec une approche qui ne l'est pas, le FinFET. La conclusion donne un net avantage aux approches planaires (optimisées du point de vue des capacités) et souligne les difficultés technologiques liées à l'utilisation d'architectures non planaires, utilisant un film vertical très mince.

Le chapitre suivant est consacré à une perspective plateforme pour notre architecture planaire à grille enrobante, ce qui implique l'offre de différents niveaux de tension de seuil et l'éventuelle co-intégration avec une technologie BULK conventionnelle (cf. chapitre II). Nous montrerons également un moyen de réaliser l'architecture GAA considérée comme idéale dans notre étude de circuits.



---

---

**- CHAPITRE V -**

**PERSPECTIVES D'UNE PLATEFORME**

**EN TECHNOLOGIE GAA PLANAIRE**

---

---

*“Tempora mori, tempora mundis recorda.  
Voilà, eh bien ça par exemple, ça ne veut absolument rien dire,  
mais l'effet reste le même...”*

Kaamelott, Livre III, tome 1, épisode 27.

<b>CHAPITRE V: PERSPECTIVES D'UNE PLATEFORME EN TECHNOLOGIE GAA PLANAIRE ....</b>	<b>163</b>
<b>V.A. Perspectives plateforme.....</b>	<b>165</b>
V.A.1. Une offre <i>multi-<math>V_{TH}</math></i> .....	165
V.A.1.a. <i>Principe</i> .....	165
V.A.1.b. <i>Procédé de fabrication</i> .....	167
V.A.2. Co-intégration GAA/Bulk conventionnel.....	170
<b>V.B. Utilisation de la résine HSQ : vers un GAA idéal ? .....</b>	<b>173</b>
V.B.1. Présentation de la résine HSQ .....	173
V.B.2. Intégration GAA avec utilisation du HSQ .....	174
V.B.2.a. <i>Procédé de fabrication</i> .....	174
V.B.2.b. <i>Perspectives plateforme avec le GAA-HSQ</i> :.....	176
<b>V.C. Conclusion de chapitre .....</b>	<b>179</b>



## V.A. Perspectives plateforme

Nous l'avons abordé au chapitre II, afin de réaliser une plateforme, une technologie doit être en mesure de proposer plusieurs types d'applications sur une même puce, on parle de SoC (pour *System-On-Chip*). Cela implique :

- que la technologie puisse offrir différents compromis performances/consommation par l'intermédiaire de différents niveaux de tension de seuil  $V_{TH}$ , on parle de stratégie *multi- $V_{TH}$* . Une plateforme basse consommation propose généralement trois  $V_{TH}$  (cf. paragraphe II.A.3) : RVT (*Regular  $V_{TH}$* ), LVT (*Low  $V_{TH}$* ) et HVT (*High  $V_{TH}$* ).
- que la technologie en question soit optimale pour tous les types de dispositifs présents sur la puce (cf. paragraphe II.D). Si ce n'est pas le cas, il faut qu'une co-intégration avec des dispositifs BULK conventionnels soit réalisable.

L'objectif de ce cinquième chapitre est de proposer des solutions à ces deux conditions, dans l'optique de réaliser une plateforme basse consommation à partir d'une technologie à grille enrobante planaire.

Pour le premier point (i.e. stratégie *multi- $V_{TH}$* ), rappelons qu'une architecture à grille enrobante offre intrinsèquement un excellent contrôle des effets de canal court permettant de s'affranchir du dopage canal. Si c'est un avantage pour réduire la variabilité, cela signifie également que le dopage canal ne pourra pas être utilisé pour moduler la tension de seuil des dispositifs comme c'est le cas en technologie BULK conventionnelle. De plus, le canal de conduction étant entouré de part et d'autre par la grille, il n'est pas possible d'utiliser un *ground plane* et/ou la polarisation par la face arrière, comme c'est le cas pour les architectures UTBB. La solution que nous proposons pour obtenir différents niveaux de  $V_{TH}$  sur une même puce en technologie UTBB est décrite au paragraphe V.A.1.

Comme abordé au paragraphe II.D certaines applications d'une même puce restent optimales sur des dispositifs BULK conventionnels (résistances, MOS de puissance, protections ESD ...). Ainsi, pour réaliser une plateforme multimédia complète et optimale, une co-intégration entre transistors GAA et transistors BULK doit être envisagée, c'est ce que nous proposons au paragraphe V.A.2.

### V.A.1. Une offre *multi- $V_{TH}$*

#### V.A.1.a. Principe

Bien que le dopage canal ne soit pas envisageable et que la polarisation par la face arrière soit inefficace, un paramètre technologique est encore disponible pour moduler la tension de seuil d'un dispositif double grille : le métal de l'électrode de grille. En effet, chaque métal a son propre travail de sortie (noté WF pour *workfunction* et exprimé en eV) qui influence directement la tension de seuil du transistor (cf. paragraphe I.C.1.b). L'intégration de deux métaux de grille sur

une même puce est généralement utilisée pour ajuster la tension de seuil des transistors nMOS et pMOS indépendamment.

Nous proposons ici, d'intégrer différents métaux de grilles (et donc différentes WF) pour offrir une stratégie  $multi-V_{TH}$  à partir d'une architecture double grille planaire à grille enrobante. Cela implique que nous différencions non seulement le métal de grille de deux transistors "voisins", mais le métal de grille peut et doit également être dissocié entre la grille supérieure et la grille inférieure d'un même transistor. Pour qu'une telle configuration soit réalisable technologiquement, il faut cependant que le métal de grille inférieure soit le même pour tous les dispositifs. La figure V.1 représente schématiquement une telle configuration proposant 3 niveaux de  $V_{TH}$ .

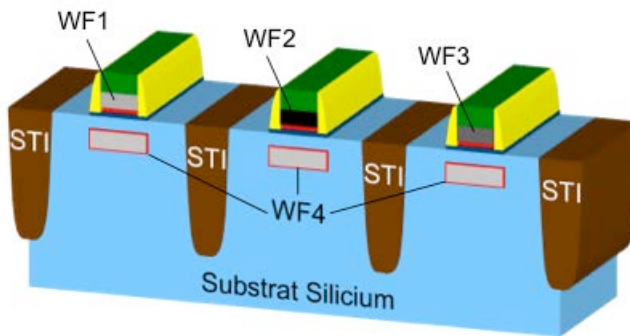


Figure V.1 : représentation schématique d'une configuration  $multi-V_{TH}$  en technologie double grille. Les métaux des grilles supérieures sont différents entre eux et également différent du métal de la grille inférieure.

Pour déterminer les différents travaux de sorties nécessaires, pour les nMOS et pour les pMOS, nous avons réalisés des simulations par éléments finis (TCAD). Le travail de sortie du métal des grilles inférieures a été fixé à une valeur *midgap* (i.e. symétrique entre n+ et p+, WF=4,62eV) et différentes WF pour les grilles supérieures ont été étudiées afin d'obtenir les trois options de  $V_{TH}$  souhaitées (RVT, LVT et HVT). Les valeurs des travaux de sortie sont regroupées dans le tableau V.1 pour les nMOS et les pMOS, les caractéristiques électriques correspondantes y sont également précisées ( $V_{TH}$ ,  $I_{OFF}$  et  $I_{ON}$ ).

Niveau de tension de seuil	NMOS			PMOS		
	LVT	RVT	HVT	LVT	RVT	HVT
WF grille inférieure (eV)	4,62			4,62		
WF grille supérieure (eV)	4,35	4,45	4,62	4,62	4,8	4,9
$V_{TH}$ (V)	0,215	0,284	0,385	-0,212	-0,278	-0,385
$I_{OFF}$ (A/ $\mu$ m)	3E-9	3E-10	8E-12	4E-9	4E-10	8E-12
$I_{ON}$ (mA/ $\mu$ m)	1,475	1,263	0,86	1,1	0,96	0,66

Tableau V.1 : travaux de sortie pour obtenir les différents niveaux de  $V_{TH}$  d'une plateforme basse consommation et paramètres électriques associés pour les nMOS et les pMOS.

La figure V.2 présente les caractéristiques  $I_D(V_G)$  obtenues par simulation avec les paramètres du tableau V.1. Ces graphiques mettent en évidence l'influence de la tension de seuil sur les performances des transistors considérés. Rappelons que l'option RVT correspond à la tension de seuil nominale du circuit, ajustée pour obtenir un courant de fuite donné, ici  $I_{OFF}=0,1nA/\mu m$  (technologie à faible consommation). Une option LVT abaisse la tension de seuil ce qui a pour effet d'améliorer les performances (courant  $I_{ON}$ ) au détriment d'un courant de fuite plus élevé ( $\approx +1$  décade). Une option HVT au contraire augmente la tension de seuil et diminue donc le courant  $I_{OFF}$  ( $\approx -1$  décade) au détriment de performances amoindries.

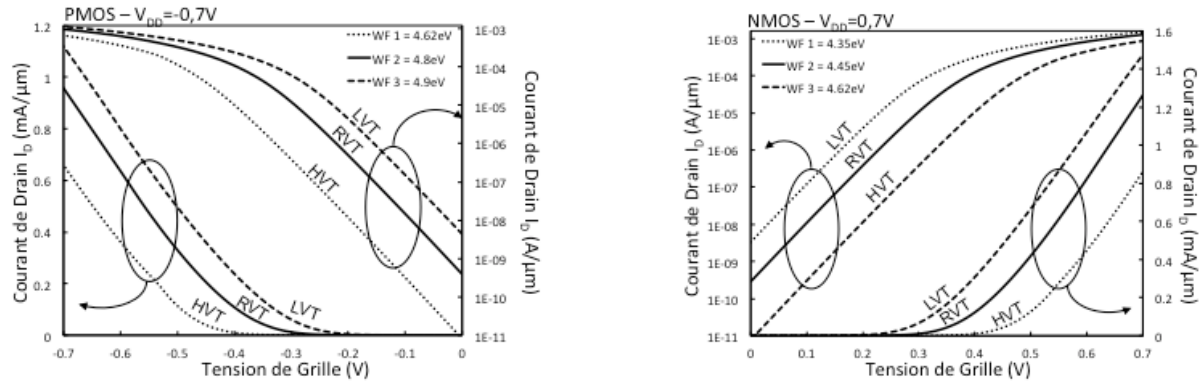


Figure V.2 : caractéristiques  $I_D(V_G)$  à  $|V_{DD}|=0,7V$  (simulations TCAD) de transistors double grille planaire avec différentes tensions de seuils, ajustées par le travail de sortie de leur grille supérieure.

#### V.A.1.b. Procédé de fabrication

Nous proposons ici un procédé de fabrication permettant d'obtenir la configuration présentée. En effet, l'architecture développée au cours de cette thèse, et présentée au chapitre IV, a la particularité d'avoir la grille formée par le remplissage simultané de deux cavités. Ici, au contraire, il est indispensable de pouvoir former les grilles inférieure et supérieure séparément pour pouvoir dissocier leur métal.

La figure V.3 présente le schéma d'intégration de l'architecture proposée pour un seul transistor, mettant en évidence le principe de dissociation des grilles inférieure et supérieure. Les étapes pour différencier les grilles supérieures entre elles seront détaillées plus tard.

La première étape spécifique de ce procédé de fabrication est tirée de l'intégration du LSOI type-B (figure V.3-a). En effet, il s'agit de l'épithaxie enterrée d'une couche de SiGe et de Si. Comme pour tous procédés utilisant la technologie SON, le SiGe est sacrificiel, il représente ici la future grille inférieure du transistor. La couche de silicium constitue le futur canal de conduction, sa définition par épithaxie signifie qu'on en contrôle l'épaisseur. Cette épithaxie est enterrée pour éviter qu'elle ne pousse sur les tranchées d'isolation en oxyde, ce qui poserait des problèmes pour la suite du procédé de fabrication.

La suite en question consiste à former la grille supérieure avec ses espaceurs. L'empilement de grille est constitué d'un oxyde piédestal  $SiO_2$ , d'un diélectrique haute permittivité (high- $k$ ), d'un métal (WF ajustée en fonction de  $V_{TH}$  ciblé) et de polysilicium (figure V.3-b). Cette étape est suivie de la gravure anisotrope des jonctions source/drain de manière auto-alignée (pas d'étape de lithographie) par rapport à la grille. Cette étape est inspirée d'une

étape propre à l'architecture LSOI type-A, présentée au chapitre II. Cependant, pour cette intégration, les jonctions source/drain sont immédiatement reformées par une étape d'épitaxie silicium (figure V.3-d) afin de contacter le canal de conduction. Le SiGe restant représente alors exactement l'emplacement de la grille inférieure du transistor. On constate que l'auto-alignement des deux grilles est garanti lors de la gravure des jonctions et que l'épaisseur de la couche de SiGe détermine l'épaisseur de l'empilement de la grille inférieure. On note également que l'introduction d'espaces internes pour cette deuxième grille peut être envisagée entre les étapes c) et d).

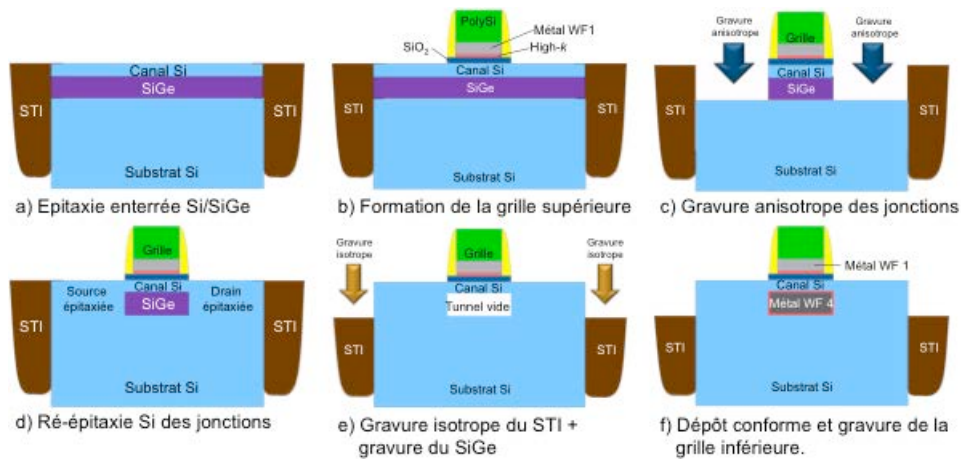


Figure V.3 : schéma d'intégration d'un transistor double grille planaire permettant de dissocier les métaux de la grille supérieure et de la grille inférieure.

L'accès à la couche sacrificielle est alors obtenu par le biais d'un abaissement du STI (Figure V.3-e). A l'image de la gravure STI de l'intégration GAA sur substrat BULK (cf. chapitre IV), cette gravure doit impérativement être isotrope pour retirer l'oxyde sur lequel repose la grille (Figure V.4). Il est également nécessaire que cette gravure soit suffisamment profonde pour garantir l'accès à la couche de SiGe qui est ensuite gravée, par procédé plasma ( $CF_4$ ) ou par procédé gazeux (HCl). La cavité désormais formée, il ne reste alors qu'à la remplir avec l'empilement de grille inférieure, et donc un métal différent par rapport à la grille supérieure le cas échéant. La conformité du dépôt est essentielle et peut être garantie par un procédé de type ALD (pour *Atomic Layer Deposition*). Cette seconde grille doit alors être gravée avant de poursuivre une fin de procédé plus conventionnelle : dopage source/drain, siliciuration et formation des contacts avant la mise en place des différents niveaux d'interconnexions.

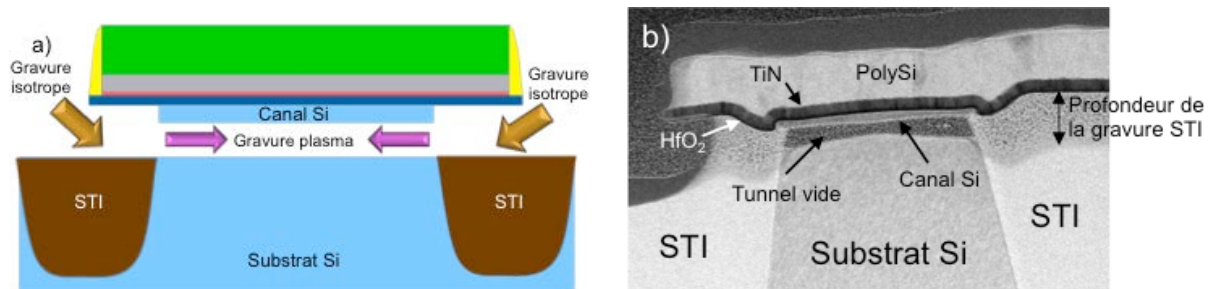


Figure V.4 : a) schéma dans le sens de la largeur de l'intégration proposée à l'étape de la gravure du STI suivie de la gravure du SiGe. b) image TEM dans le sens de la largeur après la gravure des isolations STI et du SiGe.

Soulignons tout de même que la gravure du contact de grille doit être optimisée. En effet, on note sur la figure V.5, qui souligne l'aspect enrobant de la grille, que les grilles supérieure et inférieure ne sont pas connectées mais isolées par la couche de SiO<sub>2</sub> piédestal et le diélectrique high- $k$ . Il faut donc que la gravure du contact soit plus profonde qu'une gravure conventionnelle de manière à contacter les deux grilles simultanément et assurer ainsi un fonctionnement en mode double grille à grille enrobante (Figure V.5). Cependant, une telle approche permettrait également de réaliser un dispositif à double grille indépendante en utilisant deux contacts séparés.

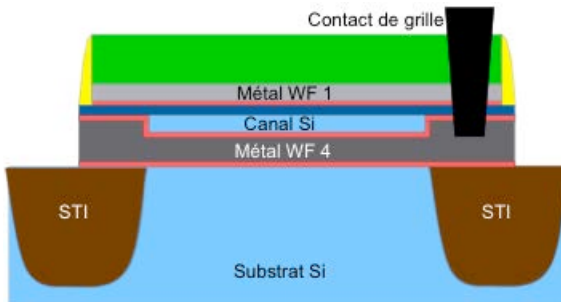


Figure V.5 : schéma dans le sens de la largeur montrant l'aspect enrobant de la grille et le contact de grille qui devra être suffisamment profond pour contacter la grille inférieure.

Le principe du procédé de fabrication présenté, nous allons maintenant proposer un moyen d'intégrer différents empilements de grilles supérieures. Il s'agit des étapes schématisées en figure V.6 qui auraient lieu entre l'étape a) et b) de la figure V.3.

Une fois l'épitaxie SiGe/Si enterrée réalisée (figure V.3-a), le premier empilement de grille est déposé. Il est constitué d'une couche de SiO<sub>2</sub> piédestal, d'une couche de high- $k$  et d'un premier métal avec un travail de sortie noté WF 1 (Figure V.6-a). Une lithographie est ensuite réalisée afin de définir les dispositifs qui conservent le métal WF 1, et les dispositifs sur lesquels il est gravé (Figure V.6-b). Notons que la couche de high- $k$  sert de couche d'arrêt à cette gravure du métal et qu'elle est donc conservée sur tous les dispositifs. Après retrait de la résine, une couche d'un deuxième métal (WF 2) est déposée sur toute la plaque (Figure V.6-c).

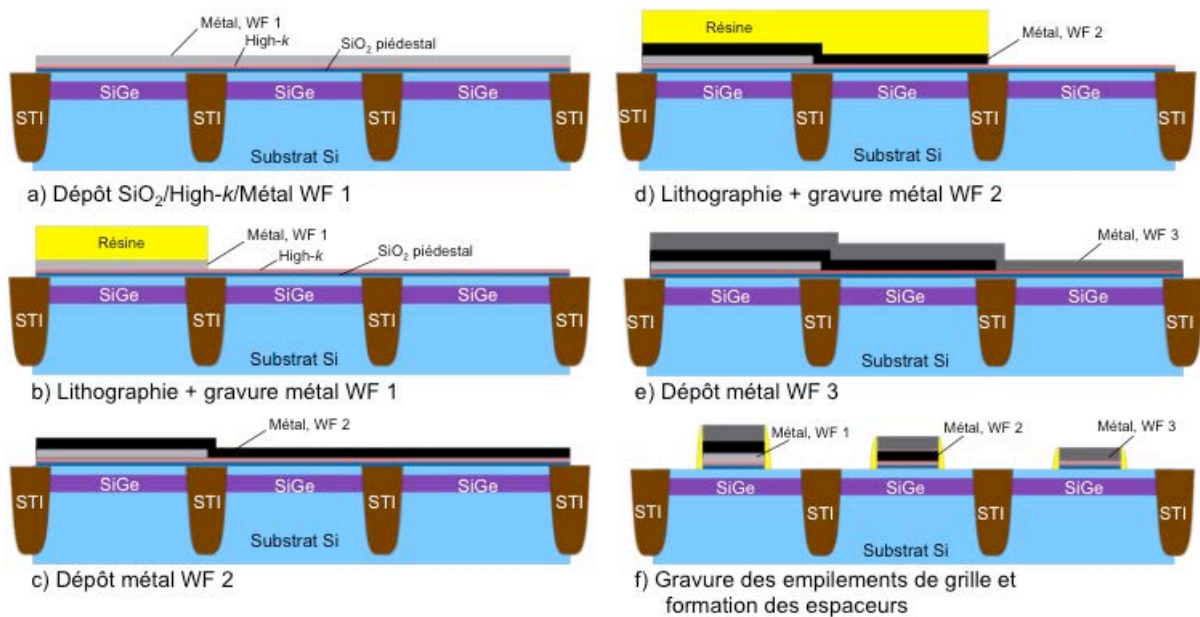


Figure V.6 : détails des étapes nécessaires à l'intégration de grilles supérieures avec différents travaux de sortie.



Une étape similaire à l'étape b) est reproduite afin de déterminer les dispositifs qui conservent le métal WF 2 et de le retirer sur les autres par une nouvelle étape de gravure (Figure V.6-d). Précisons que le métal WF 2 est conservé sur les dispositifs qui ont déjà le métal WF 1 car seul le travail de sortie du métal en contact avec le diélectrique de grille intervient dans l'ajustement de la tension de seuil. Le troisième métal est alors déposé sur toute la plaque de silicium (Figure V.6-e) et la dernière étape consiste à définir les motifs de grilles (lithographie) avant de graver les différents empilements simultanément et de former les espaces (Figure V.6-e).

L'étape schématisée en figure V.6-e correspond à celle de la figure V.3-b et la suite du procédé de fabrication est celle que nous avons vu précédemment. Ainsi, trois niveaux de tensions de seuils sont obtenus. Précisons néanmoins qu'en cas d'intégration CMOS, nMOS et pMOS se trouvent sur une même puce et ce ne sont pas trois mais cinq empilements de grille supérieure qu'il faudra réaliser, le HVT nMOS et le LVT pMOS utilisant le même métal.

Pour terminer ce paragraphe, précisons qu'il existe des techniques de modulation du travail de sortie qui ne nécessitent pas l'utilisation de métaux différents [Weber10]. Par exemple, augmenter l'épaisseur d'une couche de TiN va élever sa WF et, avec elle, la tension de seuil des nMOS [Fenouillet09b]. L'insertion d'une couche d' $\text{Al}_2\text{O}_3$  (oxyde d'aluminium) entre le high- $\kappa$  et le métal permettra d'augmenter encore ce travail de sortie [Fenouillet11], option intéressante pour réduire le  $V_{\text{TH}}$  des pMOS. Cette dernière technique pouvant dégrader l'EOT du transistor, l'utilisation d'un alliage TiAlN peut lui être préférée [Wen07], d'autant plus que le travail de sortie est dépendant (et donc ajustable) de la concentration en Al. A contrario, il est possible d'abaisser WF en réduisant l'épaisseur du TiN ou en insérant une couche d'oxyde de lanthane (LaO) entre le high- $\kappa$  et le métal.

## V.A.2. Co-intégration GAA/Bulk conventionnel

Au vu des ses similitudes avec les intégrations LSOI (cf. chapitre II), l'intégration GAA que nous venons de proposer devrait permettre la mise en place d'une co-intégration avec des dispositifs BULK (Figure V.7). Cette partie présente un procédé de fabrication permettant d'obtenir cette co-intégration.

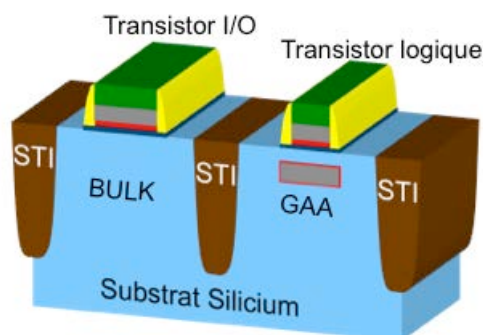


Figure V.7 : représentation schématique de la co-intégration entre un transistor double grille planaire GAA et d'un transistor BULK conventionnel.

La figure V.8 présente les seules étapes spécifiques de cette co-intégration GAA/BULK. Le principe est le même que celui de la co-intégration LSOI/Bulk : il s'agit de protéger les futures

zones BULK pendant la formation de l'épitaxie SiGe/Si. En effet, c'est la couche de SiGe sacrificielle qui symbolise la future grille inférieure de l'architecture GAA, or, si elle n'existe pas, le transistor restera en technologie BULK simple grille.

La première étape consiste à déposer une couche de SiO<sub>2</sub> qui servira non seulement de masque dur mais également d'oxyde piédestal pour les futurs dispositifs BULK (Figure V.8-a). Il s'agit alors de réaliser une lithographie pour définir les parties de la puce qui conservent ce SiO<sub>2</sub> (parties BULK) et celle sur lequel il sera retiré (parties GAA) (Figure V.8-b).

Cette couche d'oxyde joue alors le rôle de masque dur lors de l'étape suivante : l'abaissement du substrat de silicium pour enterrer la future épitaxie SiGe/Si (Figure V.8-c). Rappelons que cette gravure est réalisée par procédé gazeux HCl, très sélectif aux diélectriques et n'impacte donc pas le SiO<sub>2</sub>. Ensuite, c'est la sélectivité de l'épitaxie qui garantit la "non croissance" du SiGe sur la couche de SiO<sub>2</sub> (Figure V.8-d).

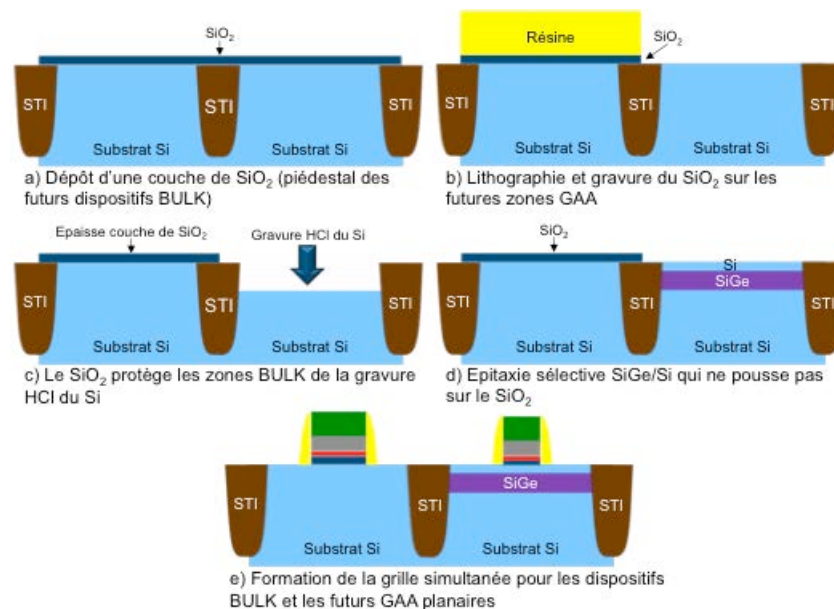


Figure V.8 : schématisation des étapes propres à la co-intégration entre dispositifs GAA planaires et BULK conventionnels.

La dernière étape représentée ici est la formation de la grille par un enchaînement dépôt/lithographie/gravure suivie de la formation des espaceurs (Figure V.8-e). Il s'agit de la même étape que l'étape b) du procédé de fabrication proposé en figure V.3. Or, il a déjà été démontré que les étapes suivantes, propres à cette intégration du GAA n'impactent pas les transistors BULK co-intégrés. C'est en effet ce que nous avons vu au chapitre II (cf. paragraphe II.D) pour les étapes de :

- ✓ Gravure et épitaxies des jonctions (cas du LSOI type-A)
- ✓ Gravure du STI (cas du LSOI type-B)
- ✓ Gravure du SiGe (cas des deux types de LSOI).



Ainsi, l'architecture proposée remplit les conditions énoncées en début de chapitre. Elle donne l'opportunité d'offrir une stratégie *multi- $V_{TH}$*  avec une technologie à grille enrobante, sans introduire de dopage canal. Elle est également compatible avec une co-intégration entre dispositifs GAA planaires et BULK conventionnels, permettant ainsi d'obtenir une plateforme multimédia basse consommation complète et optimale pour tous les dispositifs la composant.

La figure V.9 ci-dessus montre une image en coupe TEM d'un futur transistor GAA planaire après la gravure du STI, co-intégré avec un transistor BULK conventionnel.

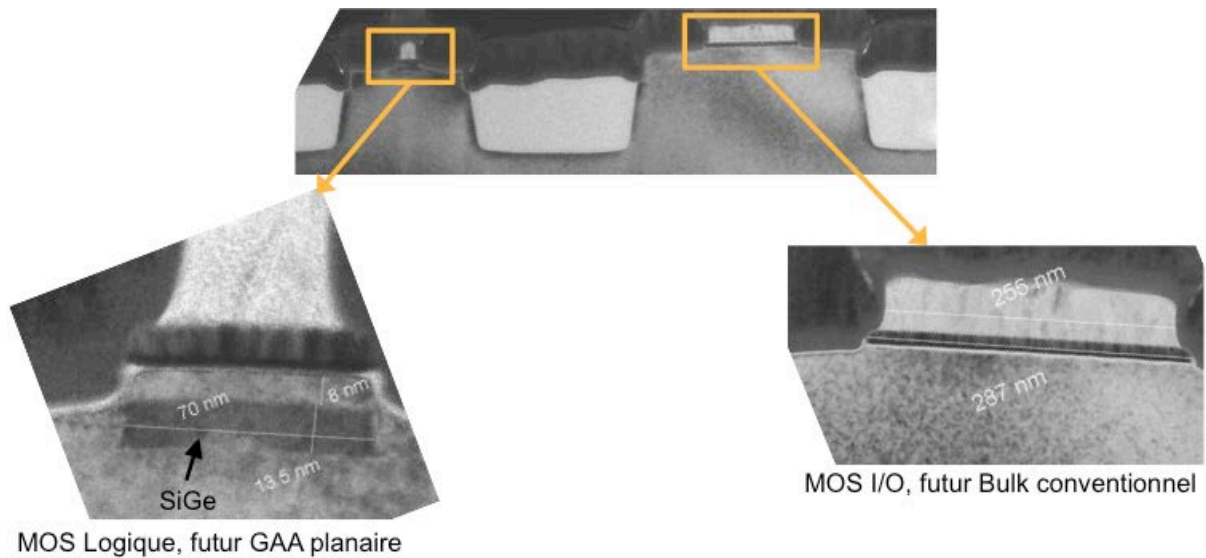


Figure V.9 : image en coupe TEM montrant un futur GAA planaire co-intégré avec un BULK conventionnel après l'étape de gravure du STI.

## V.B. Utilisation de la résine HSQ : vers un GAA idéal ?

Le chapitre IV et la première partie de ce cinquième chapitre nous permettent de se faire une idée des conditions requises pour obtenir un transistor à grille enrobante qui pourrait être idéale. Parmi ces conditions, on trouve :

- Un canal de conduction défini par épitaxie pour en contrôler l'épaisseur. Cette condition est d'autant plus importante que le nœud technologique étudié est avancé, un faible  $T_{si}$  étant nécessaire pour conserver le contrôle de l'électrostatique.
- Un parfait auto-alignement des grilles supérieure et inférieure.
- La présence d'espaceurs sur les flancs de la grille supérieure et un diélectrique enterré au niveau de la grille inférieure pour limiter les capacités parasites et optimiser ainsi les performances d'un circuit.

Nous présentons dans cette partie, un procédé de fabrication permettant d'obtenir cette architecture GAA planaire idéale. Cette intégration repose principalement sur l'utilisation d'une résine particulière : la résine HSQ.

### V.B.1. Présentation de la résine HSQ

Initialement, l'hydroSilsesquioxane (ou HSQ,  $H_8Si_8O_{12}$ , Figure V.10) a été introduit en microélectronique comme oxyde fluable (ou FOx pour *Flowable Oxide*), envisagé comme remplaçant des diélectriques intermétalliques [Pires97, Maddalon00] grâce à sa faible constante diélectrique, inférieure à 3 [Sivoththaman02]. Cependant, ce matériau s'avère également très intéressant en tant que résine (négative) de par sa sensibilité aux électrons et aux traitements thermiques, l'HSQ se transformant sous l'effet d'un faisceau électronique [Namatsu98] et/ou lorsqu'il est exposé à des températures supérieures à 250°C [Henschel03]. Cependant, sa sensibilité à la lithographie de type Ultra-Violet profond (massivement utilisée à l'heure actuelle) n'est pas avérée, et l'utilisation de l'HSQ en tant que résine doit obligatoirement être couplée avec une lithographie de type *Electron-Beam* ou Extrême UV.

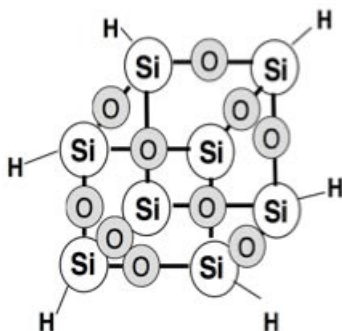


Figure V.10 : illustration de la structure en cage de l'HSQ ( $H_8Si_8O_{12}$ ).

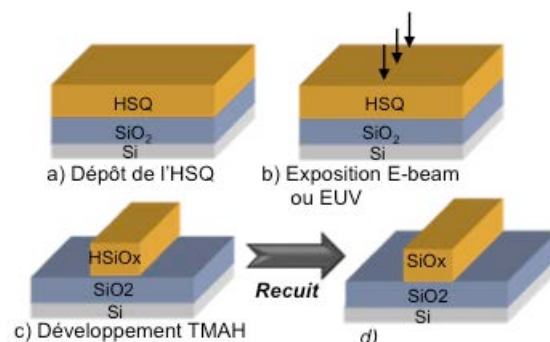


Figure V.11 : illustration du procédé de transformation de l'HSQ en SiOx à l'aide d'une exposition électronique et d'un recuit thermique.

Cette transformation, subie par l'HSQ, permet une certaine sélectivité entre la résine exposée au faisceau d'électrons dont la structure a été modifiée et la résine non exposée. Cette dernière peut alors être rapidement dissoute par un traitement TMAH ou KOH alors que l'HSQ exposé, de par sa transformation en structure stable (en SiO<sub>x</sub>) [Namatsu98], ne sera pas modifié.

Il est possible de continuer la transformation de l'HSQ à l'aide de recuits thermiques à températures élevées. En effet, cela entraîne la perte de liaisons Si-H et une densification de la structure conduisant à une réduction du volume d'HSQ, une augmentation de sa permittivité, une diminution de sa porosité et une modification de ses contraintes internes [Liou98]. L'HSQ ainsi modifié s'apparente à un diélectrique *low-k* similaire à du SiO<sub>2</sub> (Figure V.11), propriété très intéressante car, contrairement aux résines conventionnelles, l'HSQ peut être conservé pendant le procédé de fabrication en tant que diélectrique [Wacquez07].

Nous allons voir un moyen de tirer profit de cette résine pour réaliser un transistor double grille planaire à grille enrobante "idéal".

## V.B.2. Intégration GAA avec utilisation du HSQ

### V.B.2.a. Procédé de fabrication

Le procédé de fabrication d'un dispositif double grille planaire à grille enrobante à l'aide de la résine HSQ est présenté en figure V.12, il est inspiré des publications de *Wacquez et al.* [Wacquez07] et *Monfray et al.* [Monfray10].

Comme les architectures GAA présentées précédemment, l'intégration de cette structure planaire repose sur le principe de la technologie *Silicon-On-Nothing* (SON), ce qui explique que la première étape consiste à l'épitanie d'une couche de SiGe sacrificielle et d'une couche de Si (Figure V.12-a). Là encore, la couche de SiGe symbolise la future grille inférieure du transistor alors que la couche de Si constitue le futur canal de conduction. Une première condition pour un GAA idéal est déjà remplie, le paramètre  $T_{Si}$  est bien contrôlé. Précisons que cette intégration est basée sur un substrat en silicium massif et que l'isolation est assurée par des tranchées d'oxydes, cette épitanie est donc enterrée par rapport au niveau de ces STI, pour éviter l'apparition de facettes, comme nous l'avons déjà vu à plusieurs reprises dans cette thèse.

La seconde étape consiste à abaisser le niveau des tranchées d'oxyde pour ouvrir l'accès à la couche de SiGe enterrée, laquelle est ensuite gravée sélectivement au silicium. Le maintien de la membrane de Si suspendue est assuré par des ancrages STI défini par une étape de lithographie (Figure V.12-b). On procède ensuite au remplissage du tunnel ainsi créé par un dépôt conforme de résine HSQ qui vient ainsi enrober le canal (Figure V.12-c). Une étape de lithographie de type E-beam est alors réalisée pour dessiner les futures grilles supérieure et inférieure du transistor. L'HSQ étant une résine négative, c'est en réalité le motif complémentaire aux grilles qui a été exposé au faisceau d'électrons et qui va donc se transformer. La particularité de cette lithographie E-beam est sa capacité à traverser une membrane de silicium assurant ainsi l'exposition de la résine enterrée sous le canal.

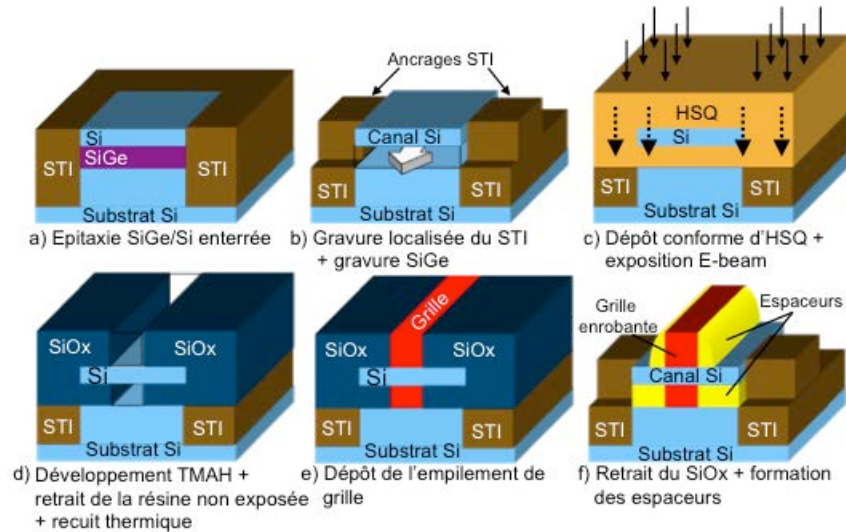


Figure V.12 : schéma d'intégration d'un transistor GAA planaire avec ces deux grilles parfaitement aligné obtenu à l'aide de la résine HSQ.

Un développement TMAH est utilisé pour dissoudre la résine non exposée qui est ainsi retirée sélectivement par rapport au SiOx (Figure V.12-d). La transformation de l'HSQ en SiOx est ensuite complétée par un recuit thermique ( $T^{\circ}\text{C} \approx 550^{\circ}\text{C}$ ). On note à cette étape la formation d'une tranchée dans le diélectrique parfaitement alignée de part et d'autre du canal de silicium (Figure V.13). Or, cette tranchée symbolise les futures grilles (supérieure et inférieure) du transistor (on parle de procédé damascène). Cela signifie que c'est lors de l'exposition E-beam, à travers la membrane de silicium, que l'auto-alignement des deux grilles est garanti. Cette intégration remplit ici une deuxième condition pour l'obtention d'un GAA idéal.

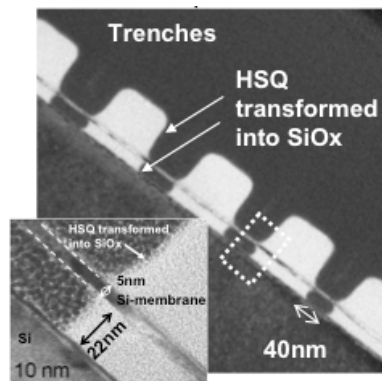


Figure V.13 : image TEM de tranchées réalisées dans le SiOx (HSQ transformé) et gros plan sur le parfait alignement entre le haut et le bas du canal [Monfray10].

Il est intéressant d'observer que ce procédé de fabrication est naturellement compatible avec une approche *gate last*. En effet, lorsque la tranchée est obtenue à l'étape d), il peut être choisi de la remplir avec un empilement de grille SiO<sub>2</sub>/PolySi. Dans ce cas, la grille est sacrificielle et sera remplacée en fin de procédé (avant la formation des contacts) par un empilement de type high- $k$ /métal.

Lorsque la tranchée est remplie par le PolySi (Figure V.12-e), le SiOx est retiré à son tour, sélectivement à l'empilement de grille. Un enchaînement dépôt/gravure de nitrure SiN est alors réalisé pour former les espaceurs sur les flancs de la grille supérieure et le diélectrique enterré au

niveau de la grille inférieure (Figure V.12-f). L'architecture obtenue s'apparente alors au GAA planaire idéal, évoqué lors de l'étude circuits menée au paragraphe IV.E.

La figure V.14-a présente une image obtenue au microscope électronique à balayage (MEB) de cette architecture GAA-HSQ après dépôt de l'empilement de grille et retrait du SiO<sub>x</sub>. Sur la figure V.14-b (image en coupe TEM), on observe la configuration double grille du transistor ainsi que la présence des espaceurs et du diélectrique enterré au niveau de la grille inférieure.

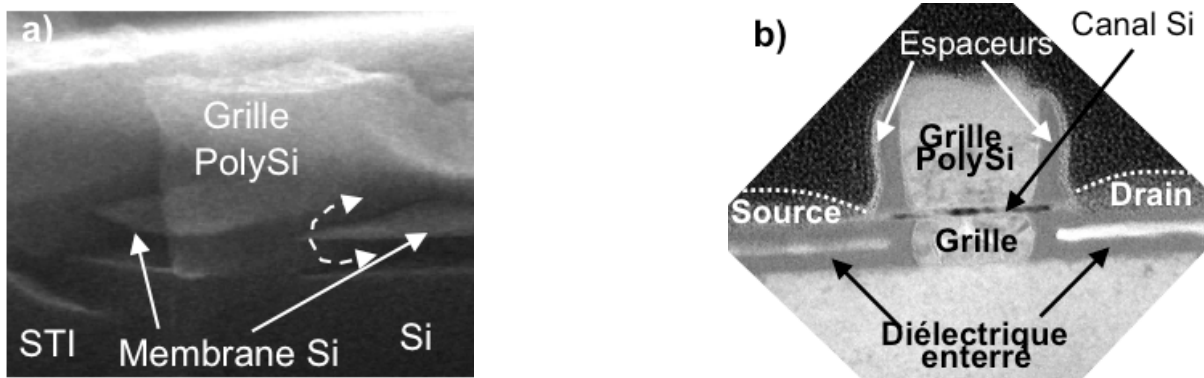


Figure V.14: a) image MEB d'un transistor GAA-HSQ après dépôt de l'empilement de grille et retrait sélectif du SiO<sub>x</sub>. Cette vue met en évidence l'aspect enrobant de la grille par rapport au canal de conduction. b) image TEM d'un transistor GAA-HSQ après formation des espaceurs et du diélectrique enterré.

### V.B.2.b. Perspectives plateforme avec le GAA-HSQ :

Nous venons de le voir, l'utilisation de la résine HSQ, couplée à une lithographie traversante (e.g. E-beam), permet la réalisation d'une architecture GAA "idéale". Comme rappelé en début de chapitre, pour être en mesure de proposer une plateforme multimédia complète et optimale, il faut pouvoir envisager une stratégie *multi-V<sub>TH</sub>* et une éventuelle co-intégration avec des dispositifs BULK conventionnels.

Concernant ce dernier point, du fait de la proximité des procédés de fabrication du GAA-HSQ et du GAA proposé au paragraphe précédent (cf. paragraphe V.A.), la co-intégration GAA-HSQ/Bulk paraît facilement réalisable. En effet, il s'agit de protéger les futures zones BULK à l'aide d'un masque dur de SiO<sub>2</sub> lors de la première étape spécifique : l'épitaxie SiGe/Si enterrée (Figure V.15-a). Ainsi, après la gravure sélective du SiGe des futures zones GAA (Figure V.15-b), l'HSQ est déposé sur la totalité de la plaque de silicium, sur les zones BULK comme sur les zones GAA pour lesquelles la cavité est également remplie par la résine (dépôt conforme, Figure V.15-c). L'étape de lithographie *E-beam* définit alors le motif complémentaire aux motifs de grilles pour les deux types de transistors indifféremment (BULK et GAA, Figure V.15-c) et débute par la même occasion la transformation de l'HSQ. Une transformation en SiO<sub>x</sub> qui est complétée par un recuit thermique permettant de conserver le diélectrique ainsi obtenu lors du retrait sélectif de la résine non exposée. Des tranchées sont ainsi formées, elles représentent l'emplacement des futures grilles, réalisées par procédé damascène (une seule grille pour les BULK et deux grilles pour les GAA, Figure V.15-d). La suite de l'intégration est identique à celle que nous avons présenté au paragraphe précédent, en conservant une approche *gate last*.



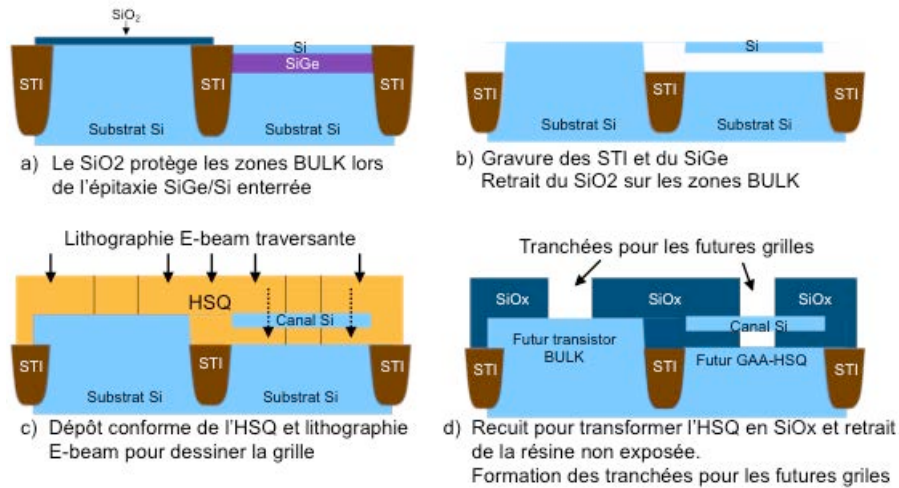


Figure V.15 : schématisation des principales étapes de la co-intégration GAA-HSQ/BULK.

Concernant la stratégie *multi- $V_{TH}$* , le GAA-HSQ se retrouve dans la même situation que le GAA proposé au paragraphe V.A, c'est à dire qu'il n'est possible de proposer plusieurs niveaux de tensions de seuil que par l'utilisation de différents métaux (et donc différents travaux de sortie) pour les électrodes de grilles supérieures (cf. simulations TCAD au paragraphe V.1.a). La principale différence entre le GAA-HSQ et l'architecture précédente vient du fait que, lors de la formation de la grille supérieure, la cavité représentant la grille inférieure est également "ouverte", il faudra donc veiller à ne pas la remplir en même temps puisqu'il s'agit de différencier également les métaux des grilles inférieures et supérieures.

Cette stratégie *multi- $V_{TH}$*  est réalisable en partant aussi bien d'une approche *gate last* que d'une approche *gate first*. Les étapes propres à cette intégration sont schématisées en figure V.16, pour le cas d'une approche *gate last*. La figure V.16-a rappelle que dans ce cas, un premier empilement de grille provisoire (ou sacrificiel) est déposé. Il est constitué d'un oxyde de grille SiO<sub>2</sub> et d'une grille en polysilicium. Le procédé *gate last* à proprement parler débute au moment du dépôt du diélectrique pré-métal (noté PMD pour *Pre Metal Dielectric*), juste avant la formation des contacts. Ce PMD est ensuite poli par un procédé mécano-chimique (noté CMP pour *Chemical Mechanical Planarization*) de manière à mettre à nu le haut de la grille sacrificielle qui peut alors être retirée (Figure V.16-b). La grille étant enrobante et la gravure étant isotrope, les deux grilles (supérieure et inférieure) sont retirées simultanément, formant ainsi de nouvelles cavités à remplir par un nouvel empilement de grille.

Ce remplissage commence par un dépôt conforme de diélectrique haute permittivité suivi d'un dépôt non conforme de métal 1 (travail de sortie WF 1, Figure V.16-c). Une étape de lithographie est alors réalisée pour définir les transistors qui garderont ce métal et pour le retirer des transistors qui ne le garderont pas (Figure V.16-d). La non conformité lors du dépôt de ce métal 1 est indispensable pour ne pas remplir les cavités enterrées qui représentent les futures grilles inférieures.

Le même enchaînement d'opérations dépôt/lithographie/gravure est réitéré mais en déposant cette fois un deuxième métal ayant un travail de sortie différent noté WF 2 (Figure V.16-e).

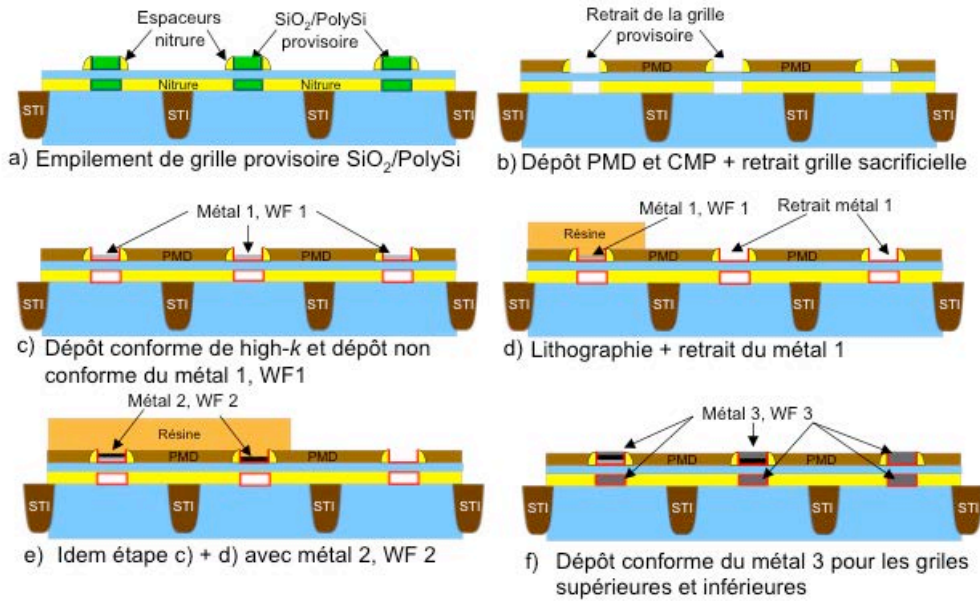


Figure V.16 : schématisation des principales étapes du procédé de fabrication pour obtenir différents métaux pour les grilles supérieures et offrir ainsi une stratégie *multi-V<sub>TH</sub>*.

La configuration HVT des nMOS (ou LVT des pMOS) pouvant être réalisée avec un même métal pour les grilles inférieures et supérieures (cf. Tableau V.1), un troisième et dernier métal est déposé de manière conforme (travail de sorti WF 3). Il sert à remplir les tranchées des derniers transistors ainsi que toutes les grilles inférieures (Figure V.16-f). Comme on l'observe sur le schéma en figure V.16-f, tous les transistors se retrouvent avec du métal 3 sur le haut de leur empilement de grille supérieur. Ce métal enrobe alors le canal, permettant ainsi de contacter les deux grilles du dispositif (Figure V.17). La formation du contact de grille n'aura donc pas besoin d'être ajustée comme cela avait été le cas dans l'architecture proposée au paragraphe V.A.

La co-intégration GAA-HSQ et une stratégie *multi-V<sub>TH</sub>* étant réalisables, il est possible d'envisager une plateforme multimédia, complète et optimale en utilisant la technologie GAA-HSQ.

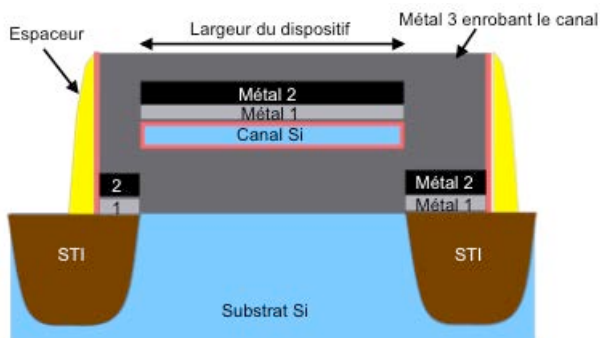


Figure V.17 : illustration dans le sens de la largeur d'un dispositif GAA avec un métal 1 pour la grille supérieur et un métal 3 pour la grille inférieure. On constate que le métal 3 enrobe le canal et permet le contact entre les deux grilles.



## V.C. Conclusion de chapitre

L'objectif de ce chapitre était de proposer un moyen de réaliser une plateforme basse consommation complète et optimale en technologie GAA planaire. Comme nous l'avons exposé au préalable dans le chapitre II, la mise en place d'une plateforme implique la possibilité d'offrir différents niveaux de tensions de seuils et d'intégrer sur une même puce des dispositifs GAA et BULK conventionnels, connus pour rester optimaux pour certaines applications (protections ESD, MOS de puissance ...).

Ainsi, après avoir montré par le biais de simulation TCAD la possibilité de moduler la tension de seuil des transistors GAA en dissociant les grilles inférieure et supérieure, la première partie de ce chapitre était consacrée à la proposition d'un nouveau procédé de fabrication de transistor double grille planaire à grille enrobante. Cette intégration a la particularité de former les grilles supérieures avant les grilles inférieures, rendant plus facile la mise en place de la stratégie *multi- $V_{TH}$* . De plus, même si elles ne sont pas formées à la même étape, le procédé de fabrication proposé abouti sur un parfait alignement des deux grilles. Nous avons également montré que la co-intégration de cette architecture avec des transistors BULK conventionnels ne devrait pas poser de difficulté particulière.

L'objet de la deuxième partie était de montrer que l'architecture GAA planaire "idéale" que nous avons envisagée lors de l'étude circuit du chapitre IV était réalisable. En effet, l'utilisation de la résine HSQ, couplée à une lithographie traversante (de type E-beam) permet la fabrication d'un transistor ayant :

- ✓ Un canal défini par épitaxie dont l'épaisseur sera alors bien contrôlée.
- ✓ Un parfait auto-alignement des grilles supérieure et inférieure, définie à la même étape de lithographie.
- ✓ Des espaceurs sur les flancs de la grille supérieure et un diélectrique enterré au niveau de la grille inférieure, permettant de minimiser autant que possible la participation des capacités parasites et optimiser ainsi les performances d'un circuit.

Pour finir, nous avons également montré que ce GAA-HSQ pouvait lui aussi être co-intégré avec des transistors BULK conventionnels et qu'il était possible d'envisager une offre *multi- $V_{TH}$* , en d'autres termes une plateforme multimédia complète.



---

---

# CONCLUSION GENERALE

---

---

Depuis plus d'un demi siècle maintenant, le monde de la microélectronique est rythmé par une course à la miniaturisation de son élément central, le transistor MOS. L'objectif est d'augmenter la densité d'intégration des composants pour proposer des circuits toujours plus performants et/ou d'intégrer plusieurs fonctionnalités sur une même puce, offrant ainsi un gain de surface considérable. Depuis que la barrière des 100nm a été franchie, la simple réduction des dimensions du transistor n'est plus suffisante et de nouveaux modules technologiques (utilisation de la contrainte, empilement de grille high- $\kappa$ /métal...) ont du être mis en place. Cependant, il ne fait désormais plus aucun doute que le transistor conventionnel, même avec ces nouveaux modules, ne suffira bientôt plus à répondre aux attentes toujours plus élevées des nouvelles technologies. Il sera alors temps pour de nouvelles architectures d'entrer en scène pour épauler puis, à terme, remplacer la technologie BULK conventionnelle.

Dans ce contexte, l'objectif de ce travail de thèse était de proposer l'intégration de nouvelles architectures et d'en démontrer les performances. Au cours des cinq chapitres qui composent ce manuscrit, deux types de transistors ont été présentés : une approche simple grille sur film mince, alternative à courte échéance du transistor conventionnel et une approche à grilles multiples pour des générations technologiques plus avancées.

Le premier chapitre présentait le principe de fonctionnement du transistor MOS, sa miniaturisation et les défis qui y sont liés. Les modules technologiques permettant d'optimiser le transistor conventionnel ont été présentés. Certains répondent aux effets parasites, engendrés par la miniaturisation (ex : l'empilement de grille high- $\kappa$ /métal pour limiter les courants de fuite), d'autres visent à améliorer les performances des dispositifs (contrainte, orientation cristalline, nouveaux matériaux...). Puis, en se basant sur des travaux de référence, un tour d'horizon des architectures alternatives au MOS conventionnel a été réalisé. De par leur meilleur contrôle des effets canaux courts et la proximité de leur intégration avec celle de la technologie BULK, l'UTBB semble une option des plus intéressantes pour les applications à basse consommation dans un futur proche. Les derniers nœuds technologiques, eux, devraient voir l'apparition des multigrilles pour lesquelles deux approches se dessinent : l'approche planaire et l'approche verticale.

Dans le cadre de ce travail de thèse, nous avons pris le parti d'une approche planaire. Ceci s'exprime par la réalisation de dispositifs UTBB dans un premier temps et de doubles grilles planaires à grille enrobante dans un second, ces deux architectures semblant plus appropriées aux applications à basse consommation.

Ainsi, le deuxième chapitre était consacré à l'étude de transistors *Localized-SOI*, alternatives UTBB à moindre coût, réalisés à partir d'un substrat en silicium massif. Si deux types de LSOI ont été réalisés, nous avons montré que leurs procédés de fabrication, basés sur la technologie SON, sont très proches et partagent l'avantage d'une épaisseur de canal et de BOX

définie par épitaxie (et donc bien maîtrisée). Les résultats expérimentaux confirment l'intérêt des architectures UTBB qui offrent un très bon contrôle des effets de canaux courts, d'excellentes caractéristiques sous le seuil (faible courant de fuite  $I_{OFF}$  et faible pente  $S$ ) tout en conservant de très bons courants de saturation  $I_{ON}$ . Nous avons vu que, grâce à leur immunité électrostatique "naturelle", les architectures LSOI peuvent s'affranchir de dopage canal et proposent ainsi des valeurs de variabilité parmi les plus faibles publiées à ce jour. Si nous avons montré que le LSOI type-A peut tirer avantage de son canal replié pour *booster* ses performances, il semblerait que le type-B soit plus approprié pour une plateforme basse consommation. En effet, il profite d'une isolation complète de sa zone active lui permettant, avec la mise en place d'un *ground plane*, d'utiliser les techniques de polarisation par la face arrière et de mettre ainsi en place une stratégie *multi- $V_{TH}$* .

Enfin, dans la perspective d'une plateforme basse consommation complète, nous avons démontré la possibilité de co-intégrer ces dispositifs LSOI (type-A et B indifféremment) avec des transistors BULK conventionnels qui restent une technologie optimale pour certaines applications (I/O, diodes, HVMOS, protections ESD...). Les résultats électriques des dispositifs co-intégrés sont en ligne avec la technologie BULK conventionnelle de référence.

Le troisième chapitre portait sur la réalisation de transistor LSOI type-B sur un substrat orienté (110), connu pour améliorer la mobilité des trous. Après un rappel théorique sur l'influence du couple orientation cristalline/direction de transport sur la mobilité des porteurs dans le silicium, nous avons présenté les ajustements du procédé de fabrication. En effet, l'utilisation d'un substrat (110) engendre certaines optimisations des étapes propres à l'intégration du LSOI que sont la gravure HCl du silicium, l'épitaxie du SiGe sacrificielle et celle du Si formant le futur canal. Les propriétés du transport de ces dispositifs ont ensuite été étudiées à travers la mobilité des porteurs, en fonction de la direction de transport considérée. Les résultats obtenus ont confirmé l'intérêt d'une telle orientation de substrat pour les pMOS alors qu'elle pénalise les nMOS, la configuration optimale pour les trous ((110)/<110>) étant la plus défavorable aux électrons. Ces tendances observées sur la mobilité ont été retrouvées sur les caractéristiques statiques des transistors. Il a été montré que l'utilisation d'un substrat (110) permet de doubler le courant  $I_{ON}$  d'un pMOS par rapport à un substrat (100) ou encore que ces mêmes pMOS font jeu égal avec les nMOS à partir d'une direction de transport à 45°. Cette étude ouvre ainsi la voie vers une technologie CMOS où l'utilisation d'une architecture UTBB serait couplée à une orientation de substrat hybride : des nMOS réalisés sur un substrat (100) et des transistors pMOS sur un substrat (110) pour des performances optimales et un contrôle électrostatique assuré par la présence du film et du BOX minces.

Le quatrième chapitre était lui consacré à une architecture, également alternative au BULK conventionnel, mais pour des nœuds technologiques plus avancés : le double grille planaire à grille enrobante. Son procédé de fabrication, également basé sur la technologie SON, offre l'avantage d'un très bon auto-alignement entre les deux grilles du transistor, une compatibilité avec la technologie BULK (aucun masque dédié nécessaire) et la définition de l'épaisseur du canal par épitaxie, ce dernier point ayant été illustré par la réalisation de dispositifs avec un canal de seulement 4nm d'épaisseur. Nous avons ensuite montré que l'aspect enrobant de la grille pour ces architectures leur permet d'obtenir un excellent contrôle des effets électrostatiques (DIBL très faible) et de très bonnes caractéristiques sous le seuil (pente quasi

idéale et  $I_{OFF} < 1 \text{ nA}/\mu\text{m}$ ) avec de très hauts niveaux de courant  $I_{ON}$  (jusqu'à  $1,08 \text{ mA}/\mu\text{m}$  normalisé par la circonférence). La compatibilité de notre intégration avec des applications mémoires de type SRAM a également été démontrée avec la caractérisation d'un inverseur en technologie à grille enrobante avec les règles de dessin du nœud 45nm.

Dans la dernière partie de ce chapitre, une comparaison entre notre approche planaire et une approche verticale de type FinFET double grille a été réalisée par le biais d'une étude circuit. Si notre architecture s'est avérée fortement pénalisée par ses capacités parasites, cette étude nous a permis d'envisager des solutions technologiques pour l'améliorer, comme l'intégration d'espaceurs internes ou encore la mise en place d'un diélectrique enterré au même niveau que la grille inférieure. Du point de vue circuit, ces architectures planaires prendraient l'avantage sur le FinFET, même lorsque ce dernier se trouve dans une configuration de très haute densité.

Pour finir, ce manuscrit a permis, dans un cinquième et dernier chapitre de proposer des solutions technologiques dans la perspective d'une plateforme basse consommation complète et optimale en technologie GAA planaire. Ceci implique la mise en place d'une stratégie *multi- $V_{TH}$*  et d'une éventuelle co-intégration avec des dispositifs BULK. La première partie de ce chapitre était consacrée à la proposition d'une nouvelle intégration pour laquelle il est possible de dissocier les métaux des grilles inférieures et supérieures, ce qui permettrait de proposer plusieurs niveaux de tensions de seuil. Nous avons montré que cette intégration est également compatible avec une co-intégration BULK/GAA, par un procédé relativement proche de celui du LSOI présenté au chapitre II.

Dans la deuxième partie de ce chapitre, nous avons montré que l'utilisation de la résine HSQ, couplée à une lithographie E-beam, permet de réaliser une architecture GAA planaire, qui remplit les conditions suivantes, faisant de cette intégration un GAA planaire "idéal" :

- ✓ Un canal défini par épitaxie dont l'épaisseur sera alors bien contrôlée.
- ✓ Un parfait auto-alignement des grilles supérieure et inférieure, définie à la même étape par lithographie.
- ✓ Des espaceurs sur les flancs de la grille supérieure et un diélectrique enterré au niveau de la grille inférieure, permettant de minimiser autant que possible la participation des capacités parasites et optimiser ainsi les performances d'un circuit.
- ✓ Compatibilité avec une stratégie *multi- $V_{TH}$*  en dissociant les métaux des grilles inférieures et supérieures.
- ✓ Compatibilité avec une éventuelle co-intégration GAA/BULK conventionnel.

Depuis quelques générations technologiques maintenant, l'adoption d'un nouveau nœud soulève la question de la "survie" (ou non) du transistor conventionnel. Finalement, nous voilà aujourd'hui en 32/28nm et le BULK est toujours majoritairement utilisé et ce n'est (semble-t-il) pas le passage au 22/20nm qui devrait le faire disparaître définitivement. Cependant, le choix d'Intel® d'utiliser une architecture *Trigate* pour leur technologie HP 20nm amorce les premiers changements structuraux majeurs du transistor et il y a fort à penser que d'autres acteurs majeurs de la microélectronique profitent de cette initiative pour introduire à leur tour une technologie alternative au BULK. Ne serait-ce pas l'occasion pour les architectures planaires comme l'UTBB

et (plus tard) le double grille planaire à grille enrobante d'entrer en jeu pour les applications basse consommation ?

---

---

# BIBLIOGRAPHIE

---

---

- [Ando09] Ando T., Frank M., Choi K., Choi C., Bruley J., Hopstaken M., Copel M., Cartier E., Kerber A., Callegari A., Lacey D., Brown S., Yang Q., et Narayanan V. (2009). Understanding Mobility Mechanisms in Extremely Scaled HfO<sub>2</sub> (EOT 0.42 nm) Using Remote Interfacial Layer Scavenging Technique and Vt-tuning Dipoles with Gate-First Process. In 2009 *International Electron Devices Meeting. Technical Digest*, pages 423 – 426.
- [Andrieu05] Andrieu F., Ernst T., Lime F., Rochette F., Romanjek K., Barraud S., Ravit C., Boeuf F., Jurczak M., Casse M., Weber O., Brevard L., Reimbold G., Ghibaudo G. et Deleonibus S. (2005). Experimental and Comparative Investigation of Low and High Field Transport in Substrate- and Process-Induced Strained Nanoscaled MOSFETs. In 2005 *Symposium on VLSI Technology, Digest of Technical Papers*, pages 176 – 177.
- [Ang04] Ang K.W., Chui K. J., Bliznetsov V., Du A., Balasubramanian N., Li M. F., Samudra G. et Yeo Y.-C. (2004). Enhanced performance in 50 nm N-MOSFETs with silicon-carbon source/drain regions. In 2004 *International Electron Devices Meeting. Technical Digest*, pages 1069 – 1072.
- [Antoniadis06] Antoniadis D. A. (2006). Continuous MOSFET performance increase with device scaling: The role of strain and channel material innovations. *IBM Journal of Research and Development*, 50(4-5).
- [Arnaud08] Arnaud F., Liu J., Lee Y. M., Lim K. Y., Kohler S., Chen J., Moon B. K., Lai C. W., Lipinski M., Sang L., Guarin F., Hobbs C., Ferreira P., Ohuchi K., Li J., Zhuang H., Mora P., Zhang Q., Nair D. R., Lee D. H., Chan K. K., Satadru S., Yang S., Koshy J., Hayter W., Zaleski M., Coolbaugh D. V., Kim H., Ee Y. C., Sudijono J., Thean A., Sherony M., Samavedam S., Khare M., Goldberg C. et Steegen A. (2008). 32nm general purpose bulk cmos technology for high performance applications at low voltage. In 2008 *International Electron Devices Meeting. Technical Digest*, pages 1 – 4.
- [Auth08] Auth C., Buehler M., Cappellani A., Choi C.-H., Ding G., Han W., Joshi S., McIntyre B., Prince M., Ranade P., Sandford J. et Thomas, C. (2008). 45nm high-k+metal gate strain-enhanced transistors. In *Intel Technology Journal*, 12(2).
- [Balestra87] Balestra F., Cristolovenu S., Benachir M., Brini J. et Elewa T. (1987). Double-gate silicon-on-insulator transistor with volume inversion : A new device with greatly enhanced performance. *IEEE Electron Device Letters*, 8(9):410 – 412.



- [Bangsaruntip09] Bangsaruntip S., Cohen G. M., Majumdar A., Zhang Y., Engelmann S. U., Fuller N. C. M., Gignac L. M., Mittal S., Newbury J. S., Guillorn M., Barwicz T., Sekaric L., Frank M. M. et J. W. Sleight (2009). High Performance and Highly Uniform Gate-All-Around Silicon Nanowire MOSFETs with Wire Size Dependent Scaling. In 2009 *International Electron Devices Meeting, Technical Digest*, pages 297 – 300.
- [Bangsaruntip10] Bangsaruntip S., Majumdar A., Cohen G. M., Engelmann S. U., Zhang Y., Guillorn M., Gignac L. M., Mittal S., Graham W. S., Joseph E. A., Klaus D. P., Chang J., Cartier E.A. et Sleight J. W. (2010). Gate-all-around Silicon Nanowire 25-Stage CMOS Ring Oscillators with Diameter Down to 3 nm. In 2010 *Symposium on VLSI Technology, Digest of Technical Papers*, pages 21 – 22.
- [Barral07] Barral V., Poiroux T., Andrieu F., Buj-Dufournet C., Faynot O., Ernst T., Brevard L., Fenouillet-Beranger C., Lafond D., Hartmann J. M., Vidal V., Allain F., Daval N., Cayrefourcq I., Tosti L., Munteanu D., Autran J. L. et Deleonibus S. (2007). Strained FDSOI cmos technology scalability down to 2.5 nm film thickness and 18 nm gate length with a tin/hfo2 gate stack. In 2007 *International Electron Devices Meeting, Technical Digest*, pages 61 – 64.
- [Basker10] Basker V.S., Standaert T., Kawasaki H., Yeh C.-C., Maitra K., Yamashita T., Faltermeier J., Adhikari H., Jagannathan H., Wang J., Sunamura H., Kanakasabapathy S., Schmitz S., Cummings J., Inada A., Lin C.-H., Kulkarni P., Zhu Y., Kuss J., Yamamoto T., Kumar A., Wahl M., Yagishita A., Edge L.F., Kim R.H., McLellan E., Holmes S.J., Johnson R.C., Levin T., Demarest J., Hane M., Takayanagi M., Colburn M., Paruchuri V.K., Miller R.J., Bu H., Doris B., McHerron D., Leobandung E. et O'Neill J. (2010). A 0.063 $\mu\text{m}^2$  FinFET SRAM cell demonstration with conventional lithography using a novel integration scheme with aggressively scaled fin and gate pitch. In 2010 *Symposium on VLSI Technology, Digest of Technical Papers*, pages 19 – 20.
- [Batail07] Batail E., Monfray S., Rideau D., Szczap M., Loubet N., Tabone C., Hartmann J.M., Borel S., Rabille G., Damlencourt J.F., Vincent B., Previtali B., Clavelier L., Bescond M., Ghibaudo G. and Skotnicki T. (2007). Germanium-On-Nothing (GeON): an innovative technology for ultrathin Ge film integration. In 2007 *Proceedings of ESSDERC*, pages 450 – 453.
- [Benoist10] Benoist T., Fenouillet-Beranger C., Perreau P., Buj C., Galy P., Marin-Cudraz D., Faynot O., Cristoloveanu S. et Gentil P. (2010). ESD Robustness of FDSOI Gated Diode for ESD network design : Thin or Thick BOX ? In 2010 *International SOI Conference*, pages 1 – 2.
- [Bernard08] Bernard E., Ernst T., Guillaumot B., Vulliet N., Barral V., Maffini-Alvaro V., Andrieu F., Vizioz C., Campidelli Y., Gautier P., Hartmann J. M., Kies R., Delaye V., Aussenac F., Poiroux T., Coronel P., Souifi A., Skotnicki T. et Deleonibus S. (2008). Novel integration process and performances analysis of low standby power (Istp) 3d multi-channel cmosfet (mcfet) on soi with metal/high-k gate stack. In 2008 *Symposium on VLSI Technology, Digest of Technical Papers*, pages 16 – 17.

- [Bernard09] Bernard E., Ernst T., Guillaumot B., Vulliet N., Lim T. C., Rozeau O., Danneville F., Coronel P., Skotnicki T., Deleonibus S. et Faynot O. (2009). First Internal Spacers' Introduction in Record High  $I_{ON}/I_{OFF}$  TiN/HfO<sub>2</sub> Gate Multichannel MOSFET Satisfying Both High Performance and Low Standby Power Requirements. *IEEE Electron Device Letters*, 30(2) : 148 – 151.
- [Bidal08] Bidal G., Bœuf F., Denorme S., Loubet N., Laviron C., Leverd F., Barnola S., Salvetat T., Cosnier V., Martin F., Grosjean M., Perreau P., Haendler S., Marin M., Rafik M., Fleury D., Leyris C., Clément L., Sellier M., Monfray S., Bougouen J., Chapon J.-D., Gouraud P., Ghibaudo G. et Skotnicki T. (2008). Planar Bulk<sup>+</sup> Technology using TiN/Hf-based gate stack for Low Power Applications. In 2008 *Symposium on VLSI Technology, Digest of Technical Papers*, pages 146 – 147.
- [Bidal09a] Bidal G., Bœuf F., Denorme S., Loubet N., Huguenin J.L., Perreau P., Fleury D., Leverd F., Lagrasta S., Barnola S., Salvetat T., Orlando B., Beneyton R., Clément L., Pantel R., Monfray S., Ghibaudo G. et Skotnicki T. (2009). High velocity Si-nanodot : a candidate for SRAM applications at 16nm node and below. In 2009 *Symposium on VLSI Technology, Digest of Technical Papers*, pages 240 – 241.
- [Bidal09b] Bidal B. (2009), Intégration et caractérisation de nouveaux modules technologiques pour les applications CMOS à basse consommation. *Thèse de doctorat*, Institut Polytechnique de Grenoble.
- [Bidal09c] Bidal G., Bœuf F., Denorme S., Laviron C., Bourdelle K., Loubet N., Campidelli Y., Beneyton R., Moriceau H., Fournel F., Morin P., Barnola S., Salvetat T., Perreau P., Gouraud P., Leverd F., Le-Gratiet B., Huguenin J.-L., Fleury D., Kusiaku K., Cros A., Leyris C., Haendler S., Borowik C., Clement L., Pantel R., Ghibaudo G. et Skotnicki T. (2009). First CMOS integration of Ultra Thin Body and BOX (UTB2) structures on Bulk Direct Silicon Bonded (DSB) wafer with multi surface orientations. In 2009 *International Electron Devices Meeting, Technical Digest*, pages 677– 680.
- [Boeuf04] Boeuf F., Arnaud F., Basso M. T., Sotta D., Wacquand F., Rosa J., Bicais-Lepinay N., Bernard H., Bustos J., Manakli S., Gaillardin M., Grant J., Skotnicki T., Tavel B., Duriez B., Bidaud M., Gouraud P., Chaton C., Morin P., Todeschini J., Jurdit M., Pain L., De-Jonghe V., El-Farhane R. et Jullian S. (2004). A conventional 45nm cmos node low-cost platform for general purpose and low power applications. In 2004 *International Electron Devices Meeting, Technical Digest*, pages 425 – 428.
- [Boeuf05] Boeuf F., Monfray S., Pouydebasque A., Muller M., Payet F., Ortolland C. et Skotnicki T. (2005). 45nm Conventiional Bulk and “Bulk+” Architectures for Low-Cost GP/LP Applications. In 2005 *International Conference on SSDM*, pages 28 – 29.

- [Boeuf08] Bœuf F., Sellier M., Farcy A. et Skotnicki T. (2008). An Evaluation of the CMOS Technology Roadmap From the Point of View of Variability, Interconnects, and Power Dissipation. *IEEE Transactions on Electron Devices*, 55(6) : 1433 – 1440.
- [Boeuf09] Bœuf F., Bidal G., Denorme S., Huguenin J.-L., Monfray S., Chanemougame D., Loubet N. et Skotnicki T. (2009). Optimization of Bulk+/SON Integration for Low Stand-by Power (LstP) Applications. In 2009 *International Conference on SSDM*, pages 1030 – 1031.
- [Bogumilowicz05] Bogumilowicz Y., Hartmann J.-M., Truche R., Campidelli Y., Rolland G. et Billon T. (2005). Chemical vapour etching of Si, SiGe with HCl ; applications to the formation of thin relaxed SiGe buffers and to the revelation of threading dislocations. In *Semicond. Sci. Technology*, 20(2) : 127 – 134.
- [Borel04] Borel S., Arvet C., Bilde J., Harrison S. et Louis D. (2004). Isotropic etching of SiGe alloys with high selectivity to similar materials. In *Microelectronic Engineering*, volume 73 – 74 : pages 301 – 305.
- [Cao99] Cao K. M., Liu W., Jin X., Vashanth K., Green K., Krick J., Vrotsos T. et Hu C. (1999). Modeling of Pocket Implanted MOSFETs for Anomalous Analog Behavior. In 1999 *International Electron Devices Meeting. Technical Digest*, pages 171 – 174.
- [Cerutti05] Cerruti R., Harrison S., Cros A., Coronel P., Wacquez R., Bustos J., Dellile D., Leverd F., Gouraud P., Borel S., Talbot A., Loubet N., Samson MP., Balestra F., Schoellkopf J.P. et Skotnicki T. (2005). New Design Adapted Planar Double Gate Process for performant low standby power application. In 2005 *Silicon Nanoelectronics Workshop*.
- [Chaisantikulwat06] Chaisantikulwat W., Mouis M., Ghibaudo G., Gallon C., Fenouillet- Beranger C., Maude D. K., Skotnicki T. et Cristoloveanu S. (2006). Differential Magnetoresistance Technique for Mobility Extraction in Ultra-Short Channel FDSOI Transistors. *Solid- State Electronics*, 50(4):637 – 643.
- [Chanemougame05] Chanemougame, D. (2005). Conception et fabrication de nouvelles architectures CMOS et etude du transport dans les canaux de conduction ultra minces obtenus avec la technologie SON. *Thèse de doctorat*, INSA Lyon.
- [Chang09] Chang C.-Y., Lee T.-L., Wann C., Lai L.-S., Chen H.-M., Yeh C.-C., Chang C.-S., Ho C.-C., Sheu J.-C., Kwok T.-M., Yuan F., Yu S.-M., Hu C.-F., Shen J.-J., Liu Y.-H., Chen C.-P., Chen S.-C., Chen L.-S., Chen L., Chiu Y.-H., Fu C.-Y., Huang M.-J., Huang Y.-L., Hung S.-T., Liaw J.-J., Lin H.-C., Lin H.-H., Lin L.-T.S., Lin S.-S., Mii Y.J., Ou-Yang E., Shieh M.-F., Su C.-C., Tai S.-P., Tao H.-J., Tsai M.-H., Tseng K.-T., Wang K.-W., Wang S.-B., Xu J.J., Yang F.-K., Yang S.-T. et Yeh C.-N. (2009). A 25-nm Gate-Length FinFET Transistor Module for 32nm Node. In 2009 *International Electron Devices Meeting. Technical Digest*, pages 293 – 296.

- [Chatterjee97] Chatterjee A., Chapman R. A., Dixit G., Kuehne J., Hattangady S., Yang H., Brown G. A., Aggarwal R., Erdogan U., He Q., Hanratty M., Rogers D., Murtaza S., Fang S. J., Kraft R., Rotondaro A. L. P., Hu J. C., Terry M., Lee W., Fernando C., Konecni A., Wells G., Frystak D., Bowen C., Rodder M. et Chen I.-C. (1997). Sub-100 nm gate length metal gate nmos transistors fabricated by a replacement gate process. In 1997 *International Electron Devices Meeting. Technical Digest*, pages 821 – 824.
- [Cathignol08] Cathignol A. (2008). Caractérisation et modélisation des fluctuations locales des paramètres électriques du transistor des filières CMOS sub-65 nm. *Thèse de doctorat*, INP Grenoble.
- [Chen08] Chen X., Samavedam S., Narayanan V., Stein K., Hobbs C., Baiocco C., Li W., Jaeger D., Zaleski M., Yang H., Kim N., Lee Y., Zhang D., Kang L., Chen J., Zhuang H., Sheikh A., Wallner J., Aquilino M., Han J., Jin Z., Li J., Massey G., Kalpat S., Jha R., Moumen N., Mo R., Kirshnan S., Wang X., Chudzik M., Chowdhury M., Nair D., Reddy C., Teh Y. W., Kothandaraman C., Coolbaugh D., Pandey S., Tekleab D., Thean A., Sherony M., Lage C., Sudijono J., Lindsay R., Ku J. H., Khare M. et Steegen, A. (2008). A cost effective 32 nm high-k/metal gate cmos technology for low power applications with single-metal/gate-first process. In 2008 *Symposium on VLSI Technology, Digest of Technical Papers*, pages 88 – 89.
- [Cheng09] Cheng K., Khakifirooz A., Kulkarni P., Ponoth S., Kuss J., Shahrjerdi D., Edge L. F., Kimball A., Kanakasabapathy S., Xiu K., Schmitz S., Reznicek A., Adam T., H. He, Loubet N., Holmes S., Mehta S., Yang D., Upham A., Seo S.-C., Herman J. L., Johnson R., Zhu Y., Jamison P., Haran B. S., Zhu Z., Vanamurth L. H., Fan S., Horak D., Bu H., Oldiges P. J., Sadana D. K., Kozlowski P., McHerron D., O'Neill J. et Doris B. (2009). Extremely Thin SOI (ETSOI) CMOS with Record Low Variability for Low Power System-on-Chip Applications. In 2009 *International Electron Devices Meeting. Technical Digest*, pages 49 – 52.
- [Choi01] Choi Y.-K., Lindert N., Xuan P., Tang S., Ha D., Anderson E., King T.-J., Bokor J. et Hu, C. (2001). Sub-20 nm cmos finfet technologies. In 2001 *International Electron Devices Meeting. Technical Digest*, pages 19 – 21
- [Choi09] Choi K., Jagannathan H., Choi C., Edge L., Ando T., Frank M., Jamison P., Wang M., Cartier E., Zafar S., Bruley J., Kerber A., Linder B., Callegari A., Yang Q., Brown S., Stathis J., Iacoponi J., Paruchuri V. et Narayanan V. (2009). Extremely scaled gate-first high-k/metal gate stack with eot of 0.55 nm using novel interfacial layer scavenging techniques for 22nm technology node and beyond. In 2009 *Symposium on VLSI Technology, Digest of Technical Papers*, pages 138 – 139.

- [Clavelier07] Clavelier L., Damlencourt J.F., Le Royer C., Vincent B., Morand Y., Campidelli Y., Hartmann J.-M., Martinez E., Nguyen Q.T., Cristoloveanu S., Deleonibus S. et Bensahel D. (2007). High hole mobility GeOI pMOSFETs with high- $k$  / metal gate on Ge condensation wafers. In 2007 *International SOI Conference*, pages 19 – 20.
- [Colinge90] Colinge J.-P., Gao M. H., Romano-Rodriguez A., Maes H. et Claeys C. (1990). Silicon-on-insulator 'gate-all-around device'. In 1990 *International Electron Devices Meeting. Technical Digest*, pages 595 – 598.
- [Cros06] Cros A., Romanjek K., Fleury D., Harrison S., Cerutti R., Coronel P., Dumont B., Pouydebasque A., Wacquez R., Duriez B., Gwoziecki R., Boeuf F., Brut H., Ghibaudo G. et Skotnicki, T. (2006). Unexpected Mobility Degradation for Very Short Devices : a New Challenge for CMOS Scaling. In 2008 *International Electron Devices Meeting. Technical Digest*, pages.
- [Collaert06] Collaert N., Rooyackers R., Clemente F., Zimmerman P., Cayrefoureq I., Ghyselen B., San K.T., Eyckens B., Jurczak M. et Biesemans S. (2006). Performance Enhancement of MUGFET Devices Using Super Critical Strained-SOI (SC-SSOI) and CESL. In 2006 *Symposium on VLSI Technology, Digest of Technical Papers*, pages 52 – 53.
- [Dennard74] Dennard R.H., Gaensslen F.H., Yu H.-N., Rideout V.L., Bassous E. et LeBlanc A. R. (1974). Design of ion-implanted mosfet's with very small physical dimensions. *IEEE Journal of Solid-State Circuits*, sc-9(5):256 – 268.
- [Destefanis08] Destefanis V., Hartmann J.-M., Hopstaken M., Delaye V. et Bensahel D. (2008). Low-thermal surface preparation, HCl etch and Si/SiGe selective epitaxy on (110) silicon surfaces. In *Semicond. Sci. Technol.* 23 105018.
- [Destefanis09] Destefanis V. (2009). Reduced pressure chemical vapor deposition and etch of Si/SiGe heterostructures on (100), (110) and (111) substrates. *Thèse de doctorat*, Institut Polytechnique de Grenoble.
- [Dubois02] Dubois E. et Larrieu G. (2002). Low schottky barrier source/drain for advanced mos architecture : device design and material considerations. *Solid-State Electronics*, 46(7):997 – 1004.
- [Dumont07] Dumont B. (2007). Etude et intégration de jonctions ultra-fines pour les technologies CMOS 45 nm et en deçà. *Thèse de doctorat*, INSA Lyon.
- [Dupre08] Dupré C., Hubert A., Becu S., Jublot M., Maffini-Alvaro V., Vizioz C., Aussenac F., Arvet C., Barnola S., Hartmann J.-M., Garnier G., Allain F., Colonna J.-P., Rivoire M., Baud L., Pauliac S., Loup V., Chevolleau T., Rivallin P., Guillaumot B., Ghibaudo G., Faynot O., Ernst T. et Deleonibus S. (2008). 15nm-diameter 3d stacked nanowires with independent gates operation : Phi FET. In 2008 *International Electron Devices Meeting. Technical Digest*, pages 749 – 752.

- [Ernst99] Ernst T. et Cristoloveanu S. (1999). Buried oxide fringing capacitance : a new physical model and its implication on soi device scaling and architecture. In 1999 *IEEE International SOI Conference. Proceedings*, pages 38 – 39.
- [Ernst06] Ernst T., Dupré C., Isheden C., Bernard E., Ritzenthaler R., Maffini-Alvaro V, Barbé J-C., De Crecy F., Toffoli A., Vizios C., Borel S., Andrieu F., Delaye V., Lafond D., Rabillé G., Hartmann J.-M., Rivoire M., Guillaumot B., Suhm A., Rivallin P., Faynot O., Ghibaudo G. et Deleonibus S. (2006). Novel 3D integration process for highly scalable Nano-Beam stacked-channels GAA (NBG) FinFETs with HfO<sub>2</sub>/TiN gate stack, In 2006 *International Electron Devices Meeting. Technical Digest*, pages 997 – 1000.
- [Ernst08] Ernst T., Bernard E., Dupré C., Hubert A., Bécu S., Guillaumot B., Rozeau O., Thomas O., Coronel P., Hartmann J.-M., Vizios C., Vulliet N., Faynot O., Skotnicki T. et S. Deleonibus. (2008). 3D Multichannels and stacked nanowires Technologies for New Design opportunities in Nanoelectronics. In 2008 *Proceedings of International Conference on IC Design & Technology*, pages 265 – 268.
- [Esseni04] Esseni D. et Sangiorgi E. (2004). Low field electron mobility in ultra-thin SOI MOSFETs: experimental characterization and theoretical investigation. *Solid-State Electronics*, Vol. 48, pages 927 – 936.
- [Esseni10] Esseni D. (2010). Stress/Strain Modeling in Advanced CMOS Technologies. *PhD. Lectures, Grenoble*.
- [Fenouillet01] Fenouillet C. (2001). Etude physique de dispositifs SOI partiellement désertés fortement sub-microniques. *Thèse de doctorat, INP Grenoble*.
- [Fenouillet09a] Fenouillet-Beranger C., Perreau P., Denorme S., Tosti L., Andrieu F., Weber O., Barnola S., Arvet C., Campidelli Y., Haendler S., Beneyton R., Perrot C., De Buttet C., Gros P., Pham-Nguyen L., Leverd F., Gouraud P., Abbate F., Baron F., Torrez A., Laviron C., Pinzelli L., Vetier J., Borowiak C., Margain A., Delprat D., Boedt F., Bourdelle K., Nguyen B.-Y., Faynot O. et Skotnicki T. (2009). Impact of a 10nm Ultra-Thin BOX (UTBOX) and Ground Plane on FDSOI devices for 32nm node and below. In 2009 *Proceedings of ESSDERC*, pages 89 – 92.
- [Fenouillet09b] Fenouillet-Beranger C., Perreau P., Pham-Nguyen L., Denorme S., Andrieu F., Tosti L., Brevard L., Weber O., Barnola S., Salvétat T., Garros X., Cassé M., Leroux C., Le-Gratiet B., Baron F., Gattefait M., Campidelli Y., Abbate F., Perrot C., De-Buttet C., Beneyton R., Pinzelli L., Leverd F., Gouraud P., Gros-Jean M., Bajolet A., Mezzomo C., Leyris C., Haendler S., Noblet D., Pantel R., Margain A., Borowiak C., Josse E., Planes N., Delprat D., Boedt F., Bourdelle K., Nguyen B.Y., Boeuf F., Faynot O., Skotnicki T. (2009). Hybrid FDSOI/Bulk high-k/Metal gate platform for Low Power (LP) multimedia technology. In 2009 *International Electron Devices Meeting. Technical Digest*, pages 667 – 670.

- [Fenouillet10] Fenouillet-Beranger C., Thomas O., Perreau P., Noel J.-P., Bajolet A., Haendler S., Tosti L., Barnola S., Beneyton R., Perrot C., De Buttet C., Abbate F., Baron F., Pernet B., Campidelli Y., Pinzelli L., Gouraud P., Cassé M., Borowiak C., Weber O., Andrieu F., Bourdelle K., Nguyen B.-Y., Boedt F., Denorme S., Bœuf F., Faynot O. et Skotnicki T. (2010). Efficient Multi-VT FDSOI technology with UTBOX for low power circuit design. In *2010 Symposium on VLSI Technology, Digest of Technical Papers*, pages 65 – 66.
- [Fenouillet11] Fenouillet-Beranger C., Perreau P., Cassé M., Garros X., Leroux C., Martin F., Gassilloud R., Bajolet A., Tosti L., Barnola S., Andrieu F., Weber O., Beneyton R., Perrot C., de Buttet C., Abbate F., Pernet B., Campidelli Y., Pinzelli L., Gouraud P., Huguenin J.L., Borowiak C., Peru S., Clement L., Pantel R., Bourdelle K., Nguyen B.Y., Boedt F., Denorme S., Faynot O., Skotnicki T. et Boeuf F. (2011). UTBOX and Ground Plane combined with Al<sub>2</sub>O<sub>3</sub> inserted in TiN gate for VT modulation in Fully-depleted SOI CMOS transistors. In *2011 International Symposium on VLSI Technology Systems and Applications*, pages: 114 – 115.
- [Fischetti03] Fischetti M. V., Ren Z., Solomon P. M., Yang M. et Rim K. (2003). Six-band  $k_p$  calculation of the hole mobility in silicon inversion layers : dependence on surface orientation, strain, and silicon thickness. In *Journal of Applied Physics*, 94(2):1079 – 1095.
- [Gallon07] Gallon C. (2007). Architectures avancées de transistors CMOS SOI pour le noeud 32 nm et en deçà: films ultra-fins, contraintes mécaniques, BOX mince et plan de masse. *Thèse de doctorat*, INP Grenoble.
- [Ghani03] Ghani Y., Armstrong M., Auth C., Bost M., Charvat P., Glass G., Hoffmann T., Johnson K., Kenyon C., Klaus J., McIntyre B., Mistry K., Murthy A., Sandford J., Silberstein M., Sivakumar S., Smith P., Zawadzki K., Thompson S. et Bohr M. (2003). A 90nm High Volume Manufacturing Logic Technology Featuring Novel 45nm Gate Length Strained Silicon CMOS Transistors. In *2003 International Electron Devices Meeting. Technical Digest*, pages 978 – 981.
- [Ghibaudo88] Ghibaudo G. (1988). New Method for the Extraction of MOSFET Parameters. *Electronics Letters*, 24(9):543 – 545.
- [Guarini01] Guarini K. W., Solomon P. M., Zhang Y., Chan K. K., Jones E. C., Cohen G. M., Krasnoperova A., Ronay M., Dokumaci O., Bucchignano J. J., Cabral C. J., Lavoie C., Ku V., Boyd D. C., Petrarca K. S., Babich I. V., Treichler J., Kozlowski P. M., Newbury J. S., D’Emic C. P., Sicina R. M. et Wong H.-S. (2001). Triple-self-aligned, planar double-gate mosfets : devices and circuits. In *2001 International Electron Devices Meeting. Technical Digest*, pages 19 – 20.
- [Guillaumot02] Guillaumot B., Garros X., Lime F., Oshima K., Tavel B., Chroboczek J. A., Masson P., Truche R., Papon A., Martin F., Damlencourt J. F., Maitrejean S., Rivoire M., Leroux C., Cristoloveanu S., Ghibaudo G., Autran J. L., Skotnicki T. et Deleonibus S. (2002). 75 nm damascene metal gate and high-k integration for advanced cmos devices. In *2002 International Electron Devices Meeting. Technical Digest*, pages 355 – 358.



- [Harrison03] Harrison S., Coronel P., Leverd F., Cerutti R., Palla R., Delille D., Borel S., Jullian S., Pantel R., Descombes S., Dutartre D., Morand Y., Samson M. P., Lenoble D., Talbot A., Villaret A., Monfray S., Mazoyer P., Bustos J., Brut H., Cros A., Munteanu D., Autran J.-L. et Skotnicki T. (2003). Highly performant double gate mosfet realized with son process. In 2003 *International Electron Devices Meeting. Technical Digest*, pages 449 – 452.
- [Harrison04a] Harrison S. (2004). Conception, caractérisation et modélisation des CMOS en technologie SON GAA. *Thèse de doctorat*, Université de Provence.
- [Harrison04b] Harrison S., Cros A., Coronel P., Leverd F., Beverina A., Cerutti R., Wacquez R., Bustos J., Delille D., Tavel B., Barge D., Bienacel J., Samson MP., Martin F., Maitrejean S., Munteanu D. et Skotnicki T. (2004). Poly-gate REplacement Through Contact Hole (PRETCH): A new method for High- K/Metal gate and multioxide implementation on chip. In 2004 *International Electron Devices Meeting. Technical Digest*, pages 291 – 294.
- [Henschel03] Henschel W., Georgiev Y. M. et Kurz H. (2003). Study of a high contrast process for hydrogen silsesquioxane as a negative tone electron beam resist. In *Journal of Vacuum Science & Technology B* 21(5) : 2018 – 2025.
- [Hiramoto06] Hiramoto T., Tsutui G., Saitoh M., Nagumo T. et Saraya T. (2006). Mobility Enhancement in (110)-Oriented Ultra-Thin-Body Single-Gate and Double-Gate SOI MOSFETs. In 2006 *International Workshop on Nano CMOS*, pages 44 – 55.
- [Hite92] Hite L.R., Lu H., Houston T.W., Hurta D.S. et Bailey W.E. (1992). An SEU resistant 256K SOI SRAM. *IEEE Transactions on Nuclear science*, 39(6) :2021 – 2025.
- [Hubert09] Hubert A., Nowak E., Tachi K., Maffini-Alvaro V., Vizioz C., Arvet C., Colonna J.-P., Hartmann J.-M., Loup V., Baud L., Pauliac S., Delaye V., Carabasse C., Molas G., Ghibaudo G., De Salvo B., Faynot O. et Ernst T. (2009). A stacked SONOS technology, up to 4 levels and 6nm crystalline nanowires, with gate-all-around or independent gates ( $\square$ -Flash), suitable for full 3D integration. In 2009 *International Electron Devices Meeting. Technical Digest*, pages 637 – 640.
- [Intel11] Présentation de l'annonce officielle de l'adoption du Trigate : [http://download.intel.com/newsroom/kits/22nm/pdfs/22nm-Announcement\\_Presentation.pdf](http://download.intel.com/newsroom/kits/22nm/pdfs/22nm-Announcement_Presentation.pdf)
- [IOFFE] <http://www.ioffe.rssi.ru/SVA/NSM/Semicond/>
- [IRIE04] Irie H., Kita K., Kyuno K. et Toriumi A. (2004). In-Plane Mobility Anisotropy and Universality Under Uni-axial strains in n- and p-MOS Inversion Layers on (100), (110) and (111) Si. In 2004 *International Electron Devices Meeting. Technical Digest*, pages 225 – 228.

- [ITRS] International Technology Roadmap for Semiconductors, <http://www.itrs.net/reports.html>
- [Jahan05] Jahan C., Faynot O., Cassé M., Ritzenthaler R., Brévard L., Tosti L., Garros X., Vizioz C., Allain F., Papon A.M., Martin F., Vinet M., Guillaumot B., Toffoli A., Giffard B. et Deleonibus S. (2005). Omega-FETs transistors with TiN metal gate and HfO<sub>2</sub> down to 10nm. In 2005 *Symposium on VLSI Technology, Digest of Technical Papers*, pages 112 – 113.
- [Jan08] Jan C.-H., Bai P., Biswas S., Buehler M., Chen Z.-P., Curello G., Gannavaram S., Hafez W., He J., Hicks J., Jalan U., Lazo N., Lin J., Lindert N., Litteken C., Jones M., Kang M., Komeyli K., Mezhiba A., Naskar S., Olson S., Park J., Parker R., Pei L., Post I., Pradhan N., Prasad C., Prince M., Rizk J., Sacks G., Tashiro H., Towner D., Tsai C., Wang Y., Yang L., Yeh J.-Y., Yip J. et Mistry K. (2008). A 45nm Low Power System-on-Chip Technology with Dual Gate (Logic and I/O) High-k/Metal Gate Strained Silicon Transistors. In 2008 *International Electron Devices Meeting. Technical Digest*, pages 637 – 640.
- [Jurczak99] Jurczak M., Skotnicki T., Paoli M., Tormen B., Regolini J.-L., Morin C., Schiltz A., Martins J., Pantel R. et Galvier J. (1999). SON (Silicon on Nothing)-a new device architecture for the ulsi era. In 1999 *Symposium on VLSI Technology. Digest of Technical Papers*, pages 29 – 30.
- [Kakifirooz09] Khakifirooz K., Nayfeh O., et Antoniadis D. (2008). A Simple Semiempirical Short-Channel MOSFET Current–Voltage Model Continuous Across All Regions of Operation and Employing Only Physical Parameters. *IEEE Transactions on Electron Devices*, 56(8) : 1674 – 1680.
- [Kamei10] Kamei T., Liu Y. X., Endo K., O’uchi S., Tsukada J., Yamauchi H., Ishikawa Y., Hayashida T., Matsukawa T., Sakamoto K., Ogura A. et M. Masahara<sup>2</sup> (2010). Experimental study of PVD-TiN gate with Poly-Si capping and its application to 20 nm FinFET fabrication. In 2010 *International Conference on SSDM*, pages 1018 – 1019.
- [Kavalieros06] Kavalieros J., Doyle B., Datta S., Dewey G., Doczy M., Jin B., Lionberger D., Metz M., Rachmady W., Radosavljevic M., Shah U., Zelick N. et Chau R. (2006). Tri-Gate Transistor Architecture with High-k Gate Dielectrics, Metal Gates and Strain Engineering. In 2006 *Symposium on VLSI Technology, Digest of Technical Papers*, pages 50 – 51.
- [Kawasaki06] Kawasaki H., Okano K., Kaneko A., Yagishita A., Izumida T., Kanemura T., Kasai K., Ishida T., Sasaki T., Takeyama Y., Aoki N., Ohtsuka N., Suguro K., Eguchi K., Tsunashima Y., Inaba S., Ishimaru K. et Ishiuchi H. (2006). Embedded Bulk FinFET SRAM Cell Technology with Planar FET Peripheral Circuit for hp32 nm node and beyond. In 2006 *Symposium on VLSI Technology, Digest of Technical Papers*, pages 70 – 71.

- [Kawasaki09] Kawasaki H., Basker V. S., Yamashita T., Lin C.-H., Zhu Y., Faltermeier J., Schmitz S., Cummings J., Kanakasabapathy S., Adhikari H., Jagannathan H., Kumar A., Maitra K., Wang J., Yeh C.-C., Wang C., Khater M., Guillorn M., Fuller N., Chang J., Chang L., Muralidhar R., Yagishita A., Miller R., Ouyang Q., Zhang Y., K. Paruchuri V., Bu H., Doris B., Takayanagi M., Haensch W., McHerron D., O'Neill J. et Ishimaru K. (2009). Challenges and Solutions of FinFET Integration in an SRAM Cell and a Logic Circuit for 22 nm node and beyond. In 2009 *International Electron Devices Meeting. Technical Digest*, pages 289 – 292.
- [Kim00] Kim S. D., Park C.-M. et Woo J. C. S. (2000). Advanced model and analysis for series resistance in sub-100 nm cmos including poly depletion and overlap doping gradient effect. In 2000 *International Electron Devices Meeting. Technical Digest*, pages 723 – 726.
- [Kinoshita04] Kinoshita A., Tsuchiya Y., Yagishita A., Uchida K. et Koga, J. (2004). Solution for high-performance schottky-source/drain mosfets : Schottky barrier height engineering with dopant segregation technique. In 2004 *Symposium on VLSI Technology. Digest of Technical Papers*, pages 168 – 169.
- [Kojima05] Kojima K., Iijima R., Ohguro T., Watanabe T., Takayanagi M., Momose H. S., Tshimaru K. et Ishiuchi H. (2005). HfSiON Gate Dielectrics Design for Mixed Signal CMOS. In 2005 *Symposium on VLSI Technology, Digest of Technical Papers*, pages 58 – 59.
- [Koomen73] Koomen J. (1973). Investigation of the Most Channel Conductance in Weak Inversion. *Solid- State Electronics*, 16(7):801 – 810.
- [Lacord11] Lacord J., Hoguet D., Rideau D., Ghibaudo G. et Bœuf F. (2011). Accurate and reday-to-use Parasitic Capacitances Models for Advanced 2D/3D CMOS Device Structure Comparison. To be published in 2011 *International Conference on SSDM*.
- [Larrieu07] Larrieu G., Dubois E., Valentin R., Breil N., Danneville F., Dambrine G., Raskin J. et Pesant J. (2007). Low temperature implementation of dopant-segregated band-edge metallic s/d junctions in thin-body soi p-mosfets. In 2007 *International Electron Devices Meeting. Technical Digest*, pages 147 – 150.
- [Lee99] Lee J.-H., Taraschi G., Wei A., Langdo T.A., Fitzgerald E.A. et Antoniadis D.A. (1999). Super self-aligned double-gate (SSDG) MOSFETs utilising oxidation rate difference and selective epitaxy. In 1999 *International Electron Devices Meeting. Technical Digest*, pages 71 – 74.
- [Lee04] Lee S.-Y., Kim S.-M., Yoon E.-J., Oh C.-W., Chung I., Park D. et Kim K. (2004). Three-Dimensional MBCFET as an Ultimate Transistor. *IEEE Electron Device Letters*, 25(4) : 217 – 219.
- [Lenoble06a] Lenoble D., Doornbos G., De Keersgieter A., Pawlak B., Vandervorst W., Jurczak M. et Skotnicki T. (2006). The Junction Challenges in the FinFETs Device. In 2006 *International Workshop on Junction Technology*, pages 78 – 83.

- [Lenoble06b] Lenoble D., Anil K.G., De Keersgieter A., Eybens P., Collaert N., Rooyackers R., Brus S., Zimmerman P., Goodwin M., Vanhaeren D., Vandervorst W., Radovanov S., Godet L., Cardinaud C., Biesemans S., Skotnicki T. et Jurczak M. (2006). Enhanced Performance of PMOS MUGFET via integration of conformal plasma-doped source/drain extensions. In *2006 Symposium on VLSI Technology, Digest of Technical Papers*, pages 168 – 169.
- [Leray90] Leray J.L., Dupont-Nivet E., Péré J.F., Coïc Y.M., Raffaelli M., Auberton-Hervé A.J., Bruel M., Giffard B. et Margail J. (1990). CMOS/SOI hardening at 100 mrad (SiO<sub>2</sub>). *IEEE Transactions on Nuclear science*, 37(6) :2013 – 2019.
- [Lindert01] Lindert N., Chang L.C., Choi Y-K., Anderson E.H., Lee W-C., King T-J., Bokor J. et Hu C. (2001). Sub-60-nm quasi-planar FinFETs fabricated using a simplified process. *IEEE Electron Device Letters*, 22(11) : 487 – 489.
- [Liou98] Liou H.-C. et Pretzer J. (1998). Effect of curing temperature on the mechanical properties of hydrogen silsesquioxane thin films. In *Thin Solid Films* 335(1-2) : 186 – 191.
- [Liow06a] Liow T.-Y., Tan K.-M., Lee R., Du A., Tung C.-H., Samudra G., Yoo W.-J., Balasubramanian N. et Yeo Y.-C. (2006). Strained N-Channel FinFETs with 25 nm Gate Length and Silicon-Carbon Source/Drain Regions for Performance Enhancement. In *2006 Symposium on VLSI Technology, Digest of Technical Papers*, pages 56 – 57.
- [Liow06b] Liow T.-Y., Tan K.-M., Chin H.-C., Lee R., Tung C.-H., Samudra G., Balasubramanian N. et Yeo Y.-C. (2006). Carrier Transport Characteristics of Sub-30 nm Strained N-Channel FinFETs Featuring Silicon-Carbon Source/Drain Regions and Methods for Further Performance Enhancement. In *2006 International Electron Devices Meeting. Technical Digest*, pages 473 – 476.
- [Liu04] Liu Y.X., Masahara M., Ishii K., Sekigawa T., Takashima H., Yamauchi H. et Suzuki E. (2004). A highly threshold voltage-controllable 4T FinFET with an 8.5-nm-thick Si-Fin channel. *IEEE Electron Device Letters*, 25(7) : 510 – 512.
- [Liu05] Liu C. W., Maikap S. et Yu C.-Y. (2005). Mobility-Enhancement Technologies. *IEEE Circuits and Design magazine*, pages 21 – 36.
- [Lochtefeld02] Lochtefeld A., Djomehri I. J., Samudra G. et Antoniadis D. A. (2002). New insights into carrier transport in n-mosfets. *IBM Journal of Research and Development*, 46(2-3): 347 – 357.
- [Loubet07] Loubet N., Denorme S., Pouydebasque A., Leverd F., Gouraud P., Tallaron C., Skotnicki T. et Dutartre D. (2007). Si1-xGex/Si Selective Etch with HCl for Thin Si-Channel Transistors Integration. In *2007 International Conference on SSDM*, pages 716 – 717.
- [Loubet08] Loubet N., Kormann T., Chabanne G., Denorme S. et Dutartre D. (2008). Selective etching of Si1-xGex versus Si with gaseous HCl for the formation of advanced CMOS devices. In *Thin Solid Films*, 517(3) : 93 – 97.

- [Maddalon00] Maddalon C., Barla K., Denis E., Lous E., Perrin E., Lis S., Lair C. et Dehan E. (2000). Planarization properties of hydrogen silsesquioxane (HSQ) influence on CMP. In *Microelectronic Engineering*, volume 50, pages 33 – 40.
- [Mathieu04] Mathieu H. (2004). *Physique des Semi-conducteurs et des Composants Electroniques*. Editions Dunod.
- [MASTAR] MASTAR, disponible sur <http://www.itrs.net/models.htm>
- [Mayuzumi09] Mayuzumi S., Yamakawa S., Kosemura D., Takei M., Nagata K., Akamatsu H., Aamari K., Tateshita Y., Wakabayashi H., Tsukamoto M., Ohno T., Saitoh M., Ogura A. et Nagashima N. (2009). Comparative Study Between Si (110) and (100) Substrates on Mobility and Velocity Enhancements for Short-Channel Highly-Strained pFETs. In *2009 Symposium on VLSI Technology, Digest of Technical Papers*.
- [Min04] Min B., Devireddy S. P., Celik-Butler Z., Wang F., Zlotnicka A., Tseng H.-H. et Tobin P. J. (2004). Low-Frequency Noise in Submicrometer MOSFETs With HfO<sub>2</sub>, HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> and HfAlO<sub>x</sub> Gate Stacks. *IEEE Transactions on Electron Devices*, 51(10):1679 – 1687.
- [Mistry04] Mistry K., Armstrong M., Auth C., Coan R., Ghani T., Hoffmann T., Murthy A., Sandford J., Shaheed R., Zawadzki K., Zhang K., Thompson S. et Bohr M. (2004). Delaying Forever: Uniaxial Strained Silicon Transistors in a 90nm CMOS Technology. In *2004 Symposium on VLSI Technology, Digest of Technical Papers*, pages 50 – 51.
- [Mistry07] Mistry K., Allen C., Auth C., Beattie B., Bergstrom D., Bost M., Brazier M., Buehler M., Cappellani A., Chau R., Choi C.-H., Ding G., Fischer K., Ghani T., Grover R., Han W., Hanken D., Hattendorf M., He J., Hicks J., Huessner R., Ingerly D., Jain P., James R., Jong L., Joshi S., Kenyon C., Kuhn K., Lee K., Liu H., Maiz J., McIntyre B., Moon P., Neiryneck J., Pae S., Parker C., Parsons D., Prasad C., Pipes L., Prince M., Ranade P., Reynolds T., Sandford J., Shifren L., Sebastian J., Seiple J., Simon D., Sivakumar S., Smith P., Thomas C., Troeger T., Vandervoorn P., Williams S. et Zawadzki K. (2007). A 45nm logic technology with high-k+metal gate transistors, strained silicon, 9 cu interconnect layers, 193nm dry patterning, and 100percent pb-free packaging. In *2007 International Electron Devices Meeting. Technical Digest*, pages 247 – 250.
- [Mizuno94] Mizuno T., Iwase M., Niiyama H., Shibata T., Fujisaki K., Nakasugi T., Toriumi A. et Ushiku Y. (1994). Performance fluctuations of 0.10 m MOSFETs-limitation of 0.1 m ULSIs. In *1994 Symposium on VLSI Technology, Digest of Technical Papers*, pages 13 – 14.
- [Monfray01] Monfray S., Skotnicki T., Morand Y., Descombes S., Paoli M., Ribot P., Talbot A., Dutartre D., Leverd F., Lefric Y., Pantel R., Haond M., Renaud D., Nier M.-E., Vizioz C., Louis D. et Buffet N. (2001). First 80nm SON (Silicon-On-Nothing) MOSFETs with perfect morphology and high electrical performance. In *2001 International Electron Devices Meeting. Technical Digest*, pages 645 – 648.

- [Monfray02] Monfray S., Skotnicki T., Morand Y., Descombes S., Coronel P., Mazoyer P., Harrison S., Ribot P., Talbot A., Dutartre D., Haond M., Palla R., Le Fric Y., Leverd F., Nier M.-E., Vizioz C. et Louis D. (2002). 50 nm-gate all around (gaa)-silicon on nothing (son)-devices : a simple way to co-integration of gaa transistors within bulk mosfet process. In 2002 *Symposium on VLSI Technology, Digest of Technical Papers*, pages 108 – 109.
- [Monfray04] Monfray S., Chanemougame D., Borel S., Talbot A., Leverd F., Planes N., Delille D., Dutartre D., Palla R., Morand Y., Descombes S., Samson M.-P., Vulliet N., Sparks T., Vandoren A. et Skotnicki T. (2004). SON (Silicon-On-Nothing) technological CMOS Platform : Highly performant devices and SRAM cells. In 2004 *International Electron Devices Meeting, Technical Digest*, pages 635 – 638.
- [Monfray07] Monfray S., Samson M.-P., Dutartre D., Ernst T., Rouchouze E., Renaud D., Guillaumot B., Chanemougame D., Rabille G., Borel S., Colonna J., Arvet C., Loubet N., Campidelli Y., Hartmann J.-M., Vandroux L., Bensahel D., Toffoli A., Allain F., Margain A., Clement L., Quiroga A., Deleonibus S. et Skotnicki T. (2007). Localized SOI Technology : an innovative low cost self-aligned process for ultra thin si-film on thin box integration for low power applications. In 2007 *International Electron Devices Meeting, Technical Digest*, pages 693 – 696.
- [Monfray10] Monfray S., Huguenin J.-L., Martin M., Samson M.-P., Borowiak C., Arvet C., Dalemcourt J.-F., Perreau P., Campidelli Y., Barnola S., Bidal G., Denorme S., Benotmane K., Leverd F., Gouraud P., Le-Gratiet B., de Buttet C., Pinzelli L., Beneyton R., Morel T., Wacquez R., Bustos J., Icard B., Pain L., Barraud S., Ernst T., Bœuf F., Faynot O. et Skotnicki T. (2010). A solution for an ideal Planar Multi-Gates Process for ultimate CMOS ? In 2010 *International Electron Devices Meeting, Technical Digest*, pages 257 – 260.
- [Mourrain00] Mourrain C., Cretu B., Ghibaudo G. et Cottin P. (2000). New Method for Parameter Extraction in Deep Submicrometer MOSFETs. In *proceeding of the 2000 International Conference on Microelectronic Test Structures*, pages 181 –186.
- [Na02] Na M., Nowak E., Haensch W. et Cai J. (2002). The effective drive current in cmos inverters. In 2002 *International Electron Devices Meeting, Technical Digest*, pages 121 – 125.
- [Namatsu98] Namatsu H., Takahashi Y., Yamazaki K., Yamaguchi T., Nagase M. et Kurihara K. (1998). Three-dimensional siloxane resist for the formation of nanopatterns with minimum linewidth fluctuations. In *Journal of Vacuum Science & Technology B* 16(1) : 69 – 76.
- [Noel09] Noel J.-P., Thomas O., Fenouillet-Beranger C., Jaud M.-A., Scheiblin P., Amara A. (2009). A Simple and Efficient Concept for Setting up Multi-V<sub>T</sub> Devices in Thin Box Fully-Depleted SOI Technology. In 2009 *Proceedings of ESSDERC*, pages 137 – 140.

- [Oh06] Oh C. W., Kim S. W., Kim N. Y., Choi Y. L., Lee Y. S., Jang W. J., Lee H. S., Park H. S., Kim D. W., Park D. et Ryu, B. I. (2006). A Novel Multi-Functional Silicon-On-ONO (SOONO) Mosfets for SoC Applications : Electrical Characterization for High Performance Transistor and Embedded Memory Applications. In 2006 *International Symposium on VLSI Technology Systems and Applications*, pages: 48 – 49.
- [Pacha06] Pacha C., von Arnim K., Schulz T., Xiong W. , Gostkowski M., Knoblinger G., Marshall A., Nirschl T., Berthold J., Russ C., Gossner H., Duvvury C., Patruno P., Cleavelin R. et Schrufer K. (2006). Circuit Design Issues in Multi-Gate FET CMOS Technologies. In 2006 *International Conference on Solid-State Circuits Conference* pages 1656 – 1665.
- [Park01] Park J-T., Colinge J-P. et C.H. Diaz (2001). Pi-Gate SOI MOSFET. *IEEE Electron Device Letters*, 22(8) : 405 – 406.
- [Payet05] Payet, F. (2005). Modélisation et intégration de transistors à canal de silicium contraint pour les nœuds technologiques CMOS 45nm et en deçà. *Thèse de doctorat*, École Nationale Supérieure de Physique de Marseille.
- [Pelgrom98] Pelgrom M., Tuinhout H. et Vertregt M. (1998). Transistor matching in analog CMOS applications. In 1998 *International Electron Devices Meeting. Technical Digest*, pages 915 – 918.
- [Pham-Nguyen08] Pham-Nguyen L., Fenouillet-Beranger C., Vandooren A., Wild A., Ghibaudo G. et Cristoloveanu S. (2008). Direct Comparison of Si/high-k and Si/SiO<sub>2</sub> Channels in Advanced FD SOI MOSFETs. In 2008 *IEEE International SOI Conference. Proceedings*, pages 25 – 26.
- [Pires97] Pires F., Noel P., Lecornec C., Passemard G., Louis D. et Lajoinie E. (1997). Integration evaluation of low permittivity silicon based spin on materials as IMD. In *Microelectronic Engineering*, volume 37 – 38, pages 277 – 284.
- [Pouydebasque07] Pouydebasque A., Le Royer C., Tabone C., Romanjek K., Augendre E., Sanchez L., Hartmann J.-M., Grampeix H., Mazzocchi V., Soliveres S., Truche R., Clavelier L. and Deleonibus S. (2007). First demonstration of deep sub-micron Germanium-On-Insulator PMOSFET with adapted threshold voltage. In 2007 *International Symposium on VLSI Technology Systems and Applications*, pages: 16 – 17.
- [Pouydebasque08] Pouydebasque A., Denorme S., Loubet N., Wacquez R., Bustos J., Leverd F., Deloffre E., Barnola S., Dutartre D., Coronel P., et Skotnicki T. (2008). High-Performance High-K/Metal Planar Self-Aligned Gate-All-Around CMOS Devices. *IEEE Transactions on Nanotechnology*, 7(5) : 551 – 557.
- [Rafhay08] Rafhay Q. (2008). Modelling of nano nMOSFETs with alternative channel materials in the fully and quasi ballistic regimes. *Thèse de doctorat*, Institut Polytechnique de Grenoble et Università degli Studi di Udine.



- [Ramos06] Ramos J., Severi S., Augendre E., Kerner C., Chiarella T., Nackaerts A., Hoffmann T., Collaert N., Jurczak M. et Biesemans S. (2006). Effective Mobility Extraction Based on a Split RF C-V Method for Short-Channel FINFETs. In 2006 *Proceedings of ESSDERC*, pages 363 – 366.
- [Reichert96] Reichert G. et Ouisse T. Relationship Between Empirical and Theoretical Mobility Models in Silicon Inversion Layers. *IEEE Transactions on Electron Devices*, 43 : 1394 – 1398.
- [Ritenour03] Ritenour A., Yu S., Lee M. L., Lu N., Bai W., Pitera A., Fitzgerald E. A., Kwong D. L. et Antoniadis D. A. (2003). Epitaxial Strained Germanium p-MOSFETs with HfO<sub>2</sub> Gate Dielectric and TaN Gate Electrode. In 2003 *International Electron Devices Meeting. Technical Digest*, pages 433 – 436.
- [Rochette08] Rochette F. (2008). Etude et Caractérisation de l'Influence des Contraintes Mécaniques sur les Propriétés du Transport Electronique dans les Architectures MOS Avancées. *Thèse de doctorat*, INP Grenoble.
- [Romanjek04a] Romanjek K., Andrieu F., Ernst T. et Ghibaudo G. (2004). Improved Split C-V Method for Effective Mobility Extraction in sub-0.1- $\mu$ m Si MOSFETs. *IEEE Electron Device Letters*, 25(8): 583 – 585.
- [Romanjek04b] Romanjek K., Andrieu F., Ernst T. et Ghibaudo G. (2004). Characterization of the Effective Mobility by Split C(V) Technique in Sub 0.1 $\mu$ m Silicon MOSFETS. *Proc. of ULIS conference*, p.109-112.
- [Saito06] Saitoh M., Ogura T., Takahashi K., Hase T., Toda A., Ikarashi N., Oshida M., Tatsumi T. et Watanabe H. (2006). Strain Controlled CMOSFET with Phase Controlled Full-silicide (PC-FUSI)/HfSiON Gate Stack Structure for 45nm-node LSTP Devices. In 2006 *Symposium on VLSI Technology, Digest of Technical Papers*, pages 188 – 189.
- [Sasaki08] Sasaki Y., Okashita K., Nakamoto K., Kitaoka T., Mizuno B. et Ogura M. (2008). Conformal Doping for FinFETs and Precise Controllable Shallow Doping for Planar FET Manufacturing by a Novel B<sub>2</sub>H<sub>6</sub>/Helium Self-Regulatory Plasma Doping Process. In 2008 *International Electron Devices Meeting. Technical Digest*, pages 917 – 920.
- [Sato69] Satô T., Takeishi Y. et Hara H. (1969). Effects of Crystallographic on Mobility, Surface State Density, and Noise in p-Type Inversion Layers on Oxidized Surfaces. In *Japanese Journal of Applied Physics*, 8(5) : 588 – 598.
- [Sato71] Satô T., Takeishi Y. et Hara H. (1971). Mobility Anisotropy of Electrons in Inversion Layers on Oxidized Silicon Surfaces. In *Physical Review B*, 4(6) : 1950 – 1960.
- [Sayama99] Sayama H., Nishida Y., Oda H., Oishi T., Shimizu Z., Kunikiyo T., Sonoda K., Inoue Y. et Inuishi M. (1999). Effect of <100> Channel Direction for High Performance SCE Immune pMOSFET with less than 0.15 $\mu$ m Gate Length. In 1999 *International Electron Devices Meeting. Technical Digest*, pages 657 – 660.

- [Sekigawa84] Sekigawa T. et Hayashi Y. (1984). Calculated threshold-voltage characteristics of an xmos transistor having an additional bottom gate. *Solid-State Electronics*, 27(8-9): 827 – 828.
- [Shang04] Shang H., Chu J.O., Wang X., Mooney P.M., Lee K., Ott J., Ri K., Chan K., Guarini K. et Jeong M. (2004). Channel Design and Mobility Enhancement in Strained Germanium Buried Channel MOSFETs. In 2004 *Symposium on VLSI Technology, Digest of Technical Papers*, pages 204 – 205.
- [Shang05] Shang H., Rubino J., Doris B., Topol A., Sleight J., Cai J., Chang L., Ott J. A., Kedzierski J., Chan K., Shi L., Babich K., Newbury J., Sikorski E., To B. N., Zhang Y., Guarini K. W. et Jeong M. (2005). Mobility and CMOS Devices/Circuits on Sub-10nm (110) Ultra Thin Body SOI. In 2004 *Symposium on VLSI Technology, Digest of Technical Papers*, pages 80 – 81.
- [Shimizu01] Shimizu A., Hachimine K., Ohki N., Ohta H., Koguchi M., Nonaka Y., Sato H. et Ootsuka F. (2001). Local mechanical-stress control (LMC): A new technique for CMOS-performance enhancement. In 2001 *International Electron Devices Meeting. Technical Digest*, pages 433 – 436.
- [Sivoththaman02] Sivoththaman S., Jeyakumar R., Ren L. et Nathan A. (2002). Characterization of low permittivity (low-k) polymeric dielectric films for low temperature device integration. In *Journal of Vacuum Science & Technology* 20(3) : 1149 – 1153.
- [Skotnicki88] Skotnicki T., Merckel, G. et Pedron, T. (1988). The Voltage-Doping Transformation : a new approach to the modeling of MOSFET short-channel effects. *IEEE Electron Device Letters*, 9(3):109 – 112.
- [Skotnicki03] Skotnicki T. et Boeuf F. (2003). Introduction à la physique du transistor. *EGEM, chapitre 3, édition Hermès*.
- [Skotnicki08] Skotnicki T., Fenouillet-Beranger C., Gallon C., Bœuf F., Monfray S., Payet F., Pouydebasque A., Szczap M., Farcy A., Arnaud F., Clerc S., Sellier M., Cathignol A., Schoellkopf J.-P., Perea E., Ferrant R. et Mingam H. (2008). Innovative Materials, Devices, and CMOS Technologies for Low-Power Mobile Multimedia. *IEEE Transactions on Electron Devices*, 55(1):96–130.
- [Skotnicki10] Skotnicki T. et Bœuf F. (2010). How Can High Mobility Channel Materials Boost or Degrade Performance in Advanced CMOS. In 2010 *Symposium on VLSI Technology, Digest of Technical Papers*, pages 153 – 154.
- [Sodini82] Sodini C., Ekstedt T. et Moll J. (1982). Charge Accumulation and Mobility in thin Dielectric MOS transistors. *Solid State Electronics*, 25(9) : 833 – 841.
- [Stolk98] Stolk P., Widdershoven F. et Klaassen D. (1998). Modeling statistical dopant fluctuations in MOS transistors. *IEEE Transactions on Electron Devices*, 45(9):1960 – 1971.
- [Sze81] Sze, S. M. (1981). *Physics of semiconductor Devices. 2nd edition édition*.

- [Tachi09] Tachi K., Casse M., Jang D., Dupre C., Hubert A., Vulliet N., Maffini-Alvaro V., Vizioz C., Carabasse C., Delaye V., Hartmann J.M., Ghibaudo G., Iwai H., Cristoloveanu S., Faynot O. et Ernst T. (2009). Relationship between mobility and high-k interface properties in advanced Si and SiGe nanowires. In 2009 *International Electron Devices Meeting. Technical Digest*, pages 313 – 316.
- [Takagi94a] Takagi S., Toriumi A., Iwase M. et Tango H. (1994). On the Universality of Inversion Layer Mobility in Si MOSFET's : Part I-Effects of Substrate Impurity Concentration. *IEEE Transactions on Electron Devices*, 41(12):2357 – 2362.
- [Takagi94b] Takagi S., Toriumi A., Iwase M. et Tango H. (1994). On the Universality of Inversion Layer Mobility in Si MOSFET's : Part II-Effects of Surface Orientation. *IEEE Transactions on Electron Devices*, 41(12):2363 – 2368.
- [Takagi96] Takagi S., Hoyt J. L., Welser J. J. et Gibbons F. (1996). Comparative study of phonon-limited mobility of two-dimensional electrons in strained and unstrained Si metal-oxide-semiconductor field-effect transistors. In *Journal of Applied Physics*, 80(3):1567 – 1577.
- [Takagi97] Takagi S., Koga J. et Toriumi A. (1997). Subband Structure Engineering for Performance Enhancement of Si MOSFETs. In 1997 *International Electron Devices Meeting. Technical Digest*, pages 219–222.
- [Tian01] Tian H. et El Gamal A. (2001). Analysis of 1/f Noise in Switched MOSFET Circuits. *IEEE Transactions on Circuits and Systems – II : Analog and Digital Signal Processing*, 48(2) : 151 – 157.
- [Thompson05] Thompson S. E., Chau R. S., Ghani T., Mistry K., Tyagi S. et Bohr M. T. (2005). In Search of “Forever,” Continued Transistor Scaling one New Material at a Time. *IEEE Transactions on Semiconductor Manufacturing*, 18(1):26 – 36.
- [Uchida02] Uchida K., Watanabe H., Kinoshita A., Koga J., Numata T. et Takagi, S. (2002). Experimental study on carrier transport mechanism in ultrathin-body soi nand p-mosfets with soi thickness less than 5 nm. In 2002 *International Electron Devices Meeting. Technical Digest*, pages 47 – 50.
- [Ueno05] Ueno T., Rhee H. S., Lee S. H., Lee H., Shin D. S., Jin Y.-S., Maeda S. et Lee N.-I. (2005). Dramatically Enhanced Performance of Recessed SiGe Source-Drain PMOS by In-Situ Etch and Regrowth Technique (InSRET). In 2005 *Symposium on VLSI Technology, Digest of Technical Papers*, pages 24 – 25.
- [Vellianitis07] Vellianitis G., van Dal M.J.H., Witters L., Curatola G., Doornbos G., Collaert N., Jonville C., Torregiani C., Lai L.-S., Petry J., Pawlak B.J., Duffy R., Demand M., Beckx S., Mertens S., Delabie A., Vandeweyer T., Delvaux C., Leys F., Hikavyy A., Rooyackers R., Kaiser M., Weemaes R.G.R., Voogt F., Roberts H., Donnet D., Biesemans S., Jurczak M. et Lander R.J.P. (2007). Gatestacks for scalable high-performance FinFETs. In 2007 *International Electron Devices Meeting. Technical Digest*, pages 681 – 684.

- [Verheyen05] Verheyen P., Collaert N., Rooyackers R., Loo R., Shamiryan D., De Keersgieter A., Eneman G., Leys F., Dixit A., Goodwin M., Yim Y.S., Caymax M., De Meyer K., Absil P., Jurczak M. et Biesemans S. (2005). 25% Drive Current Improvement for p-type Multiple Gate FET (MuGFET) Devices by the Introduction of Recessed Si<sub>0.8</sub>Ge<sub>0.2</sub> in the Source and Drain Regions, In 2005 *Symposium on VLSI Technology, Digest of Technical Papers*, pages 194 – 195.
- [Vinet04] Vinet M., Poiroux T., Widiez J., Lolivier J., Previtali B., Vizioz C., Guillaumot B., Besson P., Simon J., Martin F., Maitrejean S., Holliger P., Biasse B., Cassé M., Allain F., Toffoli A., Lafond D., Hartmann J. M., Truche R., Carron V., Laugier F., Roman A., Morand Y., Renaud D., Mouis M. et Deleonibus S. (2004). Planar double gate CMOS transistors with 40 nm metal gate for multipurpose applications. In 2007 *International Conference on SSDM*, pages 768 – 769.
- [VonArnim07] Von Arnim K., Augendre E., Pacha C., Schulz T., San K. T., Bauer F., Nackaerts A., Rooyackers R., Vandeweyer T., Degroote B., Collaert N., Dixit A., Singanamalla R., Xiong W., Marshall A., Cleavelin C. R., Schrüfer K. et Jurczak M. (2007). A Low-Power Multi-Gate FET CMOS Technology with 13.9ps Inverter Delay, Large-Scale Integrated High Performance Digital Circuits and SRAM. In 2007 *Symposium on VLSI Technology, Digest of Technical Papers*, pages 106 – 107.
- [Wacquez06] Wacquez R., Cerutti R., Coronel P., Cros A., Fleury D., Pouydebasque A., Bustos J., Harrison S., Loubet N., Borel S., Lenoble D., Delille D., Leverd F., Judong F., Samson MP., Vuillet N., Guillaumot B., Ernst T., Masson P. et Skotnicki T. (2006). A Novel Self Aligned Design Adapted Gate All Around (SADAGAA) MOSFET including two stacked Channels : A High Co-Integration Potential. In 2006 *International Conference on SSDM*.
- [Wacquez07] Wacquez R., Coronel P., Samson M.-P., Delile D., Clément L., Delaye V., Baud L., Loubet N., Bustos J., Pouydebasque A., Guillaumot B., Ernst T., Masson P., Gouy J.-P. et Skotnicki T. (2007). A Breathrough Lithography Process Through Si Layer for Self Aligning Gates in Planar Double-Gate Transistors for 32nm Node and Below. In 2006 *International Conference on SSDM*, pages 1040 – 1041.
- [Weber05] Weber O., Bogumilowics Y., Ernst T., Hartmann J.-M., Ducroquet F., Andrieu F., Dupré C., Clavelier L., Le Royer C., Cherkashin N., Hytch M., Dansas H., Papon A.-M., Carron V., Tabone C. and Deleonibus S. (2005). Strained Si and Ge MOSFETs with High-k/Metal Gate Stack for High Mobility Dual Channel CMOS. In 2005 *International Electron Devices Meeting, Technical Digest*, pages 137 – 140.
- [Weber08] Weber O., Faynot O., Andrieu F., Buj-Dufournet C., Allain F., Scheiblin P., Foucher J., Daval N., Lafond D., Tosti L., Brevard L., Rozeau O., Fenouillet-Beranger C., Marin M., Boeuf F., Delprat D., Bourdelle K., Nguyen B.-Y. et Deleonibus S. (2008). High Immunity to Threshold Voltage Variability in Undoped Ultra-Thin FDSOI MOSFETs and its Physical Understanding. In 2008 *International Electron Devices Meeting, Technical Digest*, pages 245 – 248.

- [Weber09] Weber O., Andrieu F., Fenouillet-Beranger C., Buj-Dufournet C., Barral V., Perreau P., Tosti L., Brevard L. et Faynot O. (2009). High Scalability and Low Variability of Planar Fully Depleted SOI MOSFETs. In *ECS Trans.*, 22(1) : 71 – 80.
- [Weber10] Weber O., Andrieu F., Mazurier J., Casse M., Garros X., Leroux C., Martin F., Perreau P., Fenouillet-Beranger C., Barnola S., Gassilloud R., Arvet C., Thomas O., Noel J-P., Rozeau O., Jaud M-A., Poiroux T., Lafond D., Toffoli A., Allain F., Tabone C., Tosti L., Brevard L., Lehnen P., Weber U., Baumann P.K., Boissiere O., Schwarzenbach W., Bourdelle K., Nguyen B-Y., Breuf F., Skotnicki T. et Faynot O. (2010). Work-function Engineering in Gate First Technology for Multi-VT Dual-Gate FDSOI CMOS on UTBOX. In 2010 *International Electron Devices Meeting. Technical Digest*, pages 58 – 61.
- [Wei09a] Wei L., Bœuf F., Antoniadis D., Skotnicki T. et Wong H.-S. P. (2009). Exploration of Device Design Space to Meet Circuit Speed Targeting 22nm and Beyond. In 2009 *International Conference on SSDM*.
- [Wei09b] Wei L., Bœuf F., Skotnicki T. et Wong H.-S. P. (2009). CMOS Technology Roadmap Projection Including Parasitic Effects. In 2009 *International Symposium on VLSI Technology Systems and Applications*, pages: 78 – 79.
- [Wei11] Wei L., Bœuf F., Skotnicki T. et Wong H.-S. P. (2011). Parasitic Capacitances : Analytical Models and Impact on Circuit-Level Performance. *IEEE Transactions on Electron Devices*, 58(5) : 1361 – 1370.
- [Wen07] Wen H.-C., Song S. C., Park C. S., Burham C., Bersuker G., Choi K., Quevedo-Lopez M. A., Ju B. S., Alshareef H. N., Niimi H., Park H. B., Lysaght P. S., Majhi P., Lee B. H. et Jammy R. (2007). Gate First Metal-Aluminum-Nitride PMOS Electrodes for 32nm Low Standby Power Applications. In 2007 *International Symposium on VLSI Technology Systems and Applications*, pages: 160 – 161.
- [Westlinder04] Westlinder J. (2004). Investigation of Novel Metal Gate and High-k Dielectric Materials for CMOS Technologies. *Thèse de doctorat*, Uppsala University.
- [Widiez04] Widiez J., Dauge F., Vinet M., Poiroux T., Previtali B., Mouis M. et Deleonibus S. (2004). Experimental Gate Misalignment Analysis on Double Gate SOI MOSFETs. In 2004 *International SOI Conference*, pages 185 – 186.
- [Widiez05] Widiez J., Lolivier J., Vinet M., Poiroux T., Previtali B., Dauge F., Mouis M. et Deleonibus S. (2005). Experimental Evaluation of Gate Architecture Influence on DG SOI MOSFETs Performance. *IEEE Transactions on Electron Devices*, 52(8) : 1772 – 1779.
- [Wong09] Wong H.-S. Tan L.-H., Chan L., Lo G.-Q., Samudra G. et Yeo Y.-C. (2009). Gate-All-Around Quantum-Wire Field-Effect Transistor with Dopant Segregation at Metal-Semiconductor-Metal Heterostructure. In 2009 *Symposium on VLSI Technology, Digest of Technical Papers*, pages 210 – 211.

- [Wu09] Wu S.-Y., Liaw J.J., Lin C.Y., Chiang M.C., Yang C.K., Cheng J.Y., Tsai M.H., Liu M.Y., Wu P.H., Chang C.H., Hu L.C., Lin C.I., Chen H.F., Chang S.Y., Wang S.H., Tong P.Y., Hsieh L.Y., Pan K.H., Hsieh C.H., Chen C.H., Yao C.H., Chen C.C., Lee T.L., Chang C.W., Lin H.J., Chen S.C., Shieh J.H., Tsai M.H., Jang S.M., Chen K.S., Ku Y., See Y.C. et Lo W.J. (2009). A Highly Manufacturable 28nm CMOS Low Power Platform Technology with Fully Functional 64Mb SRAM Using Dual/Triple Gate Oxide Process. In 2009 *International Symposium on VLSI Technology Systems and Applications*, pages: 210 – 211.
- [Wu10] Wu C.C., Lin D.W., Keshavari A., Huang C.H., Chan C.T., Tseng C.H., Chen C.L., Hsieh C.Y., Wong K.Y., Cheng M.L., Li T.H., Lin Y.C., Yang L.Y., Lin C.P., Hou C.S., Lin H.C., Yang J.L., Yu K.F., Chen M.J., Hsieh T.H., Peng Y.C., Chou C.H., Lee C.J., Huang C.W., Lu C.Y., Yang F.K., Chen H.K., Weng L.W., Yen P.C., Wang S.H., Chang S.W., Chuang S.W., Gan T.C., Wu T.L., Lee T.Y., Huang W.S., Huang Y.J., Tseng Y.W., Wu C.M., Ou-Yang E., Hsu K.Y., Lin L.T., Wang S.B., Kwok T.M., Su C.C., Tsai C.H., Huang M.J., Lin H.M., Chang A.S., Liao S.H., Chen L.S., Chen J.H., Lim P.S., Yu X.F., Ku S.Y., Lee Y.B., Hsieh P.C., Wang P.W., Chiu Y.H., Lin S.S., Tao H.J., Cao M. et Mii Y.J. (2010). High Performance 22/20nm FinFET CMOS Devices with Advanced High-K/Metal Gate Scheme. In 2010 *International Electron Devices Meeting, Technical Digest*, pages 600 – 603.
- [Yang03a] Yang M., Gusev E., Jeong M., Gluschenkov O., Boyd D., Chan K., Kozlowski P., D’Emic C., Sicina R., Jamison P. et Chou A. (2003). Performance Dependence of CMOS on Silicon Substrate Orientation for Ultra-Thin Oxynitride and HfO<sub>2</sub> Gate Dielectrics. *IEEE Electron Device Letters*, 24(5) : 339 – 341.
- [Yang03b] Yang M., Jeong M., Shi L., Chan K., Chan V., Chou A., Gusev E., Jenkins K., Boyd D., Ninomiya Y., Pendleton D., Surpris Y., Heenan D., Ott J., Guarini K., D’Emic C., Cobb M., Mooney P., To B., Rovedo N., Benedict J., Mo R. et Ng H. (2003). High Performance CMOS fabricated on hybrid substrate with different crystal orientations. In 2003 *International Electron Devices Meeting, Technical Digest*, pages 453 – 456.
- [Yang04] Yang F.-L., Lee D.-H., Chen H.-Y., Chang C.-Y., Liu S.-D., Huang C.-C., Chung T.-X., Chen H.-W., Huang C.-C., Liu Y.-H., Wu C.-C., Chen C.-C., Chen S.-C., Chen Y.-T., Chen Y.-H., Chen C.-J., Chan B.-W., Hsu P.-F., Shieh J.-H., Tao H.-J., Yeo Y.-C., Li Y., Lee J.-W., Chen P., Liang M.-S. et Hu C. (2004). 5nm-Gate nanowire FinFET. In 2004 *Symposium on VLSI Technology, Digest of Technical Papers*, pages 196 – 197.
- [Yang06] Yang M., Chan V., Chan K., Shi L., Fried D., Stathis J., Chou A., Gusev E., Ott J., Burns L., Fischetti M. et Jeong M. (2006). Hybrid-Orientation Technology (HOT) : Opportunities and Challenges. *IEEE Transactions on Electron Devices*, 53(5):965 – 978.

- [Yasuda06] Yasuda Y., Lin C. H., King Liu T. J. et Hu C. (2006). Impact of HFSiON Induced Flicker Noise on Scaling of Future Mixed-Signal CMOS. In 2006 *Symposium on VLSI Technology, Digest of Technical Papers*, pages 130 – 131.
- [Yasuda08] Yasuda Y., King Liu T.J. et Hu C. (2008). Flicker-Noise Impact on Scaling of Mixed-Signal CMOS with HFSiON. *IEEE Transactions on Electron Devices*, 55(1):417 – 422.
- [Yeh10] Yeh C.-C., Chang C.-S., Lin H.-N., Tseng W.-H., Lai L.-S., Perng T.-H., Lee T.-L., Chang C.-Y., Yao L.-G., Chen C.-C., Kuan T.-M., Xu J. J., Ho C.-C., Chen T.-C., Lin S.-S., Tao H.-J., Cao M., Chang C.-H., Ko T.-C., Chen N.-K., Chen S.-C., Lin C.-P., Lin H.-C., Chan C.-Y., Lin H.-T., Yang S.-T., Sheu J.-C., Fu C.-Y., Hung S.-T., Yuan F., Shieh M.-F., Hu C.-F., et Wann C. (2010). A Low Operating Power FinFET Transistor Module Featuring Scaled Gate Stack and Strain Engineering for 32/28nm SoC Technology. In 2010 *International Electron Devices Meeting*, pages 772 – 775.
- [Yoon04] Yoon E.-J., Lee S.-Y., Kim S.-M., Kim M.-S., Kim S.H., Ming L., Suk S., Yeo K., Oh C.W., Choe J.-D., Choi D., Kim D.-W., Park D., Kim K. et Ryu B.-I. (2004). Sub 30nm Multi-Bridge- Channel MOSFET (MBCFET) with Metal Gate Electrode for Ultra High Performance Application. In 2008 *International Electron Devices Meeting*, pages 627 – 630.
- [Yoshida06] Yoshida E., Momiyama Y., Miyamoto M., Saiki T., Kojima M., Satoh S. et Sugii T. (2006). Performance Boost Using a New Device Design Methodology Based on Characteristic Current for Low-Power CMOS. In 2006 *International Electron Devices Meeting. Technical Digest*, pages 195 – 198.
- [Yu08] Yu X., Han S.-J., Zamdmer N., Deng J., Nowak E., Rim K. (2008). Improved Effective Switching Current (IEFF+) and Capacitance Methodology for CMOS Circuit Performance Prediction and Model-to-Hardware Correlation. In 2008 *International Electron Devices Meeting*, pages 257 – 260.
- [Yun07] Yun E. J., Lee S.-Y., Kim M. S., Kim S. M., Choi I., Lee J., Park B. K., Kim D.-W. et Park D. (2007). Sub-20nm Surrounding-Gate Bridge-Channel MOSFETs for Low Power and High Performance Applications. In 2007 *Proceedings of International Conference on IC Design & Technology*.
- [Zhang03] Zhang S., Lin X., Huang R., Han R. et Chan M. (2003). A Self-Aligned, Electrically Separable Double-Gate MOS Transistor Technology for Dynamic Threshold Voltage Application. *IEEE Transactions on Electron Devices*, 50(11) : 2297 – 2299.



---

---

# PUBLICATIONS DE L'AUTEUR

---

---

## *Articles de journaux*

- **J.-L. Huguenin**, G. Bidal, S. Denorme, D. Fleury, N. Loubet, A. Pouydebasque, P. Perreau, F. Leverd, S. Barnola, R. Beneyton, B. Orlando, P. Gouraud, T. Salvétat, L. Clement, S. Monfray, G. Ghibaudo, F. Bœuf et T. Skotnicki (2010). Gate-all-around technology: Taking advantage of ballistic transport? *Solid-State Electronics* 54(9) : 883 – 889.
- **J.-L. Huguenin**, S. Monfray, J.-M. Hartmann, V. Destefanis, V. Delaye, M.-P. Samson, P. Boulitreau, Y. Morand, P. Brianceau, C. Arvet, P. Gautier, T. Skotnicki, G. Ghibaudo and F. Bœuf (2011). Performance of Localized-SOI MOS Devices on (110) substrates: Impact of Channel Direction. *IEEE Electron Device Letters*, 32(8) : 996 – 999.
- S. Monfray, C. Fenouillet-Beranger, G. Bidal, F. Bœuf, S. Denorme, **J.-L. Huguenin**, M.-P. Samson, N. Loubet, J.-M. Hartmann, Y. Campidelli, V. Destefanis, C. Arvet, K. Benotmane, L. Clement, O. Faynot et T. Skotnicki (2010). Thin-film devices for low power applications. *Solid-State Electronics* 54(2) : 90 – 96.
- V. Destefanis, J.-M. Hartmann, **J.-L. Huguenin**, V. Delaye, M.-P. Samson, P. Boulitreau, Y. Morand, P. Brianceau, C. Arvet, P. Gautier, S. Monfray et T. Skotnicki (2010). Fabrication, structural and electrical properties of (1 1 0) localized silicon-on-insulator devices. *Semicond. Sci. Technol.* **25** (2010) 045014 (10pp).

## *Articles de conférences internationales*

- **J.-L. Huguenin**, S. Monfray, S. Denorme, G. Bidal, P. Perreau, S. Barnola, M.-P. Samson, K. Benotmane, N. Loubet, Y. Campidelli, F. Leverd, F. Abbate, L. Clement, C. Borowiak, D. Golanski, C. Fenouillet-Beranger, F. Boeuf, G. Ghibaudo et T. Skotnicki (2010). Localized SOI Logic and Bulk I/O devices co-integration for Low Power System-on-Chip Technology. In *International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA)*, pp. 118 – 119. **Best Student Paper Award.**
- **J.-L. Huguenin**, S. Monfray, G. Bidal, S. Denorme, P. Perreau, S. Barnola, M.-P. Samson, C. Arvet, K. Benotmane, N. Loubet, Q. Liu, Y. Campidelli, F. Leverd, F. Abbate, L. Clement, C. Borowiak, A. Cros, A. Bajolet, S. Handler, D. Marin-Cudraz, T. Benoist, P. Galy, C. Fenouillet-Beranger, O. Faynot, G. Ghibaudo, F. Bœuf et T. Skotnicki (2010). Hybrid Localized SOI/Bulk technology for Low Power System-on-Chip. In *2010 Symposium on VLSI Technology*, pp. 59 – 60.

- **J.-L. Huguenin**, S. Monfray, G. Bidal, S. Denorme, P. Perreau, N. Loubet, Y. Campidelli, M.-P. Samson, C. Arvet, K. Benotmane, F. Leverd, P. Gouraud, B. Le-Gratiet, C. de Buttet, L. Pinzelli, R. Beneyton, S. Barnola, T. Morel, A. Halimaoui, F. Boeuf, G. Ghibaudo et T. Skotnicki (2010). Ultra-Thin (4nm) Gate-All-Around CMOS devices with High-k/Metal for Low Power Multimedia Applications. In *International Conference on Solid State Devices and Materials*.
- **J.-L. Huguenin**, J. Lacord, S. Monfray, R. Coquand, T. Skotnicki, G. Ghibaudo et F. Bœuf (2011). Comparative study of circuit perspectives for multi-gate structures at sub-10nm node. In *2011 European Solid-State Device Research Conference*.
- G. Bidal, F. Boeuf, S. Denorme, N. Loubet, **J.-L. Huguenin**, P. Perreau, D. Fleury, F. Leverd, S. Lagrasta, S. Barnola, T. Salvetat, B. Orlando, R. Beneyton, L. Clement, R. Pantel, S. Monfray, G. Ghibaudo et T. Skotnicki (2009). High velocity Si-nanodot : a candidate for SRAM applications at 16nm node and below. In *2009 Symposium on VLSI Technology*, pp. 240 – 241.
- G. Bidal, **J.-L. Huguenin**, S. Denorme, D. Fleury, N. Loubet, A. Pouydebasque, P. Perreau, F. Leverd, S. Barnola, R. Beneyton, B. Orlando, P. Gouraud, T. Salvetat, L. Clement, S. Monfray, G. Ghibaudo, F. Bœuf et T. Skotnicki (2009). Gate-All-Around technology: taking advantage of ballistic transport ? In *2009 European Solid-State Device Research Conference (ESSDERC)* pp. 315 – 318.
- G. Bidal, F. Boeuf, S. Denorme, C. Laviron, K. Bourdelle, N. Loubet, Y. Campidelli, R. Beneyton, H. Moriceau, F. Fournel, P. Morin, S. Barnola, T. Salvetat, P. Perreau, P. Gouraud, F. Leverd, B. Le-Gratiet, **J.-L. Huguenin**, D. Fleury, K. Kusiaku, A. Cros, C. Leyris, S. Haendler, C. Borowiak, L. Clement, R. Pantel, G. Ghibaudo et T. Skotnicki (2009). First CMOS Integration of Ultra Thin Body and BOX (UTB2) Structures on Bulk Direct Silicon Bonded (DSB) Wafer with Multi-Surface Orientations. In *2009 International Electron Devices Meeting, Technical Digest (IEDM)*, pages 677– 680.
- F. Bœuf, G. Bidal, S. Denorme, **J.-L. Huguenin**, S. Monfray, D. Chanemougame, N. Loubet et T. Skotnicki (2009). Optimization of Bulk+/SON Integration for Low Stand-by Power (LSTP) Applications. In *2009 International Conference on Solid State Devices and Materials (SSDM)*.
- S. Monfray, **J.-L. Huguenin**, M. Martin, M.-P. Samson, C. Borowiak, C. Arvet, JF. Dalemcourt, P. Perreau, Y. Campidelli, S. Barnola, G. Bidal, S. Denorme, K. Benotmane, F. Leverd, P. Gouraud, B. Le-Gratiet, C. de Buttet, L. Pinzelli, R. Beneyton, T. Morel, R. Wacquez, J. Bustos, B. Icard, L. Pain, S. Barraud, T. Ernst, F. Boeuf, O. Faynot et T. Skotnicki (2010). A solution for an ideal Planar Multi-Gates Process for ultimate CMOS? In *2010 International Electron Devices Meeting, Technical Digest (IEDM)*, pp. 257 – 260.
- L. Cadix, M. Rousseau, C. Fuchs, P. Leduc, A. Thuair, R. El Farhane, H. Chaabouni, R. Anciant, **J.-L. Huguenin**, P. Coudrain, A. Farcy, C. Bermond, N. Sillon, B. Fléchet et P. Ancey (2010). Integration and frequency dependent electrical modeling of Through Silicon Vias (TSV) for high density 3DICs. In *2010 IEEE International Interconnect Technology Conference (IITC)*.
- T. Benoist, C. Fenouillet-Beranger, N. Guitard, **J.-L. Huguenin**, S. Monfray, P. Galy, C. Buj, F. Andrieu, P. Perreau, D. Marin-Cudraz, O. Faynot, S. Cristoloveanu et P. Gentil (2010). Improved ESD protection in advanced FDSOI by using hybrid SOI/Bulk co-integration. In *2010 32nd Electrical Overstress/Electrostatic Discharge Symposium Proceedings (EOS/ESD)*.

- C. Fenouillet-Beranger, P. Perreau, M. Cassé, X. Garros, C. Leroux, F. Martin, R. Gassilloud, A. Bajolet, L. Tosti, S. Barnola, F. Andrieu, O. Weber, R. Beneyton, C. Perrot, C. de Buttet, F. Abbate, B. Pernet, Y. Campidelli, L. Pinzelli, P. Gouraud, **J.-L. Huguenin**, C. Borowiak, S. Peru, L. Clement, R. Pantel, K. Bourdelle, B.Y. Nguyen, F. Boedt, S. Denorme, O. Faynot, T. Skotnicki et F. Bœuf (2011). UTBOX and Ground Plane combined with Al<sub>2</sub>O<sub>3</sub> inserted in TiN gate for VT modulation in Fully-depleted SOI CMOS transistors. In 2011 *International Symposium on VLSI Technology Systems and Applications (VLSI-TSA)*, pages: 114 – 115.
- J. Lacord, **J.-L. Huguenin**, G. Ghibaudo, T. Skotnicki et F. Bœuf (2011). Simple and Efficient MASTAR Threshold Voltage and Subthreshold Slopes Models for Double Gate Structures. In *2011 International Conference on Solid State Devices and Materials (SSDM)*.

### **Brevets**

- **J.-L. Huguenin** et G. Bidal : Procédé de fabrication de transistors MOS à différents types d'empilements de grilles. Réf ST : 10-GR3-241.
- **J.-L. Huguenin** et S. Monfray : Composant électronique comportant un ensemble de transistors MOSFET et procédé de fabrication.
- **J.-L. Huguenin** et G. Bidal : Transistor MOSFET, composant incluant plusieurs tels transistors, et procédé de fabrication. Réf ST : 11-GR3-033.



---

**TITRE : ETUDE DE DISPOSITIFS A FILM MINCE POUR LES TECHNOLOGIES SUB-22NM BASSE CONSOMMATION**

---

**RESUME**

Depuis plus d'un demi-siècle, le monde de la microélectronique est rythmé par une course à la miniaturisation de son élément central, le transistor MOS, dans le but d'améliorer la densité d'intégration, les performances et le coût des circuits électroniques intégrés. Depuis plusieurs générations technologiques maintenant, la simple réduction des dimensions du transistor n'est plus suffisante et de nouveaux modules technologiques (utilisation de la contrainte, empilement de grille high- $\kappa$ /métal...) ont du être mis en place. Cependant, le transistor MOS conventionnel, même optimisé, ne suffira bientôt plus à répondre aux attentes toujours plus élevées des nouvelles technologies. De nouvelles architectures doivent alors être envisagées pour épauler puis, à terme, remplacer la technologie BULK.

Dans ce contexte, cette thèse porte sur l'étude, la fabrication et la caractérisation électrique des architectures à film mince que sont le SOI localisé (ou LSOI) et le double grille planaire à grille enrobante (ou GAA). Les résultats obtenus mettent ainsi en évidence l'intérêt de ces dispositifs qui permettent une réduction du courant de fuite (et donc de la consommation), un excellent contrôle des effets électrostatiques et fonctionnent sans dopage canal (faible variabilité) tout en proposant de très bonnes performances statiques. L'impact d'une orientation de substrat (110) sur les propriétés de transport dans les transistors LSOI est également étudié. Ce travail de thèse garde comme ligne de mire la réalisation d'une plateforme basse consommation complète, impliquant une éventuelle intégration hybride avec des dispositifs BULK et la possibilité d'offrir plusieurs niveaux de tension de seuil, le tout sur une même puce.

---

**MOTS-CLES**

CMOS, basse consommation, film mince, UTBB, SON, SOI localisé, co-intégration, caractérisation électrique, mobilité, orientation cristalline, direction de transport, double grille planaire, grille enrobante.

---

**TITLE : STUDY OF THIN-FILM DEVICES FOR SUB-22NM LOW POWER TECHNOLOGIES**

---

**ABSTRACT**

For more than 50 years, microelectronic industry is driven by a race to the miniaturisation of its central element, the MOS transistor, to improve the integration density, the performances and the cost of the electronic integrated circuits. Since the adoption of 100nm node, the only reduction of the dimensions of the transistor is no more sufficient and new technological modules (use of strain, high- $\kappa$ /metal gatestack...) have been introduced. However, conventional MOSFET, even optimized, will soon be unable to reach the specifications, always higher, of new technologies. Then, new structures should be considered to help and, finally, to replace the BULK technology.

In this context, the work concerns the study, the fabrication and the electrical characterization of the thin film devices : Localized-SOI (LSOI) and planar gate-all-around (GAA). The obtained results point out the interest of such devices which allow the reduction of the leakage current (and thus the consumption), an excellent control of electrostatics and are able to work with an undoped channel while offering very good static performances. Impact of (110) substrates on transport properties in LSOI transistors is also studied. This work focuses on the integration of a full low-power platform, what induces the possibility of an hybrid integration with BULK devices and to offer several threshold voltages, everything on the same chip.

---

**KEY WORDS**

CMOS, low power, thin film, UTBB, SON, localized SOI, co-integration, electrical characterization, mobility, crystalline orientation, transport direction, planar double gate, Gate-All-Around.