



HAL
open science

Contribution à la qualité et à la fiabilité des circuits et systèmes intégrés et à la microélectronique médicale

Serge Bernard

► **To cite this version:**

Serge Bernard. Contribution à la qualité et à la fiabilité des circuits et systèmes intégrés et à la microélectronique médicale. Micro et nanotechnologies/Microélectronique. Université Montpellier II - Sciences et Techniques du Languedoc, 2010. tel-00599970

HAL Id: tel-00599970

<https://theses.hal.science/tel-00599970>

Submitted on 12 Jun 2011

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Habilitation à Diriger les Recherches

Serge Bernard

Contribution
à la qualité et à la fiabilité des circuits et systèmes intégrés
et à la microélectronique médicale

JURY :

Adam Osseiran - Professeur à Edith Cowan University, Perth, Australie
Mohamad Sawan - PolySTIM, Professeur à l'École Polytechnique de Montréal, Canada
Pascal Fouillat - IMS, Professeur à l'Institut Polytechnique de Bordeaux
Patrick Garda - LIP6, Professeur à l'Université Pierre et Marie Curie
Philippe Cauvet - Directeur d'Ophtimalia
Michel Renovell - LIRMM, Directeur de Recherche CNRS
David Guiraud - LIRMM, Directeur de Recherche INRIA
Guy Cathébras - LIRMM, Professeur à l'Université Montpellier II
Yves Bertrand - LIRMM, Professeur à l'Université Montpellier II

Laboratoire d'Informatique de Robotique et de Microélectronique de Montpellier
Unité mixte de recherche du CNRS - UMR 5506
et de l'Université de Montpellier II

16 mars 2010

Table des matières

I	Résumé de mon activité	7
1	Notice personnelle	9
2	Présentation succincte de mes activités	13
2.1	Responsabilités scientifiques nationales	13
2.1.1	Responsable et co-directeur scientifique du laboratoire commun ISyTest . . .	13
2.1.2	Encadrement	14
2.2	Responsabilités scientifiques internationales	14
2.2.1	Organisation de colloques internationaux	14
2.2.2	Membre de comités de programme de conférences internationales	15
2.2.3	Modérateur de session	16
2.3	Collaborations	16
2.4	Contrats de recherche	17
2.5	Production scientifique	18
2.6	Prix scientifiques	19
2.7	Enseignement	19
II	Bilan complet	21
3	Activité scientifique	23
3.1	Introduction	23
3.2	Test de circuits et systèmes intégrés analogiques et mixtes	23
3.2.1	Test intégré de Convertisseurs Analogique Numérique	24
3.2.2	Test haut niveau de systèmes mixtes (SiP et SoC)	31
3.2.3	Test sans fil	38
3.2.4	Test indirect pour les circuits RF et mixtes	39
3.2.5	Système d'auto-calibration	40
3.3	Microélectronique médicale	41
3.3.1	Électro-stimulateur implantable	43
3.3.2	Conception de circuits de recueil de signaux physiologiques	50
3.3.3	Système d'aide au dépistage et au traitement du glaucome	54

3.3.4	Sûreté de fonctionnement pour système implantables	56
3.4	Conception de circuits pour communications haut débit	61
4	Diffusion des connaissances et valorisation de la recherche	65
4.1	Production scientifique	65
4.2	Contrats de recherche	65
4.2.1	Projets Européens	65
4.2.2	Projets nationaux	67
4.2.3	Contrats directs avec des industriels	67
4.3	Collaborations avec les laboratoires universitaires	68
4.4	Collaborations avec l'industrie	68
4.5	Transferts technologiques	69
4.5.1	Test de circuits et systèmes intégrés	69
4.5.2	Microélectronique médicale	70
5	Rayonnement scientifique	71
5.1	Comité de programme	71
5.2	Organisation des conférences	71
5.3	Modérateur de session	72
5.4	Comité de lecture	72
5.5	Participation à des jurys de thèse	73
5.6	Prix scientifiques	73
5.7	Expertises	74
5.7.1	Expertise technique : Test d'un SoC de la société ATMEL	74
5.7.2	Expertise pour la Fondation Canadienne pour l'Innovation	74
5.8	Présentations invitées	74
6	Animation scientifique	75
6.1	Responsable du laboratoire commun LIRMM/NXP	75
6.2	Animation nationale	76
6.3	Encadrement	76
6.3.1	Encadrement de Post doctorants	76
6.3.2	Encadrement de Doctorants	76
6.3.3	Encadrement d'ingénieurs en CDD	81
6.3.4	Encadrement d'étudiants de Master II	81
6.3.5	Encadrement d'élèves d'ingénieurs	82
7	Activité d'enseignement	83
7.1	Formation sur le test industriel des circuits	83
7.2	Enseignement Universitaire	83

7.2.1	État de l'art des circuits microélectroniques (1-3h)	83
7.2.2	Conception et test des Convertisseurs Analogique-Numérique et Numérique- Analogique (3h)	84
7.2.3	Les systèmes de stimulation électrique implantés (3h)	84
7.2.4	Testabilité des SoC et SiP (3h)	85
7.2.5	Test des circuits mixtes (3-12h)	85
III	Perspectives	87
IV	Production scientifique (2000 – 2009)	97
V	Sélection d'articles	109

Première partie

Résumé de mon activité

Chapitre 1

Notice personnelle

État civil

Prénom Nom : Serge BERNARD

Date de naissance : le 4 juillet 1973

Nationalité : Française

Situation familiale : Marié, 2 enfants

Adresse Personnelle : 11 rue du merlot 34680 Saint Georges d'Orques

Adresse Professionnelle : LIRMM, 161, rue Ada 34392 Montpellier

e-mail : Serge.Bernard@lirmm.fr

Page personnelle : <http://www.lirmm.fr/~bernard/>

Situation professionnelle

- Responsable du laboratoire commun ISyTest entre le LIRMM et la société NXP semiconductors (ancien Philips semiconductors) depuis 2006.
- Chargé de Recherche 1ère classe au CNRS (Unité d'affectation : LIRMM UMR 5506) depuis 2001.

Domaines de recherche principaux

- Test de circuits et systèmes intégrés analogiques et mixtes
- Conception de circuits intégrés pour application médicale
- Sûreté de fonctionnement de systèmes et circuits intégrés

Formation

- 2001. Thèse de doctorat de l'Université Montpellier II. Titre : "Test Intégré de Convertisseurs Analogiques/Numériques ". Soutenance : 13 avril 2001. Directeur de thèse : Pr. Yves Bertrand.
- 1998. Diplôme d'Etudes Approfondies (D.E.A.). Spécialité : SYstèmes Automatiques et Micro-électroniques (SY.A.M.). Mention : Bien, Major de promotion.
- 1997. Agrégation de Génie Électrique, option Électronique. Classement : 5ème.
- 1995-1998. Éleve à l'École Normale Supérieure de Cachan (ENS Cachan).
- 1996. Maîtrise Électronique Électrotechnique et Automatique (E.E.A.) Université Paris XI (Orsay). Mention : Assez-Bien.
- 1995. Licence Ingénierie Électrique (I.E.) – Université Paris XI Mention : Assez-Bien.

Etapas clés de ma carrière

- 1998-2001 : *Thèse de Doctorat* au Laboratoire d'Informatique, de Robotique et de Microélectronique de Montpellier (LIRMM).
Titre : "Test Intégré de Convertisseurs Analogiques/Numériques "
Soutenance : 13 avril 2001. *Directeur de thèse* : Pr. Yves Bertrand.
Résumé : Les circuits intégrés mixtes développés pour les nouvelles applications multimédias et télécommunications sont constitués de blocs analogiques et de blocs numériques. Le coût du test de ces circuits mixtes est un facteur critique pour leur prix de revient. En particulier, en production industrielle, les Convertisseurs Analogique/Numérique (CAN) sont testés en mode fonctionnel (histogramme, FFT) en utilisant des ressources de test externes extrêmement coûteuses. Dans ce contexte, une solution attractive pour réduire le coût du test consiste à intégrer directement sur la puce tout ou une partie des ressources nécessaires au test. L'objectif des travaux présentés dans cette thèse est donc la conception et le développement de structures d'autotest intégré (BIST : Built-in-Self-Test) permettant le test par histogramme des CAN. L'implantation directe sur silicium de cette technique de test ne serait pas possible car elle nécessiterait un surcoût de silicium important. Pour rendre cette intégration viable nous avons donc été amenés à envisager des solutions originales basées sur la décomposition et l'analyse par histogramme. Cette approche, associée à la mise en place d'un certain nombre de simplifications des calculs d'extraction nous a permis de réduire considérablement les ressources matérielles (mémoires, module de calcul) à intégrer. Enfin, pour compléter cette structure BIST, nous avons conçu une architecture originale de générateur de rampe et de générateur de signaux triangulaires. Ces générateurs utilisent un système d'autocalibration qui leur permet de générer un signal précis et insensible aux variations des paramètres technologiques tout en impliquant une surface de silicium minimale.
- 2001 : Réussite du *concours CNRS section 08*. J'ai candidaté au concours CNRS une semaine après avoir soutenu ma thèse. Mon projet de recherche était principalement axé sur le test des circuits intégrés analogiques et mixtes. Les motivations principales du programme de recherche portaient sur l'importance de prendre en compte le test en amont, au niveau de la conception en considérant qu'une " bonne " conception est une conception d'un circuit répondant au cahier des charges mais aussi étant le plus facilement testable pour assurer au circuit d'être économiquement viable. Un autre point mis en avant était l'évolution de l'utili-

sation des techniques de test qui pourraient permettre, à terme, d'avoir un impact bénéfique sur la qualité du circuit, voire sur le rendement de fabrication, à l'aide des techniques de calibrations dérivées des techniques de test.

- 2006-... Mise en place et direction du *laboratoire commun ISyTest* (Institute for System Testing) (<http://www.lirmm.fr/isytest/>) entre le LIRMM et la société NXP semiconductors (ancien Philips semiconductors). L'activité scientifique de ce laboratoire est centré sur une thématique de recherche : le test de circuits et systèmes intégrés. Ce domaine de recherche est relativement appliqué et les objectifs et méthodes associés sont très proches dans les milieux académique et industriel. L'idée de créer ce laboratoire a germé en 2004, à la suite de plusieurs collaborations de recherche fructueuses avec NXP dans le cadre d'un projet Européen. La mise en commun de nos compétences et moyens complémentaires nous a semblé un atout important pour relever certains défis scientifiques autour de la thématique du test. Ce laboratoire commun, basé sur la structure d'équipe commune du CNRS, est un laboratoire localisé sur le site de NXP Caen et le site du LIRMM à Montpellier. En 2006, j'ai été nommé responsable de ce laboratoire par le CNRS et NXP. En 2009, ce laboratoire commun regroupe une douzaine de chercheurs, enseignants-chercheurs et ingénieurs.

Chapitre 2

Présentation succincte de mes activités

L'objectif de cette partie est de donner un vue d'ensemble de mon activité de recherche et d'enseignement. Les détails de mon activité seront donnés dans la deuxième partie du document.

2.1 Responsabilités scientifiques nationales

2.1.1 Responsable et co-directeur scientifique du laboratoire commun ISyTest



Le laboratoire commun ISyTest (Institute for System Testing : <http://www.lirmm.fr/isytest/>) entre le LIRMM et NXP Semiconductors (anciennement Philips semiconductors) a été officiellement créé en mai 2006. ISytest est un laboratoire réparti sur deux sites distincts : Caen et Montpellier. L'objectif du laboratoire est de proposer des méthodes et techniques innovantes dans le domaine du test de systèmes intégrés (SoC : System-on-Chip et SiP : System-in-Package). Il est défini sur la base d'un contrat de 4 ans renouvelable et il est piloté par le responsable assisté d'un comité scientifique constitué d'experts scientifiques de NXP et du LIRMM. Un comité directeur est également constitué pour valider les choix du responsable du laboratoire commun et du comité scientifique en terme d'axes de recherche et de budgets associés. Depuis sa création, j'ai été nommé responsable de ce laboratoire commun et suis co-directeur scientifique. La co-

direction scientifique côté NXP est assurée par Philippe Cauvet. De plus amples informations sont données dans la section 6.1.

2.1.2 Encadrement

Depuis mon entrée au CNRS, j’ai co-encadré quatre postdoctorants, dix doctorants, treize étudiants de Master II, deux ingénieurs et un technicien. A ce jour, six de ces thèses ont été soutenues. Le tableau 2.1 représente la répartition chronologique de ces encadrements. Les étudiants de Master II ne sont pas représentés pour faciliter la visibilité du tableau.

Le détail de ces encadrements est donné à la section 6.3.

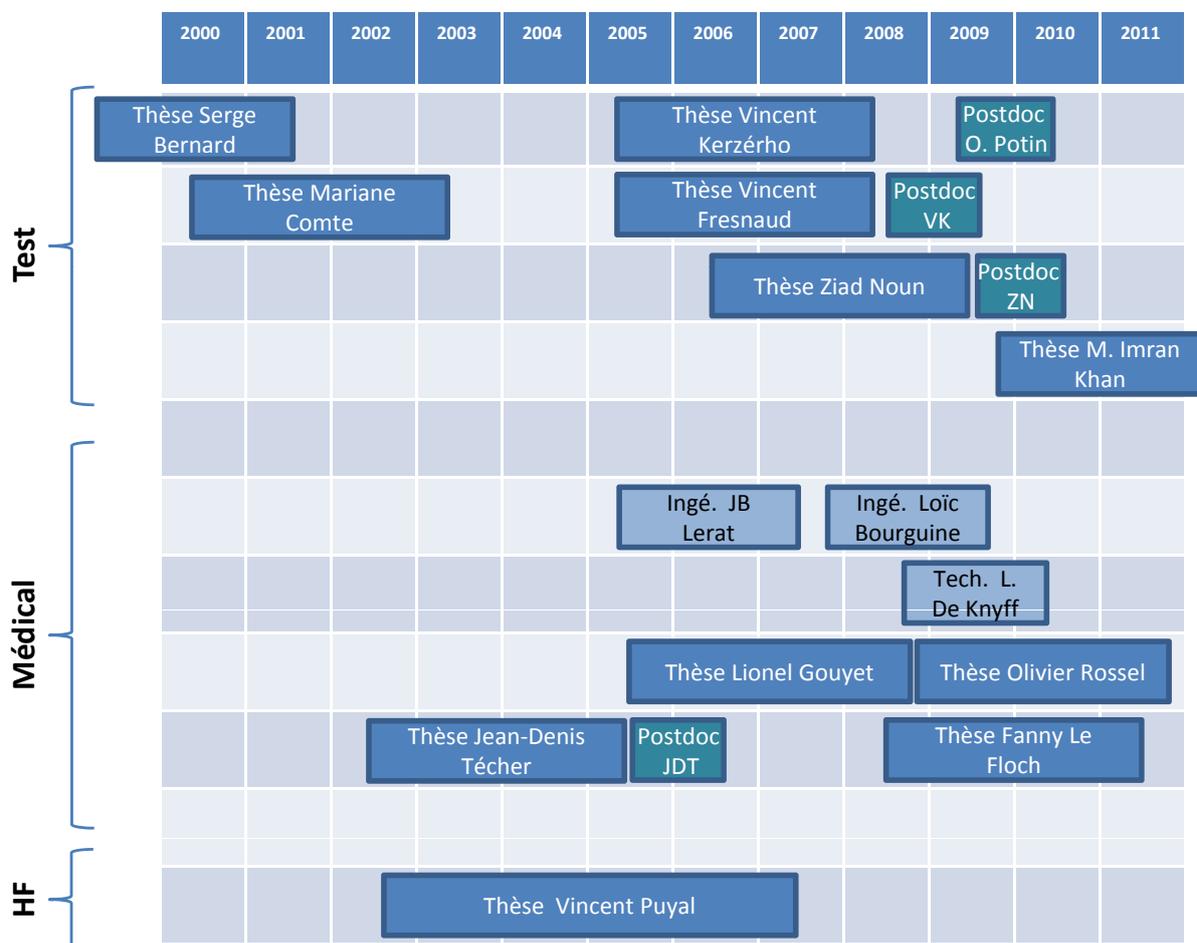


Table 2.1 – Bilan encadrement

2.2 Responsabilités scientifiques internationales

2.2.1 Organisation de colloques internationaux

Durant ma carrière, j’ai été :

- Responsable de l’organisation d’une session spéciale “*biomedical circuits and systems*”, basée sur des papiers invités, à IEEE International Symposium of Electronic Design, Test & Applications, (DELTA’10), Ho Chi Minh City, Vietnam, 13-15 janvier 2010,

- Local Chair de l'IEEE International Workshop on Silicon Debug and Diagnosis, (SDD'04) Ajaccio, France, 26-27 mai 2004.

J'ai fait partie du comité d'organisation des conférences et workshops internationaux suivants :

- IEEE European Test Symposium (ETS'04), Ajaccio, France, 23-26 mai 2004,
- IEEE International Workshop on Silicon Debug and Diagnosis (SDD'04) Ajaccio, France, 26-27 mai 2004,
- International Conference on Field Programmable Logic and Application (FPL'02), Montpellier (La Grande-Motte), France 2-4 septembre 2002,
- IFIP International Conference on Very Large Scale Integration The Global System on Chip Design & CAD Conference (VLSI-SOC'01), Montpellier, France, 3-5 décembre 2001,
- IEEE International Mixed-Signal Test Workshop (IMSTW'00), Montpellier (La Grande-Motte), France, 15-17 juin 2000.

2.2.2 Membre de comités de programme de conférences internationales

Le tableau 2.2 représente la chronologie de mon implication dans des comités de programme de conférences depuis 2003. Le lien vers les sites internet de ces conférences est donné section 5.1.

	2002	2003	2004	2005	2006	2007	2008	2009
Design, Automation and Test in Europe (DATE)								
Inter. Conf. on VLSI The Global System on Chip Design & CAD Conference (VLSI-SOC)								
International Conference on Design & Technology of Integrated Systems in Nanoscale Era (DTIS)								
Workshop on Test of Wireless Circuits and Systems (WTW)								
Electronic Circuits and Systems Conference (ECS)								
Integrated Circuit Test Workshop (ICTW)								
International Conference on Automation, Quality&Testing, Robotics (AQTR)								
International Conference on Embedded Systems & Critical Applications (ICESCA)								
Symposium on Integrated Circuits and Systems Design (SBCCI)								

Table 2.2 – Implication dans les comités de programme

2.2.3 Modérateur de session

J'ai été invité en tant que modérateur de session dans les conférences suivantes :

- IEEE VLSI Test Symposium (VTS'09), Santa Cruz, USA, mai 2009,
- IEEE International Mixed-Signal Test Workshop (IMSTW'08), Vancouvers, Canada, juin 2008,
- IEEE International Test Conference (ITC'06), San Francisco, octobre 2006,
- IEEE Workshop on Test of Wireless Circuits and Systems (WTW'05), Cannes, France, 26-27 juin 2005,
- IEEE European Test Symposium (ETS'04), Ajaccio, France, 23-26 mai 2004,
- IEEE International Mixed-Signal Test Workshop (IMSTW'03), Séville, Espagne, 25-27 juin 2003,
- IFIP International Conference on Very Large Scale Integration The Global System on Chip Design & CAD Conference (VLSI-SOC'01), Montpellier, France, 3-5 décembre 2001.

2.2.3.1 Comité de lecture

Je fais partie du comité de lecture des revues et conférences suivantes :

- IEEE Design & Test Journal (D&T),
- Microelectronics Journal (MEJO),
- Journal ACM Transactions on Design Automation of Electronic Systems (TDAES),
- IEEE International Test Conference (ITC),
- IEEE European Test Symposium (ETS),
- Journal of Electronic Testing : Theory and Applications (JETTA),
- Journal IEEE Transactions on COMPUTER-AIDED DESIGN of Integrated Circuits and Systems (TCAD),
- IEEE VLSI Test Symposium (VTS),
- IEE Electronic Letter ,
- IEEE Mixed-Signal Test Workshop(IMSTW),
- International IEEE Northeast Workshop on Circuits & Systems(NEWCAS),
- Conference of the International Functional Electrical Stimulation Society(IFESS),
- IEEE Design, Automation and Test in Europe (DATE).

2.3 Collaborations

Le tableau 2.3 donne la synthèse de mes différentes collaborations en cours ou passées. Seules les collaborations ayant donné lieu à un encadrement de doctorant ou de postdoctorant sont indiquées. Les collaborations et collaborateurs internes au LIRMM, avec d'autres laboratoires de recherche publics ou avec des industriels sont différenciées.

		Test intégré de CAN	Test système	Test sans fil	Test indirect	Auto-calibration	Stimulateur SEF	Sûreté de Fonctionnement	Receuil de signaux Phys.	Circuits HF pour com.
LIRMM	Florence Azaïs	X	X		X	X				
	Mariane Comte	X	X			X				
	Michel Renovell	X	X		X	X				
	Yves bertrand	X					X		X	
	Pascal Nouet									X
	Fabien Soulier						X	X	X	
	Guy Cathébras						X	X	X	
	David Guiraud						X	X	X	
	David Andreu			X			X			
	Marie-Lise Flottes			X				X		
TIMA	Salvador Mir				X					
	Haralampos Stratigopoulos				X					
IMS	Dominique Dallet					X				
	Lilian Bossuet					X				
NXP	Philippe Cauvet		X	X	X	X				
	Christophe Kelma				X					
	Benoit Agnus					X				
ALCATEL	Agnieszka Konczykowska								X	
NEURELEC	Nicolas Veau							X		

Table 2.3 – Bilan des collaborations

2.4 Contrats de recherche

J'ai fait ou je fais actuellement partie de plusieurs activités sous contrat : cinq projets européens (dont un sur l'enseignement du test de circuits intégrés), deux projets nationaux (FCE et ANR) et deux contrats avec des industriels (dont le laboratoire commun ISyTest). Le tableau 2.4 donne une synthèse chronologique de ces contrats. La section 4.2 donne les précisions sur ces différents contrats.

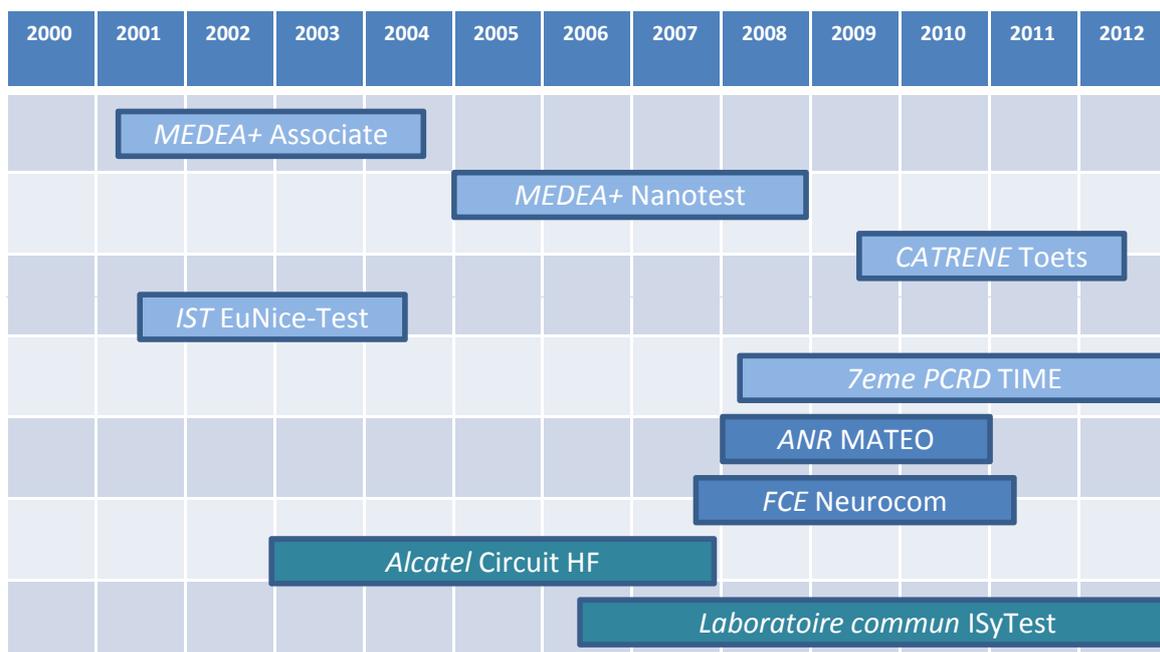


Table 2.4 – Bilan des contrats de recherche

2.5 Production scientifique

Le tableau 2.5 fait le bilan de mes publications depuis 2000. Une conférence est considérée de rang A si elle a un fort impact avec soit une thématique associée large mais avec une grande audience soit de thématique spécialisée. La figure 2.1 représente la répartition chronologique de ces publications. Enfin, le tableau 2.7 donne les papiers les plus cités dans la littérature. En 2009, mon h-index était de 10 sur la base de <http://scholar.google.fr/>.

Le détail des publications est donné au chapitre IV.

Type de publication	nbr
Ouvrages ou chapitres d'ouvrage	5
Revue avec comité de lecture	14
Brevets	3
Articles ou présentations invités	6
Conférences internationales de rang A	21
Conférences internationales de rang B	27
Publications pour l'enseignement et la diffusion de l'information	5
Rapports de contrat	10
Autres	5

Table 2.5 – Bilan de la production scientifique

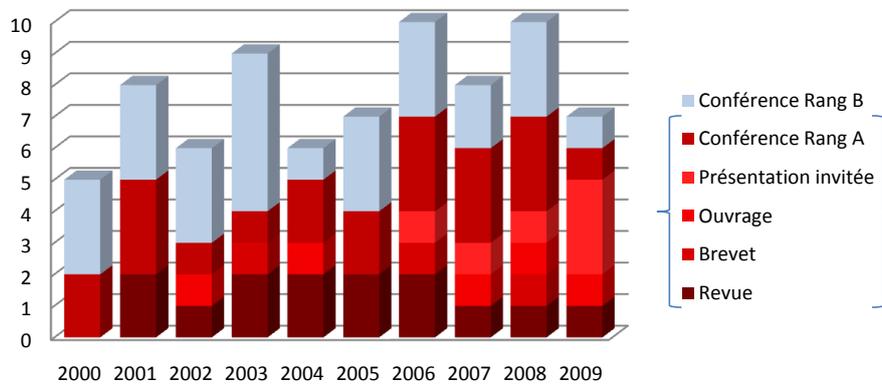


Figure 2.1 – Bilan chronologique de la production scientifique

nombre de citations	Publications
52	F. Azais, S. Bernard, Y. Bertrand, and M. Renovell, "Towards an adc bist scheme using the histogram test technique," in ETW'00 : IEEE European Test Workshop, pp.53-58, 2000.
51	F. Azais, S. Bernard, Y. Bertrand, and M. Renovell, "Implementation of a linear histogram bist for adcs," in DATE'01 : Design, Automation and Test in Europe, pp.590-595, 2001.
51	M. Renovell, F. Azais, S. Bernard, and Y. Bertrand, "Hardware resource minimization for histogram-based adc bist," in VTS'00 : IEEE VLSI Test Symposium, pp.247-252, 2000.
31	F. Azais, S. Bernard, Y. Bertrand, X. Michel, and M. Renovell, "A low-cost adaptive ramp generator for analog bist applications," in VTS'01 : IEEE VLSI Test Symposium, pp.266- 271, 2001
28	S. Bernard, F. Azais, Y. Bertrand, and M. Renovell, "A High Accuracy Triangle-Wave Signal Generator for On-Chip ADC Testing," in ETW'02 : IEEE European Test Workshop, pp.89- 94, 2002.

Table 2.7 – Articles cités le plus grand nombre de fois

2.6 Prix scientifiques

Parmi les publications rappelées section 2.5, nous avons reçu deux récompenses : une pour la meilleur contribution à ETS'06, une des conférences majeures du domaine du test, et une pour le meilleur article de l'année 2007 dans la revue IET Computers and Digital Techniques. Le détail de ces publications est donné section 5.6.

2.7 Enseignement

J'ai une activité d'enseignement répartie sur plusieurs établissements. Le tableau 2.2 fait le bilan de ces enseignements. Tous ces enseignements ne sont pas dispensés chaque année, mais

dépendent des demandes des composantes d'enseignement et des choix des étudiants. Chaque année, je dispense de l'ordre de 80% de ces enseignement.

h	niveau	nature	établissement	Intitulé
1	Licence	Cours	UMII	Introduction à la microélectroniques
3	Prépa. Agreg.	Cours	ENS Cachan	État de l'art des circuits microélectroniques
3	Master II	Cours	Université Montpellier II	Conception et test des Convertisseurs Analogique-Numérique et Numérique-Analogique
3	ERII4	Cours	Polytech' Montpellier	Conception et test des Convertisseurs Analogique-Numérique et Numérique-Analogique
3	ICM3A	Cours	CMP Ecole des Mines	Les systèmes de stimulation électrique implantés
3	ICM3A	Cours	CMP Ecole des Mines	Testabilité des SoC et SiP
3	Prépa. Agreg.	Cours	ENS Cachan	La testabilité
3	ERII5	Cours	Polytech' Montpellier	Test des circuits mixtes
12	Master II	Cours	EnsiCaen	Test des circuits mixtes : approche industrielle
20	Master I	TD	Université Montpellier II	Conception de Circuits intégrés
20	ERII5	Projet	Polytech' Montpellier	Projet de fin d'étude

Figure 2.2 – Bilan des enseignements sur une année

Deuxième partie

Bilan complet

Chapitre 3

Activité scientifique

3.1 Introduction

Mon activité scientifique a débuté en octobre 1997 en tant que stagiaire de DEA au sein du Laboratoire d'Informatique, de Robotique et de Microélectronique de Montpellier (LIRMM) dirigé alors par le Professeur Gaston CAMBON et dirigé actuellement par le Professeur Michel ROBERT.

Le LIRMM, Unité Mixte de Recherche (UMR5506), est un laboratoire pluridisciplinaire composé de trois départements affichant des thématiques scientifiques complémentaires : Informatique, Robotique et Microélectronique.

Mon activité de recherche se décompose en trois axes :

- Test de circuits et systèmes intégrés,
- Microélectronique médicale,
- Conception de circuits HF pour communication haut débit.

Le Test et la Microélectronique médicale représente le coeur de mon activité de recherche alors que la conception HF est née d'une collaboration fructueuse mais ponctuelle avec un partenaire industriel.

3.2 Test de circuits et systèmes intégrés analogiques et mixtes

Avec l'émergence des nombreuses applications multimédia et de télécommunications, de plus en plus de circuits comportent des blocs analogiques ou RF intégrés sur la même puce que les blocs numériques. Or, contrairement aux blocs numériques, il n'existe aucune méthode générique pour tester les blocs analogiques. Par conséquent, même si la partie analogique représente souvent moins de 10% du circuit mixte, le coût de son test peut représenter jusqu'à 90% du coût du test du circuit complet. Dans la mesure où les nouvelles technologies permettent de diminuer le coût de fabrication par transistor, il est généralement admis que, prochainement, le coût du test, et en particulier le coût du test de la partie analogique et mixte, représentera la plus grosse partie du prix de revient des circuits intégrés mixtes.

Dans le contexte technologique et économique actuel, il est donc capital de réduire le coût du test des circuits et systèmes mixtes. Dans ce domaine, les recherches académiques et industrielles

suivent les mêmes approches. Le département de Microélectronique a mis en place plusieurs collaborations fortes avec des industriels et j'ai été l'initiateur de la création du laboratoire commun ISyTest (Institute for System Testing : <http://www.lirmm.fr/isytest/>) entre le LIRMM et NXP semiconductor (anciennement Philips semiconductor). A la création de ce laboratoire, le LIRMM, le CNRS, l'UMII et NXP m'ont nommé responsable de la structure. J'ai donc une double fonction dans ce laboratoire commun : la recherche scientifique sur mes axes de recherche et la gestion scientifique et administrative de la structure. Dans cette partie, je ne présente que mon activité de recherche personnelle. La partie gestion sera présentée à la section 6.1.

L'activité de ce laboratoire commun est exclusivement axée sur les thématiques du test de circuits et systèmes intégrés. Les quatre axes principaux sont :

- Test haut niveau de systèmes mixtes (RF, Mixed Signal, numérique),
- Test sans fil,
- Test Indirect (RF, Mixed signal, MEMS),
- Système d'auto-calibration.

L'objectif principal de ces axes de recherche est, soit de réduire le coût du test en essayant de réduire le temps de test ou l'équipement de test nécessaire, soit d'augmenter l'efficacité du test pour atteindre un meilleur niveau de qualité. Dans la mesure où la structure d'ISyTest s'est construite autour de nos axes de recherche communs, actuellement, seule l'activité de test indirect de MEMS de ISyTest ne fait pas partie de mes activités propres de recherche. Et inversement, dans mes activités de recherche dans le domaine du test présentées dans ce document, seule la thématique sur le test intégré de convertisseurs est extérieure au laboratoire commun car antérieure à sa création.

L'objectif de ce rapport est de donner un vue d'ensembles des thématiques adressées. Je détaillerai plus particulièrement les axes de *test intégré de convertisseur* et de *test haut niveau de systèmes mixtes*. Chaque section reste indépendante pour permettre une lecture sélective des différents axes.

3.2.1 Test intégré de Convertisseurs Analogique Numérique

3.2.1.1 Contexte

Le coût excessif du test est dû principalement à l'utilisation d'équipements sophistiqués nécessaires au test de ces circuits toujours plus performants. Une solution attractive pour réduire ce coût consiste à intégrer directement sur la puce tout ou partie des ressources nécessaires au test. Ainsi les structures de test intégré BIST (Built-In-Self-Test) permettent de rendre le circuit auto testable ou tout au moins de réduire considérablement l'équipement externe nécessaire pour le tester. Parmi les blocs analogiques communément rencontrés dans les circuits intégrés mixtes, il en est un particulièrement critique : le Convertisseur Analogique Numérique (CAN). Contrairement au test des circuits numériques qui consiste à étudier les fautes structurelles du circuit, le test des Convertisseurs Analogique Numérique est basé sur la vérification de l'ensemble de ses spécifications fonctionnelles. Industriellement, deux techniques de test sont utilisées : le test par histogramme et le test par FFT (Fast Fourier Transform). Le test par FFT consiste à analyser le spectre obtenu en sortie du convertisseur pour un signal d'entrée sinusoïdal. Le test par histogramme est basé sur une analyse statistique de la fréquence d'apparition

des codes de sortie du CAN pour un signal d'entrée linéaire (rampe ou triangle) ou un signal sinusoïdal. Ce test consiste à comparer l'histogramme expérimental représentant l'évolution de la fréquence d'apparition en fonction des codes avec l'histogramme de référence pour extraire les paramètres fonctionnels.

Dans l'axe de recherche présenté ici, une première approche intéressante consiste à tenter d'intégrer directement ces techniques industrielles qui représentent la référence pour le test de CAN. Dans ce contexte, notre but est de proposer une structure de test intégré pour les CAN, basée sur la technique classique de test par histogramme.

Comme toute structure BIST, la structure de test intégré proposée doit être constituée d'un générateur de stimuli et d'un analyseur de réponses de test (voir figure 3.1).

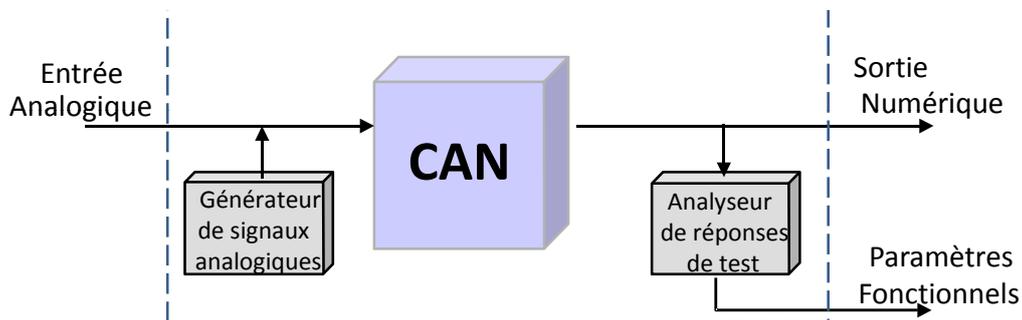


Figure 3.1 – Structure BIST classique

De par la nature du Convertisseur Analogique-Numérique, développer une structure BIST revient ici à concevoir un bloc analogique pour le générateur de stimuli et un bloc numérique pour l'analyseur de réponses de test.

La section suivante expose les différentes structures d'analyseur numérique de réponses de test qui permettent d'intégrer une technique dérivée de la technique de test par histogramme. Les structures de générateurs de stimuli analogiques qui permettent de construire une structure BIST complète seront présentés dans la section 3.2.1.3.

3.2.1.2 L'analyseur de réponses de test

a. Architecture haut-niveau L'intégration directe de la technique de test par histogramme nécessite des ressources matérielles importantes (voir figure 3.2). En effet, pour le test d'un CAN de n bits, deux mémoires de 2^n mots seraient nécessaires au stockage de l'histogramme expérimental et de l'histogramme de référence. De plus, le calcul interne des caractéristiques du convertisseur fait intervenir des opérations complexes qui nécessitent l'utilisation d'un processeur (DSP ou μ P). Évidemment, dans une optique de test intégré, cette structure conduirait à un coût prohibitif en surface de silicium.

Partant de ce constat, nous avons modifié la technique initiale de test par histogramme pour réduire la mémoire et simplifier les calculs d'exploitation de l'histogramme expérimental.

Tout d'abord, nous avons proposé un ensemble de simplifications des calculs d'extraction des paramètres du CAN pour un signal d'entrée triangulaire ou sinusoïdal. Dans le cas d'un signal d'entrée triangulaire, ces simplifications n'affectent en rien les performances de la technique de test originale puisque aucune approximation n'a été nécessaire. Finalement, notre technique de test ne nécessite que des opérateurs simples (additionneur, soustracteur, diviseur).

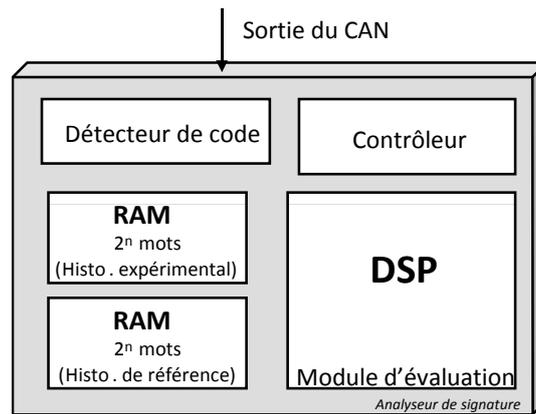


Figure 3.2 – Structure initiale de l'analyseur de réponse de test

De plus, nous nous sommes intéressés à la mémoire nécessaire au stockage de l'histogramme expérimental. Classiquement, le test par histogramme nécessite le stockage complet de l'histogramme expérimental avant traitement. Nous avons proposé une nouvelle approche basée sur une décomposition du test en différentes phases successives. Un seul des paramètres est calculé dans chaque phase. De plus, chaque phase est divisée en différentes étapes élémentaires. L'idée consiste à évaluer progressivement chaque paramètre en n'utilisant qu'un seul code à la fois. De ce fait, dans chaque étape, un seul mot mémoire est nécessaire pour stocker la valeur de l'histogramme expérimental et ce mot mémoire peut être réutilisé dans les étapes suivantes du test. Cette technique originale de décomposition temporelle permet donc de réduire considérablement la mémoire totale nécessaire au stockage de l'histogramme expérimental.

Enfin, nous avons étudié les possibilités de stockage de l'histogramme de référence. Habituellement, l'ensemble de l'histogramme de référence est stocké avant d'effectuer les opérations d'extraction des paramètres. Or, le fait d'avoir décomposé le test en une succession d'étapes élémentaires nous permet de proposer une solution alternative. En effet, partant du principe que dans chaque étape élémentaire une seule valeur de l'histogramme de référence est utilisée, nous proposons de calculer sa valeur directement sur la puce au lieu de stocker l'histogramme complet. Dans le cas du signal d'entrée triangulaire, le calcul de l'histogramme de référence est simple puisque la probabilité d'apparition est constante pour tous les codes. En revanche, dans le cas du signal d'entrée sinusoïdal, l'expression de l'histogramme de référence est relativement complexe et comporte des fonctions trigonométriques difficiles à intégrer directement sur la puce. C'est pourquoi, nous avons proposé d'estimer l'histogramme de référence à l'aide d'une fonction beaucoup plus simple qui ne comporte que des opérateurs déjà présents sur la puce (additionneur, diviseur). Pour assurer une bonne précision, nous avons effectué une approximation par morceaux dont toutes les caractéristiques (nombre de domaines, valeur des coefficients) sont déterminées grâce à un algorithme d'optimisation.

En termes de bilan, pour intégrer la technique de test par histogramme, l'architecture obtenue (figure 3.3) ne comporte plus que des opérateurs simples (additionneur, soustracteur et diviseur) et une mémoire minimale composée de quelques registres, alors que l'architecture de la structure initiale comportait un DSP et deux mémoires de 2^n mots.

b. Implantation bas-niveau pour histogramme linéaire Dans le cas d'un signal d'entrée triangulaire, nous avons validé l'implantation de notre structure en technologie AMS 0.8 mi-

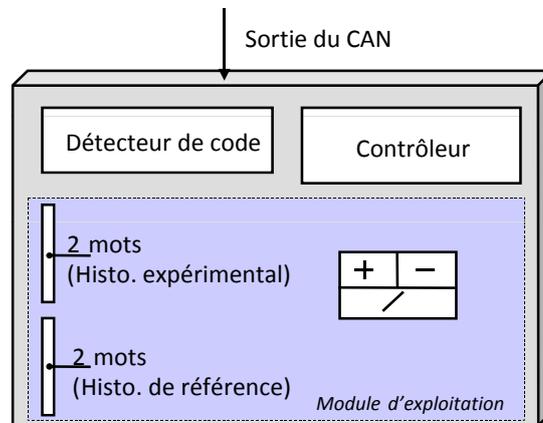


Figure 3.3 – Structure optimisée de l'analyseur de signature

cron. Dans le but d'optimiser l'architecture haut-niveau, nous avons regroupé toutes les ressources de calcul et de mémoire dans un même module, appelé module d'exploitation.

L'architecture de la structure, illustrée figure 3.3, comporte trois parties :

- Un détecteur de code, dont la fonction est de positionner le code référence et de comparer ce code avec le code de sortie du convertisseur sous test,
- Un module d'exploitation effectuant l'ensemble des opérations d'extraction des paramètres,
- Un contrôleur gérant l'ensemble des étapes du test.

Concernant le détecteur de code, sa double fonction de mise en place du code de référence et de comparaison de ce code avec le code de sortie du CAN a été intégrée dans une structure originale de compteur comparateur présentée figure 3.4a. Le nombre de modules élémentaires (nombre de bascules) est égale au nombre du bits du convertisseur à tester.

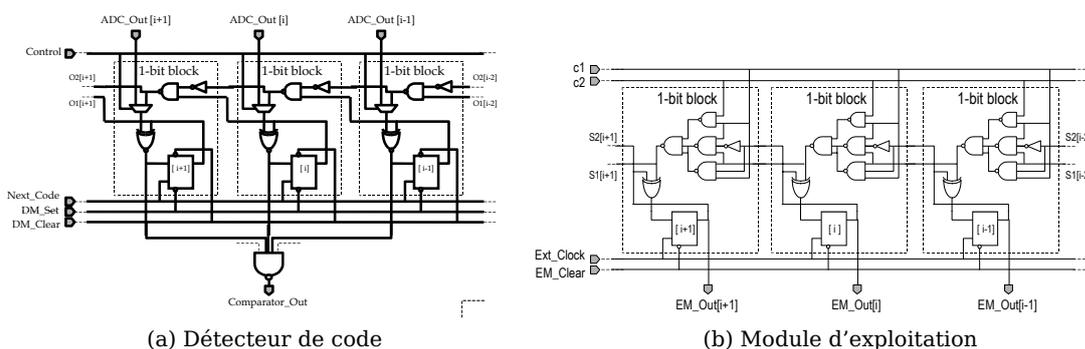


Figure 3.4 – Implantation bas niveau

Le module d'exploitation a été optimisé et ne comporte plus aucun opérateur classique. En effet, nous avons modifié les phases de test de telle manière qu'un simple compteur-décompteur et des décalages de bits permettent d'effectuer les opérations d'addition, de soustraction et de division nécessaires à l'exploitation des histogrammes. La figure 3.4b représente le schéma niveau porte du module d'exploitation. Le nombre de modules élémentaires dépend directement du nombre de bits du convertisseur à tester et de la précision désirée pour l'estimation des

paramètres fonctionnels du CAN sous test.

Enfin, le contrôleur a été entièrement décrit en VHDL et synthétisé à l'aide des outils de synthèse automatique.

c. Validations pour l'histogramme sinusoïdal Dans le cas d'un signal d'entrée sinusoïdal, nous avons dû faire quelques approximations pour simplifier les expressions d'extraction des paramètres fonctionnels et pour estimer l'histogramme de référence. Pour valider ces approximations, nous avons développé un programme d'évaluation (figure 3.5) qui permet de comparer les résultats obtenus en utilisant notre technique avec ceux obtenus en utilisant la technique originale de test par histogramme.

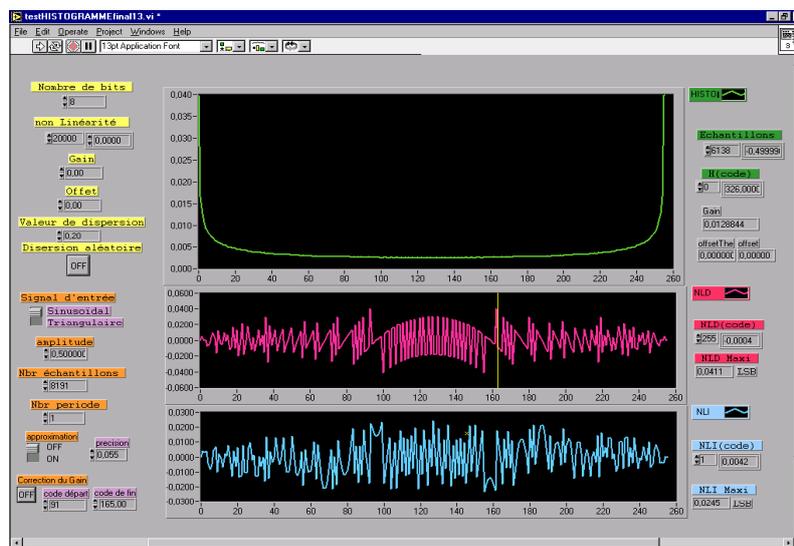


Figure 3.5 – Programme de validation

Les résultats obtenus avec les deux techniques de test sont extrêmement proches et valident donc notre technique et l'architecture associée. L'étape suivante consisterait à effectuer l'implantation bas-niveau de cette architecture mais nous avons abandonné pour l'instant cette étude. Cet abandon a été guidé par le constat suivant : dans le cadre du test industriel classique, le stimulus sinusoïdal est préféré au signal linéaire car il est plus facile, en externe, de générer un signal sinusoïdal pur en utilisant par exemple des filtres sélectifs en sortie du générateur. Dans le cas du test intégré, générer un tel signal aurait des répercussions trop importantes en termes de surface de silicium pour l'implantation des parties génération et analyse de réponse du CAN sous test. D'autre part, même si l'utilisation d'un signal sinusoïdal permet de se rapprocher des fréquences des signaux d'entrée vues par le CAN dans son application finale, les paramètres statiques étant définis à fréquence basse il est préférable d'utiliser un signal faible fréquence qu'il est plus facile de réaliser en intégré pour un signal linéaire.

3.2.1.3 Le générateur de stimuli de test

L'objectif est de générer un signal analogique en interne dans un contexte de BIST nécessitant un signal pur par rapport au circuit à tester tout en sollicitant une surface de silicium minimale. Nous ne nous sommes intéressés dans un premier temps qu'aux générateurs de signaux linéaires.

Toutes les solutions que nous proposons sont basées sur le principe simple de la charge d'une capacité à courant constant. Le fait que le générateur soit dédié au test impose des performances supérieures à celles du CAN sous test. En effet, étudier les performances du CAN revient à analyser son signal de sortie qui est lui-même issu du signal d'entrée passant à travers le convertisseur. Ainsi, toute imperfection au niveau du signal d'entrée peut être interprétée en sortie du CAN comme une imperfection du convertisseur. Les deux caractéristiques principales du signal linéaire sont sa pente et bien sûr sa linéarité. Nous avons utilisé des structures classiques de miroir de courant qui permettent d'assurer une bonne linéarité du signal. En revanche, la pente du signal est particulièrement difficile à fixer de manière précise. En effet, les valeurs de la capacité et du courant de charge qui définissent la pente I/C sont très sensibles aux dispersions qui peuvent apparaître durant la fabrication.

En théorie, pour palier ce problème, il est possible d'augmenter la valeur du courant de charge et la valeur de la capacité en maintenant constant le rapport courant sur capacité. Malheureusement, l'augmentation du courant et de la capacité a une répercussion directe sur la surface totale du circuit. Cette solution n'est pas viable dans le contexte de test intégré où la surface ajoutée doit être minimale. Par conséquent, nous avons proposé une nouvelle approche originale consistant à auto-calibrer la rampe à l'aide d'un système de compensation. Grâce à ce système d'auto-calibration nous pouvons utiliser des courants et des capacités de faible valeur et donc obtenir une surface ajoutée minimale et ne nécessitant aucune calibration ou référence externe.

a) Générateur de rampes auto-calibré Le principe d'auto-calibration est basé sur une rétroaction en tension agissant sur la polarisation du transistor générateur du courant I_{charge} . Plus précisément, on impose un temps fixe T pour générer une rampe. Selon la valeur atteinte par la rampe au bout du temps T , le système de compensation augmente ou diminue la tension de polarisation du transistor, modifiant ainsi le courant de charge I_{charge} et la pente ($\frac{I_{charge}}{c}$) de la rampe. L'architecture finale du générateur (voir figure 3.8a) comporte trois blocs :

- Le générateur de rampe classique dont la période est fixée par la commande *Step*,
- Le comparateur indiquant si la tension de la rampe est inférieure ou supérieure à une référence V_{ref} ,
- Le circuit de compensation ajustant la valeur de la polarisation du transistor $M1$, en fonction du résultat de la comparaison.

Le système de compensation est constitué d'un montage original de transfert de charge qui modifie la valeur de la tension de polarisation du transistor $M1$. La valeur de la charge transférée vers la capacité C_{cal} dépend du résultat de la comparaison entre V_{ref} et la valeur de rampe à l'instant T .

Pour les simulations présentées figure 3.8b, nous nous sommes placés dans le cas d'un courant initial de charge plus grand que la valeur voulue. Nous pouvons observer que la sortie V_{ctrl} diminue progressivement pour corriger la valeur du courant et enfin se stabilise autour de la valeur désirée. Finalement, avec cette structure originale nous pouvons générer une rampe de résolution supérieure à 15 bits avec une erreur sur la pente de l'ordre 0,2%.

Pour valider nos simulations nous avons implanté cette structure en technologie AMS 0.35 μ m et nous avons obtenu des simulations après dessin des masques ("post layout") cohérentes avec les simulations précédentes. Le circuit a été fabriqué et sa caractérisation est en cours. Nous pouvons voir sur le dessin de masques (figure 3.7) les différents blocs du générateur. La sur-

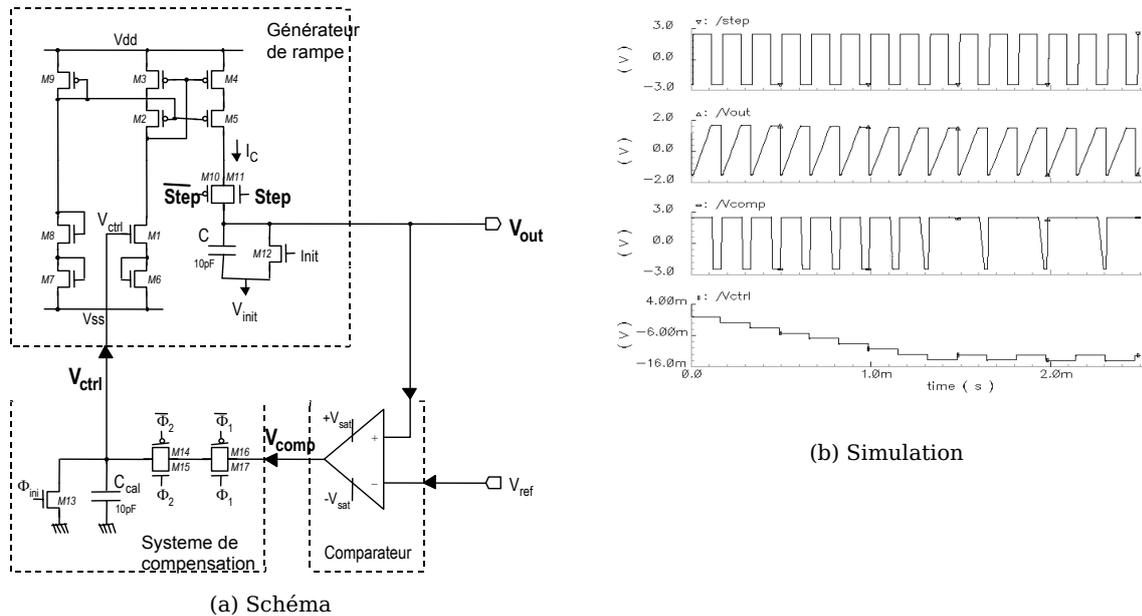


Figure 3.6 – Générateur de rampe auto-calibré

face totale obtenue est de 0.029mm^2 . Elle est généralement négligeable en comparaison de la surface d'un convertisseur analogique-numérique.

b) Générateur de signaux triangulaires auto-calibré En pratique nous avons besoin de générer plusieurs périodes successives pour chaque séquence de test. Le générateur de rampe nécessite une phase d'initialisation à chaque période. Cette phase d'initialisation amène une erreur d'interprétation des paramètres du convertisseur. Dans ce contexte, nous avons choisi de développer une structure de générateur de signaux triangulaires auto-calibré (figure 3.8a) qui ne nécessite aucune phase d'initialisation entre chaque période du signal généré. Cette structure comporte deux boucles de rétroaction :

- Une boucle de commande du courant I , par l'intermédiaire du comparateur à hystérésis,
- Une boucle de compensation d'un des générateurs de courant pour calibrer le signal.

La figure 3.8b montre une simulation de cette structure dans le cas où un courant initial du générateur est supérieur à la valeur du courant désiré. Nous observons que le système de compensation déjà utilisé précédemment permet de corriger automatiquement la valeur du courant. Pour la calibration, seule une pente est ajustée pouvant rendre le signal triangulaire non-symétrique. Cette non-symétrie serait préjudiciable dans le cas général, mais ici où on cherche une densité de probabilité des codes du CAN par la méthode du test par histogramme, elle n'a pas d'influence.

3.2.1.4 Bilan

Le but de nos travaux était de développer et d'intégrer sur silicium une structure de test dédiée aux convertisseurs analogique numérique. Ce type de structure de test intégré sont constituées de deux parties :

- Une partie numérique : l'analyseur de réponses de test,

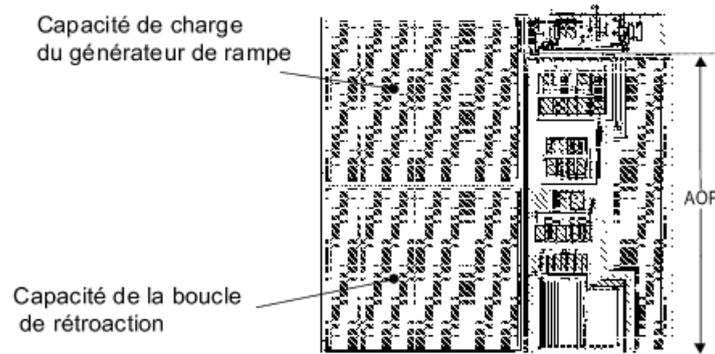


Figure 3.7 – Layout du générateur de rampe auto calibré

– Une partie analogique : le générateur de stimuli.

L'ensemble de ces travaux ont donné lieu à un grand nombre de publications et l'architecture finale pour un signal d'entrée triangulaire fait l'objet d'un brevet [22].

La plus grande partie de l'activité sur cette thématique a eu lieu durant mon Master II et ma thèse de 1998 à 2001. Ces travaux ont été réalisés au sein de l'équipe de recherche constituée de Michel Renovell, Directeur de Recherche CNRS en section 8 au LIRMM et de Florence Azaïs, Chargée de Recherche CNRS en section 8 au LIRMM et d'Yves Bertrand, Professeur de l'Université Montpellier II.

Publications associées : [71, 46, 5, 72, 47, 73, 95, 44, 16, 59, 37, 22, 81, 74, 48, 45, 18, 19, 17, 4, 75, 76, 63, 64, 50, 96, 49]

3.2.2 Test haut niveau de systèmes mixtes (SiP et SoC)

3.2.2.1 Contexte

L'évolution de la microélectronique vers toujours plus de fonctionnalités intégrées sur une même puce rend les circuits actuels extrêmement complexes et hétérogènes. Ainsi, il est courant de trouver dans un même système intégré des blocs de natures différentes (numérique, analogique, mixtes, RF, . . .) voire même des technologies différentes qui nécessitent l'utilisation de System-in-Package (SiP). La figure 3.9 donne une vue conceptuelle de tels systèmes avec plusieurs blocs numériques, analogiques/RF et des Convertisseurs Analogique/Numérique (ADC : Analog-to-Digital Converter) et Numérique/Analogique (DAC : Digital-to-Analog Converter).

Vouloir tester un tel système implique par principe de tester chaque bloc indépendamment. Les équipements de test capable de tester des natures si différentes de blocs fonctionnels sont extrêmement coûteux. Pour illustration, une simple option RF sur un testeur (ATE : Automated

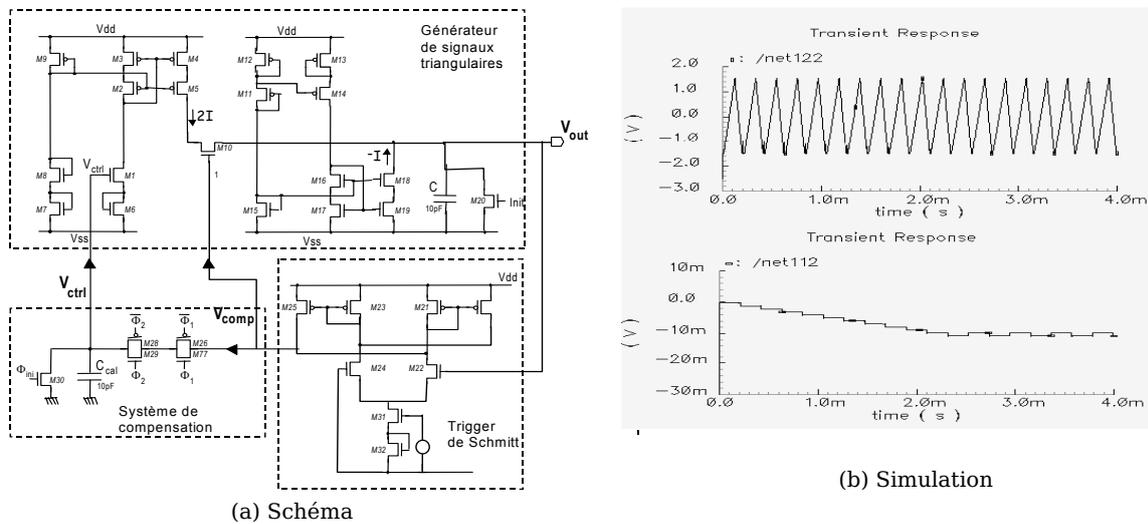


Figure 3.8 – Générateur de signaux triangulaires auto calibré

Test Equipment) coûte plusieurs centaines de kilo euros. Le temps passé sur de tels équipements pendant la phase de test a donc une répercussion très forte sur le prix de revient du système complet en fin de fabrication. Or, le test d'un seul bloc analogique ou RF étant déjà très long, le temps de test du système complet peut rapidement devenir prohibitif et rendre le système non viable économiquement. Pour simplifier les équipements de test nécessaires et réduire le temps de test, une approche intéressante consiste à vouloir tester le circuit en utilisant une approche purement système. Généralement, l'exemple pris dans la littérature pour illustrer et valider les techniques proposées est un étage de réception ou d'émission RF. Un schéma simplifié d'un émetteur/récepteur est donné figure 3.10 .

L'idée directrice d'une approche système est de prendre un chemin fonctionnel et de tester les composants de ce chemin en extrayant les paramètres de ces composants de la réponse globale du chemin complet. Par exemple, dans le cas d'un récepteur (Rx) on génère un signal RF en entrée et en analysant la réponse numérique finale en bande de base, on tente d'extraire les caractéristiques des blocs fonctionnels inclus dans le chemin réception. Bien que cette approche permette en théorie de réduire le temps de test, elle nécessite toujours des ressources de test très coûteuses. Dans le cas de système où les deux types de conversions sont disponibles (RF/analogique vers numérique et numérique vers RF/analogique), une approche consiste à reboucler ces deux parties l'une sur l'autre pour n'avoir qu'un chemin de test activant tous les blocs du système (voir figure 3.11). Dans ce contexte, on peut imaginer n'utiliser que les entrées/sorties numériques du système durant la phase de test. Cette solution permet ainsi d'envisager l'utilisation d'un testeur numérique bon marché et de toutes les techniques de DFT (Design-for-Test) et de BIST existantes pour les circuits numériques. Les deux principaux défis à relever consistent :

- à concevoir le circuit de rebouclage en fonction des niveaux, des fréquences et de la résolution des signaux d'émission et de réception qui sont généralement très différents,
- à discriminer précisément les erreurs de chaque bloc du chemin de test (numérique-analogique-RF-analogique-numérique).

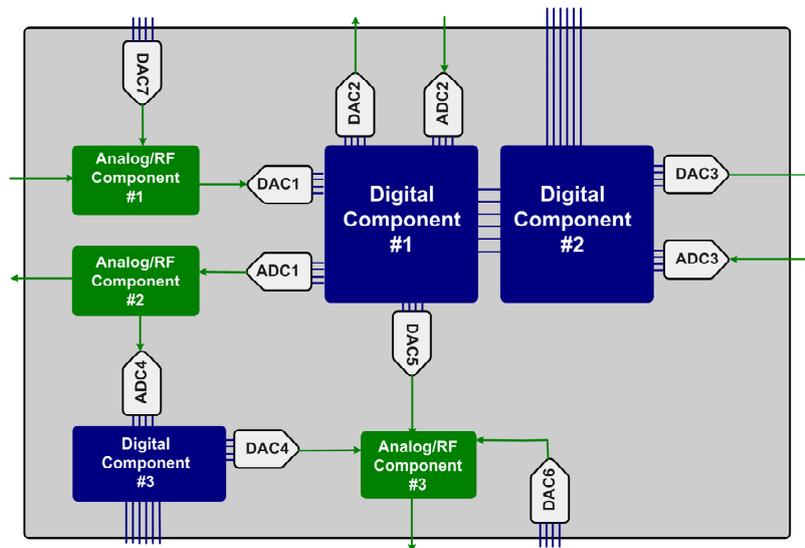


Figure 3.9 – Vue conceptuelle d'un système intégré complexe

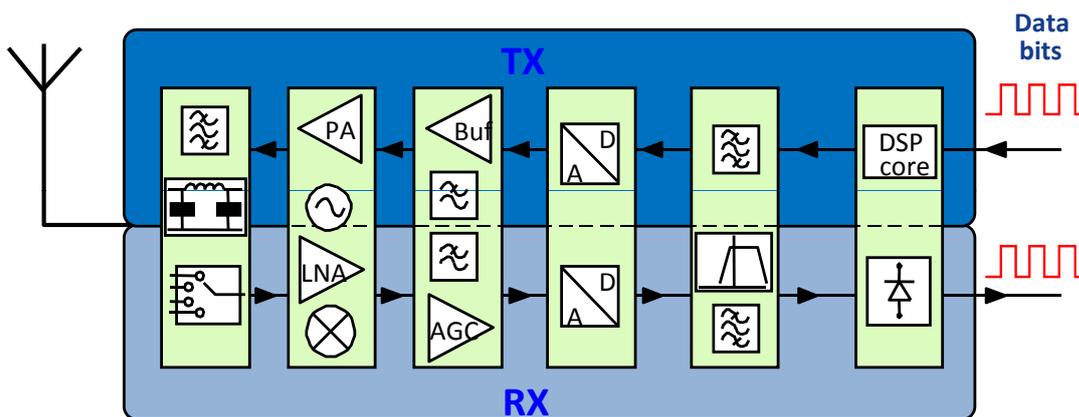


Figure 3.10 – Transmetteur RF

Si on ne s'intéresse qu'à la partie discrimination des erreurs de chaque bloc, un seul rebouclage au niveau antenne, sans aucun autre renseignement sur les caractéristiques des blocs internes, semble voué à l'échec. Un des points critiques est l'entrée de la chaîne représentée par les convertisseurs analogique/numérique et numérique/analogique. On trouve des travaux très intéressants sur le rebouclage des émetteur/récepteurs, mais cette partie conversion en bande de base est toujours "omise". Or, la connaissance des paramètres de ces convertisseurs est absolument essentielle pour prétendre pouvoir discriminer les paramètres des blocs suivants de la chaîne de conversion. De notre côté, nous avons choisi une approche assez pragmatique qui consiste à chercher à faire plusieurs rebouclages successifs en commençant par un rebouclage au niveau des convertisseurs. Après estimation de leurs paramètres, les convertisseurs pourront être utilisés comme instruments de mesure pour les rebouclages vers les blocs analogiques et RF. Plus généralement, dans tous systèmes complexes comme illustré figure 3.9, les Convertisseurs Analogique/Numérique feront alors office de AWG (Arbitraire Waveform Generator) et les CNA de captures numériques (digitalizer en anglais) pour permettre le test des autres blocs internes en n'utilisant que des entrée/sorties numériques avec un testeur numérique moins coûteux que les équipements mixtes/RF nécessaires initialement.

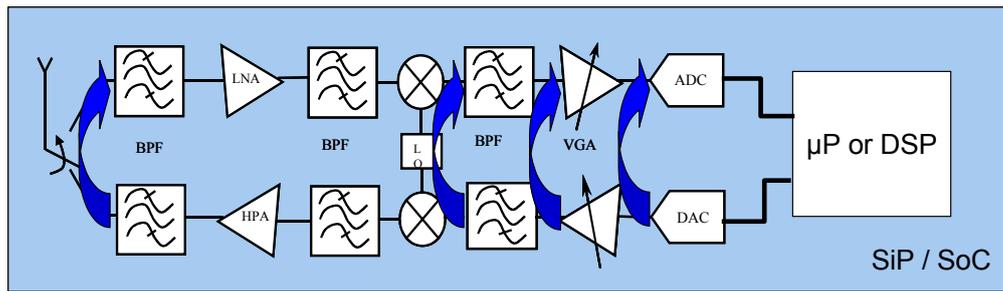


Figure 3.11 – Reboulings dans une chaîne d'émission-réception

3.2.2.2 Problématique

Les convertisseurs sont définis par des paramètres statiques (offset, gain, non-linéarités) et dynamiques (taux de distorsion harmonique, rapport signal sur bruit...). Généralement ces paramètres sont extraits à l'aide de deux techniques de test très différentes : le test par histogramme pour les paramètres statiques et le test par analyse spectrale pour les paramètres dynamiques. Nous avons montré [61] que mise à part la linéarité différentielle d'un convertisseur, tous les paramètres statiques peuvent être estimés précisément à partir des raies harmoniques du spectre de sortie du convertisseur pour un signal d'entrée sinusoïdal. Si on regarde les principaux paramètres dynamiques, ils sont directement définis à partir de l'amplitude des harmoniques et du bruit générés par le convertisseur. Une technique existe ("*Improving the dynamic measurements of ADCs using the 2-ADC method*", Philippe Cauvet, *Journal of Computer standard and interfaces*, 2001, vol.22 issue 4, pp281-286) permettant d'extraire le bruit généré par le convertisseur en n'utilisant que des convertisseurs déjà présents dans le système.

Pour résumer, si on considère que le bruit est extrait par la technique citée ci-dessus, les convertisseurs peuvent être caractérisés si les harmoniques créées par ces convertisseurs sont connues. Dans le cas classique du test par FFT d'un convertisseur à l'aide d'un testeur industriel comme illustré figure 3.12, le signal d'entrée peut être considéré comme pur et la capture parfaite, et donc les harmoniques obtenues en sortie du convertisseur sont uniquement dues au convertisseur sous test.

Dans notre cas, nous n'avons pas de générateur de signaux pur ou de circuit de capture performant mais nous utilisons les ressources existantes sur le circuit. Ainsi, nous aurons, par exemple, un chemin comprenant au moins deux convertisseurs comme illustré figure 3.13.

Le signal obtenu en sortie du CAN (ADC : Analog-to-Digital Converter) comprendra les harmoniques générées par les deux convertisseurs sans possibilité à priori de séparation des contributions de chaque convertisseur et interdisant donc le test proprement dit de chaque convertisseur.

3.2.2.3 Nouvelle méthode de DFT : "Analog Network of Converters"

La technique que nous avons proposé consiste à créer un réseau d'interconnexion analogique entre les convertisseurs. La figure 3.14 donne une vue conceptuelle de cette technique que nous avons appelé ANC pour "Analog Network of Converters". Ensuite, en jouant sur les différentes configurations d'association de convertisseurs et sur différentes caractéristiques de signaux d'entrée, on peut établir un système d'équations linéaires indépendantes qui permet

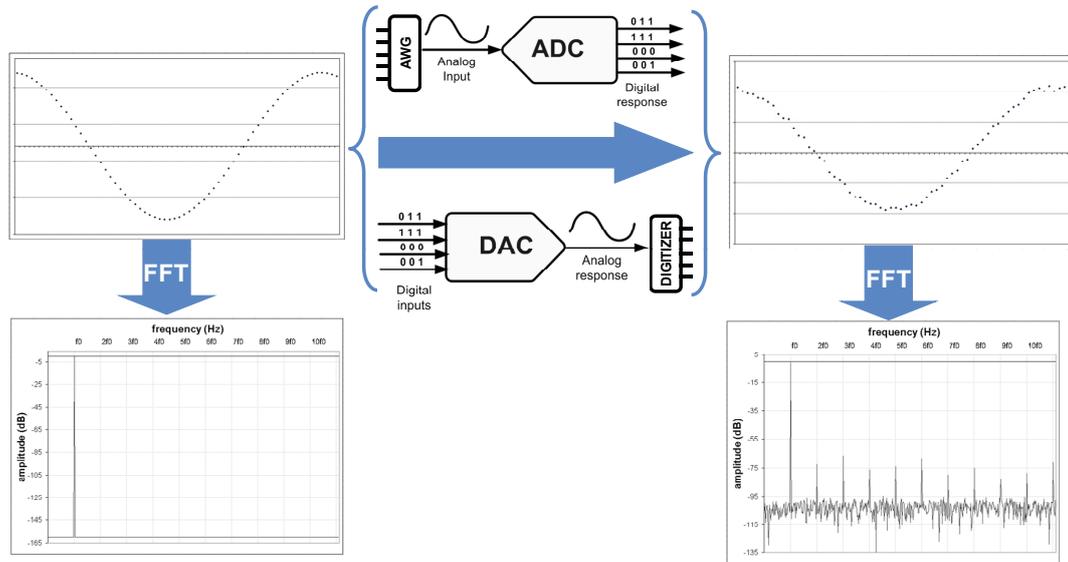


Figure 3.12 – Test par analyse spectrale d'un convertisseur A/N ou N/A

de discriminer l'influence de chaque convertisseur.

Pour illustrer la technique, considérons trois convertisseurs : deux CNA (DAC) et 1 CAN (ADC). Nous considérons ici que les convertisseurs ont la même dynamique d'amplitude d'entrée. La figure 3.15 donne un exemple de configuration possible d'interconnexion. Dans cet exemple, seuls deux convertisseurs sont utilisés (DAC1 et ADC1). Le signal d'entrée NUMERIQUE permet de générer un signal à la pleine échelle en sortie du DAC1. En sortie de l'ADC1, nous avons donc un signal NUMERIQUE sur la pleine échelle (FS pour Full Scale) qui peut s'écrire sous la forme d'une partie réelle et d'une partie complexe :

$$\text{Re}(Hm1_k) = Hdac1_k^{FS} \cdot \cos(\varphi_{dac1_k}^{FS}) + Hadc1_k^{FS} \cdot \cos(\varphi_{adc1_k}^{FS})$$

$$\text{Im}(Hm1_k) = Hdac1_k^{FS} \cdot \sin(\varphi_{dac1_k}^{FS}) + Hadc1_k^{FS} \cdot \sin(\varphi_{adc1_k}^{FS})$$

où $Hm1_k$ est la valeur complexe de l'harmonique k mesurée en sortie (sortie de l'ADC1). Les inconnues recherchées sont $Hdac1_k^{FS}$, $\varphi_{dac1_k}^{FS}$, $Hadc1_k^{FS}$, $\varphi_{adc1_k}^{FS}$ qui sont respectivement le module et la phase des harmoniques k créés par le DAC1 et l'ADC1 pour un signal à la pleine échelle. Il est évident que cette simple configuration ne permet pas d'extraire ces inconnues, nous avons ici un système de deux équations à quatre inconnues. Ce système pouvant être ramené à un système d'équations linéaires, il nous manque deux équations. En fait, même en utilisant le deuxième DAC, il n'est pas possible de résoudre le problème si on ne considère que des signaux à la pleine échelle. Nous avons donc joué avec différentes valeurs d'amplitude et de déphasage des signaux. Les détails de la technique sont donnés dans l'article [8] inséré en annexe dans le chapitre V. En guise d'illustration, la figure 3.16 donne un exemple de configuration envisagée. Dans cet exemple, les signaux NUMÉRIQUES d'entrée sont déphasés de $\varphi_1 = \pi - 2 \cdot \arccos(\frac{1}{4})$ et le signal sur le DAC2 est à la moitié de la pleine échelle. En sortie du sommateur, nous avons donc un nouveau signal d'amplitude égale à la pleine échelle (FS) et déphasé de $\varphi_2 = \pi - \arccos(\frac{1}{4})$. Cette configuration nous donne les deux équations suivantes :

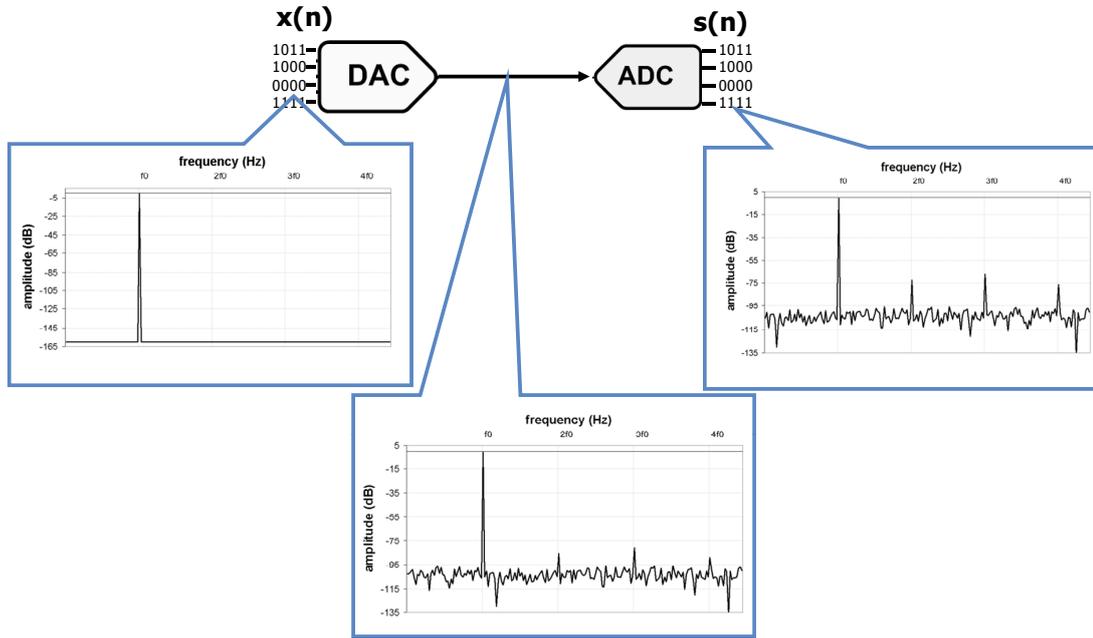


Figure 3.13 – Test par analyse spectrale de deux convertisseurs en série

$$Re(Hm1_k) = Hdac1_k^{FS} \cdot \cos(\varphi_{dac1_k}^{FS}) + Hdac2_k^{FS/2} \cdot \left[\cos(k \cdot \varphi1) \cdot \cos(\varphi_{dac2_k}^{FS/2}) - \sin(k \cdot \varphi1) \cdot \sin(\varphi_{dac2_k}^{FS/2}) \right] \\ + Hadc1_k^{FS} \cdot \left[\cos(k \cdot \varphi2) \cdot \cos(\varphi_{adc1_k}^{FS}) - \sin(k \cdot \varphi2) \cdot \sin(\varphi_{adc1_k}^{FS}) \right]$$

$$Im(Hm1_k) = Hdac1_k^{FS} \cdot \sin(\varphi_{dac1_k}^{FS}) + Hdac2_k^{FS/2} \cdot \left[\sin(k \cdot \varphi1) \cdot \cos(\varphi_{dac2_k}^{FS/2}) + \cos(k \cdot \varphi1) \cdot \sin(\varphi_{dac2_k}^{FS/2}) \right] \\ + Hadc1_k^{FS} \cdot \left[\sin(k \cdot \varphi2) \cdot \cos(\varphi_{adc1_k}^{FS}) + \cos(k \cdot \varphi2) \cdot \sin(\varphi_{adc1_k}^{FS}) \right]$$

On peut noter ici que nous faisons intervenir de nouvelles inconnues puisque les harmoniques créées par des convertisseurs pour des signaux d'entrée d'amplitude différentes ne sont pas corrélées (par exemple $Hdac_k^{FS/2} \neq Hdac_k^{FS}$). Pour autant, l'utilisation de cette valeur d'amplitude non classique pour une phase de test nous permet de définir des configurations fournissant les équations manquantes pour la résolution du système. Au final, avec cinq configurations successives, il est possible d'extraire les harmoniques créées par chaque convertisseur en utilisant uniquement des ressources numériques. Ces convertisseurs ainsi caractérisés sont ensuite introduits dans de nouvelles configurations avec d'autres convertisseurs à tester (figure 3.14).

Cette technique a été entièrement validée (en simulation, sur prototype et sur testeur) et a été étendue à d'autres applications comme le test de convertisseurs AN et NA discrets. Dans ce cas particulier, cette technique permet d'utiliser des équipements de test moins performants que les convertisseurs à tester puisque nous avons démontré qu'une résolution d'équipement de test de 2 bits inférieure à la résolution du convertisseur à tester est suffisante pour la caractérisation complète du convertisseur.

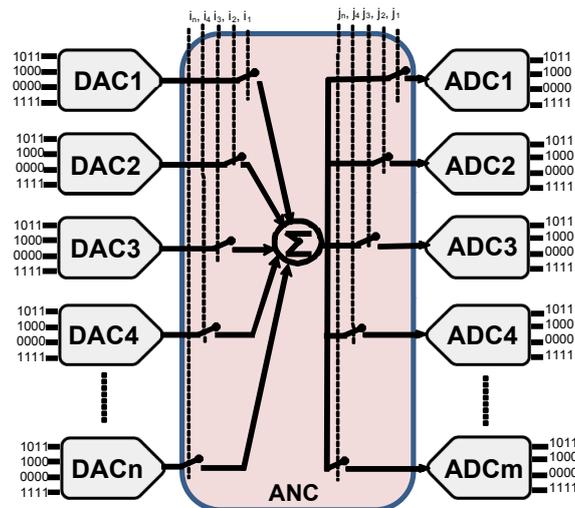


Figure 3.14 – Principe de base du réseau analogique de convertisseurs (ANC)

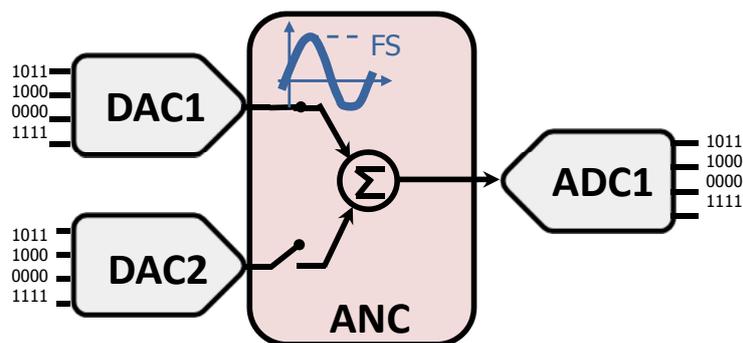


Figure 3.15 – Exemple de configuration à trois convertisseurs

3.2.2.4 Bilan

Un des résultats majeurs de ce travail est la démonstration de la possibilité de réutiliser les convertisseurs embarqués dans les systèmes comme instruments de mesure. Par définition ces convertisseurs embarqués fonctionnent à la fréquence nominale du système et permettent donc un test “at speed” du système. Dans le contexte du test de convertisseurs discrets, cette technique est révolutionnaire puisque elle brise la règle qui imposait l’utilisation de matériels de test ayant une résolution plus élevée que les convertisseurs sous test.

Les solutions basées sur cette technique ont fait l’objet de nombreuses publications et un démonstrateur a été réalisé. Ce travail et la technique d’ANC (figure 3.14) ont été récompensés par le “Best Paper Award ” de la plus importante conférence européenne sur le test (European Test Symposium, ETS) en 2006 et par le “Premium Award” 2008 de la revue IET Computers and Digital Techniques (voir section 5.6).

Sur cette thématique, la thèse de Vincent KERZEHRO a été soutenue le 22 avril 2008. Ces travaux ont été réalisés au sein de l’équipe de recherche constituée de Michel RENOVELL, Directeur de Recherche CNRS au LIRMM, de Florence AZAIS, Chargée de Recherche CNRS au LIRMM, de Mariane COMTE, Maître de Conférences de l’Université Montpellier II, en collabo-

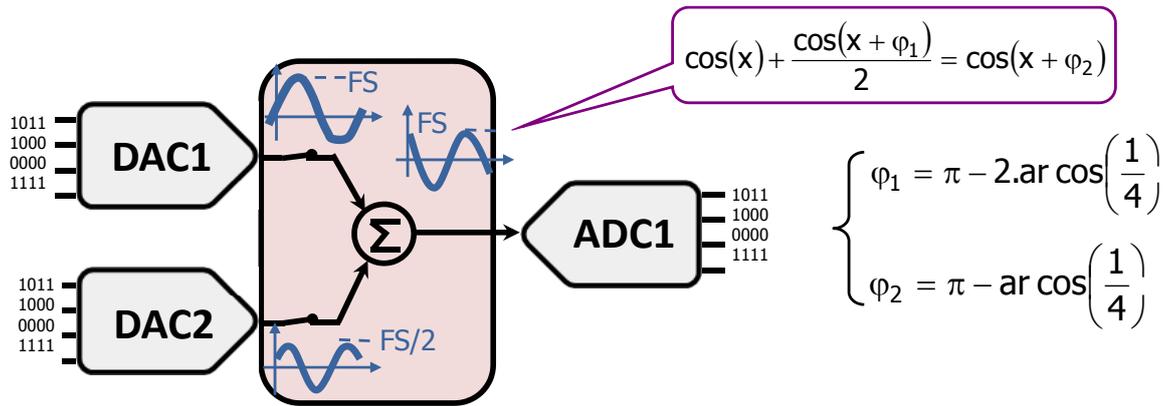


Figure 3.16 – Exemple d’une configuration complexe avec trois convertisseurs

ration avec Philippe CAUVET de la société NXP Semiconductors et dans le cadre du laboratoire commun ISyTest.

Publications associées : [61, 10, 35, 8, 55, 7, 9, 57, 3, 60, 34]

3.2.3 Test sans fil

Le test de production va être confronté à une limite technologique due aux contraintes du test sous pointes sur testeur. En effet, les technologies de contact par pointes sont limitées actuellement à un espacement qui ne permettra plus de suivre les tailles attendues pour les futurs circuits. De plus, les techniques classiques de contact à pointes limitent, de part leur encombrement, le nombre de puces pouvant être testées en parallèle sur wafer. Une autre limitation de ce type de test vient des parasites créés par les contacts durant le test qui ne permettent pas une qualité de test niveau wafer suffisante pour les circuits RF pour lesquels le moindre changement d’adaptation modifie le fonctionnement. Enfin, dans le cas particulier des System-in-Package (SiP), constitués de plusieurs puces nues assemblées dans un même package, la procédure classique requiert plusieurs contacts successifs sur les mêmes plots ce qui a un effet destructif sur ces plots.

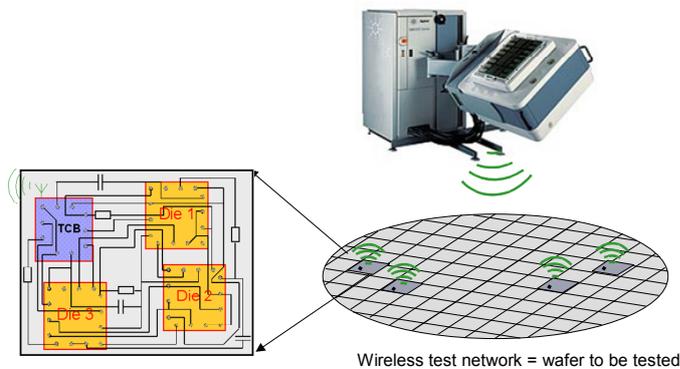


Figure 3.17 – Test sans fil de SiP

Dans ce cadre, le test sans fil semble bien sûr une solution attrayante puisqu’elle supprime par définition tous les contacts durant la phase de test. Un autre avantage potentiel du test sans fil est de pouvoir adresser le test durant la vie du circuit alors que le circuit n’est pas directement

accessible. Ce type de test in-situ pourrait par exemple être une grande avancée pour le test et le diagnostic de circuit enfouis dans l'automobile ou implanter dans le corps humain. En pratique, cette solution est extrêmement difficile à développer. Nous avons débuté nos recherches sur le sujet en 2005. L'objectif final est de proposer une architecture constituée :

- D'une couche physique de communication (communication RF, Bit Error Rate...),
- d'une couche MAC pour éviter tout problème de collision durant la communication,
- d'une couche application pour la gestion du test au niveau du système,
- d'un Test Control Block qui permettra le routage des différents signaux à l'intérieur du système intégré.

Il est bien évident que les contraintes de surface, de robustesse, de débit et consommation sont très fortes et empêchent l'utilisation de protocoles de communication classiques. Nous avons proposé une première solution innovante et une adaptation dédiée au test in situ qui sont actuellement dans le processus de dépôt de brevets. Ces brevets bloquent la publication des résultats d'où le faible nombre de publications de notre part sur le sujet.

Sur cette thématique, la thèse de Ziad Noun a débuté en juillet 2006 et doit être soutenue en novembre 2009. Ces travaux ont été réalisés au sein de l'équipe de recherche constituée de Marie-Lise Flottes, Chargée de Recherche CNRS au LIRMM et de David Andreu, Maître de conférences de l'Université Montpellier II, en collaboration avec Philippe Cauvet et Hervé Fleury de la société NXP Semiconductors.

Publications associées : [30, 53, 56, 58, 20]

3.2.4 Test indirect pour les circuits RF et mixtes

Dans certains contextes, il est très difficile, voire impossible, de tester les paramètres spécifiés dans le cahier des charges du circuit sous test. Les raisons sont soit un temps de test prohibitif, soit une qualité du test qui risque d'être responsable d'un grand nombre de retours clients ou un rendement de fabrication excessivement bas. On retrouve ce cas de figure, par exemple, pour le test des circuits mixtes qui peut nécessiter plusieurs secondes sur un équipement de test très coûteux ou dans le cas du test de circuits RF pour lesquels la mesure des paramètres fonctionnels est dépendante de l'environnement de test (parasite de contact, adaptation...). Pour contourner la difficulté d'un test direct des paramètres spécifiés, les méthodes alternatives, ou méthodes indirectes, peuvent constituer une approche intéressante. Ces techniques sont basées sur l'évaluation des paramètres plus facilement mesurables pour ensuite estimer, par post-traitement, les paramètres faisant partie de la spécification du produit. L'idée est donc de trouver les corrélations entre ces différents paramètres pour tester le circuit sans mesurer directement ses spécifications. Plusieurs approches peuvent être envisagées pour établir cette corrélation. Nous avons initié une approche statistique de corrélations entre les paramètres statiques et dynamiques des Convertisseurs Analogique/Numérique en 2003. Ensuite, nous avons développé un outil d'évaluation permettant de traiter un grand nombre résultats de test (voir figure 3.18) et nous avons pu valider cette technique sur un échantillon de circuits réels provenant de NXP. Les résultats sont très encourageants et nous sommes en train de mettre en place une étude sur un lot plus important de circuits pour avoir une validation statistique.

Une autre approche envisageable pour établir la corrélation entre les paramètres mesurés et les paramètres spécifiés consiste à utiliser les réseaux de neurones ou les modélisations multi-

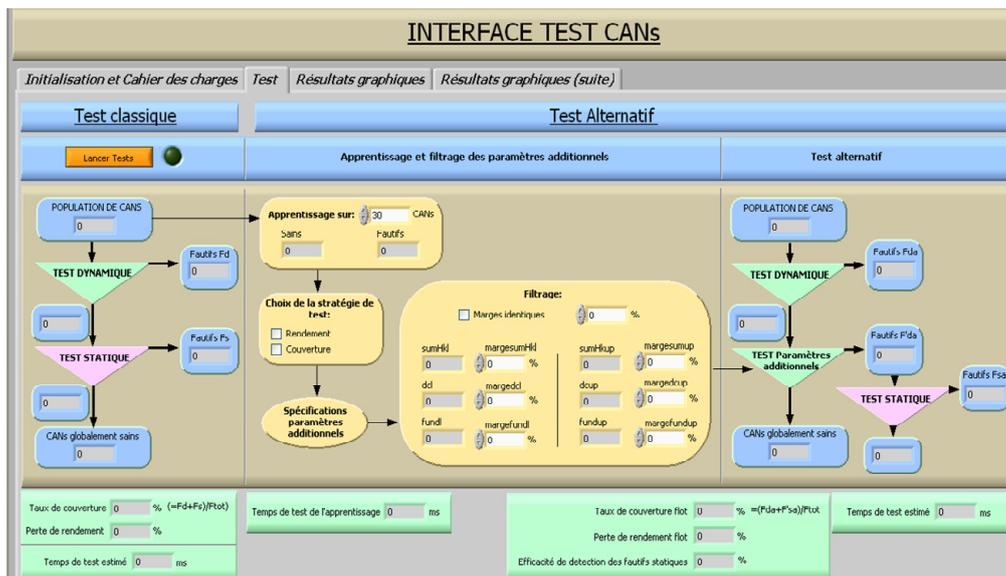


Figure 3.18 – Outil de validation du test alternatif proposé pour le test des CAN

paramètres. Dans le cadre du laboratoire commun ISyTest, nous travaillons en parallèle sur les techniques de corrélations et sur les types de stimuli et de mesure (DC, basse fréquence...) pour la caractérisation de circuit RF.

Sur cette thématique, la thèse de Mariane COMTE a été soutenue 10 juillet 2003. L'équipe de recherche actuel est constituée de Michel RENOVELL, Directeur de Recherche CNRS au LIRMM et de Florence AZAIS, Chargée de Recherche CNRS au LIRMM, de Mariane COMTE, Maître de Conférences de l'Université Montpellier II, en collaboration avec Philippe CAUVET, Hervé FLEURY et Christophe KELMA de la société NXP Semiconductors et Salvador MIR, Directeur de Recherche au TIMA et Haralampos STRATIGOPOULOS, chargé de Recherche CNRS au TIMA.

Publications associées : [68, 69, 15, 13, 11, 43, 14, 66, 67, 65, 94, 70, 50]

3.2.5 Système d'auto-calibration

L'utilisation de circuits intégrés mixtes, c'est-à-dire combinant des fonctions analogiques et des fonctions numériques sur la même puce microélectronique, s'est généralisée dans tous les domaines qui nécessitent l'acquisition, l'utilisation ou la génération de signaux physiques (donc analogiques), notamment les télécommunications, les applications multimédias, l'instrumentation (en particulier médicale), l'imagerie ou encore la détection radar. De tels circuits permettent en effet de bénéficier de la robustesse et de la modularité du traitement numérique pour manipuler avec maîtrise et puissance les signaux analogiques du monde réel. Toutefois, l'augmentation de la complexité des systèmes induite par la coexistence de ces deux domaines se répercute sur la difficulté de la conception des composants impliquant une perte de rendement de fabrication et donc une augmentation du prix de revient des circuits.

L'idée fondamentale proposée ici consiste à relâcher les contraintes sur certains paramètres pour pouvoir focaliser l'effort de conception sur d'autres paramètres. Les paramètres non optimisés durant la phase de conception sont ensuite corrigés par post-traitement. Dans le cas des CAN qui sont les éléments charnières de ces circuits mixtes, le post-traitement est entièrement

numérique.

Partant de cette idée, nous avons proposé de nouvelles architectures de CAN haute résolution auto-correctés. Nous avons validé, en collaboration avec le laboratoire IMS de Bordeaux, cette approche sur des circuits réels de NXP Semiconductor. Le véhicule de test était un convertisseur 12bits issu d'un produit actuel de NXP. Ce nouveau composant, appelé AD Demo, a été conçu en relâchant les contraintes sur les non-linéarités pour pouvoir focaliser la conception sur le rapport signal sur bruit final. Sur ce nouveau produit, nous avons pu valider une approche basée sur l'utilisation de LUT pour la correction à la volée des codes de sortie du convertisseur. Nous avons par exemple évalué la robustesse de la technique en fonction de la fréquence d'entrée, de la fréquence d'échantillonnage et de la température. Pour faciliter ces validations nous avons mis en place un démonstrateur illustré figure 3.19. Les résultats sont extrêmement encourageants et vont faire l'objet de plusieurs soumissions dans des revues en 2009.

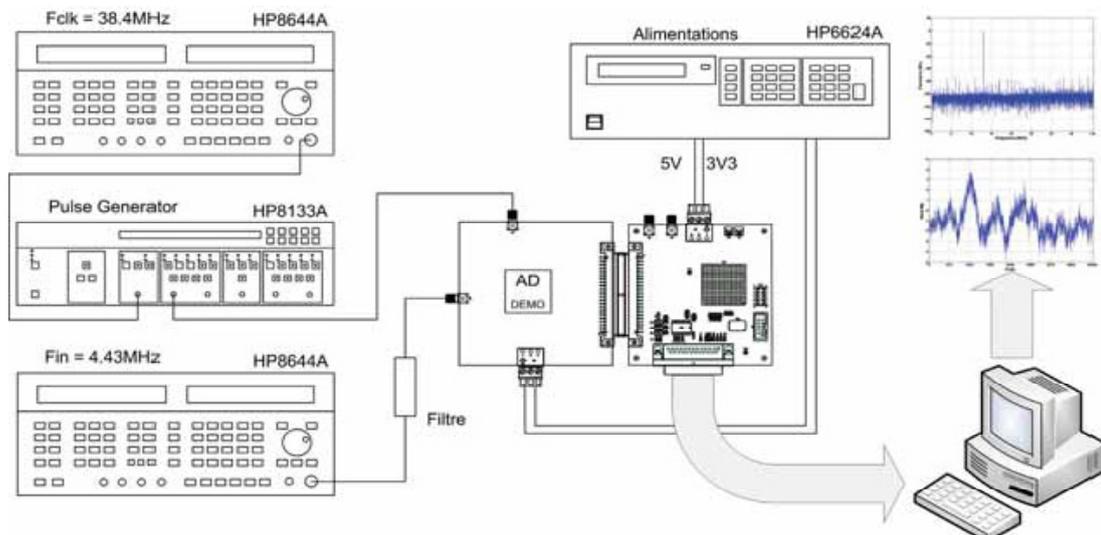


Figure 3.19 – Banc de validation

Sur cette thématique la thèse de Vincent Fresnaud a été soutenue le 7 avril 2008. Ces travaux ont été réalisés dans le cadre du laboratoire commun ISyTest en collaboration avec Dominique Dallet, Professeur à l'université de Bordeaux 1 au laboratoire IMS, Lilian Bossuet, maître de conférences à l'université de Bordeaux 1 au laboratoire IMS et Benoit Agnus de NXP Semiconductors.

Publication associée : [37]

3.3 Microélectronique médicale

Ce travail de recherche se situe dans le cadre de la conception, avec prise en compte du test et de la fiabilité, de circuits spécifiques pour applications médicales. La majeure partie de cette activité fait partie du projet DEMAR (DÉambulation et Mouvement ARTificiel : <http://www.inria.fr/recherche/equipes/demar.fr.html>) piloté par l'INRIA et hébergé par le LIRMM. L'objectif initial du projet DEMAR était de permettre à des paraplégiques de retrouver une certaine motricité de leurs membres inférieurs en utilisant la stimulation électrique neurale ou

epymésiale. Depuis, les activités du projet DEMAR se sont étendues et couvrent différentes applications de la Stimulation Électrique Fonctionnelle (SEF) pour palier certaines déficiences fonctionnelles (hyperactivité de la vessie, incontinences, tremblements,...) ou améliorer l'efficacité de la rééducation (limiter l'étendue de l'hémiplégie suite à un Accident Vasculaire Cérébral, rééducation du périnée,...). Dans ce contexte, les plus grands défis scientifiques sont :

- Simplifier l'acte chirurgical en proposant des solutions les moins invasives possibles associant simplicité et efficacité,
- obtenir une grande sélectivité et efficacité de stimulation. Propriétés forcément contradictoires avec la volonté d'être peu invasif avec une chirurgie simplifiée,
- proposer des systèmes fiables pour éviter toute explantation et peu gourmand en énergie,
- effectuer des stimulations qui permettent un recrutement des fibres nerveuses et musculaires le plus proche du recrutement naturel (taille des fibres, sens de propagation de l'influx nerveux...).

Dans l'ensemble de nos projets, les différentes solutions proposées sont toujours orientées par les besoins concrets des patients et des praticiens. Nous avons une volonté forte de proposer des solutions applicables à moyen terme. Cette approche pragmatique et guidée par le contexte propre au domaine médical. Pour atteindre ces objectifs, le projet DEMAR est structuré en trois axes :

- *Modélisation du système sensorimoteur* : l'objectif est de développer des modèles mathématiques permettant de décrire des fonctions physiologiques (contraction musculaire, miction, audition, mouvement articulaire...). Ces modèles sont établis à partir d'expérimentations cliniques,
- *Synthèse et commande de fonction* : à partir des modèles et selon les applications fonctionnelles humaines visées, il s'agit de développer des stratégies d'activation du système nerveux, essentiellement périphérique et éventuellement en boucle fermée, pour obtenir la fonction désirée (station debout et levé de chaise chez le paraplégique, contrôle des muscles déficients chez l'hémiplégique, restauration de l'audition, gestion de la vessie,...),
- *Neuroprothèses* : activer (stimulation et génération de potentiels d'action) ou observer (mesure de signaux électrophysiologiques) le système nerveux pour le contrôler nécessite de savoir s'interfacer avec lui. Les neuroprothèses sont des systèmes microélectroniques comportant une ou des électrodes au contact de la structure en jeu. Ces neuroprothèses sont soit externes soit implantées, et dans ce dernier cas, des contraintes de conception très sévères imposent des réflexions scientifiques et technologiques dont les compromis sont souvent difficiles à trouver.

Mon activité dans le projet DEMAR est centrée sur le premier et le troisième axes. Notre objectif est de proposer des systèmes permettant la génération de stimuli électriques artificiels ou le recueil de signaux physiologiques naturels.

La SEF consiste à stimuler des nerfs ou des muscles à l'aide de signaux électriques. Dans le cas de la stimulation neurale, les courants électriques permettent une dépolarisation de la membrane des axones pouvant déclencher des potentiels d'action (PA) qui sont les signaux nerveux naturels. Pour pouvoir contrôler une fonction naturelle il faut être capable de stimuler et d'observer un grand nombre de sites de stimulation. A bas niveau il faut être capable de gérer plusieurs pôles sur un même site à l'aide d'électrodes multipolaires pour être en mesure de recruter des fibres particulières à l'intérieur du nerf en fonction de leurs caractéristiques anatomiques ou physiologiques (localisation, taille, sensibilité, sens de propagation, rapidité,...).

La solution de SEF envisagée dans le projet DEMAR consiste à placer un ensemble de microstimulateurs (USR : Unité de Stimulation Répartie) et microcapteurs (UMR : Unité de Mesure Répartie) implantables directement au voisinage des sites de stimulation envisagés. Ce concept du nom de SENIS (Stimulation Électro-fonctionnelle Neurale dIStribuée) est illustré figure 3.20. Chaque unité répartie doit être capable de communiquer avec l'unité centrale et recevoir son énergie sur seulement deux fils. Cette communication doit permettre un séquençage ou une synchronisation précise de l'ensemble des sites pour être capable de contrôler un mouvement ou une fonction d'ensemble. Cette architecture distribuée est la seule qui permette d'envisager de la stimulation à l'aide d'électrodes multipolaires sur un grand nombre de sites en réduisant la problématique de connexion entre un contrôleur centralisé et les pôles de stimulations. Un autre avantage de cette architecture est sa grande modularité qui permet d'adapter l'architecture en choisissant le nombre de USR et d'UMR nécessaires pour l'application envisagée.

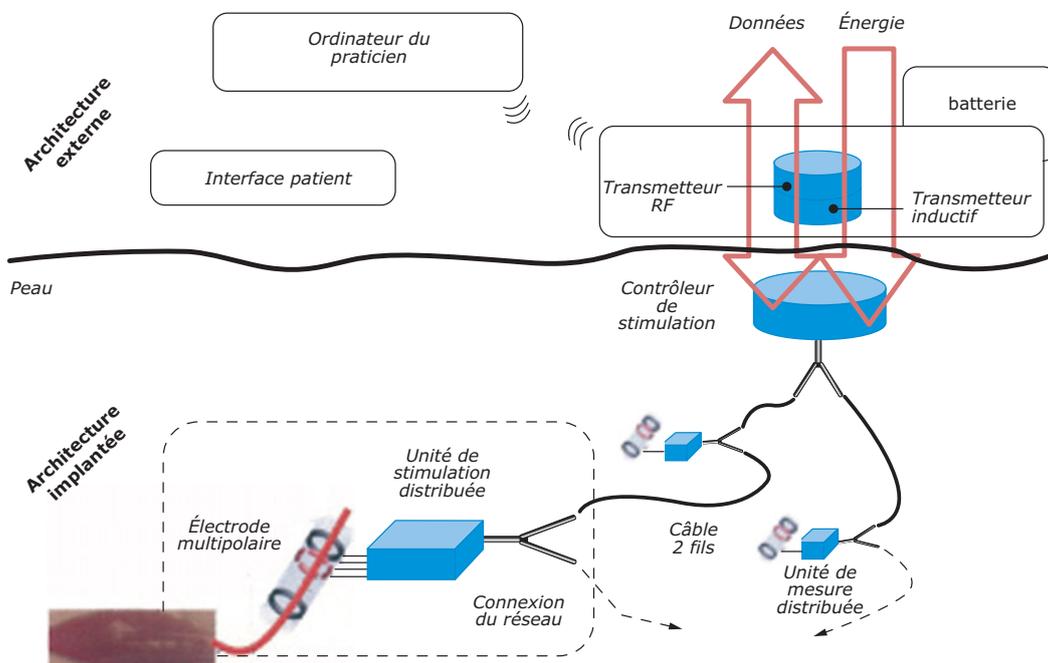


Figure 3.20 – Principe de la stimulation répartie SENIS

Autour de cette architecture de stimulation répartie, je m'intéresse plus particulièrement à la partie bas niveau (analogique et mixte) des USR et UMR et l'optimisation de la sûreté de fonctionnement du système et des sous-systèmes analogiques.

3.3.1 Électro-stimulateur implantable

Les Unités de Stimulation Réparties (USR) doivent être capables de générer des signaux électriques sur plusieurs pôles d'électrode. Les propriétés de ces signaux doivent être parfaitement maîtrisées et ne présenter aucun danger pour le patient. Comme illustré figure 3.21, chaque USR est composée de trois blocs fonctionnels :

- Un étage de transmission qui permettra de recevoir les données de stimulation (longueur, durée, type de stimulation...) et d'envoyer certaines informations de contrôle de la stimulation effectuée aux autres USR ou au contrôleur central. Il aura aussi pour mission de récupérer de l'énergie sur le bus pour l'alimentation de l'USR,

- un bloc d'interprétation de la trame de données et de contrôle de stimulation. C'est la partie "intelligente" de l'USR. Il utilisera les données de stimulation reçues sur le bus pour construire les séquences de stimulation,
- Le bloc de génération du signal électrique de stimulation. Ce bloc, nommé par la suite "partie active de l'USR", doit convertir les séquences de stimulation en courant de stimulation et répartir ce courant sur les différents pôles de l'électrode de stimulation.

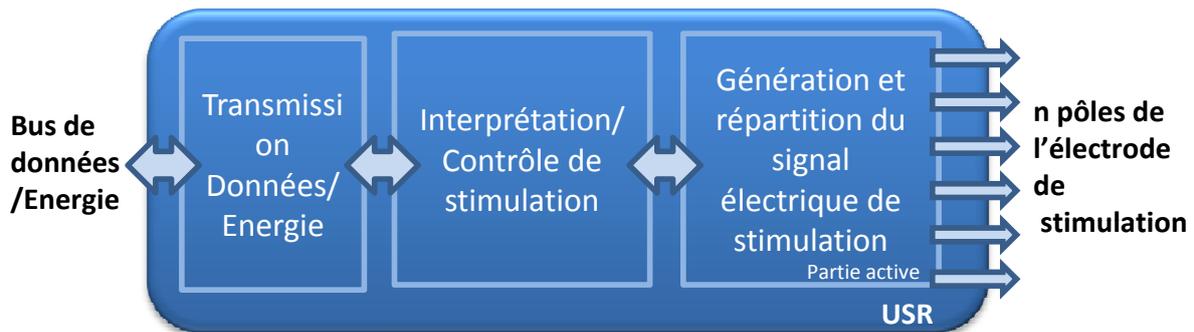


Figure 3.21 – Unité de Stimulation Répartie

Nous sommes plusieurs groupes à travailler sur le développement de ces USR. Mon activité de recherche se focalise actuellement sur la partie active de génération des stimuli électriques sur l'électrode. Ce bloc fonctionnel est réalisé à l'aide de quatre sous-blocs comme illustré figure 3.22 :

- le Convertisseur Numérique Analogique (CNA) qui convertit la consigne numérique de stimulation en un courant électrique,
- la générateur haute tension qui doit permettre de produire sur la puce des tensions d'alimentation plus élevées que la tension d'alimentation propre du circuit intégré,
- Un étage de mesure de tension qui permet de mesurer la tension sur chaque pôle de sortie pour s'assurer de la bonne génération du courant de stimulation et pour mesurer indirectement l'impédance nerf/électrode vue entre chaque pôle de stimulation,
- Un étage de sortie qui amplifie et répartit le signal électrique provenant du CNA vers les différents pôles de l'électrode.

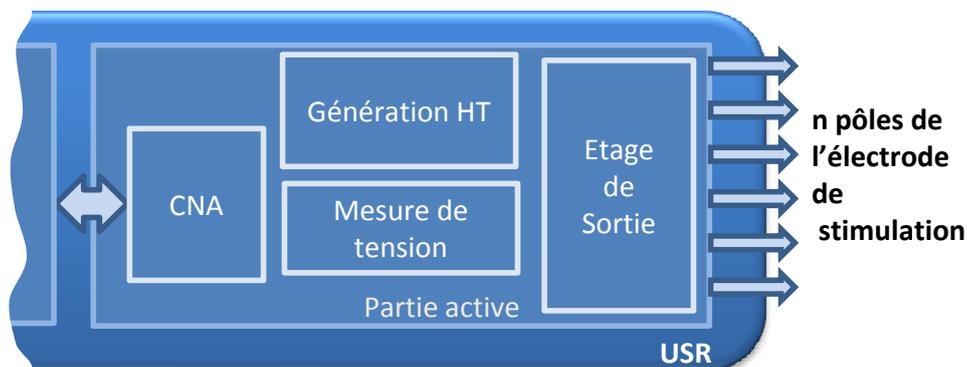


Figure 3.22 – Partie active de l'USR

3.3.1.1 Le Convertisseur Numérique/Analogique

Les applications de SEF envisagées imposent des contraintes particulières au CNA. Même si la résolution proprement dite et la fréquence d'échantillonnage peuvent être relativement faibles, les propriétés dynamiques en termes de pureté (sans pic parasite : glitch free) et la linéarité du signal sont très sévères. Le CNA que nous avons développé est un huit bits de résolution permettant de convertir un signal en moins de 1 μ s. L'architecture proposée est basée sur des sources de courants unitaires organisées sous forme de matrice comme illustré figure 3.23. L'avantage de ce type d'architecture comparée à des architectures classiques basées sur des sources pondérées est l'assurance de la parfaite monotonicité du convertisseur. Cette monotonicité est un critère essentiel dans notre application où les USR feront partie d'un système comportant plusieurs niveaux de rebouclage.

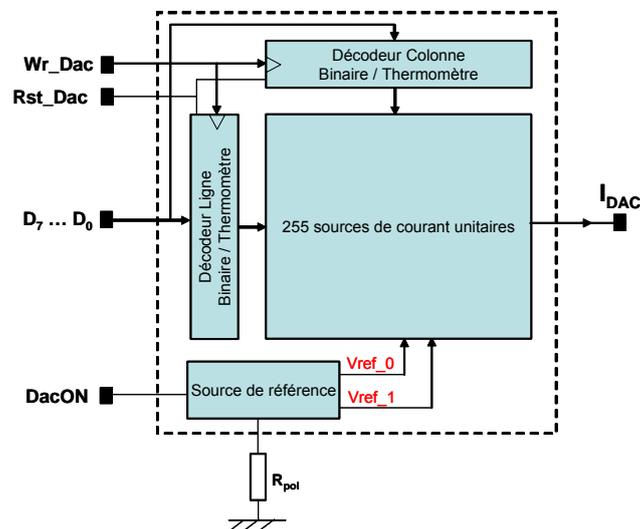


Figure 3.23 – Architecture du CNA proposée

Les trois points fondamentaux de cette architecture sont :

- le découpage et le placement des cellules unitaires et de la source de référence pour rendre la structure la moins sensible possible aux variations des paramètres durant la fabrication du circuit,
- l'ordre de commutation des sources unitaires toujours pour garantir une grande linéarité du CNA même en présence de forts gradients sur le processus de fabrication,
- la technique de commutation proprement dite pour limiter les pics de courant transitoir,
- la consommation en fonctionnement et en veille pour optimiser l'autonomie des USR.

Trois versions de CNA ont été réalisées et fabriquées. Chaque version a permis de valider de nouvelles solutions permettant d'adresser les points pré-cités. Par exemple, nous avons étudié plusieurs types d'adressage (en lignes, en anneaux et en spirale) tout en étant au plus proche d'un placement en *common centroid*. Nous avons aussi distribué la source de référence tout autour de la matrice pour réduire l'influence des gradients linéaires et quadratiques de variations de paramètres pendant la fabrication du circuit.

3.3.1.2 Génération haute tension

Le stimulateur doit pouvoir fournir un courant de plusieurs milliampères sur une impédance de quelques kilo ohms. Cela sous-entend que l'étage de sortie puisse fonctionner et être contrôlé sous une tension supérieure à la dizaine de volts. Le circuit étant alimenté par de la basse tension (3.3V ou 5V), il faut générer sur la puce cette source haute tension. Nous avons proposé une architecture (voir figure 3.24) de convertisseur *DC-DC* permettant d'optimiser le rendement et la surface de silicium utilisée. Cette architecture reprend les bases des pompes de charges de *Dickson* classiques. Le transfert de charges entre les différents étages permet d'augmenter progressivement le potentiel V_{HTi} de chaque étage i .

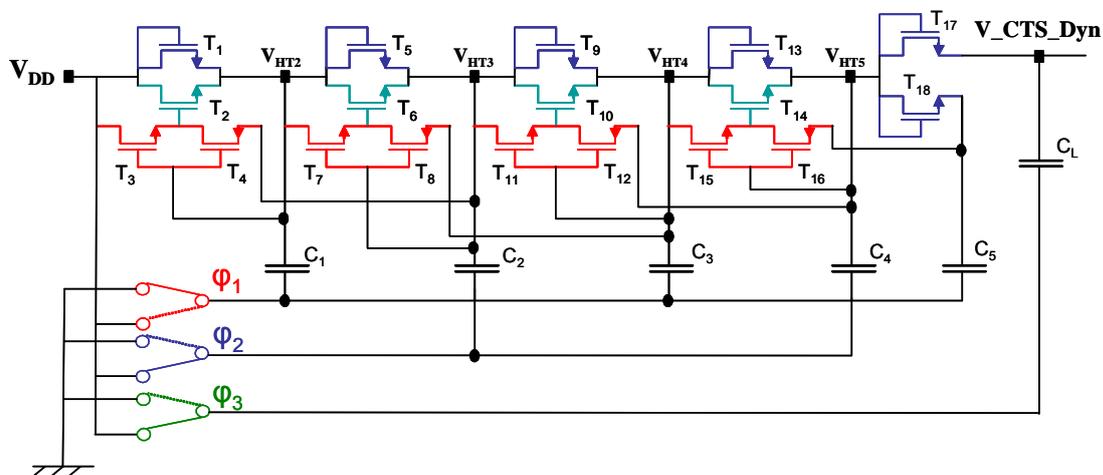


Figure 3.24 – Pompe de charge pour la génération haute tension

Les principales originalités de la structure proposée ont été développées pour répondre aux exigences très particulières du générateur haute tension dans notre application. Généralement, les pompes de charges sont utilisées en continu, le transfert des charges d'étages en étages continue pendant l'utilisation de la source de haute tension (cas des mémoires flash par exemple). Dans notre cas il n'est pas envisageable d'avoir des commutations au niveau de l'alimentation durant la stimulation. Il est donc indispensable "d'éteindre" la structure quand un courant est consommé à sa sortie pendant la stimulation. Cela impose l'utilisation de capacité de stockage particulièrement importante pour que la diminution du potentiel en sortie soit compatible avec le bon fonctionnement de la structure. Les capacités sont donc forcément externes et l'optimisation du nombre d'étage est primordial. Nous avons utilisé des architectures d'interrupteurs *CTS* (*Charge Transfert Switch*) dynamiques (cas par exemple des transistors T_1, T_2, T_3, T_4) agissant comme des interrupteurs unidirectionnels et dont la différence de potentiel entre la sortie et l'entrée est nul quand ils sont fermés (pas de tension de seuil). A noter ici que le potentiel V_{CTS_Dyn} est nécessaire pour contrôler la structure, mais l'énergie mise en jeu ne nécessite pas l'utilisation d'une grosse capacité (C_L interne).

3.3.1.3 Étage de sortie

L'étage de sortie a deux fonctions principales :

- amplifier le courant provenant du CNA. En effet, le CAN fourni un courant faible pour réduire la consommation du système,
- répartir le courant de stimulation vers les différents pôles de l'électrode. Cette répartition doit être synchrone et programmable au niveau de l'étage de sortie et le ratio de courant entre les différents pôles doit rester constant, après programmation, pour toute valeur du courant de stimulation total. L'idée ici est de pouvoir créer dynamiquement des électrodes virtuelles pour générer tout types de lignes de densité de courant sur le site de stimulation. Plusieurs solutions d'étage de sortie ont été développées et fabriquées : un étage à 4 cathodes et 1 anode, un étage à 12 et à 24 pôles configurables dynamiquement en cathode ou en anode. La figure 3.25 donne la structure de principe de ces deux derniers types d'étage de sortie ou la présence d'un plan P et d'un plan N programmables permet de générer tout types de signaux. Tous les transistors du plan P (respectivement du plan N) sont appariés entre eux pour garder un ratio de courant entre pôles constant après programmation.

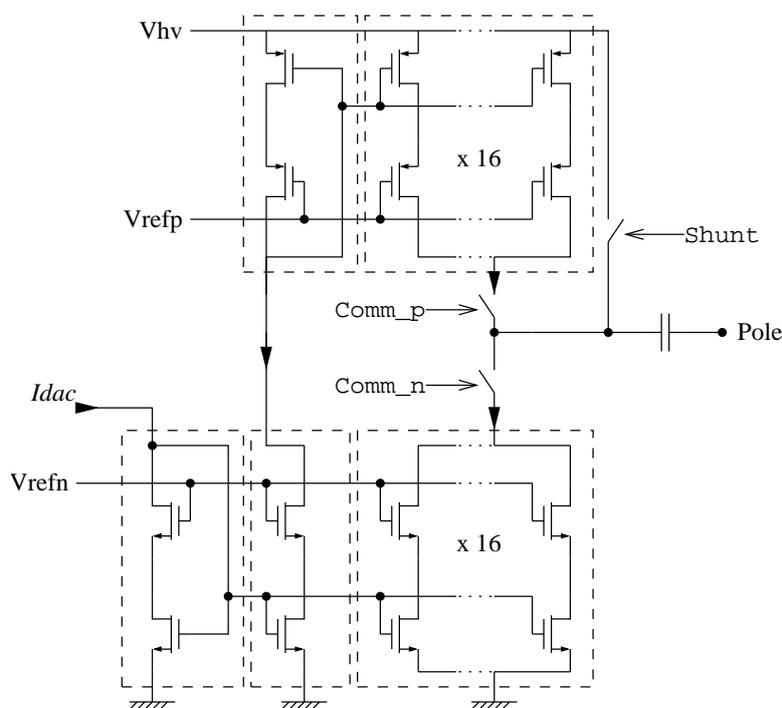


Figure 3.25 – Principe de l'étage de sortie

La figure 3.26 représente les dessins des masques et une photo de l'étage de sortie 12 pôles. On peut y distinguer très clairement les plan P et N de sortie et toute la logique de commande.

3.3.1.4 Mesure de tension

La mesure de la tension, présente sur chacune des sorties de l'ASIC, a des objectifs très différents qui impliquent des spécifications particulières :

- mesure du courant de stimulation effectif. Dans ce cas, une résistance de référence sera nécessaire. Cette mesure sera effectuée au démarrage de l'implant et la précision requise peut dépendre d'une application à l'autre mais reste toujours en dessous des 8bits de résolution.

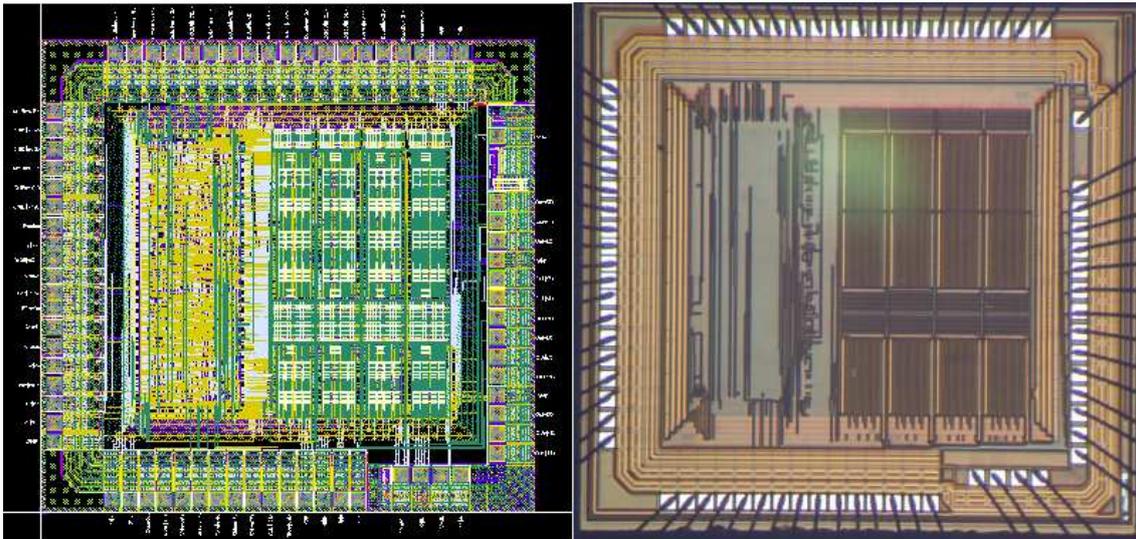


Figure 3.26 – Dessins des masques et photo de l'étage de sortie 12 pôles

- vérification du bon fonctionnement de l'étage de sortie. Les transistors des sorties de l'étage de sortie doivent fonctionner dans un mode (linéaire ou saturé) bien précis. En vérifiant quelques tensions DC avec une précision relativement faible il est possible de vérifier le bon fonctionnement. Sachant que cette mesure devra être réalisée à chaque stimulation, l'optimisation de la consommation dans ce mode est primordiale,
- test de possibles Circuits Ouverts (CO) ou Courts Circuits (CC) entre les broches de sortie de l'ASIC et les pôles de l'électrode. Actuellement, nous n'avons pas assez de retour d'expérience pour déterminer la précision nécessaire pour cette mesure. Une campagne de mesure est prévue pour évaluer l'influence sur la tension mesure de CC ou CO non francs sur les fils de connexion dans un liquide physiologique,
- mesure de l'évolution de l'interface nerf/électrode. Si on considère que le courant de stimulation est connu puisque généré par le circuit, cette mesure de tension revient à la mesure de l'impédance tissu-électrode. Cette impédance pourra nous renseigner sur l'évolution du matériau utilisé sur le pôle de l'électrode, la présence de fibrose ou de tout autre changement dans l'interface artificiel/vivant. Les caractéristiques des stimulations électriques pourront évoluer en prenant en compte ces informations. Nous avons établi a priori le cahier des charges de cette mesure qui ne demandera pas une résolution supérieure à 8 bits. Cette mesure devra être réalisée relativement rarement.

Partant de ce cahier des charges très hétérogène nous avons proposé une architecture de mesure sur les n voies (de 4 à 24) en utilisant un multiplexeur de n vers 1. Cette structure, illustrée figure 3.27, permet d'isoler les noeuds tout en abaissant la tension de travail à la valeur de l'alimentation du circuit. En effet, les points mesurés peuvent avoir une valeur proche de la valeur haute tension générée (voir section 3.3.1.2). Concevoir un Convertisseur Analogique Numérique (CAN) supportant la haute tension nécessiterait une surface de silicium et une consommation excessives.

Les buffers-atténuateur de la figure 3.27 sont une des clefs de cette architecture sachant que cette fonction doit être réalisée avec le minimum de composants pour diminuer la consommation du système complet. Le schéma d'un buffer-atténuateur est présenté figure 3.28. Sa tension d'entrée est au maximum de 20 volts pour un signal de sortie n'excédant pas 3,3 volts.

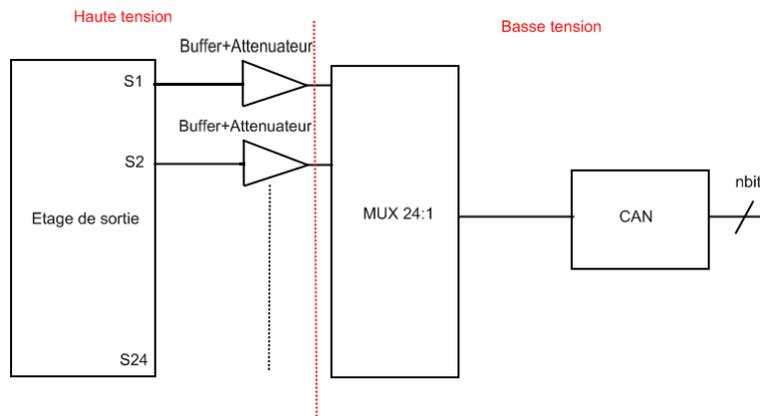


Figure 3.27 – Structure de la mesure de tension sur 24 pôles

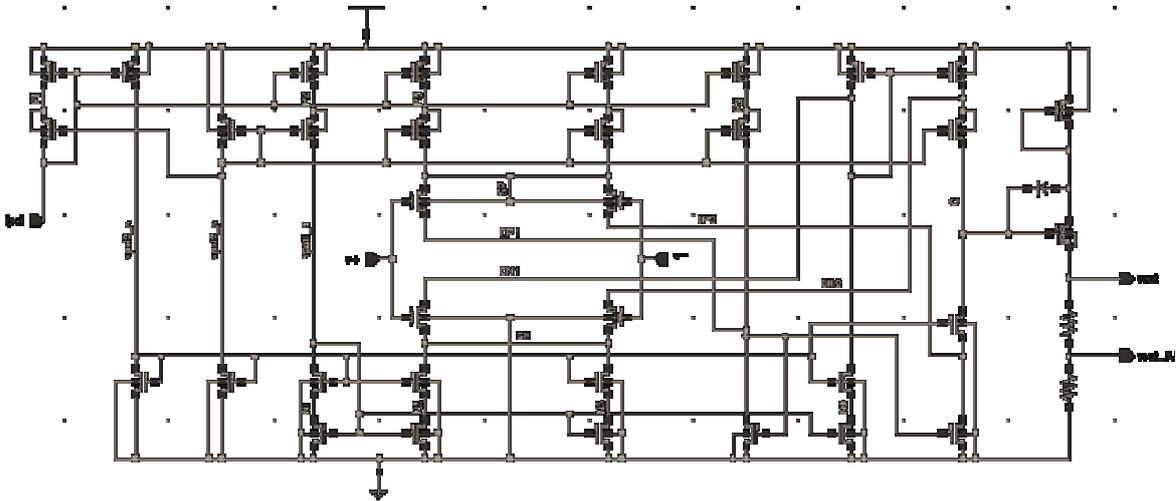


Figure 3.28 – Schéma d'un buffer-atténuateur

3.3.1.5 Bilan

La première version de l'ASIC de stimulation est constitué de trois blocs principaux : un convertisseur DC-DC qui permet de fournir jusqu'à 18 volts à partir de la tension d'alimentation du circuit, un Convertisseur Numérique/Analogique pour transformer la commande numérique en courant de stimulation et un étage de sortie qui sert d'interface avec l'électrode de stimulation et permet de distribuer le courant à travers 4 différentes cathodes. Les résultats de validation ont donné lieu à plusieurs publications dans des conférences internationales et un brevet international a été déposé [21]. Ce brevet, déposé en 2003 par l'INRIA en collaboration avec le CNRS et l'UMII, couvre le stimulateur et le protocole de communication associé. Plusieurs licences de ce brevet ont été achetées ou sont en cours de négociations avec des industriels.

La première version de l'ASIC de stimulation est actuellement utilisé dans un stimulateur sur table de laboratoire, *STIM3D*, avec lequel plusieurs expérimentations de stimulations externes et internes ont été réalisées sur l'animal et l'humain. A terme, ce type d'ASIC pourra permettre de développer les seuls stimulateurs implantables permettant de stimuler sur plusieurs voies de manière complètement synchrone et permettant de créer des électrodes virtuelles configu-

rables dynamiquement.

En parallèle, nous effectuons un transfert technologique de la dernière version de l'ASIC vers la société MXM. Cette partie active de l'implant est destinée à des solutions commerciales de SEF (voir projet *TIME* dans la section 4.2) et plus particulièrement à la future version de stimulateur cochléaire tout implanté (voir projet *NEUROCOM* dans la section 4.2).

La thèse de Jean-Denis TECHER sur la thématique de la SEF implantable a été soutenue le 9 novembre 2005. Dans cette thématique, l'équipe de recherche est aussi constituée d'Yves BERTRAND et de Guy CATHEBRAS, Professeurs à l'Université de Montpellier II, Fabien SOULIER, Maître de conférences à l'Université de Montpellier II et de David GUIRAUD, directeur de Recherche INRIA, responsable du projet DEMAR.

Publications associées : [39, 32, 42, 62, 21]

3.3.2 Conception de circuits de recueil de signaux physiologiques

Parallèlement à cette étude sur les circuits implantables de stimulation, nous nous intéressons au recueil et au traitement des signaux physiologiques. Ces recherches permettront de développer à terme les Unités de Mesure Réparties décrites en introduction de la section 3.3. Ces unités permettront d'améliorer le contrôle par la SEF de fonctions motrices défectueuses en extrayant des informations de rebouclage via les capteurs naturels (les nerfs ou les muscles).

Dans cette thématique, deux problématiques différentes sont étudiées :

- Quels sont les points critiques du recueil de signaux physiologiques et quelles caractéristiques doit avoir le système d'acquisition ? J'appellerai cette partie élaboration du cahier des charges,
- le développement proprement dit du système d'acquisition complet.

Nous avons choisi d'étudier en parallèle ces deux actions pour confronter les limitations physiologiques et microélectroniques.

3.3.2.1 Élaboration du cahier des charges

Notre objectif est de pouvoir recueillir des signaux nerveux transitant sur les nerfs périphériques. Le signal ENG (ElectroNeroGram) est une superposition du potentiel extra cellulaire généré par plusieurs axones. Notre objectif est de détecter l'activité d'un sous-ensemble de ces axones.

La figure 3.29 donne une vue conceptuelle de l'objectif à atteindre. Deux informations neurales sont véhiculées par le nerf et on veut détecter l'un des deux sans être parasité par l'autre tout en ayant une information globale au niveau du nerf. L'objectif est donc ici double :

- recueillir sur les électrodes le plus d'énergie possible correspondant à l'information neurale,
- être capable de discriminer les informations provenant de différents groupes d'axones.

Le premier point important à étudier est l'électrode de recueil. Il est évident que plus l'électrode permettra de se rapprocher physiquement des axones qui font circuler l'information recherchée, plus la discrimination sera aisée. Malheureusement, comme nous cherchons une solution qui soit la moins invasive possible pour le nerf, nous n'aurons qu'une information globale à l'extérieur du nerf. En pratique, nous avons choisi les électrodes de type cuff (plate ou en anneau circulaire).

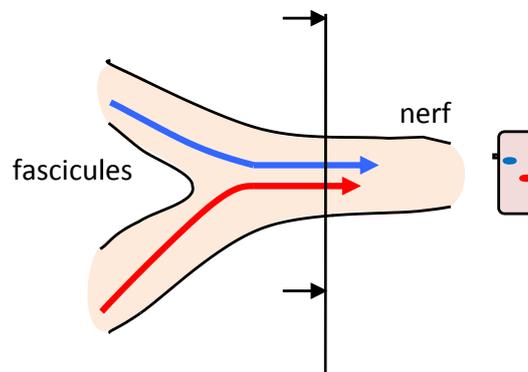


Figure 3.29 – Vue conceptuelle de la problématique

L'idée est maintenant de définir quelles sont les caractéristiques de cette électrode en terme de nombre de pôles, distance entre pôles, etc. Pour pouvoir estimer ces caractéristiques nous avons eu une approche très pragmatique basée sur l'hypothèse que l'optimisation du système, pour recueillir le signal qui serait généré par un seul axone isolé, donnera une bonne idée de la solution la plus efficace pour détecter un groupe d'axones voisins (dans un fascicule par exemple). Nous n'avons donc simulé qu'un seul axone actif. Les simulations ont été réalisées sur le logiciel *NEURON* (<http://neuron.duke.edu/>) en modélisant des axones myélinisés de différents diamètres et en considérant plusieurs distances entre les possibles pôles d'une électrode et l'axone. Suite aux résultats obtenus, nous étudierons en simulation des cas plus réalistes où plusieurs axones "transportent" des potentiels d'action asynchrones entre eux.

L'idée originale de notre modélisation est l'étude à un instant figé du potentiel extra-cellulaire pouvant être recueilli alors que généralement les recherches se concentrent sur l'aspect temporel de la détection de pics correspondant aux potentiels d'actions recherchés. Cette approche nous permet de rechercher la configuration permettant de recueillir le plus haut niveau de signal et capable en même temps de discriminer les différentes sources d'information tout en se déchargeant des contraintes purement dynamiques. La figure 3.30 représente l'exemple de l'amplitude d'un potentiel d'action vu le long d'un axone, à un instant donné, et sa représentation spectrale spatiale.

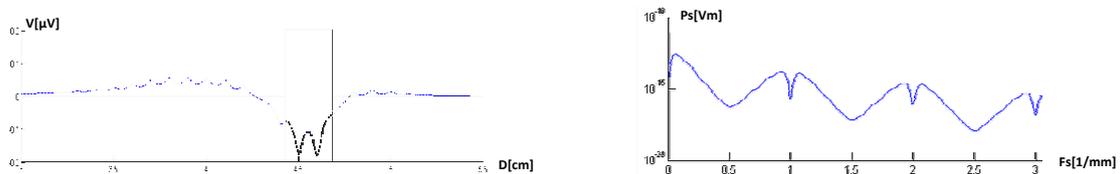


Figure 3.30 – Potentiel extra-cellulaire le long d'un axone et sa représentation spectrale (spatiale)

La représentation spectrale spatiale nous a guidé dans nos choix du filtre d'entrée. Le filtre ou pré-traitement d'entrée de la chaîne d'acquisition est absolument indispensable pour rejeter les signaux parasites qui ont des niveaux d'amplitude généralement plusieurs ordres de grandeur au dessus de ceux des signaux *ENG* recherchés. Les deux objectifs du filtrage proposé consistent donc d'un part à supprimer les signaux faible fréquence (spatiale) qui correspondent

aux signaux parasites relativement lointains par rapport au signal nerveux recherché, et en même temps d'autre part essayer de préserver le maximum d'informations utiles. En pratique, le filtre Laplacien qui est très largement utilisé pour le recueil de signaux avec les électrodes cuff tripolaires. Ce filtre consiste à effectuer l'opération suivante : $V_0 - \frac{V_1+V_2}{2}$, où V_0 est le potentiel recueilli sur l'électrode centrale et V_1, V_2 les potentiels des pôles voisins. Les simulations ont été réalisées pour des diamètres d'axones allant de 5 à 16 μm . La figure 3.31 montre les différents spectres associés et le spectre du filtre proposé.

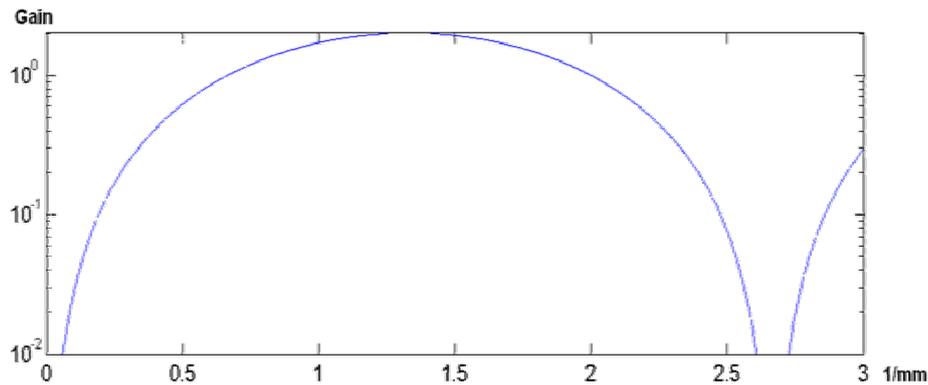


Figure 3.31 – Représentation spectrale du filtre utilisé et spectre spatial des axones de 5, 7 et 16 μm de diamètre.

Grâce à cette nouvelle approche, les caractéristiques de l'électrode que nous proposons sont en rupture avec les caractéristiques classiques. Généralement, les électrodes cuff pour le recueil sont basées sur des anneaux ou des pôles relativement espacés comme illustré figure 3.32, alors que l'électrode proposée est une électrode dotée d'un grand nombre de pôles espacés de 375 μm pour couvrir les différentes tailles d'axones.

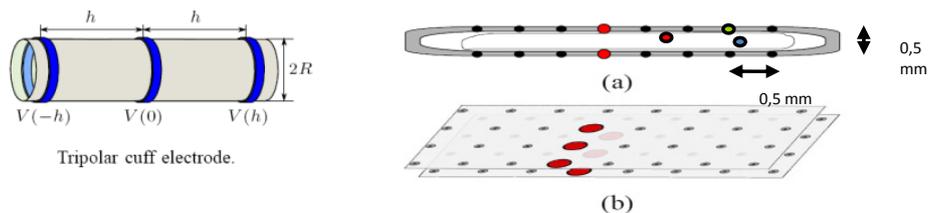


Figure 3.32 – Électrode cuff tripolaire classique et électrode proposée

Ce type d'électrode nous permet, en chaque pôle, d'avoir une sélectivité très importante offrant la possibilité de discriminer deux informations neurales véhiculées dans le nerf. La figure 3.33 montre la différence relative d'amplitude mesurée par l'électrode en fonction de la distance entre les deux sources d'information neurale.

Il nous reste deux tâches difficiles et critiques pour valider notre solution :

- prendre en compte l'information réellement recherchée qui est une superposition de potentiels d'action voisins et discriminer cette information "globale" avec l'information "parasite" provenant des autres axones du nerf,
- faire des expérimentations in vivo sur l'animal pour valider le phénomène de réjection des signaux parasites de forte amplitude et vérifier la sélectivité effective de notre système.

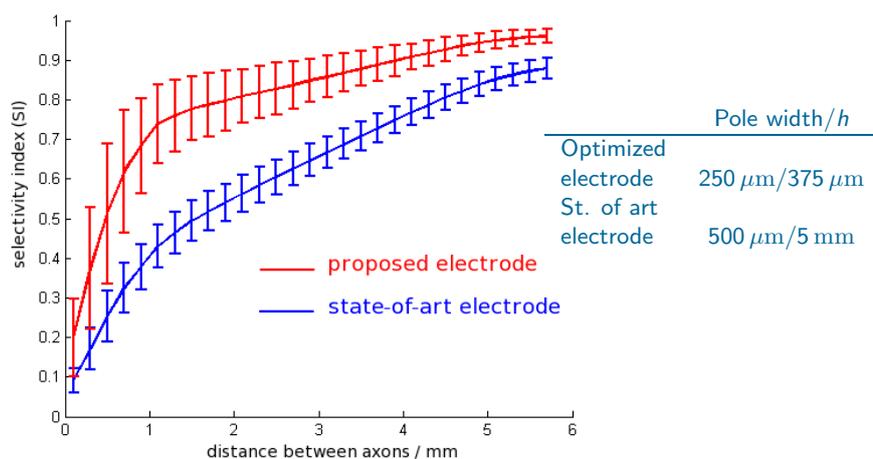


Figure 3.33 – Sélectivité de l'électrode proposée par rapport à l'état de l'art

3.3.2.2 Système d'acquisition

L'objectif est de développer des dispositifs implantables d'acquisition d'électro-neurogrammes (ENG). Le défi technologique principal est l'acquisition de signaux de très faible amplitude (quelques micro-volts) en présence de bruit de l'ordre du millivolt. Pour un tel système d'acquisition, il n'est pas possible de dissocier l'électrode de l'électronique de recueil et du traitement.

Nous avons développé un premier prototype de circuit de recueil permettant d'optimiser la sensibilité de l'électrode aux signaux nerveux traversant le nerf et en réduisant l'influence des sources de bruit et parasites. Le principe est d'effectuer un filtre Laplacien entre un pôle central et n pôles environnants. Nous avons proposé et réalisé avec l'aide de la société MXM une nouvelle architecture d'électrode (voir figure 3.34) qui permette de mettre en place le filtrage Laplacien (par exemple $V_{rec} = V_0 - \frac{\sum_{i=1}^6 V_i}{6}$) entre le pôle central (potentiel V_0) et les 6 pôles qui l'entourent (potentiels $V_1, V_2, V_3, V_4, V_5, V_6$).

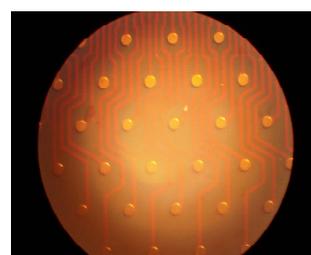
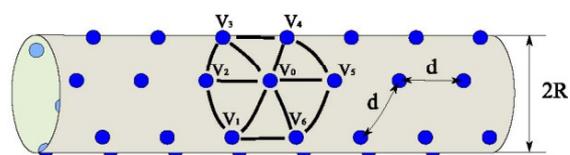


Figure 3.34 – Électrode Cuff Multipolaire à base de symboles hexagonaux

Pour pouvoir recueillir le signal de ces électrodes et implanter le calcul du Laplacien, nous avons conçu un amplificateur à deux étages. Le premier étage est un étage de faible gain (10) mais présentant un très faible bruit ($<0.7\mu\text{V}$) en entrée, et permettant de calculer le filtre Laplacien au plus près des électrodes pour rejeter au mieux le signal parasite (très faible fréquence) avant d'amplifier le signal résultant. La structure originale développée est basée sur un étage différentiel (une entrée positive et six entrées négatives) où les six transistors utilisés pour les canaux des pôles environnants ont une taille six fois inférieure à celle du transistor pour la voie du pôle central. Les dessins des masques ont été réalisés en appariant tous ces transistors entre eux. Le deuxième étage est un amplificateur d'instrumentation de gain programmable de 100 à

10000. La figure 3.35 montre une vue schématique de ces deux étages et une photo du circuit réalisé. Dans ce circuit, sept amplificateurs complets sont intégrés et leur entrées sont précablées pour permettre de parcourir une électrode de 19 pôles. Du fait d'une erreur de conception sur la source de polarisation, le circuit n'est pas fonctionnel mais nous espérons pouvoir le faire réparer, la réparation consistant à remplacer une fil isolé par une petite résistance.

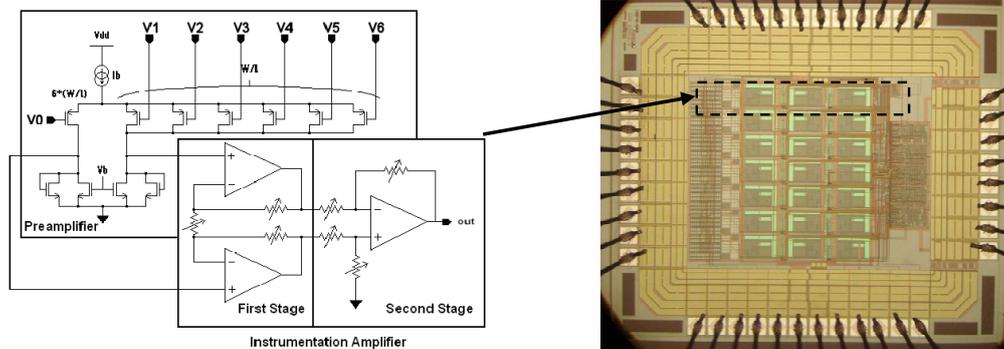


Figure 3.35 – Schéma d'un ampli complet et photo du circuit intégrant 7 amplificateurs précablés

Dès que ce circuit sera fonctionnel, il nous permettra de valider certaines hypothèses prises dans l'élaboration du cahier des charges.

3.3.2.3 Bilan

Sur cette thématique, la thèse de Lionel Gouyet a été soutenue le 17 décembre 2008 et la thèse d'Olivier ROSSEL a débuté en décembre 2008. Dans cette thématique, l'équipe de recherche est aussi constituée d'Yves Bertrand et de Guy Cathébras, Professeurs à l'Université de Montpellier II, Fabien Soulier, Maître de conférences à l'Université de Montpellier II et de David Guiraud, directeur de Recherche INRIA, responsable du projet DEMAR.

Publications associées : [33, 27, 54, 51, 2, 31, 6, 29, 24]

3.3.3 Système d'aide au dépistage et au traitement du glaucome

Cette activité ne s'inscrit pas dans le projet DEMAR. L'objectif ici est de trouver des solutions technologiques innovantes pour une application très précise : l'aide au dépistage et au traitement du glaucome. Cette maladie est relativement fréquente après 40 ans, touchant plus de 2% des personnes de cette tranche d'âge. On estime à 60 millions le nombre de personnes atteintes dans le monde dont un million en France. Le glaucome est une maladie grave qui peut provoquer la cécité complète s'il n'est dépisté et traité à temps.

L'apparition du glaucome est due généralement à une trop forte pression ou variations de Pression Intra-Oculaire (Intra-Ocular Pressure : IOP) qui asphyxie une partie du nerf optique en le comprimant au niveau de la rétine. Une solution pour dépister l'apparition du glaucome consiste donc à mesurer cette pression intra-oculaire. Ensuite, un traitement à base de collyre permet, dans la majorité des cas, de faire diminuer l'IOP si les gouttes sont administrées au bon moment. Malheureusement, ce dépistage n'est fait actuellement que de manière ponctuel chez le praticien au cours d'une visite de contrôle par exemple. Or la pression peut grandement évoluer au cours de la journée et il est indispensable de connaître les moments d'évolution de la pression

pour administrer le traitement au bon moment. L'idéal serait une mesure en continu sur chaque patient pour établir les caractéristiques, forcément spécifiques à chaque individu, de la valeur et de l'évolution de la pression sur une journée d'activité habituelle. Malheureusement, la mesure d'IOP nécessite un équipement relativement lourd ou très complexe à mettre en oeuvre et nécessite l'intervention de l'ophtalmologue.

La solution que nous proposons dans le cadre du projet ANR *MATEO* (Mesure Adaptative de la Tension Oculaire) en partenariat avec l'INSERM, le CEA-LIST, l'ESIEE et la société Ophthalmia, est un système portatif permettant au patient d'effectuer une mesure continue de sa pression oculaire sur 24 heures de manière relativement transparente pour le patient.

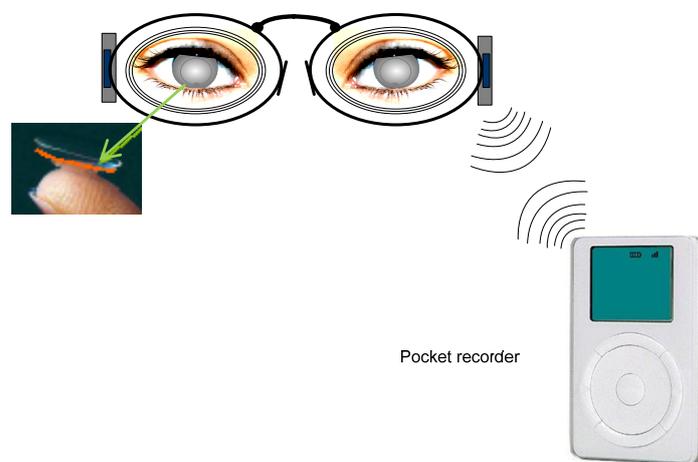


Figure 3.36 – Système de mesure d'IOP portatif

Le système, illustré figure 3.36 est constitué de cinq parties principales :

- une lentille de contact sur laquelle un micro-capteur est intégré : ce capteur est un dispositif passif dont les caractéristiques fréquentielles varient en fonction de la déformation de la cornée sous l'effet de la pression intra-oculaire
- une antenne patch reportée sur le verre de la lunette (une antenne par verre), qui génère un signal RF (Radio-Fréquence) selon le principe de la technologie RFID (Identification par Radio Fréquence),
- un module électronique de conditionnement du signal, accroché aux branches de lunettes (un module par lentille),
- un module électronique assurant la fonction d'enregistreur de poche,
- un logiciel à la disposition des ophtalmologistes, permettant de récupérer les informations mémorisées et d'aider au diagnostic.

Dans ce projet, notre équipe au LIRMM se focalise sur la partie définition des spécifications capteurs et électronique, traitement du signal permettant d'extraire les données utiles, test et sûreté de fonctionnement du système. Au moment de l'écriture de ce manuscrit, plusieurs solutions de capteurs passifs sont à l'étude sachant que, la chaîne d'acquisition fait intervenir plusieurs fonctions de transfert en série comme illustré figure 3.37, et que par conséquent un certain nombre de compromis doivent être évalués pour optimiser l'efficacité du système de détection de la valeur de la pression intra-oculaire et de sa variation.

La fonction F1 transforme l'information de pression en déformation du capteur. Cette fonction

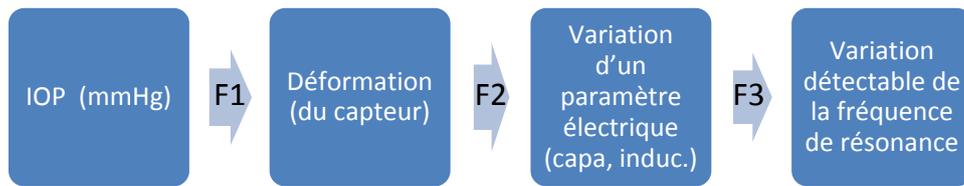


Figure 3.37 – Chaîne de transformation de l'information de pression oculaire

va dépendre principalement de la taille et de la géométrie du capteur. La fonction F2 qui correspond à la transformation de cette déformation en variation de paramètre électrique (capacité, inductance, résistance,...) dépendra fortement du matériau et de la géométrie du capteur sachant que les géométries optimales pour F1 et F2 seront certainement très différentes. Enfin, la fonction F3 permet de transformer cette variation de paramètre en variation de couplage entre le primaire présent sur la lunette et le secondaire présent sur la lentille, et contient le capteur passif. La fonction F3 utilise les techniques classiques de RFID. Reste à choisir les fréquences pour optimiser les gains tout en préservant la sécurité du patient, et en respectant les normes imposées pour les dispositifs médicaux.

A ce jour, nous n'avons rien publié sur ce sujet car les résultats ne sont que préliminaires. De plus, ce projet est très sensible pour la société Ophthalmia qui l'utilise dans sa création en 2009. Sur cette thématique, l'équipe de recherche est aussi constituée de Guy Cathébras, Professeur à l'Université de Montpellier II et de Fabien Soulier, Maître de conférences à l'Université de Montpellier II.

3.3.4 Sûreté de fonctionnement pour système implantables

Dans nos différents projets de recherche autour de l'électronique médicale, nous abordons une grande variété d'applications thérapeutiques et palliatives possibles. Autant dans les applications SEF (Stimulation Électrique fonctionnelle) implantées ou externes du projet DEMAR, que pour des dispositifs comme celui développé dans le cadre du projet MATEO (voir section 3.3.3), il est clair que la sécurité des patients doit être garantie.

Tout dispositif actif amène un risque évident pour le patient particulièrement quand une partie du système est implantée. Il faut donc que le système présente le plus haut niveau de fiabilité et une parfaite innocuité en cas de panne. Malheureusement, le contexte actuel dans lequel les systèmes sont de plus en plus complexes, et dont le développement nécessite l'interaction d'experts de domaines d'activité très différents, n'est pas favorable à la sécurité. Pour illustration, l'implant cochléaire qui n'a actuellement qu'une petite partie active implantée dans le corps et le reste du système externe, devrait dans les versions futures (voir projet *NEUROCOM* à la section 4.2) être un système tout implanté incluant une partie électronique complexe, la batterie et le microphone. Par définition, de tels systèmes sont fortement hétérogènes et la bonne compréhension entre experts de chaque partie n'est pas évidente. Or, la sécurité, et plus généralement la sûreté de fonctionnement, de tels dispositifs passent forcément par une stratégie et une méthodologie commune sur l'ensemble du système.

Dans ce contexte, nous cherchons dans un premier temps à définir une stratégie de gestion des risques au niveau système pour les implants SEF. L'idée est de proposer une organisation et un ensemble de documents homogènes et utilisables par tous. Ces outils permettent de mettre en

évidence les dangers possibles et de proposer des solutions soit pour supprimer les dangers soit pour en minimiser les conséquences. Bien sûr, il existe un grand nombre de techniques d'évaluation et d'optimisation de la Sécurité de Fonctionnement (SdF) pour des systèmes critiques comme l'aérospatial, l'automobile, ... Mais aucune stratégie globale de SdF n'existe pour les systèmes électroniques implantables dans le corps humain. Or ce type d'application est très spécifique et nécessite une approche particulière.

En parallèle de cette étude système, nous nous intéressons plus en détails à une sous-partie du système : la partie électronique analogique.

Après avoir effectué un état de l'art approfondi des techniques existantes de SdF, en essayant d'abord d'évaluer celles qui sont potentiellement transférables pour les applications à des circuits électroniques implantés dans le corps humain, le travail envisagé s'articule autour deux axes :

1. proposer une gestion des risques au niveau système,
2. proposer des solutions d'évaluation quantitative et d'amélioration de la SdF pour les parties électroniques analogiques et mixtes aux plus proche des tissus humains.

3.3.4.1 Gestion des risques niveau système

Un circuit électronique implanté fait nécessairement partie d'un système complet hétérogène qui peut être illustré généralement par la vue conceptuelle figure 3.9 :

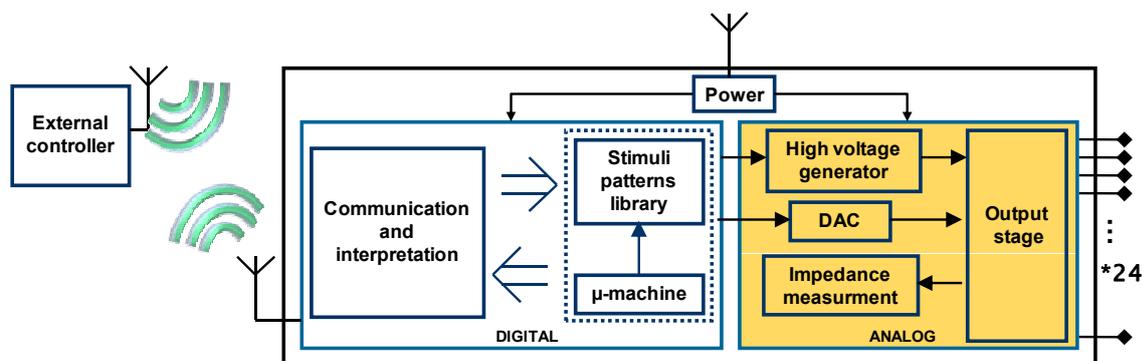


Figure 3.38 – Vue conceptuelle du système

Le système est alors constitué d'un contrôleur externe pour le contrôle dynamique ou le paramétrage de l'implant, de la partie transmission des données et d'énergie et de l'implant proprement dit. A l'intérieur même de l'implant, on retrouve des blocs fortement hétérogènes (stockage d'énergie, calculateur numérique, génération haute tension, partie active analogique). Pour permettre de prendre en compte en même temps la spécificité de chaque bloc et l'interaction entre les blocs, nous sommes en train de proposer un ensemble de bases de données à compléter par les différents experts. Les documents contiennent toujours une partie générale et une partie spécifique. Chaque expert a la responsabilité du remplissage de sa propre partie mais aussi de la partie générale. Autour de ces documents, une organisation séquentielle de la SdF est proposée. Elle suit la séquence présentée figure 3.39.

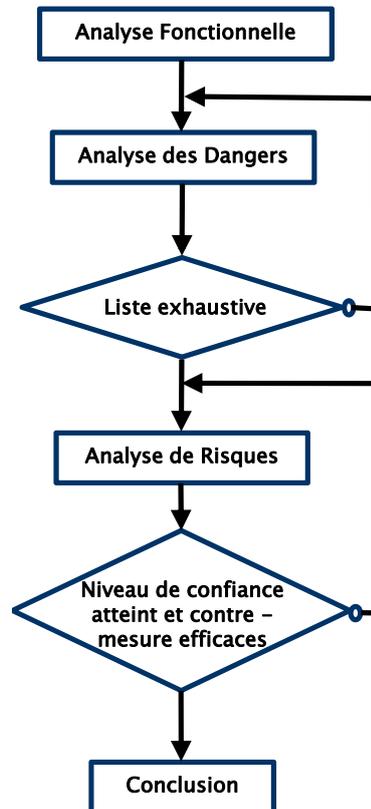


Figure 3.39 – Gestion des risques niveau système

La première étape est l’analyse fonctionnelle du système. C’est cette analyse qui permet de définir le système, son environnement et ses limites extérieures. Les différentes fonctions attendues seront donc précisées et analysées dans tous les contextes réels de la vie du système. Il faudra prendre en compte les contraintes extérieures (choc , agression électromagnétique,...) et les différents intervenants sur le système (chirurgien, praticiens, patient). Cette analyse est essentielle car si les fonctionnalités ne sont pas précisément établies ou si les cas d’utilisation ou les contraintes extérieures ne sont pas listées de manière exhaustive, un danger potentiel non couvert par l’analyse de risque pourrait survenir dans la vie du système. Un autre intérêt de cette analyse est de pouvoir définir des sous-groupes d’experts qui étudieront les sous-fonctions ou les propriétés générales établies durant l’analyse.

La deuxième étape est l’analyse de dangers possibles. La liste établie doit être bien sûr la plus exhaustive possible et couvrir autant les dangers du système global (biocompatibilité, résistance mécanique, propriétés chimiques,...) que les dangers propres aux sous-systèmes ou sous-fonctions (batterie, microcircuit, machine d’état,...).

La dernière étape est l’analyse de risques proprement dite dans laquelle on va associer à chaque danger un niveau de criticité en fonction des conséquences en termes de dangerosité pour le patient et en termes de probabilité estimée de ce danger. Les risques les plus conséquents

seront étudiés pour tenter de diminuer leur gravité ou leur probabilité. L'idée est soit de rendre le système résistant à un danger donné soit être capable de détecter une défaillance, et ensuite soit avoir un fonctionnement dégradé soit être capable de diagnostiquer et de corriger l'erreur. Du point de vue microélectronique, les solutions proposées vont se rapprocher de ce qui peut être fait en auto-test et en autocorrection comme ce qui a été montré dans les sections 3.2.1 et 3.2.5 dans le cas des convertisseurs A/N.

3.3.4.2 Évaluation et amélioration de la SdF pour la partie analogique d'implants SEF

Dans cette partie nous focalisons nos recherches sur la partie analogique, dite partie active, d'un implant SEF comme illustré figure 3.38. Dans cette vue conceptuelle, mais qui couvre la majeure partie des implants existants, on trouve plusieurs blocs fonctionnels qui ont déjà été décrits dans la section 3.3.1 sur les micro-stimulateurs implantables. En termes de sûreté de fonctionnement, cette partie analogique est particulièrement critique car elle est la plus proche, après les électrodes, des tissus humains. En cas de défaillance, le système aura du mal à détecter, et encore plus à bloquer, la propagation de l'erreur vers le nerf ou les fibres musculaires.

Pour assurer un niveau de sécurité optimum de cette partie analogique de l'implant, nous avons mis en place une double approche ascendante et descendante (voir illustration figure 3.40).

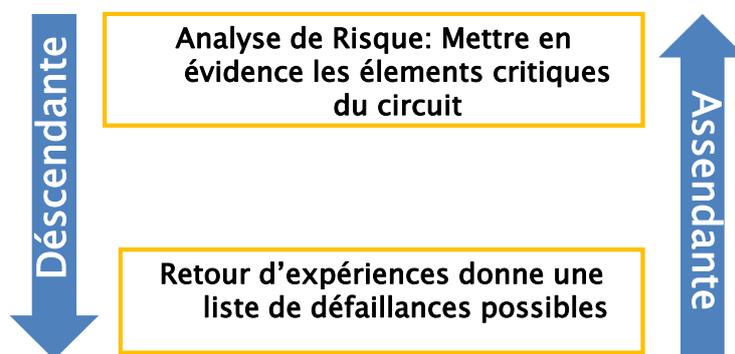


Figure 3.40 – Stratégie proposée

L'approche descendante consiste à décomposer le système en éléments fonctionnels de plus en plus petits en prenant en compte le système, son environnement, ses utilisateurs et ses conditions d'utilisation possibles. Dans chaque sous partie, on va essayer de mettre en évidence les parties du circuit qui seraient les moins résistantes à des scénarios donnés. La vie du circuit est aussi examinée en prenant en compte les différentes étapes : la fabrication, l'implantation et la vie dans le patient. Dans le cas de la partie analogique, on sait, par exemple, qu'un bloc est extrêmement sensible dans la chaîne de transmission de la consigne de stimulation : le level-shifter. Ce bloc a pour fonction de transformer des signaux logiques basse tension (généralement 3 à 5 volts) en signaux logiques haute tension, pour contrôler l'étage de sortie, qui lui travaille forcément en haute tension pour supporter les tension sur les pôles des électrodes comme expliqué à la section 3.3.1.2. Une erreur de "conversion" à des conséquences dramatiques et imprévisibles puisque c'est une commande numérique qui voit par exemple un 1 logique transformer en 0 logique à l'intérieur d'une trame. Ces blocs sont extrêmement

sensibles, notamment parce que la haute tension n'est pas constante mais ajustée, pour minimiser la consommation du circuit en fonction du courant de stimulation désiré. La figure 3.41 présente un exemple de structure de level-shifter.

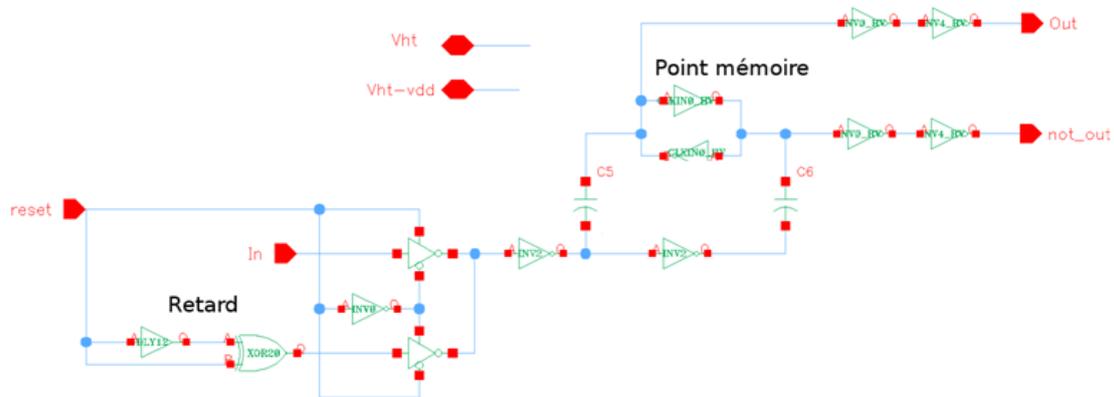


Figure 3.41 – Level-shifter et module d’auto-test associé.

Un exemple de solution simple pour sécuriser ce type de circuit est illustré figure 3.42. Il consiste à lui associer une structure abaisseuse de tension construite sur un principe complètement différent et beaucoup plus simple et de faire une comparaison en logique basse tension entre le signal d’entrée et le signal après une double conversion de niveau logique.

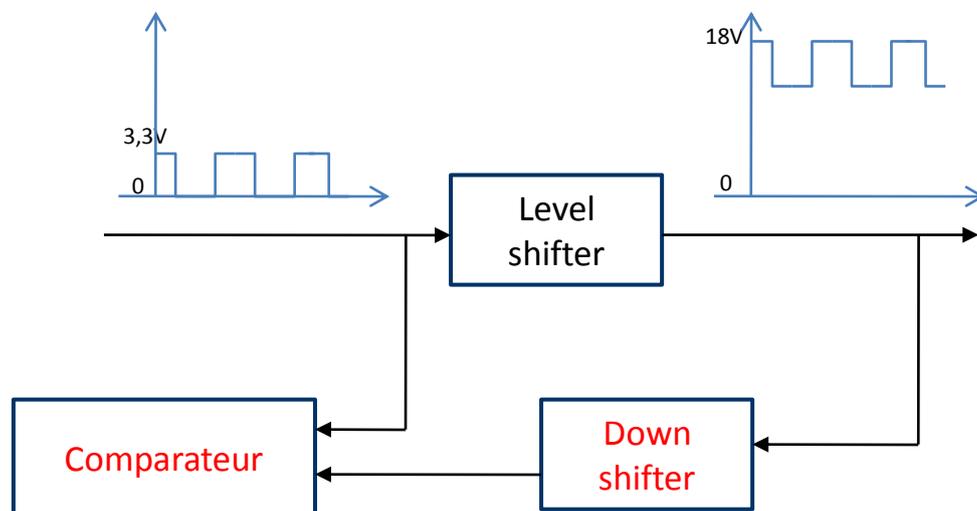


Figure 3.42 – Level-shifter et module d’auto-test associé.

L’approche ascendante est une analyse basée sur le retour d’expérience de nos partenaires industriels (principalement MXM) pour mettre en avant des défaillances du système déjà observées et évaluer quels seraient les blocs qui pourraient être responsables de ces défaillances ou intégrer des systèmes qui détecteraient, en amont, ces défaillances. Pour illustration, des points très sensibles des implants SEF sont la connectique entre les microcircuits et les électrodes et la qualité des contacts électrode-tissus. Le bloc “mesure d’impédance” a donc été rajouté dans nos micro-stimulateurs pour permettre de détecter les défaillances ou les dérives possibles du

système, à partir des sorties de l'ASIC jusqu'au contact électrode-nerf, comme détaillé à la section 3.3.1.4.

3.3.4.3 Bilan

Nous avons initié les recherches sur cette thématique en 2008 avec la thèse de Fanny Le Floch qui doit être soutenue en 2011. Dans cette thématique, l'équipe de recherche est aussi constituée d'Yves Bertrand et de Guy Cathébras, Professeurs à l'Université de Montpellier II, Fabien Soulier, Maître de conférences à l'Université de Montpellier II et de David Guiraud, directeur de Recherche *INRIA*, responsable du projet *DEMAR*.

Publications associées : [52, 26, 25]

3.4 Conception de circuits pour communications haut débit

Ce projet est né au milieu de l'année 2002 d'une collaboration de recherche avec *ALCATEL Recherche & Innovation* sur le thème de la conception de circuits intégrés hautes performances pour les communications optiques à très haut débit. *ALCATEL R&I* disposait d'une technologie de pointe, mais un travail de fond restait nécessaire pour conforter la méthodologie de conception sur les circuits de base nécessaires à l'application. Il s'agit de cellules digitales élémentaires (multiplexeurs, bascules D, diviseur statique, ...) dont les fréquences de fonctionnement doivent atteindre ou dépasser 50 GHz. Bien que ce sujet soit assez loin de mes activités principales de recherche, il est un très bon exemple d'applications pour lesquelles les marges de conception sont extrêmement réduites et se rapproche de ce que l'on peut trouver en conception analogique. Nous avons trois objectifs dans ce travail :

- développer un indicateur technologique pour pouvoir comparer la technologie Alcatel avec les technologies concurrentes,
- développer les cellules élémentaires de tout système de communication,
- définir une méthodologie de conception dédiée aux circuits fonctionnant à très haute fréquence.

L'indicateur technologique était un diviseur de fréquence basé sur une bascule flip-flop rebouclée comme illustrée figure 3.43.

La structure est simple en termes de nombre de transistors mais les performances recherchées en termes de fréquence rendent cette conception particulièrement délicate. Après avoir mis en concurrence différentes logiques - CML (Current Mode Logic), ECL (Emitter Coupled Logic) et E2CL (Emitter Emitter Coupled Logic), ECL-FF (Emitter Coupled Logic Feed-Forward)- nous avons proposé l'architecture présentée figure 3.44. Cette architecture permet de diviser des signaux à 60GHz et de très faible amplitude qui place ce diviseur au plus près de l'état de l'art de l'époque[38].

Nous nous sommes ensuite intéressés à la conception d'un élément incontournable en télécommunication numérique : le circuit de récupération de l'horloge et des données (Clock and Data Recovery : CDR). Comme illustré figure 3.45, ce circuit est constitué d'une bascule Flip-Flop pour la mise en forme du signal et d'un circuit récupérateur d'horloge.

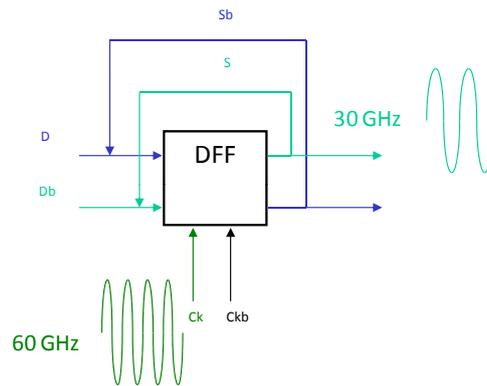


Figure 3.43 – Diviseur de fréquence

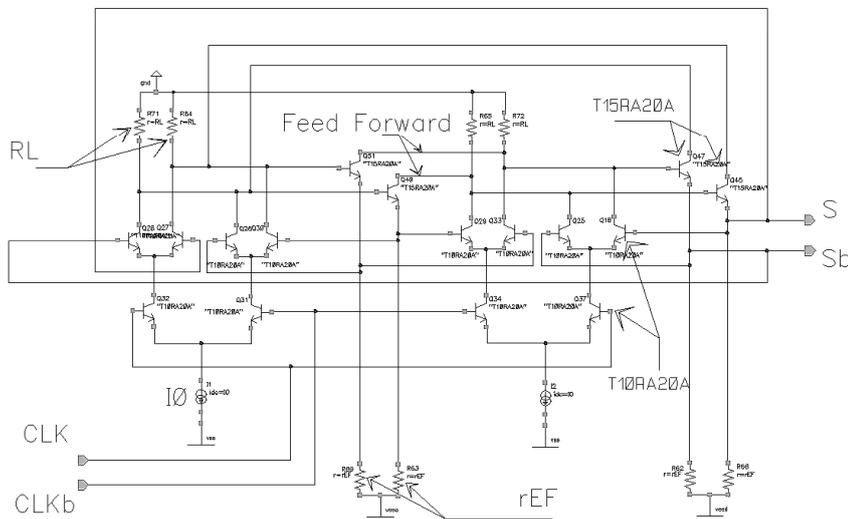


Figure 3.44 – Schématique du diviseur de fréquence

L'élément le plus sensible du circuit de récupération d'horloge est le détecteur de phase. Après une étude rapide des différentes architectures envisageables pour les fréquences et les niveaux rencontrés, nous nous sommes concentrés sur la conception d'un détecteur de phase de type Alexander dont le schéma bloc est rappelé figure 3.46. Sans vouloir rentrer dans le détail de l'architecture interne de détecteur de phase. On est typiquement dans le cas de circuits aux limites des performances offertes par une technologie. Le travail développé consiste à étudier des architectures nouvelles permettant d'améliorer de manière significative la qualité des signaux obtenus. Nous avons par exemple obtenu un doubleur de fréquence basé sur le principe de la cellule de Gilbert, qui fonctionne parfaitement avec des signaux de 50 GHz en entrée, et permet de générer un signal à 100 GHz.

Ces travaux ont fait l'objet d'une publication dans la conférence IMS en juin 2004 [41]. Être capable de faire fonctionner un tel circuit à plusieurs dizaines de gigahertz implique des contraintes extrêmes en termes d'équilibrage et d'adaptation des signaux d'entrée et de sortie, mais aussi à l'intérieur de la structure. Nous avons mis en avant tout un ensemble de procédures et de règles à respecter, autant au niveau de la conception que pendant le dessin des masques. La figure 3.47 montre le layout final de ce détecteur de phase.

Chapitre 4

Diffusion des connaissances et valorisation de la recherche

4.1 Production scientifique

Type de publication	nbr
Ouvrages ou chapitres d'ouvrage	5
Revue avec comité de lecture	14
Brevets	3
Articles ou présentations invités	6
Conférences internationales de rang A	21
Conférences internationales de rang B	27
Publications pour l'enseignement et la diffusion de l'information	5
Rapports de contrat	10
Autres	5

Table 4.1 – Bilan de la production scientifique

4.2 Contrats de recherche

Le tableau 4.2 présente une synthèse par période des différents contrats de recherche que j'ai menés ou auxquels j'ai participé.

4.2.1 Projets Européens

– *Titre du Contrat* : "MEDEA+ **ASSOCIATE** : Advanced Solutions for SOC Innovative Testing in Europe" <http://www.medeas.org/>

Sujet de Recherche dans le Contrat : "Test intégré de Convertisseurs Analogique-Numérique"

Nature du Contrat : CEE, programme EUREKA

Période et Durée : 2001 à 2004, 3 ans

Partenaires du Contrat : Alcatel, INESC, Infineon, Philips, TECMIC et Temento Systems

Montant du Contrat pour le LIRMM : 280 k€/an, soit un montant total de 840 k€.

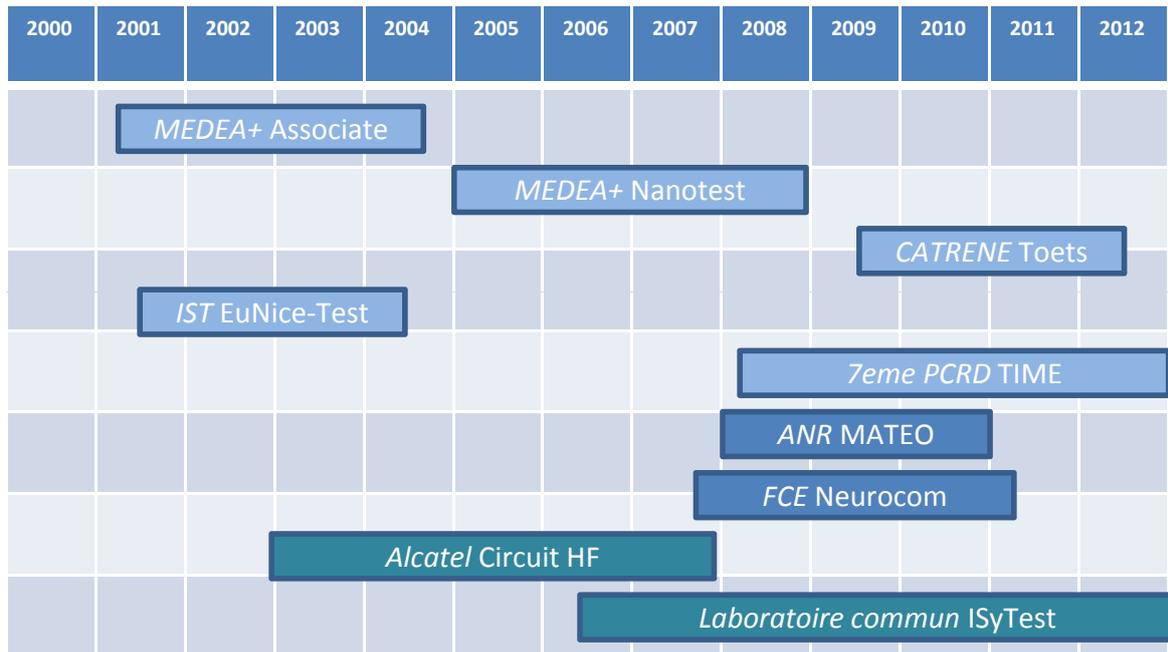


Table 4.2 – Bilan des contrats de recherche

Responsabilité dans le Contrat : participant

– *Titre du Contrat : “MEDEA+ 2A702 **NanoTEST** : Test Technology for Nano CMOS Processes”*
<http://www.medeas.org/>

Sujets de Recherche dans le Contrat : “Test intégré et autoréparation de Convertisseurs Analogique-Numérique”, “test niveau système”.

Nature du Contrat : CEE, programme EUREKA

Période et Durée : 2005 à 2008, 4 ans

Partenaires du Contrat : AMIS, CEA-LETI, INESC, Infineon, Philips, Q-Star, STMicroelectronics, TECMIC, Temento Systems et TIMA

Montant du Contrat pour le LIRMM : 300 k€/an, soit un montant total de 1,2 M€.

Responsabilité dans le Contrat : Participant pour le LIRMM.

– *Titre du Contrat : “CATRENE **TOETS** : Towards One European Test Solution”* <http://www.catrene.org/>

Sujets de Recherche dans le Contrat : “Test sans fil”, “auto-calibration de CAN”, “Test indirect RF”, “Sûreté de Fonctionnement pour implants électroniques”

Nature du Contrat : CEE, programme CATRENE

Période et Durée : 2009 à 2012, 3 ans

Partenaires du Contrat : NXP, Infineon, Philips, Q-Star Test, Semicon, STMicroelectronics, Temento, iRoC, ATMEL, E2V Semiconductor, JTAG Technologies, Salland Engineering, Advanced Digital Design, Tomorrow Options Microelectronics, Ophtimalia, CEA-LETI, CEA-LIST, University of Twente, LIRMM, TIMA, KULEUVEN, SUPELEC, IMSE-CNM, INESC Porto.

Montant du Contrat pour le LIRMM : 350 k€/an, soit un montant total de 1,05 M€.

Responsabilité dans le Contrat : participant pour le LIRMM

- *Titre du projet* : **EuNICE-Test** : "European Network for Initial and Continuing Education in VLSI/SOC Testing using remote ATE facilities".
Nature du Contrat : CEE, programme IST.
Période et Durée : 2001-2003, 2 ans.
Participants : LIRMM, UPC Barcelone, Polytechnico de Turin, UST de Stuttgart, IGS de Ljubljana.
Montant du Contrat pour le LIRMM : 105 k€.
Responsabilité dans le Contrat : participant pour le LIRMM
- *Titre du projet* : **TIME** : "Transverse, Intrafascicular Multichannel Electrode system for induction of sensation and treatment of phantom limb pain in amputees
Sujets de Recherche dans le Contrat : "Conception du microstimulateur".
Nature du Contrat : 7ème PCRD
Période et Durée : 2008-2012, 5 ans.
Participants : MXM, SSSA (Italie), SMI à l'université d'Aalborg (DK), IMTEK à l'université de Freiburg, UAB à l'université de Barcelone, UCBM à l'université de Rome.
Montant du Contrat pour le LIRMM(DEMAR) : 400 k€.
Responsabilité dans le Contrat : participant pour le LIRMM (DEMAR)

4.2.2 Projets nationaux

- *Titre du projet* : **NEUROCOM** : "Implant Cochléaire "tout implanté" pour la réhabilitation des surdités sévères et profondes "
Sujets de Recherche dans le Contrat : "Conception du microstimulateur multicanaux", "mesure objective : PEA".
Nature du Contrat : FCE
Période et Durée : 2007-2011, 4 ans
Participants : Sorin Group/LA medical, hopitaux de Marseille et Montpellier, SOMMEPP, INRIA (DEMAR), MXM.
Montant du Contrat pour le LIRMM(DEMAR) : 475 k€.
Responsabilité dans le Contrat : participant pour le LIRMM (DEMAR)
- *Titre du projet* : **MATEO** : "Mesure Adaptative de la Tension Oculaire "
Sujets de Recherche dans le Contrat : "conception niveau système".
Nature du Contrat : FCE
Période et Durée : 2007-2011, 4 ans
Participants : Sorin Group/LA medical, hopitaux de Marseille et Montpellier, SOMMEPP, INRIA (DEMAR), MXM.
Montant du Contrat pour le LIRMM(DEMAR) : 108 k€.
Responsabilité dans le Contrat : Responsable pour le LIRMM

4.2.3 Contrats directs avec des industriels

- *Titre du contrat* : "**Institute for System Testing : ISyTest**" : Laboratoire commun LIRMM/NXP
Nature du Contrat : Equipe Commune CNRS (sous contrat quadriennal)

Période et Durée : 2006-2010, 4 ans (renouvelable)

Participants : NXP semiconducteur, LIRMM (CNRS/UMII)

Budget (hors permanents) : 3 M€/4ans

Responsabilité dans le Contrat : Responsable administratif et scientifique

– **Titre** : " **Conception de circuits intégrés hautes performances** "

Nature du Contrat : Contrat CNRS

Période et Durée : 2001-2004, 3 ans

Participants : Alcatel (Marcoussi) et LIRMM.

Montant du Contrat pour le LIRMM : 120k€

Responsabilité dans le Contrat : participant pour le LIRMM

4.3 Collaborations avec les laboratoires universitaires

La liste donnée ici ne tient compte que des collaborations ayant données lieu à l'encadrement commun d'étudiants, ou à des publications communes.

– **Titre** : "Communication intra corporelle"

Institution : LIRMM/ IREENA–Université de Nantes Résumé

Participant laboratoire extérieur : Pr S. Toutain

– **Titre** : "Test de circuits RF"

Institution : LIRMM / ENSICAEN

Participant laboratoire extérieur : Dr J. M. Dutertre

– **Titre** : "Convertisseurs Auto-calibrés"

Institution : LIRMM / IMS bordeaux

Participants laboratoire extérieur : Pr D. Dallet, Dr L. Bossuet

– **Titre** : "Test indirect"

Institution : LIRMM / TIMA Grenoble

Participants laboratoire extérieur : S. Mir, H. Stratigopoulos

– **Titre** : "Analog-to-Digital Converters testing"

Institution : LIRMM / Université de Porto Allegre (Brésil)

Participants : Pr. M. Lubaszewski, Université de Porto Allegre

– **Titre** : "Outils de conception pour circuits intégrés analogiques"

Institution : LIRMM / L2MP - Polytech' Marseille

Participants : Pr J.M Portal

– **Titre** : "Convertisseur DC-DC"

Institution : LIRMM / ENSICAEN

Participants : Dr J. M. Dutertre

4.4 Collaborations avec l'industrie

La liste donnée ici ne tient compte que des collaborations ayant données lieu à l'encadrement commun d'étudiants, ou à des publications communes.

- *Titre* : "Test intégré et compensation de convertisseurs Analogique/Numérique"
Société : NXP Semiconductors (Caen)
Participants : B. Agnus, V. Fresnaud, P. Cauvet
- *Titre* : "Test de System in Package (SiP)"
Société : NXP Semiconductors (Caen)
Participant : P. Cauvet
- *Titre* : "Générateur de nombres aléatoires"
Société : STMicroelectronics (Rousset)
Participant : P.Y. Liardet
- *Titre* : " Electrode neurale multipolaire et stimulateur électrique"
Société : MXM (sophia-antipolis)
Participants : J.B Lerat, G. Rosanis
- *Titre* : "Compensation intégrée de convertisseurs Analogique/Numérique"
Société : NXP Semiconductors (Caen)
Participants : B. Agnus, V. Fresnaud, P. Cauvet
- *Titre* : "Test au niveau système de circuits intégrés complexes"
Résumé : Société : NXP Semiconductors (Caen)
Participant : P. Cauvet
- *Titre* : "Test sans fil circuits et systèmes intégrés"
Société : NXP Semiconductors (Caen)
Participants : P. Cauvet et H. Fleury
- *Titre* : "Sûreté de fonctionnement des implants cochléaires de nouvelle génération"
Société : MXM
Participant : N. Veau
- *Titre* : "Conception de circuits intégrés hautes performances"
Société : Alcatel
Participant : A. Konczykowska

4.5 Transferts technologiques

4.5.1 Test de circuits et systèmes intégrés

Plusieurs techniques ou méthodes de test développées dans le cadre du laboratoire ISyTest ont été transférées pour le test de produits de NXP Semiconductors.

Les deux exemples, les plus significatifs sont :

- les techniques d'autocalibration appliquées au CAN par post-traitement numérique. Un prototype a été présenté en 2006 au MEDEA+ Forum à Monaco dans le cadre du projet européen Nanotest,
- la technique de test ANC (Analog Network of Converters) qui est en cours de transfert sur les testeurs industriels. Un prototype a été présenté en 2007 au MEDEA+ Forum à Budapest dans le cadre du projet européen Nanotest.

4.5.2 Microélectronique médicale

Dans le cadre de la collaboration étroite entre le projet DEMAR et la société MXM, plusieurs transferts technologiques ont été faits ou sont en cours. Nous avons, par exemple, développé avec MXM le socle technologique de leur futur implant cochléaire. Un autre transfert important en cours est le système de stimulation et de recueil présenté section 3.3 basé sur un système distribué d'unités de stimulation et de recueil.

Chapitre 5

Rayonnement scientifique

5.1 Comité de programme

Je fais ou j'ai fait partie du comité des programmes des conférences suivantes :

- Design, Automation and Test in Europe (DATE : <http://www.date-conference.com/>), depuis 2008,
- International Conference on Embedded Systems & Critical Applications (ICESCA : <http://www.icesca08.com/>), depuis 2008,
- Symposium on Integrated Circuits and Systems Design (SBCCI : <http://www.lasic.ufrn.br/chiponthedunes2009/sbcci/>), depuis 2008,
- International Conference on Design & Technology of Integrated Systems in Nanoscale Era (DTIS : <http://www.dtis-conference.net/>), depuis 2005,
- Electronic Circuits and Systems Conference (ECS : <http://aladin.elf.stuba.sk/~ecs2007/>), depuis 2005,
- Workshop on Test of Wireless Circuits and Systems (WTW : <http://www.wtw2009.tec.ufl.edu/>), depuis 2005,
- International Conference on Very Large Scale Integration The Global System on Chip Design & CAD Conference (VLSI-SOC : <http://www.inf.ufrgs.br/vlsisoc/>), depuis 2004,
- Integrated Circuit Test Workshop (ICTW), en 2004,
- International Conference on Automation, Quality&Testing, Robotics (AQTR : <http://aqtr.ro/>), depuis 2003.

5.2 Organisation des conférences

- Responsable de l'organisation d'une session spéciale "*advanced biomedical circuits and systems*", basée sur des articles invités, à IEEE International Conference on Design & Technology of Integrated Systems in Nanoscale Era, (DTIS'10), hammamet, Tunisie, 23-25 janvier 2010,
- Responsable de l'organisation d'une session spéciale "*biomedical circuits and systems*", basée sur des articles invités, à IEEE International Symposium of Electronic Design, Test & Applications, (DELTA'10), Ho Chi Minh City, Vietnam, 13-15 janvier 2010,

- Local Chair de l'IEEE International Workshop on Silicon Debug and Diagnosis, (SDD'04) Ajaccio, France, 26-27 mai 2004.

J'ai fait partie du comité d'organisation des conférences et workshops internationaux suivants :

- IEEE European Test Symposium (ETS'04), Ajaccio, France, 23-26 mai 2004,
- IEEE International Workshop on Silicon Debug and Diagnosis (SDD'04) Ajaccio, France, 26-27 mai 2004,
- International Conference on Field Programmable Logic and Application (FPL'02), Montpellier (La Grande-Motte), France 2-4 septembre 2002,
- IFIP International Conference on Very Large Scale Integration The Global System on Chip Design & CAD Conference (VLSI-SOC'01), Montpellier, France, 3-5 décembre 2001,
- IEEE International Mixed-Signal Test Workshop (IMSTW'00), Montpellier (La Grande-Motte), France, 15-17 juin 2000.

5.3 Modérateur de session

J'ai été modérateur de session dans les conférences suivantes :

- IEEE VLSI Test Symposium (VTS'09), Santa Cruz, USA, mai 2009,
- IEEE International Mixed-Signal Test Workshop (IMSTW'08), Vancouvers, Canada, juin 2008,
- IEEE International Test Conference (ITC'06), San Francisco, octobre 2006,
- IEEE Workshop on Test of Wireless Circuits and Systems (WTW'05), Cannes, France, 26-27 juin 2005,
- IEEE European Test Symposium (ETS'04), Ajaccio, France, 23-26 mai 2004,
- IEEE International Mixed-Signal Test Workshop (IMSTW'03), Séville, Espagne, 25-27 juin 2003,
- IFIP International Conference on Very Large Scale Integration The Global System on Chip Design & CAD Conference (VLSI-SOC'01), Montpellier, France, 3-5 décembre 2001.

5.4 Comité de lecture

Je fais partie du comité de lecture des revues et conférences suivantes :

- IEEE Design & Test Journal (D&T),
- Microelectronics Journal (MEJO),
- Journal ACM Transactions on Design Automation of Electronic Systems (TDAES),
- International Test Conference(ITC),
- European Test Symposium (ETS),
- Journal of Electronic Testing : Theory and Applications (JETTA),
- Journal IEEE Transactions on COMPUTER-AIDED DESIGN of Integrated Circuits and Systems (TCAD),
- VLSI Test Symposium (VTS),
- Electronic Letters,

- Mixed-Signal Test Workshop(IMSTW),
- International IEEE Northeast Workshop on Circuits & Systems(NEWCAS),
- Conference of the International Functional Electrical Stimulation Society(IFESS),
- Design, Automation and Test in Europe (DATE).

5.5 Participation à des jurys de thèse

- "Conception et évaluation d'une technique de BIST pour un amplificateur faible bruit RF", Jeanne Madeleine Tongbong. Thèse de 3^{ème} cycle, Institut Polytechnique de Grenoble. Soutenance le 7 décembre 2009.
- "Acquisition et traitement de signaux physiologiques pour application en stimulation électrique fonctionnelle", Lionel Gouyet. Thèse de 3^{ème} cycle, Université Montpellier II. Soutenance le 17 décembre 2008.
- "Etude d'une instrumentation embarquée pour utilisation en test de systèmes électroniques", Vincent Kerzérho. Thèse de 3^{ème} cycle, Université Montpellier II. Soutenance 22 avril 2008.
- "Etude de systèmes de compensation pour Convertisseur Analogique/ Numérique de hautes performances", Vincent Fresnaud. Thèse de 3^{ème} cycle, Université Bordeaux I. Soutenance le 7 avril 2008.
- "Conception de circuits intégrés pour les télécommunications optiques en technologie TBdH InP", Vincent Puyal. Thèse de 3^{ème} cycle, Université Montpellier II . Thèse soutenue le 10 juillet 2007. Actuellement en Post doctorat au LASS à Toulouse.
- "Conception d'un stimulateur implantable dédié à la stimulation électrique fonctionnelle", Jean-Denis Técher. Thèse de 3^{ème} cycle, Université Montpellier II. Thèse soutenue le 9 novembre 2005.
- "Etude des corrélations entre paramètres statiques et dynamiques des CAN en vue d'optimiser leur flot de test", Mariane Comte. Thèse de 3^{ème} cycle, Université Montpellier II. Soutenance le 11 juillet 2003.
- "Test Dynamique des Convertisseurs Analogiques/Numériques Rapides : Caractérisation par analyse temporelle, test industriel et considérations instrumentales", Djamel Haddadi. Thèse de 3^{ème} cycle , Université Bordeaux I. Soutenance le 19 décembre 2002.

5.6 Prix scientifiques

- **Best paper award ETS2006**, "Analog network of converters", a DfT solution for testing several ADCs and DACs embedded in a SiP V. Kerzérho, P. Cauvet, S. Bernard, F. Azaïs, M. Comte and M. Renovell. [36]
- **Best paper award (premium award) 2007 pour la revue IET Computers and Digital Techniques 2007**, "Fully Digital Test Solution for a Set of ADCs and DACs Embedded in SiP or SoC"V. Kerzérho, P. Cauvet, S. Bernard, F. Azaïs, M. Comte and M. Renovell. [8]
<http://www.theiet.org/about/scholarships-awards/achievement/premium-what.cfm>.

5.7 Expertises

5.7.1 Expertise technique : Test d'un SoC de la société ATMEL

J'ai effectué l'expertise du test d'un SoC développé par la société *ATMEL* et incorporé dans un appareil de mesure du glucose conçu et distribué par la société *Roche*. Il est clair que cette mesure est extrêmement critique pour la sécurité du patient qui va s'injecter la quantité d'insuline adaptée à la quantité de glucose mesurée. L'expertise consistait à évaluer la pertinence et l'efficacité des techniques utilisées pour tester les parties analogiques et mixtes du circuit de mesure. Partant de cette étude, j'ai proposé plusieurs stratégies permettant d'améliorer la qualité et la fiabilité du circuit. Cette expertise s'est déroulée sur 114 heures réparties sur plusieurs mois.

5.7.2 Expertise pour la Fondation Canadienne pour l'Innovation

La Fondation Canadienne pour l'Innovation (FCI) est un organisme autonome créé par le gouvernement du Canada afin de financer des infrastructures de recherche. Son mandat est d'accroître la capacité des universités, des lycées, des hôpitaux et des établissements de recherche canadiens à but non lucratif à poursuivre des activités de recherche et de développements technologiques d'envergure internationale produisant des bénéfices pour les Québécois et les Canadiens. Depuis 2008, je fais partie du comité d'experts et j'ai évalué plusieurs dossiers de projets de grande envergure (de quelques centaines de milliers de Dollars Canadiens jusqu'à plusieurs millions de Dollars Canadiens).

5.8 Présentations invitées

En dehors des 5 articles invités [25, 24, 26, 27, 28] détaillées en sectionIV, j'ai été invité à faire les interventions suivantes :

- Journée thématique GDR SIP/SoC 2008.
Serge Bernard et Nicolas Veau (MXM), "Dependability for Implanted devices", mars 2009.
- Journée thématique GDR SIP/SoC 2008.
Serge Bernard, "Challenges du test des circuits analogiques et mixtes", avril 2008.
- Présentation de NXP et ISyTest au salon européen de la recherche et de l'innovation
<http://www.european-research-exhibition.com/>
Serge Bernard, Jean-Noël Palazin et Philippe Cauvet, "Testing electronic chips : innovation for multimedia, automotive and healthcare applications", Paris, juin 2008.
- Séminaire interne à NXP Semiconductors (100 participants).
Serge Bernard, "Test sans fil : Une utopie?", février 2006.
- Séminaire interne à Philips R&D Eindhoven.
Serge Bernard, "BIST for Mixed-Signal Circuits", juin 2004.

Chapitre 6

Animation scientifique

6.1 Responsable du laboratoire commun LIRMM/NXP

Le laboratoire commun ISyTest (Institute for System Testing : <http://www.lirmm.fr/isytest/>) entre le LIRMM et NXP Semiconductors (anciennement Philips semiconductors) a été officiellement créé en mai 2006. C'est un laboratoire multisite (Caen-Montpellier). L'objectif du laboratoire est de proposer des méthodes et techniques innovantes dans le domaine du test de systèmes intégrés (SoC et SiP). Il est défini sur la base d'un contrat de 4 ans renouvelable et piloté par le responsable, assisté d'un comité scientifique constitué d'experts scientifiques NXP et LIRMM et d'un comité directeur qui valide les choix du responsable et du comité scientifique en termes d'axes de recherches et de budget associé. Depuis sa création, j'ai été nommé responsable de ce laboratoire commun et je suis co-directeur scientifique avec Philippe Cauvet.



En octobre 2007 a eu lieu le premier comité directeur réunissant à Montpellier les responsables des entités (DSA CNRS, Directeur du site de Caen et responsables scientifiques de NXP, responsable UMII et directeur du LIRMM) pour l'évaluation annuelle du laboratoire commun. Les conclusions de ce comité directeur ont été très positives au vu des bons résultats de la structure en termes de recherche et de partenariat. Je vais donc continuer à gérer cette structure.

En octobre 2008, le deuxième comité directeur a eu lieu à Caen. Les retours du comité ont été là encore très positifs et ISyTest est cité comme exemple par NXP dans ces communications. Malgré le contexte très difficile que vit la société NXP semiconductors (4400 suppressions d'emploi fin 2008), le partenaire industriel maintient sa confiance à ISyTest.

Dû aux restructurations actuelles de NXP, le programme scientifique d'ISyTest va évoluer au cours de l'année 2009 et nous prévoyons un accroissement des activités du laboratoire avec

une ouverture vers des partenaires extérieurs universitaires et industriels.

D'un point de vue qualitatif et quantitatif, le laboratoire a trois brevets en cours de dépôt, a eu quatre présentations invités dans des conférences internationales, quatre articles dans des revues scientifiques et huit papiers dans des conférences ou workshops internationaux. Deux de ces publications ont été primées (meilleure contribution : best paper award à la conférence ETS 2006 et meilleur article 2007 de la revue IET Computers and Design Techniques journal). D'autre part, plusieurs techniques développées dans le cadre du laboratoire commun sont en cours de transfert pour le test de produit de NXP. Enfin, ISyTest a permis la création d'une PME en 2009 sur des thèmes dérivés de l'activité du laboratoire.

6.2 Animation nationale

- Membre du GDR SiP-SoC depuis 2007
- Membre de l'AS radio logicielle de 2002 à 2003 (RTP SoC)
- Membre de l'AS TestSoC 2002 à 2003(RTP SoC)

6.3 Encadrement

6.3.1 Encadrement de Post doctorants

- **Ziad Noun** (50%), " test sans fil", en collaboration avec Ophthimalia. Financement sur projet TOETS. D'août 2009 à août 2010.
- **Olivier Potin** (50%), "Systèmes de compensation pour convertisseurs Analogique-Numérique". Financement sur projet TOETS. de juillet 2009 à décembre 2009.
- **Vincent Kerzérho** (50%), "test indirect de systèmes microélectroniques mixtes et RF", en collaboration avec NXP semiconductors et TIMA dans le cadre du laboratoire commun ISy-Test. Financement sur projet Nanotest. D'août 2008 à juillet 2009.
- **Jean-Denis Técher** (50%), " génération et gestion de l'alimentation haute tension dans des systèmes d'implant SEF", en collaboration avec MXM dans le cadre du projet DEMAR. Financement postdoc industriel INRIA. De novembre 2005 à novembre 2006.

6.3.2 Encadrement de Doctorants

Le tableau 6.1 fait le bilan de mes encadrements de doctorant en précisant le taux d'encadrement le type de bourse et la situation actuelle.

- **Fanny Le Floch**, "Sûreté de Fonctionnement pour circuits intégrés implantables dans le corps humain". Thèse de 3^{ème} cycle, Université Montpellier II. Soutenance prévue en 2012. (*voir section 3.3.4*)

Résumé : Dans le cas de certaines maladies ou d'accidents médullaires, la communication entre le système nerveux central (cerveau et moelle épinière) et certains muscles ou organes peut être altérée. De nos jours, une solution pour restaurer certaines fonctionnalités motrices ou sensorielles est la Stimulation Électrique Fonctionnelle (SEF) qui consiste à stimuler les neurones ou les muscles par un courant électrique. Dans ce cadre, le projet DEMAR a conçu

Nom	Taux	Titre	Fin	finance ment	Situation actuelle
Fanny Le Floch	50%	Sûreté de Fonctionnement pour circuits intégrés implantables dans le corps humain	2012	MENRT	Thèse en cours
Olivier Rossel	35%	Conception de circuits intégrés pour l'interprétation de signaux nerveux	2011	MENRT	Thèse en cours
Ziad Noun	35%	Étude d'une instrumentation embarquée pour utilisation en test de systèmes électroniques	2010	CIFFRE	Post-doctorat
Lionel Gouyet	50%	Acquisition et traitement de signaux physiologiques pour application en stimulation électrique fonctionnelle	2008	MENRT	Post-doctorat
Vincent Kerzérho	60%	Étude d'une instrumentation embarquée pour utilisation en test de systèmes électroniques	2008	CIFFRE	Post-doctorat
Vincent Fresnaud	50%	Étude de systèmes de compensation pour Convertisseur Analogique/ Numérique de hautes performances	2008	CIFFRE	Ingénieur NXP
Vincent Puyal	50%	Conception de circuits intégrés pour les télécommunications optiques en technologie TBdH InP	2007	CIFFRE	Post-doctorat
Jean-Denis Técher	50%	Conception d'un stimulateur implantable dédié à la stimulation électrique fonctionnelle	2005	MENRT	Ingénieur de Recherche
Mariane Comte	30%	Etude des corrélations entre paramètres statiques et dynamiques des CAN en vue d'optimiser leur Flot de Test	2003	MENRT	Maitre de Conférence

Table 6.1 – Bilan des encadrements de doctorants

différents circuits de stimulation et de recueil de signaux physiologiques. L'objectif de cette thèse est d'étudier différentes solutions permettant d'augmenter la fiabilité et la sûreté de fonctionnement (SdF) de ces circuits. L'idée est d'une part de proposer une stratégie générale au niveau système et d'autre part de rechercher au niveau circuit des solutions aussi génériques que possible pour augmenter la fiabilité et la sécurité aux niveaux circuit et système.

- **Olivier Rossel**, "Conception de circuits intégrés pour l'interprétation de signaux nerveux". Thèse de 3^{ème} cycle, Université Montpellier II. Soutenance prévue fin 2011. (voir section 3.3.2) *Résumé* : Dans le cadre du projet DEMAR, l'objectif de cette thèse est de développer un système de recueil utilisable sur les nerfs périphériques. Les signaux obtenus pourront soit être utilisés dans la boucle de retour d'un système de stimulation électrique fonctionnelle (SEF) soit simplement permettre de proposer un outil de recueil utilisable par nous mêmes ou des partenaires pour l'étude physiologique des nerfs et du système nerveux périphérique. Ce système de recueil est constitué d'une électrode et d'un circuit électronique. L'électrode doit être conçue avec le souci d'améliorer la sélectivité spatiale pour permettre de discriminer les informations provenant de différentes fibres à l'intérieur du nerf. L'électronique associée

permet le pré-traitement des signaux mesurés sur les pôles de l'électrode et l'amplification du signal utile.

- **Ziad Noun**, "Étude d'une instrumentation embarquée pour utilisation en test de systèmes électroniques". Thèse de 3^{ème} cycle, Université Montpellier II en collaboration avec la société NXP semiconductors. Soutenance prévue en janvier 2010. Actuellement en post-doctorat au LIRMM. (voir section 3.2.3)

Résumé : Le test de production va être confronté à une limite technologique due aux contraintes du test sous pointes sur testeur. En effet, les technologies de contact par pointes sont limitées actuellement à un espacement qui ne permettra plus de suivre les tailles attendues pour les futurs circuits. De plus, les techniques classiques de contact à pointes limitent, de part leur encombrement, le nombre de puces pouvant être testées en parallèle sur wafer. Une autre limitation de ce type de test vient des parasites créés par les contacts durant le test qui ne permettent pas une qualité de test niveau wafer suffisante pour les circuits RF pour lesquels le moindre changement d'adaptation modifie le fonctionnement. Enfin, dans le cas particulier des System-in-Package (SiP), constitués de plusieurs puces nues assemblées dans un même package, la procédure classique requiert plusieurs contacts successifs sur les mêmes lots ce qui a un effet destructif sur ces plots. Dans ce cadre, le test sans fil semble bien sûr une solution attirante puisqu'elle supprime par définition tous les contacts durant la phase de test. Un autre avantage potentiel du test sans fil est de pouvoir adresser le test durant la vie du circuit alors que le circuit n'est pas directement accessible. Ce type de test in-situ pourrait par exemple être une grande avancée pour le test et le diagnostic de circuit enfouis dans l'automobile ou implanter dans le corps humain. L'objectif de cette thèse est de proposer une architecture complète de test sans fil. Les points clefs de cette architecture sont le protocole de communication avec une couche physique, une couche MAC et une couche application dédiés et une interface de test permettant de gérer et d'appliquer proprement dit le test au niveau du circuit.

- **Lionel Gouyet**, "Acquisition et traitement de signaux physiologiques pour application en stimulation électrique fonctionnelle". Thèse de 3^{ème} cycle, Université Montpellier II. Thèse soutenue le 17 décembre 2008. Actuellement en post-doctorat au CHU de Montpellier en collaboration avec MXM (Sophia). (voir section 3.3.2)

Résumé : Les recherches menées dans le domaine des implants médicaux visent à améliorer la qualité de vie de patients atteints de pathologies diverses. Dans ce cadre la Stimulation Électrique Fonctionnelle (SEF) consistant à produire des contractions artificielles de groupes musculaires par stimulation électrique sur les voies nerveuses ou sur les muscles, est une solution utilisée pour contourner certains dysfonctionnements du système neural. Le Projet DEMAR (DEambulation et Mouvement ARTificiel), dont les axes ont pour objectifs la compréhension et la quantification objective des désordres moteurs d'une part, et la recherche de solutions palliatives des déficiences motrices d'autre part, a développé en 2005 par le travail de thèse de Jean-Denis Técher, un stimulateur électrique implantable. Afin de pouvoir contrôler ce système de stimulation en boucle fermée, nous avons développé les deux premiers étages d'une chaîne d'acquisition de signaux neurophysiologiques sensoriels. Ces étages sont l'électrode cuff multipolaire à distribution hexagonale et l'amplificateur faible-bruit à calcul de moyenne pondérée.

- **Vincent Kerzérho**, "Étude d'une instrumentation embarquée pour utilisation en test de systèmes électroniques". Thèse de 3^{ème} cycle, Université Montpellier II en collaboration avec la

société NXP semiconductors. Thèse soutenue le 22 avril 2008. En post-doctorat à l'Université de Twente, Pays-Bas. (*voir section 3.2.2*)

Résumé : Une nouvelle méthode de test pour les convertisseurs ADC et DAC embarqués dans un système complexe a été développée en prenant en compte les nouvelles contraintes affectant le test. Ces contraintes, dues aux tendances de design de systèmes, sont un nombre réduit de point d'accès aux entrées/sorties des blocs analogiques du système et une augmentation galopante du nombre et des performances des convertisseurs intégrés. La méthode proposée consiste à connecter les convertisseurs DAC et ADC dans le domaine analogique pour n'avoir besoin que d'instruments de test numériques pour générer et capturer les signaux de test. Un algorithme de traitement du signal a été développé pour discriminer les erreurs des DACs et ADCs. Cet algorithme a été validé par simulation et par expérimentation sur des produits commercialisés par NXP. La dernière partie de la thèse a consisté à développer de nouvelles applications pour l'algorithme.

- **Vincent Fresnaud**, "Étude de systèmes de compensation pour Convertisseur Analogique/Numérique de hautes performances". Thèse de 3^{ème} cycle, Université Bordeaux I en collaboration avec la société NXP semiconductors. Thèse soutenue le 7 avril 2008. Actuellement ingénieur chez NXP Semiconductors. (*voir section 3.2.5*)

Résumé : De nombreuses recherches tentent d'améliorer les convertisseurs actuels en proposant de nouvelles architectures et de nouveaux procédés de fabrication. Cette évolution est longue et doit s'exécuter étape par étape. Cependant, il est possible d'utiliser des méthodes permettant de compenser les lacunes d'un composant donné avant de franchir l'étape suivante. Ces méthodes de compensation permettent de repousser les limites du composant en attendant la maturité de la génération suivante. Elles permettent également de mieux comprendre les défauts actuels et d'orienter les concepteurs vers des pistes prometteuses pour leurs recherches. C'est dans ce contexte que nous proposons d'étudier l'effet d'une compensation par table de correspondance uni-dimensionnelle (LUT 1D) sur un convertisseur de type à repliement et à interpolation. Afin de remplir cette table de correction, nous proposons d'utiliser et d'optimiser un algorithme d'extraction des non-linéarités du composant, basé sur une analyse fréquentielle du signal converti. Les paramètres sensibles de la méthode de compensation sont ensuite étudiées au travers d'expérimentations menées sur un convertisseur spécialement conçu pour cet objectif. Nous établissons qu'il est possible de calculer une table de correspondance suffisamment robuste indépendamment des variations de fréquences et de température. Finalement, nous proposons une nouvelle méthode d'extraction des paramètres spectraux d'un signal à partir de ressources de calculs très faibles. Cette étude permet d'entamer le processus d'embarquement de la compensation au sein du convertisseur. Cette finalité fait partie des perspectives liées à cette thèse.

- **Vincent Puyal**, " Conception de circuits intégrés pour les télécommunications optiques en technologie TBdH InP". Thèse de 3^{ème} cycle, Université Montpellier II en collaboration avec la société Alcatel (recherche et développement) France. Thèse soutenue le 10 juillet 2007. Actuellement en post-doctorat au LAAS, à Toulouse. (*voir section 3.4*)

Résumé : Ce travail présente différentes avancées réalisées en terme de conception haut-débit à travers la technologie TBdH InP du laboratoire III-V Alcatel-Thales. L'objectif principal est l'amélioration des performances de vitesse des circuits afin d'améliorer la capacité des réseaux optiques mais aussi d'en réduire (ou tout au moins d'en maîtriser) leur coût. Cette recherche de fréquence de fonctionnement (ou de débit) maximum s'appuie sur une améliora-

tion du flot de conception ainsi que sur différentes innovations de conception aussi bien d'un point de vue du schéma électrique que de l'implantation. Dans un premier temps, des cellules de base furent réalisées : un diviseur statique à 60 GHz (et au-delà), un doubleur de fréquence à 120 GHz et un ou exclusif à 40 Gb/s. Dans un second temps, il est apparu capital de valider des fonctions numériques de plus en plus complexes, dans un objectif d'une forte intégration au niveau des blocs émetteur/récepteur. Pour cela, dans l'optique d'une réalisation d'un circuit de récupération de l'horloge et des données, un détecteur de phase numérique fut conçu puis validé à 40 Gb/s. Les différents circuits réalisés puis mesurés montrent des performances circuits à l'état-de-l'art et pourront être intégrés dans les futurs réseaux optiques à 40 Gb/s.

- **Jean-Denis Técher**, "Conception d'un stimulateur implantable dédié à la stimulation électrique fonctionnelle". Thèse de 3^{ème} cycle, Université Montpellier II. Thèse soutenue le 9 novembre 2005. Actuellement Ingénieur de Recherche au CNRS. (*voir section 3.3.1*)

Résumé : Les recherches menées dans le domaine des implants médicaux visent à améliorer la qualité de vie de patients atteints de pathologies diverses. Dans ce cadre la Stimulation Electrique Fonctionnelle (SEF) consistant à produire des contractions artificielles de groupements musculaires par stimulation électrique sur les voies nerveuses ou sur les muscles, est une solution utilisée pour contourner certains dysfonctionnements du système neural. Le Projet DEMAR (DEambulation et Mouvement ARTificiel), dont les axes ont pour objectifs la compréhension et la quantification objective des désordres moteurs d'une part, et la recherche de solutions palliatives des déficiences motrices d'autre part, a développé en 2005 par le travail de thèse de Jean-Denis TECHER, un stimulateur électrique implantable. Afin de pouvoir contrôler ce système de stimulation en boucle fermée, nous avons développé les deux premiers étages d'une chaîne d'acquisition de signaux neurophysiologiques sensoriels. Ces étages sont l'électrode cuff multipolaire à distribution hexagonale et l'amplificateur faible-bruit à calcul de moyenne pondérée.

- **Mariane Comte**, "Etude des corrélations entre paramètres statiques et dynamiques des CAN en vue d'optimiser leur Flot de Test". Thèse de 3^{ème} cycle, Université Montpellier II. Thèse soutenue le 10 juillet 2003. Actuellement Maître de Conférences à l'Université Montpellier II. (*voir section 3.2.4*)

Résumé : Le test industriel des Convertisseurs Analogique-Numérique (CAN) consiste à évaluer les paramètres fonctionnels du composant testé afin de les comparer aux limites de tolérance fixées par le cahier des charges. On distingue ainsi les circuits sains des circuits défectueux. Les paramètres caractéristiques d'un CAN sont de deux types : statiques et dynamiques. Chaque type de paramètre nécessite une procédure de test dédiée (en général une analyse statistique et une analyse spectrale respectivement), si bien que le coût du test devient prépondérant dans le prix de revient des CAN, et plus généralement des circuits mixtes analogiques et numériques. Ainsi, réduire le coût du test des CAN est un point critique dans le contexte du test des circuits mixtes. L'objectif de cette thèse est d'étudier la faisabilité d'une procédure de test uniquement basée sur l'analyse spectrale, permettant de tester l'ensemble des performances d'un CAN. A cette fin, nous avons fait une investigation des corrélations qui existent entre les paramètres statiques et dynamiques. L'étude repose sur la simulation d'un modèle d'environnement de test des CAN. Tout d'abord, nous montrons que l'influence de chaque erreur statique sur les paramètres dynamiques est suffisamment significative pour envisager de détecter les erreurs statiques rédhibitoires à travers la mesure des performances dynamiques. Ensuite, nous évaluons l'efficacité statistique de détection des circuits défec-

tueux pour plusieurs flots de test alternatifs reposant seulement sur l'analyse spectrale. Nous avons enfin développé un outil qui permet d'adapter l'évaluation de l'efficacité statistique de chaque flot à un contexte de test réel.

6.3.3 Encadrement d'ingénieurs en CDD

- **Jean-Baptiste Lerat** (20%), "réalisation des circuits de stimulation version 3 et 4 : Convertisseur Numérique-Analogique, Étage de sortie, module de référence". Financement sur projet DEMAR, ingénieur associé INRIA, de 2005 à 2007 (2 ans).
- **Loïc Bourguine** (33%), "réalisation des circuits de stimulation version 5 et mesure d'impédance", Financement sur projet Neurocom, de novembre 2007 à novembre 2009 (2 ans).

6.3.4 Encadrement d'étudiants de Master II

- **Fanny Le Floch** (80%), "Sûreté de Fonctionnement pour circuits intégrés implantables dans le corps humain". Stage de recherche de Master II en collaboration avec MXM (Sophia Antipolis), Université Montpellier II, juin 2008.
- **Wissem Yahyaoui** (100%), "Optimisation du flot de test". Stage de recherche de Master II en collaboration avec NXP (Caen), Université Montpellier II, juin 2007.
- **Rabie Zerhouni** (80%), "Système d'autocorrection pour CAN". Stage de recherche de Master II en collaboration avec NXP (Caen), Université Montpellier II, juin 2007.
- **Omar Chakib** (80%), "Test niveau système de System-in-Package". Stage de recherche de Master II en collaboration avec NXP (Caen), Université Montpellier II, juin 2007.
- **Sébastien Balas** (50%), "Test sans contact pour System In Package". Stage de recherche de DEA en collaboration avec Philips (Caen), Université Montpellier II, juin 2005.
- **Lionel Gouyet** (50%), "Conception de systèmes intégrés implantables pour l'acquisition de signaux physiologiques". Stage de recherche de DEA, Université Montpellier II, juin 2005.
- **Frédéric Bessene** (100%), "Test de Convertisseurs Analogique/Numérique". Stage de recherche de DEA, Université Montpellier II, juin 2005.
- **Vincent Kerzérho et Vincent Georgel** (100%), "Architecture de test intégré pour convertisseurs Analogique/Numérique". Stage de recherche de DEA en collaboration avec Philips (Caen), Université Montpellier II, juillet 2004.
- **Samir Mahtouk** (50%), "Générateur de nombres aléatoires". Stage de recherche en collaboration avec ST Microelectronics (Rousset), Université Montpellier II, juillet 2004.
- **Nicolas Jouven**, (100%) "Étude des Pompes de charge". Stage de recherche de DEA, Université Montpellier II, juillet 2003.
- **Hamid Maskini** (100%), "Conception de générateurs de signaux sinusoïdaux intégrés". Stage de recherche de DEA, Université Montpellier II, juillet 2003.
- **Sébastien Tanguy** (100%), "Test de convertisseurs Analogique/Numérique". Stage de recherche de DEA, Université Montpellier II, juillet 2002.
- **Christophe Quarré** (100%), "Implantation de générateurs de signaux analogiques linéaires auto-calibrés en vue du test intégré de convertisseurs analogique/numérique". Stage de recherche de DEA, Université de Provence Aix-Marseille, juillet 2002.

6.3.5 Encadrement d'élèves d'ingénieurs

J'ai eu l'occasion d'encadrer plus d'une vingtaine d'étudiants de dernière année de *Polytech' Montpellier* dans le cadre de projets de fin d'étude. Le travail demandé était toujours en lien direct avec mon activité de recherche, l'idée étant de former les étudiants sur des problèmes concrets de recherche et que leur travail bénéficie au final aussi à l'équipe de recherche.

Chapitre 7

Activité d'enseignement

7.1 Formation sur le test industriel des circuits

La formation en microélectronique doit obligatoirement comporter une formation sur le test des circuits intégrés. Dans le but de former les étudiants en microélectronique, la Coordination Nationale pour la Formation en Micro et nanoélectronique (*CNFM*) a créé le Centre de Ressources de Test (*CRTC*). Le *CRTC* se propose d'assurer une formation au test fondamental et industriel des circuits intégrés en formation universitaire, pour les étudiants et élèves-ingénieurs des pôles *CNFM*, mais aussi en formation continue, dans le cadre du partenariat *CRTC/Verigy*.

Le *CRTC* est implanté au LIRMM dans une équipe de chercheurs et enseignants chercheurs. Il dispose d'un testeur de composants multimédia haut de gamme, le HP 93000. Chaque pôle *CNFM* dispose d'un serveur avec l'ensemble des logiciels de test pour permettre le développement des programmes de test en local. Le test physique du composant se fait par connexion sur le testeur du *CRTC* à travers le réseau *RENATER*.

Depuis 2001, je fais partie du groupe de formation *CRTC* et j'ai personnellement assuré plusieurs formations universitaires (Élèves ingénieurs, Master et doctorants 1ère année).

7.2 Enseignement Universitaire

Chaque année, j'assure plusieurs cours-conférences sur les thèmes de la microélectronique, le test et la microélectronique médicale. Ces cours-conférences qui représentent un total annuel de 24h de cours, ont été présentés à l'École Normale Supérieure de Cachan dans le cadre de la préparation à l'agrégation, dans le cadre de la 4ème année d'École d'ingénieur de Polytech' Montpellier, le Master 2 de l'Université Montpellier II, le Centre de Microélectronique de Provence et le Master SIP de l'ENSICAEN. En parallèle, j'ai assuré 20h de TD en Master I EEA en conception de circuits intégrés et 20h d'encadrement de projets en 5ème année de Polytech' Montpellier.

7.2.1 État de l'art des circuits microélectroniques (1-3h)

Ce cours existe en deux versions plus ou moins approfondies. Une version d'initiation d'une heure présentée en Licence à l'UMII et une version de trois heures plus complète dispensée en

préparation d'agrégation de génie électrique à l'ENS Cachan.

Le cours se décompose en trois grandes parties :

Fabrication. Cette partie est centrée sur la technologie CMOS. Une vue rapide des différentes étapes principales de fabrication est présentée. Quelques informations sont données sur les salles blanches et les contraintes associées.

Conception. Cette partie présente l'historique des méthodes de conception des années 70 à nos jours. L'objectif ici est de montrer l'évolution de l'organisation des équipes de concepteurs, des techniques et des outils permettant de répondre à la demande croissante en complexité et en hétérogénéité.

Évolution. Cette partie présente les évolutions technologiques et économiques de la microélectronique. L'objectif est ici de sensibiliser les étudiants à la complexité technologique demandée et aux contraintes très fortes du marché de la microélectronique.

7.2.2 Conception et test des Convertisseurs Analogique-Numérique et Numérique-Analogique (3h)

Ce cours donne une vue d'ensemble des architectures et des techniques de test des Convertisseurs Analogique-Numérique et Numérique-Analogique. Il est dispensé en 4^{ème} année du département *ERII de Polytech' Montpellier* et *Master II EEA* à l'Université Montpellier II. Ce cours est logiquement découpé en trois parties principales :

CAN. Avant de décrire les architectures, une partie du cours est dédiée aux rappels sur les notions d'échantillonnages et les calculs de l'erreur de quantification et du bruit de quantification associé. Par la suite, toutes les architectures ne sont pas présentées mais seulement les plus classiques ou celles qui sont de plus en plus utilisées (double rampe, approximations successives, Sigma-Delta, pipeline, folding et interpolation,...). Les avantages et inconvénients de chaque architecture sont mis en avant et une synthèse des utilisations possibles en fonction de l'application est présentée en fin de partie.

CNA. La partie sur les Convertisseurs Numérique-Analogique présente les architectures les plus classiques en mettant en évidence les trois types d'architectures disponibles : à sources unitaires, à sources pondérées et Sigma-Delta.

Test. L'objectif de cette partie est de permettre aux étudiants de connaître les techniques de base utilisées en industrie pour tester les convertisseurs.

7.2.3 Les systèmes de stimulation électrique implantés (3h)

Ce cours de trois heures est dispensé au *Centre de Microélectronique de Provence* de l'*Ecole des Mines* de Saint Etienne. Son objectif est de donner une vue d'ensemble des solutions technologiques présentes ou futures permettant de restaurer, au moins partiellement, certaines fonctions motrices ou sensorielles déficientes à l'aide d'implants électroniques. Le cours est centré sur les solutions d'implants utilisant le principe de la Stimulation Électrique Fonctionnelle. Pour chaque pathologie, un petit rappel en physiologie et des données statistiques sont présentés. Chaque solution de SEF associée est présentée du point de vue technique de stimulation, chirurgie d'implantation,... Les solutions proposées sont organisées dans l'ordre de la plus mature à la plus "futuriste" :

Insuffisance cardiaque. Dans cette partie une vue très générale des pacemakers et défibrillateurs est présentée.

Trouble du mouvement. Autour des pathologies telles que Parkinson ou le tremblement essentiel, la stimulation en cerveau profond (*DBS* : Deep Brain Stimulation) est présentée.

Surdité. Cette partie se focalise sur les implants cochléaires.

Douleur. Toutes les solutions “électroniques “ de réduction des douleurs chroniques ne sont pas présentées ici. Nous illustrons uniquement le propos avec une solution basée sur la neuromodulation des racines sacrées.

Incontinence. Quelques solutions commerciales sont basées sur la stimulation sélective du détrusor et du sphincter. Sans rentrer dans les détails de ces techniques qui ne sont pas encore assez matures, nous présentons ici la problématique générale.

Cécité. Cette partie présente différents axes de recherche. Pour chaque solution (stimulation du nerf optique, rétine artificielle, stimulation direct du cortex), nous présentons les défis à relever et les principales équipes de recherche travaillant sur tel ou tel axe.

Paralysie. Cette pathologie due le plus souvent à une lésion de la moelle épinière est historiquement l’axe de recherche du projet *DEMAR* dont je fais partie. Je présente dans cette partie les défis propres à la *SEF* pour cette pathologie et les approches envisagées dans notre équipe.

7.2.4 Testabilité des SoC et SiP (3h)

Deux versions un peu différentes sont dispensées au *CMP* et à l’*ENS Cachan*, mais les points clés restent identiques. L’objectif ici est de sensibiliser les étudiants à la nécessité technique et économique du test de systèmes intégrés. Partant de cette nécessité, nous détaillons les problématiques propres du test des circuits numérique, analogique, des systèmes mixtes (analogique et numérique), voire de systèmes fortement hétérogènes (micro-système, analogique, Radio Fréquence, numérique,...). Pour la partie sur les *SiP* (System-in-Package), le cours est décomposé comme suit :

- Pourquoi le test ?
- Cause de la défaillance ?
- Test Stratégie
- Test des puces nues (test des CI numériques, test des CI analogiques et Mixtes, test des MEMS, test des CI RF).
- Test des interconnexions
- Test niveau système

7.2.5 Test des circuits mixtes (3-12h)

Deux versions assez différentes de ce cours sont proposées. Une version plus axée sur la sensibilisation des problématiques et des défis à relever est dispensée sur trois heures aux étudiants de 5^{ème} année de *Polytech’ Montpellier*. La deuxième version plus technique est donnée en binôme avec Philippe Cauvet de *NXP semiconductors* au Master SIP de l’*ENSICAEN*. Il est dispensé sur 12 heures de cours plus travaux dirigés. Le support de cours vient principalement d’un tutorial

industriel que Philippe Cauvet propose en interne chez NXP auquel j'ai rajouté des parties plus académiques.

L'objectif de la deuxième version très technique de ce cours est de permettre aux étudiants qui sont généralement des ingénieurs en formation permanente, de connaître les techniques existantes et utilisées en industrie pour le test des blocs fonctionnels mixtes classiques : Boucle à verrouillage de phase, Convertisseurs,...

Le côté opérationnel est privilégié ici et les techniques présentées sont mises en oeuvre dans le cadre de *TP* utilisant des programmes sur PC permettant d'émuler des conditions réalistes.

Troisième partie

Perspectives

À court terme... la continuité

Comme peuvent le témoigner les bilans d'encadrement figure 2.1 ou la répartition des publications, mes trois activités de recherche n'ont pas eu la même importance en termes d'implication scientifique durant mes huit ans d'activité comme chargé de recherche. Je ne compte poursuivre que mes deux axes de recherche principaux.

Test de circuits et systèmes analogiques et mixtes

Ma thématique principale et historiquement la plus ancienne, le test des circuits et systèmes intégrés, s'est grandement appuyée sur la très forte collaboration avec l'industrie. A mon entrée au CNRS, j'ai décidé de privilégier la collaboration vers un seul industriel majeur de la microélectronique, NXP semiconducteurs, malgré les fortes demandes de collaborations, en particulier de ST microelectronics. La collaboration avec NXP, basée avant tout sur des personnes et des compétences scientifiques, a permis la création du laboratoire *ISyTest* axé sur la thématique du test et les techniques d'aide à la conception dérivée des techniques de test.

A court terme nous prévoyons, dans le cadre d'*ISyTest*, d'accentuer nos efforts sur le thème des techniques de test indirect (voir section 3.2.4) qui consistent à estimer des spécifications du cahier des charges du circuit ou du système en mesurant d'autres paramètres plus facile à obtenir. Ces techniques seront appliquées aux circuits RF pour lesquels les performances proprement RF sont très difficilement mesurables au niveau wafer. Sur cette thématique, nous montons une collaboration tripartite avec le laboratoire TIMA. Cette entrée d'un partenaire universitaire comme collaborateur sur une thématique précise est un des objectifs du laboratoire commun. Chaque partenaire va amener ses compétences et son expérience. Dans le cas du test indirect : NXP semiconductors apportera les cas d'étude concrets et ses travaux antérieurs sur le test dit DC-RF qui consiste à estimer les paramètres RF à l'aide de simples mesures de polarisation ; le TIMA nous fera profiter de son expertise pour développer les algorithmes de corrélation et les outils logiciels permettant de relier les paramètres mesurés aux paramètres estimés ; et pour notre part, nous travaillerons sur la recherche de nouveaux stimuli d'entrée, sur le choix des points de mesure et les signatures associées permettant d'améliorer l'efficacité de l'approche test indirect.

Sur la thématique du test des convertisseurs, nous prévoyons d'accentuer nos efforts sur la thématique des techniques d'auto-calibration. Partant de nos travaux en test intégré (voir section 3.2.1) et technique d'auto-calibration (voir section 3.2.5), nous voulons développer une structure d'auto-calibration embarquée. Cette structure permettrait au circuit ou au système de s'adapter, tout au long de sa vie dans l'application, à un nouvel environnement, à une modification des paramètres de l'application ou au simple vieillissement du circuit. Ce sujet est un

bon illustrateur de l'évolution de mes activités de recherche. Celles-ci s'éloignent progressivement de la thématique du test de production pour lequel le temps et l'équipement de test sont les points essentiels pour aller vers l'utilisation du test pour l'amélioration d'autres caractéristiques du circuit (rendement, qualité, durée de vie, fiabilité, sécurité...).

Enfin, nous prévoyons une nouvelle activité dans le cadre du laboratoire commun autour du test de systèmes NFC (Near Field Communication / communication à champ proche) et RFID (Radio Frequency Identification / Identification par fréquence radio). L'objectif est double : d'une part, développer des solutions de test intégré permettant de tester le système (circuit, antenne et système d'adaptation) durant son assemblage pour s'assurer que le système complet est fonctionnel et d'autre part, proposer des solutions d'auto-calibration du système permettant d'adapter l'antenne à la charge qui dépendra nécessairement de l'environnement de l'application.

Microélectronique Médicale

Dans le cadre du projet DEMAR, nous allons, à court terme, focaliser nos efforts sur la valorisation de nos résultats. En effet, sur cette thématique, nous avons développé plusieurs circuits non exploités en termes de publications. Du point de vue microélectronique pure, nous avons développé :

- trois architectures de CNA utilisant des systèmes de réduction de l'influence des variations de process et des solutions de commutation des sources de courant permettant de réduire les pics de courant parasite en sortie,
- trois types d'étage de sortie, permettant d'amplifier et de répartir le courant de stimulation vers des pôles de l'électrode. Ces pôles étant configurables par l'étage de sortie en anode ou en cathode,
- une solution de mesure d'impédance sur vingt quatre voies. Le circuit sera livré début 2010,
- un circuit de recueil et l'électrode associée pouvant traiter, en parallèle, l'information d'une trentaine de pôles d'une électrode multipolaire.

Du point de vue physiologique, nous devons valider si ces circuits peuvent permettre la définition et l'utilisation d'électrode virtuelles. Ce que nous appelons électrodes virtuelles sont des pôles d'électrode générés virtuellement par une combinaison de pôles réels et d'un ratio constant de courant entre ces pôles. Pour illustrer très simplement, imaginons trois pôles placés aux sommets d'un triangle avec une répartition du courant équivalente vers chaque pôle, le pôle virtuel serait alors le barycentre du triangle. Toujours pour la stimulation électrique fonctionnelle mais sur la partie recueil, nous allons poursuivre nos travaux sur la définition du cahier des charges. L'idée ici est de définir le plus clairement possible les caractéristiques attendues pour le circuit de recueil avant d'étudier la partie purement microélectronique. Pour la validation du cahier des charges et les premières étapes de conception du dispositif de recueil, notre équipe devrait recevoir le soutien d'un postdoctorant en 2010.

Dans le cadre du projet MATEO (voir section 3.3.3), nous allons poursuivre nos travaux sur le développement du système et le traitement du signal nécessaire à l'extraction des données physiologiques. Nous allons aussi entamer un travail de sûreté de fonctionnement autour du dispositif.

L'activité sur la Sûreté de Fonctionnement (SdF) pour les applications médicales va justement être renforcée. Trois cas d'études sont envisagés sur cette thématique : les circuits et systèmes

de stimulation électrique fonctionnelle dans le cadre du projet *DEMAR*, le système de dépistage et d'aide au traitement du glaucome dans le cadre des projets *TOETS* (voir section 4.2) et *MATEO* (voir section 3.3.3) et un système sous forme de gélule ingérable ou implantable pour la mesure de température en collaboration avec la société *Ophthimalia*. A court terme, nous allons essayer de proposer une stratégie de SdF générique. L'idée ensuite est de coupler cette étude système avec une étude locale comme illustrée section 3.3.4. Du point de vue système, les points clefs ici vont être la modélisation du système, et la définition, la modélisation, l'étude de l'influence et la propagation des dangers dans le système. Au niveau circuit nous n'allons pas uniquement chercher à rendre la partie électronique robuste, mais l'objectif est d'utiliser l'électronique du système comme superviseur permettant de détecter, diagnostiquer et corriger des erreurs créées par d'autres parties du systèmes suite ou non à des attaques extérieures.

À moyen terme... l'ouverture

Pour la thématique du test de circuits et systèmes intégrés mixtes, nous étendrons encore notre domaine de recherche en nous éloignant encore du test de production. L'idée étant de couvrir toute la vie du circuit ou systèmes et non de se focaliser sur la partie production. Plus on se rapproche de l'application finale et plus les solutions risquent d'être dédiées. Nous essayerons dans ce contexte de faire émerger des parties génériques utilisables pour un large éventail d'applications et permettant de couvrir toute la vie du système. Nous rechercherons dans les solutions de test, d'auto-test et d'auto-correction des aides à la conception, à la réalisation de circuit, à l'amélioration de la qualité. Ces solutions pourront aider à proposer des solutions globales et efficaces en sûreté de fonctionnement pour les applications sensibles (médicale, automobile...).

Sur la thématique microélectronique médicale, plusieurs évolutions sont potentiellement envisageables. Une des évolutions importantes déjà initiée dans le cas des études sur l'électronique de recueil est de chercher à être présent le plus tôt possible dans la définition du cahier des charges physiologique. Il est clair que je n'ai pas les compétences nécessaires en physiologie mais l'idée est de participer à cette définition avec les partenaires réellement experts pour l'application envisagée. Partant de ce cahier des charges physiologique, et parce que nous avons participé modestement à sa définition, nous pourrions établir plus facilement le cahier des charges du microcircuit associé et travailler sur la conception, le test et la sûreté de fonctionnement d'un tel circuit. D'autre part, après réalisation des microcircuits, je souhaite que nous puissions obtenir une plus grande implication dans la partie validation expérimentale in vivo (animale ou humaine) du système complet de microstimulation (logiciel, communication, contrôle numérique et ASIC). Cette partie expérimentation est très consommatrice en énergie et en temps et il sera nécessaire de trouver les moyens humains et logistiques pour être efficace.

À long terme... la convergence

Dans le cas particulier de la microélectronique médicale, les applications seront certainement plus nombreuses avec, par exemple, dans le cadre de la stimulation électrique fonctionnelle, des travaux sur les rétines artificielles.

Mais plus généralement, à long terme, se pose le problème de la technologie et de la taille des transistors qui ne permet plus l'utilisation des lois classiques de l'électronique. Dans ce contexte, trois scénarios sont possibles :

- les limites sont franchies pour aller vers les structures fonctionnant sur les principes de la physique quantique. Toutes les lois classiques de l'électronique sont à revoir. Un courant électrique étant par exemple un phénomène qui représente le déplacement globale d'électrons, si les tailles des transistors diminuent encore, il faudra "compter" les électrons,
- la taille des transistors arrive au plus près de la limite de validité des lois physiques classiques. Les parasites, courants de fuites, variations de process deviennent de plus en plus importants. Pour contrer ces dérives, des solutions d'autocalibration et de compensation embarquées deviennent indispensables. En parallèle, l'amélioration des performances serait obtenue par l'apport d'une complexité géométrique (trois dimensions) ou de nouveaux matériaux,
- les industriels freinent leur recherche du toujours plus petit pour rester dans des dimensions de la microélectronique classique.

Personnellement, je crois à la cohabitation des deux derniers scénarios et en particulier le tout dernier d'entre eux. Certaines applications nécessiteront toujours l'utilisation de nouvelles technologies toujours plus compactes et rapides. Pour autant, cette partie du marché de la microélectronique sera, à mon avis, de moins en moins importante et concentrée sur des niches spécifiques. Nous trouverons plutôt des circuits de technologies plus matures. L'idée étant de ne pas tout faire porter à la technologie mais d'apporter la valeur ajoutée sur la conception et les fonctions embarquées dans le système. Une des raisons principales est due au coût toujours plus exorbitant associé à chaque saut de technologie. L'autre point allant vers cette hypothèse est le fait que tous les principaux fabricants en microélectronique (NXP, ST, INFINEON...) convergent vers des organisations sans unité de fabrication de circuit (fabless). Tous les circuits (hors applications spatiales et militaires) risquent à terme d'être produits dans les mêmes usines et dans les mêmes technologies. La différenciation entre les industriels ne pourra plus venir de la technologie mais de la valeur ajoutée en termes de *Conception*. Je parle ici de *Conception* au sens large, englobant toutes les fonctions et performances obtenues pendant la phase de conception. La testabilité du circuit, la qualité, la fiabilité, l'adaptabilité ... font partie intégrante de ces performances. Dans ce contexte, les experts en test, en conception, en fiabilité en sûreté de fonctionnement devront obligatoirement travailler ensemble et proposer des solutions communes de *Conception*. Je crois à la convergence des domaines et la mise en

commun des expertises. Actuellement, nous sentons déjà les prémices de cette convergence quand nous regardons les activités des différents laboratoires qui travaillent au niveau circuit ou système. Les activités sont souvent de plus en plus proches même si le vocabulaire employé reste très différent.

Quatrième partie

**Production scientifique (2000 –
2009)**

Type de publication	nbr
Ouvrages ou chapitres d'ouvrage	5
Revue avec comité de lecture	14
Brevets	3
Articles ou présentations invités	6
Conférences internationales de rang A	21
Conférences internationales de rang B	27
Publications pour l'enseignement et la diffusion de l'information	5
Rapports de contrat	10
Autres	5

Table 7.1 – Bilan de la production scientifique

Ouvrages ou chapitres d'ouvrage

- [1] C. Azevedo, D. Guiraud, D. Andreu, and S. Bernard, "Principe de la stimulation électrique fonctionnelle. Exemples d'application thérapeutique.," in *Techniques de l'Ingénieur*, vol. RE127, p. 12, 2009.
- [2] F. Soulier, L. Gouyet, G. Cathébras, S. Bernard, D. Guiraud, and Y. Bertrand, "Multipolar Electrode and Preamplifier Design for ENG-Signal Acquisition," in *Biomedical Engineering Systems and Technologies* (J. F. Ana Fred and Hugo Gamboa, eds.), vol. 25 of *Communications in Computer and Information Science*, pp. 148–159, Springer, 2008.
- [3] S. Bernard, P. Cauvet, and M. Renovell, "SIP Test Architectures," in *System-on-chip Test Architectures : Nanometer Design for Testability* (Morgan Kaufmann Publishers, ed.), pp. 405–441, Elsevier, 11 2007.
- [4] F. Azaïs, S. Bernard, Y. Bertrand, M. Flottes, P. Girard, C. Landrault, L. Latorre, S. Pravossoudovitch, M. Renovell, and B. Rouzeyre, *Test de Circuits et de Systèmes Intégrés*. Collection EGEM, Ed.Hermès, 2004.
- [5] F. Azaïs, S. Bernard, Y. Bertrand, and M. Renovell, "On-Chip Generator of a Saw-Tooth Test Stimulus for ADC BIST," in *book : SoC Design Methodologies - 11th International Conference on Very Large Scale Integration of Systems-on-Chips*, pp. 425–436, Kluwer Academic Publishers, 2002.

Revue à comité de lecture

- [6] L. Gouyet, G. Cathébras, S. Bernard, F. Soulier, D. Guiraud, and Y. Bertrand, "Amplificateur faible-bruit dédié à l'enregistrement d'ENG à partir d'une électrode cuff hexagonale," *REE : revue de l'électricité et de l'électronique*, vol. 06-07, juin-juillet 2009.
- [7] V. Kerzérho, P. Cauvet, S. Bernard, F. Azais, M. Renovell, M. Comte, and O. Chakib, "ADC Production Test Technique Using Low-Resolution Arbitrary Waveform Generator," *VLSI Design*, vol. 2008, no. Article ID 482159, p. 8, 2008.

-
- [8] V. Kerzérho, P. Cauvet, S. Bernard, F. Azais, M. Comte, and M. Renovell, "Fully Digital Test Solution for a Set of ADCs and DACs embedded in a SiP or SoC," *IET Computers & Digital Techniques*, vol. 1, pp. 146–153, 05 2007.
- [9] V. Kerzérho, P. Cauvet, S. Bernard, F. Azais, M. Comte, and M. Renovell, "A Novel DFT Technique to Test a Complete Set of ADC's and DAC's Embedded in a Complex SiP," *IEEE Design & Test of Computers (D&T)*, vol. 23, pp. 237–243, 06 2006.
- [10] V. Kerzérho, S. Bernard, P. Cauvet, and J.-M. Janik, "A First Step for an INL Spectral-Based BIST : The Memory Optimization," *Journal of Electronic Testing : Theory and Application*, vol. 22, no. 4-6, pp. 351–357, 2006.
- [11] F. Azais, S. Bernard, M. Comte, Y. Bertrand, and M. Renovell, "Efficiency of Optimized Dynamic Test Flows for ADCs : Sensitivity to Specifications," *Journal of Electronic Testing : Theory and Application (JETTA)*, vol. 21, no. 3, pp. 291–298, 2005.
- [12] P. Puyal, A. Konczykowska, P. Nouet, S. Bernard, S. Blayac, F. Jorge, M. Riet, and J. Godin, "DC-100-GHz Frequency Doublers in InP DHBT Technology," *IEEE Transactions on Microwave Theory and Techniques*, vol. 53, no. 4, pp. 1338–1344, 2005.
- [13] F. Azais, S. Bernard, Y. Bertrand, M. Comte, and M. Renovell, "Correlation Between Static and Dynamic Parameters of A-to-D Converters : In the View of a Unique Test Procedure," *Journal of Electronic Testing : Theory and Application (JETTA)*, vol. 20, no. 4, pp. 375–387, 2004.
- [14] S. Bernard, M. Comte, F. Azais, Y. Bertrand, and M. Renovell, "Efficiency of Spectral-based ADC Test Flows to Detect Static Errors," *Journal of Electronic Testing : Theory and Application (JETTA)*, vol. 20, no. 3, pp. 257–267, 2004.
- [15] F. Azais, S. Bernard, Y. Bertrand, M. Comte, and M. Renovell, "A-to-D Converter Static Error Detection from Dynamic Parameter Measurements," *MEJO : Microelectronics Journal*, vol. 34, no. 10, pp. 945–953, 2003.
- [16] S. Bernard, F. Azais, Y. Bertrand, and M. Renovell, "On-Chip Generation of Ramp and Triangle-Wave Stimuli for ADC BIST," *Journal of Electronic Testing : Theory and Application (JETTA)*, vol. 19, no. 4, pp. 469–479, 2003.
- [17] F. Azais, S. Bernard, Y. Bertrand, and M. Renovell, "Analog Built-In Saw-Tooth Generator for ADC Histogram Test," *MEJO : Microelectronics Journal*, vol. 33, no. 10, pp. 781–789, 2002.
- [18] F. Azais, S. Bernard, Y. Bertrand, and M. Renovell, "A Low-Cost BIST Architecture for Linear Histogram Testing of ADCs," *Journal of Electronic Testing : Theory and Application (JETTA)*, vol. 17, pp. 139–147, april 2001.
- [19] F. Azais, S. Bernard, Y. Bertrand, and M. Renovell, "Optimizing Sinusoidal Histogram Test for Low Cost ADC BIST," *Journal of Electronic Testing : Theory and Application (JETTA)*, vol. 17, pp. 255–266, august 2001.

Brevets

- [20] D. Andreu, M. Flottes, P. Cauvet, Z. Noun, and S. Bernard, "System and method for wirelessly testing integrated circuits," Eu Patent 81 346 253US01, 2008.
- [21] D. Guiraud, D. Andreu, J. Galy, Y. Bertrand, C. Cathébras, J. Techer, and S. Bernard, "Device for Distributing Power between Cathodes of a Multipolar Electrode, in Particular of an Implant," WO Patent WO/2006/027 473 extension de FR04 09 351, 2006.
- [22] M. Renovell, F. Azaïs, S. Bernard, and Y. Bertrand, "Method and device for integrated testing for an analog-to-digital converter," US Patent 6,642,870, 2003.

Articles ou présentations invitées

- [23] V. Kerzerho, P. Cauvet, S. Bernard, F. Azais, M. Comte, and M. Renovell, "A multi-converter dft technique for complex sip : Concepts and validation," in *ECCTD 2009. European Conference on Circuit Theory and Design, 2009.*, pp. 747–750, Aug. 2009.
- [24] F. Soulier, O. Rossel, S. Bernard, G. Cathébras, and D. Guiraud, "Design of nerve signal biosensor," in *NEWCAS-TAISA'09 : North-East Workshop on Circuits and Systems, Traitement Analogique de l'Information, du Signal et ses Applications*, (Toulouse (France)), pp. 400–403, 2009.
- [25] F. Soulier, F. L. Floch, S. Bernard, and G. Cathébras, "New dependability approach for implanted medical devices," in *International Conference on Microelectronics*, ((Maroc)), 2009.
- [26] S. Bernard, "Biomedical Circuits : New Challenges for Design and Test," in *IMS3TW'08 : IEEE International Mixed-Signals, Sensors and Systems Test Workshop*, (Canada), 06 2008.
- [27] S. Bernard, L. Gouyet, G. Cathébras, F. Soulier, D. Guiraud, and Y. Bertrand, "Low-Noise ASIC and New Layout of Multipolar Electrode for Both High ENG Selectivity and Parasitic Signal Rejection," in *ICECS'07 : International Conference on Electronics, Circuits and Systems*, pp. A4L–A, IEEE, 12 2007.
- [28] S. Bernard and M. Renovell, "State of the art in soc testing : The analog challenge," in *DTIS'06 : Design and Test of Integrated Systems in Nanoscale Tehnology*, pp. 100–106, 2006.

Conférences internationales de rang A

- [29] O. Rossel, F. Soulier, S. Bernard, and G. Cathébras, "New electrode layout for internal selectivity of nerves," in *EMBC'09 : 31st Annual International Conference of the IEEE Engineering in Medicine and Biology Society*, 2009.
- [30] Z. Noun, P. Cauvet, M.-L. Flottes, D. Andreu, and S. Bernard, "Wireless Test Structure for Integrated Systems," in *ITC'08 : IEEE International Test Conference*, p. Poster 25, 2008.

-
- [31] F. Soulier, L. Gouyet, G. Cathébras, S. Bernard, D. Guiraud, and Y. Bertrand, "Considerations on Improving the Design of Cuff Electrode for ENG Recording - Geometrical Approach, Dedicated IC, Sensitivity and Noise Rejection," in *BIODEVICES'08 : International Conference on Biomedical Electronics and Devices*, vol. 2, pp. 180–185, 2008.
- [32] F. Soulier, J.-B. Lerat, L. Gouyet, S. Bernard, and G. Cathébras, "A Neural Stimulator Output Stage for Dodecapolar Electrodes," in *ISVLSI'08 : IEEE Computer Society Annual Symposium on VLSI*, pp. 487–490, 04 2008.
- [33] S. Bernard, Y. Bertrand, G. Cathébras, L. Gouyet, and D. Guiraud, "A New Configuration of Multipolar Cuff Electrode and Dedicated IC for Afferent Signal Recording," in *EMBC'07 : 3rd International IEEE/EMBS Conference on Neural Engineering*, pp. 578–581, 05 2007.
- [34] P. Cauvet, S. Bernard, and M. Renovell, "System-in-Package, a Combination of Challenges and Solutions," in *ETS'07 : 12th IEEE European Test Symposium*, pp. 193–199, 2007.
- [35] V. Kerzerho, P. Cauvet, S. Bernard, F. Azais, M. Comte, and M. Renovell, "'Analogue Network of Converters' : a DFT Technique to Test a Complete Set of ADCs and DACs Embedded in a Complex SiP or SOC. best paper ets'06," in *ETS'07 : 12th IEEE European Test Symposium*, pp. 211–216, 2007.
- [36] F. Azais, S. Bernard, P. Cauvet, M. Comte, V. Kerzérho, and M. Renovell, "'Analogue Network of Converters' : A DFT Technique to Test a Complete Set of ADCs and DACs Embedded in a Complex SiP or SOC," in *ETS'06 : IEEE European Test Symposium*, pp. 159–164, 05 2006.
- [37] V. Fresnaud, L. Bossuet, D. Dallet, S. Bernard, J.-M. Janik, B. Agnus, P. Cauvet, and P. Gandy, "A Low Cost Alternative Method for Harmonics Estimation in a BIST Context," in *ETS'06 : IEEE European Test Symposium*, pp. 193–198, 05 2006.
- [38] V. Puyal, A. Konczykowska, M. Riet, S. Bernard, P. Nouet, and J. Godin, "InP HBT XOR and Phase-Detector for 40Gbit/s Clock and Data Recovery (CDR)," in *MIKON'06 : International Conference on Microwaves, Radar & Wireless Communications*, pp. 1115–1118, 05 2006.
- [39] S. Bernard, J. Techer, G. Cathébras, Y. Bertrand, and D. Guiraud, "Electrical Performances of a New Multipolar Micro-Stimulator," in *IFESS'05 : 10th Annual Conference of the International Functional Electrical Stimulation Society*, pp. 232–234, 2005.
- [40] V. Puyal, A. Konczykowska, P. Nouet, S. Bernard, M. Riet, F. Jorge, and J. Godin, "A Broadband Active Frequency Doubler Operating up to 120 ghz," in *EuMC'05 : 35th European Microwave Conference*, 2005.
- [41] V. Puyal, A. Konczykowska, P. Nouet, S. Bernard, S. Blayac, F. Jorge, M. Riet, and J. Godin, "A DC-100 GHz Frequency Doubler in InP DHBT Technology," in *IEEE MTT-S International Microwave Symposium Digest*, pp. 167–170, 2004.
- [42] J. Techer, S. Bernard, Y. Bertrand, G. Cathébras, and D. Guiraud, "New Implantable Stimulator for the FES of Paralyzed Muscles," in *ESSCIRC'04 : 30th European Solid-State Circuits Conference* (C. C. M. Stayert, ed.), pp. 455–458, 2004.
- [43] S. Bernard, M. Comte, F. Azais, Y. Bertrand, and M. Renovell, "A New Methodology for ADC Test FLOW Optimization," in *ITC'03 : International Test Conference*, pp. 201–209, September 2003.

-
- [44] S. Bernard, F. Azaïs, Y. Bertrand, and M. Renovell, "A High Accuracy Triangle-Wave Signal Generator for On-Chip ADC Testing," in *ETW'02 : IEEE European Test Workshop*, pp. 89–94, 2002.
- [45] F. Azais, S. Bernard, Y. Bertrand, and M. Renovell, "Implementation of a linear histogram bist for adcs," in *DATE'01 : Design, Automation and Test in Europe*, pp. 590–595, 2001.
- [46] F. Azais, S. Bernard, Y. Bertrand, X. Michel, and M. Renovell, "A low-cost adaptive ramp generator for analog bist applications," in *VTS'01 : IEEE VLSI Test Symposium*, pp. 266–271, 2001.
- [47] S. Bernard, F. Azais, Y. Bertrand, and M. Renovell, "Analog bist generator for adc testing," in *DFT'01 : IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems*, pp. 338–346, 2001.
- [48] F. Azais, S. Bernard, Y. Bertrand, and M. Renovell, "Towards an adc bist scheme using the histogram test technique," in *ETW'00 : IEEE European Test Workshop*, pp. 53–58, 2000.
- [49] M. Renovell, F. Azais, S. Bernard, and Y. Bertrand, "Hardware resource minimization for histogram-based adc bist," in *VTS'01 : IEEE VLSI Test Symposium*, pp. 247–252, 2000.

Conférences internationales de rang B

- [50] S. Bernard, F. Azaïs, M. Comte, Y. Bertrand, and M. Renovell, "LH-BIST for Digital Correction of ADC Offset," in *DTIS'06 : international Conference on Design and Test of Integrated Systems in Nanoscale Tehnology*, pp. 199–203, 2009.
- [51] L. Gouyet, G. Cathebras, S. Bernard, F. Soulier, D. Guiraud, and Y. Bertrand, "Low-Noise Averaging Amplifier Dedicated to ENG Recording with Hexagonal Cuff Electrode," in *NEWCAS-TAISA'08 : IEEE Northeast Workshop on Circuits and Systems -Traitement Analogique de l'Information, du Signal et ses Applications*, pp. 161–164, 06 2008.
- [52] F. Le Floch, S. Bernard, F. Soulier, and G. Cathébras, "Dependability for Implanted Medical Devices," in *DECIDE'08 : Second International Workshop on Dependable Circuit Design*, 11 2008.
- [53] Z. Noun, P. Cauvet, M.-L. Flottes, S. Bernard, D. Andreu, and J. Galy, "Power Supply Investigation for Wireless Wafer Test," in *LATW'08 : 9th Latin-American Test Workshop*, pp. 165–170, 03 2008.
- [54] L. Gouyet, G. Cathebras, S. Bernard, D. Guiraud, and Y. Bertrand, "A Cuff Electrode Dedicated to ENG Recording with Multipolar Configuration for Both Efficient Sensitivity and High Rejection of EMG Parasitic Signals," in *9th Vienna International Workshop on Functional Electrical Stimulation*, pp. 78–81, 10 2007.
- [55] V. Kerzerho, P. Cauvet, S. Bernard, F. Azais, M. Renovell, and M. Comte, "Fully-Efficient ADC Test Technique for ATE with Low Resolution Arbitrary Wave Generators," in *IM-STW'07 : International Mixed-Signals Testing Workshop*, pp. 196–201, 2007.

-
- [56] S. Bernard, D. Andreu, Z. Noun, M.-L. Flottes, P. Cauvet, H. Fleury, and F. Verjus, "Testing System-In-Package Wirelessly," in *DTIS'06 : International Conference on Design and Test of Integrated Systems in Nanoscale Tehnology* (IEEE, ed.), pp. 222–226, 2006.
- [57] V. Kerzérho, P. Cauvet, S. Bernard, F. Azais, M. Comte, and M. Renovell, "Experimental Validation of the "Analogue Network of Converters" Technique to Test Complex SiP/SoC," in *IMSTW'06 : IEEE International Mixed-Signals Testing Workshop*, pp. 84–88, 06 2006.
- [58] S. Bernard, M.-L. Flottes, P. Cauvet, P. Fleury, and F. Verjus, "Testing System-in-Package Wirelessly," in *LATW'06 : 7th IEEE Latin American Test Workshop*, (Argentina), pp. 73–78, 2006.
- [59] S. Bernard, M. Comte, F. Azais, Y. Bertrand, and M. Renovell, "Fast and Fully-Efficient Test Flow for ADCs," in *IMSTW'05 : 11th IEEE International Mixed-Signals Testing Workshop*, pp. 244–249, 2005.
- [60] P. Cauvet and S. Bernard, "Built-in-test solutions for sip," in *KGD'05 : KGD Packaging & Test Workshop*, pp. 105–109, 2005.
- [61] V. Kerzerho, S. Bernard, J. Janik, and P. Cauvet, "Comparison Between Spectral-Based Methods for INL Estimation and Feasibility of Their Implantation," in *IMSTW'05 : 11th IEEE International Mixed-Signal Testing Workshop*, pp. 270–275, 2005.
- [62] J. Techer, S. Bernard, Y. Bertrand, G. Cathebras, and D. Guiraud, "An Implantable Asic for Neural Stimulation," in *IEEE International Workshop on Biomedical Circuits and Systems*, pp. S1.7.INV-5–8, 2004.
- [63] S. Bernard, F. Azaïs, M. Comte, Y. Bertrand, and M. Renovell, "An Automatic Tool for Generation of ADC BIST Architecture," in *IMSTW'03 : 9th IEEE International Mixed-Signals Testing Workshop*, (France), pp. 79–84, June 2003.
- [64] S. Bernard, F. Azaïs, M. Comte, Y. Bertrand, and M. Renovell, "Automatic Generation of LH-BIST Architecture for ADC Testing," in *IWADC'03 : IEEE International Workshop on ADC Modelling and Testing*, (France), pp. 7–12, September 2003.
- [65] M. Comte, S. Bernard, F. Azaïs, Y. Bertrand, and M. Renovell, "A New Methodology for ADC Test Flow Optimization," in *ETW'03 : IEEE European Test Workshop*, (France), pp. pp. 75–80, May 2003.
- [66] M. Comte, F. Azaïs, S. Bernard, Y. Bertrand, and M. Renovell, "Analysis of the Specification Influence on the Efficiency of an Optimized Test Flow for ADCs," in *IMSTW'03 : 9th IEEE International Mixed-Signals Testing Workshop*, (France), pp. 185–190, June 2003.
- [67] M. Comte, F. Azaïs, S. Bernard, Y. Bertrand, and M. Renovell, "On the Efficiency of Measuring ADC Dynamic Parameters to Detect ADC Static Errors," in *LATW'03 : 4th IEEE Latin American Test Workshop*, (France), pp. 198–203, February 2003.
- [68] F. Azaïs, S. Bernard, Y. Bertrand, M. Comte, and M. Renovell, "Evaluation of ADC Static Parameters via Frequency Domain," in *IMSTW'02 : 8th IEEE International Mixed-Signal Testing Workshop*, (France), pp. 165–169, june 2002.

-
- [69] F. Azaïs, S. Bernard, Y. Bertrand, M. Comte, M. Renovell, and M. Lubaszewski, "Estimating Static Parameters of A-to-D Converters from Spectral Analysis," in *LATW'02 : 3rd IEEE Latin American Test Workshop*, (France), pp. 174–179, February 2002.
- [70] M. Comte, F. Azaïs, S. Bernard, Y. Bertrand, and M. Renovell, "On the Evaluation of ADC Static Parameters Through Dynamic Testing," in *ADDA&EWADC'02 : Advanced A/D and D/A Conversion Techniques and Their Applications & ADC Modelling and Testing*, (France), pp. 95–98, June 2002.
- [71] F. Azaïs, S. Bernard, Y. Bertrand, X. Michel, and M. Renovell, "On-chip generation of high-quality ramp stimulus with minimal silicon area," in *LATW'01 : Latin American Test Workshop*, pp. 112–117, 2001.
- [72] F. Azaïs, S. Bernard, Y. Bertrand, and M. Renovell, "On-Chip Generator of a Saw-Tooth Test Stimulus for ADC BIST," in *IFIP International Conference on Very Large Scale Integration The Global System on Chip Design & CAD Conference*, pp. 347–352, 2001.
- [73] S. Bernard, F. Azaïs, Y. Bertrand, and M. Renovell, "Efficient on-chip generator for linear histogram bist of adcs," in *IMSTW'01 : International Mixed-Signal Testing Workshop*, pp. 89–96, 2001.
- [74] F. Azaïs, S. Bernard, Y. Bertrand, and M. Renovell, "Sinusoidal histogram-based bist for adc testing," in *DCIS'00 : Design of Integrated Circuits and Systems*, pp. 21–24, 2000.
- [75] Y. B. S. Bernard, F. Azaïs and M. Renovell, "Linear histogram test for adcs a bist implementation," in *IMSTW'00 : Mixed-Signal Testing Workshop*, pp. 40–45, 2000.
- [76] S. Bernard, F. Azaïs, Y. Bertrand, and M. Renovell, "Minimization the hardware overhead of a histogram-based bist scheme for analog-to-digital converters," in *LATW'00 : Latin American Test Workshop*, pp. 118–122, 2000.

Publications pour l'enseignement et la diffusion de l'information

- [77] L. Latorre, F. Azaïs, M. Flottes, S. Bernard, R. Lorival, and Y. Bertrand, "Test Digital, Test de Mémoires, Test Mixte : 5 Centres de Compétence pour la Formation en Europe," in *CNFM'04 : 8ème Journées Pédagogiques du Comité National de Formation en Microélectronique*, p. 242, 2004.
- [78] Y. Bertrand, M. Flottes, F. Azaïs, S. Bernard, L. Latorre, and R. Lorival, "EuNICE-Test Project : A remote Access to Engineering Test for European Universities," in *EWME'02 : European Workshop on MicroElectronics Education*, pp. 133–136, 2002.
- [79] Y. Bertrand, M. Flottes, F. Azaïs, S. Bernard, L. Latorre, and R. Lorival, "European Network for Test Education," in *DELTA'02 : 1st International Workshop on Electronic DesignTest and Applications*, pp. 230–239, 2002.
- [80] Y. Bertrand, M. Flottes, F. Azaïs, S. Bernard, L. Latorre, and R. Lorival, "A Remote Access to Engineering Test Facilities for the Distant Education of European Microelectronics Students," in *FIE'02 : Frontiers in Education Conference*, pp. 18–24, November 2002.

-
- [81] F. Azaïs, S. Bernard, Y. Bertrand, and M. Renovell, "Test intégré de convertisseurs analogique numérique (can)," *Revue interne "L'actualité Composants du CNES"*, vol. 9, pp. 26–30, november 2000.

Rapports de contrat

- [82] P. Girard, S. Bernard, A. Bosio, M.-L. Flottes, S. Pravossoudovitch, M. Renovell, B. Rouzeyre, and A. Virazel, "Contrat Nano TEST 2A702, Programme CEE MEDEA (Rapport Technique de fin d'année)," tech. rep., 01 2008.
- [83] P. Girard, S. Bernard, A. Bosio, M.-L. Flottes, S. Pravossoudovitch, M. Renovell, B. Rouzeyre, and A. Virazel, "Contrat Nano TEST 2A702, Programme CEE MEDEA (Rapport Intermédiaire)," tech. rep., 2008.
- [84] P. Girard, S. Bernard, A. Bosio, M.-L. Flottes, S. Pravossoudovitch, M. Renovell, B. Rouzeyre, and A. Virazel, "Contrat NanoTEST 2A702 - Programme CEE MEDEA - Rapport Technique de fin d'année," tech. rep., 01 2007.
- [85] P. Girard, S. Bernard, M. Flottes, C. Landrault, S. Pravossoudovitch, M. Renovell, B. Rouzeyre, and A. Virazel, "Contrat NanoTEST 2A702 - Programme CEE MEDEA+," tech. rep., 2006. Rapport Technique de Fin d'Année.
- [86] P. Girard, S. Bernard, M.-L. Flottes, C. Landrault, S. Pravossoudovitch, M. Renovell, B. Rouzeyre, and A. Virazel, "Contrat NanoTEST 2A702, Programme CEE MEDEA +," tech. rep., 2006. Rapport Technique Intermédiaire.
- [87] P. Girard, S. Bernard, M. Flottes, C. Landrault, S. Pravossoudovitch, M. Renovell, B. Rouzeyre, and A. Virazel, "Contrat NanoTEST 2A702 (Rapport Technique Intermédiaire)," tech. rep., 2005. Programme CEE MEDEA+.
- [88] P. Girard, M. Renovell, S. Bernard, M. Flottes, S. Pravossoudovitch, and B. Rouzeyre, "Advanced Solutions for Innovative SOC Testing in Europe," tech. rep., 2004. Rapport Technique Final, Programme MEDEA.
- [89] P. Girard, M. Renovell, F. Azaïs, S. Bernard, M. Flottes, C. Landrault, S. Pravossoudovitch, and B. Rouzeyre, "Advanced Solutions for Innovative SOC Testing in Europe, Contrat CEE ASSOCIATE A503, Programme MEDEA+ (Rapport Technique de Fin d'Année)," tech. rep., 2003.
- [90] M. Flottes, Y. Bertrand, F. Azaïs, R. Lorival, S. Bernard, and L. Latorre, "Project Management and Trainer Education Deliverable : Management Report, Attendees and Training Contents, Training Evaluation," tech. rep., 2002.
- [91] P. Girard, F. Azaïs, S. Bernard, Y. Bertrand, M. Flottes, C. Landrault, S. Pravossoudovitch, M. Renovell, and B. Rouzeyre, "Advanced Solutions for Innovative SOC Testing in Europe," tech. rep., 2002. Rapport Technique de Fin d'Année, Contrat CEE ASSOCIATE AT503, Programme MEDEA+.

Autres

- [92] L. Gouyet, G. Cathébras, S. Bernard, D. Guiraud, and Y. Bertrand, "A new layout of multipolar recording cuff electrode for high electroneurograms spatial selectivity." *Artificial Organs*, Abstract 17 in Abstract Session. Vol31, n°8, 2007.
- [93] V. Puyal, A. Konczykowska, P. Nouet, S. Bernard, M. Riet, F. Jorge, and J. Godin, "Xor en technologie tbh inp pour les futures transmissions optiques à 40 gb/s," in *14èmes Journées Nationales Microondes*, 2005.
- [94] M. Comte, F. Azaïs, S. Bernard, Y. Bertrand, and M. Renovell, "Mesure des Paramètres Statiques des Convertisseurs A/N par une Analyse Spectrale," in *Colloque du GDR CAO de Circuits et Systèmes Intégrés*, (France), pp. 47-50, 2002.
- [95] S. Bernard, *Test Intégré pour Convertisseurs Analogique-Numérique*. PhD thesis, University of Montpellier II, France, 2001.
- [96] S. Bernard, "Faisabilité de l'intégration du test par histogramme des can," master, University of Montpellier, France, jully 1998.

Cinquième partie

Sélection d'articles

Trois articles sélectionnés pour illustrer mon activité :

- F. Azaïs, S. Bernard, Y. Bertrand, and M. Renovell, "Implementation of a linear histogram bist for adcs," in DATE'01 : Design, Automation and Test in Europe, pp. 590–595, 2001.
- V. Kerzérho, P. Cauvet, S. Bernard, F. Azaïs, M. Comte, and M. Renovell, "Fully Digital Test Solution for a Set of ADCs and DACs embedded in a SiP or SoC," IET Computers & Digital Techniques, vol. 1, pp. 146–153, 05 2007.
- O. Rossel, F. Soulier, S. Bernard, and G. Cathébras, "New electrode layout for internal selectivity of nerves," in EMBC'09 : 31st Annual International Conference of the IEEE Engineering in Medicine and Biology Society, 2009.

Implementation of a Linear Histogram BIST for ADCs

F. Azaïs, S. Bernard, Y. Bertrand, M. Renovell
LIRMM - University of Montpellier II
161, rue Ada - 34 392 Montpellier - France

Abstract

This paper validates a linear histogram BIST scheme for ADC testing. This scheme uses a time decomposition technique in order to minimize the required hardware circuitry. A practical implementation is described and the structure together with the operating mode of the different modules are detailed. Through this practical implementation, the performances and limitations of the proposed scheme are evaluated both in terms of additional circuitry and test time.

1. Introduction

Design for Test (DfT) and Built-In Self-Test (BIST) for analogue and mixed signal circuits have received the growing attention of industry and research community in order to alleviate increasing test difficulties. Testability is viewed now as a design specification and has to be considered in the early design stages. In addition to improved manufacturing testability, BIST offers a possibility of in-field verification and test. A number of papers concerned with the definition of BIST techniques for analog and mixed-signal ICs can be found in the literature [1-8]. Most of the proposed technique address devices that include both a ADC and a DAC [1-3], or rely on the use of DSP capabilities to compute the characteristic parameters of converters [4-6]. Concerning mixed-signal ICs including solely an ADC, only a limited number of BIST techniques have been proposed based on the reconfiguration of the circuit in test mode in order to create oscillation [7] or on the monitoring of the LSB in order to determine the converter linearity [8].

One of the most popular technique used for external testing of ADCs is the histogram test technique [9]. It is based on a statistical analysis of how many times each digital code word appears on the ADC output in order to determine the ADC characteristic parameters. The on-chip implementation of this technique is generally not considered as a viable solution because of the huge amount of required additional circuitry. The authors have recently proposed the concept of time decomposition in order to reduce the corresponding additional circuitry. An original BIST scheme for linear histogram testing has been defined and a preliminary high level evaluation have

shown the potential of the technique [10,11]. The objective of this paper is to further validate the time decomposition concept and evaluate the performances of the BIST scheme through a practical implementation.

2. ADC BIST scheme

2.1. Histogram-based BIST

A very classical technique used in the industrial context to determine the ADC parameters is the histogram test technique. It involves the application of an analog signal on the converter input and the record of the number of time each code appears on the converter output. These recorded samples are then compared with theoretical samples and comparison results are processed in order to determine the ADC parameters, namely offset, gain, differential and integral non-linearity. The analog input signal can be any wave whose amplitude distribution is known. Figure 1 illustrates the histograms obtained using either a triangle-wave or a sine-wave signal for an ideal ADC.

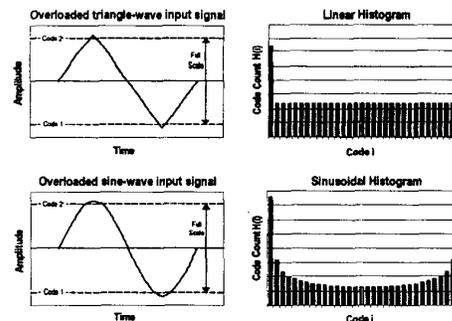


Figure 1. Histograms for an ideal ADC

From a general point of view, a complete BIST scheme for ADCs requires the definition of an analog input generator and a digital output response analyzer. On-chip generation for mixed-signal devices is a classical problem for which solutions can be found in the literature [12]. Consequently, we focus in this paper on the problem of defining the digital analyzer able to implement the histogram test technique.

The straightforward implementation of the histogram test technique requires a number of hardware resources, both in terms of memory and operative resources. Indeed, the determination of the ADC parameters is based on a comparison between the measured and ideal histograms together with subsequent calculations. It is therefore necessary to store both the measured and ideal histograms, implying two memories of 2^n words for an n -bit converter. Then, complex computations have to be performed on these data to extract the parameters, implying the use of a DSP or a microprocessor. Finally, the complete process is managed by a control unit. Figure 2 summarizes these different on-chip resources. It is clear that, unless memory and DSP capabilities are already available on-chip, such a direct implementation of the histogram test technique is not viable because of the huge amount of additional circuitry.

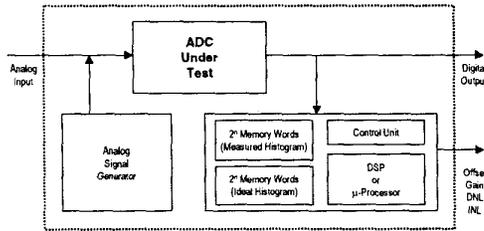


Figure 2. General BIST scheme

2.2. BIST resource minimization

This section summarizes the optimization concepts previously proposed by the authors in order to reduce the area overhead [13].

Classically, either a sine or a triangle-wave is used as input signal to build up the histogram. Any of these two techniques may be used to extract the ADC parameters. However, the linear histogram technique presents a very interesting feature concerning memory saving for the storage of the ideal histogram. Indeed, because the output code count is constant for every code in the converter (except for the extreme codes if an overloaded input signal is used), it is not necessary to use 2^n memory words. In fact, the complete histogram can be represented with only two values, one corresponding to the ideal count of any non-extreme code (H_{ideal}), and one corresponding to the ideal count of the extreme codes ($H_{extreme}$). As a result, the memory for the storage of the ideal histogram reduces from 2^n memory words down to 2 memory words. A first minimization of the required hardware resources is then achieved by choosing the linear histogram rather than the sinusoidal histogram.

Another advantage of the linear histogram technique concerns the calculation of the ADC parameters. Indeed, the exploitation of a sinusoidal histogram is much more difficult, due to the non-uniform distribution caused by the input signal. The parameter computation actually

involves a rather complex trigonometric procedure. When using a triangle-wave input signal, every code in the converter should exhibit an equal density. Because of this uniform distribution, it is possible to derive simple expressions for the ADC parameters. Details on these computations are given above.

Offset computation. The offset (in LSB) is proportional to the difference between the measured counts for the two extreme codes $H(1)$ and $H(2^n)$:

$$\text{Offset} = \frac{H(2^n) - H(1)}{2 \cdot H_{ideal}} \quad (\text{Eq.1})$$

Gain computation. The gain (in LSB) is simply given by the ratio between the measured count for any non-extreme code $H(i)$ and the ideal count H_{ideal} :

$$\text{Gain} = \frac{H_{ideal}}{H(i)} \quad (\text{Eq.2})$$

However, for real measurements, the count may vary from a code to another due to regularity defects in the sample distribution. It is consequently reasonable to average the measure on several codes. Considering m codes around the center code, we obtain the following expression for the ADC gain:

$$\text{Gain}^{-1} = \frac{\sum_{i=N1}^{N2} H(i)}{m \cdot H_{ideal}} \quad (\text{Eq.3})$$

DNL computation. The differential non-linearity (in LSB) of a given code i is defined as the relative difference between the measured and ideal counts:

$$\text{DNL}(i) = \frac{H(i) - H_{ideal}}{H_{ideal}} \quad (\text{Eq.4})$$

INL computation. The integral non-linearity of a given code i is then expressed as the cumulative sum of the DNL of all preceding codes:

$$\text{INL}(i) = \sum_{j=1}^i \text{DNL}(j) \quad (\text{Eq.5})$$

These expressions allow the determination of the ADC parameters using only elementary operations such as addition, subtraction, multiplication or division. As a result, the DSP required in the general case can be replaced by a much simpler operative unit. So, choosing the linear histogram rather than the sinusoidal one also permits to minimize hardware operative resources.

Finally, the last minimization concerns the memory required for the storage of the measured histogram. The fundamental idea is to modify the histogram test procedure in a code-after-code test procedure so that only a limited number of storage elements are required. In other words, we propose to concurrently store and process the histogram code-after-code. Using such a time decomposition technique, a unique memory word can be used for the storage of the measured histogram.

The time decomposition actually takes place at two levels:

- At high level, the concurrent calculation of the ADC parameters is replaced by a phase-after-phase

procedure in which each parameter (offset, gain, DNL and INL) is determined sequentially.

- At low level, each test phase is decomposed in several steps, each individual step requiring only the storage of 1 code count.

Using this approach, all the resources used in a given step of the test procedure are liberated for the following step and thus, can be reused. Note that this applies for both the operative and memory resources. So, not only the time decomposition permits to minimize the memory required for the storage of the measured histogram, but also the operative unit implementing the ADC parameter calculation.

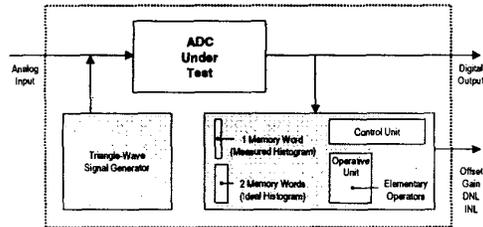


Figure 3. Linear histogram BIST structure

To sum up, it appears that combining the linear histogram with an optimized time decomposition method permits to drastically reduce the hardware resources. Indeed, the BIST structure now comprises only 2 memory words for the storage of the ideal histogram, 1 memory word for the sequential storage of the measured histogram, a simple operative unit with elementary operators to extract the ADC parameters and a control unit to manage the test procedure. Figure 3 illustrates this BIST architecture.

3. ADC BIST implementation

The previous section has introduced general concepts for minimizing the BIST circuitry and the high-level architecture of the digital analyzer. To further validate our approach, it is now necessary to consider the low-level implementation. Of course the idea is still to optimize as much as possible the resources during this hardware implementation phase.

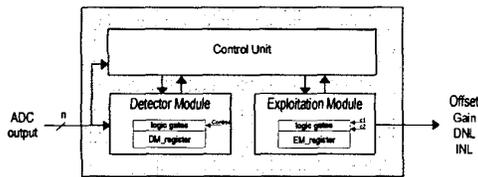


Figure 4. Block-level implementation

Figure 4 gives the block diagram of the optimized digital analyzer. This structure is composed of (i) the Detector Module (DM) which performs ADC output code

detection, (ii) the Exploitation module (EM), which performs the calculations required for the test procedure and (iii) the Control Unit (CU), which manages the test process. Note that this structure differs from the general architecture presented in figure 3 because memory and operative capabilities are now combined together in the Detector and Exploitation Modules for optimization purpose.

3.1. Detector module

The Detector Module (DM) is designed to implement two different functions. First, it positions the reference code to be processed. Then, it compares this reference code with the running code delivered on the output of the ADC. So, this module contains a register (DM_register) together with a configuration logic. Depending on the Control signal, the register is configured in either a counter or a comparator. Code selection is achieved in the counter mode by incrementing the counter until the reference code is reached; then code comparison is performed in the comparator mode. The schematic description of such a DM is given in figure 5.

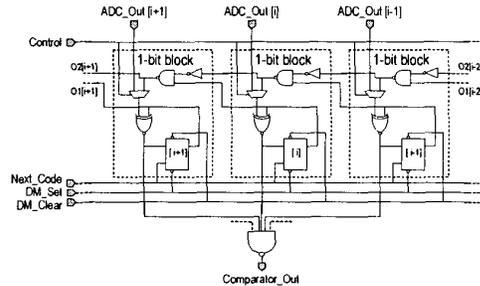


Figure 5. Detector module schematic

3.2. Exploitation module

The Exploitation Module (EM) is designed to calculate the ADC parameters. The schematic description of this module is given in figure 6. As for the DM, the module is composed of a register (EM_register) together with a configuration logic controlled by the two signals c1 and c2. Depending on the values applied on these control inputs, the module is configured in different operating modes that permit to perform the calculations required for the ADC parameters. Basically, the module can either operate as an up/down counter to realize addition and subtraction or provide the 2's complement of the value stored in the register to manage the sign of results. More details on the different operating modes and how they are used to compute the ADC parameters will be given below.

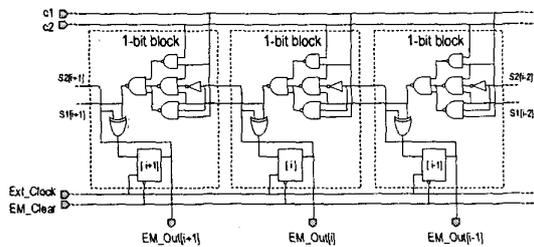


Figure 6. Exploitation module schematic

Offset evaluation. As defined in equation 1, the offset is determined through the counts of the two extreme codes. The EM has actually to perform the subtraction of these two counts. In practice, this operation is carried out by configuring the block into an up/down counter, which is programmed to count down when the output code is 00...0 and to count up when the code is 11...1 during one application of the input test pattern. So, at the end of the pattern, the EM_register directly holds the difference between the counts of the two extreme codes, and it is then necessary to divide the result by $2^{H_{ideal}}$ to obtain the offset value. Note that such a division is relatively heavy to implement in the general case, but can be easily carried out if H_{ideal} is a power of 2. Indeed, choosing $H_{ideal} = 2^p$, the division is simply equivalent to a $(P+1)$ -bit shift in the register. Finally, the Control Unit verifies the sign of the result and the offset value is delivered on EM_Out as the content of the register or its 2's complement in case of a negative value.

The pseudo algorithm given below summarizes the offset computation procedure.

```

initialization of DM_register = 0, EM_register = 0
for number_of_samples = 1 to NT
    if (ADC_output_LSB = 1) then DM_register = 11...1
        if (ADC_running_code = DM_register) then EM counts up
    else DM_register = 00...0
        if (ADC_running_code = DM_register) then EM counts down
Shift EM_register (P+1)-bits left
if (negative result) then EM_Out = 2's complement (EM_register)
else EM_Out = EM_register

```

Gain evaluation. As defined in equation 3, the gain is determined through the counts of the m central codes. In order to perform the accumulation of these code counts, the EM is configured as an up-counter and m input test patterns are applied. For the first input test pattern, code $N1$ is positioned as the reference code in the DM_register and the EM_register is incremented each time the running code occurs on the ADC output. This operation is repeated m times incrementing the reference code until code $N2$. So, by the end of the m input test patterns, the EM_register holds the cumulative sum of the counts for the m central codes. To obtain the $Gain^{-1}$ value, this cumulative sum has to be

divided by $m.H_{ideal}$. As for the offset calculation, this division simply corresponds to a shift in the register if $m.H_{ideal}$ is a power of 2. Then, we impose $H_{ideal} = 2^p$ and $m = 2^z$, and the division by 2^{P+z} is equivalent to a $(P+z)$ -bit shift.

The pseudo algorithm given below summarizes the gain computation procedure.

```

initialization of DM_register = N1, EM_register = 0
while (DM_register < N2)
    for number_of_samples = 1 to NT
        if (ADC_running_code = DM_register) then EM counts up
    DM_register = DM_register + 1
Shift EM_register (P+Z)-bits left
EM_Out = EM_register

```

DNL & INL evaluation. The DNL has to be determined for each one of the 2^n converter codes as defined in equation 4. Therefore, 2^n input test patterns are applied, each one dedicated to a given code i . The calculation procedure simply consists in positioning the reference code i in the DM_register and counting up in the EM_register how many times this code appears on the ADC output. Assuming that H_{ideal} is a power of 2 ($H_{ideal} = 2^p$), the result of the division is then available in the EM_register considering a P -bit shift. If this value exceeds 1, we have a positive DNL value and the P less significant bits directly correspond to the DNL decimals. Otherwise, we have a negative DNL value and the 2's complement of the register is performed before outputting the result on EM_Out.

The pseudo algorithm given below summarizes the DNL computation procedure.

```

initialization of DM_register = 0
while (DM_register < 2n)
    initialization of EM_register = 0
    for number_of_samples = 1 to NT
        if (ADC_running_code = DM_register) then EM counts up
    DM_register = DM_register + 1
    Shift EM_register P-bits left
    if (negative result) then EM_Out = 2's complement (EM_register)
    else EM_Out = EM_register

```

The INL of a given code is calculated as the cumulative sum of the DNL for all the preceding codes, as defined in equation 6. So the calculation procedure is basically the same than for DNL, but without initializing the EM_register between successive input test patterns.

3.3. Control unit

The Control Unit (CU) is the module that manages the test process. So basically, this module generates the different signals to clock the successive codes and control the DM and EM configurations. This unit can be simply defined in VHDL and then synthesized by an automatic tool such as Synopsys.

4. Performances and discussion

4.1. Area overhead

To illustrate our solution, we propose to derive the BIST structure for testing a 6-bit ADC working at 100MHz frequency rate. In the AMS 0.8 μ library, this ADC presents an area of 3.3mm².

First, we build the Detector Module. For a 6-bit converter, we cascade 6 one-bit blocks (see figure 5) and we obtain a module of 0.037mm² area.

Then, we build the Exploitation Module. As for the DM, we cascade a number of one-bit blocks. However, the length of the EM_register does not depends on the number of bits of the converter, but is determined by the calculation procedure. Indeed, we have seen that the offset determination requires a (P+1)-bit shift in the register, the gain determination requires a (P+Z)-bit shift and the non-linearity determination requires a P-bit shift. As a result, the length of the register has to be at least P+Z+1 bits, where P is determined by the ideal count ($H_{ideal}=2^P$) and Z by the number of codes on which the gain measurement is performed ($m=2^Z$).

The choice of the ideal count value H_{ideal} actually depends on the desired accuracy on the measurements. For instance, we can use the desired accuracy on the DNL measurement to determine this value. Starting from the DNL expression, the measurement accuracy is defined as:

$$\delta DNL(i) = \frac{\delta H(i)}{H_{ideal}} \quad (Eq.6)$$

where $\delta H(i)$ is the error for code i .

In practice, $H(i)$ is necessarily an integer, thus the maximum error is equal to 1. Consequently, the measurement accuracy can be evaluated by:

$$\delta DNL = \frac{1}{H_{ideal}} \quad (Eq.7)$$

Hence, imposing an accuracy better than 0.05 LSB on the DNL measurement corresponds to choose H_{ideal} higher than 20. Taking into account that the ideal count must be a power of 2, we obtain P=5, which corresponds to $H_{ideal}=2^5=32$ and the accuracy on DNL is now 0.03 LSB.

Then, we have to choose the number of central codes on which the gain measurement is performed. Of course, the higher this number, the better the accuracy, but the higher the area overhead. So, we empirically choose to take 1/4 of the total number of codes, i.e. $m=2^4=16$ codes among 64, which corresponds to Z=4.

Finally, the Exploitation Module is built as a cascade of P+Z+1=10 one-bit blocks (see figure 6), which gives a module of 0.076mm² area.

The complete BIST structure comprises the Detector Module and the Exploitation Module together with the Control Unit that has been synthesized using the Synopsis automatic synthesis tool. The layout of the structure implemented in 0.8 μ m AMS technology is illustrated in

figure 7. This BIST structure represents an area of 0.223mm², which corresponds to an area overhead of 6.7% when compared to the original ADC.

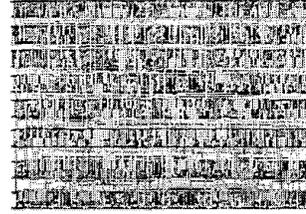


Figure 7. Optimized BIST structure layout

4.2. Test time

An important point to discuss is the impact of our technique on the test time. Indeed, our technique is based on a sequential decomposition of the global test procedure, implying that a high number of input test patterns are required to complete the test. The time decomposition permits to drastically reduce the additional circuitry, but it is clear that this reduction is obtained to the prejudice of the testing time.

Let us evaluate the test time for a n-bit converter. This time of course depends on the number of required test patterns, but also on the length of the test pattern.

So first, we estimate the number of required test patterns as 1 pattern for offset evaluation, m pattern for gain evaluation, 2^n patterns for DNL evaluation and 2^n patterns for INL evaluation. Considering the gain measurement is chosen to be performed on 1/4 of the total number of codes and neglecting the single input pattern required for the offset determination, we obtain a rough estimation of the number of required input test patterns:

$$N_{pattern} \approx 2.25 * 2^n \quad (Eq.8)$$

Then we estimate the length of a test pattern, which corresponds to the time needed to collect N_T samples at a sampling frequency rate F_s .

$$T_{pattern} = \frac{N_T}{F_s} \quad (Eq.9)$$

From the expression given in section 4.1, and neglecting the contribution of overload ($A_{in}/A_{FS}=1$), the number of samples is given by $N_T \approx H_{ideal} * 2^n$, and the length of a test pattern can be expressed as:

$$T_{pattern} \approx \frac{32}{F_s} * 2^n \quad (Eq.10)$$

So finally, an estimate of the test time can be defined as:

$$TEST TIME = N_{pattern} * T_{pattern} \approx \frac{72}{F_s} * 2^{2n} \quad (Eq.11)$$

It clearly appears on this expression that testing time considerably increases with the number of bits of the converter. For illustration, table 1 reports test time results for converters from 6 to 14bits, taking into account a sampling frequency rate varying from 1MHz to 100MHz.

Number of bits n	TEST TIME				
	F _s =1MHz	F _s =10MHz	F _s =20MHz	F _s =50MHz	F _s =100MHz
6	300ms	30ms	15ms	6ms	3ms
8	5s	500ms	250ms	100ms	50ms
10	1mn 15s	7.5s	3.8s	1.5s	750ms
12	20mn	2mn	1mn	24s	12s
14	5h 22mn	32mn	16mn	6mn	3mn

Table 1: ADC test time

The first comment on these results is that our technique produces large test times for high-resolution converters: testing a 14-bit converter requires several minutes even with a sampling frequency as high as 100MHz. Hence, the technique should be limited for testing 6 to 12-bit converters. An other comment is that the test time may be still considered as too important for low-frequency converters. However possible optimizations may be considered to reduce testing time. The first evident one consists in computing DNL and INL in the same test phase. Indeed, this permits to divide the test time by almost a factor 2 and only costs an additional register in the BIST circuitry. A second optimization of the technique consists in replacing the code-after-code process of the histogram by a p-code after p-code process for instance. Again a factor p can be gained on the test time, but of course implying an increase in the BIST area. In fact, there is a trade-off to define between the area overhead and the test time.

Note the problem of test time limitation is consistent with the problem of the test signal generation. The resolution of the input signal is generally chosen to be 2-bit more than the ADC one. For example, a resolution better than 75 μ V is needed for a 14-bit ADC with a full scale of 5V. It is a not a trivial task to design a linear signal generator with such a high resolution. So, the linear histogram testing should be preferred for medium-resolution converters (6 to 12 bits). In this context, our approach permits to integrate the test technique with a reasonable area overhead and an acceptable test time.

5. Conclusions

This paper validates the time decomposition concept proposed to minimize the additional circuitry required to implement a linear histogram BIST technique. A practical implementation is described and the performances and limitations of the proposed scheme are evaluated.

The practical implementation clearly demonstrates the viability of the scheme since the area of the additional circuitry is found to be around 7% of that of the original Analog-to-Digital Converter. This drastic reduction of the BIST circuitry is a consequence of the application of the

time decomposition concept but it is clear that this reduction is obtained to the prejudice of the testing time.

The testing time has been evaluated to around 1s for a 10 bits converter with a sampling frequency of 100Mz. This result proves that our linear histogram BIST is perfectly viable for a large range of A-to-D Converters. For larger converters with larger test time, solutions are indicated that can reduce drastically the test time as for example parallel computation of INL and DNL, p-after-p code exploitation...

With a test time of about 1 second, the BIST scheme can internally determine the main ADC parameters: offset error, gain error and non-linearity. The result of the test can simply be directly shifted out or shifted through a boundary scan chain. It is also important to note that the internal histogram exploitation is purely digital making the BIST scheme insensitive to parameters variations.

6. References

- [1] M.J. Ohletz, "Hybrid Built In Self Test (HBIST) for Mixed Analog/Digital Integrated Circuits", *Proc. European Test Conference*, pp.307-316, 1991.
- [2] N. Nagi, A. Chatterjee, J. Abraham, "A Signature Analyzer for Analog and Mixed-Signal Circuits", *Proc. ICCD*, pp. 84-7, 1994.
- [3] S. Sunter, N. Nagi, "A Simplified Polynomial-Fitting Algorithm for DAC and ADC BIST", *Proc. International Test Conference*, pp. 389-395, 1997.
- [4] E. Teraoca, T. Kengaku, I. Yasui, K. Ishikawa, T. Matsuo, "A Built-In Self-Test for ADC and DAC in a Single-Chip Speech CODEC", *Proc. International Test Conference*, pp. 91-796, 1993.
- [5] M.F. Toner and G.W. Roberts, "A BIST Scheme for a SNR, Gain Tracking and Frequency Response Test of a Sigma-Delta ADC", *IEEE Trans. Circuits & Systems II*, Vol. 42, pp. -15, 1995.
- [6] M.F. Toner and G.W. Roberts, "A Frequency Response, Harmonic Distortion, and Intermodulation Distortion Test for BIST of a Sigma-Delta ADC", *IEEE Trans. Circuits & Systems II*, Vol. 43, No. 8, pp. 608-613, 1996.
- [7] K. Arabi, B. Kaminska, "Efficient and Accurate Testing of Analog-to-Digital Converters Using Oscillation-Test Method", *Proc. European Design & Test Conference*, pp. 48-52, 1997.
- [8] R. de Vries, T. Zwemstra, E. Bruls, P. Regtien, "Built-In Self-Test Methodology for A/D Converters", *Proc. European Design & Test Conference*, pp. 353-358, 1997.
- [9] M. Mahoney, "DSP-based Testing of Analog and Mixed-Signal Integrated Circuits", *IEEE Computer Society Press*, ISBN 0-8186-0785-8, 1987.
- [10] M. Renovell, F.Azaïs. S. Bernard, Y. Bertrand, "Procédé et dispositif de test intégré pour un CAN", *CNRS Fr. Patent 911304*, filed September 9, 1999.
- [11] M. Renovell, F.Azaïs. S. Bernard, Y. Bertrand, "Hardware Resource Minimization for a Histogram-based ADC BIST", *Proc. VLSI Test Symposium*, May 2000.
- [12] G.W. Roberts, A.K. Lu, "Analog Signal Generation for Built-in Self-Test of Mixed-Signal Integrated Circuits", *Kluwer Academic Publishers*, ISBN 0-7923-9564-6, 1995

Fully Digital Test Solution for a set of ADC's and DAC's embedded in a SiP or SoC

V. Kerzérho^{1,2}, P. Cauvet², S. Bernard¹, F. Azais¹, M. Comte¹ and M. Renovell¹

¹LIRMM, University of Montpellier / CNRS – 161 rue Ada, Montpellier, 34392 France

²Philips France Semiconducteurs, 2 Rue de la Girafe B.P. 5120, Caen Cedex 5, 14079 France
{vincent.kerzerho, philippe.cauvet}@philips.com ; {bernard, azais, comte, renovell}@lirmm.fr

Abstract

The trend towards highly integrated electronic devices leads to the growth of the System-in-Package (SiP) and System-on-Chip (SoC) technologies, where data converters play a major role in the interface between the real analogue world and the digital processing. Testing these converters with accuracy and at a low cost represents a big challenge, because the observability and controllability of these blocks is reduced and the test operation requires a lot of time and expensive analogue instruments. The purpose of this paper is to present a new Design-for-Test (DFT) technique called “Analogue Network of Converters”. This technique aims at testing a set of Analogue-to-Digital Converters (ADC) and Digital-to-Analogue Converters (DAC) in a fully digital setup (using a low cost digital tester). The proposed method relies on a novel processing of the harmonic distortion generated by the converters and requires an extremely simple additional circuitry and interconnects.

1. Introduction

The market pressure for data and telecommunication applications is now driving the need for integrating very different analogue or mixed-signal blocks into a single System-in-Package (SiP) or System-on-Chip (SoC). Figure 1 gives a picture of such a complex mixed-signal system integrated into a single package. The integration of many different functions into a single package offers several clear benefits, but also implies very significant test challenges. As an illustration of these difficulties, examples are usually reported where the test of the analogue blocks in the system may represent up to 90% of the whole test effort while these analogue blocks only represent 10% of the whole chip area.

When testing analogue blocks, the main difficulty comes from the performance requirements of the test instruments. Indeed, analogue testing is made of a long sequence of parameter characterization that is performed using very expensive instruments able to accurately measure analogue signals. In addition to these required expensive instruments, we should note that controllability and observability of deeply embedded analogue blocks are much reduced and the possibility of external testing may be limited. Also, as signals become faster and systems are operated at higher speeds, external testing becomes more susceptible to disturbances such as noise, crosstalk, etc.).

To overcome these problems, several authors have proposed different BIST techniques where signals are internally generated and/or analysed [1-7]. Another possible and less expensive solution consists in using DFT techniques to internally transform the analogue signals into digital ones that are made controllable and observable from the chip I/Os [3,8,9]. As a result, only digital signals are externally handled by cheap “digital” test equipment (Low Cost Tester).

In current systems, it is to mention that converters (ADC's and DAC's) are the main components of any mixed-signal chip. Nowadays, many ADC's and DAC's may be implemented in a complex SoC or SiP. For instance, Figure 1 proposes a microphotography of the PNX8327 device for set-top box applications where 2 ADC's and 7 DAC's are embedded on the same SiP [10]. Testing this whole set of converters is a very complex task requiring a long test time because of the above mentioned problems of accessibility, signal integrity, accuracy of converter parameter measurements.

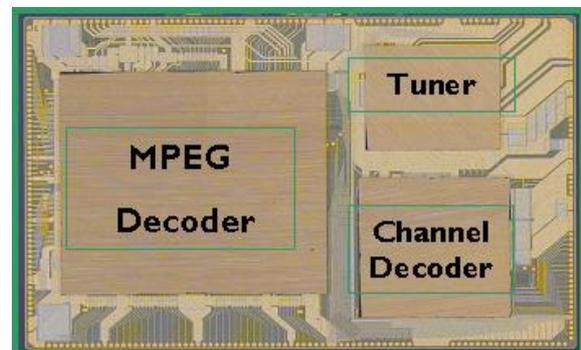


Figure 1: SiP for set-top box applications

In this context, an original DFT technique called “Analogue Network of Converters” (ANC) is proposed to test the whole set of embedded ADC's and DAC's. An extremely small circuitry is required to apply a fully digital test approach to the System-in-Package/System-on-Chip.

Following a brief reminder of the basic test techniques for converters, section 2 introduces the fundamental principle of the ANC technique, and the first step of the method. In section 3, the test of the set of n DAC's and m ADC's is made equivalent to a system of equations where the converter characteristics are the unknowns. An example of generalization of the method and an estimation of the test time reduction are shown in section 4. In section 5, the proposed ANC technique is validated through simulations and measurements. Finally, section 6 gives some

concluding remarks, and a summary of the expected further works.

2. ANC Fundamental Principle

As often mentioned, analogue testing is classically oriented to performance characterization of a function under test. Performance characterization is obtained through a number of static and dynamic parameter estimations.

2.1. ADC and DAC testing

Real-life converters are affected by errors, usually classified in two types [9][11][12]:

- Stochastic errors: noise, aperture uncertainty (jitter), and coupling between analogue and digital part.
- Deterministic errors: non-linearities, distortion.

Several parameters are defined in order to characterize and test ADC's and DAC's. Various methods are now used to accurately test the signal-to-noise ratio in a noisy environment, but distortion remains a domain where only a limited number of advanced solutions have been proposed so far. A crucial deterministic parameter is the Integral Non Linearity (INL). For most of the application domains, two of the key dynamic parameters are:

- Total Harmonic Distortion (THD),
- Spurious Free Dynamic Range (SFDR),

The above set of dynamic parameters is derived [13] or computed [9] from the harmonic values appearing in the spectrum of the output signal.

A very common way to estimate the dynamic parameters of a given converter relies on spectral analysis, i.e. to apply a 1-tone sine wave signal to the converter input and compute the FFT of the output signal. The obtained harmonic values are then used to compute the dynamic parameters. Figure 2 shows a typical spectrum of a 12bits ADC driven by a sine wave at frequency $F_0=4.43\text{MHz}$

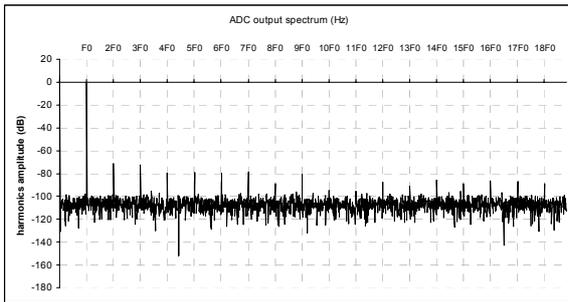


Figure 2: Spectrum of a converter output signal

The fundamental bin is at frequency F_0 , the frequency of the input sine wave. All the values of the spectrum are normalized to this fundamental one. The converter errors induce harmonic frequencies, which enter in the computation of the converter parameters. Note that even non-linearities may be derived from these harmonic values as demonstrated in [13,14].

Considering for instance the test of a single ADC using efficient instruments, it has been demonstrated

[13] that the output signal can be represented by (1). This equation includes an ideal sampled sine wave $x(n)$ and the sum of all the harmonic values introduced by the converter errors.

$$s(n) = x(n) + \sum_{k \geq 0} H_k^{\text{converter}} \cos(k(\theta_n + \theta_0)) \quad (1)$$

In equation (1), n is the sample index, θ_0 the initial phase shift and $H_k^{\text{converter}}$ the amplitude of the k^{th} harmonic and θ_n is the nominal sampling phase

$$\theta_n = 2\pi \left(\frac{P}{M} \right) n \quad (2)$$

Given the above comments, it clearly appears that accurate measurement of the set of harmonic values $H_k^{\text{converter}}$ of the output signal is a crucial point for any converter testing technique. The above equation may also apply to the test of a single DAC, because the analogue output signal is converted into a digital sample set in the commonly used testers.

2.2. Analogue Network of Converters

Considering a complex system with several ADC's and DAC's, the objective of this paper is to measure the harmonic values $H_k^{\text{converter}}$ of each converter output signal using a fully digital way. To be fully digital from an outside chip perspective, a very simple circuitry is added to the system:

- to realize the analogue sum of any combination of DAC outputs,
- to connect the resulting sum to any combination of ADC inputs.

This ANC is presented by figure 3. A simple OPAMP-based analogue adder can be used to implement the proposed DFT. The multiplexer control signal I_i ensures the connection of the corresponding DAC $_i$. In the same way, the multiplexer control signal O_j connects the corresponding ADC $_j$.

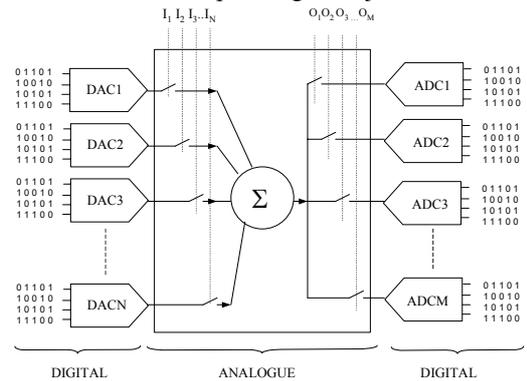


Figure 3: The ANC DFT technique

We define $C(n,m)$ as the configuration where n DAC's and m ADC's are connected. Using configuration $C(1,1)$, the spectrum of the output signal can be computed and we can extract the values of the harmonics $H_k^{C(1,1)}$. But in this case, the output signal includes the errors of DAC1 and the errors of ADC1. In other words, the spectrum includes the harmonic contribution of DAC1 and the harmonic contribution of

ADC1. So, thanks to the linearity of the system, we can write the following equation:

$$\sum H_k^{\text{measure}} = \sum H_k^m = \sum (H_k^{\text{DAC1}} + H_k^{\text{ADC1}}) \quad (3)$$

In this equation, we assume that the harmonic amplitudes created by the DAC are negligible with respect to the fundamental amplitude of the signal. Thus, we can consider the signal driving the ADC as a single tone signal. This working hypothesis will be verified in the validation phase described in section 4.

Thanks to equation (3), we obtain a relation between the harmonic contributions of the different converters. Indeed, the left member of equation (3) is made of known values, the spectral bins at the output of the ADC, whereas the right member represents the unknowns.

This example establishes the relationship between one configuration and its resulting equation, which leads to the fundamental idea of the ANC DFT technique. By using different configurations $C(n,m)$, we are able to obtain a set of different equations. So, with an adequate set of configurations (i.e; system of equations), we expect to be able to fully determine the set of unknowns, i.e. the individual harmonic contribution of each converter.

The ANC DFT technique creates a duality between the configurations and the equations giving the estimation of the harmonic contributions of each converter. The next section explores the space of possible configurations to obtain such a set of equations.

3. First step: applying ANC to a basic configuration

The ANC principle consists in using different converter interconnections. Adequate test configurations have to be found in order to discriminate the influence of each converter on the final response. In practice, the test parameters that can be easily controlled are only the phase and the amplitude of the digital stimulus. In this section, two configurations, using DAC1 DAC2 and ADC1, are studied in order to discriminate their harmonic contributions.

3.1. Configuration C(1,1) at full scale

The first configuration considered is made up of a single DAC and a single ADC (Figure 4).

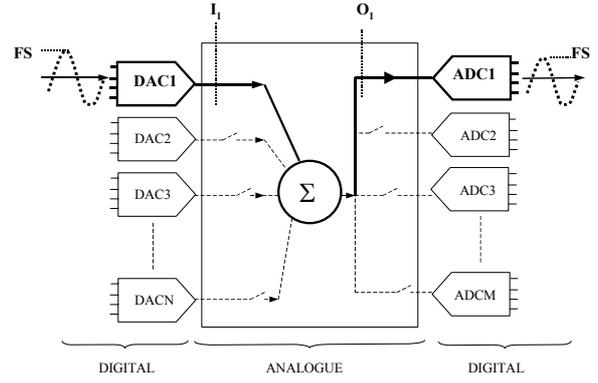


Figure 4: C(1,1) test configuration

According to the harmonic contribution model (3), the influence of the two data converters on the sampled signal can be expressed by:

$$s(n) = x(n) + \sum_{k \geq 0} (H_{\text{dac}k}^{\text{FS}} + H_{\text{adc}k}^{\text{FS}}) \cos(k(\theta_n + \theta_0)) \quad (4)$$

where $H_{\text{dac}k}^{\text{FS}}$ and $H_{\text{adc}k}^{\text{FS}}$ are respectively the k^{th} harmonic contribution of the DAC and the ADC for an input signal reaching the converter full scale. Notice that, in this study, we consider that all the converters have the same dynamic range.

If we only consider the three converters DAC1, DAC2 and ADC1, we generate two test setups. In a first step, a sine wave is sourced from DAC1 to ADC1, with amplitude covering the converter full-scale. The expression of $H_k^{m,a}$, the amplitude of the k^{th} harmonic measured on the ADC output is given by:

$$H_k^{m,a} = H_{\text{dac}k}^{\text{FS}} + H_{\text{adc}k}^{\text{FS}} \quad (5)$$

In the second step, the test path goes through DAC2 and ADC1. The amplitude of the test signal still reaches the full scale of the converters. Therefore, we obtain a second equation given by (6), where $H_k^{m,b}$ is the amplitude of the k^{th} harmonic measured on the ADC output.

$$H_k^{m,b} = H_{\text{dac}2k}^{\text{FS}} + H_{\text{adc}k}^{\text{FS}} \quad (6)$$

At this point, we have three unknown parameters ($H_{\text{dac}k}^{\text{FS}}, H_{\text{dac}2k}^{\text{FS}}, H_{\text{adc}k}^{\text{FS}}$) and only two equations (5 and 6) from two acquisitions.

One could think to play with the amplitude and phase of the input signal to establish new equations. Unfortunately, variations of these test setup parameters give no additional independent information to discriminate the influence of each converter on the final response. Indeed, the input signal phase has no influence on the converter harmonic contribution and even if the input signal amplitude A_{in} modifies the converter harmonic contribution ($H_{\text{dac}k}^{A_{\text{in}}} \neq H_{\text{dac}k}^{\text{FS}}$ if $A_{\text{in}} \neq \text{FS}$), each new acquisition would give a new equation but also two new unknown parameters ($H_{\text{dac}k}^{A_{\text{in}}}, H_{\text{adc}k}^{A_{\text{in}}}$).

To avoid this problem, the two DAC's outputs are added to establish a new configuration. This new configuration is called C(2,1) and is described in the next section.

3.2. Configuration C(2,1) at full scale

The second hardware configuration is made up of two DAC's and one ADC. The input signal of the ADC is the sum of the two DAC output signals. A C(2,1) test configuration has already been described in [15]. But in this case, the objective is to test only the ADC, and DAC's must have higher resolution than the ADC.

Unfortunately, considering three converters with the same resolutions, the sum of two full-scale signals from DAC1 and DAC2 with no relative phase shift is twice the converter full scale and would saturate the ADC.

The solution to overcome this problem is to introduce a relative phase shift of $2\pi/3$ between the two input signals (Figure 5)

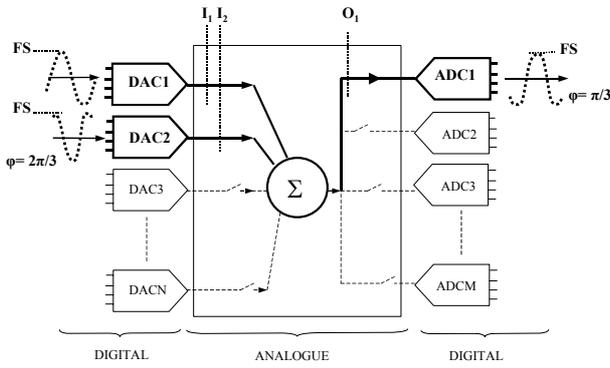


Figure 5: Test setup to obtain the third equation.

The sum of the two DAC outputs is a full-scale signal; this property is mathematically explained by (7)

$$\cos\left(x + \frac{2\pi}{3}\right) + \cos(x) = 2 \cos\left(x + \frac{\pi}{3}\right) \cos\left(\frac{\pi}{3}\right) = \cos\left(x + \frac{\pi}{3}\right) \quad (7)$$

As a consequence we obtain (11), the third equation,

$$H_k^{m,c} = Hdac1_k^{FS} + Hdac2_k^{FS} \cos(k2\pi/3) + Hadc1_k^{FS} \cos(k\pi/3) \quad (8)$$

where $H_k^{m,c}$ is the amplitude of the k^{th} harmonic measured on the ADC output. So finally, we obtain the following equation system for each k^{th} harmonic contribution:

$$\begin{cases} H_k^{m,a} = Hdac1_k^{FS} + Hadc1_k^{FS} \\ H_k^{m,b} = Hdac2_k^{FS} + Hadc1_k^{FS} \\ H_k^{m,c} = Hdac1_k^{FS} + Hdac2_k^{FS} \cos(k2\pi/3) + Hadc1_k^{FS} \cos(k\pi/3) \end{cases}$$

This system would enable the discrimination of the harmonic contribution of every converter if the three equations were independent. This condition is not verified for harmonic components that are of a prime order and greater than three. Indeed for these harmonics, the third equation is a linear combination of the two other equations.

We have observed a similar limitation whatever the relative phase shift introduced between the two input signals. So, this 3-equation system permits to discriminate the 4 first harmonics, but is not sufficient to calculate the THD or the SFDR. To go further and discriminate more harmonics, it is necessary to vary the input signal amplitude, as subsequently described.

3.3. Configuration C(1,1) at 1/2 full scale

The second parameter we can control is the input signal amplitude. As previously explained, harmonic contribution depends on the stimulus amplitude ($Hdac1_k^{A_{in}} \neq Hdac1_k^{FS}$ if $A_{in} \neq FS$) and no trivial relationship exists between these different harmonic contributions. Consequently, the use of different amplitudes induces additional unknown parameters. Nevertheless, it also introduces new test setup possibilities that can be exploited to get additional independent useful information.

Practically, we have looked for a system of equations that allows the discrimination of the three converter harmonic contributions, $Hdac1_k^{FS}$, $Hdac2_k^{FS}$, $Hadc1_k^{FS}$ using test stimuli with amplitude at full-scale and amplitude at 1/2 full-scale.

The new third equation is the result of a test at 1/2 full scale through DAC2 and ADC1, as illustrated in Figure 6.

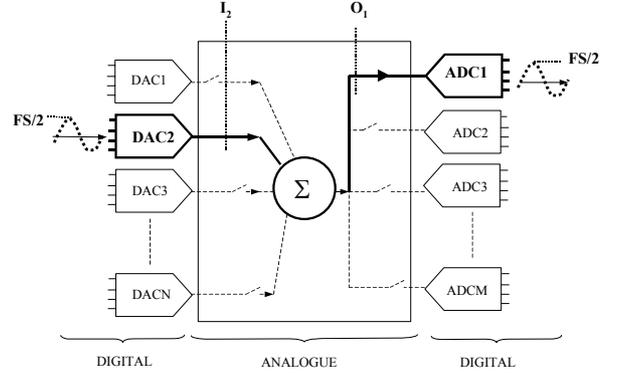


Figure 6: Test setup to obtain the third independent equation

The measured harmonics are the sum of DAC2 and ADC1 harmonic contributions for an input signal at 1/2 full-scale.

$$H_k^{m,c} = Hdac2_k^{FS/2} + Hadc1_k^{FS/2} \quad (9)$$

Thanks to this test, we add two new unknowns. In order to keep the same number of unknowns and increase the number of equations, it is possible to associate DAC1 at full-scale as described in the next section.

3.4. Configuration C(2,1) at 1/2 full scale

1/2 full-scaled input signal has introduced two unknown parameters, $Hdac2_k^{FS/2}$ and $Hadc1_k^{FS/2}$. Three Independent equations have already been established, (5) (6) and (9), so we need two additional independent equations. C(2,1) configuration with both amplitude and phase variation, is used to establish these two equations. The 4th test setup involves a full-scale input signal on DAC1 and a 1/2 full-scale input signal on DAC2 with a π phase shift (Figure 7). The resulting signal at the ADC input is a sine wave at 1/2 full-scale:

$$\cos(x) + \frac{\cos(x + \pi)}{2} = \cos(x) - \frac{\cos(x)}{2} = \frac{\cos(x)}{2} \quad (10)$$

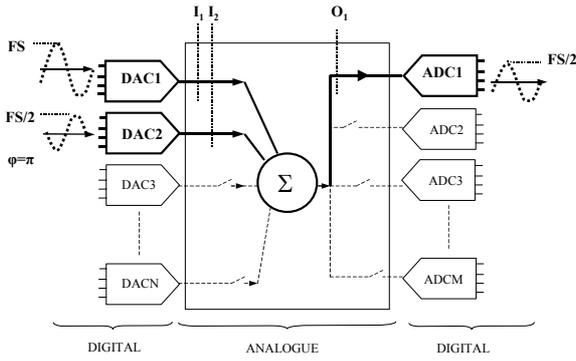


Figure 7: Test setup to obtain the 4th independent equation

The resulting equation is the sum of the harmonic contribution at full-scale of DAC1, the harmonic contribution at $\frac{1}{2}$ full scale of DAC2 balanced by the phase shift and the harmonic contribution at $\frac{1}{2}$ full scale of ADC1.

$$H_k^{m,d} = Hdac1_k^{FS} + Hdac2_k^{FS/2} \cos(k\pi) + Hadc1_k^{FS/2} \quad (11)$$

The 5th and ultimately required test is very similar to the previous one (Figure 8). The input amplitudes are the same but they are relatively phase shifted of φ_1 . The resulting signal at ADC input is now a sine wave at full-scale with a phase shift of φ_2 .

$$\cos(x) + \frac{\cos(x + \varphi_1)}{2} = \cos(x + \varphi_2) \quad (12)$$

$$\text{with } \varphi_1 = \pi - 2\arccos\left(\frac{1}{4}\right), \varphi_2 = \pi - \arccos\left(\frac{1}{4}\right) \quad (13)$$

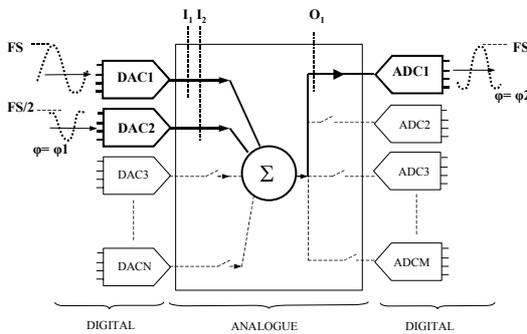


Figure 8: Test setup to obtain the 5th independent equation

The 5th equation then corresponds to the sum of the harmonic contributions balanced by their phase shift:

$$H_k^{m,e} = Hdac1_k^{FS} + Hdac2_k^{FS/2} \cos(k\varphi_1) + Hadc1_k^{FS} \cos(k\varphi_2) \quad (14)$$

In summary, the proposed test strategy is composed of five successive tests. Each test consists in an acquisition and a spectral analysis (with Fast Fourier Transform) to evaluate harmonic bins. We obtain a 5-equation system for each harmonic bin:

$$\begin{cases} H_k^{m,a} = Hdac1_k^{FS} + Hadc1_k^{FS} \\ H_k^{m,b} = Hdac2_k^{FS} + Hadc1_k^{FS} \\ H_k^{m,c} = Hdac2_k^{FS/2} + Hadc1_k^{FS/2} \\ H_k^{m,d} = Hdac1_k^{FS} + Hdac2_k^{FS/2} \cos(k\pi) + Hadc1_k^{FS/2} \\ H_k^{m,e} = Hdac1_k^{FS} + Hdac2_k^{FS/2} \cos(k\varphi_1) + Hadc1_k^{FS} \cos(k\varphi_2) \end{cases}$$

This system of independent equations is sufficient to calculate the value of the required harmonic contributions ($Hdac1_k^{FS}, Hdac2_k^{FS}, Hadc1_k^{FS}$). It allows thus a fully independent characterization of the three converters of the C(2,1) configuration in terms of harmonic contributions.

4. Second step: generalization of the method and test time reduction

The first step consists in using C(2,1) and C(1,1) configurations to characterize the three first converters (DAC1, DAC2 and ADC1). Five consecutive tests are necessary in order to characterize these three converters.

The generalization of the method is based on two ideas.

At first, by using an already characterized converter, we can characterize an additional one with only one test. For instance, DAC1 can be used to characterize the harmonic contribution of an uncharacterized ADCi using one digital stimulus at full-scale to obtain the following additional equations:

$$H_k^{m,j} = Hdac1_k^{FS} + Hadc_i^{FS} \quad (15)$$

The second idea is to do some parallel tests, during the first step in order to anticipate the measurements that would permit to apply the first idea. Indeed the first step needs five consecutive tests using C(1,1) and C(2,1) configurations, during a C(1,1) test, there is a DAC which is not used. Consequently, this DAC may be used to achieve the test described by equation 15. The results of this test will help characterize the unknown ADCi once the first step will be finished and DAC1 characterized. The parallel testing is possible, because only digital tester channels are required.

For instance, let's consider the ANC presented by figure 9. This is a set of 5 DAC's and 5 ADC's interconnected. The network of interconnections would be defined, considering the tests that should be done.

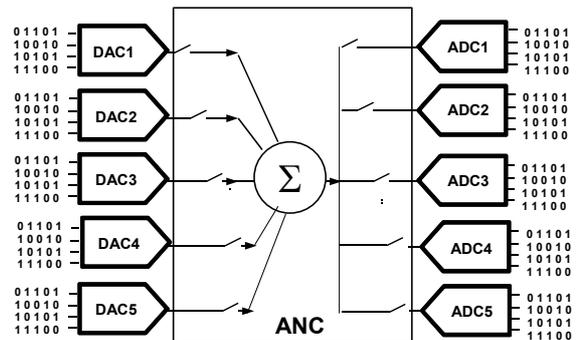


Figure 9: ANC made of 5 DAC's and 5 ADC's

Figure 10 gives a temporal description of the test configurations that would be used in order to test this set of 10 converters. There are two kinds of tests:

- Test configurations for the first step of the method, used to characterize DAC1, DAC2 and ADC1.
- Additional tests for the generalization of the method in order to test the seven other converters.

The time unit is one test. One test is equal to the time required to test one converter with a classical approach. We assume that this time is equivalent to the time for a C(1,1) or C(2,1) test. The total test time is equal to five because five consecutive tests are needed for the first step.

In the first time slot, two tests are performed simultaneously. The test configurations are DAC1/ADC1 and DAC2/ADC2. The results of the DAC1/ADC1 are exploited in the estimation of DAC1, DAC2, and ADC1 parameters, while the results of DAC2/ADC2 will help characterize ADC2, when DAC2 parameters are known.

In the second time slot, three tests are done using DAC2/ADC1, DAC1/ADC3 and DAC3/ADC2 configurations. The first test is part of the process for estimating DAC1, DAC2, and ADC1, and the two additional tests permit to characterize ADC3 and DAC3. The remaining parameters are similarly computed in the subsequent time slots.

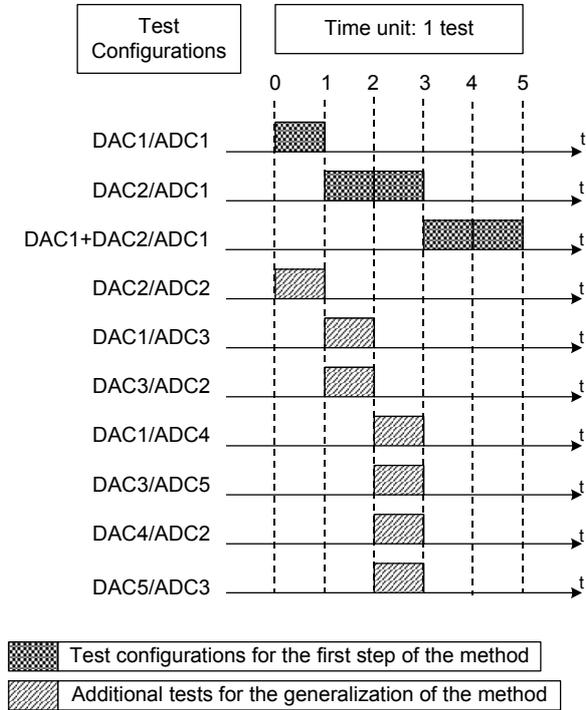


Figure 10: Temporal description of the test configuration for the generalization of the method

At the end of the process, for a test time of five, the distortion of ten converters can be computed. In the

first step DAC1 DAC2 and ADC1 are tested. Only one test per converter is required to additionally test DAC3..5 and ADC2..5 using parallel testing.

Obviously this generalization of the first step is an example of a possible process that can be elaborated in order to reduce the test time. The generalization depends on the number of converters to test, their specifications and the number of digital pins available on the tester. As a consequence a generalization should be elaborated for each case.

But it appears clearly that using this test methodology helps reduce the test time of a set of converters embedded in a SiP or SoC.

5. Validation

A number of experiments based on simulation have been conducted to validate the first step of the proposed approach. The converter model used for simulation is first introduced, then the simulation setup is defined, and finally simulation results are presented. The performance of the proposed test strategy is discussed in terms of estimation error on the harmonic components and on the dynamic parameters.

5.1. Data converter model

In order to simulate the test strategy, we need to establish a model that takes into account the effects of the converter non-idealities. Three main sources of errors will be considered, i.e. the sampling jitter of the converter, the non-linearities of its transfer function and the thermal noise.

Let us consider $r(n)$ an input sine wave passing through an ideal converter and affected by the jitter, J_t , and the thermal noise, N_{th} .

$$r(n) = 2^N \left(\frac{V_0}{V_{FS}} \right) \cos(\theta_n + J_t + \theta_0) + 2^N \left(\frac{V_{DC}}{V_{FS}} \right) + N_{th} \quad (17)$$

where N and V_{FS} respectively represent the number of bits and the full-scale voltage of the converter, V_0 and V_{DC} respectively correspond to the amplitude and the DC component of the input sine-wave, and θ_0 and θ_n are respectively the initial and nominal sampling phase of the signal. $J_t = 2\pi f_0 \delta_t$, with f_0 the frequency of the input signal and δ_t a centred Gaussian noise. The thermal noise is usually modelled by a centred Gaussian noise.

The second significant source of errors that has to be considered is the non-linearity of the converter transfer function. A common approach to analytically model the converter INL is based on polynomial approximation [4] [14] [16]. However, such modeling tends to smooth the sharp transitions usually encountered for actual INL. In order to alleviate this drawback, we choose an approach that consists in using “true” INL curves extracted from measurements on real data converters. Consequently, let us consider $s(n)$ the signal deteriorated by the two types of errors:

$$s(n) = [r(n) + INL([r(n)])] \quad (18)$$

where $INL(x)$ is a non-linearity curve measured through histogram testing of a real converter. This non-linearity curve is indexed by the rounded signal including the sampling jitter effect $[r(n)]$. The complete equation is rounded to model the quantization effect.

Equation (18) models the deterioration of a sine-wave signal passing through a converter affected by sampling jitter, transfer function non-linearities and thermal noise. This equation has been used for the simulations described in the following sections.

5.2. Simulation setup

In order to validate the proposed test strategy, we have conducted a number of simulations considering data converters of the same resolution and sampling frequency. The objective is to compare the values of the harmonic components evaluated using the proposed strategy to the ones obtained using a classical stand-alone test.

In an initial phase, we performed measurements on real data converters to extract INL curves. Practically, these INL curves were determined by performing a histogram test on 15 different PHILIPS 12-bits ADC TDA9910. Using equation (18), we could therefore model 15 different converters. Subsequently, two sets of simulation were run:

At first, we considered each data converter in a stand-alone configuration to get reference values.

Then, we considered five different C(2,1) configurations, with three different converters each time. For each C(2,1) configuration, we simulated the test algorithm described in section 3.2.

5.3. Results and discussion

As an example, Figure 9 presents the results obtained for one converter. The amplitude of the harmonic components evaluated using the C(2,1) configuration (grey bins) are compared to the amplitude of the harmonic components computed using the classical stand-alone test configuration (black bins).

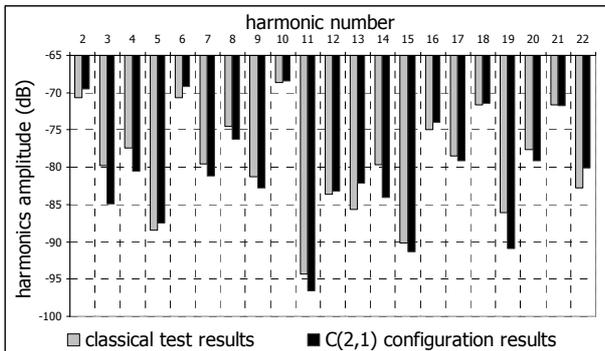


Figure 11: Estimation of the first 20 harmonics of one converter vs. reference values

The maximum estimation error, observed on the amplitude of the first 20 harmonic components, is about 5dB. However, it is worth nothing that this error is observed for a harmonic component of very small amplitude (≈ -85 dB). Considering only the major harmonic components with amplitude higher than -

75dB, the observed estimation error remains below 2dB. These results show the efficiency of the proposed strategy that permits an accurate evaluation of the converter harmonic components.

Similar simulations have been performed for the complete set of 15 different converters. Results are summarized in Table 1 that reports the maximum estimation error observed on the amplitude of the first 20 harmonic components for the different converters. Results have been classified in three ranges according to the amplitude of the harmonics.

Table 1: Maximum estimation errors vs. the amplitude range of the harmonic components (dB)

Converter #	Maximum Error for Ranges of Wanted Amplitudes (dB)		
	$h > -75$ dB	-75 dB $>h > -85$ dB	-85 dB $>h$
Converter #1	0.28	-7.99	-16.04
#2	-0.64	7.58	-19.23
#3	0.36	7.62	3.55
#4	-0.26	6.1	-8.49
#5	-0.25	0.91	11.60
#6	-0.33	-4.89	5.73
#7	0.24	-3.73	-18.16
#8	-0.39	2.10	-22.31
#9	0.25	8.00	6.58
#10	3.50	1.03	3.78
#11	-0.10	-2.10	-2.96
#12	-0.29	-1.02	22.9
#13	-0.37	-1.2	4.59
#14	0.14	3.17	14.20
#15	-0.45	-4.84	5.42

Analyzing these results of Table 1, it can be seen that the higher the amplitude of the harmonic component, the better the estimation. On the complete set of 15 converters, the maximum estimation error remains below 3.5dB for harmonic components with amplitude higher than -75dB, 8.00dB for harmonic components with amplitude between -75dB and -85dB, and 22.31dB for harmonic components with amplitude smaller than -85dB. Despite of few significant estimation errors, the estimated values are still in the amplitude range of the wanted harmonics. This is a satisfactory result, taking into account that the purpose of the test is to distinguish converters that exhibit poor performances, i.e. converters that present harmonic components with high amplitude (typically higher than 75dB for a 12-bit converter).

To further validate the efficiency of the proposed strategy, we have evaluated two classical dynamic parameters, namely the Total Harmonic Distortion (THD) and the Spurious-Free Dynamic Range (SFDR), for the 15 different converters. These parameters are evaluated from the spectral distribution. Results are summarized in Table 2, which reports the THD/SFDR values computed using the stand-alone configuration and the THD/SFDR values computed using the C(2,1) configuration, and the corresponding estimation error

Table 2: THD and SFDR estimation error

Converter Number	Wanted THD (dB)	THD estimation (dB)	THD error (dB)	Wanted SFDR (dB)	SFDR estimation (dB)	SFDR error (dB)
#1	-59.1	-59.0	0.4	68.8	69.3	-0.5
#2	-58.0	-57.9	-0.1	69.3	69.9	-0.6
#3	-58.2	-58.2	0	67.9	67.5	0.4
#4	-64.3	-63.9	-0.4	69.4	68.9	0.5
#5	-66.7	-66.9	0.2	70.9	71.1	-0.2
#6	-61.7	-58.8	-2.9	63.4	64.2	-0.8
#7	-48.1	-48.1	0	67.1	66.3	0.8
#8	-62.7	-62.2	-0.5	65.4	64.7	0.7
#9	-60.7	-60.9	0.2	64.9	65.5	-0.6
#10	-59.7	-59.7	0	62.2	62.2	0
#11	-61.5	-61.8	0.3	64.0	65.1	-1.1
#12	-61.6	-61.4	-0.2	62.8	62.8	0
#13	-70.4	-69.6	-0.8	71.1	67.4	3.7
#14	-55.5	-55.6	0.1	65.0	65.0	0
#15	-64.0	-63.6	-0.4	68.6	68.4	0.2

Analyzing these results, it can be seen that the proposed strategy enables a very accurate measurement of both these dynamic parameters, with an estimation error that remains below 3.7dB for the 15 different converters considered in the experiment. Note that such a low estimation error actually corresponds to the accuracy range that we can expect for the measurement of these parameters taking into account fluctuations in the test environment. Indeed, the reference values computed here with the stand-alone configuration are obtained considering ideal test instruments. However in a real environment, the repeatability of the measurements is impacted by unavoidable fluctuations in the test instrumentation. As a result, it is very classical to observe dispersion in the range of 5 to 10% when measuring the THD and SFDR parameters in a real environment.

6. Conclusion

The "Analogue Network of Converters" (ANC) represents a real breakthrough in the techniques for testing the harmonic distortion of embedded converters. The proposed method solves the problem of using very expensive mixed-signal instruments, thanks to a fully digital process.

Another benefit of the method relies on test time reduction. We have demonstrated that the generalization of the method to several converters leads to a significant reduction of the time required for both acquisition and data processing. Moreover, we build the basis of a BIST solution, based on an at-speed functional and parametric approach.

This method is in line with the test strategy applied to the SiP, electronic complex devices with embedded data converters, overcoming the observability and controllability issues.

Many experiments will follow this study, in order to validate the method on various converter architectures, and to check its robustness against some test parameters, such as signal amplitudes, or resolution.

Acknowledgement:

This work has been carried out under frame of the European MEDEA+ Project: "Nanotest".

References

- [1] M.Toner, G.Roberts, "A BIST scheme for an SNR test of a sigma-delta ADC", *Proc International Test Conf.*, 17-21 Oct. 1993 Page(s):805 - 814.
- [2] M.Toner, G.Roberts, "A BIST Technique for a Frequency Response and Intermodulation Distortion Test of a Sigma-Delta ADC", *Proc 12th IEEE VLSI Test Symp.*, 25-28 April 1994 Page(s):60 - 65.
- [3] M.J.Ohletz, "Hybrid Built In Self Test (HBIST) for Mixed Analog/Digital Integrated Circuits", *Proc. European Test Conference*, 1991, pp.307-16
- [4] S.K.Sunter, N.Nagi, "A simplified polynomial-fitting algorithm for DAC and ADC BIST" *Proc. IEEE International Test Conference*, pp.389-395, 1997.
- [5] F.Azais, S.Bernard, Y.Bertrand, M.Renovell, "Towards an ADC BIST scheme using the histogram test technique" *European Test Workshop, 2000*. Proceedings. IEEE 23-26 May 2000 Page(s):53 - 58
- [6] F.Azais, S.Bernard, Y.Bertrand, M.Renovell, "Implementation of a linear histogram BIST for ADC's" *Design, Automation and Test in Europe, 2001*. Conference and Exhibition 2001. Proceedings 13-16 March 2001 Page(s):590 - 595
- [7] K.Arab, B.Kaminska, J.Rzeszut, "A New Built-In Self Test Approach For Digital-to-Analog and Analog-to-Digital Converters", *Proc. of ICCAD*, 1994.
- [8] N.Nagi, A.Chatterjee, J.Abraham "A Signature Analyzer for Analog and Mixed-Signal Circuits", *Proc. ICCD, 1994* pp284-287
- [9] M. Mahoney, "DSP-Based Testing of Analog and Mixed-Signal Circuits", *IEEE Computer Society Press*, ISBN 0-8186-0785-8, 1987.
- [10] Datasheet of PNX8327, http://www.semiconductors.philips.com/applications/video_broadcast/stb/stb210_sat/index.html
- [11] C.Taillefer, G.W.Roberts "Reducing Measurement Uncertainty in a DSP-Based Mixed-Signal Test Environment without Increasing Test Time", *Proceedings. International Test Conf 2004* Page(s):953 - 962
- [12] J.A. Mielke, Frequency domain testing of ADC's *Design & Test of Computers*, IEEE Volume 13, Issue 1, Spring 1996 Page(s):64 - 69
- [13] J-M. Janik, "Estimation of A/D Converter Nonlinearities from complex Spectrum", *Proc. International Workshop on ADC Modeling and Testing*, pp.8-10. September 2003.
- [14] F. Xu, "A New Approach for the Nonlinearity Test of ADC's/DAC's and its application for BIST", *Proc. IEEE European Test Workshop*, pp 34-39, 1999
- [15] H. Jiang, D. Chen and R.L. Geiger "Dither Incorporated Deterministic Dynamic Element Matching for High Resolution ADC Test Using Extremely Low Resolution DAC's" *Circuits and Systems, 2005. ISCAS 2005*. IEEE International Symposium on 23-26 May 2005 Page(s):4285 - 4288 Vol. 5
- [16] F. Adamo, F. Attivissimo, N. Giaquinto, and M. Savino, "FFT Test of A/D Converters to Determine the Integral Nonlinearity", *IEEE Trans. Instrum. Meas.*, vol. 51, no. 5, pp. 1050-1054, Oct. 2002

New Electrode Layout for Internal Selectivity of Nerves

Olivier Rossel, *student, IEEE member*, Fabien Soulier,
Serge Bernard, *IEEE member*, and Guy Cathébras *IEEE member*

LIRMM, Université Montpellier II - CNRS - INRIA, 161 rue Ada, 34392 Montpellier, France.

Email: `Firstname.Lastname@lirmm.fr`

Abstract—A nerve is an enclosed, cable-like bundle of peripheral axons. Each axon or set of axons carries neural afferent or efferent information. Many applications need to detect or record these specific nervous data inside the nerve but it is a big challenge. The main issue is to achieve a good selectivity inside the nerve without being invasive. In this context, we propose a new layout of multipolar electrode allowing a very high level of spatial selectivity. This electrode has a flat-interface electrode with an array of poles. The idea is to find the best value for the inter-pole distance and the most suitable post processing in order to both improve selectivity in the nerve and reject external parasitic signals. In this preliminary work, we put emphasis on the simulation of the action potential as a method to help the electrode specification.

I. INTRODUCTION

The propagation of action potentials (AP) along the axons can be recorded via the electrical activity of the nerve (electroneurogram, ENG). Unfortunately, this signal appears to be of very low level and even often below the micro-volt.

Moreover, bioelectrical activity makes the *in-vivo* environment very noisy, the worst noise being the signal generated by muscle activity (electromyogram, or EMG). In the particular case of peripheral nerve sensing, the EMG can exceed ENG by three order of magnitude at least. This parasitic signal will inevitably masks the ENG signal. Analog pre-processing must therefore be carried out in order to reject EMG-type noise.

The majority of ENG systems are dedicated to intracortical recording [1] where the electrode is an array of contacts inserted into the brain. The systems dedicated to ENG recording on peripheral nerves are often based on tripolar [2], [3], multipolar cuff [4] electrodes. The electrodes consist of three or more conductor rings around the nerve. Another kind of electrodes is based on a flat interface [5] where the central poles are placed perpendicularly to the propagation direction. These electrodes reach the best selectivity of the internal nerve activity. Nevertheless, it has been shown [5] that it is impossible to distinguish sources if they are closer than few millimeters. Based on this flat shape we propose a new multipolar electrode. To be more selective, this electrode is designed according to the nerve physiology and topology.

The first section of this paper gives an overview of the electrode specifications. The third section presents simulations of axons. Based on simulation results, the fourth and the fifth section present the proposed solution for preprocessing and electrode respectively. The last section gives some concluding remarks and perspectives of this work.

II. OVERVIEW OF THE ELECTRODE SPECIFICATIONS

The propagation of neural signal along myelinated axons is due to the saltatory conduction. The action potential (AP) propagates along the axon from Nodes of Ranvier (NOR) to NOR (figure 1). When an AP occurs, several NOR are active at the same time, and the current density is localized around these active NOR. This local effect creates a voltage difference in the neighborhood of the NOR.

Solutions for neural activity recording are widely based on the dynamic features of these voltage differences due to the propagation of APs. In this paper, the pragmatical approach we propose consists in focusing firstly to the static sensibility of the considered electrode before studying the dynamic effects. In other words, before studying the dynamic neural activity (and the propagation), we propose to optimize the static sensibility of axon activities inside the nerve.

The main types of electrodes available are: cuff electrodes (flat or cylindrical), intrafascicular and sieves. Each kind has advantages and drawbacks, but for our application, we focus on the safety for the nerve and the selectivity of the electrode. By safety, at the electrode level, we mean the property of the electrode to be as non-invasive as possible for the nerve. Electrode selectivity is the ability for the electrode to isolate the activity of a particular set of axons inside the targeted nerve.

Because safety is the most critical issue, we choose to consider only cuff electrodes. This kind of electrode is not invasive for the nerve, and benefits of a large experience of long-term implantation on human beings [6]. Unfortunately, classical cylindrical cuff electrode has a very low selectivity because it gives global information averaged over the nerve surface. In the case of flat-interface electrode [5], the selectivity is enhanced but it is not possible to extract activity of single or small set of axons yet.

Our objective is to develop an electrode topology based on this flat shape electrode but with new characteristics. The resulting multipolar electrode is defined by the number, the type, the size and the layout of the poles around the nerve. The simulations presented in the next section will allow us to determine the best values of these electrode characteristics.

III. SIMULATION

The ENG signal can be described as the superimposition of extracellular potentials generated by several axons activated at the same moment. Our objective is to detect activity from

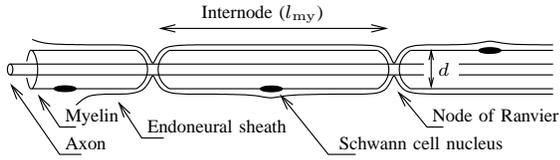


Fig. 1. Structure of a myelinated nerve fiber. Adapted from [9].

a set of these axons. We can assume that if the electrode characteristics are optimized to detect one axon activity then they can be extrapolated to be the best solution for a set of axons. We thus start by simulating an individual axon thanks to the *Neuron* simulation software [7].

A. Nerve Fiber Model

For the simulation, we consider the myelinated axon illustrated figure 1 where l_{my} is the distance between two successive NoR and d is the fiber diameter. According to the study by McIntyre *et al.* [8], l_{my} can vary from 0.5 to 1.5 mm, with d varying from 5.7 to 16 μm . We used these characteristics to build several *Neuron* models composed of 150 myelinated sections. The following simulation results focus on three different fibers, for a length of $l_{my} = 0.5 - 1 - 1.5$ mm with respectively a diameter of $d = 5.7 - 8.7 - 16$ μm .

B. Extracellular Potential Simulation

The action potential is triggered by synaptic current at one end of the fiber. To limit border artifacts, the electrode is placed near the middle of the nerve fiber model at a distance of about 2.5 cm from the starting point of the axone and 2 cm from the ending point of the axone. In order to estimate the contribution of local membrane currents to the total extra-cellular signal, we use the extension called *Extracellular Stimulation and Recording* available on the *Neuron* website¹. The basic principle of this program is to compute the transfer resistances coupling the trans-membrane current to the recording site potential.

A typical result is shown on the figures 2 a1), a2), a3) for different fiber diameters 5.7, 8.7 and 16 μm , at a distance of 200 μm from the membrane. We can clearly distinguish the pseudo-periodical variations due to the discontinuities along the myelin shield. These variations are specific to the neuro-signal and can be highlighted by a spatial frequency analysis.

C. Spatial Frequency Analysis

The figures 2 b1), b2), b3) give spectrum for different fiber diameters 5.7, 8.7 and 16 μm , at a distance of 200 μm from the membrane. The frequencies of the highest amplitude value are clearly linked to the internode distance l_{my} and occur for wavenumbers equal to:

$$k_n = n/l_{my}, \quad n \in \mathbb{N}, \quad (1)$$

whereas the low frequency energy denotes the global variations due to the signal propagation along the axon.

¹<http://www.neuron.yale.edu>

It must be noticed that in *in vivo* environment, the main contribution of parasitic signal such as EMG would be in low spatial frequencies (at zero frequency for an uniform spatial influence). Our objective will be thus to reject this frequency domain in order to avoid any saturation of the electronic amplifier used for recording, while amplifying as much as possible the targeted neural signal. To achieve this goal a specific preprocessing on the signals recorded on the different poles is essential.

IV. PREPROCESSING

A. Principle

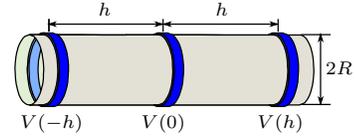


Fig. 3. Tripolar cuff electrode.

The classical preprocessing used in ENG recording is performed with tripole electrodes (see fig. 3). It consists in calculating the average of the potential differences between the central pole and each of the outer poles [10], [11]:

$$V_{\text{filt}} = \frac{(V(0) - V(-h)) + (V(0) - V(h))}{2} \quad (2)$$

$$= V(0) - \frac{(V(-h) + V(h))}{2} \quad (3)$$

The last expression shows that this operation consists in applying a spatial high-pass filter calculating the second order derivative (Laplacian filter). Laplacian filters can reject both homogeneous and linearly varying potentials like those created by distant EMG sources [12].

This kind of processing can be extended to the case of multipolar electrode. For example, Rieger *et al.* [4] present an 11-pole electrode with the associated amplifier giving 9 laplacian-filtered outputs.

It is commonly admitted that the inter-pole distance should not be too small in order to not attenuate the signal of interest. But a genuine optimization of this distance may be achieved by studying the spatial filter frequency response.

B. Filter Characteristics

The frequency response of the filter can easily be expressed using the Fourier transform. We will assume that the poles are relatively small with regard to the wavelength of the signal (reflecting the variation of the potential). The potential is then ideally sampled by the pole distribution over the space and the frequency response of a laplacian filter composed of three poles located respectively at $x_n = -h, 0, h$ is:

$$H(k) = -\frac{1}{2}e^{2i\pi kh} + 1 - \frac{1}{2}e^{-2i\pi kh} \quad (4)$$

$$= 1 - \cos 2\pi kh. \quad (5)$$

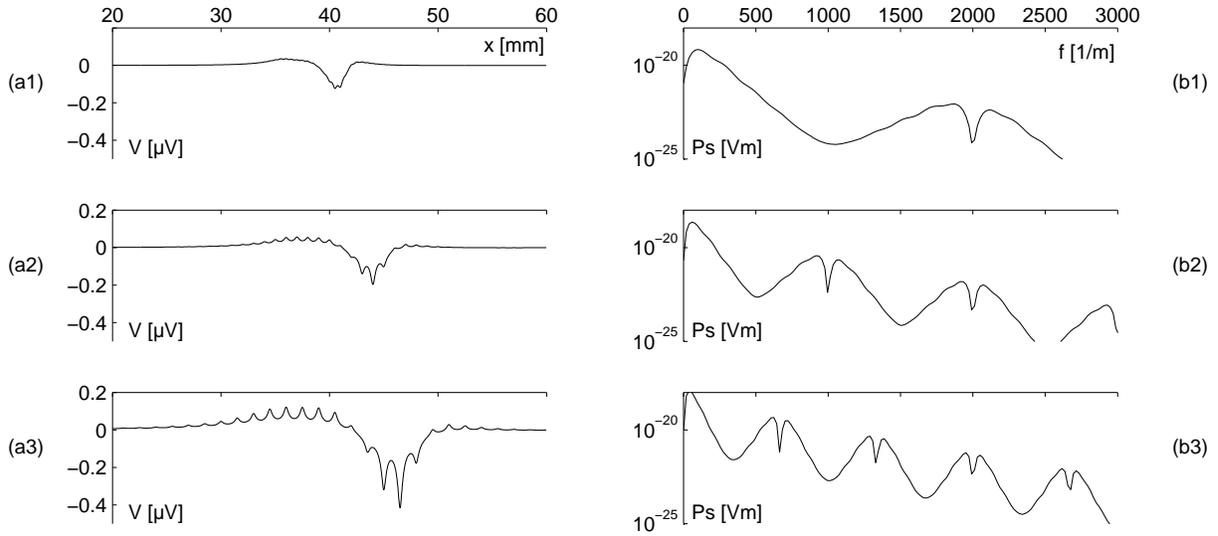


Fig. 2. Extracellular potential plotted along the axon's axis at a distance of $200\ \mu\text{m}$ from the membrane, for different fiber diameters $5.7, 8.7$ and $16\ \mu\text{m}$ respectively in (a1),(a2) and (a3). Typical spectrum of the extracellular potential regarding the spatial frequency in the axon's axis direction, for different fiber diameters $5.7, 8.7$ and $16\ \mu\text{m}$ represented respectively in (b1),(b2) and (b3).

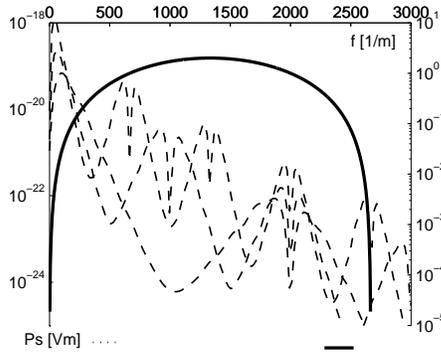


Fig. 4. Gain for the transfer function of our filter placed according to typical spectrum present in the fig. 2

This last expression shows that the Laplacian approximation (second order derivative) is only true for wavenumber $k \ll \frac{1}{h}$, when

$$H(k) \approx (2\pi^2 h)k^2 = -K(ik)^2, \quad (6)$$

since ik denotes the spatial derivative. In this equation, low frequencies (potential created by distant sources) are obviously rejected with a 40 dB/dec cutoff. But it can easily be seen on the real frequency response (equation 4) that the filter presents a 6 dB-bandwidth between $1/4h$ and $3/4h$ (fig. 4).

The first bin of the ENG spectrum is centered on $k = 1/l_{my}$ (fig. 4) for $0.5\ \text{mm} < l_{my} < 1.5\ \text{mm}$. To fit the bandpass of the filter for all kind of fiber, the optimal inter-pole distance should simply be

$$h = 375\ \mu\text{m}, \quad (7)$$

which is a surprisingly small interval. The result of this filtering is shown on the fig. 5.

V. ELECTRODE DESIGN

A. Introduction

As previously explained, the preprocessing used in classical ENG systems to reject parasitic signal like EMG is based on a Laplacian filter. This is the same preprocessing as we propose but in these cases each pole is a complete ring or at least the size of each pole is very large in comparison to the distance between two NoR. Moreover, the width of poles acts like a low-pass filter (in spatial domain) by averaging the potential. In this context, they offer very poor spatial selectivity and are not really suitable for source separation. Therefore, we propose an entirely new design of multipolar cuff electrode using very small pole distributed all over the cuff. The figure 6 gives the top and the cross section view of this kind of electrode. Previous works have shown that this kind of multipolar design presents both better sensitivity and greater selectivity than the tripolar cuff with regard to the potential created by a single NoR [12]. We will consider only six poles of this electrode as illustrated fig. 6. The objective is to evaluate the sensitivity of this set of poles versus type and depth of the axon.

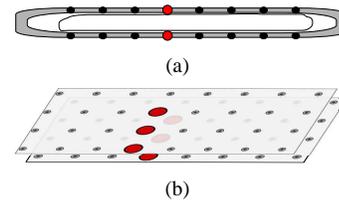


Fig. 6. Multipolar electrode cuff model.

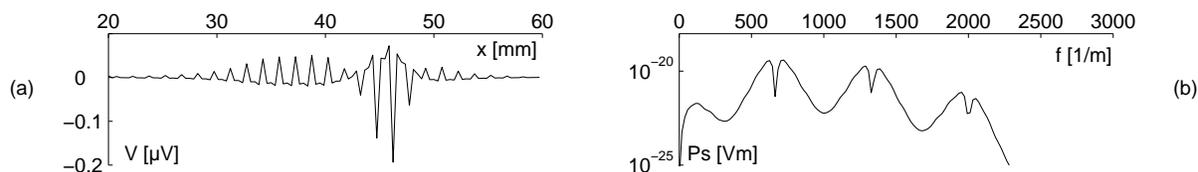


Fig. 5. Laplacian potential plotted along the axon's axis at a distance of $200\ \mu\text{m}$ from the membrane, for fiber diameter $16\ \mu\text{m}$ (a). Typical spectrum of the Laplacian filter output versus the spatial frequency into the axon's axis for this fiber (b).

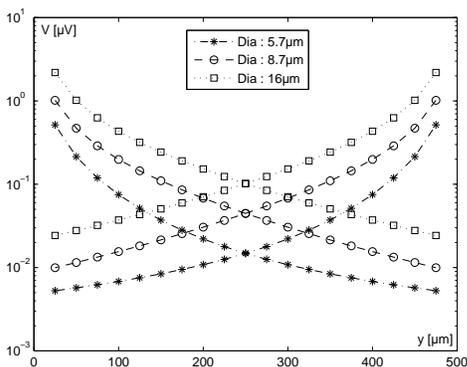


Fig. 7. Maximal measurable voltages according to the depth of the axon from the 6 pole electrode for various axon diameters.

B. Sensibility versus Type and Depth of the Axon

To evaluate the sensibility we perform two Laplacian filtering on 3 poles : one on the top and another one on the bottom of the electrode (see fig. 6). The figure 7 gives the maximal values in the two filter outputs for different axon diameters and for a flat-interface electrode with a thickness of $1/2\ \text{mm}$.

Obviously, larger and/or closer axons are easier to detect. We can notice that the attenuation of the measured signal due to the distance between 3 poles (top or bottom) and the considered source (the axon) becomes quickly significant. But when this distance is higher than $0.25\ \text{mm}$ the opposite 3 pole motif sensitivity becomes higher and could be used to detect axon activity. Moreover, this high variation of the signal attenuation means that each 3 pole motif would be only sensitive to fibers close to it. In other words this type of electrode has a high spatial selectivity (about $1/2\ \text{mm}$).

VI. CONCLUSION AND PERSPECTIVES

This preliminary work has presented an ENG recording electrode design. The two main principles are the use of a flat-interface electrode with numerous poles and the Laplacian filtering on longitudinal poles. The simulations have shown that the optimal distance between the poles for this type of electrode is about $375\ \mu\text{m}$. This inter-pole distance is much less than the classical distance between poles in multipolar cuff electrodes. These first results allow us to explore another kind of multipolar electrodes based on distributed poles with small inter-pole distance. This new type of electrodes allows us to have a new view on the ENG signal. We do not consider

only the propagation of the action potential, but also the Nodes of Ranvier (NoR) locations.

An experiment is in progress, to prove that electrodes with short inter-pole distance can measure the influence of NoR locations and to evaluate signal to noise ratio. This experiment will be set up on a worm because of its really simple neural system consisting of only three axons, and having pseudo NoR. For a complete study on selectivity the next work will consist in creating a realistic model of a complete nerve based on classical distributions and properties of axons.

REFERENCES

- [1] T. Jochum, T. Denison, and P. Wolf, "Integrated circuit amplifiers for multi-electrode intracortical recording." *Journal of Neural Engineering*, vol. 6, no. 1, p. 012001 (26pp), January 2009.
- [2] K. Papatthanasious and T. Ehmann, "An implantable CMOS signal conditioning system for recording nerve signals with cuff electrodes," in *ISCAS'2000 International Symposium on Circuits and Systems.*, vol. 5, Geneva, 2000, pp. 281–284.
- [3] J. Nielsen and E. Bruun, "A low-power CMOS front-end for cuff-recorded nerve signals," in *Proceedings of the 22nd Norchip Conference.*, Nov. 2004, pp. 24–27.
- [4] R. Rieger, M. Schuettler, D. Pal, C. Clarke, P. Langlois, J. Taylor, and N. Donaldson, "Very low-noise ENG amplifier system using cmos technology," *IEEE Transactions on Neural Systems and Rehabilitation Engineering*, vol. 14, no. 4, pp. 427–437, December 2006.
- [5] P. B. Yoo and D. M. Durand, "Selective recording of the canine hypoglossal nerve using a multicontact flat interface nerve electrode," vol. 52, no. 8, pp. 1461–1469, 2005.
- [6] R. L. Waters, D. R. McNeal, W. Faloon, and B. Clifford, "Functional electrical stimulation of the peroneal nerve for hemiplegia: long-term clinical follow-up," *Journal of bone and joint surgery*, vol. 67, no. 5, pp. 792–793, 1985.
- [7] N. Carnevale and M. Hines, *The Neuron Book*. Cambridge University Press, 2006.
- [8] C. C. McIntyre, A. G. Richardson, and W. M. Grill, "Modeling the excitability of mammalian nerve fibers: Influence of afterpotentials on the recovery cycle," *Journal of Neurophysiology*, vol. 87, pp. 995–1006, february 2002.
- [9] R. Plonsey and R. C. Barr, *Bioelectricity: A Quantitative Approach*, 3rd ed. Springer, June 2007.
- [10] J. J. Struijk and M. Thomsen, "Tripolar nerve cuff recording: stimulus artifact, EMG and the recorded nerve signal," in *Engineering in Medicine and Biology Society, 1995. IEEE 17th Annual Conference*, vol. 2, Montreal, Que., September 1995, pp. 1105–1106.
- [11] C. Pflaum, R. R. Riso, and G. Wiesspeiner, "Performance of alternative amplifier configurations for tripolar nerve cuff recorded ENG," in *Engineering in Medicine and Biology Society, 1996. Bridging Disciplines for Biomedicine. Proceedings of the 18th Annual International Conference of the IEEE*, vol. 1, Amsterdam, 1996, pp. 375–376.
- [12] F. Soulier, L. Gouyet, G. Cathébras, S. Bernard, D. Guiraud, and Y. Bertrand, "Multipolar electrode and preamplifier design for eng-signal acquisition," in *Biomedical Engineering Systems and Technologies*, ser. Communications in Computer and Information Science, A. Fred, J. Filipe, and H. Gamboa, Eds. Berlin, Heidelberg: Springer, 2009, vol. 25, ch. Multipolar Electrode and Preamplifier Design for ENG-Signal Acquisition, pp. 148–159.