



HAL
open science

Conception et évaluation d'une technique de DfT pour un amplificateur faible bruit RF

J. Tongbong

► **To cite this version:**

J. Tongbong. Conception et évaluation d'une technique de DfT pour un amplificateur faible bruit RF. Micro et nanotechnologies/Microélectronique. Institut National Polytechnique de Grenoble - INPG, 2009. Français. NNT: . tel-00481911

HAL Id: tel-00481911

<https://theses.hal.science/tel-00481911>

Submitted on 7 May 2010

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

INSTITUT POLYTECHNIQUE DE GRENOBLE

N° attribué par la bibliothèque
ISBN : 978-2-84813-143-6

THÈSE

pour obtenir le grade de

DOCTEUR DE L'Institut Polytechnique de Grenoble

Spécialité : Optique et Radiofréquences

préparée au laboratoire **TIMA** dans le cadre de
l'École Doctorale d'Électronique, d'Électrotechnique, d'Automatique et de Traitement du
Signal (EEATS)

présentée et soutenue publiquement par

Jeanne Madeleine TONGBONG

le 7 Décembre 2009

Titre :

CONCEPTION ET EVALUATION D'UNE TECHNIQUE DE BIST POUR AMPLIFICATEURS FAIBLE BRUIT RF

Directeur de thèse : M^r. Salvador MIR

Jury

M^r. Jean Michel FOURNIER,
M^r. Yann DEVAL,
M^r. Jose MACHADO DA SILVA,
M^r. Salvador MIR,
M^r. Jean-Louis CARBONERO,
M^r. Serge BERNARD,

Président
Rapporteur
Rapporteur
Directeur de Thèse
Examinateur
Examinateur

A mes parents

Remerciements

Les travaux présentés dans ce manuscrit ont été réalisés au sein du laboratoire TIMA. Je remercie Monsieur Bernard COURTOIS et Madame Dominique BORRIONE, ancien Directeur et actuelle Directrice du TIMA, de m'avoir accueilli dans leur laboratoire.

Je tiens à remercier Monsieur Salvador MIR, Directeur de recherche CNRS, pour son encadrement pendant ces quatre années et pour m'avoir initiée à la recherche. Je voudrais aussi remercier Monsieur Jean-Louis CARBONERO, correspondant industriel de ST Microelectronics, pour les longues séances de discussions et d'échanges d'idées.

Je remercie vivement Messieurs Yann DEVAL, Professeur à l'université de Bordeaux, et José MACHADO DA SILVA, Associate Professor à l'université de Porto, qui m'ont fait l'honneur d'accepter d'être les rapporteurs de ce mémoire de thèse. Je tiens aussi à remercier Monsieur Jean Michel FOURNIER, Professeur à l'INP de Grenoble, qui a bien voulu présider ce jury ainsi que Monsieur Serge BERNARD, Chargé de recherche au CNRS, pour sa participation au jury de thèse.

Je remercie ensuite Monsieur Ahcène Bounceur, Docteur de l'INPG et ancien membre du groupe RMS pour sa disponibilité, en particulier sa plateforme CAT (Computer-Aided-Test) qui m'a été précieuse dans l'obtention de résultats. Merci, à tous les autres membres du groupe RMS (en particulier Matthieu, Haralampos et Louay) et toute l'équipe de TIMA pour avoir rendu possible le développement de ces travaux.

Enfin, je tiens à remercier chaleureusement Monsieur Alexandre CHAGOYA, Responsable du service conception et Administrateur du CIME (Centre Inter universitaire de Micro Electronique), Monsieur Kholdoun TORKI, Directeur technique du CMP (Circuits Multi-Projets) et Monsieur Aurélien MORALES, Responsable technique de la plateforme HOG (Hyperfréquences et Optique Guidée), pour leur gentillesse, leur soutien et surtout leur patience.

Table des matières

1	Introduction	1
1.1	Contexte et motivation	1
1.2	Contributions	3
1.3	Structure de la thèse	4
2	Etat de l'art du test des LNA	7
2.1	Introduction	7
2.2	Test de production	8
2.3	Spécifications des circuits RF	9
2.3.1	Les paramètres S	9
2.3.2	La linéarité	10
2.3.2.1	Le point de compression	11
2.3.2.2	Le THD	12
2.3.2.3	L'intermodulation	13
2.3.3	Le bruit et la sensibilité	15
2.3.4	EVM	16
2.4	Test des circuits analogiques et RF	16
2.4.1	Test fonctionnel vs test structurel	16
2.4.2	Modélisation des fautes	19
2.4.2.1	Fautes catastrophiques	19
2.4.2.2	Fautes paramétriques	20
2.5	Techniques de DfT pour les amplificateurs faible bruit	21
2.5.1	DfT pour le test des spécifications	22
2.5.2	Techniques de DfT pour le test alternatif	23
2.5.3	Techniques de DfT pour le test structurel	24
2.5.3.1	Mesure du courant de consommation	25
2.5.3.2	Le corrélateur de tension et courant	25
2.5.3.3	Les stratégies de reconfiguration	27
2.6	Conclusion	28
3	Modélisation statistique du LNA	31
3.1	Introduction	31
3.2	Concepts statistiques de base	31
3.3	Description du LNA	33
3.3.1	Description de l'architecture du LNA	34
3.3.2	Simulation statistique du LNA	36
3.4	Modélisation paramétrique	39
3.5	Modélisation non-paramétrique	43

3.6	Modélisation par les Copules	48
3.7	Conclusion	52
4	Evaluation des mesures de test du LNA	53
4.1	Introduction	53
4.2	Mesures de test	53
4.3	Méthodologie d'évaluation	56
4.4	Les métriques de test en présence de déviations process	57
4.4.1	Définition des métriques	57
4.4.2	Evaluation des mesures individuelles de test	59
4.4.3	Evaluation des combinaisons de mesures de test	61
4.5	Outil de CAO pour l'injection et la simulation de fautes	64
4.6	Les métriques en présence des fautes catastrophiques	66
4.6.1	Définition des métriques	66
4.6.2	Résultats de simulation	66
4.7	Les métriques de test en présence des fautes paramétriques simples	68
4.7.1	Définition des métriques	68
4.7.2	Résultats de simulation	70
4.8	Conclusion	74
5	Conception de moniteurs embarqués	77
5.1	Introduction	77
5.2	BICS : Built-In Current Sensor	77
5.2.1	Description	77
5.2.2	Conception	79
5.3	Détecteur d'enveloppe	80
5.3.1	L'étage d'entrée	82
5.3.2	Le redresseur	83
5.3.3	La sortie	84
5.4	Assemblage de la puce et évaluation des moniteurs	85
5.4.1	Modifications apportées au circuit	85
5.4.2	Détection de fautes catastrophiques dans les capteurs	87
5.4.2.1	Dans le capteur de courant	87
5.4.2.2	Dans le capteur d'enveloppe	88
5.5	Métriques du BIST du LNA	88
5.5.1	En présence des déviations process	92
5.5.2	En présence des fautes catastrophiques	93
5.5.3	En présence des fautes paramétriques	95
5.6	Conclusion	97
6	Réalisation du circuit et résultats de simulations post-layout	99
6.1	Introduction	99
6.2	Techniques utilisées	99
6.2.1	Technique d'appariement	99
6.2.2	Technique de réduction du bruit	100
6.2.3	Le circuit	101
6.3	Simulations post-layout	102
6.3.1	Différents types d'extractions	102

6.4	Modélisation statistique	107
6.5	Métriques de test	110
6.6	Conclusion	113
7	Conclusion et Perspectives	115
7.1	Rappel du contexte	115
7.2	Contributions	115
7.3	Perspectives et travaux futurs	117
Annexe A	Résultats de modélisation	119
A.1	Modèle non paramétrique	119
A.2	Modèle par les Copules	121
A.3	Résultats	124
Annexe B	Fichiers	125
B.1	La plateforme CAT	125
B.2	MATLAB	126
	Bibliographie	135
	Liste des publications de l'auteur	137

Liste des figures

1.1	Cycle de vie d'un circuit intégré.	3
2.1	Récepteur à architecture directe.	7
2.2	ATE avec broches RF du CNFM Montpellier.	9
2.3	Les paramètres S.	10
2.4	Point de compression 1dB.	12
2.5	IIP3.	15
2.6	Reponse spectrale d'un DUT non linéaire à un stimulus à 2 tons.	15
2.7	Représentation graphique du test d'EVM.	17
2.8	Principe du test alternatif.	18
2.9	Distribution d'un paramètre process (épaisseur d'oxyde par exemple).	21
2.10	Stratégie de Loopback [46].	23
2.11	Organigramme de la calibration pour le test alternatif d'un composant RF[19].	24
2.12	Principe du BICS.	26
2.13	Techniques de DfT RF appliquées aux LNA.	29
3.1	LNA Cascode.	34
3.2	Distributions des données.	38
3.3	Ajustement de la distribution normale sur les performances : (a) facteur de bruit, (b) réjection en entrée, (c) gain, (d) point de compression 1dB et (e) IIP3.	41
3.4	Test de normalité sur (a) le point de compression, (b) le gain	42
3.5	Distribution bivariée originale vs distribution bivariée données loi multinormale	42
3.6	(a) Estimation par la méthode du noyau montrant les résultats pour n=7 noyaux individuels et pour n=103, (b) Résultats de la méthode du noyau pour n=10000 et pour différentes valeurs de h [58].	44
3.7	Noyau adaptatif vs noyau normal.	45
3.8	Ajustement de la distribution non paramétrique sur (a) le facteur de bruit, (b) la réflexion en entrée, (c) le gain, (d) le point de compression -1dB et (e) l'IIP3.	46
3.9	Distribution bivariée originale vs distribution bivariée données loi non paramétrique.	47
3.10	Distributions des estimations de données	49
3.11	Distributions des estimations de données	51
3.12	Distributions des estimations de données.	51
4.1	Histogrammes et pdf associés aux mesures de test : (a) valeur rms du courant, (b) valeur crête à crête du courant, (c) valeur rms de la tension de sortie, (d) valeur crête à crête de la tension de sortie, (e) impédance d'entrée, et (f) impédance de sortie.	55

4.2	Méthodologie mise en oeuvre pour évaluer les mesures de test	57
4.3	Taux de défauts (a) et perte de rendement (b) en fonction des limites de test. . .	59
4.4	Taux de défauts (a) et perte de rendement (b) en fonction des limites de test supérieures pour les mesures de test I_{cc} et V_p	62
4.5	Courbe montrant le compromis entre taux de défauts (D) et perte de rendement (Y_L) en fonction des limites de test supérieures des mesures de test I_{cc} et V_p . . .	62
4.6	Procédure de simulation de fautes utilisée par <i>FIDESIM</i> [11].	65
4.7	Couverture de fautes catastrophiques pour les mesures individuelles de test se- lon les différentes limites de test obtenues avec les modèles statistiques.	68
4.8	Couverture de fautes catastrophiques pour les combinaisons de mesures de test selon les différentes limites de test obtenues avec les modèles statistiques.	68
4.9	Probabilité d'occurrence et probabilité de détection d'une faute paramétrique. .	69
5.1	Capteur de courant.	78
5.2	Réponse du capteur de courant (BICS) : (a) dynamique de sortie, (b) variations process et mismatch et (c) dispersion thermique	80
5.3	Diagramme du détecteur d'enveloppe.	81
5.4	Détecteur d'enveloppe [3].	82
5.5	Performances du capteur d'enveloppe : (a) impédance d'entrée, (b) zone de li- néarité, (c) variations process	84
5.6	Différents points d'insertion de la résistance du capteur de courant.	86
5.7	Simulations au niveau schématique avec et sans BICS (a) facteur de bruit, (b) réjection en entrée, (c) gain, (d) rejection en sortie.	87
5.8	Ajustement des distributions statistiques sur : (a) facteur de bruit, (b) réjection en entrée, (c) gain, (d) point de compression 1dB, (e) IIP3, (f) V_{cs} et (g) V_{out} . . .	91
5.9	Distributions des données.	92
5.10	Taux de défauts et perte de rendement en fonction des limites supérieures des mesures.	93
5.11	Taux de couverture de fautes catastrophiques.	95
6.1	Layout du BIST pour LNA.	101
6.2	Simulations post-layout du circuit avec extraction de type Cc : (a) NF, (b) S_{11} , (c) gain, (d) V_{CS} , et (e) V_{ed}	103
6.3	Simulations post-layout du circuit avec extraction de type RCc : (a) NF, (b) S_{11} , (c) gain, (d) V_{CS} , et (e) V_{ed}	104
6.4	Linéarité des capteurs.	106
6.5	Simulations post-layout du circuit avec extraction de type RCc-2 : (a) NF, (b) S_{11} , (c) gain, (d) V_{CS} , et (e) V_{ed}	107
6.6	Ajustement des distributions statistiques sur : (a) facteur de bruit, (b) réjection en entrée, (c) gain, (d) point de compression 1dB, (e) IIP3, (f) V_{cs} et (g) V_{out} . . .	108
6.7	Distributions bivariées de l'échantillon obtenu par simulation électrique Monte Carlo(N=120 circuits).	110
6.8	Distributions bivariées des données de simulations du schématique (N=1e4 cir- cuits).	111

Liste des tableaux

3.1	Performances typiques du LNA cascode $0.25\mu\text{m}$	36
3.2	Bancs de test des simulations pour le LNA.	38
3.3	Performances du LNA et leurs paramètres statistiques.	39
3.4	Test du χ^2 sur les performances.	41
3.5	Dimension vs taille de l'échantillon pour un $\text{MISE} < 0.1$ [55].	47
4.1	Banc de test des simulations pour les mesures de test.	54
4.2	Mesures de test étudiées et leurs paramètres statistiques.	54
4.3	Limites des mesures de test suivant les différents modèles statistiques I.	61
4.4	Métriques des déviations process suivant les différents modèles statistiques I.	61
4.5	Limites des mesures de test suivant les différents modèles statistiques II.	64
4.6	Métriques des déviations process suivant les différents modèles statistiques II.	64
4.7	Liste des fautes paramétriques et leur probabilité d'occurrence.	72
4.8	Liste des fautes paramétriques et leur probabilité de détection pour différentes mesures et limites de test	73
4.9	Métriques paramétriques des mesures de test : $I_c V_p$ et $Z_2 I_c$ suivant les différentes limites de test.	74
5.1	Récapitulatif des performances du capteur de courant.	80
5.2	Récapitulatif des performances du détecteur d'enveloppe.	85
5.3	Bancs de test des simulations pour le LNA.	89
5.4	Performances et mesures de test du LNA et leurs paramètres statistiques.	90
5.5	Valeurs des mesures de test au regard des déviations process.	93
5.6	Liste des fautes paramétriques et leur probabilité d'occurrence et de détection.	96
5.7	Métriques paramétriques des mesures de test.	97
6.1	Performances et mesures de test par simulation post layout de l'extraction de type Cc.	102
6.2	Performances et mesures de test par simulation post layout de l'extraction de type RCc.	105
6.3	Performances et mesures de test par simulation post layout de l'extract type RCc-2.	106
6.4	Performances et mesures de test du LNA et leurs paramètres statistiques.	109
6.5	Récapitulatif des spécifications du circuit.	112
6.6	Métriques de test des simulations post-layout.	112
1	Liste des fautes paramétriques injectées suivant différentes mesures de test simples pour le modèle non paramétrique	120

2	Liste des fautes paramétriques injectées suivant différentes combinaisons de mesures de test pour le modèle non paramétrique	121
3	Liste des fautes paramétriques injectées suivant différentes mesures de test simples pour le modèle Copules	122
4	Liste des fautes paramétriques injectées suivant différentes combinaisons de mesures de test pour le modèle des Copules	123
5	Métriques de test pour différentes mesures de test simples	124
6	Métriques de test pour différentes combinaisons de mesures de test	124

Chapitre 1

Introduction

1.1 Contexte et motivation

La prolifération de produits de communication sans fil a généré une pression importante sur l'industrie du semi-conducteur. Les bas prix que les consommateurs paient pour leur équipements sans fil (téléphones portable par exemple) dans un marché fortement concurrentiel nécessitent des circuits de haute intégration et à bas coût. Le prix du test est donc devenu un facteur déterminant sur les marges de profit des fabricants. En effet, le test des composants RF (Radio Fréquences), des systèmes sur puce (System-on-Chip, SoC) ou des systèmes assemblés (System in Package, SiP) peut atteindre 40 % du coût de fabrication (ITRS 2003¹) [66]. Une simple expression couramment utilisée pour exprimer le coût total du test par puce fonctionnelle (CT) est donnée par l'équation suivante :

$$CT (\$/pf) = \frac{\text{Coût Fixe } (\$/s) + \text{Coût Récurrent } (\$/s)}{\text{Rendement } (pf/pt) * \text{Débit } (pt/s)}. \quad (1.1)$$

Dans cette expression s , pf et pt sont les abréviations de secondes, puces fonctionnelles et puces testées. Le coût fixe représente le coût de l'équipement de test (ATE) et les coûts d'installation. Le coût récurrent correspond à l'utilisation de l'ATE pour le test de cette puce (ce qui peut représenter environ 10 % du coût fixe pour des circuits RF). Le rendement est le rapport entre le nombre de circuits jugés bons par le test sur le nombre total des circuits testés. Le débit est le rapport entre le nombre total de bons circuits et le temps nécessaire au test. Le coût élevé du test est principalement du :

- au coût prohibitif des équipements de test RF (ATE),
- à la difficulté d'accès du circuit à tester,

1. International Technology Roadmap for Semiconductors

- au temps de test élevé.

Selon l'équation 1.1, le coût élevé de l'ATE peut être principalement attribué aux dispositifs d'instrumentation RF et aux broches électroniques dans la tête de test.

La figure 1.1 montre l'importance du test tout au long du cycle de vie d'un circuit intégré. Le premier test effectué est appelé le test de validation ou de caractérisation. Il s'agit d'un test fonctionnel devant vérifier si les performances du circuit correspondent à celles prévues dans le cahier de charges. Si ce n'est pas le cas, un diagnostic doit être fait pour localiser l'erreur de conception ou de fabrication du prototype. Dans l'étape de fabrication, on effectue deux tests, un premier au niveau plaquettes (wafer-level), et un deuxième après assemblage. Ces deux types de test constituent le test de production qui sera détaillé dans le chapitre suivant.

La conception en vue du test (Design-for-Test, DfT) et par extension le BIST (Built-In-Self-Test) font partie des solutions préconisées pour résoudre les nombreux problèmes posés par le test des circuits analogiques. La DfT et le BIST permettent de tester indépendamment des blocs dans une chaîne de circuits. Les techniques de BIST favorisent la réduction du test de production par la conception sur la puce d'un circuit de test, ce qui permet aussi la vérification sur le long terme de la fiabilité. De façon générale, le BIST présente de nombreux avantages :

- l'équipement externe peut être éliminé,
- tous les effets parasites introduits par les cables de connexion sont éliminés,
- la possibilité de tester les circuits à des fréquences très élevées grâce à l'élimination de l'interface de test,
- la réduction du temps de test grâce à la parallélisation,
- la vérification de la fiabilité à long terme à travers des tests périodiques des performances du circuit,
- la disponibilité du circuit pour le test.

Si cette technique est largement mature et utilisée pour les circuits intégrés numériques depuis de nombreuses années, la DfT et en particulier les techniques de test intégré (BIST) pour les circuits analogiques, mixtes ou RF ne sont pas encore étendues à l'échelle industrielle bien qu'une norme ait été créée [2]. La recherche de nouvelles techniques de test intégré pour des circuits analogiques et mixtes s'est intensifiée ces dernières années. La motivation de cette thèse est d'explorer de nouvelles techniques de BIST pour les circuits d'un front-end RF et en particulier un LNA.

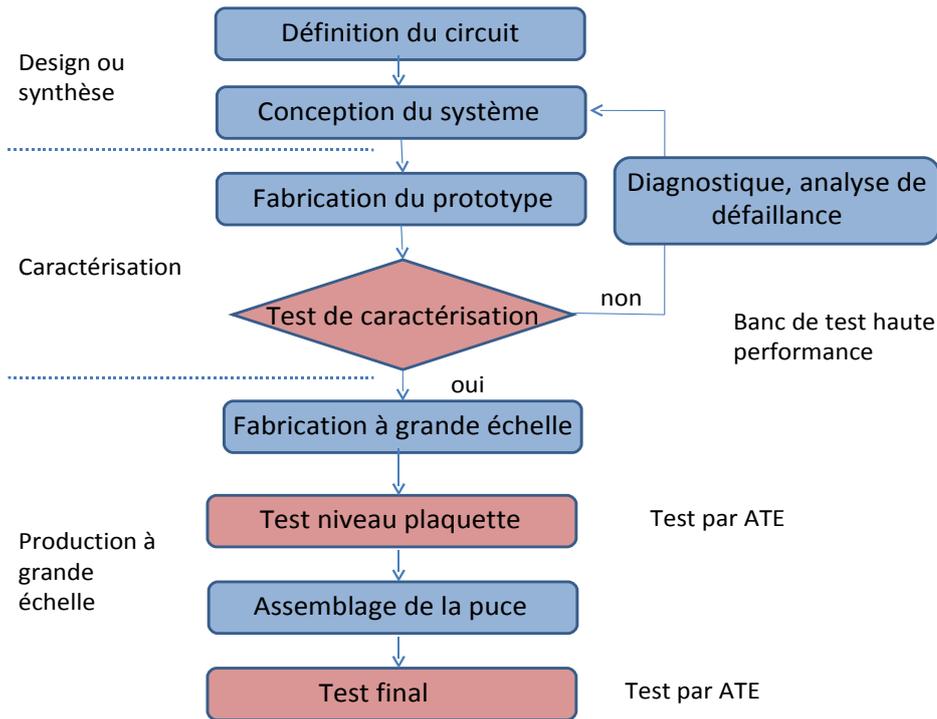


FIGURE 1.1 – Cycle de vie d’un circuit intégré.

1.2 Contributions

L’approche la plus prometteuse pour accroître la testabilité des circuits analogiques hautes fréquences est l’auto-test intégré (BIST). Ce point sera mis en exergue dans le chapitre suivant. Les techniques de BIST pour circuits analogiques aident à réduire les problèmes relatifs au test. Comme nous le verrons dans le chapitre sur l’état de l’art du test des LNA, il existe dans la littérature de nombreuses stratégies de BIST.

Durant ce travail de thèse, nous avons établi une méthodologie permettant de choisir une technique de BIST ou DfT à mettre en oeuvre au moment du design du circuit. A cette fin, nous proposons de procéder à un échantillonnage statistique qui permet de reproduire le comportement d’une production à plus d’un million de circuits. Nous proposons ensuite de fixer des limites de test suivant les métriques de test analogique. Ces métriques permettent d’évaluer la qualité d’une mesure de BIST.

La modélisation statistique du circuit mise en oeuvre est une étape importante. Nous avons montré que le choix de la technique de BIST à mettre en oeuvre était indépendant de la modélisation choisie. Nul besoin de connaître parfaitement la densité de probabilité conjointe des performances et des mesures de test du circuit à tester pour arriver à choisir la meilleure tech-

nique de BIST possible au regard des déviations process et des fautes catastrophiques.

Ceci nous a permis de choisir de mettre en oeuvre une technique de BIST combinant une mesure du courant de consommation et de la tension en sortie. Ces mesures présentent de fortes corrélations avec les performances de l'amplificateur qui sont les seules mesures effectuées à l'heure actuelle par le test industriel. La technique de BIST proposée est peu coûteuse en surface (inférieur à 4%) et elle permet de réduire le coût du test car les mesures en sortie sont analogiques et à basse fréquence. Pour la mettre en oeuvre, il ne reste plus que le stimulus en entrée qui est un signal à fréquence nominale (RF) du circuit.

Cette technique de BIST a été évaluée au niveau post-layout et les résultats obtenus montrent des métriques avec une bonne qualité de test.

1.3 Structure de la thèse

L'objectif de cette recherche est donc d'implanter une technique d'auto test incorporé dans un LNA afin de réduire le temps et le coût de test.

Pour ce faire dans le deuxième chapitre, nous présentons un état de l'art sur le test des amplificateurs faible bruit. Nous commencerons par une présentation sommaire du test en production et des principales performances de circuits RF. Ensuite nous aborderons le test des circuits analogiques RF avant de détailler les différentes techniques de DfT et BIST pour des amplificateurs faible bruit existantes dans la littérature.

Le troisième chapitre, traitera de la modélisation statistique du circuit sous test. Après une brève introduction aux concepts statistiques que nous utiliserons par la suite, nous présenterons les trois modèles statistiques étudiés afin d'obtenir un échantillonnage statistique du circuit à tester.

Dans le chapitre quatre, nous évaluons différentes mesures de test possibles afin de retenir les plus pertinentes. Nous détaillerons les critères (métriques) qui guident notre choix ainsi que la méthode utilisée. Des campagnes de simulation de fautes catastrophiques et paramétriques simples ont été faites, en plus des déviations process pour discriminer les différentes mesures.

Le cinquième chapitre est consacré à la mise en oeuvre de la technique de BIST. Pour ce faire des capteurs embarqués ont été conçus. Une description détaillée des capteurs ainsi que du nouveau circuit est faite. Une évaluation des métriques du nouveau circuit (amplificateur et capteurs) est faite, en considérant des populations du circuit sous déviations process, et sous des

fautes catastrophiques et paramétriques.

Le chapitre six traite du layout du circuit avec capteurs intégrés. Un rappel sommaire des principales techniques de layout utilisées est fait, ainsi qu'une présentation du layout final. Des résultats de simulations post-layout sont présentés et une modélisation statistique est faite afin de comparer les résultats de simulation du chapitre précédent et ceux post-layout. Ceci permet d'avoir une évaluation de la technique de BIST qui est la plus proche possible des résultats expérimentaux.

Enfin, nous terminerons par la conclusion et les évolutions et perspectives possibles de cet axe de recherche.

Chapitre 2

Etat de l'art du test des LNA

2.1 Introduction

Les télécommunications sans fil ont connu une croissance exponentielle durant le dernier siècle. Actuellement, il y a une forte demande en émetteurs/récepteurs RF qui peuvent être intégrés dans des SoCs complexes. La figure 2.1 montre un exemple d'architecture d'un récepteur RF. Il existe de nombreuses architectures de récepteurs, que nous ne détaillerons pas ici. Toutefois, ces architectures présentent des éléments communs et un mode de fonctionnement similaire. Ce récepteur se compose d'un front-end RF analogique, d'une section de traitement du signal en bande de base, et d'une unité de traitement du signal (DSP : "Digital Signal Processing"). Nous trouvons un amplificateur faible bruit ou LNA ("Low Noise Amplifier") au début du front-end RF analogique.

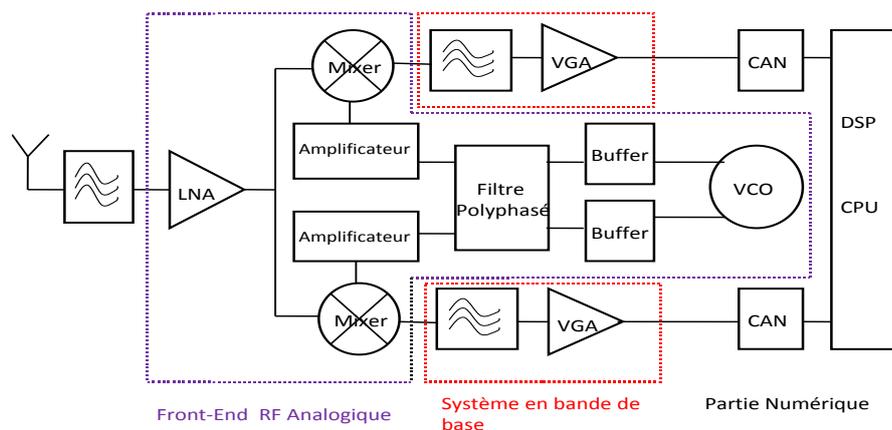


FIGURE 2.1 – Récepteur à architecture directe.

Le chapitre est organisé comme suit. Dans un premier temps, nous présenterons le test de

production des circuits RF et du LNA en particulier. Dans la troisième partie, nous détaillerons les principales performances testées sur les LNA. Par la suite, nous traiterons du test des circuits analogiques et RF dans la quatrième section. La cinquième section parlera des techniques de DfT pour les LNA. Dans cette partie nous présenterons les principales techniques de BIST pour amplificateurs faible bruit vues dans la littérature. Enfin une conclusion cloturera ce chapitre.

2.2 Test de production

Le test de production tel qu'effectué en industrie à l'heure actuelle vise la vérification des performances des circuits ou des systèmes. Il intervient à deux niveaux : un test au niveau plaquettes, puis un test après assemblage complet de la puce. Pour ce faire, l'on utilise des équipements de test automatisés nommés ATE ("Automatic Test Equipment"). L'ATE se compose d'un poste de travail, un ordinateur central, et une tête de test. Le poste de travail fournit l'interface humaine de l'ATE. Le fournisseur y inclut des outils spécifiques pour développer des programmes de test. L'unité centrale génère les tensions d'alimentation et comprend des instruments de mesure. La tête de test contient tout l'équipement électronique nécessaire aux mesures les plus sensibles qui nécessitent un contact direct avec le DUT.

Le test de production adopte une approche qui vise à mesurer séquentiellement toutes les performances du circuit à tester. Chaque test implique la configuration du matériel de test, l'application du stimulus de test, le temps d'établissement du DUT, ainsi que l'indication du temps de mesure. Aussi, l'ensemble du processus nécessite de passer (en utilisant les relais) entre les différents réglages pendant les différents tests, ce qui augmente la durée totale du test.

Pour le test de production après encapsulation, le circuit à tester est placé sur une carte d'évaluation de performances ("loadboard") qui est montée sur la tête du testeur. Ce montage permet le contact électrique entre le DUT et les instruments de mesure de l'ATE.

Le test au niveau plaquettes ("wafer") exige l'utilisation de sondes qui relient les broches d'entrée/sortie sur la puce aux ressources électriques de l'ATE par le biais de l'interface sonde-carte. L'interface sonde-carte est l'équivalent de la loadboard montée sur la tête de test de l'ATE lors de la production finale.

Une image d'un ATE utilisable afin de tester des SoCs comprenant des blocs RF est présentée dans la figure 2.2.



FIGURE 2.2 – ATE avec broches RF du CNFM Montpellier.

2.3 Spécifications des circuits RF

Parmi les performances standard le plus souvent spécifiées pour tester des circuits ou systèmes RF durant la phase de test de gros volumes, l'on peut citer le gain, le point de compression 1dB, le facteur de bruit, la distorsion harmonique, distorsion de l'harmonique d'ordre trois (IIP3 : "3rd order Input Intercept Point"), l'ACPR ("Adjacent Channel Power Ratio") et l'EVM ("Error Vector Magnitude"). Les limites tolérées pour ces performances correspondent aux spécifications. Le test permettant de vérifier la plupart de ces spécifications nécessite des mesures de puissance à l'entrée et/ou à la sortie du dispositif sous test et de ses composantes harmoniques. Ces spécifications caractérisent la performance des circuits ou systèmes RF et sont de ce fait considérées comme critiques dans une perspective de test.

2.3.1 Les paramètres S

La matrice [S], matrice de répartition ("Scattering matrix"), est l'outil de base pour l'étude des quadripôles ou des multipôles linéaires en hyperfréquence. La puissance est la grandeur la plus facile à mesurer en hyperfréquences. Les paramètres S ont un lien direct entre les transferts de puissance entre l'entrée et la sortie d'un quadripôle. Ils décrivent la réponse en réflexion et en transmission d'un composant dans le sens direct et dans le sens inverse, à la condition qu'un seul signal d'entrée soit appliqué au système. La mesure des paramètres S s'effectue au moyen d'analyseurs de réseaux vectoriels.

Comme l'illustre la figure 2.3 : a_n est l'onde incidente, b_n est l'onde réfléchie, et n est le

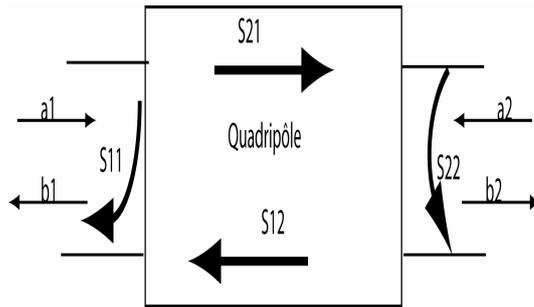


FIGURE 2.3 – Les paramètres S.

numéro du port. Pour un réseau à deux ports (tel un LNA), les paramètres S s'écrivent :

$$S_{ij} = \frac{b_i}{a_j}. \quad (2.1)$$

S_{11} est le coefficient de réflexion sur l'entrée ou pertes en entrée. S_{22} est le coefficient de réflexion sur la sortie. S_{21} est le gain de transmission dans le sens direct (décrit dans le paragraphe suivant). S_{12} représente le gain dans le sens inverse (i.e. de la sortie vers l'entrée), c'est l'isolation. Les paramètres S étant des entités vectorielles, on utilise dans la pratique des valeurs scalaires qui leurs sont directement liées. Ainsi l'on appelle par abus de langage paramètres S les valeurs correspondant à $20\log(|S_{ij}|)$.

La plus connue des mesures des paramètres S est le gain. Traditionnellement, la mesure du gain sur un simple circuit RF demande la mesure de la puissance du signal en entrée et à la sortie du circuit. Il est à noter que la mesure du gain peut s'avérer plus complexe dans un SoC du fait des recommandations sur la puissance du signal et des différentes transpositions de fréquences qui s'opèrent dans un système. Dans le cas d'un émetteur/récepteur RF, les mesures de puissance sont faites séparément d'une part pour le récepteur et d'autre part pour l'émetteur. Toutefois, pour effectuer ces mesures de gain, on suppose toujours une calibration du niveau de puissance et une bonne adaptation d'impédance des équipements de test. L'équation 2.2 illustre le calcul du gain d'une chaîne d'éléments :

$$G_T(dB) = G_1 + G_2 + \dots G_m. \quad (2.2)$$

Avec $1,2,\dots,n$ indices des éléments cascades en chaîne.

2.3.2 La linéarité

Un circuit n'est pas un dispositif parfaitement linéaire. Soit $x(t)$ un signal d'entrée et $y(t)$ la réponse du système, son comportement peut être modélisé par la relation donnée par l'équation

2.3 :

$$y(t) = \sum_{i=1}^n \alpha_i \cdot x^i(t). \quad (2.3)$$

Avec α_n des coefficients qui représentent une distorsion du signal ou compression du gain, des distorsions harmoniques et des distorsions d'intermodulation.

2.3.2.1 Le point de compression

Le point de compression 1dB (CP1) ou saturation du signal permet de déterminer la limite supérieure de la dynamique de puissance d'un circuit ou d'un système. Pour effectuer cette mesure de manière précise, idéalement la puissance de sortie du système est mesurée en fonction de la puissance délivrée à l'entrée. Soit $x(t)$ un signal d'entrée sinusoïdal, en se limitant au troisième ordre, l'expression de l'équation 2.3 s'écrit :

$$y(t) = \frac{\alpha_2 A^2}{2} + \left(\alpha_1 A + \frac{3\alpha_3 A^3}{4} \right) \cos(\omega t) + \frac{\alpha_2 A^2}{2} \cos(2\omega t) + \frac{\alpha_3 A^3}{4} \cos(3\omega t), \quad (2.4)$$

avec $x(t) = A \cos(\omega t)$. En petits signaux, les harmoniques sont négligeables et l'équation 2.4 devient :

$$y(t) \approx \left(\alpha_1 A + \frac{3\alpha_3 A^3}{4} \right) \cos(\omega t). \quad (2.5)$$

Dans cette hypothèse petits signaux l'on sous-entend aussi que $\alpha_1 A \gg \alpha_n A^n$; de ce fait α_1 est le gain linéaire du circuit. Si cette hypothèse n'est plus vérifiée, alors le second terme de l'équation 2.5 ne peut plus être négligé. Le gain n'est plus linéaire, mais il varie en fonction de l'amplitude. Pour une amplitude suffisamment importante en entrée, la sortie du système saturera. C'est la compression du gain. Lors du test, l'on fait varier la puissance d'entrée avec un pas régulier. Le point de compression à 1dB définit la puissance du signal en entrée du circuit pour laquelle le gain du circuit diminue de 1dB. Il se déduit comme suit pour le cas du signal de l'expression 2.5 :

$$20 \log \left| \alpha_1 + \frac{3\alpha_3 A_{CP1}^2}{4} \right| = 20 \log |\alpha_1| - 1 \quad (2.6)$$

$$A_{CP1} = \sqrt{0,145 \left| \frac{\alpha_1}{\alpha_3} \right|} \quad (2.7)$$

$$CP_{1dB} = 20 \log A_{CP1} \quad (2.8)$$

Le phénomène de compression est illustré par la figure 2.4.

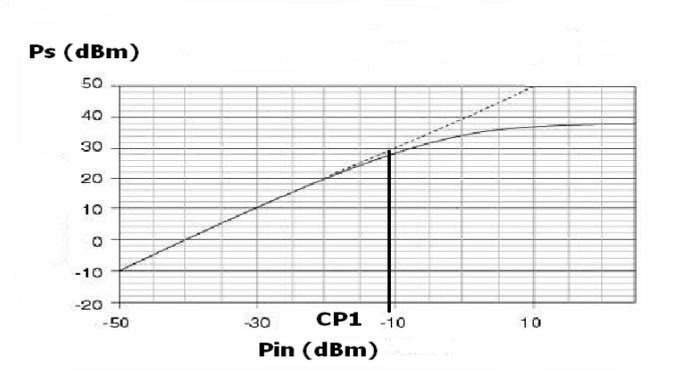


FIGURE 2.4 – Point de compression 1dB.

2.3.2.2 Le THD

La distorsion harmonique totale (THD) indique le degré de déformation du signal pour une puissance de sortie donnée. Cette valeur exprimée en % représente la quantité d'informations indésirables qui s'ajoutent au signal en sortie du circuit. Ces informations sont des fréquences harmoniques du signal, du bruit, etc... En général les distorsions harmoniques apparaissent lorsqu'une partie de la puissance du signal du système ou circuit est transférée aux harmoniques du fondamental. Les composants intégrés RF sont particulièrement sujets aux distorsions pour des signaux de puissance élevée. Le THD est calculé comme étant le rapport entre la somme des puissances de ces harmoniques et la puissance du fondamental. Dans la pratique, on injecte un signal sinusoïdal à fréquence unique pour effectuer cette mesure. La distorsion de l'harmonique d'ordre j notée HD_j est le rapport de l'amplitude de l'harmonique d'ordre j sur le fondamental $\alpha_1 A$. Dans le cas du signal de l'équation 2.4, les distorsions harmoniques du second et du troisième ordre dans des conditions de faible distorsion sont :

$$HD_2 = \frac{1}{2} \frac{\alpha_2}{\alpha_1} A \quad (2.9)$$

$$HD_3 = \frac{1}{4} \frac{\alpha_3}{\alpha_1} A^2 \quad (2.10)$$

La formule donnant le THD en dBc est donnée par l'équation 2.11 :

$$THD(dBc) = 10 \log \left(\sqrt{\sum_{i=2}^n HD_i^2} \right). \quad (2.11)$$

Pour la mesure du THD, on considère typiquement les sept premiers harmoniques du signal fondamental.

2.3.2.3 L'intermodulation

Si à l'entrée d'un système non-linéaire se présente un signal $x(t)$ composé de deux fréquences (f_1 et f_2), en sortie se retrouvent une composante continue, les harmoniques et des termes des combinaisons d'harmoniques et de fondamentaux. Ces derniers sont appelés termes d'intermodulation. Dans les conditions de faible distorsion, nous nous limitons au troisième ordre. Pour $x(t) = A\cos(\omega_1 t) + B\cos(\omega_2 t)$, alors la sortie $y(t)$ est décrite par :

$$y(t) = \alpha_1 (A_1 \cos \omega_1 t + A_2 \cos \omega_2 t) + \alpha_2 (A_1 \cos \omega_1 t + A_2 \cos \omega_2 t)^2 + \alpha_3 (A_1 \cos \omega_1 t + A_2 \cos \omega_2 t)^3 \quad (2.12)$$

On appelle intermodulation d'ordre j les signaux aux fréquences $mf \pm nf$ avec $|m|+|n|=j$. En suposant $\omega_2 > \omega_1$, et en developpant nous obtenons diverses composantes dans la partie positive du spectre, parmi lesquelles des intermodulations, en particulier celles d'ordre 2 et d'ordre 3 :

$$\alpha_2 A_1 A_2 \cos (\omega_2 - \omega_1) t \quad (2.13)$$

$$\alpha_2 A_1 A_2 \cos (\omega_1 + \omega_2) t \quad (2.14)$$

$$\frac{3}{4} \alpha_3 A_1^2 A_2 \cos (2\omega_1 - \omega_2) t \quad (2.15)$$

$$\frac{3}{4} \alpha_3 A_1^2 A_2 \cos (2\omega_1 + \omega_2) t \quad (2.16)$$

$$\frac{3}{4} \alpha_3 A_1 A_2^2 \cos (2\omega_2 - \omega_1) t \quad (2.17)$$

$$\frac{3}{4} \alpha_3 A_1 A_2^2 \cos (2\omega_2 + \omega_1) t. \quad (2.18)$$

Un intérêt particulier est porté aux produits d'intermodulations susceptibles de se trouver dans la bande du système à savoir IM2 et IM3 aux fréquences $\omega_2 - \omega_1$, $2\omega_1 - \omega_2$ et $2\omega_2 - \omega_1$. Pour effectuer ces tests, on utilise une source de puissance à deux fréquences et d'amplitude égale. Ceci permet d'écrire dans les conditions de faible distorsion :

$$IMD_2 = \frac{\alpha_1}{\alpha_2} A \quad (2.19)$$

$$IMD_3 = \frac{3}{4} \frac{\alpha_1}{\alpha_2} A^2. \quad (2.20)$$

En comparant ces expressions à celles de la distorsion harmonique de second et troisième ordre des équations 2.9 et 2.10, on note que IMD_2 est le double de HD_2 et IMD_3 est le triple de HD_3 . Ce qui montre que les contraintes de linéarité portent essentiellement sur la distorsion d'intermodulation. Les points d'interception de second et troisième ordre IP2 et IP3 permettent de quantifier les distorsions dues aux intermodulations d'ordre deux et trois. On appelle IIP3 le point d'intersection sur la courbe de puissance en entrée où la puissance en entrée du signal d'ordre 3 (fréquence $2f_1 - f_2$ ou $2f_2 - f_1$) égale la puissance du signal fondamental (fréquence f_1 ou f_2). L'IIP2 est le point d'intersection sur la courbe de puissance en entrée entre la puissance du signal d'ordre 2 (à la fréquence $f_2 - f_1$) et la puissance du fondamental. Le calcul de l'IIP2 et de l'IIP3 à partir de leur définition donne :

$$\alpha_1 A_{IIP2} = \alpha_2 A_{IIP2}^2 \quad (2.21)$$

$$IIP2 = 20 \log \left(\frac{\alpha_1}{\alpha_2} \right) \quad (2.22)$$

$$\alpha_1 A_{IIP3} = \frac{3}{4} \alpha_3 A_{IIP3}^3 \quad (2.23)$$

$$IIP3 = 20 \log \sqrt{\frac{4}{3} \left| \frac{\alpha_1}{\alpha_3} \right|} \quad (2.24)$$

La figure 2.5 illustre bien l'IIP3 comme l'intersection entre la courbe de pente 1dB/dB (puissance du fondamental) et la courbe de pente 3dB/dB (puissance de l'ordre 3). La réponse spectrale du système testé est représentée par la figure 2.6. De la différence d'amplitude (Δ) entre les signaux aux fréquences fondamentales (f_1, f_2) et les signaux aux fréquences d'intermodulations d'ordre 3 ($2f_1 - f_2, 2f_2 - f_1$), on déduit la valeur de l'IIP3 par l'expression 2.25 :

$$IIP3 = \frac{\Delta}{2} + P_{in}. \quad (2.25)$$

Pour un système en cascade de n éléments non-linéaires et sous l'hypothèse d'impédances adaptées, on calcule l'IIP3 total par la formule suivante :

$$\frac{1}{IIP3} = \frac{1}{IIP3_1} + \prod_{j=1}^{n-1} \frac{1}{IIP3_j} \quad (2.26)$$

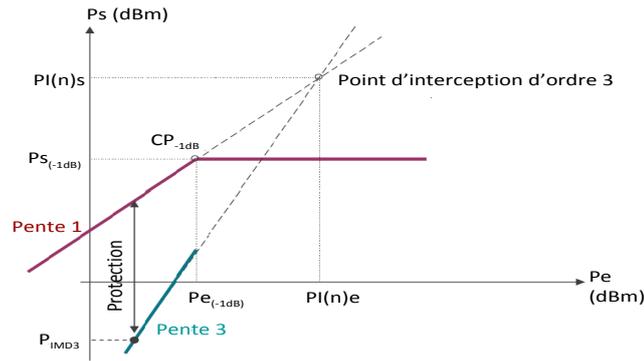


FIGURE 2.5 – IIP3.

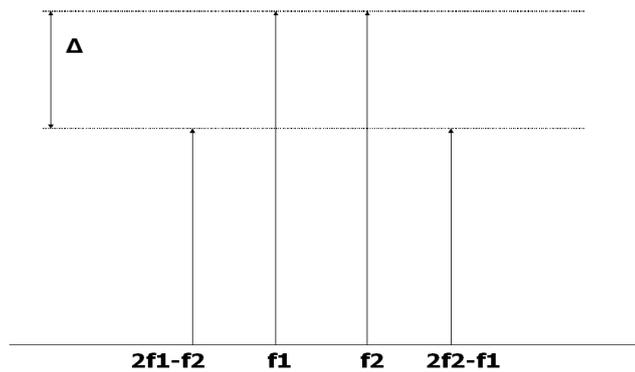


FIGURE 2.6 – Réponse spectrale d'un DUT non linéaire à un stimulus à 2 tons.

2.3.3 Le bruit et la sensibilité

Il existe divers facteurs pour qualifier le bruit d'un système, suivant ce que l'on veut qualifier. Le BER ("Bit Error Rate") et le rapport signal sur bruit ou SNR ("Signal to Noise Ratio") permettent d'apprécier la qualité d'une liaison. Le BER est le critère privilégié qui permet d'évaluer la performance d'un récepteur à modulation numérique. Pour un récepteur frontal RF, l'erreur permise en BER se traduit par un critère corrélé avec le SNR des signaux physiques. Le facteur de bruit (F) quant-à lui est un critère qui permet d'apprécier l'impact d'un circuit sur le SNR. Autrement dit, il mesure la dégradation de la qualité de la liaison par le circuit ou système. C'est donc le rapport entre le SNR à la sortie du système et le SNR à l'entrée de celui-ci :

$$F = \frac{SNR_{out}}{SNR_{in}}. \quad (2.27)$$

En d'autres termes, le facteur de bruit est la dégradation du rapport signal sur bruit à température ambiante. La figure de bruit (plus utilisée en industrie) est la valeur du facteur de bruit en décibels exprimée par :

$$NF(dB) = 10\log(F). \quad (2.28)$$

Le calcul du bruit d'une chaîne composée de n éléments (sous réserve d'impédances adaptées) est donné par la formule de Friis :

$$NF_T(dB) = 1 + \sum_{k=1}^n \frac{F_k - 1}{\prod_{i=1}^{k-1} G_i}, \quad (2.29)$$

où G_i est le gain de l'élément i . Les équations 2.29 et 2.26 montrent qu'il faut faire un compromis au niveau design entre le bruit, le gain et la linéarité du circuit.

La sensibilité est une des performances les plus importantes d'un récepteur. Elle détermine le signal minimal qui peut être reçu avec un SNR acceptable (en tout cas un SNR plus grand de 0dB pour lequel la puissance du signal est égale à la puissance du bruit). Cette performance est directement liée au schéma de modulation du récepteur ; malheureusement, il n'existe pas de méthode classique pour mesurer la sensibilité. De fait, la mesure de la sensibilité ($P_{in,min}$) se fait indirectement par le facteur de bruit ainsi que le montre l'équation suivante :

$$P_{in,min} = -174dBm/Hz + NF + 10\log(B) + SNR_{min}, \quad (2.30)$$

avec B la largeur de bande et -174 dBm/Hz représentant la densité spectrale de bruit thermique.

2.3.4 EVM

L'EVM ("Error Vector Magnitude") caractérise le comportement d'un récepteur RF. Pour ce faire, l'on compare le signal obtenu à la sortie du récepteur à un signal de référence idéal (signal que l'on obtiendrait avec un récepteur parfait). Pour effectuer ce test, un signal modulé dans le domaine temporel est injecté dans le récepteur et la réponse obtenue est tracée sur un diagramme I/Q comme l'illustre la figure 2.7. Cette figure de mérite d'un récepteur est particulièrement difficile à tester car les mesures se font dans le domaine temporel et aussi de par la précision requise pour mesurer le signal de référence. Ajoutons à cela le fait que le test d'EVM nécessite des ATE qui supportent une modulation numérique en même temps que la génération de signaux RF. C'est donc l'un des tests les plus coûteux en termes de complexité et de temps.

2.4 Test des circuits analogiques et RF

2.4.1 Test fonctionnel vs test structurel

Les concepts de test fonctionnel et test structurel ont dans un premier temps été définis dans le monde du test numérique. Le test fonctionnel comme son nom l'indique consiste à évaluer

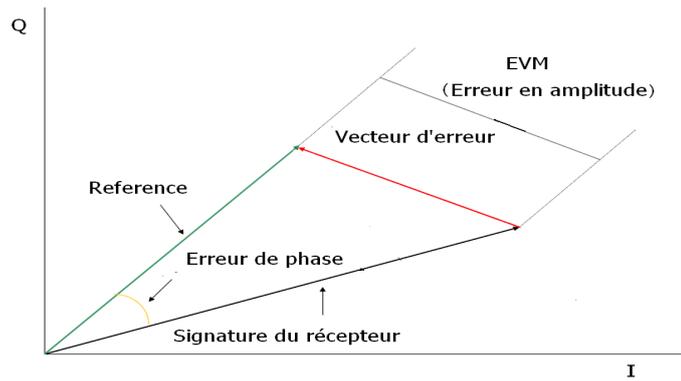


FIGURE 2.7 – Représentation graphique du test d'EVM.

toutes les spécifications (gain, bande passante, BER, etc...) d'un circuit ou système, ces spécifications auront été définies au préalable dans un cahier de charges. Pour ce faire, on utilise des stimuli aussi divers que des signaux mono ou multi-fréquences, des signaux en rampe, ou toute autre forme de signal périodique. La réponse du circuit sous test qui peut être une amplitude ou une phase par exemple, est par la suite analysée avec des techniques temporelles ou fréquentielles (analyseur de réseau, vectoriel, etc...). C'est ainsi que l'on obtient les performances du circuit qui sont comparées aux spécifications pré-établies. Du fait du nombre et de la complexité des performances à tester, le test fonctionnel est extrêmement coûteux en temps et en matériel.

Une alternative de réduction du coût du test fonctionnel est le test alternatif. Dans cette approche, les performances du circuit sous test ne sont pas directement mesurées, mais plutôt prédites à partir d'un ensemble réduit de mesures de test. Cette analyse mathématique est généralement effectuée en utilisant les techniques de la régression statistique telle que la régression non linéaire pour le cas des circuits RF. Le test alternatif se base sur le fait que les variations des performances ainsi que celles des mesures de test dépendent des variations des paramètres physiques et/ou process du circuit sous test. D'où la possibilité de prédire les valeurs des performances à partir de celles des mesures de test. La figure 2.8 résume ce principe.

A contrario du test fonctionnel, le test structurel consiste à injecter des fautes (au préalable définies) dans le circuit, ceci afin de tester la structure du circuit. C'est l'approche la plus commune et utilisée pour les circuits numériques. Pour faciliter l'accès aux différents blocs, le standard IEEE 1149.1 [1] a été créé. Les fautes sont généralement classées en deux catégories, les fautes catastrophiques (avec modification de la topologie du circuit) et les fautes paramé-

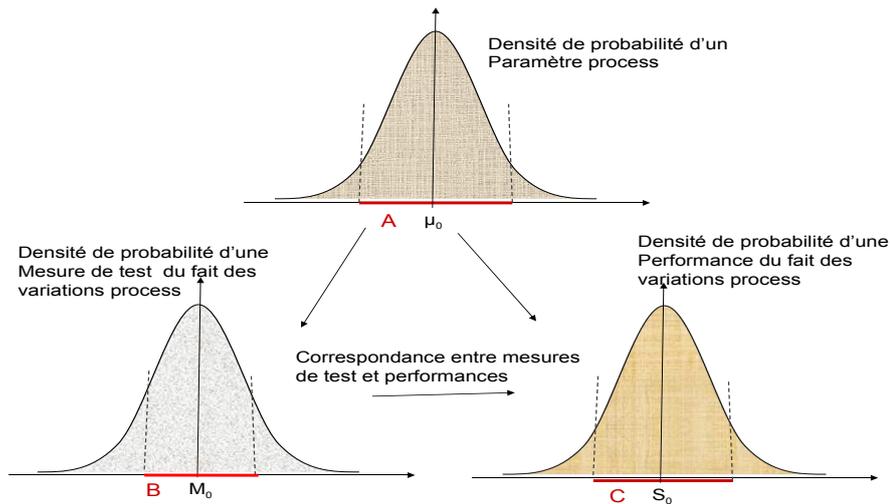


FIGURE 2.8 – Principe du test alternatif.

triques (elles sont généralement modélisées par des déviations de paramètres du circuit). Cette méthode sous-entend de trouver les vecteurs de test permettant de détecter le plus grand nombre de fautes parmi celles qui sont injectées. Ceci, permet une optimisation des vecteurs de test et une réduction des coûts, en particulier le temps de test. Le test structurel repose à priori sur l'idée selon laquelle "si un circuit est bien designé, une défaillance de ce dernier ne peut être due qu'à un défaut dans le circuit". Cette idée pose l'a-priori d'un principe de design robuste vis-à-vis des déviations process, ce qui peut être sujet à discussion. Le deuxième point d'interrogation porte sur l'exactitude des fautes injectées, voire de la modélisation de fautes. Ce dernier point sera discuté dans la section suivante.

Une des évolutions du test structurel est le test orienté défauts ("Defect Oriented Test", DOT). C'est une méthode de réduction du test qui se base sur la détection des principaux défauts d'un circuit par le biais des mesures d'un nombre restreint de paramètres. Le test orienté défauts implique une analyse des mécanismes de défaillance par le biais de la simulation et/ou la collecte de données empiriques afin de construire les modèles de fautes relatifs au circuit. Ces modèles sont utilisés pour l'injection des fautes et par la suite pour l'optimisation des vecteurs de test. Le test Iddq est particulièrement efficace dans cette optique afin de détecter des courants anormalement hauts. Cette technique s'est révélée très prometteuse pour le test des circuits CMOS [10].

2.4.2 Modélisation des fautes

Dans le domaine numérique, la modélisation des fautes a été considérée par l'industrie depuis les années 1970 [27]. Typiquement, les fautes de type "stuck-at" sont utilisées. Ces fautes correspondent au collage d'une connexion du circuit à une valeur logique (0 ou 1). Ce modèle de fautes a permis de démontrer de façon claire et précise l'efficacité de la DfT pour des circuits numériques. Toutefois, pour le monde analogique, les caractéristiques des circuits et la nature des signaux rend ces modèles inappropriés.

2.4.2.1 Fautes catastrophiques

Aussi appelées fautes structurelles, elles comportent des circuits ouverts et des court-circuits. La présence d'une faute catastrophique conduit généralement à un fonctionnement du circuit très loin de ses spécifications : "le circuit ne marche pas".

Les circuits ouverts sont généralement modélisés par une résistance dont la valeur peut varier de quelques centaines de kilohms à des centaines de mégaohms. Ce modèle de faute purement résistif est très efficace pour bloquer le signal à des fréquences raisonnables, mais il peut s'avérer imprécis pour les hautes fréquences car les défauts peuvent présenter des comportements réactifs, basiquement capacitifs. Pour ce type de défaut, on utilise une résistance en parallèle avec une capacité [4]. Dans ce modèle, un courant résiduel passe entre les deux bouts du défaut. Aux basses fréquences, l'impédance présentée par ce modèle correspond à celle du modèle résistif. Par contre aux hautes fréquences, on observe un courant résiduel plus important à cause de la capacité, d'où la dépendance en fréquence du modèle. Certains défauts pourraient être uniquement modélisés par une capacité. Cependant ce modèle de faute n'est pas utilisé afin d'éviter la simulation de noeuds flottants. En effet, un véritable circuit ouvert ("open") laisse la grille d'un transistor MOS flottante, à un état indéterminé (on, off ou sous tension aléatoire), ce qui affecte la détectabilité de la faute. Une étude comparative des modèles a démontré que les trois états étaient valides [9].

Les court-circuits ("short") sont modélisés par une résistance d'une valeur variant d'un ohm à une dizaine de kilo ohms. On utilise généralement une résistance d'un ohm pour une première étude. Dans [4], la valeur de la résistance est fixée en fonction du matériau formant le court-circuit entre les deux lignes de métaux à relier. Par exemple, si le court-circuit est formé par du polysilicium entre deux métaux, la valeur de résistance varie de 1 à 100 k Ω .

Un des points cruciaux de la modélisation des fautes catastrophiques est l'injection de dé-

fautes réalistes. En effet, pour N noeuds, en théorie il y a $N(N-1)/2$ court-circuits possibles entre deux noeuds. Pour déterminer les court-circuits réalistes, généralement on analyse le layout du circuit, de façon à ne retenir que les courts-circuits les plus probables. Cette analyse se fait par l'IFA ("Inductive Fault Analysis"). D'après [4], il existe de nombreux outils dédiés à la localisation des défauts et à l'injection des fautes dans le layout tels que CARAFE [37], FANTESTIC [36], etc... Ces outils sont pour la plupart inaccessibles.

2.4.2.2 Fautes paramétriques

De par leur comportement non binaire (continuité des signaux), les circuits analogiques sont très affectés par les déviations process. De ce fait, les court-circuits et circuits ouverts ne peuvent pas représenter l'ensemble des fautes analogiques. Au contraire du numérique, les fautes paramétriques sont donc un souci plus important que les fautes catastrophiques en vue de la modélisation des fautes dans les circuits analogiques.

L'injection des fautes paramétriques peut se faire à différents niveaux. Les fautes paramétriques peuvent être injectées au niveau process, comme étant des variations d'un paramètre process du circuit (épaisseur d'oxyde, dopage du substrat, etc...). Elles peuvent aussi être injectées au niveau circuit, ainsi ce sont des variations des valeurs de composants du circuits (résistances, rapport W/L des transistors, etc...) qui sont considérées. Un troisième niveau d'injection de fautes est la description comportementale. Dans ce cas, le circuit sous test est une boîte noire dans laquelle on injecte une faute à l'entrée, et l'on observe sa propagation à la sortie [57].

Il existe deux façons de définir les fautes paramétriques simples. Premièrement d'une façon structurelle, on définit la faute paramétrique simple comme la déviation d'un paramètre en dehors des bornes de tolérance. Cette définition de faute paramétrique suppose que le circuit à été conçu au préalable pour supporter des variations en-dessous de ces bornes de tolérance. On se réfère à la robustesse du design. Il n'y a aucune référence aux spécifications du circuit, car malheureusement, toute déviation dans les valeurs de composants ne résulte pas forcément dans la violation d'une spécification. Deuxièmement, de façon fonctionnelle, on définit la faute paramétrique comme la variation minimale d'un paramètre du circuit ou process qui engendre la violation d'au moins une des spécifications du circuit.

On caractérise les paramètres variables par une distribution généralement gaussienne. Les limites de tolérance de ces paramètres sur cette distribution peuvent être définies d'une façon

structurale ou fonctionnelle. Comme illustré sur la figure 2.9, la région d'acceptabilité correspond à la zone entre les limites. Au-delà, c'est la zone qui provoque la faute.

En outre des fautes paramétriques simples, on peut considérer des comportements défailants qui résultent de la déviation de multiples paramètres, en particulier à cause des déviations process. La modélisation statistique du circuit sous test est alors considérée pour modéliser ces comportements défailants [11].

Afin de prendre en compte les dépendances complexes entre les différents paramètres, les méthodes les plus récentes de génération de test et de diagnostic des fautes utilisent une modélisation statistique des fautes paramétriques. Elles se basent sur la connaissance à priori de la fonction de probabilité du process caractérisant les paramètres process et du circuit. On essaie d'établir des relations entre les performances du circuit, les mesures de test, et les paramètres du circuit [6] (voir figure 2.8).

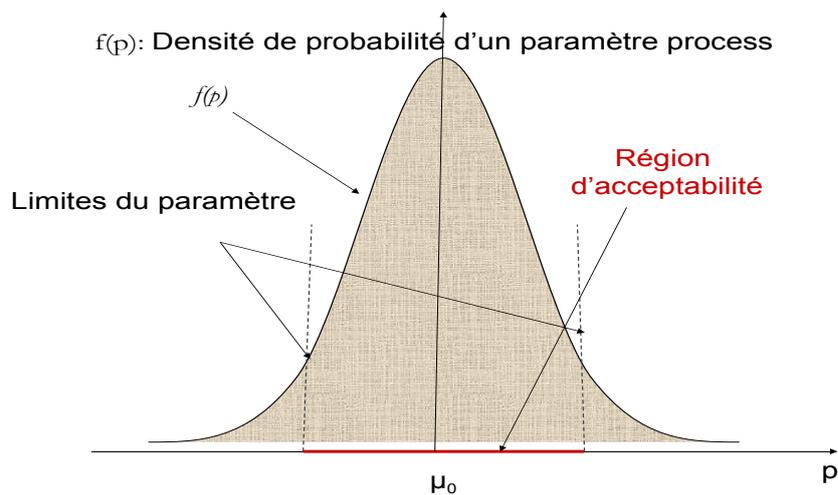


FIGURE 2.9 – Distribution d'un paramètre process (épaisseur d'oxyde par exemple).

2.5 Techniques de DfT pour les amplificateurs faible bruit

Le principe du BIST est d'inclure dans le circuit lui-même les fonctions de génération de vecteurs de test et d'analyse des résultats du test. Ainsi le circuit est capable de se tester de façon autonome sans avoir recours à un équipement de test complexe extérieur. Les techniques de BIST rencontrées dans la littérature ont pour objectif la vérification des spécifications ou la couverture des fautes catastrophiques pour le test structurel. Une des pratiques les plus répandues est de remplacer le maximum de tests fonctionnels avec des tests structurels moins coûteux

en temps, tout en améliorant le rendement des tests. Les stratégies de BIST orientées vers le test alternatif permettant d'effectuer un test fonctionnel de façon indirecte ont été considérées ces dernières années. Actuellement, il existe peu de techniques permettant le BIST d'un LNA dans le sens propre du terme. Cependant, il existe de nombreuses techniques de DfT afin de faciliter le test, en particulier les mesures.

2.5.1 DfT pour le test des spécifications

La méthode de "Loopback" permet de tester une chaîne complète d'émission et de réception, en boucle fermée. C'est une technique particulièrement développée ces dernières années dans le but de concevoir un BIST. L'approche en elle-même n'est pas nouvelle et est une extension des techniques utilisées en radio mobiles. Cette technique s'adresse à un système complet d'émission et de réception et non pas à des circuits élémentaires. Dans [46], pour tester un récepteur RF intégré, l'on utilise les données numériques à la fin de la chaîne de transmission pour tester la chaîne de réception. Un stimulus optimisé est injecté par la suite, une analyse spectrale de la réponse permet d'obtenir de nombreuses performances et de les comparer aux spécifications du système tout entier. La boucle de test comprend à la fois le transmetteur (Tx) et le récepteur (Rx). L'amplificateur de test est un amplificateur à faible gain variable, qui n'est pas alimenté en mode de fonctionnement normal afin de ne pas affecter les performances du système. Le BIST inclut aussi le synthétiseur de fréquences (LO), qui en mode test doit permettre à l'émetteur de fonctionner à la même fréquence que le récepteur. Il est aussi possible d'inclure une boucle de test dédiée aux convertisseurs A/D, D/A. Il est à noter aussi que si l'on inclut aussi l'antenne, des multiplexeurs permettent d'injecter directement stimulus dans le bloc récepteur et de le tester séparément ou de tester tout le bloc en configuration boucle fermée.

Bien que supposée couvrir trois niveaux d'abstraction (layout, niveau transistor et fonctionnel), cette technique n'a été simulée qu'au niveau bloc fonctionnel. Autre point problématique pour ce BIST, il utilise un amplificateur de gain programmable (TA) dont le cahier de charges au moins pour la figure de bruit (NF) est aussi contraignant que le LNA du système, le design de cet élément relève donc d'un challenge. De plus, il est impossible avec cette technique de déterminer quel élément précis est défectueux, en particulier lorsqu'une faute intervient sur un des éléments en série, comme c'est le cas du LNA et du TA. Autre point, cette technique semble être coûteuse en énergie et non adaptable à toutes les architectures [41]. Toutefois il est à noter que la réutilisation des ressources du système (seul le TA est ajouté) permet à cette technique

d'être peu coûteuse en superficie.

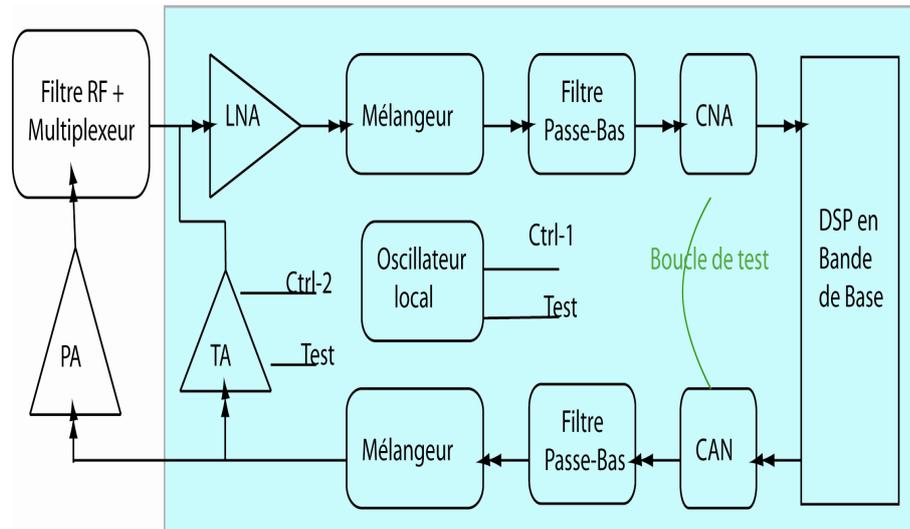


FIGURE 2.10 – Stratégie de Loopback [46].

2.5.2 Techniques de DfT pour le test alternatif

De nombreuses alternatives permettent de vérifier indirectement des spécifications telles que le gain, la figure de bruit ou le point de compression de circuits spécifiques [52][63]. Dans l'approche du S-BIST [34], il y a sous-jacent le test alternatif qui est appliqué au circuit sous test. L'avantage d'utiliser un test alternatif est que les performances RF du circuit sont estimées à partir de mesures simples à mettre en oeuvre. Pour observer la réponse au stimulus, on met des capteurs à des noeuds prédéterminés [63]. Ces capteurs peuvent aussi bien être des détecteurs RF d'amplitude, que des capteurs de courant RF [30][63] par exemple. Les mesures de test choisies doivent répondre aux critères suivants [34] :

- Elles nécessitent un stimulus de test que l'on peut générer sur la puce.
- Les mesures de test sont sélectionnées non seulement pour leur corrélation avec les performances du circuit, mais aussi pour leur immunité au bruit thermique et aux variations de process, ainsi que le faible impact sur la fonctionnalité du circuit sous test.

Cette stratégie de test a été poussée plus loin dans [19][20], avec en plus un DSP embarqué pour l'analyse de la réponse et pour l'auto-calibration des composants passifs du circuit. Le test et le procédé d'auto calibration se déroulent comme suit [19] :

- Le mode calibration est sélectionné selon le type d'application (bruit thermique ou variations process).

- Le processeur DSP active le procédé de génération du stimulus et commute les entrées/sorties du DUT en conséquence.
- La réponse au stimulus (courant de consommation par exemple) est extraite, amplifiée puis convertie en une signature de test continue ou en signal basse fréquence.
- En utilisant des modèles de régression précalculés, ces signatures sont converties en spécifications.
- Finalement le processeur de DSP ajuste les commandes numériques pour équilibrer le point de polarisation du circuit. Si la polarisation est correcte, le processus de calibration s'arrête, sinon, le DSP génère un signal permettant la rectification des paramètres du circuit suivant des règles prédéfinies. Le processus de réglage est réitéré jusqu'à ce que le point optimum de fonctionnement soit obtenu, ceci sur la base d'une règle prédéfinie d'optimisation.

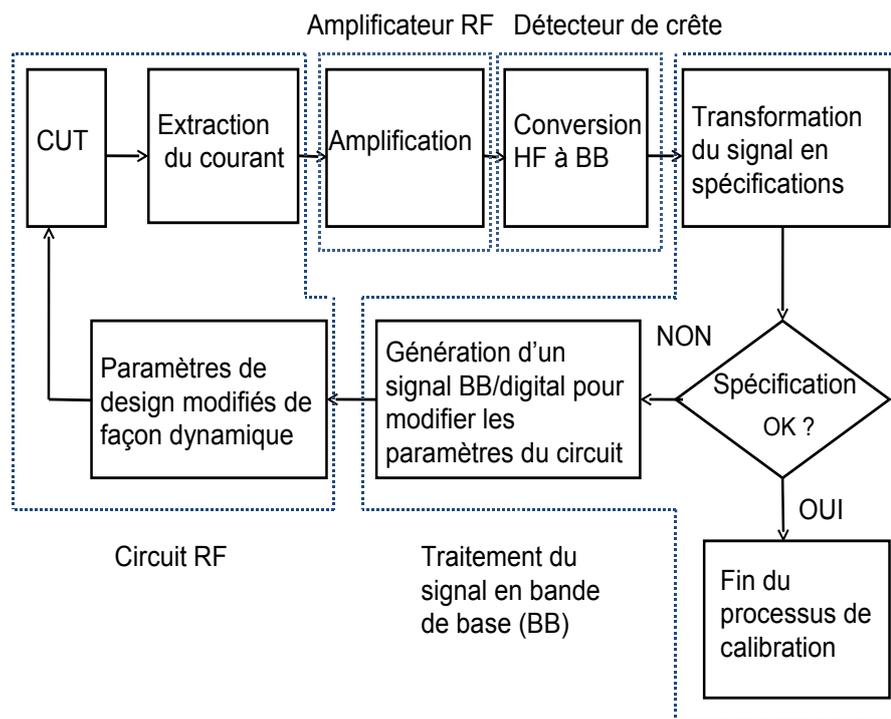


FIGURE 2.11 – Organigramme de la calibration [19].

2.5.3 Techniques de DfT pour le test structurel

Ils ont pour but détecter les fautes (typiquement catastrophiques) pouvant empêcher le circuit de fonctionner. Les circuits de DfT sont essentiellement des capteurs qui doivent répondre à des exigences telles qu'une intrusion minimale sur le circuit à tester, et un faible coût (surface

et consommation) par rapport au CUT. Ces capteurs peuvent aussi être utilisés pour le test alternatif. Pour la stratégie visant le test structurel, en plus des exigences précédentes, les capteurs désignés doivent être robustes au regard des variations process et de la température.

2.5.3.1 Mesure du courant de consommation

La technique de test du courant de consommation (I_{dd}) est apparue dans les années 90. Cette technique se base sur le fait qu'un circuit défectueux consomme un courant d'alimentation très différent du courant consommé par un circuit sans défaut. En effet, un défaut tel qu'un court-circuit entre deux pistes engendre une augmentation de la consommation de courant. Ce phénomène sera d'autant plus important que la diminution des dimensions technologiques favorise l'apparition de ce type de défauts.

Cette méthode présente un taux de couverture de fautes catastrophiques important (90 % environ). Il a été montré qu'un circuit fonctionnel qui échouait le test de courant avait une fiabilité réduite. De plus, il a été démontré dans [47] que ce taux de couverture pouvait être augmenté en appliquant un signal en rampe à la tension d'alimentation.

De nombreux BICS ("Buil-In Current Sensor") ont été proposés pour mesurer le courant [16] [56]. Un capteur de courant peu intrusif est inséré à la ligne d'alimentation du circuit à tester et le capteur renvoie à sa sortie une tension continue proportionnelle au courant de consommation. La tension en sortie du BICS est comparée à des tensions seuils (V_{min} , V_{max}) grâce à des comparateurs (par exemple [16]) et si cette dernière est hors des limites, le circuit est déclaré défectueux. Ce capteur nécessite quelques précautions lors de son design. En effet, l'élément sensible est une résistance insérée en série avec le CUT sur sa ligne d'alimentation, comme l'illustre la figure 2.12. Cette résistance doit avoir une faible valeur afin de limiter la chute de tension à ses bornes et par conséquent ne pas perturber le fonctionnement du circuit à tester, et en même temps, elle doit être résistante aux variations process et avoir un faible impact sur le bruit thermique. Pour pallier à ces contraintes, on met des résistances de forte valeur en parallèle.

2.5.3.2 Le corrélateur de tension et courant

La corrélation entre le courant de consommation dynamique et la tension de sortie d'un circuit (LNA) se propose de combiner par une cellule de corrélation les informations contenues dans ces deux paramètres. Pour réaliser la corrélation entre I_{dd} et V_{out} , une cellule réalisant cette

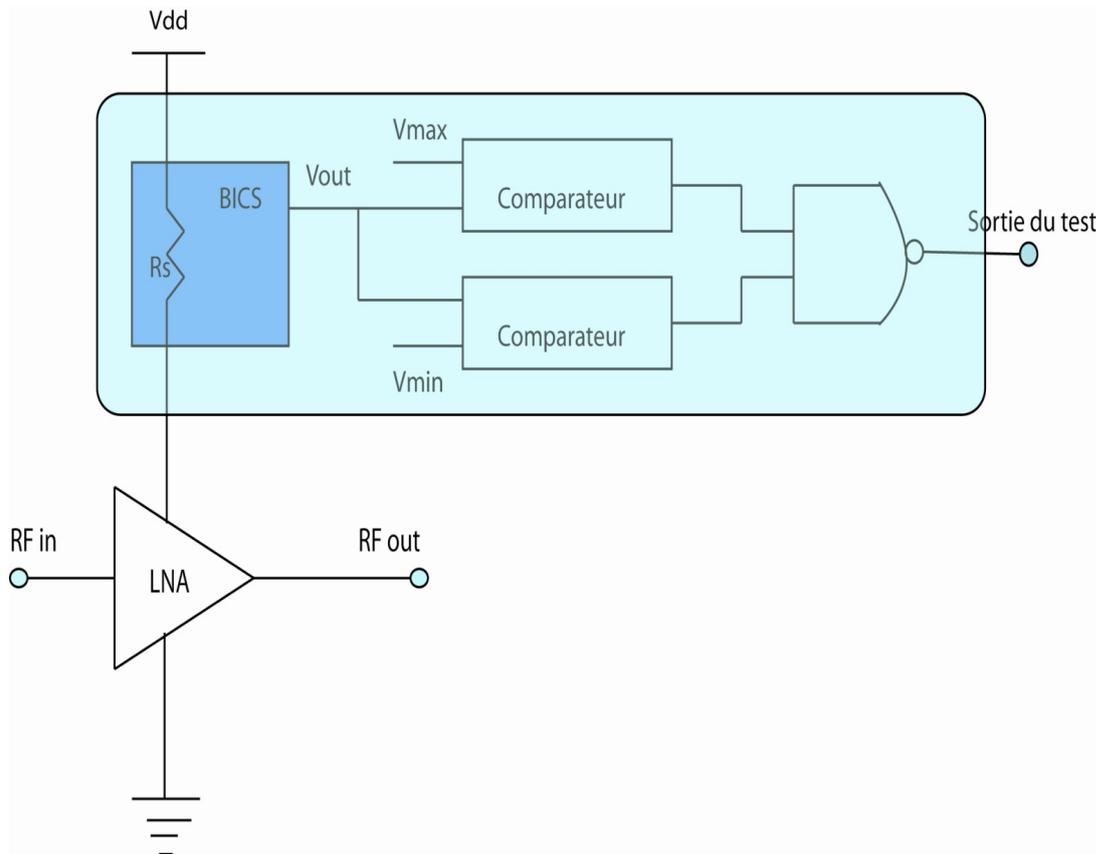


FIGURE 2.12 – Principe du BICS.

fonction est insérée entre d'une part la sortie du LNA et d'autre part la sortie d'un capteur de courant RF lui-même inséré à l'alimentation du circuit. Le stimulus appliqué est une sinusoïde qui peut être générée par un synthétiseur de fréquence relié à l'entrée du LNA par un switch.

En sortie du corrélateur, on récupère une tension proportionnelle à la fois à la tension de sortie (V_{out}) et au courant de consommation dynamique (I_{dd}). A la sortie du corrélateur, on observe une tension DC (V_0) régie par l'équation suivante [40] :

$$V_0 = \left(\frac{V_{out} \cdot g \cdot I_{dd} \cdot h}{V_{out} \cdot g + I_{dd} \cdot h} \right) R = I_0 R. \quad (2.31)$$

Avec g une transconductance, h un gain en courant définis par les paramètres de design (rapports W/L des transistors) de la cellule de corrélation, et R la résistance de charge du corrélateur.

La corrélation entre ces deux paramètres dynamiques du circuit permettrait de repérer les fautes détectables par au moins un des deux paramètres (courant et tension). On compare la réponse obtenue par le circuit sous test à une signature référence d'un circuit sans faute préalablement préenregistrée. Une cellule de corrélation a été proposée par [40] avec des résultats

intéressants. La cellule de corrélation est basse consommation ($5\mu\text{W}$) et occupe peu de superficie. L'impact de cet élément sur les performances du circuit à tester est minimisé par le co-design des deux ensembles. La corrélation entre I_{dd} et V_{out} permet non seulement de détecter des fautes qui ne le sont que par l'un et/ou par l'autre, mais en plus l'aspect dynamique des signaux permet de détecter des fautes non détectables par un test de paramètres statiques (test IddQ par exemple). Un taux de couverture de fautes catastrophiques comparable à un test fonctionnel réduit (93 %) a été obtenu par cette technique [40].

Il est à noter, toutefois, que cette cellule nécessite au préalable un capteur de courant dynamique tels que celui de [30] et un capteur de tension [70] [64] qui seront en amont de la cellule de corrélation. Ces deux éléments génèrent un surcoût en superficie et en puissance.

2.5.3.3 Les stratégies de reconfiguration

Les stratégies de test précédentes avaient pour point commun de tester le circuit dans sa configuration d'opération. Les stratégies de reconfiguration visent la détection de fautes car elles ne peuvent pas réaliser le test fonctionnel. On introduit des interrupteurs dans le circuit à tester afin de pouvoir le configurer en mode test ou mode d'opération.

Dans [41], une stratégie de BIST similaire à la stratégie de l'OBIST ("Oscillation-based Built-In Self-Test") est adoptée. Des modifications sont faites sur le circuit (généralement boucle de retour) afin de le transformer en oscillateur en mode test. L'OBIST est une méthode largement étudiée pour les circuits mixtes et analogiques basses fréquences ; en effet, la fréquence d'oscillation du circuit sous test est directement liée aux paramètres du circuit, ce qui permet de détecter les circuits défaillants en mesurant la fréquence d'oscillation [49]. Ainsi, cette technique a été appliquée à un LNA, à l'aide d'une boucle de retour entre l'entrée et la sortie, ce qui le transforme en oscillateur [41]. Toutefois, au lieu de mesurer la fréquence d'oscillation du LNA, cette étude mesure la corrélation entre la tension de sortie et le courant de consommation.

Autre exemple de reconfiguration, dans [8], c'est un mélangeur qui en mode test est transformé en un filtre passe-bas d'une fréquence de coupure 300 fois plus petite que la fréquence de fonctionnement du mélangeur. On passe d'une fréquence RF de 12 GHz à une bande passante de 0.1 à 40 MHz.

A chaque fois les fréquences de test sont soit DC, soit beaucoup plus faibles que la fréquence de fonctionnement du circuit. A noter que dans le cas de "l'OBIST", il n'y a pas de stimulus de test. Le taux de couverture de fautes catastrophiques présenté par cette technique semble satisfai-

sant. Dans [41], le taux de couverture de fautes catastrophiques annoncé est de 90 % celui des fautes paramétriques est de 75 % . Par contre, puisqu'il faut toujours reconfigurer le chemin du signal, cela engendre des modifications des performances du circuit en mode normal. En effet, l'insertion d'interrupteurs entraîne automatiquement des pertes d'insertion et de la distorsion. Cependant, les technologies actuelles permettent de fabriquer des interrupteurs avec moins de 2dB de perte d'insertion [8].

2.6 Conclusion

Ce chapitre a permis la présentation de techniques de test pour les amplificateurs faible bruit, ainsi que l'étude des concepts de base qui s'y rattachent. Un état de l'art sur les techniques de DfT existantes pour le test les LNA a été présenté. Ceci nous permettra d'aborder les aspects de qualité et d'évaluation de mesures de test.

Le tableau 2.6 résume les principales techniques de DfT rencontrées dans cet état de l'art.

Auteur	Référence	Paramètres testés				BIST	Fautes évaluées			Détection			Résultats		
		P ₁	P ₂	P ₃	P ₄		F ₁	F ₂	F ₃	D ₁	D ₂	D ₃	R ₁	R ₂	R ₃
Chatterjee & al.	[7]		•	•		B ₁			•			•		•	
	[22][21]	•	•	•		B ₁ (2)			•			•		•	
	[6] [34]	•	•	•	•	B ₂			•			•		•	
Cimino & al.	[16]	•	•			B ₁								•	
Dai & al.	[18]		•		•	B ₂					•		•	•	
	[17]		•			B ₂					•		•		
	[48]		•	•		B ₂					•		•		
Gopalan & al.	[31]	•				B ₁	•	•			•		•		
	[30]					B ₁					•		•		
	[28]	•	•			B ₁ , B ₂			•		•		•	•	•
	[29][19]	•				B ₁ , B ₂		•				•	•	•	•
	[20]					B ₁ , B ₂							•	•	•
Machado	[40]				•	B ₁	•					•		•	
	[41]				•	B ₁	•					•		•	
Negreiros & al.	[42][43]		•			B ₂				•				•	•
	[44]		•			B ₂					•			•	•
Ryu & al.	[52]	•		•	•	B ₁	•	•			•			•	•
	[53]	•		•	•	B ₁	•	•			•			•	•
	[51]	•		•	•	B ₁	•	•	•		•			•	•
Valdès & al.	[63][62]	•	•	•	•	B ₁ (2) ¹	•				•		•	•	
	[64]	•		•	•	B ₁		•				•	•	•	
Wang & al.	[67]				•	B ₁				•	•	•		•	•
	[66]	•	•			B ₁					•	•		•	•
Zhang	[70]	•	•			B ₁					•		•	•	•

Type de fautes F₁ : catastrophique, F₂ : paramétrique, F₃ : deviation process et/ou thermiques

P₁ : paramètre S, P₂ : linéarité, P₃ : bruit, P₄ : autres

R₁ : expérimental, R₂ : simulation, R₃ : théorique ou mathématique

D₁ : test fonctionnel direct, D₂ : test fonctionnel par méthodes alternatives et auto-calibration

D₃ : test structurel

B1 : simples capteurs, B2 : système complexe (FPGA, Analyseur Intégré, etc...)

FIGURE 2.13 – Techniques de DfT RF appliquées aux LNA.

Chapitre 3

Modélisation statistique du LNA

3.1 Introduction

Les métriques de test sont les éléments qui permettent de mesurer la qualité d'un test. Ce sont des figures de mérite du test réalisé. Le but de cette thèse étant d'étudier de nouvelles techniques de BIST pour les LNA et au regard des nombreuses possibilités de mesures de test qui existent dans l'état de l'art, il a fallu dans un premier temps comparer les métriques de test obtenues avec les différentes mesures de test afin de déterminer lesquelles étaient réellement intéressantes.

Pour le calcul des métriques de test, il est nécessaire de fixer au préalable les limites des différentes mesures de test. Afin de le faire, nous suivons une approche qui consiste à modéliser de façon statistique le comportement du CUT sous les déviations process. Cette modélisation est obtenue par l'estimation de la densité de probabilité conjointe des performances et des mesures de test du circuit. Dans ce chapitre, nous étudierons la modélisation statistique du LNA. Pour ce faire, nous rappellerons dans un premier temps les concepts statistiques de base. Deuxièmement, le circuit sous test : un LNA 1.9GHz en technologie BiCMOS $0.25\mu\text{m}$ est décrit. Par la suite nous décrirons les modèles statistiques utilisés : le modèle paramétrique, le modèle non-paramétrique et les Copules. Nous terminerons par un comparatif sur tous ces modèles et le choix de modélisation retenu.

3.2 Concepts statistiques de base

Nous avons utilisé successivement trois modèles pour représenter le comportement du CUT après une simulation statistique de type Monte Carlo. Avant de présenter les modèles statistiques utilisés, définissons quelques concepts statistiques de base. Le postulat de modélisation

sur lequel l'étude statistique se base est : les données observées sont des réalisations de variables aléatoires.

Une *variable aléatoire* est une variable qui peut prendre différentes valeurs suivants la densité de probabilité qui lui est associée. Considérons une variable aléatoire à une dimension X qui a une densité de probabilité f . La fonction f décrit la distribution de X et permet d'associer des probabilités aux différentes valeurs de X par la relation :

$$P(a \leq X \leq b) = \int_a^b f(x)dx \quad \forall a \leq b. \quad (3.1)$$

Plusieurs observations de cette variable aléatoire forment un échantillon (x_1, x_2, \dots, x_N) . A partir de cet échantillon de taille N , on peut estimer la moyenne \bar{x} et l'écart-type S_x comme suit :

$$\bar{x} = \frac{1}{N} \sum_{k=1}^N x_k. \quad (3.2)$$

$$S_x = \sqrt{\frac{1}{N-1} \sum_{k=1}^N (x_k - \bar{x})^2}. \quad (3.3)$$

On appelle fonction de repartition de X la fonction $F : \mathbb{R} \rightarrow [0, 1]$, parfois notée F_X , définie par $F(x) = P(X \leq x) \forall x \in \mathbb{R}$. Considérons maintenant un vecteur $\mathbf{X}=(X_1, X_2, \dots, X_p)^T$ composé de p variables aléatoires, où X_j est une variable à une dimension. La covariance de X_i et X_j représente le degré de dépendance de ces deux variables, et elle se définit par :

$$\nu_{X_i X_j} = Cov(X_i, X_j) = E(X_i \cdot X_j) - E(X_i) \cdot E(X_j). \quad (3.4)$$

Où $E(\cdot)$ est l'espérance ou moyenne théorique. On appelle variance (ν_{X_i}) , la covariance d'une variable X_i avec elle-même. L'écart-type σ_{X_i} d'une variable est égal à la racine carrée de sa variance (ν_{X_i}) .

Le coefficient de corrélation entre deux variables est défini à partir de la covariance par l'équation suivante :

$$\rho_{X_i X_j} = \frac{\nu_{X_i X_j}}{\sigma_{X_i} \sigma_{X_j}}. \quad (3.5)$$

Pour des variables indépendantes, $\nu_{X_i X_j}$ et $\rho_{X_i X_j}$ sont nuls. L'avantage du coefficient de corrélation par rapport à la covariance est que le premier est indépendant de l'échelle utilisée. C'est pour cette raison qu'il est plus utilisé que la covariance pour mesurer la dépendance entre deux variables. Sa valeur est comprise dans l'intervalle $[-1 ; 1]$.

L'estimation empirique de ces quantités nécessite un certain nombre d'observations. Supposons que $\{x_i\}_{i=1}^N$ est un échantillon de N observations du vecteur de variables X dans \mathbb{R}^p . Chaque observation x_k a p dimensions : $x_k = (x_{1k}, x_{2k}, \dots, x_{pk})$, et elle correspond à une valeur observée du vecteur $X \in \mathbb{R}^p$. La covariance entre deux variables aléatoires définie par l'équation 3.4 est ainsi estimée par :

$$V_{X_i X_j} = \frac{1}{N-1} \left(\sum_{k=1}^N x_{ik} x_{jk} - N \bar{x}_i \cdot \bar{x}_j \right). \quad (3.6)$$

Et la variance d'une variable aléatoire est estimée par :

$$V_{X_i} = \frac{1}{N-1} \left(\sum_{k=1}^N x_{ik}^2 - N \bar{x}_i^2 \right). \quad (3.7)$$

Le coefficient de corrélation entre deux variables aléatoires est ainsi estimé par :

$$r_{X_i X_j} = \frac{V_{X_i X_j}}{s_{X_i} s_{X_j}}, \quad (3.8)$$

avec $s_{X_i} = \sqrt{V_{X_i}}$.

Les covariances théoriques entre toutes les variables aléatoires peuvent être représentées par une matrice Σ appelée la matrice Variance-Covariance :

$$\Sigma = \begin{pmatrix} v_{X_i} & \cdots & v_{X_i X_p} \\ \vdots & \ddots & \vdots \\ v_{X_i X_p} & \cdots & v_{X_p} \end{pmatrix} \quad (3.9)$$

L'estimation (empirique) de la matrice variance-covariance est alors donnée par :

$$S = \begin{pmatrix} V_{X_i} & \cdots & V_{X_i X_p} \\ \vdots & \ddots & \vdots \\ V_{X_i X_p} & \cdots & V_{X_p} \end{pmatrix} \quad (3.10)$$

3.3 Description du LNA

Notre circuit est un amplificateur faible bruit (LNA) fabriqué en technologie $0.25\mu\text{m}$ BiC-MOS7RF de STMicroelectronics. Les transistors bipolaires npn utilisés présentent l'avantage

d'avoir des fréquences de fonctionnement plus élevées que des transistors MOS.

3.3.1 Description de l'architecture du LNA

Ce LNA est illustré par la figure 3.1. Il se compose d'un étage de polarisation, d'un étage d'amplification cascode à dégénérescence inductive et de réseaux d'adaptation en entrée et en sortie.

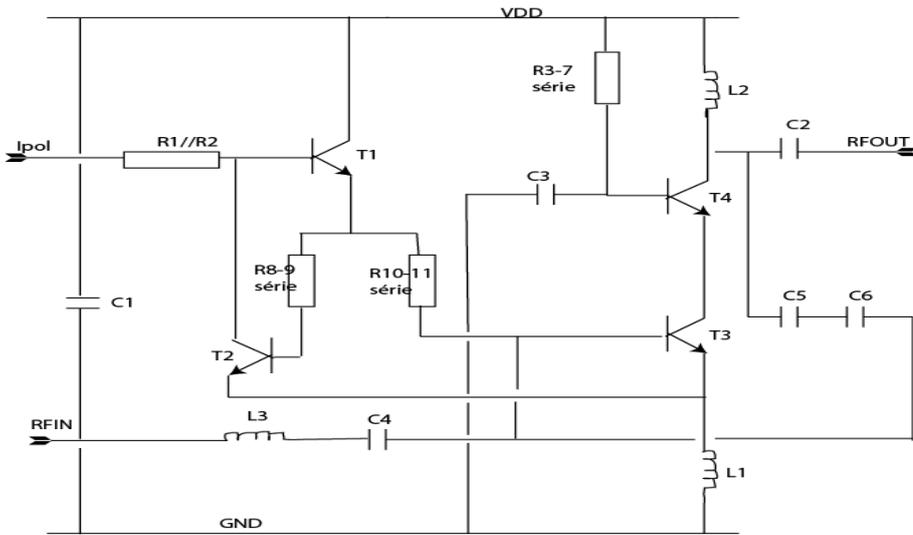


FIGURE 3.1 – LNA Cascode.

Pour un LNA, l'entrée est caractérisée par la mesure de la réflexion (S_{11}) définie par l'équation suivante :

$$S_{11} = 20 \log \left(\left| \frac{Z_{in} - Z_S}{Z_{in} + Z_S} \right| \right), \quad (3.11)$$

avec Z_{in} l'impédance d'entrée du LNA et Z_S l'impédance de l'émetteur. Dans le cas de la figure 3.1, le LNA présente une dégénérescence inductive avec des inductances sur la base et l'émetteur utiles à l'adaptation d'impédance. L'impédance d'entrée se calcule comme suit :

$$Z_{in} = \frac{g_{m3} L_1}{C_\pi + C_4} + j \left[\omega (L_1 + L_3) - \frac{1}{\omega (C_\pi + C_4)} \right]. \quad (3.12)$$

Avec g_{m3} la transconductance du transistor T_3 . A la fréquence de résonance du résonateur série (formé de L_1, L_3, C_4 , et la capacité base-émetteur C_π), la partie imaginaire de l'équation 3.12 s'annule. Ces éléments sont choisis de telle sorte que la fréquence de résonance soit la fréquence centrale de la bande de fonctionnement du LNA. L'équation 3.12 a pour hypothèse sous-jacente que l'impédance de C_π est plus grande que l'impédance d'entrée du transistor

$(1/\omega C_\pi \gg R_\pi)$.

Le gain en tension de la structure d'entrée d'un LNA est proportionnel à sa transconductance, le rapport de transconductance étant l'impédance de charge. Pour le transistor à dégénérescence inductive et inductance sur la base, la transconductance de T_3 vaut :

$$G_{m_3} = \left| \frac{g_{m_3}}{(j\omega L_1 + j\omega L_3 + 1/j\omega(C_\pi + C_4)) \cdot j\omega(C_\pi + C_4) + j\omega L_1 g_m} \right|. \quad (3.13)$$

Notre LNA étant cascodé, le gain en tension vaut :

$$A_v = G_{m_3} \cdot \frac{1}{1 + 1/(g_{m_4} Z_C)} Z_l, \quad (3.14)$$

avec G_{m_3} , la transconductance du transistor d'entrée calculée grâce à 3.13, g_{m_4} la transconductance du transistor cascode, Z_C est l'impédance équivalente ramenée au collecteur du transistor d'entrée à l'exclusion de la résistance $1/g_{m_2}$ et Z_l l'impédance de la charge du LNA (ici L_2 et les capacités C_2 , C_5 et C_6).

L'ajout d'un transistor comme charge sur le collecteur du transistor d'entrée a pour principal effet de réduire l'effet Miller sur le transistor d'entrée (T_3), en effet l'impédance d'entrée du transistor cascode est plus faible que l'impédance de la charge nécessaire pour s'adapter à 50Ω en sortie du LNA. Ceci a pour conséquence directe d'augmenter la bande passante du circuit. De plus le cascode accroît la séparation entre l'entrée et la sortie d'un LNA comparativement à un LNA avec un seul transistor. Ceci permet d'optimiser séparément l'adaptation en entrée et en sortie du circuit. Cette solution est très prisée pour les LNA entrant dans la chaîne de récepteur à conversion directe. Le principal inconvénient du cascode est l'augmentation du facteur de bruit dans le circuit. En plus du bruit lié au cascode, il y a le bruit lié à l'alimentation qui parasite le signal RF. Pour le limiter, les capacités C_1 et C_3 servent de filtres qui dévient les parasites dues à l'alimentation directement à la masse.

La polarisation utilisée pour ce circuit est assez typique [26] [25] [24]. Les résistances R_3 à R_7 déterminent la tension de polarisation de la base du transistor cascodé T_4 (V_{g4}); et c'est V_{g4} qui impose les tensions V_{CE} des transistors de l'étage cascode. Le courant passant dans le LNA est déterminé par le miroir de courant formé par les transistors T_2 et T_3 . La précision de ce miroir de courant est accrue par la présence du transistor T_1 qui permet en fonction de sa taille réduite de fournir des courants de base à T_2 et T_3 insensibles aux larges variations de I_{pol} . Les résistances R_{10} , R_{11} en série permettent de bloquer les fuites du signal d'entrée vers le circuit de polarisation (V_{dd} et I_{pol}). Ce sont donc les seuls éléments de la polarisation générant du bruit

sur le parcours du signal RF. Toutefois, la mise en parallèle de cette série de résistances avec la résistance de l'émetteur de T_1 permet de réduire significativement la contribution au facteur de bruit.

Le circuit de polarisation affecte aussi la linéarité d'un amplificateur à dégenérescence inductive. Dans [25], il a été démontré que l'IIP3 de ce type de LNA dépendait de l'impédance de sortie du circuit de polarisation (dans notre cas $R_{10} + R_{11}$). L'analyse menée dans [25] a montré que l'impédance de sortie du circuit de polarisation devait être gardée petite par rapport à r_π pour augmenter la linéarité de l'étage de transconductance ; alors qu'il est d'usage d'avoir des impédances de sortie importantes afin de réduire la contribution de la polarisation dans le facteur de bruit. Il est démontré que la tension de base du transistor d'entrée du LNA dépend de la variation de l'amplitude du courant de base Δi_{be} , et que cette tension V_{be3} baisse lorsque Δi_{be} augmente du fait de l'augmentation de la puissance du signal d'entrée RF. De ce fait, le circuit de polarisation diminue la dynamique d'entrée (point de compression) et la linéarité du LNA.

Les principales performances de notre circuit sont résumées dans le tableau 3.1

TABLE 3.1 – Performances typiques du LNA cascode $0.25\mu\text{m}$.

	NF (dB)	S_{11} (dB)	S_{12} (dB)	Gain (dB)	S_{22} (dB)	CP_{1dB} (dBm)	IIP3 (dBm)	I_{cc} (mA)
1.9 GHz	1.15	-15	-23	17	-12	-11.3	-1	5
[1.8 ;2.2] GHz	<1.3	<-15	<-21	>16.8	<-11	NC	NC	5

3.3.2 Simulation statistique du LNA

Dans un simulateur type *Spice* ou *Spectre* les paramètres process sont modélisés avec des distributions généralement normales. La valeur d'un paramètre varie dans un certain intervalle dont les bornes sont les pires cas des variations process. Le designer doit s'assurer que le circuit conçu est fonctionnel non seulement dans le cas nominal, mais aussi sur toute la plage de valeurs de l'ensemble des paramètres process. Il vérifie ainsi un des points fondamentaux dans la conception d'un circuit qu'est l'estimation du rendement. Le rendement est le pourcentage de circuits fabriqués qui satisferont aux spécifications du circuit, au regard non seulement des plages de variations mais aussi des valeurs statistiques des paramètres liés au procédé de fabrication. Ce rendement est défini par des intégrales qui ne peuvent être résolues analytiquement.

Une des méthodes numériques de résolution est l'estimation statistique basée sur l'échantillonnage en accord avec la distribution des paramètres process [32]. Ceci conduit à l'analyse dite de Monte-Carlo qui est une technique statistique permettant le calcul numérique des intégrales. Lors d'une analyse Monte-Carlo, tous les paramètres process varient et l'on peut choisir de tenir compte de différents types de variations :

- Les variations globales dites *variations process*. Elles sont dues aux fluctuations puce à puce ou wafer à wafer dans le process de fabrication. Les variations globales affectent tous les transistors d'un circuit de la même manière. Les paramètres typiques des variations globales sont l'épaisseur d'oxyde, la réduction de la longueur du canal, la tension de seuil, etc..
- Les variations locales dites *variations mismatch*. Ce sont des variations dans la puce. Elles sont généralement considérées comme des variations indépendantes et n'affectent pas les transistors de la même manière. Le "mismatch" est une sorte de variations locales. Il diminue avec l'augmentation de la surface de la base des transistors. Il entraîne des comportements différents des transistors et donc des circuits.

La précision des simulations Monte-Carlo ne dépend pas du nombre de paramètres en entrées, mais de la taille de l'échantillon généré. Notons n_{MC} le nombre de simulations Monte-Carlo effectuées, la précision est proportionnelle à $\sqrt{n_{MC}}$ et la complexité (temps de simulation) est proportionnelle à n_{MC} [32]. Une précision correcte nécessite un grand nombre de simulations, dans notre cas, nous effectuons mille itérations.

Le tableau 3.3 présente les paramètres statistiques des performances de l'amplificateur faible bruit obtenus par simulation Monte-Carlo. Pour ce faire nous utilisons trois bancs de test distincts présentés dans le tableau 3.2. Les conditions d'alimentation du circuit sont les mêmes pour les trois bancs de test : une alimentation en tension de 2.7 V et une alimentation en courant de 5 mA. Le banc de test noté I exécute une simulation 'SP' (S-Parameter) avec option 'Noise'. Elle permet d'obtenir les paramètres S et le facteur de bruit. Avec le banc de test noté II, une simulation de type PSS (Periodic Steady State) est effectuée. Cette dernière permet d'obtenir le point de compression. En effet, avec un signal monofréquentiel, on fait varier la puissance du signal en entrée et on observe la réponse du circuit stabilisé. Le dernier banc de test III est une combinaison de simulation PSS avec une simulation PAC (Periodic AC). Elle nous permet d'obtenir en sortie l'IIP3. Des détails sur les spécificités de ces simulations sont donnés dans [14].

On voit à travers la matrice de corrélation que le facteur de bruit est quasiment indépendant des autres performances. Par ailleurs l'intermodulation du troisième ordre semble aussi être peu lié aux autres performances. Les deux paramètres S (gain et réflexion en entrée) et le point de compression sont eux très dépendants. La figure 3.2 présente sur la case A_{ij} la distribution bivariée entre les performances i et j , tandis qu'en A_{ii} , se retrouve l'histogramme de la performance i . A titre d'exemple, l'intersection entre S_{11} et NF (2^{eme} ligne, 1^{ere} colonne ou 2^{eme} colonne, 1^{ere} ligne) présente la distribution de ces deux performances.

TABLE 3.2 – Bancs de test des simulations pour le LNA.

Banc de test	Alim	Idc	Simulations	Variables de simulation	Performances mesurées
I	2.7 V	5 mA	SP	prf1 fixé	Paramètres S, NF
II	2.7 V	5 mA	PSS	prf1 variable	CP_{-1dB}
III	2.7 V	5 mA	PSS et PAC	prf1=prf2 variable	IIP3

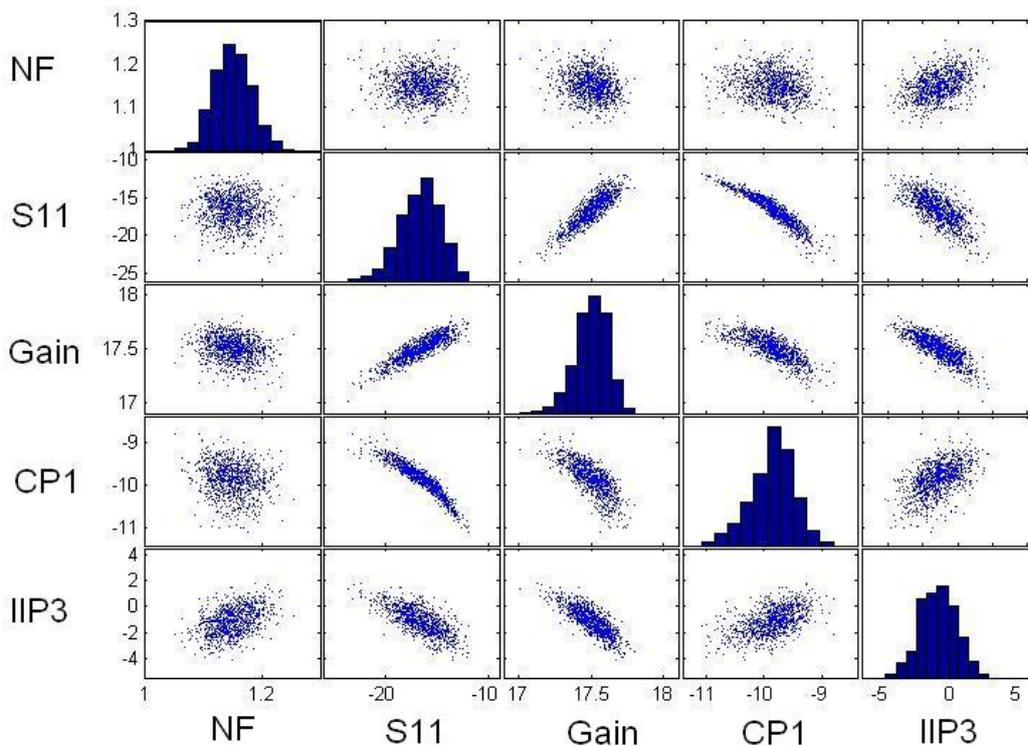


FIGURE 3.2 – Distributions bivariées de l'échantillon obtenu par simulation électrique Monte-Carlo (N=1000 circuits).

TABLE 3.3 – Performances du LNA et leurs paramètres statistiques.

	NF (dB)	S_{11} (dB)	Gain (dB)	CP_{1dB} (dBm)	IIP3 (dBm)
\bar{x}	1.15	-16.62	17.50	-9.86	-0.99
$\overline{S_x}$	0.03	1.99	0.11	0.37	1.02

$$\Sigma = \begin{pmatrix} 1 & -0.03 & -0.20 & -0.17 & 0.29 \\ -0.03 & 1 & 0.88 & -0.94 & -0.47 \\ -0.20 & 0.88 & 1 & -0.77 & -0.53 \\ -0.17 & -0.94 & -0.77 & 1 & 0.34 \\ 0.29 & -0.47 & -0.53 & 0.34 & 1 \end{pmatrix}$$

3.4 Modélisation paramétrique

La modélisation statistique du CUT est réalisée par l'estimation de la densité de probabilité conjointe des performances à partir des observations de l'échantillon [13] [11] [54]. Une des approches de l'estimation de densité est *paramétrique*. Ceci revient à supposer que les données ont une densité de probabilité issue d'une des familles de distribution paramétrique connue, par exemple une distribution normale de moyenne μ et de variance σ^2 . La densité de f peut être estimée en trouvant les estimations de μ et de σ^2 à partir des données et en les substituant dans la formule de la fonction de densité de probabilité. C'est cette loi de probabilité que nous avons considéré dans un premier temps.

On appelle *loi normale multidimensionnelle, ou loi multinormale ou loi de Gauss à plusieurs variables*, une loi de probabilité qui est la généralisation multidimensionnelle de la loi normale. Alors que la loi normale classique est paramétrée par les scalaires μ et σ^2 , pour un vecteur $X=(X_1, \dots, X_p)$, la loi multinormale est paramétrée par un vecteur $\mu=(\mu_1, \dots, \mu_p)$ de \mathbb{R}^p représentant son centre et une matrice définie positive Σ de $\mathbb{R}^p \times \mathbb{R}^p$ représentant sa matrice de variance-covariance. La matrice Σ étant définie positive, elle est donc inversible et l'estimation \hat{f} de la densité de probabilité de X s'écrit :

$$\hat{f}(X, \Theta) = \frac{1}{\sqrt{\det(2\pi\Sigma)}} \cdot \exp \left[-\frac{(X - \bar{x})^T \Sigma^{-1} (X - \bar{x})}{2} \right] \quad (3.15)$$

avec $\Theta = (\bar{x}, \Sigma)$.

Ainsi, dans un premier temps, le LNA a été décrit par une loi de densité de probabilité conjointe des performances multinormale [61] et le modèle de l'équation 3.15 est très simple à mettre en oeuvre. Nous avons dans ce cas, $X=(NF, S_{11}, \dots, IIP3) \in \mathbb{R}^5$.

Cependant nous avons remarqué que plusieurs performances ne vérifient pas la loi normale. Les figures 3.3(a)-(e) montrent un ajustement par la loi normale des distributions de performances. On remarque que les courbes d'ajustement notées "normal fit" ne suivent pas la représentation en histogramme des données dans tous les cas. C'est le cas en particulier pour le point de compression 1dB (figure 3.3(d)). D'autres méthodes graphiques à l'instar des courbes de probabilité normale ("normal probability plots") sous Matlab présentées par la figure 3.4(a) et (b) appuient cette conclusion. La figure 3.4 illustre ce test graphique sur le point de compression et le gain. Ainsi, l'on voit la courbe des chis s'éloigner de la forme d'une droite, ce qui est la preuve que l'hypothèse de normalité de ces données ne peut être retenue.

En appliquant des hypothèses de test disponibles sous Matlab, on peut effectuer des tests de normalité. Un de ces test est le test d'ajustement du χ^2 . Ce test a pour but de comparer une distribution théorique (gaussienne dans notre cas) d'un caractère (une performace du circuit) à une distribution observée. L'on dispose de mille observations du circuit. Les résultats du test du χ^2 sur les performances sont présentés dans le tableau 3.4. Ainsi, $H = 1$ signifie que l'hypothèse de normalité peut être rejetée avec un degré de confiance de 95% (i.e. la probabilité de rejeter l'hypothèse alors qu'elle est vraie est de 0.05), et $H=0$ signifie que l'hypothèse de normalité ne peut être rejetée avec le même niveau de confiance. En plus, ce tableau donne la valeur "pvalue" qui est la probabilité sous hypothèse de normalité de la distribution, d'observer la distribution gaussienne sur les données. On observe donc sur le tableau que hormis pour la première performance (NF), l'hypothèse de normalité des distributions pour les autres performances peut être rejetée avec un degré de confiance de 95%. Les mêmes résultats sont observés avec d'autres tests tels que le test de Lilliefors ou le test Jarque Bera.

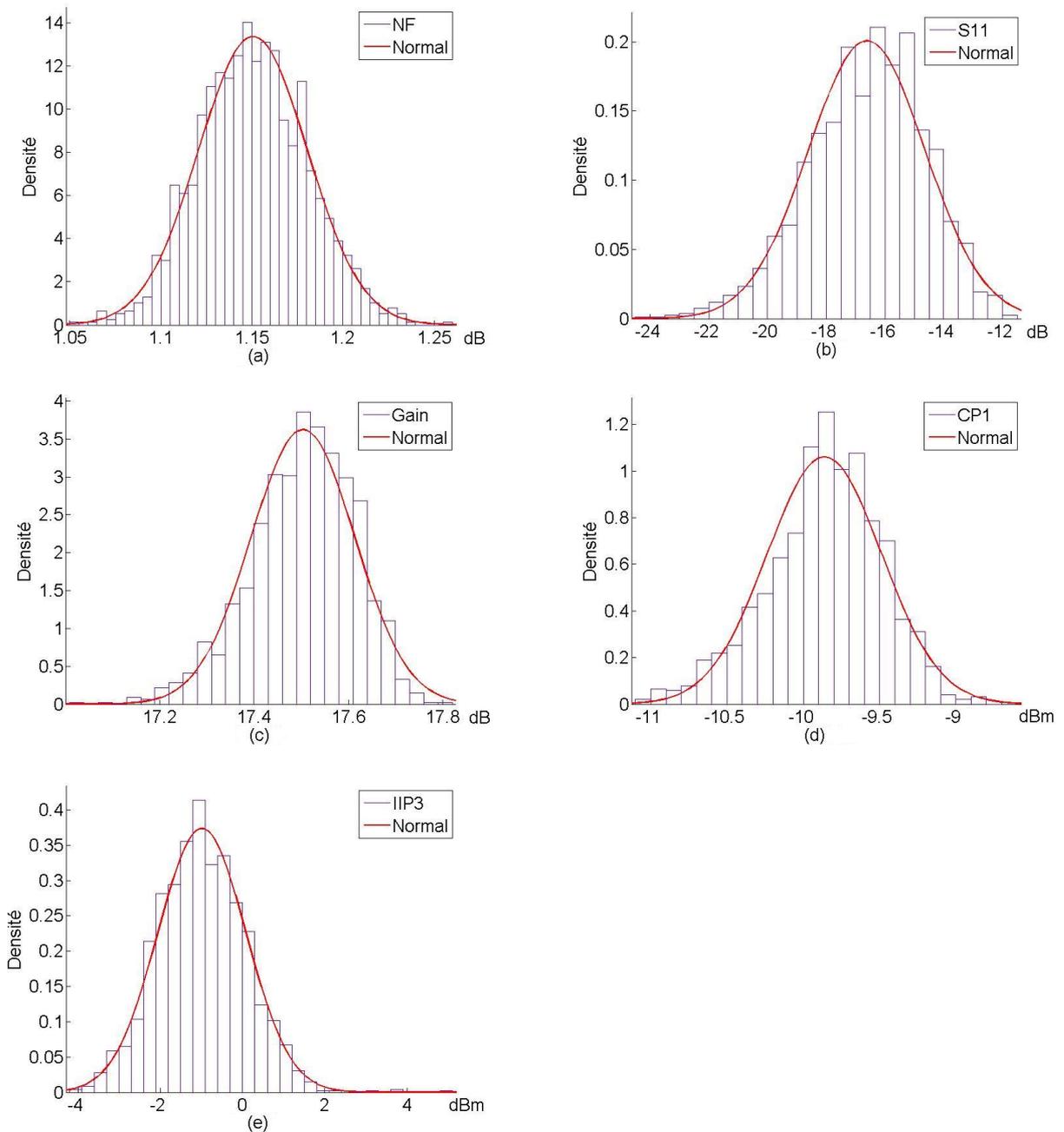


FIGURE 3.3 – Ajustement de la distribution normale sur les performances : (a) facteur de bruit, (b) réjection en entrée, (c) gain, (d) point de compression 1dB et (e) IIP3.

TABLE 3.4 – Test du χ^2 sur les performances.

	NF	S ₁₁	Gain	CP _{1dB}	IIP3
H	0	1	1	1	1
pvalue	0.326	0.002	$7.6 \cdot 10^{-6}$	$1.9 \cdot 10^{-7}$	0.023

De plus, le graphe de la distribution bivariable (S_{11} et CP_{-1dB}) de la figure 3.5 montre bien

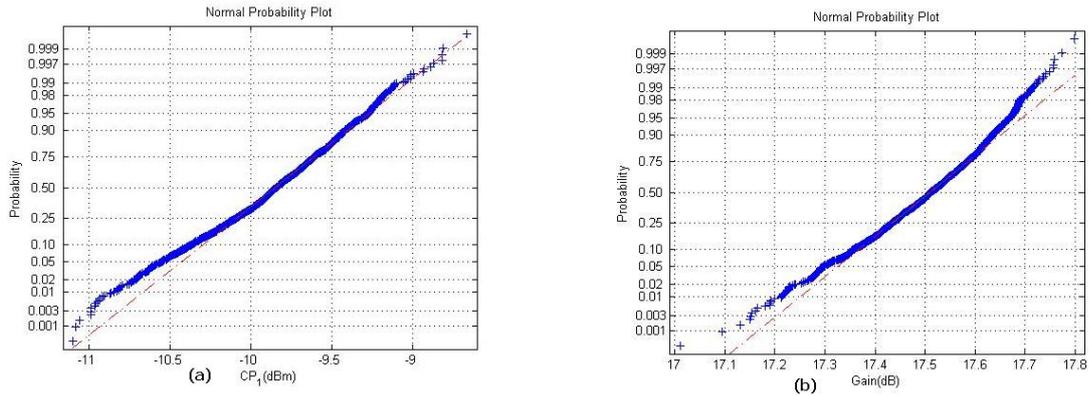


FIGURE 3.4 – Test de normalité sur (a) le point de compression, (b) le gain

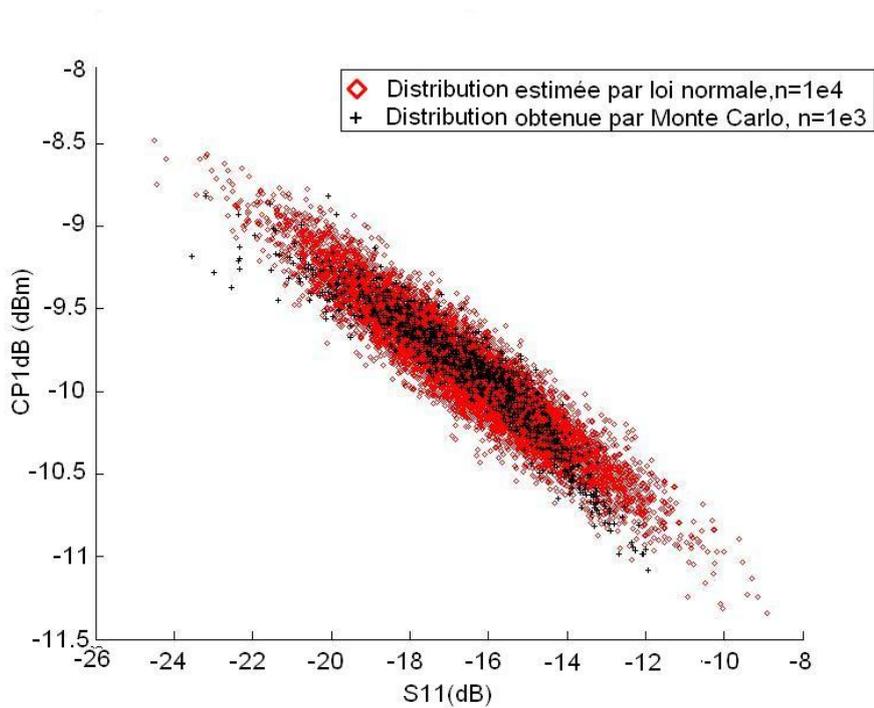


FIGURE 3.5 – Distribution bivariable originale vs distribution bivariable donnée loi multinormale

la différence entre la loi multinormale et la réalité. En rouge, la distribution bivariable générée à partir d'un modèle normal a une forme elliptique, ce qui est caractéristique d'une distribution bivariable normale. En noir, la distribution des données obtenues par simulation Monte Carlo a une forme "en banane". Ces deux distributions n'ont pas la même forme. Il a été montré que le modèle normal fonctionne assez bien pour des circuits linéaires [13].

3.5 Modélisation non-paramétrique

Au contraire des estimations paramétriques, l'estimation *non paramétrique* laisse parler les données pour elle-mêmes [55]. En effet, l'estimation de f est soumise à moins de contraintes que si la fonction de densité de probabilité devait appartenir à une famille paramétrique précise. Une méthode simple et fiable permettant d'obtenir l'estimation de la densité de probabilité d'une variable aléatoire est *la méthode du noyau* de Parzen-Rosenblatt [55]. La fonction noyau notée K est une fonction de densité de probabilité à laquelle on associe un estimateur du noyau défini par :

$$\hat{f}(x) = \frac{1}{nh} \sum_{i=1}^n K\left(\frac{x - X_i}{h}\right), \quad (3.16)$$

où h est la largeur de la fenêtre. La représentation de l'estimateur du noyau amène à le considérer comme une succession de "bosses" placées sur les observations : la fonction du noyau K définit la forme des bosses et h leur largeur. Ceci est illustré par la figure 3.6(a)[58]. Lorsque h est trop fin, on observe une sur-représentation des éléments sur les queues (extrémités) de la distribution. On parle d'"oversampling". A contrario, si h est trop large, alors ces éléments en queue de distribution sont sous estimés. Hors ce sont ces queues de distribution qui permettent de connaître la quantité de circuits défectueux que l'on peut avoir en production. La figure 3.6(b) illustre l'effet de la variation de h sur l'estimation de la fonction de densité de probabilité de la performance CP1 tiré d'un échantillon de mille instances du circuit sous test (la valeur h_{opt} est calculée grâce à l'équation 3.23 que nous verrons plus tard). Pour résoudre ce problème, des *méthodes adaptives* ont été proposées. Une en particulier a été implementée dans notre groupe, il s'agit de *la méthode du noyau variable* ("*variable kernel*") [58]. La méthode du noyau variable permet d'adapter la qualité du lissage à la densité locale des données. L'estimateur est construit comme décrit plus haut à la différence notable que le paramètre d'échelle des bosses (h) peut varier d'une série de données à une autre. Soit K la fonction noyau, et k un entier positif. Définissons $d_{j,k}$ comme la distance du point X_j au k -ième point le plus proche dans un ensemble de $n-1$ autres points. L'estimateur de noyau variable ayant pour paramètre de fenêtre h est défini par :

$$\hat{f}(x) = \frac{1}{n} \sum_{j=1}^n \frac{1}{hd_{j,k}} K\left(\frac{x - X_j}{hd_{j,k}}\right) \quad (3.17)$$

La largeur de la fenêtre du noyau placée au point X_j est proportionnelle à $d_{j,k}$. Ainsi, les points représentant les données dans les régions les moins denses sont représentés par des noyaux plus plats et larges.

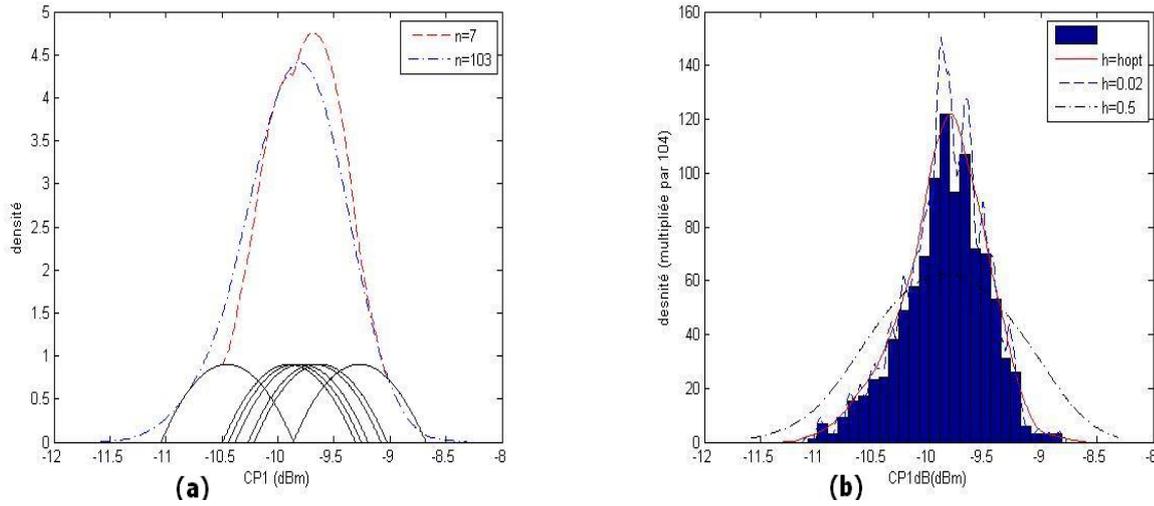


FIGURE 3.6 – (a) Estimation par la méthode du noyau montrant les résultats pour $n=7$ noyaux individuels et pour $n=103$, (b) Résultats de la méthode du noyau pour $n=10000$ et pour différentes valeurs de h [58].

Cette méthode est facilement élargie à des données multidimensionnelles. Soit un vecteur X dont on doit estimer la densité de probabilité. L'estimateur de densité de noyau multivariable de K et de largeur de fenêtre h est défini par :

$$\hat{f}(x) = \frac{1}{nh^d} \sum_{i=1}^n K\left(\frac{x - X_i}{h}\right) \quad (3.18)$$

La fonction de noyau $K(x)$ est définie pour un x de dimension d . K est choisi parmi les familles de noyaux non-paramétriques, comme par exemple le noyau d'Epachenikov multivariable défini par :

$$K_e(t) = \begin{cases} \frac{1}{2}c_d^{-1}(d+2)(1-t^T t) & \text{si } t^T t \leq 1, \\ 0 & \text{sinon} \end{cases}$$

où $c_d = 2\pi^{d/2}/(d \cdot \Gamma(d/2))$ est le volume de la sphère unité de dimension d . Pour adapter la fenêtre du noyau aux données, l'estimateur de noyau adaptable de l'équation 3.17 est défini ici comme suit [58] :

$$\hat{f}(x) = \frac{1}{n} \sum_{i=1}^n \frac{1}{(h \cdot \lambda_i)^d} K\left(\frac{1}{h \cdot \lambda_i}(x - X_i)\right), \quad (3.19)$$

où le facteur de bande local noté ici λ_i est défini par

$$\lambda_i = \left\{ \tilde{f}(X_i) / g \right\}^{-\alpha}, \quad (3.20)$$

$\tilde{f}(X_i)$ est un estimateur de densité de fonction pilote calculé par 3.18, avec h qui prend une valeur notée h_{opt} , et g la moyenne géométrique de $\tilde{f}(X_i)$:

$$\log g = \frac{1}{n} \sum_{i=1}^n \log \tilde{f}(X_i), \quad (3.21)$$

et α un paramètre entre 0 et 1. Dans notre cas d'étude, nous avons pris $\alpha = 1/2$. Dans l'équation 3.20, le calcul de $\tilde{f}(X_i)$ se fait à l'aide d'une largeur de fenêtre dont le choix est crucial. Il est d'usage de choisir h_{opt} tel que sa valeur minimise une approximation de la moyenne de l'intégrale du carré de l'erreur notée *MISE* qui se calcule par :

$$MISE(\tilde{f}) = \int E \left\{ \tilde{f}(x) - f(x) \right\}^2 dx, \quad (3.22)$$

en supposant que la véritable fonction de densité f suit une distribution normale à d -variables avec une variance unité. La valeur de h_{opt} est :

$$h_{opt} = \left\{ 8c_d^{-1} (d + 4) (2\sqrt{\pi})^d \right\}^{1/(d+4)} n^{-1/(d+4)}. \quad (3.23)$$

Sur la figure 3.7, les densités obtenues par le noyau adaptatif estimé par l'équation 3.19 et par le noyau pilote 3.16 sont tracées pour le point de compression. L'on peut observer que la méthode adaptative suit mieux les queues de distribution que la méthode initiale. Il en résulte que ce dernier graphique est plus en conformité avec l'histogramme du point de compression.

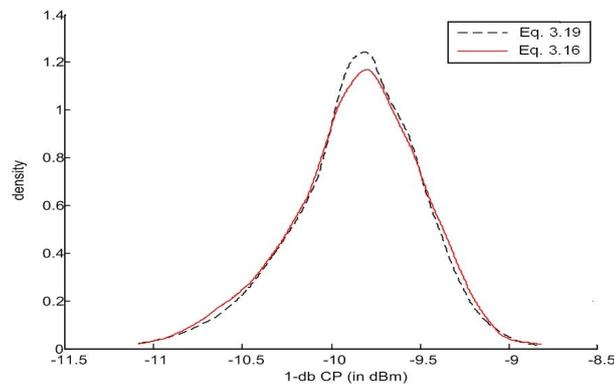


FIGURE 3.7 – Noyau adaptatif vs noyau normal [58].

Les figures 3.8 (a)-(e) illustrent l'estimation de la densité de probabilité des performances. On remarque que cette estimation est plus précise que l'estimation par la loi multinormale. De même que la figure 3.9 illustre une distribution de données obtenues par modélisation bivariée plus en conformité avec la distribution des données originales. Ceci est à mettre en rapport avec la figure 3.5.

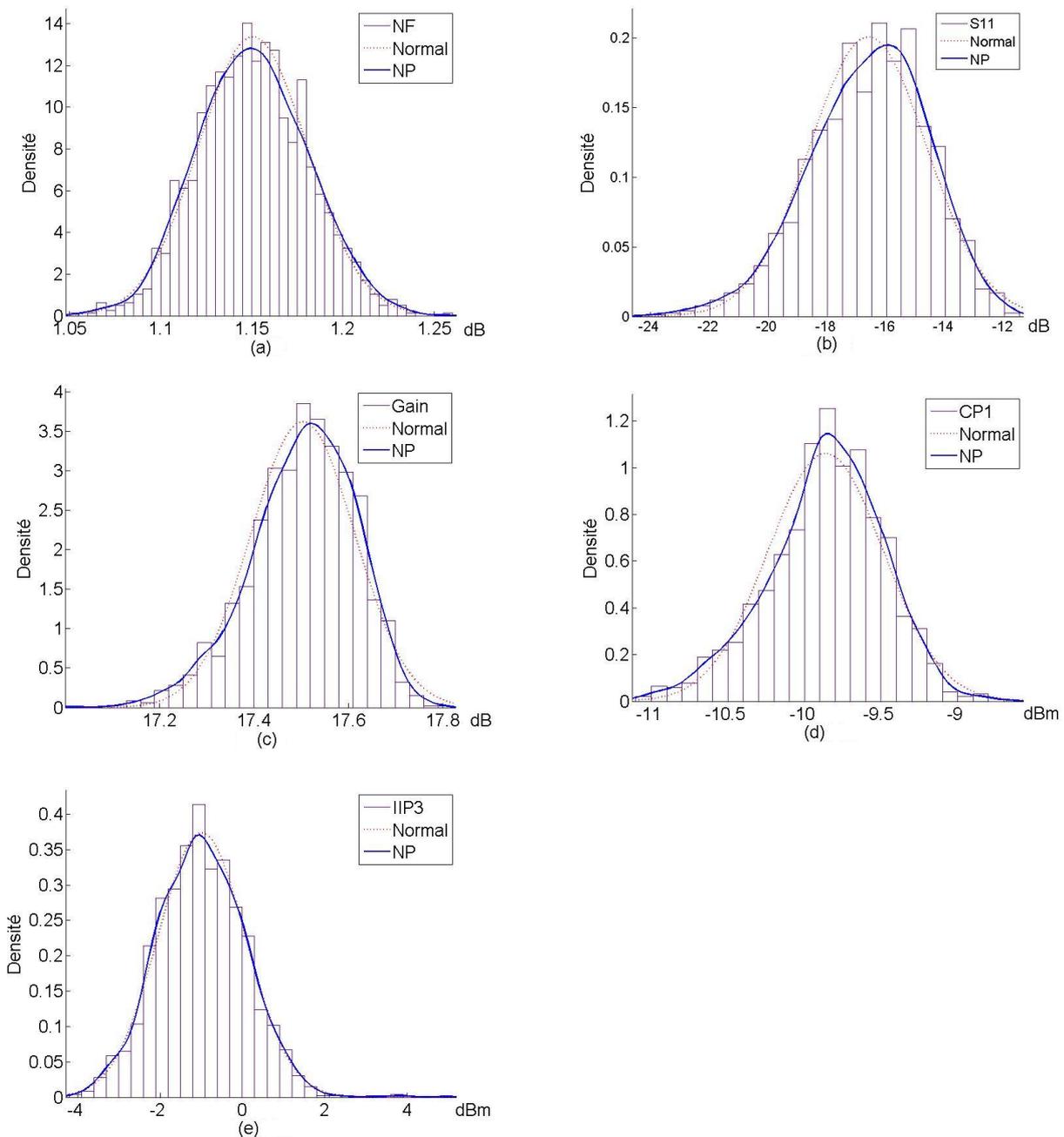


FIGURE 3.8 – Ajustement de la distribution non paramétrique sur (a) le facteur de bruit, (b) la réflexion en entrée, (c) le gain, (d) le point de compression -1dB et (e) l’IIP3.

Le principal inconvénient de cette méthode est la précision de l’estimation non paramétrique. En effet, cette dernière dépend du nombre de variables à traiter (performances), de la taille de la population initiale et de la structure de ces données [12]. Le tableau 3.5 donne un ordre d’idée de la taille de l’échantillon permettant d’obtenir une valeur de MISE inférieur à 0.1 en fonction de la dimension, dans le cas où les données suivent une estimation multinormale. L’on se rend compte qu’une précision correcte n’est possible que pour peu de variables car

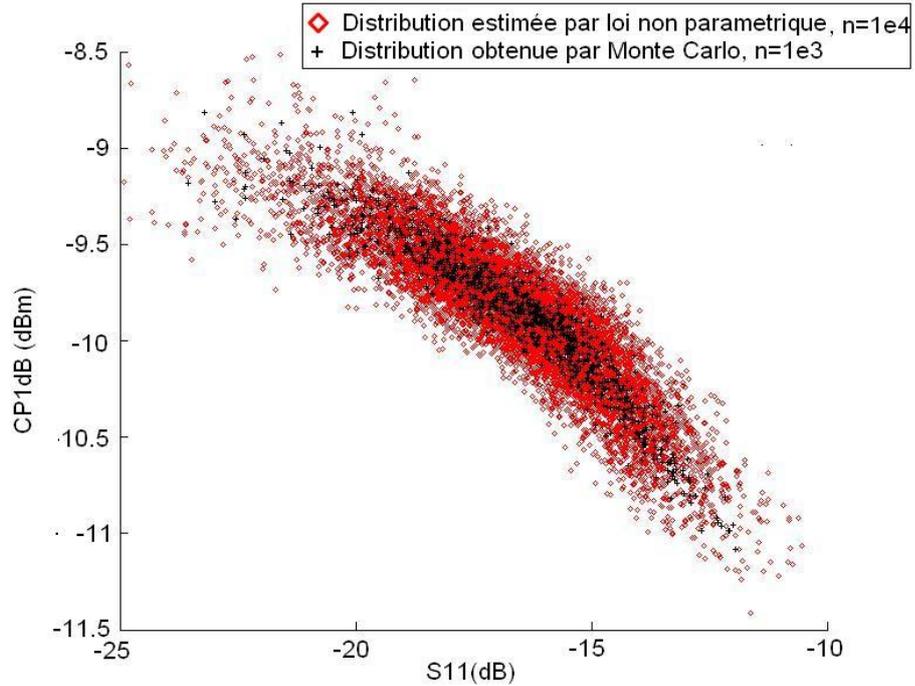


FIGURE 3.9 – Distribution bivariable originale avec $n=10^3$ circuits vs distribution bivariable générée à partir de la loi non paramétrique avec $n=10^4$ circuits.

TABLE 3.5 – Dimension vs taille de l'échantillon pour un MISE < 0.1 [55].

Dimension	Taille de l'échantillon
1	4
2	19
3	67
4	223
5	768
6	2 790
7	10 700
8	43 700
9	187 000
10	842 000

sinon, la taille de l'échantillon de départ rendrait sans intérêt l'utilisation de la méthode d'estimation et surtout rendrait le temps mis pour simuler le circuit exorbitant. Pour un circuit avec plus de six dimensions (par exemple cinq performances et une mesure de test), cette méthode peut s'avérer imprécise pour permettre le calcul exact des métriques de test. Par contre, elle peut être utilisée pour comparer des méthodes de test, car toutes seront biaisées de la même façon.

3.6 Modélisation par les Copules

Les fonctions Copules sont des outils mathématiques qui permettent d'isoler la dépendance entre des variables aléatoires, ainsi que leur corrélation [54] [45]. Une copule est la formulation d'une distribution multivariée de telle manière que les différents types de dépendance peuvent être représentés [45].

La formulation d'une distribution multivariée au moyen d'une copule est fondée sur la transformation de chaque variable marginale en une nouvelle variable marginale à distribution uniforme. Une fois cela fait, la structure de dépendance peut être exprimée comme une distribution multivariée obtenue à partir de lois marginales uniformes, et une copule est précisément une distribution multivariée de variables aléatoires à lois marginales uniformes. Soit $d \geq 2$, une fonction $C : [0, 1]^d \rightarrow [0, 1]$ est appelée copule de dimension d , ou simplement copule, si C est la fonction de répartition d'une variable aléatoire $U = (U_1, \dots, U_d)$ à valeurs dans \mathbb{R} , où les variables aléatoires U_1, \dots, U_d sont de loi uniforme sur $[0,1]$: $C(u) = P(U \leq u)$ pour tout $u \in [0, 1]^d$. Les trois principales propriétés des copules sont les suivantes :

1. Pour tout $u \in [0, 1]^n$ ayant au moins une composante nulle, $C(u) = 0$;
2. C est d -croissante ;
3. Pour tout $u \in [0, 1]^n$ ayant toutes ses composantes égales à 1 sauf éventuellement u_k , $C(u) = u_k$.

La figure 3.10 illustre l'utilisation des copules. La distribution bi-variée en haut de la figure a une forme de banane, due aux échelles des données. Une fois les données normalisées par leurs fonctions de répartition respectives, la distribution bi-variée qui correspond à une fonction de répartition bi-dimensionnelle (copule) a une forme ovoïde.

Soit (X_1, \dots, X_n) un n -uplet de variables, les marges sont les lois de probabilités de X_1, \dots, X_n prises séparément et notées F_1, \dots, F_n . Soit F la fonction de répartition n -dimensionnelle de X_1, \dots, X_n , d'après le théorème de Sklar, F admet une représentation Copule :

$$F(X_1, \dots, X_n) = C(F_1(x_1), \dots, F_n(x_n)). \quad (3.24)$$

Où C est une fonction de répartition. Si les fonctions marginales (F_1, \dots, F_n) sont continues, la copule C est unique. Réciproquement si C est une copule et F_1, \dots, F_n des distribution univariées alors la fonction F définie par 3.24 est la distribution conjointe dont les marges sont

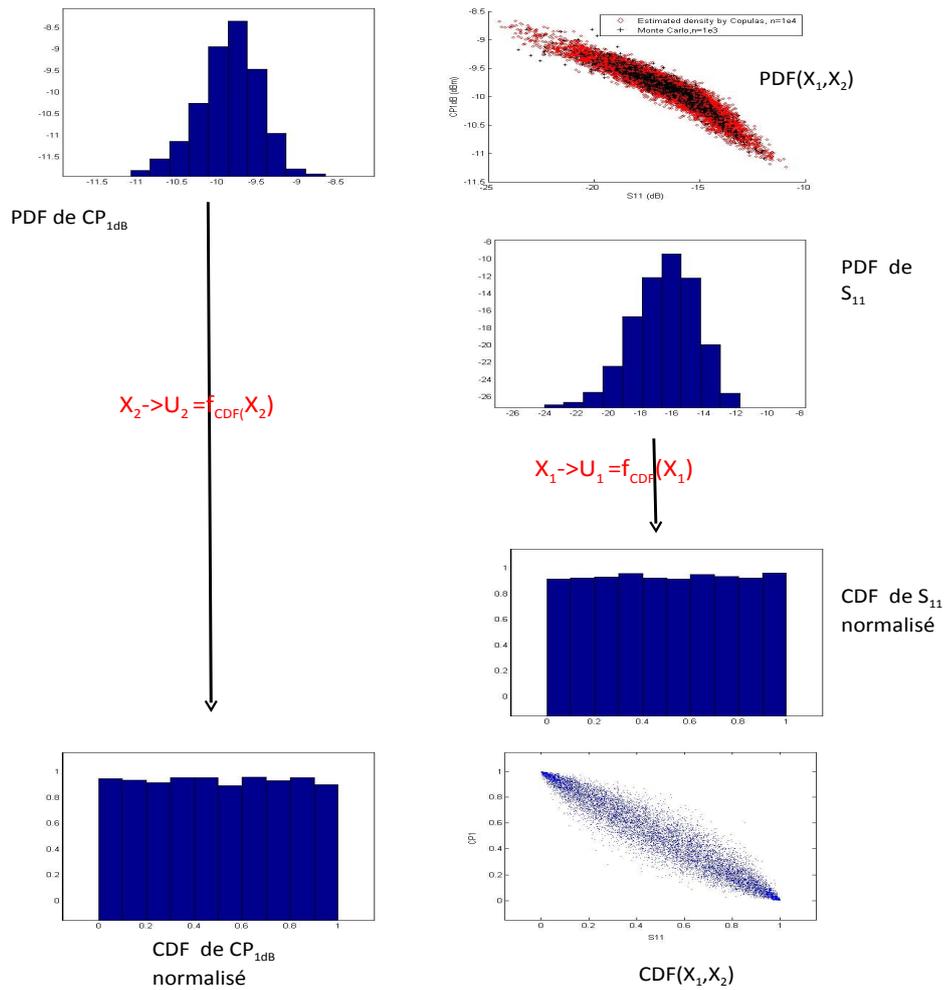


FIGURE 3.10 – Principe des copules

F_1, \dots, F_n . Dans le cas des lois marginales continues, $\forall U \in [0, 1]^n$ on a :

$$C(u) = F(F_1^{-1}(u_1), \dots, F_n^{-1}(u_n)) \quad (3.25)$$

et

$$p(x) = c(F_1(x_1), \dots, F_n(x_n)) \prod_{i=1}^n p_i(x_i) \quad (3.26)$$

où c est la densité associée à C et p_i les densités marginales de F . La relation 3.25 permet de construire une loi jointe à partir de lois marginales et d'une copule, alors que la relation 3.26 permet de construire des copules à partir de lois jointes. Cette propriété permet par ailleurs de résoudre un autre problème : celui de l'élaboration des modèles multidimensionnels non gaussiens.

Il existe de nombreuses familles de copules que l'on différencie dans le détail de par la dépendance qu'elles représentent. Une famille en général a plusieurs paramètres qui se rapportent à la force et la forme de la dépendance. Un usage typique de copules est de choisir une de ces familles et de l'utiliser pour définir la distribution multivariée à utiliser, généralement dans l'ajustement d'une distribution à un échantillon de données. Toutefois, il est possible de calculer la copule correspondant à toute distribution multivariée.

Dans notre cas, nous avons choisi d'utiliser la copule Gaussienne. La copule Gaussienne est construite à partir de la distribution multinormale via le théorème de Sklar. Soient X_1, \dots, X_n des variables aléatoires distribuées suivant la loi normale de moyennes respectives μ_1, \dots, μ_n , de variances $\sigma_1, \dots, \sigma_n$ et de matrice de corrélation Σ . Alors la fonction de distribution $C_\Sigma(u_1, \dots, u_n)$ des variables $U_i = \Phi\left(\frac{X_i - \mu_i}{\sigma_i}\right)$, $i \in 1, \dots, n$ où $\Phi(\cdot)$ est la fonction de répartition de la gaussienne centrée réduite, est une Copule, appelée copule Gaussienne de matrice de corrélation Σ . Nous avons choisi d'utiliser cette copule car la plupart des fonctions de répartition bivariées de la copule des données initiales ont une allure gaussienne.

Un des paramètres utilisé pour mesurer les dépendances entre variables est le paramètre $\rho \in [-1, 1]$. Pour une copule Gaussienne, il correspond au coefficient de corrélation de la matrice de covariance. Cependant, si ces copules sont utilisées pour définir la loi jointe d'un vecteur multi-dimensionnel, ρ ne correspond plus à la corrélation (usuelle) de Pearson entre les variables, mais au tau de Kendall τ entre variables aléatoires. Les deux mesures de dépendance sont liées par la relation :

$$\tau = 2 \arcsin(\rho) / \pi. \quad (3.27)$$

La figure 3.11 mise en parallèle avec la figure 3.2 du paragraphe 3.3.2 permet de comparer d'une part les distributions marginales des données issues des simulations Monte-Carlo et d'autre part les distributions marginales de données issues d'un échantillonnage d'un modèle par les Copules. Sur les diagonales, on observe les distributions des vecteurs, et sur la case A_{ij} la distribution conjointe entre la performance i et la performance j . Nous avons gardé les distributions marginales décrites par les lois non paramétriques des figures 3.8 (a)-(e).

La figure 3.12 illustre plus en détail le cas de la distribution bivariée des performances CP_{1dB} et S_{11} . Nous observons que la distribution de 10^4 circuits échantillonnée à partir du modèle de Copules a la même forme que la distribution initiale de 10^3 circuits obtenus par simulation Monte Carlo. La figure 3.12 est à comparer avec la figure 3.9. Pour notre cas d'étude, le modèle des Copules apparaît plus précis que le modèle obtenu avec une modélisation non

paramétrique.

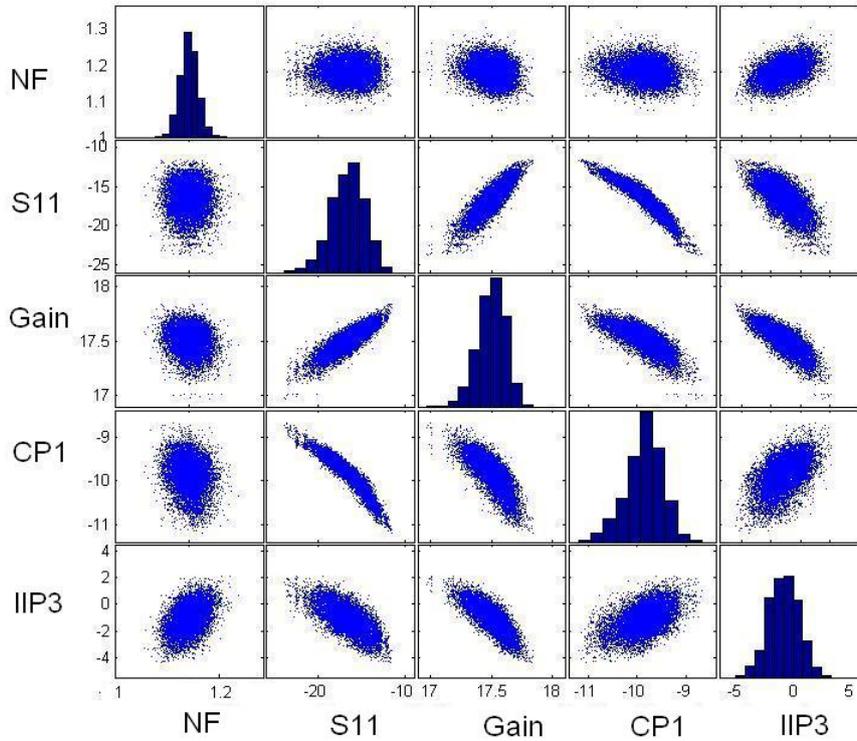


FIGURE 3.11 – Distributions bivariées obtenues par échantillonnage du modèle statistique basé sur la Copule gaussienne (N=1e4 circuits)

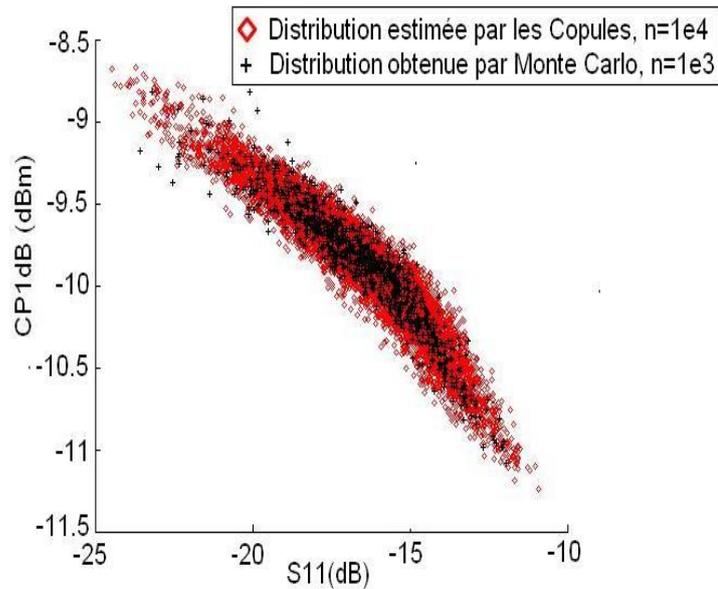


FIGURE 3.12 – Distribution bivariate originale avec $n=10^3$ circuits vs distribution bivariate générée par un échantillonnage du modèle de Copules avec $n=10^4$ circuits.

3.7 Conclusion

Dans ce chapitre, nous avons étudié différentes techniques afin d'obtenir un modèle statistique du LNA à tester. Nous avons du passer du modèle paramétrique au modèle non-paramétrique car l'hypothèse de distribution normale ne s'appliquait pas à toutes les performances. Si le modèle paramétrique permet de mieux modéliser le circuit, car s'affranchissant à-priori de la forme de la distribution à modéliser, cette méthode peut se révéler imprécise du fait de la dimension de l'espace de modélisation (dans notre cas plus de cinq variables). La dernière méthode de modélisation permet à partir des lois marginales des performances et une Couple gaussienne de retrouver la densité de probabilité conjointe décrivant le circuit.

Chapitre 4

Evaluation des mesures de test du LNA

4.1 Introduction

Dans ce chapitre nous parlerons de la méthode retenue pour l'évaluation du test. Il existe dans la littérature de nombreuses mesures retenues pour effectuer le test structurel des amplificateurs faible bruit. Il n'existe malheureusement pas de technique permettant de comparer ces différentes mesures entre elles. Pour des besoins d'évaluation, nous utilisons les métriques de test. Dans un premier temps, nous exposons les métriques en présence de déviations process. Deuxièmement, nous exposons les métriques en présence des fautes aussi bien catastrophiques que paramétriques simples. Pour chacune de ces trois catégories, nous définissons les métriques associées et nous présentons les résultats des simulations de différentes mesures de test.

Les métriques de test dépendent évidemment des limites de test. Celles-ci sont calculées en utilisant les modèles statistiques décrits dans le chapitre précédent. Ainsi, nous montrerons les métriques de test pour des limites de test calculés en utilisant la modélisation multinormale, non-paramétrique et par les Copules. Bien que la modélisation multinormale ne soit pas pertinente pour le LNA que nous étudions, nous montrerons aussi les résultats obtenus par cette modélisation afin d'illustrer les erreurs qui peuvent être faites à cause du modèle statistique lors du choix des mesures de test.

4.2 Mesures de test

Les différentes mesures de test que nous avons choisies d'évaluer sont tirées de l'état de l'art de la DfT pour les LNA. On retrouve principalement comme mesures : les impédances d'entrée et sortie (Z_1 et Z_2), le courant de consommation statique RMS (I_{cc}) ou dynamique crête-à-crête (I_p), et la tension de sortie (V_{rms} ou V_p). Toutes ces mesures de test seront évaluées et comparées

de par les métriques obtenues par les différentes limites qui y seront apposées.

Les impédances en entrée et sortie [52] [53] sont mesurées à l'aide de circuits placés à l'entrée et à la sortie contenant des amplificateurs et des détecteurs de crête. Il s'agit de fait de détecteurs d'enveloppe permettant de retrouver par calcul l'impédance d'entrée et de sortie.

Les courants de consommation statique [16] ou dynamique [31][28][29][19][20] sont mesurés à l'aide de capteurs de courant comme expliqué dans le deuxième chapitre.

Les tensions sont mesurées par des détecteurs d'enveloppe [21] ou détecteurs RMS [63][62].

Nous avons choisi délibérément des mesures ne nécessitant aucune conception lourde. C'est pour cette raison que les mesures telle que la figure de bruit [42][43] ou l'intermodulation [18][17] par exemple qui nécessite un DSP n'ont pas été étudiées. Toute l'étude faite dans ce chapitre ne tiendra compte que de mesures idéales, i.e. calculées à partir des résultats de simulation des signaux sans utiliser des capteurs pour le test. On relève les mesures des impédances Z_1 et Z_2 en magnitude et à 1.9GHz. Pour les autres mesures, une simulation transitoire sur une durée de 300ns est effectuée simultanément. Le relevé des données s'effectue après l'établissement des courbes à des niveaux constants ($t > 30ns$). Le stimuli d'entrée est un signal sinusoïdal de puissance $pr f_1$ et à la fréquence centrale du circuit (1.9GHz). Le tableau 4.1 présente le banc de test utilisé pour obtenir ces mesures par simulation. Le tableau 4.2 présente les principales caractéristiques statistiques de ces mesures obtenues par une simulation Monte Carlo de 1500 circuits.

TABLE 4.1 – Banc de test des simulations pour les mesures de test.

Banc de test	Alim	Idc	Simulations	Variables de simulation	Performances mesurées
Mesures	2.7 V	5 mA	SP, trans	prf1 fixé	$Z_1, Z_2, I_{cc}, I_p, V_{rms}, V_p$

TABLE 4.2 – Mesures de test étudiées et leurs paramètres statistiques.

	Z_1 (Ω)	Z_2 (Ω)	I_{cc} (mA)	I_p (mA)	V_{rms} (mV)	V_p (mV)
\bar{x}	37.1	66.5	5.2	4.7	51.2	148.2
S_x	2.41	2.04	0.2	0.3	0.8	2.2

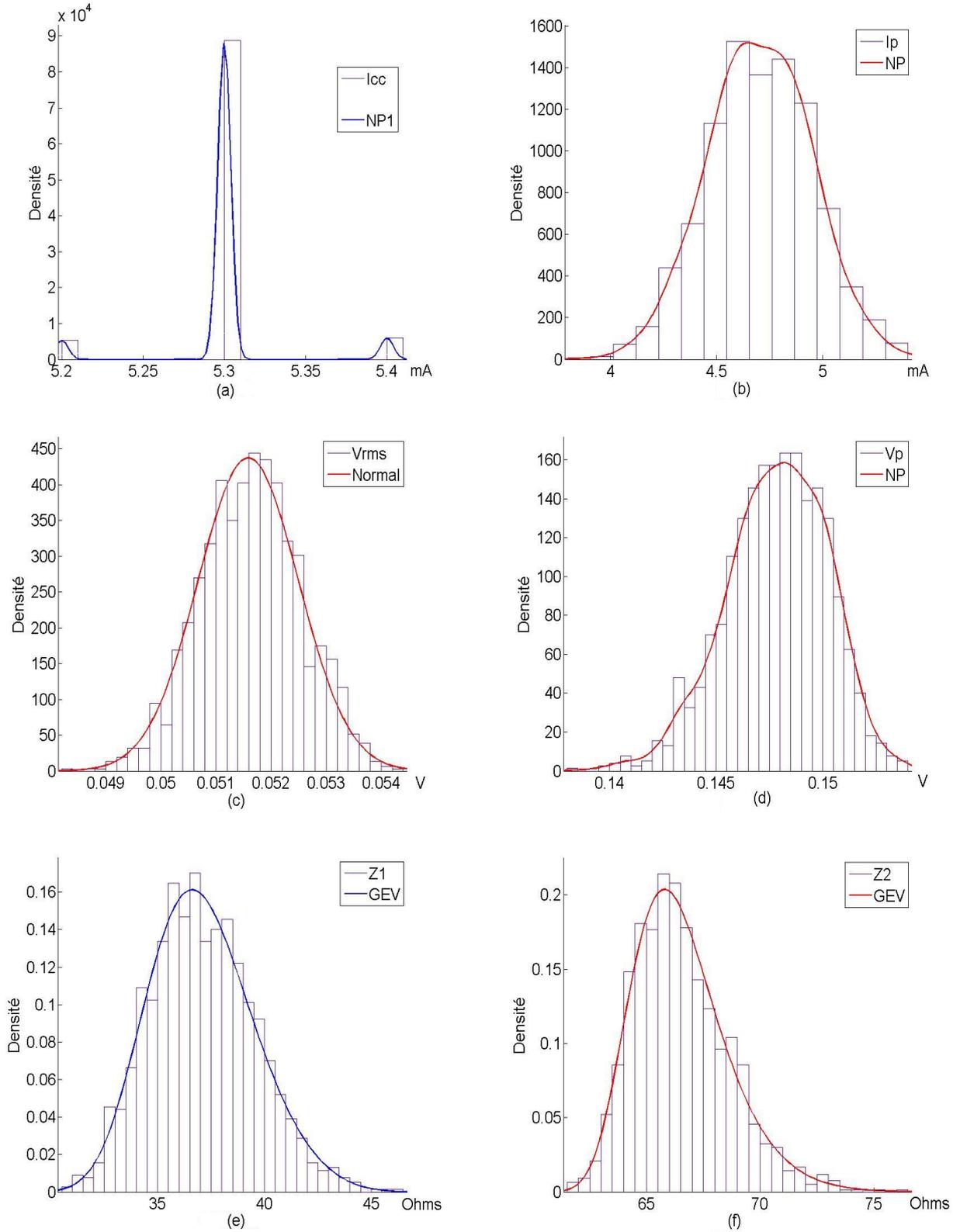


FIGURE 4.1 – Histogrammes et pdf associés aux mesures de test : (a) valeur rms du courant, (b) valeur crête à crête du courant, (c) valeur rms de la tension de sortie, (d) valeur crête à crête de la tension de sortie, (e) impédance d’entrée, et (f) impédance de sortie.

Les figures 4.1 (a)-(f) présentent les histogrammes des différentes mesures de test, ainsi que les densités de probabilité que nous leur associons. On remarque que l’histogramme associé à I_{cc} est tri-modal (2 lobes secondaires en plus du lobe principal). Pour lui affecter une fonction de densité de probabilité, nous avons du choisir un modèle non paramétrique à noyau normal. Pour les autres mesures de test, les histogrammes permettent d’approximer les fonctions de densité de probabilité par des fonctions assez classiques : loi normale pour V_{rms} , loi non paramétrique à noyau gaussien pour V_p et I_p , loi des valeurs extrêmes pour Z_1 et Z_2 .

4.3 Méthodologie d’évaluation

Afin d’évaluer les métriques de test, nous procédons comme suit :

- Premièrement, N simulations Monte Carlo pour les différents bancs de test¹ de chaque performance et de chaque critère de test sont faites. Pour chaque instance de la simulation Monte Carlo, des performances et des mesures de test sont enregistrées.
- Grâce aux valeurs de la simulation Monte Carlo, la distribution de probabilité conjointe des performances et des mesures de test est estimée par une méthode statistique.
- D’après l’estimation de la distribution de probabilité conjointe des performances et des mesures de test, une population plus grande de circuits est générée (minimum 1 million de circuits pour une précision de l’ordre du ppm).
- Sur cette population, les métriques de test pour les cas des déviations du process sont calculées grâce aux équations 4.6 à 4.10.
- Nous nous basons sur les métriques perte de rendement (Y_L^{pd}) et taux de défauts (D^{pd}) pour fixer les limites des mesures de test. Un compromis est fait entre ces deux métriques sur la base de la règle de dix [68]. Cette règle suggère qu’il est dix fois plus coûteux de vendre un circuit défectueux que de rejeter un circuit fonctionnel. La mise en équation est : $Y_L^{pd} = 10 D^{pd}$. La figure 4.3 illustre cela.
- Ensuite nous utilisons les limites de test fixées pour déterminer la couverture de fautes catastrophiques (F_c). Si cette dernière s’avère trop faible, nous choisissons un intervalle de limites assurant une couverture de fautes minimale (F_{Cmin}) et nous recalculons les métriques de test au regard des déviations process, suivant la règle de dix. De fait, cette fois-ci, un compromis est fait entre ces deux métriques sur la base de la règle de dix et le taux de couverture de fautes catastrophiques.

1. Test bench : environnement utilisé pour vérifier un design ou un modèle

- Nous effectuons l’injection des fautes paramétriques simples et le calcul des métriques de test paramétriques (Y^{par} , D^{par} , ...) avec les limites fixées grâce aux étapes précédentes. Si les métriques sont satisfaisantes, le processus d’évaluation des mesures de test s’achève.
- Si les métriques paramétriques ne sont pas satisfaisantes, alors de nouvelles limites sont fixées en faisant un compromis entre toutes les métriques de test (au regard des fautes catastrophiques, paramétriques et des déviations process), puis l’on répète l’étape précédente. La sortie de cette boucle s’effectue lorsque les métriques sont jugées satisfaisantes.

La méthodologie d’évaluation des mesures de test, mise en oeuvre et détaillée dans le paragraphe précédent, est schématisée par la figure 4.2.

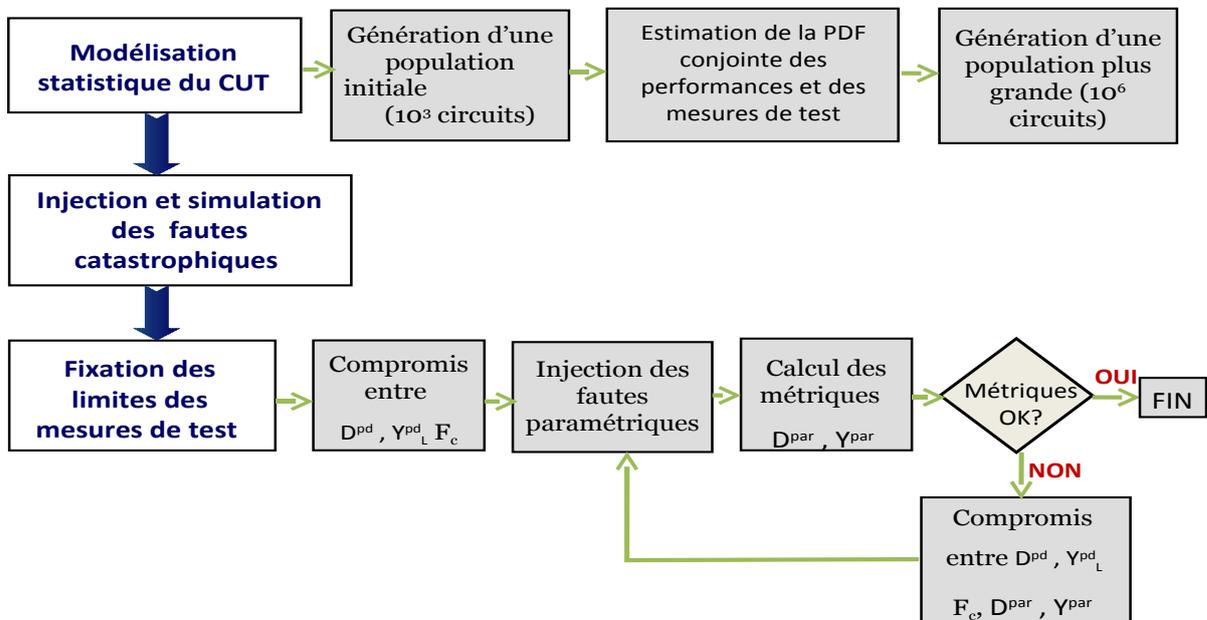


FIGURE 4.2 – Méthodologie mise en oeuvre pour évaluer les mesures de test

4.4 Les métriques de test en présence de déviations process

4.4.1 Définition des métriques

Les métriques de test au regard des déviations process permettent de qualifier la production d’un circuit. Ces métriques sont : le rendement (Y^{pd}) ou la probabilité qu’un circuit soit fonctionnel, le rendement de test (Y_T^{pd}) ou la probabilité qu’un circuit passe le test, le taux de défauts

(D^{pd}) qui représente la probabilité pour qu'un circuit défaillant soit considéré comme fonctionnel, la perte de rendement (Y_L^{pd}) qui est la probabilité qu'un circuit fonctionnel ne passe pas le test et la couverture de circuits défaillants (Y_F^{pd}) qui est la probabilité qu'un circuit défaillant ne passe pas le test. En fonction de la densité de probabilité des performances et des mesures de test des circuits sous test, les métriques de test sous déviations process sont calculées comme suit :

$$Y^{pd} = \int_A f_S(s) ds. \quad (4.1)$$

$$Y_T^{pd} = \int_B f_T(t) dt. \quad (4.2)$$

$$Y_L^{pd} = 1 - \frac{\int_A \int_B f_{ST}(s, t) ds dt}{Y^{pd}}. \quad (4.3)$$

$$Y_F^{pd} = 1 - \frac{Y_T^{pd} - \int_A \int_B f_{ST}(s, t) ds dt}{1 - Y^{pd}}. \quad (4.4)$$

$$D^{pd} = 1 - \frac{\int_A \int_B f_{ST}(s, t) ds dt}{Y_T^{pd}}. \quad (4.5)$$

Où $A = (A_1, \dots, A_n)$ est le vecteur des spécifications, $B = (B_1, \dots, B_m)$ est le vecteur des limites de test, $f_S(s) = f_S(s_1, \dots, s_n)$ et $f_T(t) = f_T(t_1, \dots, t_m)$ représentent respectivement la densité de probabilité conjointe des performances et la densité de probabilité conjointe des mesures de test, $f_{ST}(s, t) = f_{ST}(s_1, \dots, s_n, t_1, \dots, t_m)$ est la densité de probabilité conjointe des performances et des mesures de test.

Les densités de probabilité conjointe utilisées pour le calcul des équations 4.1 à 4.5 sont obtenues par les méthodes statistiques (loi multinormale, loi non-paramétrique ou Copules) décrites dans le chapitre précédent. Quelle que soit la méthode statistique choisie, une intégration directe de ces équations est improbable dans notre cas, de par le nombre de variables d'intégration (au moins six : à savoir cinq performances et une mesure de test au minimum). Pour résoudre ce problème, on utilise des estimateurs de ces métriques pour un échantillon de N circuits générés à partir de la loi statistique. Ceci revient à intégrer ces équations en utilisant une technique d'échantillonnage statistique, typiquement Monte-Carlo. Ces estimateurs sont calculés comme suit :

$$\hat{Y}^{pd} = \frac{\text{Nombre de circuits qui sont fonctionnels}}{N}. \quad (4.6)$$

$$\hat{Y}_T^{pd} = \frac{\text{Nombre de circuits qui passent le test}}{N}. \quad (4.7)$$

$$\hat{Y}_L^{pd} = \frac{\text{Nombre de circuits qui sont fonctionnels et qui échouent le test}}{\text{Nombre de circuits qui sont fonctionnels}}. \quad (4.8)$$

$$\hat{Y}_F^{pd} = \frac{\text{Nombre de circuits qui ne pas sont fonctionnels et qui échouent le test}}{\text{Nombre de circuits qui ne sont pas fonctionnels}}. \quad (4.9)$$

$$\hat{D}^{pd} = \frac{\text{Nombre de circuits qui sont défailants et qui passent le test}}{\text{Nombre de circuits qui passent le test}}. \quad (4.10)$$

4.4.2 Evaluation des mesures individuelles de test

La détermination des limites de test est une étape préalable à l'évaluation des métriques de test. En effet des limites de test trop larges donneraient un rendement certes élevé mais aussi un taux de défauts très grand. A contrario, des limites de test trop serrées donneraient un rendement trop faible mais avec un taux de défauts quasiment nul. Dans les deux cas, le test ne serait pas bon. Les figures 4.3(a) et (b) montrent un exemple de la variation du taux de défauts et de la perte de rendement en fonction des limites d'une mesure de test. L'axe horizontal de cette figure correspond à une limite de test mesurée en écart-type. Si la limite de test est établie à 4.8 comme sur l'exemple de la figure, cela correspond en terme de valeur numérique à la valeur moyenne de la mesure de test ± 4.8 fois son écart type. L'axe vertical donne les valeurs des métriques en ppm. Dans l'exemple présenté par cette figure, la limite est fixée par le point $Y_L \approx 10 * D$.

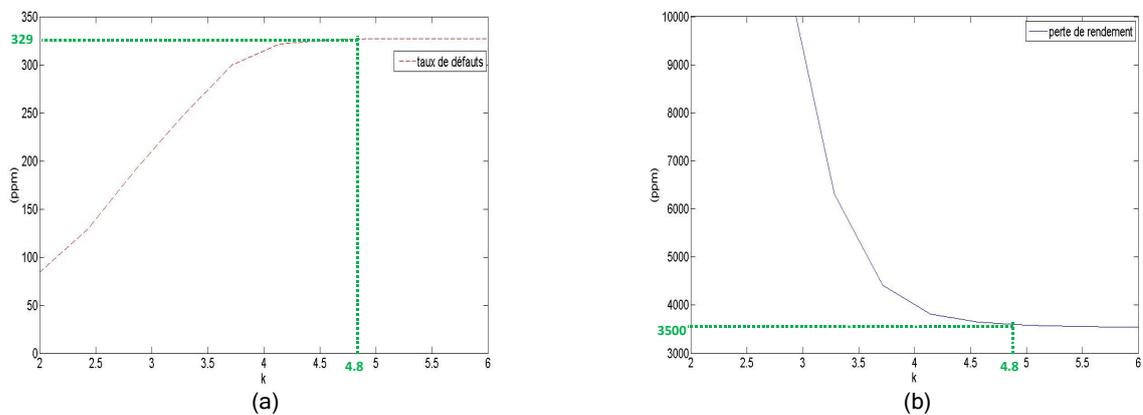


FIGURE 4.3 – Taux de défauts (a) et perte de rendement (b) en fonction des limites de test.

Dans le chapitre 3, grâce à des méthodes statistiques, nous sommes parvenus à générer un grand nombre de circuits ayant la même distribution que les circuits originels obtenus par simulation électrique Monte Carlo. Grâce à cet ensemble, nous pouvons simuler le comportement d'une production industrielle et établir les limites pour le test de production. Reste donc à établir les mesures de test permettant d'avoir un test efficace. Nous avons suivi la procédure indiquée dans la section 4.3.3. Mille simulations Monte Carlo du circuit ont été effectuées, ce qui nous a permis de générer (grâce aux modèles statistiques) un échantillon d'un million de circuits. Sur cet échantillon, à chaque fois les métriques de test pour les déviations process ont été calculées. Le tableau 4.4 regroupe les résultats selon les différents modèles statistiques en considérant les limites de test fixées selon la règle de dix, qui sont présentées dans le tableau 4.3. Dans ce tableau, nous notons "Def." le nombre de circuits défaillants, c'est-à-dire des circuits qui présentent des performances en dehors des spécifications au regard des déviations process. Notons que pour chaque mesure de test et type de modèle statistique, nous calculons une distribution de probabilité conjointe et nous générons une population de 10^6 circuits. Ainsi, le nombre de circuits défaillants peut varier légèrement pour le même modèle statistique et différentes mesures. Ces tableaux permettent de remarquer que la modélisation du circuit influence les métriques (D^{pd} , Y_L^{pd}) et de ce fait les limites de test.

Nous observons deux constantes dans ces tableaux, dans tous les cas : premièrement, les limites varient de façon peu significative ; deuxièmement, la mesure (I_{cc}) ne permet pas la détection de circuits défectueux bien que ses limites soient serrées. Sachant que la modélisation par la loi Multinormale n'est pas pertinente (voir chapitre 3), nous nous bornerons à commenter les résultats obtenus par les deux autres modélisations (loi non paramétrique et Copules). Le tableau 4.4 montre clairement que les métriques de test en utilisant le modèle normal sont très différentes par rapport à celles des deux autres modèles.

Soit la fonction :

$$g(x) = D^{pd}(x) + \frac{Y_L^{pd}}{10}(x), \quad (4.11)$$

avec x la mesure de test. Cette fonction, qui représente la loi de dix correspond au coût d'application de la mesure de test x . En la calculant pour les différentes mesures de test évaluées, on observe que les mesures Z_1 et Z_2 s'avèrent les plus coûteuses aussi bien dans le cas de limites fixées par modélisation non paramétrique que par Copules. Au regard de la modélisation non paramétrique les mesures de tensions semblent être les moins coûteuses. Au regard de la modélisation par les Copules, la mesure V_p semble la plus économique, avec les mesures de

courant qui présentent sensiblement le même coût. Dans tous les cas, la mesure de la tension crête à crête présente un fort intérêt, même si pour les Copules, elle ne détecte pas des circuits défailants.

TABLE 4.3 – Limites des mesures de test suivant les différents modèles statistiques I.

		Z_1	Z_2	I_{cc}	I_p	V_{rms}	V_p
Multinormale	Min	27.7	62.3	5.0	3.8	48.6	140.1
	Max	47.5	70.7	5.6	5.6	56.0	166.3
Non paramétrique	Min	29.6	58.4	5.0	4.0	48.6	139.2
	Max	43.3	74.1	5.6	5.6	56.4	164.0
Copules	Min	29.9	58.3	5.0	3.0	49.0	139.6
	Max	44.9	74.1	5.6	6.8	57.1	156.2

TABLE 4.4 – Métriques des deviations process suivant les différents modèles statistiques I.

		Z_1	Z_2	I_{cc}	I_p	V_{rms}	V_p
Multinormale	D^{pd} (ppm)	5	26	62	16	52	59
	Y_L^{pd} (ppm)	50	260	0	160	520	590
	Def. (ppm)	55	52	62	63	55	63
Non paramétrique	D^{pd} (ppm)	303	308	415	246	128	155
	Y_L^{pd} (ppm)	3031	3080	0	2460	1280	1553
	Def. (ppm)	415	430	415	407	380	430
Copules	D^{pd} (ppm)	238	252	328	153	207	290
	Y_L^{pd} (ppm)	2380	2520	0	1529	2070	0
	Def. (ppm)	300	317	328	298	307	290

4.4.3 Evaluation des combinaisons de mesures de test

Nous allons considérer dans ce qui suit deux mesures de test, par exemple l'association tension crête (V_p) et courant de consommation (I_{cc}). Le courant de consommation est une mesure qui permet d'améliorer la couverture de fautes catastrophiques comme il sera présenté dans la section 4.5.2. La figure 4.4(a) montre le taux de défauts en fonction des limites de test supérieures de I_{cc} et V_p . La figure 4.4(b) montre la perte de rendement en fonction des limites de test supérieures de I_{cc} et V_p . La fixation des limites de test est toujours un compromis entre le coût de test et la qualité de test. La figure 4.5 montre le taux de défauts et la perte de rendement ensemble en fonction des limites de test supérieures de ces deux mesures de test. Les quatre limites de test sont fixées afin de minimiser l'équation 4.11 en respectant la règle de

dix. En outre, comme expliqué dans la section 4.3, pour fixer simultanément les limites de test de plusieurs mesures de test, nous avons tenu compte aussi des résultats de simulations des fautes catastrophiques pour les mesures individuelles de test que nous verrons dans la section 4.6. Ainsi, l'équation 4.11 est utilisée dans des plages de limites qui assurent une couverture de fautes catastrophiques maximale.

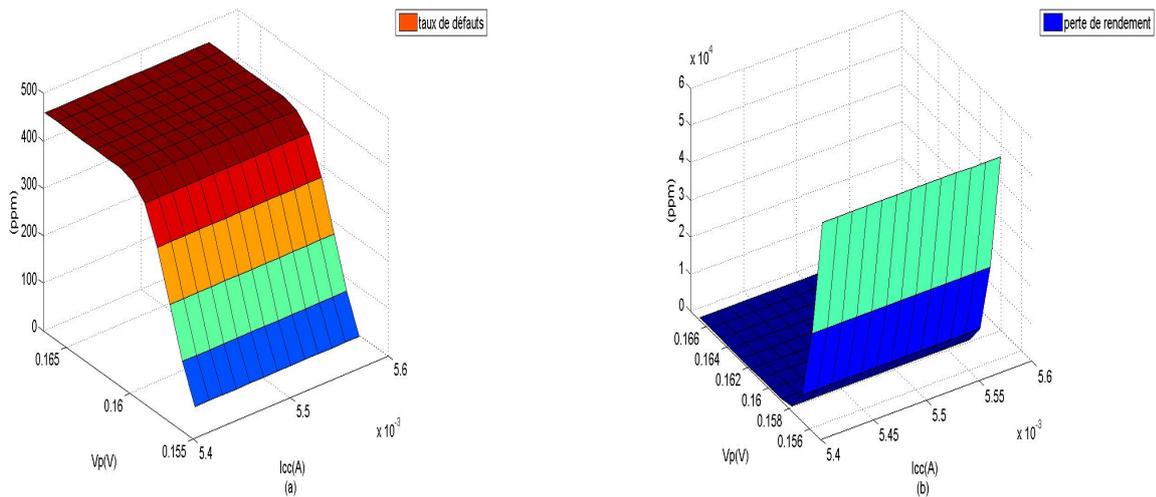


FIGURE 4.4 – Taux de défauts (a) et perte de rendement (b) en fonction des limites de test supérieures pour les mesures de test I_{cc} et V_p .

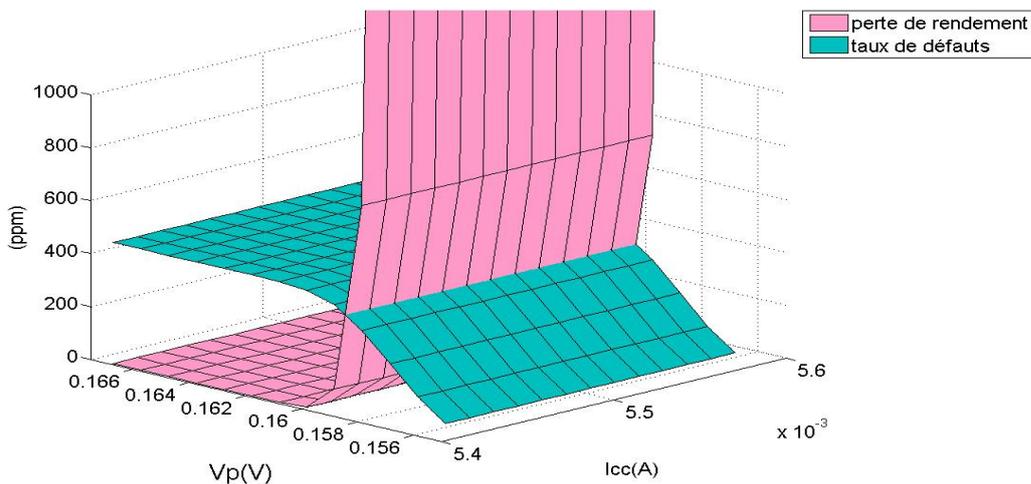


FIGURE 4.5 – Courbe montrant le compromis entre taux de défauts (D) et perte de rendement (Y_L) en fonction des limites de test supérieures des mesures de test I_{cc} et V_p .

Le tableau 4.5 résume l'ensemble des limites de test fixées pour les différentes combinaisons de mesures. L'analyse des résultats ne se fait qu'au regard des limites pour les modélisa-

tions non paramétrique et Copules. Les résultats obtenus pour des limites fixées sur le modèle Gaussien ne sont donnés qu'à titre illustratif.

Le tableau 4.6 regroupe les résultats suivant les différents modèles statistiques en considérant les limites de test représentées dans le tableau 4.5. Si l'on se réfère à l'équation 4.11, on remarque de façon générale que la valeur de cette fonction pour une combinaison de mesure de test est inférieure à la somme des valeurs de la fonction pour deux mesures individuelles. Ainsi pour la mesure $Z_1 + Z_2$, $g = 504 \text{ ppm}$ (pour de limites fixées par les Copules) alors que $g(Z_1) + g(Z_2) = 980 \text{ ppm}$. Ceci est vérifiable avec toutes les limites de test fixées par les différents modèles statistiques. Il semble donc judicieux de fixer les limites de test en tenant compte des interactions entre les mesures de test.

La mesure de test la plus couteuse est la combinaison $Z_2 + I_{cc}$. Il semble que d'un point de vue deviations process ces deux mesures ne soient pas complémentaires car on retrouve a peu près le taux de défauts correspondant à la mesure individuelle la plus sélective (Z_2 dans ce cas). La mesure de test qui semble au regard des déviations process la plus performante est l'association du courant de consommation (I_{cc}) et de la tension crête à crête de sortie (V_p). Cette combinaison de mesures présente les taux de défauts et pertes de rendement les plus bas, en même temps que le taux de couverture de fautes catastrophiques le plus élevé. Ceci est du au fait qu'en tant que mesure individuelle I_{cc} présente des limites de test très serrées qui peuvent très bien être élargies sans pour autant affecter sa couverture de fautes catastrophiques. De plus, il est un excellent complément à la tension crête en sortie sur cet aspect. En effet, sur les fautes catastrophiques supplémentaires que la mesure de courant détecte, l'on se rend compte que les limites peuvent être beaucoup plus élargies. D'où un élargissement des limites de la mesure I_{cc} en fonction de la couverture de fautes catastrophiques, et une variation des limites de la mesure V_p en fonction des variations process. Ceci permet donc d'une part de conserver la qualité de discrimination de V_p , vis à vis des déviations process (taux de défauts parmi les plus bas), tout en annulant le caractère trop sélectif de I_{cc} .

TABLE 4.5 – Limites des mesures de test suivant les différents modèles statistiques II.

		$Z_1 + Z_2$	$I_{cc} + V_p$	$I_p + V_{rms}$	$Z_2 + I_{cc}$	$Z_2 + I_p$	$Z_1 + V_{rms}$
Multinormale	Min	28.9/58.2	4.2/137.8	3.9/47.6	59.1/4.8	59.1/3.3	24.6/47.6
	Max	47.2/88.2	5.5/155.3	6.8/55.9	74.5/6.0	84.6/5.9	45.2/56.0
Non paramétrique	Min	29.5/58.0	4.0/132.0	4.0/46.5	60.1/4.5	56.6/4.0	29.0/46.8
	Max	44.9/74.0	5.9/161.0	6.8/57.0	74.1/5.8	81.0/6.9	45.5/56.5
Copules	Min	30.0/59.0	4.5/139.0	2.5/48.9	60.6/5.0	60.8/2.0	29.2/48.6
	Max	46.3/79.6	5.8/158.3	6.6/75.0	74.0/5.7	86.7/8.4	45.5/56.1

TABLE 4.6 – Métriques des deviations process suivant les différents modèles statistiques II.

	(ppm)	$Z_1 + Z_2$	$I_{cc} + V_p$	$I_p + V_{rms}$	$Z_2 + I_{cc}$	$Z_2 + I_p$	$Z_1 + V_{rms}$
Multinormale	D^{pd}	4	58	42	25	18	59
	Y_L^{pd}	386	2	247	250	180	472
	Def.	66	58	42	73	59	62
Non paramétrique	D^{pd}	181	211	251	362	258	280
	Y_L^{pd}	3870	2114	2510	3620	3411	2367
	Def.	516	458	431	491	473	388
Copules	D^{pd}	252	81	207	266	153	121
	Y_L^{pd}	2520	810	2070	2659	1532	1212
	Def.	290	321	322	316	315	332

4.5 Outil de CAO pour l'injection et la simulation de fautes

Une fois les limites de test fixées, elles sont utilisées pour calculer les différents métriques du test sous la présence de fautes. Nous effectuons une injection de fautes au niveau schématique. Pour ce faire, nous avons besoin d'un outil de modélisation, d'injection et de simulation de fautes. Plusieurs outils de ce type pour des circuits mixtes et RF sont apparus dans la littérature. En [5] est présenté un outil où les modèles de fautes sont ajoutés directement, avant simulation, dans la vue schématique du circuit sous *Cadence*, et les fautes sont injectées en modifiant les différents paramètres de chaque modèle de fautes ajouté. Ce même principe d'ajout de modèles de fautes a été aussi considéré dans l'outil décrit par [50]. La netlist est ainsi générée après avoir injecté les modèles de fautes dans la vue schématique. Par conséquent, ce type de simulateurs de fautes devient totalement indépendant du simulateur utilisé.

L'outil de simulation de fautes *FIDESIM* que nous avons utilisé est basé sur ce dernier principe. Le détail sur le principe utilisé pour modéliser des fautes a été décrit dans [50]. Cette

modélisation se fait de manière manuelle où le circuit à simuler ne doit pas être modifié une fois conçu. Ce principe a été modifié par [11] afin de pouvoir rendre la modélisation ainsi que l'injection de fautes robustes. D'où donc le développement d'un pseudo-langage FID² qui permet de décrire comment injecter une faute dans un circuit. Celui-ci est décrit en détail dans [11]. La procédure de simulation de fautes utilisée est présentée par la figure 4.6.

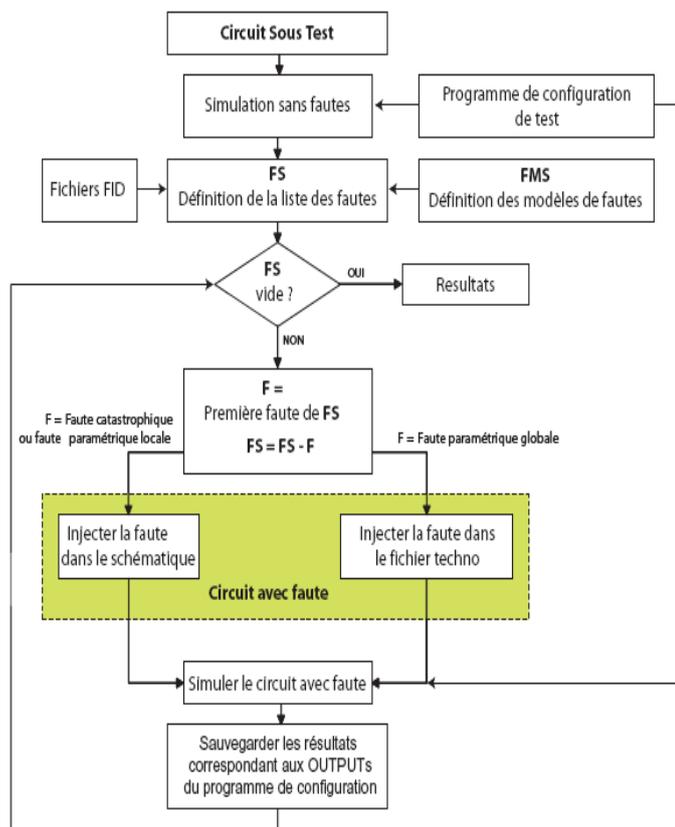


FIGURE 4.6 – Procédure de simulation de fautes utilisée par *FIDESIM* [11].

Des circuits représentant les différents modèles de fautes sous l'environnement DFII³ de *Cadence* sont créés. Ces modèles seront ensuite enregistrés dans une bibliothèque comme toute cellule *Cadence* tout en respectant certaines règles utiles pour l'automatisation de l'injection de fautes. Par exemple, utiliser des ports spécifiques qui servent à lier le modèle de faute au circuit à simuler. Ensuite, des fichiers FIDs seront créés (en utilisant implicitement le langage FID) où sera décrit comment chacun des modèles de fautes créé sera injecté. Cet outil permet non seulement de traiter les simulations process et les fautes catastrophiques, mais aussi les fautes paramétriques simples (locales) et globales.

2. *Fault Injection Description*
 3. *Design Framework 2*

4.6 Les métriques en présence des fautes catastrophiques

4.6.1 Définition des métriques

Les métriques utilisées pour les fautes catastrophiques sont directement issues du monde numérique. On considère que toutes les fautes ont la même probabilité, la première métrique ainsi calculée est la couverture de fautes F . F désigne la probabilité de détection des circuits avec faute, nous la noterons F_C pour montrer qu'elle se rapporte aux fautes catastrophiques et elle s'estime suivant la formule :

$$F_C = \frac{\text{Nombre de fautes détectées}}{\text{Nombre total de fautes injectées}}. \quad (4.12)$$

Williams et Brown ont défini une relation entre la couverture de fautes et le taux de défauts D_C [69] :

$$D_C = 1 - Y_C^{1-F_C} \quad (4.13)$$

où F_C est la couverture de fautes calculée par l'équation 4.12 et Y_C le rendement. Une analyse du layout montre que toutes les fautes catastrophiques ne sont pas équiprobables, d'où une amélioration de l'équation précédente sous l'hypothèse de non-équiprobabilité définie par [60] où F_C est remplacée par Ω :

$$\Omega = \frac{\ln \prod_{j=1}^m (1 - P_j)}{\ln \prod_{i=1}^n (1 - P_i)}. \quad (4.14)$$

Dans l'équation 4.14, n est le nombre de fautes potentielles, m est le nombre de fautes détectées parmi n et p_i est la probabilité d'occurrence de la i^{me} faute. Dans notre cas, nous nous bornerons à supposer l'équiprobabilité des fautes catastrophiques ; nous utiliserons donc la formule 4.12.

4.6.2 Résultats de simulation

Nous avons injecté un total de cinquante fautes catastrophiques dans le LNA. Les fautes équivalentes (par exemple dans R_1 ou R_2) ne sont considérées qu'une seule fois. Les fautes injectées sont des court-circuits (résistance de 1Ω) et des circuits ouverts (résistance de $100M\Omega$). Les circuits ouverts sont injectés en série avec les composants passifs (résistances, bobines, capacités) et aux terminaux des transistors bipolaires (base, émetteur, collecteur). Pour les court-circuits, ils sont injectés entre les bornes des composants passifs et entre les jonctions des bipolaires (base-émetteur, base-collecteur, émetteur-collecteur). La figure 4.7 récapitule la couverture de fautes des différentes mesures de test en fonction des limites de test qui varient selon le modèle statistique utilisé. La couverture de fautes des performances spécifiées est de

86 %. Les fautes non-détectées (au nombre de sept) sont des fautes se trouvant dans la partie de polarisation du circuit à savoir court-circuit et circuit ouvert sur C_1 , court-circuit sur R_4 , circuit ouvert et court-circuit sur R_2 et un circuit ouvert sur le collecteur et un court-circuit entre la base et l'émetteur du transistor T_1 . Ces fautes sur la polarisation affectent les points de polarisation des transistors, mais sans pour autant provoquer des variations de performances en dehors des spécifications. Elles peuvent aussi s'expliquer par le type de polarisation utilisé dans le test-bench de simulation. En effet certaines de ces fautes (en particulier court-circuit sur C_1 et T_1) se traduisent par une surtension sur la polarisation en courant. Après étude des points de polarisation autour du transistor T_1 , il apparait que celui ci fonctionne en commutation et permet ainsi de protéger la branche principale du LNA des variations de I_{pol} . Un circuit ouvert sur son collecteur le met en zone de saturation (état ON), sans affecter les performances du circuit. Cette faute affecte la fiabilité du circuit.

Bien que les mesures de test présentant le maximum de couverture de fautes soit différentes en fonction des limites de test, il existe des points communs. En effet, dans tous les cas, aucune des mesures de test prise individuellement ne présente le maximum de couverture de fautes catastrophiques. Il suffit d'une combinaison des mesures de test courant de consommation (I_{cc}) et tension crête (V_p) pour avoir une maximum de couverture de fautes par les mesures de test. La couverture de fautes maximale atteinte est dans tous les cas identique.

Les fautes non détectées par la mesure de test (I_{cc} et V_p) sont les mêmes que celles non détectées par les performances à l'exception d'une faute : le court-circuit sur C_1 . Cette faute correspond à un court-circuit entre la masse et l'alimentation, qui devrait logiquement conduire à un non-fonctionnement du circuit. Elle est détectée par le courant de consommation qui s'avère être un excellent complément à la tension de sortie pour détecter des fautes dans la partie de polarisation du circuit. Les trois autres fautes uniquement détectées par le courant de consommation sont : une ouverture sur la base du transistor de polarisation T_1 , et des court-circuits sur les résistances R_8 et R_{10} . Toutes ces fautes se traduisent par un changement du point de polarisation des transistors sans toutefois provoquer des dégradations significatives des performances hors des spécifications. La tension de sortie étant fortement corrélée au gain, elle se trouve elle aussi très peu affectée par ces variations. D'où l'importance du courant de consommation comme mesure de test. L'on remarque que la combinaison (Z_2 et I_{cc}) présente un taux de couverture de fautes de 86%, soit l'équivalent de la couverture de fautes de la combinaison (I_{cc} et V_p) à une faute près : un circuit ouvert sur la bobine L_3 . Cette faute non détectée par la

mesure de l'impédance de sortie Z_2 est détectée par la mesure de la tension crête en sortie V_p .

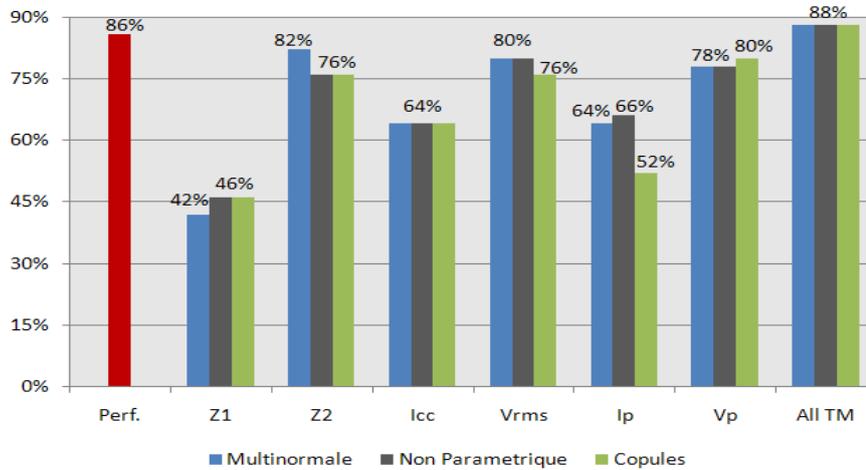


FIGURE 4.7 – Couverture de fautes catastrophiques pour les mesures individuelles de test selon les différentes limites de test obtenues avec les modèles statistiques.

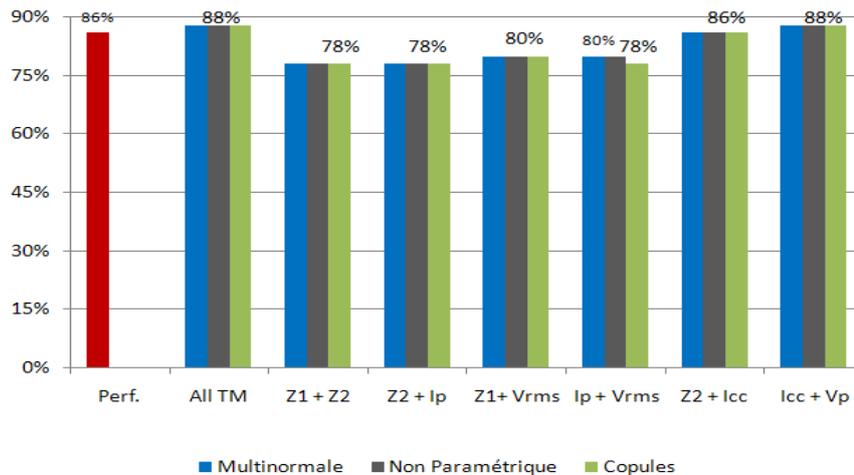


FIGURE 4.8 – Couverture de fautes catastrophiques pour les combinaisons de mesures de test selon les différentes limites de test obtenues avec les modèles statistiques.

4.7 Les métriques de test en présence des fautes paramétriques simples

4.7.1 Définition des métriques

En utilisant la définition de la faute paramétrique de façon fonctionnelle, section 2.4.2.2, nous devons lier les déviations de paramètres process ou physiques aux fonctionnalités du circuit. La faute paramétrique a été définie comme la déviation minimale d'un paramètre process

ou physique engendrant la violation d'au moins une des spécifications du circuit sous test. Cette définition permet d'introduire la notion de "probabilité d'occurrence p_i^{spec} d'une faute sur le paramètre i ". La figure 4.9 illustre au travers de l'exemple d'un paramètre à distribution normale cette notion. v_i^{spec} est la déviation minimale du paramètre i pour laquelle au moins une des spécifications du CUT est violée, p_i^{spec} est la probabilité pour que ce paramètre prenne une valeur supérieure ou égale à v_i^{spec} . Elle se définit par l'équation suivante :

$$p_i^{spec} = \mathbf{P}(i \geq v_i^{spec}) = \int_{v_i^{spec}}^{+\infty} P(i) di. \quad (4.15)$$

De la même manière, la probabilité de détection p_i^{test} d'une faute sur le paramètre i sera définie par l'équation ci-dessous :

$$p_i^{test} = \mathbf{P}(i \geq v_i^{test}) = \int_{v_i^{test}}^{+\infty} P(i) di. \quad (4.16)$$

p_i^{test} désigne la probabilité pour qu'un paramètre i ait une valeur de déviation supérieure ou égale au minimum v_i^{test} nécessaire pour que la faute soit détectée. Ce minimum est la plus petite valeur permettant la détection par au moins une des mesures de test.

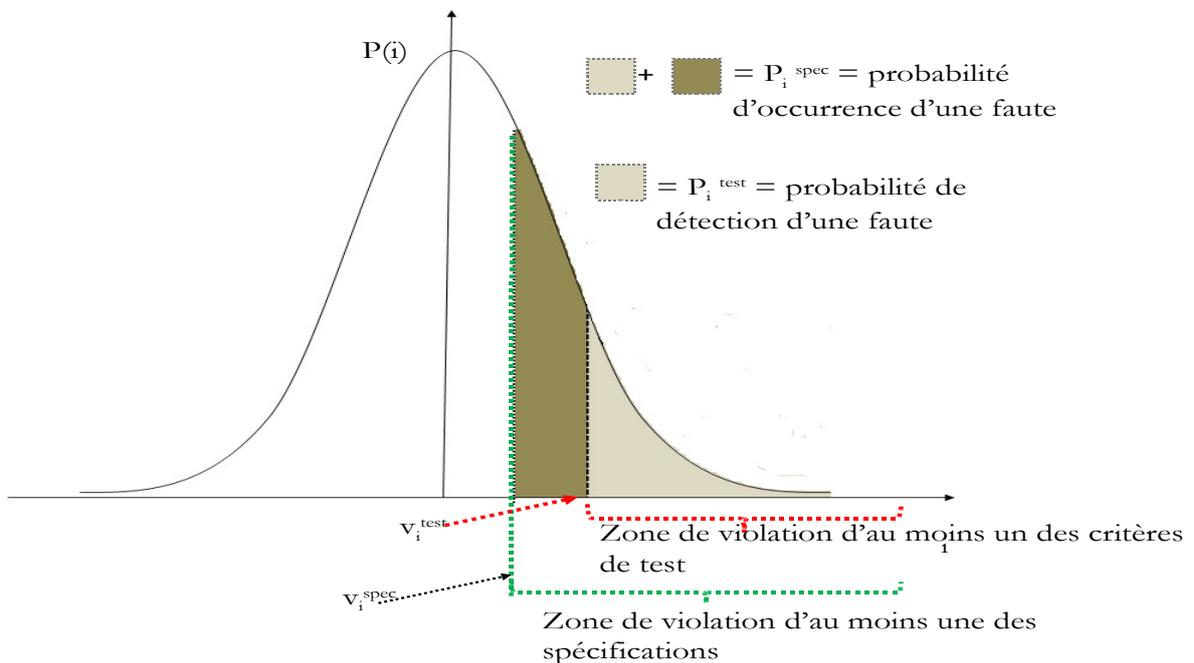


FIGURE 4.9 – Probabilité d'occurrence et probabilité de détection d'une faute paramétrique.

Ces probabilités permettent de dresser des tableaux de fautes avec leur probabilité d'existence (occurrence) et ainsi d'éliminer celles dont les probabilités sont quasi nulles. Le calcul des métriques est effectué sous réserve de connaître les distributions statistiques des paramètres

du circuit et les probabilités p_i^{spec} et p_i^{test} qui s'y réfèrent. Dans le cadre de ce travail, nous avons considéré que les paramètres de design avaient tous une distribution gaussienne. Les métriques sont calculées comme suit [59] :

$$Y^{par} = \prod_{i=1}^n (1 - p_i^{spec}) \quad (4.17)$$

$$Y_T^{par} = \prod_{i=1}^m (1 - p_i^{test}) \quad (4.18)$$

$$G_P = \prod_{i=1}^n (1 - \max(p_i^{spec}, p_i^{test})) \quad (4.19)$$

$$Y_C^{par} = \frac{G_P}{Y^{par}} \quad (4.20)$$

avec G_P , la probabilité pour qu'un circuit soit fonctionnel et qu'il passe le test. A partir de ces définitions, on peut calculer les trois autres métriques de test que sont la perte de rendement (Y_L^{par}), le taux de défauts (D^{par}) et la couverture de fautes paramétrique (F^{par}) :

$$D^{par} = 1 - \frac{G_P}{Y_T^{par}} \quad (4.21)$$

$$Y_L^{par} = 1 - \frac{G_P}{Y^{par}} \quad (4.22)$$

$$F^{par} = 1 - \frac{Y_T^{par} - G_P}{1 - Y^{par}} \quad (4.23)$$

4.7.2 Résultats de simulation

Pour les fautes paramétriques simples, nous avons fait varier les valeurs des différents composants passifs. Et appliqué la définition de la faute paramétrique vue dans la section précédente. Le tableau 4.7 résume la liste des fautes paramétriques simples avec la probabilité de violation d'au moins une performance. Si cette probabilité est inférieure à 1.10^{-7} , nous la notons zéro. Nous avons fait varier ces paramètres entre -90% et $+150\%$ de leur valeur nominale. Pour le calcul de la probabilité, nous prenons typiquement une déviation standard égale à 6% de la valeur nominale pour les résistances et capacités [15], et une déviation standard égale à 3% de la valeur nominale pour les bobines du tableau 4.7. Dans ce tableau, instances indique le nombre de fois où un composant est instancié dans le design. Ainsi $R_3(5)$ signifie que l'on a injecté

une faute sur R_3 , mais que les probabilités associées à ce composant sont valables pour quatre autres composant : les résistances R_4 à R_7 . Le nombre de fautes significatives dans ce tableau est très faible : uniquement trois et avec des probabilités d'existence de l'ordre (ou inférieures à) 1.10^{-5} . Ces fautes sont situées sur les composants L_1 , L_2 et C_2 ; et elles ont toutes été détectées par la performance gain.

La tableau 4.8 représente les probabilités de détection des fautes paramétriques pour les mesures de test $I_{cc} + V_p$ et $I_{cc} + Z_2$ notés respectivement A et B avec des limites posées par une modélisation non paramétrique. Les notations A' et B' correspondent aux mêmes mesures de test avec des limites posées par une modélisation par les Copules. La mesure de test $I_{cc} + V_p$ avec des limites de test fixées par la modèle des Copules est sensible à sept (7) fautes. Ces fautes ont des probabilités de détection très faibles (de 1.10^{-6} à 1.10^{-8}). Dans le même temps, les probabilités d'occurrence de ces fautes sont nulles. La mesure de test $I_{cc} + Z_2$ est sensible à un maximum de quinze (15) fautes, parmi lesquelles certaines ont des probabilités de détection très élevées : de 1.10^{-2} à 1.10^{-1} . C'est mille fois plus grand que la sensibilité des performances à ces fautes paramétriques. Ceci montre que cette mesure est très sensible aux légères variations paramétriques.

Du fait du faible nombre de fautes paramétriques sensibles aux performances et de leurs faibles probabilités, la détection de fautes paramétriques simples semble sans grand intérêt pour ce cas d'étude. De plus des deux meilleures mesures de test retenues après les étapes précédentes, aucune ne présente à la fois une bonne couverture de fautes paramétrique et un rendement de test et une perte de rendement satisfaisants.

Le tableau 4.9 résume les différentes métriques de test suivant les différentes limites de test. Sur ce tableau, l'on remarque que le rendement (Y^{par}) est identique et de fait il ne dépend que des performances qui sont indépendantes des limites de test. Observons les résultats des mesures de test suivant les limites de test fixées. Suivant que les limites sont fixées par le modèle non paramétrique ou Copules, on note plus d'un ordre de magnitude de différence pour les métriques pertes de rendement (Y_L^{par}). La mesure de test $I_{cc}V_p$ présente les avantages d'avoir des pertes de rendement (Y_L^{par}) et des taux de défauts (D^{par}) faibles respectivement de 8 ppm et 83 ppm avec des limites fixées par une modélisation non paramétrique et 175 et 77 ppm pour des limites fixées par une modélisation par les Copules. L'autre point fort est un rendement de test (Y_T^{par}) quasiment égal au rendement de production. Malheureusement, cette mesure de test à une couverture de fautes paramétriques très faible (environ 7 %) voire quasiment nulle sui-

TABLE 4.7 – Liste des fautes paramétriques et leur probabilité d’occurrence.

Composant (instances)	Paramètre	Déviaton (%)	Valeur paramètre	Probabilité	Performance
L_1 (1)	ls	13.3	1.4 nH	$4.4 \cdot 10^{-6}$	gain
	ls	-43.2	0.7 nH	0	S_{11}
L_2 (1)	ls	25.8	9.8 nH	0	gain
	ls	-11.9	6.9 nH	$3.8 \cdot 10^{-5}$	gain
L_3 (1)	ls	64.9	7.2nH	0	gain
	ls	-60.8	1.7nH	0	S_{11}
R_1 (2)	r	150	–	0	–
	r	-90	–	0	–
R_3 (5)	r	150	–	0	–
	r	-90	–	0	–
R_8 (1)	r	150	–	0	–
	r	-90	–	0	–
R_9 (1)	r	150	–	0	–
	r	-90	–	0	–
R_{10} (1)	r	150	–	0	–
	r	-90	–	0	–
R_{11} (1)	r	150	–	0	–
	r	-90	–	0	–
C_1 (1)	c	150	–	0	–
	c	-90	–	0	–
C_2 (1)	c	65.2	0.92 pF	0	gain
	c	-18.2	0.46 pF	$4.1 \cdot 10^{-5}$	gain
C_3 (1)	c	150	–	0	–
	c	-90	–	0	–
C_4 (1)	c	150	–	0	–
	c	-89.2	1.6 pF	0	gain
C_5 (1)	c	32.8	0.15 pF	0	gain
	c	-74.6	0.07 pF	0	S_{11}
C_6 (1)	c	32.8	0.15 pF	0	gain
	c	-74.6	0.07 pF	0	S_{11}

vant les limites fixées. Ceci est du au fait que les limites de test (sur la mesure du courant) sont fixées suffisamment larges pour permettre d’avoir un rendement de test élevé. Et ceci induit par conséquent des probabilités de détection très faibles comme le montre le tableau 4.8. Si nous nous intéressons à la mesure de test $Z_2 I_{cc}$, les caractéristiques y sont quasi-totalement inversées. Le rendement de test est mauvais, alors que les pertes de rendement sont très élevées. Par contre le taux de défauts reste très bon et la couverture de fautes paramétriques est excellente. Ceci est du au fait que les limites de la mesure I_{cc} dans cette combinaison sont plus strictes que

TABLE 4.8 – Liste des fautes paramétriques et leur probabilité de détection pour différentes mesures et limites de test

Composant (instances)	Paramètre	P_j^A	$P_j^{A'}$	P_j^B	$P_j^{B'}$
L_1 (1)	ls	$5.2 \cdot 10^{-7}$	0	$3.2 \cdot 10^{-7}$	0
	ls	$9.0 \cdot 10^{-7}$	0	0	0
L_2 (1)	ls	0	0	$5.4 \cdot 10^{-2}$	$5.4 \cdot 10^{-2}$
	ls	$5.8 \cdot 10^{-7}$	0	$6.7 \cdot 10^{-2}$	$4.7 \cdot 10^{-2}$
L_3 (1)	ls	0	0	0	0
	ls	0	0	0	0
R_1 (2)	r	0	0	0	0
	r	0	0	0	0
R_3 (5)	r	0	0	0	0
	r	0	0	0	0
R_8 (1)	r	$8.7 \cdot 10^{-6}$	$1.3 \cdot 10^{-7}$	$2.9 \cdot 10^{-4}$	$8.7 \cdot 10^{-6}$
	r	0	0	$9.9 \cdot 10^{-1}$	0
R_9 (1)	r	$8.7 \cdot 10^{-6}$	$1.3 \cdot 10^{-7}$	$2.9 \cdot 10^{-4}$	$8.7 \cdot 10^{-6}$
	r	0	0	$9.9 \cdot 10^{-1}$	0
R_{10} (1)	r	0	0	$2.7 \cdot 10^{-3}$	0
	r	$6.6 \cdot 10^{-5}$	$3.7 \cdot 10^{-6}$	$9.9 \cdot 10^{-1}$	$6.6 \cdot 10^{-5}$
R_{11} (1)	r	0	0	$2.7 \cdot 10^{-3}$	0
	r	$6.6 \cdot 10^{-5}$	$3.7 \cdot 10^{-6}$	$9.9 \cdot 10^{-1}$	$6.6 \cdot 10^{-5}$
C_1 (1)	c	0	0	0	0
	c	0	0	0	0
C_2 (1)	c	0	0	0	0
	c	$4.9 \cdot 10^{-6}$	$1.4 \cdot 10^{-8}$	$3.8 \cdot 10^{-4}$	$3.4 \cdot 10^{-4}$
C_3 (1)	c	0	0	0	0
	c	0	0	0	0
C_4 (1)	c	0	0	0	0
	c	0	0	0	0
C_5 (1)	c	0	0	$1.2 \cdot 10^{-6}$	$8.5 \cdot 10^{-7}$
	c	0	$1.5 \cdot 10^{-7}$	$3.6 \cdot 10^{-3}$	$1.9 \cdot 10^{-3}$
C_6 (1)	c	0	0	$1.2 \cdot 10^{-6}$	$8.5 \cdot 10^{-7}$
	c	0	$1.5 \cdot 10^{-7}$	$3.6 \cdot 10^{-3}$	$1.9 \cdot 10^{-3}$

sur la combinaison de mesure $I_{cc}V_p$. Et par conséquent, les probabilités de détection beaucoup plus grandes comme le montre le tableau 4.8. Au regard des faibles probabilités d'existence de fautes paramétriques ayant un impact sur les spécifications, révélées par le tableau 4.7, on peut en déduire que l'existence de ces fautes paramétriques simples est très peu probable. Par conséquent, on choisit de privilégier les métriques de rendement de test, taux de défauts et pertes de rendement pour les fautes paramétriques au détriment de la couverture de fautes paramétriques. Ceci nous conduit à conclure que la mesure $I_{cc}V_p$ est plus performante que la mesure Z_2I_{cc} .

TABLE 4.9 – Métriques paramétriques des mesures de test : $I_c V_p$ et $Z_2 I_c$ suivant les différentes limites de test.

Métriques	$I_{cc} V_p$ (Cop)	$I_{cc} V_p$ (NP)	$Z_2 I_{cc}$ (Cop)	$Z_2 I_{cc}$ (NP)
Y^{par} (%)	99.99167	99.99167	99.99167	99.99167
Y_L^{par} (ppm)	175.0	7.9	1.10 ⁶	102250
Y_T^{par} (%)	99.98180	99.99920	0.0	89.76840
G_P (%)	99.97408	99.99088	0.0	89.76800
D^{par} (ppm)	77.2054	83.259	4.1	4.4
F^{par} (%)	7.30345	0.01758	100.0	95.25082

4.8 Conclusion

Dans ce chapitre, nous avons présenté les outils nécessaires à l'évaluation de différentes mesures de test pour un LNA. Les mesures étudiées ont été typiquement relevées dans la littérature. Des métriques de test ont été calculées afin de comparer la pertinence des différentes mesures de test et des combinaisons entre elles. Ces métriques ont été étudiées en premier sous les déviations process afin de fixer les limites de test.

Ces limites fixées ont permis de comparer différentes mesures de test en vue d'un test structural. Pour ce faire, nous avons abordé les métriques en présence dans un premier temps des fautes catastrophiques. Ces deux premières étapes, nous ont conduit aux conclusions suivantes :

- La nécessité de combiner au minimum deux mesures de test afin d'assurer une bonne couverture de fautes catastrophiques (F_C).
- La nécessité de prendre en compte le courant de consommation au regard de sa complémentarité avec d'autres mesures vis à vis de la couverture de fautes catastrophiques.

Nous avons retenu deux mesures de test à savoir $I_{cc} V_p$ et $Z_2 I_{cc}$, car ces deux combinaisons présentaient à la fois des métriques de déviations process optimales et une couverture de fautes catastrophiques maximale.

Nous avons ensuite mené une étude comparative des mesures de test en présence des fautes paramétriques simples pour ces deux combinaisons de mesures. Cette dernière étude ne permet aucunement de départager les deux combinaisons de test, car les résultats montrent une quasi inexistence des fautes paramétriques simples sur notre cas d'étude. Dans la littérature, la mise en oeuvre du test de l'impédance d'entrée nécessite le design d'un deuxième amplificateur faible bruit et le calcul par une équation d'une valeur approximative de l'impédance. Cette mise en oeuvre nous paraît lourde. Eu égard à cet aspect, nous avons choisi de mettre en oeuvre

une méthode de test basé sur un capteur de courant et un détecteur d'amplitude permettant de mesurer la tension de sortie. C'est l'objet du chapitre suivant.

Chapitre 5

Conception de moniteurs embarqués

5.1 Introduction

Dans ce chapitre, nous allons aborder la conception des capteurs retenus pour mettre en oeuvre notre méthode de test. Dans un premier temps, une description du capteur de courant et du détecteur d'enveloppe réalisés est faite. Par la suite, nous présentons les performances de l'ensemble capteurs + LNA ainsi que les métriques de test de cet ensemble. Nous expliciterons en particulier les modifications et adaptations qu'il a fallu faire. Enfin, une conclusion cloturera ce chapitre.

5.2 BICS : Built-In Current Sensor

Le capteur de courant est un élément qui a souvent été utilisé dans des techniques de BIST. Dans la littérature, il existe de nombreux capteurs de courant : des plus simples utilisant une résistance de faible valeur en série avec le circuit à tester ([20], [16]), aux plus complexes tel que le capteur MAGFET [39] qui utilise le champ magnétique généré par le courant dans la ligne d'alimentation du CUT.

5.2.1 Description

Nous avons repris le principe de la résistance parasite induite par les couches d'interconnexions dans les circuits intégrés. Cette résistance de faible valeur (10Ω) sert à mesurer le courant de consommation du circuit à tester. Le schéma du circuit est illustré par la figure 5.1. Le courant converti en tension par la résistance (R_s) est ensuite amplifiée par un OTA à deux étages. Le premier étage reprend le principe d'un OTA à dégénérescence résistive. Ce principe est plus souvent étudié avec des transistors bipolaires [38], avec des transistors en région linéaire à la

place de la résistance. Le second étage est une cellule d'amplification. Les transistors N_3 à N_9 servent à la polarisation, tandis que les transistors PMOS servent de charge au circuit.

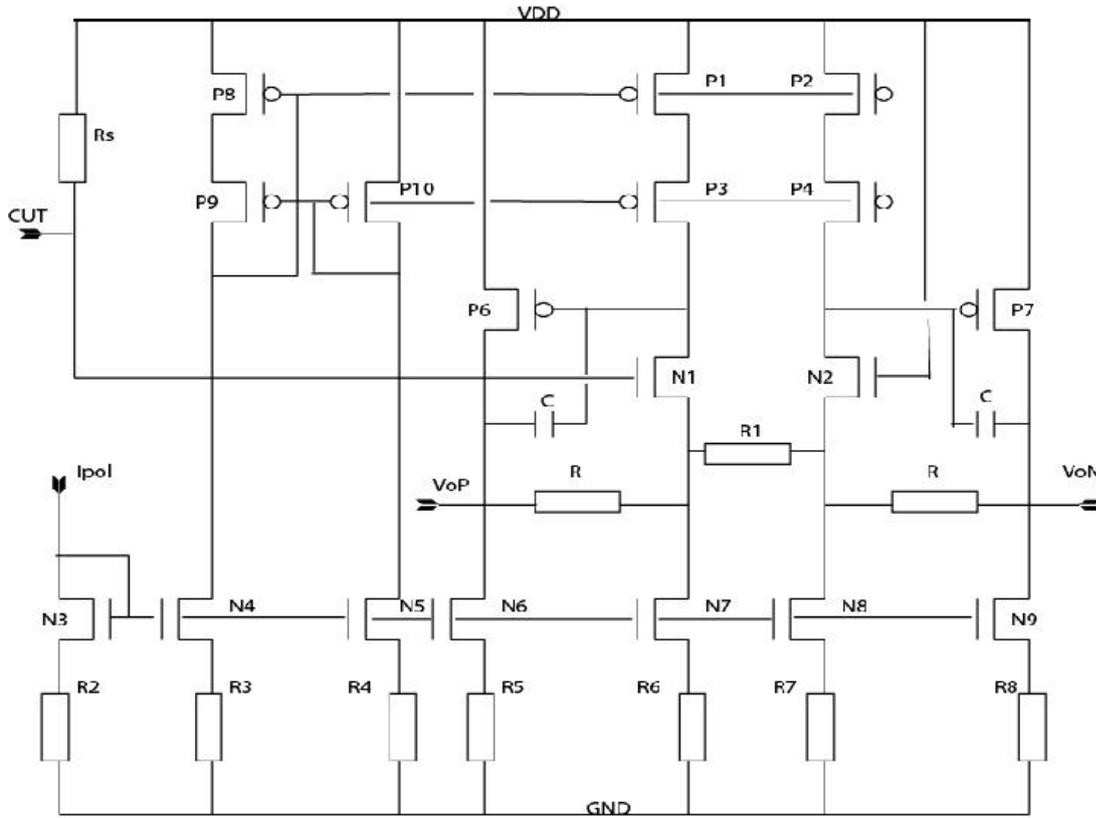


FIGURE 5.1 – Capteur de courant.

Le schéma petit signal du premier étage permet d'écrire :

$$V_{in}^+ - V_{gsN1}^+ - R_1 (i_{dN1} - i_{dN2}) + V_{gsN2}^- - V_{in}^- = 0 \quad (5.1)$$

Les transistors N_1 et N_2 étant identiques, on a $g_{mN1} = g_{mN2} = g_{m1}$ et $i_{dN1} = -i_{dN2}$, en négligeant les impédances de sortie de ces transistors, l'équation 5.1 :

$$\begin{aligned} V_{in}^+ - V_{in}^- &= R_1 (i_{dN1} - i_{dN2}) + V_{gsN1}^+ - V_{gsN2}^- \\ -R_s I_{dc} &= R_1 (i_{dN1} - i_{dN2}) + \frac{1}{g_{m1}} (i_{dN1} - i_{dN2}) \end{aligned} \quad (5.2)$$

$$i_{dN1} = I_{dc} \left(\frac{R_s}{R_1 + \frac{2}{g_{m1}}} \right)$$

Les résistances R sont des résistances de contre-réaction sur l'amplificateur opérationnel, ce qui donne en sortie :

$$\begin{aligned} V_{oP} \frac{1}{R} - V_{in}^+ \left(g_{m1} + \frac{2}{R_1} \right) + V_{in}^- \left(g_{m1} + \frac{2}{R_1} \right) - V_{oN} \frac{1}{R} &= 0 \\ V_{oP} - V_{oN} &= R \frac{R_s}{R_1 + \frac{2}{g_{m1}}} I_{dc} \end{aligned} \quad (5.3)$$

La tension en sortie de la cellule est proportionnelle au courant mesuré noté I_{dc} , mais aussi aux valeurs de résistance R_s de monitoring et R de charge, ainsi qu'à la transconductance de la paire différentielle d'entrée, plus ces transistors sont grands, plus la tension en sortie sera importante.

5.2.2 Conception

Ayant une paire différentielle en entrée et des miroirs de courant, nous nous sommes inquiété de l'appareillemnet des transistors et de la sensibilité thermique du design. Le paramètre de dispersion technologique est définit par [38] :

$$\sigma = \frac{A}{\sqrt{W \times L}} \quad (5.4)$$

avec W et L , respectivement, la largeur et la longueur de canal du transistor et A le coefficient de "matching" technologique. Ce paramètre détermine la qualité de la copie du courant dans un miroir de courant. Ainsi sachant que A est un paramètre technologique, le meilleur moyen de réduire σ est d'avoir des transistors très grands. En dehors de l'augmentation de la taille des transistors, un des moyens classique pour réduire la sensibilité d'un OTA est de l'implémenter en topologie cascode, comme nous l'avons fait. De plus ayant une alimentation de $2.7V$, cette solution est tout à fait implémentable. Du fait de la présence de miroirs de courant dans le design du capteur de courant, il est absolument nécessaire de s'assurer qu'il n'y ait pas une dégradation trop importante des performances du fait de gradients de température dans des transistors différents. Une méthode pour pallier à ce problème est de dégénérer les miroirs de courant [16]. La figure 5.2.2 (a) montre le fonctionnement du capteur de courant. On remarque une réponse linéaire pour des courants entre $2mA$ et $7.2 mA$. Les figures 5.2.2 (b) et (c) montrent les résultats obtenus sur la sensibilité à la dispersion process et à la dispersion thermique. Sur ces figures 5.2.2 (a) à (c), on note la tension en sortie du capteur de courant, V_{CS} . Pour observer les variations thermiques, le circuit est simulé dans ses conditions de consommation normales ($I_{cc}=5mA$ environ), et l'on fait varier la température entre $0^{\circ}C$ et $40^{\circ}C$. Cette plage est classique pour des circuits voués au marché de la grande consommation. On remarque que l'on a une variation d'amplitude maximale de $70mV$ sur cette plage, avec une valeur moyenne de la tension en sortie du BICS autour de $1.30V$; celà représente environ 5.4% de variation relative dues aux dispersions thermiques. Pour les varitions du procédé, on fait un échantillonnage de Monte Carlo sur 300 circuits. Par simulation électrique, on observe une dispersion moyenne inférieure à $100mV$ sur l'ensemble de la plage de linéarité du capteur,

ce qui correspond à une variation de l'ordre de 6% par rapport à la valeur nominale observée. Cette valeur est tout à fait en adéquation avec les résultats obtenus pour des capteurs tel que celui présenté dans [16]. Le tableau 5.1 résume les performances de ce capteur.

TABLE 5.1 – Récapitulatif des performances du capteur de courant.

Surface	Puissance	Zone de linéarité	Variations thermiques	Variations process
0.024mm ²	1.2mW @2.7V	2-7 mA	< 5.4%	< 6.0%

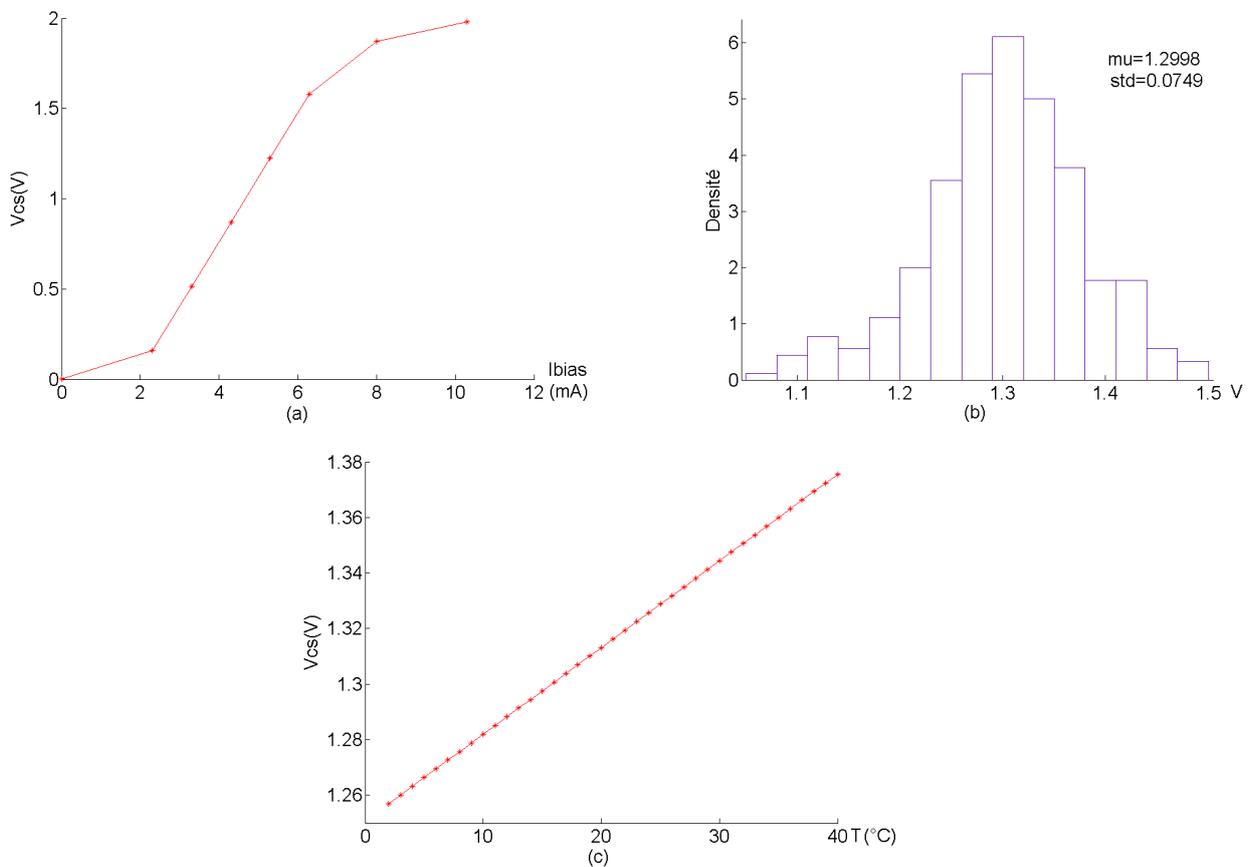


FIGURE 5.2 – Réponse du capteur de courant (BICS) : (a) dynamique de sortie, (b) variations process et mismatch et (c) dispersion thermique

5.3 Détecteur d'enveloppe

Dans la littérature, différents circuits ont été proposés pour convertir une tension RF en signal DC. Les capteurs à base de diodes [33] ont été les premiers capteurs intégrés assurant cette

fonction. Ces capteurs sont des détecteurs de crête qui redressent (détectent) toute tension au delà de la tension de seuil de la diode. En lui ajoutant un filtre RC, on parvient ainsi à redresser un signal sinusoïdal et à obtenir en sortie un signal purement continu. Ces détecteurs ont une large bande de détection qui englobent aussi des hautes fréquences. Pour des amplitudes faibles, le développement limité de la fonction caractéristique de la diode permet d’avoir une sortie linéaire par rapport à l’entrée. Cette propriété n’est plus exploitable pour des amplitudes fortes. Ces détecteurs sont aussi très peu stables vis à vis des variations de température [65]. Ensuite sont apparus des détecteurs basés sur les amplificateurs logarithmiques tel que celui proposé par [35]. Malheureusement ces détecteurs sont coûteux en puissance (10 mA) et en surface (0.5mm^2) [35]. Il existe aussi de véritables détecteurs RMS tel que celui d’Analog Devices AD8361. Ces détecteurs réalisent une détection indépendante de la forme du signal et calculent la véritable valeur RMS. Malheureusement, une véritable détection de la valeur RMS est complexe à mettre en oeuvre, il est beaucoup plus simple d’estimer une valeur RMS à partir de la moyenne du signal redressé. [64] présente un détecteur d’enveloppe implémenté en technologie CMOS $0.35\mu\text{m}$ opérant à 2.4GHz utilisant ce principe. Nous reprenons le principe d’estimation de la moyenne du signal redressé comme base du capteur.

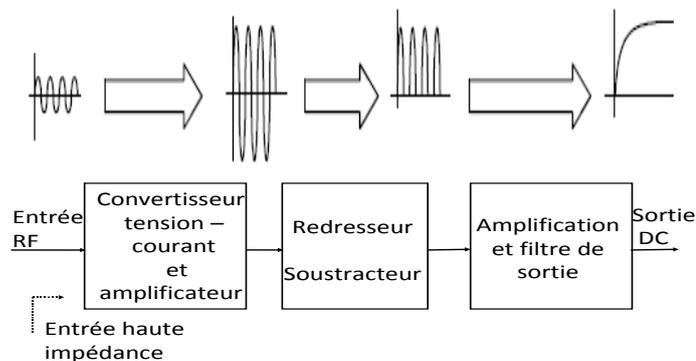


FIGURE 5.3 – Diagramme du détecteur d’enveloppe.

Le détecteur d’enveloppe proposé est composé de trois étages ; son architecture conceptuelle est décrite par la figure 5.3. Le premier étage présentant une haute impédance aux fréquences RF, il prélève la tension RF et la convertie en un courant proportionnel qui est par la suite amplifié. Le second étage est un redresseur monoalternance. Le signal ainsi redressé est par la suite amplifié à nouveau et filtré, ce qui permet d’avoir sa valeur moyenne. La tension continue en sortie est ainsi proportionnelle au signal RF en entrée du détecteur. Le schéma décrivant le

circuit est illustré par la figure 5.4. La polarisation du circuit n'y est pas incluse pour plus de simplicité. Décrivons dans le détail les différents étages.

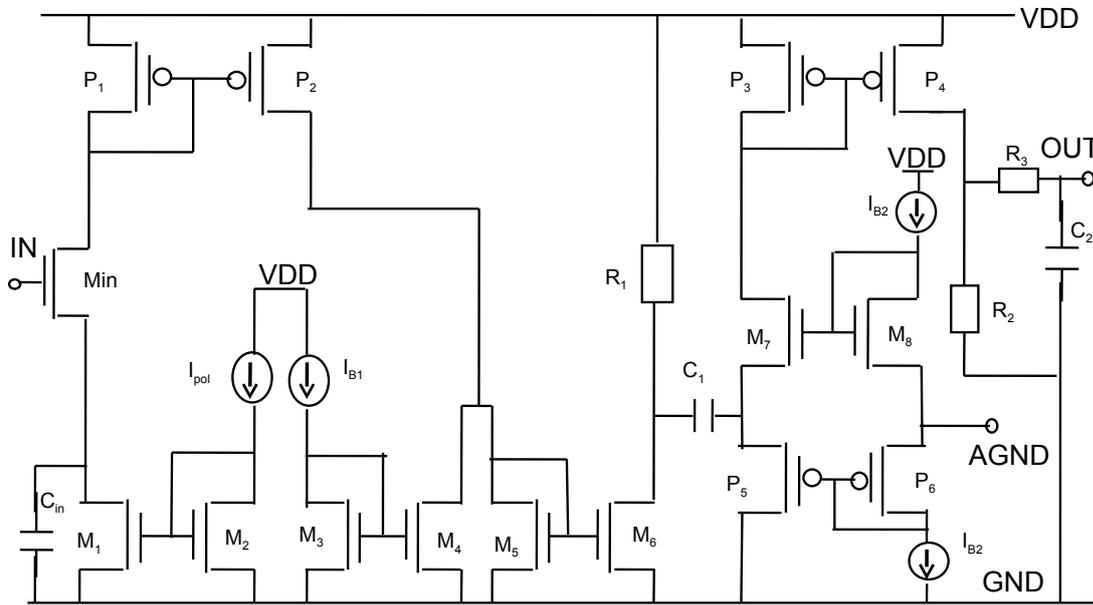


FIGURE 5.4 – Détecteur d'enveloppe [3].

5.3.1 L'étage d'entrée

Nous avons utilisé le moyen le plus simple pour effectuer une conversion tension-courant à l'aide d'un transistor source commune (M_{in}). La transconductance de cet élément influe sur la dynamique (minimum et maximum de la zone de linéarité en sortie du capteur) du détecteur RMS. La transconductance d'un transistor en source commune est contrôlée par la tension en entrée et le courant de polarisation. Pour éliminer la dépendance entre le point de fonctionnement du transistor d'entrée et la tension du grille, on polarise le transistor par un courant fixe (I_{pol}). Le courant qui passe dans le transistor M_{in} est fixé par le courant I_{pol} par l'intermédiaire du transistor M_1 qui fonctionne en mode de saturation ce qui va éliminer la dépendance entre la transconductance et la tension en entrée. La capacité est ajoutée pour éliminer la dégénérescence pour les hautes fréquences. L'expression de la transconductance est donnée par la formule 5.5, tandis que l'impédance d'entrée se calcule par 5.6 :

$$G_m = \frac{g_m}{1 + g_m Z_s} = \frac{g_m}{1 + g_m \left(R_{ds1} \parallel \frac{1}{sC_{in}} \right)} = \frac{\frac{1}{R_{ds1}} (1 + sR_{ds1}C_{in})}{\left(1 + \frac{sC_{in}}{g_m} \right)} \quad (5.5)$$

$$Z_{in} = \frac{1}{sC_{gsin}} + \frac{R_{ds1}}{1 + sC_{in}R_{ds1}} \left(1 + \frac{g_{mmin}}{sC_{gsin}} \right) \quad (5.6)$$

Dans ces équations, R_{ds1} représente la résistance R_{ds} du transistor M_1 , C_{gsin} est la capacité grille-source du transistor en entrée et g_{mmin} est la transconductance du même transistor. Pour les fréquences RF ($sC_{in}R_{ds1} \gg 1$), l'impédance d'entrée devient :

$$Z_{in} = \frac{1}{sC_{gsin}} + \frac{1}{sC_{in}} - \frac{g_{mmin}}{\omega^2 C_{in} C_{gsin}}. \quad (5.7)$$

L'équation 5.7 permet de déduire que pour des valeurs de C_{in} plus petites que C_{gsin} , la capacité parasite d'entrée diminue, ce qui va entraîner une augmentation de l'impédance d'entrée du circuit.

Les transistors PMOS ($P_1 - P_2$) permettent d'amplifier le courant. Cette amplification est nécessaire car l'entrée du transistor ne peut à la fois avoir la transconductance nécessaire pour redresser le signal et une faible capacité parasite en entrée. En effet, une large transconductance et un fort courant de polarisation nécessitent un rapport W_{in}/L_{in} (pour le transistor en entrée) grand. Ceci engendre une augmentation de la valeur des capacités parasites. Afin d'éviter de compenser les courants de fuites dans les capacités parasites, on doit donc amplifier le courant AC avant le redressement. L'amplification de courant est contrôlée par les tailles des transistors du miroir PMOS ($P_1 - P_2$) et ceux du miroir NMOS ($M_3 - M_4$). Le miroir de courant soustracteur ($M_5 - M_6$) sert à éliminer au maximum le courant continu avant redressement.

5.3.2 Le redresseur

A la sortie de l'étage d'entrée, on place une capacité (C_1) pour éliminer la composante continue du courant. Le redresseur utilisé est un classe AB. Les transistors M_7 et P_5 sont connectés en diode et polarisés par un courant I_{B2} pour fixer une tension constante sur les grilles des transistors M_8 et P_6 et par conséquent ces derniers sont polarisés en zone de faible inversion. Le noeud entre la source de M_8 et la source de P_6 est crucial pour définir la tension continue sur le noeud en sortie de la capacité C_1 . C'est une tension analogique de référence qui a sert à contrôler la polarisation des transistors. Cette tension analogique que nous avons appelé "AGND", nous avons choisi de la contrôler de l'extérieur. Quand le courant à la sortie de la capacité C_1 est positif, V_{GS8} et V_{GS7} diminuent, ce qui va bloquer P_5 alors que M_7 est passant. Le courant est recopié par M_8 et passe à travers P_6 vers la masse. Quand le courant en sortie de C_1 est négatif, V_{GS8} et V_{GS7} augmentent ce qui bloque M_7 alors que P_5 conduit. Le transistor P_6 permet de recopier cette alternance du courant et de l'acheminer via la paire ($P_3 - P_4$) vers l'étage de sortie. Le courant passant sur le drain du transistor P_6 est égal au courant d'entrée

quand ce dernier est négatif et il est nul quand il est positif. Il s'agit donc d'un redressement monoalternance.

5.3.3 La sortie

Le courant en sortie de l'étage précédent est converti en tension par le biais d'une résistance R_2 . Le filtre RC formé par R_3 et C_2 permet d'avoir une tension continue ou au moins base fréquence. Lors de la conception du filtre, un compromis est fait entre le temps d'établissement et les ondulations sur la tension de sortie. Le gain de ce filtre est inférieur à 1 et sa fonction de transfert s'exprime par :

$$H(\omega) = \frac{1}{1 + jR_3C_2\omega} \quad (5.8)$$

On note $\omega_c = 1/R_3C_2$, la pulsation propre du circuit, elle est également l'inverse de la constante de temps " τ " du circuit.

Le tableau 5.2 récapitule les principales performances du circuit, tandis que les figures 5.5 (a)-(c) illustrent par simulations quelques unes des performances du circuit.

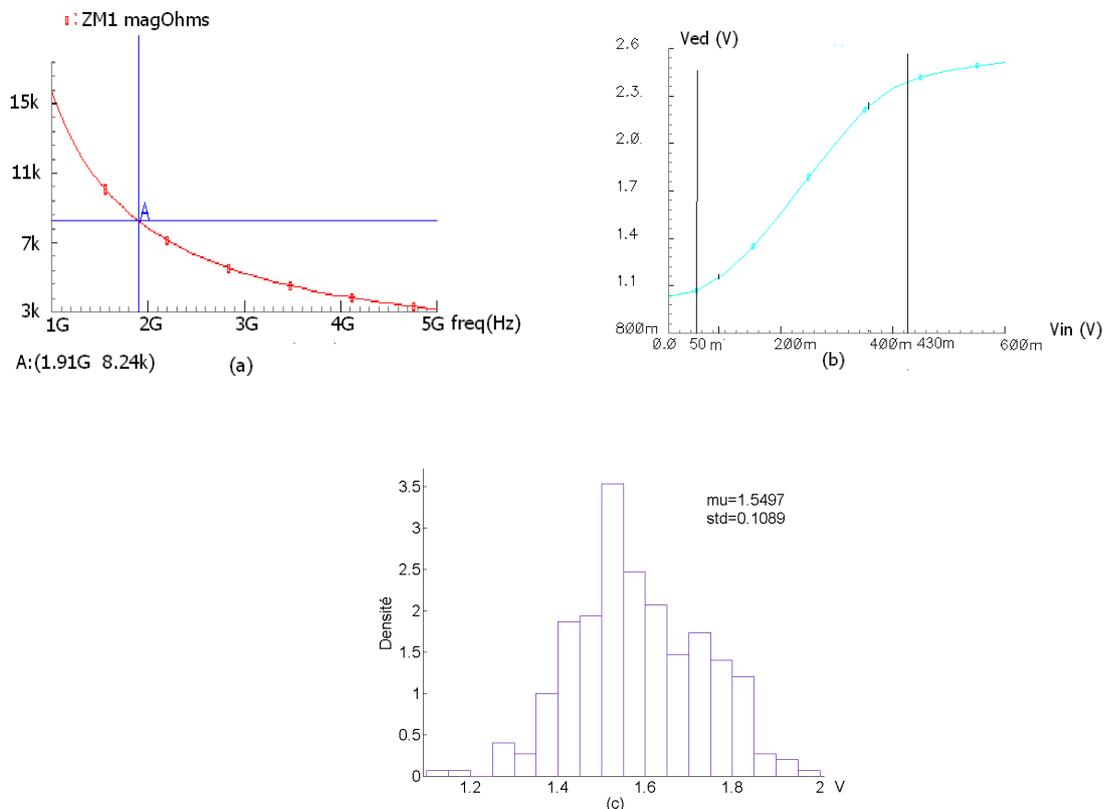


FIGURE 5.5 – Performances du capteur d'enveloppe : (a) impédance d'entrée, (b) zone de linéarité, (c) variations process

TABLE 5.2 – Récapitulatif des performances du détecteur d’enveloppe.

Surface	Puissance	Impédance d’entrée	Ondulations	Temps de réponse	Bruit thermique	Variations process
0.016 mm ²	6.5mW @2.7V	> 7kΩ	<0.1%	30ns	1.5mV	7.4%

5.4 Assemblage de la puce et évaluation des moniteurs

Nous aborderons dans cette section les modifications apportées au circuit et leurs conséquences. Comme principales modifications on a effectué un redimensionnement des bobines, du fait de l’insertion de la résistance du capteur de courant sur la ligne d’alimentation du LNA. Ceci dans le but de maintenir des performances semblables à celles d’un circuit sans capteur.

5.4.1 Modifications apportées au circuit

La plus importante des propriétés d’un capteur à usage de BIST est son impact minimal sur les performances du circuit à tester (CUT). Dans un front-end RF, le LNA est le sous-circuit dont les performances sont les plus sensibles aux facteurs externes. Par conséquent, la question de l’intrusion minimale est particulièrement critique pour le LNA. Dans [31], on trouve une étude sur les différents points d’insertions d’une résistance sur un LNA cascode en technologie CMOS. Les deux principaux points d’insertion sont représentés par la figure 5.6 (a)-(b). Nous avons effectué une étude similaire sur notre circuit d’étude. Les figures 5.7 montrent les performances du LNA, en l’absence de la résistance et avec cette résistance sur les deux points d’insertion. Les paramètres qui ont été mesurés sont la réflexion en entrée (S_{11}), la réflexion en sortie (S_{22}), le gain (S_{21}) et le facteur de bruit (NF).

La première possibilité, comme le montre la figure 5.6(a), est d’insérer R_s près du collecteur du transistor cascode du LNA (en haut). Dans ce cas, la résistance est en série avec l’inductance de drain, dégradant son facteur de qualité Q. Par conséquent, le gain, le facteur de bruit et la réflexion en entrée du LNA sont dégradés. A la fréquence nominale (1.9 GHz), le gain varie de 17.67 dB à 16.49 dB, le facteur de bruit passe de 1.15 dB à 1.41 dB et S_{11} passe de -19.29 dB à -15.73 dB. Par contre, la réflexion en sortie (S_{22}) s’améliore variant de -16.71 dB à -20.40 dB.

La deuxième option comme indiqué sur la figure 5.6(b) consiste à insérer la résistance en

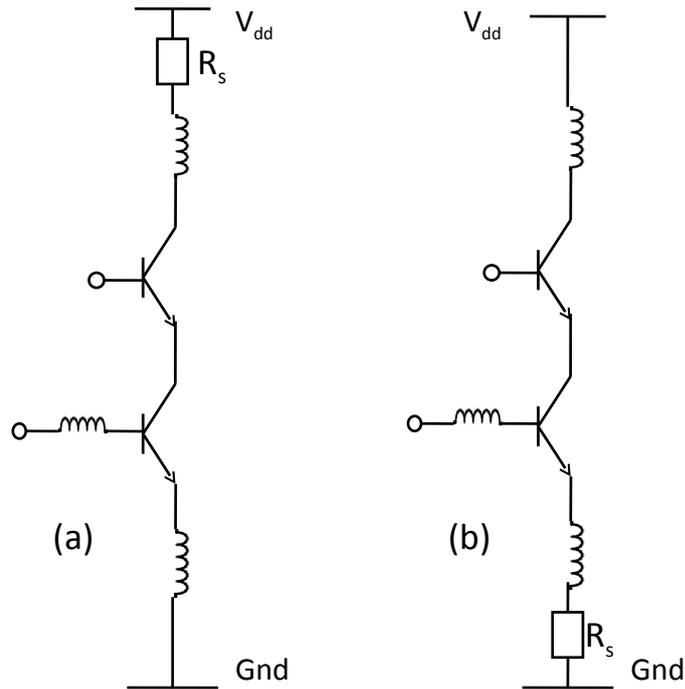


FIGURE 5.6 – Différents points d’insertion de la résistance du capteur de courant.

série avec l’inductance de l’émetteur (près de la masse). Cette option dégrade fortement toutes les performances en dehors du gain. En effet, S_{11} passe de -19.29 dB à -6.5 dB, le facteur de bruit se dégrade de 1.15 dB à 1.92 dB, et la réflexion en sortie (S_{22}) passe de -16.71 dB à -8.45 dB. Le gain est de 17.2 dB au lieu de 17.5 dB dans le cas sans résistance. Il est à noter que dans les deux cas, le point de compression passe de -10.4 dB aux alentours de -11 dB. Les comparaisons sont faites par rapport au circuit sans insertion de capteur.

Les résultats de ces simulations sont sensiblement les mêmes que ceux de l’étude menée dans [31]. Au vu de ces résultats et en rapport avec nos performances (NF, S_{11} , gain, CP_{-1dB} et IIP3), nous avons choisi de privilégier la première solution avec un redimensionnement des trois inductances sur le circuit à tester. Cette solution part du choix de préserver au maximum le facteur de bruit par rapport aux autres performances, et en même temps cela nous permet de conserver une valeur intéressante pour la réflexion en entrée qui est fortement dégradée par la deuxième solution. Le capteur d’enveloppe quant-à lui n’a quasiment pas d’incidence sur le LNA car son impédance d’entrée est très élevée ($> 7k\Omega$) par rapport à une impédance 50Ω .

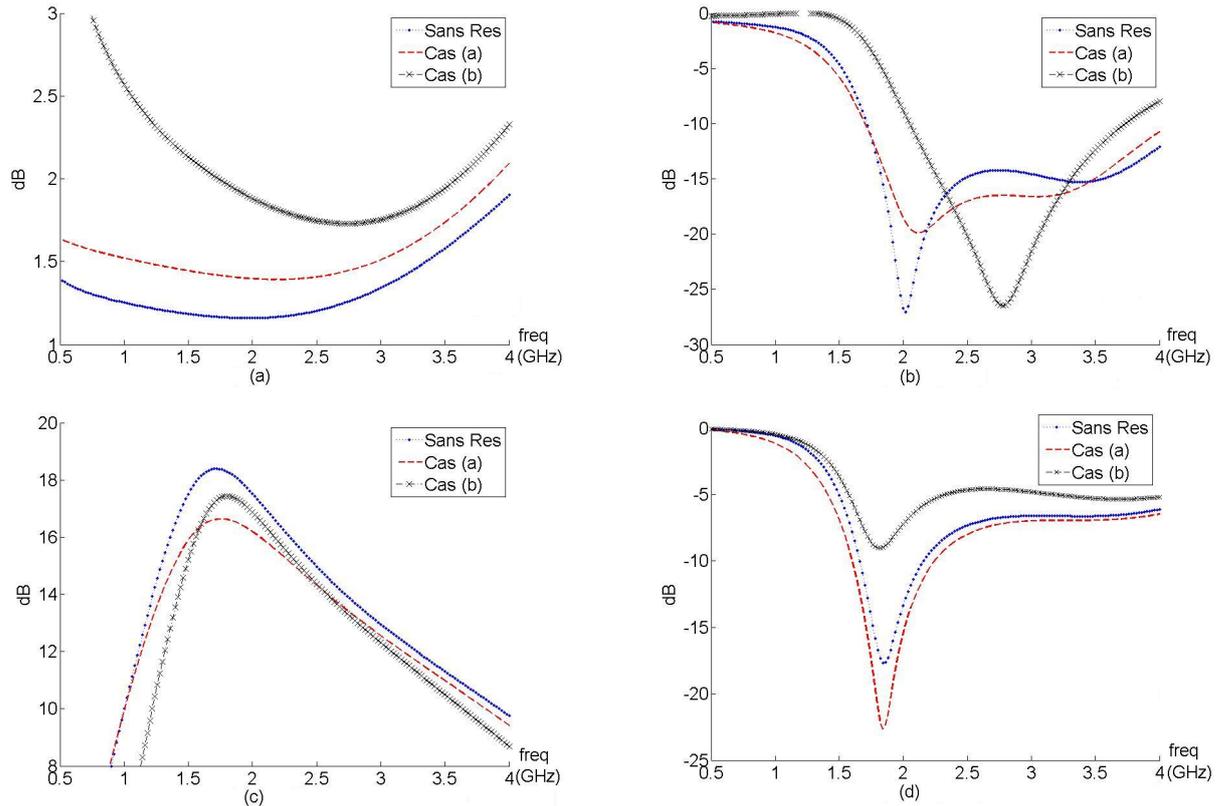


FIGURE 5.7 – Simulations au niveau schématique avec et sans BICS (a) facteur de bruit, (b) réjection en entrée, (c) gain, (d) réjection en sortie.

5.4.2 Détection de fautes catastrophiques dans les capteurs

Dans cette section nous parlerons des fautes catastrophiques injectées dans les capteurs. Ceci nous permet de déterminer si des fautes dans les capteurs implémentés sont détectées à la sortie des capteurs, ce qui est important dans l'optique du DoT (test orienté défauts).

5.4.2.1 Dans le capteur de courant

Dans le capteur de courant, nous avons introduit 127 fautes catastrophiques avec des circuits ouverts et court-circuits sur les passifs (résistances et capacités) et les transistors. Pour ce faire, le capteur est alimenté par une source de courant continue de 5mA et une source de tension de 2.7V. Sur ce total de 131 fautes injectées, 101 fautes produisent une réponse à la sortie du capteur (V_{CS}) en dehors des limites de test fixées. Ce qui correspond à un taux de couverture de fautes de 79.5%. Les fautes transparentes vis à vis du circuit sont :

- Les court-circuits des résistances de dégénérescence (à l'exception de celles sur l'étage d'amplification) et des résistances de l'étage de sortie (en fait cela correspond à une va-

riation d'environ 14% de la valeur de la résistance).

- Les circuits ouverts sur les résistances de l'étage de sortie et sur certaines résistances de dégénérescence.
- Les circuits ouverts et court-circuits sur les transistors de polarisation.

Ce taux de couvertures de fautes montre surtout que le circuit est très sensible aux fautes internes et donc non transparent d'un point de vue test orienté défauts par rapport au circuit sous test. Le nombre d'éléments dans le capteur étant plus important que sur le circuit à tester, on peut se demander si le capteur ne détectera pas plus souvent des fautes qui lui sont propres que des fautes dans le circuit à tester.

5.4.2.2 Dans le capteur d'enveloppe

Dans le détecteur d'enveloppe, nous avons introduit 100 courts-circuits et circuits ouverts. Pour ce faire, nous injectons comme stimulus de test, un signal sinusoïdal de fréquence 1.9GHz et polarisons le capteur avec une tension d'alimentation de 2.7V. Sur ce total de fautes, 89 sont détectées soit un pourcentage de 89% ; et seules 11 fautes sont transparentes vis-à-vis du circuit. Elles correspondent essentiellement à :

- des circuits ouverts sur les drains et sources de transistors connectés en diode dans les parties de polarisation,
- des court-circuits sur les résistances à l'exception d'une seule.

Le taux de fautes auquel est sensible le détecteur d'enveloppe est extrêmement élevé. Ceci montre que ce capteur lui non plus n'est pas transparent dans l'optique d'un DoT.

5.5 Métriques du BIST du LNA

Toutes les données rassemblées sont issues de simulations au niveau transistor (schématique). Nous avons simulé un nombre total de 300 circuits par Monte Carlo, ce nombre a été limité par la durée de simulation des non-linéarités (point de compression, IIP3) de l'ensemble. L'ensemble simulé comprend l'amplificateur faible bruit auquel sont associées les deux capteurs, ainsi les plots qui ont été rajoutés. A la fréquence de 1.9 GHz, nous observons une dégradation de 0.3 dB du facteur de bruit, de -2 dB des réjections en entrée et en sortie et de 0.1 dB du gain. Le banc de test utilisé pour effectuer les différentes simulations est illustré par le tableau 5.3. Dans ce tableau, nous avons 3 différents bancs de test suivant les performances et mesures du circuit à obtenir en réponse. Les conditions d'alimentation du circuit sont les mêmes pour

les trois bancs de test : deux alimentations en tension de 2.7 V chacune. Le banc de test noté I exécute des simulations de type transitoire (trans) et 'SP' (S-Parameter) avec option 'Noise'. La première permet d'obtenir les réponses des capteurs et la deuxième fournit les paramètres S et le facteur de bruit. Ces deux simulations s'enchaînent séquentiellement. Avec II, une simulation de type PSS (Periodic Steady State) est effectuée. Cette dernière permet d'obtenir le point de compression. En effet, avec un signal monofréquentiel, on fait varier la puissance du signal en entrée et on observe la réponse du circuit stabilisé. Le dernier banc de test III, est une combinaison de simulation PSS avec une simulation PAC (Periodic AC). Elle nous permet d'obtenir en sortie l'IIP3. Des détails sur les hypothèses sous-tendant ces simulations sont donnés dans [14].

TABLE 5.3 – Bancs de test des simulations pour le LNA.

Banc de test	Alim	Vp	Simulations	Variables de simulation	Performances mesurées
I	2.7 V	2.7 V	SP, trans	prf1 fixé	Paramètres S, NF, V_{CS}, V_{ED}
II	2.7 V	2.7 V	PSS	prf1 variable	CP_{-1dB}
III	2.7 V	2.7 V	PSS et PAC	prf1=prf2 variable	IIP3

Les figures 5.8(a)-(g) montrent les ajustements par diverses lois des distributions de performances et des mesures de test. Nous notons V_{cs} la mesure en sortie du capteur de courant et V_{ed} la mesure en sortie du détecteur d'enveloppe. On remarque que les données de la réflexion en entrée suivent une distribution normale, tandis que celles du facteur de bruit suivent une distribution de valeur extrême. Les autres mesures (gain, point de compression, IIP3, et mesures des capteurs) ont des distributions non paramétriques. La figure 5.9 illustre les distributions bivariées des performances. On y voit que les performances et mesures de test ne sont pas très dépendantes (corrélées), en comparaison avec la figure 3.2 (page 38, chapitre 3). Ceci est confirmé par la matrice de corrélation (Σ). On observe des coefficients de corrélations très inférieurs à 0.5 sauf pour certaines performances (gain et CP1, CP1 et IIP3, Nf et CP1). La tension en sortie du capteur de courant (V_{CS}) est moyennement corrélée à la réflexion en entrée (0.52) et l'IIP3 (0.36). Le lien avec le gain et le point de compression est un peu plus faible (respectivement de 0.2 et 0.25). La tension en sortie du capteur de tension (V_{ED}) est moyennement corrélée à l'IIP3 et faiblement au facteur de bruit, au gain et au point de compression.

Il est difficile d'expliquer les raisons des différences entre la figure 3.2 obtenue avec des

capteurs idéaux et la figure 5.9 obtenue avec des capteurs réels au niveau transistor. Plusieurs possibilités peuvent être évoquées :

1. Dans le cas du circuit avec capteurs idéaux, le LNA a été polarisé avec une source de tension et une source de courant idéale. Par contre, dans le circuit avec des capteurs réels, la polarisation du LNA se fait avec deux sources de tensions.
2. L'effet des capteurs implémentés sur les performances du circuit sous test n'est pas négligeable, en particulier le capteur de courant qui s'insère dans la ligne d'alimentation du circuit.
3. Dans le cas des capteurs idéaux (chapitre 4), nous avons effectué une simulation Monte Carlo de mille circuits. Par contre, seuls 300 circuits ont été considérés dans le cas des capteurs réels. Ainsi, la plage de variation des performances est bien plus petite dans le deuxième cas. Par exemple, S_{11} varie entre -24 dB et -12 dB sur la figure 3.2, et seulement entre -13.5 dB et -11.5 dB sur la figure 5.9.

TABLE 5.4 – Performances et mesures de test du LNA et leurs paramètres statistiques.

	NF (dB)	S_{11} (dB)	Gain (dB)	CP_{1dB} (dBm)	IIP3 (dBm)	V_{CS} (V)	V_{ED} (V)
\bar{x}	1.62	-12.61	16.19	-13.54	-3.68	1.300	1.584
$\overline{S_x}$	0.06	0.20	0.16	0.53	0.05	0.075	0.146

$$\Sigma = \begin{matrix} & \text{NF} & S_{11} & \text{Gain} & CP_1 & \text{IIP3} & V_{CS} & V_{ED} \\ \begin{pmatrix} 1 & 0.11 & 0.17 & 0.37 & 0.14 & -0.10 & -0.25 \\ 0.11 & 1 & 0.01 & 0.13 & 0.23 & 0.52 & 0.03 \\ 0.17 & 0.01 & 1 & 0.48 & 0.19 & -0.20 & -0.22 \\ 0.37 & 0.13 & 0.48 & 1 & 0.75 & 0.25 & -0.32 \\ 0.14 & 0.23 & 0.19 & 0.75 & 1 & 0.36 & -0.50 \\ -0.10 & 0.52 & -0.20 & 0.25 & 0.36 & 1 & 0.09 \\ -0.25 & 0.03 & -0.22 & -0.32 & -0.50 & 0.09 & 1 \end{pmatrix} \end{matrix}$$

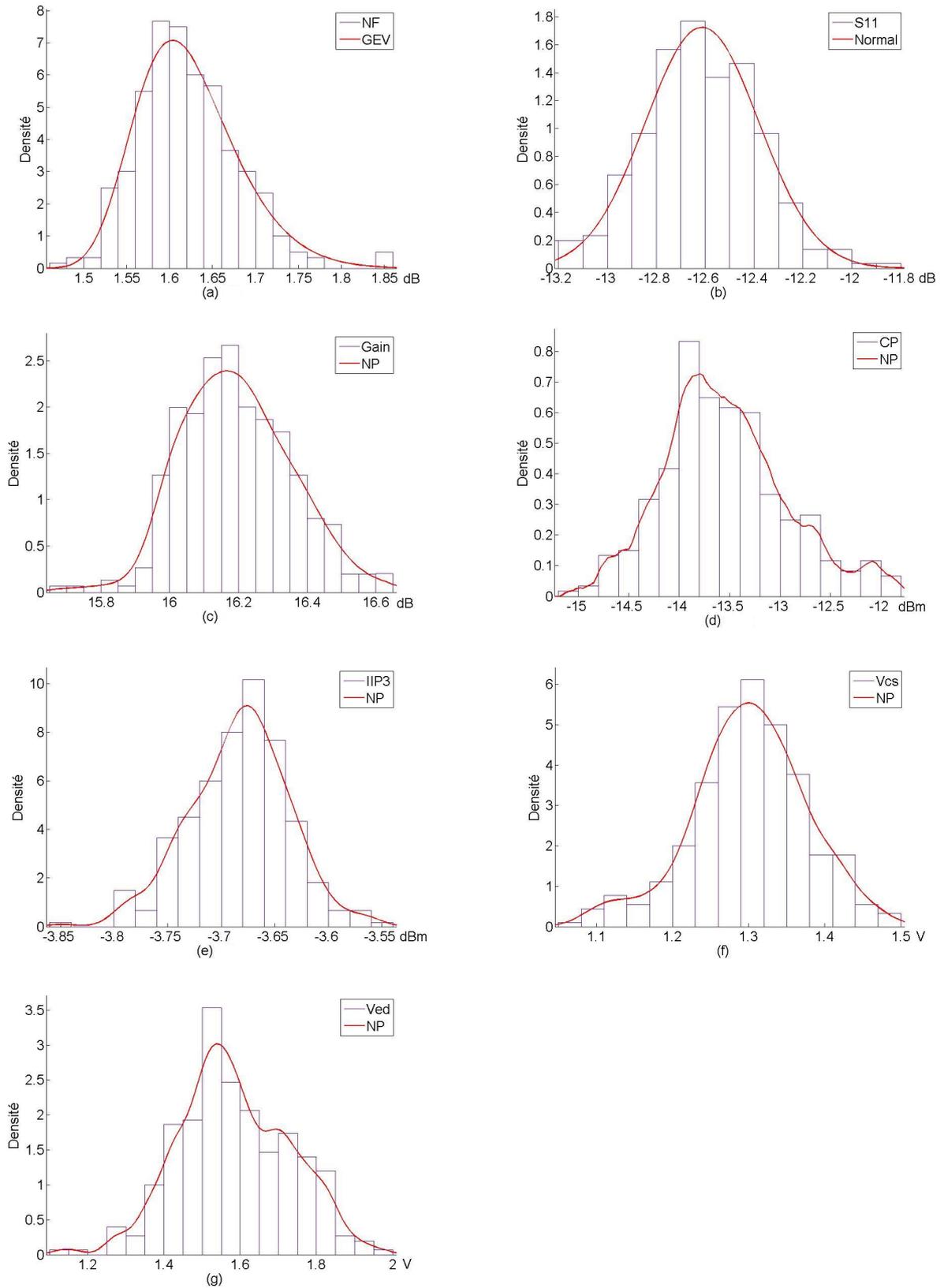


FIGURE 5.8 – Ajustement des distributions statistiques sur : (a) facteur de bruit, (b) réjection en entrée, (c) gain, (d) point de compression 1dB, (e) IIP3, (f) V_{cs} et (g) V_{out} .

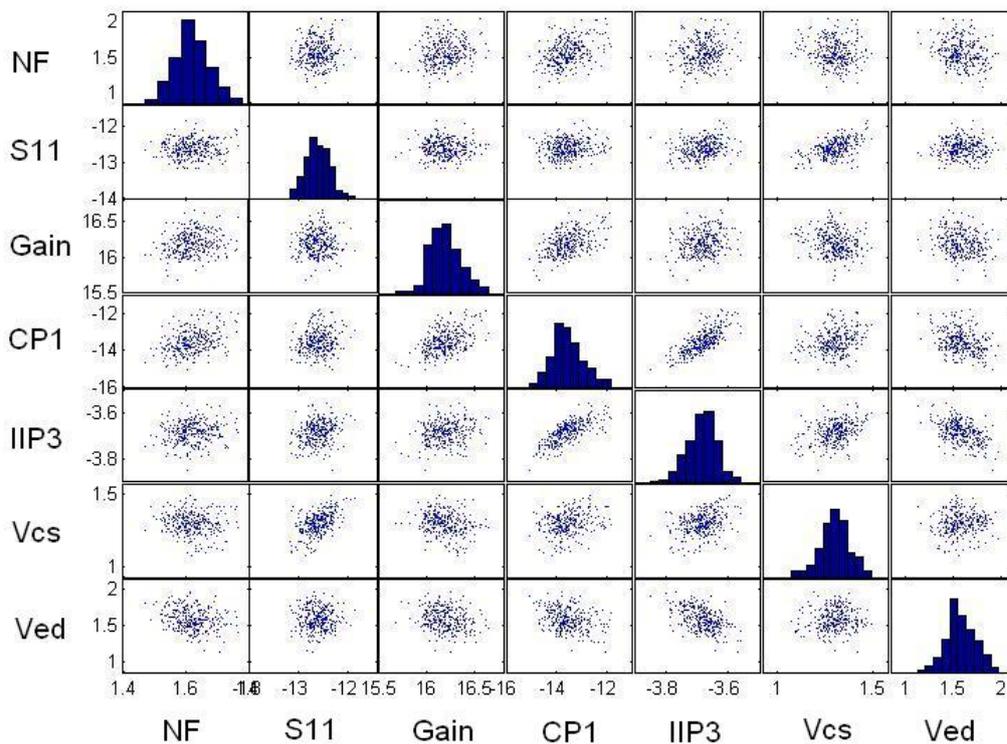


FIGURE 5.9 – Distributions bivariées de l'échantillon obtenu par simulation électrique Monte-Carlo (N=300 circuits).

5.5.1 En présence des déviations process

Pour évaluer les métriques du circuit avec capteurs en fonction des déviations process, nous procédons suivant la méthode décrite dans la section 4.3 du chapitre 4. Pour des raisons de temps de simulation, nous n'échantillonnons électriquement que 300 instances du circuit par simulation Monte-Carlo. Ensuite, un échantillonnage statistique permet de générer un million de circuits par une modélisation Copules. Pour fixer les limites des mesures de test, nous avons utilisé la règle de dix (voir section 4.4.2).

La fixation des limites de test en tant que compromis entre taux de défauts et perte de rendement est illustrée par la figure 5.10. Comme le montre la figure, les limites permettent d'obtenir un taux de défauts de 479 ppm et des pertes de rendement de 4967 ppm. Dans notre cas, le nombre de circuits ne vérifiant pas les spécifications est de 485 ppm. Le tableau 5.5 récapitule les limites de test des deux mesures de capteurs.

Nous pouvons comparer ces résultats avec ceux du cas d'une modélisation par les Copules des mesures idéales I_{cc} et V_p . Ces derniers résultats sont présentés dans les tableaux 4.5 et 4.6. Dans le cas des capteurs idéaux, les limites de test sont plus serrées que dans le cas des capteurs

réels. En effet, les écarts-types des mesures des capteurs réels (tableau 5.4) sont beaucoup plus importants que les écarts-types des mesures idéales (tableau 4.2). Nous voyons deux principales raisons à ceci :

1. Premièrement, les écarts-types des capteurs sont significatifs. Environ 6% pour le capteur de courant et 7% pour le détecteur d'enveloppe (tableau 5.4).
2. Deuxièmement, le LNA dans le chapitre 4 a une polarisation avec une source de courant idéale et une source de tension. Par contre, dans le chapitre 5, le circuit est polarisé uniquement en tension. Dans ce cas, les déviations process semblent être bien plus importantes au moins pour la mesure de courant.

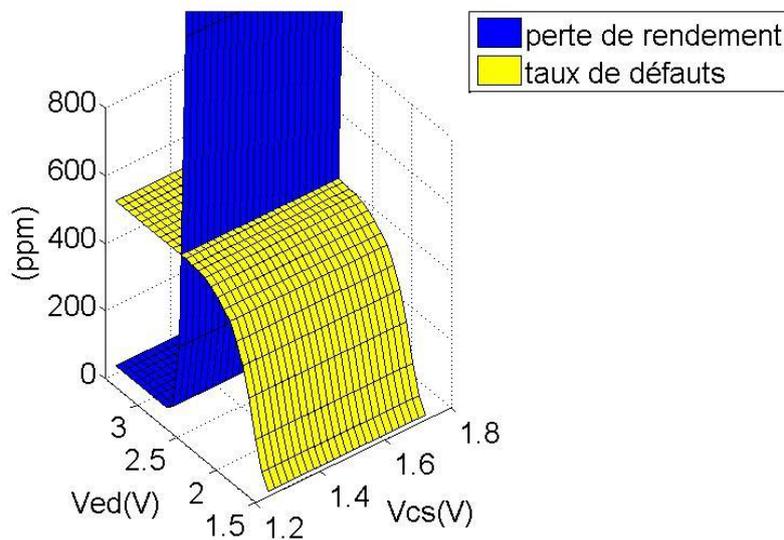


FIGURE 5.10 – Taux de défauts et perte de rendement en fonction des limites supérieures des mesures.

TABLE 5.5 – Valeurs des mesures de test au regard des déviations process.

Mesure de Test	Valeur nominale	Ecart-type	Limite Inf.	Limite Sup.
V_{CS}	1.300 V	75 mV	1.060 V	1.495 V
V_{ED}	1.584 V	146 mV	1.065 V	2.085 V

5.5.2 En présence des fautes catastrophiques

Nous avons injecté 50 fautes catastrophiques identiques (en valeur et en lieu) à celles décrites dans la section 4.6.2 du chapitre 4. Avec le circuit modifié, la couverture des fautes catastrophiques pour les performances est de 90%. Les fautes non-détectées (au nombre de cinq)

sont : un court-circuit et un circuit ouvert sur la capacité C_1 , court-circuit sur R_4 et R_8 et circuit ouvert sur le collecteur du transistor T_1 . Tous ces éléments se trouvent dans la section polarisation du circuit sous test. Ces fautes sont les mêmes qui étaient non classées comme non détectables par les performances dans la section 4.6.2, à l'exception du court-circuit sur R_8 qui constitue une nouvelle faute. On peut déduire que cela est dû à un changement des points de polarisation dans le circuit sous test du fait de l'insertion de la résistance de mesure (R_s) qui provoque une chute de tension de 50 mV sur l'alimentation du LNA. On se retrouve bien avec un circuit différent d'un LNA sans capteur de courant.

Les fautes non détectées par les mesures de capteurs sont au nombre de 10 au total avec un taux de couverture de 80%. Ces fautes peuvent être classées dans deux catégories :

1. Des fautes qui n'affectent pas la valeur nominale des mesures en sortie des capteurs. Elles sont au nombre de huit (8) parmi lesquelles quatre sont non détectées par les performances. Ce sont : circuit ouvert sur C_1 et T_1 ; et court-circuit sur C_1 et R_4 . Et une nouvelle faute, des court-circuits sur la bobine L_3 , les capacités C_6 , C_{31} , et C_{32} .
2. Les fautes dues à des limites de test trop larges, en particulier sur le détecteur d'enveloppe. On y note : des courts-circuits sur T_3 (avec $V_{ED} = 1.35$ V) ; et un circuit-ouvert sur la capacité C_2 (avec $V_{ED} = 1.85$ V et $V_{CS}=1.42$ V).

On remarquera qu'avec des limites sur la mesure du détecteur d'enveloppe entre [0.95 ; 1.5]V, on se retrouverai avec une couverture de fautes de l'ordre de 84%, mais toujours en deça de la couverture de fautes des performances. Malheureusement, ceci conduirait à une perte de rendement de 22350 ppm dans l'état actuel du design. Il faudrait donc revoir la polarisation du circuit détecteur d'enveloppe.

La figure 5.11 montre la couverture de fautes catastrophiques des performances et des différentes mesures de capteurs. Individuellement V_{CS} (pour le capteur de courant) et V_{OUT} (pour le détecteur d'enveloppe) ont des taux de couverture de fautes assez médiocres respectivement 66% et 52%. Par contre ces deux mesures se révèlent complémentaires comme démontré par l'analyse préliminaire (chapître 4) avec un taux de couverture de fautes de 80%.

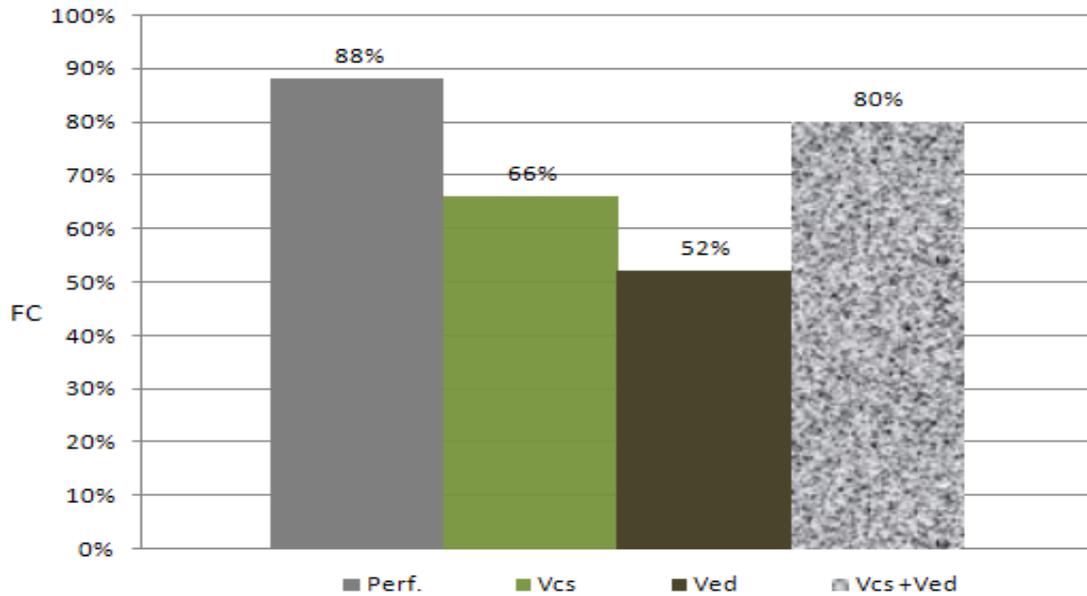


FIGURE 5.11 – Taux de couverture de fautes catastrophiques.

5.5.3 En présence des fautes paramétriques

Pour étudier l'influence des fautes paramétriques, nous avons fait varier les valeurs des différents composants passifs, et appliqué la définition de la faute paramétrique vue dans la section 4.7.1. Le tableau 5.6 résume la liste des fautes paramétriques simples avec la probabilité de violation d'au moins une performance. Si cette probabilité est inférieure à 1.10^{-8} , nous la notons zéro. Nous avons fait varier ces paramètres entre -90% et $+150\%$ de leur valeur nominale. Pour le calcul de la probabilité, nous prenons typiquement une déviation standard égale à 6% de la valeur nominale pour les résistances et capacités [15], et une déviation standard égale à 3% de la valeur nominale pour les bobines du tableau 5.6. Dans ce tableau, instances indique le nombre de fois où un composant est instancié dans le design.

Les fautes significatives (probabilité de performance ou mesure de test supérieure ou égale à 10^{-8}) sont au nombre de cinq. Ces fautes ont des probabilités d'existence assez faibles de l'ordre de 10^{-5} . Ces fautes sont toutes détectées par des performances de paramètre S (réjection en entrée et gain). Malheureusement, aucune de ces fautes détectables par les performances n'engendre de violation des limites des mesures de capteurs que nous avons fixés. Par contre, il existe d'autres variations engendrant des violations de limites des mesures de test que nous avons fixé. Ces fautes là n'entraînent la violation d'aucune spécification. Le tableau 5.7 montre les métriques paramétriques obtenues. On note un bon rendement de production ($Y^{par} = 99.99843\%$) et un taux de défauts assez faible (16 ppm). Ce qui engendre une perte

de rendement de test très faible ($Y_L^{par} = 180$ ppm) et un rendement de test ($Y_T^{par} = 99.98204\%$) quasiment égal au rendement de production (Y^{par}). La couverture de fautes paramétriques est elle quasiment nulle ($F^{par} = 0.018\%$).

TABLE 5.6 – Liste des fautes paramétriques et leur probabilité d’occurrence et de détection.

Composant (itérations)	Paramètre	P_{spec}	Perf.	P_{Mes}	Mesure
L_1 (1)	ls	$2.2 \cdot 10^{-6}$	gain	0	–
	ls	0	–	0	–
L_2 (1)	ls	0	–	0	–
	ls	0	–	0	–
L_3 (1)	ls	0	–	0	–
	ls	$3.5 \cdot 10^{-8}$	gain	0	–
R_1 (2)	r	0	–	$7.7 \cdot 10^{-6}$	V_{CS}
	r	0	–	$1.5 \cdot 10^{-7}$	V_{CS}
R_3 (5)	r	0	–	0	–
	r	0	–	0	–
R_8 (1)	r	0	–	0	–
	r	0	–	$2.0 \cdot 10^{-5}$	V_{CS}
R_9 (1)	r	0	–	$1.5 \cdot 10^{-4}$	V_{CS}
	r	0	–	$0.5 \cdot 10^{-8}$	V_{CS}
R_{10} (1)	r	0	–	0	–
	r	0	–	0	–
R_{11} (1)	r	0	–	0	–
	r	0	–	0	–
C_1 (1)	c	0	–	0	–
	c	0	–	0	–
C_2 (1)	c	0	–	0	–
	c	0	–	0	–
C_3 (1)	c	0	–	0	–
	c	0	–	0	–
C_4 (1)	c	0	–	0	–
	c	$0.8 \cdot 10^{-8}$	S_{11}	0	–
C_5 (1)	c	0	–	0	–
	c	$0.8 \cdot 10^{-8}$	S_{11}	0	–
C_6 (1)	c	$1.3 \cdot 10^{-5}$	S_{11}	0	–
	c	0	–	0	–

En mettant en parallèle ces résultats avec ceux du tableau 4.9 du chapitre 4, on retrouve une cohérence des résultats par rapport à la modélisation de la combinaison de mesures ($I_{cc} + V_p$) avec les Copules. Les résultats sont quasiment identiques et la conclusion qui s’impose est la même : le faible impact des fautes paramétriques simples sur les performances induit une faible

probabilité d'existence de ces fautes sur le circuit. Par conséquent, le test de ces fautes s'avère inutile dans notre cas d'étude.

TABLE 5.7 – Métriques paramétriques des mesures de test.

Y^{par} (%)	99.99843
Y_L^{par} (ppm)	179.595
Y_T^{par} (%)	99.98204
G_P (%)	99.98047
D^{par} (ppm)	15.6590
F^{par} (%)	0.01797

5.6 Conclusion

Dans ce chapitre, nous avons présenté la technique de BIST retenue pour tester l'amplificateur faible bruit. Nous avons détaillé les structures du capteur de courant et du détecteur d'enveloppe conçus à cet effet. Sur la conception des capteurs associés, ceux ci sont performants avec des dynamiques qui permettent de tester le circuit dans sa zone de fonctionnement nominal et des consommations de puissance et de superficie inférieures à 5% à celle du LNA. Toutefois, les capteurs présentent un point négatif, le très grand nombre de transistors utilisés (au moins 17 pour le plus petit), ce qui peut dégrader la fiabilité du LNA sous test qui ne compte que quatre transistors.

Nous avons aussi fait une étude statistique de l'ensemble amplificateur faible bruit et capteurs, au niveau schématique. Cette étude statistique parvient aux mêmes conclusions que celles du chapitre précédent : une technique de BIST basée sur un capteur de courant et un détecteur d'amplitude est excellente pour discriminer des fautes catastrophiques, mais peu efficace sur des variations paramétriques simples. L'efficacité de la technique sur les variations process reste dans notre cas certes médiocre, mais pourrait être améliorée par une meilleure robustesse des capteurs.

Nous avons réalisé un layout du circuit afin d'obtenir des résultats aussi proches que possible de mesures expérimentales. C'est l'objet du chapitre suivant.

Chapitre 6

Réalisation du circuit et résultats de simulations post-layout

6.1 Introduction

Afin de s'approcher au maximum de résultats expérimentaux et dans l'optique d'une évaluation future de la technique de BIST au niveau expérimental, un layout d'une puce comprenant l'amplificateur faible bruit et les capteurs a été réalisé sous CADENCE/Calibre en technologie BiCMOS7RF 0.25 μm (5 niveaux de métal). Pour les capacités, nous avons choisi des capacités métalliques MIM.

6.2 Techniques utilisées

Pour la réalisation de circuits analogiques ou mixtes de haute qualité, il faut considérer plusieurs techniques de layout importantes lors de la conception de circuits. Ces techniques peuvent être divisées en deux catégories : l'appariement et le bruit.

6.2.1 Technique d'appariement

L'appariement est l'étude statistique des différences entre les éléments électriques des composants identiquement conçus, placés à une petite distance dans un environnement identique et utilisés dans les mêmes conditions de polarisation. La prise en compte de l'aspect statistique de la conception analogique implique le respect de contraintes d'appareillement entre composants. Pour ce faire, ces composants doivent impérativement répondre à un certain nombre de règles élémentaires de conception qui doivent être prises en compte par le concepteur lors de la phase de dimensionnement des dispositifs analogiques. Les gros problèmes d'appariement peuvent être évités en suivant les règles suivantes :

- Considérer les conditions limites pour tous les composants (distance minimum, même forme et mêmes dimensions, ...).
- Les éléments avec les mêmes propriétés doivent être placés près les uns des autres pour éliminer l'effet de gradient et la variation locale ; et utiliser un dummy si nécessaire (même orientation, même environnement, même température).
- Utiliser la géométrie centroïde commune, cela permet déliminer les gradients d'oxyde et de dopage.
- Faire un routage propre et bien équilibré. Utiliser le layout empilé pour les grands composants.

6.2.2 Technique de réduction du bruit

Il y a des techniques de layout supplémentaires qui permettent de réduire le bruit dans les circuits analogiques. Les principales sources de bruit sont le couplage capacitif, le couplage de l'alimentation et le couplage à travers le substrat.

Le couplage capacitif est principalement du aux lignes de signaux analogiques routées en parallèle avec des bus de signaux numériques ou qui se croisent les unes aux autres. Bien que le couplage transversal des lignes de métal (ou métal/poly) est très faible, son effet devient conséquent lorsque deux lignes sont routées en parallèle sur une grande distance. Ce problème peut être réduit en évitant tout routage parallèle ou croisement des lignes analogiques et numériques, ou en plaçant des protections (lignes liés à la masse) entre les deux. Dans notre cas, cette source de bruit est nulle car nous n'avons pas de bus de signal numérique.

Le couplage de l'alimentation est un problème significatif qui limite souvent les performances des circuits analogiques à haute vitesse et à haute résolution. Ce type de bruit se produit quand des courants variables sont injectés dans les lignes d'alimentation. La raison est due au fait que l'impédance de l'alimentation est finie (et non nulle), et par conséquent, ces courants variables causent des variations sur la tension d'alimentation. Pour résoudre ce problème, il est préconisé de différencier des alimentations analogiques et numériques.

Le bruit peut se déplacer d'un point à un autre sur la puce même sans aucun fil pour porter le bruit, il s'agit du couplage par le substrat. Le substrat peut être vu comme un noeud simple reliant tous les composants entre eux, les composants actifs injectent du courant dans le substrat, puisque la plupart des composants actifs sont isolés du substrat par l'oxyde ou par une jonction PN polarisée en inverse. Le couplage entre les noeuds analogiques sensibles peut engendrer une

instabilité ou une réduction de gain. Et bien sûr un couplage entre les parties analogiques et numériques est à proscrire. Pour éliminer le phénomène de couplage par substrat, il faut utiliser des protections (anneaux de protection, caissons connectés à la masse ou à l'alimentation) autour des circuits sensibles au bruit et/ou autour des sources de bruit.

6.2.3 Le circuit

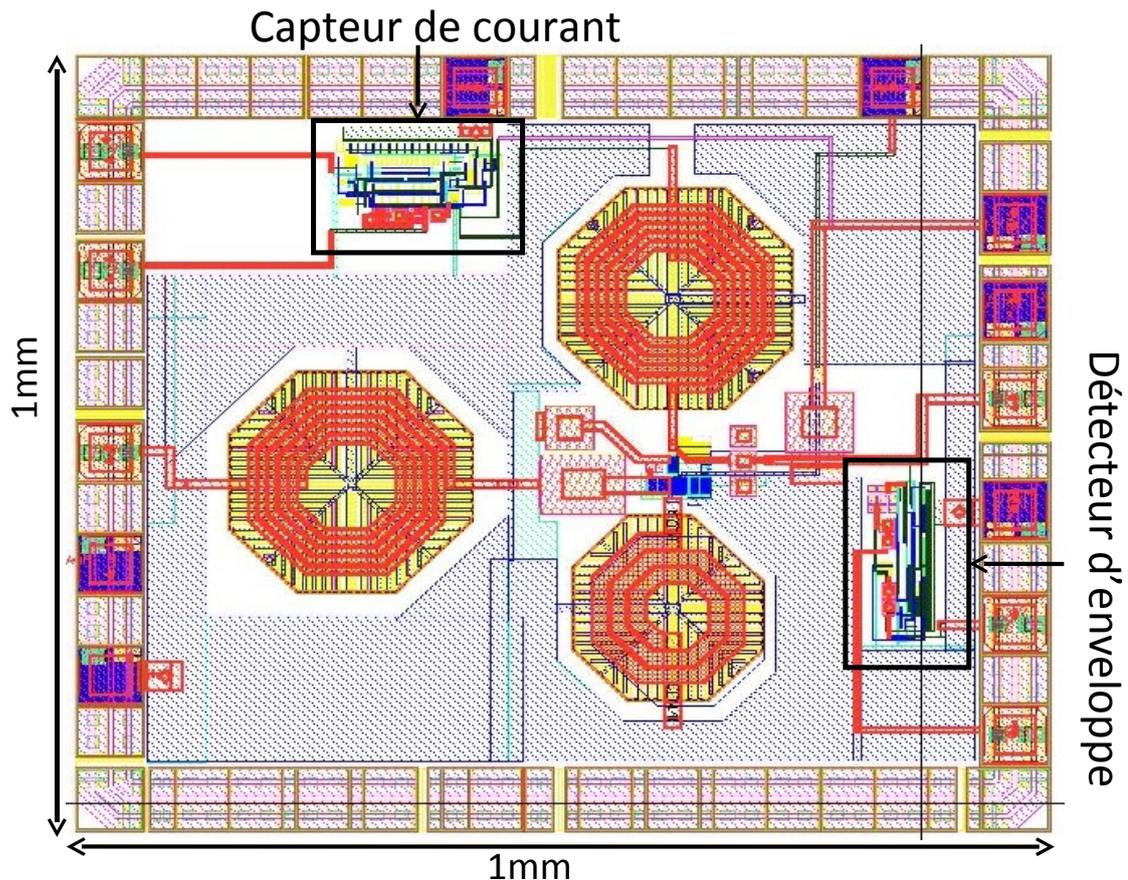


FIGURE 6.1 – Layout du BIST pour LNA.

Pour la réalisation du layout, nous avons utilisé des cellules standards déjà stockées en bibliothèque pour tous les composants (capacités, bobines, résistances, transistors, ...). Ces cellules sont paramétrables et la géométrie correspondante à chaque couche est automatiquement produite. L'avantage de cette méthode est le gain de temps et la réduction de l'occurrence des erreurs. Les techniques décrites dans les sous-sections précédentes ont été mises en œuvre. Nous avons passé les phases de vérifications DRC (pour les règles de dessin) et LVS (pour la compatibilité électrique). Une image du layout réalisé est donnée par la figure 6.1. On y voit clairement la superficie totale de 1 mm^2 , ainsi que les superficies des deux capteurs, respectivement 0.024

mm^2 pour le BICS et $0.016 mm^2$ pour le détecteur d'enveloppe. La superficie totale des deux capteurs représente 4% de la superficie de la puce.

6.3 Simulations post-layout

Nous avons effectué deux types d'extractions sur le layout du circuit : une extraction Cc (avec juste des capacités parasites) et une extraction RCc incluant dans la netlist des résistances et capacités parasites. Nous avons simulé à chaque fois, les performances linéaires (paramètres S et NF) et les mesures de test du circuit. Les simulations au niveau de l'extract des paramètres non linéaires (point de compression et IIP3) étant très longues (1h10 min pour le premier et plus de 2h13 pour le second), nous ne les avons pas fait systématiquement. A chaque fois trois simulations ont été réalisées pour suivre les variations process : en Min (tous les paramètres au minimum), en Typique (valeurs usuelles des paramètres) et en Max (tous les paramètres au maximum).

6.3.1 Différents types d'extractions

Les figures 6.2 (a)-(e) illustrent les performances et mesures de test obtenues par une extraction de type Cc. On constate que les variations process sont très faibles, et les valeurs des performances sont dans les bornes des spécifications obtenues par des simulations au niveau schématique. Nous avons choisi un temps de simulation de 300 ns pour permettre aux mesures de se stabiliser (particulièrement V_{CS}). Les performances à 1.9 GHz et les mesures de test relevées sont résumées dans le tableau 6.1.

TABLE 6.1 – Performances et mesures de test par simulation post layout de l'extraction de type Cc.

	NF (dB)	S_{11} (dB)	Gain (dB)	CP_{1dB} (dBm)	IIP3 (dBm)	V_{CS} (V)	V_{ED} (V)
Schem	<1.88	< -11.71	>15.49	> -15.94	> -3.89	[1.060 ; 1.495]	[1.065 ; 2.085]
Min	1.53	-14.23	16.19	NC	NC	1.284	1.378
Typ	1.53	-14.41	16.12	NC	NC	1.279	1.347
Max	1.52	-14.60	16.02	NC	NC	1.276	1.306

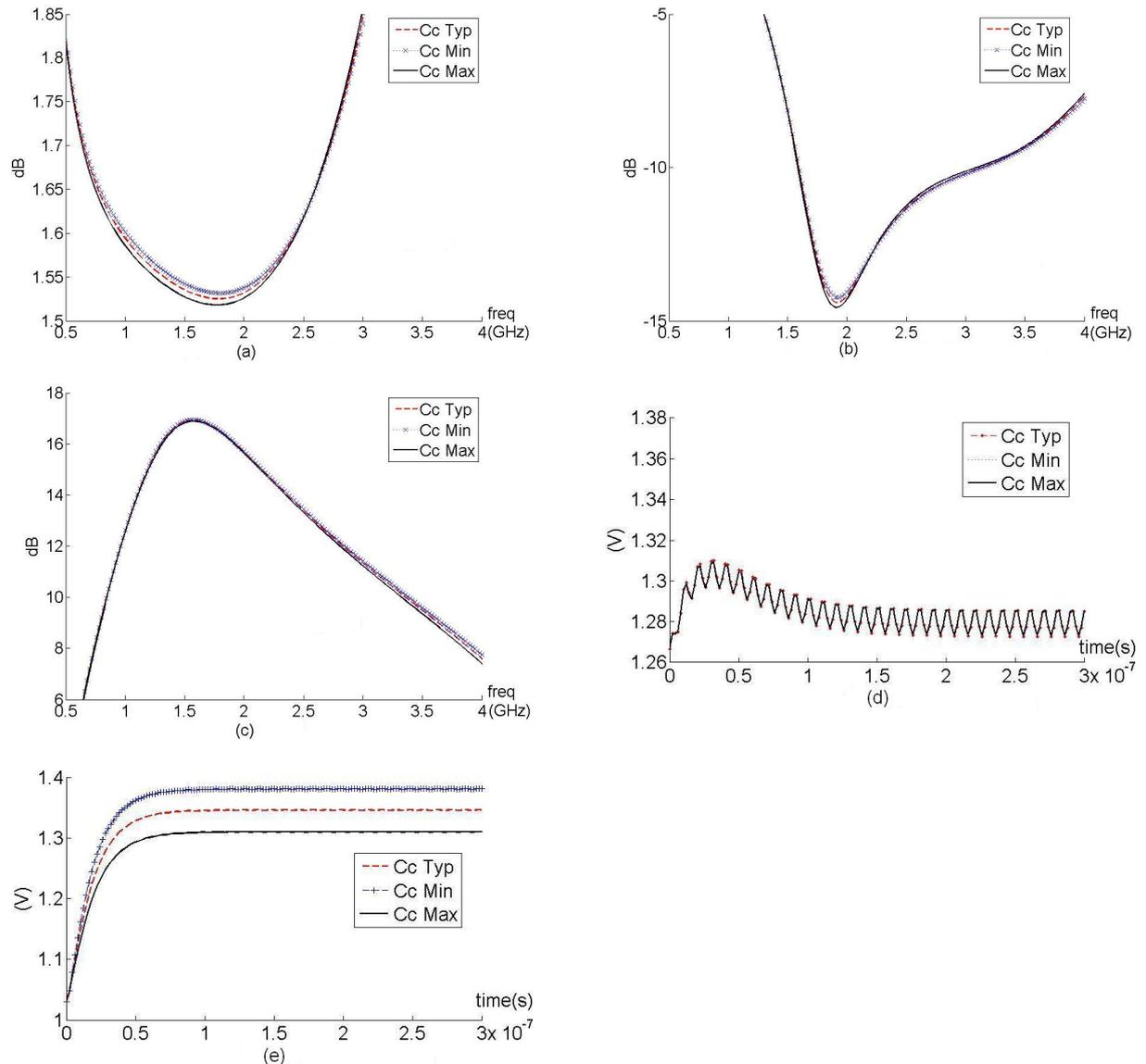


FIGURE 6.2 – Simulations post-layout du circuit avec extraction de type C_c : (a) NF, (b) S_{11} , (c) gain, (d) V_{CS} , et (e) V_{ed} .

Les figures 6.3 (a)-(e) illustrent les performances et mesures de test obtenues par des simulations d'extraction de type RCc. On constate d'une part que les simulations Min, Max et Typ sont beaucoup plus variables que dans le cas précédent (simulation Cc). D'autre part, à l'exception de la figure de bruit, les valeurs des performances et mesures de test sont en dehors des spécifications déduites par les simulations au niveau schématique. Les performances à 1.9 GHz et les mesures de test relevées sont résumées dans le tableau 6.2. On y remarque un coefficient de réflexion au dessus de la spécification de 2dB dans le pire cas, un gain qui perd au minimum 2.5 dB, une mesure du capteur qui varie entre 2.1 V et 2.2 V et une mesure du détecteur d'amplitude qui varie entre 1.1 V et 1.2 V. Ces pertes semblent être dues à une résistance d'insertion

trop grande. En effet, pour réaliser cette résistance, nous avons utilisé des résistances poly, il semble que la résistance totale de ces résistances et des lignes de connexions soit supérieure à 10Ω . Dans un deuxième temps, nous avons enlevé ces résistances et les résultats se sont considérablement améliorés.

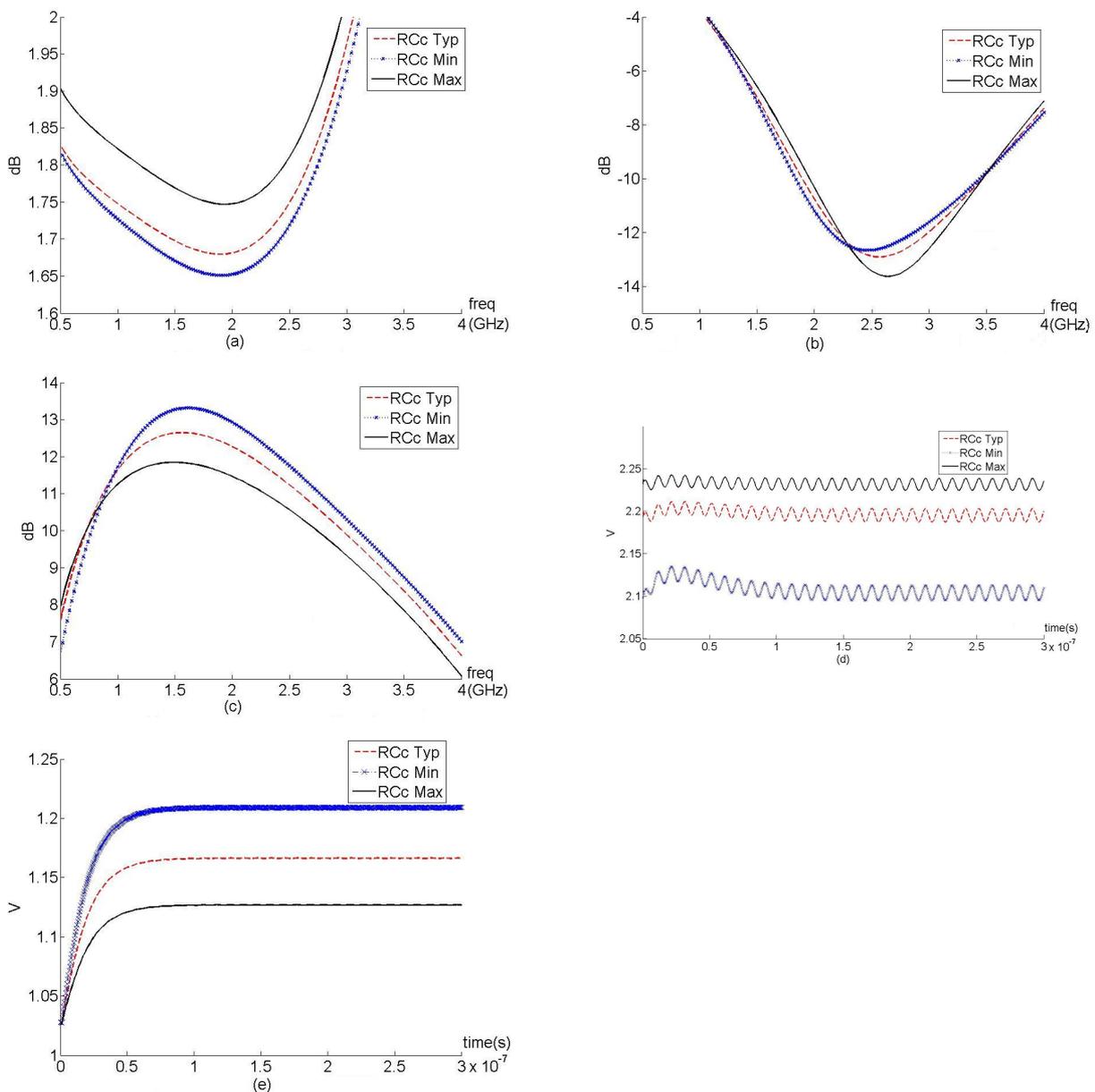


FIGURE 6.3 – Simulations post-layout du circuit avec extraction de type RCc : (a) NF, (b) S_{11} , (c) gain, (d) V_{CS} , et (e) V_{ed} .

TABLE 6.2 – Performances et mesures de test par simulation post layout de l'extraction de type RCc.

	NF (dB)	S ₁₁ (dB)	Gain (dB)	CP _{1dB} (dBm)	IIP3 (dBm)	V _{CS} (V)	V _{ED} (V)
Schem	<1.88	< -11.71	>15.48	> -15.94	> -3.89	[1.060 ; 1.495]	[1.065 ; 2.085]
Min	1.65	-10.49	13.1	NC	NC	2.110	1.212
Typ	1.68	-10.13	12.4	NC	NC	2.187	1.170
Max	1.75	-9.63	11.6	NC	NC	2.228	1.127

Lorsque nous faisons des modifications afin de réduire la résistance d'insertion : réduction de la ligne de connexion capteur de courant et amplificateur faible bruit, suppression des résistances poly et changement du métal de la ligne d'insertion (d'un métal 3 à un métal 4 moins résistif), nous obtenons des résultats plus en accord entre la simulation post-layout de type RCc et les simulations niveau schématique pour les performances. Les figures 6.5 (a)-(e) illustrent les performances et les mesures de test obtenues suivant les cas Typ, Min et Max. Le tableau 6.3 résume les performances obtenues à 1.9GHz et les mesures de test à 300ns. On remarque que les performances présentent des valeurs post-layout quasiment toutes meilleures que les spécifications obtenues par simulation schématique. Ainsi par exemple, pour la réflexion en entrée la valeur la pire est de -13.88 dB (extraction Max) pour une spécification qui doit être inférieure à -11.71 dB.

La mesure du détecteur d'enveloppe se trouve dans les limites de test fixées, bien qu'on note un décalage entre la valeur de l'extraction Typique (1.316 V) et la valeur moyenne niveau schématique (1.584 V). Reste la mesure du capteur de courant qui présente des variations process plus importantes en simulation niveau post-layout (environ 500mV d'écart entre la valeur Min et Max) que en simulation niveau schématique (seulement 435mV d'écart entre les limites), et une mesure Min en dehors des spécifications. De plus, on observe un décalage d'environ 300mV entre les valeurs issues de la simulation de l'extraction Typique (1.028 V) et la simulation au niveau schématique (1.300 V). Ces décalages entre valeurs moyennes obtenues par simulation schématique et valeurs obtenues de simulation au niveau de l'extract typique peuvent s'expliquer par une différence de gain entre ces deux niveaux de simulation.

Les figures 6.4 (a) et (b) illustrent la linéarité des capteurs au regard des simulations post-layout (RCc2) et schématique. La mesure du capteur de courant (V_{CS}) présente une pente de 210 mV/mA pour une simulation au niveau schématique et une pente plus faible d'environ 200

mV/mA pour une simulation au niveau post-layout. Cette baisse de la pente se traduit par une légère augmentation de la zone de linéarité : [0.5 -8.5]mA contre [1-8]mA pour une simulation au niveau schématique. Cette baisse de gain traduit peut-être une valeur plus faible de la résistance (moins de 10 Ω en simulation au niveau schématique). Ceci expliquerait aussi les meilleures valeurs des performances.

Pour le capteur d'enveloppe, la mesure V_{ED} présente une zone à peu près linéaire en entrée de [50mV-520mV] en simulation au niveau schématique, contre [30mV-700mV] pour une simulation post-layout. Cette augmentation de la zone linéaire (ou linéarisable) est compensée par une baisse de la pente de la mesure V_{ED} de 12mV/mV en simulation au niveau schématique à 6mV/mV, en simulation RCc.

TABLE 6.3 – Performances et mesures de test par simulation post layout de l'extract type RCc-2.

	NF (dB)	S_{11} (dB)	Gain (dB)	CP_{1dB} (dBm)	IIP3 (dBm)	V_{CS} (V)	V_{ED} (V)
Schem	<1.88	< -11.71	>15.49	> -15.94	> -3.89	[1.060 ; 1.495]	[1.065 ; 2.085]
Min	1.58	-15.01	16.38	NC	NC	0.803	1.376
Typ	1.60	-14.67	16.02	-13.78	-3.92	1.028	1.316
Max	1.67	-13.88	15.43	NC	NC	1.289	1.249

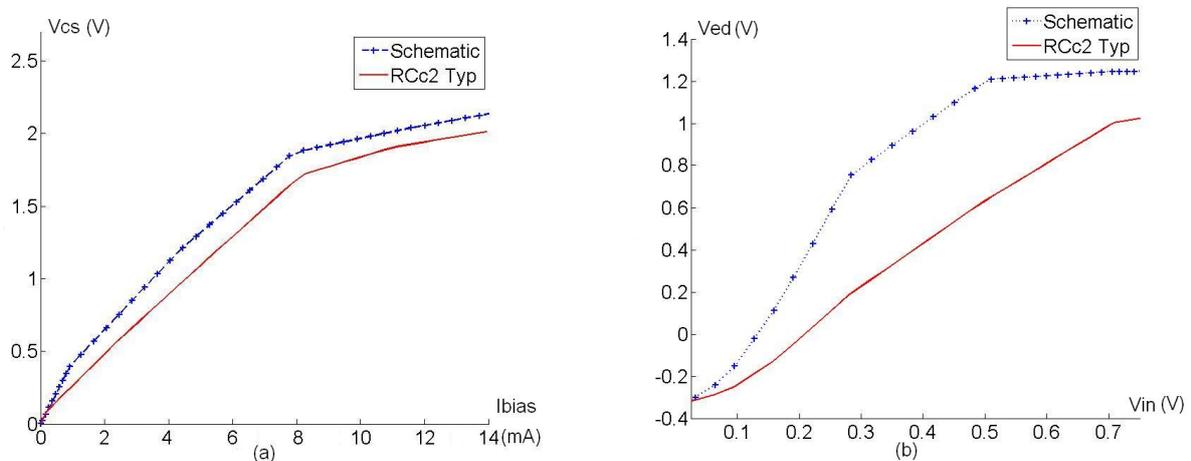


FIGURE 6.4 – Linéarité des capteurs.

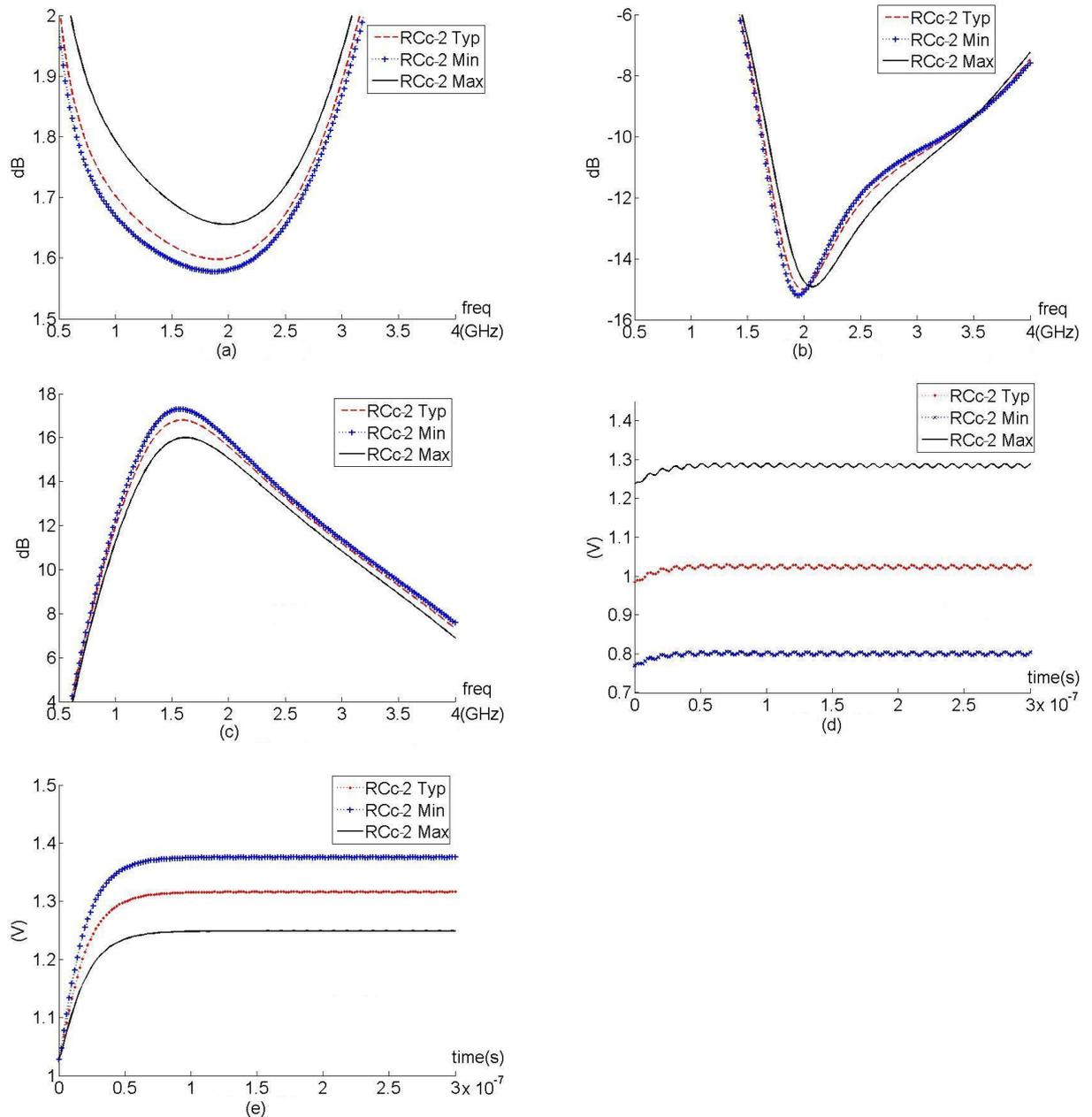


FIGURE 6.5 – Simulations post-layout du circuit avec extraction de type RCc-2 : (a) NF, (b) S_{11} , (c) gain, (d) V_{CS} , et (e) V_{ed} .

6.4 Modélisation statistique

De manière à comparer les résultats de simulation post-layout avec les résultats de simulation au niveau schématique, cent-vingt simulations Monte Carlo (process and mismatch) ont été réalisées au niveau de l'extract de l'ensemble LNA et capteurs. Les figures 6.6(a)-(g) montrent les distributions des performances et mesures de test pour les résultats de simulation post-layout.

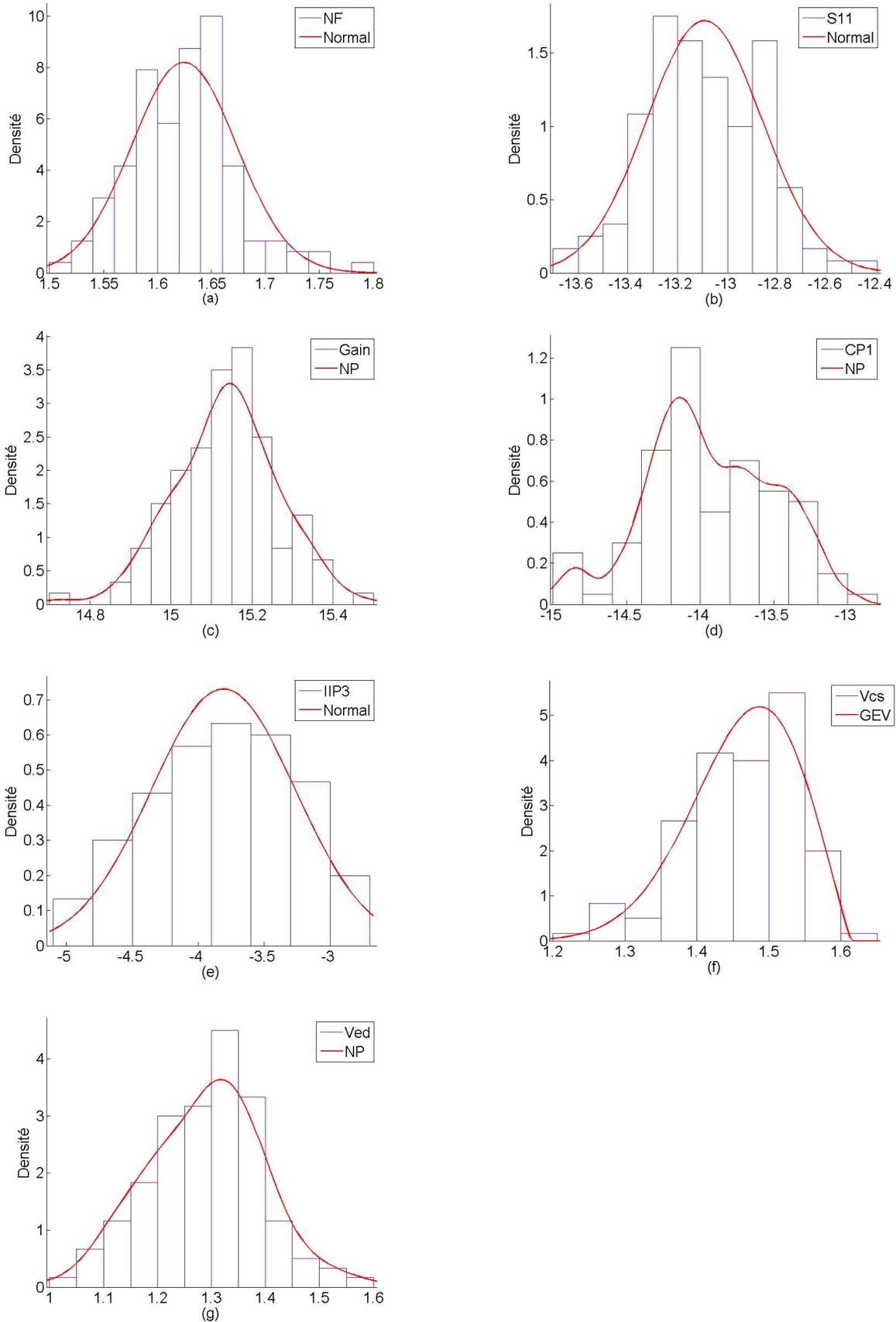


FIGURE 6.6 – Ajustement des distributions statistiques sur : (a) facteur de bruit, (b) réjection en entrée, (c) gain, (d) point de compression 1dB, (e) IIP3, (f) V_{cs} et (g) V_{out} .

Sur les figures précédentes, on observe que le facteur de bruit, la réflexion en entrée et l'IIP3 ont des distributions marginales normales. Le gain, le point de compression 1dB et la tension en sortie du capteur (V_{ed}) suivent eux une distribution non paramétrique. Seule la mesure du capteur de courant (V_{cs}) est estimée par une distribution de forme valeur extrême généralisée (GEV).

TABLE 6.4 – Performances et mesures de test du LNA et leurs paramètres statistiques.

	NF (dB)	S_{11} (dB)	Gain (dB)	CP_{1dB} (dBm)	IIP3 (dBm)	V_{CS} (V)	V_{ED} (V)
\bar{x}	1.61	-14.61	16.03	-13.76	-3.89	1.025	1.331
$\overline{S_x}$	0.05	0.21	0.15	0.42	0.95	0.058	0.113

$$\Sigma = \begin{matrix} & \text{NF} & S_{11} & \text{Gain} & CP_1 & \text{IIP3} & V_{CS} & V_{ED} \\ \begin{pmatrix} 1 & 0.17 & -0.10 & -0.01 & -0.02 & 0.04 & -0.21 \\ 0.17 & 1 & 0.60 & 0.22 & 0.20 & 0.25 & -0.01 \\ -0.10 & 0.60 & 1 & 0.36 & 0.24 & 0.47 & 0.02 \\ -0.01 & 0.22 & 0.36 & 1 & 0.56 & 0.90 & -0.31 \\ -0.02 & 0.20 & 0.24 & 0.56 & 1 & 0.47 & -0.19 \\ 0.04 & 0.25 & 0.47 & 0.90 & 0.47 & 1 & -0.24 \\ -0.21 & -0.01 & 0.02 & -0.31 & -0.19 & -0.24 & 1 \end{pmatrix} \end{matrix}$$

La figure 6.7 illustre les distributions bivariées obtenues à partir de l'échantillon des données Monte Carlo. On remarque une forte similitude avec la figure 5.9 (page 90, chapitre 5) qui illustre les distributions bivariées obtenues à partir de l'échantillon des données Monte Carlo obtenu par simulation électrique au niveau schématique. On y voit que les performances et mesures de test ne sont pas très dépendantes (corrélées), en dehors des couples (S_{11} , gain), (CP_1 , IIP3) et surtout (CP_1 , V_{cs}). Ceci est confirmé par la matrice de corrélation (Σ). On observe des coefficients de corrélations très inférieurs à 0.5 sauf pour certaines performances (gain et S_{11} , CP_1 et IIP3). La tension en sortie du capteur de courant (V_{CS}) est fortement corrélé au point de compression (0.90) et moyennement corrélée à : la réflexion au gain (0.47) et l'IIP3 (0.47). Le lien avec avec la réflexion en entrée et la tension V_{ED} est un peu plus faible (respectivement de 0.25 et -0.24). La tension en sortie du capteur de tension (V_{ED}) est moyennement corrélé au point de compression (-0.31) et faiblement au facteur de bruit (-0.21) et à l'IIP3 (-0.19). Par

contre, le lien linéaire avec le gain qui auparavant était faible (-0.22) semble totalement dissolu. A cette exception près, on retrouve globalement le même comportement entre les données des simulations au niveau de l'extract et celles des simulations au niveau schématique.

La figure 6.8 montre les distributions des performances et des mesures de test obtenues par l'échantillonnage du modèle statistique basé sur la Copule gaussienne. Ces distributions ont la même allure générale que celles des données obtenues par simulation Monte Carlo.

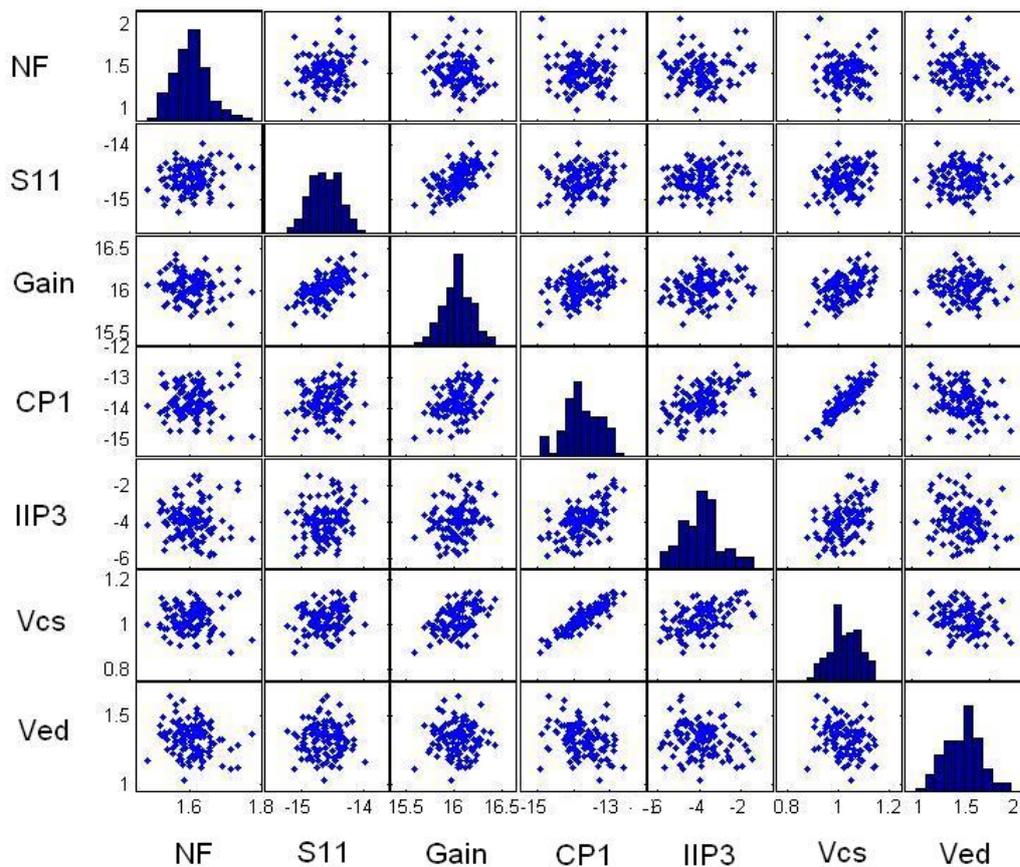


FIGURE 6.7 – Distributions bivariées de l'échantillon obtenu par simulation électrique Monte Carlo(N=120 circuits).

6.5 Métriques de test

Un échantillonnage statistique permet de générer un million de circuits par une modélisation Copules. Les limites des performances ont été fixées à 4.5 sigma de la valeur moyenne, comme dans l'étude menée au chapitre 5. Pour fixer les limites des mesures de test, nous avons utilisé la règle de dix afin d'établir un compromis entre le taux de défauts et la perte de rendement

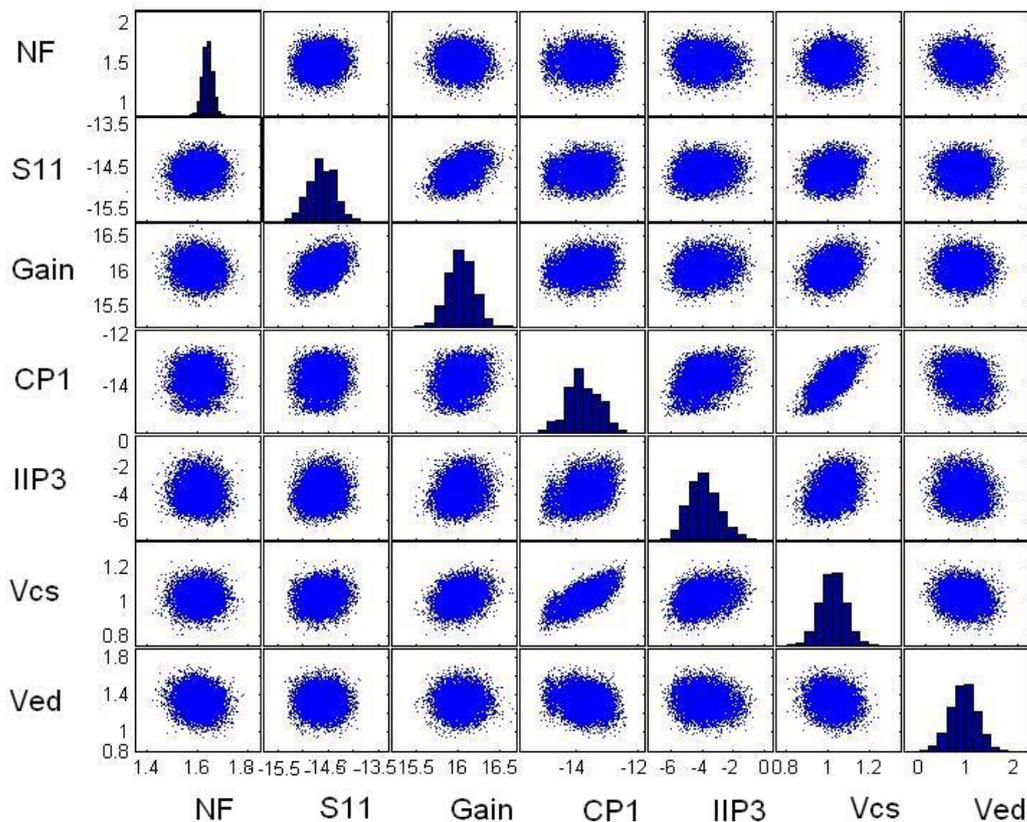


FIGURE 6.8 – Distributions bivariées obtenues par l'échantillonnage du modèle statistique basé sur la Copule Gaussienne ($N=1e4$ circuits).

comme fait précédemment dans les chapîtres 4 et 5. Le tableau 6.5 récapitule les spécifications utilisées pour des simulations au niveau respectivement de l'extract et schematic. On remarque d'une part que les spécifications post-layout englobent les performances Min, Max et Typ (voir Tableau 6.3). Suivant le niveau de simulation, les performances présentent des différences qui varient de 0.05 dB pour le facteur de bruit à 4.28 dB pour l'IIP3. Hormis l'IIP3, toutes les autres performances présentent des spécifications similaires (moins de 0.3 dB de variation) voire meilleures dans le cas de la réflexion en entrée. Le décalage entre les simulations de l'IIP3 au niveau de l'extract et schematic peut s'expliquer d'une part par une relaxation des critères de convergence dans le simulateur afin d'obtenir des résultats, mais aussi par une valeur de résistance du capteur (R_s) qui est manifestement inférieure à 10Ω . Cette différence des valeurs de l'IIP3 d'environ 4 dB s'est vue dès la valeur typique de la simulation au niveau de l'extract.

Le Tableau 6.6 montre les métriques de test obtenues en utilisant les données de simulation

post-layout. Afin d’obtenir ces résultats les équations 4.6 à 4.10 ont été utilisées.

TABLE 6.5 – Récapitulatif des spécifications du circuit.

	NF	S11	Gain	CP1	IIP3
Schem.	< 1.88	> -11.71	> 15.49	> -15.94	> -3.89
Extract	< 1.83	> -13.68	> 15.34	> -15.64	> -8.17
Différence	0.05	1.97	0.15	0.30	4.28

TABLE 6.6 – Métriques de test des simulations post-layout.

		Post-layout	Schematique
Rendement		999992	999515
Def.		8	485
D^{pd}		8	479
Y_L^{pd}		644	4967
Limites Inf.	V_{CS}	0.803	1.060
	V_{ED}	0.860	1.065
Limites Sup.	V_{CS}	1.256	1.495
	V_{ED}	1.700	2.085

On note que les métriques de test pour les déviations process sont meilleures au niveau layout qu’au niveau schematique. L’on génère moins de circuits défectueux. Les différences des valeurs de Def., D^{pd} et Y_L^{pd} entre les données de simulation au niveau de l’extract (post-layout) et les données simulation au niveau schematique peuvent être expliquées par les raisons suivantes :

1. Premièrement, les limites de test sont plus serrées pour les données obtenues par simulations post-layout.
2. Deuxièmement, par le fait que nous avons fixé de nouvelles spécifications pour le circuit après le layout. Ceci est du au fait qu’il y a de grosses différences sur la valeur de l’IIP3 qui ne respecte pas les spécifications utilisées pour les simulations au niveau schematique.

Les principales différences entre le circuit au niveau schematique et le circuit au niveau post-layout correspondent aux variations de la réflexion en entrée et de l’IIP3. Ces différences pourraient être corrigées en réalisant la jonction capteur de courant LNA en métal 5 (au lieu du métal 4 sur ce layout) et en essayant d’avoir une résistance parasite de 10Ω .

6.6 Conclusion

Dans ce chapitre nous avons présenté les principes utilisés pour réaliser le layout du circuit amplificateur faible bruit avec des capteurs intégrés. Les diverses simulations avec différents types d'extract nous ont permis d'une part de vérifier l'importance d'une extraction des parasites de type résistif (RCc) et d'autre part d'améliorer certains détails importants du layout tel que la valeur de la résistance d'insertion du capteur de courant. En effet, cette résistance très faible se réalise grâce aux résistances parasites des lignes de connexion. De plus, elle dépend fortement de la distance entre le capteur et l'amplificateur faible bruit. Bien qu'il existe de légères différences entre les simulations au niveau post-layout et celles au niveau schématique, l'on retrouve globalement les mêmes comportements : les zones de linéarité des capteurs sont quasi-identiques, les spécifications des performances du LNA ne sont que très légèrement dégradées.

Nous avons évalué la technique de BIST proposée au niveau post-layout. Pour ce faire nous avons effectué un échantillonnage électrique d'une centaine (120 précisément) de simulations Monte-Carlo. Nous avons observé à nouveau une concordance entre les données obtenues par simulation post-layout et par simulation schématique. Les matrices de variances présentent des coefficients de corrélation du même ordre de grandeur. Ensuite, nous avons appliqué un échantillonnage statistique par le modèle de la Copule gaussienne. Nous sommes parvenus à démontrer qu'il y avait une concordance des résultats sur le comportement du BIST vis à vis des déviations process. La technique de BIST proposée présente des métriques intéressantes au regard des déviations process avec un taux de défauts égal au nombre de circuits défectueux (8 ppm) et des pertes de rendement de 644 ppm. Ces valeurs sont meilleures que celles obtenues par simulation au niveau schématique. Nous pouvons donc affirmer qu'une modélisation au niveau schématique avec des capteurs intégrés est suffisante pour le choix des mesures de test. Cependant, la simulation post-layout est essentielle afin de placer correctement les limites de test.

Chapitre 7

Conclusion et Perspectives

7.1 Rappel du contexte

La course à l'intégration et à la production d'ICs RF moins chers a annoncé une ère sans précédent dans la fabrication de circuits de communication. Ce phénomène conjugué avec l'avènement des technologies nanométriques, a poussé les entreprises de semi-conducteurs à s'orienter vers l'intégration dans un IP de circuits RF, analogiques, mixtes et numériques, ce qui engendre une foule de défis de conception et de fabrication.

Le test des circuits intégrés RF dans un SoC est d'autant plus difficile du fait du manque de points d'accès aux circuits en question. Si l'on ajoute à celà, les fréquences de fonctionnement élevées de ces circuits, toute action visant à sonder le circuit peut modifier les performances de ce dernier. Les solutions actuellement développées sont soit très coûteuses en ressources, soit valides pour le test des performances du système en entier (technique de "Loopback"). Le test industriel quant-à lui est coûteux aussi bien en ressources qu'en temps.

7.2 Contributions

Dans cette dissertation, nous avons présenté une large revue de la littérature sur les techniques de DfT et BIST pour des amplificateurs faible bruit RF. Différentes techniques ont été comparées et commentées au regard des performances testées, la qualité, la simplicité de mise en oeuvre. Il est à noter qu'aucune de ces techniques n'est actuellement largement implémentée dans l'industrie.

Nous avons étudié trois modèles statistiques différents nous permettant de simuler une production industrielle de circuits à tester. Le modèle paramétrique suppose de connaître la fonction

de densité de probabilité qui décrit le circuit, cette approche s'est révélée trop restrictive pour notre cas d'étude. Le modèle non-paramétrique lui ne fait aucune hypothèse sur la forme de la fonction de densité de probabilité. Malheureusement, cette méthode souffre d'un problème de précision. Le troisième modèle : la modélisation par les Copules se trouve entre les deux précédentes. Aucune hypothèse n'est faite sur les fonctions de densité de probabilité marginales, mais une hypothèse sur le lien entre ces dernières est faite.

Nous proposons une nouvelle méthode pour évaluer/comparer différentes techniques de DfT ou BIST durant la phase de design pour des circuits RF en utilisant une modélisation statistique. Une démonstration de cette méthode a été faite sur un circuit RF simple : un amplificateur faible bruit.

Afin d'évaluer des techniques de test, nous procédons à une évaluation des métriques de test au niveau design. La méthode utilisée est la suivante :

- Un signal à fréquence de fonctionnement nominal est injecté comme vecteur de test.
- La distribution de probabilité des performances et des mesures de test est obtenue par un échantillonnage électrique (simulations Monte Carlo).
- Grâce à des méthodes statistiques telles que l'estimation non paramétrique ou les Copules, un échantillon d'au moins un million de circuit est généré, ce qui permet de calculer les métriques de test sous déviations process avec une précision de l'ordre du ppm.
- Des fautes catastrophiques (circuits ouverts, courts-circuits, ...) sont injectées dans la structure du circuit à tester.
- Les limites des critères de test sont établies en fonction des métriques de test sous déviations process et de la couverture de fautes catastrophiques. Un compromis est fait entre le taux de défauts (D^{pd}), les pertes de rendement (Y_L^{pd}) et la couverture de fautes catastrophiques (F_C). La qualité de la technique de test est évaluée vis-à-vis des déviations process et de la détection des fautes catastrophiques. Bien que des fautes paramétriques soient injectées, ces dernières se sont révélées être sans intérêt car non détectables et de faible probabilité d'existence dans notre cas d'étude.

Grâce à cette méthode, nous avons retenu une technique de DfT basée sur les mesures du courant de consommation et de la tension crête en sortie du circuit. Un layout de la structure comprenant le LNA, un capteur de courant et un détecteur d'enveloppe a été fait. Les capteurs conçus sont robustes vis à vis des déviations process et de température.

Des simulations post-layout nous ont tout de même permis d'avoir une évaluation plus pré-

cise de la réalité de la technique de BIST mise en oeuvre. Cette étape nous a permis de vérifier que la technique proposée offrait un bon rapport coût-efficacité au problème du test de circuits des LNA RF. Elle permet le test avec des surcoûts en superficie et puissance négligeables sans l'utilisation de DSP sur ou en dehors de la puce pour le traitement de la réponse.

En plus de la technique de BIST pour LNA, ces travaux nous ont aussi permis d'établir deux points importants lors de l'évaluation d'une technique de test :

1. La nécessité d'étudier directement le design comprenant les capteurs et le circuit sous test. En effet, les corrélations entre performances et mesures de test obtenues par les simulations avec capteurs intégrés sont totalement différentes de celles obtenues avec des mesures idéales (en utilisant des formules algébriques).
2. Des simulations au niveau schematic sont un bon aiguillon pour le choix des mesures de test, bien que les métriques de test soient différentes. Cependant, la simulation post-layout est essentielle pour poser les limites de test.

7.3 Perspectives et travaux futurs

Dans un futur proche (mi 2010), des résultats expérimentaux (sur silicium) seront produits pour une validation de la technique de test.

Nous avons basé notre étude sur la modélisation statistique, il serait intéressant de connaître le degré de précision de cette modélisation par rapport à la réalité d'une production industrielle.

La méthodologie permettant d'évaluer des mesures de test par des modèles statistiques est clairement définie pour des circuits simples, mais, elle ne peut être mise en oeuvre telle qu'elle pour des circuits plus complexes. En effet, des simulations Monte-Carlo directes ne sont pas toujours réalisables (trop longues). Il serait donc plus rapide de simuler des blocs au niveau comportemental et pour ce faire, une étape intermédiaire de modélisation Verilog-A ou VHDL-AMS est nécessaire avant l'étape des simulations Monte-Carlo. Des travaux dans ce sens sont actuellement en cours dans le groupe de recherche [23].

Les capteurs conçus au cours de cette thèse présentent l'inconvénient d'être constitués d'un trop grand nombre de transistors (plus de 17 pour chacun), ce qui diminue la fiabilité par rapport à un circuit simple comme le LNA utilisé (4 transistors). Il serait intéressant de designer de nouveaux capteurs comprenant moins de transistors.

Il pourrait être intéressant d'évaluer la technique de BIST (capteur de courant et détecteur

d'enveloppe) avec la méthodologie utilisée pour fixer les limites de test, sur d'autres circuits RF (mélangeurs, VCO, etc...). De même qu'il faudrait évaluer la technique de BIST vis-à-vis de fautes paramétriques globales (par ex : variation de l'épaisseur d'oxyde, etc...). Une injection plus réaliste (au niveau layout) des fautes catastrophiques est aussi nécessaire pour une évaluation plus complète du BIST.

L'architecture de BIST peut être complétée par des comparateurs à seuil en sortie des capteurs ainsi qu'une porte logique 'et' permettraient d'avoir une sortie purement logique à un bit.

Annexe A : Résultats de modélisation

Nous présentons dans cette partie les différentes métriques de test pour les fautes paramétriques obtenues suivant les modèles statistiques non paramétrique et Copules appliqués aux vecteurs de test qui ont été présentés dans le chapitre 4 à l'exception de (I_{cc}, V_p) et (Z_2, V_p) . Les métriques de test dépendent évidemment des limites de test. Celles-ci sont calculées en utilisant les modèles statistiques décrits dans le chapitre 4. On notera les combinaisons de mesures de test dans les tableau par les lettres suivantes : $A = I_{cc}$, $B = I_p$, $C = V_{rms}$, $D = V_p$, $E = Z_1$, $F = Z_2$; $A_1 = Z_1 + Z_2$, $B_1 = Z_1 + V_{rms}$, $C_1 = Z_2 + I_p$, $D_1 = I_p + V_{rms}$.

A.1 Modèle non paramétrique

Le tableau 1 résume la liste des fautes paramétriques détectées par les performances pour les différentes mesures de test simples étudiées avec la modélisation non paramétrique. Le tableau 2 est similaire au précédent mais pour des combinaisons de mesures de test.

TABLE 1 – Liste des fautes paramétriques injectées suivant différentes mesures de test simples pour le modèle non paramétrique

Composant (it.)	Param.	P_j^A	P_j^B	P_j^C	P_j^D	P_j^E	P_j^F
L_1 (1)	ls	0	0	0	$8.5 \cdot 10^{-7}$	0	0
	ls	0	0	$2.5 \cdot 10^{-8}$	0	0	$1.1 \cdot 10^{-8}$
L_2 (1)	ls	0	$1.9 \cdot 10^{-7}$	0	0	$1.4 \cdot 10^{-3}$	$5.3 \cdot 10^{-2}$
	ls	0	0	$1.1 \cdot 10^{-7}$	$7.6 \cdot 10^{-7}$	0	$9.5 \cdot 10^{-3}$
L_3 (1)	ls	0	0	0	0	0	0
	ls	0	0	0	0	0	0
R_1 (2)	r	0	0	0	0	0	0
	r	0	0	0	0	0	0
R_3 (5)	r	0	0	0	0	0	0
	r	0	0	0	0	0	0
R_8 (1)	r	$4.8 \cdot 10^{-3}$	0	0	0	0	0
	r	$4.4 \cdot 10^{-3}$	0	0	0	0	0
R_9 (1)	r	$4.8 \cdot 10^{-3}$	0	0	0	0	0
	r	$4.4 \cdot 10^{-3}$	0	0	0	0	0
R_{10} (1)	r	$2.7 \cdot 10^{-3}$	0	0	0	0	0
	r	$8.5 \cdot 10^{-3}$	0	0	0	0	0
R_{11} (1)	r	$2.7 \cdot 10^{-3}$	0	0	0	0	0
	r	$8.5 \cdot 10^{-3}$	0	0	0	0	0
C_1 (1)	c	0	0	0	0	0	0
	c	0	0	0	0	0	0
C_2 (1)	c	0	$2.5 \cdot 10^{-1}$	0	0	$1.5 \cdot 10^{-1}$	0
	c	0	0	$1.2 \cdot 10^{-6}$	$5.0 \cdot 10^{-6}$	0	$3.4 \cdot 10^{-4}$
C_3 (1)	c	0	0	0	0	0	0
	c	0	0	0	0	0	0
C_4 (1)	c	0	0	0	0	0	0
	c	0	0	0	0	0	0
C_5 (1)	c	0	0	0	0	0	$8.5 \cdot 10^{-7}$
	c	0	0	$1.6 \cdot 10^{-6}$	$3.0 \cdot 10^{-8}$	0	$1.3 \cdot 10^{-4}$
C_6 (1)	c	0	0	0	0	0	$8.5 \cdot 10^{-7}$
	c	0	0	$1.2 \cdot 10^{-6}$	$3.4 \cdot 10^{-8}$	0	$1.4 \cdot 10^{-4}$

TABLE 2 – Liste des fautes paramétriques injectées suivant différentes combinaisons de mesures de test pour le modèle non paramétrique

Composant (it.)	Param.	$P_j^{A_1}$	$P_j^{B_1}$	$P_j^{C_1}$	$P_j^{D_1}$
L_1 (1)	ls	0	0	0	0
	ls	$1.5 \cdot 10^{-8}$	$1.3 \cdot 10^{-8}$	0	0
L_2 (1)	ls	$5.4 \cdot 10^{-2}$	$1.2 \cdot 10^{-3}$	$2.7 \cdot 10^{-3}$	$1.9 \cdot 10^{-7}$
	ls	0	0	0	0
L_3 (1)	ls	0	0	0	0
	ls	0	0	0	0
R_1 (2)	r	0	0	0	0
	r	0	0	0	0
R_3 (5)	r	0	0	0	0
	r	0	0	0	0
R_8 (1)	r	0	0	0	0
	r	0	0	0	0
R_9 (1)	r	0	0	0	0
	r	0	0	0	0
R_{10} (1)	r	0	0	0	0
	r	0	0	0	0
R_{11} (1)	r	0	0	0	0
	r	0	0	0	0
C_1 (1)	c	0	0	0	0
	c	0	0	0	0
C_2 (1)	c	$1.0 \cdot 10^{-1}$	$1.5 \cdot 10^{-1}$	0	$2.5 \cdot 10^{-2}$
	c	$2.7 \cdot 10^{-3}$	$1.5 \cdot 10^{-3}$	$6.8 \cdot 10^{-6}$	$1.2 \cdot 10^{-8}$
C_3 (1)	c	0	0	0	0
	c	0	0	0	0
C_4 (1)	c	0	0	0	0
	c	0	0	0	0
C_5 (1)	c	$1.2 \cdot 10^{-6}$	0	0	0
	c	$6.8 \cdot 10^{-5}$	$6.4 \cdot 10^{-7}$	$5.4 \cdot 10^{-6}$	$5.8 \cdot 10^{-8}$
C_6 (1)	c	$1.2 \cdot 10^{-6}$	0	0	0
	c	$6.8 \cdot 10^{-5}$	$7.3 \cdot 10^{-7}$	$5.7 \cdot 10^{-6}$	$6.7 \cdot 10^{-8}$

A.2 Modèle par les Copules

Le tableau 3 résume la liste des fautes paramétriques détectées par les performances pour les différentes mesures de test simples étudiées avec la modélisation non paramétrique. Le tableau 4 est similaire au précédent mais pour des combinaisons de mesures de test.

TABLE 3 – Liste des fautes paramétriques injectées suivant différentes mesures de test simples pour le modèle Copules

Composant (it.)	Param.	P_j^A	P_j^B	P_j^C	P_j^D	P_j^E	P_j^F
L_1 (1)	ls	0	0	$2.5 \cdot 10^{-7}$	$2.2 \cdot 10^{-6}$	0	0
	ls	0	0	0	$6.2 \cdot 10^{-5}$	0	$1.1 \cdot 10^{-8}$
L_2 (1)	ls	0	0	0	0	$2.3 \cdot 10^{-3}$	$5.3 \cdot 10^{-2}$
	ls	0	0	$5.0 \cdot 10^{-7}$	$1.4 \cdot 10^{-6}$	0	$9.5 \cdot 10^{-3}$
L_3 (1)	ls	0	0	0	0	0	0
	ls	0	0	0	0	0	0
R_1 (2)	r	0	0	0	0	0	0
	r	0	0	0	0	0	0
R_3 (5)	r	0	0	0	0	0	0
	r	0	0	0	0	0	0
R_8 (1)	r	$4.8 \cdot 10^{-3}$	0	0	0	0	0
	r	$4.4 \cdot 10^{-3}$	0	0	0	0	0
R_9 (1)	r	$4.8 \cdot 10^{-3}$	0	0	0	0	0
	r	$4.4 \cdot 10^{-3}$	0	0	0	0	0
R_{10} (1)	r	$2.7 \cdot 10^{-3}$	0	0	0	0	0
	r	$8.5 \cdot 10^{-3}$	0	0	0	0	0
R_{11} (1)	r	$2.7 \cdot 10^{-3}$	0	0	0	0	0
	r	$8.5 \cdot 10^{-3}$	0	0	0	0	0
C_1 (1)	c	0	0	0	0	0	0
	c	0	0	0	0	0	0
C_2 (1)	c	0	0	0	0	$1.8 \cdot 10^{-1}$	0
	c	0	0	$3.0 \cdot 10^{-6}$	$8.7 \cdot 10^{-6}$	0	$3.4 \cdot 10^{-4}$
C_3 (1)	c	0	0	0	0	0	0
	c	0	0	0	0	0	0
C_4 (1)	c	0	0	0	0	0	0
	c	0	0	0	0	x	x
C_5 (1)	c	0	0	0	$1.3 \cdot 10^{-7}$	0	$8.5 \cdot 10^{-7}$
	c	0	0	$3.8 \cdot 10^{-8}$	$2.7 \cdot 10^{-4}$	0	$1.3 \cdot 10^{-4}$
C_6 (1)	c	0	0	0	$1.3 \cdot 10^{-7}$	0	$8.5 \cdot 10^{-7}$
	c	0	0	$4.1 \cdot 10^{-8}$	$2.9 \cdot 10^{-4}$	0	$1.4 \cdot 10^{-4}$

TABLE 4 – Liste des fautes paramétriques injectées suivant différentes combinaisons de mesures de test pour le modèle des Copules

Composant (it.)	Param.	$P_j^{A_1}$	$P_j^{B_1}$	$P_j^{C_1}$	$P_j^{D_1}$
L_1 (1)	ls	0	0	$8.5.10^{-7}$	$1.1.10^{-7}$
	ls	0	$2.0.10^{-7}$	0	0
L_2 (1)	ls	$5.6.10^{-3}$	$1.2.10^{-3}$	$1.5.10^{-4}$	0
	ls	$1.9.10^{-2}$	$1.1.10^{-7}$	0	$3.7.10^{-7}$
L_3 (1)	ls	0	0	0	0
	ls	0	0	$6.7.10^{-8}$	0
R_1 (2)	r	0	0	0	0
	r	0	0	0	0
R_3 (5)	r	0	0	0	0
	r	0	0	0	0
R_8 (1)	r	0	0	0	0
	r	0	0	0	0
R_9 (1)	r	0	0	0	0
	r	0	0	0	0
R_{10} (1)	r	0	0	0	0
	r	0	0	0	0
R_{11} (1)	r	0	0	0	0
	r	0	0	0	0
C_1 (1)	c	0	0	0	0
	c	0	0	0	0
C_2 (1)	c	$1.0.10^{-1}$	$1.5.10^{-1}$	0	0
	c	$2.7.10^{-3}$	$1.5.10^{-3}$	$3.7.10^{-7}$	$2.4.10^{-6}$
C_3 (1)	c	0	0	0	0
	c	0	0	0	0
C_4 (1)	c	0	0	0	0
	c	0	0	0	0
C_5 (1)	c	0	0	0	0
	c	$3.5.10^{-4}$	$4.2.10^{-6}$	$4.8.10^{-3}$	0
C_6 (1)	c	0	0	0	0
	c	$3.5.10^{-4}$	$4.2.10^{-6}$	$5.0.10^{-3}$	0

A.3 Résultats

TABLE 5 – Métriques de test pour différentes mesures de test simples

		I_{cc}	I_p	V_{rms}	V_p	Z_1	Z_2
Non paramétrique	Y^{par} (%)	99.992	99.992	99.992	99.992	99.992	99.992
	Y_L^{par} (ppm)	40030	100	0	0	152510	63090
	Y_T^{par} (%)	95.997	0	100	99.999	84.746	93.683
	G_P^{par} (%)	95.989	0	99.991	99.992	84.742	93.683
	D^{par} (ppm)	83	43	82	77	45	44
	F^{par} (%)	4.0	100.0	1.6	7.9	51.6	95.0
Copules	Y^{par} (%)	99.992	99.992	99.992	99.992	99.992	99.992
	Y_L^{par} (ppm)	40030	0	0	620	187490	63090
	Y_T^{par} (%)	95.997	100	100	99.937	81.248	93.683
	G_P^{par} (%)	95.989	99.992	99.992	99.929	81.244	93.983
	D^{par} (ppm)	83	83	80	71	45	44
	F^{par} (%)	4.0	0.0	4.5	14.8	56.1	95.0

TABLE 6 – Métriques de test pour différentes combinaisons de mesures de test

		$Z_1 + Z_2$	$Z_1 + V_{rms}$	$Z_2 + I_p$	$I_p + V_{rms}$
Non paramétrique	Y^{par} (%)	99.992	99.992	99.992	99.992
	Y_L^{par} (ppm)	230750	148110	2700	24700
	Y_T^{par} (%)	76.922	85.185	99.729	97.530
	G_P^{par} (%)	76.918	85.182	99.721	97.521
	D^{par} (ppm)	43	43	77	83
	F^{par} (%)	60.6	56.3	8.4	2.5
Copules	Y^{par} (%)	99.992	99.992	99.992	99.992
	Y_L^{par} (ppm)	128700	148330	9880	0
	Y_T^{par} (%)	87.123	85.164	99.012	100
	G_P^{par} (%)	87.123	85.160	99.004	99.992
	D^{par} (ppm)	45	43	82	80
	F^{par} (%)	95.3	56.4	2.4	3.5

Annexe B : Fichiers

B.1 La plateforme CAT

Pour l'injection automatique de fautes avec la plateforme CAT un répertoire de fautes est créé. Ce répertoire contient des fichiers .fid qui contiennent les fautes à injecter. Pour permettre la détection de fautes, il appelle un autre fichier qui contient les limites des performances et des critères de test (fichier .pcf).

Open_npnv_E.fid

```
(  
( (1  
"fault_Model_Lib" "simpleOpen"  
"TEST_FINAL" "Final3bob_OK"  
"I1" "TEST_FINAL" "TEST_BENCH"  
))  
(((1 (5) ("inst" "npnv" ("Q0" "Q2" "Q1"))  
(nil 4)  
)))  
)
```

CPI_LNATB.pcf

```
("tm1" )  
("tc1" )  
("to1")  
("ipnVRI(to1 '18 '19 ?rport resultParam(\ "SFROUT:r" \?result  
\ "pss_fd")) ")  
("1")  
("v(\ "/net036\" ?result \ "pss_fd\" )-v(\ "/net027\" ?result
```

```
\ "pss_fd\ " ) "  
 ( " (-5.1000 5e5) " )  
 ( " (0 1) " )
```

B.2 MATLAB

Ce sont des fichiers MATLAB, qui permettent après la génération de fixer les limites de test en fonction des métriques de test. **set_limits.m**

```
global S label_S;  
load S.dat;  
load label_S.dat;  
  
xo = [mean(S(:,6))-1.0*std(S(:,6)) mean(S(:,6))+1.0*std(S(:,6))];  
options = optimset('MaxFunEvals',200*length(xo));  
limits = fminsearch(@fitness, xo, options)  
[t_esc y_loss] = metrics(limits)
```

fitness.m

```
function f = fitness(x)  
if (x(1) < x(2))  
    [t_esc y_loss] = metrics(x);  
    f = abs(t_esc-y_loss/10); % règle de dix  
else  
    f = 10^10;  
end
```

metrics.m

```
function [t_esc, y_loss] = metrics(x)  
global S label_S;  
  
t_esc = 0;  
y_loss = 0;  
for i=1:size(label_S)
```

```
if (label_S(i) == -1) % circuit non fonctionnel
    if (S(i,6) > x(1) || x(2) > S(i,6))
        t_esc = t_esc+1;
    end
end
if (label_S(i) == 1) % circuit fonctionnel
    if (x(1) > S(i,6) || S(i,6) > x(2))
        y_loss = y_loss+1;
    end
end
end
end
```


Bibliographie

- [1] IEEE STD. 1149.1-1990. IEEE Standard Test Access Port and Boundary Scan. *IEEE Press*, 1990.
- [2] IEEE STD. 1149.4-1999. IEEE Standard for Mixed Signal Test Bus. *IEEE Press*, 1999.
- [3] L. Abdallah. Conception d'un capteur pour le test de circuits RF. *Master de Recherche UJF Grenoble*, 2008.
- [4] E. Acar and S. Ozev. Defect Oriented Testing of RF Circuits. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 27(5) :920–931, 2008.
- [5] Y.E. Aimine, A. Richardson, C. Descleves, and K. Sommacal. GDS FaultSim, a Mixed-Signal IC Computer-Aided-Test (CAT) Tool. *IEEE Proceedings of the conference on Design, Automation and Test in Europe (DATE)*, pages 232–238, 1999.
- [6] S.S. Akbay and A. Chatterjee. Feature Extraction Based Built-In Alternate Test of RF Components Using a Noise Reference. *IEEE Proceedings of 22nd VLSI Test Symposium (VTS)*, pages 273–278, 2004.
- [7] S.S. Akbay and A. Chatterjee. Built-in test of RF components using mapped feature extraction sensors. *IEEE Proceedings of the 23rd VLSI Test Symposium (VTS)*, pages 243–248, 2005.
- [8] J. Anders, S. Krishnan, and G. Gronthoud. Re-configuration of sub-blocks for effective application of time domain tests. *IEEE conference on Design Automation and Test in Europe (DATE)*, pages 1–6, 2007.
- [9] D. Arumi, R. Rodriguez-Montanes, and J. Figueras. Experimental characterization of CMOS interconnect open defects. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 27(5) :123–136, 2008.

- [10] I. Baturone, J.L. Huertas, S. Sánchez Solano, and A.M. Richardson. Supply Current Monitoring for Testing CMOS Analog Circuits. *IEEE Proceedings of 11th Conference on Design of Circuits and Integrated Systems (DCIS)*, pages 231–236, 1996.
- [11] A. Bounceur. Plateforme CAO pour le test des circuits mixtes. *These INPG Grenoble*, 2007.
- [12] A. Bounceur and S. Mir. Estimation of Test Metrics for AMS/RF BIST Using Copulas. *IEEE Proceedings of 14th International Mixed-Signals, Sensors and Systems Test Workshop (IMS3TW)*, pages 1–6, 2008.
- [13] A. Bounceur, S. Mir, E. Simeu, and L. Rolindez. Estimation of test metrics for the optimisation of analogue circuit testing. *IEEE Journal of Electronic Testing : Theory and Applications (JETTA)*, pages 471–484, 2007.
- [14] Cadence. spectreRFTheory Manual. 2004.
- [15] Y. Cheng. The Influence and modeling of process variation and device mismatch for analog/rf circuit design. *IEEE Proceedings of the 4th International Caracas Conference on Devices, Circuits and Systems (ICDCS)*, pages 461–468, 2002.
- [16] M. Cimino, H. Lapuyade, M. De Matos, T. Taris, Y. Deval, and J-B. Begueret. A Robust 130nm-CMOS Built-In Current Sensor Dedicated to RF Applications. *IEEE Proceedings of the 11th European Test Symposium (ETS)*, pages 151–158, 2006.
- [17] F.F. Dai, C. Stroud, and D. Yang. Automatic Linearity and Frequency Response Tests With Built-in Pattern Generator and Analyzer. *IEEE Transactions on Very Large Scale Integration(VLSI) Systems*, 14(6) :561–572, 2006.
- [18] F.F. Dai, C. Stroud, D. Yang, and S. Qi. Automatic Linearity (IIP3) Test With Built-in Pattern Generator and Analyzer. *IEEE Proceedings of International Test Conference (ITC)*, pages 271–280, 2004.
- [19] T. Das, A. Gopalan, C. Washburn, and P.R. Mukund. Self Calibration of Input Match in RF Front-End Circuitry. *IEEE Transactions on Circuits and Systems II*, 52(12) :821–825, 2005.
- [20] T. Das, A. Gopalan, C. Washburn, and P.R. Mukund. Towards Fault-Tolerant RF Front Ends. *Journal of Electronic Testing : Theory and Applications (JETTA)*, 22(6) :371–386, 2006.

- [21] H. Donghoon, S.S. Akbay, S. Bhattacharya, A. Chatterjee, and W.R. Eisenstadt. On-Chip Self-Calibration of RF Circuits Using Specification-Driven Built-In Self Test (S-BIST). *IEEE Proceedings of the 11th International On-Line Testing Symposium (IOLTS)*, pages 106–111, 2005.
- [22] H. Donghoon and A. Chatterjee. Robust Built-In Test of RF ICs Using Envelope Detectors. *IEEE Proceedings of the 14th Asian Test Symposium (ATS)*, pages 2–7, 2005.
- [23] M. Dubois, H.G. Stratigopoulos, and S. Mir. Hierarchical Parametric Test Metrics Estimation : A Sigma-Delta Converter BIST Case-Study. *IEEE Proceedings of 28th International Conference of Computer Design (ICCD)*, pages 78–83, 2009.
- [24] K. Fong. High Frequency Analysis of Linearity Improvement Technique of Common-Emmitter Transconductance Stage Using a Low-Frequency Trap Network. *IEEE Journal of Solid-State Circuits*, 35(10) :1249–1252, 2000.
- [25] K. Fong and R. Mayer. High Frequency Nonlinearity Analysis of Common-Emmitter and Differential-Pair Transconductance Stages. *IEEE Journal of Solid-State Circuits*, 33(10) :548–555, 1998.
- [26] K. Fong and R. Mayer. *The Design of CMOS Radio-Frequency Integrated Circuits*. Cambridge University Press, 1998.
- [27] D. Gizopoulos. *Advances in Electronic Testing*. Springer, 2006.
- [28] A. Gopalan, T. Das, C. Washburn, and P.R. Mukund. An Ultra-fast, on-chip BiST for RF low noise amplifiers. *IEEE Proceedings of 18th International Conference on VLSI Design*, pages 485–490, 2005.
- [29] A. Gopalan, T. Das, C. Washburn, and P.R. Mukund. Use of source degeneration for non-intrusive BIST of RF front-end circuits. *IEEE Proceedings of International Symposium on Circuits and Systems (ISCAS)*, 5 :4385–4388, 2005.
- [30] A. Gopalan, R. Margala, and P.R. Mukund. A current based self-test methodology for RF front-end circuits. *IEEE Microelectronics Journal*, 36(12) :1091–1102, 2005.
- [31] A. Gopalan, P.R. Mukund, and M. Margala. A non-intrusive Self-Test Methodology for RF CMOS LNA. *IEEE Proceedings of the International Mixed-Signals Testing Workshop (IMSTW)*, pages 196–202, 2004.
- [32] H.E. Graeb. *Analog Design Centering and Sizing*. Springer, 2007.

- [33] T. Guldbrandsen. Analysis of Diodes Used as Precision Power Detectors above the Square Law Region. *Conference on Precision Electromagnetic Measurements*, page 48, 1990.
- [34] D. Han, S.S. Akbay, S. Battacharya, A. Chatterjee, and W.R. Eisenstadt. On-Chip Self-Calibration of RF Circuits Using Specification-Driven Built-In Self Test (S-BIST). *IEEE Proceedings of the 11th International On-Line Testing Symposium*, pages 106–111, 2005.
- [35] S. Ho. A 450MHz CMOS RF Power Detector. *IEEE Digest of Papers Radio Frequency Integrated Circuits Symposium (RFIC)*, pages 209–212, 2001.
- [36] M. Jacomet. Fantestic : Towards a powerful fault analysis and test generator for integrated circuits. *IEEE Proceedings of the International Test Conference (ITC)*, pages 633–642, 1989.
- [37] A. Jee and F. Ferguson. Carafe : An inductive fault analysis tool for CMOS VLSI circuits. *IEEE Proceedings of the 11th VLSI Test Symposium (VTS)*, pages 527–531, 1993.
- [38] D.A. Johns and K. Martin. *Analog Integrated Circuit Design*. Wiley, 1996.
- [39] H. Kim, D.M.H. Walker, and D. Colby. A Practical Built-In Current Sensor for Iddq Testing. *IEEE International Test Conference (ITC)*, pages 405–414, 2001.
- [40] J. Machado da Silva. Low Power In Circuit Testing of a LNA. *IEEE Proceedings of the 11th International Mixed-Signal Testing Workshop (IMSTW)*, pages 206–210, 2005.
- [41] J. Machado da Silva. A low-power oscillation based LNA BIST scheme. *International Conference on Design and Test of Integrated Systems in Nanoscale Technology (DTIS)*, pages 268–272, 2006.
- [42] M. Negreiros, L. Carro, and A.A. Susin. A Statistical Sampler for a New On-Line Analog Test Method. *IEEE Proceedings of the conference on Design, Automation and Test in Europe (DATE)*, 19(5) :585–595, 2003.
- [43] M. Negreiros, L. Carro, and A.A. Susin. Towards a BIST Technique for Noise Figure Evaluation. *IEEE Proceedings of European Test Symposium (ETS)*, pages 122–126, 2004.
- [44] M. Negreiros, L. Carro, and A.A. Susin. Noise Figure Evaluation Using Low Cost BIST. *IEEE Proceedings of the conference on Design, Automation and Test in Europe (DATE)*, pages 158–163, 2005.
- [45] R. Nelsen. *An Introduction to Copulas*. Springer, 2006.

- [46] M. Onabajo, F. Fernandez, J Silva-Martinez, and E. Sanchez-Sinencio. Strategic Test Cost Reduction with On-Chip Measurement Circuitry for RF Transceiver Front-Ends An Overview. *IEEE Proceedings of Design Automation and Test in Europe Conference and Exhibition (DATE)*, pages 478–483, 2003.
- [47] J. Pineda de Gyvez, G. Gronthoud, and R. Amine. Vdd Ramp Testing for RF circuits. *IEEE Proceedings of the International Test Conference (ITC)*, pages 651–658, 2003.
- [48] J. Qin, C. Stroud, and F.F. Dai. FPGA-Based Analog Functional Measurements for Adaptive Control in Mixed-Signal Systems. *IEEE Transactions on Industrial Electronics*, 54(4) :1885–1897, 2007.
- [49] L. Rolindez. Technique d’auto test pour des convertisseurs de signal Sigma-Delta. *These INPG Grenoble*, 2007.
- [50] C. Roman, S. Mir, and B. Charlot. Building an analogue fault simulation tool and its application to MEMS. *IEEE Microelectronics Journal*, 34(10) :897–906, 2003.
- [51] J.Y. Ryu and B.C. Kim. A nauw design for built-in self test of 5GHz low noise amplifiers. *IEEE Proceedings of Systems-on-chip conference (SoC)*, pages 324–327, 2004.
- [52] J.Y. Ryu and B.C. Kim. Low Cost Testing of 5GHz Low Noise Amplifier Using New RF BIST Circuits. *Journal of Electronic Testing : Theory and Applications (JETTA)*, 21(6) :571–581, 2005.
- [53] J.Y Ryu, B.C. Kim, and I. Sylla. A New Low-Cost RF Built-In Self-Test Measurement for System-on-Chip Transceivers. *IEEE Transactions On Instrumentation and Measurement*, 55(2) :381–388, 2006.
- [54] G. Saporta. *Probabilités, Analyse de données et Statistiques*. Technip, 1990.
- [55] B.W. Silverman. *Density Estimation for Statistics and Data Analysis*. Chapman and Hall/CRC, 1986.
- [56] A. Soldo, A. Gopalan, P.R. Mukund, and R. Margala. A Current Sensor for On-Chip Non Intrusive Testing of RF Systems. *IEEE Proceedings of 17th International Conference on VLSI Design*, pages 1023–1026, 2004.
- [57] M. Soma. Challenges in Analog and Mixed-Signal Fault Models. *IEEE Circuits and Devices Magazine*, 12(1) :16–19, 1996.

- [58] H.G. Stratigopoulos, J. Tongbong, and S. Mir. A general method to evaluate RF BIST techniques based on non-parametric density estimation. *IEEE Proceedings of the conference on Design Automation and Test in Europe (DATE)*, pages 68–73, 2008.
- [59] S. Sunter and N. Nagi. Test Metrics for Analog Parametric Faults. *IEEE Proceedings of the 17th VLSI Test Symposium (VTS)*, pages 226–234, 1999.
- [60] J. Teixeira de Sousa, F. Goncalves, J.P. Teixeira, C. Marzocca, F. Corsi, and T.W. Williams. Defect Level Evaluation in a IC Design Environment. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 15(10) :1286–1293, 1996.
- [61] J. Tongbong, S. Mir, and J.L. Carbonero. Evaluation of test measures for LNA production testing using a multinormal statistical model. *IEEE Proceedings of the conference on Design Automation and Test in Europe (DATE)*, pages 731–736, 2007.
- [62] A. Valdès-Garcia, W. Khalil, B Bakkaloglu, J. Silva-Martinez, and E. Sanchez-Sinencio. Built-in-self test of RF transceiver SoCs : from signal chain to RF synthesizers. *IEEE Radio Frequency Integrated Circuits Symposium (RFIC) Symposium*, pages 335–338, 2007.
- [63] A. Valdès-Garcia, J. Silva-Martinez, and E. Sanchez-Sinencio. On-Chip Testing Techniques for RF Wireless Transceivers. *IEEE Design and Test of Computers*, 23(4) :268–277, 2006.
- [64] A. Valdès-Garcia, R. Venkatasubramanian, R. Srinivasan, J. Silva-Martinez, and E. Sanchez-Sinencio. A CMOS RF RMS Detector for Built-in Testing of Wireless Receivers. *IEEE Proceedings of the 23rd VLSI Test Symposium (VTS)*, pages 249–254, 2005.
- [65] R. Venkatasubramanian. High frequency continuous-time circuits and built in self test using cmos rms detector. *Master, Texas A&M University*, 2005.
- [66] Q. Wang and M. Soma. RF Front-end System Gain and Linearity Built-in Test. *IEEE Proceedings of the 24th VLSI Test Symposium (VTS)*, pages 228–233, 2006.
- [67] Q. Wang, Y. Tang, and M. Soma. GHz RF Front-end bandwidth time domain measurement. *IEEE Proceedings of the 22nd VLSI Test Symposium (VTS)*, pages 223–228, 2004.
- [68] C. Wegener and M.P. Kennedy. Test development through defect and test escape level estimation for data converters. *IEEE Journal of Electronic Testing : Theory and Applications (JETTA)*, 22(6) :313–324, 2006.
- [69] T.W. Williams and N.C. Brown. Defect Level as a Function of Fault Coverage. *IEEE Transactions on Computers*, pages 633–642, 1981.

- [70] C. Zhang, R. Gharpurey, and J.A. Abraham. Low cost RF receiver parameter measurement with on-chip amplitude detectors. *IEEE Proceedings of the 26th VLSI Test Symposium (VTS)*, pages 203–208, 2008.

Liste des publications de l'auteur

- J. Tongbong, A. Bounceur, S Mir and J.L. Carbonero. Evaluation of test measures for low-cost LNA production testing. *PhD Forum at 14th IFIP International Conference on Very Large Scale Integration (VLSI-SoC)*, Nice, France, October 2006, pages 48-52.
- J. Tongbong, S. Mir and J.L Carbonero. Evaluation of test measures for LNA production testing using a multinormal statistical model. *IEEE Proceedings of the conference on Design, Automation and Test in Europe (DATE)*, Nice, April 2007, pages 731-736.
- H. Stratigopoulos, J. Tongbong and S. Mir. A general method to evaluate RF BIST techniques based on non-parametric density estimation. *IEEE Proceedings of the conference on Design, Automation and Test in Europe (DATE)*, Munich, Germany, March 2008, pages 68-73.
- L. Abdallah, J. Tongbong, H.-G. Stratigopoulos and S. Mir. Alternate LNA testing using an envelope detector. *Journées GDR SoC-SiP*, Paris, France, Juin 2009.

CONCEPTION ET EVALUATION D'UNE TECHNIQUE DE BIST (AUTO-TEST) POUR AMPLIFICATEURS FAIBLE BRUIT RF (RADIO FRÉQUENCES)

Résumé :

Le test en production des circuits intégrés analogiques RF (Radio Fréquences) est coûteux aussi bien en ressources (équipement spécifique) qu'en temps. Afin de réduire le coût du test, des techniques de DfT (Design for Test) et d'auto test (BIST, Built-in-Self-Test) sont envisagées bien qu'actuellement inutilisées par l'industrie du semi-conducteur. Dans cette thèse, nous concevons et évaluons une technique d'auto test pour un amplificateur faible bruit (LNA, Low Noise Amplifier) RF. Cette technique utilise des capteurs intégrés pour la mesure du courant de consommation et de la tension en sortie du circuit à tester. Ces capteurs fournissent en sortie un signal basse fréquence. La qualité de la technique de BIST est évaluée en fonction des métriques de test qui tiennent compte des déviations du process et de la présence de fautes catastrophiques et paramétriques. Pour obtenir une estimation des métriques de test avec une précision de parts-par-million, un premier échantillonnage du circuit à tester est obtenu par simulation électrique Monte Carlo. Par la suite, un modèle statistique de la densité de probabilité conjointe des performances et des mesures de test du circuit est obtenu. Finalement, l'échantillonnage de ce modèle statistique nous permet la génération d'un million de circuits. Cette population est alors utilisée pour la fixation des limites de test des capteurs et le calcul des métriques. La technique d'auto test a été validée sur un LNA en technologie BiCMOS $0.25\mu\text{m}$, utilisant différents modèles statistiques. Une validation au niveau layout a été faite afin d'obtenir des résultats aussi proches que possible lors d'un test en production d'une population de circuits.

Mots clés : Auto test intégré, RF IC, LNA, capteur de courant, détecteur d'enveloppe, modélisation statistique, pertes de rendement, taux de défauts.

DESIGN AND EVALUATION OF A BIST TECHNIQUE FOR RF LNA

Abstract :

Production testing of Radio Frequency (RF) integrated circuits is costly due to the high cost of the test equipment and the long test times. In order to reduce this cost, DfT (Design-for-Test) and BIST (Built-in Self-Test) techniques are currently under research. However, these techniques are not yet considered by the Semiconductors Industry since their test quality is not fully demonstrated. In this thesis, the design and the evaluation of a BIST technique for RF Low Noise Amplifiers (LNAs) is considered. The BIST technique uses integrated sensors for measuring current consumption and output power of the LNA. The output of these sensors are DC or low frequency signals that can be treated with low-cost test equipment. The BIST quality is evaluated using test metrics that consider device process deviations, catastrophic and parametric faults. To obtain an estimate of test metrics with an accuracy of ppm (parts-per-million), a first sample of the LNA is obtained by Monte Carlo electrical simulation. Next, a statistical model of the joint probability density function of LNA performances and test measures is obtained. Finally, a million synthetic instances of the LNA is generated by sampling the statistical model. This large sample is used to set the test limits of the embedded sensors and for computing test metrics. The BIST technique has been validated for a ST Microelectronics $0.25\ \mu\text{m}$ BiCMOS LNA using different statistical models. The validation of the technique at the layout level has also been considered in order to get results as close as possible to the production test of a real LNA population.

Key words : BIST, DfT, RF IC, LNA, current sensor, envelope detector, statistical modelling, test metrics, yield, defect level.

Thèse préparée au laboratoire TIMA (Techniques de l'Informatique et de la Microélectronique pour l'Architecture des ordinateurs), INPG, 46 avenue Félix Viallet, 38031, Grenoble Cedex 1, France.

ISBN : 978-2-84813-143-6