



HAL
open science

Étude de la mobilité des porteurs dans des transistors MOS intégrant un oxyde de grille de forte permittivité et une grille métallique

Laurent Thévenod

► **To cite this version:**

Laurent Thévenod. Étude de la mobilité des porteurs dans des transistors MOS intégrant un oxyde de grille de forte permittivité et une grille métallique. Micro et nanotechnologies/Microélectronique. Institut National Polytechnique de Grenoble - INPG, 2009. Français. NNT: . tel-00476706

HAL Id: tel-00476706

<https://theses.hal.science/tel-00476706>

Submitted on 27 Apr 2010

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

INSTITUT POLYTECHNIQUE DE GRENOBLE

N° attribué par la bibliothèque

/-/-/-/-/-/-/-/-/

THESE

Pour obtenir le grade de

Docteur de l'Institut polytechnique de Grenoble

spécialité : Micro et Nano-électronique

Préparée à l'*Institut de Microélectronique, Electromagnétisme et Photonique*

Dans le cadre de l'Ecole Doctorale *Electronique, Electrotechnique, Automatisme et Traitement du Signal*

présentée et soutenue publiquement

par

Laurent THEVENOD

Le 09 Juillet 2009

**Étude de la mobilité dans des transistors
intégrant un oxyde de grille de forte
permittivité et une grille métallique**

Directeur de thèse : MOUIS Mireille, DR. CNRS

Co-Encadrant : CASSÉ Mikaël, DR. ING. CEA-LETI

JURY

M. Gérard GHIBAUDO,	DR. CNRS IMEP-LAHC/MINATEC	Président du jury
M. Jean-Luc AUTRAN,	PROF. UNIV. Aix-Marseille	Rapporteur
M. Michel HOUSSA,	PROF. UNIV. Leuven	Rapporteur
M. Abdelkader SOUIFI,	PROF. CNRS INSA-Lyon	Examineur
Mme Mireille MOUIS,	DR. CNRS IMEP-LAHC/MINATEC	Directrice de thèse
M. Mikaël CASSÉ,	DR. CEA-Leti/MINATEC	Co-encadrant

Mis en page avec la classe thloria.

Remerciements

Mes premiers remerciements iront aux membres du jury pour le temps qu'ils ont bien voulu investir dans la relecture de ce manuscrit : c'est pour moi un honneur d'avoir été jugé et évalué par Messieurs Jean Luc Autran et Michel Houssa. Je remercie également Monsieur Abdelkader Souifi pour sa participation active lors de ma soutenance ainsi que Monsieur Gérard Ghibaudo pour avoir accepté de présider ce jury de thèse.

Parmi les personnes qui ont joué un rôle important dans l'aboutissement de ce projet, je citerai en tout premier lieu Mikaël « Mike » Cassé, mon encadrant CEA durant ces 3 (voire 5) années de thèse : merci pour la confiance que tu m'as accordée, pour les nombreuses discussions scientifiques (ou non) que nous avons eues et pour le soutien « discret » mais toujours présent que tu m'as apporté lors de mes phases de doute. Je voudrais ensuite citer Messieurs Gilles Reibold et Fabien Boulanger, chefs respectifs du LCEE et LSCDP, pour m'avoir successivement accueilli au sein de leurs équipes : sans vous, cette page et les quelques 200 qui suivent n'existeraient pas. Je souhaite également remercier Madame Mireille Mouis, ma directrice de thèse au sein de l'IMEP-LAHC, pour son apport sur le plan scientifique (le remonte coulomb n'a plus de secret pour moi) mais aussi pour son aide administrative (ah, la galère de l'inscription en cinquième année !)

Mes remerciements vont ensuite au personnel du LSCDP, avec qui j'ai passé trois formidables années. Florent « Fluff » Rochette, mon co-bureau de MINATEC, embarqué dans la même « galère » que moi et avec qui les intenses réflexions scientifiques aboutissaient toujours aux plus improbables inventions : aujourd'hui encore, je reste abasourdi par la puissance créatrice émanant des cerveaux de deux jeunes chercheurs, ou comment révolutionner la vie de thésard avec un porte-manteau aimanté, un porte badge INFOS 2005 et une poubelle de bureau !!! Ces travaux « non publiables » nous auront valu, à défaut d'une renommée scientifique, de bonnes parties de rigolade. Xavier « Zavier » Garros, toujours prêt à faire la fête, sauf entre 20h et 22h : je ne compte plus les soirées où tu devais venir et où nous ne t'avons jamais vu ;-). Jérôme « Djé » Mitard, le champion toute catégorie de la mesure dynamique (merci pour ton aide) et l'homme qui est parvenu (bien involontairement) à me faire avoir mauvaise conscience... Ce fut en effet très perturbant d'arriver après toi à 8h et de repartir avant toi à 19h!!! Vincent « Vince » Vidal, pour ses... Nan, je peux pas te dire!!! Jean-Frédéric Guillaumond, toujours « trop ouf » ! François Mondon, mon premier co-bureau, qui m'a donné l'opportunité de me frotter à l'enseignement et avec qui j'ai beaucoup appris, la moindre interrogation se terminant toujours en cours magistral de plusieurs heures ! Alain, Fabienne, Charles, Luca, Cyril, Lucille, Denis, Jacques, l'ensemble des stagiaires et thésards qui m'ont précédés, accompagnés ou succédés (et en particulier Nada, Étienne, Lise et Virginie) ainsi que l'étage de simu.

Merci également au personnel du LNDE (toujours prompt à casser une ou deux jambes lors

de nos confrontations footballistiques) et en particulier à Gabriel « Gaby » Molas, dont l'humour très décapant aura toujours su me faire rire !

Au sein de l'IMEP, je tiens à remercier Wipa Chaisantikulwat, pour son savoir en magnéto-résistance, savoir qu'elle a bien voulu me transmettre : les résultats obtenus dans ce manuscrit grâce à cette technique sont un peu les tiens. Dans la même veine, je remercie également Martine Gri et ses doigts de fée, pour les nombreux dispositifs qu'elle a pris soin de câbler !

Au LCMI, je voudrais adresser ma reconnaissance à Duncan Maude pour m'avoir reçu au sein de son équipe et m'avoir permis de mettre en place des expériences audacieuses. Je remercie également Wilfried « Will » Desrat, pour sa bonne humeur lors des longues journées de manip' et pour avoir toujours accepté de venir faire le plein d'hélium sur la manip', y compris à 4h du mat' le samedi!!!

La thèse étant non seulement une expérience professionnelle très enrichissante mais aussi une expérience de vie parfois déroutante (surtout lorsqu'elle s'éternise plus que de raison...), ce projet n'a pu aboutir que grâce au soutien inconditionnel de mes amis. Parmi eux j'aurai une pensée pour les anciens de PG (Djen, Arthuro, Pef et la Truff) et plus particulièrement pour Ronron et ses (trop) nombreux apéros : tu auras tout tenté pour me faire perdre du temps et soutenir avant moi... Dommage, tu y étais presque... Marine, mon « coach », pour toutes les balades et les nombreux "buts" encaissés avec elle (à pied, en vélo ou au bout d'une corde), mes potes de la musique (Mon futur beau "Jim", Marcu, People et Reg', Charly et tous les autres...) et l'équipe des « Pourris Award » (Claire et Sam, Virginie, Lilou)...

Cette session de remerciements ne serait pas complète sans avoir une pensée pour toute ma famille et surtout pour mes parents qui, pour me soutenir, ont arrêté en fin de quatrième année de me demander toutes les semaines "alors, c'est pour quand la soutenance"!... Enfin, un immense merci à toi, Claire, qui a dû supporter au quotidien mes nombreuses remises en question et accepter les nombreux week-end et soirées "ratées" pour cause de rédaction : merci pour ton soutien et ta patience...

Et un grand merci à tous ceux que j'aurais bien involontairement mais inmanquablement oubliés !

A mon « Papy », qui aurait tant aimé pouvoir m'appeler « Docteur »...

Table des matières

I	Présentation générale de l'étude : contexte et théorie	1
1	L'évolution du transistor MOS dans le contexte microélectronique actuel	3
1.1	Historique de la filière CMOS	6
1.2	Structure et principe de fonctionnement du transistor MOS	8
1.3	L'industrie microélectronique aujourd'hui	9
1.3.1	Une omniprésence tentaculaire	10
1.3.2	Une capacité d'adaptation	10
1.3.3	Des performances et une miniaturisation sans cesse accrues	10
1.4	L'avenir du transistor MOS dans le contexte technologique actuel	12
1.4.1	Les limites de la loi de Moore	13
1.4.2	Franchir le mur ou le repousser ?	16
1.5	Problématique liée aux matériaux de forte permittivité	24
1.5.1	Définitions	24
1.5.2	Avantages liés aux matériaux de forte permittivité	25
1.5.3	limites technologiques des matériaux de forte permittivité	26
1.5.4	Positionnement du travail de thèse	30
1.6	Conclusion du chapitre	31
2	Le transistor MOS : fonctionnement électrique et mobilité	33
2.1	Caractéristiques électriques de l'empilement MOS	36
2.1.1	Diagramme de bandes de la structure MOS idéale	36
2.1.2	Détermination de la charge totale dans le semiconducteur	42
2.1.3	Etude approfondie du régime d'inversion	44
2.1.4	Modèle quantique du régime d'inversion	47
2.1.5	Détermination expérimentale de la caractéristique Capacité-Tension	54
2.1.6	Cas de la structure MOS utilisée dans cette étude	59

2.2	Caractéristiques électriques statiques du transistor MOS : courant de drain	75
2.2.1	Diagramme de bandes du transistor MOS en absence de polarisation de drain	75
2.2.2	Diagramme de bandes du transistor MOS en présence d'une polarisation de drain	78
2.2.3	Courant de drain en régime passant	79
2.2.4	Courant de drain en régime bloqué	83
2.3	Mobilité des porteurs dans le canal de conduction	84
2.3.1	Qu'est-ce-que la mobilité?	85
2.3.2	Les interactions limitant la mobilité dans les transistors MOS	87
2.4	Conclusion du chapitre	94

II Résultats expérimentaux de l'étude 95

1 Techniques expérimentales d'extraction de la mobilité dans les transistors

MOS 97

1.1	Mobilité effective et technique Split C-V	99
1.1.1	Technique Split C-V classique	99
1.1.2	Technique Split C-V pulsée	101
1.1.3	Les limites de la technique Split C-V	106
1.2	Mobilité magnétorésistance	108
1.2.1	Principe de la mesure	108
1.2.2	Système expérimental	110
1.2.3	Avantages de la technique magnétorésistance	111
1.3	Comparaison théorique entre les mobilités effective et magnétorésistance	113
1.4	Conclusion du chapitre	115

2 Influence de la grille métallique sur la mobilité 117

2.1	Mise en évidence du problème	119
2.2	Impact de la grille métallique sur la rugosité	120
2.2.1	Extraction de la mobilité limitée par la rugosité	121
2.2.2	Modélisation de la mobilité limitée par la rugosité	125
2.2.3	Origine possible de la modification de rugosité	129
2.3	Impact de la grille métallique sur les interactions coulombiennes	131
2.3.1	Protocole expérimental	132
2.3.2	Résultats de l'étude	132
2.4	Conclusion du chapitre	134

3	Influence de l'oxyde de forte permittivité sur la mobilité	137
3.1	Étude de la mobilité effective par Split C-V	140
3.1.1	Évolution de la mobilité à température ambiante	140
3.1.2	Étude de la mobilité additionnelle	145
3.1.3	Étude de la mobilité en température	147
3.1.4	Modélisation de la mobilité limitée par les interactions coulombiennes	149
3.2	Étude de la mobilité magnétorésistance	153
3.2.1	Évolution de la mobilité en fonction de divers paramètres	154
3.2.2	Analyses et interprétations	156
3.3	Rôle des phonons ?	158
3.3.1	Étude de la mobilité en température	159
3.4	Cas particulier des oxydes épais : influence des pièges	162
3.4.1	Principe de l'étude	162
3.4.2	Cas des oxydes fins	163
3.4.3	Cas des oxydes épais	164
3.4.4	Origine physique du piégeage	165
3.5	Conclusion du chapitre	167
	Conclusion générale et perspectives	169
	Annexes	175
	A Calcul du décalage de la tension de bandes plates en présence d'une charge fixe	175
A.1	Cas d'un oxyde monocouche	177
A.2	Cas d'un oxyde bicouche	179
	B Calcul de la mobilité	183
B.1	Introduction à la théorie du transport	185
B.2	Bases théoriques du calcul	186
B.2.1	Temps d'interaction et matrice d'interaction	186
B.2.2	Mobilité	189
B.3	Mobilité limitée par les interactions coulombiennes	191
B.3.1	Introduction	191
B.3.2	Théorie du calcul	192
B.4	Mobilité limitée par la rugosité des interfaces	196
B.4.1	Introduction	197

B.4.2 Théorie du calcul	197
Bibliographie	201
Bibliographie de l’auteur	213

Première partie

Présentation générale de l'étude :
contexte et théorie

Chapitre 1

L'évolution du transistor MOS dans le contexte microélectronique actuel

Le transistor MOS est à la base de l'industrie microélectronique et depuis plus d'un demi siècle, l'essor de ce secteur industriel est étroitement lié à la miniaturisation de cette brique élémentaire. Cependant, le début du XXI^{ème} marque un véritable tournant dans cette quête du « toujours plus petit » : des limites physiques infranchissables sont mises au jour, obligeant les chercheurs et les industriels à se tourner vers de nouvelles solutions pour poursuivre leur marche en avant. Mais cette révolution technologique n'est pas une sinécure et de nouveaux défis doivent être relevés. C'est dans ce contexte si particulier que s'est déroulé cette recherche. Ce premier chapitre aura donc pour objectif de positionner notre travail dans le questionnement scientifique du moment, en rappelant les enjeux actuels, les solutions techniques envisagées et les réponses à apporter aux problèmes émergents.

1.1	Historique de la filière CMOS	6
1.2	Structure et principe de fonctionnement du transistor MOS	8
1.3	L'industrie microélectronique aujourd'hui	9
1.3.1	Une omniprésence tentaculaire	10
1.3.2	Une capacité d'adaptation	10
1.3.3	Des performances et une miniaturisation sans cesse accrues	10
1.4	L'avenir du transistor MOS dans le contexte technologique actuel	12
1.4.1	Les limites de la loi de Moore	13
1.4.2	Franchir le mur ou le repousser ?	16
1.5	Problématique liée aux matériaux de forte permittivité	24
1.5.1	Définitions	24
1.5.2	Avantages liés aux matériaux de forte permittivité	25
1.5.3	limites technologiques des matériaux de forte permittivité	26

1.5.4	Positionnement du travail de thèse	30
1.6	Conclusion du chapitre	31

1.1 Historique de la filière CMOS

Le concept du transistor¹ est imaginé pour la première fois par Julius E. Lilienfeld dans les années 1920-1930. A cette époque, Lilienfeld jette les bases théoriques du transistor à effet de champ (FET pour *Field Effect Transistor*) en décrivant et en brevetant un système permettant de contrôler un courant électrique à partir d'une électrode d'entrée (appelée aujourd'hui électrode de grille) [Waldner 07]. Cependant, les connaissances techniques et technologiques de l'époque ne permettent pas à Lilienfeld de réaliser un transistor à effet de champ fonctionnel.

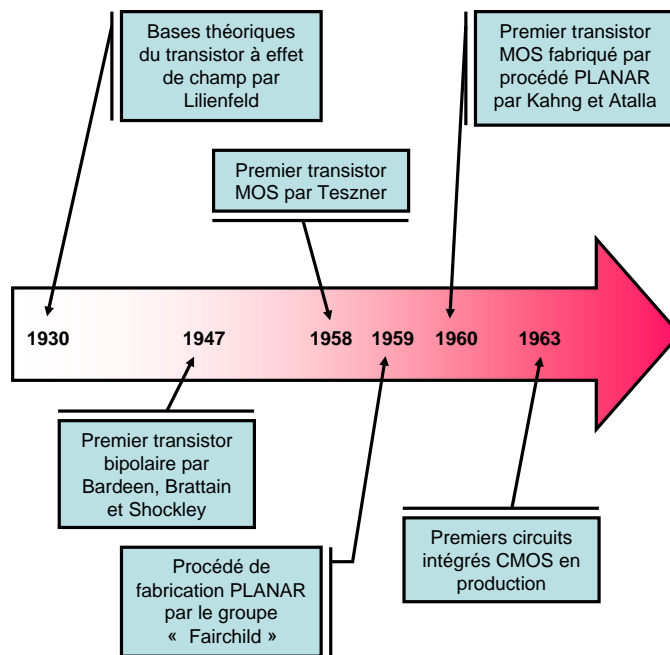


FIG. 1.1 – Échelle chronologique des principales dates dans l'invention du transistor : des bases théoriques aux premiers circuits logiques CMOS.

Ce n'est qu'en 1947 que le premier transistor est réalisé par Brattain, Bardeen et Shockley des laboratoires *Bell*. Il s'agit alors d'un transistor à jonctions, également appelé transistor bipolaire². Cette réalisation constitue la brique élémentaire de ce qui va devenir l'industrie du semiconducteur, l'une des industries technologiques les plus puissantes de la fin du XX^{ème} siècle. Dans un premier temps, le transistor bipolaire va révolutionner le monde des télécommunications en rendant obsolète les célèbres « postes à lampes » et leurs tubes à vide. Les nouvelles radios,

¹Signalons qu'à cette époque, le terme de transistor n'existe pas encore : il ne sera proposé qu'en 1948 par le laboratoire *Bell* et provient de la contraction des mots anglais *transconductance varistor*, pour résistance variable de transconductance.

²Le terme bipolaire provient du fait que ce type de transistor fonctionne en utilisant deux types de porteurs, les électrons et les trous, contrairement au transistor MOS.

fabriquées à partir de transistors³ sont beaucoup plus petites, plus légères et plus robustes, elles fonctionnent avec des tensions faibles (rendant l'alimentation par piles possible) et elles démarrent instantanément une fois mises sous tension, contrairement aux tubes électroniques qui demandaient une dizaine de secondes de chauffage.

A la fin des années 50, l'industrie des semiconducteurs prend un nouveau tournant, avec la mise au point des premiers circuits intégrés. Cette invention de J. Kilby (prix Nobel de physique en 2000) consiste en l'assemblage, au sein d'une même structure, de plusieurs transistors avec d'autres composants électroniques. Cette innovation permet à l'industrie des semiconducteurs de conquérir du terrain sur les autres formes d'électronique active, en particulier dans le domaine de l'informatique, qui n'en est alors qu'à ces balbutiements. A cette période, des géants de l'électronique moderne voient le jour en exploitant la filière des circuits intégrés, dont le plus célèbre demeure la firme américaine *INTEL* (pour **IN**Tegrated **E**lectronics).

La dernière grande évolution de l'industrie des semiconducteurs intervient au début des années 60 avec la mise en production des premiers transistors Métal-Oxyde-Semiconducteur à effet de champ (MOSFET) dans les circuits intégrés. Bien que le principe de transistor à effet de champ soit connu depuis les travaux de Lilienfeld, sa réalisation se heurtait jusqu'alors à des barrières technologiques infranchissables. En 1958, S. Tszner de la société française *Technitron* est déjà parvenu à réaliser le premier MOSFET mais les coûts de production et les faibles performances de ce transistor (en particulier, une forte instabilité des caractéristiques électriques liée aux charges dans l'oxyde) ne le rendent pas commercialisable. Pratiquement dans le même temps, un groupe de jeunes scientifiques de la future *Silicon Valley*, sponsorisé par S. Fairchild⁴, met au point le célèbre procédé de fabrication *PLANAR*, toujours utilisé dans l'industrie et qui permet alors de fabriquer des transistors à faible coût et en grande quantité [Moore 98]. Toutes les conditions sont alors réunies et en 1960, D. Kahng et M. Atalla réalisent le premier MOSFET possédant une structure proche des transistors actuels [Kahng 60]. Il faudra encore attendre quelques années et l'amélioration des procédés de fabrication pour voir l'apparition du MOSFET dans les circuits intégrés. Cette dernière étape représente alors une réelle révolution car elle permet d'une part de réaliser des circuits moins chers et fonctionnant avec moins d'énergie, et elle rend d'autre part possible une miniaturisation des circuits, ce qui constitue un enjeu économique et technique de taille toujours d'actualité. Enfin, la possibilité d'élaborer sur un même substrat des transistors duaux à « canal n » et à « canal p » ouvre la voie à la logique CMOS (pour *Complementary MOS*), véritable pilier des applications électroniques modernes

³Par métonymie, le terme « transistor » a d'ailleurs longtemps désigné ces récepteurs radio équipés de transistors.

⁴Notons que parmi ces scientifiques, nous retrouvons R. Noyce et G. Moore, co-fondateurs *INTEL*. Le second restera plus connu pour ses fameuses « Lois de Moore », sur lesquelles nous reviendrons dans la suite de ce chapitre.

(microprocesseurs...). Mais comment fonctionne ce transistor MOS ?

1.2 Structure et principe de fonctionnement du transistor MOS

La structure « moderne » d'un transistor MOS est schématisée sur la figure 1.2 dans le cas d'un transistor à canal d'électrons (nMOS)⁵. Il est constitué de quatre terminaux électriquement contrôlables : la grille, la source, le drain et la face arrière du substrat, également appelée *bulk*. La géométrie du transistor est imposée par différentes grandeurs caractéristiques. Les dimensions les plus importantes et auxquelles nous nous référerons par la suite sont la longueur de grille L_g , la profondeur de grille W et l'épaisseur d'oxyde t_{ox} .

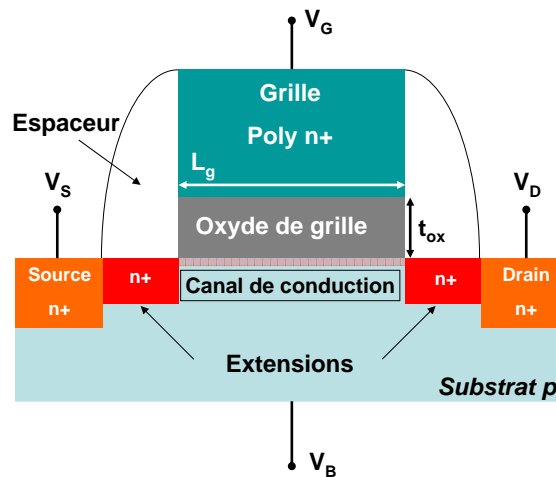


FIG. 1.2 – Architecture conventionnelle d'un transistor MOS à canal d'électrons

D'un point de vue électrique, le transistor MOS peut être vu comme une capacité MOS verticale (Grille/Isolant/Substrat) flanquée de part et d'autre du substrat d'une source et d'un drain afin de former une jonction *npn* horizontale (Source/Substrat/Drain)⁶. L'association de ces deux modules permet ainsi d'obtenir un système électrique dont le fonctionnement est communément comparé à un interrupteur commandé.

Un champ électrique vertical, contrôlé par la polarisation de grille, module la densité de porteurs libres dans le canal. Lorsque ce champ électrique devient suffisamment fort, un canal de conduction se forme entre la source et le drain. L'application d'une polarisation V_d ⁷ permet

⁵Le fonctionnement électrique du transistor à canal de trous (pMOS) étant identique, au signe près, à celui du nMOS, nous ne le détaillerons pas ici.

⁶L'étude électrique détaillée de la capacité MOS et celle de la jonction *npn* feront l'objet d'une partie du chapitre 2.

⁷Par convention, nous prendrons comme référence de potentiel l'électrode de source, de sorte que les polarisations V_d , V_b et V_g représentent respectivement les différences de potentiels drain-source, base-source et grille-source.

alors à un courant I_d de circuler entre la source et le drain. Le transistor commute donc d'un régime de fonctionnement bloqué (le champ vertical est insuffisant pour former le canal de conduction) à un régime passant (le champ vertical permet la création du canal de conduction), lorsque nous faisons varier la polarisation de grille. Le basculement d'un régime à l'autre est obtenu pour une polarisation de grille particulière appelée tension de seuil et notée V_t .

Ce principe de fonctionnement a permis au transistor MOS de s'imposer pour de multiples applications. Il est ainsi utilisé comme point-mémoire (ou *bit*) pour stocker et lire de l'information sous forme de zéros et de uns. On le retrouve également comme amplificateur dans certaines applications analogiques. Mais son utilisation principale intervient dans l'électronique numérique. Il y est l'élément de base des différentes fonctions logiques (portes *AND*, *OR*, *NAND*...) indispensables au traitement numériques des données. Pour ce type d'applications numériques, nous pouvons d'ailleurs distinguer deux sous catégories importantes :

- Celle des applications à haute performance (HP), comprenant principalement les micro-processeurs pour ordinateurs de bureau. Le paramètre crucial à optimiser est la vitesse de calcul, au détriment de la consommation énergétique (pertes par effet Joules, courant de fuite). Cette vitesse étant reliée à la fréquence de commutation du transistor, elle même proportionnelle au courant de drain, les industriels tentent donc de maximiser la valeur I_{on} du courant de drain en régime passant dans ce genre dispositifs.
- Celle des applications à basse consommation (BC), regroupant la plupart des appareils mobiles : téléphone, ordinateur portable... Le facteur clé à optimiser est l'autonomie des appareils, quitte à réduire la puissance de calcul disponible. Cette autonomie dépendant des pertes énergétiques lorsque le système est en veille, les industriels cherchent donc à minimiser la valeur I_{off} des courants de fuite lorsque le transistor est en régime bloqué.

En pratique, nous verrons par la suite que cette optimisation du rapport I_{on}/I_{off} passe par une augmentation de la densité de transistors par puce et une réduction des dimensions du transistor.

1.3 L'industrie microélectronique aujourd'hui

Grâce à son fonctionnement simple, son large spectre d'utilisation et sa fabrication peu coûteuse, le transistor MOS a permis à l'industrie microélectronique de devenir l'une des places fortes de l'économie mondiale. Ainsi, en 2006, le marché mondial des semiconducteurs a engendré un chiffre d'affaire de près de 250 milliards de dollars, ce qui la place devant des industries comme l'aéronautique ou la défense. Les économistes envisagent même une poursuite de cette vertigineuse croissance, avec un chiffre d'affaire dépassant les 300 milliards de dollars en 2008 [Sitelesc 06]. Le maintien de cette position dominante, elle le doit à plusieurs paramètres fondamentaux de réussite.

1.3.1 Une omniprésence tentaculaire

Bien que confinés à leurs débuts à des applications spécifiques, les semiconducteurs ont réussi à rapidement conquérir des populations et des secteurs d'applications divers et variés : défense et sécurité, aéronautique, automobile, informatique, télécommunications... Ainsi, les produits dérivés de la microélectronique remplissent notre vie quotidienne, à tel point qu'ils influencent profondément nos relations sociales et nous permettent de garder une « connection » quasi permanente avec le monde qui nous entoure, parfois même sans que nous nous en apercevions : objets communicants, Internet, téléphonie mobile et baladeurs numériques, GPS... Cette omniprésence fait de l'industrie des semiconducteurs un partenaire central et indispensable à un très grands nombres d'autres industries utilisant ses produits comme matières premières et constitue un réel pouvoir économique.

1.3.2 Une capacité d'adaptation

Même si l'industrie des semiconducteurs a connu diverses crises ponctuelles au cours de son histoire, elle a toujours su se relever grâce à sa capacité d'innovation et son adaptation aux besoins du marché. Tout d'abord centrée sur son cœur de métier et les composants à base de silicium (transistors...), elle a très vite diversifié ses activités à d'autres domaines technologiques afin de se mettre à l'abri des crises économiques. Aujourd'hui, l'industrie des semiconducteurs est d'ailleurs portée par le boom des applications mobiles et audio-visuelles (caméscope, appareils photos et baladeurs numériques, GPS...) et l'intérêt croissant pour les énergies renouvelables. Ces applications font appel aux développements technologiques les plus récents dans le domaine des mémoires, de l'optoélectronique ou des cellules photovoltaïques, de sorte que ces nouveaux secteurs de l'industrie microélectronique permettent de soutenir d'autres secteurs plus en difficulté. Cette diversité et cette polyvalence assurent ainsi une certaine pérennité à l'industrie des semiconducteurs.

1.3.3 Des performances et une miniaturisation sans cesse accrues

La réussite de l'industrie microélectronique repose enfin sur sa capacité à proposer des composants toujours plus performants en terme de vitesse, de prix ou encore de consommation électrique, afin de répondre à la demande croissante du grand public. Pour tenir ces objectifs, les industriels se sont appuyés jusqu'à présent sur un concept technologique simple qui consiste à augmenter la densité de transistors par composant pour en améliorer les performances. En effet, l'ensemble de l'électronique numérique moderne est fondée sur la technologie CMOS, l'association judicieuse d'un transistor nMOS avec un transistor pMOS permettant de réaliser toutes les opérations de la logique booléenne. Il apparaît alors comme évident que l'augmentation du nombre de ces portes logiques par puce permet d'augmenter le nombre d'opérations réalisées et

du même coup, les performances du composant.

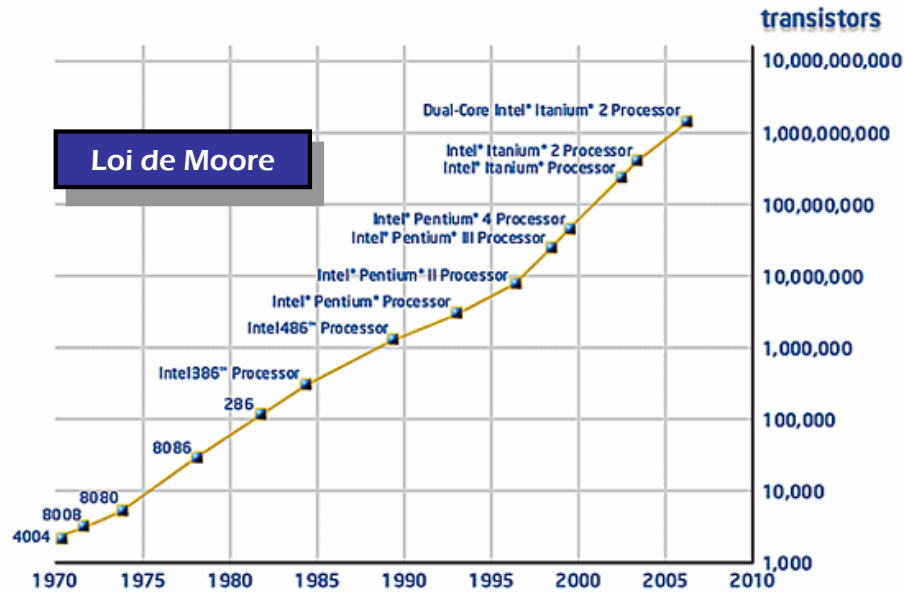


FIG. 1.3 – Illustration de la Loi de Moore (données INTEL)

• La Loi de Moore

Cette ligne de développement a été très rapidement identifiée et dès 1965, G. Moore quantifiait cette course à l'intégration par la désormais célèbre « Loi de Moore » [Moore 65]. Cette loi repose sur une constatation empirique et stipule que pour avoir une croissance optimale du secteur des semiconducteurs, la densité de transistors par puce se doit de doubler tous les 24 mois, à coût de production constant⁸. Depuis cette date, les industriels se sont donc évertués à suivre cette loi et cette prédiction s'est d'ailleurs révélée étonnamment exacte puisqu'entre 1971 et 2001, la densité des transistors a effectivement doublé chaque 1,96 année! Un exemple illustrant cette loi pour les microprocesseurs est donné sur la figure 1.3.

• La réduction des dimensions du transistor

Il va sans dire que la densité de composants ne peut être augmenté que si dans le même temps, les dimensions de chaque transistor constituant ce circuit sont réduites. Cependant, cette réduction ne peut se faire de manière chaotique et elle doit respecter certaines règles dites de

⁸Signalons ici qu'un léger raccourci historique a été réalisé. En réalité, la « première loi de Moore » énoncée en 1965 prédit un doublement du nombre de *circuits intégrés* par puce tous les 18 mois. Ce n'est qu'en 1975 que G. Moore réévaluera sa prédiction en énonçant la « seconde loi de Moore », qui prévoit un doublement de la densité de transistors par puce tous les 24 mois. C'est cette seconde version qui demeure la plus connue.

scaling afin de conserver les caractéristiques électriques du composant d'une génération à l'autre. Ces règles ont été énoncées pour la première fois en 1974 par Dennard *et al.* [Dennard 74]. Elles imposent une réduction des dimensions du transistor avec conservation des champs électriques internes. Cette réduction de paramètres entraîne une amélioration intrinsèque des performances du transistor (à titre d'exemple une réduction de la longueur du canal d'un facteur k réduit d'autant le temps de commutation du transistor de l'état bloqué à l'état passant, ce qui constitue en soi un gain de performance), de sorte que cette miniaturisation, envisagée dans un premier temps pour gagner en performance en augmentant la densité de composants par puce, permet en réalité de gagner doublement puisque les performances intrinsèques de chaque transistor sont décuplées⁹. Notons également que les règles précitées ne sont pas les seules utilisées et que d'autres règles de réduction d'échelle (réduction à tension constante par exemple) existent, permettant d'optimiser certains paramètres du transistor pour des applications spécifiques (réduction du courant de fuite I_{off} pour les applications basse consommation...). Aujourd'hui, les industriels utilisent d'ailleurs des règles de *scaling* mixtes pour la plupart des applications.

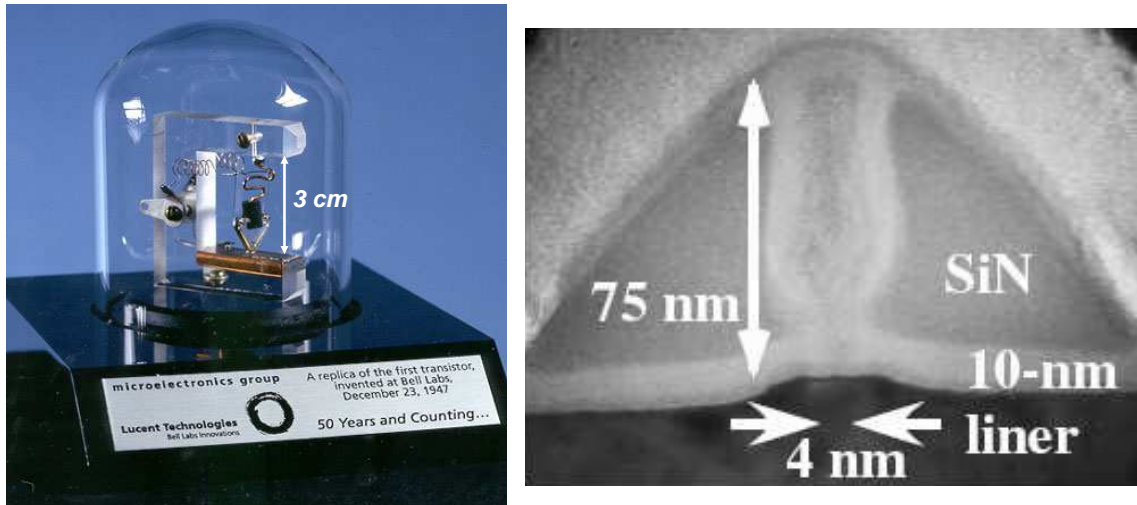
Fortes de ces règles et stimulées par le challenge proposé par la loi de Moore, l'industrie du semiconducteur n'a donc jamais cessé d'accroître les performances des circuits qu'elle produit, réduisant d'autant les dimensions des transistors qui les constituent. Afin d'établir des objectifs communs, les principaux acteurs de ce secteur éditent régulièrement une feuille de route, ou *Roadmap*¹⁰. Elle définit les principaux critères de performance à atteindre dans divers domaines (gravure, architecture des dispositifs, interconnexions...) et pour diverses applications (mémoires, microprocesseurs...) mais aussi les défis technologiques à relever pour pousser la miniaturisation du transistor jusqu'à ses limites ultimes. Cette course à la miniaturisation est symbolisée par la figure 1.4.

1.4 L'avenir du transistor MOS dans le contexte technologique actuel

L'avenir de la microélectronique en général et du transistor MOS en particulier repose sur la capacité des industriels et des chercheurs à faire perdurer cette course à l'intégration et à la miniaturisation. Si, jusqu'à présent, les défis technologiques successifs ont toujours été relevés, permettant ainsi de conserver une ligne directrice de développement fondée sur une « simple » réduction des dimensions du transistor MOS, il apparaît que le début du XXI^{ème} siècle marque

⁹En réalité, le gain de performances lié à la miniaturisation du transistor n'est vrai que pour des transistors longs. Pour des transistors submicroniques, des phénomènes parasites apparaissent et ne permettent plus d'obtenir un gain substantiel : courant de fuite à travers l'oxyde...

¹⁰La dernière mise à jour date de 2006. Elle est disponible sur le site web de l'*International Technology Roadmap for Semiconductors*.



(a) Réplique du premier transistor réalisé par Bardeen, Brattain et Shockley en 1947.

(b) Transistor MOS fonctionnel parmi les plus courts de la littérature, avec une longueur de grille de 4nm environ [Wakabayashi 03].

FIG. 1.4 – Évolution des dimensions du transistor, de son invention à nos jours. Les progrès technologiques réalisés par l'industrie microélectronique ont permis de diviser par un million la taille du transistor et d'augmenter de presque autant la densité d'intégration de cette brique élémentaire dans les circuits intégrés.

un profond changement dans cette approche.

1.4.1 Les limites de la loi de Moore

Depuis plusieurs années maintenant, les jalons technologiques imposés par la *Roadmap* ont de plus en plus de mal à être validés par les industriels et les chercheurs. Cette incapacité à poursuivre une miniaturisation des dispositifs microélectroniques est liée à diverses raisons concourantes, et ce à tous les niveaux de la recherche et du développement. Parmi ces points bloquants, nous pouvons citer l'impossibilité qu'ont les chercheurs à proposer de nouvelles orientations techniques ou encore la difficulté pour les technologues à mettre en place certaines solutions dans des délais compatibles avec les demandes du marché. Aujourd'hui, la plus grande préoccupation industrielle réside dans la rentabilité douteuse des futures générations de produits microélectroniques basés sur le transistor massif classique. En effet, les coûts de développement pour passer d'un nœud technologique¹¹ à un autre se chiffrent aujourd'hui en dizaines de milliards de dollars, de sorte que les gains financiers engendrés par cette hausse de performance ne suffisent plus à

¹¹Un nœud technologique représente ici la demie distance entre deux points mémoires voisins d'une DRAM (*Dynamic Random Access Memory*).

couvrir ces coûts. Cet état de fait est totalement nouveau dans un secteur industriel jusqu'alors très largement bénéficiaire. Cette nouvelle donne économique oblige ainsi l'industrie microélectronique à se restructurer en profondeur. Dans ce sens, les acteurs de cette branche (industries et laboratoires) n'hésitent plus à « s'accocier » pour réduire les coûts de développement et de production. A l'heure actuelle, les exemples de ce type d'alliance sont légions dans le monde : le partenariat *ST Microelectronics/NXP/Freescale/CEA-Léti* dans le bassin grenoblois¹², celui entre *IBM* et *Freescale* dans l'état de New York ou encore la collaboration *IMEC/Philips* en Belgique.

Afin de mettre en évidence ces difficultés, nous avons compilé dans le tableau 1.1 quelques spécifications imposées par l'ITRS 2006 et en rapport avec notre problématique de recherche pour les transistors MOS sur silicium massif. Il en ressort que pour l'année 2009, il n'existe pas encore de solutions pour atteindre les spécifications requises. Nous constatons même que pour les applications basse consommation, cette barrière technologique pourrait intervenir dès 2008 ! Cet exemple illustre de manière criante les difficultés à relever pour réaliser de tels dispositifs.

Nœud Technologique	Année de Production	Epaisseur d'oxyde (nm)		Densité de courant à travers la grille (A/cm ²)	
		HP	BC	HP	BC
65 nm	2007	1.1	1.9	8.00×10^2	2.20×10^{-2}
57 nm	2008	1.0	1.6	1.10×10^3	2.70×10^{-2}
50 nm	2009	0.9	1.5	1.18×10^3	3.10×10^{-2}
45 nm	2010	0.65	1.4	1.56×10^3	3.60×10^{-2}
40 nm	2011	0.5	1.4	2.00×10^3	4.80×10^{-2}
36 nm	2012	0.5	1.3	2.43×10^3	7.30×10^{-2}
32 nm	2013	X	1.2	X	1.10×10^{-1}

	Solutions technologiques connues et en production
	Solutions technologiques connues mais à optimiser pour une mise en production
	Aucune solution technologique connue

TAB. 1.1 – Quelques spécifications extraites de l'ITRS 2006 pour les transistors PLANAR destinés aux applications hautes performances (HP) et basse consommation (BC). Il ressort de ce tableau qu'à court terme, aucune solution technologique n'est envisageable pour répondre au cahier des charges proposé par l'industrie microélectronique.

Pour les applications hautes performances, l'ITRS réclame un oxyde de silicium dont l'épaisseur avoisine les $0.6nm$ à l'horizon 2010, soient quatre couches d'oxyde seulement. La réalisation

¹²Signalons que ce partenariat arrivera à son terme fin 2007 et sera remplacé par une alliance *ST Microelectronics/IBM* en 2008.

d'un oxyde aussi fin et présentant une bonne conformité sur l'ensemble de sa surface impose une maîtrise technologique irréaliste. En outre, une étude publiée dans *Nature* par Muller *et al.* [Muller 99] émet de sérieux doutes quant au caractère isolant d'une couche de silice aussi fine. D'après leurs travaux, de l'oxyde de silicium « parfait » doit avoir une épaisseur supérieure à 0.7nm pour jouer son rôle d'isolant. Lorsque cette couche d'oxyde possède une rugosité non nulle, cette limite remonte alors à 1.2nm . Ce constat soulève d'ailleurs un second problème pour les applications basse consommation, qui réclament de très faibles courants de grille pour satisfaire aux spécifications industrielles. Ainsi, aux épaisseurs visées, les oxydes actuels présentent des courants de fuite bien supérieurs à ceux donnés par la *Roadmap*. Ces valeurs sont rédhibitoires pour les applications portables basse consommation, comme l'illustre d'ailleurs la figure 1.5, ou encore pour les mémoires, dont la durée de rétention des informations est directement reliée à ces courants de fuite.

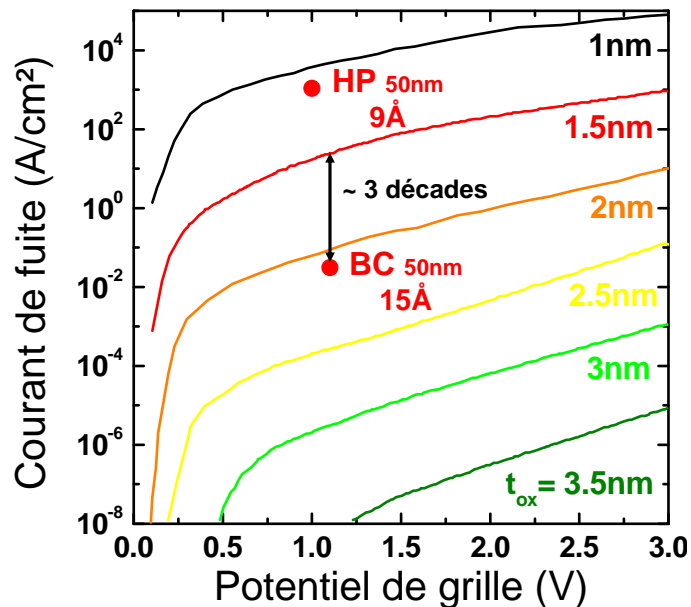


FIG. 1.5 – Évolution du courant de fuite à travers l'oxyde de silicium en fonction de la polarisation de grille [Lo 97]. Sur cette figure, nous avons ajouté les points de fonctionnement imposés par l'ITRS pour le nœud 50nm. En particulier, les applications basses consommations (BC) devront présenter en 2009 un courant de fuite inférieur à $3.1 \times 10^{-2} A/cm^2$ pour un oxyde de 1.5nm seulement. Cette densité de courant est trois décades en dessous des courants calculés sur les oxydes ultra-fins actuels, ce qui met en évidence les problèmes de consommation pour les applications mobiles.

Cette incapacité à proposer des solutions concrètes pour résoudre les problèmes technologiques des futures générations de dispositifs constitue une première dans le monde de la micro-

électronique. Ces limites sont communément appelées « *the Wall* » par les industriels et ont amené G. Moore à envisager la fin de sa fameuse loi d'ici dix à quinze ans!¹³ Cette constatation ne fait que confirmer une situation prévisible puisque le *scaling* se base sur une réduction d'échelle et se heurte donc tôt ou tard à des limites physiques infranchissables.

Ces limites apparentes ne doivent cependant pas freiner les attentes toujours plus grandes du marché des semiconducteurs. Ainsi, l'industrie microélectronique se voit aujourd'hui confrontée à de nouveaux défis qu'elle devra relever en faisant appel à tout son savoir faire et en proposant une alternative solide à la simple loi du *scaling*. A ce jour, deux tendances émergent pour répondre à ce défi, communément regroupées sous les anglicismes « *More Moore* » et « *More Than Moore* ».

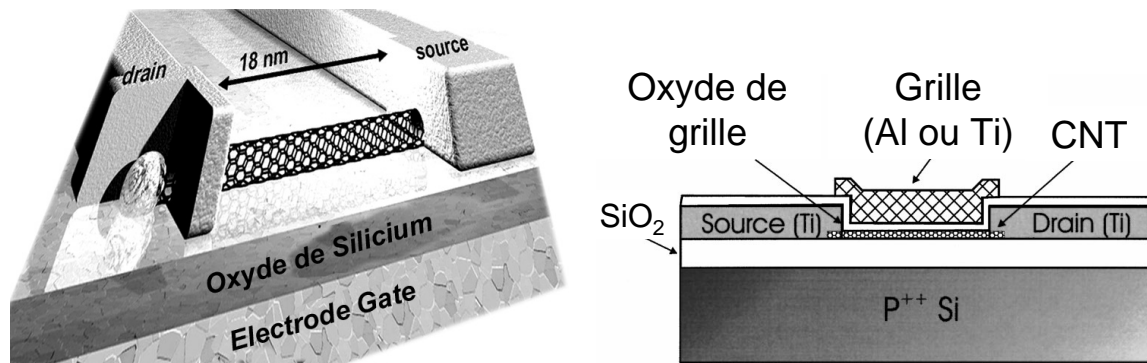
1.4.2 Franchir le mur ou le repousser ?

• *More than Moore : la rupture*

De ces deux approches, la plus radicale consiste à abandonner le transistor traditionnel à canal de silicium et à s'orienter vers des technologies en rupture s'appuyant sur des concepts totalement nouveaux. Parmi les nouvelles voies explorées, la plus prometteuse semble être celle du transistor à effet de champ à nanotube de carbone (CNFET) qui consiste à utiliser un nanotube semiconducteur comme canal électronique entre la source et le drain. Les premiers CNFETs fonctionnels datent de la fin des années 90 et utilisent le substrat comme électrode de grille [Tans 98] (une représentation de ce type de dispositif est proposée en figure 1.6(a)). Cependant, cette architecture présente trop d'inconvénients par rapport aux dispositifs traditionnels : forte tension d'alimentation liée à l'oxyde épais, incapacité à contrôler indépendamment chaque transistor... Malgré des améliorations certaines apportées au début des années 2000 [Bachtold 01], ces structures à grille « enterrée » demeurent trop limitées pour espérer rivaliser avec le transistor MOS.

La solution la plus aboutie a été présentée par *IBM* en 2002 [Wind 02] avec des CNFETs à grille déposée. Comme le montre la figure 1.6(b), ce type de dispositif présente une structure similaire à celle d'un transistor MOS conventionnel, en remplaçant le canal de silicium par un nanotube de carbone. Le courant circulant entre la source et le drain est contrôlé par la grille déposée sur l'oxyde de grille recouvrant le nanotube. L'avantage de cette structure par rapport aux précédentes est qu'elle permet de réaliser à la fois des nMOS et des pMOS isolés, condition indispensable à la technologie CMOS. En outre, la faible épaisseur d'oxyde de grille permet un excellent contrôle électrostatique du canal avec des tensions d'alimentation acceptables. Au final, les performances de ces CNFETs sont similaires à celles d'un transistor classique (gain, rapport I_{on}/I_{off}) voire parfois supérieures : fréquence de commutation de l'état passant à l'état bloqué

¹³L'ensemble de l'interview de G. Moore sur ce sujet, réalisée lors de l'*INTEL Developer Forum* de septembre 2007 est consultable sur le site de la compagnie.



(a) Transistor à effet de champ à nanotube de carbone avec électrode de grille enterrée (d'après J.-B. Waldner [Waldner 07]).

(b) Transistor à effet de champ à nanotube de carbone avec électrode de grille déposée (d'après Wind [Wind 02]).

FIG. 1.6 – Schéma de différents transistors à effet de champ à nanotube de carbone. Ces structures s'apparentent, dans leur fonctionnement, à un transistor à effet de champ traditionnel : le courant circulant à travers le nanotube entre la source et le drain est contrôlé par la polarisation appliquée sur la grille. Ce type de structure présente le gros avantage de pouvoir réaliser des transistors aux dimensions jamais atteintes avec des transistors classiques.

très élevée¹⁴, forte mobilité des porteurs liée au transport unidimensionnel dans le nanotube...

Ces performances très prometteuses sont hélas obtenues de manière ponctuelle et ne doivent en aucun cas faire oublier que la reproductibilité à grande échelle de CNFETs est irréaliste avec les moyens technologiques actuels, et ce pour deux raisons principales. La première provient du fait que les transistors à base de nanotubes sont aujourd'hui réalisés à partir de nanotubes déposés aléatoirement sur une surface, repérés un par un par microscopie à force atomique (AFM), puis connectés¹⁵. La seconde est liée à la synthèse même de ces nanotubes : les méthodes actuelles ne permettent pas de fabriquer une poudre composée uniquement de tubes semi-conducteurs, qui sont les seuls à avoir un intérêt dans la réalisation d'un transistor¹⁶. Ces deux contraintes imposent une fabrication « à l'unité » de ces transistors, parfaitement incompatible avec une industrialisation du procédé. Des progrès restent donc à faire avant que les CNFETs puissent

¹⁴Mentionnons par exemple que des temps de commutation jusqu'à 30GHz ont récemment été obtenus par les équipes du CEA Saclay et de l'Institut d'Électronique, de Microélectronique et de Nanotechnologie de Villeneuve d'Ascq [Le Louarn 07].

¹⁵Signalons qu'une technique de croissance auto-organisée des nanotubes sur des zones prédéfinies a été mise au point par le CEA. Un exemple de cette technique est présenté sur le site web de la DRECAM.

¹⁶Rappelons ici que les nanotubes de carbone présents dans cette poudre possèdent de façon aléatoire un caractère semiconducteur ou métallique, déterminé par l'angle de torsion induit dans le tube. Plus l'angle de torsion est grand, plus ces tubes ont des propriétés proches de celles des semiconducteurs. Dans le cas contraire, ils auront des propriétés métalliques, permettant de les utiliser comme nanofils conducteurs.

rivaliser avec les dispositifs actuellement en production.

Au delà de ces transistors à nanotubes de carbone, d'autres approches plus révolutionnaires encore sont envisagées, en particulier dans le domaine de l'électronique numérique. Les chercheurs tentent ainsi de remplacer les transistors constituant les systèmes logiques par d'autres composants ayant les mêmes fonctions binaires¹⁷. Pour être compétitifs, ces nouveaux dispositifs devront permettre d'augmenter la densité d'intégration de composants par puce par rapport aux transistors classiques (donc être plus petits) et fonctionner à des cadences plus élevées (ce qui signifie grossièrement que le passage d'un état à l'autre devra se faire plus rapidement que sur un transistor MOS). Parmi les candidats les plus sérieux, citons par exemple l'électronique moléculaire, où la fonction binaire est obtenue à partir de deux conformations différentes d'une molécule, celle-ci basculant d'un état binaire à l'autre sous l'effet d'une contrainte extérieure (pression, lumière, température...) contrôlée. Cependant, bien que ce type de système présente l'avantage d'être extrêmement rapide, de nombreux problèmes subsistent aujourd'hui pour réaliser des interconnexions entre différentes molécules et réaliser des portes logiques indispensables aux applications électroniques. Une autre voie de recherche tout aussi ambitieuse repose sur l'électronique de spin. Dans cette approche, les deux états de spin de l'électron permettent de réaliser les deux niveaux logiques 0 et 1, le basculement de l'un vers l'autre étant obtenu par excitation lumineuse. Ce type de système présente le double avantage d'être d'une rapidité inégalable (temps caractéristique de basculement de l'ordre de la femtoseconde) pour une consommation énergétique minimale (ce qui limite les échauffements par effet Joules et permet d'augmenter la densité d'intégration).

Ces nouveaux secteurs de recherche proposent également des solutions intéressantes dans le domaine des mémoires électroniques. L'objectif est ici de remplacer les mémoires traditionnelles sur silicium par des systèmes moléculaires ou quantiques permettant de stocker de l'information numérique, c'est-à-dire sous forme de bits dont l'état varie de 0 à 1. Parmi les différentes possibilités envisagées par les chercheurs, l'une des plus abouties est celle consistant à réaliser des mémoires moléculaires à partir de rotaxanes¹⁸ [Green 07]. Dans ce type de mémoire, chaque bit est constitué d'une molécule de rotaxane dont l'état est modifié par l'application d'un potentiel électrique. L'état de ce bit est lu en mesurant la conductivité au niveau du point mémoire : forte conductivité, le bit vaut 1, faible conductivité, il vaut 0. Le schéma et le principe de fonctionnement d'un tel bit moléculaire sont représentés sur la figure 1.7. En plaçant ces bits moléculaires en chaque nœud d'un réseau électrique, les chercheurs ont atteint la densité d'intégration record de $100\text{Gbits}/\text{cm}^2$: une telle performance permet de satisfaire les spécifications de la *Roadmap*

¹⁷Pour mémoire, les systèmes numériques fonctionnent à partir de la logique binaire. L'information est codée sous forme de 0 et de 1 obtenus grâce à l'état électrique de transistors MOS : lorsque le transistor est passant, un courant électrique circule et l'état du système vaut 1 ; lorsqu'il est bloqué, son état est à 0.

¹⁸Les rotaxanes sont des molécules constituées d'une partie mobile circulaire se déplaçant autour d'un axe fixe.

jusqu'en 2020 pour les applications RAM (*Random Access Memory*)!

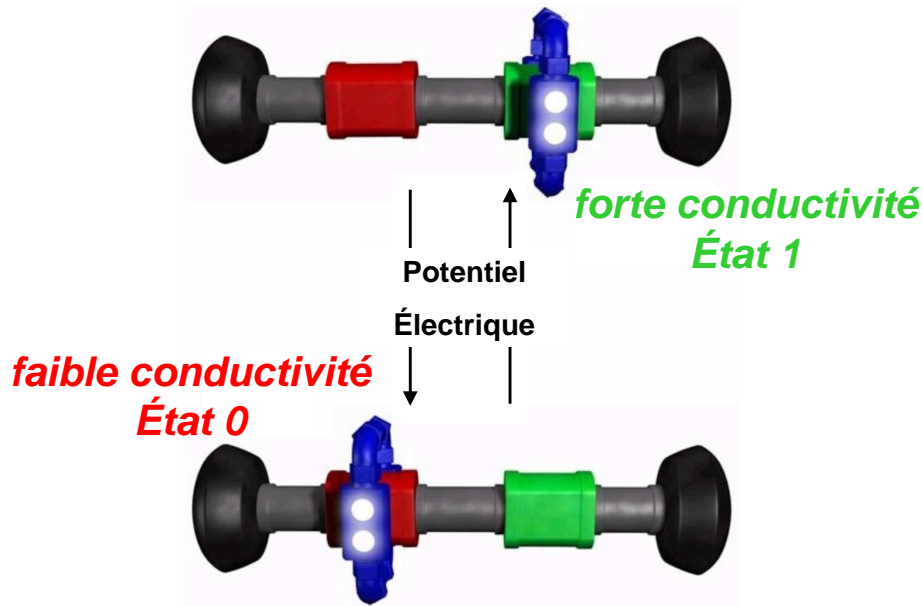


FIG. 1.7 – Exemple d'un bit moléculaire réalisé à partir d'un rotaxane (d'après les travaux réalisés par les équipes de Caltech et UCLA). Sous l'effet d'un champ électrique, la partie mobile de la molécule (en bleu sur la figure) peut commuter d'un site de stockage à l'autre (en vert et en rouge sur le schéma), situés sur la partie fixe de la molécule.

Les travaux que nous venons de mentionner ouvrent des perspectives particulièrement réjouissantes pour l'électronique du futur (ordinateurs quantiques ou moléculaires, nano-objets communicants...). Malgré cela, ce type de dispositifs ne peut en aucun cas être une solution à court terme et combler les lacunes du transistor MOS sur silicium dans un avenir proche. Les difficultés technologiques à résoudre pour produire ces objets à une échelle industrielle font que la plupart des réalisations évoquées ci-dessus n'entreront pas en production avant plusieurs années voire décennies et demeurent à ce jour des « bêtes de laboratoire ». Pour faire le lien entre la fin du transistor sur silicium massif et une nouvelle ère entrevue par la recherche sur les nanostructures, d'autres solutions applicables à court terme doivent être trouvées. C'est selon cet axe que s'oriente la seconde voie de développement en microélectronique.

- **More Moore : repousser les limites**

A défaut de pouvoir proposer des solutions en rupture dans un délai raisonnable, les industriels tentent aujourd'hui de repousser les limites physiques imposées par la réduction d'échelle en usant de divers subterfuges. Dans ce but, différents leviers technologiques sont utilisés pour améliorer les performances des dispositifs sans avoir à en réduire les dimensions. En pratique,

trois approches existent, que nous allons détailler ci-dessous.

Améliorer le design des systèmes microélectroniques Depuis les débuts de l'électronique et les premières règles de réduction d'échelle, les industriels et les chercheurs ont toujours tenté d'améliorer les systèmes microélectroniques en optimisant et en miniaturisant leurs transistors constitutifs. Si cette solution s'est révélée hautement efficace pour des composants simples intégrant un petit nombre de transistors, elle se montre très limitée pour des systèmes en comportant plusieurs milliards : les gains obtenus sur les transistors sont fortement entamés par les pertes dues à l'environnement des dispositifs, et plus particulièrement celles liées aux multiples interconnexions entre transistors. Un exemple flagrant est celui de la fréquence de fonctionnement des circuits microélectroniques. Longtemps gouvernée par le délai intrinsèque de commutation du transistor, elle est aujourd'hui dépendante du temps de propagation dans les lignes d'interconnexion. La mise au point des futures générations de circuits passe donc par une prise en compte plus fine de ces interconnexions et par une optimisation de leurs caractéristiques. De nombreux travaux de recherche allant dans cette direction ont déjà permis des améliorations significatives des lignes d'interconnexions : utilisation du cuivre, moins résistif, en remplacement de l'aluminium pour réduire les dissipation énergétiques, amélioration des techniques de lithographie afin d'accroître la densité d'intégration des interconnexions... A ce jour, de nombreux efforts sont également portés sur les matériaux à faible permittivité (dits « *low κ* ») et sur les matériaux poreux, dans le but d'augmenter la fréquence de fonctionnement des circuits microélectroniques¹⁹. Une autre voie de développement très en vogue est l'approche dite « circuit ». Son objectif est de partir d'une fonction électronique voulue et d'optimiser en priorité le design du circuit permettant d'obtenir cette fonction. Cette approche est particulièrement intéressante car elle repose sur une optimisation informatique du circuit à partir de logiciels de conception et ne nécessite pas la réalisation coûteuse de dispositifs microélectroniques.

Utiliser de nouvelles architectures Historiquement, l'architecture classique du transistor MOS est celle du transistor sur silicium massif, représentée sur la figure 1.2. Jusqu'à présent, les technologues se sont contentés d'optimiser cette structure pour améliorer les performances des dispositifs. Aujourd'hui, cette voie de développement commence à montrer ses limites et de nouvelles architectures voient le jour.

Chronologiquement, la première révolution dans l'architecture du transistor MOS date des années 90 avec l'apparition des transistors sur film mince. Cette nouvelle structure remplace le substrat massif par une fine couche de silicium d'épaisseur t_{Si} intercalée entre l'oxyde de grille et l'oxyde enterré (*BOX*). Un exemple de ce type de dispositif est schématisé sur la figure 1.8(b)

¹⁹Rappelons que le temps de propagation τ dans une ligne est liée à sa résistance R et sa capacité C , selon l'expression $\tau = RC$, et que cette capacité est proportionnelle à la permittivité électrique du matériau.

et comparé au transistor sur silicium massif 1.8(a). La majorité des substrats sur isolant (SOI)

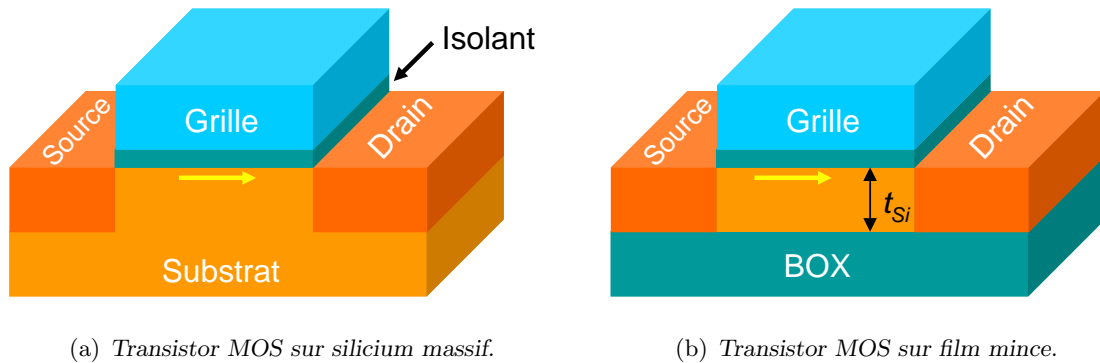


FIG. 1.8 – Comparaison entre (a) le transistor MOS sur substrat massif et (b) le transistor MOS sur film mince. Dans le cas du TMOS sur film mince, le substrat massif est remplacé par une fine couche de silicium d'épaisseur t_{Si} , intercalée entre l'oxyde de grille et l'oxyde enterré (BOX).

sont fabriqués par collage moléculaire de deux plaques de silicium dont l'une a été préalablement « préparée » (oxydation et implantation ionique). Le procédé le plus connu est le procédé *Unibond* développé par *SOITEC*, leader mondial dans la fabrication des substrats sur isolant (SOI) [Bruehl 95]. Le transistor est ensuite réalisé par des procédés similaires à ceux utilisés pour les transistors sur substrat massif.

En pratique, il existe deux types de dispositifs sur film mince. Lorsque l'épaisseur t_{Si} du film est suffisamment épaisse, une partie seulement du substrat est désertée. On parle alors de transistor sur isolant partiellement déserté (PD-SOI pour *Partially Depleted Silicon on Insulator*). Le fonctionnement et les caractéristiques de ce type de transistor sont proches de ceux du transistor sur silicium massif. Lorsque l'épaisseur t_{Si} est plus fine, l'ensemble du substrat est déserté et on parle cette fois de transistor sur isolant totalement déserté (FD-SOI pour *Fully Depleted Silicon on Insulator*). Ces dispositifs FD-SOI présentent de nombreux avantages par rapport aux dispositifs classiques, parmi lesquels nous pouvons citer l'excellent contrôle électrostatique du canal qui limite ainsi les effets parasites sur les transistors à canaux courts, les faibles capacités parasites de jonction (augmentation de la vitesse de fonctionnement du dispositif) ou encore une très bonne résistance aux rayonnements ionisants, ce qui en fait un élément de choix pour les applications spatiales²⁰. Cependant, quelques inconvénients subsistent sur ces dispositifs, comme l'augmentation des résistances d'accès, l'auto-échauffement des transistors ou encore la perte de mobilité des porteurs dans le canal liée à la faible épaisseur de film [Uchida 02]. Signalons enfin que le contrôle de l'épaisseur du film pour des dimensions sub-nanométriques constitue un

²⁰Des détails concernant les dispositifs SOI sont accessibles dans les thèses de O. Weber [Weber 05] et F. Andrieu [Andrieu 05].

challenge technologique de taille pour les futures générations de dispositifs FD-SOI.

Malgré ces quelques limitations, les transistors SOI sont très prometteurs et présentent déjà des résultats intéressants dans de nombreux domaines de la microélectronique : DRAM, applications haute fréquence et basse consommation [Raynaud 98], microprocesseurs... Aujourd'hui, de nombreuses industries de la microélectronique intègrent donc des transistors sur isolant dans leurs différentes applications (*AMD, INTEL...*).

Outre les progrès obtenus grâce aux transistors SOI, ce nouveau type de substrat a également ouvert la voie à des architectures plus évoluées encore, regroupées sous la dénomination de transistor MOS à grilles multiples²¹.

Les premiers transistors élaborés selon ces architectures remontent à la fin des années 80 [Hisamoto 89]. Depuis, de nombreuses architectures multi-grilles ont été proposées, dont les plus courantes sont schématisées sur la figure 1.9. L'introduction de grilles supplémentaires par

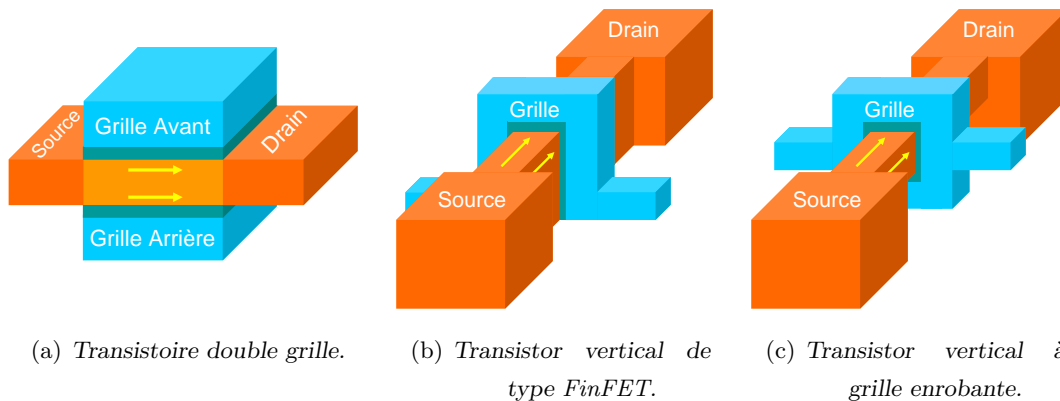


FIG. 1.9 – Schémas de différentes architectures de transistors à grilles multiples. Les flèches représentent les différents canaux de conduction.

rapport aux transistors MOS classiques est bénéfique au fonctionnement du dispositifs à plusieurs égards. Aux avantages liés à la structure SOI et décrits précédemment, viennent s'ajouter d'autres améliorations de performance dues aux grilles multiples elles-mêmes. Parmi ces divers avantages, citons l'amélioration des caractéristiques sous le seuil du transistor (augmentation du rapport I_{on}/I_{off}), l'augmentation du courant de drain débité par surface de transistor grâce à la

²¹Pour une présentation détaillée des architectures à grilles multiples, le lecteur est invité à lire les travaux de J. Widiez [Widiez 05].

multiplication des canaux de conduction (deux canaux pour le TMOS double grille de la figure 1.9(a) et quatre pour le TMOS à grille enrobante de la figure 1.9(c)) ou encore une meilleure mobilité des porteurs dans le canal (champ effectif transverse réduit, conduction volumique...). Malgré cela, des progrès technologiques restent à faire pour optimiser ces dispositifs. En particulier, l'alignement des grilles sur les transistors double grille reste un challenge de taille pour la réalisation industrielle de tels transistors.

Intégrer de nouveaux matériaux La dernière option envisagée par les industriels et les chercheurs pour repousser les limites du transistor classique consiste à remplacer les matériaux actuellement utilisés par des matériaux aux propriétés plus intéressantes sur le plan électrique. Ces nouveaux matériaux sont ainsi « incorporés » à divers endroits du transistor pour optimiser les performances du dispositif : substrat à forte mobilité (SiGe, silicium contraint) en remplacement du silicium, source et drain métalliques pour réduire les résistances d'accès, liner de contrainte, empilement de grille intégrant des matériaux de forte permittivité... Les idées et solutions technologiques ne manquent pas : la figure 1.10 schématise quelques unes de ces diverses possibilités.

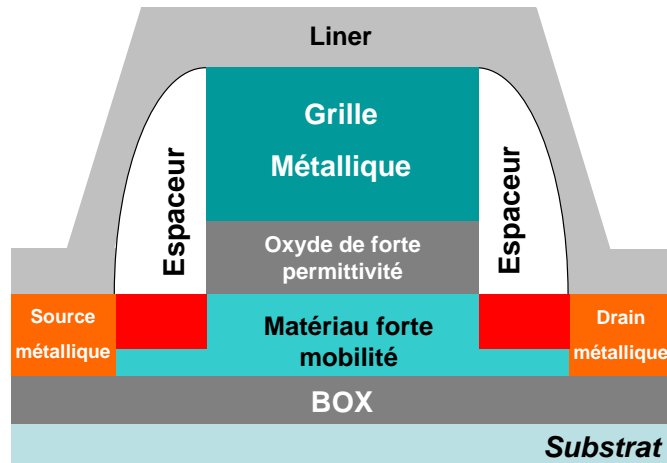


FIG. 1.10 – Schéma d'un transistors MOS intégrant divers matériaux innovants : grille métallique, oxyde de forte permittivité, substrat à haute mobilité, liner de contrainte...

Dans ce manuscrit, nous allons nous intéresser à l'impact d'un empilement MOS constitué d'une grille métallique et d'un oxyde de forte permittivité sur le transport électronique dans un transistor sur silicium massif. Pour comprendre l'intérêt de notre étude, il est donc important de cibler la problématique associée à ce genre de structure.

1.5 Problématique liée aux matériaux de forte permittivité

Comme nous l'avons souligné précédemment, l'utilisation de matériaux à forte permittivité en remplacement du SiO₂ est une des solutions les plus abouties envisagées pour repousser les limites de la loi de Moore. Dans ce paragraphe, nous allons donc nous attacher à définir ce qu'est un matériau de forte permittivité et quels sont les avantages et les inconvénients associés à l'implémentation de ce type de matériau dans la structure MOS.

1.5.1 Définitions

- **Matériau à forte permittivité**

Dans l'industrie microélectronique, un matériau est dit « à forte permittivité » (ou « *high k* » en anglais) lorsque sa permittivité diélectrique relative (*k* en anglais) est supérieure à celle du SiO₂²². Parmi les différents matériaux *high k*, les plus couramment étudiés, ainsi que leurs permittivités diélectriques (à l'état massif) sont référencés dans le tableau 1.2.

Matériau utilisé	Constante diélectrique relative
HfO ₂ monoclinique	18
HfO ₂ tétragonal	29
HfO ₂ amorphe	22
Al ₂ O ₃	9
Y ₂ O ₃	15
La ₂ O ₃	30
ZrO ₂	25

TAB. 1.2 – Principaux matériaux à forte permittivité utilisés en microélectronique et leur constante diélectrique respective.

- **Épaisseur équivalente d'oxyde (EOT)**

Lorsque l'isolant de grille est constitué d'une épaisseur t_{SiO_2} de silice, cette couche présente une capacité par unité de surface C_{ox} valant :

$$C_{ox} = \frac{\epsilon_{SiO_2}^r \cdot \epsilon_0}{t_{SiO_2}} \quad (1.1)$$

où $\epsilon_{SiO_2}^r$ est la permittivité diélectrique relative du SiO₂ et ϵ_0 la permittivité diélectrique du vide.

²²Pour rappel, la permittivité diélectrique relative de l'oxyde de silicium vaut $\epsilon_{SiO_2}^r = 3.9$.

Pour bien comprendre l'intérêt des *high k*, il est judicieux d'introduire à ce stade une grandeur physique qui permet de faire la comparaison entre ce matériau et le SiO₂ de référence. Cette grandeur est appelée épaisseur équivalente d'oxyde et notée *EOT* (pour *Equivalent Oxide Thickness*). Elle se définit comme suit :

$$EOT = t_{hk} \frac{\epsilon_{SiO_2}^r}{\epsilon_{hk}^r} \quad (1.2)$$

Lorsque le couche de silice est remplacée par une épaisseur t_{hk} de matériau de forte permittivité ϵ_{hk} , la capacité d'oxyde devient :

$$C_{ox} = \frac{\epsilon_{hk}^r \cdot \epsilon_0}{t_{hk}} \quad (1.3)$$

En combinant cette équation avec l'expression (1.2) de l'*EOT*, nous obtenons :

$$C_{ox} = \frac{\epsilon_{SiO_2}^r \cdot \epsilon_0}{EOT} \quad (1.4)$$

De cette équation, il découle que l'épaisseur équivalente d'oxyde correspond à l'épaisseur physique d'oxyde de silicium qu'il faudrait utiliser pour obtenir la même capacité d'oxyde qu'avec une épaisseur physique t_{hk} de matériau *high k*. La constante du matériau de forte permittivité étant supérieure à celle du SiO₂, l'épaisseur de matériau *high k* déposé est donc *supérieure* à l'épaisseur équivalente d'oxyde : de ce constat découlent divers avantages.

1.5.2 Avantages liés aux matériaux de forte permittivité

Aux vues des considérations précédentes, on peut donc obtenir, grâce aux matériaux *high k*, des transistors dont les performances (en terme de capacité d'oxyde et donc de courant de saturation) sont les mêmes que celles obtenues avec un transistor classique SiO₂ plus fin. Repousser les limites de la loi de Moore Tout d'abord, cette augmentation de l'épaisseur physique d'isolant, sans modification de l'épaisseur électrique (décrite par l'*EOT*) permet de repousser les limites de la loi de Moore grâce à un « retour en arrière » dans la réduction des dimensions du transistor. L'utilisation d'un oxyde de forte permittivité plus épais permet de relâcher certaines contraintes d'échelle, la plus pénalisante étant la longueur du canal (et les effets de canaux courts s'y rapportant).

En outre, ceci permet de diminuer les courants de fuite à travers la grille tout en conservant un couplage capacitif donné. La consommation électrique du transistor en régime bloqué est donc réduite, ce qui est un paramètre fondamental pour améliorer l'autonomie des applications basse consommation. Ce gain de performance est mis en évidence sur la figure 1.11.

L'utilisation d'un oxyde de grille plus épais limite également la pénétration des dopants dans le canal lors de l'implantation des sources et drains. En pratique, au cours de cette étape technologique, l'oxyde de grille est utilisé comme couche d'arrêt. Si la couche d'oxyde est trop fine,

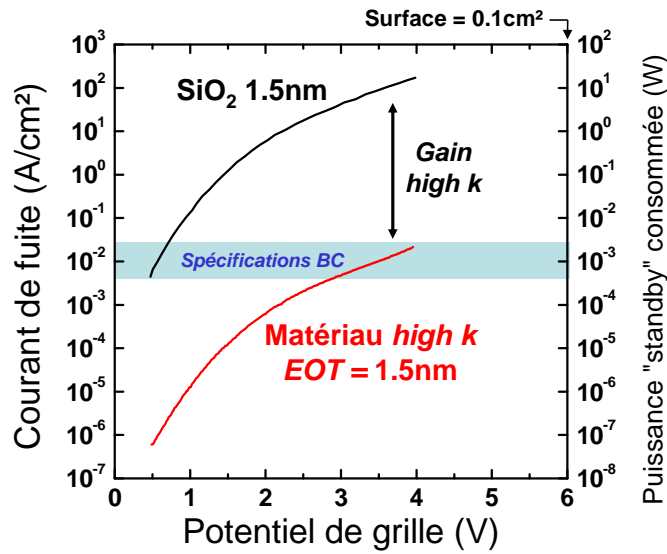


FIG. 1.11 – Courants de fuite à travers la grille et puissance consommée au repos pour un transistor intégrant un oxyde de grille standard SiO₂ 1.5nm (valeurs mesurées) et un transistor de même EOT utilisant un oxyde de forte permittivité (valeurs estimées). L'introduction d'un matériau *high k* permet la réduction de la consommation électrique parasite de plusieurs décades, ce qui est une condition indispensable pour les applications basses consommations. D'après Wilk et al. [Wilk 01].

elle ne remplit plus ce rôle : le canal de conduction sous la grille subit les effets de l'implantation ionique et sa concentration en dopant se modifie. Ceci entraîne une dégradation du transport électrique. Enfin, l'utilisation d'un oxyde épais permet de réduire les interactions coulombiennes entre les porteurs du canal et les charges dans la grille (phénomène de polydéplétion), ce qui se traduit également par une amélioration du transport électrique dans le canal.

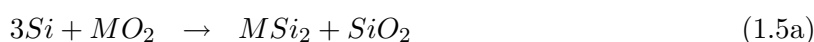
1.5.3 limites technologiques des matériaux de forte permittivité

Si, sur le plan théorique, les matériaux à forte permittivité ont clairement des avantages que nous venons de décrire, force est de constater que sur le plan technologique, leur intégration pose de nombreuses difficultés. Leur fiabilité ainsi que la possibilité de les inclure dans les filières standards de production sont bien en deçà du SiO₂. A titre d'exemple, alors qu'il suffisait jusqu'ici d'oxyder thermiquement le substrat de silicium pour obtenir un isolant de grille en oxyde de silicium de bonne qualité, il faut aujourd'hui avoir recours à des techniques de dépôts complexes pour réaliser les couches isolantes des futures générations de transistors, avec des résultats souvent médiocres par rapport à l'oxyde de silicium ! Le défi technologique à relever est tel qu'à ce jour, seul *INTEL* a réussi l'intégration d'un matériau de forte permittivité dans la

fabrication des transistors destinés à ses microprocesseurs Penryn multi-cœurs [Bohr 07]. Dans ce paragraphe, nous allons aborder ces limites que l'industrie microélectronique devra surpasser.

• **Instabilité thermodynamique du matériau sur le silicium**

La première condition à laquelle doit satisfaire le matériau *high k* est thermodynamique. En effet, l'oxyde qui remplace SiO_2 ne doit pas réagir avec le silicium pour donner des composés parasites. Certaines des réactions possibles sont mentionnées ci-dessous :



où M représente un atome métallique. En outre, le matériau utilisé ne devra pas être radioactif et être à l'état solide dans la gamme de température envisagée pour le fonctionnement des dispositifs. Au final, seuls quelques candidats subsistent à ces simples considérations, parmi lesquels les oxydes d'hafnium, d'aluminium, ou encore de zirconium.

• **Incompatibilité avec les filières et spécifications actuelles**

Passées les considérations thermodynamiques de base, les matériaux doivent en plus satisfaire aux spécifications imposées par la *Roadmap* et aux contraintes technologiques de production, ce qui engendre de nombreux problèmes.

Décalage et instabilité de la tension de seuil L'un des premiers problèmes rencontrés sur les transistors intégrant des matériaux *high k* est lié à la tension de seuil. En effet, le remplacement du SiO_2 par un matériau de forte permittivité a mis en évidence deux limites :

- Les transistors utilisant des matériaux *high k* présentent des tensions de seuil largement supérieures aux transistors classiques, comme le montre la figure 1.12. Ce décalage pose des problèmes car les industriels cherchent à minimiser cette tension de seuil afin de limiter la consommation électrique des dispositifs. Cette augmentation peut s'expliquer par deux phénomènes : l'augmentation de la densité de charges fixes dans l'empilement de grille à cause de la qualité médiocre du matériau *high k* [Gusev 01] ou le phénomène d'ancrage du niveau de Fermi (ou *Fermi level pinning*) au niveau de la grille polysilicium qui modifie la structure de bandes du matériau de forte permittivité [Hobbs 03].
- Les transistors utilisant des matériaux *high k* présentent une forte instabilité de leur tension de seuil. Ceci se traduit par un décalage des courbes $I_d(V_g)$ lorsque le dispositif reste soumis à une forte polarisation de grille. Ce phénomène est lié à l'existence de pièges dans l'oxyde de forte permittivité [Mitard 07] et pose des problèmes pour obtenir une tension de seuil dans la fenêtre de spécification fixée par la *Roadmap*.

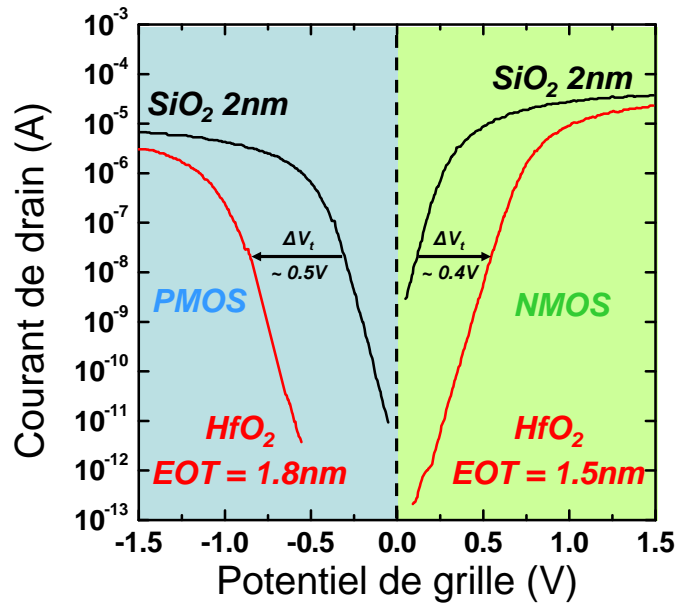
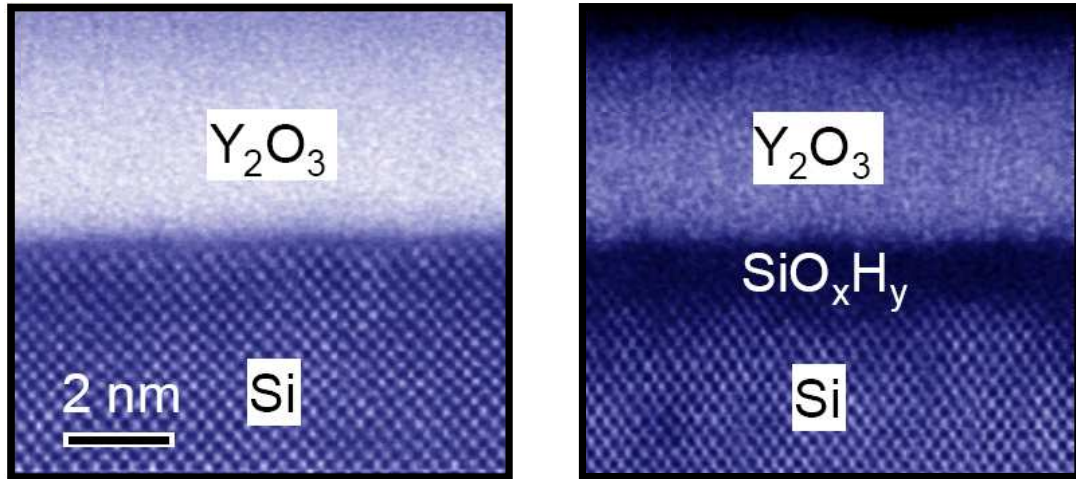


FIG. 1.12 – Décalage de la tension de seuil des transistors NMOS et PMOS, lié à l'utilisation d'un matériau de forte permittivité. Cette augmentation entraîne des problèmes de consommation électrique. D'après Gusev et al. [Gusev 01].

Incompatibilité avec la grille polysilicium Comme nous l'avons indiqué dans le paragraphe précédent, l'utilisation d'une grille polysilicium avec un matériau de forte permittivité n'est pas optimale (phénomène d'ancrage du niveau de Fermi). Cet inconvénient, ajouté à une qualité d'interface médiocre entre l'oxyde de forte permittivité et le polysilicium, a contraint l'industrie microélectronique à envisager de nouveaux matériaux de grille pour les futures générations de transistors. Aujourd'hui, les propositions convergent vers une grille métallique (W, TiN, TaN...), pour diverses raisons : suppression de la polydépétion pour des oxydes fins, meilleure compatibilité avec les matériaux de forte permittivité... Cependant, ce type de grille engendre de nouvelles contraintes qu'il faudra résoudre : incorporation de nouveaux matériaux et de nouveaux procédés dans les processus standards de fabrication, nécessité d'utiliser des matériaux différents pour les grilles NMOS et PMOS entraînant une complexification technologique... Stipulons tout de même qu'à ce jour, l'ensemble des industriels n'envisage plus d'intégrer un matériau *high k* sans lui associer une grille métallique.

Qualité médiocre des interfaces Lors du dépôt d'une couche mince d'oxyde *high k* sur le substrat, une pellicule de silice mal maîtrisée (et donc de mauvaise qualité) se forme spontanément entre le silicium et le matériau de forte permittivité. Ce processus parasite est lié à une forte perméabilité des films *high k* aux espèces oxydantes comme l'eau ou l'oxygène, abondam-

ment utilisé dans les diverses étapes technologiques de fabrication. Il se crée alors des interfaces de piètre qualité avec le substrat, ce qui perturbe le fonctionnement du transistor : courant de drain réduit, charges parasites dans l'oxyde... Un exemple de recroissance de l'oxyde interfacial est montré sur la figure 1.13.



(a) Empilement de grille avant recroissance d'oxyde interfacial.

(b) Empilement de grille après recroissance d'oxyde interfacial.

FIG. 1.13 – Exemple de recroissance d'une couche d'oxyde interfacial SiO_xH_y sous la couche d'oxyde de forte permittivité Y_2O_3 . Cette couche est obtenue en laissant simplement l'empilement de grille au contact de l'oxygène et de l'humidité de l'air. D'après Busch et al. [Busch 02].

Pour réduire les effets parasites de cette recroissance, les technologues ont opté pour un oxyde de grille de forte permittivité déposé sur une couche *maîtrisée* d'oxyde de silicium (SiO_2 , SiON ou SiO_x). Cette solution permet d'obtenir des interfaces de meilleures qualités qu'avec un oxyde de recroissance mais limite tout de même les gains en terme d'*EOT* puisque l'oxyde interfacial présente une constante diélectrique plus faible que le matériau de forte permittivité. Une optimisation des procédés de dépôt est donc indispensable pour réduire au maximum cette couche interfaciale.

Dégradation de la mobilité des porteurs Le dernier point limitant l'intégration des matériaux de forte permittivité dans les transistors est la réduction de mobilité des porteurs dans le canal. Cette limitation semble provenir de différents mécanismes et pose également des problèmes car elle réduit le courant de drain des transistors, paramètre que l'on tente pourtant de faire augmenter. Ce problème est d'autant plus dérangeant qu'il persiste avec l'utilisation d'une grille métallique et d'une couche d'oxyde interfacial, comme le montre l'exemple de la figure 1.14. Ce constat souligne que des solutions doivent encore être trouvées pour optimiser ce type

de dispositif : c'est dans ce contexte que se situe notre travail de recherche.

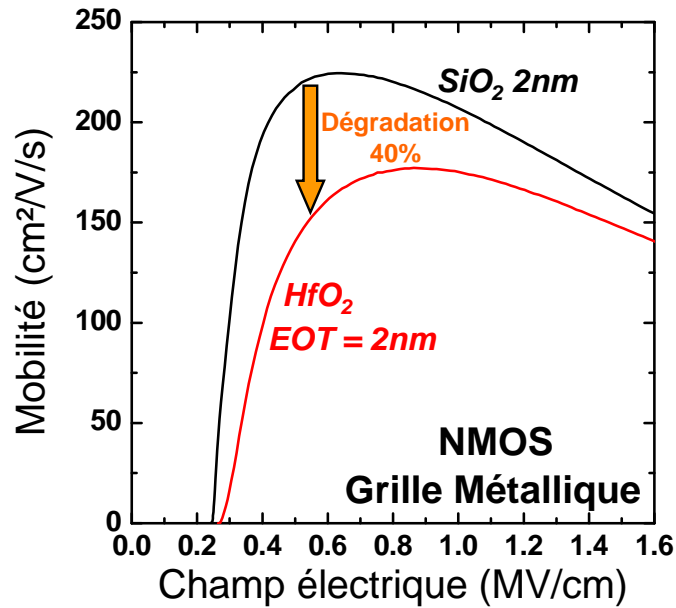


FIG. 1.14 – Dégradation de la mobilité des porteurs en présence d'un oxyde de grille de forte permittivité. Cette dégradation est effective sur la gamme complète de champ électrique de fonctionnement et peut atteindre des valeurs importantes.

1.5.4 Positionnement du travail de thèse

Le travail mené dans le cadre de cette thèse vise donc à étudier les propriétés électriques de transistors MOS intégrant un oxyde de forte permittivité et une grille métallique, en vue de leur intégration dans les futurs dispositifs CMOS.

Les paramètres électriques permettant de décrire le fonctionnement d'un transistor MOS étant nombreux, nous nous sommes concentrés sur l'étude d'un facteur en particulier, à savoir la mobilité des porteurs électriques (électrons ou trous) dans le canal, pour deux raisons :

- L'extraction de la mobilité est aisée et rapide, avec des techniques standard de caractérisation électrique, ce qui permet d'obtenir un très grand nombre de données analysables.
- L'étude de la mobilité en fonction de divers paramètres extérieurs (température, champ électrique et magnétique...) permet d'avoir accès à un très grand nombre de renseignements sur la qualité des oxydes et des grilles employés.

Les objectifs de notre travail seront donc multiples avec, par ordre de priorité :

- Comprendre et expliquer la diminution de mobilité observée, en confrontant nos résultats d'expérience aux modèles de transport électrique dans les transistors MOS.

- Développer des outils de caractérisation permettant d’extraire la mobilité dans des conditions particulières. Ce type d’outil doit permettre une compréhension facilitée de la dégradation de mobilité en accédant à de nouveaux paramètres expérimentaux.
- Dans une moindre mesure, contribuer à une meilleure analyse des dispositifs alternatifs en terme de comportement électrique, en fournissant aux technologues des pistes d’amélioration de leurs empilements MOS.

Signalons enfin que notre étude porte sur des transistors dits « longs » (c’est-à-dire de longueur de grille supérieure au micromètre) afin de cantonner la dégradation de mobilité observée aux phénomènes physiques inhérents à l’empilement de grille, sans ajouter des mécanismes supplémentaires liés aux canaux courts. La transposition de nos résultats à des transistors nanométriques pourrait d’ailleurs constituer un travail de thèse à part entière.

1.6 Conclusion du chapitre

Dans ce premier chapitre, nous nous sommes attachés à positionner notre travail de recherche dans le contexte agité de la microélectronique contemporaine. La compréhension des enjeux actuels étant profondément ancrée dans l’histoire de ce secteur, nous avons décrit dans un premier temps l’évolution de la microélectronique et du transistor, de ses origines à nos jours, en insistant sur la volonté constante de miniaturisation des dispositifs. Nous avons ensuite abordé les limites de cette approche qui ont abouti à l’émergence des dispositifs microélectroniques étudiés dans ce manuscrit, à savoir des transistors intégrant un oxyde de forte permittivité et une grille métallique. Enfin, nous avons détaillé les nouveaux challenges à relever pour faire de ce type de transistor l’un des futur standard de l’industrie des semiconducteurs. Parmi eux, la perte de mobilité des porteurs dans le canal est l’un des problèmes les plus préoccupants : comprendre les origines et les causes de cette dégradation et envisager des solutions constituent le cœur de ce manuscrit.

Chapitre 2

Le transistor MOS : fonctionnement électrique et mobilité

L'étude du transport électronique dans des transistors MOS intégrant de nouveaux matériaux nécessite une bonne connaissance des mécanismes régissant le déplacement des porteurs libres dans le canal de conduction. Dans ce chapitre, nous nous intéresserons donc aux divers aspects théoriques permettant de décrire le fonctionnement électrique du transistor MOS, et en particulier aux caractéristiques de l'empilement MOS ainsi qu'au courant et à la mobilité des porteurs dans le canal de conduction.

2.1	Caractéristiques électriques de l'empilement MOS	36
2.1.1	Diagramme de bandes de la structure MOS idéale	36
2.1.2	Détermination de la charge totale dans le semiconducteur	42
2.1.3	Etude approfondie du régime d'inversion	44
2.1.4	Modèle quantique du régime d'inversion	47
2.1.5	Détermination expérimentale de la caractéristique Capacité-Tension	54
2.1.6	Cas de la structure MOS utilisée dans cette étude	59
2.2	Caractéristiques électriques statiques du transistor MOS : cou- rant de drain	75
2.2.1	Diagramme de bandes du transistor MOS en absence de polarisation de drain	75
2.2.2	Diagramme de bandes du transistor MOS en présence d'une pola- risation de drain	78
2.2.3	Courant de drain en régime passant	79
2.2.4	Courant de drain en régime bloqué	83
2.3	Mobilité des porteurs dans le canal de conduction	84
2.3.1	Qu'est-ce-que la mobilité?	85

2.3.2	Les interactions limitant la mobilité dans les transistors MOS . . .	87
2.4	Conclusion du chapitre	94

DANS le premier chapitre, nous avons brièvement abordé le principe de fonctionnement du transistor MOS en indiquant que celui-ci fonctionnait comme un interrupteur commandé, l'application d'une polarisation de grille offrant la possibilité de faire circuler, ou non, un courant entre la source et le drain. Dans ce second chapitre, nous allons détailler ce fonctionnement électrique et présenter les différentes notions indispensables à la bonne compréhension des chapitres de résultats qui viendront par la suite. De façon assez évidente et d'après ce que nous avons dit au paragraphe 1.2, nous pouvons déjà affirmer que le courant de drain I_d (paramètre auquel nous nous sommes intéressé au cours de notre étude) va dépendre :

- de la densité de porteurs libres dans le canal de conduction. Cette densité est contrôlée par la polarisation de grille via la structure MOS.
- de la différence de potentiel appliquée entre la source et le drain.
- des caractéristiques du transport électrique dans le canal, décrites par la notion de mobilité des porteurs libres.

Ce sont ces trois éléments que nous allons étudier dans les différentes parties de ce chapitre.

2.1 Caractéristiques électriques de l'empilement MOS

Comme nous l'avons souligné dans le préambule, l'empilement de grille MOS est à la base du fonctionnement du transistor MOS. Dans cette partie, nous allons détailler le comportement électrique d'un empilement MOS soumis à une polarisation de grille V_g ainsi que la charge développée dans le semiconducteur, à l'origine de la formation d'un canal de conduction. Dans un premier temps, nous nous focaliserons sur une *structure MOS idéale*, ce qui signifie que le diélectrique isolant de grille sera considéré comme *parfait*. Un diélectrique parfait présente les caractéristiques suivantes :

- Aucune charge n'existe dans l'isolant ou aux interfaces : les seules charges qui existent sont celles de la zone de charge d'espace du SC et celles qui leurs correspondent dans le métal.
- Aucun courant ne traverse l'isolant (pas de courant de fuite).

Dans la pratique, il existe toujours des défauts (en particulier à l'interface isolant-SC) : c'est ce que nous envisagerons dans un second temps.

2.1.1 Diagramme de bandes de la structure MOS idéale

• Diagramme de bandes en l'absence de polarisation

Pour décrire efficacement le comportement électrique de la capacité MOS, il convient d'en réaliser la structure de bandes. Ce diagramme est représenté sur la figure 2.1 et distingue deux cas.

Avant la mise en contact (figure 2.1(a)), le métal et le semiconducteur constituent deux

systèmes thermodynamiques indépendants. Le métal se caractérise par son niveau de Fermi E_{Fm} distant de $e\Phi_m$ ²³ du niveau du vide NV . Le semiconducteur est décrit par ses bandes de conduction E_c et de valence E_v ainsi que son niveau de Fermi E_{Fsc} distant de $e\Phi_{sc}$ du niveau du vide²⁴.

Après la mise en contact (figure 2.1(b)), les deux systèmes thermodynamiques ne forment plus qu'un, ce qui se traduit par un alignement des niveaux de Fermi. Cet alignement résulte d'un échange d'énergie entre le métal et le semiconducteur et fait apparaître une différence de potentiel interne au système $\Delta\Phi_{ms} = \Phi_m - \Phi_{sc}$ entre le métal et le volume du semiconducteur, analogue à la tension de diffusion dans une jonction pn [Mathieu 01].

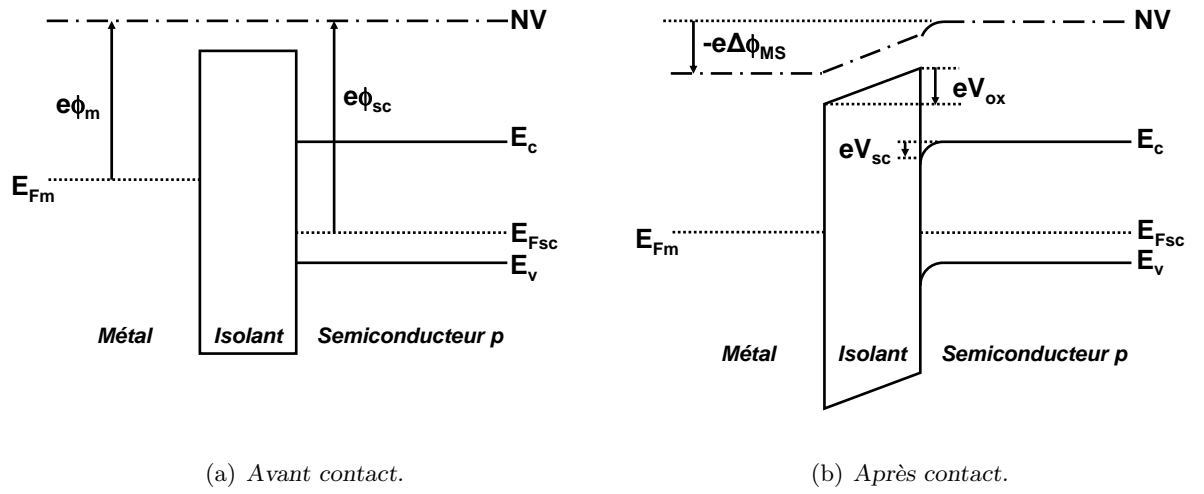


FIG. 2.1 – Diagramme de bandes du système MOS idéal (a) avant contact et (b) après contact.

Cette chute de potentiel est répartie entre l'oxyde et la zone de charge d'espace du semiconducteur selon la relation :

$$-\Delta\Phi_{ms} = V_{ox} + V_{sc} \quad (2.1)$$

La variation du potentiel est linéaire dans l'oxyde (absence de charge) et plus complexe dans le semiconducteur car dépendante de la charge d'espace qui s'y développe.

• **Application d'une polarisation externe : les différents régimes**

Appliquons maintenant une différence de polarisation externe V_g entre le métal et le semiconducteur. Cette polarisation induit un décalage énergétique supplémentaire eV_g entre le niveau

²³ e représente la charge de l'électron et vaut donc $-1.6 \times 10^{-19}C$.

²⁴Notons que dans notre exemple, le semiconducteur est dopé p. C'est pour cette raison que le niveau de Fermi est plus proche de la bande de valence que de la bande de conduction.

de Fermi du semiconducteur et celui du métal, de sorte que l'équation (2.1) devient :

$$-\Delta\Phi_{ms} + V_g = V_{ox} + V_{sc} \quad (2.2)$$

En considérant que la charge développée dans le semiconducteur est reliée à la capacité de l'oxyde C_{ox} par la relation $C_{ox} \cdot V_{ox} = -Q_{sc}$, nous obtenons enfin la relation fondamentale suivante²⁵ :

$$V_g = -\frac{Q_{sc}}{C_{ox}} + \Delta\Phi_{ms} + V_{sc} \quad (2.3)$$

D'après cette équation, nous remarquons que selon la polarisation de grille V_g appliquée, la courbure de bandes V_{sc} ainsi que la charge développée dans le semiconducteur Q_{sc} varient, conduisant ainsi à différents régimes de fonctionnement électrique de l'empilement MOS.

Régime de bandes plates : $V_g = \Delta\Phi_{ms} = V_{fb}$ Pour une polarisation de grille $V_g = \Delta\Phi_{ms}$, l'équation (2.2) devient $V_{ox} + V_{sc} = 0$, ce qui correspond en fait à $V_{ox} = V_{sc} = 0$. Cela signifie qu'il n'y a aucune courbure des bandes de l'oxyde ou du semiconducteur (figure 2.2(a)). Nous retrouvons ainsi le schéma de bande établi « avant mise en contact » des trois matériaux. Il n'existe aucune charge ni dans le semiconducteur, ni dans le métal (figure 2.2(b)). Les deux matériaux sont électriquement neutres dans l'ensemble de leur volume et les densités de porteurs n_s et p_s à l'interface oxyde-semiconducteur sont les mêmes que dans le volume du semiconducteur (figure 2.2(c)).

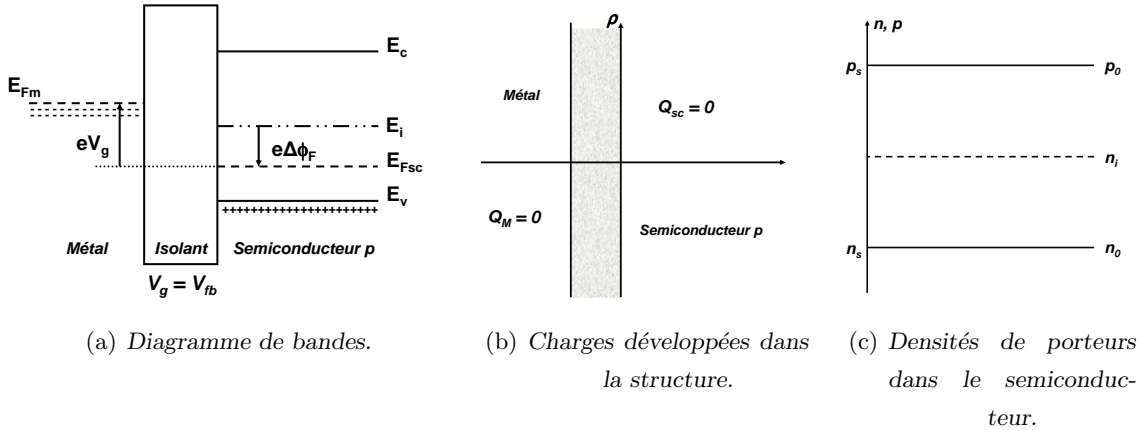


FIG. 2.2 – Caractéristiques électriques de la structure MOS en condition de bandes plates.

Cette situation correspond à la condition dite « de bandes plates », obtenue pour une polarisation de grille égale à la tension de bandes plates $V_{fb} = \Delta\Phi_{ms}$ ²⁶.

²⁵Nous reviendrons sur cette expression dans la suite du manuscrit, lorsque $Q_{sc}(V_{sc})$ aura été explicité.

²⁶Nous verrons par la suite que la tension de bandes plates pour une structure MOS réelle est différente du simple écart des travaux de sortie et dépend également des charges présentes dans l'oxyde.

Régime d'accumulation : $V_g < V_{fb}$ Avec un semiconducteur de type p, une polarisation $V_g < V_{fb}$ entraîne la situation d'accumulation des porteurs majoritaires à l'interface. En effet, $V_{ox} + V_{sc} < 0$ correspond à une courbure des bandes du semiconducteur $V_{sc} < 0$: le champ électrique interne tire alors les trous libres vers l'interface oxyde-semiconducteur. Cette situation est représentée sur la figure 2.3(a). Dans cette configuration, le niveau de Fermi se rapproche de la bande de valence à l'interface, ce qui signifie que la concentration des trous libres à la surface p_s augmente.

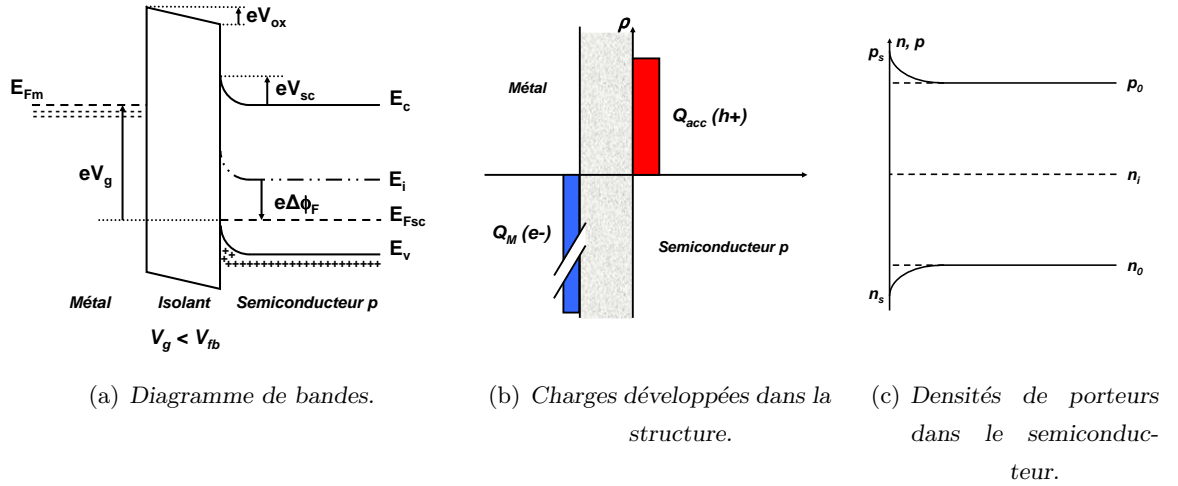


FIG. 2.3 – Caractéristiques électriques de la structure MOS en régime d'accumulation.

L'augmentation de la concentration des porteurs majoritaire à l'interface s'accompagne d'une diminution de la concentration des porteurs minoritaires, puisque l'équilibre thermodynamique impose la relation suivante [Mathieu 01] :

$$n \cdot p = n_i^2 = C^{te} \quad (2.4)$$

A l'interface, il existe donc un excès de trous ($p_s > p_0$) et un déficit d'électrons ($n_s > n_0$), comme représenté sur la figure 2.3(c). La surface du semiconducteur présentant un excès de trous par rapport à son volume, il existe une zone chargée positivement Q_{acc} , appelée zone de charge d'espace et représentée sur la figure 2.3(b). Pour respecter l'électroneutralité globale du système, le métal porte une charge négative (excès d'électrons) localisé sur une très faible épaisseur à l'interface grille-oxyde, de sorte que $Q_M = -Q_{acc}$.

Régime de désertion : $V_g > V_{fb}$ Le régime de désertion (ou déplétion) correspond à la situation opposée à l'accumulation. Dans ce régime, la courbure des bandes correspond à un champ électrique dans le semiconducteur qui éloigne les porteurs majoritaires de l'interface.

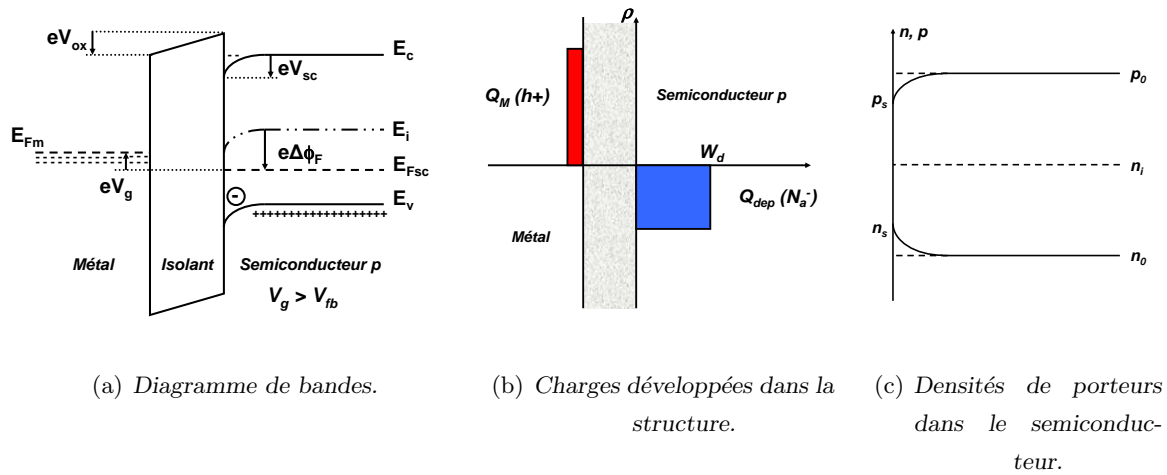


FIG. 2.4 – Caractéristiques électriques de la structure MOS en régime de déplétion.

Avec un semiconducteur de type p, la déplétion est ainsi obtenue pour une polarisation $V_g > V_{fb}$: nous avons alors $V_{ox} + V_{sc} > 0$, d'où une courbure des bandes du semiconducteur $V_{sc} > 0$. Le diagramme de bandes de la structure MOS en régime de déplétion est représenté sur la figure 2.4(a). Les trous sont alors repoussés à l'intérieur du semiconducteur. A l'interface, le niveau de Fermi s'éloigne de la bande de conduction, ce qui signifie que la concentration des trous libres à la surface p_s diminue (figure 2.4(c)) et devient très inférieure à la densité de porteurs majoritaires dans le volume p_0 . Dans le même temps, la concentration des porteurs minoritaires à la surface n_s augmente (cependant, même considérablement augmentée, celle-ci reste faible).

Dans la zone de désertion, les densités des porteurs majoritaires et minoritaires deviennent donc négligeables et la zone de charge d'espace est ainsi constituée des dopants ionisés. Nous pouvons exprimer cette charge à partir du dopage initial suivant la relation :

$$Q_{dep} = A \cdot e \cdot N_a^- \cdot W_d < 0 \quad (2.5)$$

où A représente la surface de la structure MOS et W_d la profondeur de déplétion, comme schématisé sur la figure 2.4(b).

Contrairement à la charge d'accumulation, constituée de porteurs libres et mobiles, la charge de désertion est constituée de charges fixes (les dopants ionisés) dont la densité est imposée par le dopage. De ce fait, la charge de déplétion présente une extension spatiale importante dans le volume du semiconducteur et une variation de V_g entraîne alors une variation de la profondeur W_d de la zone désertée au lieu d'une variation de la densité de charges (cas des régimes d'accumulation et d'inversion). Pour respecter l'électroneutralité globale du système, le métal porte cette fois-ci une charge positive (déficit d'électrons) localisé sur une très faible

épaisseur à l'interface grille-oxyde, de sorte que $Q_M = -Q_{dep}$. Cette situation est représentée sur la figure 2.4(b).

Régime d'inversion : $V_g \gg V_{fb}$ Si V_g devient très supérieur à V_{fb} , la courbure de bandes continue à s'infléchir (figure 2.5(a)). La concentration des porteurs majoritaires à l'interface continue à diminuer et finit par devenir inférieure à la valeur intrinsèque n_i tandis que la relation (2.4) impose $n_s > n_i$. Les porteurs minoritaires deviennent alors majoritaires à la surface (alors que les majoritaires deviennent minoritaires). Cette situation est représentée sur la figure 2.5(c). Il y a une inversion apparente du type du semiconducteur au voisinage de l'interface oxyde-semiconducteur. Lorsque le régime d'inversion est établi, la charge d'espace du semiconducteur est constituée de :

- la charge Q_{inv} des électrons « ex-minoritaires » devenus excédentaires. Cette charge mobile est très proche de l'interface et peut atteindre une forte valeur.
- la charge Q_{dep} correspondant à la déplétion, formée par les dopants ionisés. Cette charge fixe se répartit sur un volume de semiconducteur plus important que la charge d'inversion car la densité de dopants est limitée à $\rho_{dep} = e.N_a^-$.

La charge totale développée dans le métal en régime d'inversion est donc positive (déficit d'électrons) et vaut $Q_M = -[Q_{dep} + Q_{inv}]$. Cette situation est représentée sur la figure 2.5(b).

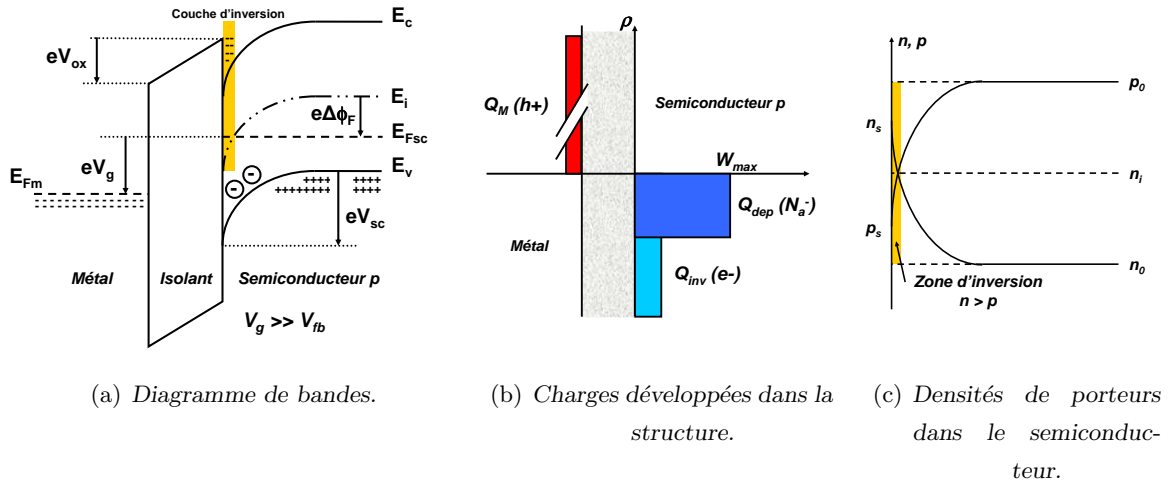


FIG. 2.5 – Caractéristiques électriques de la structure MOS en régime d'inversion.

Une situation particulière est l'inversion « forte » qui désigne par convention la situation où la concentration des porteurs minoritaires à la surface devient égale à la concentration initiale des porteurs majoritaires soit $n_s = p_0$. Cette inversion forte est obtenue pour une courbure de bandes V_{sc} valant $2\Delta\Phi_F$. En pratique, il est possible de démontrer que le charge de déplétion

n'évolue plus dès que l'inversion forte est atteinte [Mathieu 01]. Cela est dû à la variation très rapide de la concentration des porteurs en inversion forte par rapport à la variation beaucoup plus lente de la profondeur de désertion. La zone désertée garde alors la même profondeur W_{max} quelle que soit l'importance de l'inversion. Nous verrons par la suite que la limite inversion faible/inversion forte joue un rôle primordial dans le fonctionnement du transistor.

Nous avons vu dans cette partie que l'application d'une polarisation électrique sur l'électrode de grille entraînait l'apparition d'une charge Q_{sc} dans le semiconducteur et nous avons étudié l'évolution « qualitative » de cette charge en fonction de la courbure de bandes V_{sc} dans le semiconducteur. Dans le paragraphe suivant, nous allons nous intéresser à l'expression « quantitative » de Q_{sc} en fonction de la polarisation appliquée..

2.1.2 Détermination de la charge totale dans le semiconducteur

Le calcul de la charge totale développée au sein du semiconducteur Q_{sc} en fonction du potentiel de surface V_{sc} peut être obtenue en résolvant l'équation de Poisson dans le semiconducteur. Cette équation électrostatique relie la densité de charges dans le semiconducteur ρ à la variation spatiale du potentiel V . A une dimension, cette équation s'écrit :

$$\frac{\partial^2 V(x)}{\partial x^2} = -\frac{\rho(x)}{\epsilon_{sc}} \quad (2.6)$$

où ϵ_{sc} représente la permittivité diélectrique du semiconducteur et x la direction perpendiculaire à la surface oxyde-semiconducteur, orientée de l'interface vers le volume du semiconducteur.

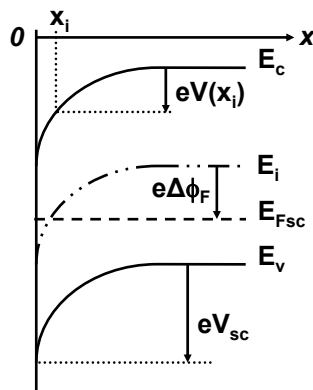


FIG. 2.6 – Schéma Poisson.

Pour un semiconducteur de type p, la densité de charges dans le semiconducteur est constituée des porteurs libres majoritaires $p(x)$ et minoritaires $n(x)$ ainsi que des dopants accepteurs ionisés

$N_a^-(x)$ ²⁷. En supposant que le dopage est constant dans le semiconducteur et que l'ensemble des dopants sont ionisés, nous obtenons pour la densité totale de charges :

$$\rho(x) = e [n(x) - p(x) + N_a] \quad (2.7)$$

Dans le volume du semiconducteur, l'absence de courbures de bandes implique qu'il n'y a pas de zone chargée, ce qui se traduit par $\rho = 0$. En notant p_0 et n_0 les densités de porteurs majoritaires et minoritaires (resp.) dans le volume, l'équation (2.7) se réécrit :

$$p_0 = n_0 + N_a \quad (2.8)$$

Lorsqu'une courbure de bandes apparaît au voisinage de l'interface, les densités de porteurs majoritaires et minoritaires varient en fonction de la distance à l'interface. En considérant que l'approximation de Boltzmann s'applique²⁸, la variation des densités de porteurs s'exprime comme suit :

$$p(x) = p_0 \exp\left(\frac{eV(x)}{k_B T}\right) = n_i \exp\left(\frac{e(V(x) - \Delta\Phi_F)}{k_B T}\right) \quad (2.9a)$$

$$n(x) = n_0 \exp\left(\frac{-eV(x)}{k_B T}\right) = n_i \exp\left(\frac{-e(V(x) - \Delta\Phi_F)}{k_B T}\right) \quad (2.9b)$$

En combinant les équations (2.4), (2.7), (2.8) et (2.9) avec l'équation de Poisson (2.6) et en résolvant cette dernière, nous obtenons l'expression suivante pour la charge Q_{sc} dans le semiconducteur :

$$Q_{sc}(V_{sc}) = \text{Sign}(V_{sc}) \frac{k_B T \epsilon_{sc}}{e L_D} F(V_{sc}) \quad (2.10)$$

où $L_D = \left(\frac{k_B T \epsilon_{sc}}{2e^2 N_a}\right)^{1/2}$ est la longueur de Debye pour un semiconducteur de type p, et

$$F(V_{sc}) = \left[\exp\left(\frac{eV_{sc}}{k_B T}\right) - \frac{eV_{sc}}{k_B T} - 1 + \left(\frac{n_i}{N_a}\right)^2 \left(\exp\left(\frac{-eV_{sc}}{k_B T}\right) + \frac{eV_{sc}}{k_B T} - 1 \right) \right]^{1/2} \quad (2.11)$$

Un exemple du calcul de cette charge Q_{sc} en fonction du potentiel de surface V_{sc} est représenté sur la figure 2.7. L'expression (2.10) de la charge dans le semiconducteur permet alors de réécrire l'équation (2.3). Nous obtenons ainsi l'évolution de la polarisation de grille en fonction du potentiel de surface :

$$V_g(V_{sc}) = - \text{Sign}(V_{sc}) \frac{k_B T \epsilon_{sc}}{e L_D C_{ox}} F(V_{sc}) + V_{fb} + V_{sc} \quad (2.12)$$

Un exemple de cette évolution est donné sur la figure 2.8.

²⁷La densité de dopants donneurs ionisés N_d^+ est ici très inférieure à celle des dopants accepteurs de sorte que nous la négligerons dans la densité totale de charges.

²⁸En toute rigueur, cette approximation n'est valable que pour une densité « modérée » de porteurs libres. Elle est donc mise en défaut en forte inversion, où une distribution de Fermi-Dirac est nécessaire à une description exacte des populations de porteurs. Cependant, cette distribution conduit à des expressions analytiques lourdes et l'approximation de Boltzmann est ici suffisante à la compréhension du problème discuté.

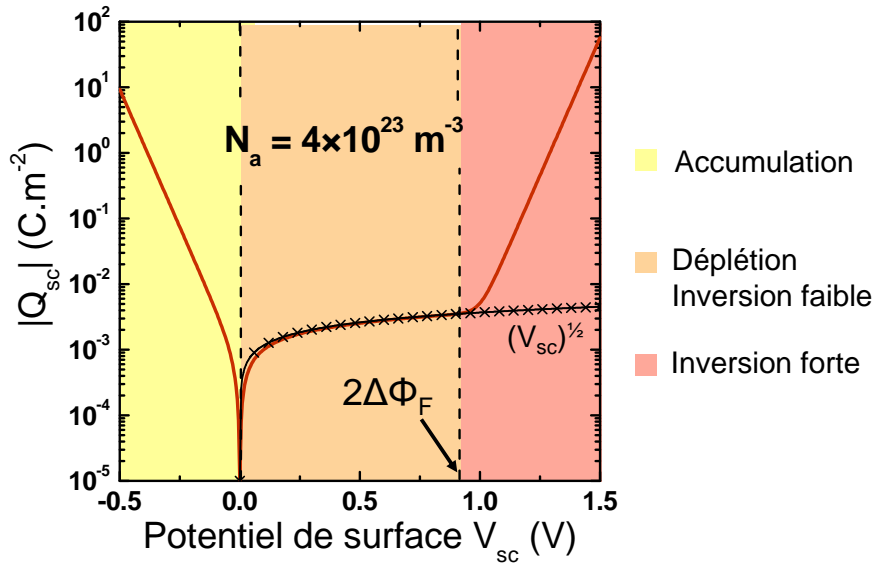


FIG. 2.7 – Evolution de la densité surfacique de charge Q_{sc} dans le semiconducteur en fonction du potentiel électrostatique V_{sc} à l'interface oxyde-semiconducteur. Cette évolution est décrite par l'équation (2.10). Les croix noires représentent l'évolution de la charge dans le semiconducteur lorsque la charge de déplétion est supposée prépondérante. Dans ce cas, cette évolution est proportionnelle à $\sqrt{V_{sc}}$.

Maintenant que nous avons déterminé les principales expressions mathématiques qui régissent le fonctionnement électrique de la structure MOS, nous allons discuter plus en détails le régime d'inversion, puisque ce régime joue un rôle particulier dans le fonctionnement du transistor MOS.

2.1.3 Etude approfondie du régime d'inversion

La présence d'une couche d'inversion dans le semiconducteur crée un canal ininterrompu de porteurs mobiles de même nature entre la source et le drain. Il suffit alors de polariser la jonction n^+n^+ ainsi formée (dans le cas d'un semiconducteur de type p) pour qu'un courant circule entre la source et le drain. Placer la structure MOS en inversion constitue donc une condition *sine qua none* pour étudier le transport dans un transistor MOS. C'est pourquoi une attention toute particulière est portée à ce régime dans ce paragraphe. Dans une première partie, nous étudierons les deux sous-régimes de l'inversion (faible et forte). Nous verrons ensuite comment est définie la tension de seuil V_t du transistor. Enfin, nous étudierons l'évolution de la charge Q_{sc} et du potentiel de surface V_{sc} lorsque la structure est placée en régime d'inversion.

- **Inversion faible et inversion forte**

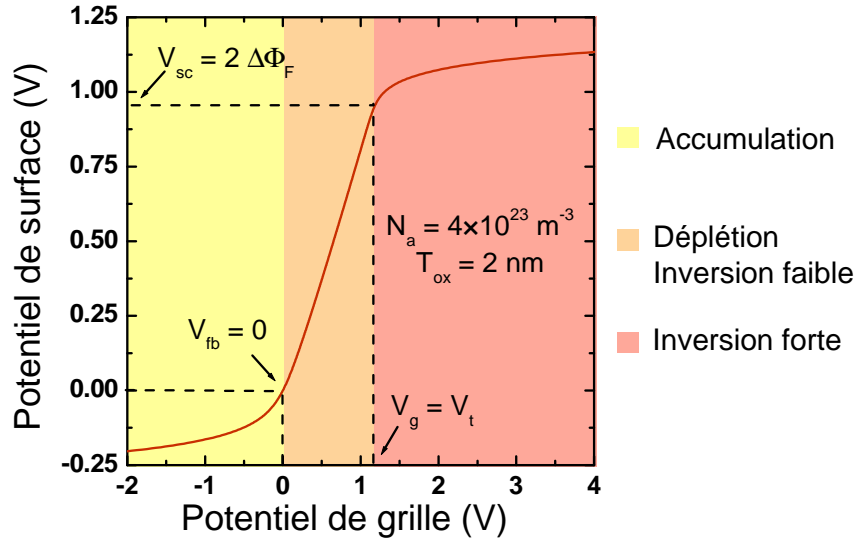


FIG. 2.8 – Evolution du potentiel de surface V_{sc} en fonction du potentiel de grille V_g .

Régime d'inversion faible Ce régime correspond à la situation où les porteurs minoritaires dans le volume du semiconducteur deviennent majoritaires au voisinage de l'interface. Cependant, leur densité reste faible par rapport à la densité de dopants ionisés. Ceci se traduit par les relations $n_i < n_s < p_0$ et $p_s < n_i$. La charge dans le semiconducteur est ainsi conditionnée par la charge de déplétion. La présence d'une couche d'inversion peu dense ne permet pas de faire circuler un courant de drain élevé dans ce régime. Nous parlerons alors de *courant sous le seuil*.

Régime d'inversion forte Ce régime correspond à la situation où les porteurs minoritaires dans le volume du semiconducteur deviennent majoritaires au voisinage de l'interface **ET** en plus grand nombre que les dopants ionisés. Ceci se traduit par les relations $n_s > p_0 = N_a$ et $p_s \ll n_i$. La charge dans le semiconducteur est ainsi conditionnée par la charge d'inversion, devenue bien supérieure à la charge de déplétion. Dans ce régime, un courant de drain élevé peut circuler, grâce à la présence d'une couche d'inversion extrêmement dense au voisinage de l'interface.

- **Tension de seuil de la structure MOS**

Le basculement d'un sous-régime à l'autre intervient lorsque la polarisation de grille atteint une valeur particulière appelée *tension de seuil* et notée V_t . Rigoureusement, cette tension correspond à la polarisation de grille qu'il faut appliquer pour que $V_{sc} = 2\Delta\Phi_F$. Ainsi définie, la

tension de seuil vaut :

$$V_t = 2\Delta\Phi_F + V_{fb} - \frac{k_B T \epsilon_{sc}}{e L_D C_{ox}} \times \left[\exp\left(\frac{2e\Delta\Phi_F}{k_B T}\right) - \frac{2e\Delta\Phi_F}{k_B T} - 1 + \left(\frac{n_i}{N_a}\right)^2 \left(\exp\left(\frac{-2e\Delta\Phi_F}{k_B T}\right) + \frac{2e\Delta\Phi_F}{k_B T} - 1 \right) \right]^{1/2} \quad (2.13)$$

L'équation précédente se simplifie en supposant qu'au seuil de l'inversion forte, la charge de déplétion est toujours prépondérante par rapport à la charge d'inversion. A cette condition, seul le second terme $-\frac{2e\Delta\Phi_F}{k_B T}$ de la parenthèse dans l'équation (2.13) reste significatif. la tension de seuil s'exprime alors :

$$V_t = 2\Delta\Phi_F + V_{fb} + \frac{\sqrt{-4e\Delta\Phi_F \epsilon_{sc} N_a}}{C_{ox}} \quad (2.14)$$

Notons que sous cette hypothèse, la tension de seuil correspond en fait à la polarisation de grille qu'il nous faut appliquer pour que la charge d'inversion ne puisse plus être négligée dans le calcul de la charge d'espace du semiconducteur. Ainsi, nous sous-estimons légèrement la tension de seuil par rapport à sa valeur rigoureuse.

• Évolution de la charge Q_{sc} et du potentiel de surface V_{sc} en régime d'inversion

Pour finir, intéressons nous à l'expression de la charge dans le semiconducteur Q_{sc} ainsi qu'à l'évolution du potentiel de surface V_{sc} en fonction de la polarisation de grille V_g dans le cas particulier du régime d'inversion forte. Dans ce régime, le terme $\exp\left(\frac{-eV_{sc}}{k_B T}\right)$ de la fonction F est prépondérant de sorte que l'équation (2.11) se réduit à :

$$F(V_{sc}) \approx \left(\frac{n_i}{N_a}\right)^2 \exp\left(\frac{-eV_{sc}}{2k_B T}\right) \quad (2.15)$$

Dans ces conditions, les équations (2.10) et (2.12) deviennent :

$$V_{sc} = \frac{2k_B T}{e} \ln\left(\frac{k_B T \epsilon_{sc} n_i}{e L_D C_{ox} N_a}\right) - \frac{2k_B T}{e} \ln V_g \quad (2.16a)$$

$$Q_{sc} = \frac{k_B T \epsilon_{sc}}{e L_D} \frac{n_i}{N_a} \exp\left(\frac{-eV_{sc}}{2k_B T}\right) \quad (2.16b)$$

De ces expressions simplifiées, on peut en déduire deux résultats particulièrement intéressants :

- En régime de forte inversion, une variation du potentiel de grille ne modifie que très peu le potentiel de surface, puisque que ce dernier varie comme $\ln(V_g)$. Ceci implique que la charge de déplétion reste quasi-constante une fois le régime d'inversion forte atteint. La valeur de la charge de déplétion maximale est donc obtenue pour $V_{sc} = 2\Delta\phi_F$ et vaut :

$$Q_{dep} = -\sqrt{-4eN_a \epsilon_{sc} \Delta\phi_F} \quad (2.17)$$

- En régime de forte inversion, la charge dans le semiconducteur varie *linéairement* avec la polarisation de grille. La charge de déplétion étant constante, l'évolution de la charge d'inversion est donc proportionnelle à V_g : toute augmentation du potentiel de grille au-delà de la tension de seuil est répercutée au sein du semiconducteur par un accroissement linéaire de la charge d'inversion, de sorte que²⁹ :

$$Q_{inv} \approx -C_{ox} (V_g - V_t) \quad (2.18)$$

Ce résultat se vérifie aisément sur le plan expérimental.

2.1.4 Modèle quantique du régime d'inversion

Lorsque la structure MOS est régime d'inversion, les approximations utilisées jusqu'à présent peuvent être mises en défaut et il apparaît comme indispensable de discuter de leur validité. Ainsi, nous avons considéré dans les paragraphes précédents (cf. paragraphes 2.1.1 et 2.1.2) que les porteurs libres dans le semiconducteur obéissaient à une statistique de Boltzmann, ce qui revient à dire que ces porteurs peuvent être décrits par une approche classique³⁰. Ce choix présente l'avantage de décrire l'évolution de la charge et du potentiel dans le semiconducteur par un formalisme et des calculs simples. Il suffit en effet de résoudre l'équation de Poisson pour avoir une description qualitative convenable des grandeurs électriques dans la structure MOS. Qu'en est-il en régime d'inversion ?

• *Limites du modèle classique*

En régime d'inversion, l'approche classique devient hélas insuffisante si nous voulons réaliser une description précise des paramètres électrostatiques. La présence d'une très forte densité de porteurs libres confinés dans un puits de potentiel très étroit nous contraint à utiliser une description quantique. Pour nous en convaincre, nous avons représenté sur la figure 2.9 l'évolution de la densité d'électrons libres dans le semiconducteur en régime d'inversion forte. Ce calcul a été réalisé dans une approche classique, c'est-à-dire en considérant une distribution de Boltzmann pour les porteurs libres et en résolvant numériquement l'équation de Poisson. Le résultat montre d'une part que la densité de porteurs libres devient extrêmement importante au voisinage de l'interface mais également que ces porteurs libres sont confinés dans un puits de potentiel extrêmement étroit ($X_{inv} \approx 4\text{nm}$).

²⁹Ce résultat nous sera particulièrement utile au paragraphe 2.2.3

³⁰Signalons également que le choix d'une statistique de Fermi-Dirac en lieu et place de celle de Boltzmann n'aurait rien changé à ce qui va être dit : la statistique de Fermi, bien que plus précise puisque valable pour un semiconducteur dégénéré, n'en demeure pas moins une description classique des porteurs.

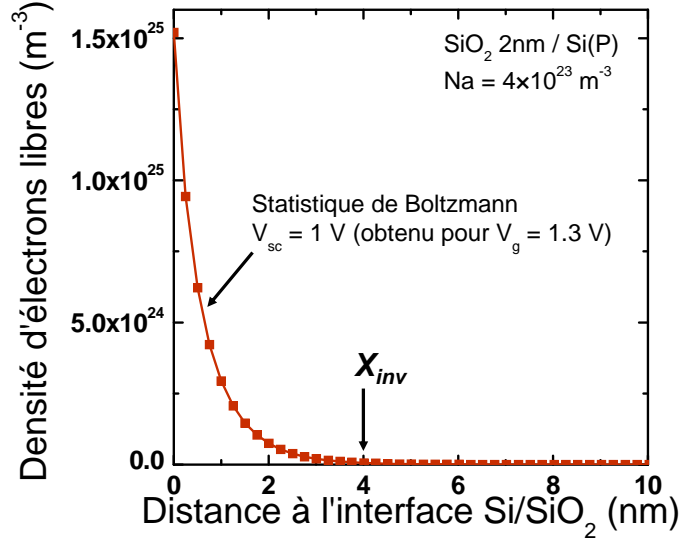


FIG. 2.9 – Densité d'électrons libres dans le semiconducteur en régime d'inversion forte. Cette densité est obtenue par résolution numérique de l'équation de Poisson (2.6) en considérant une statistique de Boltzmann.

Considérons maintenant l'aspect ondulatoire de ces électrons confinés. Leur énergie dans le semiconducteur est décrite par [Mathieu 01] :

$$E = E_c + \frac{\hbar^2 k^2}{2m_e} \quad (2.19)$$

où E_c représente le niveau énergétique de la bande de conduction, k le vecteur d'onde de l'électron considéré et m_e sa masse effective. Compte tenu de cette relation, il est possible d'associer à un électron d'énergie E une longueur d'onde, dite de « de Broglie », donnée par :

$$\lambda = \frac{2\pi}{k} = \frac{h}{\sqrt{2m_e(E - E_c)}} \quad (2.20)$$

Une rapide estimation de cette grandeur pour un électron situé quelques dizaines de meV au dessus du minimum de la bande de conduction nous donne $\lambda \approx 8\text{nm}$. En régime d'inversion forte, les électrons sont donc confinés dans un puits de potentiel dont la largeur est du même ordre de grandeur que leur longueur d'onde. Ce résultat confirme qu'une description classique des électrons est insuffisante, d'où l'approche quantique que nous allons détailler par la suite. Un autre résultat intéressant est obtenu en considérant la relation d'incertitude d'Heisenberg. A partir de cette relation, l'énergie des électrons dans leur direction de confinement vérifie l'inégalité suivante :

$$E > \frac{\hbar^2}{8m_e X_{inv}^2} \quad (2.21)$$

Cette relation montre qu'aucun électron ne peut se trouver au fond du puits de potentiel ($E = E_c$) et de ce fait, qu'aucun électron ne se situe à l'interface Si/SiO₂. Ce résultat est en contradiction avec ceux obtenus dans une approche classique (la densité de porteur classique n'est pas nulle à l'interface sur la figure 2.9) et prouve une nouvelle fois qu'une approche quantique est indispensable.

• **Modèle quantique du régime d'inversion**

Les porteurs libres (électrons ou trous) étant confinés dans un puits de potentiel à une dimension, nous allons déterminer les niveaux énergétiques de ces particules ainsi que les fonctions d'onde qui leur sont associées. Pour cela, nous devons résoudre l'équation de Schrödinger en régime stationnaire, soit :

$$\mathbb{H}\Psi_i(\vec{r}) = [\mathbb{T} + \mathbb{P}(\vec{r})]\Psi_i(\vec{r}) = E_i\Psi_i(\vec{r}) \quad (2.22)$$

où \mathbb{T} est l'opérateur énergie cinétique, \mathbb{P} l'opérateur énergie potentielle, E_i et Ψ_i les énergies et fonctions propres de l'Hamiltonien \mathbb{H} du système.

Dans le cas particulier de la couche d'inversion d'une structure MOS, différentes hypothèses simplificatrices concernant cette équation peuvent être faites.

Gaz électronique bidimensionnel L'hypothèse simplificatrice la plus importante revient à considérer que les porteurs en inversion se comporte comme un gaz électronique (électrons ou trous) bidimensionnel [Ando 82]. L'énergie de ces porteurs est alors quantifiée. Ils sont confinés selon une seule direction de l'espace (ici, la direction normale à l'interface Si/SiO₂, notée Ox) et peuvent se mouvoir librement dans le plan perpendiculaire à cette direction (cf. figure 2.10)³¹. Il en découle que le potentiel électrostatique $V(\vec{r})$ ne varie que dans la direction de confinement de sorte que l'opérateur énergie potentielle se réduit à $\mathbb{P}(x) = eV(x)$.

Expression des fonctions d'ondes Ψ_i En régime de bandes plates (absence de polarisation interne de la structure), les fonctions d'onde des porteurs dans le réseau cristallin ne sont autres que des fonctions de Bloch périodiques de la forme $\Psi(\vec{r}) = u(\vec{r}) \exp [j(k_y y + k_z z)]$ [Kittel 98].

Lorsque un potentiel extérieur $V(x)$ lentement variable est appliqué sur la structure, les fonction d'ondes du système peuvent être exprimées par des fonctions de Bloch modulées par une fonction enveloppe [Lannoo 92], de sorte que :

$$\Psi_i(\vec{r}) = \xi_i(x) \exp [j(k_y \cdot y + k_z \cdot z)] u(\vec{r}) \quad (2.23)$$

³¹En pratique, il est possible de séparer l'équation (2.22) en deux termes : un terme rendant compte du confinement $E_{\perp}(x)$ et un terme rendant compte du déplacement $E_{\parallel}(y, z)$.

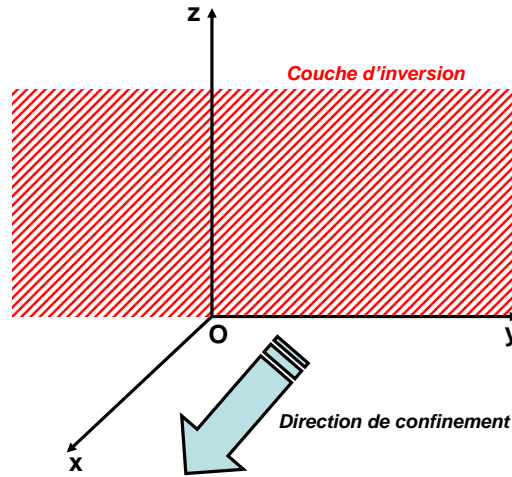


FIG. 2.10 – Schéma du confinement des porteurs libres d'une couche d'inversion dans une structure MOS. L'énergie des porteurs est quantifiée selon la direction (Ox) (direction de confinement). À l'inverse, ces porteurs peuvent se mouvoir librement dans le plan (yOz).

Les électrons étant confinés dans un puits de potentiel, les conditions aux limites que doivent vérifier ces fonctions d'onde sont :

$$\Psi_i(x = 0) = 0 \quad \text{et} \quad \Psi_i(x \rightarrow \infty) = 0 \quad (2.24)$$

Ces conditions aux limites supposent que le puits de potentiel est infini et en particulier, que la barrière Si/SiO₂ est infranchissable par les porteurs. Cette hypothèse, vérifiée pour des oxydes épais, est remise en cause dès que les oxydes étudiés sont minces (quelques dizaines d'ångströms). Dans ce cas, un courant de fuite de grille existe et les fonctions d'ondes ne s'annulent plus à l'interface Si/SiO₂ (pénétration des fonctions d'ondes dans l'oxyde) [Lujan 05].

Approximation de la masse effective Un électron de la bande de conduction est une particule de masse m_0 ³² et de charge e soumis à un champ de force interne F_i résultant du champ cristallin et aux forces externes F_e . Le principe fondamental de la dynamique appliqué à cet électron s'écrit :

$$m_0 \frac{d\vec{v}}{dt} = \vec{F}_i + \vec{F}_e \quad (2.25)$$

Le concept de masse effective revient à décrire le même électron comme une quasi-particule de masse m_e dans le vide, soit :

$$m_e \frac{d\vec{v}}{dt} = \vec{F}_e \quad (2.26)$$

³²Pour rappel, m_0 est la masse de l'électron *dans le vide* et vaut 0.910956×10^{-30} kg.

Cette notion de masse effective contient donc l'effet global du potentiel cristallin sur l'électron. Sous cette approximation, l'opérateur énergie cinétique \mathbb{T} s'écrit :

$$\mathbb{T} = \frac{-\hbar^2}{2m_e} \Delta \quad (2.27)$$

où Δ est l'opérateur Laplacien.

Équation de Schrödinger simplifiée La considération de l'ensemble de ces hypothèses simplificatrices permet de réécrire l'équation de Schrödinger (2.22) sous la forme :

$$\frac{-\hbar^2}{2m_e^x} \frac{\partial^2 \xi_i(x)}{\partial x^2} + eV(x)\xi_i(x) = E_i \xi_i(x) \quad (2.28)$$

avec les conditions aux limites suivantes :

$$\xi_i(x=0) = 0 \quad \text{et} \quad \xi_i(x \rightarrow \infty) = 0 \quad (2.29)$$

Au final, cette équation permet de mettre en évidence l'aspect quantique de la couche d'inversion. Les porteurs libres de cette couche s'organisent en sous-bandes énergétiques quantifiées selon l'axe Ox et peuvent se mouvoir librement au sein de chaque sous-bande dans le plan yOz (continuum énergétique selon k_y et k_z). L'énergie des porteurs s'écrit ainsi :

$$E = E_c + E_i + \frac{\hbar^2}{2} \left(\frac{k_y^2}{m_e^y} + \frac{k_z^2}{m_e^z} \right) \quad (2.30)$$

où E_i , obtenue en résolvant l'équation (2.28), représente l'énergie propre de l'état i associé à la fonction propre $\xi_i(x)$.

• Détermination de la densité de porteurs libres

Le calcul de la densité de porteurs libres ($n(x)$ ou $p(x)$) dans le cas d'une charge confinée s'effectue à partir de la relation de dispersion (2.30). Il est alors nécessaire de déterminer les masses effectives des différents groupes d'électrons ou de trous dans le cas d'un gaz de porteurs libres 2D confiné selon la direction $Ox = [001]$ du silicium. Si cette approche est particulièrement simple et précise dans le cas des électrons, l'approximation de la masse effective est beaucoup plus controversée dans le cas des trous. Nous détaillerons dans un premier temps le cas des électrons puis nous aborderons rapidement celui des trous.

Considérons donc tout d'abord les courbes iso-énergétiques d'un gaz électronique bidimensionnel. Cette configuration, représentée sur la figure 2.11, met en évidence l'existence de deux familles d'électrons que nous allons étudier.

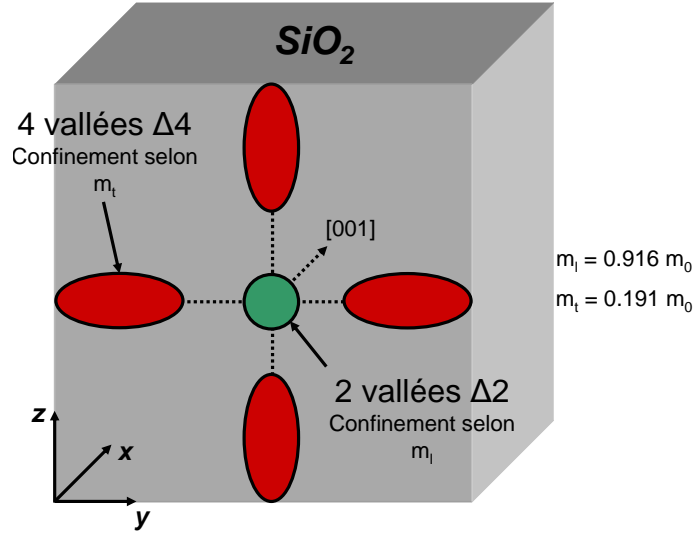


FIG. 2.11 – Représentation schématique des courbes iso-énergétiques d'un gaz électronique 2D dans le cas du silicium. Ce schéma fait apparaître deux familles d'électrons : ceux des deux vallées circulaires (confondues sur le diagramme) $\Delta 2$ et ceux des quatre vallées elliptiques $\Delta 4$. Ces deux familles distinctes induisent l'existence de deux familles de sous-bandes quantifiées.

Électrons des deux vallées $\Delta 2$ Leur masse de confinement est la masse longitudinale $m_l = 0.916 m_0$. La relation de dispersion (2.30) se réécrit alors :

$$E = E_c + E_{\Delta 2,i} + \frac{\hbar^2}{2} \left(\frac{k_y^2}{m_t} + \frac{k_z^2}{m_t} \right) \quad (2.31)$$

De cette équation, il vient que dans le plan yOz , les courbes iso-énergétiques de ces électrons sont des cercles de rayon $r_{\Delta 2,i}(E) = \sqrt{\frac{2m_t}{\hbar^2} (E - E_c - E_{\Delta 2,i})}$. Nous pouvons alors déterminer le nombre d'états énergétiques $N_{\Delta 2,i}(E)$ de la sous-bande i contenus dans ces deux vallées $\Delta 2$ circulaires ainsi que la densité d'états dans l'espace des énergies $g_{\Delta 2,i}$ pour la même sous-bande :

$$N_{\Delta 2,i}(E) = 2 \times \frac{2}{(2\pi)^2} \times \pi [r_{\Delta 2,i}(E)]^2 = \frac{2}{\pi} \frac{m_c^{\Delta 2}}{\hbar^2} (E - E_c - E_{\Delta 2,i}) \quad (2.32a)$$

$$g_{\Delta 2,i} = \frac{dN_{\Delta 2,i}(E)}{dE} = \frac{2}{\pi} \frac{m_c^{\Delta 2}}{\hbar^2} \quad (2.32b)$$

où $m_c^{\Delta 2} = m_t$ est la masse de densité d'états 2D pour les vallées $\Delta 2$.

Électrons des quatre vallées $\Delta 4$ Leur masse de confinement est la masse transverse $m_t = 0.191 m_0$. La relation de dispersion (2.30) se réécrit alors :

$$E = E_c + E_{\Delta 4,i} + \frac{\hbar^2}{2} \left(\frac{k_y^2}{m_l} + \frac{k_z^2}{m_t} \right) \quad (2.33)$$

De cette équation, il en vient que dans le plan yOz , les courbes iso-énergétiques de ces électrons sont des ellipses de demi grand axe $R_{\Delta 4,i}(E) = \sqrt{\frac{2m_l}{\hbar^2} (E - E_c - E_{\Delta 4,i})}$ et de demi petit axe $r_{\Delta 4,i}(E) = \sqrt{\frac{2m_t}{\hbar^2} (E - E_c - E_{\Delta 4,i})}$. Nous pouvons alors déterminer le nombre d'états énergétiques $N_{\Delta 4,i}(E)$ de la sous-bande i contenus dans ces quatre vallées $\Delta 4$ elliptiques ainsi que la densité d'états dans l'espace des énergies $g_{\Delta 4,i}$ pour la même sous-bande :

$$N_{\Delta 4,i}(E) = 4 \times \frac{2}{(2\pi)^2} \times \pi r_{\Delta 4,i}(E) R_{\Delta 4,i}(E) = \frac{4}{\pi} \frac{m_c^{\Delta 4}}{\hbar^2} (E - E_c - E_{\Delta 4,i}) \quad (2.34a)$$

$$g_{\Delta 4,i} = \frac{dN_{\Delta 4,i}(E)}{dE} = \frac{4}{\pi} \frac{m_c^{\Delta 4}}{\hbar^2} \quad (2.34b)$$

où $m_c^{\Delta 4} = \sqrt{m_t m_l}$ est la masse de densité d'états 2D pour les vallées $\Delta 4$.

Calcul de la densité d'électrons libres La densité d'états par unité d'énergie étant maintenant connue pour chaque sous-bande des deux familles électroniques, il devient possible de déterminer la population de chaque sous bande par la relation :

$$n_{j,i} = \int_{E_c + E_{j,i}}^{\infty} g_{j,i} f_n(E) dE = g_{j,i} k_B T \ln \left[1 + \exp \left(\frac{E_F - E_{j,i}}{k_B T} \right) \right] \quad (2.35)$$

où l'indice j décrit les deux familles électroniques ($j = \Delta 2, \Delta 4$) et $f_n(E)$ est la distribution de Fermi. Le module au carré de la fonction d'onde $\xi_{j,i}(x)$ représentant la probabilité de présence des électrons suivant la direction Ox , la distribution spatiale des électrons dans la direction perpendiculaire à l'interface est donnée par :

$$n_{j,i}(x) = n_{j,i} |\xi_{j,i}(x)|^2 \quad (2.36)$$

Enfin, la distribution spatiale de l'ensemble des électrons de la couche d'inversion s'obtient en sommant la relation (2.36) sur l'ensemble des sous-bandes des deux familles électroniques, soit :

$$n(x) = \sum_{j=\Delta 2, \Delta 4} \sum_i g_{j,i} k_B T \ln \left[1 + \exp \left(\frac{E_F - E_{j,i}}{k_B T} \right) \right] |\xi_{j,i}(x)|^2 \quad (2.37)$$

Cas des trous Lorsque la couche d'inversion est constituée de trous, il est nécessaire de connaître la structure de la bande de valence 2D afin de pouvoir déterminer les masses effectives des différentes familles de trous dans l'approximation de la masse effective décrite ci-dessus. Si cette structure était assez simple dans le cas des électrons, elle est beaucoup plus complexe dans le cas des trous.

En première approximation, nous considérerons qu'il existe deux familles de trous : les trous lourds, de masse effective $m_{hh} = 0.47 m_0$ et les trous légers, de masse effective $m_{lh} = 0.157 m_0$ [Mathieu 01]. Les surfaces iso-énergétiques de ces deux familles étant supposées isotropes et non

dégénérées (une seule vallée par famille), les masses effectives de densités d'états 2D pour les trous lourds et légers valent respectivement $m_c^{hh} = m_{hh}$ et $m_c^{lh} = m_{lh}$. En menant le même raisonnement que pour les électrons, nous aboutissons à une densité de trous libres $p(x)$ égale à :

$$p(x) = \sum_{j=hh,lh} \sum_i g_{j,i} k_B T \ln \left[1 + \exp \left(\frac{E_{j,i} - E_F}{k_B T} \right) \right] |\xi_{j,i}(x)|^2 \quad (2.38)$$

où $g_{j,i} = \frac{m_c^j}{\pi \hbar^2}$.

En réalité, la structure de la bande de valence bidimensionnelle est plus complexe que celle des électrons et l'approximation des masses effectives s'avère très limitée dans le cas des trous (forte anisotropie de la bande des trous lourds, structure de bande dépendante de la température...). Nous prendrons ici le parti de nous en contenter et nous invitons le lecteur à consulter les travaux de S. Richard [Richard 04] et T. Guillaume [Guillaume 05] pour plus de détails.

• Résolution numérique auto-cohérente du problème

Maintenant que nous avons détaillé le modèle de quantification 1D dans le cas d'une couche d'inversion, revenons au calcul du potentiel $V(x)$ dans la structure ainsi qu'à la détermination des densités de porteurs libres $n(x)$ ou $p(x)$. D'une part, ces densités (équations (2.37) et (2.38)) sont obtenues en résolvant l'équation de Schrödinger simplifiée (2.28), cette résolution passant par la connaissance du potentiel électrostatique dans la structure $V(x)$. D'autre part, le calcul de ce potentiel est obtenu en résolvant l'équation de Poisson (2.6), résolution qui nécessite de connaître les densités de porteurs libres $n(x)$ et $p(x)$ dans la structure. Nous sommes donc en présence d'un problème auto-consistant qui nécessite de résoudre de manière couplée les équations de Poisson et de Schrödinger. Ce problème ne possédant pas de solution analytique exacte, il existe deux manières de le résoudre :

- Soit en utilisant des hypothèses simplificatrices afin d'aboutir à un problème simplifié et analytiquement soluble : puits de potentiel triangulaire, approche variationnelle...
- Soit en résolvant de manière numérique les deux équations couplées. Un tel solveur Poisson/Schrödinger a été développé au CEA/Leti par Leroux *et al.* [Leroux 04a] et a permis de déterminer la densité de porteurs libres en tenant compte des effets quantiques sur la figure 2.9.

2.1.5 Détermination expérimentale de la caractéristique Capacité-Tension

Dans les paragraphes précédents, nous avons abordé de manière théorique la notion de capacité dans les structures MOS idéale. Nous avons ainsi calculé la charge d'espace dans le semi-conducteur Q_{sc} et le potentiel de surface V_{sc} dans les différents régimes de fonctionnement de

cette structure. Dans ce paragraphe, et avant de discuter des structures MOS réelles, nous allons voir comment il est possible d'extraire expérimentalement la caractéristique Capacité-Tension $C_{tot}(V_g)$.

• **Technique d'extraction de la caractéristique**

Pour remonter à la caractéristique C-V expérimentale, la structure MOS peut être vue comme étant électriquement équivalente à deux capacités en série, dont l'une résulte de la présence de l'isolant (C_{ox}) et l'autre de la charge contenue dans le semiconducteur (C_{sc}). Ainsi, nous avons :

$$C_{tot}(V_{sc}) = \left(\frac{1}{C_{ox}} + \frac{1}{C_{sc}(V_{sc})} \right)^{-1} \quad (2.39)$$

En pratique, l'extraction de la caractéristique est réalisée en soumettant la structure MOS à une polarisation de grille variable. Ainsi, à une variation de la polarisation de grille δV_g autour de la polarisation V_g est associée une modification du potentiel de surface δV_{sc} . Cette variation induit à son tour une modification de la charge dans le semiconducteur δQ_{sc} . Il est alors possible de remonter à la capacité totale au point V_g à partir de la capacité différentielle mesurée en ce point puisque :

$$C_{tot}(V_g) = - \left. \frac{\delta Q_{sc}}{\delta V_{sc}} \right|_{V_g} = \left. \frac{\partial Q_{sc}}{\partial V_g} \right|_{V_g} \quad (2.40)$$

Pour réaliser ce type de mesure, nous utiliserons un capacimètre (Agilent 4284 dans notre cas). Cet appareil mesure l'impédance (ou l'admittance) complexe de la structure lorsqu'elle est soumise à une polarisation sinusoïdale de la forme $U(t) = V_g(t) + s(t)$ avec $s(t) = S_0 \sin(\omega t)$ (cf figure 2.12). La polarisation de grille $V_g(t)$ (qui varie par paliers de façon à ce que chaque point de mesure soit obtenu à l'équilibre thermodynamique) permet de sonder les différents régimes de fonctionnement de la structure (accumulation, déplétion ou inversion). Le petit signal sinusoïdal $s(t)$ permet quant à lui d'extraire la capacité différentielle et donc $C_{tot}(V_g)$ par le biais de l'admittance complexe Y_{mes} du système.

L'extraction de C_{tot} nécessite de faire le lien entre l'admittance Y_{mes} mesurée par le capacimètre et les différentes grandeurs électriques de la structure : outre C_{tot} , cette structure est également caractérisée par une résistance série R_s , qui décrit le caractère non idéal des différents contacts (grille, substrat...) et une conductance G_l , qui rend compte du courant de fuite à travers l'oxyde. Au final, les deux représentations électriques équivalentes de la structure MOS sont schématisées sur la figure 2.13. En considérant que les admittances Y_{mes} et Y_{mod} de ces deux représentations sont équivalentes, on obtient les relations suivantes :

$$G_{mes} = \frac{G_l + R_s G_l^2 + R_s C_{tot}^2 \omega^2}{(1 + R_s G_l)^2 + (R_s C_{tot} \omega)^2} \quad (2.41a)$$

$$C_{mes} = \frac{C_{tot}}{(1 + R_s G_l)^2 + (R_s C_{tot} \omega)^2} \quad (2.41b)$$

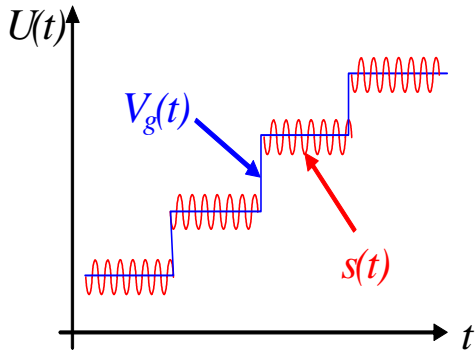


FIG. 2.12 – Allure globale de la polarisation appliquée par le capacimètre lors de la mesure d'impédance.

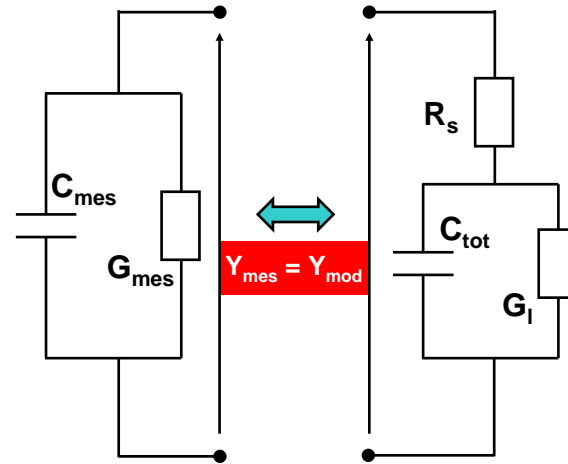


FIG. 2.13 – Représentations électriques équivalentes de la structure MOS : à gauche, le schéma utilisé par le capacimètre, d'admittance Y_{mes} et à droite, le schéma électrique faisant apparaître C_{tot} et les différentes résistances, d'admittance Y_{mod} .

Dans ce manuscrit, nous considérerons que les courants de fuite à travers la grille ainsi que les résistances d'accès sont négligeables³³, de sorte que $G_l \approx 0 \approx R_s$. Les équations (2.41) se simplifient alors en :

$$G_{mes} \approx 0 \quad (2.42a)$$

$$C_{mes} \approx C_{tot} \quad (2.42b)$$

Nous accédons alors directement à la capacité totale de la structure MOS.

• Réponse des porteurs et des charges piégées au signal de mesure

Le dernier point que nous allons aborder dans ce paragraphe est l'impact du signal de mesure sur l'allure de la caractéristique C-V extraite. Ce point sera particulièrement important dans le paragraphe suivant, afin de bien comprendre le comportement des différents pièges dans la structure MOS réelle en réponse au signal de mesure. Comme nous l'avons précisé plus haut, la polarisation appliquée par le capacimètre peut se décomposer en deux signaux :

- Un signal $V_g(t)$ variant lentement par paliers : ce signal quasi-statique permet de polariser la structure dans un régime de fonctionnement particulier.

³³Ces deux hypothèses sont parfaitement vérifiées dans le cas de transistors longs avec des oxydes de grille épais ou de forte permittivité. Lorsque ces hypothèses sont mises en défaut, il faut considérer des algorithmes de correction pour extraire C_{tot} [Lime 04].

- Un petit signal sinusoïdal $s(t)$ caractérisé par sa fréquence $f = \omega/2\pi$: ce signal permet d'extraire la capacité différentielle de la structure et donc d'avoir accès à $C_{tot}(V_g)$.

Réponse de la couche d'inversion La capacité de la structure est obtenue par le biais de la réponse des porteurs majoritaires au petit signal de mesure. Lorsque la fréquence de ce signal varie, la caractéristique C-V extraite est modifiée, comme nous pouvons le constater sur la figure 2.14. Ainsi, les caractéristiques obtenues sont identiques en accumulation et déplétion, mais diffèrent fortement en inversion. Le tracé réalisé à basse fréquence est conforme à ce qui était attendu, avec une capacité qui remonte jusqu'à C_{ox} en forte inversion. Au contraire, le tracé haute-fréquence présente un palier à la valeur C_{inv} . Cette différence est due au comportement des porteurs minoritaires, qui dominent dans le processus d'inversion.

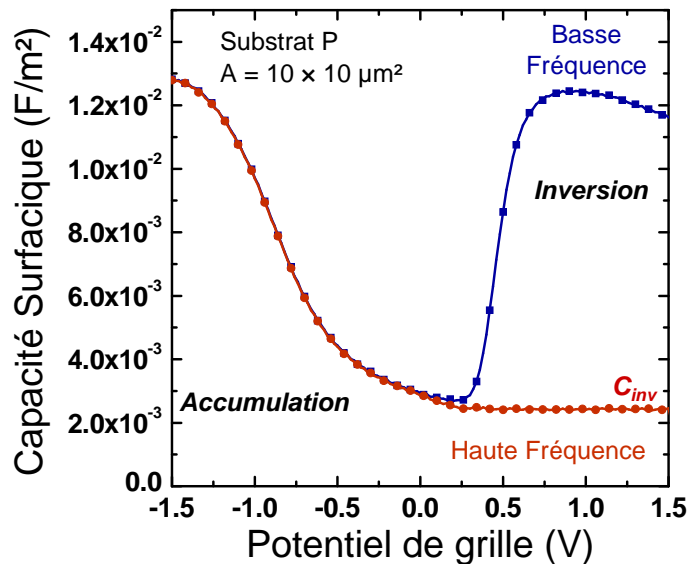


FIG. 2.14 – Influence de la fréquence du signal de mesure sur la caractéristique C-V. A haute fréquence, les porteurs de la couche d'inversion ne peuvent pas répondre au signal de mesure et la capacité liée à cette couche d'inversion n'est pas mesurée.

En effet, il faut avoir à l'esprit que l'établissement du régime d'inversion demande la génération d'une concentration importante de porteurs minoritaires. A température ordinaire, la génération thermique de paires électron-trou est lente dans un semiconducteur de bonne qualité. L'application de la polarisation d'inversion n'est donc pas suivie instantanément de l'apparition de la couche inversée. Dans un premier temps, les porteurs majoritaires sont très fortement repoussés loin de la surface du semiconducteur : il existe donc une région où la concentration des deux types de porteurs est très petite, soit $n \cdot p < n_i^2$. Cette situation est appelée déplétion profonde hors d'équilibre.

A mesure que la génération thermique fournit les porteurs nécessaires, cet état évolue vers l'inversion à l'équilibre³⁴. Les conditions expérimentales doivent prendre en compte ce phénomène pour que le régime d'inversion soit effectivement obtenu.

Pour les mêmes raisons, lorsque le régime d'inversion est établi, la charge d'inversion ne peut varier que lentement. Pour que la charge augmente, il faut que de nouveaux porteurs minoritaires soient générés, or la génération thermique est lente ; pour qu'elle diminue, il faut qu'il y ait recombinaison, or cette recombinaison est difficile puisque la concentration des autres porteurs est très faible au voisinage de la couche inversée. Il faut donc une variation lente de la tension de grille pour que la charge d'inversion puisse « suivre » le signal imposé. C'est ce qui se passe avec un signal alternatif $s(t)$ de très basse fréquence. Si la mesure de capacité se fait avec un signal alternatif de haute fréquence, la perturbation de l'état d'inversion est très rapide. La concentration des électrons ou des trous dans la couche d'inversion ne peut pas « suivre » le signal de mesure : tout se passe alors pour la mesure de capacité comme si *la couche d'inversion n'existait pas*. La variation de charge du semiconducteur δQ_{sc} concerne alors la couche désertée. A partir de $V_g = V_{th}$, la couche désertée garde sa profondeur maximale W_{max} . La variation de la charge correspond à l'oscillation de la profondeur de la couche désertée autour de W_{max} et la capacité du semiconducteur reste donc constante. Nous mesurons donc une capacité C_{inv} constante de faible valeur.

Réponse des charges piégées Lorsque des défauts existent dans l'oxyde et que ces défauts peuvent se charger et se décharger en fonction de la polarisation de grille, un raisonnement similaire à celui proposé précédemment peut s'appliquer. Ainsi, nous pouvons distinguer deux cas :

- Lorsque les pièges sont suffisamment rapides pour suivre le signal sinusoïdal $s(t)$, ils se chargent et se déchargent en fonction du signal de mesure. Cette variation de charge contribue à la capacité différentielle mesurée en introduisant un terme supplémentaire :

$$C_{it}(V_g) = -\frac{dQ_{it}}{dV_g} \quad (2.43)$$

Nous observons alors une déformation de la caractéristique C-V par rapport à la caractéristique idéale sans pièges.

- Lorsque les pièges sont trop lents pour suivre $s(t)$, leur état de chargement ne varie pas avec le signal sinusoïdal et ces pièges ne modifient pas l'allure de la capacité mesurée ($C_{it} = 0$).

Nous allons revenir sur ces deux cas dans le prochain paragraphe.

³⁴Notons qu'il faut de l'ordre de 10 secondes à 5 minutes pour le silicium à la température ambiante

2.1.6 Cas de la structure MOS utilisée dans cette étude

Dans les parties précédentes, nous avons abordé le comportement électrique d'une structure MOS idéale en mentionnant à plusieurs reprises que cette structure idéale était différente des empilements réellement étudiés au cours de cette thèse. Parmi ces nombreuses différences, nous allons plus particulièrement nous focaliser sur deux d'entre elles et voir comment elles impactent le fonctionnement électrique de la structure idéale.

- **Cas d'un isolant de grille multi-couches et notion d'EOT**

Lorsque nous avons évoqué la structure MOS idéale, nous avons considéré que l'isolant de grille n'était constitué que d'une seule couche d'oxyde. Cependant, les raisons technologiques et les critères de performance évoqués au chapitre précédent ont obligé l'industrie microélectronique à remplacer cette couche unique de SiO_2 par un empilement à deux couches, constitué d'un oxyde interfacial (SiO_x ou SiON) et d'une couche d'oxyde de forte permittivité dit *high-k* (HfO_2 ou HfSiO_x dans notre étude). Un tel empilement est présenté figure 2.15. Qu'advient-il alors des résultats que nous avons donnés précédemment ? Nous allons voir que ceux-ci tiennent toujours à condition d'introduire une grandeur très utilisée dans la suite de ce manuscrit : l'*EOT* (pour *equivalent oxide thickness* ou épaisseur équivalente d'oxyde).

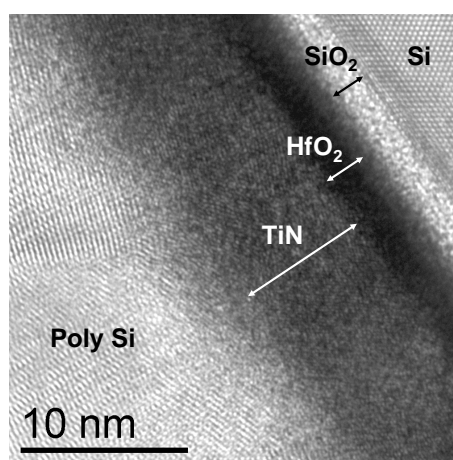


FIG. 2.15 – Image TEM représentative des structures MOS étudiées au cours de cette thèse. Nous remarquons en particulier que la grille est constituée de nitrure de titane (TiN) recouverte par du silicium polycristallin (Poly Si) tandis que l'oxyde de grille est formé par une bi-couche d'oxyde de silicium (SiO_2)/oxyde d'hafnium (HfO_2).

Lorsque l'isolant de grille est constitué d'un oxyde unique, cette couche présente une capacité par unité de surface valant : avec ϵ_{ox}^r la permittivité diélectrique relative de l'oxyde (3.9 pour le SiO_2) et t_{ox} l'épaisseur *physique* d'oxyde.

Considérons maintenant un isolant de grille constitué de deux couches superposées d'oxyde³⁵. Cet empilement peut être vu comme l'association en série de deux capacités, l'une liée à l'oxyde interfacial C_{inter} et l'autre liée au matériau de forte permittivité C_{hk} . Avec les mêmes conventions que dans l'équation (1.1), la capacité surfacique totale s'écrit :

$$\frac{1}{C_{tot}} = \frac{1}{C_{inter}} + \frac{1}{C_{hk}} = \frac{t_{inter}}{\epsilon_{inter}^r \cdot \epsilon_0} + \frac{t_{hk}}{\epsilon_{hk}^r \cdot \epsilon_0} \quad (2.44)$$

Définissons maintenant l' EOT comme suit : Nous pouvons alors exprimer la capacité totale de l'empilement (équation (2.44)) comme valant :

$$C_{tot} = \frac{\epsilon_{ox}^r \cdot \epsilon_0}{EOT} \quad (2.45)$$

Les équations (2.44) et (2.45) montrent donc que d'un point de vue électrique, une structure MOS constituée d'un isolant de grille bi-couches d'épaisseur totale $t_{inter} + t_{hk}$ et de constantes diélectriques respectives ϵ_{inter}^r et ϵ_{hk}^r peut être étudié de la même manière qu'un empilement mono-couche de constante diélectrique ϵ_{ox}^r et d'épaisseur *physique* EOT . L'épaisseur équivalente d'oxyde représente ainsi l'épaisseur *physique* d'oxyde qu'il faudrait utiliser pour remplacer l'empilement bi-couches et avoir la même épaisseur *électrique* que ce dernier (même courbure des bandes dans le semiconducteur pour une polarisation de grille donnée).

Le formalisme simple que nous avons développé dans les parties précédentes est par conséquent directement transposable aux empilements multi-couches que nous aurons à considérer dans cette étude. Il suffira pour cela d'utiliser le paramètre EOT en lieu et place de l'épaisseur physique d'oxyde lorsque nous aurons à évaluer les caractéristiques électriques de structures MOS multi-couches dans la suite de ce manuscrit.

• Influence des défauts chargés dans l'oxyde

Le second point que nous allons aborder dans cette partie est l'influence de défauts chargés dans l'oxyde sur les caractéristiques électriques de la capacité MOS. Signalons d'emblée que la caractérisation précise de ces défauts ne représente pas une fin en soi dans notre étude. C'est pourquoi, nous invitons les lecteurs désireux d'obtenir plus de détails sur l'influence de ces défauts chargés ainsi que leur caractérisation à se reporter aux ouvrages de référence de S. M. Sze [Sze 81] et E. H. Nicollian [Nicollian 82] ou aux manuscrits de thèse de J. Mitard [Mitard 07] et X. Garros [Garros 04]. Cependant, il semble tout de même judicieux de rappeler quelques notions sur ces défauts et les techniques de caractérisation associées, et ce pour deux raisons :

- La présence de défauts chargés dans l'empilement MOS modifie le comportement électrique de cet empilement mais influence également le transport dans le canal du transistor MOS de manière directe (ce point sera abordé au paragraphe 2.2). Ainsi, la caractérisation

³⁵Notons que ce raisonnement est aisément généralisable à un empilement à n couches.

des défauts à travers leur impact sur la capacité MOS constitue un formidable outils à la quantification de ces charges, quantification fondamentale à l'évaluation de certains paramètres du transport, comme la mobilité.

- Les principales techniques d'extraction de la mobilité (ces techniques seront décrites au chapitre 1) reposent sur des mesures de courant et de capacité. Il est donc primordial de connaître l'influence possible de défauts chargés sur ces mesures afin de les corriger si le besoin s'en fait sentir.

Classiquement, les différents types de défauts chargés présent dans l'oxyde de grille sont regroupés en trois catégories³⁶. Ces différents types de défauts ainsi que leurs localisations sont représentés sur la figure 2.16. L'axe de notre étude étant la caractérisation électrique de struc-

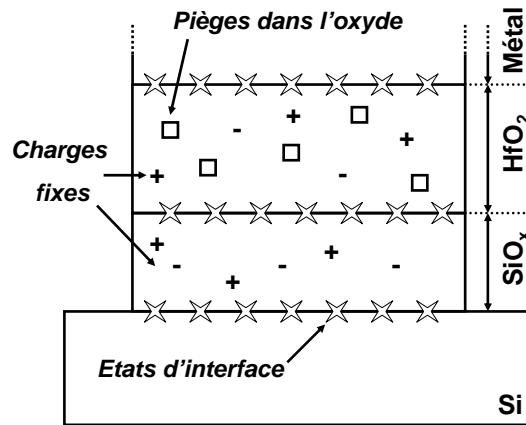


FIG. 2.16 – Types de défauts et leurs localisations dans une structure MOS avec un oxyde de grille de forte permittivité. Nous distinguons ici les trois types de défauts : les états d'interface (étoiles), les charges fixes dans l'oxyde (+ et -) et les pièges dans l'oxyde (carrés).

tures TMOS, il apparaît plus judicieux de s'intéresser à l'impact que peuvent avoir ces défauts chargés sur la caractéristique capacité-tension C-V d'une structure MOS plutôt qu'aux défauts eux-mêmes. Ainsi, nous allons voir que les modifications de la caractéristique C-V imposées par ces défauts peuvent prendre quatre formes : une déformation localisée et dépendante de la fréquence de mesure de la caractéristique C-V, un décalage de la caractéristique C-V lié à un décalage de la tension de bandes plates, un effet dit de *Stretch Out* de la caractéristique C-V, qui correspond à une déformation globale et indépendante de la fréquence de mesure de la caractéristique C-V et enfin, un effet d'hystérésis sur la caractéristique C-V.

³⁶En réalité, il existe un quatrième type de défauts, les ions mobiles dans la couche d'oxyde mais cette espèce sera ici négligée. En effet, les procédés de fabrication des dispositifs sont aujourd'hui bien maîtrisés, rendant la densité de ces ions négligeable par rapport aux autres défauts.

• **Déformation locale de la caractéristique C-V : les charges d'interface**

Le premier type de modification engendrée par des défauts et que nous allons considérer ici est une déformation localisée de la caractéristique C-V. Cette déformation des courbes capacitatives apparaît au niveau de la zone de déplétion et présente une dépendance en fonction de la fréquence utilisée lors de la mesure $C(V_g)$, comme le montre l'exemple de la figure 2.17. Ces deux caractéristiques permettent d'associer ce type de déformation aux états d'interface du dispositif.

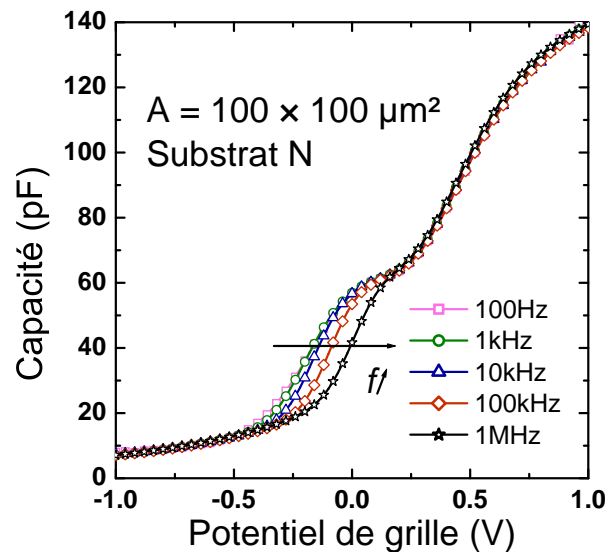


FIG. 2.17 – Influence des états d'interface sur la caractéristique C-V d'une structure MOS. Nous observons une déformation de cette caractéristique au niveau de la zone de déplétion et dépendante de la fréquence de mesure.

Les états d'interface (ou charges d'interface) apparaissent dès lors qu'une rupture dans la structure cristalline est présente au sein de l'empilement. Ce sont donc des pièges plus ou moins rapides localisés aux différentes interfaces grille/isolant, canal/oxyde interfacial ou oxyde interfacial/oxyde high- κ , comme le montre la figure 2.16. Ces défauts correspondent à des états énergétiques accessibles dans la bande interdite du silicium. Selon la position de ces états par rapport au niveau de Fermi et la polarisation appliquée sur le dispositif, ces défauts peuvent être chargés positivement, négativement, voire même neutres. Notons également que du fait de leur proximité avec le canal d'inversion, les défauts situés à l'interface canal/oxyde interfacial jouent un rôle primordial dans le fonctionnement électrique des structures étudiées.

D'un point de vue expérimental, ces défauts peuvent se charger et se décharger en fonction de la polarisation appliquée sur la grille, ce qui explique la déformation localisée des courbes C-V. En outre, la modification de leur état électrique dépend de leur « temps de réponse » τ_c de sorte

que cette déformation est dépendante de la fréquence utilisée lors de la mesure de capacité. Ainsi, par l'étude de la déformation de la caractéristique C-V en fonction de la fréquence de mesure et du potentiel de grille, il est possible de caractériser et de quantifier ces pièges d'interface. Parmi les différentes techniques de caractérisation, nous allons aborder deux d'entre elles : la technique de la conductance $G(\omega)$ et le pompage de charges.

Technique de la conductance $G(\omega)$ Cette technique repose sur une mesure de la conductance G de la structure en fonction de la fréquence, cette conductance étant directement modifiée par la présence d'états d'interface [Nicollian 65]. En effet, lorsque des pièges d'interface sont présents dans une structure MOS, leurs chargements et déchargements peuvent s'effectuer hors équilibre thermodynamique, engendrant ainsi des pertes par effets Joule [Nicollian 82]. Cette dissipation énergétique est fortement dépendante de la fréquence de mesure :

- A haute fréquence ($\tau_c \gg 1/f$) et basse fréquence ($\tau_c < 1/f$), la perte énergétique est quasi-nulle car le transfert de porteurs entre les pièges et le substrat est respectivement soit inexistant, soit réalisé en quasi-équilibre thermodynamique. G est alors faible dans ces deux cas.
- Aux fréquences intermédiaires, typiquement entre 100Hz et 1MHz, le transfert de porteurs s'effectue hors équilibre thermodynamique. Le retour à l'équilibre se fait par dissipation d'énergie par effet Joule. La conductance mesurée est alors plus élevée.

La courbe $G(\omega = 2\pi f)$ présente donc une allure de cloche et passe par un maximum qui nous renseigne sur le temps de réponse des pièges ainsi que sur la densité d'états d'interface par unité de surface et d'énergie D_{it} . Plus précisément, Nicollian *et al.* [Nicollian 82] ont montré que la conductance était liée à la fréquence de mesure par la relation :

$$\xi(E_t, \omega) = \frac{G(E_t, \omega)}{A\omega} = \frac{qD_{it}(E_t)}{2} \frac{\ln\left(1 + \omega^2\tau_c(E_t)^2\right)}{\omega\tau_c(E_t)} \quad (2.46)$$

où E_t est le niveau énergétique du piège, fixé par la polarisation de grille appliquée sur la structure. Le maximum de cette fonction ξ est obtenu pour $\omega_{max}\tau_c(E_t) = 1.98$ de sorte que nous pouvons en extraire le temps de réponse du piège. En réinjectant ce résultat dans l'équation (2.46), nous en déduisons la densité de défauts à l'interface $D_{it}(E_t)$. Un exemple de ce type de tracé ainsi qu'une extraction des paramètres τ_c et D_{it} sont représentés figure 2.18.

Cette technique, simple à mettre en oeuvre, permet de sonder de faibles densités de pièges (jusqu'à $10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$) mais nécessite des dispositifs avec des dimensions conséquentes (typiquement $100 \times 100 \text{ }\mu\text{m}^2$) afin d'observer une variation exploitable de la conductance.

Pompage de charges Cette technique a été proposée par Brugler et Jaspers [Brugler 69] dans les années 60. Elle repose sur la mesure du courant de recombinaison I_{cp} dans le substrat

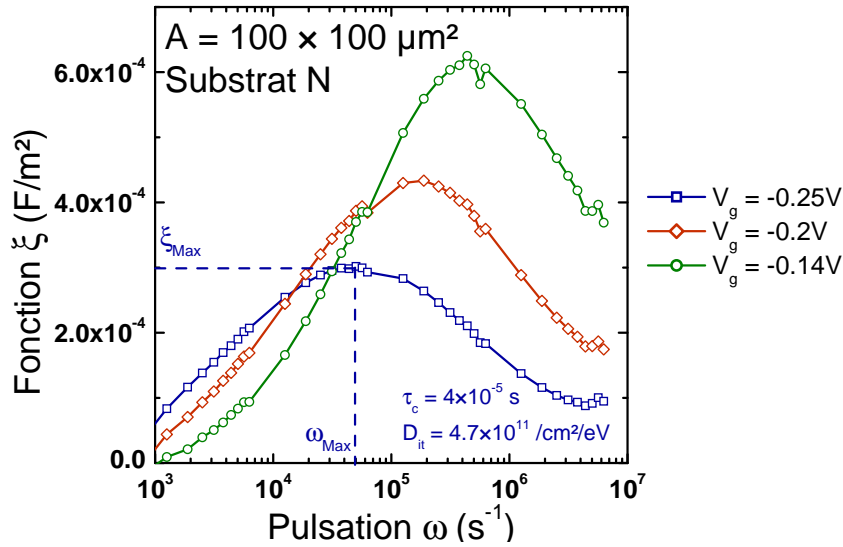


FIG. 2.18 – Variation de la conductance de la structure en fonction de la pulsation du signal de mesure pour différentes polarisations de grille correspondant à différents niveaux énergétiques des pièges. A partir du maximum de cette fonction ξ , il est possible d’extraire le temps de réponse des pièges τ_c et la densité d’états d’interface D_{it} pour chaque niveau énergétique sondé (une seule extraction est ici représentée).

lorsqu’un pulse répété est appliqué sur la grille. L’étude de ce courant permet alors de remonter à la densité d’états d’interface. Cette technique présente le double avantage d’avoir une bonne sensibilité aux faibles densités de défauts (jusqu’à $10^{10} cm^{-2}eV^{-1}$) et d’être utilisable sur des dispositifs avec de faibles dimensions (longueur de grille du transistor inférieure à $1 \mu m$). Ces caractéristiques en font la technique idéale pour l’étude des défauts d’interface dans les transistors MOS. Un schéma du dispositif de pompage est représenté sur la figure 2.19.

Le fonctionnement de base de cette technique est particulièrement simple : des pulses, dont l’allure est représentée sur la figure 2.20, sont appliqués sur la grille de manière cyclique afin que la structure MOS bascule d’un régime de fonctionnement à un autre. Lorsque la structure MOS est en inversion (palier haut du pulse), les états d’interface situés en dessous du niveau de Fermi se remplissent par un apport d’électrons depuis la source et le drain (figure 2.21(a)). Lors du basculement vers le palier bas du pulse, la structure change brusquement de régime de fonctionnement, de sorte que les pièges initialement chargés, se retrouvant au dessus du niveau de Fermi, se vident progressivement. Ce « déchargement » s’effectue alors de deux manière différentes. Dans un premier temps (régime intermédiaire), les pièges se vident dans la bande de conduction, générant un courant I_{cp} (figure 2.21(b)). Dans un second temps, lorsque la structure se retrouve en accumulation, les électrons piégés ne peuvent plus atteindre la bande de conduc-

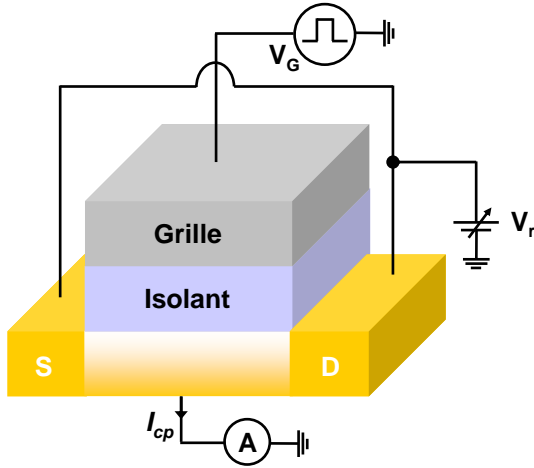


FIG. 2.19 – Schéma de principe de la technique de pompage de charges sur une structure TMOS.

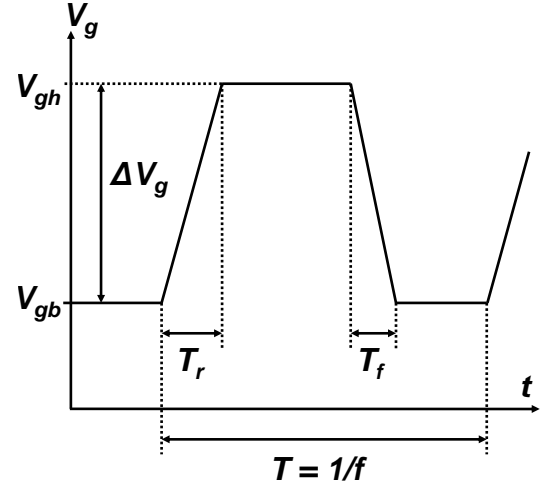


FIG. 2.20 – Allure du pulse carré appliqué dans la technique de pompage de charge à deux niveaux.

tion. Les pièges remplis situés au dessus du niveau de Fermi se vident alors en se recombinant avec des trous de la bande de valence, générant à nouveau un courant I_{cp} (figure 2.21(c)). Notons également que la figure 2.19 montre qu'il est possible d'appliquer une polarisation V_r sur la source et le drain lors du pompage de charges. Cette polarisation, dite polarisation *inverse*, servait historiquement à faciliter l'élimination de la charge d'inversion lors du basculement vers le palier bas. En effet, sur des dispositifs longs, cette charge d'inversion n'avait pas suffisamment de temps pour s'évacuer vers la source et le drain et une partie des porteurs minoritaires se recombinait avec les majoritaires, ce qui ajoutait une contribution au courant de pompage et faussait la mesure [Groeseneken 84]. L'utilisation de dispositifs courts et ayant un fort couplage capacitif grille/canal (faible EOT) rend aujourd'hui cette polarisation quasi-inutile.

D'un point de vue théorique, il est possible de relier le courant de pompage I_{cp} à la densité moyenne d'états d'interface $\overline{D_{it}}$. Ce courant dépend de la forme du pulse appliqué sur la grille (temps de montée T_r et de descente T_f , fréquence du cycle f , amplitude du pulse ΔV_g , comme représentés sur la figure 2.20), des sections de capture des électrons σ_n et des trous σ_p , de la vitesse thermique des porteurs v_{th} et de la surface du dispositif A . Dans le cas d'un pulse carré, le courant pompé prend alors la forme [Groeseneken 84] :

$$I_{cp} = 2ef\overline{D_{it}} \cdot A \cdot k_B T \left[\ln \left(v_{th} n_i \sqrt{\sigma_n \sigma_p T_r T_f} \frac{V_{fb} - V_t}{\Delta V_g} \right) \right] \quad (2.47)$$

D'un point de vue expérimental, il existe deux méthodes différentes de pompage de charges à deux niveaux. La première consiste à garder le niveau bas V_{gb} du pulse constant et de faire varier l'amplitude du pulse ΔV_g [Brugler 69]. Avec cette technique, le courant pompé augmente, passe

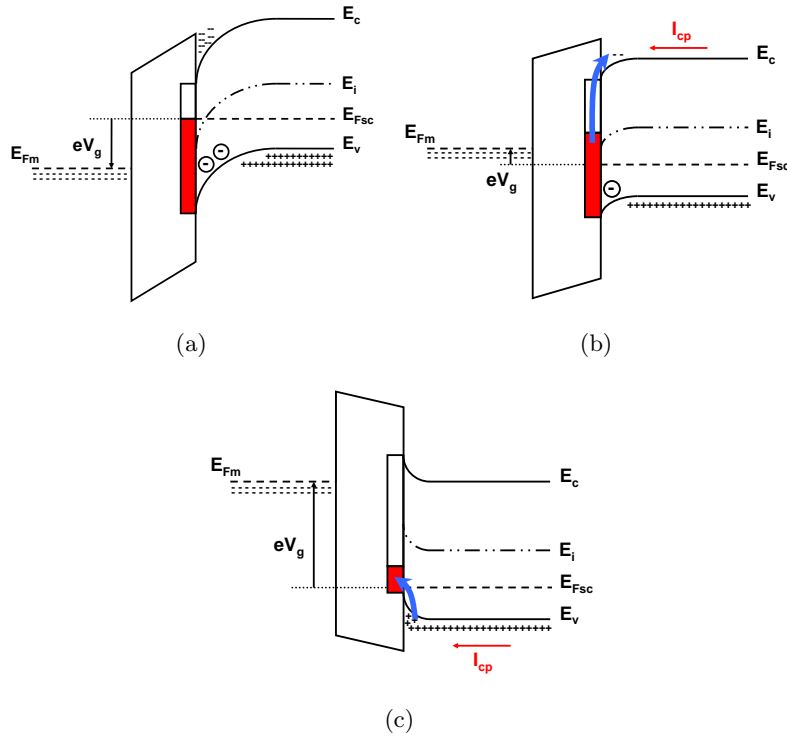


FIG. 2.21 – Diagramme de bandes de la structure soumise à une mesure des états d’interface par pompage de charges. (a) En inversion (palier haut du pulse), les états d’interface en dessous du niveau de Fermi sont remplis. (b) Lors du basculement vers le palier bas du pulse, les pièges chargés situés au dessus du niveau de Fermi se vident dans la bande de conduction, générant un courant I_{cp} . (c) Lorsque la structure se retrouve en accumulation, les pièges remplis situés au dessus du niveau de Fermi se vident en se recombinant avec des trous de la bande de valence, générant à nouveau un courant I_{cp} .

par un palier I_{cpmax} puis diminue. A partir de cette valeur maximale et de l’équation (2.47), il est possible de remonter à la densité moyenne de pièges d’interface. La seconde conserve une amplitude constante pour le pulse mais fait varier le niveau bas de celui-ci [Elliot 76]. Contrairement à la technique précédente, le courant augmente puis sature lorsque le front haut du pulse atteint l’inversion ($V_{gh} > V_t$). A partir de cette valeur de saturation et de l’équation (2.47), il est également possible de remonter à la densité moyenne d’états d’interface.

Signalons enfin que des variations autour de cette technique de base existent. La plus intéressante est le pompage de charges à trois niveaux [Tseng 87]. Elle permet de déterminer la densité d’états d’interface par unité d’énergie $D_{it}(E)$ au lieu de la valeur moyenne $\overline{D_{it}}$, qui est la seule grandeur accessible par du pompage de charges à deux niveaux. Cette technique à trois niveaux permet ainsi de sonder plus en détail la répartition énergétique des pièges d’interface.

• *Décalage de la tension de bandes plates : les charges fixes*

Le second type de modification engendrée par des défauts dans la structure MOS est le décalage de la tension de bandes plates par rapport à une structure idéale (sans charges). Comme nous allons le voir dans ce paragraphe, ce type de modification est directement relié à des charges fixes dans le volume d'oxyde ou au niveau des différentes interfaces de l'empilement. Dans ce paragraphe, nous entendons par charge fixe tout défaut électrique dont l'état de charge ne peut varier au cours du temps ou en fonction du champ électrique appliqué sur la structure MOS³⁷. Cette définition impose qu'une telle charge n'induit aucune déformation des caractéristiques C-V mesurées. En effet, la déformation localisée des courbes C-V observée au paragraphe précédent intervient lorsque l'état de chargement de l'oxyde peut varier en fonction du signal de mesure de la caractéristique C-V. Cette modification est impossible dans le cas de charges fixes.

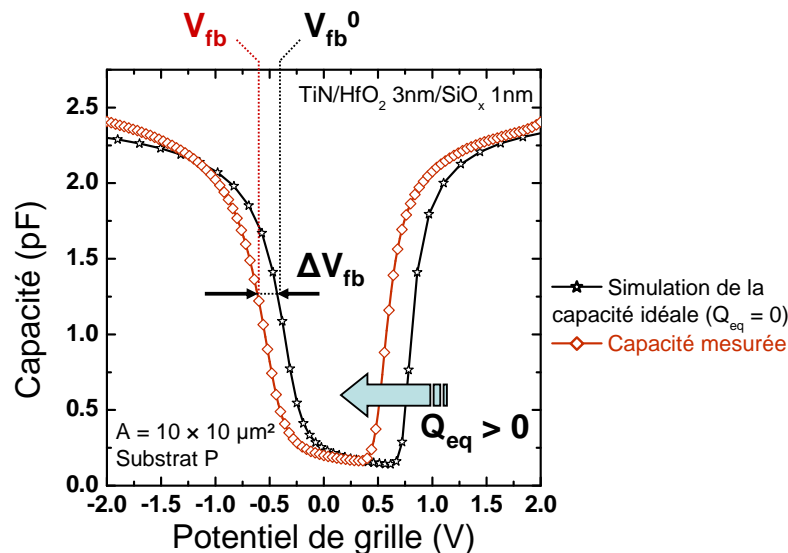


FIG. 2.22 – Décalage de la tension de bandes plates sous l'effet d'une charge fixe dans l'oxyde de grille. Nous constatons sur cette figure que la capacité mesurée est uniquement traduite horizontalement par rapport à la capacité simulée en l'absence de charges. Aucune déformation significative de la caractéristique n'est observée. Cette translation est directement reliée à l'écart entre la tension de bandes plates de la structure idéale V_{fb}^0 et celle de la structure réelle V_{fb} .

Bien que la présence de charges fixes dans une structure MOS ne déforme pas la caractéristique C-V, son impact sur la mesure n'en est pas pour autant nul. Ainsi, lorsque nous comparons une mesure C-V réalisée sur une structure MOS possédant des charges fixes avec la simulation

³⁷Notons que cette définition exclut d'emblée les états d'interface étudiés précédemment puisque leur état de chargement dépend de la polarisation appliquée, ainsi que l'ensemble des pièges situés dans le volume d'oxyde dont l'état électrique est susceptible d'évoluer durant la mesure et que nous étudierons dans le paragraphe suivant.

de cette même caractéristique obtenue pour une structure idéale, nous observons un décalage horizontal entre ces deux courbes. Un exemple d'un tel décalage est présenté sur la figure 2.22.

D'un point de vue théorique, nous avons démontré dans l'annexe A que cet écart était dû à un décalage de la tension de bandes plates de la structure sous l'effet d'une charge fixe dans l'oxyde. Ainsi, l'étude de ce décalage permet de quantifier et de localiser ces charges fixes. C'est ce point qui fera le sujet des paragraphes suivants : nous allons voir comment ce décalage peut être reliés aux charges fixes dans le cas d'une seule couche d'isolant puis dans le cas d'un bicouche SiO_x/HfO₂.

Cas d'une unique couche d'oxyde En reprenant les résultats et les notations de l'annexe A, la tension de bande plates V_{fb} en présence de charges fixes s'écrit :

$$V_{fb} = V_{fb}^0 - \frac{Q_{eq}}{C_{ox}} \quad (2.48)$$

Pour mémoire, $Q_{eq} = Q_{surf} + Q_{ox} \left(1 + \frac{\langle x \rangle}{T_{ox}}\right)$ est la charge équivalente vue de l'interface Si/SiO₂ et $V_{fb}^0 = \Delta\Phi_{ms}$ la tension de bandes plates d'une structure idéale (sans charges).

A partir de ce résultat, il est possible de quantifier la densité de charges dans l'oxyde en suivant une procédure simple :

1. Extraction de la tension de bandes plates V_{fb} sur la capacité mesurée. Il existe plusieurs techniques pour obtenir cette valeur (fonction de Maserjian...) que nous ne détaillerons pas ici.
2. Simulation de la capacité idéale sans charges (toutes choses étant égales par ailleurs) et extraction de la tension de bandes plates V_{fb}^0 de la structure idéale.
3. Quantification de la charge équivalente Q_{eq} ramenée à l'interface Si/SiO₂ à partir de l'équation (2.48).

Cependant, cette technique simple et efficace ne permet pas de localiser ces charges fixes. En effet, seule la charge équivalente vue de l'interface Si/SiO₂ est accessible par le biais de cette méthode. Pour affiner ce résultat, il est alors possible de s'intéresser à la variation de la tension de bandes plates en fonction de l'épaisseur d'oxyde. Pour cela, nous allons tout d'abord faire l'hypothèse communément admise d'un profil de charges *uniforme* dans le volume d'oxyde, soit $\rho_{ox}(x) = \rho_{ox} = C^{te}$. Sous cette hypothèse, les équations (A.5) deviennent :

$$Q_{ox} = \rho_{ox} \cdot T_{ox} \quad (2.49a)$$

$$\langle x \rangle = \frac{-T_{ox}}{2} \quad (2.49b)$$

et l'équation (2.48) de la tension de bandes plates prend la forme simplifiée :

$$V_{fb} = -\frac{\rho_{ox}}{2\epsilon_{ox}} T_{ox}^2 - \frac{Q_{surf}}{\epsilon_{ox}} T_{ox} + V_{fb}^0 \quad (2.50)$$

L'évolution de la tension de bandes plates en fonction de l'épaisseur d'oxyde est donc quadratique. A partir de l'équation de cette courbe, on peut extraire :

- La densité volumique de charge ρ_{ox} à partir du coefficient quadratique de la courbe.
- La densité de charge Q_{surf} à l'interface Si/SiO₂ à partir du coefficient linéaire de la courbe.
- Le travail de sortie du métal de grille à partir de l'ordonnée à l'origine de cette courbe.

Cette valeur est particulièrement intéressante pour les études sur l'ancrage du niveau de Fermi de la grille (ou *Fermi level pinning* [Hobbs 03]) puisqu'elle permet d'obtenir le travail de sortie du métal de grille en s'affranchissant de l'impact des charges. Une étude de ce genre est présentée sur des oxydes biseautés par Kuriyama *et al.* [Kuriyama 06].

En pratique, la variation de la tension de bandes plates en fonction de l'épaisseur d'oxyde n'est pas quadratique mais linéaire. Un exemple d'un tel comportement est rapporté sur la figure 2.23. Si nous considérons l'équation (2.50), cette linéarité n'est envisageable que dans le cas où les charges volumiques $\rho_{ox} \cdot T_{ox}$ sont négligeables devant la charge surfacique Q_{surf} . Actuellement, la bonne maîtrise technologique de la qualité des oxydes réalisés permet d'expliquer ce constat.

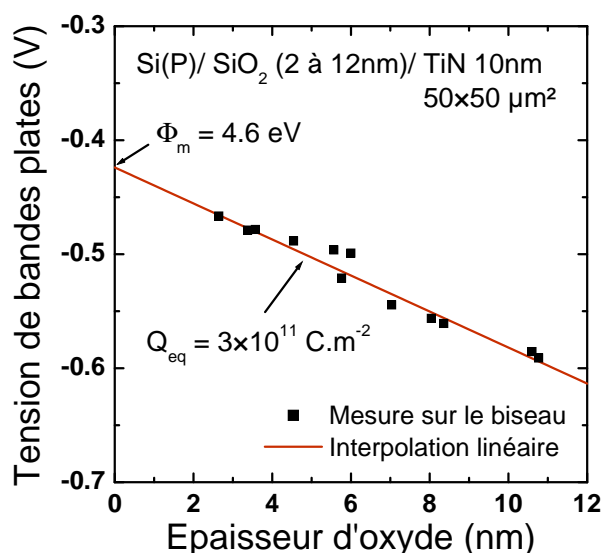


FIG. 2.23 – Variation de la tension de bandes plates en fonction de l'épaisseur de SiO₂ déposé. Cette mesure a été effectuée sur un biseau de silice recouvert par une grille métallique TiN. La variation observée est linéaire, confirmant ainsi que les charges volumiques dans SiO₂ sont négligeables devant les charges à l'interface Si/SiO₂. Le travail de sortie de la grille métallique ϕ_m est obtenu à partir de l'ordonnée à l'origine de cette droite tandis que la pente de l'interpolation permet d'avoir accès à la densité de charge rapportée à l'interface Q_{eq} .

Cas du bicouche SiO_x/HfO₂ Dans le cas d'un oxyde bicouche (typiquement les empilements SiO_x/HfO₂ étudiés au cours de cette thèse), nous avons démontré en annexe A que le

décalage de la tension de bandes plates pouvait être relié aux différentes charges volumiques et surfaciques présentes dans l'oxyde. Ce décalage est décrit par la même équation (2.48) que dans le cas d'un oxyde monocouche. Ainsi, en suivant la même procédure simple que celle décrite page 68, il est possible d'extraire la densité équivalente de charges vue de l'interface Si/SiO_x. Cependant, dans le cas d'un oxyde bicouche, l'accès aux différentes densités de charge est plus complexe. Une procédure décrite par Jha *et al.* [Jha 04] permet de qualifier indépendamment les charges présentes au niveau de matériau de forte permittivité de celles dans l'oxyde interfacial. Pour cela, faisons tout d'abord l'hypothèse d'une répartition volumique uniforme des charges dans les deux couches d'oxyde. Les équations (A.12) deviennent :

$$Q_{int} = \rho_{int} \cdot T_{int} \quad \langle x_{int} \rangle = \frac{-T_{int}}{2} \quad (2.51a)$$

$$Q_{hk} = \rho_{hk} \cdot T_{hk} \quad \langle x_{hk} \rangle = -T_{int} - \frac{T_{hk}}{2} \quad (2.51b)$$

Ces équations étant établies, il est alors possible de considérer la variation de la tension de bandes plates en fonction de l'*EOT* sous deux angles différents :

- L'épaisseur d'oxyde interfacial T_{int} varie tandis que l'épaisseur du matériau *high k* T_{hk} est maintenue constante. Dans cette configuration, l'équation (A.18) de la tension de bandes plates s'écrit :

$$V_{fb} = -\frac{\rho_{int}\epsilon_{int}}{2\epsilon_{ox}^2} EOT^2 - \frac{Q_{int/Si}}{\epsilon_{ox}} EOT + \frac{(\rho_{int}\epsilon_{int} - \rho_{hk}\epsilon_{hk}) T_{hk}^2}{2\epsilon_{hk}^2} - \frac{Q_{hk/int} T_{hk}}{\epsilon_{hk}} + V_{fb}^0 \quad (2.52)$$

- L'épaisseur d'oxyde interfacial T_{int} est maintenue constante tandis que l'épaisseur du matériau *high k* T_{hk} varie. Dans cette configuration, l'équation (A.18) de la tension de bandes plates s'écrit :

$$V_{fb} = -\frac{\rho_{hk}\epsilon_{hk}}{2\epsilon_{ox}^2} EOT^2 - \left[\frac{Q_{int/Si}}{\epsilon_{ox}} + \frac{Q_{hk/int}}{\epsilon_{ox}} + \frac{\rho_{int}\epsilon_{int}}{\epsilon_{ox}} - \frac{\rho_{hk}\epsilon_{hk}T_{int}}{\epsilon_{ox}\epsilon_{int}} \right] EOT + \frac{\rho_{int}T_{int}^2}{2\epsilon_{int}} - \frac{\rho_{hk}\epsilon_{hk}T_{int}^2}{2\epsilon_{int}^2} + \frac{Q_{hk/int}T_{int}}{\epsilon_{int}} + V_{fb}^0 \quad (2.53)$$

L'évaluation des différentes charges s'effectue enfin en deux temps :

1. La première configuration permet de quantifier les charges dans le volume d'oxyde interfacial $\rho_{int} \cdot T_{int}$ et la charge $Q_{int/Si}$ à l'interface Si/SiO_x indépendamment de la connaissance des charges dans le matériau de forte permittivité ou à l'interface HfO₂/SiO_x. En effet, d'après l'équation (2.52), une régression quadratique des données expérimentales $V_{fb}(EOT)$ permettra d'accéder aux valeurs de ρ_{int} (coefficient quadratique) et $Q_{int/Si}$ (coefficient linéaire).
2. Connaissant les grandeurs ρ_{int} et $Q_{int/Si}$, la seconde configuration permet cette fois-ci d'extraire les charges dans le volume d'oxyde de forte permittivité $\rho_{hk} \cdot T_{hk}$ et la charge $Q_{hk/int}$ à l'interface HfO₂/SiO_x (cf. équation (2.53)).

Des études de ce genre ont été menées ([Jha 04, Kuriyama 06] entre autres) et ont permis d'aboutir à deux conclusions importantes :

- Dans la première configuration, l'évolution de la tension de bandes plates en fonction de l' EOT est linéaire. Ce résultat permet de mettre en évidence que la densité volumique de charge dans l'oxyde interfacial reste très inférieure à la densité de charge au niveau de l'interface Si/SiO_x. Cette conclusion, déjà formulée dans le cas d'un oxyde monocouche, reste pleinement valable dans un schéma d'intégration plus complexe à base de matériau *high k*.
- Dans la seconde configuration, l'évolution de la tension de bandes plates en fonction de l' EOT est cette fois-ci quadratique. En outre, la densité de charge $Q_{hk/int}$ à l'interface HfO₂/SiO_x est très supérieure à celle située à l'interface Si/SiO_x (plus d'une décade supérieure). Ainsi, il apparaît que la charge au niveau du matériau de forte permittivité est loin d'être négligeable et devra faire l'objet d'une attention toute particulière.

• **Déformation globale de la caractéristique C-V : effet de Stretch Out**

Le troisième type de déformation de la caractéristique C-V que nous allons étudier dans ce chapitre est l'effet dit de *stretch out*. Cette effet est appelé ainsi car il se manifeste par un étirement horizontal de la courbe C-V par rapport à la caractéristique d'une structure sans charges. Cette déformation est généralement présente dans le cas d'empilements *high k*. Dans un paragraphe précédent, nous avons déjà fait mention de déformations de la capacité sous l'effet des pièges d'interface (voir page 62). Cependant, nous avons observé que ces déformations étaient localisées et présentaient une dépendance en fonction de la fréquence de mesure de la caractéristique C-V. Dans le cas présent, cette déformation s'étend sur une large plage de tension et ne présente aucune dépendance en fréquence. Un exemple de cet effet, tiré de [Mitard 07], est représenté sur la figure 2.24.

Afin d'expliquer cette déformation, de nombreuses hypothèses ont été envisagées. Nous allons rapidement aborder trois d'entre elles, parmi les plus évoquées : l'existence de pièges lents, la distribution hétérogène de charges fixes et l'existence de pièges en bord de bandes.

Existence de pièges lents Par opposition aux états rapides situés à l'interface, les pièges lents sont quant à eux localisés à quelques angströms de l'interface Si/SiO_x. Compte tenu de cette localisation spatiale, leur temps de réponse τ_c (par analogie avec les états d'interface) est particulièrement long. Ces états ne peuvent donc pas échanger rapidement des porteurs avec les bandes du Silicium³⁸. La conséquence directe de cette relative « lenteur » est que, quelle que soit la fréquence de mesure de la caractéristique C-V, ces états lents ne répondent pas au

³⁸En pratique, ces états communiquent avec les bandes du silicium par effet tunnel [Heiman 65].

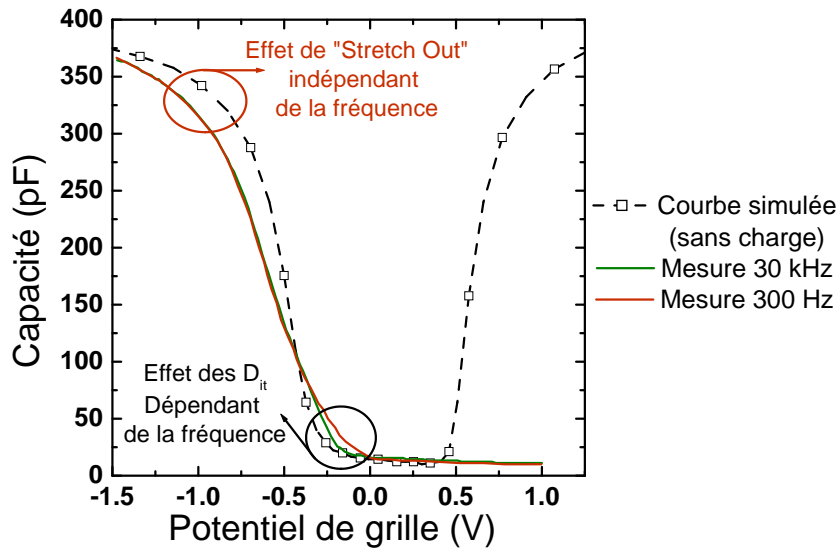


FIG. 2.24 – Comparaison entre la caractéristique C-V simulée en l’absence de charges et les mesures à différentes fréquences. Cette comparaison permet de mettre en évidence de l’effet de stretch out. Cet effet induit une déformation de la caractéristique indépendante de la fréquence de mesure sur une large gamme de V_g tandis que l’effet des D_{it} est localisé au niveau de la désertion et varie avec la fréquence. D’après [Mitard 07].

signal de mesure de sorte que leur contribution capacitive est quasi nulle, à l’inverse des états d’interface où cette contribution ne tend vers zéro qu’à haute fréquence. En revanche, ces pièges lents peuvent tout de même se remplir et se vider en régime quasi-statique tout comme les états d’interface, d’où un décalage « progressif » de la tension de bandes plates de la structure et l’étirement observé de la caractéristique C-V.

Pour caractériser ces pièges, l’une des technique consiste à utiliser la méthode de Terman [Terman 62]. Nous ne détaillerons pas les expressions théoriques de cette méthode dans ce paragraphe³⁹. Nous nous contenterons de préciser que cette technique permet d’extraire la densité d’états lents en mesurant, à une fréquence donnée et pour chaque polarisation de grille, l’étirement entre la caractéristique C-V mesurée et la capacité simulée en l’absence de charges⁴⁰. Connaissant cet écart, il est alors possible de quantifier la densité d’états lents présents dans l’empilement.

³⁹Nous invitons les lecteurs à se reporter à la page 158 de la thèse de X. Garros [Garros 04] pour plus de détails.

⁴⁰Historiquement, cette technique était utilisée à haute fréquence, afin de caractériser l’ensemble des pièges d’interface (pièges lents et états d’interface). Rappelons qu’à haute fréquence, les états d’interface ne répondent pas au signal de mesure et se comportent donc comme des pièges lents.

Distribution hétérogène de charges fixes Lorsque l'oxyde de grille présente des joints de grain (ce qui est très souvent le cas pour des oxydes *high k* cristallisés), des amas de charges localisés au niveau de ces joints apparaissent. Il a alors été démontré que cette répartition non homogène de charges pouvait conduire à un effet de *stretch out* sur les caractéristiques C-V [Autran 03, Garros 04]. Pour comprendre ce résultat, il suffit de subdiviser la capacité totale en plusieurs capacités mises en parallèle. Chaque capacité étant associée à une charge fixe dans l'oxyde différente, il en découle que la tension de bandes plates associée à chaque capacité n'est pas la même (cf. annexe A). Cette dispersion se traduit expérimentalement par un étirement de la caractéristique globale.

Existence d'états d'interface en bord de bandes La dernière possibilité que nous aborderons pour expliquer l'effet de *stretch out* observé sur les courbes capacitives est l'existence d'états d'interface en bords de bandes. Ces états, proches de la bande de conduction ou de valence du silicium ont la particularité de pouvoir se remplir et/ou se vider très rapidement. Cette faculté leur permet de suivre le signal de mesure de la capacité sur une très large gamme de fréquence, y compris à haute fréquence. De ce fait, leur contribution C_{it} à la caractéristique C-V mesurée est indépendante de la fréquence de mesure, contrairement aux états d'interface évoqués précédemment. Expérimentalement, seul leur chargement en régime quasi-statique est observable et se manifeste par un décalage progressif de la tension de bandes plates, d'où un étirement global de la caractéristique C-V.

Pour conclure sur ces différentes hypothèses quant à l'effet de *stretch out*, il a été montré que dans le cas des empilements MOS étudiés au cours de cette thèse, l'hypothèse la plus plausible était celle d'états d'interface en bord de bandes [Mitard 07]. Cependant, il serait imprudent de généraliser ce résultat, l'origine exacte du phénomène pouvant varier selon les empilements étudiés ou provenir de l'action simultanée de différents types de défauts.

- **Hystérésis de la caractéristique C-V : les pièges dans le matériau *high k***

Le quatrième et dernier type de déformation de la caractéristique C-V que nous allons étudier dans ce chapitre est le phénomène d'hystérésis qui apparaît sur les caractéristiques C-V lorsqu'un matériau de forte permittivité est employé comme isolant de grille, en particulier avec HfO_2 ⁴¹. Nous entendons par hystérésis, un décalage horizontal du C-V lors d'un balayage aller-retour en V_g , comme représenté sur la figure 2.25. Ce décalage est lié à un décalage de la tension de bandes plates entre les balayages aller et retour. Une étude plus approfondie de cet effet d'hystérésis permet d'extraire deux points particulièrement importants :

⁴¹Notons toutefois qu'un phénomène semblable a été observé sur d'autres oxydes de forte permittivité, comme Ta_2O_5 [Devine 96]

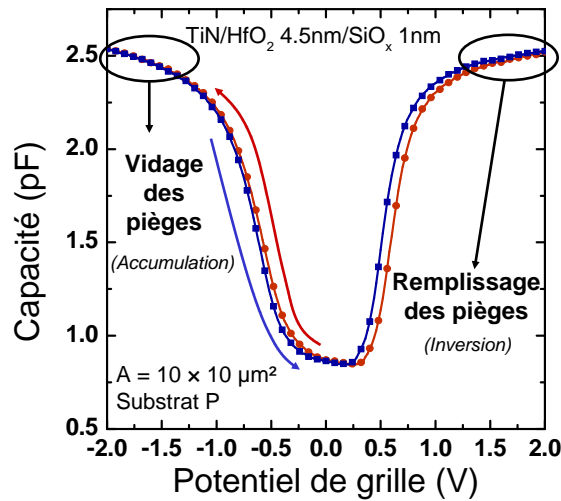


FIG. 2.25 – Caractéristiques capacité-tension extraites sur une capacité MOS intégrant un oxyde d'hafnium. Le phénomène d'hystérésis observé entre les deux sens de balayage traduit un effet de chargement des pièges présents dans l'oxyde de forte permittivité. En forte inversion, ces pièges se chargent, induisant un décalage de la tension de seuil du transistor vers une polarisation de grille plus élevée. Il faut alors appliquer une forte polarisation en régime d'accumulation pour vider les pièges précédemment chargés.

- Ce décalage de la tension de bandes plates entre l'aller et le retour est d'autant plus grand que la valeur de tension de grille atteinte en inversion est élevée. Ce constat permet d'affirmer que le décalage est dû à un *piégeage d'électrons* dans l'oxyde d'hafnium, d'autant plus marqué que la polarisation en inversion est forte.
- Ce phénomène de piégeage est *réversible*. En effet, les courbes C-V se superposent suite à un enchaînement de plusieurs balayages aller-retour. Les électrons piégés en forte inversion sont dépiégés lorsque la structure est soumise à une forte tension négative.

Ainsi, le phénomène d'hystérésis observé est lié à un *piégeage réversible d'électrons* dans l'oxyde d'hafnium. L'origine physique de ces pièges a été identifiée comme provenant des lacunes d'oxygène au sein du matériau de forte permittivité [Foster 02]. Une étude plus complète de ces pièges (localisation spatiale et énergétique, dynamique et mécanismes de remplissage et de vidage...) ne sera pas réalisée dans ce paragraphe, et ce pour deux raisons :

- Une connaissance précise de ces pièges ne présente que peu d'intérêt dans l'optique d'une étude sur la mobilité des porteurs dans le canal. Seuls l'impact de ces pièges sur la mobilité ainsi que les moyens expérimentaux pour s'affranchir de leurs effets sur le transport nous importent et seront détaillés dans les prochains chapitres.
- De nombreux points de divergence subsistent encore au sujet de ces pièges et tenter de les clarifier serait ici hors de propos.

Nous invitons donc les lecteurs, désireux d'en savoir plus, à se reporter aux différentes publications abordant ce sujet [Leroux 04a, Mitard 05, Ribes 04, Sim 05].

Signalons enfin que ce phénomène d'hystérésis est fortement réduit (voire même supprimé) dans le cas des silicates d'hafnium (HfSiON) [Shanware 03]. L'introduction d'autres espèces dans l'oxyde de forte permittivité (Si en l'occurrence) réduit la densité de lacunes d'oxygène et limite la cristallisation du matériau, conduisant à un effet d'hystérésis atténué.

2.2 Caractéristiques électriques statiques du transistor MOS : courant de drain

Comme nous l'avons précédemment abordé dans le paragraphe 1.2, le principe de fonctionnement du transistor MOS est celui d'un interrupteur commandé par le potentiel appliqué sur l'électrode de grille. L'étude du comportement électrique de la capacité MOS à travers sa structure de bandes dans le paragraphe 2.1 nous a ensuite permis d'affiner ce constat : le basculement du régime bloqué au régime passant du transistor s'effectue lorsque la capacité MOS est en inversion forte, c'est à dire lorsque la polarisation de grille V_g est supérieure à la tension de seuil V_t .

Dans ce paragraphe, nous allons détailler les différentes équations qui régissent le transport électrique dans le canal de conduction, et ce pour les différents régimes de fonctionnement du transistor. Dans un premier temps, nous reviendrons plus en détails sur le principe de fonctionnement du transistor MOS, en étudiant la structure de bandes des jonctions source/canal et canal/drain. Nous étudierons ensuite le courant de drain en régime passant et en régime bloqué.

2.2.1 Diagramme de bandes du transistor MOS en absence de polarisation de drain

Pour mieux comprendre le fonctionnement du transistor MOS, nous allons examiner le schéma de bandes à la surface du semiconducteur le long d'une coupe source-canal-drain dans différents cas de polarisation V_g . Pour ce faire, plaçons nous tout d'abord à $V_d = V_s = 0$. Dans cette configuration, les niveaux de Fermi de la source, du canal et du drain s'alignent pour ne former qu'un seul système thermodynamique. Selon la polarisation de grille appliquée, la structure de bandes évolue et il est possible de distinguer différents cas, représentés sur la figure 2.26 :

- Lorsque la structure MOS est en régime de bandes plates (2.26(a)), l'ensemble source-canal-drain est équivalent à une jonction npn. La polarisation de la jonction np source-canal vaut alors :

$$\Phi_D = -\frac{k_B T}{e} \ln \left(\frac{N_d N_a}{n_i^2} \right) \quad (2.54)$$

où N_a est le dopage du canal et N_d le dopage de la source et du drain.

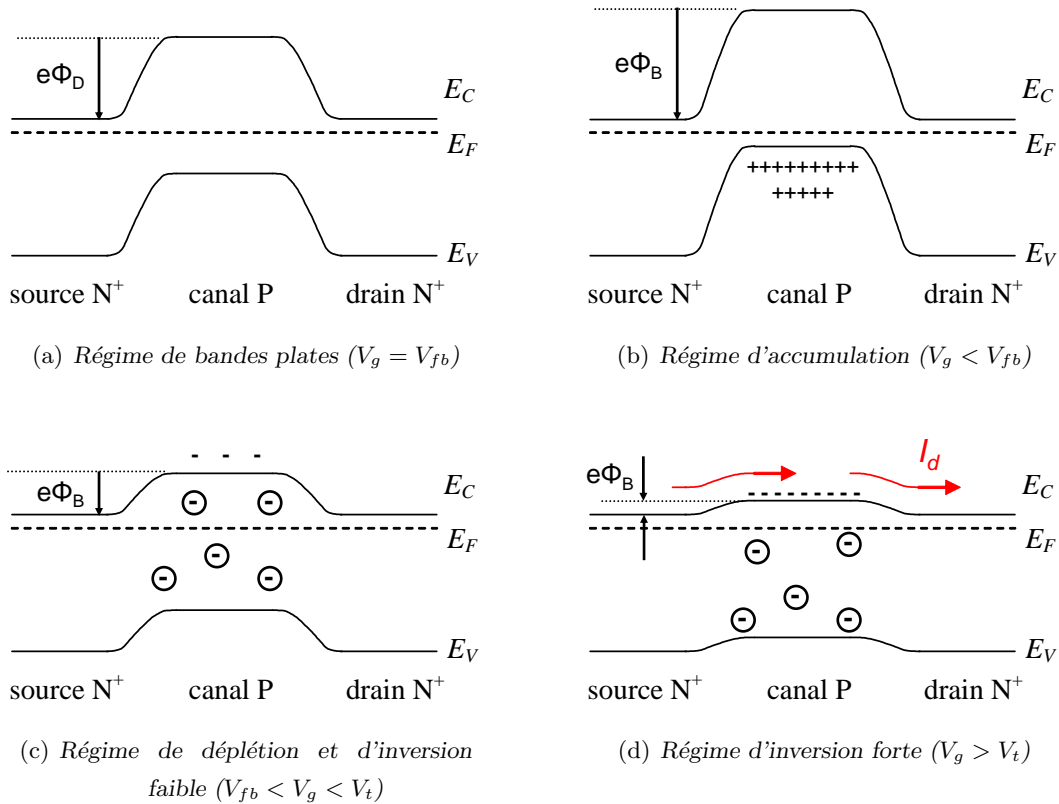


FIG. 2.26 – Évolution de la courbure de bandes à la surface du semiconducteur le long d'une coupe source-canal-drain pour différentes polarisations de grille V_g .

Cette barrière de potentiel empêche le passage des électrons de la source ou du drain vers le canal.

- Lorsque la structure MOS est en régime d'accumulation (2.26(b)), la barrière de potentiel Φ_B source/canal est supérieure à Φ_D et un excès de trous existe dans le canal : cette condition est encore plus défavorable que la précédente au passage des électrons de la source vers le drain. Le transistor est bloqué.
- Lorsque la structure MOS est en régime de désertion ou d'inversion faible (2.26(c)), la barrière de potentiel Φ_B source/canal diminue. La courbure de bandes dans le canal éloigne les porteurs majoritaires et une zone désertée apparaît. Bien que la barrière de potentiel Φ_B soit considérablement abaissée, le potentiel du canal demeure inférieur à celui de la source et le courant ne peut toujours pas circuler. Le transistor est toujours bloqué⁴².
- Lorsque la structure MOS est en régime d'inversion forte (2.26(d)), le potentiel de surface dans le substrat est favorable à la formation du canal de conduction. La barrière entre

⁴²Notons qu'en régime de faible inversion, il existe en réalité un faible courant de drain sur lequel nous reviendrons dans le paragraphe 2.2.4.

source et canal est devenue très basse et l'agitation thermique permet aux porteurs de passer de la source au canal : le transistor MOS est débloqué. L'application d'une polarisation de drain permet à un courant I_d de circuler.

A partir de ce schéma de bandes, nous comprenons donc aisément comment fonctionne le transistor MOS : lorsque la polarisation de grille est suffisamment importante pour placer la structure MOS en inversion forte ($V_g > V_t$), il devient possible de faire circuler un courant entre la source et le drain.

• **Retour sur la notion de tension de seuil**

A ce stade de notre discussion, il paraît intéressant de s'interroger sur la notion de tension de seuil dans un transistor MOS et sur la pertinence de cette valeur. Dans le paragraphe précédent, nous avons considéré que la tension de seuil pour un transistor MOS était identique à la tension de seuil définie au paragraphe 2.1.3 pour la structure MOS. Pour rappel, cette tension de seuil correspondait à la polarisation de grille à appliquer pour avoir un potentiel de surface dans la structure MOS valant $2\Delta\Phi_F$ (condition d'inversion forte).

Dans le cas d'un transistor MOS, il apparaît que cette condition est certes nécessaire mais cependant insuffisante [Skotnicki 00] : pour obtenir un courant de drain non négligeable, il faut non seulement que la structure MOS soit placée en forte inversion, mais aussi que la barrière Φ_B soit suffisamment basse pour remplir le canal de conduction⁴³. Cette condition sur l'abaissement de la barrière source-canal revient à considérer que la courbure de bandes V_{sc} dans le canal doit valoir Φ_D (à quelques $\frac{k_B T}{e}$ près, liés à l'agitation thermique) au seuil de fonctionnement. Cette nouvelle définition permet donc de réécrire l'expression (2.14) de la tension de seuil pour un transistor MOS comme suit :

$$V_t = \Phi_D + V_{fb} + \frac{\sqrt{-2e\Phi_D\epsilon_{sc}N_a}}{C_{ox}} \quad (2.55)$$

Nous constatons que la tension de seuil ainsi définie pour le transistor MOS est différente celle d'une capacité MOS. Il est également possible de réécrire Φ_D à partir de l'expression de $2\Delta\Phi_F = -\frac{k_B T}{e} \ln \frac{N_a^2}{n_i^2}$:

$$\Phi_D = 2\Delta\Phi_F - \frac{k_B T}{e} \ln \frac{N_d}{N_a} \quad (2.56)$$

Cette équation montre bien que la condition de conduction pour un transistor MOS est plus restrictive que la simple inversion forte de la structure MOS : à cette condition d'inversion ($V_{sc} = 2\Delta\Phi_F$) vient s'ajouter un second terme faisant intervenir une condition sur la barrière source-canal.

⁴³Rappelons que dans le cas d'un transistor MOS, la couche d'inversion se forme par l'apport de porteurs majoritaires depuis la source et le drain et non pas par la génération de paires électrons-trous, beaucoup trop lente.

2.2.2 Diagramme de bandes du transistor MOS en présence d'une polarisation de drain

Afin de pouvoir faire circuler un courant de drain conséquent, il est nécessaire de se placer au dessus du seuil de fonctionnement du transistor MOS ($V_g > V_t$) et d'appliquer une polarisation de drain V_d . Dans ces conditions, le diagramme de bandes établi précédemment évolue. Une représentation de ce diagramme pour $V_d > 0$ est proposée sur la figure 2.27⁴⁴ : la barrière de potentiel entre la source et le canal a disparu (nous négligerons ici la barrière résiduelle), la polarisation V_d abaisse les bandes du côté du drain et les électrons sont tirés de la source vers le drain par le champ électrique.

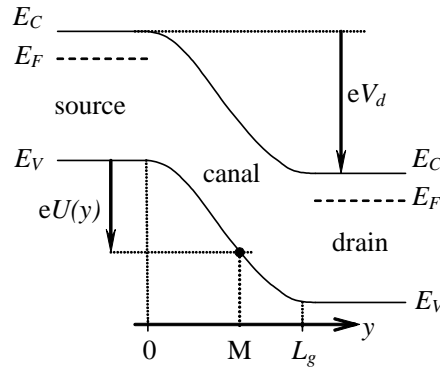


FIG. 2.27 – Position des bandes et variation du potentiel dans le canal à $V_g > V_t$ et $V_d > 0$.

Pour $V_d = 0$, la courbure des bandes ne faisait intervenir que la polarisation de grille V_g car le substrat était au même potentiel que la source dans tout le canal. L'application de $V_d \neq 0$ fait apparaître une variation du potentiel dans la région du canal, puisque le potentiel électrostatique du substrat passe de $V_{sub} = 0$ en $y = 0$ (source) à $V_{sub} = V_d$ en $y = L_g$ (drain). En d'autres termes, le niveau de Fermi dans le semiconducteur varie de l'interface au volume du semiconducteur. Notons $U(y)$ cette différence de potentiel entre le volume et l'interface en un point M du canal : cette différence de potentiel augmente la courbure totale des bandes nécessaire pour obtenir l'inversion forte de la surface. Cette situation est représentée sur la figure 2.28. La condition d'inversion forte de la surface au point $M(y)$ devient alors :

$$V_{sc}^{inv}(y) = 2\Delta\Phi_F + U(y) \quad (2.57)$$

En terme de polarisation à appliquer sur la grille, cette condition se réécrit :

$$V_g^{inv}(y) - U(y) \geq V_t \quad (2.58)$$

⁴⁴Il est important de remarquer que cette description simple n'est valable que pour l'équilibre thermodynamique, donc à courant nul. Cependant, son utilisation est possible tant que la polarisation de drain V_d reste petite. En outre, cette représentation reste très pratique pour comprendre le fonctionnement du transistor MOS.

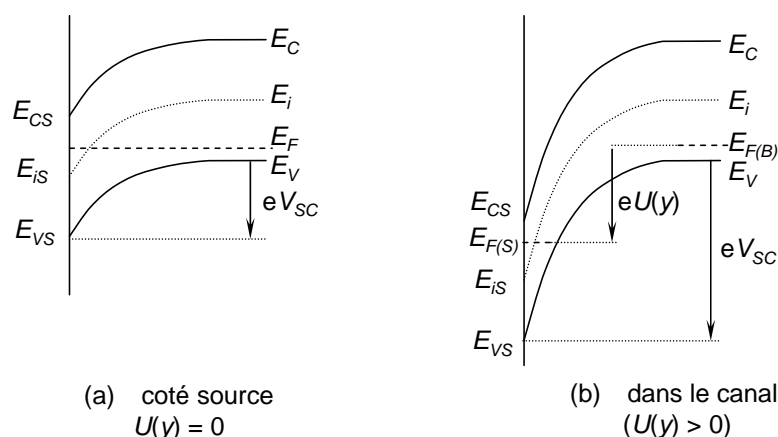


FIG. 2.28 – Courbure des bandes à l'inversion pour une polarisation de drain non nulle.

De l'équation (2.58), nous pouvons alors distinguer différents cas pour $V_g > V_t$:

- $V_g > V_t + V_d$ (soit $V_d < V_g - V_t$), l'inversion est assurée dans tout le canal (figure 2.29(a)). Si V_d est suffisamment faible, la couche d'inversion formée est considérée comme uniforme. Dans ce cas, l'effet de champ est quasi-uniforme dans tout le canal, qui se comporte comme une résistance indépendante de la polarisation de drain : le transistor MOS fonctionne en régime ohmique (ou linéaire).
- $V_g = V_t + V_d$ (soit $V_d = V_g - V_t$), il y a inversion dans le canal, mais on est à la limite de l'inversion au niveau du drain (figure 2.29(b)) : il y a apparition du pincement du canal (effet de « pinch-off »).
- $V_g < V_t + V_d$ (soit $V_d > V_g - V_t$), l'inversion n'est plus obtenue dans tout le canal (figure 2.29(c)) : il y a inversion du côté de la source jusqu'au point Y_p . Au delà de Y_p , du côté du drain, il y a seulement déplétion du substrat. Dans ce cas, le transistor MOS fonctionne en régime saturé.

L'étude de ces deux régimes constitue l'objectif du prochain paragraphe.

2.2.3 Courant de drain en régime passant

Dans ce paragraphe, nous nous attacherons à expliciter les équations du transport dans le canal lorsque le transistor est en régime passant ($V_g > V_t$). Pour cela, nous allons distinguer le cas du transistor en régime linéaire de celui du transistor en régime de saturation.

• Étude du régime linéaire

Comme nous l'avons vu précédemment, lorsque le transistor est en régime linéaire ($V_d < V_g - V_t$), l'ensemble du canal est inversé. Sous cette condition, nous pouvons établir facilement

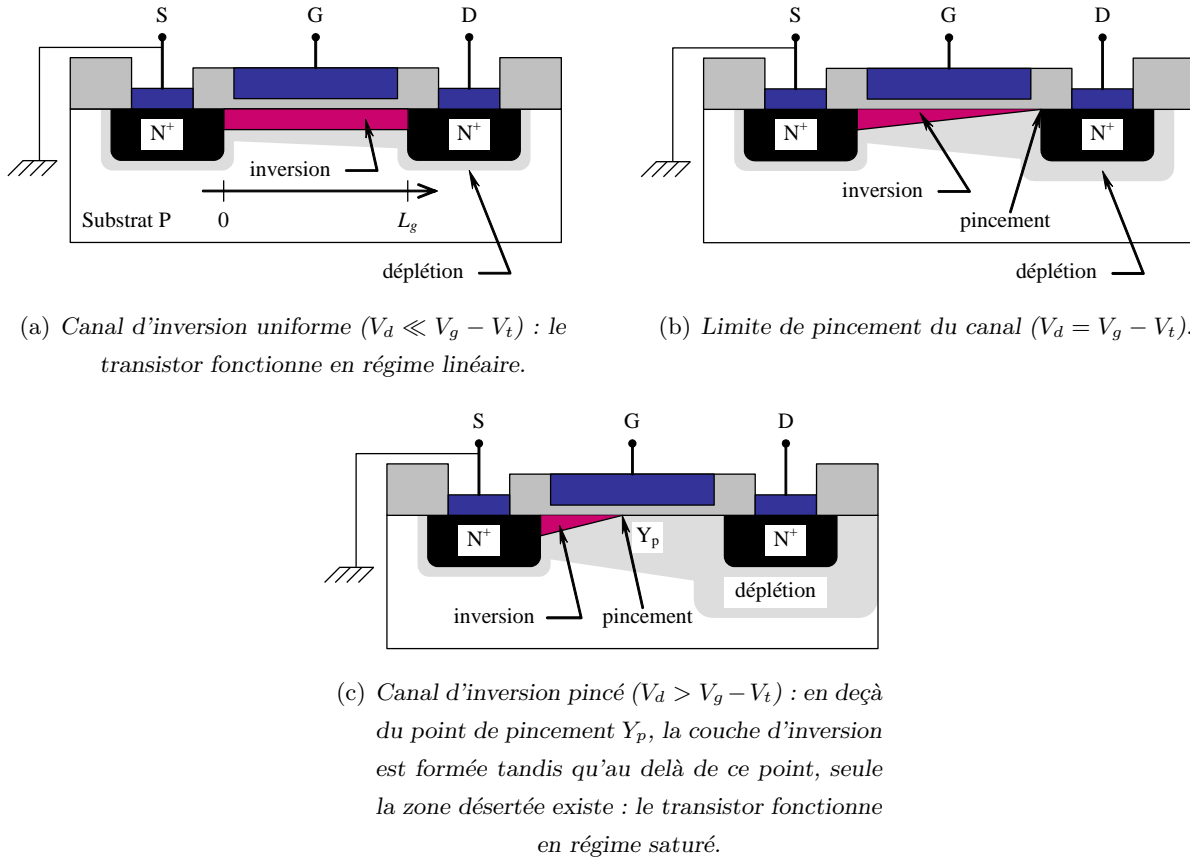


FIG. 2.29 – Évolution du canal d'inversion du transistor MOS en fonction de la polarisation de drain appliquée.

une relation approchée (mais amplement satisfaisante dans le cadre de notre étude) du courant source-drain I_d en fonction des différentes polarisations V_g et V_d de la structure. Pour cela, il suffit d'exprimer le courant dans le canal à partir de la loi d'Ohm :

$$I_d = W Q_{inv}(y) \mu_{eff} E_y(y) \quad (2.59)$$

où $Q_{inv}(y)$ est la charge d'inversion par unité de surface en un point $M(y)$ du canal, μ_{eff} est la mobilité des électrons dans le canal (supposée constante en première approximation⁴⁵) et $E_y(y)$ est le champ électrique longitudinal (source-drain) en $M(y)$.

L'expression de $Q_{inv}(y)$ s'obtient à partir de l'équation (2.18), en prenant en compte la polarisation de drain qui impose une chute de potentiel supplémentaire $U(y)$ en $M(y)$:

$$Q_{inv} \approx -C_{ox} (V_g - V_t - U(y)) \quad (2.60)$$

⁴⁵Nous reviendrons sur cette approximation dans le paragraphe 2.3.

On intègre alors l'équation (2.59) entre 0 et L_g en rappelant que :

$$\int_0^{L_g} E_y(y) dy = - \left[U(y) \right]_0^{L_g} = -V_d \quad (2.61a)$$

$$\int_0^{L_g} E_y(y) \cdot U(y) dy = -\frac{1}{2} \left[U^2(y) \right]_0^{L_g} = -\frac{V_d^2}{2} \quad (2.61b)$$

Le courant de drain en régime ohmique prend alors la forme suivante :

$$I_d = \frac{W}{L_g} \mu_{eff} C_{ox} \left[(V_g - V_t) - \frac{V_d}{2} \right] V_d \quad (2.62)$$

Cette équation démontre qu'en régime ohmique, le courant de drain varie linéairement avec la polarisation de grille appliquée : la résistance du canal est modulée par cette polarisation.

Signalons enfin que pour des faibles valeurs de V_d , le terme quadratique dans l'équation (2.62) peut être négligé et l'expression du courant de drain devient :

$$I_d = \frac{W}{L_g} \mu_{eff} C_{ox} (V_g - V_t) V_d \quad (2.63)$$

En prenant l'expression simplifiée (2.18) de Q_{inv} (approximation de l'inversion forte), l'équation précédente se réécrit également :

$$I_d = \frac{W}{L_g} \mu_{eff} Q_{inv} V_d \quad (2.64)$$

C'est cette dernière expression que nous utiliserons pour la suite de notre étude.

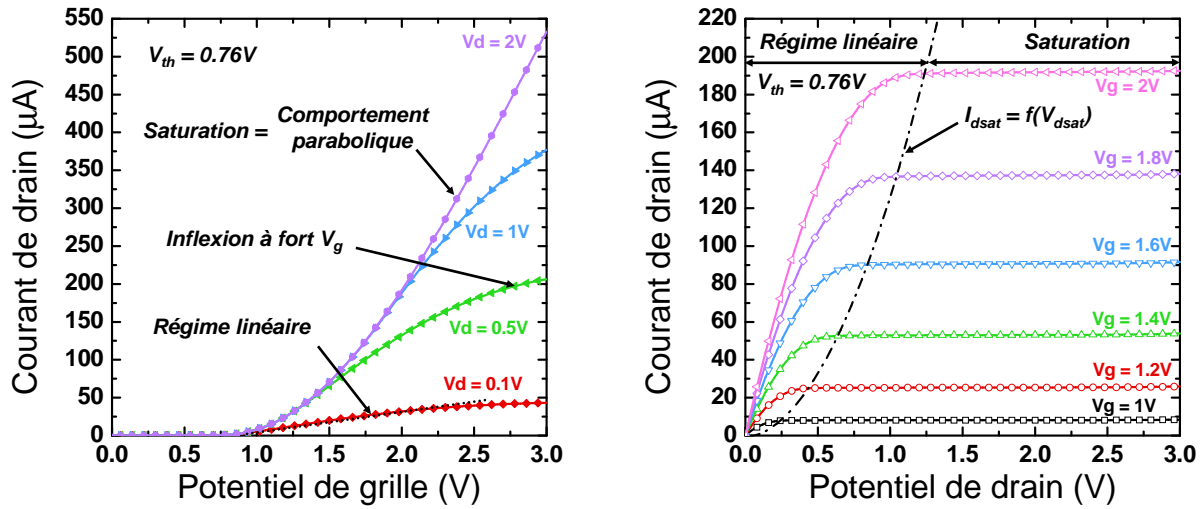
• Étude du régime de saturation

Lorsque la polarisation de drain atteint la valeur dite « de saturation » $V_{dsat} = V_g - V_t$, le point de pincement du canal d'inversion apparaît au niveau du drain. Si la polarisation de drain dépasse cette valeur de saturation, le point de pincement se déplace à l'intérieur du substrat (cette position varie en réalité assez peu avec la polarisation de drain). Une fois cette polarisation V_{dsat} atteinte, le courant dans le canal ne suit plus une évolution linéaire mais tend à saturer autour d'une valeur I_{dsat} : le transistor fonctionne alors en régime saturé.

Pour obtenir la valeur de courant de saturation, on se place à la limite de pincement et on considère, en première approximation, que l'équation (2.63) du courant de drain en régime linéaire est encore valable. On obtient alors pour I_{dsat} :

$$I_{dsat} = \frac{W}{L_g} \mu_{eff} C_{ox} (V_g - V_t)^2 \quad (2.65)$$

Cette équation démontre qu'en régime saturé, le courant de drain ne dépend plus de la polarisation appliquée sur le drain (au premier ordre) et varie de manière quadratique avec la polarisation de grille.



(a) Évolution du courant de drain du transistor en fonction de la polarisation de grille pour différentes polarisations de drain.

(b) Évolution du courant de drain du transistor en fonction de la polarisation de drain pour différentes polarisations de grille.

FIG. 2.30 – Caractéristiques Courant-Tension du transistor MOS

Expérimentalement, le pincement du canal fait apparaître deux régions où les processus de conduction sont totalement différents. Du côté de la source (région inversée), la densité de porteurs libres est élevée : la conductivité est grande, la chute de tension est donc très faible et reste inchangée aux bornes de cette région (potentiel nul à la source et valant $V_g - V_t$ au niveau du point de pincement). La résistance de cette zone est *indépendante* de la polarisation de drain. Au contraire, du côté du drain, la région déplétée présente une très faible conductivité et pratiquement toute la différence de potentiel drain-source V_d se retrouve dans cette partie. Les porteurs issus de la source passent librement dans la partie inversée du canal, puis sont « tirés » à travers la région déplétée par le champ électrique dû à V_d . A partir de ces considérations, on comprend aisément pourquoi le courant ne varie plus une fois la saturation atteinte : l'intensité du courant est déterminée par la chute de potentiel dans la partie inversée du canal qui demeure constante quelle que soit la polarisation de drain appliquée. Cette intensité n'est pas impactée par la partie désertée du canal, dans laquelle les porteurs sont accélérés par le fort champ électrique.

Enfin, notons qu'en pratique il existe une zone dite de transition entre le régime linéaire et le régime saturé, dans laquelle le courant s'infléchit pour atteindre sa valeur de saturation.

- **Caractéristiques $I_d(V_d)$ et $I_d(V_g)$**

Afin de synthétiser les résultats précédents, nous avons représenté les caractéristiques $I_d(V_d)$ et $I_d(V_g)$ d'un transistor MOS sur la figure 2.30. Ces deux graphes permettent de mieux visualiser

les différents régimes de fonctionnement du transistor. Signalons tout d'abord que l'évolution du courant de drain en fonction de la polarisation de grille (figure 2.30(a)) montre que pour une faible polarisation de drain, le transistor fonctionne en régime linéaire quelle que soit la polarisation de grille appliquée (au delà de la tension de seuil). En revanche, lorsque V_d est fort (typiquement 2V dans notre exemple), le transistor fonctionne en régime de saturation et l'évolution du courant de drain en fonction de la polarisation de grille est quadratique : la condition de « linéarité » $V_g > V_d + V_t$ est plus difficile à obtenir pour une forte polarisation de drain. Cette figure soulève également un point important : pour de fortes polarisations de grille, le courant de drain ne croit plus linéairement (comme prévu par l'équation (2.63)) mais tend à saturer. Ce comportement sera discuté plus en détails dans le paragraphe 2.3. Enfin, l'étude du courant de drain en fonction de la polarisation de drain (figure 2.30(b)) fait clairement apparaître les deux régimes de fonctionnement du transistor. En deçà de V_{dsat} , l'évolution du courant, décrite par l'équation (2.63), est linéaire avec V_d tandis qu'au delà de V_{dsat} , le transistor débite un courant de saturation I_{dsat} indépendant de V_d et décrit par la relation (2.65).

2.2.4 Courant de drain en régime bloqué

Dans le paragraphe précédent, nous nous sommes intéressés au courant de drain en régime passant, c'est-à-dire lorsque $V_g > V_t$, en supposant que pour une polarisation de grille inférieure à la tension de seuil, le transistor était bloqué. En réalité, lorsque que la structure MOS est régime d'inversion faible, le courant de drain n'est pas rigoureusement nul : une partie des porteurs présents à la source franchissent la barrière de potentiel source-canal et diffusent vers le canal. Cette situation est représentée sur la figure 2.31.

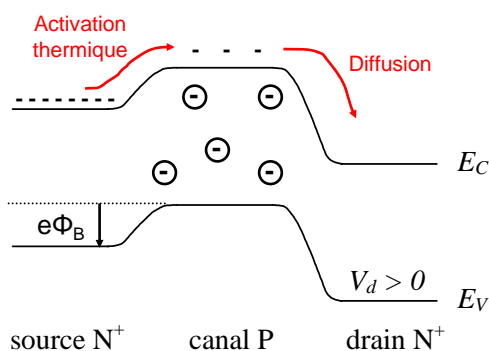


FIG. 2.31 – Représentation schématique du courant de drain en régime de faible inversion : l'agitation thermique permet un franchissement de la barrière énergétique source-canal par une partie des porteurs, qui diffusent ensuite vers le drain.

Dans ce régime de faible inversion, une augmentation de la polarisation de grille diminue la hauteur de barrière et induit une augmentation du courant de drain. Ainsi, ce courant I_d

s'exprime de la manière suivante [Skotnicki 03] :

$$I_d = I_t \exp\left(\frac{V_g - V_t}{S} \ln 10\right) \quad (2.66)$$

où I_t est le courant de drain au seuil de fonctionnement du transistor. En pratique, on prendra $I_t \approx 10^{-7} \frac{W}{L_g}$.

Le paramètre S , appelé « pente sous le seuil » (ou *sub-threshold swing*), est utilisé pour définir la conduction en faible inversion. Cette pente caractérise également le passage de l'état de blocage à l'état passant du transistor, c'est pourquoi on cherche à minimiser sa valeur pour améliorer le comportement dynamique des transistors. Aujourd'hui, sa valeur avoisine les 80 mV/décade à 300K pour la technologie CMOS standard (cf. figure 2.32), la valeur minimale de cette pente valant 60 mV/décade pour un transistor idéal.

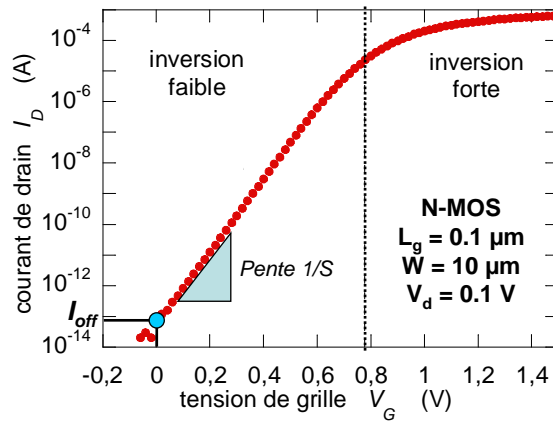


FIG. 2.32 – Variation du courant de drain en inversion faible. Dans cet exemple, la pente sous le seuil vaut $S = 80$ mV/décade.

On définit également la grandeur I_{off} du transistor comme étant la valeur du courant de drain pour $V_g = 0$ et $V_d = V_{dd}$ (V_{dd} autour de 1V). Cette grandeur constitue un paramètre crucial dans les applications « basse consommation » puisqu'il représente la consommation électrique du transistor en absence de polarisation de grille (courant de fuite). On cherchera donc à minimiser ce paramètre. En pratique, on l'évalue à partir de la formule :

$$\log(I_{off}) = \log(I_t) - \frac{V_t}{S} \quad (2.67)$$

2.3 Mobilité des porteurs dans le canal de conduction

Le paragraphe précédent nous a permis de détailler l'évolution du courant de drain en fonction de la polarisation de grille pour les différents régimes de fonctionnement du transistor MOS. En

particulier, l'expression (2.63) fait apparaître une croissance linéaire de ce courant aux fortes polarisations de grille. Cette évolution prédite n'est cependant pas observée, comme le confirme la figure 2.30(a) où nous mesurons distinctement une saturation du courant de drain en forte inversion. Ce désaccord entre la mesure et le calcul était d'ailleurs prévisible puisque l'expression (2.63) met en évidence une divergence (physiquement inacceptable) du courant de drain lorsque la polarisation de grille tend vers l'infini. Afin de lever cette incohérence, il faut reconsidérer l'expression du courant de drain dans le cas où le transistor est en forte inversion. Dans ce cas précis, nous avons vu au paragraphe 2.1.4 que les électrons libres sont confinés au voisinage de l'interface Si/SiO₂ en un gaz bidimensionnel. La mobilité des porteurs dans le canal de conduction n'est alors plus une constante (hypothèse faite dans l'expression (2.63)) mais se trouve modulée par le champ électrique de grille et c'est la décroissance de la mobilité en régime de forte inversion qui explique cette saturation du courant de drain.

L'évolution de la mobilité effective μ_{eff} en fonction de la polarisation de grille dépend des différentes interactions que subissent les porteurs lorsqu'ils se déplacent dans le canal de conduction. L'étude de cette mobilité permet ainsi de remonter aux interactions prédominantes dans le transistor et constitue un moyen d'analyse rapide et efficace de la qualité des dispositifs réalisés. Faire le lien entre mobilité et interactions est donc au centre de notre travail de recherche. Dans ce paragraphe, nous allons préciser les relations qui définissent cette mobilité.

2.3.1 Qu'est-ce-que la mobilité ?

Avant de nous focaliser sur la mobilité dans un transistor, rappelons tout d'abord la notion de mobilité dans un matériau massif.

• Mobilité dans un matériau massif

Considérons un matériau massif métallique ou semiconducteur en l'absence d'un champ électrique extérieur : les porteurs libres (électrons ou trous) présents dans ce matériau se déplacent de manière aléatoire sous l'effet de l'agitation thermique. Leur mouvement peut se décomposer en une succession de trajectoires rectilignes séparées par des interactions entre les porteurs et le réseau cristallin. Ces interactions étant aléatoires, la redistribution des trajectoires dans l'espace après chaque collision est équiprobable. Il n'existe donc pas de mouvement global des porteurs libres du matériau et les grandeurs électriques macroscopiques s'annulent : aucun courant électrique ne circule.

Appliquons maintenant un champ électrique extérieur \mathbf{E} sur ce matériau : les porteurs libres sont alors accélérés par ce champ et, dans le même temps, se voient freinés par les interactions avec les atomes du matériau. Il en découle un mouvement global des porteurs libres dans la direction du champ électrique avec une vitesse limite v_d , également appelée *vitesse de dérive*.

Cette vitesse dépend linéairement du champ électrique. La mobilité des porteurs est alors définie comme le coefficient de proportionnalité entre champ et vitesse. Pour un gaz d'électrons, nous obtenons⁴⁶ :

$$\mathbf{v}_d = -\mu \mathbf{E} \quad (2.68)$$

En considérant le modèle de Drude pour un gaz d'électrons, il est possible d'exprimer la mobilité comme valant :

$$\mu = -\frac{e\tau}{m_{ec}} \quad (2.69)$$

où τ est le *temps de relaxation* et $m_{ec} \approx 0.474 m_0$ est la *masse effective de conductivité*.

Dans le cas du silicium massif à température ambiante, la mobilité des électrons vaut environ 1500 cm²/V/s tandis que celle des trous avoisine les 500 cm²/V/s.

• Mobilité dans un transistor MOS

Considérons maintenant le cas particulier de la couche d'inversion d'un transistor MOS. Sous l'effet de la polarisation de grille, le gaz électronique est confiné à l'interface canal/oxyde et le mouvement des particules de ce gaz ne peut alors s'effectuer que dans un plan parallèle à l'interface : les propriétés de transport d'un tel gaz bidimensionnel sont ainsi modifiées par rapport au silicium massif. En particulier, la mobilité des porteurs est différente et inférieure à celle d'un matériau massif : on parle alors de mobilité effective, notée μ_{eff} . Dans ce cas, la mobilité des porteurs dans le canal n'est plus une constante liée au matériau mais varie avec la polarisation de grille appliquée. La mobilité effective s'écrit alors :

$$\mu_{eff}(V_g) = \frac{-e\tau(V_g)}{m_{ec}} \quad (2.70)$$

Cette formule montre que le confinement plus ou moins fort des porteurs (lié à une polarisation de grille plus ou moins élevée) modifie les temps d'interaction et de ce fait la mobilité.

A ce stade de l'exposé, il est également important d'introduire la notion de champ électrique effectif, noté E_{eff} , qui est une grandeur couramment utilisée pour l'étude de la mobilité des porteurs dans le canal d'un transistor MOS. Le champ effectif correspond à la valeur « moyenne » de la composante perpendiculaire à l'interface Si/SiO₂ du champ électrique régnant dans le canal de conduction. Il vaut par définition [Ando 82] :

$$E_{eff}(V_g) = \frac{|Q_{dep}| + \eta |Q_{inv}(V_g)|}{\epsilon_{Si}} \quad [V.m] \quad (2.71)$$

où Q_{dep} est la charge de déplétion par unité de surface et η un paramètre empirique valant 1/2 lorsque les porteurs sont des électrons et 1/3 lorsque ce sont des trous. Ce paramètre rend compte de l'étalement de la fonction d'onde des porteurs dans le canal de conduction pour le calcul du

⁴⁶Notons que pour un gaz de trous, les résultats sont similaires au signe près.

champ effectif et diffère pour les deux types de porteurs en raison de la position différente du maximum de la fonction d'onde par rapport à l'interface Si/SiO₂. Nous verrons dans le prochain chapitre les techniques expérimentales permettant de déterminer ce champ effectif.

2.3.2 Les interactions limitant la mobilité dans les transistors MOS

En pratique, la mobilité effective des porteurs dans le canal d'un transistor MOS est décrite par plusieurs types d'interactions entre ces porteurs et le milieu dans lequel ils évoluent. Ainsi, le temps de relaxation $\tau(V_g)$ est déterminé par l'ensemble des mécanismes de collision et de diffusion, de sorte que :

$$\frac{1}{\tau(V_g)} = \sum_i \frac{1}{\tau_i(V_g)} \quad (2.72)$$

où τ_i correspond au temps de relaxation pour une interaction particulière⁴⁷. Il est également possible de définir la mobilité $\mu_i(V_g)$ limitée par un seul type d'interaction comme valant :

$$\mu_i(V_g) = \frac{-e\tau_i(V_g)}{m_{ec}} \quad (2.73)$$

Cette équation, combinée à l'équation (2.70), permet d'écrire la relation suivante, connue sous le nom de « Loi de Mathiessen » :

$$\frac{1}{\mu_{eff}(V_g)} = \sum_i \frac{1}{\mu_i(V_g)} \quad (2.74)$$

Il est alors possible de décomposer la mobilité effective totale des porteurs en une somme de mobilités limitées par un seul type d'interaction entre les porteurs et le milieu dans lequel ils évoluent. En fonction de la température et du champ effectif appliqué, cette somme peut évoluer, voire même se réduire à un seul terme : une des interactions devient alors prépondérante et détermine à elle seule la valeur de la mobilité effective mesurée.

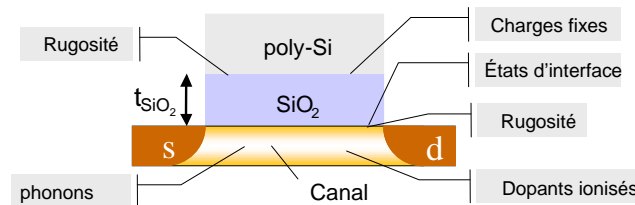


FIG. 2.33 – Schéma récapitulant les différentes interactions responsables de la réduction de mobilité dans un transistor MOS.

⁴⁷Signalons ici que cette relation n'est valable que pour des mécanismes d'interactions indépendants, hypothèse que nous considérerons comme vérifiée au cours de cette étude.

Dans le cas d'un transistor MOS, nous pouvons classer les différentes interactions responsables de la limitation de la mobilité en trois groupes : les interactions avec les phonons, les collisions avec des impuretés chargées (dopants ionisés, charges d'interfaces et dans l'oxyde...) ainsi que la diffusion due à la rugosité des différentes interfaces (cf. figure 2.33). A faible champ effectif, la mobilité est dégradée par les interactions coulombiennes dues aux impuretés ionisées (dopants). Lorsque le champ augmente, la mobilité suit une courbe dite « universelle » [Takagi 94, Chen 96] car elle devient indépendante du niveau de dopage du canal⁴⁸. Dans cette région, la mobilité est limitée par la diffusion sur la rugosité des interfaces (Si/SiO₂ ou SiO₂/Poly Si) à forte densité de porteurs et par les interactions avec les phonons pour des champs effectifs intermédiaires. Au final, nous obtenons à température ambiante des courbes de mobilité en fonction du champ effectif ayant une allure caractéristique semblable à celle représentée sur la figure 2.34. En pratique,

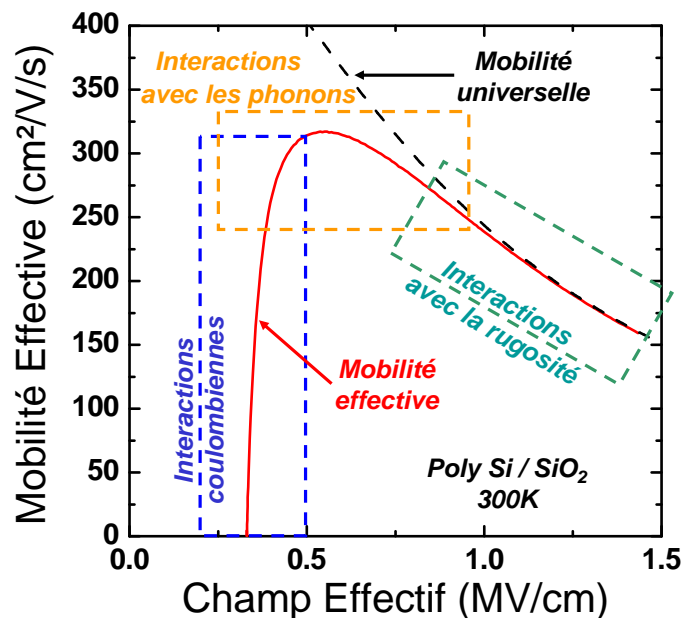


FIG. 2.34 – Allure caractéristique d'une courbe de mobilité effective à la température ambiante. Sur cette figure, nous avons également représenté les différentes interactions prépondérantes en fonction du champ effectif ainsi que la courbe de mobilité universelle donnée par Takagi et al. [Takagi 94].

nous verrons par la suite que l'utilisation de nouveaux matériaux (isolant *high k*, grille métallique) entraîne des écarts de mobilité par rapport à la courbe de référence de la figure 2.34 et à la mobilité universelle. Ces différences sont dues à une modification des interactions déjà présentes ainsi qu'à l'apparition de nouveaux mécanismes limitant la mobilité. Afin de pouvoir quantifier

⁴⁸Le caractère « universel » de cette courbe de mobilité est toutefois à modérer car elle n'est applicable qu'aux Si/SiO₂ MOSFETs.

ces dégradations supplémentaires dans la suite de notre étude, il est indispensable de connaître les dépendances en température et en champ effectif de ces différents types d'interaction. Nous allons donc étudier plus en détails ces différents mécanismes.

• **Diffusion par la rugosité des interfaces**

Dans le cas d'un transistor MOS, les différentes interfaces entre le substrat, l'oxyde et la grille ne sont pas parfaitement planes. De ce fait, les porteurs de la couche d'inversion subissent des collisions dues à la rugosité des interfaces qui dégradent la mobilité à fort champ effectif [Ando 82, Yu 02]. D'un point de vue expérimental, cette réduction de mobilité peut se modéliser simplement par [Villa 98, Ferry 00] :

$$\mu_{SR} = A \cdot E_{eff}^{-2} \cdot \Delta^{-2} \cdot L_c^{-2} \quad (2.75)$$

où Δ est la profondeur moyenne des fluctuations de la surface et L_c est la longueur de corrélation de ces fluctuations (distance moyenne entre les aspérités). D'après cette équation, nous pouvons constater que la mobilité limitée par la rugosité des interfaces est indépendante de la température. En outre, la mobilité décroît lorsque le champ effectif augmente, car le confinement des porteurs au voisinage de l'interface, d'autant plus marqué que le champ effectif est fort, renforce l'interaction avec les aspérités de surface. Villa *et al.* [Villa 98] ont cependant modifié cette expression pour prendre en compte la légère dépendance en température de la mobilité limitée par la rugosité due aux effets d'écrantage des porteurs, moins marqués quand la température augmente. L'équation (2.75) devient alors :

$$\mu_{SR} = \tilde{A} \cdot E_{eff}^{-2} \cdot \Delta^{-2} \cdot L_c^{-2} \cdot \exp - \left(\frac{T}{T_0} \right)^2 \quad (2.76)$$

où T_0 est un paramètre d'ajustement. Une formulation plus complète a récemment été donnée par Jin *et al.* [Jin 07].

Signalons que cette dépendance en température est souvent difficile à observer. Elle n'a d'ailleurs pas été mesurée expérimentalement dans le cadre de notre étude (cf. chapitre 2 de la partie II).

• **Interactions coulombiennes**

La présence de dopants ionisés dans le canal du transistor ainsi que l'existence de pièges et de charges dans l'oxyde ou à l'interface oxyde/silicium entraînent des interactions entre les porteurs du canal et ces différents centres coulombiens. La modélisation de la limitation de la mobilité due aux interactions coulombiennes est différente pour les basses températures ($T < 100K$) et les plus hautes températures ($T > 100K$) [Jeon 89]. Cette différence provient du fait que les mécanismes mis en jeu diffèrent [Chain 97].

Cas des hautes températures ($T > 100K$) Plus la température augmente et plus les porteurs du canal vont acquérir une vitesse thermique élevée. Cette vitesse importante va du même coup réduire le temps d'interaction entre les porteurs et les centres chargés : cet état de fait se traduit par une diminution de la probabilité de collision et donc une augmentation de la mobilité. La mobilité due aux interactions coulombiennes non-écrantées s'exprime alors [Villa 98] :

$$\mu_{CS}^0 = B \cdot T \quad \text{avec} \quad B = C^{ste} \quad (2.77)$$

En pratique, cette dépendance linéaire de la mobilité en fonction de la température n'est pas observée⁴⁹

En prenant en compte le fait que les porteurs quantifiés de la couche d'inversion interagissent en majorité avec des charges situés à une distance inférieure à $L_{th} = \left(\frac{\hbar^2}{2m^*k_B T} \right)^{1/2}$ de l'interface Si/SiO₂, nous pouvons modifier l'équation 2.77 précédente pour écrire [Jeon 89, Villa 98] :

$$\mu_{CS} = \frac{\mu_{CS}^0}{\alpha N_{int} + L_{th} N_{sub}} \quad (2.78)$$

où N_{int} est la densité de charges d'interface, N_{sub} le dopage du substrat et α est un facteur proportionnel au carré de la fonction d'onde à l'interface décrivant la probabilité de présence des porteurs au voisinage de l'interface. Pour des valeurs de dopages suffisamment élevées (typiquement $N_{sub} > 10^{17} \text{ cm}^{-3}$ dans notre étude), la densité de charges d'interface devient négligeable et nous retrouvons la dépendance en N_{sub}^{-1} donnée par Takagi *et al.* [Takagi 94].

Lorsque la densité de porteurs en inversion devient plus importante, le potentiel créé par les centres chargés est écranté par une partie des porteurs libres du canal (répartition de la couche d'inversion tendant à minimiser le potentiel). Cet écrantage est d'autant plus marqué que la densité de porteurs libres est grande et donc que le champ effectif est élevé. Dans le cas de densités de porteurs plus importantes, nous pouvons alors modifier l'équation (2.78) précédente comme suit :

$$\mu_{CS} = \frac{\mu_{CS}^0}{L_{th} N_{sub}} \left(1 + \frac{L_{th}}{L_s} \right)^2 \quad (2.79)$$

où L_s est la longueur d'écran dont l'expression varie avec la statistique des porteurs : elle est constante pour un gaz de porteurs dégénérés alors qu'elle est proportionnelle à N_{inv}^{-1} dans le cas non dégénéré. Pour $N_{inv} \gg N_{sub}$, nous avons $E_{eff} \propto N_{inv}$ et nous retrouvons bien une dépendance de la mobilité proportionnelle à E_{eff}^2 [Jeon 89, Chain 97]. Cette dépendance n'est cependant pas celle obtenue expérimentalement. En effet, lorsque la densité de porteurs libres augmente, le centroïde des charges se rapproche de l'interface, ce qui rend de ce fait la probabilité de collision avec les charges d'interface plus grande et donc une dépendance en champ effectif moins marquée que celle mentionnée ci-dessus. En réalité, nous obtenons :

$$\mu_{CS} \propto E_{eff}$$

⁴⁹Nous observons plutôt une faible dépendance positive.

Cas des basses températures ($T < 100K$) Pour des températures inférieures à 100K, la théorie ne permet pas de définir clairement les dépendances en température et en charge d'inversion de la mobilité limitée par les interactions coulombiennes. Il semblerait que dans ce régime de transport, l'effet d'écran des porteurs libres soit dominant par rapport à l'agitation thermique des porteurs. Il en résulte donc que la mobilité augmente lorsque la température diminue. Expérimentalement, Jeon *et al.* [Jeon 89] ont ainsi observé, pour des interactions coulombiennes avec les dopants du substrat, des courbes de mobilité du type :

$$\mu_{CS} = B \cdot T^{-1} \cdot N_{inv}^{\alpha'} \quad (2.80)$$

avec $\alpha' \approx 2$. Signalons dès à présent que cette dépendance en T^{-1} à basse température n'a pas été observée au cours de notre étude.

Au final, nous retiendrons donc que dans la plupart des cas, la mobilité limitée par les interactions coulombiennes augmente lorsque la température augmente autour de la température ambiante et que cette mobilité croît linéairement avec le champ effectif E_{eff} .

• **Collisions avec les phonons**

Le dernier mécanisme limitant la mobilité dans un transistor MOS est l'interaction entre les porteurs du canal et les phonons.

Les phonons proviennent des vibrations thermiques du réseau cristallin des différents matériaux utilisés pour la fabrication du transistor : silicium, germanium, oxyde de grille... Les déformations du réseau produites par ces phonons causent une modification du potentiel électrique qui perturbe le mouvement des porteurs libres et limite leur mobilité. Signalons également que ces vibrations peuvent être de deux types et induisent donc deux familles de phonons, à savoir les phonons acoustiques et les phonons optiques⁵⁰. Les interactions avec ces derniers sont en général énergétiques (30 à 50meV) et provoquent des collisions inélastiques pour lesquelles les porteurs échangent une quantité d'énergie non négligeable avec le réseau.

Les interactions avec les phonons étant liées aux vibrations thermiques du réseau cristallin, la mobilité limitée par les phonons est d'autant plus faible que la température augmente. En théorie, nous pouvons distinguer deux régimes de température pour lesquels la mobilité s'exprime différemment.

Cas des basses températures ($T < 100K$) Dans ce régime de température, nous pouvons faire l'hypothèse que tous les porteurs libres se situent dans la première sous-bande du silicium (hypothèse d'autant plus vraie que la température est basse). La mobilité est alors limitée par

⁵⁰Un traitement détaillé des différentes interactions avec les phonons et les transitions associées (inter- et intravallées pour les électrons, inter- et intra-sous bandes pour les trous) est proposé dans [Jacoboni 83, Ferry 00, Hamaguchi 01]. Nous invitons les lecteurs désireux d'en savoir plus à s'y reporter.

les seuls phonons acoustiques du silicium. Il en résulte que la mobilité limitée par les phonons peut s'exprimer de la manière suivante [Jeon 89, Villa 98] :

$$\mu_{ph} = C \cdot E_{eff}^{-1/3} \cdot T^{-1} \quad \text{avec } C = C^{ste} \quad (2.81)$$

Cas des hautes températures ($T > 100K$) Lorsque la température s'élève, les transitions inter-vallées et inter-sous bandes ne peuvent plus être négligées. L'équation (2.81) précédente est alors modifiée pour devenir :

$$\mu_{ph} = \tilde{C} \cdot E_{eff}^{-1/\gamma} \cdot T^{-n} \quad \text{avec } \tilde{C} = C^{ste} \quad (2.82)$$

où γ et n sont deux paramètres qui dépendent des transitions inter-vallées et inter-sous bandes. En général, les différentes publications font état de $\gamma > 3$ et $n > 1$. A 300K, Takagi *et al.* [Takagi 94] ont par exemple observé une dépendance de la mobilité en $E_{eff}^{-0.3}$ et $T^{-1.75}$ pour des transistors Si/SiO₂/Grille Polysilicium. Ces résultats confirment la valeur des coefficients proposés ci-dessus.

Cas des phonons optiques mous de l'oxyde Pour en terminer avec l'étude des phonons, il est également important de s'intéresser à l'influence des phonons de l'oxyde de grille sur la mobilité des porteurs. L'impact de cette interaction à distance sur la mobilité a été soulevé par Fischetti *et al.* [Fischetti 01] et il est particulièrement discuté depuis que l'oxyde traditionnel SiO₂ tend à être remplacé par des oxydes de forte permittivité (HfO₂, ZrO₂, silicates...) pour lesquels les phonons optiques ne sont plus négligeables dans le calcul de la mobilité.

Pour bien comprendre la différence de couplage entre les porteurs et les phonons optiques pour un matériau *high k* et le SiO₂, il faut tout d'abord comprendre d'où provient la différence de permittivité entre ces matériaux. La constante diélectrique des matériaux est fonction de la polarisabilité des liaisons du matériau en question. Cette polarisabilité fait intervenir deux contributions⁵¹ :

- Une contribution d'origine électronique, qui correspond à la redistribution des électrons sous l'effet d'un champ. Cette contribution existe à toutes les fréquences et en particulier à haute fréquence.
- Une contribution d'origine ionique, qui correspond à la capacité des liaisons ioniques à se polariser sous l'action d'un champ. Cette contribution n'apparaît qu'à basse fréquence, car les ions sont plus lourds que les électrons et ne répondent pas à une sollicitation à haute fréquence.

L'intensité du couplage entre les phonons de l'oxyde de grille et les porteurs du canal en

⁵¹Une explication plus détaillée de ces contributions est faite dans [Bersuker 04].

inversion est proportionnelle à [Fischetti 01] :

$$\Gamma \propto \hbar\omega_{SO} \left(\frac{1}{\epsilon_{Si}^{\infty} + \epsilon_{ox}^{\infty}} - \frac{1}{\epsilon_{Si}^{\infty} + \epsilon_{ox}^0} \right) \quad (2.83)$$

où ϵ_{Si} et ϵ_{ox} sont les permittivités diélectriques du substrat et de l'oxyde de grille (resp.), à haute (∞) et basse fréquence (0) et ω_{SO} la pulsation du phonon optique.

La permittivité de l'oxyde de grille peut se décomposer de la manière suivante à partir des deux contributions évoquées ci-dessus :

$$\epsilon_{ox} = \epsilon_{ox}^{e-} + \epsilon_{ox}^{ion}$$

où ϵ_{ox}^{e-} et ϵ_{ox}^{ion} sont les contributions électroniques et ioniques (resp.) à la constante diélectrique.

Pour SiO₂, la liaison est faiblement polarisable (contribution ionique faible), ce qui entraîne :

$$\epsilon_{ox} \approx \epsilon_{ox}^{e-}$$

La contribution électronique étant présente à toutes les fréquences, nous obtenons alors :

$$\epsilon_{ox}^0 \approx \epsilon_{ox}^{\infty}$$

En utilisant cette relation dans l'équation (2.83), nous obtenons :

$$\Gamma \approx 0$$

Ce faible couplage fait que les interactions distantes électrons/phonons optiques du SiO₂ sont négligeables. C'est pourquoi nous ne les observons pas dans les dispositifs conventionnels.

En revanche pour les oxydes *high k*, la réponse ionique domine à basse fréquence (liaison fortement polarisable), ce qui entraîne une large différence entre ϵ_{ox}^0 et ϵ_{ox}^{∞} et par conséquent un couplage électrons/phonons optiques important. Ce terme de collisions supplémentaire devrait donc être pris en compte pour ces matériaux, conduisant à une dégradation de la mobilité des porteurs de la couche d'inversion.

L'influence supposée de ces phonons optiques a été mise en évidence expérimentalement par Datta *et al.* [Datta 03] ainsi que par Chau *et al.* [Chau 03]. Ils ont également mis en avant l'effet d'une grille métal qui viendrait écranter le couplage avec les phonons optiques de HfO₂, améliorant ainsi la mobilité. Une autre étude théorique menée par Ren *et al.* [Ren 03] a permis de déterminer que la mobilité limitée par les phonons mous du HfO₂ variait en $T^{-0.95}$. Cette dépendance en température plus faible que pour les dispositifs intégrant du SiO₂ où, rappelons le, seuls les phonons du silicium intervenaient, provient du fait que les phonons mous présentent une faible énergie d'activation. Ils sont ainsi excités dans leur quasi-totalité à faible température : l'élévation de température a donc un effet limité sur leur action. Cette différence dans la

dépendance thermique pourrait constituer un bon moyen de déterminer l'influence des phonons sur la mobilité.

Cependant, l'impact expérimental de ces phonons reste controversé et nous reviendrons sur l'étude de ces phonons dans le paragraphe 3 de la partie II. Retenons tout de même de ce paragraphe que d'une manière générale, la mobilité limitée par les phonons diminue lorsque la température ou le champ effectif augmente.

2.4 Conclusion du chapitre

Dans ce second chapitre, nous avons abordé l'ensemble des points théoriques nécessaires à une bonne compréhension des résultats que nous allons présenter dans la suite de ce manuscrit. Pour cela, nous sommes tout d'abord revenus en détails sur le fonctionnement électrique de la structure MOS et ses différents régimes de polarisation.

Dans un second temps, nous avons étendu notre étude théorique au transistor MOS afin d'introduire et de détailler les différentes grandeurs électriques qui constituent le centre de notre travail, à savoir le courant de drain et surtout la mobilité des porteurs dans le canal de conduction, que nous avons tenté de définir avec la plus grande précision.

Pour finir, une étude bibliographique sur la mobilité des porteurs dans les transistors MOS a été réalisée et les principales conclusions à retenir ont été synthétisées dans le dernier paragraphe de ce chapitre. Une attention toute particulière a ainsi été apportée pour mettre en évidence les différents mécanismes limitant la mobilité dans un transistor MOS et pour expliciter les dépendances en température et en champ effectif de ceux-ci.

Deuxième partie

Résultats expérimentaux de l'étude

Chapitre 1

Techniques expérimentales d'extraction de la mobilité dans les transistors MOS

L'extraction de la mobilité des porteurs dans le canal de conduction des transistors est un point crucial pour la suite de notre étude : c'est à partir des résultats obtenus avec ces différentes techniques que nous allons élaborer notre analyse et formuler nos conclusions. Une bonne connaissance des diverses méthodes existantes revêt donc un caractère important et constitue l'objectif de ce chapitre.

1.1	Mobilité effective et technique Split C-V	99
1.1.1	Technique Split C-V classique	99
1.1.2	Technique Split C-V pulsée	101
1.1.3	Les limites de la technique Split C-V	106
1.2	Mobilité magnétorésistance	108
1.2.1	Principe de la mesure	108
1.2.2	Système expérimental	110
1.2.3	Avantages de la technique magnétorésistance	111
1.3	Comparaison théorique entre les mobilités effective et magné- torésistance	113
1.4	Conclusion du chapitre	115

DANS ce premier chapitre de la partie dédiée à la présentation des résultats de notre étude, nous allons aborder les techniques expérimentales que nous avons utilisées ou développées pour déterminer la mobilité des porteurs dans le canal de conduction d'un transistor MOS⁵². Pour ce faire, nous décrirons dans un premier temps la méthode classique d'extraction de la mobilité effective par « Split C-V ». Nous verrons également une déclinaison dite « pulsée » de cette technique, utilisée pour extraire la mobilité dans le cas des oxydes de forte permittivité présentant des charges piégées. Dans une seconde partie, nous présenterons une technique plus innovante d'extraction de mobilité basée sur des mesures de magnéto-résistance. Enfin, nous discuterons dans une dernière partie des avantages et des inconvénients de ces deux techniques et nous aborderons les liens existants entre les mobilités obtenues à partir de ces deux méthodes.

1.1 Mobilité effective et technique Split C-V

1.1.1 Technique Split C-V classique

La technique Split C-V est la méthode la plus couramment utilisée pour extraire la mobilité des porteurs dans le canal d'un transistor MOS [Sodini 82]. Elle permet d'obtenir de manière simple et rapide la mobilité effective μ_{eff} des porteurs en fonction de la polarisation de grille V_g appliquée sur le transistor. Sur le plan théorique, la mobilité effective est obtenue à partir de la relation (2.64) qui relie le courant de drain I_d en régime linéaire à la polarisation de grille, relation que nous pouvons réécrire comme suit :

$$\mu_{eff}(V_g) = \frac{L_g}{W} \frac{I_d(V_g)/V_d}{Q_{inv}(V_g)} \quad (1.1)$$

En pratique, la mobilité effective est extraite en combinant, pour chaque polarisation de grille, une mesure du courant circulant de la source au drain $I_d(V_g)$ avec une mesure de la charge d'inversion par unité de surface $Q_{inv}(V_g)$. Cette extraction de la charge d'inversion n'est pas directe et passe par la mesure de la capacité relative aux seules charges d'inversion, appelée capacité « grille/canal » et notée C_{gc} . Pour ce faire, un branchement particulier du capacimètre et différent de celui décrit dans le paragraphe 2.1.5 est nécessaire⁵³. Dans ce cas, le petit signal est imposé sur la grille (électrode « high » du capacimètre) tandis que la mesure est effectuée sur la source et le drain (électrode « low » du capacimètre). Le substrat est relié à la masse de sorte que nous obtenons un circuit ouvert en accumulation et en déplétion et que nous mesurons une capacité dont la valeur est seulement due à la réponse de la couche d'inversion au petit signal. Le schéma de ce branchement ainsi qu'un exemple de capacité surfacique grille/canal

⁵²Pour information et bien que non décrites dans ce chapitre, d'autres techniques d'extraction de la mobilité existent en plus des deux méthodes utilisées au cours de ce travail de recherche : mobilité à champ nul, mobilité de Hall...

⁵³Pour rappel, ce branchement permettait d'obtenir la capacité totale de la structure C_{tot} , avec $C_{tot} = C_{gc} + C_{gb}$.

sont représentés sur la figure 1.1. Nous constatons sur cette figure qu'en dessous de la tension de seuil, la capacité mesurée est nulle (pas de réponse des porteurs en accumulation et en déplétion) alors qu'au dessus, la capacité augmente rapidement pour atteindre une valeur quasi-constante (cette capacité quasi-constante en forte inversion permet de justifier *a posteriori* l'hypothèse faite sur la charge dans ce régime, à savoir $Q_{inv}(V_g) \approx C_{ox}(V_g - V_t)$).

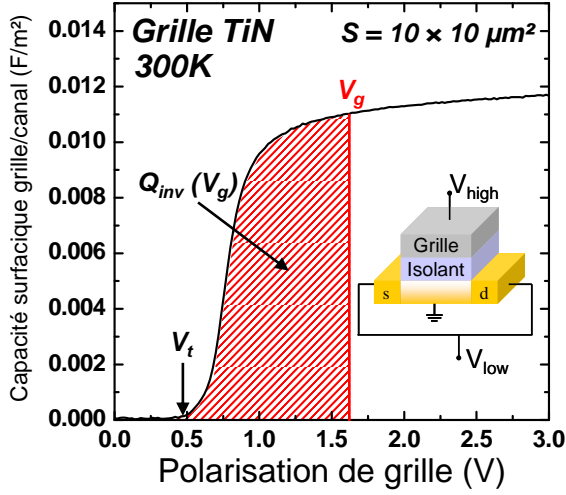


FIG. 1.1 – Extraction de la charge d'inversion Q_{inv} à partir de la mesure de la capacité grille/canal C_{gc} du transistor MOS. La charge d'inversion à une polarisation de grille V_g donnée n'est autre que l'aire sous la courbe de capacité prise entre une polarisation en accumulation où la capacité s'annule et V_g (surface hachurée).

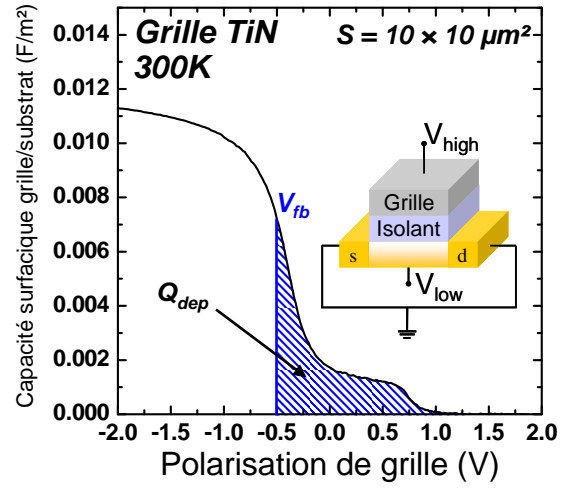


FIG. 1.2 – Extraction de la charge de déplétion Q_{dep} à partir de la mesure de la capacité grille/substrat C_{gb} du transistor MOS. La charge de déplétion n'est autre que l'aire sous la courbe de capacité prise entre la tension de bandes plates V_{fb} et une polarisation en inversion où la capacité s'annule (surface hachurée).

Une fois la capacité grille/canal extraite, il ne reste qu'à déterminer la charge d'inversion pour chaque valeur de la polarisation de grille en intégrant la courbe C_{gc} entre une polarisation de grille V_{acc} prise en forte accumulation (capacité nulle) et la polarisation de grille pour laquelle la charge d'inversion doit être extraite, puisque :

$$Q_{inv}(V_g) = \pm \int_{V_{acc}}^{V_g} \frac{C_{gc}(V')}{L_g W} dV' \quad [C.m^{-2}] \quad (1.2)$$

Par convention, la mobilité effective n'est généralement pas représentée comme une fonction de la polarisation de grille mais plutôt comme une fonction de la charge d'inversion N_{inv} ou du champ électrique effectif E_{eff} qui, rappelons le, vaut :

$$E_{eff}(V_g) = \frac{|Q_{dep}| + \eta |Q_{inv}(V_g)|}{\epsilon_{Si}} \quad [V.m^{-1}] \quad (1.3)$$

où Q_{dep} est la charge de déplétion par unité de surface et η un paramètre empirique valant $1/2$ lorsque les porteurs sont des électrons et $1/3$ lorsque ce sont des trous (pour le silicium). Ce paramètre rend compte de l'étalement de la fonction d'onde des porteurs dans le canal de conduction pour le calcul du champ effectif et diffère pour les deux types de porteurs en raison de la position différente du maximum de la fonction d'onde par rapport à l'interface Si/SiO₂.

Afin de pouvoir déterminer ce champ effectif à partir des mesures expérimentales, il est nécessaire de déterminer la charge de déplétion Q_{dep} . Pour cela, une mesure supplémentaire de la capacité « grille/substrat », notée C_{gb} doit être réalisée⁵⁴. Cette mesure est réalisée en branchant le capacimètre comme le montre le schéma de la figure 1.2. Dans cette configuration, seule la réponse des porteurs majoritaires dans la structure est mesurée tandis que celle des porteurs de la couche d'inversion n'est pas enregistrée puisque la source et le drain sont reliés à la masse. Un exemple de mesure de capacité grille/substrat est représenté sur la figure 1.2. La charge de déplétion est alors déterminée en intégrant la courbe C_{gb} entre la tension de bandes plates de la structure V_{fb} et une polarisation de grille V_{inv} prise en inversion forte et pour laquelle la capacité grille/substrat s'annule, puisque :

$$Q_{dep} = \mp \int_{V_{fb}}^{V_{inv}} \frac{C_{gb}(V')}{L_g W} dV' \quad [C.m^{-2}] \quad (1.4)$$

A partir de ces différentes mesures, il est alors possible d'extraire la mobilité effective des porteurs dans le transistor en fonction du champ effectif. Un exemple de ce type de courbe $\mu_{eff}(E_{eff})$ est proposé sur la figure 2.34 du chapitre précédent. Signalons que par convention, les unités utilisées en microélectronique pour exprimer le champ effectif et la mobilité effective sont respectivement le MV/cm et le $cm^2/V/s$. Nous présenterons donc nos résultats dans ce système d'unités.

1.1.2 Technique Split C-V pulsée

Dans le paragraphe précédent, nous avons présenté la technique Split C-V standard. Cette technique, facile à mettre en oeuvre, est la méthode de référence utilisée pour extraire la mobilité dans les transistors MOS intégrant un oxyde de grille SiO₂ « conventionnel ». Cependant, des études sur les nouveaux matériaux utilisés comme oxyde de grille (en particulier les oxydes de forte permittivité étudiés au cours de cette thèse) ont montré que ces oxydes présentaient des pièges capables de se charger et de se décharger au cours des mesures $I_d(V_g)$ et $C(V_g)$ [Mitard 07]. Ce phénomène entraîne un décalage progressif de la tension de seuil du transistor au cours de la mesure et fausse ainsi les résultats obtenus par Split C-V classique. Un moyen particulièrement simple de mettre en évidence ce problème est de tracer l'évolution du courant de drain en fonction de la polarisation de grille en aller-retour. Une telle mesure est représentée

⁵⁴La charge de déplétion peut également être calculée, à condition de connaître le dopage du substrat.

sur la figure 1.3 pour un oxyde HfO_2 de 4.5nm. Nous constatons une forte hystérésis entre les deux sens de balayage liée au chargement dynamique des pièges au cours de la mesure. En effet, lorsque la polarisation augmente (courbe noire), les pièges se remplissent au fur et à mesure et induisent un décalage progressif de la tension de seuil vers les polarisations de grille positives. En revanche, dans le sens descendant (courbe rouge), les pièges restent chargés car il faut une forte polarisation négative pour les décharger. Ainsi, pour une même polarisation de grille, l'état de chargement de l'oxyde n'est pas le même et nous observons un décalage des courbes : cette instabilité fausse l'extraction de la mobilité par Split C-V.

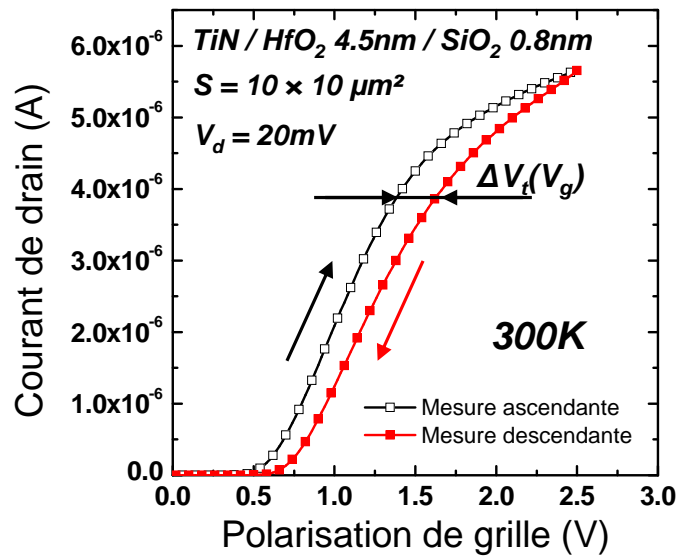


FIG. 1.3 – Influence du piégeage dynamique dans l'oxyde de forte permittivité sur le courant de drain. Au cours de la mesure ascendante, l'oxyde se charge, entraînant un décalage de la tension de seuil vers les V_g positifs. Pour la mesure descendante, les pièges restent chargés, ce qui induit un effet d'hystérésis.

Pour nous affranchir de cet effet parasite, il est indispensable de pouvoir déterminer le courant de drain en l'absence de pièges, c'est-à-dire à des temps suffisamment courts pour que les pièges n'aient pas le temps de se charger. Malheureusement, les appareils de mesures classiques utilisés pour le Split C-V ne permettent pas ce type de mesure « ultra rapides » : à titre d'exemple, les analyseurs de type HP4156 proposent un temps minimal d'acquisition de l'ordre de la milliseconde, temps bien supérieur au temps caractéristique de remplissage des pièges. C'est pourquoi nous avons développé une technique expérimentale permettant de mesurer l'évolution temporelle du courant de drain et d'avoir ainsi accès aux valeurs de ce courant à des temps suffisamment courts (de l'ordre de la microseconde) pour s'affranchir de l'effet des pièges. Cette technique repose sur une évolution d'une technique antérieure mise au point au LETI par Mitard *et al.*

[Mitard 07] et dont le schéma de principe est représenté sur la figure 1.4 : un train de pulses est appliqué sur la grille entre une tension basse, prise en accumulation afin de vider les pièges de l'oxyde, et une tension haute variable, prise en inversion et à laquelle nous désirons extraire le courant de drain. L'évolution temporelle de la polarisation au niveau de la source est alors mesurée à l'aide d'un oscilloscope synchronisé sur les fronts montants des pulses de grille. Cette

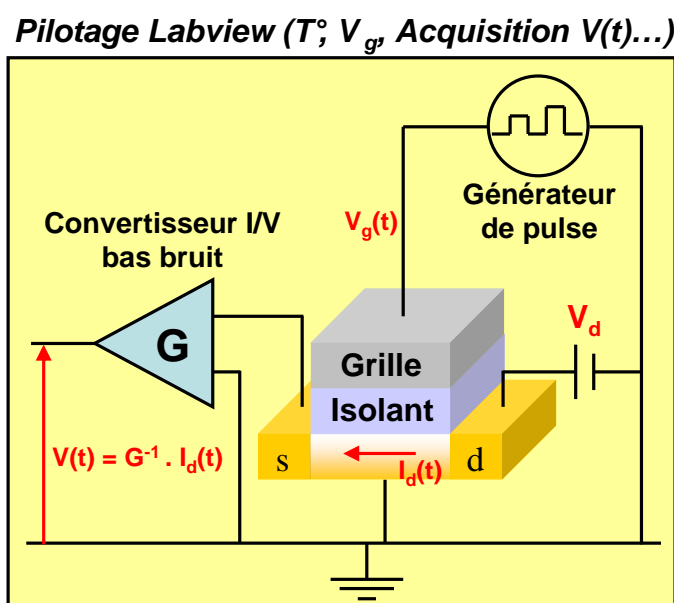
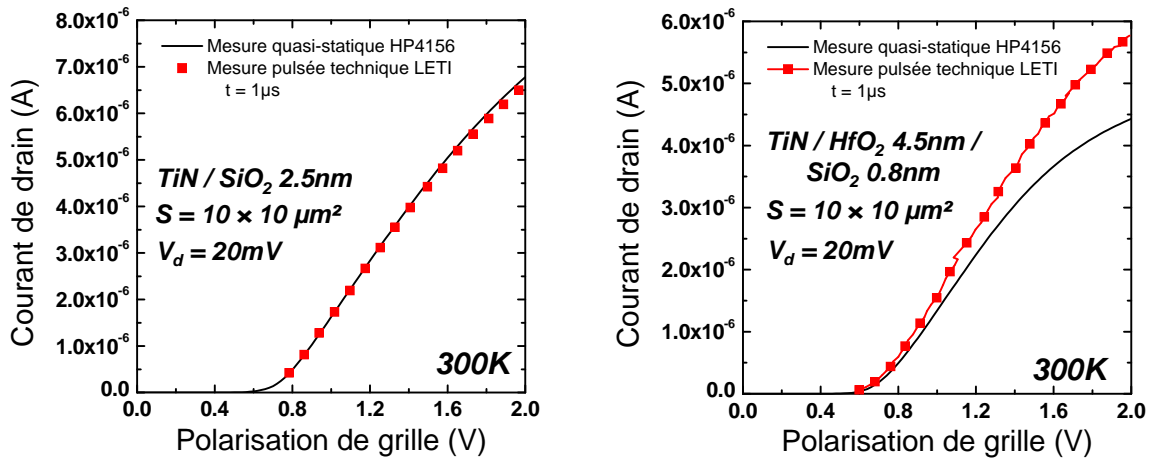


FIG. 1.4 – Schéma présentant la technique d'acquisition pulsée du courant de drain.

polarisation est alors convertie en une valeur de courant de drain⁵⁵ grâce à un convertisseur courant/tension présentant un faible bruit afin d'améliorer la résolution temporelle du système de mesure. Signalons enfin que pour optimiser les campagnes de mesure, la totalité du système a été automatisé sous Labview (contrôle des paramètres de mesure et du banc de test).

Afin de valider notre nouveau système de mesure, nous l'avons dans un premier temps étalonné sur des transistors de référence SiO_2/TiN ne présentant pas de pièges susceptibles de se charger durant l'acquisition. Les résultats obtenus sont présentés sur la figure 1.5(a), où nous constatons que la correspondance est excellente entre la mesure de courant classique effectuée au HP4156 (mesure quasi-statique) et la mesure obtenue à partir de la technique pulsée pour un temps d'acquisition de $1\mu\text{s}$, prouvant ainsi que cette technique d'extraction est bien fonctionnelle. Nous avons ensuite appliqué cette méthode sur des transistors MOS avec un oxyde de grille de forte permittivité HfO_2 . Dans ce cas, les résultats obtenus diffèrent de ceux obtenus avec l'analyseur de paramètres HP4156 : comme nous pouvons le voir sur la figure 1.5(b), le courant

⁵⁵L'égalité entre le courant de drain et le courant de source suppose que le courant de fuite à travers l'oxyde est négligeable, hypothèse vérifiée pour les dispositifs que nous avons étudiés.



(a) Transistor de référence TiN/SiO₂.

(b) Transistor intégrant un oxyde de forte permittivité TiN/HfO₂/SiO₂.

FIG. 1.5 – Comparaison entre une mesure quasi-statique du courant de drain effectuée à l'aide de l'analyseur de paramètres HP4156 et une mesure réalisée à partir de la technique pulsée présentée sur la figure 1.4. (a) La très bonne correspondance entre les mesures obtenues au moyen des deux techniques pour un transistor de référence (SiO₂/TiN) montre que la technique pulsée est bien étalonnée. (b) A contrario, l'écart de courant observé dans le cas d'un transistor HfO₂ rend indispensable la réalisation d'une mesure pulsée.

de drain « quasi-statique » est inférieur à celui mesuré avec la technique pulsée. Cette différence est due à la présence de pièges dans l'oxyde de forte permittivité qui se remplissent au cours de la mesure quasi-statique, entraînant une dégradation du courant de drain. Ce phénomène est d'ailleurs clairement mis en évidence sur la figure 1.6, où nous avons représenté l'évolution temporelle du courant de drain à la sortie du convertisseur courant/tension. Nous constatons sur ce graphe que le courant de drain mesuré par la technique pulsée tend à diminuer au fil du temps : cette décroissance est due au chargement progressif des pièges dans l'oxyde de forte permittivité. Aux temps longs (de l'ordre de quelques millisecondes), la mesure pulsée rejoint celle effectuée au HP4156 (non représenté sur la figure) : dans ce cas, l'état de chargement des pièges est identique et les deux techniques aboutissent au même résultat.

Signalons ici que le phénomène de « rebond » observable dans la zone de transition (en jaune sur la figure 1.6) est dû à une mauvaise adaptation d'impédance entre la sortie du convertisseur et les pointes de mesure du banc de test. Ce problème peut être résolu en utilisant des pointes de mesure adaptées à 50Ω (non disponibles lors de cette étude), permettant ainsi de gagner en rapidité d'acquisition du courant de drain.

Pour obtenir la courbe décrivant l'évolution de la mobilité effective en fonction de la charge

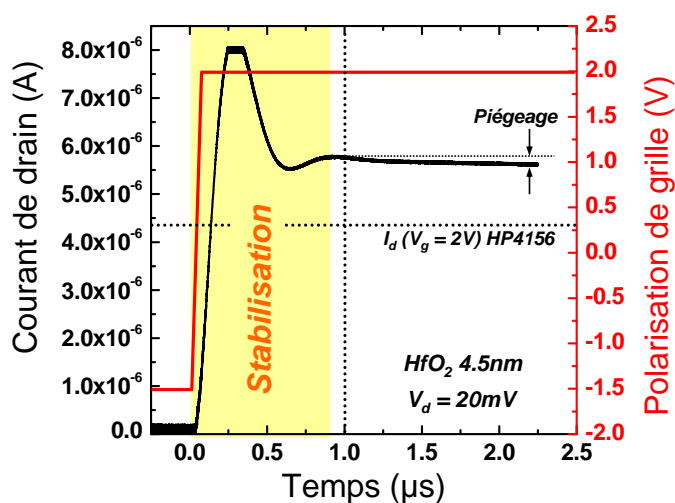


FIG. 1.6 – Évolution temporelle du courant de drain en sortie du convertisseur bas bruit pour un transistor intégrant un oxyde de forte permittivité HfO_2 . La décroissance temporelle du courant est liée au remplissage des pièges dans l’oxyde. Aux temps longs, la mesure pulsée rejoint celle effectuée avec le HP4156 (cas non représenté ici).

d’inversion, il ne reste plus qu’à combiner cette mesure pulsée de courant avec la charge d’inversion extraite à partir de la capacité de la structure MOS en inversion. Or, les pièges présents dans l’oxyde ont également un impact sur la mesure de capacité, de sorte qu’une réponse de ces pièges au signal de mesure de la capacité va entraîner une déformation de la courbe capacitive (effet de « stretch out »). Une mesure pulsée de cette capacité semble donc indispensable pour s’affranchir totalement de l’effet des pièges sur la mobilité effective. Dans le cadre de notre étude, il nous a été possible de nous affranchir d’une telle mesure dynamique car les mesures pulsées de courant ont montré que l’influence des pièges ne devenait visible que pour des polarisations de grille supérieures à 0.8V (figure 1.5(b)). A de telles tensions, nous nous situons sur le plateau de la courbe $C_{gc}(V_g)$ (cf. figure 1.1) : la présence de pièges ne fait donc que décaler horizontalement la mesure de capacité, dans une zone où sa valeur est quasi-constante : les courbes obtenues avec ou sans pièges sont donc presque identiques et aucune déformation significative n’est observée. Ce résultat a pu être confirmé en comparant la mesure $C_{gc}(V_g)$ avec une courbe idéale calculée par une simulation Poisson/Schrödinger : la très bonne adéquation entre les deux courbes valide l’analyse formulée ci-dessus. Remarquons en outre que dans le cas où l’influence des pièges se fait ressentir pour des polarisations de grille plus faibles, le recours à une technique pulsée ou à des corrections sur les courbes de capacité devient indispensable [Zhu 04].

1.1.3 Les limites de la technique Split C-V

Bien que la technique Split-C-V présente de nombreux avantages, dont le principal est une mise en œuvre extrêmement simple, il n'en demeure pas moins vrai que cette technique peut être insuffisante pour étudier le transport dans des structures ou des conditions particulières. Les limitations liées à cette technique sont de deux ordres : la difficulté à extraire la mobilité sur des dispositifs courts (transistors submicroniques) et l'incapacité à obtenir des mesures fiables à faible densité de porteurs (transport en faible inversion).

• *Split C-V et transistors courts*

La technique Split C-V, mise au point dans les années 80 pour des transistors dont les longueurs de grille avoisinaient la centaine de micromètres, se heurte aujourd'hui à la réduction des dimensions du transistor imposée par l'essor de l'industrie microélectronique. De ce fait, l'étude de la mobilité des porteurs dans des transistors submicroniques est rendue difficile par un certains nombres d'effets « parasites » comme l'augmentation des résistances d'accès, les courants de fuite ou l'impact des capacités parasites... Pour mettre en relief ces diverses limites, nous avons représenté sur la figure 1.7 les capacités grille/canal extraites pour des transistors MOS de différentes longueurs de grille. Ces courbes montrent que les capacités parasites, jusqu'alors négligeables sur des transistors longs, sont du même ordre de grandeur que la capacité de la couche d'inversion pour des transistors courts et perturbent ainsi l'extraction de la charge d'inversion pour la mesure Split C-V. Cependant, des techniques améliorées de la méthode Split C-V ont été mises au point et permettent de lutter plus ou moins efficacement contre les divers problèmes apparus avec les transistors courts [Romanjek 04]. Notre étude se cantonnant à l'étude de transistors longs (longueur de grille supérieure à $1\mu\text{m}$), nous n'aurons pas recours à ces techniques dans ce manuscrit.

• *Split C-V et faible densité de porteurs*

La technique Split C-V pose également des problèmes pour extraire la mobilité à faible densité de porteurs, et plus particulièrement en dessous du seuil du transistor (régime de faible inversion). Dans ce cas précis, deux raisons sont à l'origine de cette limitation :

- La faible densité de porteurs induit des valeurs faibles du courant de drain et de la capacité grille/canal, d'où une incertitude forte sur les mesures de mobilité réalisées en inversion faible.
- Le décalage de la tension de seuil entre les mesures $I_d(V_g)$ et $C_{gc}(V_g)$ crée un artefact de mesure aux faibles densité de porteurs : la mobilité effective chute à zéro (cas où $V_t(I_d) > V_t(C_{gc})$) ou tend vers l'infini (cas où $V_t(I_d) < V_t(C_{gc})$), ce qui est physiquement inacceptable. L'origine de ce décalage demeure inconnue.

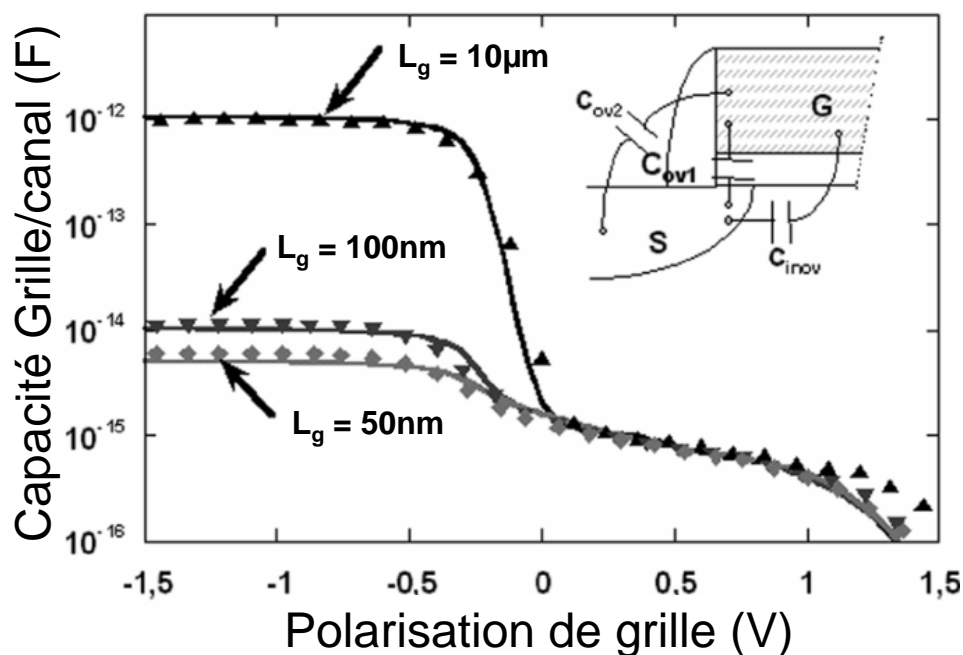


FIG. 1.7 – Extraction de la capacité grille/canal sur des transistors submicroniques. Les différentes capacités parasites C_{ov1} , C_{ov2} et C_{inov1} (représentées en insert), négligeables pour un transistor long, deviennent du même ordre de grandeur que la capacité d'inversion dans le cas de transistors courts. Leur contribution à la capacité totale mesurée n'est plus négligeable et perturbe l'extraction de la mobilité effective par Split C-V. D'après [Romanjek 04].

Ces limitations font que les résultats obtenus par Split C-V pour des polarisations inférieures à la tension de seuil V_t du transistor sont sujets à caution. Or, la compréhension des mécanismes responsables de la dégradation de mobilité dans des transistors intégrant un oxyde de forte permittivité passe par une analyse fine de la mobilité pour l'ensemble des régimes de fonctionnement du transistor, et en particulier à faible densité de porteurs, où les interactions coulombiennes sont prépondérantes. C'est pourquoi nous avons eu recours à une technique particulière et innovante pour caractériser la mobilité des porteurs en régime de faible inversion : l'extraction de mobilité par mesures de magnétorésistance.

1.2 Mobilité magnétorésistance

1.2.1 Principe de la mesure

L'extraction de mobilité par des mesures de magnétorésistance repose sur l'effet galvanomagnétique de magnétorésistance géométrique (notée GMR, pour « Geometric Magnetoresistance »), qui n'est autre qu'un cas particulier de l'effet Hall.

• Effet Hall et magnétorésistance

Considérons tout d'abord un matériau long et étroit ($L \gg W$) soumis à un champ magnétique B appliqué perpendiculairement à la direction de conduction (figure 1.8). La force de Lorentz créée par le champ électromagnétique induit une déviation des porteurs qui vont s'accumuler sur l'une des parois latérales du matériau (régime transitoire de la figure 1.8). Ce déséquilibre de charges entre les faces latérales du matériau entraîne l'apparition d'un champ électrique perpendiculaire à la direction de conduction, appelé champ électrique de Hall et noté E_H .

Lorsque la conduction est isotrope et que les mécanismes d'interaction sont indépendants de l'énergie des porteurs (ce qui revient à considérer que tous les porteurs ont la même vitesse), la force de Lorentz est exactement compensée par le champ électrique de Hall, de sorte que le mouvement de porteurs s'effectue selon la direction d'application du champ électrique externe E_{ext} (régime établi de la figure 1.8). La résistivité ρ mesurée en présence d'un champ magnétique est donc la même que celle mesurée à champ magnétique nul ρ_0 et aucune magnétorésistance n'est détectée.

En pratique, la résistivité en présence d'un champ magnétique $\rho(B)$ est généralement supérieure à celle à champ nul. En effet, lorsque la conduction est anisotrope ou que les mécanismes d'interaction dépendent de l'énergie des porteurs, le champ de Hall ne compense que la force de Lorentz *moyenne* et un certain nombre de porteurs, plus ou moins énergétiques que la moyenne, sont déviés. Ce phénomène, appelé magnétorésistance physique et noté PMR (pour « Physical

Magnétorésistance »), est observable pour presque tous les semiconducteurs (en particulier le silicium, matériau qui nous concerne dans cette étude). Signalons tout de même que la PMR est généralement négligeable devant la GMR, lorsque celle-ci est présente [Chang 89].

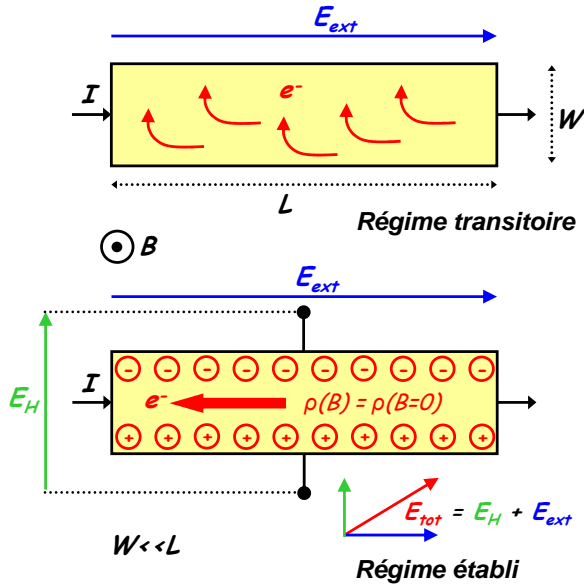


FIG. 1.8 – Effet Hall. La force de Lorentz entraîne un déséquilibre des porteurs entre les deux parois latérales qui induit à son tour un champ électrique, dit champ de Hall. Ce champ de Hall compense l'effet de la force de Lorentz et les porteurs se déplacent selon la direction d'application du champ électrique externe.

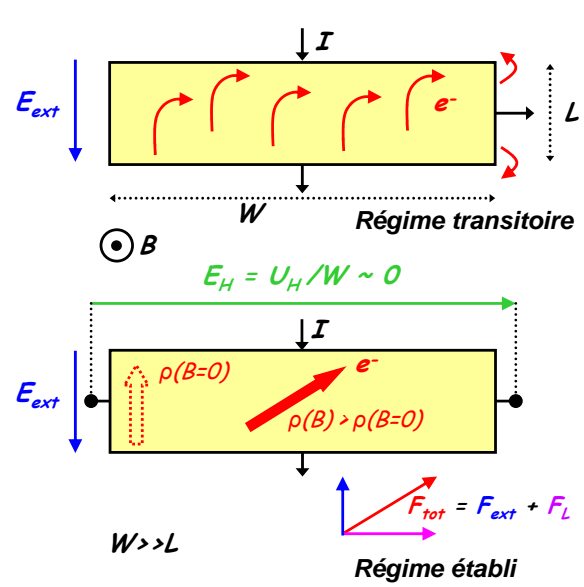


FIG. 1.9 – Effet de magnétorésistance géométrique (GMR). Les conditions géométriques particulières font que la tension de Hall est court-circuitée. La force de Lorentz n'est alors plus compensée et les porteurs ne se déplacent plus selon la direction d'application du champ électrique externe : la résistivité apparente augmente.

Considérons maintenant le cas d'un barreau de matériau dont la longueur est très inférieure à la largeur ($L \ll W$), la tension de Hall engendrée par le champ magnétique est alors court-circuitée par la proximité des contacts métalliques latéraux (régime transitoire de la figure 1.9). L'action de la Force de Lorentz n'est alors plus compensée et la majorité des porteurs se déplace selon une direction qui n'est plus celle du champ électrique appliqué (régime établi de la figure 1.9). De ce fait, de nombreux porteurs vont parcourir une plus grande distance pour traverser le barreau et la résistivité apparente du matériau en présence d'un champ magnétique va être supérieure à sa résistivité à champ nul. Cet effet est appelé magnétorésistance géométrique. Elle est uniquement liée aux conditions géométriques du dispositif étudié et peut de ce fait apparaître dans des matériaux où il n'existe pas de PMR.

Dans ces conditions, la résistivité du matériau est alors modulée par le champ magnétique

B appliqué, selon la relation suivante [Beer 63, Chang 89] :

$$\rho(B) = \rho(0) [1 + \mu_{MR}^2 B^2] \quad (1.5)$$

où $\rho(B)$ est la résistivité du matériau en présence du champ magnétique et $\rho(0)$ la résistivité du matériau à champ nul. Dans cette équation, μ_{MR} est la mobilité magnétorésistance que nous cherchons à mesurer. Remarquons également que l'expression ci-dessus n'est valable que pour un barreau court et large, typiquement $W/L \geq 5$. Pour des géométries s'éloignant de ce cas idéal, des formules correctives doivent être appliquées à l'équation (1.5) [Chang 89]. Au cours de cette étude, nous nous cantonnerons au cas où $W/L \geq 5$.

• Application au transistor MOS

Le principe théorique présenté ci-dessus peut être utilisé pour caractériser la mobilité des porteurs dans le canal de conduction du transistor MOS. Pour cela, un champ magnétique est appliqué selon la direction grille/substrat (perpendiculairement à la direction de transport source/drain), comme schématisé en insert de la figure 1.10. Afin de satisfaire aux conditions géométriques imposées précédemment, nous caractériserons des transistors dont la longueur de grille L_g est largement inférieure à leur largeur W . La résistivité du canal étant inversement proportionnelle au courant I_d ⁵⁶ circulant entre la source et le drain, l'équation (1.5) se réécrit :

$$\frac{\rho(B)}{\rho(0)} = \frac{I_d(0, V_g)}{I_d(B, V_g)} = 1 + \mu_{MR}(V_g)^2 B^2 \quad (1.6)$$

A partir de cette relation, il est alors possible de déterminer de manière *directe* la mobilité magnétorésistance des porteurs dans le canal pour chaque polarisation de grille V_g . Pour cela, il suffit de tracer l'évolution du courant de drain en fonction du carré du champ magnétique pour obtenir une droite dont la pente est égale à la mobilité magnétorésistance au carré. Un exemple de ce type d'extraction est présentée sur la figure 1.10.

Cependant, l'apparente simplicité de la technique présentée ici ne doit pas faire oublier que cette méthode est beaucoup plus fastidieuse que la technique Split C-V et que sa mise en œuvre complexe (aimant supraconducteur, cryogénie, dispositifs en boîtier...) la destine à des études ponctuelles et précises.

1.2.2 Système expérimental

La mise en œuvre d'une telle technique expérimentale a été rendue possible grâce à une collaboration avec le CNRS et le Laboratoire des Champs Magnétiques Intenses (CNRS/LCMI).

⁵⁶Ce résultat n'est valable que si les résistances série au niveau de la source et du drain (généralement notées R_{SD}) sont négligeables. Nous considérerons cette condition comme remplie car les mesures réalisées avec cette technique ont été effectuées sur des transistors longs.

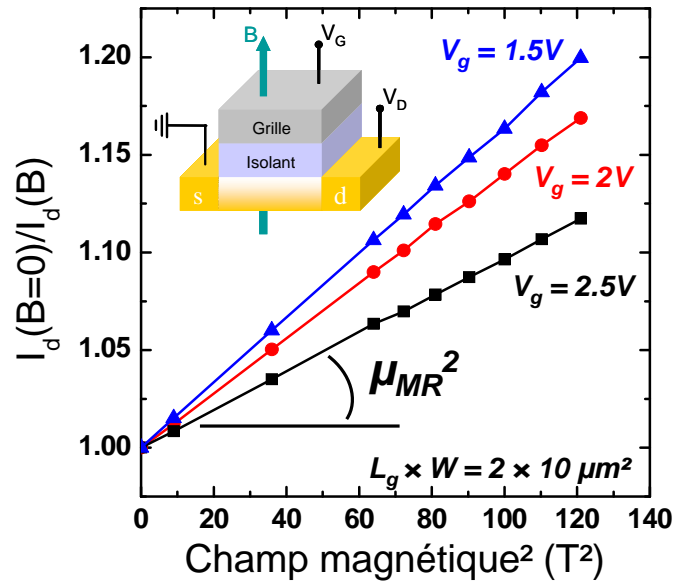


FIG. 1.10 – Technique d’extraction de la mobilité magnéto-résistance sur un transistor MOS. L’évolution du courant de drain I_d en fonction du carré du champ magnétique B^2 est une droite dont la pente est égale à μ_{MR}^2 .

Le champ magnétique est créé par une bobine supraconductrice refroidie à l’hélium liquide permettant de réaliser un champ magnétique variant de 0 à 11T. Les transistors testés sont montés sur un support 24 broches de circuit intégré et insérés au cœur de la bobine au moyen d’une canne cryogénique. Un cryostat permet de contrôler la température de l’échantillon de 4K à l’ambiante. Les mesures sont réalisées avec un analyseur de paramètres standard (type HP4155).

1.2.3 Avantages de la technique magnéto-résistance

La technique que nous venons de présenter permet donc d’obtenir la mobilité des porteurs dans le canal du transistor à partir d’une seule mesure de courant de drain, ce qui présente deux avantages par rapport à la technique Split C-V :

- Il n’est pas nécessaire de connaître la longueur effective du canal de conduction du transistor pour en extraire la mobilité de ses porteurs. Ceci représente un réel avantage par rapport à la technique Split C-V car la technique magnéto-résistance permet de caractériser les transistors ultra-courts⁵⁷ sans avoir à formuler des hypothèses sur le comportement électrique de ceux-ci (invariance de la mobilité en fonction de la longueur de grille par exemple). En outre, l’absence de mesure de capacité supprime les difficultés d’extraction

⁵⁷Signalons d’ailleurs que cette technique, contrairement au Split C-V, est d’autant plus adaptée que le transistor est court, puisque le courant de drain mesuré est alors plus important.

liées aux capacités parasites décrites dans le paragraphe 1.1.3.

- L'obtention de la courbe de mobilité à partir d'une seule mesure (et non plus grâce à la combinaison de deux mesures comme dans le cas du Split C-V) supprime les incertitudes à faible densité de porteurs et permet de caractériser le transport en régime de faible inversion.

Si un certain nombre de travaux concernant les transistors ultra-courts ont été publiés (extraction sur MOS ultra-courts [Meziani 04], sur FDSOI [Chaisantikulwat 05a], sur GAA SON MOSFETs [Chaisantikulwat 05b], correction des résistances série [Chaisantikulwat 06]...), l'extraction de mobilité aux faibles densités de porteurs n'est que peu répandue dans la littérature. Or, c'est pour caractériser nos transistors en régime de faible inversion que la technique magnétorésistance nous intéresse. Nous avons donc choisi d'optimiser les techniques existantes pour obtenir des résultats fiables lorsque le courant de drain devient faible. Nous avons en plus automatisé le système de test afin d'avoir accès à des courbes complètes $\mu_{MR}(V_g)$, permettant ainsi de réaliser des analyses quantitatives sur les mécanismes limitant la mobilité dans ce régime de transport.

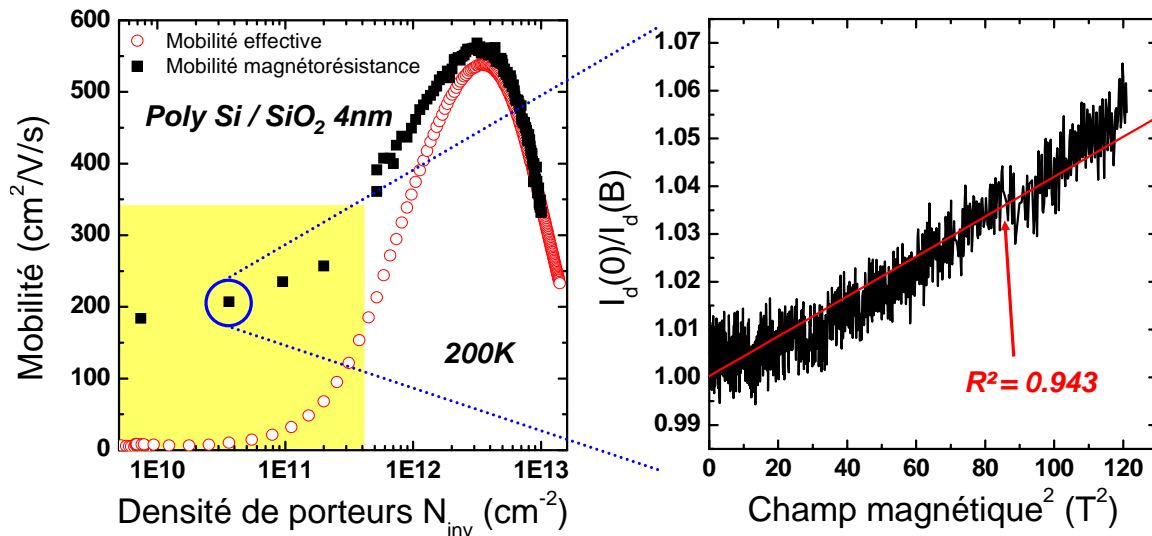


FIG. 1.11 – Comparaison entre la mobilité effective extraite par la technique Split C-V et la mobilité magnétorésistance obtenue à partir de l'expression (1.6), pour un transistor de référence Poly Si/SiO₂. Nous constatons qu'à faible densité de porteurs, la mobilité effective s'annule (physiquement inacceptable), tandis que la mobilité magnétorésistance conserve une valeur non nulle et fiable, comme le prouve le coefficient de corrélation de la courbe de droite. Le recours à la magnétorésistance permet donc de gagner au minimum une décade de résolution à faible densité de porteur (carré jaune).

Pour mettre en évidence le gain apporté par la technique magnétorésistance en régime de faible inversion, nous avons comparé les mobilités extraites à partir des deux techniques pour un même dispositif de référence, en l'occurrence un transistor conventionnel NMOS constitué d'une grille polysilicium déposée sur un oxyde SiO₂ de 4nm. La figure 1.11 montre que pour de faibles densités de porteurs, la mobilité effective s'annule (ce qui est physiquement impossible) tandis que la mobilité magnétorésistance conserve une valeur non nulle et dont la fiabilité est prouvée par le très bon coefficient de corrélation obtenu lors de l'analyse des données expérimentales (courbe de droite). La technique magnétorésistance permet donc de gagner plus d'une décade en régime de faible inversion (carré jaune) par rapport à la technique Split C-V. De plus, la fiabilité des résultats est assurée par la valeur coefficient de corrélation lors de l'extraction, contrairement à la technique Split C-V, où la limite de validité des résultats est parfois difficile à quantifier. L'extraction de mobilité par mesure de magnétorésistance constitue donc une méthode de choix pour la caractérisation du transport dans des gaz de porteurs de faible densité. Les résultats obtenus par cette technique innovante seront présentés dans le chapitre 3 de la partie II.

1.3 Comparaison théorique entre les mobilités effective et magnétorésistance

Dans les paragraphes précédents, nous avons comparé les techniques d'extraction de mobilité d'un point de vue pratique, en insistant sur les avantages et les inconvénients de chaque méthode. Sur le plan théorique, il est important de souligner que les mobilités effective et magnétorésistance ne sont pas égales. En effet, les calculs respectifs des mobilités effective et magnétorésistance donnent [Meziani 04] :

$$\mu_{eff} = \frac{\int_0^{+\infty} E \cdot g(E) \cdot \mu(E) \left(-\frac{\partial f_0}{\partial E} \right) dE}{\int_0^{+\infty} g(E) \cdot f_0(E) dE} \quad (1.7)$$

et

$$\mu_{MR} = \sqrt{\frac{\int_0^{+\infty} E \cdot g(E) \cdot \mu(E)^3 \left(-\frac{\partial f_0}{\partial E} \right) dE}{\int_0^{+\infty} E \cdot g(E) \cdot \mu(E) \left(-\frac{\partial f_0}{\partial E} \right) dE}} \quad (1.8)$$

où f_0 est la distribution de Fermi-Dirac, $g(E)$ est la densité d'états et $\mu(E) = \frac{-e\tau(E)}{m^*}$ est la mobilité dépendant de l'énergie avec $\tau(E)$ le temps de relaxation et m^* la masse effective de conduction.

De ces deux expressions, nous pouvons tirer plusieurs constats :

- La mobilité magnétorésistance est toujours supérieure à la mobilité effective, quels que soient la densité de porteurs libres dans le canal et le mécanisme limitant la mobilité. Ce résultat est mis en évidence sur la figure 1.12, où nous avons calculé l'écart relatif entre les deux mobilités dans l'approximation $\mu(E) \approx E^n$, avec n un paramètre caractéristique de l'interaction limitant la mobilité pour un gaz bidimensionnel d'électrons (à une seule sous-bande). Sur cette figure, nous constatons que le rapport théorique est ainsi toujours supérieur ou égal à 0.
- L'égalité entre les deux mobilités n'est possible que lorsque $\mu(E) = C^{te}$, ce qui correspond sur la figure 1.12 au cas où $n = 0$. En pratique, cette « indépendance énergétique » du temps de relaxation correspond aux cas d'un gaz électronique dégénéré (métal, semiconducteur en inversion forte ou à basse température...) ou pour un mécanisme indépendant de l'énergie des porteurs (interaction avec la rugosité ou avec des phonons 2D [Lundstrom 00]).

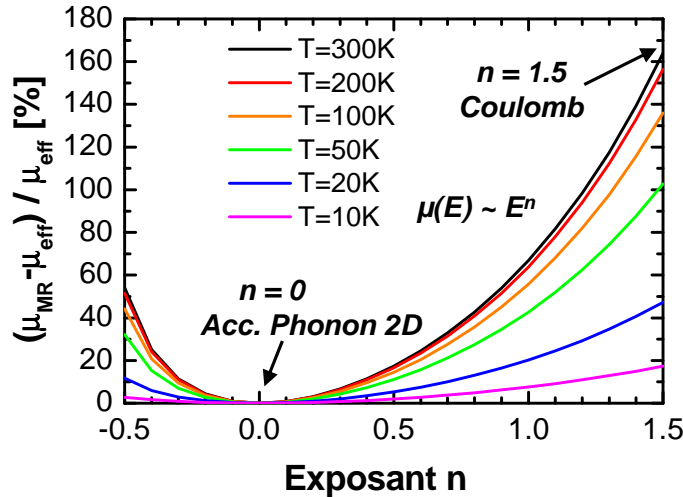


FIG. 1.12 – Écart relatif théorique $(\mu_{MR} - \mu_{eff}) / \mu_{eff}$ en fonction de la dépendance exponentielle n en énergie du temps d'interaction. Nous avons effectué le calcul pour différentes températures, jusqu'à 10K.

Afin de mettre en relation ces considérations théoriques avec la réalité expérimentale, nous avons extrait les mobilités magnétorésistance et effective (par Split C-V) sur une structure TMOS classique intégrant une grille polysilicium déposée sur 4nm de SiO_2 . Ces mesures ont été réalisées sur une large gamme de température (de 20K à 200K) et avec des transistors intégrant des prises Kelvin afin de nous affranchir de l'effet des résistances séries (technique 4 pointes). Les résultats obtenus sont regroupés sur la figure 1.13 et constituent une première dans l'étude des transistors MOS, puisqu'à notre connaissance, aucune publication ne fait état de tels résultats.

La figure 1.13 montre ainsi qu'il n'existe que peu voire pas de différence entre les deux mobilités à moyen et fort champ effectif, cette différence étant d'autant plus faible que la température

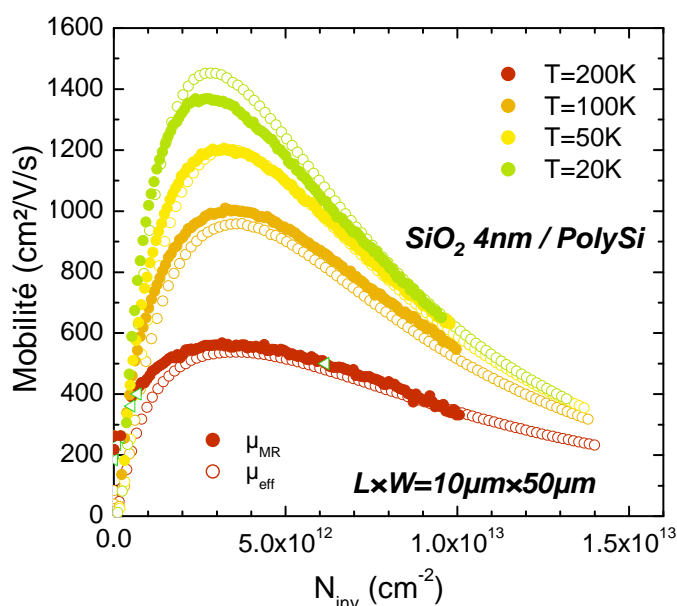


FIG. 1.13 – Comparaison à différentes températures entre la mobilité magnétorésistance et la mobilité effective extraite par Split C-V sur un transistor MOS à grille polysilicium. Ces résultats montrent une différence minime entre les deux mobilités à moyenne et forte densités de porteurs.

est basse. Ces résultats confirment ce que nous avons abordé plus haut sur le plan théorique : l'égalité existe dans le cas d'un gaz de porteurs dégénérés, correspondant au gaz électronique à basse température et en forte inversion, et dans le cas où le mécanisme d'interaction ne dépend pas de l'énergie des porteurs ($n = 0$), ce qui est le cas des interactions avec la rugosité et les phonons qui limitent la mobilité en moyenne ou forte inversion.

Ainsi, cette très bonne corrélation entre la théorie et les résultats expérimentaux nous permet de valider notre protocole de mesure et nous assure d'obtenir des résultats fiables avec cette technique magnétorésistance.

1.4 Conclusion du chapitre

Dans ce chapitre, nous avons décrit les méthodes utilisées lors de nos travaux de recherche pour extraire la mobilité des porteurs dans le canal de conduction d'un transistor MOS. Nous avons en outre décrit les différentes techniques, souvent novatrices, que nous avons développées afin de pousser plus loin l'étude du transport électronique dans les transistors, techniques que nous avons validées sur des dispositifs de référence aux caractéristiques connues. Ces multiples expériences nous ont enfin permis de mettre l'accent sur les limites de chaque moyen de caractérisation. Il en ressort qu'une bonne connaissance des techniques expérimentales ainsi qu'une

certaine « lucidité » quant aux limites de validité de celles-ci apparaît comme indispensable pour présenter des résultats fiables et pertinents, résultats que nous allons exposer dans la suite de ce manuscrit.

Chapitre 2

Influence de la grille métallique sur la mobilité

L'intégration d'un matériau de forte permittivité comme isolant de grille d'un transistor MOS n'est techniquement pas envisageable sans avoir recours à une grille constituée d'un matériau métallique. Ainsi, l'étude des dégradations de la mobilité dans un transistor high k/grille métallique passe nécessairement par l'étude préalable de l'impact d'une grille métallique sur la mobilité. Cette étude constitue l'objet de ce chapitre.

2.1	Mise en évidence du problème	119
2.2	Impact de la grille métallique sur la rugosité	120
2.2.1	Extraction de la mobilité limitée par la rugosité	121
2.2.2	Modélisation de la mobilité limitée par la rugosité	125
2.2.3	Origine possible de la modification de rugosité	129
2.3	Impact de la grille métallique sur les interactions coulombiennes	131
2.3.1	Protocole expérimental	132
2.3.2	Résultats de l'étude	132
2.4	Conclusion du chapitre	134

COMME nous l'avons abordé dans le premier chapitre de ce manuscrit, l'intégration de matériaux de forte permittivité comme isolant de grille n'est pas envisageable sans avoir recours à des grilles métalliques en lieu et place des grilles en polysilicium utilisées jusqu'alors. Les diverses études publiées dans la littérature et portant sur l'influence des matériaux de forte permittivité sur la mobilité sont donc, dans leur grande majorité, réalisées sur des dispositifs intégrant un couple oxyde *high k*/grille métallique. Ainsi, les dégradations de mobilité observées sur ces dispositifs par rapport à un transistor de référence SiO₂/Poly Si sont engendrées par la modification du couple grille/oxyde. Pourtant, la plupart des résultats présentés à ce jour imputent la totalité de la dégradation à la présence du matériau de forte permittivité alors que l'utilisation d'une grille métallique pourrait avoir un impact non négligeable. De ce fait, l'influence du matériau de forte permittivité sur la mobilité pourrait être surestimé et les analyses proposées remises en question. Dans ce chapitre, nous avons donc voulu clarifier ce point en étudiant l'influence de la seule grille métallique sur la mobilité.

2.1 Mise en évidence du problème

Pour décorrélérer les dégradations dues uniquement au matériau de forte permittivité de celles liées au couple *high k*/grille métallique, nous avons dans un premier de temps analysé l'influence de la seule grille métallique sur la mobilité, avant de combiner cette grille avec un oxyde *high k*. Pour cela, nous avons réalisé des dispositifs intégrant une grille métallique TiN déposée selon deux procédés (ALCVD et MOCVD) sur un oxyde SiO₂ de 2.5nm et nous avons comparé les mobilités extraites sur ces transistors à celle extraite sur des dispositifs de référence dont l'empilement de grille est constitué de 2.5nm de SiO₂ et d'une grille en polysilicium. Les mobilités obtenues à la température ambiante pour ces différents transistors sont regroupées sur la figure 2.1.

Dès la première analyse, les résultats sont sans appel : le simple fait de remplacer la grille polysilicium par une grille métallique TiN entraîne une modification flagrante de la mobilité sur l'ensemble de la plage de champ effectif étudié. En outre cette dégradation semble dépendre de la technique de dépôt employée pour réaliser la grille puisque la mobilité extraite sur les dispositifs avec grille TiN ALCVD ne se superpose pas avec celle extraite sur les transistors TiN MOCVD. En se référant au chapitre I.2, dans lequel nous avons étudié les différentes interactions limitant la mobilité en fonction du champ effectif et de la température, les dégradations marquées à faible et forte densité de porteurs nous font suspecter une modification des interactions coulombiennes et de la rugosité des différentes interfaces lors de l'utilisation d'une grille métallique. Dans les deux paragraphes qui suivent, nous allons étudier en détails ces différentes possibilités.

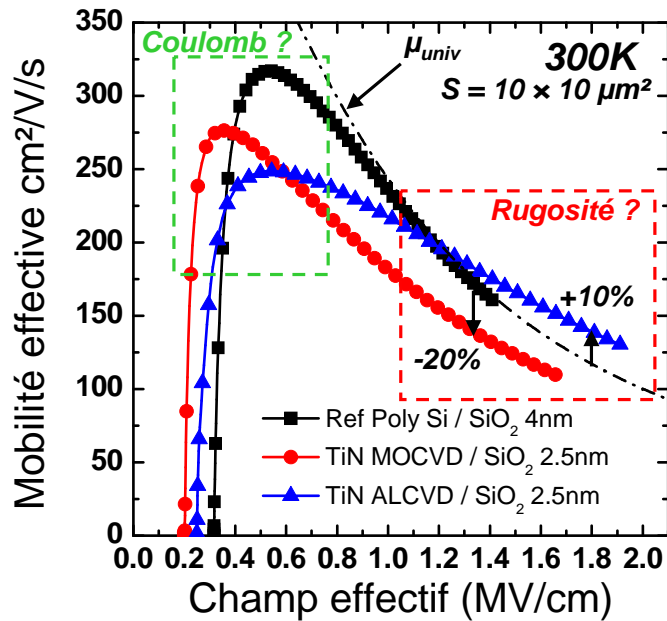


FIG. 2.1 – Influence du matériau de grille sur la mobilité des électrons dans les transistors MOS. Sur cette figure, nous pouvons observer un fort impact du matériau de grille mais également du procédé de dépôt.

2.2 Impact de la grille métallique sur la rugosité

Intéressons nous tout d’abord à la modification de mobilité observée à forte densité de porteurs. Dans cette zone de champ effectif, deux mécanismes distincts conditionnent la valeur de mobilité : hormis la rugosité des différentes interfaces, que nous avons abordée au chapitre 2 et sur laquelle nous reviendrons dans la suite de ce chapitre, une modification de la contrainte dans le canal de conduction liée à la présence de TiN pourrait également expliquer les variations observées entre les différents dispositifs. Cependant, cette seconde hypothèse peut d’ores et déjà être abandonnée car plusieurs arguments viennent la contrecarrer :

- D’une part, la grille TiN ne peut induire qu’un seul type de contrainte sur le canal, ce qui signifie que pour un même matériau, l’effet de cette contrainte (tension ou compression) ne peut varier d’un dispositif à l’autre. Or, nous pouvons constater sur la figure 2.1 que selon le procédé de dépôt, la mobilité est soit meilleure, soit moins bonne que la mobilité du dispositif de référence. Ce comportement est en désaccord avec l’effet d’une contrainte.
- D’autre part, des simulations récentes ont montré que l’effet de la contrainte sur la mobilité des électrons dans le canal d’un transistor NMOS est négligeable et ne peut en aucun cas expliquer une variation de mobilité de l’ordre de 10 à 20% [Guillaume 04].

Ces résultats sous entendent donc que la modification de mobilité observée sur la figure 2.1 est vraisemblablement liée à une modification de la rugosité des interfaces par l'utilisation d'une grille métallique. C'est cette hypothèse que nous allons tenter de confirmer par la suite.

2.2.1 Extraction de la mobilité limitée par la rugosité

La modification de rugosité par l'introduction d'une grille TiN en lieu et place de la grille polysilicium peut intervenir à deux niveaux : au niveau de l'interface supérieure TiN/SiO₂ et/ou au niveau de l'interface inférieure SiO₂/Si. Afin de supprimer l'impact de l'interface supérieure sur la mobilité, nous avons utilisé des dispositifs avec un oxyde de grille épais (2.5nm), de sorte que seule l'influence d'une modification de rugosité au niveau SiO₂/Si ne soit mesurable en terme de mobilité⁵⁸.

Pour pouvoir discuter de l'impact de la rugosité sur la mobilité effective, il est indispensable de pouvoir extraire la mobilité limitée par la seule rugosité. Ce constat impose donc de rendre négligeable, dans le même temps, la composante de mobilité liée aux interactions coulombiennes et celle liée aux interactions avec les phonons. D'un point de vue expérimental, ceci est tout à fait possible en travaillant sur une plage précise de température et de champ effectif. C'est pourquoi les résultats qui vont être présentés par la suite ont été obtenus en travaillant à basse température, afin de supprimer l'influence des phonons et à densité de porteurs élevés, pour rendre les interactions coulombiennes négligeables vis à vis de la rugosité.

Avant d'entrer plus en détails dans les résultats obtenus, la figure 2.2 permet de nous convaincre du bien fondé de cette technique. Sur cette figure, nous avons représenté l'évolution de la mobilité en fonction de la température pour un transistor avec grille TiN MOCVD. Nous constatons que pour des températures inférieures à 50K et à fort champ effectif, la mobilité effective extraite devient indépendante de la température : ce type de comportement est caractéristique d'une mobilité limitée par la rugosité des interfaces [Takagi 94]. Nous pouvons alors assimiler la mobilité effective totale que nous avons mesurée à la mobilité limitée par les seules interactions avec la rugosité des interfaces : nous noterons cette mobilité μ_{SR} dans la suite de ce chapitre.

En appliquant cette technique aux différents types de grille utilisés pour les dispositifs de cette étude, nous avons extrait la mobilité limitée par la rugosité pour les différents transistors. Les résultats obtenus sont regroupés sur la figure 2.3.

Cette figure met en évidence que les trois courbes de mobilité limitée par la rugosité ne se superposent pas et confirme que l'utilisation d'une grille métallique modifie la rugosité par rapport à une grille polysilicium de référence. En outre, nous pouvons également remarquer qu'au delà du matériau de grille en lui-même, la technique de dépôt de cette grille joue également un rôle

⁵⁸Ce point est ici considéré comme acquis. Il sera mis en évidence dans le chapitre 3.

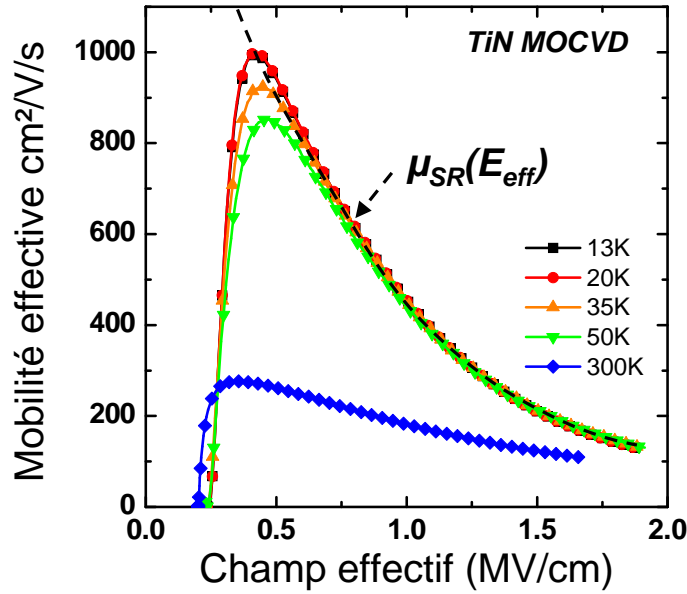


FIG. 2.2 – Évolution de la mobilité effective en fonction de la température pour un transistor à grille métallique TiN MOCVD. Pour des températures inférieures à 50K, la mobilité à fort champ effectif est indépendante de la température : ce comportement est caractéristique d'une mobilité limitée uniquement par des interactions avec la rugosité des interfaces (μ_{SR}).

sur la modification de mobilité : la rugosité des interfaces semble donc « process-dépendante ». Sur cette figure, nous avons aussi représenté la courbe de mobilité limitée par la rugosité obtenue à partir de la formule théorique donnée par Takagi *et al.* [Takagi 94]. Nous constatons ainsi que la courbe expérimentale s'approchant le plus de cette courbe théorique est celle du dispositif de référence⁵⁹, ce qui est en accord avec l'utilisation du même type de grille que Takagi *et al.*, la légère différence observée pouvant s'expliquer par l'utilisation d'un oxyde de grille plus fin (effet de l'interface distante sur la mobilité).

Ce premier résultat met d'ores et déjà en évidence le besoin crucial pour les technologues de parfaitement maîtriser les techniques de dépôt des grilles métalliques afin d'obtenir des mobilités convenables pour les futures technologies CMOS.

Pour relier ces observations aux différents paramètres morphologiques de rugosité, nous avons effectué une régression exponentielle du même type que le formule fournie par Takagi *et al.* [Takagi 94]. Nous avons ainsi approximé les différentes courbes de la figure 2.3 par une courbe de la forme :

$$\mu_{SR}(E_{eff}) = A \cdot E_{eff}^B \quad (2.1)$$

⁵⁹Ceci explique aussi que la mobilité de notre dispositif de référence à 300K soit la plus proche de la mobilité universelle (cf. figure 2.1).

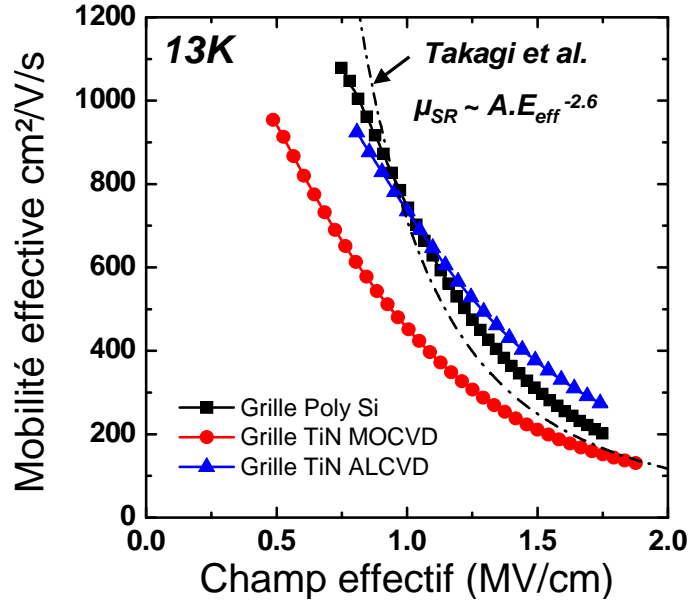


FIG. 2.3 – Mobilité limitée par la rugosité de surface (μ_{SR}) extraite pour les différents types de grille, à partir des mesures de mobilité effective à basse température (13K). Sur cette figure, nous avons également représenté la courbe de mobilité limitée par la rugosité obtenue à partir de la formule théorique donnée par Takagi et al. [Takagi 94].

où A et B sont nos deux paramètres de régression. Le tableau 2.1 regroupe les résultats obtenus pour les différentes variantes de grille. Ce tableau montre clairement des divergences entre les différents paramètres pour les trois types de dispositifs. Ces paramètres A et B étant directement reliés aux grandeurs morphologiques de rugosité, à savoir la longueur de corrélation L_c et la profondeur de rugosité moyenne Δ (représentés sur la figure 2.4), il est possible de déterminer l'impact précis du matériau de grille sur la rugosité. En particulier, le paramètre B ne dépend que de la longueur de corrélation L_c [Koga 96, Pirovano 00a, Ishihara 02]. Le tableau 2.1 montre que ce paramètre ne varie presque pas entre les deux dispositifs TiN, ce qui laisse apparaître que la technique de dépôt de la grille métallique n'a que peu d'influence sur la longueur de corrélation de la rugosité : la modification de ce paramètre ne dépend que du matériau de grille utilisé. À l'inverse, le paramètre A est déterminé par les valeurs combinées de L_c et Δ . Or, le tableau 2.1 montre que la valeur de A varie avec la technique de dépôt utilisée pour la grille TiN. Cette technique n'ayant que peu d'impact sur la longueur de corrélation L_c , la variation du paramètre de régression A observée peut être directement attribuée à une modification du paramètre de rugosité Δ . Ainsi, nous pouvons affirmer que la technique de dépôt utilisée pour réaliser les grilles métalliques de nos dispositifs modifie la profondeur moyenne de rugosité.

Pour conclure ce premier paragraphe, nous avons vu qu'il était possible d'extraire expéri-

Grille	A	B
Poly Si	824	2.47
TiN MOCVD	459	1.91
TiN ALCVD	792	1.87

TAB. 2.1 – Paramètres de régression extraits à partir des courbes de mobilité.

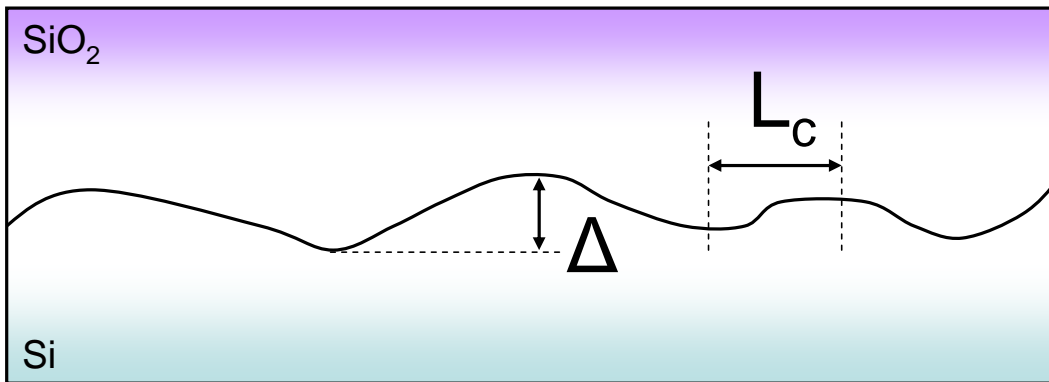


FIG. 2.4 – Modélisation de la rugosité d’une interface par deux paramètres : la longueur de corrélation L_c et la profondeur moyenne de rugosité Δ .

mentalement la mobilité limitée par la seule rugosité des interfaces. Une analyse simple de cette mobilité nous a également permis de mettre en évidence que l’utilisation d’une grille métallique entraîne des modifications des paramètres de rugosité :

- La longueur de corrélation L_c varie avec le matériau de grille utilisé mais ne dépend pas de la technique de dépôt de ce matériau.
- Le procédé de dépôt induit une modification de la profondeur moyenne de rugosité Δ , cette valeur étant plus faible pour la grille TiN ALCVD que pour la grille TiN MOCVD.

Afin de confirmer ces premiers résultats expérimentaux, nous allons procéder, dans le prochain paragraphe, à une modélisation de la mobilité limitée par la rugosité.

2.2.2 Modélisation de la mobilité limitée par la rugosité

Dans cette seconde partie sur l'étude de la rugosité, nous allons tenter de modéliser l'effet de la rugosité sur la mobilité afin de valider par le calcul les résultats expérimentaux obtenus précédemment. La modélisation complète de l'interaction entre la rugosité et un gaz bidimensionnel de porteurs n'est pas chose simple. Cependant, moyennant quelques hypothèses, ce modèle peut se simplifier tout en fournissant des résultats suffisamment précis pour notre étude. Afin d'alléger la lecture de ce manuscrit, les détails du calcul lié à ce modèle sont présentés dans l'Annexe B. Nous nous contenterons ici d'en rappeler les grandes lignes et les principales équations.

• Présentation du modèle de rugosité

D'une manière générale, la mobilité des porteurs dans le canal de conduction d'un transistor peut être calculée à partir du temps de relaxation moyen du moment défini en Annexe B par :

$$\langle \tau \rangle^{-1} = \sum_{scatt.} \left[\frac{\sum_i \int_{E_i}^{\infty} (E - E_i) \tau_{scatt,i}(E) \frac{\partial f_0(E)}{\partial E} dE}{\int_{E_i}^{\infty} f_0(E) dE} \right]^{-1} \quad (2.2)$$

où E_i est l'énergie de la $i^{\text{ème}}$ sous-bande, f_0 est la distribution de Fermi-Dirac et $\tau_{scatt,i}$ est le temps de collision pour chaque type d'interaction (rugosité, interaction coulombienne, interaction avec les phonons...) dans la sous-bande i considérée. La mobilité vaut alors :

$$\mu = -\frac{e}{m_c^*} \langle \tau \rangle \quad (2.3)$$

avec m_c^* la masse effective de conduction des porteurs.

Dans le cas particulier de ce paragraphe, nous nous intéresserons à la mobilité extraite à forte densité de porteurs et à basse température, afin de rendre l'interaction avec la rugosité prépondérante. Ces conditions particulières permettent ainsi de simplifier l'équation (2.2) précédente :

- La somme sur les différentes interactions se réduit au seul terme des interactions avec la rugosité.
- La forte densité de porteurs en inversion permet de considérer que l'ensemble des porteurs qui participent au transport sont localisés dans la première sous-bande.
- La basse température permet de supprimer l'intégration sur l'énergie des porteurs car ceux-ci ont tous une énergie proche de l'énergie de Fermi E_F .

Ces trois conditions conduisent ainsi à l'expression simplifiée de (2.2) suivante :

$$\frac{1}{\langle \tau \rangle} \approx \frac{1}{\langle \tau_{SR} \rangle} \approx \frac{1}{\tau_{SR}(E_F)}$$

avec

$$\frac{1}{\tau_{SR}(E_F)} = \frac{m_t}{\pi \hbar^3} \int_0^{2\pi} |V_{SR}(q_F)|^2 \sin^2 \frac{\theta}{2} d\theta \quad (2.4)$$

où $q_F = 2k(E_F) \sin \frac{\theta}{2}$ est le vecteur de déviation lié à une interaction avec la rugosité de l'interface Si/Oxyde (interaction élastique), m_t est la masse effective transverse des électrons dans la première sous-bande du silicium et $V_{SR}(q_F)$ est l'élément de la matrice d'interaction, à calculer dans le cas d'une interaction avec la rugosité.

Cet élément de matrice est donné par l'expression de Ando *et al.* [Ando 77] :

$$|V_{SR}(q)|^2 = \frac{\tilde{S}(q)\Gamma^2(q)}{\epsilon_r^2(q)} \quad (2.5)$$

dans laquelle le paramètre $\Gamma(q)$ décrit le confinement des porteurs à l'interface entre le silicium et l'oxyde (dépendance électrostatique en E_{eff}^2), $\epsilon_r(q)$ est la constante diélectrique du silicium dépendant du vecteur d'onde et $\tilde{S}(q)$ est la densité spectrale de rugosité. Cette dernière grandeur décrit la morphologie de l'interface par le biais des paramètres Δ et L_c déjà mentionnés ci-dessus (cf. figure 2.4). D'une manière générale, la densité spectrale de rugosité $\tilde{S}(q)$ est de la forme [Ishihara 02, Pirovano 00b] :

$$\tilde{S}(q) = \pi (\Delta L_c)^2 e^{-\frac{(q \cdot L_c)^n}{4}} \quad (2.6)$$

où n est un paramètre d'ajustement permettant d'utiliser les mêmes paramètres de rugosité pour décrire la mobilité des électrons et des trous. Parmi les différentes fonctions possibles, les deux plus communément admises sont la fonction exponentielle ($n = 1$) et la fonction gaussienne ($n = 2$).

• Résultats de la modélisation

Validation du modèle Afin de valider le modèle que nous venons de décrire, nous l'avons dans un premier temps évalué sur des dispositifs dont la rugosité est connue et bien maîtrisée, à savoir des dispositifs intégrant une grille polysilicium déposée sur du SiO₂. Nous avons alors comparé nos résultats de modélisation avec la mobilité limitée par la rugosité extraite précédemment sur nos dispositifs de référence. Nous avons également comparé les paramètres de rugosité utilisés pour notre modèle avec ceux publiés dans la littérature. Les résultats de cette étude sont proposés sur la figure 2.5.

Cette figure montre tout d'abord une très bonne correspondance entre nos résultats expérimentaux extraits à basse température et les points issus de notre modélisation. De plus, les paramètres de rugosité utilisés dans notre modèle sont très proches de ceux publiés dans la littérature par Ishihara *et al.* [Ishihara 02]. En prenant une densité de rugosité de type gaussienne (pour rappel, $n = 2$ dans la formule 2.6), nous obtenons $\Delta = 0.48nm$ et $L_c = 1.01nm$, à comparer aux $\Delta = 0.55nm$ et $L_c = 1.00nm$ de Ishihara : la différence est minime.

Ces résultats confirment que le modèle utilisé, bien que simple, est amplement suffisant pour décrire la mobilité limitée par la rugosité de l'interface Si/SiO₂. Ce modèle ayant été étalonné

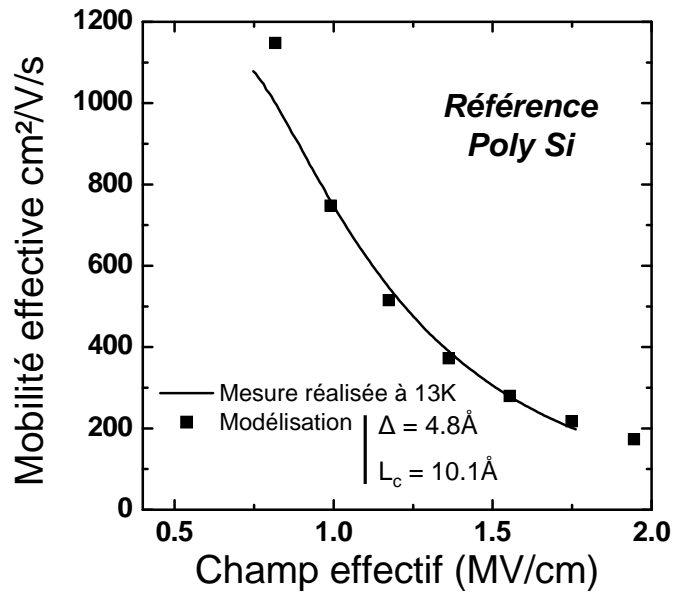


FIG. 2.5 – Comparaison entre la mobilité limitée par la rugosité de surface extraite à basse température sur un transistor de référence $\text{SiO}_2/\text{Poly Si}$ et le modèle de rugosité à deux paramètres. Le bon accord entre ce modèle et l'expérience ainsi que la correspondance entre nos paramètres de modélisation et ceux publiés dans la littérature [Ishihara 02] nous permettent de valider notre analyse sur les dispositifs à grille TiN.

et validé sur nos dispositifs de référence, il nous est maintenant possible de déterminer les paramètres morphologiques de rugosité dans le cas de transistors intégrant une grille métallique.

Application aux grilles métalliques Dans un second temps, nous avons modélisé la mobilité limitée par la rugosité de surface sur nos dispositifs à grilles métalliques TiN ALCVD et TiN MOCVD. La comparaison entre le modèle et l'expérience est représentée sur la figure 2.6. Les résultats obtenus permettent de mettre en évidence deux résultats importants :

- L'utilisation d'une grille métallique entraîne une augmentation de la longueur de corrélation L_c de l'ordre de 30% par rapport à une grille polysilicium. En outre, cette modification n'est pas sensible à la technique de dépôt, comme en témoignent les valeurs quasi-identiques pour les grilles TiN MOCVD et TiN ALCVD ($L_c \approx 1.35\text{nm}$).
- La valeur du paramètre Δ varie avec la technique de dépôt de grille utilisée : elle est réduite par rapport au polysilicium dans le cas d'une grille TiN ALCVD (0.4nm contre 0.48nm pour le polysilicium) alors qu'elle est plus élevée dans le cas d'une grille TiN MOCVD (0.55nm contre 0.48nm pour le polysilicium).

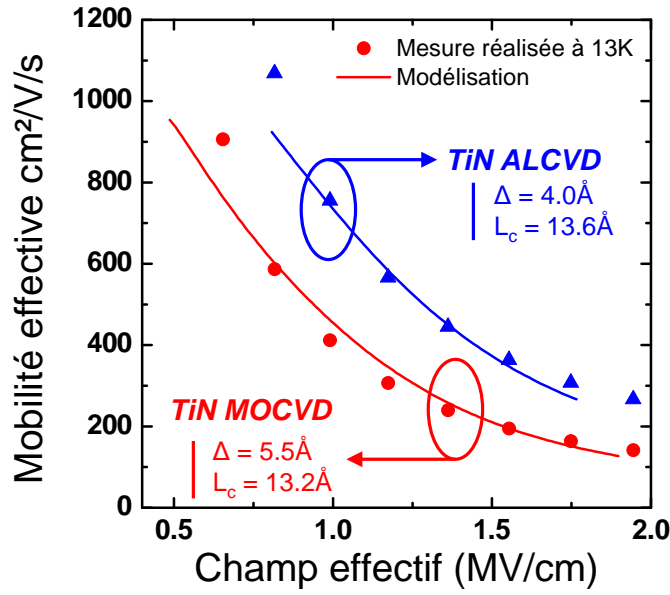


FIG. 2.6 – Comparaison entre la mobilité limitée par la rugosité extraite à basse température et la modélisation pour les deux techniques de dépôt de la grille métallique TiN. Ces résultats montre que l'utilisation d'une grille métallique entraîne une augmentation de L_c indépendante de la technique de dépôt. La valeur du paramètre Δ est réduite par rapport à la grille polysilicium pour la grille TiN ALCVD, alors qu'elle est plus élevée pour la grille TiN MOCVD.

Ces deux résultats sont en accord avec les observations déjà réalisées au paragraphe précédent à partir du modèle de Takagi et confirment ainsi que l'utilisation d'une grille métallique modifie la rugosité de l'interface SiO₂/Si par rapport à une grille polysilicium classique.

L'analyse des paramètres de rugosité pour les différents dispositifs montre également que l'interface Si/SiO₂ du transistor à grille TiN ALCVD est moins « rugueuse » que celle du dispositif de référence : longueur de cohérence plus grande et profondeur moyenne de rugosité plus faible. Cette meilleure planéité de l'interface peut ainsi expliquer le gain de mobilité à fort champ effectif pour la grille TiN ALCVD, les interactions entre les porteurs et les aspérités de l'interface étant réduites. Ce constat n'est d'ailleurs plus vrai pour une grille TiN MOCVD (mobilité réduite par rapport à la grille polysilicium).

Pour en finir avec cette partie portant sur l'impact de la grille métallique sur la rugosité des interfaces, nous avons reconstruit les courbes de mobilités universelles à la température ambiante (300K) pour chaque type de dispositif, à partir des mesures de mobilité limitée par la rugosité extraites à basse température (13K) et le calcul de la mobilité limitée par les phonons acoustiques dont la formule a été donnée dans Takagi *et al.* [Takagi 94], soit :

$$\frac{1}{\mu_{univ}} = \frac{1}{\mu_{SR@13K}} + \frac{1}{\mu_{Ph,Takagi}} \quad (2.7)$$

avec $\mu_{Ph,Takagi} = A \cdot E^{-0.3} \cdot T^{-1.75}$. Les résultats obtenus sont regroupés sur la figure 2.7 et comparés à la mobilité effective mesurée à la température ambiante pour chaque variante de grille.

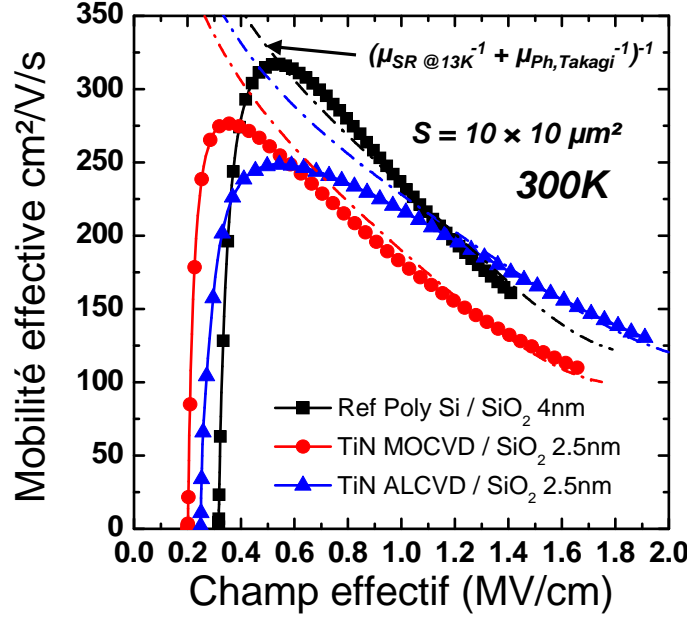


FIG. 2.7 – Comparaison entre la mobilité effective mesurée à 300K et les courbes de mobilité dites « universelles » reconstruites à partir de la mobilité limitée par la rugosité à 13K et la mobilité limitée par les phonons, calculée à partir de la formule de Takagi et al..

Nous constatons qu'à fort champ effectif, il existe une très bonne corrélation entre la mobilité effective et la mobilité universelle reconstruite à partir de nos mesures à basse température. Ce résultat suggère que la modification de rugosité par la grille TiN suffit à elle seule à expliquer les variations de mobilités observées à fort champ. Aucun autre mécanisme n'est ainsi nécessaire à notre analyse.

2.2.3 Origine possible de la modification de rugosité

Dans le paragraphe précédent, nous avons montré que la modification de mobilité à fort champ effectif pouvait être attribuée à une variation de rugosité de l'interface Si/SiO₂ due à l'utilisation d'une grille métallique. Nous avons également vu que cette modification était dépendante de la technique employée pour réaliser cette grille.

A ce stade de l'analyse, une question demeure tout de même : quelle est l'origine de ce changement de rugosité ? Quelques unes des explications possibles ont déjà été écartées au cours de cette étude, comme l'effet de la contrainte induite par la couche de TiN. D'autres possibilités peuvent aussi être mentionnées, comme la contamination des interfaces par les précurseurs

employés pour le dépôt des grilles (chlore pour la grille ALCVD et composé carboné pour la grille MOCVD). Parmi toutes ces hypothèses, l'une d'entre elle a plus particulièrement retenu notre attention : il s'agit de l'effet de l'azote (lié à l'utilisation d'une grille nitrurée) sur la mobilité. L'origine de cette explication nous est venue en étudiant les travaux menés par Wu *et al.* [Wu 89] ainsi que ceux de Hori *et al.* [Hori 90] sur des transistors MOS intégrant plusieurs variantes d'oxydes de grille nitrurés ou non. Une partie des résultats obtenus lors de cette étude est synthétisée sur la figure 2.8 et n'est pas sans rappeler les courbes de mobilités mesurées sur nos dispositifs et présentées sur la figure 2.1. Cette figure met en évidence que la nitruration de

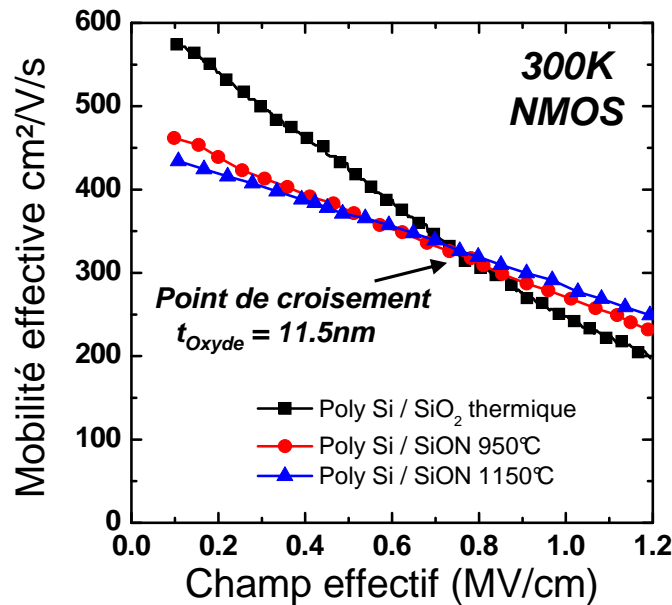


FIG. 2.8 – Influence de la nitruration de l'oxyde de grille sur la mobilité des porteurs (d'après Wu *et al.* [Wu 89]). Nous constatons sur cette figure que l'introduction de l'azote induit une réduction de la mobilité par rapport à un dispositif de référence sans nitrure à faible champ, tandis que la mobilité devient meilleure à fort champ effectif. Ces résultats ne sont pas sans rappeler ceux obtenus lors de notre étude et présentés sur la figure 2.1.

l'oxyde de grille entraîne une dégradation de la mobilité des électrons à faible densité de porteur et une augmentation de la mobilité à fort champ effectif par rapport à un dispositif de référence sans azote. Afin d'expliquer cette différence, l'étude de Wu *et al.* montre que l'azote présent dans l'oxyde tend à diffuser dans le substrat de silicium lors du recuit de grille. Cette migration d'espèce engendre une modification de l'interface SiON/Si : le silicium interfacial initialement de type accepteur P devient donneur (type N) par la formation de paires azote/oxygène à caractère donneur. Le transistor présente alors un canal enterré, ce qui modifie les caractéristiques de transport électrique. En particulier, la mobilité est meilleure à fort champ effectif grâce à

la réduction de l'effet de la rugosité. En outre, d'autres travaux menés par Ma *et al.* [Ma 94] ont permis de montrer par des mesures de bruit $1/f$ que l'utilisation d'azote dans le procédé de fabrication des transistors permettait de réduire les interactions coulombiennes liées aux états d'interface et donc d'améliorer la mobilité des porteurs.

La forte similitude entre les résultats de Wu *et al.*, Hori *et al.* et Ma *et al.* et ceux obtenus lors de notre étude laisse donc à penser que les modifications de rugosité observées sur nos dispositifs sont dues à la présence d'azote au niveau de l'interface SiO_2/Si . Cependant, si cette explication était parfaitement acceptable dans le cas d'un oxyde nitruré où l'azote est directement en contact avec le silicium, elle paraît beaucoup plus contestable dans notre étude puisqu'elle suppose que l'azote aurait traverser toute l'épaisseur d'oxyde pour atteindre l'interface.

Pourtant, des études récentes sont venues valider cette explication. Garros *et al.* [Garros 08] ont réalisé des mesures complémentaires sur des dispositifs identiques à ceux utilisés lors de notre étude. Ils ont mis en évidence que l'introduction d'azote dans l'oxyde de grille de forte permittivité (HfON et HfSiON) ainsi que dans les grilles métalliques (TaN , TiN et WN) dégradait la fiabilité des transistors et réduisait la mobilité des porteurs par la formation de paires Si-N à l'interface oxyde/silicium. En outre, la suppression de l'azote dans le procédé de fabrication leur a permis de retrouver une mobilité identique à la mobilité universelle. Ils ont également démontré que la dégradation de mobilité était dépendante de la technique de dépôt de la grille. L'ensemble de ces analyses corrobore ainsi nos résultats et confirme que la modification de mobilité observée lors de notre étude est bien liée à une modification de la rugosité de l'interface SiO_2/Si et que cette modification est due à une migration de l'azote de la grille vers l'interface oxyde/silicium. Mentionnons au passage que l'influence de l'azote est particulièrement impressionnante car des études que nous avons réalisées en parallèle sur des oxydes en biseau ont révélé que l'impact de l'azote était sensible jusqu'à des épaisseurs d'oxyde de plusieurs nanomètres : les courbes de mobilité alors obtenues ne rejoignent pas la courbes de mobilité universelle, y compris pour les épaisseurs d'oxyde les plus importantes.

2.3 Impact de la grille métallique sur les interactions coulombiennes

Dans le paragraphe précédent, nous nous sommes intéressés à l'impact d'une grille métallique sur la mobilité à fort champ effectif. Cependant, nous avons mis en évidence sur la figure 2.1 que cette grille métallique avait également une influence sur la mobilité à faible densité de porteurs, c'est à dire dans un régime de transport majoritairement conditionné par les interactions coulombiennes. Dans ce paragraphe, nous allons donc tenter de mettre en évidence de manière simple le caractère coulombien de la modification engendrée à faible champ effectif par l'emploi d'une grille métallique.

2.3.1 Protocole expérimental

Comme nous l'avons abordé dans le chapitre 1 de cette partie sur les techniques expérimentales, l'extraction de la mobilité aux faibles densités de porteurs par des techniques conventionnelles et en particulier par la technique Split C-V n'est pas judicieuse car les résultats obtenus peuvent être sujets à la controverse. Or, l'étude de l'impact des interactions coulombiennes sur la mobilité nécessite justement de pouvoir déterminer la mobilité des porteurs en faible inversion. Cette condition est donc incompatible avec des mesures de mobilité effective. Afin de remédier à ce problème, nous avons mis en œuvre une technique innovante permettant de mesurer la mobilité des porteurs dans le canal jusqu'à des densités de porteurs faibles par des mesures de magnétorésistance. Cette technique est présentée en détails au chapitre 1.2. Nous allons donc utiliser ce protocole expérimental dans la suite de cette étude.

2.3.2 Résultats de l'étude

Nous avons ainsi extrait les mobilités magnétorésistance sur deux types de dispositifs déjà étudiés précédemment :

- Un dispositif de référence intégrant une grille polysilicium déposée sur un oxyde de silicium SiO_2 épais de 4nm.
- Un dispositif intégrant une grille métallique TiN déposée par un procédé ALCVD sur un oxyde de silicium SiO_2 de 2.5nm

Ces mobilités magnétorésistance ont été mesurées en fonction de la densité de porteurs dans le canal sur une large gamme de température en dessous de l'ambiante (de 20K à 200K) afin de pouvoir déterminer l'évolution thermique de la mobilité pour chaque matériau de grille, ce paramètre étant un excellent indicateur des mécanismes d'interaction limitant la mobilité. Les résultats obtenus sont synthétisés sur la figure 2.9.

Sur cette figure, nous constatons que pour chaque dispositif, le faisceau des courbes de mobilité en fonction de la température présente un point de croisement clairement identifiable. Ce point, déjà observable sur des mesures de mobilité effective mais discutable en raison de la faible densité de porteurs à laquelle il est obtenu, délimite approximativement deux régimes de fonctionnement distincts du transistor :

- Aux faibles densités de porteurs, nous constatons que la mobilité augmente lorsque la température augmente. D'après ce que nous avons vu au chapitre 2.3 de la première partie de ce manuscrit, ce type d'évolution de la mobilité est caractéristique d'une mobilité principalement limitée par les interactions coulombiennes ? L'élévation de la température entraîne une augmentation de l'énergie thermique des porteurs libres et donc un meilleur écrantage des centres chargés, d'où une meilleure mobilité.
- Lorsque la densité de porteurs est plus importante, la mobilité diminue lorsque la tempé-

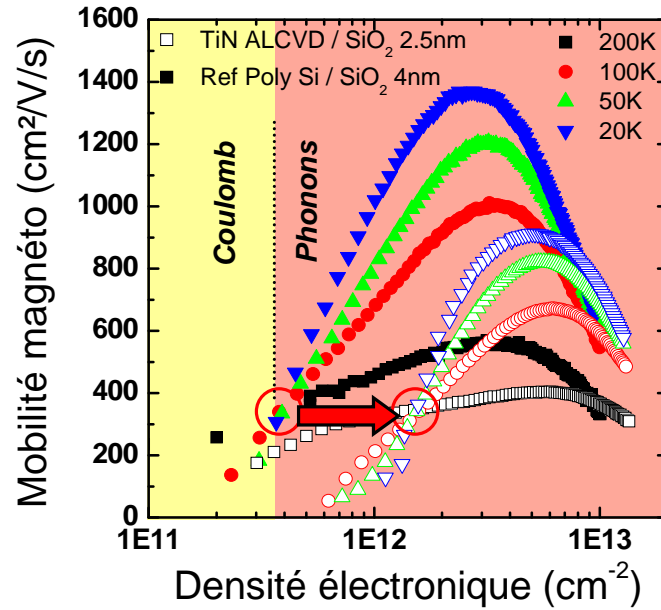


FIG. 2.9 – Évolution de la mobilité magnéto-résistance en fonction de la densité de porteurs libres et de la température, pour deux empilements de grille différents. La présence d'un point de croisement des courbes en fonction de la température pour chaque dispositif permet de délimiter grossièrement deux régimes de fonctionnement du transistor : en deçà du point, la mobilité est majoritairement limitée par les interactions coulombiennes ; au delà du point, ce sont les interactions avec les phonons qui prédominent.

rature augmente. Ce comportement est cette fois-ci caractéristique d'une mobilité principalement limitée par les interactions électrons/phonons. En effet, une augmentation de la température engendre des vibrations du réseau cristallin plus fortes et donc une réduction de la mobilité.

Ainsi, la présence d'un point de croisement des courbes de mobilité magnéto-résistance est un excellent indicateur du mécanisme d'interaction qui prédomine dans la limitation de la mobilité. Au dessus de ce point, les interactions avec les phonons (principalement les phonons acoustiques du silicium) ne sont plus négligeables et c'est alors ce mécanisme qui impose sa dépendance en température à la mobilité. Il en va de même pour les interactions coulombiennes en dessous du point de croisement.

Si l'étude de la position absolue de ce point en fonction de la densité de porteurs ne peut pas fournir de résultats sur le plan quantitatif⁶⁰, l'évolution de la position de ce point pour

⁶⁰Rappelons que ce point délimite *grossièrement* deux régimes de fonctionnement. Au voisinage de ce point, les deux mécanismes sont du même ordre d'importance et il n'est donc pas envisageable d'extraire une densité de porteurs précise et caractéristique d'un changement de régime.

un transistor à grille métallique par rapport à un transistor de référence est beaucoup plus intéressante. Ainsi, nous observons sur la figure 2.9 une translation de la position de ce point vers des densités de porteurs plus importantes dans le cas du transistor à grille métallique. La mobilité est donc régie par un mécanisme de type coulombien sur une plage de densité de porteurs plus importante pour un transistor à grille métallique que pour un transistor de référence à grille polysilicium. En d'autres termes, ceci signifie qu'il faut une densité de porteurs libres plus importante pour écranter les centres chargés présents dans le transistor à grille TiN. Les deux dispositifs ayant un dopage du substrat identique, l'excédent de charges à écranter est donc à chercher dans l'empilement de grille métallique. Au final, il découle de cette analyse que l'utilisation d'une grille métallique entraîne une augmentation des interactions coulombiennes entre les porteurs libres du canal et des centres chargés situés dans l'empilement de grille.

Pour trouver l'origine de ces charges parasites supplémentaires lors du remplacement de la grille polysilicium par une grille métallique, il faut une nouvelle fois se tourner vers l'utilisation de l'azote dans le procédé de fabrication de ces dispositifs. En effet, l'étude de Garros *et al.* [Garros 08] déjà mentionnée ci-dessus a montré que la réalisation d'une grille métallique nitrurée engendrait une augmentation des états d'interfaces liés à la présence d'azote à l'interface oxyde/silicium. Ce résultat confirme également des constats déjà réalisés précédemment sur des oxydes nitrurés de type SiON [Wu 89].

Pour en terminer avec cette brève étude de la mobilité magnéto-résistance, signalons que la figure 2.9 met en évidence que les courbes de mobilité extraites sur le dispositif intégrant une grille métallique coupent celles extraites sur le dispositif de référence. A fort champ, la mobilité du transistor à grille TiN est ainsi meilleure que celle du transistor à grille polysilicium : nous pouvons donc formuler le même constat que celui produit à partir des courbes de mobilité effective de la figure 2.1, à savoir que l'utilisation d'une grille métallique modifie la rugosité de l'interface SiO₂/Si. Cette modification a donc un impact sur la mobilité effective mais également sur la mobilité magnéto-résistance.

2.4 Conclusion du chapitre

Dans ce chapitre, nous nous sommes intéressés à l'impact d'une grille métallique sur la mobilité des porteurs. Cette étude joue un rôle particulièrement important pour la suite de notre travail car l'introduction d'un matériau de forte permittivité est étroitement liée à au remplacement de la grille polysilicium par une grille métallique, pour des raisons que nous avons abordées précédemment. Au cours de ce chapitre, nous avons ainsi pu mettre en évidence un certains nombres de résultats importants :

- Le remplacement de la grille polysilicium par une grille métallique de type TiN n'est pas anecdotique et engendre à elle seule une modification de la mobilité des porteurs.

- L'utilisation d'une grille TiN entraîne un changement de la rugosité de l'interface SiO₂/Si par rapport à un dispositif à grille polysilicium, ce qui modifie la mobilité de porteurs à fort champ effectif. Cette modification de rugosité est dépendante du procédé de dépôt de la grille.
- A faible densité de porteurs, l'utilisation d'une grille métallique augmente le nombre de charges parasites dans l'oxyde et réduit la mobilité des porteurs.
- Ces diverses modifications peuvent être associées à l'utilisation de matériaux nitrurés et plus précisément à une migration de l'azote vers l'interface SiO₂/Si. Pour confirmer ces résultats, des études complémentaires sur des matériaux de grille dépourvus d'azote (W par exemple) pourront être entreprises.

Signalons enfin que cette étude a permis de montrer que l'utilisation d'une grille métallique induit une dégradation de mobilité qui vient s'ajouter à celle liée au matériau *high k*. La dégradation associée au matériau de forte permittivité lui-même est de fait surestimée. Nous veillerons donc dans le prochain chapitre à bien dissocier les effets distincts des deux matériaux.

Chapitre 3

Influence de l'oxyde de forte permittivité sur la mobilité

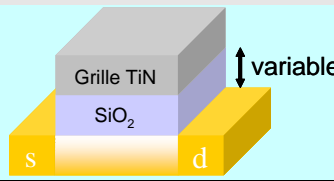
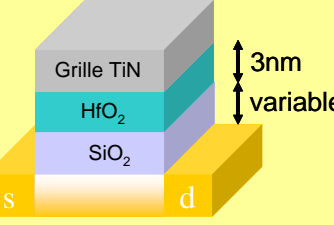
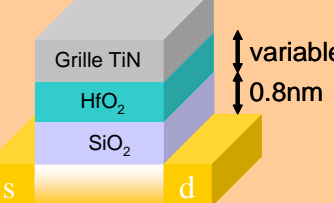
L'impact du matériau de grille sur la mobilité ayant été traité, nous pouvons à présent nous focaliser sur l'influence du seul oxyde de grille de forte permittivité sur la mobilité. Pour cela, diverses techniques expérimentales et différentes modélisations ont été utilisées afin de déterminer avec le plus de rigueur possible le ou les mécanisme(s) induisant cette dégradation. Les résultats et conclusions obtenus sont présentés dans ce dernier chapitre.

3.1 Étude de la mobilité effective par Split C-V	140
3.1.1 Évolution de la mobilité à température ambiante	140
3.1.2 Étude de la mobilité additionnelle	145
3.1.3 Étude de la mobilité en température	147
3.1.4 Modélisation de la mobilité limitée par les interactions coulombiennes	149
3.2 Étude de la mobilité magnéto-résistance	153
3.2.1 Évolution de la mobilité en fonction de divers paramètres	154
3.2.2 Analyses et interprétations	156
3.3 Rôle des phonons ?	158
3.3.1 Étude de la mobilité en température	159
3.4 Cas particulier des oxydes épais : influence des pièges	162
3.4.1 Principe de l'étude	162
3.4.2 Cas des oxydes fins	163
3.4.3 Cas des oxydes épais	164
3.4.4 Origine physique du piégeage	165
3.5 Conclusion du chapitre	167

DANS le chapitre de résultats précédent, nous avons abordé les dégradations de mobilité liées à l'utilisation d'une grille métallique et nous avons mis en évidence les modifications de rugosité des diverses interfaces engendrées par ces nouveaux matériaux.

Dans ce troisième et dernier chapitre, nous allons maintenant étudier l'impact du seul matériau de forte permittivité sur la mobilité, avec pour ambition d'apporter une réponse argumentée à la question : quelle type d'interaction limite la mobilité des porteurs du canal en présence d'un matériau de forte permittivité ?

Pour cela, une étude complète de mobilité a été réalisée sur des transistors intégrant des épaisseurs variables d'oxyde interfacial SiO_2 et d'oxyde de forte permittivité HfO_2 (l'ensemble de ces dispositifs sont décrits dans le tableau 3.1). Afin de mettre en évidence les mécanismes responsables de cette dégradation, la mobilité a été extraite à différentes températures et par différentes techniques (Split C-V et magnétorésistance) puis comparée aux dispositifs de référence étudiés au chapitre précédent (SiO_2 et grille métallique TiN).

	Epaisseur (Å)		EOT (Å)	
	SiO_2	HfO_2		
Référence SiO_2	15		17	
	20		20.8	
	25		24.7	
SiO_2 interfacial variable	10	30	16.4	
	12	30	19	
	15	30	21.5	
	20	30	25.6	
	25	30	29.6	
HfO_2 variable	8	20	10.7	
	8	25	11.2	
	8	30	12.9	
	8	45	15.8	

TAB. 3.1 – Ensemble des dispositifs étudiés au cours de cette étude. Plusieurs épaisseurs d'oxyde interfacial ainsi que plusieurs épaisseurs d'oxyde de forte permittivité ont été utilisées afin de déterminer les mécanismes responsables de la dégradation de mobilité.

Ce chapitre s'articulera donc autour de deux parties principales : la première mettra en avant les résultats obtenus par la méthode standard Split C-V (méthode décrite dans le paragraphe 1.1 de la partie II) tandis que la seconde développera les résultats extraits par une technique innovante de mesure de magnétorésistance ((méthode décrite dans le paragraphe 1.2 de la partie II). Un troisième et dernier paragraphe clôturera ce chapitre en discutant de l'impact des phonons mous du matériau de forte permittivité sur la mobilité.

3.1 Étude de la mobilité effective par Split C-V⁶¹

Dans ce premier paragraphe, nous allons présenter les résultats obtenus à partir de la technique Split C-V standard. Pour rappel, cette méthode décrite dans le paragraphe 1.1 de la première partie du manuscrit, permet d'extraire la mobilité effective μ_{eff} des porteurs dans le canal d'un transistor en fonction de la densité de porteurs libres N_{inv} ou du champ électrique effectif dans le canal E_{eff} .

3.1.1 Évolution de la mobilité à température ambiante

Intéressons nous tout d'abord à l'évolution de la mobilité effective en fonction du champ effectif à température ambiante (300K) pour les différents transistors étudiés. Pour ce faire, la figure 3.1 compare dans un premier temps les mobilités extraites sur les dispositifs de référence TiN/SiO₂ avec celles des dispositifs intégrant 3nm de HfO₂ sur un oxyde interfacial d'épaisseur variable. En comparant deux à deux les mobilités obtenues pour la référence et pour le matériau *high k* à épaisseur de SiO₂ constante (même couleur et symbole de même forme sur la figure 3.1), nous constatons que lorsque l'oxyde interfacial est épais (2.5nm), l'ajout d'une couche de HfO₂ supplémentaire n'entraîne aucune modification de mobilité par rapport à un dispositif intégrant une épaisseur de SiO₂ seul (cas des carrés noirs). A contrario, la réduction de l'épaisseur de SiO₂ modifie ce constat : la mobilité des porteurs en présence de HfO₂ déposé sur un oxyde interfacial fin est réduite par rapport à la référence (cas des triangles bleus). Sur cette figure, nous constatons également une légère dégradation de mobilité pour les dispositifs de référence lorsque l'épaisseur de SiO₂ est réduite. L'origine de ce phénomène n'est pas clairement définie à ce jour. Cependant, l'hypothèse la plus probable est qu'elle est vraisemblablement liée au fait que le dépôt de la grille TiN entraîne une modification de la rugosité de l'interface supérieure SiO₂/TiN, engendrant une dégradation de la mobilité d'autant plus marquée que cette interface est proche du canal de conduction. Une diffusion d'espèce chimique (en particulier l'azote) à travers l'oxyde de grille pourrait également être une raison envisageable.

⁶¹Une partie des résultats présentés dans ce paragraphe a fait l'objet d'un article publié dans la revue *Transactions on Electron Devices* [Cassé 06].

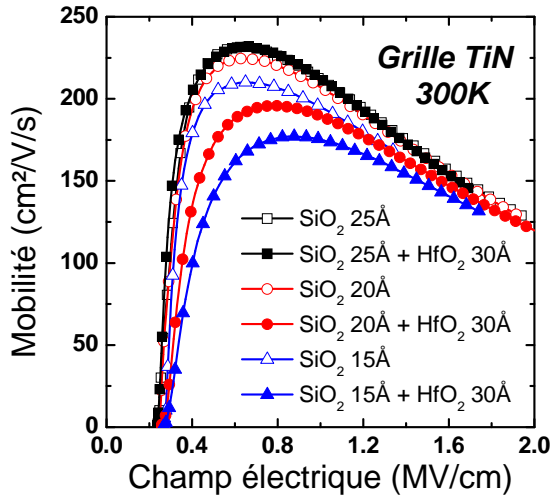


FIG. 3.1 – Comparaison à épaisseur de SiO_2 constante des mobilités extraites sur des transistors de référence (symboles pleins) et celles obtenues sur des transistors intégrant une couche de HfO_2 (symboles vides). La présence d'une couche de matériau de forte permittivité n'entraîne une dégradation de mobilité qu'en dessous d'une épaisseur d'oxyde interfacial limite de 2nm environ.

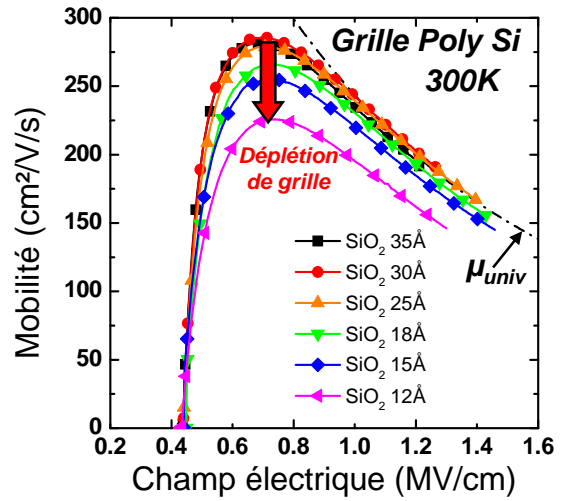


FIG. 3.2 – Mise en évidence de l'effet des charges de déplétion de la grille sur la mobilité. Ce phénomène induit une dégradation de mobilité liée aux interactions coulombiennes entre la grille et les électrons du canal semblable à celle engendrée par la couche de HfO_2 dans le cas de la figure 3.1.

Ce premier résultat est particulièrement intéressant car il permet déjà de mettre en évidence que ce n'est pas la présence intrinsèque d'une couche de HfO_2 qui dégrade la mobilité mais bien la distance de cette couche de matériau de forte permittivité par rapport au canal de conduction. Ainsi, la présence de HfO_2 à une distance suffisante de ce canal n'induit aucune réduction de mobilité par rapport à la référence, ce qui n'est plus vrai lorsque l'épaisseur de la couche d'oxyde interfacial est réduite : dans ce cas, le matériau de forte permittivité entraîne une dégradation flagrante de mobilité. Ce type de comportement n'est d'ailleurs pas sans rappeler le phénomène similaire de dégradation de mobilité dans des transistors intégrant un oxyde SiO_2 ultra-fin. Un exemple de ce type d'effet est représenté sur la figure 3.2, où nous remarquons que le rapprochement entre la grille polysilicium et le canal réduit la mobilité des porteurs. Dans ce cas précis, la dégradation est due à des interactions coulombiennes à distance entre les charges de déplétion de la grille en polysilicium (polydéplétion) et les porteurs du canal. En comparant les figures 3.1 et 3.2, nous pouvons constater que la dégradation de mobilité est similaire pour les deux types de transistors, y compris dans l'épaisseur limite d'oxyde (autour de 2nm) en dessous

de laquelle les effets distants se font sentir⁶². Ces similitudes laissent présager que la dégradation de mobilité dans les transistors *high k* est également due à des interactions à distance entre la couche d'inversion et le matériau de forte permittivité.

Afin de confirmer que cette dégradation de mobilité est liée à des mécanismes d'interaction à distance entre les porteurs du canal et la couche de HfO_2 , nous avons extrait dans un deuxième temps la mobilité sur des transistors intégrant des épaisseurs variables d'oxyde interfacial SiO_2 et de matériau de forte permittivité HfO_2 . Les données expérimentales obtenues sont synthétisées sur les figures 3.3 et 3.4. Mentionnons dès à présent que l'analyse et les résultats proposés dans les prochains paragraphes reposent sur l'hypothèse que le dépôt d'une couche de HfO_2 n'induit aucune modification de la couche d'oxyde interfacial SiO_2 ou encore de l'interface SiO_2/Si . Le bien-fondé de cette hypothèse sera discuté un peu plus loin dans ce manuscrit.

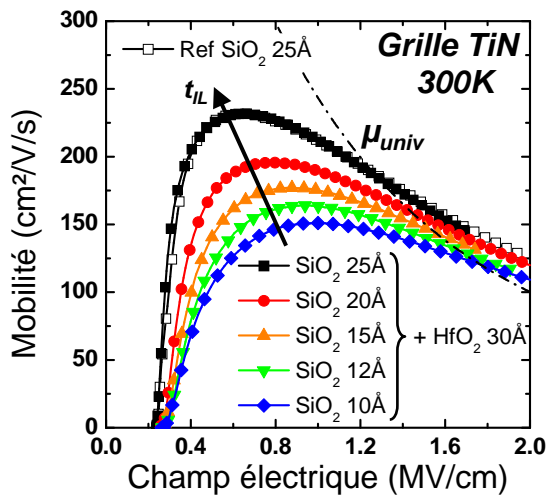


FIG. 3.3 – Évolution de la mobilité en fonction de l'épaisseur d'oxyde interfacial, à épaisseur de HfO_2 constante. La mobilité des porteurs est d'autant plus dégradée que l'épaisseur t_{IL} d'oxyde interfacial est faible.

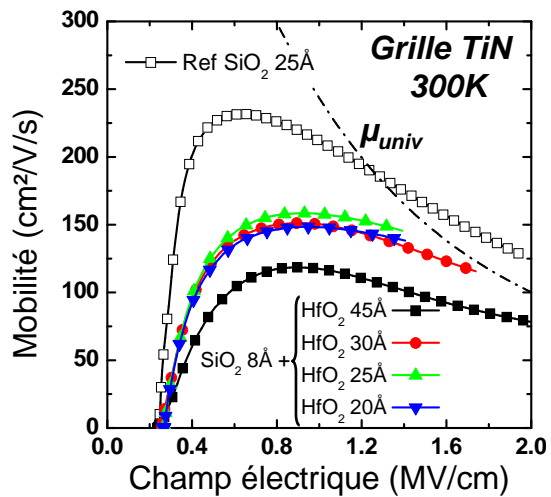


FIG. 3.4 – Évolution de la mobilité en fonction de l'épaisseur de HfO_2 , à épaisseur d'oxyde interfacial constante. Pour les couches de HfO_2 inférieures à 4.5nm, la mobilité ne varie pratiquement pas (nous reviendrons sur le cas du HfO_2 épais dans le paragraphe 3.4).

Focalisons nous tout d'abord sur la figure 3.3, où nous avons représenté la mobilité effective pour des transistors MOS intégrant une couche de HfO_2 de 3nm déposée sur une épaisseur d'oxyde interfacial t_{IL} variant de 1 à 2.5nm. Le faisceau de courbes ainsi obtenu montre que la

⁶²Cette épaisseur limite d'oxyde interfacial autour de 2nm soulève d'ailleurs un réel problème pour la réalisation de transistors avec des *EOT* très faibles, de l'ordre du nanomètre. Pour fabriquer de tels dispositifs, des améliorations sur les couches de matériau de forte permittivité devront être réalisées, à défaut de quoi des compromis entre *EOT* faible et bonne mobilité devront être faits.

mobilité des porteurs est d'autant plus dégradée que l'épaisseur d'oxyde interfacial est faible. Ainsi, l'amincissement de la couche de SiO_2 rapproche le diélectrique de forte permittivité du silicium, ce qui a pour conséquence de renforcer les interactions avec les porteurs libres du canal et d'en réduire leur mobilité. Ce résultat confirme donc que la mobilité des porteurs est effectivement dégradée par des interactions distantes.

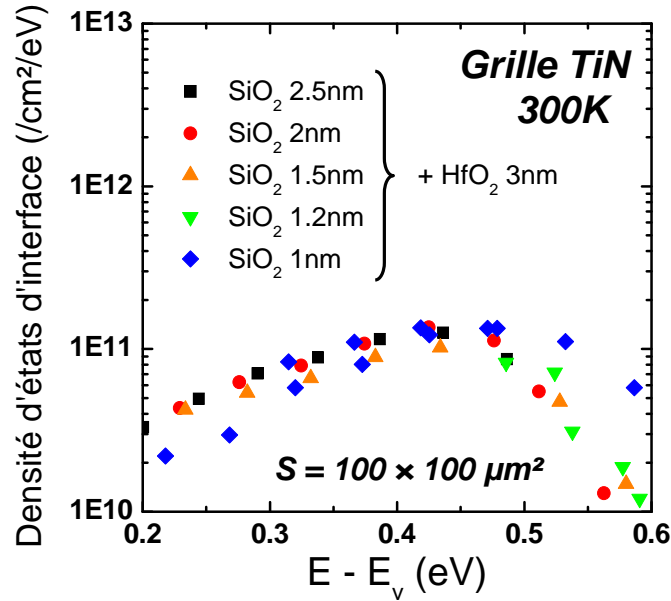


FIG. 3.5 – Densités d'états d'interface en fonction de la position énergétique des pièges dans la bande interdite du silicium extraites par pompage de charges sur des transistors TiN/HfO₂/SiO₂ intégrant des épaisseurs d'oxyde interfacial variables. La faible variation de cette densité d'un transistor à l'autre prouve que le dépôt d'une couche de HfO₂ ne modifie presque pas l'interface SiO₂/Si.

Intéressons nous ensuite à la figure 3.4. Sur celle-ci, les mobilités effectives extraites pour des transistors MOS intégrant une couche de HfO₂ d'épaisseur variable (de 2 à 4.5nm) déposée sur une épaisseur d'oxyde interfacial de 0.8nm y sont représentées. Si nous mettons à part le cas du HfO₂ le plus épais sur lequel nous reviendrons dans le paragraphe 3.4, la figure 3.4 met en évidence que la mobilité des porteurs dans les transistors *high k* est fortement dégradée par rapport à la référence SiO₂/TiN mais que cette dégradation est indépendante de l'épaisseur d'oxyde de forte permittivité déposée. Ce résultat complémentaire nous permet donc d'affiner notre analyse en affirmant que la dégradation de mobilité observée est liée à des interactions entre les porteurs et des « centres perturbateurs » localisés au niveau de l'interface SiO₂/HfO₂ ou dans le proche HfO₂. En effet, si la perte de mobilité avait été engendrée par des phénomènes volumiques au sein du HfO₂ (charges ou phonons volumiques), cette dégradation aurait été

dépendante de l'épaisseur de HfO_2 et d'autant plus marquée que l'épaisseur d'oxyde *high k* aurait été importante, ce qui n'est clairement pas le cas sur la figure 3.4.

Enfin, si nous nous intéressons de façon plus globale aux courbes représentées sur les différentes figures étudiées précédemment, nous constatons que la dégradation de mobilité liée à la présence d'un oxyde de forte permittivité a principalement lieu pour des densités de porteurs faibles à moyennes. Ce résultat, en accord avec ceux publiés dans la littérature, nous permet de restreindre l'origine de la perte de mobilité à deux causes probables :

- Soit la dégradation est d'origine coulombienne, c'est-à-dire liée à des interactions électrostatiques supplémentaires entre les porteurs du canal et des centres chargés localisés au voisinage de l'interface $\text{SiO}_2/\text{HfO}_2$.
- Soit la dégradation est liée à des interactions entre les porteurs et les phonons optiques de surface du matériau de forte permittivité, appelés phonons « mous » et dont l'influence sur la mobilité n'est que peu dépendante de l'épaisseur d'oxyde *high k* [Laikhtman 08]

A ce niveau de l'analyse, nous avons donc une idée plus précise de la localisation des centres perturbateurs à l'origine de la dégradation de mobilité observée en présence d'un oxyde de forte permittivité comme le HfO_2 . Nous pouvons affirmer que cette dégradation est due à des interactions supplémentaires à distance entre les porteurs libres du canal de conduction et des centres perturbateurs situés à l'interface entre le HfO_2 et l'oxyde interfacial ou dans le proche HfO_2 . Cependant, cette conclusion repose sur l'hypothèse que nous avons formulée plus haut. Or, une modification de l'interface SiO_2/Si due à la couche de HfO_2 , d'autant plus marquée que l'épaisseur d'oxyde interfacial est faible (diffusion d'espèces chimiques à travers SiO_2 par exemple) pourrait tout aussi bien décrire cette réduction de mobilité et les courbes précédentes. Afin d'éliminer cette seconde hypothèse, des mesures complémentaires ont été réalisées dans le but d'analyser la qualité de l'interface SiO_2/Si . En particulier, nous avons représenté sur la figure 3.5 les résultats obtenus par pompage de charges, technique permettant d'extraire la densité d'états d'interface dans l'empilement de grille du transistor. Ces mesures montrent que les densités d'états extraites pour les différentes épaisseurs d'oxyde interfacial sont quasiment identiques. Ceci nous permet d'affirmer que l'interface SiO_2/Si n'est pas dégradée par le dépôt d'une couche de HfO_2 , quelle que soit l'épaisseur d'oxyde interfacial et confirme notre hypothèse de départ d'un mécanisme d'interaction à distance pour expliquer la dégradation de mobilité.

Maintenant que la localisation des centres responsables d'interactions supplémentaires a été démontrée, il nous reste à préciser leur nature pour laquelle, rappelons le, deux hypothèses s'affrontent toujours : phonons mous ou charges coulombiennes ? Afin de lever cette incertitude, nous allons approfondir notre étude et nous intéresser à d'autres paramètres susceptibles de nous renseigner sur la nature de ces perturbations, comme le sont la mobilité additionnelle ou encore l'évolution en température de la mobilité.

3.1.2 Étude de la mobilité additionnelle

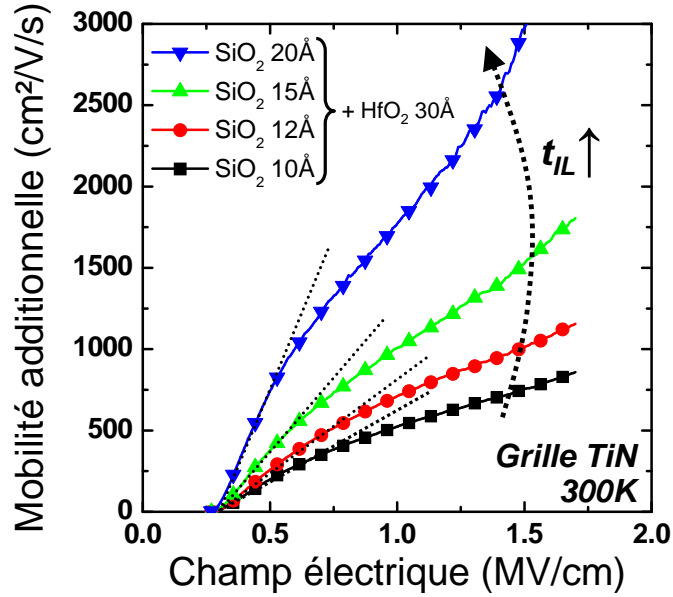


FIG. 3.6 – Mobilité additionnelle extraite pour différentes épaisseurs d'oxyde interfacial, à partir des courbes de la figure 3.3 et en utilisant l'expression (3.2). Ces courbes mettent en évidence le comportement linéaire de la mobilité additionnelle à faible champ effectif (lignes pointillées) et traduisent le caractère coulombien des interactions supplémentaires dégradant la mobilité en présence de HfO_2 [Ando 82, Villa 98].

La détermination précise de la nature des interactions supplémentaires responsables de la dégradation de mobilité nécessite le recours à des outils d'analyse plus fins que la simple étude de mobilité effective à la température ambiante. Parmi ces outils, l'étude de la mobilité dite « additionnelle » en fonction du champ effectif ou de la température⁶³ est particulièrement instructive.

Par définition, la mobilité additionnelle est le différentiel qu'il existe entre la mobilité mesurée sur un dispositif de référence (ici un transistor SiO_2/TiN) et celle mesurée sur un transistor intégrant un oxyde *high k*. La perte de mobilité dans un transistor intégrant un oxyde de grille de forte permittivité étant due à un ou plusieurs mécanisme(s) d'interactions supplémentaires par rapport à l'empilement de référence, la loi de Mathiessen nous permet alors d'écrire :

$$\frac{1}{\mu_{HfO_2}} = \frac{1}{\mu_{ref}} + \frac{1}{\mu_{add}} \quad (3.1)$$

soit :

$$\mu_{add} = \left(\frac{1}{\mu_{HfO_2}} - \frac{1}{\mu_{ref}} \right)^{-1} \quad (3.2)$$

⁶³L'étude en température de la mobilité additionnelle sera menée au paragraphe 3.1.3.

où μ_{HfO_2} est la mobilité du transistor HfO_2 , μ_{ref} celle du transistor de référence et μ_{add} la mobilité additionnelle.

Dans le cadre de notre étude, nous avons extrait la mobilité additionnelle pour les différents transistors *high k* en utilisant comme unique référence la mobilité extraite sur un transistor intégrant une grille TiN déposée sur 2.5nm de SiO_2 . Le choix d'une telle référence est justifié par les raisons suivantes :

- Tout d'abord, nous avons vu au chapitre précédent que l'utilisation d'une grille métallique induisait à elle seule des modifications de mobilité. Il apparaît donc comme indispensable de comparer les dispositifs HfO_2 avec une référence utilisant une grille TiN, afin de bien isoler l'effet du seul HfO_2 sur la mobilité de l'effet du couple HfO_2+TiN (ce que nous aurions fait si nous avions utilisé un transistor à grille polysilicium comme référence).
- Ensuite, nous avons pris comme référence le dispositif intégrant la couche de SiO_2 la plus épaisse (2.5nm) car nous avons mentionné précédemment que la réduction de l'épaisseur d'oxyde de silicium dégradait la mobilité des porteurs, vraisemblablement à cause du rapprochement entre l'interface grille/oxyde et le canal. Afin d'obtenir la mobilité additionnelle liée au HfO_2 seul, il est donc indispensable d'utiliser une référence pour laquelle l'impact du TiN n'est pas visible sur la mobilité, d'où le choix du dispositif avec l'oxyde de silicium le plus épais.

Ces considérations techniques ayant été explicitées, nous avons extrait à 300K les mobilités additionnelles pour des transistors intégrant une épaisseur fixe de HfO_2 (3nm) sur différentes épaisseurs d'oxyde interfacial. Ces résultats sont regroupés sur la figure 3.6. Celle-ci montre tout d'abord que la mobilité additionnelle est d'autant plus élevée que l'oxyde interfacial est épais, ce qui confirme que les mécanismes responsables de la dégradation de mobilité s'atténuent lorsque l'épaisseur d'oxyde interfacial s'accroît et que c'est bien un phénomène distant qui est à l'origine de la réduction de mobilité⁶⁴. Pour renforcer ce résultat, nous avons également représenté sur la figure 3.7 l'évolution de la mobilité additionnelle en fonction de l'épaisseur d'oxyde interfacial à différentes polarisation de grille. Nous pouvons ainsi observer sur cette figure que la mobilité additionnelle présente une dépendance exponentielle en fonction de l'épaisseur d'oxyde interfacial t_{IL} , de la forme :

$$\mu_{add} \propto \exp 2k_{th}t_{IL} \quad (3.3)$$

où $k_{th} \approx 0.65nm^{-1}$ est la longueur thermique de Fermi. Cette modélisation, en très bon accord avec les prévisions théoriques de la littérature [Fischetti 01, Saito 03], confirme que le terme de mobilité additionnelle est bien du à une interaction à distance supplémentaire et infirme du même coup l'hypothèse d'une modification des interactions à l'interface Si/ SiO_2 liée à la présence du HfO_2 .

⁶⁴Rappelons ici que, d'après (3.2), plus la mobilité additionnelle est élevée, plus la mobilité du transistor étudié est proche de celle du transistor de référence.

A faible densité de porteurs, la figure 3.6 montre également que la mobilité additionnelle varie linéairement avec le champ effectif (lignes pointillées). En reprenant l'étude bibliographique réalisée au chapitre 2.3 de la partie I, nous pouvons affirmer ici que le terme de mobilité additionnelle est de type coulombien [Ando 82, Villa 98]. En combinant ce dernier résultat à notre analyse précédente, il en vient que la dégradation de mobilité liée à l'utilisation d'un oxyde de forte permittivité est engendrée par une interactions à distance entre les porteurs du canal et des centres chargés situés à l'interface SiO₂/HfO₂ ou dans le proche HfO₂.

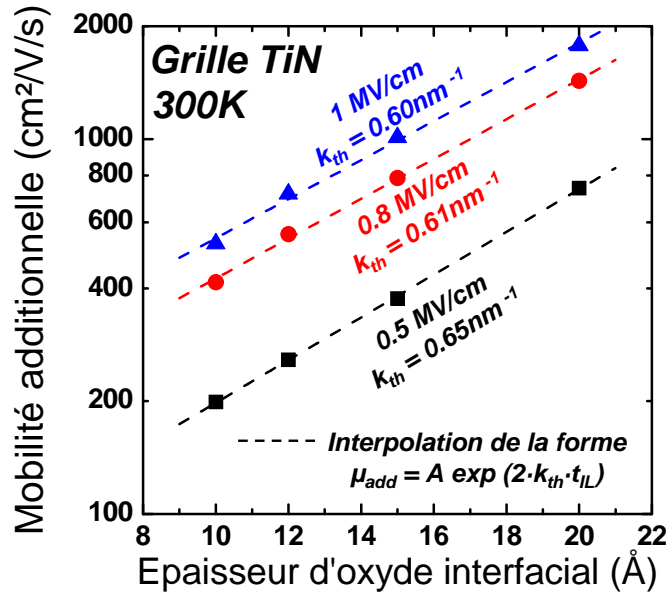


FIG. 3.7 – Évolution de la mobilité additionnelle en fonction de l'épaisseur d'oxyde interfacial pour différentes polarisations de grille. La dépendance exponentielle en t_{IL} de cette composante additionnelle est caractéristique d'un mécanisme d'interaction à distance [Fischetti 01, Saito 03].

3.1.3 Étude de la mobilité en température

Afin de confirmer les résultats précédents, une analyse en température de la mobilité des porteurs a également été réalisée sur les différents dispositifs de notre étude. Pour cela, nous avons extrait la mobilité effective sur une gamme de température allant de 4.2K à 300K. Les résultats obtenus sur les transistors intégrant une oxyde interfacial de 1nm et 2nm (respectivement) et une couche de HfO₂ de 3nm sont représentés sur les figures 3.8(a) et (b).

Ces deux figures mettent en évidence un point de croisement des courbes en fonction de la température assez semblable à celui observé sur la figure 2.9 du chapitre précédent. Ce point sépare à nouveau deux régimes de fonctionnement différents en fonction de la température. Cependant, la validité douteuse de la mobilité effective dans cette zone de champ effectif (cf.

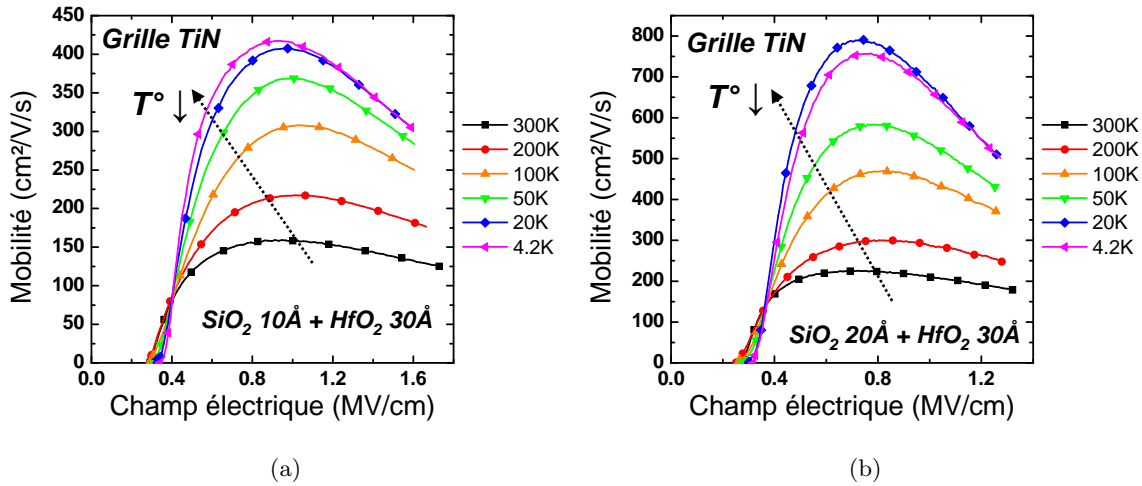


FIG. 3.8 – Évolution de la mobilité effective en fonction de la température (a) pour un empilement de grille intégrant un oxyde interfacial SiO₂ de 1nm et un oxyde de forte permittivité HfO₂ de 3nm. (b) La même étude a été réalisée sur un transistor intégrant un oxyde interfacial de 2nm.

chapitre II) ne permet pas de réaliser une étude fiable et de formuler des conclusions franches. Nous reviendrons donc sur l'étude de la mobilité à faible densité de porteurs dans le paragraphe sur la mobilité magnétorésistance. Signalons tout de même et dès à présent que ce point semble se déplacer vers les densités de porteurs plus élevées lorsque l'épaisseur d'oxyde interfacial diminue, ce qui laisse supposer une amplification des interactions coulombiennes avec la réduction de l'épaisseur de SiO₂ interfacial. Nous pouvons également remarquer qu'à fort champ effectif et à basse température, la mobilité effective ne varie plus avec la température : nous retrouvons ici le comportement déjà observé au chapitre précédent où seule la rugosité des interfaces limite la mobilité des porteurs.

Notre étude en température a également porté sur la mobilité additionnelle. Nous avons ainsi extrait la composante supplémentaire de mobilité sur un transistor intégrant une couche de 3nm de HfO₂ déposée sur un oxyde interfacial de 1nm à différentes températures prises entre 50K et 300K. Les résultats obtenus sont représentés sur la figure 3.9. Nous constatons ainsi qu'à faible densité de porteurs, la mobilité additionnelle présente une légère dépendance positive en fonction de la température. Comme nous l'avons étudié au chapitre 2 de la partie précédente, ce comportement est caractéristique d'un mécanisme coulombien d'interactions entre les porteurs libres et des centres chargés dans l'oxyde. La dépendance positive de la mobilité additionnelle en fonction de la température provient d'une augmentation de l'écrantage des charges par les porteurs de la couche d'inversion liée à l'agitation thermique [Jeon 89, Krishnan 98, Villa 98].

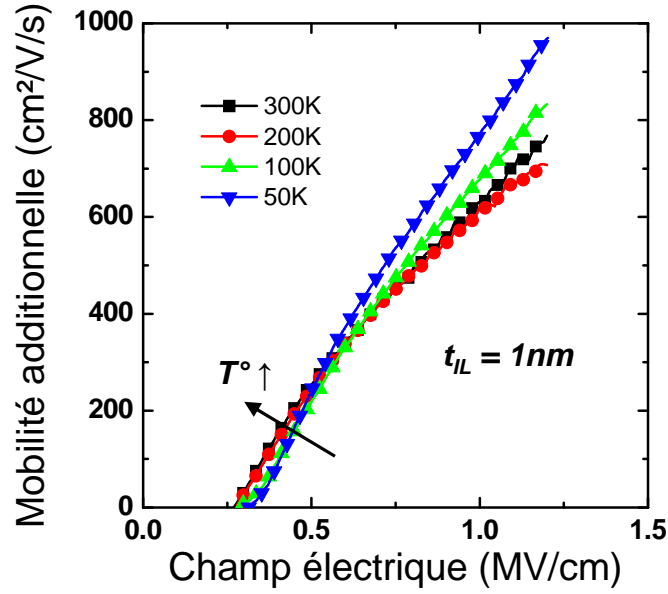


FIG. 3.9 – Évolution en fonction de la température de la mobilité additionnelle extraite sur des dispositifs intégrant un oxyde de forte permittivité déposé sur un oxyde interfacial de 1nm. La faible dépendance positive de la mobilité additionnelle à basse densité de porteurs est caractéristique d'une mobilité limitée par des interactions coulombiennes [Jeon 89, Krishnan 98, Villa 98].

3.1.4 Modélisation de la mobilité limitée par les interactions coulombiennes

A ce stade de notre étude, nous avons réussi à démontrer expérimentalement que l'introduction d'un oxyde de forte permittivité dans l'empilement de grille induisait une perte de mobilité liée à des interactions coulombiennes additionnelles entre les porteurs libres du canal d'inversion et des charges parasites vraisemblablement situées au voisinage de l'interface SiO₂/HfO₂. Dans ce paragraphe, nous allons conforter ce résultat en modélisant l'effet d'une charge parasite distante sur la mobilité des porteurs dans le canal.

• Présentation du modèle

Afin d'alléger la lecture de ce paragraphe, la description complète du modèle utilisé pour calculer la mobilité limitée par des interactions coulombiennes avec des charges distantes a été placée en Annexe B⁶⁵. Dans cette partie, nous nous contenterons donc de rappeler les grandes lignes du calcul aboutissant aux résultats que nous allons présenter par la suite.

Le calcul de la mobilité limitée par des interactions coulombiennes distantes a été réalisé en utilisant l'approximation classique du temps de relaxation du moment des électrons

⁶⁵Une autre description de ce modèle a également été faite par Lime [Lime 04]. Nous invitons donc le lecteur à s'y reporter pour plus de détails.

[Lundstrom 00]. Sous cette hypothèse, la mobilité limitée par les interactions coulombiennes distantes μ_{RCS} s'écrit :

$$\mu_{RCS} = -\frac{e}{m_c^*} \langle \tau_{RCS} \rangle = -\sum_i \left[\frac{e}{m_{c,i}^*} \frac{\int_{E_i}^{\infty} (E - E_i) \tau_{i,RCS}(E) \frac{\partial f_0(E)}{\partial E} dE}{\int_{E_i}^{\infty} f_0(E) dE} \right] \quad (3.4)$$

où $m_{c,i}^*$ est la masse effective de conduction des électrons de la $i^{\text{ème}}$ sous-bande et $\langle \tau_{RCS} \rangle$ est la moyenne de τ sur l'énergie. Dans le cadre de notre étude, nous nous sommes cantonnés au calcul du temps de relaxation sur les deux premières sous-bandes.

L'expression (3.4) précédente a alors été évaluée à partir d'un solveur 1D-Poisson-Schrödinger développé au sein de notre laboratoire [Leroux 04b]. Ce solveur prend en compte l'effet d'écrantage de la couche d'inversion et ne considère que les transitions intra-bandes. Nous avons ainsi déterminé le potentiel électrostatique dans le canal de conduction, perturbé par une charge surfacique Q distribuée uniformément à l'interface $\text{SiO}_2/\text{HfO}_2$, comme représenté sur la figure 3.10 [Ando 82]. Le choix d'une charge surfacique au voisinage de l'interface $\text{SiO}_2/\text{HfO}_2$ a été conditionné par les résultats que nous avons développés précédemment. Cette densité de charge Q a été utilisée comme seul et unique paramètre d'ajustement de notre modèle afin d'obtenir la meilleure corrélation possible entre nos résultats expérimentaux et la mobilité calculée.

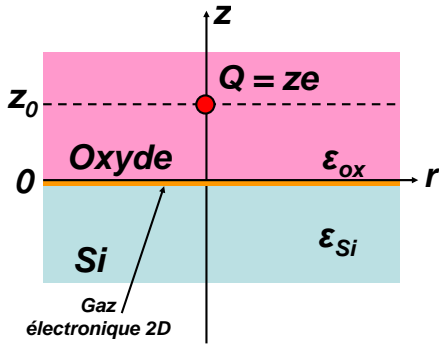


FIG. 3.10 – Schéma du modèle utilisé pour calculer l'effet d'une charge localisée dans l'oxyde, à une distance z_0 du gaz électronique bidimensionnel. Nous supposons ici une symétrie cylindrique autour de la charge Q .

La mobilité limitée par les interactions coulombiennes distantes ayant été évaluée, nous avons alors reconstruit la mobilité effective totale des porteurs à partir de la loi de Mathiessen. Pour cela, nous avons considéré que la mobilité des porteurs dans le cas des transistors intégrant un oxyde de forte permittivité était égale à la mobilité des porteurs d'un transistor de référence SiO_2 à laquelle viendrait s'ajouter une contribution supplémentaire liée à la présence des charges distantes, de sorte que :

$$\frac{1}{\mu_{\text{HfO}_2}^{\text{theo}}} = \frac{1}{\mu_{\text{SiO}_2}^{\text{exp}}} + \frac{1}{\mu_{\text{RCS}}^{\text{theo}}} \quad (3.5)$$

Les résultats obtenus vont être discutés dans le prochain paragraphe.

• **Résultats et analyses**

L'expression (3.5) précédente a été utilisée pour calculer la mobilité théorique à différentes températures (de 100K à l'ambiante) et pour différents empilements de grille intégrant un oxyde de forte permittivité. Nous avons plus particulièrement modélisé des transistors ayant un oxyde interfacial dont l'épaisseur varie de 1 à 2nm afin de pouvoir comparer nos résultats théoriques avec les courbes obtenues précédemment sur les dispositifs d'étude à notre disposition. La figure 3.11 propose ainsi une comparaison entre les mobilités expérimentales extraites par Split C-V et les mobilités théoriques calculées pour différentes épaisseurs d'oxyde interfacial à température ambiante. Cette figure met en évidence que pour une charge fixe $Q = 7 \times 10^{13} \text{ cm}^{-2}$ indépendante

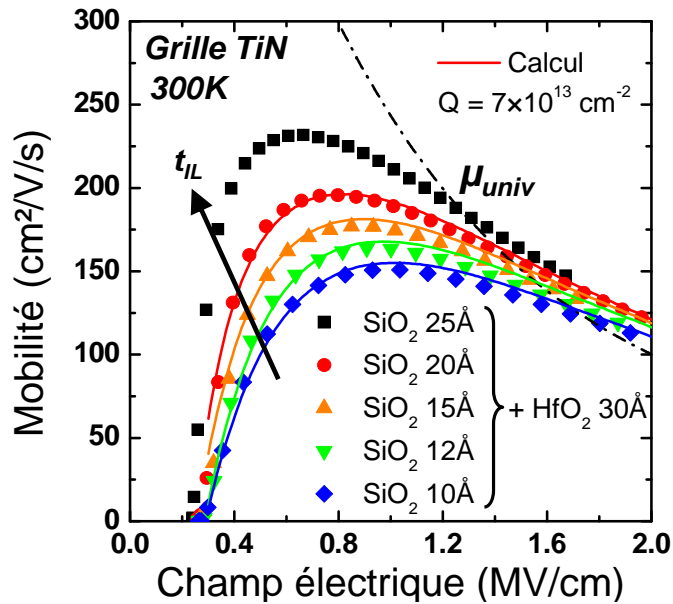


FIG. 3.11 – Comparaison entre la mobilité effective extraite expérimentalement par la technique Split C-V (points) et la mobilité calculée à partir de la formule (3.5) (lignes), pour différentes épaisseurs t_{IL} d'oxyde interfacial. La très bonne concordance sur l'ensemble de la plage de champ effectif entre les mesures et le calcul pour une seule et même densité de charge fixe Q permet de confirmer l'hypothèse d'une mobilité réduite par des interactions coulombiennes distantes supplémentaires dans le cas d'un oxyde de forte permittivité.

de l'épaisseur d'oxyde interfacial, nous obtenons une excellente concordance entre la théorie et l'expérience. Ce bon accord existe sur l'ensemble de la gamme de champ effectif étudié et pour toutes les épaisseurs d'oxyde interfacial. La figure 3.12 montre en outre que la corrélation obtenue à température ambiante reste correcte à basse température pour une contribution coulombienne inchangée, ce qui confirme la cohérence de notre modélisation. Signalons ici qu'un résultat similaire peut être obtenu en modélisant les interactions coulombiennes supplémentaires par une

charge volumique distante uniformément répartie dans le HfO_2 de $Q = 3 \times 10^{20} \text{ cm}^{-3}$. La très forte densité volumique de charge nécessaire pour modéliser la dégradation observée s'explique par la dépendance exponentielle du potentiel électrostatique en fonction de la distance au canal d'inversion.

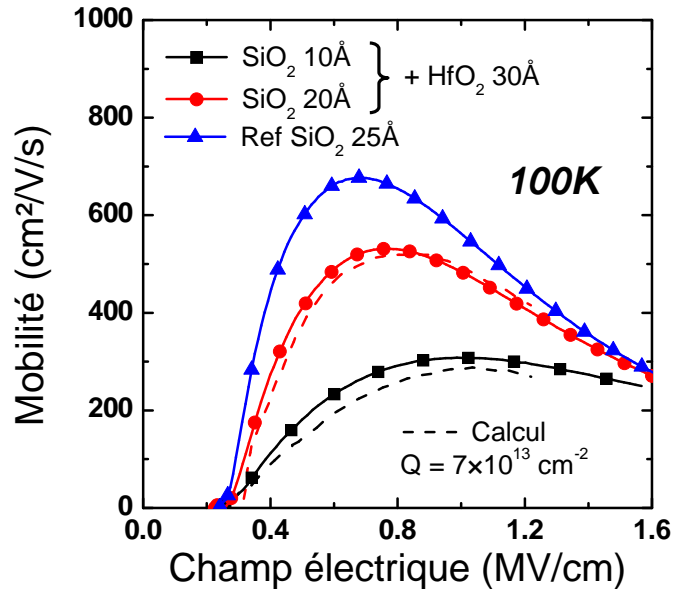


FIG. 3.12 – Comparaison entre la mobilité effective extraite expérimentalement par la technique Split C-V (points) et la mobilité calculée à partir de la formule (3.5) (lignes), pour différentes épaisseurs t_{IL} d'oxyde interfacial et à basse température. La concordance entre les mesures et le calcul reste très bonne.

De par cette modélisation, nous avons ainsi pu démontrer que la majeure partie des dégradations de mobilité observées précédemment dans des transistors intégrant une grille TiN et un oxyde de forte permittivité pouvait s'expliquer par la présence d'une charge fixe à l'interface $\text{SiO}_2/\text{HfO}_2$ ou dans le proche HfO_2 , ce résultat confirmant ceux obtenus ci-dessus.

Un dernier point reste cependant à discuter : il s'agit de la valeur de la densité de charge nécessaire pour modéliser la dégradation de mobilité. Bien que proche des estimations données par d'autres études sur des matériaux de forte permittivité où une charge fixe était mentionnée [Saito 03, De Gendt 04, Robertson 05], elle n'en demeure pas moins trop élevée par rapport à d'autres mesures réalisées sur nos dispositifs. En particulier, les valeurs de tensions de bandes plates V_{fb} extraites et les densités de charge obtenues par pompage ne coïncident pas avec une telle densité de charge.

L'hypothèse la plus probable pour expliquer un tel décalage entre la charge extraite par simulation et les mesures de tensions de bandes plates est que tout ou partie des charges responsables de la réduction de mobilité effective est constituée par des dipôles situés à l'interface $\text{SiO}_2/\text{HfO}_2$

[Ragnarsson 01]. En effet, une charge dipolaire étant globalement neutre, son impact sur la tension de bandes plates est nulle tandis que sa contribution au calcul de la mobilité ne l'est pas puisque c'est l'état électrique local qui est ici pris en compte. Des résultats expérimentaux sont d'ailleurs venus corroborer cette hypothèse. Ainsi, Ota *et al.*[Ota 07] ont montré qu'une charge dipolaire était présente à l'interface SiO₂/HfO₂ et Leroux *et al.*[Leroux 08] ont associé les effets de *roll-off*⁶⁶ observés sur leurs dispositifs à des dipôles.

Dans cette première partie sur l'étude de l'influence de l'oxyde de forte permittivité sur la mobilité, nous avons montré que la dégradation observée à faible densité de porteurs pouvait être attribuée à un excédent de charges coulombiennes situées à l'interface SiO₂/HfO₂. Ces résultats ont été obtenus par une étude expérimentale de la mobilité effective et confirmés par une modélisation de l'effet d'une telle charge sur la mobilité. Afin de renforcer notre analyse, ces premiers résultats vont être affinés par une étude de la mobilité magnéto-résistance, technique permettant de déterminer la mobilité des porteurs aux faibles densités avec une précision accrue.

3.2 Étude de la mobilité magnéto-résistance⁶⁷

Dans cette seconde partie, nous allons utiliser la méthode développée au chapitre 1 pour extraire la mobilité magnéto-résistance aux faibles densités de porteurs sur différents empilements de grille. Signalons dès à présent que les résultats qui vont être présentés ici sont le fruit d'un long travail de mise au point et de développement de la technique magnéto-résistance. Cette technique, initialement prévue pour des études de mobilité sur des transistors courts ayant un fort courant de drain a ainsi été optimisée pour des études à faibles densités de porteurs sur des transistors MOS longs (2μm et plus), donc dans une zone de fonctionnement présentant un faible courant de drain.

Nous avons ainsi extrait la mobilité magnéto-résistance sur des dispositifs présentant une épaisseur de 2.5nm de HfO₂ déposée sur un oxyde interfacial SiO₂ de 2nm. Nos mesures ont été comparées à d'autres mesures réalisées sur des dispositifs de référence SiO₂/TiN, pour différentes températures allant de 20K à 285K. Afin de satisfaire aux contraintes géométriques imposées par la technique d'extraction, les dispositifs testés avaient une longueur de canal de 2μm pour une largeur de 10μm. Enfin, les transistors utilisés étaient pourvus de prises Kelvin afin de pouvoir réaliser des mesures 4 pointes permettant de s'affranchir de l'effet potentiel des résistances séries.

⁶⁶L'effet de *roll-off* est une réduction de la tension de bandes plates aux faibles épaisseurs d'oxyde interfacial.

⁶⁷Une partie des résultats présentés dans ce paragraphe a fait l'objet d'une lettre publiée dans la revue *Applied Physics Letters* [Thevenod 07].

3.2.1 Évolution de la mobilité en fonction de divers paramètres

La figure 3.13 montre tout d'abord l'évolution de la mobilité magnéto-résistance μ_{MR} en fonction de la densité de porteurs N_{inv} pour les deux empilements de grille à la température ambiante. Pour la comparaison, nous avons également représenté sur la figure la mobilité effective pour le dispositif TiN/HfO₂/SiO₂.

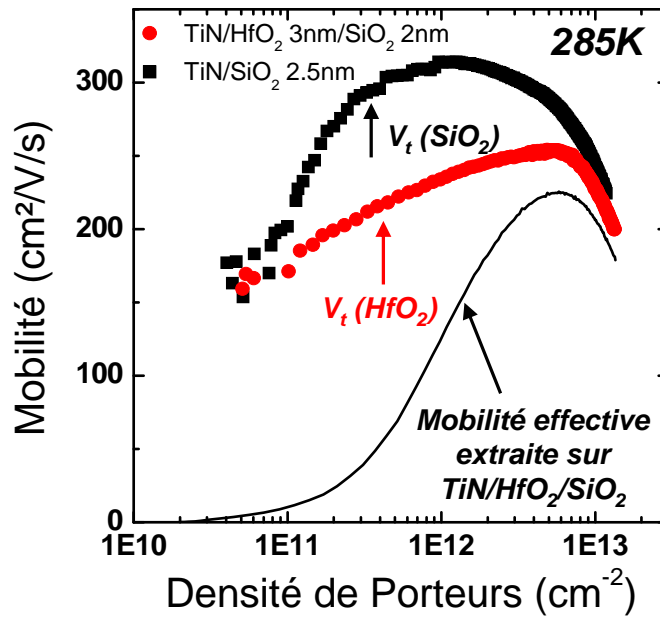


FIG. 3.13 – Comparaison entre les mobilités magnéto-résistance extraites sur les deux dispositifs de notre étude à la température ambiante. Sur cette figure, nous avons également représenté pour comparaison la mobilité effective obtenue pour un transistor TiN/HfO₂/SiO₂.

Le premier constat que nous pouvons formuler à partir de cette figure est que la technique magnéto-résistance permet d'obtenir d'excellents résultats jusqu'à de très faibles densités de porteurs (environ une décade en dessous de la tension de seuil) avec une très bonne fiabilité (coefficient de régression sur la droite $R/R_0 = f(B^2)$ supérieur à 0.98). Dans la même plage de fonctionnement, la mobilité effective chute à zéro, ce qui constitue un résultat physiquement inacceptable et met en évidence les limites de la mobilité effective et des conclusions établies à partir de ces mesures. Cette figure met également en évidence que la mobilité magnéto-résistance pour le dispositif *high k* est inférieure à celle du dispositif de référence sur l'ensemble de la plage de mesure, soit jusqu'à des densités de porteurs de l'ordre de 10¹¹ cm⁻². Ce résultat est ainsi cohérent avec ceux obtenus à partir des mesures de mobilité effective, à savoir que l'utilisation d'un matériau de forte permittivité comme oxyde de grille entraîne une dégradation de mobilité liée à des interactions supplémentaires avec les porteurs du canal. Dans le paragraphe précédent, nous avons montré que ces interactions supplémentaires étaient d'origine coulombienne et que

les charges supplémentaires étaient situées à l'interface $\text{SiO}_2/\text{HfO}_2$ ou dans le proche HfO_2 . Les résultats obtenus par nos mesures de magnéto-résistance confirment ces conclusions.

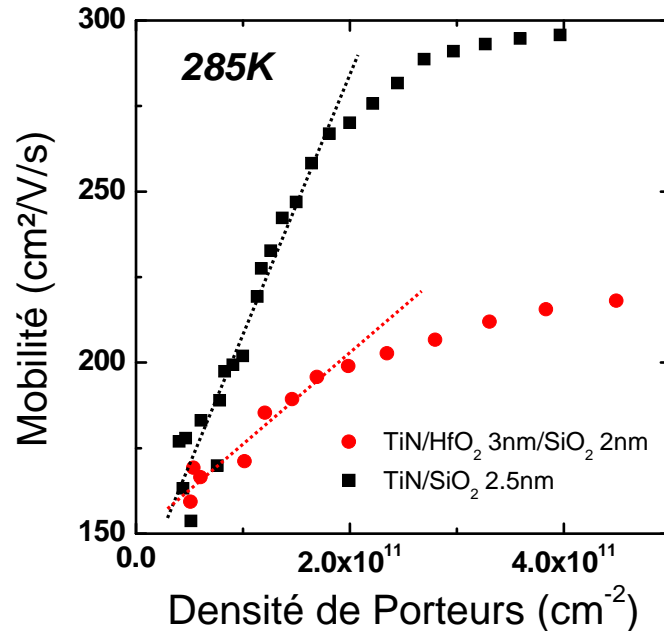


FIG. 3.14 – Comparaison entre les mobilités magnéto-résistance extraites sur les deux dispositifs de notre étude aux faibles densités de porteurs (inversion faible). La dépendance linéaire de la mobilité dans cette zone de champ effectif est caractéristique d'une mobilité limitée par les interactions coulombiennes [Villa 98].

La figure 3.14 montre en effet qu'en faible inversion (densités de porteurs inférieures à la tension de seuil), la mobilité magnéto-résistance augmente linéairement avec la charge d'inversion. Ce comportement est caractéristique d'une mobilité limitée par des interactions coulombiennes écrantées [Ando 82, Takagi 94]. En outre, une pente plus faible est obtenue pour le dispositif HfO_2/TiN . Cette pente étant directement dépendante de la densité de centres coulombiens dans l'empilement de grille [Jeon 89], nous pouvons en conclure que le dispositif *high k* présente une densité de charges parasites supérieure au dispositif de référence.

Afin de confirmer ces résultats, nous avons dans un second temps réalisé des mesures de mobilité magnéto-résistance à différentes températures sur les deux dispositifs. Rappelons ici que l'évolution de la mobilité en fonction de la température est un excellent indicateur du mécanisme prépondérant qui la limite. Les résultats obtenus sont regroupés sur les figures 3.15(a) et 3.15(b).

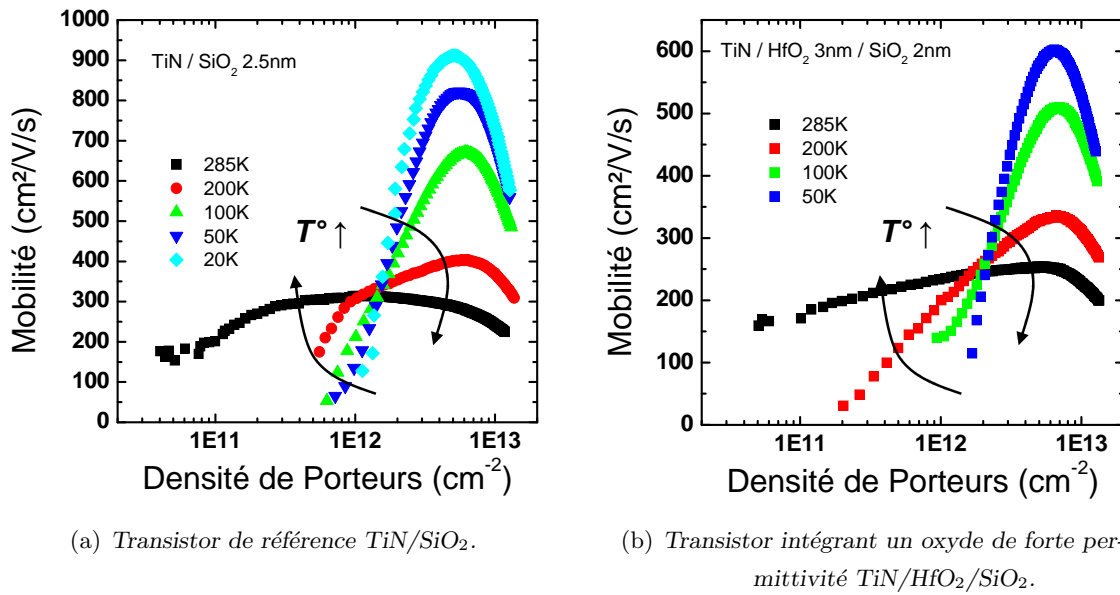


FIG. 3.15 – Évolution de la mobilité magnétorésistance en fonction de la température pour (a) un dispositif TiN/SiO₂ et (b) un dispositif intégrant un oxyde de forte permittivité. Sur cette figure, nous pouvons observer deux régimes d'évolution en fonction de la température différents et caractéristiques de deux types d'interaction.

3.2.2 Analyses et interprétations

Ces deux figures aux allures générales très proches nous permettent d'identifier deux comportements opposés et séparés par un point de croisement aux alentours de $N_{inv} = 10^{12} \text{ cm}^{-2}$. Ce point de croisement est la résultante de deux mécanismes d'interaction concurrents. Aux densités de porteurs en deçà de ce point, la mobilité magnétorésistance augmente avec la température et la charge d'inversion. Ce comportement est caractéristique d'une mobilité limitée par des interactions coulombiennes. Dans ce régime de fonctionnement, la faible densité de porteurs est particulièrement sensible aux interactions avec les charges présentes dans le dispositif. Une augmentation de la température rend les porteurs en inversion plus énergétiques et du même coup moins sensibles aux interactions coulombiennes, d'où une meilleure mobilité. A contrario, au delà du point de croisement, la mobilité diminue lorsque la température augmente. Dans cette zone, la mobilité est cette fois-ci conditionnée par les interactions avec les vibrations du réseau cristallin, ou phonons. En effet, une élévation de la température entraîne une activation thermique de ces phonons et de fait une réduction de la mobilité des porteurs.

Le principal résultat que nous pouvons formuler à partir de cette analyse est donc que la position du point de croisement constitue un excellent indicateur sur l'influence des interactions coulombiennes sur la mobilité. En effet, à partir des observations précédentes, un décalage de

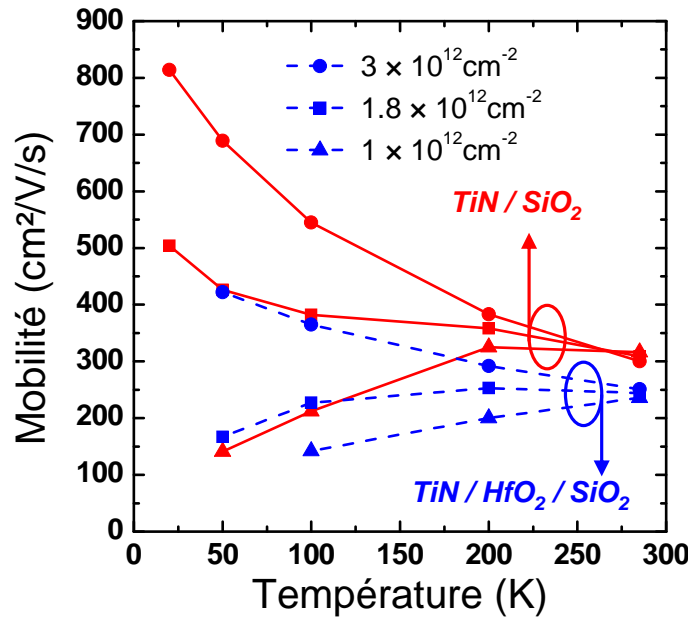


FIG. 3.16 – Évolution de la mobilité magnétorésistance en fonction de la température pour différentes charges d'inversion et pour les deux types de dispositif. Cette figure met en évidence l'inversion de dépendance en température lorsque la charge d'inversion augmente. Elle montre en outre que cette dépendance demeure positive jusqu'à une plus forte densité de porteurs dans le cas du dispositif *high k*.

ce point de croisement vers des densités de porteurs plus élevées et des valeurs de mobilité plus faibles signifie que les interactions coulombiennes conditionnent l'évolution de la mobilité sur une plage de densité plus grande. En d'autres termes, la quantité de porteurs de la couche d'inversion nécessaire pour écranter les charges parasites doit être supérieure.

Ce principe de raisonnement est utilisé pour analyser les courbes des figures 3.15(a) et 3.15(b). Le point de croisement pour le dispositif *high k* étant situé à une plus forte densité de porteurs que celui du dispositif de référence, il en découle que la densité de centres coulombiens dans le dispositif intégrant du HfO₂ est plus importante que celle dans le dispositif intégrant du SiO₂. Ce phénomène est également mis en évidence sur la figure 3.16, où nous avons représenté l'évolution de la mobilité magnétorésistance en fonction de la température pour différentes charges d'inversion (prises au voisinage de la tension de seuil). Nous pouvons ainsi constater qu'à $N_{inv} = 1 \times 10^{12} \text{ cm}^{-2}$, les deux empilements présentent une dépendance positive de la mobilité en fonction de la température, caractéristique d'une mobilité limitée par les interactions coulombiennes. À l'opposé, pour la densité de porteurs la plus élevée considérée sur la figure 3.16 ($N_{inv} = 3 \times 10^{12} \text{ cm}^{-2}$), la dépendance en température s'est inversée pour devenir négative : dans cette gamme de densité de porteurs, ce sont les interactions avec les phonons qui déterminent l'évolution

thermique de la mobilité. Entre ces deux régimes, c'est à dire pour $N_{inv} = 1.8 \times 10^{12} \text{ cm}^{-2}$ sur la figure 3.16, le dispositif intégrant du HfO_2 exhibe la dépendance en température positive des interactions coulombiennes tandis que le dispositif de référence a une dépendance négative, signe que sa mobilité est déjà affectée par les interactions avec les phonons. A cette densité, la charge d'inversion n'est donc pas suffisante pour écranter la quantité supplémentaire de charges parasites présentent dans l'empilement de grille $\text{TiN}/\text{HfO}_2/\text{SiO}_2$.

Les deux dispositifs étant fabriqués sur des substrats identiques, la différence observée ne peut provenir que d'une plus forte quantité de charges dans l'empilement de grille à base d'oxyde de forte permittivité. Ce résultat ne fait que conforter les conclusions établies dans le paragraphe précédent.

Dans ce paragraphe, nous avons démontré que des résultats pertinents et fiables sur la mobilité à faible densité de porteurs pouvaient être obtenus à partir d'une technique innovante de caractérisation des transistors MOS, à savoir l'extraction de mobilité à partir de mesures de magnétorésistance. Une telle technique est particulièrement intéressante par rapport au Split C-V pour la caractérisation en faible inversion car elle permet de discriminer de manière plus précise les mécanismes responsables de la réduction de mobilité. Les résultats proposés ici coïncident d'ailleurs parfaitement avec ceux du paragraphe 3.1, élaborés sur des mesures de mobilité effective qui, rappelons-le, est d'une validité discutable en faible inversion. La convergence des résultats obtenus par ces deux techniques nous permet donc d'affirmer que la perte de mobilité mesurée sur les dispositifs *high k* à notre disposition pour cette étude est due à la présence d'une charge coulombienne parasite dans l'empilement de grille $\text{TiN}/\text{HfO}_2/\text{SiO}_2$.

3.3 Rôle des phonons ?

Dans les deux paragraphes précédents, nous nous sommes attachés à montrer que la perte de mobilité observée sur des dispositifs intégrant un oxyde de grille de forte permittivité était liée à des interactions de type coulombien entre les porteurs du canal et une charge située à l'interface $\text{SiO}_2/\text{HfO}_2$ ou dans le proche HfO_2 . Cependant, il semble important de faire remarquer que ce résultat est loin de faire l'unanimité dans les différentes équipes de recherche du domaine. En effet, à ces conclusions vient s'opposer un autre courant qui tente de démontrer que la perte de mobilité observée sur des dispositifs *high k* est engendrée par des interactions entre les phonons mous de l'oxyde de forte permittivité et les porteurs du canal [Fischetti 01, Datta 03, Ren 03]⁶⁸. Dans ce paragraphe, nous allons tenter de montrer que dans le cadre de notre étude, l'influence de ces phonons n'est que secondaire sur la réduction de mobilité. Pour cela, nous appliquerons à nos dispositifs les techniques d'analyse développées par les groupes de recherche favorables aux phonons mous, afin de quantifier avec les mêmes outils l'impact de ces phonons sur nos

⁶⁸Voir le paragraphe 2.3.2 de la partie I pour de plus amples détails.

transistors.

3.3.1 Étude de la mobilité en température

La plupart des études sur les phonons mous repose sur l'analyse de la dépendance de la mobilité en fonction de la température. Ainsi, Ren *et al.* [Ren 03] ont montré que cette dépendance était en $T^{-0.95}$, soit une valeur plus faible que celle observée pour un dispositif de référence SiO_2 (pour rappel, autour de $T^{-1.5}$). Une autre approche pour déterminer l'impact des phonons a été proposée par Chau *et al.* [Chau 04] et consiste à étudier le facteur de sensibilité thermique du transistor, à savoir l'évolution thermique de l'inverse de la mobilité effective, soit $\frac{\partial(1/\mu_{eff})}{\partial T}$. La loi de Mathiessen permet de décomposer cette expression comme suit :

$$\frac{\partial(1/\mu_{eff})}{\partial T} = \underbrace{\frac{\partial(1/\mu_{CS})}{\partial T}}_{<0} + \underbrace{\frac{\partial(1/\mu_{PS})}{\partial T}}_{>0} + \underbrace{\frac{\partial(1/\mu_{SR})}{\partial T}}_{\approx 0} \quad (3.6)$$

où μ_{CS} , μ_{PS} et μ_{SR} sont respectivement les mobilités limitées par les interactions coulombiennes, les interactions avec les phonons et les interactions avec la rugosité des interfaces. Les diverses dépendances en température de ces différents termes permettent alors de déterminer la contribution limitant la mobilité des porteurs. Ainsi, la faible dépendance en température des interactions entre les porteurs et la rugosité des interfaces permet de s'affranchir de l'effet de cette contribution lors de l'étude du facteur de sensibilité thermique. La valeur de ce facteur n'est donc plus déterminée que par deux types d'interaction : lorsqu'elle est positive, la mobilité est majoritairement limitée par des interactions avec les phonons ; lorsqu'elle est négative, la mobilité est limitée par les interactions avec les interactions coulombiennes.

Sur la figure 3.17, nous avons donc représenté ce facteur de sensibilité thermique extrait sur nos dispositifs d'étude au voisinage de la température ambiante. Pour cela, nous avons mesuré la mobilité effective pour différentes températures autour de 300K. Le facteur de sensibilité thermique est alors déterminé par régression linéaire de la fonction $1/\mu_{eff} = f(T)$ ⁶⁹. Sur cette même figure, nous avons également représenté les résultats obtenus par Chau *et al.* sur des dispositifs *high k* à grille polysilicium [Chau 04].

Cette figure permet de mettre en évidence plusieurs éléments. Tout d'abord, ce facteur est positif pour les densités de porteurs supérieures à 0.4 MV/cm, signe que dans cette région de champ effectif, la mobilité est majoritairement conditionnée par les interactions avec les phonons. Nous pouvons également constater que d'une manière générale, le facteur de sensibilité thermique est plus élevé pour les dispositifs intégrant un oxyde de forte permittivité que pour les dispositifs de référence. Ce résultat, commun à notre étude et à celle de Chau *et al.*, montre que les interactions avec les phonons sont plus importantes lorsqu'un oxyde de forte permittivité

⁶⁹Ceci impose de travailler sur une plage de température suffisamment réduite pour pouvoir considérer comme linéaire l'évolution thermique de la mobilité.

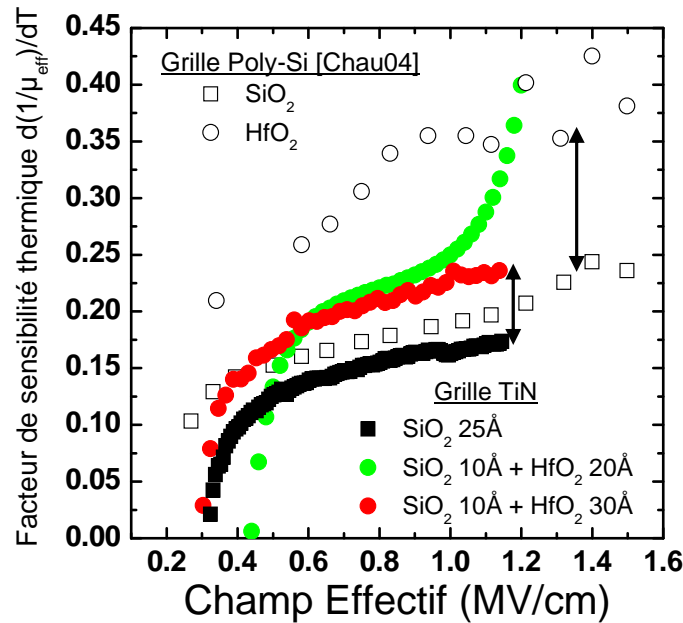


FIG. 3.17 – Évolution du facteur de sensibilité thermique en fonction de la charge d'inversion pour différents dispositifs intégrant une grille métallique et un oxyde de forte permittivité. A titre de comparaison, nous avons également représenté sur cette figure les résultats obtenus par Chau et al. [Chau 04] sur des dispositifs $\text{HfO}_2/\text{poly-Si}$.

est employé. Cette augmentation du rôle des phonons ne peut s'expliquer que par la présence de phonons « mous » supplémentaires dans l'oxyde de forte permittivité.

La comparaison entre les résultats de notre étude et celle de Chau *et al.* fait cependant apparaître une différence extrêmement intéressante : l'écart entre le facteur de sensibilité thermique extrait sur le dispositif de référence et celui déterminé sur le transistor HfO_2 est beaucoup plus important dans le cadre de l'étude de Chau que dans la notre. Pour expliquer cette moindre différence observée sur nos dispositifs, deux hypothèses sont envisageables :

- Soit l'impact des phonons sur la mobilité est moins important dans nos dispositifs. Ce comportement est tout à fait plausible puisque nos dispositifs intègrent une grille métallique TiN, alors que les dispositifs étudiés par Chau utilisent une grille polysilicium. Or, il a été démontré qu'une grille métallique modifiait les différents régimes de vibration de l'oxyde de forte permittivité et supprimait des modes de phonons, en particulier certains phonons « mous » [Fischetti 01]. D'où de plus faibles interactions avec les phonons et un moindre impact de ceux-ci sur le facteur de sensibilité thermique.
- Soit il existe une autre interaction forte et ayant une dépendance en température différente de celle des phonons, de sorte que cette interaction supplémentaire modifie l'analyse réalisée précédemment sur le facteur de sensibilité thermique. C'est en particulier le cas lorsqu'une

forte densité de charges coulombiennes est présente dans l'empilement de grille : le terme négatif lié à cette interaction dans le facteur de sensibilité vient s'ajouter à celui positif des phonons pour en réduire sa valeur. Un tel phénomène est d'ailleurs mis en évidence sur la figure 3.18, où nous avons extrait le facteur de sensibilité thermique pour un oxyde de forte permittivité épais (6nm) et présentant une forte densité de charges parasites. Sur cette figure, nous pouvons ainsi constater que le facteur de sensibilité thermique est fortement abaissé, à cause de l'effet des interactions coulombiennes.

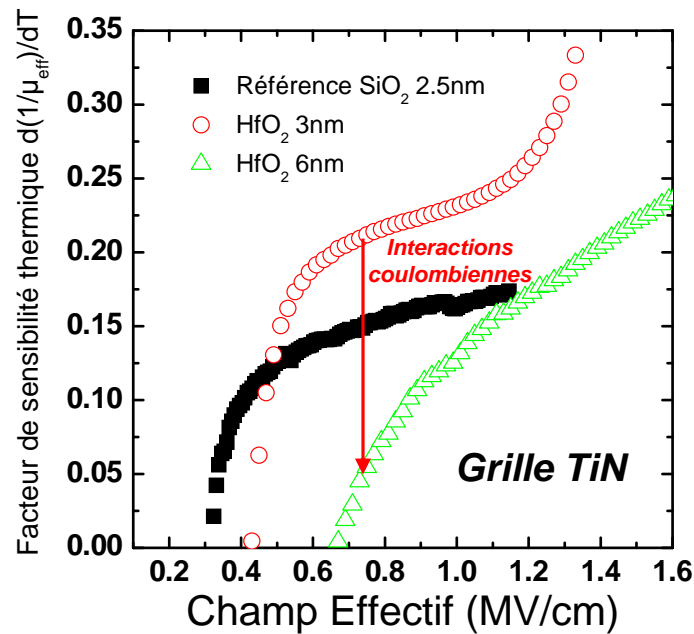


FIG. 3.18 – Impact des interactions coulombiennes sur le facteur de sensibilité thermique. Nous constatons que pour un dispositif intégrant une forte épaisseur de HfO₂ (6nm), la forte densité de centres coulombiens présents dans l'oxyde entraîne un fort abaissement du facteur de sensibilité.

Au final, il faut retenir de ces deux hypothèses qu'elles permettent d'aboutir à la même conclusion : l'impact des phonons mous dans le cadre de notre étude n'est pas un paramètre prépondérant sur la réduction de mobilité. Les dispositifs que nous avons analysés possèdent une mobilité principalement dégradée par des interactions coulombiennes supplémentaires dues à des charges présentes dans l'empilement de grille. Lorsque ces interactions coulombiennes sont suffisamment bien maîtrisées, la mobilité est alors impactée par les phonons mous, mais ces interactions sont ici secondaires.

Un certain nombre de travaux complémentaires menés par d'autres groupes de recherche sont d'ailleurs venus étayer ces résultats. Ainsi, Tatsumura *et al.* [Tatsumura 07] ont montré que les interactions coulombiennes étaient le mécanisme prépondérant dans la limitation de mobilité des dispositifs intégrant un oxyde de forte permittivité, tandis que Shah *et al.* [Shah 07]

ont démontré par une étude théorique des phonons optiques dans des transistors NMOS avec grille métallique TiN que les interactions avec les phonons distants de l'oxyde n'étaient pas un mécanisme significatif de dégradation de la mobilité. Enfin, une étude d'IBM [Maitra 07] a tout de même souligné que pour des dispositifs bien optimisés en terme de charges parasites dans l'oxyde, la mobilité était limitée par les interactions avec des phonons dans l'oxyde. Ces différents résultats confirment que les interactions avec les phonons « mous » de l'oxyde de forte permittivité sont secondaires dans l'étude de la mobilité.

3.4 Cas particulier des oxydes épais : influence des pièges

Pour terminer notre étude sur l'influence des oxydes de forte permittivité sur la mobilité, nous allons revenir sur l'impact de l'épaisseur du matériau *high k*, en particulier lorsque cette épaisseur est importante. En effet, nous avons mis en évidence sur la figure 3.4 du paragraphe 3.1 qu'une forte dégradation de la mobilité des porteurs était observée lorsque l'oxyde de forte permittivité était épais (dans notre cas 4.5nm). En outre, les paramètres électriques des dispositifs constitués d'une telle épaisseur de HfO₂ étant très différents de ceux des dispositifs intégrant une épaisseur plus faible, il nous est apparu intéressant de consacrer un paragraphe dédié à ce phénomène. Signalons dès à présent que ce comportement particulier pour des oxydes *high k* épais avait déjà été analysé par J. Mitard [Mitard 07]. Ce dernier avait alors développé une technique innovante de mesure afin de prouver que ces modifications étaient liées à une forte densité de pièges lorsque l'oxyde de grille dépassait une épaisseur critique.

Dans cette partie, nous allons discuter de l'effet de ces pièges sur la mobilité. Pour cela, nous avons adapté la technique de Mitard *et al.* afin de pouvoir extraire la mobilité des porteurs en s'affranchissant de l'effet des charges piégées sur le transport. Cette technique de mesure dynamique est décrite en détails au chapitre 1.1.2. Dans ce paragraphe, nous nous contenterons donc d'analyser les résultats qui en découlent.

3.4.1 Principe de l'étude

Afin de mettre en évidence le phénomène de piégeage sur la mobilité, nous avons étudié deux dispositifs fins, intégrant des épaisseurs de HfO₂ de 2.5nm et 3nm, ainsi qu'un dispositif plus épais, avec une épaisseur de HfO₂ de 4.5nm. Ces différentes épaisseurs de HfO₂ ont été déposées sur 0.8nm de SiO₂ et recouvertes par une grille métallique TiN. Nous avons ensuite extrait le courant de drain, la capacité grille/canal et la mobilité des porteurs par des mesures effectuées de l'accumulation vers l'inversion (nommé sens montant dans la suite du manuscrit) et de l'inversion vers l'accumulation (sens descendant). Des mesures de mobilité « pulsée » ont également été réalisées afin de s'affranchir de l'effet des pièges sur la mobilité.

3.4.2 Cas des oxydes fins

Dans ce premier paragraphe, nous allons nous focaliser sur les oxydes fins. La figure 3.19 regroupe ainsi les mesures de courant de drain et de capacité grille/canal réalisées dans les deux sens de balayage mentionnés précédemment pour un oxyde *high k* de 3nm d'épaisseur. Signalons que sur cette figure, nous n'avons pas représenté les résultats obtenus pour l'oxyde le plus fin (2.5nm) car l'absence de différence entre les mesures montantes et descendantes rendait ce cas peu intéressant dans le cadre de notre analyse. Il permet toutefois de montrer que pour des oxydes *high k* suffisamment fins, l'effet des pièges sur la mobilité ne se fait pas sentir.

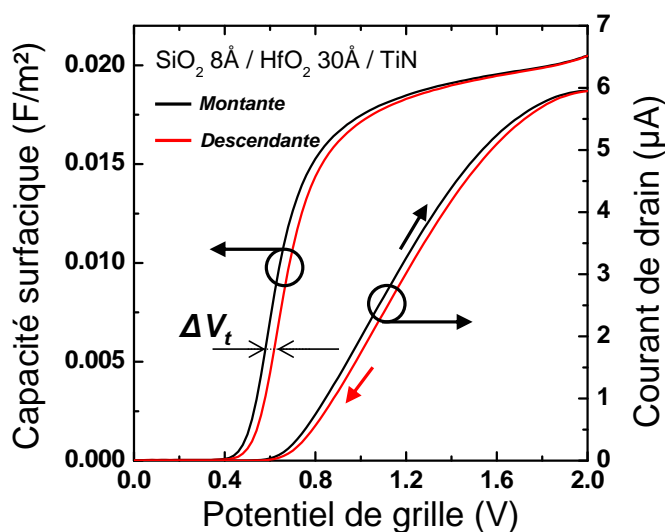


FIG. 3.19 – Évolution du courant de drain et de la capacité grille/canal en fonction du potentiel de grille appliqué, pour un oxyde HfO₂ de 3nm. Le décalage constant entre les courbes montantes et descendantes provient d'un léger effet de piégeage à fort champ effectif, sans conséquence sur la mobilité.

Sur la figure 3.19, nous constatons un léger décalage entre les mesures montantes et descendantes, qu'il s'agisse du courant de drain ou de la capacité. Cet écart constant, puisqu'indépendant de la polarisation de grille⁷⁰ est caractéristique d'un décalage de la tension de seuil du transistor (ici, $\Delta V_t \approx 50\text{mV}$) dû à un phénomène de piégeage à fort champ effectif. Ce décalage étant sensiblement le même pour le courant de drain et pour la capacité, aucune différence de mobilité ne devrait être observée entre les deux sens de balayage, puisque la technique Split C-V permet de s'affranchir de la tension de seuil du dispositif en travaillant en fonction du champ effectif. C'est d'ailleurs ce que nous pouvons observer sur la figure 3.20, où nous avons représenté la mobilité extraite sur nos deux dispositifs fins dans les deux sens de mesure : aucune différence

⁷⁰Une translation horizontale d'une des deux mesures permet en effet de superposer les deux courbes.

n'apparaît entre la mobilité « montante » et la mobilité « descendante ». Sur cette figure, nous avons également ajouté les mesures de mobilité « pulsée » obtenues en utilisant la technique décrite au chapitre 1.1.2. Nous constatons ainsi que la mobilité extraite par cette technique est quasi-identique à celle déterminée par la technique Split C-V. De plus, l'épaisseur de HfO_2 déposée n'impacte pas la mobilité, ce qui confirme les résultats précédemment démontrés au paragraphe 3.1 sur la figure 3.4.

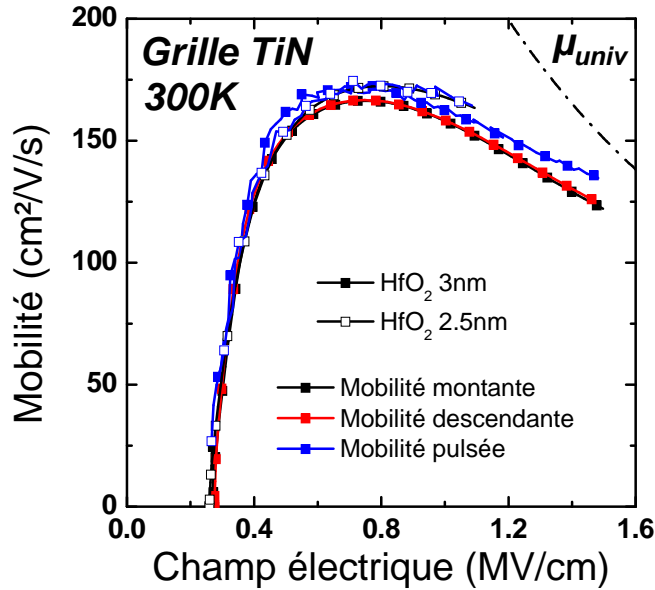


FIG. 3.20 – Comparaison entre la mobilité brute extraite à partir des mesures split C-V standards et la mobilité pulsée extraite à partir de la mesure de courant dynamique, pour les couches de HfO_2 fines (2.5 et 3nm). Nous constatons que la correction apportée par la mesure pulsée est négligeable et la mobilité ne varie quasiment pas d'une épaisseur à l'autre, confirmant ainsi le résultat mis en évidence sur la figure 3.4.

3.4.3 Cas des oxydes épais

Dans ce deuxième paragraphe, nous allons maintenant analyser la mobilité mesurée sur un transistor intégrant un oxyde de forte permittivité épais, pour rappel 4.5nm. La figure 1.3 du chapitre 1 montre ainsi un fort décalage entre les mesures montantes et descendantes du courant de drain. Contrairement au cas des oxydes fins discuté ci-dessus, le décalage de la tension de seuil entre les deux sens de balayage n'est pas constant et augmente avec la polarisation de grille. Cette variation est due à un piégeage progressif d'électrons dans l'empilement de grille, induisant un décalage de plus en plus marqué de la tension de seuil par rapport à la valeur sans charges parasites. Afin de nous affranchir de cet effet, nous avons une nouvelle fois extrait la mobilité

par la technique Split C-V pulsée. Les résultats obtenus sont regroupés sur la figure 3.21. Nous constatons que la mobilité « pulsée » est largement supérieure à la mobilité « montante » obtenue par la technique Split C-V classique. Sur cette figure, nous constatons même que la mobilité pulsée du dispositif épais est quasiment revenue au niveau de la mobilité extraite sur les transistors plus fins (représentée en rouge sur la figure 3.21). Ce comportement tend à prouver que la dégradation de mobilité supplémentaire dans le cas des oxydes épais est due majoritairement à un effet de piégeage de charges dans le HfO_2 , puisque la technique pulsée permet de s'affranchir de cet effet. Le léger écart qui subsiste entre les deux épaisseurs d'oxyde *high k* pourrait en outre s'expliquer par un effet des phonons mous de l'oxyde de forte permittivité, plus marqué dans le cas d'une épaisseur plus prononcée d'oxyde.

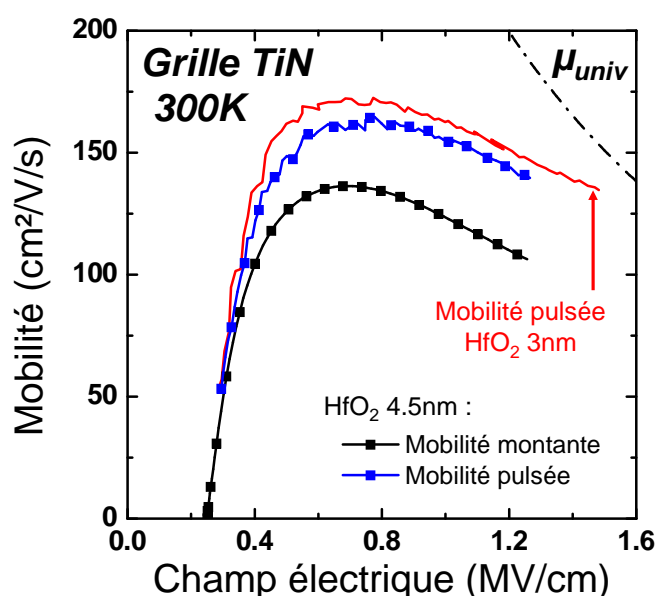


FIG. 3.21 – Comparaison entre la mobilité brute extraite à partir des mesures split C-V standards et la mobilité pulsée extraite à partir de la mesure de courant dynamique, pour la couche de HfO_2 la plus épaisse (4.5nm). Nous constatons que la correction apportée par la mesure pulsée permet de corriger presque totalement la perte de mobilité supplémentaire par rapport aux couches de HfO_2 plus fines (rappel en rouge sur la figure).

3.4.4 Origine physique du piégeage

Afin d'expliquer ces différences électriques, un certain nombre d'études morphologiques et physico-chimiques ont été menées sur les transistors intégrant un oxyde de forte permittivité. Parmi ces différents travaux, une équipe du CEA-Leti et de ST Microelectronics a analysé la structure cristalline des couches de HfO_2 introduites dans les transistors MOS de cette étude

[Besson 06, Cosnier 07]. Pour cela, ils ont utilisé deux techniques de dépôt (MOCVD et ALCVD) pour réaliser des transistors constitués d'une couche de HfO_2 biseautée variant de 1 à 8nm d'épaisseur déposée sur un oxyde piédestal SiO_2 de 0.8nm. Afin de déterminer la structure cristalline de la couche de HfO_2 par un protocole simple, ils ont ensuite tenté de graver cette couche de HfO_2 à l'aide d'une solution concentrée de HF/HCl . L'état de la couche après gravure a enfin été analysé par des mesures AFM.

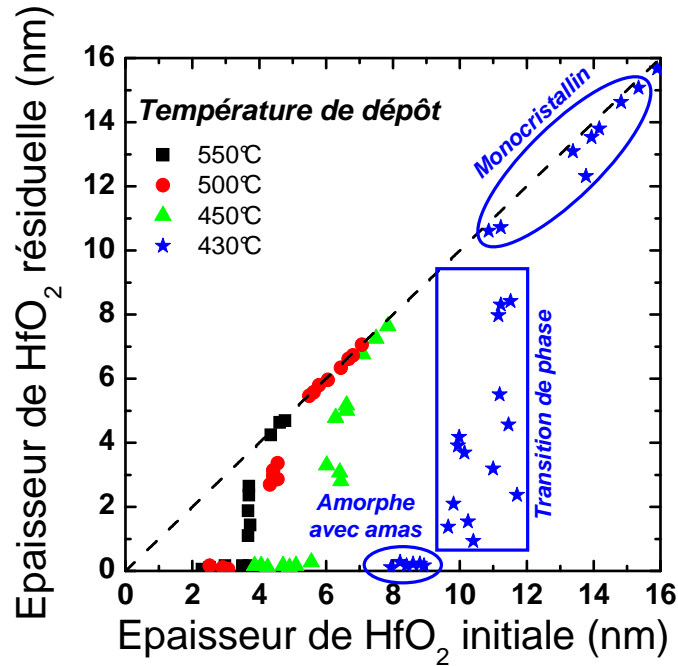


FIG. 3.22 – Évolution de l'épaisseur de HfO_2 résiduel après gravure en fonction de l'épaisseur initiale pour différentes températures de dépôt MOCVD. Sur cette figure, nous pouvons constater que plus la température de dépôt augmente, plus l'épaisseur de transition amorphe cristallin s'abaisse. Ce phénomène est lié à une recristallisation accrue lorsque le budget thermique est plus important (d'après [Besson 06]).

Une partie des résultats obtenus est synthétisée sur la figure 3.22, où nous avons représenté l'épaisseur de HfO_2 résiduel après gravure en fonction de l'épaisseur initiale pour différentes températures de dépôt MOCVD (d'après [Besson 06]). Ces résultats permettent ainsi de démontrer qu'il existe une épaisseur limite de HfO_2 marquant une transition entre deux phases distinctes du HfO_2 :

- Pour de faibles épaisseurs de HfO_2 (inférieures à l'épaisseur critique), la quasi-totalité de la couche a été gravée par le HF : les mesures AFM ne mettent en évidence que la présence de faibles amas résiduels de HfO_2 . Ce fort taux de gravure est caractéristique d'une couche de HfO_2 amorphe.

- Pour des épaisseurs de HfO₂ plus importantes (supérieures à l'épaisseur critique), la couche de HfO₂ n'est presque pas attaquée par le HF. Cette faible sensibilité à la gravure HF est caractéristique d'une couche de HfO₂ cristalline. Des mesures FTIR⁷¹ ont permis de confirmer ce résultat et de préciser que la couche de HfO₂ était monocristalline de type monoclinique.

En outre, la figure 3.22 met en évidence que le budget thermique engagé dans la réalisation des transistors intégrant un oxyde de forte permittivité joue un rôle prépondérant dans l'évolution de l'épaisseur critique de HfO₂. Ainsi, plus ce budget thermique est important, plus la limite amorphe/cristallin s'abaisse. Ce comportement est expliqué par une recristallisation de la couche amorphe d'autant plus aisée que le budget thermique est élevé. Ce phénomène est observé dans le cas du HfO₂ MOCVD sur la figure 3.22. Une conclusion similaire existe pour le HfO₂ ALCVD, puisque la couche *high k* présente une limite amorphe/cristallin élevée (8nm) pour le matériau après déposition. Cette limite est fortement abaissée après un recuit d'activation sous N₂ à 600degC (2.5nm).

Cette étude morphologique des couches de HfO₂ dans les transistors est particulièrement intéressante car elle permet de faire un lien entre les résultats électriques présentés dans les paragraphes 3.4.2 et 3.4.3 et la structure cristalline de l'oxyde de forte permittivité. En effet, nous pouvons constater que la limite physique déterminée ci-dessus est similaire à celle qui existe entre les transistors présentant une forte densité de pièges et ceux n'en ayant presque pas. Ce parallèle nous permet ainsi de déduire que la présence de pièges dans la couche de HfO₂ est intimement liée à la structure cristalline de cette couche. Cette conclusion est parfaitement plausible puisque les couches épaisses étant monocristallines, elles présentent une organisation physico-chimique propice à la présence de pièges (interstices...) contrairement aux couches plus fines amorphes. Ces résultats ont d'ailleurs été démontrés dans diverses études publiées par plusieurs équipes de recherche [Fujii 05, Pant 06a, Pant 06b, Kirsch 06].

3.5 Conclusion du chapitre

Dans ce dernier chapitre, nous nous sommes penchés sur l'impact d'un matériau de forte permittivité sur la mobilité des porteurs, avec pour objectif principal d'isoler le mécanisme prépondérant dans la perte de mobilité dans les transistors *high k*. Il s'agissait en particulier de trancher entre les deux interactions les plus souvent avancées pour expliquer cette perte de mobilité, à savoir les interactions coulombiennes avec des charges parasites dans l'oxyde ou les interactions avec les phonons « mous » du matériau de forte permittivité.

Pour ce faire, nous avons développé et mis en pratique un certains nombres de techniques innovantes d'extraction de la mobilité sur des transistors *high k*. Ces différentes études ont ainsi

⁷¹ *Fourier Transformed InfraRed spectroscopy* ou spectroscopie infrarouge à transformée de Fourier.

permis d'aboutir aux résultats présentés ci-dessus et dont les grandes lignes vont être rappelées ici :

- Le remplacement de l'oxyde de grille SiO_2 traditionnel par un oxyde de forte permittivité HfO_2 entraîne une dégradation de mobilité des porteurs dans le canal de conduction majoritairement due à des interactions coulombiennes entre ces porteurs et des charges parasites situées à l'interface $\text{SiO}_2/\text{HfO}_2$ ou dans le proche HfO_2 .
- Les différents travaux menés ont en outre montré que l'impact des phonons mous du HfO_2 sur la mobilité n'était que secondaire dans le cas de nos dispositifs.
- Enfin, des études physico-chimiques complémentaires ont permis de faire le lien entre la structure cristalline du HfO_2 et les dégradation de mobilité observées sur les transistors MOS épais. Ces dégradations étant dues à des charges piégées dans les couches monocristallines de HfO_2 .

Signalons pour finir que de plus en plus d'études convergent vers les résultats démontrés au cours de cette thèse. Ainsi, Tatsumura *et al.* ont montré que les interactions coulombiennes étaient bien le mécanisme dominant dans la limitation de mobilité pour des transistors intégrant un oxyde de forte permittivité [Tatsumura 07]. Dans le même temps, une étude théorique menée par Shah *et al.* [Shah 07] sur les phonons optiques dans un transistor NMOS à grille métallique TiN et oxyde de forte permittivité a prouvé que les interactions avec ces phonons n'était pas un mécanisme significatif de dégradation de la mobilité. Une seule étude, menée par IBM [Maitra 07] semble modérer ces résultats. Ces derniers ont démontré que pour des dispositifs bien optimisés en terme de charges parasites dans l'oxyde (faibles interactions coulombiennes), la mobilité était limitée par des interactions avec les phonons mous. Ce résultat ne fait en réalité que confirmer nos observations et souligne que les phonons optiques ne constitueront une limite que pour des dispositifs ultimes pour lesquels les interactions coulombiennes auront été maîtrisées.

Conclusion générale et perspectives

DEPUIS le milieu des années 70, la réduction des dimensions du transistor MOS constitue l'un des piliers de l'industrie microélectronique car elle présente le double avantage de pouvoir augmenter la densité de transistors par puces tout en améliorant du même coup ses performances intrinsèques. Depuis le début des années 2000, cette course à la miniaturisation semble pourtant s'essouffler et des limites difficiles à repousser sont entrevues. Dans ce contexte particulier, de nouvelles solutions sont à l'étude pour permettre d'optimiser les futures générations de composants. Parmi ces multiples axes de recherche, le remplacement de l'oxyde de grille SiO_2 conventionnel par des matériaux de plus forte permittivité (dont, en outre, l'oxyde d'hafnium HfO_2) est l'une des solutions envisagées. Cependant, ces modifications de matériaux et de structures des dispositifs ne sont pas sans engendrer un certain nombre de bouleversements quant aux propriétés physiques et électriques. Le cœur de ce travail de thèse a ainsi consisté en l'étude de l'impact de ces nouveaux matériaux sur la mobilité des électrons dans le canal d'inversion d'un transistor MOS.

Dans la première partie de ce manuscrit, nous nous sommes tout d'abord attachés à positionner au mieux notre travail dans le contexte complexe et en constante évolution de la microélectronique et à décrire avec le plus de précision possible les outils théoriques nécessaires à notre étude et les connaissances dans ce domaine de recherche.

Le premier chapitre a ainsi permis de retracer l'historique du transistor MOS et de comprendre les différentes problématiques qui ont abouti à l'émergence de nouveaux dispositifs intégrant un oxyde de grille de forte permittivité et un matériau de grille métallique. Ce chapitre a également mis en avant les nouvelles contraintes pour faire de ces dispositifs des systèmes industrialisables. Parmi ces challenges à relever, la perte de mobilité des porteurs du canal de conduction en est un de tout premier ordre.

Dans un second chapitre, nous avons abordé les points théoriques nécessaires à une bonne compréhension de l'étude de la mobilité des porteurs dans des transistors *high k*. Nous avons en particulier revu le fonctionnement électrique d'une structure MOS dans ses différents régimes de fonctionnement et les grandeurs permettant de caractériser le transistor MOS en régime de conduction : courant de drain et mobilité des porteurs. Ce chapitre nous a également permis de réaliser une étude bibliographique exhaustive sur les différents mécanismes limitant la mobilité dans les transistors MOS de situer notre travail par rapport à l'état de l'art dans ce domaine. Par cette étude, nous avons ainsi déterminé les dépendances en température et en champ effectif de ces différents mécanismes, connaissances indispensables pour élaborer une analyse fiable.

La seconde partie de ce manuscrit a été consacrée à la présentation des résultats obtenus au cours de notre travail de recherche.

Dans le chapitre 3, nous avons tout d'abord présenté les différentes techniques expérimentales utilisées dans ce manuscrit pour extraire la mobilité des porteurs dans le canal de conduction

du transistor MOS. Il ressort de ce chapitre que, outre les techniques traditionnelles de caractérisation électrique (et plus précisément la technique dite « Split C-V »), la réduction des dimensions des dispositifs à tester et la complexification des mécanismes mis en jeu par l'emploi de nouveaux matériaux nous ont contraint à développer un certain nombre de techniques expérimentales innovantes. Deux d'entre elles ont ainsi permis d'obtenir des résultats particulièrement concluants :

- La technique Split C-V pulsée qui permet, par des mesures ultra-rapides du courant de drain, d'extraire la mobilité des porteurs du canal en s'affranchissant du piégeage dans l'oxyde de forte permittivité.
- La technique de la « magnéto-résistance » qui permet, par des mesures de courant de drain sous champ magnétique intense, d'extraire la mobilité des porteurs en faible inversion et sur des transistors déca-nanométriques avec une excellente fiabilité par rapport à la technique Split C-V.

Il y a fort à parier que ces méthodes de caractérisation de plus en plus « évoluées » vont être amenées à se démocratiser avec l'avènement de systèmes microélectroniques toujours plus complexes. Les techniques proposées ici constituent donc d'excellents « axes de développement » pour la caractérisation microélectronique à l'échelle industrielle.

Le chapitre 4 constitue le premier chapitre de résultats à proprement parler. Dans ce chapitre, nous nous sommes intéressés à l'impact d'une grille métallique sur la mobilité des porteurs. Cette étude est fondamentale car l'utilisation d'un matériau de forte permittivité est, pour des raisons technologiques, indissociable du remplacement de la grille en polysilicium par une grille métallique. Nous avons ainsi pu démontrer, par des analyses sur des dispositifs TiN/SiO₂/Si, qu'une grille métallique TiN avait pour effet de modifier la rugosité de l'interface SiO₂/Si et d'augmenter la densité de charges parasites dans l'oxyde de grille. Ces modifications dépendent fortement du procédé de fabrication de la grille (plusieurs techniques de dépôts ont ainsi été testées) et entraînent un changement de mobilité à fort et faible champ effectif. Des analyses complémentaires ont permis de relier ces modifications à l'utilisation de matériaux nitrurés et plus précisément à une migration de l'azote vers l'interface SiO₂/Si.

L'impact de la seule grille métallique ayant été démontré, le cinquième et dernier chapitre s'est intéressé à l'effet d'un matériau de forte permittivité, le HfO₂ en l'occurrence, sur la réduction de mobilité des porteurs du canal. L'objectif particulier de ce chapitre était de trancher entre les deux interactions les plus souvent avancées pour expliquer cette perte de mobilité, à savoir les interactions coulombiennes avec des charges parasites dans l'oxyde ou les interactions avec les phonons « mous » du matériau de forte permittivité. Nous avons pu démontrer que dans le cas de nos dispositifs, le mécanisme prépondérant de dégradation est dû à des interactions coulombiennes entre les porteurs et des charges parasites situées à l'interface SiO₂/HfO₂ ou dans le proche HfO₂. Concernant les interactions avec les phonons « mous » du HfO₂, nous avons pu

mettre en évidence que leur impact sur la mobilité n'était que secondaire. Ces résultats tendent à prouver que la dégradation de mobilité dans les transistors *high k* actuels n'est pas intrinsèque au matériau de forte permittivité (et de ce fait inéluctable), mais conditionnée par la nature et la qualité des oxydes utilisés : une amélioration des procédés technologiques de fabrication permet donc d'espérer un gain de performance pour de tels dispositifs. Dans cette optique, les interactions avec les phonons optiques ne constitueront une limite que pour des dispositifs ultimes pour lesquels les interactions coulombiennes auront été maîtrisées.

Au terme de ce manuscrit, les résultats obtenus ouvrent un certain nombre d'axes de recherche pour la suite. En premier lieu, une étude plus exhaustive sur des lots plus diversifiés de transistors (différents oxydes, différents matériaux de grille, différents procédés de dépôt...) à partir des méthodes développées dans cette thèse permettrait de déterminer des lignes directrices pour fiabiliser et rendre plus performants les procédés industriels de fabrication. Une telle étude pourrait par exemple être menée sous la forme de « plans d'expérience » en collaboration avec les industriels grenoblois.

Un second axe de travail intéressant consisterait à mener une étude similaire sur des transistors à canal de trous (PMOS) afin de déterminer si ce type de porteur est impacté par les mêmes phénomènes. La compréhension des interactions limitant la mobilité pour les deux types de porteurs est en effet fondamentale dans une approche CMOS. L'absence d'un lot d'étude convenable ne nous a pas permis de mener une étude complète sur ce sujet.

Enfin, la transposition de ces travaux à des transistors courts ou ultra-courts est, à notre sens, l'axe de travail le plus prometteur et le plus légitime aux vues de la tendance naturelle qu'a la microélectronique à réduire sans cesse les dimensions du transistor. Cependant, l'application des méthodes de caractérisation et des modèles développés dans cette thèse sur des transistors nanométriques n'est pas aisée car sa mise en œuvre ne se limite pas à une simple duplication. En effet, la miniaturisation induit de nouveaux effets parasites dont il faudra tenir compte pour affiner les modèles et corriger les techniques expérimentales décrites dans ce manuscrit. C'est à ce prix que les mécanismes limitant la mobilité dans les transistors nanométriques se révéleront.

Annexe A

Calcul du décalage de la tension de bandes plates en présence d'une charge fixe

A.1 Cas d'un oxyde monocouche	177
A.2 Cas d'un oxyde bicouche	179

L'introduction de charges fixes dans l'oxyde d'une structure MOS induit un écart des caractéristiques électriques réelles de cette structure par rapport à celles de la structure idéale. Cet écart se traduit par un décalage de la tension de bandes plates V_{fb} de cette structure par rapport à la tension de bandes plates de la structure idéale. Pour évaluer ce décalage, il faut recalculer la chute de potentiel V_{ox} dans l'oxyde, modifiée par la densité volumique de charge dans le diélectrique et la densité surfacique de charge aux différentes interfaces. Pour effectuer ce calcul, nous allons considérer deux cas particuliers. Dans un premier temps, nous allons étudier le cas d'un oxyde monocouche, qui est le cas classique d'une structure MOS avec SiO_2 . Dans un second temps, nous verrons comment ce calcul est modifié lorsque nous remplaçons l'oxyde monocouche par une bicouche $\text{SiO}_x/\text{HfO}_2$, puisque les dispositifs modernes intègrent ce type d'empilement de grille.

A.1 Cas d'un oxyde monocouche

Dans le cas d'un oxyde monocouche, la chute de potentiel dans l'oxyde V_{ox} est modifiée par la densité volumique de charge $\rho_{ox}(x)$ et Q_{surf} la densité surfacique de charge à l'interface Si/ SiO_2 . Une représentation schématique de ce cas est proposée sur la figure A.1.

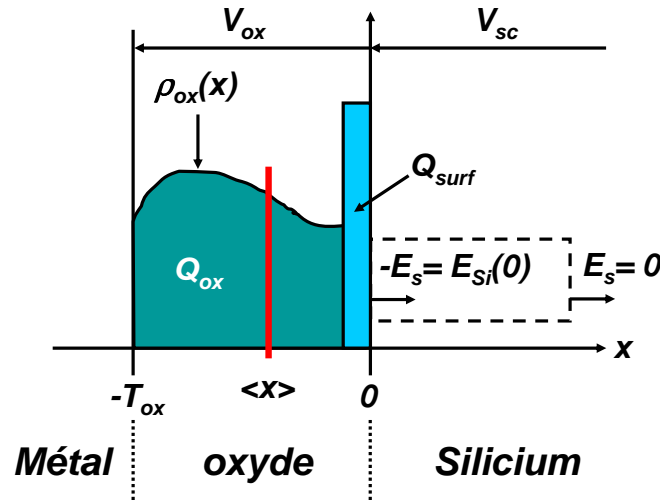


FIG. A.1 – Représentation schématique du profil de charge ρ_{ox} dans l'oxyde et de la charge fixe surfacique Q_{surf} .

Pour exprimer cette chute de potentiel V_{ox} dans l'oxyde, il faut résoudre l'équation de Poisson (2.6) dans le diélectrique. Pour cela, nous intégrons deux fois cette équation, ce qui donne :

$$V_{ox} = \frac{-1}{\epsilon_{ox}} \int_0^{-T_{ox}} \left[\int_0^x \rho_{ox}(u) du \right] dx + T_{ox} \cdot E_{ox}(0) \quad (\text{A.1})$$

où ϵ_{ox} est la permittivité diélectrique de l'oxyde, T_{ox} l'épaisseur d'oxyde et $E_{ox}(0)$ le champ électrique dans l'oxyde à l'interface Si/SiO₂.

La valeur de $E_{ox}(0)$ s'obtient alors en deux temps. Dans un premier temps, le champ électrique $E_{ox}(0)$ dans l'oxyde à l'interface Si/SiO₂ est lié au champ électrique $E_{Si}(0)$ dans le semiconducteur à l'interface Si/SiO₂ par la relation de passage à travers un plan chargé suivante :

$$\epsilon_{Si} \cdot E_{Si}(0) - \epsilon_{ox} \cdot E_{ox}(0) = Q_{surf} \quad (\text{A.2})$$

Dans un second temps, le champ électrique $E_{Si}(0)$ dans le semiconducteur à l'interface Si/SiO₂ est obtenu en appliquant le théorème de Gauss⁷² sur le contour en pointillé de la figure A.1. Ainsi :

$$E_{Si}(0) = \frac{-Q_{sc}}{\epsilon_{Si}} \quad (\text{A.3})$$

où Q_{sc} est la charge développée dans le semiconducteur et ϵ_{Si} la permittivité diélectrique du silicium.

En combinant les deux équations (A.2) et (A.3), le champ électrique $E_{ox}(0)$ dans l'oxyde à l'interface Si/SiO₂ se définit par :

$$E_{ox}(0) = - \frac{Q_{sc} + Q_{surf}}{\epsilon_{ox}} \quad (\text{A.4})$$

A ce stade du calcul, il est judicieux d'introduire la charge volumique totale dans l'oxyde Q_{ox} et le centroïde (ou barycentre) des charges $\langle x \rangle$ ⁷³ dont les définitions sont données par :

$$Q_{ox} = \int_{-T_{ox}}^0 \rho_{ox}(x) dx \quad (\text{A.5a})$$

$$\langle x \rangle = \frac{-1}{Q_{ox}} \int_0^{-T_{ox}} x \rho_{ox}(x) dx \quad (\text{A.5b})$$

En combinant les équations (A.1), (A.4) et (A.5) et en intégrant par parties l'expression ainsi obtenue, l'expression de V_{ox} devient finalement :

$$V_{ox} = \frac{-1}{C_{ox}} \left[Q_{sc} + Q_{surf} + Q_{ox} \left(1 + \frac{\langle x \rangle}{T_{ox}} \right) \right] \quad (\text{A.6})$$

En présence de charges fixes dans l'oxyde, l'équation (2.2) qui relie V_g à V_{ox} se réécrit :

$$V_g = V_{sc} + \Delta\Phi_{ms} - \frac{1}{C_{ox}} \left[Q_{sc} + Q_{surf} + Q_{ox} \left(1 + \frac{\langle x \rangle}{T_{ox}} \right) \right] \quad (\text{A.7})$$

⁷²Pour rappel, le théorème de Gauss stipule que le flux du champ électrique à travers une surface S fermée est égal à la somme des charges contenues dans le volume délimité par cette surface divisée par ϵ , permittivité diélectrique du milieu considéré. Dans le cas d'un problème à une dimension comme c'est le cas ici, la surface se réduit à un contour et le théorème prends la forme mathématique $\oint_C \vec{E} \cdot d\vec{l} = \frac{Q_{int}}{\epsilon}$.

⁷³Le centroïde des charges correspond à la distance à laquelle devrait être rassemblée la totalité de la charge Q_{ox} pour produire le même effet que la répartition réelle $\rho_{ox}(x)$.

La condition de bandes plates est toujours obtenue pour une polarisation nulle dans le semiconducteur, soit $V_{sc} = 0$. Cette absence de courbure implique également $Q_{sc} = 0$. La relation (A.7) permet alors d'obtenir la tension de bandes plates en présence de charges fixes dans l'oxyde :

$$V_g(V_{sc} = 0) = V_{fb} = \Delta\Phi_{ms} - \frac{1}{C_{ox}} \left[Q_{surf} + Q_{ox} \left(1 + \frac{\langle x \rangle}{T_{ox}} \right) \right] \quad (\text{A.8})$$

Par convention, nous écrirons la tension de bandes plates en présence de charges dans l'oxyde comme suit :

$$V_{fb} = V_{fb}^0 - \frac{Q_{eq}}{C_{ox}} \quad (\text{A.9})$$

où $Q_{eq} = Q_{surf} + Q_{ox} \left(1 + \frac{\langle x \rangle}{T_{ox}} \right)$ est la charge équivalente vue de l'interface Si/SiO₂ et $V_{fb}^0 = \Delta\Phi_{ms}$ la tension de bandes plates d'une structure idéale (sans charges).

De cette expression, nous pouvons formuler deux conclusions :

- La présence d'une charge fixe dans l'oxyde n'induit qu'un décalage de la tension de bandes plates par rapport à la valeur obtenue dans le cas d'une structure MOS idéale (où, rappelons le, $V_{fb} = \Delta\Phi_{ms}$). Ce décalage est négatif (resp. positif) si les charges dans l'oxyde sont positives (resp. négatives).
- Le résultat bien connu selon lequel une charge parasite située à l'interface métal/oxyde ($\langle x \rangle = -T_{ox}$) n'induit aucun décalage de la tension de bandes plates par rapport à la valeur théorique tandis qu'une charge située à l'interface oxyde/silicium ($\langle x \rangle = 0$) entraîne un décalage maximum du V_{fb} est ici redémontré.

A.2 Cas d'un oxyde bicouche

Dans le cas d'un oxyde bicouche (typiquement les empilements SiO_x/HfO₂ étudiés au cours de cette thèse), la chute de potentiel dans l'oxyde V_{ox} se répartie entre l'oxyde de forte permittivité et l'oxyde interfacial. V_{ox} est donc modifiée par la densité volumique de charge dans le matériau de forte permittivité $\rho_{hk}(x)$ et dans l'oxyde interfacial $\rho_{int}(x)$ ainsi que par la densité surfacique de charge à l'interface Si/SiO_x, notée $Q_{int/Si}$ et à l'interface SiO_x/HfO₂, notée $Q_{hk/int}$. Une représentation schématique de ce cas est proposée sur la figure A.2.

Pour exprimer cette chute de potentiel V_{ox} dans l'oxyde, il faut résoudre une première fois l'équation de Poisson (2.6) dans l'oxyde interfacial puis une seconde fois dans le matériau de forte permittivité. Ainsi, en intégrant deux fois cette équation pour $-T_{int} \leq x \leq 0$, nous obtenons pour la chute de potentiel V_{int} dans l'oxyde interfacial :

$$V_{int} = \frac{-1}{\epsilon_{int}} \int_0^{-T_{int}} \left[\int_0^x \rho_{int}(u) du \right] dx + T_{int} \cdot E_{int}(0) \quad (\text{A.10})$$

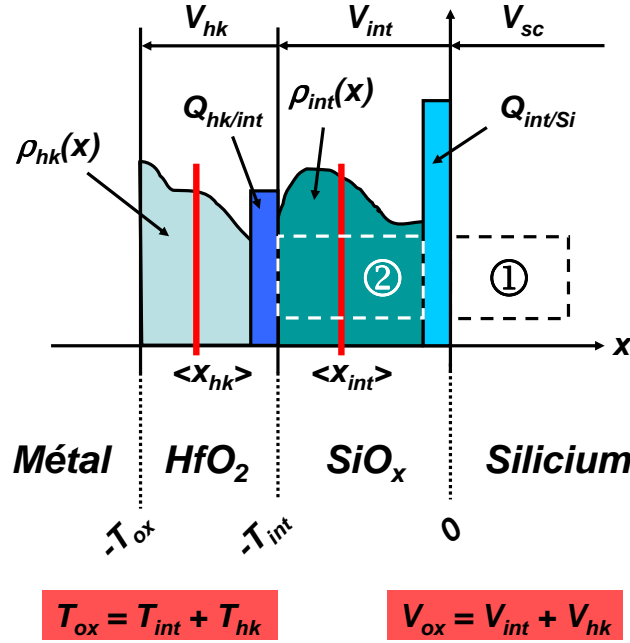


FIG. A.2 – Représentation schématique de la répartition des charges dans un empilement bicouche. Ces charges se situent dans le volume de l'oxyde de forte permittivité ($\rho_{hk}(x)$), dans l'oxyde interfacial ($\rho_{int}(x)$) ainsi qu'aux différentes interfaces ($Q_{hk/int}$ et $Q_{int/Si}$).

En procédant de la même manière pour $-T_{ox} \leq x \leq -T_{int}$, nous obtenons une chute de potentiel dans l'oxyde de forte permittivité V_{hk} donnée par :

$$V_{hk} = \frac{-1}{\epsilon_{hk}} \int_{-T_{int}}^{-T_{ox}} \left[\int_{-T_{int}}^x \rho_{hk}(u) du \right] dx + T_{hk} \cdot E_{hk}(-T_{int}) \quad (\text{A.11})$$

Comme pour le cas d'un oxyde monocouche, les équations précédentes peuvent se simplifier en introduisant la charge volumique totale et le centroïde des charges pour les deux couches d'oxyde, soient :

$$Q_{int} = \int_{-T_{int}}^0 \rho_{int}(x) dx \quad \langle x_{int} \rangle = \frac{-1}{Q_{int}} \int_0^{-T_{int}} x \rho_{int}(x) dx \quad (\text{A.12a})$$

$$Q_{hk} = \int_{-T_{ox}}^{-T_{int}} \rho_{hk}(x) dx \quad \langle x_{hk} \rangle = \frac{-1}{Q_{hk}} \int_{-T_{int}}^{-T_{ox}} x \rho_{hk}(x) dx \quad (\text{A.12b})$$

Ainsi, en combinant l'équation (A.10) avec les expressions (A.12a) puis l'équation (A.11) avec les expressions (A.12b), les chutes de potentiel dans l'oxyde interfacial et le matériau *high k* se réécrivent :

$$V_{int} = -\frac{T_{int}}{\epsilon_{int}} Q_{int} - \frac{\langle x_{int} \rangle}{\epsilon_{int}} Q_{int} + E_{int}(0) \cdot T_{int} \quad (\text{A.13a})$$

$$V_{hk} = -\frac{T_{ox}}{\epsilon_{hk}} Q_{hk} - \frac{\langle x_{hk} \rangle}{\epsilon_{hk}} Q_{hk} + E_{hk}(-T_{int}) \cdot T_{hk} \quad (\text{A.13b})$$

A ce stade du calcul, il nous reste à expliciter les champs électriques aux deux interfaces, à savoir $E_{int}(0)$ et $E_{hk}(-T_{int})$. Ces grandeurs s'obtiennent en appliquant le théorème de Gauss sur les deux contours pointillés notés ① et ② ainsi que les relations de passage à travers les deux interfaces chargées. D'où le résultat suivant :

$$E_{int}(0) = - \frac{Q_{sc} + Q_{int/Si}}{\epsilon_{int}} \quad (\text{A.14a})$$

$$E_{hk}(-T_{int}) = - \frac{Q_{sc} + Q_{int/Si} + Q_{int} + Q_{hk/int}}{\epsilon_{int}} \quad (\text{A.14b})$$

De tout ceci, il en vient que la chute de potentiel totale dans un empilement bicouche vaut :

$$\begin{aligned} V_{ox} &= V_{int} + V_{hk} \\ &= - \frac{T_{int} Q_{int}}{\epsilon_{int}} \left(1 + \frac{\langle x_{int} \rangle}{T_{int}} \right) - \frac{T_{hk} Q_{hk}}{\epsilon_{hk}} \left(1 + \frac{\langle x_{hk} \rangle}{T_{hk}} \right) - \frac{T_{hk}}{\epsilon_{hk}} \left(Q_{int} + \frac{T_{int}}{T_{hk}} Q_{hk} \right) \\ &\quad - Q_{sc} \left(\frac{T_{int}}{\epsilon_{int}} + \frac{T_{hk}}{\epsilon_{hk}} \right) - Q_{int/Si} \left(\frac{T_{int}}{\epsilon_{int}} + \frac{T_{hk}}{\epsilon_{hk}} \right) - \frac{T_{hk} Q_{hk/int}}{\epsilon_{hk}} \end{aligned} \quad (\text{A.15})$$

En utilisant les notions d' EOT et de C_{ox} développées au paragraphe 2.1.6 (équations (1.2) et (2.45)) et rappelées ci-dessous :

$$EOT = \epsilon_{ox} \left(\frac{T_{int}}{\epsilon_{int}} + \frac{T_{hk}}{\epsilon_{hk}} \right) \quad C_{ox} = \frac{\epsilon_{ox}}{EOT} \quad (\text{A.16})$$

nous pouvons encore simplifier l'expression de V_{ox} :

$$\begin{aligned} V_{ox} &= - \frac{Q_{int}}{C_{int}} \left(1 + \frac{\langle x_{int} \rangle}{T_{int}} \right) - \frac{Q_{hk}}{C_{hk}} \left(1 + \frac{\langle x_{hk} \rangle}{T_{hk}} \right) - \frac{1}{C_{hk}} \left(Q_{int} + \frac{T_{int}}{T_{hk}} Q_{hk} \right) \\ &\quad - \frac{Q_{sc}}{C_{ox}} - \frac{Q_{int/Si}}{C_{ox}} - \frac{Q_{hk/int}}{C_{hk}} \end{aligned} \quad (\text{A.17})$$

où $C_{int} = \frac{\epsilon_{int}}{T_{int}}$ et $C_{hk} = \frac{\epsilon_{hk}}{T_{hk}}$ sont respectivement la capacité liée à l'oxyde interfacial et à l'oxyde de forte permittivité.

Enfin, la tension de bandes plates d'une telle structure est calculée comme dans le paragraphe A.1, en injectant l'expression (A.17) de V_{ox} dans l'équation (2.2) et en considérant que V_{fb} est la polarisation de grille à appliquer pour que $V_{sc} = 0$. Soit :

$$\begin{aligned} V_{fb} &= \Delta \Phi_{ms} - \frac{Q_{int}}{C_{int}} \left(1 + \frac{\langle x_{int} \rangle}{T_{int}} \right) - \frac{Q_{hk}}{C_{hk}} \left(1 + \frac{\langle x_{hk} \rangle}{T_{hk}} \right) - \frac{1}{C_{hk}} \left(Q_{int} + \frac{T_{int}}{T_{hk}} Q_{hk} \right) \\ &\quad - \frac{Q_{int/Si}}{C_{ox}} - \frac{Q_{hk/int}}{C_{hk}} \end{aligned} \quad (\text{A.18})$$

En utilisant les mêmes conventions que dans le paragraphe précédent, nous pouvons à nouveau écrire que :

$$V_{fb} = V_{fb}^0 - \frac{Q_{eq}}{C_{ox}} \quad (\text{A.19})$$

où la charge équivalente Q_{eq} vue de l'interface Si/SiO₂ possède ici une expression plus complexe :

$$\begin{aligned}
 Q_{eq} = & Q_{int} \frac{C_{ox}}{C_{int}} \left(1 + \frac{\langle x_{int} \rangle}{T_{int}} \right) + Q_{hk} \frac{C_{ox}}{C_{hk}} \left(1 + \frac{\langle x_{hk} \rangle}{T_{hk}} \right) + \frac{C_{ox}}{C_{hk}} \left(Q_{int} + \frac{T_{int}}{T_{hk}} Q_{hk} \right) \\
 & + Q_{hk/int} \frac{C_{ox}}{C_{hk}} + Q_{int/Si}
 \end{aligned} \tag{A.20}$$

Bien que les calculs réalisés et les expressions obtenues dans le cas d'un empilement bicouche soient plus lourds, les conclusions qui s'imposent quant à l'impact d'une charge fixe dans l'oxyde sur la tension de bandes plates sont strictement les mêmes que dans le cas d'un oxyde monocouche : une charge fixe n'induit qu'un décalage de la tension de bandes plates par rapport à la valeur théorique et ce décalage est maximal lorsque la charge se situe à l'interface silicium/oxyde interfacial.

Annexe B

Calcul de la mobilité

B.1	Introduction à la théorie du transport	185
B.2	Bases théoriques du calcul	186
B.2.1	Temps d'interaction et matrice d'interaction	186
B.2.2	Mobilité	189
B.3	Mobilité limitée par les interactions coulombiennes	191
B.3.1	Introduction	191
B.3.2	Théorie du calcul	192
B.4	Mobilité limitée par la rugosité des interfaces	196
B.4.1	Introduction	197
B.4.2	Théorie du calcul	197

L'objectif de cette annexe est de revenir sur le détail des calculs permettant d'obtenir les expressions de mobilité présentées dans les chapitres de résultats précédents. Les calculs que nous allons proposer ici s'appuient sur les deux livres de références *Fundamentals of carrier transport* de M. Lundstrom [Lundstrom 00] et *Semiconductor transport* de D.K. Ferry [Ferry 00] ainsi que sur la publication de Ando *et al.* [Ando 82]. Les lecteurs désireux d'en savoir plus sont donc invités à s'y reporter.

B.1 Introduction à la théorie du transport

Les propriétés de transport électronique dans les solides dépendent de la capacité des porteurs à se déplacer et à leurs taux de collisions. Ainsi, les interactions de ces porteurs ramènent à l'équilibre un système électronique ayant été sujet à des perturbations extérieures. Or, ces collisions peuvent se produire sous des mécanismes divers et variés, comme des interactions électron-électron, des interactions électron-phonon, des interactions avec des impuretés ou encore avec des défauts du cristal...

En principe, le taux de collision peut être calculé à partir de la théorie des interactions. Pour ce faire, nous allons introduire dès à présent la probabilité de transition d'un état \mathbf{k} vers un état \mathbf{k}' , que nous noterons $S_{\mathbf{k} \rightarrow \mathbf{k}'}$. Signalons que les électrons obéissant à la règle d'exclusion de Pauli, une interaction ne peut induire qu'une transition d'un état occupé vers un état libre. Nous pouvons définir différents types de collision :

- les collisions dites *élastiques*, pour lesquelles le porteur conserve intégralement son énergie, soit $E(k') = E(k)$. Dans ce cas, nous pouvons également écrire que $f_0(E') = f_0(E)$, de sorte que $S_{\mathbf{k} \rightarrow \mathbf{k}'} = S_{\mathbf{k}' \rightarrow \mathbf{k}}$.
- les collisions dites *inélastiques* qui, par opposition aux collisions élastiques, regroupent l'ensemble des interactions telles que $E(k') \neq E(k)$.

Le retour à une situation d'équilibre dépend de la fréquence des collisions et de la capacité qu'ont ces collisions à rendre aléatoire le mouvement des électrons. En d'autres termes, des mécanismes d'interactions ayant un faible angle de collision ⁷⁴ n'ont pas la même efficacité à ramener un système à l'équilibre qu'un mécanisme à fort angle de collision. C'est pour cette raison qu'il est indispensable de faire la différence entre le temps τ_m nécessaire pour ramener un système à l'équilibre thermodynamique et le temps τ_c entre deux collisions successives. Il existe cependant une relation liant ces deux grandeurs, à savoir :

$$\tau_m = \frac{\tau_c}{1 - \cos \theta} \Leftrightarrow \frac{1}{\tau_m} = \frac{1}{\tau_c} (1 - \cos \theta) \quad (\text{B.1})$$

où θ est l'angle de collision moyen.

⁷⁴défini comme l'angle entre la direction incidente et la direction émergente.

Ainsi, le temps τ_m est la quantité qui intervient dans la célèbre équation de Boltzmann tandis que $1/\tau_c$ est la grandeur qui détermine le taux d'interaction. τ_c est plus communément désigné sous le terme de temps de libre parcours moyen. Il est relié à plusieurs grandeurs dignes d'intérêt, que sont le libre parcours moyen λ_f , la section efficace d'interaction σ_d et la densité de centres perturbateurs N_c , selon :

$$\tau_c = \frac{1}{N_c \sigma_d v_d} \quad (\text{B.2})$$

où v_d est la vitesse de dérive des porteurs donnée par :

$$v_d = \frac{\lambda_f}{\tau_c} = \frac{1}{N_c \sigma_d \tau_c} \quad (\text{B.3})$$

Le calcul de la mobilité pour un gaz bidimensionnel de porteurs passant par la détermination de ces temps pour différentes interactions, nous allons, dans le prochain paragraphe, étudier un schéma de calcul valable pour l'ensemble des interactions.

B.2 Bases théoriques du calcul

B.2.1 Temps d'interaction et matrice d'interaction

- *Calcul*

Le calcul du temps d'interaction s'obtient en commençant par écrire l'équation de Schrodinger à une dimension, soit :

$$[H_0 + V_s(z, t)] \psi(z, t) = i\hbar \frac{\partial \psi(z, t)}{\partial t} \quad (\text{B.4})$$

où H_0 est l'Hamiltonien du système en l'absence de perturbations et $V_s(z, t)$ le potentiel dû à la perturbation. Par conséquent, l'Hamiltonien s'exprime comme suit :

$$H_0 \psi_k^0(z, t) = E(k) \psi_k^0(z, t) \quad (\text{B.5})$$

Les fonctions $\psi_k^0(z, t) = \psi_k(z) e^{-iE(k)t/\hbar}$ constituent une base complète de l'espace des solutions de l'équation (B.4), de sorte que chaque solution peut s'écrire :

$$\psi(z, t) = \sum_k C_k(t) \psi_k^0(z, t) = \sum_k C_k(t) \psi_k(z) e^{-iE(k)t/\hbar} \quad (\text{B.6})$$

Note – $C_{k_0}(t=0) = 1$ et $C_k(t=0) = 0$ pour $k \neq k_0$.

La probabilité d'obtenir un porteur de vecteur d'onde k'_0 après une collision est alors :

$$P(k = k'_0) = \lim_{t \rightarrow \infty} |C_{k'_0}(t)|^2 \quad (\text{B.7})$$

de sorte que le taux de transition de k_0 vers k'_0 (taux de collision) vaut :

$$S_{k_0 \rightarrow k'_0} = \lim_{t \rightarrow \infty} \frac{|C_{k'_0}(t)|^2}{t} \quad (\text{B.8})$$

En remplaçant ψ dans l'équation (B.4) par son expression (B.6), nous obtenons :

$$V_s(z, t) \sum_k C_k(t) \psi_k(z) e^{-iE(k)t/\hbar} = i\hbar \sum_k \frac{\partial C_k(t)}{\partial t} C_k(t) \psi_k(z) e^{-iE(k)t/\hbar} \quad (\text{B.9})$$

En multipliant membre à membre par $\psi_{k'_0}^*(z) e^{iE(k'_0)t/\hbar}$ et en intégrant sur z entre $-L/2$ et $+L/2$ (longueur du système), il en vient :

$$\begin{aligned} \int_{-L/2}^{+L/2} \sum_k C_k(t) \psi_{k'_0}^*(z) V_s(z, t) \psi_k(z) e^{i[E(k'_0)-E(k)]t/\hbar} dz \\ = i\hbar \int_{-L/2}^{+L/2} \sum_k \frac{\partial C_k(t)}{\partial t} C_k(t) \psi_{k'_0}^*(z) \psi_k(z) e^{i[E(k'_0)-E(k)]t/\hbar} dz \end{aligned} \quad (\text{B.10})$$

La base utilisée étant orthonormale, nous avons :

$$\int_{-L/2}^{+L/2} \psi_{k'_0}^*(z) \psi_k(z) dz = \delta_{k'_0, k} \quad (\text{B.11})$$

de sorte que :

$$\sum_k \int_{-L/2}^{+L/2} \psi_{k'_0}^*(z) V_s(z, t) \psi_k(z) dz \times C_k(t) e^{i[E(k'_0)-E(k)]t/\hbar} = i\hbar \sum_k \frac{\partial C_k(t)}{\partial t} C_k(t) \delta_{k'_0, k} e^{i[E(k'_0)-E(k)]t/\hbar} \quad (\text{B.12})$$

$$= i\hbar \frac{\partial C_{k'_0}(t)}{\partial t} \quad (\text{B.13})$$

Définissons ensuite les éléments de la matrice de potentiel d'interaction comme suit :

$$H_{k'_0, k}(t) = \int_{-L/2}^{+L/2} \psi_{k'_0}^*(z) V_s(z, t) \psi_k(z) dz \quad (\text{B.14})$$

Nous obtenons :

$$\sum_k H_{k'_0, k}(t) C_k(t) e^{i[E(k'_0)-E(k)]t/\hbar} = i\hbar \frac{\partial C_{k'_0}(t)}{\partial t} \quad (\text{B.15})$$

En considérant des interactions faibles, nous pouvons faire l'approximation de Born, c'est à dire :

$$\begin{aligned} C_{k_0} &\simeq 1 \quad \forall t \\ C_k(t) &\ll 1 \end{aligned}$$

Le résultat est alors le suivant :

$$H_{k'_0, k_0}(t) e^{i[E(k'_0) - E(k_0)]t/\hbar} = i\hbar \frac{\partial C_{k'_0}(t)}{\partial t} \quad (\text{B.16})$$

Soit, en intégrant :

$$C_{k'_0}(t) = \frac{1}{i\hbar} \int_0^t H_{k'_0, k_0}(t) e^{i[E(k'_0) - E(k_0)]t/\hbar} dt + C_{k'_0}(t=0) \quad (\text{B.17})$$

Récrivons ensuite les éléments de matrice pour une absorption (a et -) et pour une émission (e et +) respectivement :

$$H_{k'_0, k_0}(t) = H_{k'_0, k_0}(t)^{a,e} e^{\mp i\omega t}$$

L'expression (B.17) devient :

$$C_{k'_0}(t) = \frac{1}{i\hbar} H_{k'_0, k_0}(t)^{a,e} \frac{e^{i[E(k'_0) - E(k_0) \mp \hbar\omega]t/\hbar} - 1}{i[E(k'_0) - E(k_0) \mp \hbar\omega]/\hbar} \quad (\text{B.18})$$

avec

$$\Lambda = \frac{[E(k'_0) - E(k_0) \mp \hbar\omega]}{\hbar}$$

Il en vient :

$$\begin{aligned} C_{k'_0}(t) &= \frac{1}{i\hbar} H_{k'_0, k_0}(t)^{a,e} \frac{e^{i\Lambda t/2} (e^{i\Lambda t/2} - e^{-i\Lambda t/2})}{2i\Lambda t/2} t \\ &= \frac{1}{i\hbar} H_{k'_0, k_0}(t)^{a,e} \frac{e^{i\Lambda t/2} \sin(\Lambda t/2)}{\Lambda t/2} t \end{aligned}$$

Le taux de collision (B.8) s'exprime alors :

$$S_{k_0 \rightarrow k'_0} = \lim_{t \rightarrow \infty} \frac{|H_{k'_0, k_0}(t)^{a,e}|^2}{t\hbar^2} \left(\frac{\sin(\Lambda t/2)}{\Lambda t/2} \right)^2 t^2 \quad (\text{B.19})$$

ou encore :

$$\begin{aligned} S_{k_0 \rightarrow k'_0} &= \lim_{t \rightarrow \infty} \frac{|H_{k'_0, k_0}(t)^{a,e}|^2}{t\hbar^2} \left(\delta(\Lambda) \frac{2\pi}{t} \right) t^2 \\ &= \frac{|H_{k'_0, k_0}(t)^{a,e}|^2}{\hbar^2} 2\pi \delta(\Lambda) \end{aligned}$$

Finalement, nous obtenons :

$$\begin{aligned} S_{k_0 \rightarrow k'_0} &= \frac{2\pi}{\hbar} |H_{k'_0, k_0}(t)^a|^2 \delta[E(k'_0) - E(k_0) - \hbar\omega] \\ &\quad + \frac{2\pi}{\hbar} |H_{k'_0, k_0}(t)^e|^2 \delta[E(k'_0) - E(k_0) + \hbar\omega] \end{aligned}$$

$$\text{avec } H_{k'_0, k_0}(t) = \int_{-L/2}^{L/2} \psi_{k'_0}^*(z) V_s(z, t) \psi_{k_0}(z) dz = \langle \psi_{k'_0}(z) | V_s(z, t) | \psi_{k_0}(z) \rangle$$

Cette expression traduit la conservation d'énergie de notre système, également connu sous le nom de règle d'or de Fermi. Ainsi, à chaque mécanisme d'interaction correspond un potentiel de perturbation $V_s(z, t)$ qui permet de calculer l'élément de matrice défini par l'équation (B.15)).

• **Exemples de matrices d'interaction**

Interactions avec une impureté ionisée Dans le cas d'une interaction coulombienne, le potentiel est de la forme $V_s(z) = A_0\delta(z)$. Nous pouvons alors écrire :

$$H_{k',k} = \frac{A_0}{L}$$

et

$$S_{k \rightarrow k'} = \frac{2\pi}{\hbar} \frac{A_0^2}{L^2} \delta[E(k') - E(k)]$$

Interactions avec les phonons Dans le cas d'une interaction coulombienne, le potentiel est de la forme $V_s(z) = A_\beta^{a,e} e^{\pm i(\beta z - \omega t)}$. Nous obtenons :

$$H_{k',k} = A_\beta^{a,e} \delta_{k',k \pm \beta}$$

et

$$S_{k \rightarrow k'} = \frac{2\pi}{\hbar} |A_\beta^{a,e}|^2 \delta[E(k') - E(k) \mp \hbar\omega] \delta_{k',k \pm \beta}$$

La quantité $\delta_{k',k \pm \beta}$ assure la conservation du moment ($\hbar k' = \hbar k \pm \hbar\beta$).

B.2.2 Mobilité

A partir du taux de collision calculé dans le paragraphe précédent, il est alors possible de déterminer le temps d'interaction (également appelé temps de relaxation du moment) en sommant le taux de transition sur l'ensemble des état finaux k' accessibles dans la $j^{\text{ème}}$ sous-bande (approximation du temps de relaxation) :

$$\frac{1}{\tau_i(E_k)} = \sum_{k'} S_{i,j}(k, k') \left[1 - \frac{m_{c_i}^*}{m_{c_j}^*} \frac{k'(E_{k'})}{k(E_k)} \frac{\tau_j(E_{k'})}{\tau_i(E_k)} \cos \theta \right] \quad (\text{B.20})$$

où $m_{c_i}^*$ est la masse effective de conduction d'un porteur de la $i^{\text{ème}}$ sous-bande et θ est l'angle formé par les vecteurs d'onde incident k et émergent k' (voir figure B.1).

En reprenant la définition du taux de transition dans le cas d'une interaction élastique :

$$S_{k \rightarrow k'} = \frac{2\pi}{\hbar} |H_{k',k}|^2 \delta(E_{k'} - E_k)$$

l'équation (B.20) devient :

$$\frac{1}{\tau_i(E)} = \frac{2\pi}{\hbar} \sum_{k'} |H_{i,j}(k, k')|^2 \left[1 - \frac{m_{c_i}^*}{m_{c_j}^*} \frac{k'(E)}{k(E)} \frac{\tau_j(E)}{\tau_i(E)} \cos \theta \right] d\theta \quad (\text{B.21})$$

En outre, lorsque $m_{c_i}^* = m_{c_j}^*$, l'équation précédente peut se réécrire :

$$\frac{1}{\tau_i(E)} = \sum_{k'} S_{i,j}(k, k') \left[1 - \frac{k'(E)}{k(E)} \frac{\tau_j(E)}{\tau_i(E)} \cos \theta \right] \quad (\text{B.22})$$

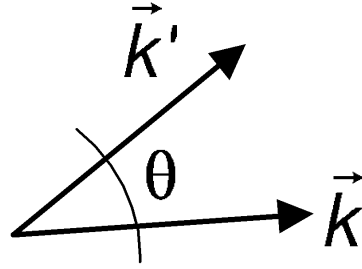


FIG. B.1 – Calcul de l'angle de déviation lié à une collision : le vecteur d'onde incident k et le vecteur d'onde émergent k' forme un angle de déviation θ .

Dans le cas d'un gaz électronique bidimensionnel, nous pouvons remplacer la somme discrète sur k' par une intégrale sur θ (pour la définition des intégrandes, voir la figure B.2) :

$$\sum_{k'} \rightarrow \frac{1}{(2\pi)^2} \int_0^{2\pi} d\theta k' dk'$$

En faisant l'hypothèse que les bandes du système sont isotropes et paraboliques (cas du silicium par exemple), l'équation ci-dessus peut être exprimée en fonction de l'énergie E selon :

$$k'^2 = \frac{2m_d^*E}{\hbar^2}, \text{ which gives } k' dk' = \frac{m_d^* dE}{\hbar^2}.$$

Il en vient(avec $|\vec{k}'| = |\vec{k}| = k$) :

$$\frac{1}{\tau_i(E)} = \frac{1}{(2\pi)^2} \frac{m_d^*}{\hbar^2} \int_0^{2\pi} S_{i,j}(k, k') \left[1 - \frac{k'(E)}{k(E)} \frac{\tau_j(E)}{\tau_i(E)} \cos \theta \right] d\theta \quad (\text{B.23})$$

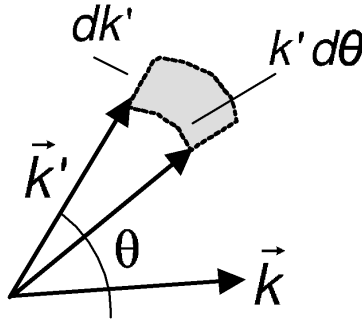


FIG. B.2 – Définition des nouveaux intégrandes dk' et $d\theta$.

Dans le cas où une seule sous-bande i est prise en compte, l'équation (B.23) se simplifie en⁷⁵ :

$$\frac{1}{\tau_i(E)} = \frac{m_d^*}{\pi \hbar^3} \int_0^\pi |H_{i,i}(k, k')|^2 (1 - \cos \theta) d\theta \quad (\text{B.24})$$

⁷⁵Nous utiliserons d'ailleurs cette simplification dans nos calculs de mobilité limitée par la rugosité

La mobilité est alors calculée en intégrant le temps d'interaction sur l'ensemble des énergies accessibles, de E_i à l'infini, en utilisant une distribution de Fermi-Dirac :

$$\mu = -\frac{e}{m_c^*} \langle \tau \rangle \quad (\text{B.25})$$

où $\langle \tau \rangle$ est la moyenne de τ sur l'énergie et qui vaut dans le cas d'un gaz 2D :

$$\langle \tau \rangle = \sum_i \frac{\int_{E_i}^{\infty} (E - E_i) \tau_i(E) \frac{\partial f_0(E)}{\partial E} dE}{\int_{E_i}^{\infty} f_0(E) dE} \quad (\text{B.26})$$

Lorsque plusieurs mécanismes d'interaction sont mis en jeu, le temps de relaxation total est donné par :

$$\frac{1}{\tau} = \sum_{scatt.} \frac{1}{\tau_{scatt.}}$$

Le temps de relaxation moyen vaut alors approximativement :

$$\langle \tau \rangle^{-1} = \left\langle \frac{1}{\sum_{scatt.} 1/\tau_{scatt.}} \right\rangle^{-1} \approx \sum_{scatt.} \frac{1}{\langle \tau_{scatt.} \rangle}$$

Le calcul du temps de relaxation pour chaque type d'interaction passe ainsi par la détermination de l'élément de matrice $H_{i,j}(k, k')$ pour chaque mécanisme. Le calcul détaillé de cet élément de matrice est proposé pour les interactions coulombiennes et la rugosité dans les deux paragraphes suivants.

B.3 Mobilité limitée par les interactions coulombiennes

En plus des références mentionnées ci-dessus, ce paragraphe s'appuie sur le livre de Hamaguchi [Hamaguchi 01] ainsi que la publication de Ning *et al.* [Ning 72].

B.3.1 Introduction

Différentes sources d'interactions coulombiennes peuvent exister : impuretés ionisées, charges et pièges d'interface, charges distantes... Dans les matériaux massifs, les interactions avec des impuretés ionisées sont des processus élastiques prédominants à basse température. Dans un système bidimensionnel, des interactions coulombiennes additionnelles peuvent venir s'ajouter à l'effet des impuretés ionisées, à cause de la présence d'états d'interface ou de charges fixes à l'interface oxyde/semiconducteur, dans l'oxyde ou dans le matériau de grille. Nous présenterons ici les bases théoriques du calcul pour un système simple oxyde/silicium avec des charges dans l'oxyde. Ce calcul est évidemment généralisable à des cas plus complexes.

B.3.2 Théorie du calcul

Pour résoudre (B.24), il faut évaluer l'élément de matrice :

$$H_i(k, k') = \langle \Psi_{i,k'} | V_s(\mathbf{r}, z) | \Psi_{i,k} \rangle \quad (\text{B.27})$$

Pour cela, nous considérerons le cas d'une charge $Q = Ze$ située au point de coordonnées $(\mathbf{r} = 0, z_0 > 0)$, où \mathbf{r} est la coordonnée projetée dans le plan ($z = 0$). Nous supposons ici un problème à symétrie cylindrique (coordonnées (r, θ, z)) autour de la charge Q (plans semi-infinis) de sorte que le potentiel d'interaction dépend uniquement de la distance à l'interface z et de la distance r à Q et que le potentiel est indépendant de l'angle θ :

$$V_s(\mathbf{r}, z) = V_s(r, z) \quad (\text{B.28})$$

Le schéma du problème est représenté sur la figure B.3.

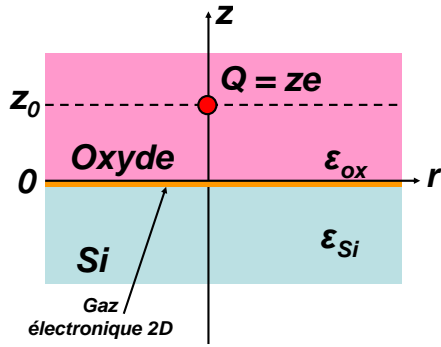


FIG. B.3 – Schéma du modèle utilisé pour calculer l'effet d'une charge localisée dans l'oxyde, à une distance z_0 du gaz électronique bidimensionnel. Nous supposons ici une symétrie cylindrique autour de la charge Q .

• Préliminaires mathématiques : la transformée de Fourier-Bessel

La transformée de Fourier-Bessel (FB), ou transformée de Hankel est définie par :

$$\tilde{\phi}(q, z) = \int_0^{+\infty} \phi(r, z) J_0(qr) r dr \quad (\text{transformée de FB}) \quad (\text{B.29})$$

$$\phi(r, z) = \int_0^{+\infty} \tilde{\phi}(q, z) J_0(qr) q dq \quad (\text{transformée inverse de FB}) \quad (\text{B.30})$$

avec

$$J_0(qr) = \frac{1}{2\pi} \int_0^{2\pi} e^{iqr} d\theta \quad (\text{B.31})$$

• Résolution analytique de l'équation de Poisson par les fonctions de Green et la transformée de Fourier-Bessel

L'équation de Poisson s'écrit :

$$\Delta (\epsilon(z) \nabla V_s(r, z)) = -(\rho_{ext} + \rho_{ind}) \quad (\text{B.32})$$

avec

$$\rho_{ind} = -e^2 \overline{V_s}(r) g(z) (dn_{2D}/dE_F) \quad [\text{Gamiz 94}] \quad (\text{B.33})$$

$$\rho_{ext} = \sigma_{ss}(r) \delta(z - z_0) = Ze \delta(z - z_0) \delta(r) / 2\pi r \quad (\text{B.34})$$

où $\sigma(r)$ est la fonction de distribution des charges à z_0 (dans notre cas, une charge ponctuelle située à $r = 0$). Ceci nous amène à :

$$\Delta \left(\epsilon(z) \overrightarrow{\nabla} V_s(r, z) \right) - e^2 \overline{V_s}(r) \frac{dn_{2D}}{dE_F} g(z) = -Ze \delta(z - z_0) \frac{\delta(r)}{2\pi r} \quad (\text{B.35})$$

avec $g(z) = |\xi(z)|^2$ la probabilité de présence au point de coordonnée z et $\overline{V_s}(r)$ la valeur moyenne sur z de V_s , définie par :

$$\overline{V_s}(r) = \int_{-\infty}^{+\infty} V_s(r, z) g(z) dz \quad (\text{B.36})$$

Introduisons maintenant le paramètre d'écrantage $\overline{q_s}$ [Ning 72] :

$$\overline{q_s} = \frac{e^2 dn_{2D}}{2\epsilon dE_F} \quad (\text{B.37})$$

Nous avons finalement à résoudre l'équation suivante :

$$\Delta \left(\epsilon(z) \overrightarrow{\nabla} V_s(r, z) \right) - 2\epsilon \overline{q_s} \overline{V_s}(r) g(z) = -Ze \delta(z - z_0) \frac{\delta(r)}{2\pi r} \quad (\text{B.38})$$

La transformée de FB de l'équation (B.38) donne :

$$\epsilon_i \left(\frac{\partial^2}{\partial z^2} - q^2 \right) A_q^i(z) - 2\epsilon \overline{q_s} \overline{A_q} g(z) = -\frac{Ze}{2\pi} \delta(z - z_0) \quad (\text{B.39})$$

où i est l'indice du milieu sur lequel l'équation doit être résolue et $A_q(z)$ est donné par :

$$A_q(z) = \int_0^{+\infty} V(r, z) J_0(qr) r dr \quad (\text{B.40})$$

Remarque – Gamiz *et al.* [Gamiz 94] utilise une transformation du potentiel proche d'une transformée de Fourier et définie par :

$$\hat{V}(q, z) = \iint V(\mathbf{r}, z) e^{i\mathbf{q}\mathbf{r}} d\mathbf{r} = \iint V(r, z) e^{i\mathbf{q}\mathbf{r}} d\mathbf{r} = 2\pi A_q(z) \quad (\text{B.41})$$

Au lieu de l'équation (B.39), nous obtenons :

$$\epsilon_i \left(\frac{\partial^2}{\partial z^2} - q^2 \right) \tilde{V}^{(i)}(q, z) - 2\epsilon \overline{q_s} \overline{V}(q) g(z) = -Ze \delta(z - z_0) \quad (\text{B.42})$$

Une solution particulière de l'équation (B.39) peut être déterminée à partir de la fonction de Green définie par :

$$(\nabla^2 - \lambda^2) G(z) = \delta(z) \quad (\text{B.43})$$

où

$$G(z) = -\frac{e^{-\lambda|z|}}{2\lambda} \quad (\text{B.44})$$

Une solution particulière de l'équation plus générale suivante :

$$(\nabla^2 - \lambda^2) u(z) = f(z) \quad (\text{B.45})$$

étant alors déterminée par :

$$u(z) = \int_{-\infty}^{+\infty} G(z - z') f(z') dz' \quad (\text{B.46})$$

De tout ceci, il en vient que la solution générale est donnée par :

$$A_q^i(z) = \int_0^{+\infty} K(z, z') A_q(z') dz' + \frac{Ze}{4\pi\epsilon_i} \frac{e^{-q|z-z_0|}}{q} + \beta_{1,i} e^{qz} - \beta_{2,i} e^{-qz} \quad (\text{B.47})$$

où $\beta_{1,i}$ et $\beta_{2,i}$ sont des constantes qu'il reste à déterminer, et :

$$K(z, z') = -g(z') \bar{q}_s \frac{\bar{\epsilon}}{\epsilon_i} \int_0^{+\infty} g(z'') \frac{e^{-q|z-z''|}}{q} dz'' \quad (\text{B.48})$$

Remarque – Le paramètre d'écrantage n'existe que dans les régions où des porteurs libres sont présents. Dans notre étude, il s'agit de la région du semiconducteur, implicitement exprimé par $g(z)$.

• Conditions aux limites

Les conditions aux limites de notre problème sont données par la continuité du potentiel et du déplacement $\mathcal{D} = \epsilon\mathcal{E}$ aux interfaces :

$$A_q^{(1)}(z = 0^-) = A_q^{(2)}(z = 0^+) \quad (\text{B.49})$$

$$\epsilon_2(z) \frac{\partial A_q^{(1)}(z)}{\partial z} \Big|_{z=0^+} - \epsilon_1(z) \frac{\partial A_q^{(2)}(z)}{\partial z} \Big|_{z=0^-} = 0 \quad (\text{B.50})$$

En considérant des couches de matériau infiniment épaisses, le potentiel s'annule à l'infini de sorte que :

$$\lim_{|z| \rightarrow \infty} A_q(z) = 0 \quad (\text{B.51})$$

Nous considérerons que le gaz électronique bidimensionnel peut être représenté par une fonction δ localisée au voisinage de l'interface (en $z = z_d$). Nous pouvons alors écrire :

$$g(z) \sim \delta(z - z_d) \quad (\text{B.52})$$

$$\rho_{ind} = -2\bar{\epsilon}\bar{q}_s \bar{V}_s(r) \delta(z - z_d) \xrightarrow{FBT} -2\bar{\epsilon}\bar{q}_s \bar{A}_q \delta(z - z_d) \quad (\text{B.53})$$

Avec $\overline{A}_q = A_q(z_d)$, nous obtenons finalement :

$$A_q^i(z) = -\frac{\overline{\epsilon}}{\epsilon_i} \frac{\overline{q}_s \overline{A}_q e^{-q|z-z_d|}}{q} + \frac{Ze}{4\pi\epsilon_i} \frac{e^{-q|z-z_0|}}{q} + \beta_{1,i} e^{qz} - \beta_{2,i} e^{-qz} \quad (\text{B.54})$$

La résolution de cette équation conduit aux résultats suivants :

$$\overline{A}_q = \frac{Ze}{4\pi\overline{\epsilon}} \frac{e^{-q|z_0|}}{q + \overline{q}_s e^{-q|z_d|}} \quad (\text{B.55})$$

qui deviennent, dans la limite $z_d \rightarrow 0$:

$$\lim_{z_d \rightarrow 0} \overline{A}_q = \frac{Ze}{4\pi\overline{\epsilon}} \frac{e^{-q|z_0|}}{q + \overline{q}_s} \quad (\text{B.56})$$

• **Potentiel de Coulomb écranté**

En l'absence d'écrantage, $\overline{q}_s = 0$. Nous avons alors :

$$\overline{A}_q = \frac{Ze}{4\pi\overline{\epsilon}} \frac{e^{-q|z_0|}}{q} \xrightarrow{\text{inv.FBT}} \overline{V}_s(r) = \frac{Ze}{4\pi\overline{\epsilon}} \frac{1}{\sqrt{z_0^2 + r^2}} \quad (\text{B.57})$$

Loin du centre perturbateur, c'est à dire lorsque $r \rightarrow \infty$ (soit $q \ll 1$), l'équation précédente se réduit à :

$$\overline{A}_q \sim \frac{Ze}{4\pi\overline{\epsilon}} \frac{e^{-q|z_0|}}{\overline{q}_s} \xrightarrow{\text{inv.FBT}} \overline{V}_s(r) = \frac{Ze}{4\pi\overline{\epsilon}\overline{q}_s} \frac{z_0}{(z_0^2 + r^2)^{\frac{3}{2}}} \sim \frac{Ze}{4\pi\overline{\epsilon}\overline{q}_s} \frac{z_0}{r^3} \quad (\text{B.58})$$

Rappelons que dans le cas d'un gaz 3D, le potentiel d'interaction coulombien vaut :

$$V_s(r) = \frac{Ze}{4\pi\epsilon} \frac{e^{-q_s r}}{r} \quad (\text{3D}) \quad (\text{B.59})$$

où q_s est l'inverse de la longueur d'écran de Debye λ_D :

$$q_s = \frac{1}{\lambda_D} = \left(\frac{n_{3D} Z e^2}{\epsilon k_B T} \right)^{\frac{1}{2}} \quad (\text{B.60})$$

La variation en $1/r^3$ du potentiel dans le cas 2D (équation (B.58)) est moins rapide que dans le cas 3D (dépendance exponentielle). C'est l'une des principales différences entre l'écrantage sur un gaz 2D et un gaz 3D.

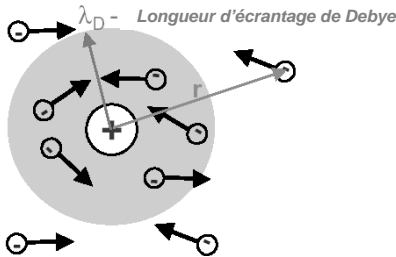


FIG. B.4 – Représentation de l'effet d'écrantage à trois dimensions et de la longueur caractéristique de Debye λ_D .

• **Taux d'interaction**

Le calcul du taux d'interaction $1/\tau_i(E)$ requiert l'évaluation de l'élément de matrice $H_{k'k}$ liée à une charge ponctuelle localisée en z_0 (cf. equation (B.24))

$$\frac{1}{\tau(E)} = \frac{m_d^* e^2}{\pi \hbar^3} \int_0^\pi |H_{k'k}|^2 (1 - \cos \theta) d\theta \quad (\text{B.61})$$

avec

$$H_{k'k} = \iiint \xi^*(z) e^{-i\mathbf{k}'\mathbf{r}} V_s(r, z) \xi(z) e^{i\mathbf{k}\mathbf{r}} dz r d\theta dr = \iiint \xi^*(z) V_s(r, z) \xi(z) e^{i(\mathbf{k}-\mathbf{k}')\mathbf{r}} r dz dr d\theta \quad (\text{B.62})$$

Prenons $\mathbf{q} = \mathbf{k} - \mathbf{k}'$:

$$H_{k'k} = \iiint |\xi(z)|^2 V_s(r, z) e^{i\mathbf{q}\mathbf{r}} r dz dr d\theta = 2\pi \iint |\xi(z)|^2 \underbrace{V_s(r, z) J_0(qr) r dr}_{A_q(z)} dz \quad (\text{B.63})$$

Au final :

$$H_{k'k} = 2\pi \int |\xi(z)|^2 A_q(z) dz = 2\pi \overline{A_q} \quad (\text{B.64})$$

Remarque – Les interactions coulombiennes sont élastiques, ce qui implique que $|\mathbf{k}'| = |\mathbf{k}|$ and $q = 2k \cos \theta$.

Dans le cas où la charge ponctuelle est remplacée par une densité de charge $N_t(z)$ répartie entre les positions z_1 et z_2 , le taux d'interaction total est alors :

$$\frac{1}{\tau(E)} = \frac{m_d^* e^2}{\pi \hbar^3} \int_0^\pi \int_{z_1}^{z_2} N_t(z_0) |H_{k'k}(z_0)|^2 dz_0 (1 - \cos \theta) d\theta \quad (\text{B.65})$$

Lorsque ces charges sont uniformément distribuées, nous pouvons remplacer $N_t(z)$ par (modèle de la sphère dure) :

$$N_t(z) \left(1 - \frac{2C_t J_1(qR_0)}{qR_0} \right) \quad (\text{B.66})$$

avec $C_t = \pi R_0^2 N_t$, où R_0 est le rayon définissant le cercle minimum dans lequel deux particules peuvent se trouver (C_t est alors le rapport de la surface minimale πR_0^2 sur la surface moyenne N_t^{-1} occupée par une particule chargée), et J_1 est la première fonction de Bessel. Dans le cas d'une distribution uniforme, $C_t = 1$, tandis que pour une distribution aléatoire $C_t = 0$.

B.4 Mobilité limitée par la rugosité des interfaces

En plus des références mentionnées ci-dessus, ce paragraphe s'appuie sur les publications de Pirovano *et al.* [Pirovano 00a, Pirovano 00b], Ishihara *et al.* [Ishihara 02] et surtout Ando *et al.* [Ando 77].

B.4.1 Introduction

Lorsqu'une interface entre deux matériaux n'est pas parfaitement plane, les irrégularités de la surface modifient le potentiel de surface et donc la mobilité des porteurs confinés au voisinage de cette surface. Ce type de phénomène existe dans les transistors MOS où le mouvement des porteurs du canal est perturbé par la rugosité de l'interface Silicium/Oxyde⁷⁶. Afin de déterminer la mobilité limitée par la rugosité μ_{SR} , il faut calculer l'élément de matrice $H_{k'k}$ dans le cas d'une interaction des porteurs avec la rugosité. Afin de simplifier le parallèle entre notre étude et les différentes publications sur le sujet, nous utiliserons plutôt la notation $V_{SR}(q)$ en lieu et place de $H_{k'k}$ pour faire référence à l'élément de matrice.

B.4.2 Théorie du calcul

• Equations générales

Le calcul de la mobilité limitée par la rugosité s'appuie sur les équations (B.23) et (B.26) décrites au paragraphe B.1. Cependant, ces équations peuvent se simplifier en considérant que l'ensemble des porteurs mis en jeu dans le transport se trouvent dans une seule sous-bande. Cette approximation est parfaitement adaptée au transport à fort champ effectif (là où la rugosité est prédominante) et permet de simplifier considérablement les calculs qui vont suivre. Sous cette hypothèse, les équations (B.26) et (B.23) se réécrivent :

$$\langle \tau_{SR} \rangle = \frac{\int_{E_0}^{\infty} (E - E_0) \tau_{SR}(E) \frac{\partial f_0(E)}{\partial E} dE}{\int_{E_0}^{\infty} f_0(E) dE} \quad (\text{B.67})$$

avec

$$\frac{1}{\tau_{SR}(E)} = \frac{m_t}{\pi \hbar^3} \int_0^{2\pi} |V_{SR}(q)|^2 \sin^2 \frac{\theta}{2} d\theta \quad (\text{B.68})$$

où $q = 2k \sin \frac{\theta}{2}$ (interaction élastique), m_t est la masse effective transverse des électrons dans la première sous-bande du silicium et $\cos \theta = 1 - 2 \sin^2 \frac{\theta}{2}$

A basse température, l'ensemble des porteurs ont une énergie proche de l'énergie de Fermi E_F , de sorte que les équations précédentes se simplifient encore pour donner :

$$\frac{1}{\langle \tau_{SR} \rangle} \approx \frac{1}{\tau_{SR}(E_F)}$$

d'où :

$$\frac{1}{\langle \tau_{SR} \rangle} \approx \frac{m_t}{\pi \hbar^3} \int_0^{2\pi} |V_{SR}(q_F)|^2 \sin^2 \frac{\theta}{2} d\theta \quad (\text{B.69})$$

avec $q_F = 2k(E_F) \sin \frac{\theta}{2}$.

⁷⁶Signalons que la rugosité de l'interface distante Oxyde/Grille peut également perturber le mouvement des porteurs [Saito 04] mais cet effet ne sera pas étudié ici.

• **Élément de la matrice d'interaction**

L'élément $V_{SR}(q)$ de la matrice d'interaction peut être déterminé à partir de l'expression donnée par Ando *et al.* [Ando 77] :

$$|V_{SR}(q)|^2 = \frac{\tilde{S}(q)\Gamma^2(q)}{\epsilon_r^2(q)} \quad (\text{B.70})$$

Dans cette équation, le paramètre $\Gamma^2(q)$ décrit le confinement des porteurs à l'interface entre le silicium et l'oxyde (dépendance électrostatique en E_{eff}^2), $\epsilon_r(q)$ est la constante diélectrique du silicium dépendant du vecteur d'onde incluant l'effet d'écrantage et $\tilde{S}(q)$ est la densité spectrale de rugosité.

Paramètre $\Gamma(q)$ L'expression du paramètre $\Gamma(q)$ est donnée par [Ando 77] :

$$\Gamma(q) = \gamma(q) + \gamma_{image}(q) \quad (\text{B.71})$$

où $\gamma(q)$ est le potentiel électrostatique et $\gamma_{image}(q)$ le potentiel image lié à la charge responsable du potentiel $\gamma(q)$.

En première approximation, nous pouvons négliger le potentiel image de sorte que $\Gamma(q) \approx \gamma(q)$. Ainsi, nous obtenons :

$$\Gamma(q) \approx \frac{e^2}{\bar{\epsilon}} \left(N_{dep} + \frac{1}{2}N_{inv} \right) - \frac{e^2}{\epsilon_{si} \epsilon_{si} + \epsilon_{ox}} (N_{dep} + N_{inv}) \left[1 - \left(1 + \frac{q}{b} \right)^{-3} \right] + \frac{e^2}{\epsilon_{si} \epsilon_{si} + \epsilon_{ox}} N_{inv} \left[1 - \left(1 + \frac{q}{b} \right)^{-6} \right] \quad (\text{B.72})$$

Dans cette expression, $\bar{\epsilon} = \frac{\epsilon_{si} + \epsilon_{ox}}{2}$ est la moyenne arithmétique des permittivités relatives ϵ_{si} et ϵ_{ox} , N_{dep} et N_{inv} sont les densités de charge de déplétion et d'inversion (respectivement) et b est un paramètre obtenu dans l'approche variationnelle de la fonction d'onde par Stern et Howard.

Constante diélectrique $\epsilon_r(q)$ La variation de la constante diélectrique d'un matériau en fonction du vecteur d'onde k (et donc en fonction de q) permet de rendre compte de l'effet de l'écrantage sur cette constante diélectrique. Sur le plan théorique, cette dépendance s'exprime par :

$$\epsilon_r(q) = \epsilon_{si} \left(1 + \frac{\bar{q}_S}{q} \right) \quad (\text{B.73})$$

où \bar{q}_S est le paramètre d'écrantage de Debye défini dans le paragraphe précédent⁷⁷.

⁷⁷D'autres méthodes de calcul du paramètre d'écrantage existent (approximation de Lindhard...). Ici, nous nous contenterons de l'expression obtenue précédemment.

Densité spectrale de rugosité $\tilde{S}(q)$ La densité spectrale de rugosité $\tilde{S}(q)$ est obtenue en effectuant la transformée de Fourier de la fonction de corrélation de rugosité $S(r)$. Cette fonction de corrélation permet de décrire la morphologie de l'interface à partir de deux paramètres de rugosité représentés sur la figure B.5 : la longueur de corrélation L_c et la profondeur moyenne de rugosité Δ .

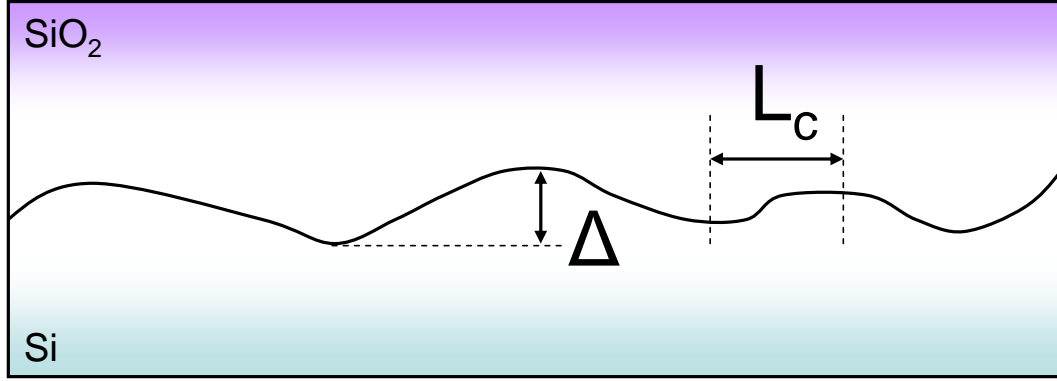


FIG. B.5 – Modélisation de la rugosité d'une interface par deux paramètres : la longueur de corrélation L_c et la profondeur moyenne de rugosité Δ .

D'une manière générale, la densité spectrale de rugosité $\tilde{S}(q)$ est de la forme [Ishihara 02, Pirovano 00b] :

$$\tilde{S}(q) = \pi (\Delta L_c)^2 e^{-\frac{(q \cdot L_c)^n}{4}} \quad (\text{B.74})$$

où n est un paramètre d'ajustement permettant d'utiliser les mêmes paramètres de rugosité pour décrire la mobilité des électrons et des trous⁷⁸. Parmi les différentes fonctions possibles, les deux plus communément admises sont la fonction exponentielle ($n = 1$) et la fonction gaussienne ($n = 2$).

La détermination des trois grandeurs $\Gamma(q)$, $\epsilon_r(q)$ et $\tilde{S}(q)$ permet ainsi de calculer l'élément de matrice $V_{SR}(q)$ et du même coup la mobilité limitée par la rugosité μ_{SR} .

⁷⁸En pratique, il n'y a en effet aucune raison pour que la rugosité dépende du type de porteurs.

Bibliographie

- [Ando 77] T. Ando. *Screening Effect and Quantum Transport in a Silicon Inversion Layer in Strong Magnetic Fields*. Journal of the Physical Society of Japan, vol. 43, pages 1616–1626, 1977.
- [Ando 82] T. Ando, A. B. Fowler & F. Stern. *Electronic Properties of Two-Dimensional Systems*. Reviews of Modern Physics, vol. 54, no. 2, pages 437–672, Avril 1982.
- [Andrieu 05] F. Andrieu. *Transistors CMOS Décananométriques à Canaux Contraints sur Silicium Massif ou sur SOI - Fabrication, Caractérisation et Étude du Transport*. Thèse de Doctorat, Institut National Polytechnique de Grenoble, Décembre 2005.
- [Autran 03] J. L. Autran, D. Munteanu, R. Dinescu & M. Houssa. *Stretch-Out of High-Permittivity MOS Capacitance-Voltage Curves Resulting from a Lateral Non-Uniform Oxide Charge Distribution*. Journal of Non-Crystalline Solids, vol. 322, no. 1-3, pages 219–224, Juillet 2003.
- [Bachtold 01] A. Bachtold, P. Hadley, T. Nakashini & C. Dekker. *Logic Circuits with Carbon Nanotube Transistors*. Science, vol. 294, no. 5545, pages 1317–1320, Novembre 2001.
- [Beer 63] A. C. Beer. « Galvanomagnetic Effects in Semiconductors ». Solid State Physics, Supp. 4. Academic Press, 1963.
- [Bersuker 04] G. Bersuker, P. Zeitzoff, G. Brown & H. R. Huff. *Dielectrics for Future Transistors*. Materials Today, page 26, Janvier 2004.
- [Besson 06] P. Besson, V. Loup, T. Salvetat, N. Rochat, S. Lhostis, S. Favier, K. Dabertrand & V. Cosnier. *Critical Thickness Threshold in HfO₂ layers*. Dans Proceedings of the 8th International Symposium on Ultra Clean Processing of Semiconductor Surfaces, 2006.
- [Bohr 07] M. T. Bohr, R. S. Chau, T. Ghani & K. Mistry. *The High- κ Solution*. IEEE Spectrum, pages 29–35, Octobre 2007.

- [Bruel 95] M. Bruel. *Silicon on Insulator Material Technology*. Electronics Letters, vol. 31, no. 14, page 1201, 1995.
- [Brugler 69] J. S. Brugler & P. G. A. Jespers. *Charge Pumping in MOS Devices*. IEEE Transactions on Electron Devices, vol. 16, no. 3, pages 297–302, Mars 1969.
- [Busch 02] B. W. Busch, O. Pluchery, Y. J. Chabal, D. A. Muller, R. L. Opila, J. R. Kwo & E. Garfunkel. *Materials Characterization of Alternative Gate Dielectrics*. MRS Bulletin, vol. 27, no. 3, Mars 2002.
- [Cassé 06] M. Cassé, L. Thevenod, B. Guillaumot, L. Tosti, F. Martin, J. Mitard, O. Weber, F. Andrieu, T. Ernst, G. Reibold, T. Billon, M. Mouis & F. Boulanger. *Carrier Transport in HfO₂/Metal Gate MOSFETs : Physical Insight into Critical Parameters*. IEEE Transactions on Electron Devices, vol. 53, no. 4, pages 759–768, Avril 2006.
- [Chain 97] K. Chain, J. Huang, J. Duster, P. K. Ko & C. Hu. *A MOSFET Electron Mobility Model of Wide Temperature Range (77-400K) for IC Simulation*. Semiconductor Science and Technology, vol. 12, no. 4, pages 355–358, Avril 1997.
- [Chaisantikulwat 05a] W. Chaisantikulwat, M. Mouis, G. Ghibaudo, C. Gallon, C. Fenouillet-Beranger, D. K. Maude, T. Skotnicki & S. Cristoloveanu. *Magnetoresistance Technique for Mobility Extraction in Short Channel FDSOI Transistors*. Dans Proceedings of ESSDERC, pages 569–572, 2005.
- [Chaisantikulwat 05b] W. Chaisantikulwat, M. Mouis, G. Ghibaudo, D. K. Maude, A. Cros, S. Harrison & H. Brut. *Magnetoresistance Mobility Measurements in Gate-All-Around SON MOSFETs*. Dans Proceedings of EUROSOI Workshop, 2005.
- [Chaisantikulwat 06] W. Chaisantikulwat, M. Mouis, G. Ghibaudo, C. Gallon, C. Fenouillet-Beranger, D. K. Maude, T. Skotnicki & S. Cristoloveanu. *Differential Magnetoresistance Technique for Mobility Extraction in Ultra-Short Channel FDSOI Transistors*. Solid-State Electronics, vol. 50, pages 637–643, Mars 2006.
- [Chang 89] C. S. Chang, H. R. Fetterman & C. R. Viswanathan. *The Characterization of High Electron Mobility Transistors Using Shubnikov-de Haas Oscillations and Geometrical Magnetoresistance Measurements*. Journal of Applied Physics, vol. 66, no. 2, pages 928–936, Juillet 1989.
- [Chau 03] R. Chau, S. Datta, M. Doczy, J. Kavalieros & M. Metz. *Gate Dielec-*

-
- tric Scaling for High-Performance CMOS : from SiO₂ to High-κ*. Dans Extended Abstracts of IWGI, 2003.
- [Chau 04] R. Chau, S. Datta, M. Doczy, B. Doyle, J. Kavalieros & M. Metz. *High-κ/Metal-Gate Stack and its MOSFET Characteristics*. IEEE Electron Device Letters, vol. 25, no. 6, pages 408–410, Juin 2004.
- [Chen 96] K. Chen, H. C. Wann, J. Duster, D. Pramanik, S. Nariani, P. K. Ko & C. Hu. *An Accurate Semi-Empirical Saturation Drain Current Model for LDD N-MOSFET*. IEEE Electron Device Letters, vol. 17, no. 3, pages 145–147, Mars 1996.
- [Cosnier 07] V. Cosnier, P. Besson, V. Loup, L. Vandroux, S. Minoret, M. Cassé, X. Garros, J. M. Pedini, S. Lhostis, K. Dabertrand, C. Morin, C. Wiemer, M. Perego & M. Fanciulli. *Understanding of the Thermal Stability of the "High k"/Metal Gate Stack via 2 "High k" and 2 Metal Deposition Techniques*. Dans Proceedings of the 15th Biennial Conference on Insulating Films on Semiconductors, 2007.
- [Datta 03] S. Datta, G. Dewey, M. Doczy, B. S. Doyle, B. Jin, J. Kavalieros, R. Kotlyar, M. Metz, N. Zelick & R. Chau. *High Mobility Si/SiGe Strained Channel MOS Transistors with HfO₂/TiN Gate Stack*. Dans IEDM Technical Digest, pages 33.2.1–33.2.4, 2003.
- [De Gendt 04] S. De Gendt. *Advanced Gate Stacks : High-κ Dielectrics and Metal Gates*. Dans Tutorials of IEDM, 2004.
- [Dennard 74] R. H. Dennard, F. H. Gaensslen, H. N. Yu, V. L. Rideout, E. Bassous & Leblanc A. R. *Design Of Ion-Implanted MOSFET's with Very Small Physical Dimensions*. Solid State Circuits, vol. 9, no. 5, pages 256–268, Octobre 1974.
- [Devine 96] R. A. B. Devine, L. Vallier, J. L. Autran, P. Paillet & J. L. Leray. *Electrical Properties of Ta₂O₅ Films Obtained by Plasma Enhanced Chemical Vapor Deposition Using a TaF₅ Source*. Applied Physics Letters, vol. 68, no. 13, pages 1775–1777, Mars 1996.
- [Elliot 76] A. B. M. Elliot. *The Use of Charge Pumping Currents to Measure Surface State Densities in MOS Transistors*. Solid-State Electronics, vol. 19, no. 3, pages 241–247, Mars 1976.
- [Ferry 00] D. K. Ferry. « Semiconductor Transport ». Lavoisier, 1^{ère} édition, 2000.
- [Fischetti 01] M. Fischetti, D. A. Neumayer & E. A. Cartier. *Effective Electron Mobility in Si Inversion Layers in Metal-Oxide-Semiconductor Systems with*

- a High- κ Insulator : the Role of Remote Phonon Scattering.* Journal of Applied Physics, vol. 90, no. 9, pages 4587–4608, Novembre 2001.
- [Foster 02] A. S. Foster, F. Lopez Gejo, A. L. Shluger & R. M. Nieminen. *Vacancy and Interstitial Defects in Hafnia.* Physical Review B, vol. 65, 174117, Mai 2002.
- [Fujii 05] S. Fujii, N. Miyata, S. Migita, T. Horikawa & A. Toriumi. *Nanometer-Scale Crystallization of Thin HfO₂ Films Studied by HF-Chemical Etching.* Applied Physics Letters, vol. 86, no. 21, Mai 2005.
- [Gamiz 94] F. Gamiz, J. A. Lopez-Villanueva, J. A. Jimenez-Tejada, I. Melchor & A. Palma. *A Comprehensive Model for Coulomb Scattering in Inversion Layers.* Journal of Applied Physics, vol. 75, page 924, 1994.
- [Garros 04] X. Garros. *Caractérisation et Modélisation de l'Oxyde d'Hafnium comme Alternative à la Silice pour les Futures Technologies CMOS Submicroniques.* Thèse de Doctorat, Université de Provence - Aix/Marseille I, Février 2004.
- [Garros 08] X. Garros, M. Cassé, G. Reibold, F. Martin, C. Leroux, A. Fanton, O. Renault, V. Cosnier & F. Boulanger. *Guidelines to Improve Mobility Performances and BTI Reliability of Advanced High- κ /Metal Gate Stacks.* Dans Technology Digest of Technical Papers. Symposium on VLSI, 2008.
- [Green 07] J. E. Green, J. W. Choi, A. Boukai, Y. Bunimovich, E. Johnston-Halperin, E. DeIonno, Y. Luo, B. A. Sheriff, K. Xu, Y. S. Shin, H. R. Tseng, J. F. Stoddart & J. R. Heath. *A 160-kilobit Molecular Electronic Memory Patterned at 10¹¹ Bits per Square Centimetre.* Nature, vol. 445, pages 414–417, Janvier 2007.
- [Groeseneken 84] G. Groeseneken, H. E. Maes, N. Beltran & R. F. De Keersmaecker. *A Reliable Approach to Charge-Pumping Measurements in MOS Transistors.* IEEE Transactions on Electron Devices, vol. 31, no. 1, pages 42–53, Janvier 1984.
- [Guillaume 04] T. Guillaume, M. Mouis, S. Maîtrejean, A. Poncet, M. Vinet & S. Deleonibus. *Evaluation of Strain-Induced Mobility Variation in TiN Metal Gate SOI n-MOSFETs.* Dans Proceedings of ESSDERC, pages 393–396, 2004.
- [Guillaume 05] T. Guillaume. *Influence des Contraintes Mécaniques Non-Intentionnelles sur les Performances des Transistors MOS à Canaux Ultra-Courts.* Thèse

-
- de Doctorat, Institut National Polytechnique de Grenoble, Décembre 2005.
- [Gusev 01] E. P. Gusev, D. A. Buchanan, E. Cartier, A. Kumar, D. DiMaria, S. Guha, A. Callegari, S. Zafar, P. C. Jamison, D. A. Neumayer, M. Copel, M.A. Gribelyuk, H. Okorn-Schmidt, C. D’Emic, P. Kozlowski, K. Chan, N. Bojarczuk, L. Ragnarsson, P. Ronsheim, K. Rim, R. J. Fleming, A. Mocuta & A. Ajmera. *Ultrathin High- κ Gate Stacks for Advanced CMOS Devices*. Dans IEDM Technical Digest, pages 451–454, 2001.
- [Hamaguchi 01] C. Hamaguchi. « Basic Semiconductor Physics ». Springer-Verlag, 2001.
- [Heiman 65] F. P. Heiman & G. Warfield. *The Effects of Oxide Traps on the MOS Capacitance*. IEEE Transactions on Electron Devices, vol. 12, no. 4, pages 167–178, Avril 1965.
- [Hisamoto 89] D. Hisamoto, T. Kaga, Y. Kawamoto & E. Takeda. *A Fully Depleted Lean-Channel Transistor (DELTA)-a Novel Vertical Ultra Thin SOI MOSFET*. Dans IEDM Technical Digest, page 833, 1989.
- [Hobbs 03] C. Hobbs, L. Fonseca, V. Dhandapani, S. Samavedam, B. Taylor, J. Grant, L. Dip, D. Triyoso, R. Hedge, D. Gilmer, R. Garcia, D. Roan, L. Lovejoy, R. Rai, L. Hebert, H. Tseng, B. White & P. Tobin. *Fermi Level Pinning at the PolySi/Metal Oxide Interface*. Dans Technology Digest of Technical Papers, pages 9–10. Symposium on VLSI, 2003.
- [Hori 90] T. Hori. *Inversion Layer Mobility under High Normal Field in Nitrided-Oxide MOSFET’s*. IEEE Transactions on Electron Devices, vol. 37, no. 9, pages 2058–2068, Septembre 1990.
- [Ishihara 02] T. Ishihara, K. Matsuzawa, M. Takayanagi & S. I. Takagi. *Comprehensive Understanding of Electron and Hole Mobility Limited by Surface Roughness Scattering in Pure Oxides and Oxynitrides Based on Correlation Function of Surface Roughness*. Japanese Journal of Applied Physics, vol. 41, no. 1, pages 2353–2358, Avril 2002.
- [Jacoboni 83] C. Jacoboni & L. Reggiani. *The Monte-Carlo Method for the Solution of Charge Transport in Semiconductors with Applications to Covalent Materials*. Reviews of Modern Physics, vol. 55, no. 3, page 645, Mars 1983.
- [Jeon 89] D. S. Jeon & D. E. Burk. *MOSFET Electron Inversion Layer Mobilities – A Physically Based Semi-Empirical Model for a Wide Temperature Range*. IEEE Transactions on Electron Devices, vol. 36, no. 8, pages 1456–1463, Août 1989.

- [Jha 04] R. Jha, J. Gurganos, Y. H. Kim, R. Choi, J. Lee & V. Misra. *A Capacitance-Based Methodology for Work Function Extraction of Metals on High- κ* . IEEE Electron Device Letters, vol. 25, no. 6, pages 420–423, Juin 2004.
- [Jin 07] S. Jin, M. V. Fischetti & T. W. Tang. *Surface Roughness Scattering in Ultrathin-Body SOI MOSFETs*. Dans Proceedings of Simulation of Semiconductor Processes and Devices (SISPAD), pages 61–64, 2007.
- [Kahng 60] D. Kahng & M. M. Atalla. *Silicon-Silicon Dioxide Field Induced Surface Devices*. Dans Proceedings of IRE Solid-State Device Research Conference, 1960.
- [Kirsch 06] P. D. Kirsch, M. A. Quevedo-Lopez, S. Krishnan, B. H. Lee, G. Pant, M. J. Kim, R. M. Wallace & B. E. Gnade. *Mobility and Charge Trapping Comparison for Crystalline and Amorphous HfON and HfSiON Gate Dielectrics*. Applied Physics Letters, vol. 89, no. 24, Décembre 2006.
- [Kittel 98] C. Kittel. « Physique de l'État Solide ». Dunot, 7^{ème} édition, 1998.
- [Koga 96] J. Koga, S. I. Takagi & A. Toriumi. *Observation of Oxide-Thickness-Dependent Interface Roughness in Si MOS Structure*. Japanese Journal of Applied Physics, vol. 35, no. 1, pages 1440–1444, Février 1996.
- [Krishnan 98] M. S. Krishnan, Y. C. Yeo, Q. Lu, T. J. King, J. Bokor & C. Hu. *Remote Charge Scattering in MOSFETs with Ultra-thin Gate Dielectrics*. Dans IEDM Technical Digest, pages 571–574, 1998.
- [Kuriyama 06] A. Kuriyama, J. Mitard, L. Brévard, O. Faynot, A. Tozzo, L. Clerc, V. Vidal, S. Deleonibus, S. Cristoloveanu & H. Iwai. *Work Function Investigation in Advanced Metal Gate-HfO₂-SiO₂ Systems with Bevel Structures*. Dans Proceedings of ESSDERC, pages 109–112, 2006.
- [Laikhtman 08] B. Laikhtman & P. M. Solomon. *Remote Phonon Scattering in Field-Effect-Transistors with a High κ Insulating Layer*. Journal of Applied Physics, vol. 103, no. 1, Janvier 2008.
- [Lannoo 92] M. Lannoo. « Handbook on Semiconductors », *Deep and Shallow Impurities in Semiconductors*. Elsevier Science Publishers, 1992.
- [Le Louarn 07] A. Le Louarn, F. Kapche, J. M. Bethoux, H. Happy, G. Dambrine, V. Derycke, P. Chenevier, N. Izard, M. F. Goffman & Bourgoïn J. P. *Intrinsic Current Gain Cutoff Frequency of 30GHz With Carbon Nanotube Transistors*. Applied Physics Letters, vol. 90, no. 23, Juin 2007.

-
- [Leroux 04a] C. Leroux, J. Mitard, G. Ghibaudo, X. Garros, G. Reimbold, B. Guillaumot & F. Martin. *Characterization and Modeling of Hysteresis Phenomena in high k Dielectrics*. Dans IEDM Technical Digest, pages 737–740, 2004.
- [Leroux 04b] C. Leroux, P. Mur, N. Rochat, D. Rouchon, R. Truche, G. Reimbold & G. Ghibaudo. *Characterization and Modeling of Nanometric SiO₂ Dielectrics*. Microelectronic Engineering, vol. 72, no. 1-4, pages 121–124, Avril 2004.
- [Leroux 08] C. Leroux, M. Charbonnier, V. Cosnier, P. Besson, G. Ghibaudo, F. Martin & G. Reimbold. *VFB and Roll-Off Behaviour on Hf-Based Dielectrics : Study for TiN, TaN, W, WN*, 2008. Soumis à VLSI Symposium.
- [Lime 04] F. Lime. *Caractérisation et Modélisation de Diélectriques de Grille des Technologies CMOS 50nm*. Thèse de Doctorat, Institut National Polytechnique de Grenoble, Janvier 2004.
- [Lo 97] S. H. Lo, D. A. Buchanan, Y. Taur & W. Wang. *Quantum-Mechanical Modeling of Electron Tunneling Current from the Inversion Layer of Ultra-Thin-Oxide nMOSFET's*. IEEE Electron Device Letters, vol. 18, no. 5, pages 209–211, Mai 1997.
- [Lujan 05] G. S. Lujan, W. Magnus, B. Sorée, L. Å. Ragnarsson, L. Trojman, S. Kubicek, S. De Gendt, M. Heyns & K. De Meyer. *Barrier Permeation Effects on the Inversion Layer Subband Structure and its Applications to the Electron Mobility*. Microelectronic Engineering, vol. 80, pages 82–85, Juin 2005.
- [Lundstrom 00] M. Lundstrom. « Fundamentals of Carrier Transport ». Lavoisier, 2^{ème} édition, 2000.
- [Ma 94] Z. J. Ma, Z. H. Liu, Y. C. Cheng, P. K. Ko & C. Hu. *New Insight into High-Field Mobility Enhancement of Nitrided-Oxide N-MOSFET's Based on Noise Measurement*. IEEE Transactions on Electron Devices, vol. 41, no. 11, pages 2205–2209, Novembre 1994.
- [Maitra 07] K. Maitra, M. M. Frank, V. Narayanan, V. Misra & E. A. Cartier. *Impact of Metal Gates on Remote Phonon Scattering in Titanium Nitride/Hafnium Dioxide n-Channel Metal-Oxide-Semiconductor Field Effect Transistors - Low Temperature Electron Mobility Study*. Journal of Applied Physics, vol. 102, no. 11, Décembre 2007.
- [Mathieu 01] H. Mathieu. « Physique des Semiconducteurs et des Composants Electroniques ». Dunot, 5^{ème} édition, 2001.

- [Meziani 04] Y. M. Meziani, J. Lusakowski, W. Knap, N. Dyakonova, F. Teppe, K. Romanjek, M. Ferrier, R. Clerc, G. Ghibaudo, F. Boeuf & T. Skotnicki. *Magnetoresistance Characterization of Nanometer Si Metal-Oxide-Semiconductor Transistors*. Journal of Applied Physics, vol. 96, no. 10, pages 5761–5765, Novembre 2004.
- [Mitard 05] J. Mitard, C. Leroux, G. Ghibaudo, G. Reimbold, X. Garros & B. Guillaumot. *Investigation on Trapping and Detrapping Mechanisms in HfO₂ Films*. Microelectronic Engineering, vol. 80, pages 362–365, Juin 2005.
- [Mitard 07] J. Mitard. *Étude des Propriétés Électriques d'Empilements High- κ /Grille Métal en Vue de leur Intégration Dans les Dispositifs CMOS Sub-45nm*. Thèse de Doctorat, Institut National Polytechnique de Grenoble, Avril 2007.
- [Moore 65] G. E. Moore. *Cramming More Components onto Integrated Circuits*. Electronics, vol. 38, no. 8, Avril 1965.
- [Moore 98] G. E. Moore. *The Role of Fairchild in Silicon Technology in the Early Days of "Silicon Valley"*. Dans Proceedings of IEEE Solid-State Device Research Conference, 1998.
- [Muller 99] D. A. Muller, T. Sorsch, S. Moccio, F. H. Baumann, K. Evans-Lutterodt & G. Timp. *The Electronic Structure at the Atomic Scale of Ultrathin Gate Oxides*. Nature, vol. 399, pages 758–761, Juin 1999.
- [Nicollian 65] E. H. Nicollian & A. Goetzberger. *MOS Conductance Technique for Measuring Surface State Parameters*. Applied Physics Letters, vol. 7, no. 8, pages 216–219, Octobre 1965.
- [Nicollian 82] E. H. Nicollian & J. R. Brews. MOS Physics and Technology. Wiley, 1st edition, 1982.
- [Ning 72] T. H. Ning, C. T. Sah & L. L. Tschopp. *The Scattering of Electrons in a Nondegenerate Semiconductor Surface Inversion Layer by Surface-Oxide Charges*. Surface Sciences, vol. 32, page 561, 1972.
- [Ota 07] H. Ota, A. Hirano, Y. Watanabe, N. Yasuda, K. Iwamoto, K. Akiyama, K. Okada, S. Migita, T. Nabatame & A. Toriumi. *Intrinsic Origin of Electron Mobility Reduction in High- k MOSFETs – From Remote Phonon to Bottom Interface Dipole Scattering –*. Dans IEDM Technical Digest, pages 65–68, 2007.
- [Pant 06a] G. Pant, A. Gnade, M. J. Kim, M. Wallace, B. E. Gnade, M. A. Quevedo-Lopez & P. D. Kirsch. *Effect of Thickness on the Crystallization of Ul-*

-
- trathin HfSiON Gate Dielectrics*. Applied Physics Letters, vol. 88, no. 3, Janvier 2006.
- [Pant 06b] G. Pant, A. Gnade, M. J. Kim, M. Wallace, B. E. Gnade, M. A. Quevedo-Lopez, P. D. Kirsch & S. Krishnan. *Comparison of Electrical and Chemical Characteristics of Ultrathin HfON versus HfSiON Dielectrics*. Applied Physics Letters, vol. 89, no. 3, Juillet 2006.
- [Pirovano 00a] A. Pirovano, A. L. Lacaita, G. Ghidini & G. Tallarida. *On the Correlation Between Surface Roughness and Inversion Layer Mobility in Si-MOSFET's*. IEEE Electron Device Letters, vol. 21, no. 1, pages 34–36, Janvier 2000.
- [Pirovano 00b] A. Pirovano, A. L. Lacaita, G. Zandler & R. Oberhuber. *Explaining the Dependence of the Hole and Electron Mobilities in Si Inversion Layers*. IEEE Transactions on Electron Devices, vol. 47, no. 4, pages 718–724, Avril 2000.
- [Ragnarsson 01] L. A. Ragnarsson, S. Guha, M. Copel, E. Cartier, N. A. Bojarczuk & J. Karasinski. *Molecular-Beam-Deposited Yttrium-Oxide Dielectrics in Aluminium-Gated Metal-Oxide-Semiconductor Field-Effect Transistors : Effective Electron Mobility*. Applied Physics Letters, vol. 78, no. 26, pages 4169–4171, Juin 2001.
- [Raynaud 98] C. Raynaud, O. Faynot, J. L. Pelloie, S. Deleonibus, D. Vanhoenacker, R. Gillon, J. Sevenhans, E. Compagne, G. Fletcher & E. Mackowiak. *Fully-Depleted 0.25 μ m SOI Devices for Low Power RF Mixed Analog-Digital Circuits*. Dans Proceedings of IEEE International SOI Conference, pages 67–68, 1998.
- [Ren 03] Z. Ren, M. V. Fischetti, E. P. Gusev, E. A. Cartier & M. Chudzik. *Inversion Channel Mobility in High- κ High Performance MOSFETs*. Dans IEDM Technical Digest, pages 793–796, 2003.
- [Ribes 04] G. Ribes, M. Muller, S. Bruyere, D. Roy, M. Denais, V. Huard, T. Skotnicki & G. Ghibaudo. *Characterization of V_t Instability in Hafnium Based Dielectrics by Pulse Gate Voltage Techniques*. Dans Proceedings of ESSDERC, pages 89–92, 2004.
- [Richard 04] S. Richard. *Modélisation Physique de la Structure Électronique, du Transport et de l'Ionisation par Choc dans les Matériaux IV-IV Massifs, Contraints et dans les Puits Quantiques*. Thèse de Doctorat, Université Paris XI Orsay, Décembre 2004.

- [Robertson 05] J. Robertson. *Interfaces and Defects of High- κ Oxides on Silicon*. Solid-State Electronics, vol. 49, no. 3, pages 283–293, Mars 2005.
- [Romanjek 04] K. Romanjek, F. Andrieu, T. Ernst & G. Ghibaudo. *Improved Split C-V Method for Effective Mobility Extraction in sub-0.1 μ m Si MOSFETs*. IEEE Electron Device Letters, vol. 25, no. 8, pages 583–585, Août 2004.
- [Saito 03] S. Saito, D. Hisamoto, S. Kimura & M. Hiratani. *Unified Mobility Model for High- κ Gate Stacks*. Dans IEDM Technical Digest, pages 33.3.1–33.3.4, 2003.
- [Saito 04] S. I. Saito, K. Torii, Y. Shimamoto, S. Tsujikawa, H. Hamamura, O. Tonomura, T. Mine, D. Hisamoto, T. Onai, J. Yugami, M. Hiratani & S. Kimura. *Effects of Remote-Surface-Roughness Scattering on Carrier Mobility in Field-Effect-Transistors with Ultrathin Gate Dielectrics*. Applied Physics Letters, vol. 84, no. 8, pages 1395–1397, Février 2004.
- [Shah 07] R. Shah & M. M. De Souza. *Impact of a Nonideal Metal Gate on Surface Optical Phonon-Limited Mobility in High- κ Gated MOSFETs*. IEEE Transactions on Electron Devices, vol. 54, no. 11, pages 2991–2997, Novembre 2007.
- [Shanware 03] A. Shanware, M. R. Visokay, J. J. Chambers, J. McPherson, L. Colombo, G. A. Brown, C. H. Lee, Y. Kim, M. Gardner & R. Murto. *Characterization and Comparison of the Charge Trapping in HfSiON and HfO₂ Gate Dielectrics*. Dans IEDM Technical Digest, pages 939–942, 2003.
- [Sim 05] J. H. Sim, R. Choi, B. H. Lee, C. Young, P. Zeitsoff, D. L. Kwong & G. Bersuker. *Trapping/De-Trapping Gate Bias Dependence of Hf-Silicate Dielectrics with Poly and TiN Gate Electrode*. Japanese Journal of Applied Physics, vol. 44, no. 4B, pages 2420–2423, Avril 2005.
- [Sitelesc 06] *Rapport Annuel du Syndicat des Industries de Tubes ELectroniques et SemiConducteurs*, 2006. Disponible sur <http://www.sitelesc.fr/>.
- [Skotnicki 00] T. Skotnicki. *Transistor MOS et sa Technologie de Fabrication*. Techniques de l'Ingénieur, Dossier E2430, Février 2000.
- [Skotnicki 03] T. Skotnicki & F. Bœuf. « Physique des Dispositifs pour Circuits Intégrés Silicium » (Sous la direction de J. Gautier), chapitre 3 : Introduction à la Physique du Transistor MOS. Série Electronique et Micro-Electronique. Hermes Science Publications, 2003.
- [Sodini 82] C. G. Sodini, T. W. Ekstedt & J. L. Moll. *Charge Accumulation and Mobility in Thin Dielectric MOS Transistors*. Solid-State Electronics, vol. 25, no. 9, pages 833–841, 1982.

-
- [Sze 81] S. M. Sze. « Physics of Semiconductor Devices ». Wiley, 2nd edition, 1981.
- [Takagi 94] S. I. Takagi, A. Toriumi, M. Iwase & H. Tango. *On the Universality of Inversion Layer Mobility in Si MOSFET's :Part I - Effects of Substrate Impurity Concentration*. IEEE Transactions on Electron Devices, vol. 41, no. 12, pages 2357–2362, Décembre 1994.
- [Tans 98] S. J. Tans, A. Verschueren & C. Dekker. *Room-Temperature Transistor Based on a Single Carbon Nanotube*. Nature, vol. 393, pages 49–51, Mai 1998.
- [Tatsumura 07] K. Tatsumura, M. Goto, S. Kawanaka & K. Nakajima. *Clarification of Additional Mobility Components Associated with TaC and TiN Metal Gates in Scaled HfSiON MOSFETs down to sub-1.0nm EOT*. Dans IEDM Technical Digest, pages 349–352, 2007.
- [Terman 62] L. M. Terman. *An Investigation of Surface States at a Silicon/Silicon Oxide Interface Employing Metal-Oxide-Silicon Diodes*. Solid-State Electronics, vol. 5, no. 5, pages 285–299, Septembre 1962.
- [Thevenod 07] L. Thevenod, M. Cassé, W. Desrat, M. Mouis, G. Reimbold, D. K. Maude & F. Boulanger. *Magnetoresistance Mobility Extraction on TiN/HfO₂/SiO₂ Metal-Oxide-Semiconductor Field Effect Transistors*. Applied Physics Letters, vol. 90, no. 15, Avril 2007.
- [Tseng 87] W. L. Tseng. *A New Charge Pumping Method of Measuring Si-SiO₂ Interface States*. Journal of Applied Physics, vol. 62, no. 2, pages 591–599, 1987.
- [Uchida 02] K. Uchida, H. Watanabe, A. Kinoshita, J. Koga, T. Numata & S. Takagi. *Experimental Study on Carrier Transport Mechanism in Ultra-Thin-Body SOI n- and p-MOSFETs with SOI Thickness Less Than 5nm*. Dans IEDM Technical Digest, pages 47–50, 2002.
- [Villa 98] S. Villa, A. Lacaita, L. Perron & R. Bez. *A Physically-Based Model of the Effective Mobility in Heavily-Doped n-MOSFET's*. IEEE Transactions on Electron Devices, vol. 45, no. 1, pages 110–115, Janvier 1998.
- [Wakabayashi 03] H. Wakabayashi, S. Yamagami, N. Ikezama, A. Ogura, M. Narihiro, K. Arai, Y. Ochiai, K. Takeuchi, T. Yamamoto & T. Mogami. *Sub-10nm Planar-Bulk-CMOS Devices Using Lateral Junction Control*. Dans IEDM Technical Digest, page 989, 2003.
- [Waldner 07] J. B. Waldner. « Nano-Informatique et Intelligence Ambiante ». Hermès-Lavoisier, 1^{ère} édition, 2007.

- [Weber 05] O. Weber. *Étude, Fabrication et Propriétés de Transport de Transistors CMOS Associant un Diélectrique Haute Permittivité et un Canal de Conduction Haute Mobilité*. Thèse de Doctorat, Institut National des Sciences Appliquées de Lyon, Décembre 2005.
- [Widiez 05] J. Widiez. *Etude, Fabrication et Caractérisation de Transistors CMOS Double Grille Planaires Déca-Nanométriques*. Thèse de Doctorat, Institut National Polytechnique de Grenoble, Novembre 2005.
- [Wilk 01] G. D. Wilk, R. M. Wallace & J.M. Anthony. *High- κ Gate Dielectrics : Current Status and Materials Properties Considerations*. Journal of Applied Physics, vol. 89, no. 10, Mai 2001.
- [Wind 02] S. J. Wind, J. Appenzeller, R. Martel, V. Derycke & P. Avouris. *Vertical Scaling of Carbon Nanotube Field-Effect Transistors Using Top Gate Electrodes*. Applied Physics Letters, vol. 80, no. 20, pages 3817–3819, Mai 2002.
- [Wu 89] A. T. Wu, T. Y. Chan, V. Murali, S. W. Lee, J. Nilman & M. Garner. *Nitridation Induced Surface Donor Layer in Silicon and its Impact on the Characteristics of n- and p-Channel MOSFETs*. Dans IEDM Technical Digest, pages 10.6.1–10.6.4, 1989.
- [Yu 02] J. Yu, D. Vasileska, S. Goodnick, J. Grazul, M. Green, C. Y. Kim, K. Evans-Lutterodt, L. Liu, J. Lyding, W. Mansfield, D. Muller, T. Sorsch, R. Timp & G. Timp. *The Role of Interface Roughness Scattering in the Effective Mobility of an Inversion Layer*. Dans IEEE Silicon Nanoelectronics Workshop, page 75, 2002.
- [Zhu 04] W. Zhu, J. P. Han & T. P. Ma. *Mobility Measurement and Degradation Mechanisms of MOSFETs Made With Ultrathin High- κ Dielectrics*. IEEE Transactions on Electron Devices, vol. 51, no. 1, pages 98–105, Janvier 2004.

Bibliographie de l'auteur

Publications dans des revues internationales

Magnetoresistance Mobility Extraction on TiN/HfO₂/SiO₂ Metal-Oxide-Semiconductor Field Effect Transistors

L. Thevenod, M. Cassé, W. Desrat, M. Mouis, G. Reibold, D. K. Maude et F. Boulanger
Applied Physics Letters, Volume 90, 152111. Avril 2007

Influence of TiN Metal Gate on Si/SiO₂ Surface Roughness in N and PMOSFETs

L. Thevenod, M. Cassé, M. Mouis, G. Reibold, F. Fillot, B. Guillaumot et F. Boulanger
Microelectronic Engineering, Volume 80, pages 11-14. Juin 2005

Carrier Transport in HfO₂/Metal Gate MOSFETs : a Physical Insight into Critical Parameters

M. Cassé, L. Thevenod, B. Guillaumot, L. Tosti, F. Martin, J. Mitard, O. Weber, F. Andrieu, T. Ernst, G. Reibold, T. Billon, M. Mouis et F. Boulanger
IEEE Transactions on Electron Devices, Volume 53, no. 4, pages 759-768. Avril 2006

Modeling of Remote Coulomb Scattering Limited Mobility in MOSFET with HfO₂/SiO₂ Gate Stacks

S. Barraud, L. Thevenod, M. Cassé, O. Bonno, M. Mouis
Microelectronic Engineering, Volume 84, no. 9-10, pages 2404-2407. Septembre 2007

On the Mobility in High-k/Metal Gate MOSFETs : Evaluation of the high-k Phonon Scattering Impact

O. Weber, M. Cassé, L. Thevenod, F. Ducroquet, T. Ernst et S. Deleonibus
Solid-State Electronics, Volume 50, no. 4, pages 626-631. Avril 2006

Participation à des actes de conférences

Impact of TiN/HfO₂ Integration on Carrier Mobility

M. Cassé, L. Thevenod, B. Guillaumot, L. Tosti, V. Cosnier, J. Mitard, G. Reibold, T. Billon, M. Mouis et F. Boulanger
Proceedings of MRS Spring Meeting, Volume 917. 2006

Accurate Investigation of the High-k Soft Phonon Scattering Mechanism in Metal Gate MOSFETs

O. Weber, M. Cassé, L. Thevenod, F. Ducroquet, T. Ernst, B. Guillaumot et S. Deleonibus
Proceedings of ESSDERC'05, pages 379-382. Septembre 2005

Experimental Determination of Mobility Scattering Mechanisms in Si/HfO₂/TiN and SiGe:C/HfO₂/TiN Surface Channel n- and p-MOSFETs

O. Weber, F. Andrieu, M. Cassé, T. Ernst, J. Mitard, F. Ducroquet, J. -F. Damlencourt, J. -M. Hartmann, D. Lafond, A. -M. Papon, L. Militaru, L. Thevenod, K. Romanjek, C. Leroux, F. Martin, B. Guillaumot, G. Ghibaudo et S. Deleonibus
IEDM 2004 Technical Digest, pages 867-670. Décembre 2004

Impact of WSi_x Metal Gate Stoichiometry on Fully Depleted SOI MOSFETs Electrical Properties

J. Widiez, M. Vinet, B. Guillaumot, X. Garros, S. Minoret, T. Poiroux, O. Weber, L. Thevenod, P. Holliger, B. Previtali, V. Barral, K. S. Ali Cherif, P. Grosgeorges, A. Toffoli, S. Maitrejean, M. Cassé, F. Martin, D. Lafond, O. Faynot, M. Mouis et S. Deleonibus
Proceedings of Symposium on VLSI Technology, Systems and Applications Avril 2006

Conférences et séminaires

37th IEEE Semiconductor Interface Specialists Conference (SISC) Présentation orale « Characterization of TiN/HfO ₂ /SiO ₂ MOSFETs by Extracting Mobility from Magnetoresistance Measurements »	<i>San Diego (USA)</i> <i>7-9 Décembre 2006</i>
14th Conference on Insulating Films on Semiconductors (INFOS) Présentation orale « Influence of TiN Metal Gate on Si/SiO ₂ Surface Roughness in N and PMOSFETs »	<i>Leuven (Belgique)</i> <i>22-24 Juin 2005</i>
Journées Simulation et Caractérisation des Nanocomposants (GDR CNRS n°2054) Présentation orale « Extraction de mobilité dans les MOSFETs à empilement de grille TiN/HfO ₂ /SiO ₂ par des mesures de magnétorésistance »	<i>Grenoble (France)</i> <i>19-20 Octobre 2006</i>
9^{èmes} Journées Nationales du Réseau Doctoral de Microélectronique (JNRDM) Poster « Caractérisation et modélisation des mécanismes limitant la mobilité dans les transistors intégrant un diélectrique haute permittivité et une grille métallique »	<i>Rennes (France)</i> <i>10-12 Mai 2006</i>
MINATEC Crossroads Poster « Caractérisation et modélisation des mécanismes limitant la mobilité dans les transistors intégrant un diélectrique haute permittivité et une grille métallique »	<i>Grenoble (France)</i> <i>29 Mai – 1 Juin 2006</i>
Séminaire de l'Institut de Microélectronique, Electromagnétisme et Photonique Exposé oral « Étude de la réduction de mobilité dans les transistors MOS intégrant un oxyde de forte permittivité et une grille métallique »	<i>Grenoble (France)</i> <i>26 Octobre 2006</i>

Récompenses scientifiques

INFOS 2005 « Best Student Paper Award » Prix du meilleur travail scientifique étudiant lors de la Conférence INFOS 2005	<i>Leuven (Belgique)</i> <i>Juin 2005</i>
« Nicollian Award » Prix du meilleur étudiant lors de la Conférence SISC 2006	<i>San Diego (USA)</i> <i>Décembre 2006</i>