



HAL
open science

CONTRIBUTION A L'ETUDE DE LA FIABILITE DES OXYDES MINCES DANS LES STRUCTURES MOS

Didier Goguenheim

► **To cite this version:**

Didier Goguenheim. CONTRIBUTION A L'ETUDE DE LA FIABILITE DES OXYDES MINCES DANS LES STRUCTURES MOS. Micro et nanotechnologies/Microélectronique. Université de Provence - Aix-Marseille I, 2006. tel-00421746

HAL Id: tel-00421746

<https://theses.hal.science/tel-00421746>

Submitted on 2 Oct 2009

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



MEMOIRE

présenté devant

l'Université de Provence Aix-Marseille I

en vue d'obtenir

L'HABILITATION A DIRIGER DES RECHERCHES

Discipline: **Microélectronique**

Ecole doctorale : **Physique, Modélisation et Sciences de l'Ingénieur**

par

Didier GOGUENHEIM

Docteur de l'Université des Sciences et Techniques de Lille Flandres Artois

CONTRIBUTION A L'ETUDE DE LA FIABILITE DES OXYDES MINCES DANS LES STRUCTURES MOS

Soutenue le 23 janvier 2006 devant la commission d'examen

Président : Dominique VUILLAUME (DR CNRS - IEMN)

Rapporteurs : Gérard SARRABAYROUSE (DR CNRS - LAAS)
Gérard GHIBAUDO (DR CNRS - IMEP)
Rachid BOUCHAKOUR (Professeur U1 - L2MP)

Examineurs : Michel LANNOO (DR CNRS - L2MP)
Jean-Luc AUTRAN (Professeur U1 - L2MP)
Philippe BOIVIN (STMicroelectronics)
Gilles REIMBOLD (CEA-LETI)



Laboratoire Matériaux et Microélectronique de **P**rovence

REMERCIEMENTS

Lorsque l'on met autant de temps à passer son Habilitation, on a évidemment autant de remerciements à adresser en plus. J'en oublierai certainement un ou plusieurs : qu'ils ne m'en tiennent pas rigueur...

Tout long parcours demande un compagnon de chaque instant, présent depuis l'origine, et sans lequel rien n'aurait probablement commencé. Alain est celui-là. Merci pour sa présence et sa constance, merci aussi pour sa fidélité au développement de notre activité.

Un long parcours doit aussi avoir des racines, car on a souvent à puiser dans la source de ses études pour se régénérer. Merci à Pierre Lecomte et Michel Lannoo de l'avoir rendu si fraîche et stimulante. Merci aussi à Jean-Noël, parti trop tôt.

Je suis en 1992 venu à Toulon pour retrouver une équipe qui voulait bâtir une école. Mais j'y suis aussi surtout venu car Michel Castelain me l'a demandé. Merci à lui d'avoir pensé à moi.

Merci bien sûr aux nombreux compagnons des premiers temps à l'« ISEM », mais aussi à ceux plus récemment venus à l'« ISEN-Toulon » qui ont si bien su faire lever les graines plantées par les premiers. Une pensée spéciale à tous les stagiaires ou doctorants qui ont dû supporter mon humour tout au long de ces années : pardon à Nicolas, Céline et aujourd'hui David ou Christelle... mais je continue !

Je n'oublie évidemment pas ceux qui, plus éloignés de mes thèmes de recherche, n'en ont pas moins constitué des compagnons appréciés dans, mais aussi et surtout en dehors du travail. Claude et Olivier se reconnaîtront.

Je remercie également tous ceux (nombreux) qui, au L2MP, à l'ISEN-Toulon comme sur les autres sites, m'ont manifesté leur soutien et leur amitié. J'adresse un salut spécial à Rachid Bouchakour pour l'énergie et l'obstination qu'il met au service de tous au laboratoire. Et je tiens tout particulièrement à remercier Christophe Muller pour son action inlassable sur Toulon et la qualité de son amitié.

J'adresse naturellement mes remerciements embarrassés à Gérard Ghibaudo et Gérard Sarrabayrouse qui ont été sollicités pour relire le manuscrit comme rapporteurs, ainsi qu'aux autres membres du jury, Jean-Luc Autran, Dominique Vuillaume, Gilles Reibold et Philippe Boivin.

J'ai évidemment aujourd'hui une pensée émue et profonde pour Patrick Gas, qui nous a laissés désemparés. Je l'ai trop peu connu, mais je lui dédie ce manuscrit : il était un exemple de passion et de don de soi.

Enfin, je ne puis oublier ma famille : ma femme Pascale tout d'abord pour son amour et sa patience devant une activité professionnelle parfois envahissante depuis plus de vingt ans... et mes enfants Marc-Antoine, Aurore et Anaïs ... pour exister tout simplement même s'ils n'ont pas vraiment responsables !

SOMMAIRE

PRESENTATION DU PARCOURS	1
1. Introduction	1
2. Parcours détaillé	6
3. Publications	11
CHAPITRE 1 : FIABILITE DES OXYDES ULTRA-MINCES	21
1. Motivation	21
2. Introduction	22
3. Etude du SILC et du Quasi-breakdown dans les oxydes de 4.7nm et 3.8nm d'épaisseur	25
3.1 Introduction générale sur le SILC et description des échantillons	25
3.2 SILC et injections de porteurs chauds	29
3.3 Dépendance en température et en champ du SILC	34
3.4 Etude du Quasi-breakdown	41
4. Etude des modes de dégradation dans les oxydes de 2.5 à 1.2 nm d'épaisseur	45
4.1 Cadre et sujet de l'étude	45
4.2 Problématique des oxydes ultra-minces ($T_{OX} < 3nm$)	45
4.3 Dégradation par CVS	48
4.4 Dégradation par porteurs chauds du canal	57
4.5 Dégradation par injection uniforme de porteurs chauds du substrat	61
5. Conclusion et perspectives sur la fiabilité des oxydes ultra-minces	69
6. Références du chapitre 1	70
CHAPITRE 2 : ANALYSE DYNAMIQUE DE LA FIABILITE PORTEURS CHAUDS DES TRANSISTORS MOSFETS	77
1. Introduction	77
2. Rappel sur les injections de porteurs chauds en régime statique	77
2.1 Modes de dégradation	77
2.1.1 Cas du NMOSFET	79
2.1.2 Cas du PMOSFET	80
2.2 Technique d'extrapolation de temps de vie statique	81
3. Injections de porteurs chauds en régime dynamique	84
4. Modèle Quasi-Statique	84
5. Cas du N-MOSFET dans la configuration transistor de passage	89

6. Conclusion	98
7. Références du chapitre 2	98

**CHAPITRE 3 : INFLUENCE DES ETAPES DE PROCEDE SUR LA FIABILITE
DES DISPOSITIFS CMOS 104**

1. Introduction	104
2. Comparaison des courants de fuite à travers l'oxyde induits par un implant ionique à haute énergie et par contrainte électrique sous haut champ électrique	105
2.1 Position du problème	105
2.2 Description des échantillons	106
2.3 Effet de la position de l'implant dans le flot de process	107
2.4 Effet des paramètres de l'implant	110
2.5 Etude des courants de fuite induits par l'implant (IILC)	111
2.6 Effet d'un recuit thermique	113
2.7 Conclusion	115
3. Méthodologie optimisée de détection du Wafer Charging basée sur des injections de porteurs chauds dans les technologies CMOS avancées	116
3.1 Position du problème	116
3.2 Etude bibliographique et définition de l'étude	117
3.3 Méthodologie et procédure expérimentale	118
3.4 Résultats	122
3.4.1 Transistors 10/0.6 μ m	122
3.4.2 Transistors 10/0.18 μ m	123
3.4.3 Transistors 10/0.25 μ m	124
3.4.4 Effet d'un plasma HDP	125
3.5 Conclusion	126
4. Détection du Fer dans des échantillons contaminés par DLTS	127
4.1 Position du problème	127
4.2 La technique DLTS	127
4.3 Expériences réalisées	128
4.4 Conclusion	130
5. Références du chapitre 3	131

CONCLUSION GENERALE ET PERSPECTIVES 135

LISTE DES FIGURES 135

GLOSSAIRE..... 148

PRESENTATION DU PARCOURS

1. Introduction

Les travaux qui seront détaillés dans ce manuscrit de demande d'Habilitation à Diriger les Recherches intitulé « *Contribution à l'étude de la fiabilité des oxydes minces dans les structures Métal-Oxyde-Semiconducteur MOS* », portent sur une période de dix ans entre 1994 et 2004. Après avoir soutenu ma thèse à l'Université de Lille Flandres-Artois en avril 1992 sur l'« *Etude théorique et expérimentale de la capture non-radiative de porteurs libres dans les semi-conducteurs et son application à la liaison pendante de silicium à l'interface Si/SiO₂ (centre P_b)* », j'ai en effet rejoint en septembre 1992 l'ISEN-Toulon qui portait alors le nom d'ISEM (Institut Supérieur d'Electronique de la Méditerranée), école d'ingénieurs ayant ouvert ses portes un an plus tôt (septembre 2001). J'y eus la responsabilité dans un premier temps de reprendre l'enseignement de la physique en cycle ingénieur (mécanique quantique, physique des solides et des composants) puis d'y faire émerger et démarrer des activités de recherche.

Ma première tâche fut de reprendre l'ensemble des enseignements de physique du cycle ingénieur de l'ISEN-Toulon, à partir de ce qui était fait à l'ISEN-Lille depuis plus de vingt ans. Cet enseignement comporte d'abord un cours général de mécanique quantique et de physique des solides en première année, et se prolonge jusqu'à la modélisation des composants (diodes, transistors bipolaires ou MOSFET) et l'ouverture vers les nouvelles technologies (LASER, supraconductivité, nano-physique) en deuxième année. Disposant d'une base de départ solide et éprouvée, j'ai mis en forme le cours sous la forme d'un polycopié de référence. Ce cours a depuis quinze ans, en particulier au niveau des TD ou mises en application lors de mini-projets ou TP, évidemment suivi des évolutions et des modifications, mais qui ont conservé jusqu'à ce jour l'esprit initial, qui consiste à fournir une base solide qualitative et quantitative en physique quantique, afin de disposer de tous les outils requis à une compréhension sérieuse et pas seulement descriptive des composants et objets technologiques. En particulier, le champ d'investigation s'est ouvert aux nanotechnologies, aux LASERs et plus récemment à la cryptographie et l'informatique quantiques. La responsabilité et l'enseignement (encore en grande partie) de ce cours au niveau de l'ISEN-Toulon constituent toujours aujourd'hui ma principale tâche éducative, en plus d'exercer la fonction de professeur responsable de la première année du cycle ingénieur de l'ISEN-Toulon.

Cependant, au cours de ces douze années, j'ai eu plusieurs occasions d'enrichir et de diversifier mon parcours d'enseignant. La première me fut donnée à partir de 1998 par le Master de la CGE « *Masters in Microelectronics Technology and Manufacturing Management (TMTP)* » (EMSE-STU-EGIM), où j'assume annuellement aujourd'hui six journées d'intervention en anglais devant un public international de niveau équivalent Bac+4 ou 5 sur la physique et la modélisation (jusqu'à la description des modèles « SPICE ») des transistors bipolaires et MOS, ainsi que sur les méthodes de caractérisation électrique. Cette expérience, très différente de celle que je connaissais à l'ISEN-Toulon en formation première, plus proche de la formation continue, a été très stimulante. Elle oblige en effet à composer avec des étudiants d'origines et de parcours très divers, et à être très pédagogique sur un temps très limité, en plus du fait de devoir délivrer l'enseignement en anglais. La seconde opportunité me fut fournie par ma participation au DEA de Microélectronique (en fait une option du DEA Systèmes Complexes de l'Université de Provence U1) créé en 1999 sur

Marseille : j'y ai été chargé jusqu'en 2004 d'assumer un cours d'environ 12 heures sur la technologie et la modélisation des transistors bipolaires. Ce fut une implication originale, car j'étais au départ plutôt spécialiste des technologies MOS de part mes activités de recherche, mais mon implication dans ce cours a été source d'une ouverture et d'un enrichissement personnel important du point de vue connaissances. De même, je fus impliqué à partir de 2001 dans le DESS M2Tech de l'Université du Sud Toulon-Var, où j'assumais un cours sur la caractérisation électrique et la fiabilité des composants et des oxydes dans les structures MOS. Là encore, ce fut l'occasion pour moi d'enseigner à un public différent, allant de filières universitaires classiques à des personnes salariées reprenant leurs études, dans un contexte et sur un sujet plus « professionnalisant » que les cours que je donnais à l'ISEN-Toulon. Avec la réforme du LMD, ces deux dernières implications ont évolué en 2004-2005 : je participe désormais au Master Recherche MINELEC (M2 - Parcours Nanoélectronique) de l'Université de Provence comme co-responsable du cours d'Electronique Moléculaire (environ 8h de cours sur la structure électronique des molécules utilisables en électronique moléculaire et l'informatique quantique), tandis que j'enseigne toujours la caractérisation électrique et fiabilité des composants MOS (~15h) au sein du Master Professionnel NAMISYS (M2) de l'Université du Sud Toulon Var. Ces implications au niveau des filières universitaires à Bac+5 m'ont par ailleurs permis d'encadrer ou de co-encadrer une dizaine de stages en laboratoire effectués dans ce cadre (voir liste détaillé dans le parcours).

Dans la suite de mes travaux de thèse, mon activité de recherche s'est développée autour de la caractérisation électrique et la fiabilité de dispositifs semiconducteurs, surtout à partir de 1994 en compagnie et grâce à Alain BRAVAIX, enseignant-chercheur qui avait alors rejoint l'ISEN-Toulon. Jusqu'en 2000, le déploiement de cette thématique de recherche fut interne et propre à l'ISEN-Toulon, avec toutefois l'émergence de nombreux contacts universitaires (CRMC2-Luminy, LETI-Grenoble) et la réalisation de plusieurs études contractuelles avec des industriels de la microélectronique (STMicroelectronics, Atmel). En 2000, notre rattachement au L2MP (Laboratoire Matériaux et Microélectronique de Provence – UMR CNRS 6137) nouvellement créé ainsi que la participation et collaboration au DEA Systèmes Complexes (option Microélectronique) de l'Université de Provence fournit un cadre et une reconnaissance extérieure, et donne un élan nouveau au déploiement de ces activités de recherche (en particulier l'accueil et l'encadrement de doctorants sur le site de l'ISEN-Toulon). Aujourd'hui, l'activité « Fiabilité des technologies MOS submicroniques avancées » est rattachée à l'équipe « Dispositifs Ultimes » du L2MP, et aux options Micro et Nanoélectronique du Master MINELEC de l'Université de Provence. Nous participons également au Master professionnel NAMISYS de l'Université du Sud Toulon-Var. Cette thématique possède un lien fort avec les partenaires industriels, en particulier STMicroelectronics (sites de Crolles et Rousset), mais conserve des aspects fondamentaux sur les mécanismes de vieillissement et de défaillance (défauts) dans les dispositifs MOS avancés. En ce qui concerne mon activité propre, celle-ci a fourni matière à la publication comme auteur ou co-auteur de 30 papiers dans des revues scientifiques et ma participation à plus de 16 conférences internationales depuis 1994 (voir liste de publications jointes). Enfin j'assume en interne au sein de l'ISEN-Toulon la responsabilité de Directeur de La Recherche, ce qui m'amène à m'impliquer avec passion mais également conscience de mes limites, dans le développement de domaines plus éloignés de mes strictes sujets de recherche, à savoir l'électronique moléculaire, la conception de circuits intégrés et numériques, le traitement du signal et des images.

Les études que j'ai menées ou auxquelles j'ai participé au cours de ces dix années de recherche peuvent se regrouper autour de trois sous-ensembles thématiques principaux qui correspondront aux parties développées dans la suite du manuscrit:

Ch.1 : Fiabilité des oxydes ultra-minces (5-1.2nm d'épaisseur)

Collaboration: CEA/LETI - Université de Reims – IEMN, 1997–2000, Gilles Reimbold, Marc Jourdain, Dominique Vuillaume, Bouchra Ananou

Collaboration dans le cadre du projet RMNT ULTIMOX: CEA/LETI - Université de Reims – IEMN - STCrolles, 2000-2003, Gilles Reimbold, Anne Meinertzhagen / Marc Jourdain, Dominique Vuillaume, Emmanuel Vincent, Céline Trapes

La réalisation d'oxydes de bonne qualité isolante et fiables dans le temps constitue encore aujourd'hui un des challenges scientifiques et technologiques majeurs des procédés de la microélectronique. Les lois d'échelles qui accompagnent la réduction continue des tailles des composants imposent aujourd'hui des couches isolantes ne comportant plus que quelques couches atomiques (entre 1.5nm et 5 nm) dans les dispositifs le plus avancés. Etudier la fonctionnalité, les performances et la fiabilité de telles couches, en tenant compte l'augmentation exponentielle du courant de fuite tunnel en leur sein, a constitué le fil directeur de ces travaux. La tenue au claquage de ces couches est évidemment un des points les plus importants à aborder. Si les phénomènes gouvernant la dégradation de l'oxyde (menant à terme au claquage) sont assez bien modélisés et ont permis une prédiction particulièrement fiable de la robustesse des oxydes jusque 10nm d'épaisseur, de nouveaux modes spécifiques de dégradation sont apparus pour des oxydes « minces » ($T_{OX} < 10\text{nm}$) et ont nécessité une étude spécifique : injections en régime tunnel direct, courants de fuite à bas champ (SILC : *Stress Induced Leakage Current*) ou très bas champ (LVSILC: *Low Voltage Stress Induced Leakage Current*) après une contrainte sous haut champ électrique, nouveaux modes de claquage dits « mous » (*Soft- ou Quasi-Breakdown*) par opposition au claquage « franc » dans les oxydes plus épais, lois d'accélération en tension (modèle en V ou en V^n) plutôt qu'en champ (en E ou $1/E$). Notre travail est une contribution à l'étude de ces phénomènes dans les oxydes d'épaisseur 1.2-5nm, lors de contraintes électriques non destructives, ainsi que l'analyse des mécanismes physiques responsables de leur dégradation. Nous présenterons d'abord des résultats dans les oxydes entre 3.5nm et 5nm concernant le lien entre la génération du SILC et les injections de porteurs chauds, puis nous étudierons la dépendance en champ et en température du SILC dans cette gamme d'épaisseur. Nous donnerons ensuite les résultats de notre étude sur le phénomène de Quasi-Breakdown observé dans ces échantillons et proposerons une modélisation simple de ce phénomène. Dans un second temps, nous détaillerons les spécificités des nouveaux modes de dégradation observés (LVSILC) dans les oxydes entre 1.2nm et 2.5nm d'épaisseur, leur dépendance en fonction des contraintes employées, par porteurs chauds ou injections uniformes et leurs lois d'accélération en tension.

Ch.2 : Analyse dynamique de la fiabilité porteurs chauds des transistors MOSFETs

Collaboration: Alain Bravaix (ISEN-Toulon), STMicroelectronics Crolles 1996–2004

Lors de ce travail, nous nous sommes intéressés à la prédiction quasi-statique des durées de vie des transistors MOS stressés dans des configurations dynamiques (AC). En

effet, même avec la réduction des tensions d'alimentation, les injections de porteurs chauds restent un des problèmes majeurs de fiabilité dans les transistors MOSFET. Nous souhaitons mettre au point et qualifier une méthode fiable d'extrapolation des temps de vie des dispositifs MOSFET en fonctionnement réel (dynamique) à partir des mesures effectuées en statique. Pour cela, nous avons dû, en plus des résultats de temps de vie statiques, analyser les dépendances temporelles des tensions de grille $V_G(t)$, de drain $V_D(t)$ et de source $V_S(t)$, pour différents modes de fonctionnement du transistor (inverseur, SRAM, ROM, transistor de passage ...) afin d'identifier les plus critiques. La technique d'extrapolation que nous avons mise au point, basée sur l'hypothèse Quasi-Statique, repose sur le calcul du rapport cyclique "X/T", X représentant le temps par cycle T pendant lequel le transistor MOS subit les effets des dégradations dues aux électrons chauds. Cette méthode, une fois validée, permet un gain de temps important dans les études de vieillissement en ce qui concerne l'extrapolation aux conditions réelles de fonctionnement. Une fois validée dans le principe, nous avons appliqué cette technique au cas du transistor NMOSFET dans la configuration transistor de passage (identifiée comme particulièrement critique). Nous avons validé son application dans ce cas, mais aussi établi les limites de son usage du fait de phénomènes non pris en compte. En effet, l'approche quasi-statique ne peut prendre en compte simplement tous les mécanismes susceptibles de survenir lors des phases dynamiques et les effets "post-stress", tels que le dépiégeage ou la relaxation de charges, la neutralisation des trous piégés ou la charge de pièges neutres créés par les trous lors d'injections ultérieures d'électrons, ou plus simplement des effets géométriques dus à la nature parfois bidirectionnelle et donc symétrique des dommages engendrés le long du canal.

Ch.3 : Influence des étapes de procédé sur la fiabilité des dispositifs CMOS

En collaboration étroite avec les équipes de R&D d'industriels reconnus de la microélectronique, nous avons également abordé l'impact des procédés de fabrication sur le compromis performances/fiabilité des composants MOS. En effet, le process lui-même peut être à l'origine d'une dégradation (détectable mais parfois masquée ou passivée à la fin du procédé lui-même) pouvant influencer dramatiquement la fiabilité ultérieure du composant. Nous avons travaillé sur les défauts induits par le process (appelés PID: *Process Induced Defects*) et nous sommes intéressés principalement aux phénomènes suivants:

- La contamination de l'oxyde par des ions mobiles provoquant des décalages de tension de seuil et des instabilités de tension de bandes plates sous l'effet de la tension appliquée ou de la température. Des problèmes de ce type ont été abordés lors d'une étude industrielle avec la société Thalès Avionics, et nous avons été amenés à développer des techniques spécifiques d'étude de ces charges mobiles telles que le TBS (*Thermal Bias Sweep*) ou TVS (*Triangular Voltage Sweep*),
- La charge des niveaux de métal ou de polysilicium (*Wafer Charging*) durant des étapes utilisant des espèces chargées (implantation ionique ou gravure plasma), provoquant durant le process des injections dégradantes de porteurs à travers les oxydes de grille de la structure MOS. Nous avons travaillé sur deux points particuliers en lien avec ces étapes:
 - l'effet d'un implant à haute énergie de Bore destiné à réduire l'effet de perçage dans des transistors à canaux courts (implant APT: *Anti Punch-Through*) sur la fiabilité de la structure et en particulier de l'oxyde (*Collaboration: STMicroelectronics Rousset Contrat CREMSI 14 1998*–

2001, Philippe Boivin / Jean-Michel Moraguès / Jean-Luc Ogier) : nous avons montré que la position dans le flot de process de cet implant influait notablement sur la fiabilité de l'oxyde en terme de charge piégée, défauts d'interface ou de volume et tenue au claquage, le pire cas se trouvant être un implant après le dépôt de la grille en Polysilicium et d'une couche de WSi. Les paramètres de l'implantation (dose et énergie) influencent l'amplitude des effets observés, mais pas la nature des dommages constatés, reliés à des concentrations additionnelles de défauts induits par l'implant dans l'oxyde, à l'interface Si/SiO₂ et dans le substrat de Silicium. Dans le pire cas (implant à travers la grille + l'oxyde tunnel), l'implant provoque de plus l'apparition d'un courant de fuite en excès à travers l'oxyde à bas champ (IILC Implantation Induced Leakage Current) similaire à celui observé après un stress sous haut champ électrique (SILC) dans les oxydes minces. Nous avons comparé les propriétés du IILC et du SILC en terme de dépendance en champ et passivation thermique, et conclu que des défauts neutres de même nature sont induits lors de l'implant et lors des stress électriques dans l'oxyde, et que ces derniers sont à l'origine d'un mécanisme d'effet tunnel assisté par défauts à travers l'oxyde responsables des courants en excès.

- le développement d'une méthodologie optimisée de détection des effets du Wafer Charging pendant les étapes de gravure plasma plus sensible que celles utilisées jusqu'alors et utilisant les porteurs chauds (*Collaboration: STMicroelectronics Rousset Convention STSI phase 5, 2001–2002, Sami Gomri, Christophe Monserie / Jean-Michel Moraguès / Philippe Boivin / Nicolas Legrand*) : on utilise des injections d'électrons chauds dans le PMOS (à la condition de maximum de courant de grille) et un critère de suivi portant sur la tension de seuil (variation relative de V_{TH} par rapport à un échantillon de référence protégé ou "sensibilité" au charging). Cette méthode s'est révélée plus pertinente et révélatrice des dégâts liés au charging que les injections Fowler-Nordheim, qui pour les oxydes minces s'est avérée peu sensible sur les trois technologies de transistors testées (10/0.6µm, 10/0.25µm, 10/0.18µm). Enfin, elle est potentiellement aujourd'hui opérationnelle pour des durées de stress testées jusqu'à 1s, ce qui pourrait la rendre utilisable "on-line" pour le contrôle de production WLRC.

- La contamination du substrat par des ions métalliques (Fe, Cu ...), qui réduit dramatiquement la durée de vie des porteurs libres du canal. Concernant ce point, qui reste critique dans les process actuels, et nécessite de tester en permanence la présence éventuelle d'impuretés métalliques dans les dispositifs, nous avons été amené ponctuellement (*Collaboration: STMicroelectronics Rousset – Nicolas Pic / Séverine Blanc – Stage de Master STU*) à confirmer la présence de défauts électriquement actifs liés au fer par des expériences de DLTS (*Deep Level Transient Spectroscopy*) afin de comparer les résultats de la DLTS à ceux des expérimentations menés dans les centres de production par SPV (Surface Photo Voltage). Nous avons étudié la corrélation des concentrations de défauts associés mesurées par DLTS et SPV, et avons confirmé l'existence de deux types de défauts: le premier donnant un pic autour de 160°K, probablement lié à la paire Fe-B, sans que nous ayons pu confirmer définitivement cette assertion, et le second autour de 250°K, instable dans le temps, qui apparaît au dépens du premier défaut après une activation thermique au-dessus de 200°C, et dont les propriétés électriques l'identifient comme le Fer interstitiel Fe_i. Nous avons observé la re-transformation spontanée du Fe_i en défaut précédent en quelques heures.

2. Parcours détaillé

Formation

1982 : Lycée La Providence (Amiens)

- Baccalauréat Série C (mention bien)

1982-1987 : Institut Supérieur d'Electronique du Nord (ISEN Lille)

- Diplôme d'ingénieur ISEN (1987 - Lille)
- Licence de Mathématiques (1987 - Lille)
- DEA de Sciences des Matériaux (1987 - Lille)

1988-1992 : ISEN / Université des Sciences et Techniques de Lille Flandres Artois

- Doctorat de l'Université en Sciences des Matériaux (1992)
“Etude théorique et expérimentale de la capture non-radiative de porteurs libres dans les semi-conducteurs: application à la liaison pendante de silicium à l'interface Si/SiO₂ (centre Pb)”

Expérience d'enseignement

1988–1992 : Institut Supérieur d'Electronique du Nord (ISEN-Lille)

- Enseignant vacataire : TP/TD de physique dans le cycle ingénieur
- 1989-1991 : module "ondes électromagnétiques" en Licence de Physique
- Responsable de la filière DUT/BTS de l'ISEN en 1991/1992

1992–2005 : Institut Supérieur de l'Electronique et du Numérique (ISEN-Toulon)

- Enseignant-Chercheur
- Responsable de la première année du cycle ingénieur et du département Physique
- Enseignements :
Cours de Mécanique Quantique, Physique du Solide et des Composants dans le cycle ingénieur de l'ISEN-Toulon
- Enseignements extérieurs :
 - DEA Systèmes complexes – Option micro- nanoélectronique (Université de Provence – Marseille 1999-2004)
Modélisation électrique de composants intégrés bipolaires
 - Master « *Masters in Microelectronics Technology and Manufacturing Management (TMTP)* » (EMSE-STUniversity-EGIM) , depuis 1998,
Electrical Modeling of MOS and Bipolar Devices, Electrical Characterization
 - DESS M2Tech (Université de Toulon et du Var depuis 2001-2004)
Caractérisation électrique et fiabilité des composants
 - Master Recherche MINELEC – Parcours Nanoélectronique (Université de Provence – Marseille, depuis octobre 2004)
Electronique Moléculaire
 - Master Professionnel NAMISYS (Université du Sud Toulon Var, octobre 2004)
Caractérisation électrique et fiabilité des composants

Recherche

1986 : C.E.N. Saclay (CEA)

- Stage de 3 mois
"Etude expérimentale de la rugosité thermique d'une face (113) du cuivre par diffusion d'un faisceau thermique d'hélium"

1987 : Laboratoire d'Etude des surfaces et Interfaces
(LESI – URA CNRS 253 - ISEN Lille)

- Stage de DEA : Défauts dans les structures M.O.S. (théorie/expérience)
"Calcul théorique et caractérisation expérimentale de la section de capture pour la liaison pendante dans le silicium"

1988–1992 : Laboratoire d'Etude des Surfaces et Interfaces
(LESI – URA CNRS 253 - ISEN Lille)

- Thèse : Défauts dans les structures M.O.S. (théorie/expérience)
sous la direction de Dominique Vuillaume et Michel Lannoo
"Etude théorique et expérimentale de la capture non-radiative de porteurs libres dans les emi-conducteurs: application à la liaison pendante de silicium à l'interface Si/SiO₂ (centre P_b)"
soutenue le 14 avril 1992 à l'Université de Lille Flandres-Artois

1992–2000 : Institut Supérieur de l'Electronique et du Numérique (ISEN-Toulon)

- Responsable du Laboratoire d'Etudes en Microélectronique et Matériaux de l'ISEN-Toulon (LEMMI)
- Thèmes :
 - fiabilité oxydes minces (3-10nm)
 - fiabilité porteurs chauds dans les technologies submicroniques (0.5-0.6µm)
 - caractérisation électrique de défauts dans les structures MOS

2000-2004 : Laboratoire Matériaux et Microélectronique de Provence
(L2MP, UMR CNRS 6137 – ISEN-Toulon)

- Responsable de l'équipe "Fiabilité et Conception de Circuits" localisée à l'ISEN-Toulon
- Coordinateur de l'opération "fiabilité" de l'axe Micro- Nano-électronique du L2MP
- Thèmes : - fiabilité et caractérisation électrique d'oxydes ultra-minces (<2nm)
- fiabilité FEOL/BEOL étapes technologiques (wafer charging, électromigration, contamination Cuivre)

depuis le 01 septembre 2003 : Directeur de la Recherche à l'Institut Supérieur de l'Electronique et du Numérique (ISEN-Toulon)

depuis 2005 : Membre de l'équipe « Dipositifs Ultimes » du L2MP dirigée par Jean-Luc Autran dans le département Micro-Nanoélectronique.

Encadrements de travaux de Recherche

stages de DEA / Master

1997 : co-encadrement du stage de DEA de Nicolas Pic
1999 : stage de DEA de Bouchra Ananou
2000 : stage de DEA de Céline Trapes
2002 : co-encadrement du stage de DEA de Mikaël Denais
2002 : stage de DEA de Sami Gomri
2002 : stage de DEA de Simon Desbief
2003 : co-encadrement du stage de DEA de Marjorie Olivier
2004 : co-encadrement du stage de DEA de David Pic et Ikram El Makoudi
encadrement du stage de DESS de François Rudolff
2005 : co-encadrement du stage de Master M2 de Christelle Benard

thèses

1998-2000 : co-encadrement des travaux de thèse de Nicolas Pic
directeur de thèse : Alain Glachant

2000-2003 : co-encadrement des travaux de thèse de Céline Trapes
directeur de thèse : Michel Lannoo

depuis octobre 2004 : encadrement des travaux de thèse de David Pic sur le sujet
« Mécanismes de dégradation et vieillissement accéléré des oxydes dans les dispositifs microélectroniques : application à la prédiction statistique de la durée de vie dans les oxydes ultra-minces »

depuis octobre 2005 : encadrement des travaux de thèse de Christelle Benard sur le sujet
« Etude et caractérisation des mécanismes de dégradation par porteurs chauds et de la fiabilité des composants CMOS avancés »

Jurys de thèse

- examinateur au jury de thèse de Nicolas Pic, soutenue le 29/11/2000 à l'Université de la Méditerranée, « Etude des propriétés électriques de films ultraminces d'oxyde de silicium de composition variable par greffage de monocouches organiques super-isolantes ».
- rapporteur et membre du jury de la thèse de Guillaume Guirleo, soutenue le 17 décembre 2002 à l'Université de la Méditerranée, « Etude des propriétés électriques et optiques d'hétérostructures Si/CaF₂ déposées sur substrats Si(111) ».
- examinateur au jury de thèse de Céline Trapes, soutenue le 16/01/2004 à l'Université de Provence, « Etude expérimentale des phénomènes de dégradation sous différents modes d'injection dans les oxydes ultra-minces (<5nm) pour la microélectronique ».
- examinateur au jury de thèse de Christian Petit, soutenue le 06/07/2004 à l'Université de Reims Champagne Ardennes, « Contribution à l'étude de la dégradation de films minces et ultra-minces de SiO₂ de structures MOS soumises à des contraintes électriques et à la caractérisation par spectroscopie tunnel inélastique de jonction Al-SiO₂-Si ».

- invité au jury de thèse de Marc Bescond, soutenue le 26/11/2004 à l'Université de Provence, « Modélisation et simulation du transport quantique dans les transistors MOS nanométriques ».
- examinateur au jury de thèse de Mickael Denais, soutenue le 09/09/2005 à l'Université de Provence, « Etude des phénomènes de dégradation de type Negative Bias Temperature Instability (NBTI) dans les transistors MOS submicroniques des filières CMOS avancées ».

Séminaires

Hot carriers, SILC and Soft-Breakdown.
GRESSI Workshop on SILC - LETI Grenoble,
10 décembre 1997.

Caractérisation électrique de couches isolantes ultra-minces
CRMC² Marseille-Luminy,
05 mars 1998.

Bravaix A., Goguenheim D.
Thin gate oxide reliability and characterization.
Colloque interne - IBM Corbeil-Essones,
02 juin 1999.

La technique C(V) sur structure MOS
Université de Toulon et du Var (UTV),
16 février 2000.

The EDMR technique in MOS devices
L2MP Marseille,
29 mars 2000.

La technique C(V) sur structure MOS
L2MP Marseille,
29 mars 2000.

DLTS: a tool to study bulk and interface Si/SiO₂ defects
STMicronics (Rousset)
21 février 2001.

Voyage au pays des atomes : introduction à la théorie quantique de l'information
ISEN-Toulon
12 mai 2005

Contrats de recherche réalisés en collaboration avec l'industrie

ORGANISME	ANNEE	SUJET	COLLABORATION
LETI (CEA) <i>Grenoble (38)</i>	1996 1997	<i>Fiabilité EEPROM, oxydes minces</i>	
CREMSI (S.T.M.) <i>Rousset (13)</i>	1998 - 2000	<i>Méthodes rapides d'analyse de la fiabilité des filières CMOS</i>	
LETI (CEA) <i>Grenoble (38)</i>	1998	<i>Caractérisation oxydes ultimes (<5nm)</i>	ISEN-RECHERCHE <i>Lille (59)</i>
ATMEL/ES2 <i>Rousset (13)</i>	1999	<i>Technologies mixtes pour systèmes intégrés de l'an 2000</i>	Ministère de l'Industrie
Projet RMNT Ultimox	2000 - 2002	<i>Caractérisation oxydes ultimes (<3nm)</i>	IEMN Lille (59)
S.T.M. (STSI – 5) <i>Rousset (13)</i>	2001 - 2002	<i>Fiabilité des technologies CMOS (Wafer Charging)</i>	
S.T.M. (STSI – 6) <i>Rousset (13)</i>	2002 - 2003	<i>Fiabilité des technologies CMOS (Electromigration)</i>	
S.T.M. (projet focalisé ST-L2MP) <i>Rousset (13)</i>	2003- 2005	<i>Fiabilité des technologies CMOS (Electromigration, Cuivre, Oxydes)</i>	
THALES Avionics <i>Valence (69)</i>	2004	<i>Méthodologie de détection des charges mobiles dans un capteur intégré</i>	

Contrats de recherche auxquels j'ai collaboré

ORGANISME	ANNEE	SUJET	COLLABORATION
BULL <i>Les Clayes sous bois (78)</i>	1995 1996 1997	<i>Fiabilité des filières CMOS 0.5 et 0.35µm</i>	ISEN-RECHERCHE <i>Lille (59)</i>
S.T.M. <i>Crolles (38)</i>	1998	<i>fiabilité filière CMOS 0.25µm</i>	
CREMSI (ATMEL/ES2) <i>Rousset (13)</i>	1998 - 2000	<i>Fiabilité dispositifs CMOS 0.35/0.25 µm</i>	
S.T.M. <i>Crolles (38)</i>	1999 – 2004	<i>Fiabilité filière CMOS 0.18µm-0.10µm</i>	

Responsabilités diverses

- représentant de l'ISEN-Toulon au Comité Directeur du CREMSI (Centre Régional d'Etudes en Microélectronique et Systèmes Intégrés) de 1993 à 2004, puis au CA d'ARCSIS depuis 1995,
- membre (en qualité de membre extérieur) de la commission de spécialistes en 28^{ème} section à l'Université du Sud Toulon-Var (USTV) depuis 2004.

3. Publications

avant 1994

[1.] Theoretical and experimental aspects of the thermal dependence of electron capture coefficients.

D.GOGUENHEIM, M.LANNOO
J.Appl.Phys., 68 (3), p.1059, 1990

[2.] Accurate measurements of capture cross sections of semiconductor insulator interface states by a trap filling experiment: the charge potential feed-back effect.

D. GOGUENHEIM, D. VUILLAUME, G. VINCENT, N.M. JOHNSON, J. Appl. Phys., 68(3), p. 1104, 1990.

[3.] Theoretical study of carrier capture assisted by phonons: application to the EL2, E3, A and B defects in GaAs.

D.GOGUENHEIM, M.LANNOO
Proc. of the International Conference on the Physics of Semiconductors ICPS 20, Thessalonique GRECE, 6-10 août 1990
Vol.1, p.453, édité par E.M.ANASTASSAKIS et J.D.JOANNOPOULOS
World Scientific Publishing Co.Pte.Ltd. (Singapour, 1990)

[4.] New insights on the electronic properties of the trivalent silicon defects at oxidized <100> silicon surfaces.

D. VUILLAUME, D. GOGUENHEIM, G. VINCENT, Appl. Phys. Lett., 57-(12), p. 1206, 1990.

[5.] Nature of the Defects generated by electric field stress at the Si-SiO₂ interface.

D. VUILLAUME, D. GOGUENHEIM, J.C. BOURGOIN, Appl. Phys. Lett., 58-(5), p. 490, 1991.

[6.] Theoretical calculation of the capture cross section of the dangling bond at the Si-SiO₂ interface.

D.GOGUENHEIM, M.LANNOO
Phys.Rev. B44 (4), p.1724, 1991

[7.] Defects induced by high electric field stress and the trivalent silicon defects at the Si/SiO₂ interface.

D. VUILLAUME, A. MIR, D. GOGUENHEIM, In "Defects in semiconductors", " Ed. G.Davies, G.G.Delmeo and M.Stavola, Trans. Tech. Publications), Materials Science Forum, Vols. 83-87, p. 1427, 1991.

[8.] Re-examination of the configuration coordinate diagram of EL2.

D.GOGUENHEIM, D.STIEVENARD, G.GUILLOT
Proc. of the International Conference on Defects in Semiconductors ICDS 16, Bethlehem USA, Juillet 1991,
Materials Science Forum Vol.83-87, p.917-922, 1992
édité par G.DAVIES, G.G.DELEO, M.STAVOLA, Trans Tech Publications Ltd., 1992

[9.] Octadecyltrichlorosilane monolayers as ultrathin gate insulating films in metal-insulator-semiconductor devices.

P. FONTAINE, D. GOGUENHEIM, D. DERESMES, D. VUILLAUME, M. GARRET, F. RONDELEZ, Appl. Phys. Lett. 62(18), p. 2256, 1993.

depuis 1994

Publications dans des revues à comité de lecture

[10.] Bravaix A., Vuillaume D., Goguenheim D., Dorval D., Haond M.

Improved Hot-Carrier immunity of P-MOSFET's with 8nm-thick nitrided gate-oxide during bidirectional stressing.

Microelectronic Engineering,
vol. 28, p.273-276, 1995

[11.] Vuillaume D., Bravaix A., Goguenheim D., Marchetaux J.C., Boudou A.

Comment on "Hot-Hole induced negative oxide charges in N-MOSFET's".

IEEE Trans. on Electron Devices,
vol. 43 (9), p 1473, 1996

[12.] Goguenheim D., Bravaix A., Vuillaume D., Mondon F., Candelier Ph., Jourdain M., Meinertzhagen A.

A coupled I(V) and Charge-Pumping analysis of Stress Induced Leakage Currents in 5nm-thick gate oxides.

Microelectronic Engineering,
vol. 36, p. 141-144, 1997

[13.] Bravaix A., Goguenheim D., Vuillaume D., Revil N., Varrot M., Mortini P.

Influences of the different degradation mechanisms in AC stressed P-MOSFET's during Pass-transistor operation.

Microelectronic Engineering,
vol. 36, p.305-308, 1997

[14.] Goguenheim D., Bravaix A., Vuillaume D., Varrot M., Revil N., Mortini P.

Hot carrier reliability in n-MOSFET's used as pass-transistor.

Microelectronics Reliability,
vol. 38, no.4, p. 539-544,1998

[15.] Vuillaume D., Bravaix A., Goguenheim D..

Hot Carrier injections in SiO₂.

Microelectronics Reliability,
vol. 38, no.1, p. 7-22, 1998

[16.] Bravaix A., Goguenheim D., Revil N., Vincent E., Varrot M., Mortini P.

Analysis of high temperature effects on performances and hot-carrier degradation in DC/AC stressed 0.35µm n-MOSFET's.

Microelectronics Reliability,
vol.39, n°1, p. 35-44, 1999

- [17.] Goguenheim D., Bravaix A., Vuillaume D., Mondon F., Candelier Ph., Jourdain M. and Meinertzhagen A.
Experimental study of the Quasi-Breakdown failure mechanism in 4.5 nm-thick SiO₂ oxides.
Microelectronics Reliability,
vol. 39, p. 165-169, 1999
- [18.] Meinertzhagen A., Petit C., Jourdain M., Mondon F., and Goguenheim D.
On positive charge annihilation and stress-induced leakage current decrease.
Microelectronics Reliability,
vol. 39, p.191-196, 1999
- [19.] Goguenheim D., Bravaix A., Vuillaume D., Mondon F., Jourdain M. and Meinertzhagen A.
Stress Induced Leakage Currents in N-MOSFET's submitted to Channel Hot Carrier Injections.
Journal of Non-Crystalline Solids,
vol. 245, p. 41-47, 1999
- [20.] Bravaix A., Goguenheim D., Vincent E., Revil N.
Turn-around effects during dynamic operations in 0.25µm Cmos technology from low to high temperature.
Microelectronic Engineering,
vol. 48, p. 163-166, 1999
- [21.] Goguenheim D., Bravaix A., Moragues J.M., Lambert P., Boivin P.
Comparison of oxide leakage currents induced by ion implantation and high field electric stress.
Microelectronics and Reliability,
vol. 40, p. 751-754, 2000
- [22.] Pic N., Glachant A., Nitsche S., Hoarau J.Y., Goguenheim D., Vuillaume D., Sibai A., Chaneliere C.
Determination of the electrical properties of thermally grown ultrathin nitride films.
Microelectronics and Reliability,
vol. 40, p. 589-593, 2000
- [23.] Goguenheim D, Bravaix A, Monserie C., J.M.Moragues, P.Lambert, P.Boivin
Comparison of oxide leakage currents induced by ion implantation and high field electric stress.
Solid State Electronics,
Vol. 45 (8) p.1355-1360, 2001
- [24.] Pic N., Glachant A., Nitsche S., Hoarau J.Y., Goguenheim D., Vuillaume D., Sibai A., Chaneliere C.
Determination of the electrical properties of thermally grown ultrathin nitride films.
Solid State Electronics,
Vol. 45 (8) p.1265-1270, 2001

- [25.] Goguenheim D., Bravaix A., Ananou B., Trapes C., Mondon F., Reibold G.
Temperature and field dependence of stress induced leakage currents in very thin gate oxides.
Journal of Non-Crystalline Solids,
vol. 280, p.78-85, 2001
- [26.] Pic N., Glachant A., Nitsche S., Hoarau J.Y., Goguenheim D., Vuillaume D., Sibai A.,
Autran J.L.
Determination of the electrical properties of ultrathin silicon-based dielectric films : thermally
grown SiO_x.
Journal of Non-Crystalline Solids,
Vol. 280 (1-3) p.69-77, 2001
- [27.] Bravaix A., Goguenheim D., Revil N., Vincent E.
Hot-Carrier Reliability study of Second and First Impact Ionization degradation in 0.15μm
Channel-Length N-MOSFET's".
Microelectronics Engineering,
vol. 59, p. 101-108, 2001
- [28.] Bravaix A., Goguenheim D., Revil N., Vincent E.
Injection Mechanisms and Lifetime prediction With the Substrate Voltage in 0.15μm
Channel-Length N-MOSFET's
Microelectronics and Reliability,
vol. 41, p. 1313-1318, 2001
- [29.] Goguenheim D., Trapes C., Bravaix A.
Comparison of degradation modes in 1.2-2.1 nm thick oxides submitted to uniform and hot
carrier injections in NMOSFETS.
Journal of Non-Crystalline Solids,
vol. 322, p.183-190, 2003
- [30.] Trapes C., Bravaix A., Goguenheim D.,
Impact of carrier injection in 2.2nm-thick SiO₂ oxides after first and substrate enhanced
electron injection.
Journal of Non-Crystalline Solids,
vol. 322, p.199-205, 2003
- [31.] Bravaix A., Goguenheim D., Revil ., Rubaldo L.
Efficiency of interface trap generation under hole injection in 2.1nm thick gate-oxide P-
MOSFET's.
Journal of Non-Crystalline Solids,
vol. 322, p.139-146, 2003
- [32.] Bescond M., Lannoo M., Goguenheim D., Autran J.L.
Towards a full microscopic approach to the modeling of Nanotransistors.
Journal of Non-Crystalline Solids,
vol. 322, p.160-167, 2003

- [33.]** Bravaix A., Trapes C., Goguenheim D., Revil N., Vincent E.
Carrier injection efficiency for the reliability study of 3.5-1.2nm thick gate-oxide CMOS technologies
Microelectronics Reliability,
vol. 43, p. 1241-1246, 2003
- [34.]** Bravaix A., Goguenheim D., Revil N., Vincent E.
"Deep Hole Trapping Effects in the Degradation mechanisms of 6.5 to 2nm thick gate-oxide PMOSFETs",
Microelectronics Engineering,
Vol. 72/1-4, p. 106-111, 2004.
- [35.]** Bravaix A., Goguenheim D., Revil N., Vincent E.,
"Hole Injection Enhanced Hot-Carrier Degradation in PMOSFETs used for System On Chip applications with 6.5-2nm thick gate-oxide",
Microelectronics Reliability,
Vol. 44 N°1, p. 65-77, 2004.
- [36.]** Goguenheim D., Bravaix A., Gomri S., Moragues J.M., Monserie C., Legrand N., Boivin P.,
"Impact of Wafer Charging on Hot Carrier reliability and optimization of latent damage detection methodology in advanced CMOS technologies",
Microelectronics Reliability, **45**, 487-492, 2005.
- [37.]** Menou N., Castagnos A.M., Muller C., Goguenheim D., Goux L., Wouters D.J., Hodeau J.L., Dooryhee E., Barrett R.,
"Degradation and recovery of polarization under synchrotron X-rays in SrBi₂Ta₂O₉ ferroelectric capacitors",
J.Appl.Phys. **97**, 044106, 2005.
- [38.]** Trapes C., Goguenheim D., Bravaix A.,
"Ultrathin oxide reliability after combined Constant Voltage Stress and Substrate Hot Electron Injection",
Journal of Non-Crystalline Solids,
Vol. 351, Issue 21-23, p. 1860-1865, 2005
- [39.]** Trapes C., Goguenheim D., Bravaix A.,
"Experimental extraction of degradation parameters after Constant Voltage Stress and Substrate Hot Electron Injection on Ultrathin oxides",
Microelectronics Reliability, **45**, 883-886, 2005.
- [40.]** Bravaix A., Goguenheim D., Huard V., Denais M., Parthasarathy C., Perrier F., Revil N., Vincent E.,
"Impacts of the Recovery phenomena on the Worst-Case of Damage in DC/AC stressed Ultra-Thin NO gate-oxide MOSFETs",
Microelectronics Reliability, **45**, Issue 9-11, 1370-1375, 2005.

Les colloques et congrès avec actes

Bravaix A., Goguenheim D., Vuillaume D., Thirion V., Straboni A., Haond M.
A Plasma NH₃ process to improve the reliability of 0.35µm P⁺Poly-Gate nitrided P-MOSFET's.

Conf. ESSDERC'96, oral presentation (Bologne, sept.1996),
Proc. of ESSDERC'96, Ed.Frontières, p.373-, 1996

Goguenheim D., Bravaix A., Vuillaume D., Varrot M., Revil N., P.Mortini.
Hot carrier reliability in n-MOSFET's used as pass-transistor.

Conf. ESSDERC'96, oral presentation (Bologne, sept.1996),
Proc. of ESSDERC'96, Ed.Frontières, p.987-, 1996

Bravaix A., Vuillaume D., Goguenheim D., Haond M., Thirion V., A.Straboni.
Improved reliability with a new plasma NH₃ process for 0.35µm P⁺Poly-Gate nitrided oxide P-MOSFET's.

1996 MRS Fall Meeting (Boston, dec.1996),
published in *Amorphous and Crystalline insulating thin films, Materials Research Society Symposium proceedings*, (Boston MRS Fall meeting 2-4 Dec. 1996)
vol. 446, p. 91-, 1996

Bravaix A., Vuillaume D., Goguenheim D., Lasserre V., Haond M.
Competing AC hot-carrier degradation mechanisms in surface channel P-MOSFET's during pass transistor operation.

Conf. IEDM'96, oral presentation (San Francisco, Dec.1996),
Proc.of IEDM'96, p.873-, 1996

Bravaix A., Goguenheim D., Revil N., Varrot M., Mortini P.
Effects of high temperature on performances and hot-carrier reliability in DC/AC stressed 0.35µm n-MOSFET's.

Oral presentation
Proc. of *ESSDERC 97*, Ed.Frontières, p.584-, 1997

Bravaix A., Goguenheim D., Revil N., Vincent E., Mortini P.
Projecting Device Lifetime for scaling technology generations with the quasi-static model.
Proc. of *ESSDERC'98*, Ed.Frontières, p.552-, 1997

Bravaix A., Goguenheim D., Revil N., Vincent E.
Hot-Carrier damage in AC-stressed Deep-Submicrometer CMOS Technologies.
Integrated Reliability Workshop (IRW 99), Stanford Sierra Camp, CA United States, 18th-21st October 1999

Proceedings of the 1999 Integrated Reliability Workshop (IRW 99), p.61-65, 1999

Bravaix A., Goguenheim D., Revil N., Vincent E.
Comparison of secondary impact ionization phenomena between 0.18µm N- and P-channel MOSFET's.

ESSDERC'2000, Cork, Ireland, sept. 2000
Proceedings of ESSDERC'2000, p.140-143, 2000

Bravaix A., Goguenheim D., Revil N., Vincent E.
Injection Mechanisms and Lifetime prediction With the Substrate Voltage in 0.15 μ m Channel-Length N-MOSFET's
12th European Symposium on Reliability of Electron Devices, Failure physics and analysis, ESREF 2001, Bordeaux, France, October 1-5 2001
Proceedings of ESREF'2001, p.1313-1318, 2001

Bravaix A., Goguenheim D., Revil N., Vincent E.
Comparaison of low-leakage and high-speed deep submicron PMOSFET's submitted to hole injections.
Integrated Reliability Workshop (IRW 02), Stanford Sierra Camp, CA United States, October 2002
Proceedings of the 2002 Integrated Reliability Workshop (IRW 02), p.14-20, 2002

Bravaix A., Goguenheim D., Revil N., Vincent E..
"Hole Injection Enhanced Hot-Carrier Degradation in PMOSFETs used for System On Chip applications with 6.5-2nm thick gate-oxide",
published in 14th European Symposium Reliability of Electron Devices (ESREF) Proc., 2003.

Goguenheim D., Bravaix A., Gomri S., Moragues J.M., Monserie C., Legrand N., Boivin P.,
Improved methodology based on hot carriers injections to detect wafer charging damage in advanced CMOS technologies,
Proceedings of 24th International Conference on Microelectronics (MIEL'04), Nis, Serbie, p.649-652, 16-19 may 2004, 2004

Bravaix A., Goguenheim D., Huard V., Denais M., Parthasarathy C., Perrier F., Revil N., Vincent E.,
"Impacts of the Recovery phenomena on the Worst-Case of Damage in DC/AC stressed Ultra-Thin NO gate-oxide MOSFETs", Proceedings of the 16th European Symposium on Reliability of Electron Devices, Failure physics and analysis, (ESREF'05), Bordeaux, France, 10-14 October 2005, p.1370-1375, 2005.

Les conférences invitées

"Hot-Carrier Reliability Dependence with Digital Applications in Deep Submicrometer CMOS Technologies", A. Bravaix, D. Goguenheim, N. Revil, E. Vincent, Invited Paper, Agilent Technologies 9th European User Group Meeting, Füssen, Germany, pp. 54-78, 2003. CR- Rom edition of the presentations.

Les colloques et congrès sans actes (communications orales ou posters)

Bravaix A., Vuillaume D., Goguenheim D., Dorval D., Haond M.
Improved Hot-Carrier immunity of P-MOSFET's with 8nm-thick nitrided gate-oxide during bidirectional stressing.
INFOS'95, oral presentation
Grenoble, France, June 1995

Goguenheim D., Bravaix A., Vuillaume D.

Charge Pumping analysis of stress induced leakage currents in 5nm-thick gate oxides.
French-Italian symposium on structure and defects in SiO₂, poster presentation,
Agelonde sept.1996

Bravaix A., Goguenheim D., Haond M., Thirion V.
High reliability of 0.35µm P⁺ Poly-Gate P-MOSFET's with 8nm thick nitrated gate oxide.
French-Italian symposium on structure and defects in SiO₂, oral presentation,
Agelonde sept.1996

Goguenheim D., Bravaix A., Vuillaume D., Mondon F., Candelier Ph., Jourdain M.,
Meinertzhagen A.,
A coupled I(V) and Charge-Pumping analysis of Stress Induced Leakage Currents in 5nm-
thick gate oxides.
INFO'S 97, poster presentation,
Göteborg (Sweden) - June 1997

Goguenheim D., Bravaix A., Vuillaume D., Mondon F., Candelier Ph., Jourdain M. and
Meinertzhagen A.
Experimental study of the Quasi-Breakdown failure mechanism in 4.5 nm-thick SiO₂ oxides.
9th workshop on dielectrics in microelectronics Toulouse,
March 1998.

Goguenheim D., Bravaix A., Vuillaume D., Mondon F., Candelier Ph., Jourdain M. and
Meinertzhagen A.
Stress Induced Leakage Currents in N-MOSFET's submitted to Channel Hot Carrier
Injections.
2nd french-italian symposium SiO₂ and advanced dielectrics,
L'Aquila, June 1998.

Bravaix A., Goguenheim D., Vincent E., Revil N.
Turn-around effects during dynamic operations in 0.25µm CMOS technology from low to
high temperature.
INFO'S 99, Poster presentation,
Kloster Banz, (Germany), June 1999

Goguenheim D., Bravaix A., Moragues J.M, Lambert P., Boivin P.
Comparison of oxide leakage currents induced by ion implantation and high field electric
stress.
10th workshop on dielectrics in microelectronics, poster presentation,
Barcelona, November 1999

Pic N., Glachant A., Nitsche S., Hoarau J.Y., Goguenheim D., Vuillaume D., Sibai A.,
Chaneliere C.
Determination of the electrical properties of thermally grown ultrathin nitride films.
10th workshop on dielectrics in microelectronics,
Barcelona, November 1999.

Goguenheim D., Bravaix A., Ananou B., Trape C., Mondon F., Reimbold G.
Temperature and field dependence of stress induced leakage currents in very thin gate oxides.
3rd symposium SiO₂ and advanced dielectrics, Fuveau, June 2000.

28 : p.C-4, 2000

Pic N., Glachant A., Nitsche S., Hoarau J.Y., Goguenheim D., Vuillaume D., Sibai A., Autran J.L.

Determination of the electrical properties of ultrathin silicon-based dielectric films : thermally grown SiO_x.

3rd symposium SiO₂ and advanced dielectrics, Fuveau, June 2000.

29 : p.C-3, 2000

Moragues J.M, Lambert P., Monserie C., Boivin P., Bravaix A., Goguenheim D.

Impact of Boron implantation on gate oxide reliability.

3rd symposium SiO₂ and advanced dielectrics, Fuveau, June 2000.

30 : p. I-3, 2000

Trapes C., Goguenheim D., Bravaix A.

Caractérisation des dégradations engendrées après injections en porteurs chauds sur des échantillons MOS de 2.2nm d'épaisseur d'oxyde.

IV^{ème} Journées Nationales du Réseau Doctoral de Micro-électronique JNRDM'2001, Strasbourg (Avril 2001), Proceedings, p.63, 2001

Bravaix A., Goguenheim D., Revil N., Vincent E.

Hot-Carrier Reliability study of Second and First Impact Ionization degradation in 0.15µm Channel-Length N-MOSFET's".

INFO'S 2001, Poster presentation,

Udine (Italy), June 2001

Conference proceedings, p.63, 2001

Trapes C., Goguenheim D., Bravaix A.

Comparaison des injections en mode d'ionisation primaire et secondaire sur des NMOSFETs de 2.2nm d'épaisseur d'oxyde.

V^{ème} Journées Nationales du Réseau Doctoral de Micro-électronique JNRDM'2002,

(Avril 2002), Actes des V^{èmes} Journées Nationales du Réseau Doctoral de Micro-électronique, p.102-193, 2002

Goguenheim D., Trapes C., Bravaix A.

Comparison of degradation modes in 1.2-2.1 nm thick oxides submitted to uniform and hot carrier injections in NMOSFETS.

4th symposium SiO₂ and advanced dielectrics,

Trento (Italy), September 2002.

Trapes C., Bravaix A., Goguenheim D.,

Impact of carrier injection in 2.2nm-thick SiO₂ oxides after first and substrate enhanced electron injection.

4th symposium SiO₂ and advanced dielectrics, Poster presentation

Trento (Italy), September 2002.

Bravaix A., Goguenheim D., Revil ., Rubaldo L.

Efficiency of interface trap generation under hole injection in 2.1nm thick gate-oxide P-MOSFET's.

4th symposium SiO₂ and advanced dielectrics,

Trento (Italy), September 2002.

Bescond M., Lannoo M., Goguenheim D., Aufran J.L.
Towards a full microscopic approach to the modeling of Nanotransistors.
4th symposium SiO₂ and advanced dielectrics,
Trento (Italy), September 2002.

Bravaix A., Trapes C., Goguenheim D., Revil N., Vincent E.
Carrier injection efficiency for the reliability study of 3.5-1.2nm thick gate-oxide CMOS technologies
12th Workshop on Dielectrics in Microelectronics WoDim, ISBN 2-9514840-0-3, p. 105, 2003.
Grenoble (France), 18-20 November 2002.

Desbief S., Goguenheim D., Patrone L.
Formation de nano-domaines dans les monocouches mixtes d'alkylsilanes auto-assemblées sur silicium: application à l'électronique moléculaire.
Affiche, Atelier «Physique des Surfaces et Nanostructures», Institut d'Etudes Scientifiques de Cargèse, 27-31 mai 2003.

Patrone L., Desbief S., Goguenheim D., Vuillaume D.
Nanostructuration par auto-assemblage moléculaire: étude et application à l'électronique moléculaire.
Présentation orale, 3^e salon «Matériaux Polymères Innovants et Technologies Associées», ISITV et Université de Toulon et du Var, La Valette, Var, 12 juin 2003.

Desbief S., Patrone L., Goguenheim D., Vuillaume D.
Formation de nano-domaines dans les monocouches mixtes d'alkylsilanes auto-assemblées sur silicium: application à l'électronique moléculaire.
Affiche, Congrès Général de la Société Française de Physique, session : «des Nanosciences aux Nanomatériaux», Villeurbanne, 7-10 juillet 2003.

Bravaix A., Goguenheim D., Revil N., Vincent E.
"Deep Hole Trapping Effects in the Degradation mechanisms of 6.5 to 2nm thick gate-oxide PMOSFETs",
13th insulating Films on Semiconductors (INFOS'03 Barcelone), Proc. p. 18, 2003.

Goguenheim D., Bravaix A., Gomri S., Moragues J.M., Monserie C., Legrand N., Boivin P.,
Méthodologie optimisée de détection du Wafer Charging basée sur des injections de porteurs chauds dans les technologies CMOS avancées,
Actes des 2^{èmes} journées du RTP Fiabilité, Carry le Rouet, 15 et 16 mars 2004, 2004

Trapes C., Goguenheim D.,
Ultrathin oxide reliability after combined Constant Voltage Stress and Substrate Hot Electron Injection
Présentation orale, Vth symposium SiO₂ and advanced dielectrics, Chamonix, 2004.

Trapes C., Goguenheim D., Bravaix A.,
Experimental extraction of degradation parameters after Constant Voltage Stress and Substrate Hot Electron Injection on Ultrathin oxides,
Poster, 13th Workshop on Dielectrics in Microelectronics WODIM04, Cork (Ireland), 2004.

CHAPITRE 1 : FIABILITE DES OXYDES ULTRA-MINCES

1. Motivation

La réussite de l'industrie microélectronique depuis les années 1970 doit beaucoup à la structure MOS (Métal-Oxyde-Semiconducteur), brique de base des transistors MOSFETs dans les technologies CMOS. Et cette réussite repose en grande partie sur la maîtrise et l'utilisation d'une couche d'oxyde permettant d'isoler quasi parfaitement l'électrode de commande (la grille) du canal conducteur entre le drain et la source du transistor, qui devient alors une source de courant commandée en tension pratiquement idéale. Cet isolant est constitué d'une très fine couche d'oxyde de silicium amorphe (SiO_2) obtenue par oxydation thermique du silicium cristallin. Ce procédé est sans conteste aucune le mieux maîtrisé de l'industrie microélectronique: la qualité à la fois de l'oxyde réalisé (résistivité autour de $10^{15}\Omega\cdot\text{cm}$ et champ de claquage supérieur à 10MV/cm) et de l'interface Si/SiO_2 que l'on sait passer par traitement thermique, n'ont pu à ce jour être égalés par d'autres couples semi-conducteur/isolant.

Sur les trois dernières décades, la réduction continue de la taille des composants a permis une densité d'intégration toujours plus poussée, une vitesse sans cesse croissante des circuits et une moindre dissipation de puissance. Cependant, les lois d'échelle ont imposé une diminution régulière de l'épaisseur de l'isolant T_{OX} , afin de garantir un contrôle constant de la grille sur le canal. Nous arrivons de fait aujourd'hui à une limite fondamentale puisque les épaisseurs isolantes de SiO_2 ne comportent plus que quelques couches atomiques (entre 1 et 2nm) dans les dispositifs modernes, comme le montre la courbe ci-dessous [1] :

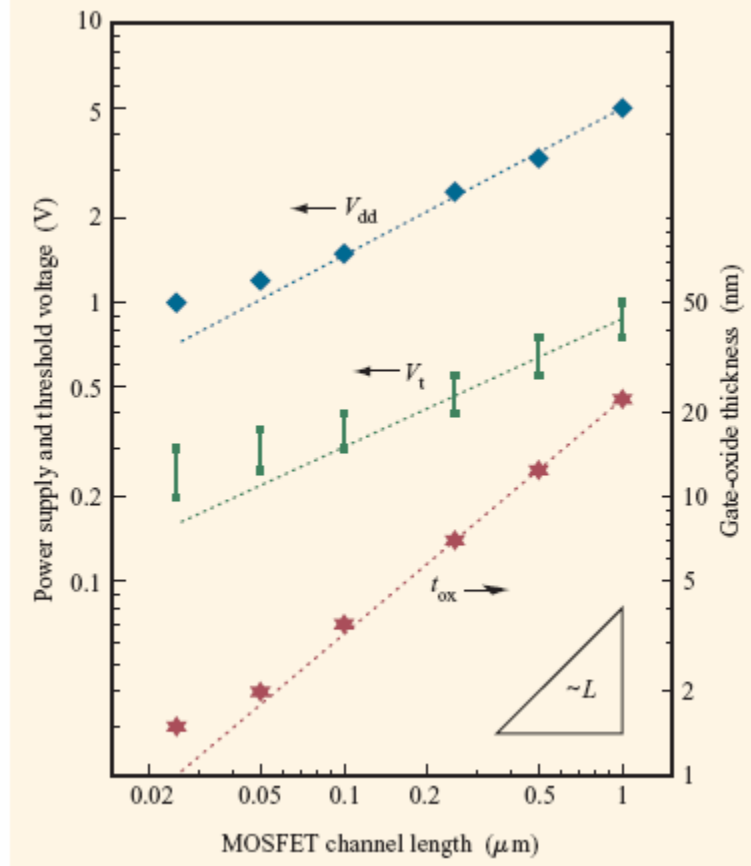


Figure 1 : Histoire et évolution de la tension d'alimentation (V_{dd}), de la tension de seuil (V_{t}) et de l'épaisseur d'oxyde (T_{OX}) en fonction de la longueur de grille dans les technologies CMOS logiques (d'après [1]).

Cette limite fondamentale intrinsèque sur T_{OX} , indépendamment du challenge (qui peut être qualifié d'extrinsèque) que constitue la réalisation maîtrisée de couches de cette épaisseur (formation de « trous » ou uniformité de la couche sur de grandes surfaces), est principalement liée à l'augmentation exponentielle du courant de fuite tunnel de grille à travers la couche isolante. Ces courants (qui limitent la qualité isolante de l'oxyde) ont un effet sur la fonctionnalité, la performance et la consommation des circuits, mais surtout peuvent fortement altérer leur fiabilité [2]. Le travail présenté ici, réalisé entre 1996 et 2004 se conçoit comme une contribution à l'étude de la fiabilité des oxydes de moins de 10nm d'épaisseur lorsque ces derniers sont soumis à différentes contraintes électriques, et l'analyse des mécanismes physiques responsables de leur dégradation.

2. Introduction

La réalisation d'oxydes de bonne qualité isolante et dont les propriétés structurales et électriques sont stables dans le temps lors du fonctionnement normal des dispositifs est un des défis majeurs des procédés de la microélectronique. Historiquement dans les oxydes épais (nous appellerons oxyde « épais » un oxyde d'épaisseur supérieure à 10nm), la tenue au claquage de l'oxyde a constitué le facteur limitant pour le choix de l'épaisseur d'oxyde [3,4]. Si on se limite au claquage « intrinsèque », c'est-à-dire pour des échantillons sans défauts « grossiers » ou étendus issus du process et sur des surfaces « petites » (inférieures au mm^2), ce dernier se révèle très prédictible et reproductible en fonction de l'épaisseur d'oxyde et de la tension appliquée [5,6]. Le claquage est un phénomène soudain et brutal, caractérisé par une augmentation du courant de fuite à travers l'oxyde de nombreux ordres de grandeur, résultant de l'apparition d'un « fil » ou « passage » conducteur localisé à travers la mince couche isolante. Après claquage, l'oxyde se comporte en général comme un conducteur ohmique. Il s'agit d'un phénomène de nature statistique, mais qui est le résultat d'un processus progressif de dégradation de l'ensemble de l'oxyde. Cette dégradation provient de l'injection de porteurs libres (électrons ou trous) énergétiques dans l'oxyde à partir des électrodes (grille ou substrat) et de l'existence dans l'oxyde d'un champ électrique important. Ces phénomènes, qui surviennent lors des contraintes électriques appliquées à l'oxyde au cours des études de fiabilité, mais également durant le fonctionnement normal des dispositifs (porteurs chauds dans les transistors CMOS ou phases d'écriture/effacement dans les mémoires non volatiles), entraînent la création ou la dépassivation de défauts, ainsi que le piégeage de charges sur ces défauts dans le volume de l'oxyde et à l'interface Si-SiO₂ [7]. C'est l'accumulation statistique de ces défauts qui aboutit au claquage et la charge qu'ils piègent permet d'en mesurer l'accroissement. Un exemple typique de dégradation est montré sur la Fig.2 dans le cas d'une capacité MOS ayant un oxyde de 12nm et soumise à une contrainte uniforme sous haut champ électrique. Le décalage progressif de la courbe I(V) représentant le courant de grille I_G en fonction de la tension de grille appliquée V_G , permet de révéler en début de stress un piégeage de charge positive qui est peu à peu compensé puis largement dépassé par le piégeage d'une charge négative sur des défauts créés ou révélés par la contrainte électrique. Ce cas de figure est tout à fait représentatif des dégradations observées dans les oxydes épais. Les défauts créés sont en général reliés soit à la dépassivation de complexes associés à une impureté (B, Ga, Al...), soit à la rupture de liaisons intrinsèques telles que les liaisons Si-O, SiO-H, ou Si-H [7], aboutissant à la présence de liaisons pendantes sur Si ou O électriquement actives susceptibles d'agir comme pièges à électrons ou trous. Ces liaisons pendantes, appelées « centre Pb » à l'interface Si-SiO₂ [8], peuvent dans le volume de l'oxyde prendre de nombreuses configurations [9,10,11], dont les plus connus et fréquents sont les centres E' (liés à une lacune d'oxygène, laissant un atome trivalent de silicium portant une liaison pendante électriquement active, souvent chargés positivement et supposés constituer

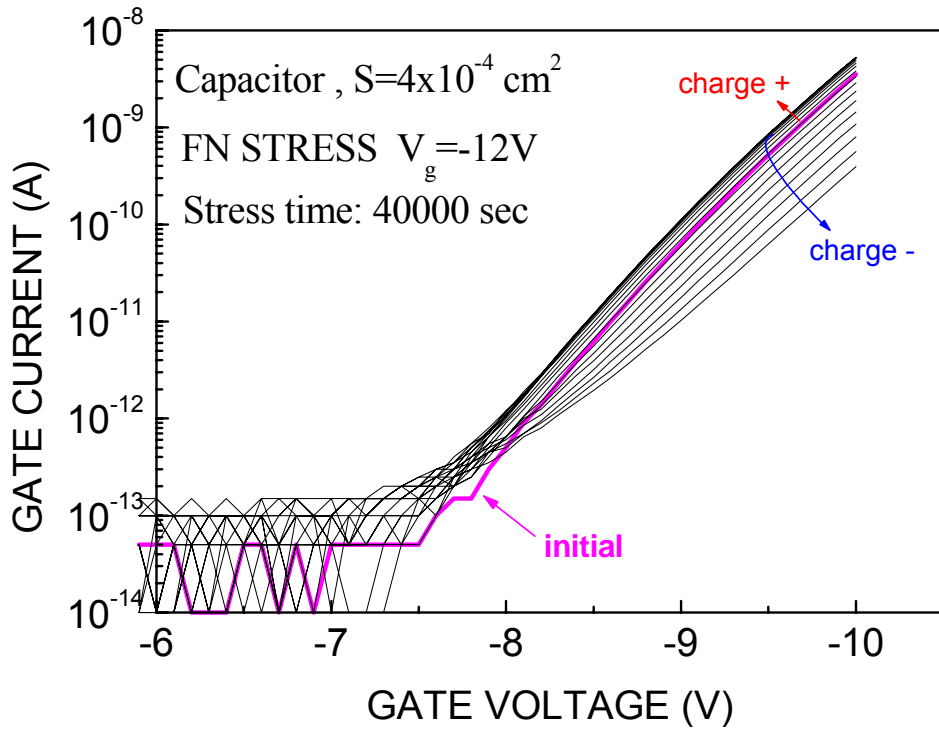


Figure 2 : Evolution de la courbe $I_G(V_G)$ d'une capacité MOS ayant un oxyde de grille de 12nm d'épaisseur, soumise à une contrainte électrique sous haut champ en régime Fowler-Nordheim ($V_G = -12\text{V}$), et illustrant le piégeage progressif d'une charge positive puis négative sur les défauts créés ou révélés par le stress.

une part importante de la charge positive piégée dans les dispositifs MOS). Les mécanismes responsables de la création de ces défauts durant les phases de stress impliquent tous la rupture de liaisons covalentes (distordues ou non) entre atomes, suivie de mécanismes de relaxation de la configuration atomique locale qui peuvent être favorisés par le piégeage ou la recombinaison ultérieure de porteurs libres (paires électron-trou) sur le site du défaut. Le premier modèle, dit modèle thermo-chimique repose sur la rupture directe de liaisons faibles dans le SiO_2 , sous l'effet du fort champ électrique local, impliquant un couplage diélectrique entre défauts [12,13]. Ce modèle est fondé sur une minimisation de l'énergie libre thermodynamique et aboutit à une accélération exponentielle de la dégradation et du temps au claquage t_{BD} en fonction du champ F_{OX} à travers l'oxyde d'où son appellation de « modèle en E » :

$$t_{BD} \propto \exp(-\gamma F_{OX}) \quad (1)$$

Cependant, plusieurs autres processus peuvent aboutir à la rupture des liaisons et la génération de pièges associés aux liaisons pendantes. Le premier est l'impact direct d'un électron énergétique injecté dans l'oxyde (plus de 5 eV) sur un des électrons constituant la liaison covalente. Le second mécanisme, dit modèle AHI (*Anode Hole Injection*) suppose que les électrons injectés pénètrent dans la bande de conduction de l'oxyde où ils gagnent de l'énergie sous l'effet du fort champ électrique, puis pénètrent dans l'anode (grille ou substrat) dans laquelle ils se thermalisent, cédant leur énergie à des électrons de la bande de valence et provoquant la génération de trous chauds. Ces trous sont à leur tour réinjectés dans l'oxyde où ils peuvent en se recombinant sur des sites ayant capturé un électron générer un site de défaut, en général. Le claquage est alors relié à une valeur critique de la quantité de trous injectés,

correspondant à une densité critique de pièges neutres induits [14]. Enfin, un dernier modèle, dit HRS (*Hydrogen Release Species*) postule que les espèces libérées par les électrons énergétiques dans l'anode ne sont pas des trous mais des espèces liées à l'Hydrogène (proton H^+ , ou complexe lié à OH) qui à leur tour pénètrent l'oxyde et réagissent avec les sites précurseurs pour aboutir à la création de défauts. Ces deux derniers modèles (AHI et HRS) fournissent une dépendance là encore exponentielle (mais en $1/F_{OX}$) d'où leur appellation de modèles en « $1/E$ » du temps au claquage t_{BD} :

$$t_{BD} \propto \exp\left(\frac{G}{F_{OX}}\right) \quad (2)$$

Le modèle en E fournit des estimations pessimistes du temps au claquage et est préféré au modèle en $1/E$ (plutôt valable à haut champ) pour des extrapolations à bas champ afin de garder une marge de sécurité suffisante [15]. Ces modèles et lois sont comme nous l'avons déjà dit très pertinents pour les oxydes épais et ont permis une prédiction particulièrement fiable de la robustesse des oxydes jusque 10nm [3,4].

Cependant, même si ces derniers continuent à être largement utilisés, de nouveaux types de dégradation sont apparus pour des oxydes « minces » ($T_{OX} < 10\text{nm}$) et ont nécessité une étude spécifique pour quantifier leur impact sur le fonctionnement des dispositifs : injections de porteurs en régime tunnel direct [16,17], courants de fuite à bas champ (SILC : *Stress Induced Leakage Current*) [18-28] ou très bas champ (LVSILC: *Low Voltage Stress Induced Leakage Current*) [29-32] après une contrainte sous haut champ électrique, nouveaux modes de claquage dits « mous » (*Soft- ou Quasi-Breakdown*) [33-36] par opposition au claquage « franc » dans les oxydes plus épais, lois d'accélération en tension (modèle en V ou en V^n) plutôt qu'en champ (en E ou $1/E$) [37,38]. Le travail présenté dans la suite de cette partie de façon synthétique se conçoit comme notre contribution, étalée sur la période 1996-2004, à l'étude de ces phénomènes dans les oxydes d'épaisseur 1.2-5nm. Après une introduction générale sur le SILC, nous présenterons dans un premier temps (§ 3) les résultats obtenus dans les oxydes entre 3.5nm et 5nm, et plus spécifiquement ceux concernant le lien entre SILC et injections de porteurs chauds (§ 3.2 [39,40]), la dépendance en champ et en température du SILC dans cette gamme d'épaisseur (§ 3.3, [41]) et les caractéristiques du phénomène de Quasi-Breakdown observés dans ces échantillons (§ 3.4, [42]). Dans un second temps nous détaillerons les spécificités des nouveaux modes de dégradation observés (LVSILC) dans les oxydes entre 1.2nm et 2.5nm d'épaisseur, et leur dépendance en fonction des contraintes employées, par porteurs chauds ou injections uniformes (§ 4, [43-48]). Enfin nous concluons sur la nécessité d'utiliser de nouvelles lois d'accélération en fonction de la tension appliquée pour extrapoler correctement la dégradation et les durées de vie des oxydes aux conditions nominales de fonctionnement.

3. Etude du SILC et du Quasi-breakdown dans les oxydes de 4.7nm et 3.8nm d'épaisseur

(Collaboration: CEA/LETI - Université de Reims – IEMN, 1997–2000, Gilles Reimbold, Marc Jourdain, Dominique Vuillaume, Bouchra Ananou)

3.1 Introduction générale sur le SILC et description des échantillons

Le SILC se caractérise par une augmentation progressive du courant de fuite à bas champ (4-8 MV/cm) ou très bas champ (2-4MV/cm) à travers l'isolant de grille (SiO_2) des dispositifs MOS ayant une épaisseur d'oxyde inférieure à 10nm, après une contrainte électrique en général sous haut champ électrique ($F_{\text{OX}} > 9\text{MV/cm}$) [18-28]. Un exemple typique est montré sur le cas de la Fig.3 pour un oxyde de 4.7nm soumis à une contrainte uniforme sous une tension de grille de $V_G = -6\text{V}$.

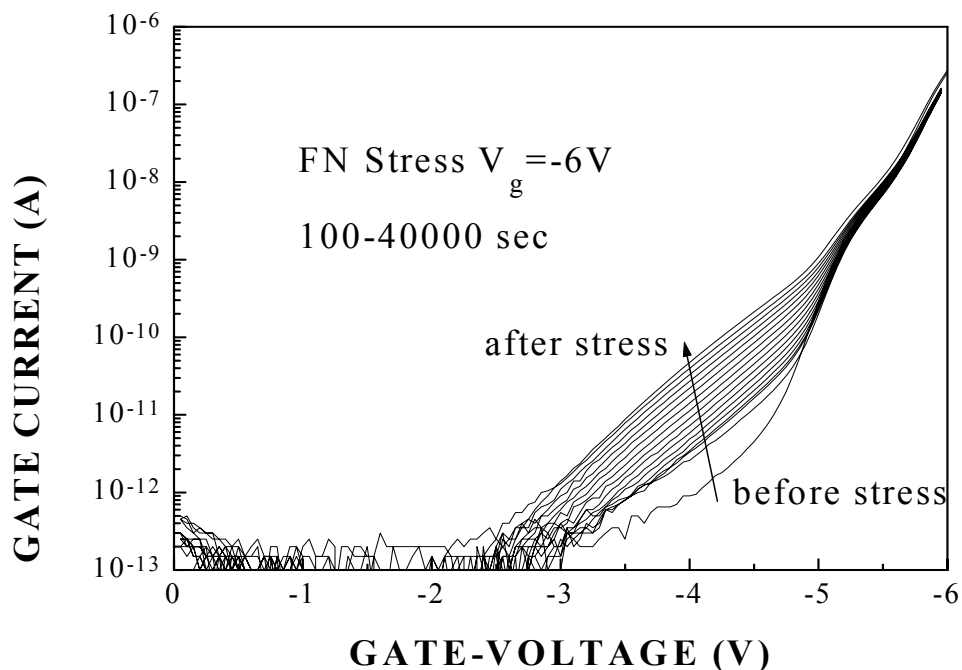


Figure 3 : Evolution de la courbe $I_G(V_G)$ d'une capacité MOS ayant un oxyde de grille de 4.7nm d'épaisseur, soumise à une contrainte électrique sous haut champ en régime Fowler-Nordheim ($V_G = -6\text{V}$), et illustrant l'augmentation progressive du courant de fuite à bas champ ($-3 < V_G < -5\text{V}$).

Ces courants de fuite à bas champ pourraient constituer une limitation sévère à la réduction des épaisseurs d'oxyde tunnel en deçà de 5-7 nm dans les mémoires non volatiles (EEPROM, Flash), car de tels hauts champs électriques sont effectivement utilisés lors des phases d'écriture et d'effacement et le SILC pourrait directement altérer leurs capacités de rétention, en provoquant des fuites excessives à partir de la grille flottante [23]. De même pour les technologies CMOS, l'augmentation de ces courants de fuite risque d'accroître de façon intolérable le courant à l'état « off » des transistors et de provoquer une surconsommation et une surchauffe des circuits, limitant les capacités d'intégration pour $T_{\text{OX}} < 5\text{nm}$. Il est donc important pour l'évolution des technologies ULSI (*Ultra Large Scale Integration*) de comprendre les mécanismes physiques responsables de ces courants de fuite, et leur lien avec les mécanismes de dégradation et les dommages ou défauts induits dans l'oxyde pendant les phases de stress. De plus, l'émergence de ces courants SILC est une caractéristique commune à de nombreux mécanismes de dégradation rencontrés dans les structures MOS : non

seulement des injections de porteurs libres sous haut champ en régime Fowler-Nordheim à courant ou tension constant [18-22,27,28], mais également des injections localisées ou uniformes de trous chauds du substrat [49-53], des radiations ionisantes [54,55], des problèmes de charging dans les plasmas [56] ou des implantations ioniques [57]. Cependant, même si le SILC apparaît sur une large gamme d'épaisseurs d'oxyde en dessous de 10nm, on distingue dans les T_{OX} plus épais une forte composante transitoire (AC) [53] alors que dans les plus minces, le SILC semble être surtout composé d'une composante continue (DC) [19,23]. La possibilité initialement évoquée que le SILC soit juste un courant transitoire de charge/décharge des défauts lents créés lors du stress [58] a toutefois rapidement été écartée pour les oxydes les plus minces pour lesquels une composante DC stable a définitivement été identifiée [23]. Le SILC apparaît quelle que soit la polarité de la contrainte électrique et quelle que soit la polarité de mesure [22,24], ce que nous avons vérifié régulièrement au cours de nos études (voir Fig.4).

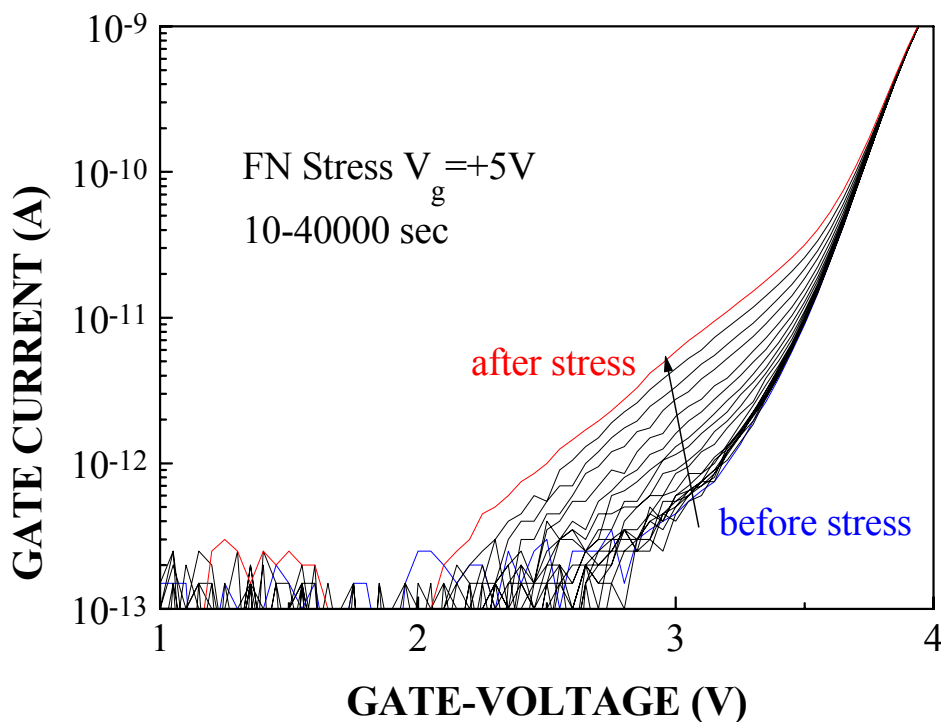


Figure 4 : Evolution pour $V_G > 0$ de la courbe $I_G(V_G)$ d'une capacité MOS ayant un oxyde de grille de 4.7nm d'épaisseur identique à celle de la Fig.3, soumise à une contrainte électrique sous haut champ en régime Fowler-Nordheim de polarité positive ($V_G = +5V$).

L'amplitude du SILC généré augmente lorsque l'épaisseur diminue à partir de 10nm, mais un effet de retournement apparaît lorsque cette épaisseur diminue sous les 5nm d'épaisseur [59,60], ce que confirment des mesures que nous avons effectuées sur la gamme 12-2nm et qui sont reportées sur les Fig.5.a et 5.b. Un maximum d'amplitude pour le phénomène SILC est mis en évidence entre 4nm et 6nm d'épaisseur. Cependant, même si le SILC diminue sous 4nm d'épaisseur, on verra au paragraphe 4 que ce dernier se retrouve toutefois dans des gammes de tension encore plus faible (entre -1V et +1V) correspondant au régime de déplétion de la structure MOS, dans lequel on lui donne l'appellation de LVSILC et que nous avons étudié spécifiquement dans la gamme 2.5-1.2nm.

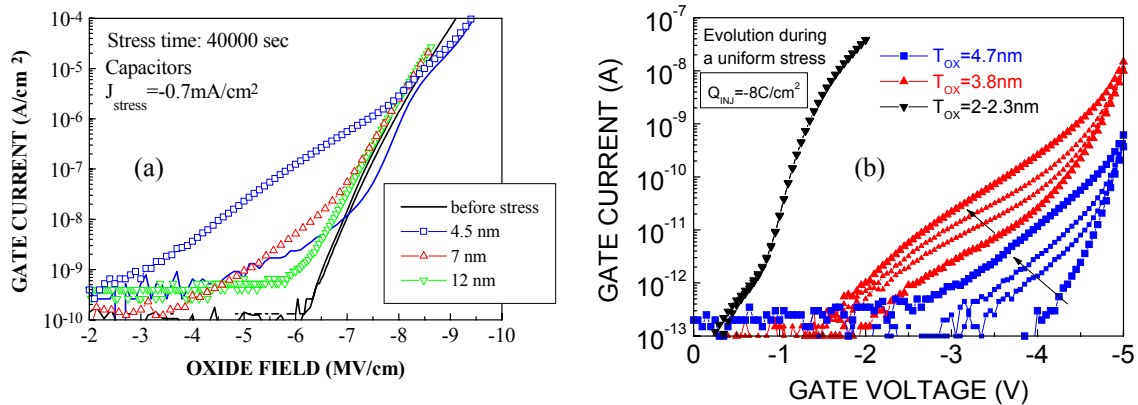


Figure 5 : Evolution du courant de fuite après stress à travers des oxydes dans la gamme 12nm-5nm sur la courbe (a) et dans la gamme 5-2nm sur la courbe (b), mettant en évidence l'accroissement puis la re-diminition relative (sous 5nm) de l'amplitude du phénomène SILC.

La cinétique de génération du SILC suit une loi de puissance en fonction du temps ou de la charge injectée dépendant du champ appliqué, sans apparente saturation pour des doses jusqu'à 10C/cm² [21,22,24], mais qui pourrait saturer pour des doses au-delà de 100C/cm² [19]. Une corrélation est établie entre le SILC induit et l'énergie des électrons injectés [19,23,24] mais également entre le SILC et la densité de pièges neutres créés dans l'oxyde [22]. Par ailleurs, aucun seuil minimum de champ électrique n'est détecté pour la génération du SILC, ce qui doit être rapproché du fait que les électrons génèrent des défauts à travers l'oxyde même si leur énergie moyenne est inférieure au seuil de 2eV généralement observé pour la création de pièges dans l'oxyde [24]. Une étude par Résonance Magnétique Détectée Electriquement (EDMR) effectuée directement sur le courant SILC a établi que les défauts induits en même temps que le SILC ne correspondaient toutefois pas aux deux principales familles de défauts identifiées dans le système Si/SiO₂, à savoir le centre P_b et les centre E' (liaisons pendantes de Si), mais que les valeurs du tenseur g seraient compatibles avec celles attendues pour la liaison pendante d'oxygène [61]. A partir de similarités sur les propriétés du SILC induit par stress FN et par injections de trous chauds du substrat (SHH : *Substrate Hole Injection*), il a été suggéré que les défauts menant au SILC étaient causés par des trous injectés au niveau de l'anode après y avoir été générés par les électrons énergétiques injectés dans l'oxyde [50,53]. Une loi de puissance universelle pour la génération du SILC a même été proposée en fonction du flux de trous à travers l'oxyde [62]. Cependant, une autre étude a établi que la dépendance en tension du SILC induit par SHH était plus forte que celle du SILC induit par stress FN, avec un taux de génération en fonction de la charge injectée 1000 fois supérieur, ce qui amène à suggérer que les deux types de SILC auraient une origine microscopique différente et impliquerait des mécanismes de conduction différents [49,53].

Concernant l'importante question de la passivation du SILC, il est reporté que ce dernier décroît pour des recuits à des températures supérieures à 200-250°C [53,63]. Cependant, certaines études montrent un recouvrement total des propriétés initiales et même une répétitivité des cycles de création/passivation du SILC [64], alors que d'autres obtiennent des résultats plus nuancés, ne menant pas systématiquement à une disparition totale du SILC même au-delà de 300°C et dépendant de la polarité du stress et de la tension appliquée durant le recuit [65]. De même, il a été observé que des injections d'électrons chauds ou des irradiations UV post-stress réduisaient le SILC induit par SHH [49,53] et enfin, Cester et al. [66] ont établi que des injections d'électrons à bas champ et à température ambiante pouvaient induire une diminution conséquente du SILC, attribuée au piégeage de ces électrons sur les défauts amenant une passivation électrique de ces derniers.

Plusieurs mécanismes physiques ou de conduction ont été avancés pour expliquer le SILC. Il fut initialement proposé par Maserjian et Zamani que le piégeage d'une charge positive dans la région de l'oxyde proche de l'anode induisait un abaissement de la barrière pour le courant tunnel [18]. Par la suite, l'accumulation de nombreux résultats expérimentaux a abouti à renoncer à l'hypothèse d'une charge positive localisée comme seule origine du SILC [19,20,39], même si le rôle de cette charge positive ne peut être complètement exclu dans certains cas. Ceci est particulièrement le cas dans le SILC dû au SHH, pour lequel fut établie l'influence d'une charge positive piégée dans l'oxyde suite à l'injection de trous à l'anode, suggérant que la présence conjointe de pièges à trous et de pièges neutres était une condition nécessaire pour le SILC et supposant alors un mécanisme de transport tunnel séquentiel à travers les trous piégés [67]. Il fut également suggéré que le SILC résultait d'un abaissement local de la barrière tunnel dû à la génération de défauts localisés induisant un courant tunnel assisté thermiquement à travers une barrière d'environ 1 eV [19] ou un courant de type tunnel Fowler-Nordheim à travers une barrière apparente d'oxyde de hauteur réduite (0.9 - 1.1 eV) [27]. Cependant, une certaine confusion provient de ce que la dépendance en tension du SILC se trouve dans certains cas assez bien ajustée par une loi d'émission Schottky [21,68] ou un mécanisme de type Frenkel-Poole [63]. Dans tous les cas, le SILC apparaît proportionnel à la densité de pièges induits dans le volume de l'oxyde [27] et on peut trouver une relation linéaire directe entre le SILC et la densité de défauts neutres [21] et même une corrélation un pour un entre le SILC DC et la densité de pièges à électrons dans l'oxyde [22]. De plus, il fut montré que les défauts induits n'étaient pas seulement générés près de l'anode, mais à travers tout le volume de l'oxyde [21,68] et on peut même établir une corrélation, mais sans relation directe de causalité, entre l'augmentation du SILC et celle de la densité d'états à l'interface Si-SiO₂ [20,39]. A la vue de l'ensemble de ces résultats et surtout du lien très étroit observé entre SILC et défauts dans l'oxyde, il a été proposé et est aujourd'hui généralement admis que, dans la plupart des cas, le SILC est un courant résultant d'un effet tunnel assisté par les défauts neutres d'oxyde. La localisation énergétique de ces pièges neutres a été estimée autour de 2.3–2.4 eV sous la bande de conduction de l'oxyde et leur section de capture donnée dans la gamme 10⁻¹⁵-10⁻¹⁶cm² [50]. Enfin, ce mécanisme tunnel assisté par un défaut unique de l'oxyde est identifié comme inélastique pour reproduire sa dépendance en fonction de l'épaisseur d'oxyde et de la tension appliquée [70], avec une perte d'énergie estimée autour de 1.5eV [71].

Nous avons pour notre part concentré dans un premier temps nos efforts sur le lien entre SILC et injections localisées de porteurs chauds, ces dernières étant utilisées en particulier pour la programmation des mémoires flash. On trouvera au chapitre « analyse dynamique de la fiabilité porteurs chauds » une introduction aux différents modes d'injection par porteurs chauds dans les structures MOS et au paragraphe §3.2 de ce chapitre nos principaux résultats concernant surtout le lien entre SILC et injections de trous chauds. Puis nous avons obtenus des résultats sur la dépendance en température et en champ du SILC dans les oxydes de 3.8nm et 4.7nm, en essayant de valider par ces informations les modèles proposés (§3.3).

Les échantillons utilisés lors de cette étude – capacités MOS et transistors NMOSFETs - ont été fabriqués au CEA/LETI (Laboratoire d'Electronique, de Technologie et d'Instrumentation) à partir de substrats de type P et possèdent des grilles en polysilicium N⁺. Deux épaisseurs d'oxyde SiO₂ étaient disponibles T_{OX}=4.7nm et T_{OX}=3.8nm pour des dopages substrat moyens de la zone active implantée de 5x10¹⁷cm⁻³ et 1.6x10¹⁷cm⁻³ respectivement, menant dans les deux cas à une tension de bandes plates V_{FB} proche de -1V. Les capacités MOS, de surface importante (40000 μm² ou 38216 μm²) étaient munis de contacts latéraux N⁺ autorisant la réalisation d'injections électroniques à partir du substrat.

Différentes géométries de transistors isolés étaient disponibles : $W/L=100/0.8$, $100/1$, $100/1.2$ et $100/2 \mu\text{m}$, où L et W sont respectivement la longueur et la largeur de grille.

3.2 SILC et injections de porteurs chauds

Nous avons au cours de ce travail comparé et étudié le SILC induit à température ambiante dans les oxydes d'épaisseur $T_{\text{OX}}=4.7\text{nm}$, soit après des injections uniformes en régime Fowler-Nordheim à $V_G>0$ et $V_G<0$ sur capacités ou transistors N-MOSFETs, pour des champs de stress dans la gamme $9.2<|F_{\text{OX-stress}}|<11\text{MV/cm}$, soit après des injections localisées de porteurs chauds du canal dans les conditions suivantes : injections de trous chauds CHH (*Channel Hot Holes*) pour $V_G=V_{\text{DS}}/5$, injections de trous et d'électrons chauds à la condition de maximum de courant substrat $I_{\text{SUB-max}}$ (maximum d'ionisation par impact pour $V_G=V_{\text{DS}}/2$) et injections d'électrons chauds CHE (*Channel Hot Electrons*, pic de courant électronique de grille pour $V_G=V_{\text{DS}}$), où V_{DS} est la tension drain-source appliquée. Pour suivre la dégradation, nous avons mesuré régulièrement au cours du stress l'évolution du courant de grille I_G , les caractéristiques $I(V)$ standard des transistors et nous avons utilisé la technique de pompage de charge soit dans sa version habituelle $I_{\text{CP}}(V_{\text{base}})$ [72], soit dans sa version $I_{\text{CP}}(V_{\text{High}})$ pour recueillir une information quantitative sur les états d'interface et la charge localisée ou uniforme piégée dans la structure [73]. I_{CP} est le courant de recombinaison proportionnel à la densité d'états d'interface, recueilli au substrat lors de l'application d'une séquence de polarisation sur la grille, où V_{base} représente la tension de base et V_{High} la tension haute du pulse appliqué à la grille du transistor MOSFET.

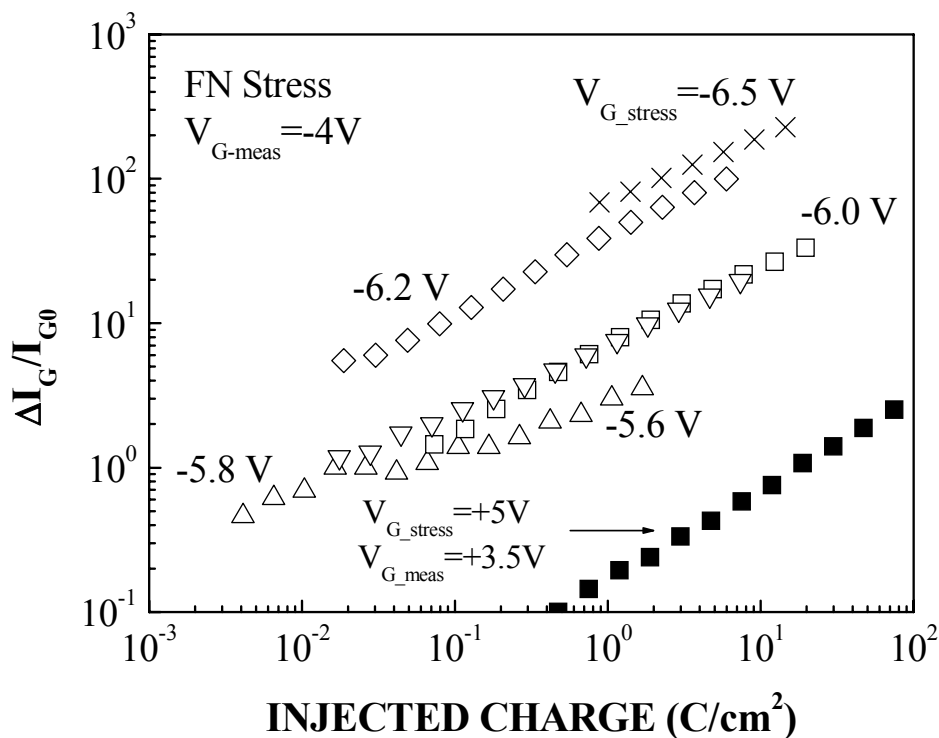


Figure 6 : Cinétique d'évolution de l'accroissement relatif de courant de grille dans la zone SILC en fonction de la charge injectée pour les deux polarités de stress, mettant en évidence la plus grande efficacité des contraintes à $V_{G_stress}<0$ par rapport aux contraintes à $V_{G_stress}>0$.

Nous avons obtenu de façon reproductible, stable et systématique un SILC DC important dans ces échantillons pour les deux polarités de contrainte en régime Fowler Nordheim et de mesure, allant jusqu'à deux ordres de grandeur d'augmentation de I_G (comme déjà montré sur les Figs. 3 et 4) [39]. Ce SILC a montré une très faible relaxation, pas de caractère transitoire (testé sur 2000s) et une grande stabilité (pas d'évolution du $I_G(V_G)$ une semaine après le stress). Pour des champs de stress dans l'oxyde identiques en valeur absolue, menant à des courants de stress similaires en régime FN, la génération du SILC semble bien plus efficace (facteur x5) lorsque les électrons sont injectés à partir de la grille ($V_{G-stress}=-6V$) que lorsque ces derniers sont injectés à partir du substrat ($V_{G-stress}=+5V$). On met également en évidence sur les cinétiques de la Fig.6 que le mécanisme de génération du SILC dépend du champ dans l'oxyde et donc de l'énergie des porteurs responsables des phénomènes de génération de porteurs libres à l'anode. Les résultats de la Fig.6 aboutissent à une cinétique de création du SILC en loi de puissance $\Delta I_{SILC} = C^{te} Q_{inj}^{0.46 \pm 0.1}$ pour des stress uniformes à tension négative, ce qui est en accord avec la cinétique de création de pièges neutres dans l'oxyde [21].

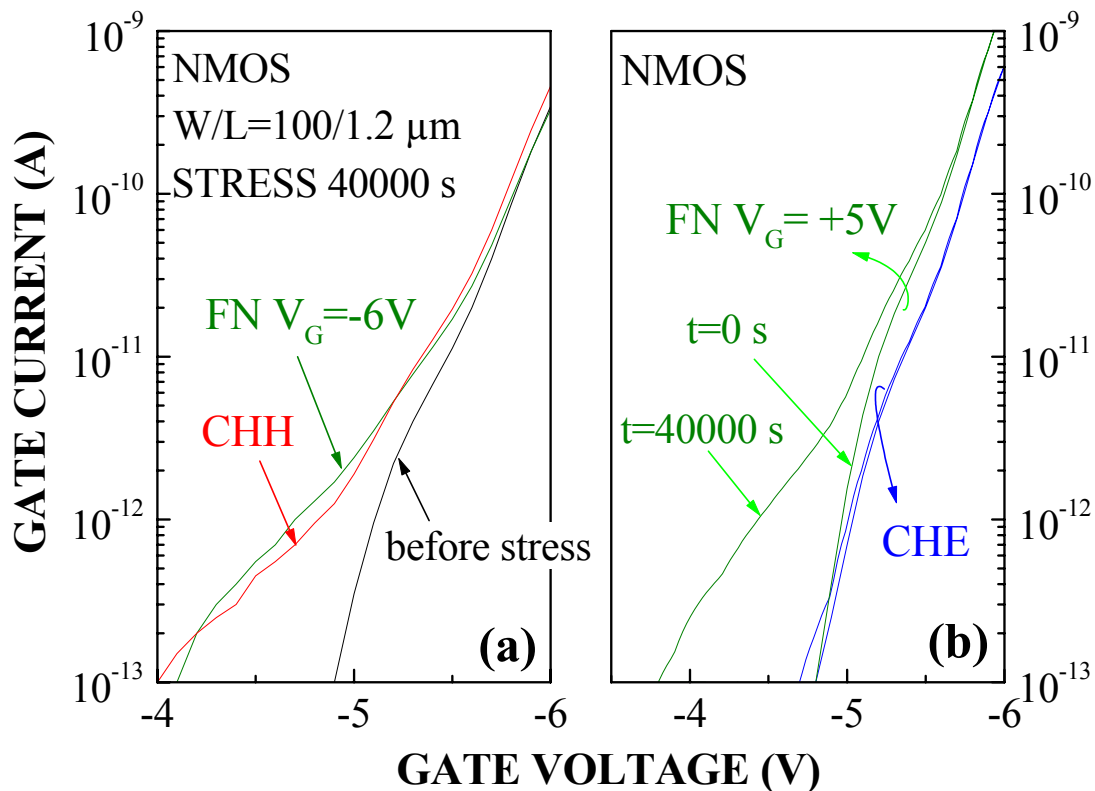


Figure 7 : SILC mesuré avant et après un stress FN ($V_G=-6V$) et une injection localisée de trous chauds (CHH: $V_G/V_{DS}=1/5.5V$) (a) et avant et après un stress FN ($V_G=+5V$) et une injection localisée d'électrons (CHE: $V_G/V_{DS}=5/5.5V$) (b) dans des N-MOSFETs.

La Fig.7 montre sur la courbe $I_G(V_G)$ la comparaison entre le SILC obtenu après un stress FN uniforme et après des injections localisées CHH ou CHE pour le même temps de stress (40000s). On constate que le stress CHH génère le même ordre de grandeur de courant de fuite, alors que pratiquement aucune dégradation n'est visible suite au stress CHE. Une comparaison plus systématique entre les différentes conditions de stress FN et porteurs chauds est fournie sur la Fig.8. On valide en particulier sur ce tracé que les stress FN réalisés sur transistors fournissaient bien un courant SILC identique à celui obtenu sur les capacités.

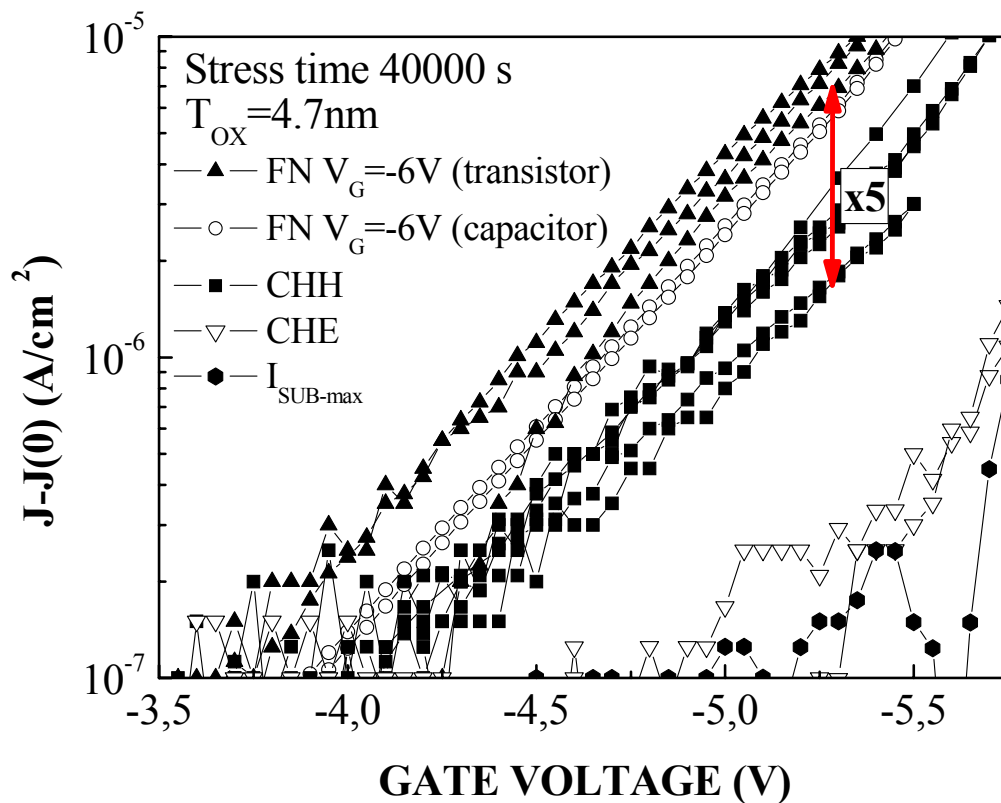


Figure 8 : Comparaison du SILC= $J-J(0)$ généré après des stress FN ($V_G=-6V$) dans des capacités et dans des transistors et après divers types d'injections localisées de porteurs chauds: CHH: $V_G/V_{DS}=1/5.5V$, CHE: $V_G/V_{DS}=5/5.5V$, $I_{SUB-max}$ dans des transistors de différentes géométries.

Si les stress CHE et $I_{SUB-max}$ s'avèrent nettement moins dégradants, les stress CHH induisent systématiquement un SILC inférieur mais comparable (dans la mesure d'un facteur 5) à celui induit par stress FN. On a également vérifié que ce résultat se retrouvait pour des tensions de mesure positives et que dans le cas CHH, la dégradation résultait bien de l'injection localisée de porteurs chauds et non d'un courant FN localisé entre la grille et le drain pendant le stress CHH [39]. On compare sur la Fig.9 les cinétiques de création du SILC pour les cas CHH et FN. Les deux mécanismes de dégradation suivent une loi de puissance en $A.t^n$, mais avec des exposants différents ($n=0.51\pm 0.03$ pour les stress FN, $n=0.23\pm 0.04$ pour les stress CHH). En dépit de ce taux de génération du SILC nettement moins important que celui des stress FN, les stress CHH s'avèrent particulièrement efficaces aux temps courts pour induire un SILC, ce qui s'explique par le piégeage quasi-instantané d'une charge positive localisée (constituée de trous piégés) dans la région de l'oxyde au voisinage du drain, provoquant une augmentation locale du courant de fuite détectée comme du SILC. Cette charge piégée induit en outre une diminution localisée de la tension de seuil dans la région autour du drain, ce qui est révélé par un épaulement caractéristique dans le flanc de montée de la courbe de pompage de charge $I_{CP}(V_{high})$. Une analyse plus précise du décalage progressif sur la courbe dérivée de $I_{CP}(V_{high})$ de ce pic caractéristique d'une charge positive localisée permet de quantifier le nombre de trous piégés autour de 1.5×10^9 après 10s de stress CHH dans nos échantillons [39]. Aux temps longs, cette charge positive et ses effets sont masqués par l'augmentation régulière de la densité d'états d'interface accepteurs et de la charge négative piégée au voisinage du drain.

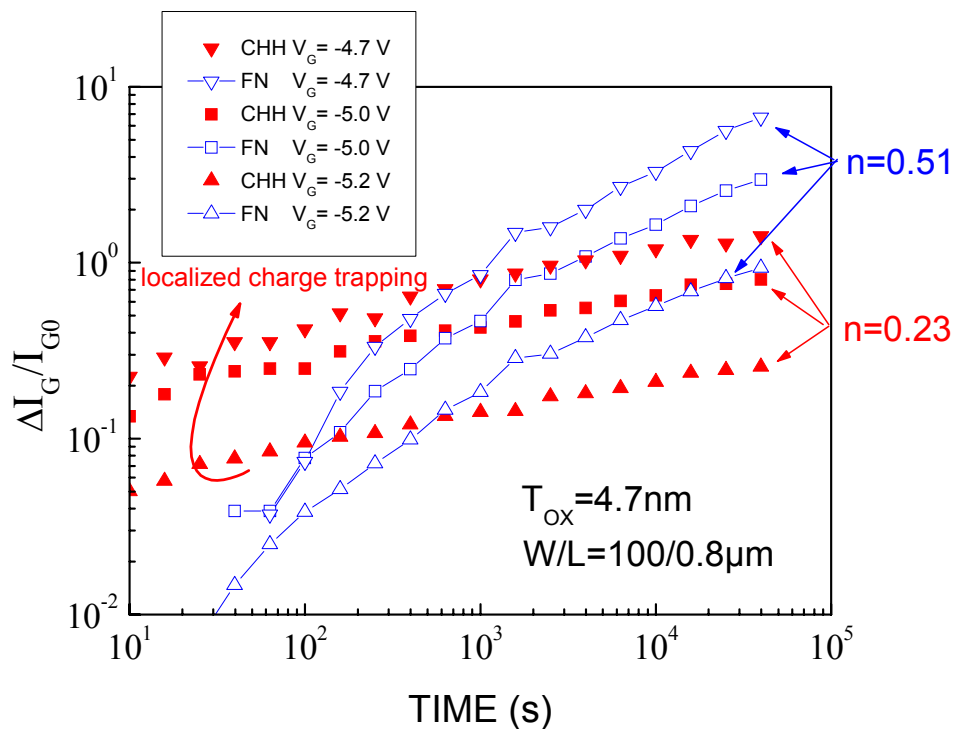


Figure 9 : Cinétique de création du SILC pour diverses tensions de grille de mesure pendant un stress CHH ($V_G/V_{DS}=1/5.5V$, symboles pleins) et un stress FN ($V_G=-6V$, symboles ouverts) dans des transistors NMOSFETs.

Les mesures de pompage de charge permettent de mettre en évidence une augmentation conjointe et corrélée du SILC et de la densité d'états d'interface N_{IT} (voir Fig.10 et [39]). Cependant, cette densité d'états d'interface ne peut être considérée comme une des causes directes du SILC, mais doit plutôt être vue comme une indication quantitative de la fraction des pièges d'oxyde (qui eux peuvent être directement considérés comme responsables du SILC) localisés très près de l'interface Si/SiO₂. La preuve qu'aucun lien de causalité directe ne peut être établi entre SILC et N_{IT} est fournie par le fait que, quel que soit le temps de stress, nous trouvons une augmentation de N_{IT} supérieure dans le cas CHH par rapport au cas des stress uniformes FN, alors que le SILC relevé est lui systématiquement supérieur dans le cas FN à la fin du stress. Nous en concluons donc que SILC et N_{IT} augmentent conjointement, de façon parfois corrélée, mais sans relation de cause à effet. Il peut aussi être observé sur la Fig.10 qu'aucune charge positive uniforme significative n'est piégée durant les stress FN et CHH (pas de décalage uniforme du flanc de montée dans la courbe $I_{CP}(V_{high})$). Ce dernier point a été confirmé sur la dégradation des caractéristiques $I_{DS}(V_{DS})$ des transistors et sur les courbes $C(V)$ (capacité en fonction de la tension de grille) [39]. Ceci vient confirmer dans notre cas le fait maintenant établi que le SILC ne peut pas être expliqué par le simple piégeage d'une charge positive uniforme [19,20]. La condition « porteurs chauds » menant à la plus forte génération de SILC correspond au maximum d'injection de trous chauds CHH (même localisés au drain) dans l'oxyde, condition qui est l'une des plus favorables à la création de pièges neutres dans l'oxyde [74]. Nous pouvons de plus faire un parallèle entre ce point et la constatation faite précédemment que dans nos échantillons, les contraintes uniformes à tension positive ($V_G > 0$) se montraient bien moins efficaces que celles à tension négative ($V_G < 0$) pour induire le SILC. En effet, les stress CHE et les contraintes uniformes à $V_G > 0$ ont en commun d'induire une injection d'électrons à partir du substrat (ou du canal). D'un autre

côté, il est raisonnable de considérer que les stress FN à tension négative induisent une injection « inverse » de trous générés dans le substrat de Si par l'impact des électrons primaires injectés par effet tunnel de la grille et ayant été accélérés dans la bande de conduction du SiO₂ (mécanisme AHI, *Anode Hole Injection*), phénomène qui peut être rapproché du mécanisme d'injection de trous chauds localisés du canal créés par ionisation par impact au voisinage du drain. L'efficacité de création du SILC semble fortement liée au fait que cette ionisation par impact se déroule dans le substrat de Silicium de type p, induisant une injection de trous (localisés ou non) à partir du substrat. Afin d'expliquer pourquoi le phénomène réciproque à partir de la grille en Polysilicium N⁺ ne conduit pas à la même amplitude d'injection de trous, on peut évoquer une asymétrie liée à la position du niveau de Fermi à l'interface anode/oxyde : pour une polarisation négative de la grille, le niveau de Fermi à l'interface p-Si/SiO₂ (anode dans ce cas) est situé près du sommet de la bande de valence du p-Si, alors que dans le cas d'une polarisation positive de la grille, le niveau de Fermi à l'interface N⁺polysilicium/SiO₂ (qui joue le rôle de l'anode dans ce cas) est pratiquement bloqué près du minimum de la bande de conduction du N⁺polysilicium [75]. Cette différence d'énergie de 1eV environ permettrait d'expliquer la différence d'efficacité dans la génération et l'injection de trous à l'anode entre les stress FN à V_G>0 et à V_G<0. Ainsi, si on suppose que la génération du SILC est directement reliée au flux de trous injectés dans l'oxyde [62] et la création résultante de défauts neutres dans l'oxyde [22], cette asymétrie pourrait expliquer la dépendance expérimentale en fonction de la polarité lors des stress FN dans nos échantillons (à même champ), et ce point est cohérent avec la plus grande efficacité des stress CHH comparés aux autres modes de dégradation porteurs chauds.

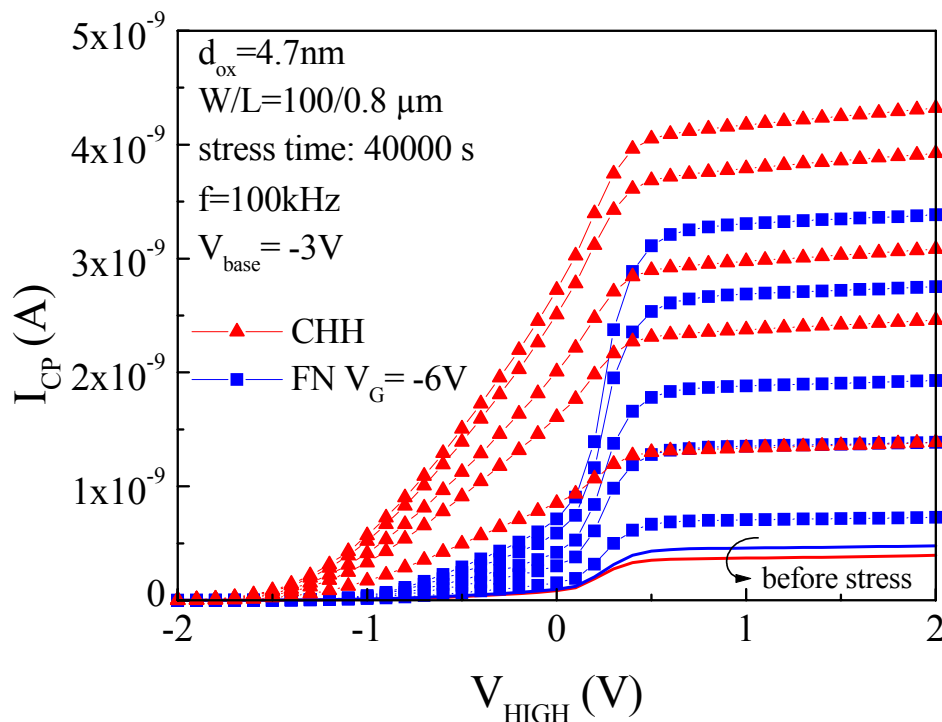


Figure 10 : Evolution du courant de pompage de charge $I_{CP}(V_{high})$ pendant un stress CHH ($V_G/V_{DS}=1/5.5V$) et un stress FN ($V_G=-6V$) dans des transistors NMOSFETs.

En conclusion, nous avons établi que des injections localisées de trous chauds pouvaient induire un SILC comparable en amplitude, mais avec un taux de création plus faible, aux injections uniformes en régime Fowler-Nordheim. Ce SILC peut être aux temps courts

important et facilité par un piégeage localisé de trous. L'ensemble de nos résultats, en particulier sur la corrélation établie avec l'injection de trous, plaide en faveur d'un modèle décrivant le SILC comme un courant tunnel assisté par des défauts neutres de l'oxyde [39].

3.3 Dépendance en température et en champ du SILC

Ainsi que précisé dans l'introduction au 3.1, de nombreuses explications ont été envisagées pour trouver une explication physique cohérente au SILC tenant compte de sa dépendance en champ [70,76-79], mais assez peu d'études ont porté sur la dépendance en température de ces courants [19,68,80,81]. Nous avons pour notre part relevé ces deux dépendances sur une gamme de température allant de 100°K à 400°K, pour les échantillons d'épaisseur d'oxyde 4.7nm et 3.8nm après divers types de stress tous effectués à température ambiante et générant du SILC. Pour ce faire, nous avons, avant et après stress, relevé des courbes $I_G(V_G)$ complètes aux différentes températures de la gamme étudiée, afin d'extraire proprement la dépendance en température du courant SILC : $I_{SILC}(T) = I_G \text{ après stress}(T) - I_G \text{ avant stress}(T)$. Les cinétiques de création en loi de puissance $I_{SILC} = C^{te} Q_{inj}^n$ en fonction de la charge injectée Q_{inj} de ces courants SILC sur capacités après des stress CVS et CCS (*Constant Voltage/Current Stress*) sont reportées sur la Fig.11. La pente de ces lois ($n=0.41 \pm 0.01$) est pratiquement indépendante des conditions de stress et de l'épaisseur d'oxyde, est un peu inférieure à celle observée sur transistors ($n=0.51$, voir 3.2) et est cohérente avec la cinétique de génération de pièges neutres à travers l'oxyde lors de stress FN [82]. On retrouve en outre sur les préfacteurs le fait déjà signalé que l'amplitude du SILC est moins importante dans les oxydes de 3.8nm que dans les oxydes de 4.7nm, et décroît en général sous les 5nm [60,77,83].

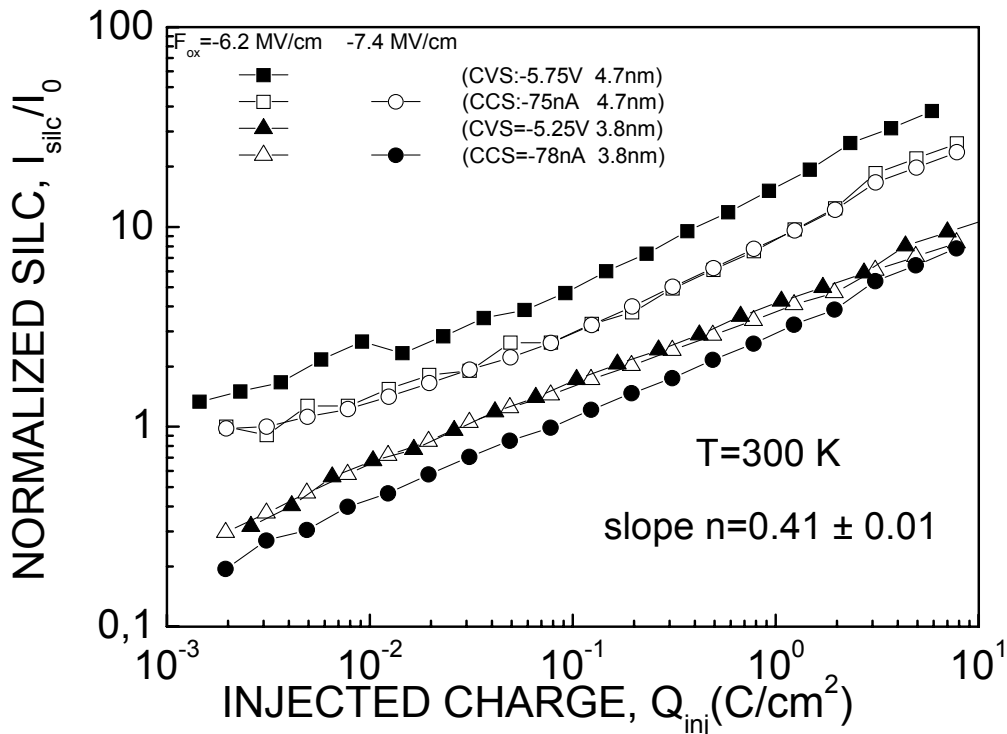


Figure 11 : Cinétiques de création à 300K du SILC normalisé en fonction de la charge injectée durant des stress CCS (labels vides) ou CVS (labels pleins) (I_0 est le courant de grille avant stress) pour deux conditions de mesure $F_{OX} = -6.2$ MV/cm $F_{OX} = -7.4$ MV/cm.

Nos essais d'ajustement de la dépendance en champ du SILC relevé, par une composante Fowler-Nordheim ayant une barrière réduite à 1eV [21,84] ont été infructueux qualitativement (allure des courbes qui ne sont pas des droites sur les plots tracés FN de la Fig.12) et quantitativement (barrière de 0.36eV pour les échantillons 3.8nm dans la partie linéaire à bas champ). Ceci invalide définitivement cette explication pour le SILC obtenu dans nos échantillons pour des champs d'oxyde inférieurs à 7MV/cm.

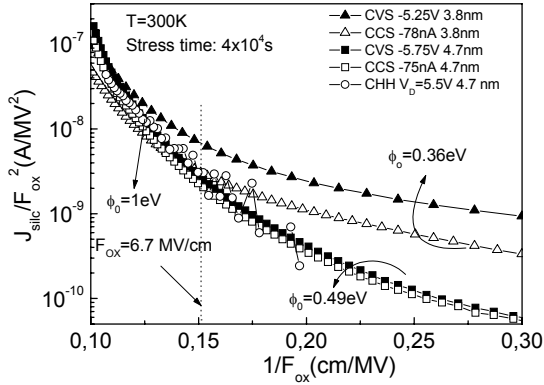


Figure 12 : Plot Fowler-Nordheim du SILC dans des oxydes de 3.8nm et 4.7nm après des stress à 300K CVS, CCS et CHH.

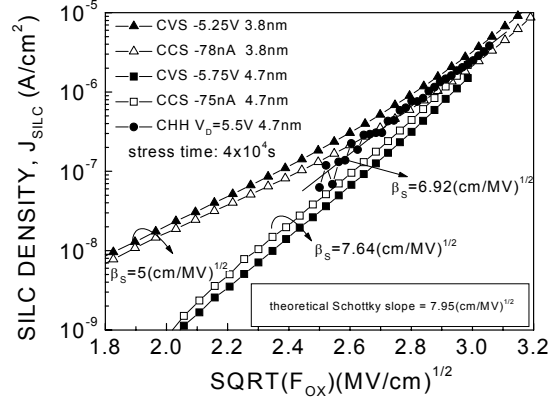


Figure 13 : Plot Schottky du SILC dans des oxydes de 3.8nm et 4.7nm après des stress à 300K CVS, CCS et CHH.

La dépendance en champ semble mieux décrite par une loi de type Schottky (ou Poole-Frenkel modifiée) dans les échantillons de 4,7nm pour tous les modes de stress (comme montré sur la Fig.13), ainsi que précédemment déjà reporté lors de plusieurs études [68,82]:

$$I_{SILC} = C^{te} A^* T^2 \exp \left[\frac{-e \left(\Phi_0 - \sqrt{\frac{e F_{OX}}{4\pi\epsilon_{OX}}} \right)}{kT} \right] \quad (3)$$

où A^* est la constante de Richardson, $e\Phi_0$ la barrière énergétique que les porteurs libres doivent surmonter pour être injectés dans la bande de conduction de l'oxyde et $\epsilon_{OX} = 3.9\epsilon_0$ la permittivité diélectrique du SiO₂. Le champ dans l'oxyde F_{OX} est calculé par:

$$F_{OX} = \frac{V_G - \Phi_{MS} - \Psi_s}{T_{OX}} \quad (4)$$

où Ψ_s est le potentiel de surface de la structure Si/SiO₂ que nous prendrons à peu près constant en régime d'accumulation et donné par $-0.112V$ dans les échantillons 4.7nm et $-0.133V$ dans ceux de 3.8nm et $e\Phi_{MS}$ la différence de travaux de sortie entre la grille et le substrat. A partir de l'équation (3), on définit une pente spécifique β_s dite de Schottky,

correspondant à la pente du courant SILC (sur une échelle logarithmique) en fonction de la racine carrée du champ et donnée par :

$$\beta_s = \frac{e}{kT} \sqrt{\frac{e}{4\pi\epsilon_{ox}}} \quad (5)$$

qui ne dépend que de la température T et qui peut être évaluée théoriquement à $\beta_s=7.95$ (cm/MV)^{1/2} à température ambiante dans le SiO₂, quelle que soit l'épaisseur d'oxyde. Comme mis en évidence sur la Fig.13, l'agrément est excellent dans les échantillons de 4.7nm, pour lesquels les pentes de Schottky expérimentales sont $\beta_s=7.64$ (cm/MV)^{1/2} après stress uniforme et $\beta_s=6.92$ (cm/MV)^{1/2} après stress CHH, indicatif par ailleurs d'une nature identique pour le SILC issu de ces deux modes de stress. Cependant, dans les oxydes de 3.8nm, la pente extraite $\beta_s=5$ (cm/MV)^{1/2} corrèle mal la prédiction théorique. Tous les autres essais effectués pour ajuster le SILC par une loi thermoionique (de type Poole-Frenkel par exemple) menèrent à des résultats moins bons que ceux présentés pour la loi Schottky.

Reprenant l'analyse de nombreuses autres études [19,70,76,77,78,79], il est plus probable que le SILC résulte en fait majoritairement d'un mécanisme d'effet tunnel assisté par défauts, ce qui est de plus conforté par la corrélation trouvée précédemment avec la création de pièges neutres dans l'oxyde. Nous reprenons pour interpréter nos résultats l'analyse de Ricco et al. [78], qui postule que le SILC provient d'électrons qui transitent par des pièges situés à une distance tunnel de l'électrode injectante (ici le polysilicium N⁺). Ces pièges neutres induits par le stress sont en outre supposés être répartis uniformément à travers l'oxyde, mais l'analyse proposée suppose que la contribution principale au courant SILC provient des pièges barycentriques (situés à une égale distance des deux électrodes), pour lesquels les coefficients de transmission par effet tunnel pour la capture et pour la ré-émission sont pratiquement égaux et donnés par la racine carrée du coefficient de transmission pour la barrière totale. Puis, suivant le même processus d'intégration en énergie qu'en [16,78], nous obtenons l'expression approchée suivante pour le courant tunnel direct assisté par défauts :

$$J_{DT} \approx \frac{AF_{ox}^2}{\left(1 - \sqrt{\frac{\Phi_0 - F_{ox}T_{ox}}{\Phi_0}}\right)^2} \exp\left[\frac{B}{2F_{ox}} \frac{\Phi_0^{3/2} - (\Phi_0 - F_{ox}T_{ox})^{3/2}}{\Phi_0^{3/2}}\right] \quad (6)$$

Dans laquelle la hauteur de barrière tunnel Φ_0 est exprimée en eV, et le facteur « 2 » au dénominateur du terme exponentiel provient directement de la racine carrée du coefficient de transmission sur toute la barrière. A est ici une constante dépendant de la concentration ou du nombre de pièges et de leur section de capture. Le fait de prendre la racine carrée de la transparence de la barrière a peu d'effets sur le pré-facteur qui devrait simplement être multiplié par 4 (par rapport au cas d'une transmission à travers toute la barrière) à cause de la double intégration sur l'énergie, mais nous incluons ici cet effet dans le pré-facteur A. L'autre paramètre classique du schéma tunnel direct est le facteur B, homogène à un champ et donné par :

$$B = \frac{8\pi}{3h} \sqrt{2em_{ox}^*} \Phi_0^{3/2} \quad (7)$$

avec m_{OX}^* la masse effective « tunnel » prise en compte pour les électrons dans l'oxyde et h la constante de Planck. On montre sur la Fig.14 l'excellence de l'ajustement obtenu pour la dépendance à bas champ du courant SILC obtenue dans nos échantillons. Les paramètres d'ajustements étant A et B, Φ_0 restant fixé à 3.15eV, les valeurs obtenues sont pour B 250 ± 4 MV/cm dans les échantillons de 4.7nm et 272 ± 5 MV/cm dans ceux de 3.8nm. Ces valeurs sont en accord avec les évaluations théoriques du paramètre B allant de $B=216$ MV/cm pour $m_{OX}^* = 0.32m_0$ [16] à $B=283$ MV/cm pour $m_{OX}^* = 0.55m_0$ [33]. De plus, comme montré également sur la Fig.14, nous trouvons aussi un excellent accord (mieux que 1%) entre nos résultats expérimentaux sur les échantillons de 4.7nm et le modèle empirique proposé par Rosenbaum et al. [70] pour l'effet tunnel direct assisté par défauts, établi initialement dans des oxydes de 5.5nm et qui peut dans notre cas (4.7nm) être extrapolé à :

$$J_{SILC} \approx J_{SILC}(7.5MV/cm) \exp \left[21 * \left(\sqrt{\frac{|F_{OX}|}{7.5MV/cm}} - 1 \right) \right] \quad (8)$$

En effet, ce modèle empirique fournit une valeur « apparente » du paramètre B donnée par $B=274 \pm 3$ MV/cm pour des échantillons de 4.7nm. Tous ces modèles confirment donc que la meilleure loi possible pour le SILC dans la gamme de 4 à 7.5MV/cm est une loi tunnel direct modifiée comprenant un exposant exponentiel réduit d'un facteur approximativement 2 par rapport au cas tunnel direct à travers toute l'épaisseur d'oxyde.

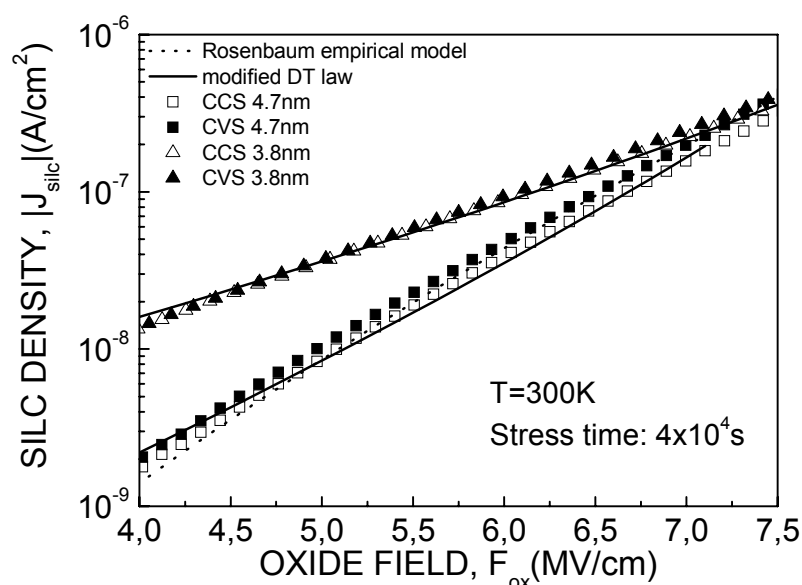


Figure 14: Tracé du SILC en fonction du champ électrique dans l'oxyde F_{OX} , montrant sa nature exponentielle et son ajustement à l'aide de la loi tunnel directe modifiée de l'équation 6. La ligne pointillée est obtenue à partir de l'expression empirique donnée en [70] et rappelée dans le texte (équation 8) pour les échantillons de 4.7nm.

Une autre indication de la nature exacte des mécanismes responsables du SILC est fournie par sa dépendance en fonction de la température. Le SILC relevé dans nos échantillons a montré une faible activation thermique dans la gamme 100-400K (voir Fig.15). Nous avons extrait l'énergie d'activation thermique E_a du SILC, en utilisant la formule usuelle [68] :

$$I_{SILC} = I_0 \exp\left(-\frac{E_a}{kT}\right) \quad (9)$$

Ce qui a abouti à des valeurs de E_a inférieures à 50meV dans les échantillons de 4.7nm et inférieures à 20meV dans ceux de 3.8nm. Cette énergie d'activation thermique a montré une légère dépendance en fonction du champ F_{OX} pour lequel elle était mesurée dans la gamme 3.5-9MV/cm dans les échantillons de 4.7nm mais est restée indépendante de F_{OX} sur la même gamme dans les oxydes de 3.8nm (voir Fig.16).

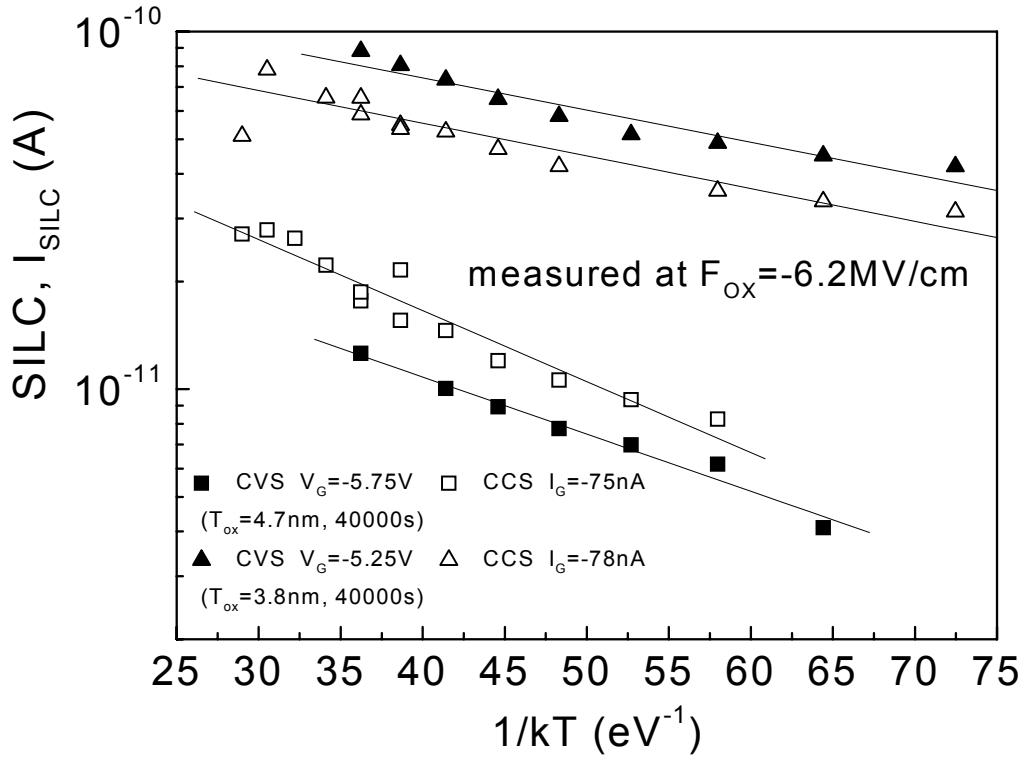


Figure 15: Tracé d'Arrhenius du SILC mesuré à $|F_{OX}|=6.2MV/cm$ après des stress CVS ou CCS dans des oxydes de 4.7nm et 3.8nm d'épaisseur permettant d'extraire les énergies d'activation à l'aide de l'équation 9 (lignes droites).

Nous avons d'abord cherché à voir si la dépendance en champ de E_a dans les échantillons de 4.7nm pouvait reproduire la prédiction de la loi d'émission Schottky, donnée par :

$$E_a = C^{te} - e \sqrt{\frac{e}{4\pi\epsilon_{OX}}} \sqrt{F_{OX}} \quad (10)$$

Malheureusement et malgré un relatif accord qualitatif, les pentes extraites [41] en fonction de $\sqrt{F_{OX}}$ ($-22 meV/\sqrt{MV/cm}$ dans le cas CVS et $-49 meV/\sqrt{MV/cm}$ dans le cas CCS) restent éloignées de la valeur théorique donnée par $-192 meV/\sqrt{MV/cm}$. Cette dernière

constatation, ainsi que l'absence de variation de E_a avec F_{OX} dans les échantillons de 3.8nm exclut définitivement la loi Schottky comme seule cause possible du SILC, même si une partie du SILC présent dans nos échantillons de 4.7nm peut lui être imputable.

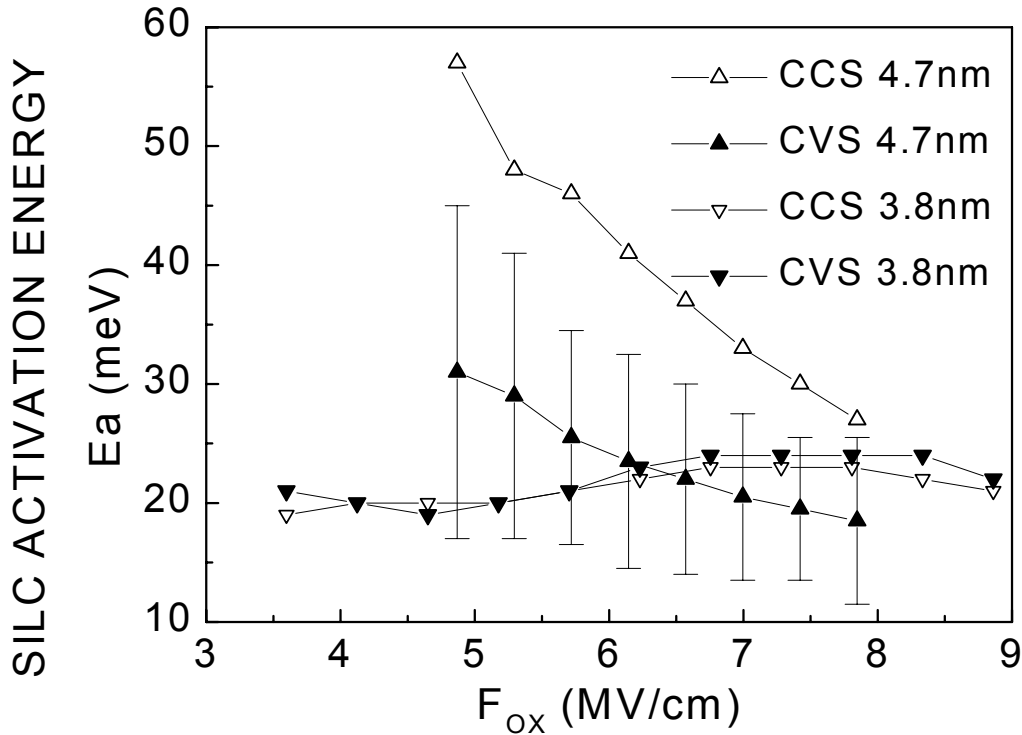


Figure 16: Dépendance en champ de l'énergie d'activation thermique du SILC dans des oxydes de 4.7nm et 3.8nm après des stress CVS ou CCS. Les barres d'erreur typiques reportées sont estimées à partir de plusieurs ajustements sur diverses gammes de température.

Nos résultats confirment ceux obtenus lors d'autres études dans des oxydes plus épais [19,81], mais semblent en contradiction avec ceux de [68] dans des oxydes de 4.4nm. Afin de confirmer les très bons résultats obtenus en champ à l'aide d'une loi tunnel direct assisté par défauts, nous avons cherché à voir si la dépendance observée du SILC en température était compatible avec l'augmentation quadratique usuelle des lois tunnel due à l'élargissement de la fonction de distribution dans les électrodes donnée par [17] :

$$\frac{I_{DT}(T, F_{OX})}{I_{DT}(0, F_{OX})} \approx 1 + \theta T^2 \quad (11)$$

avec :

$$\theta = \frac{1}{6} \left(\frac{4k\pi^2}{h} \frac{\sqrt{2em_{OX}^*}}{eF_{OX}} \left(\sqrt{\Phi_0} - \sqrt{\Phi_0 - F_{OX}T_{OX}} \right) \right)^2 \quad (12)$$

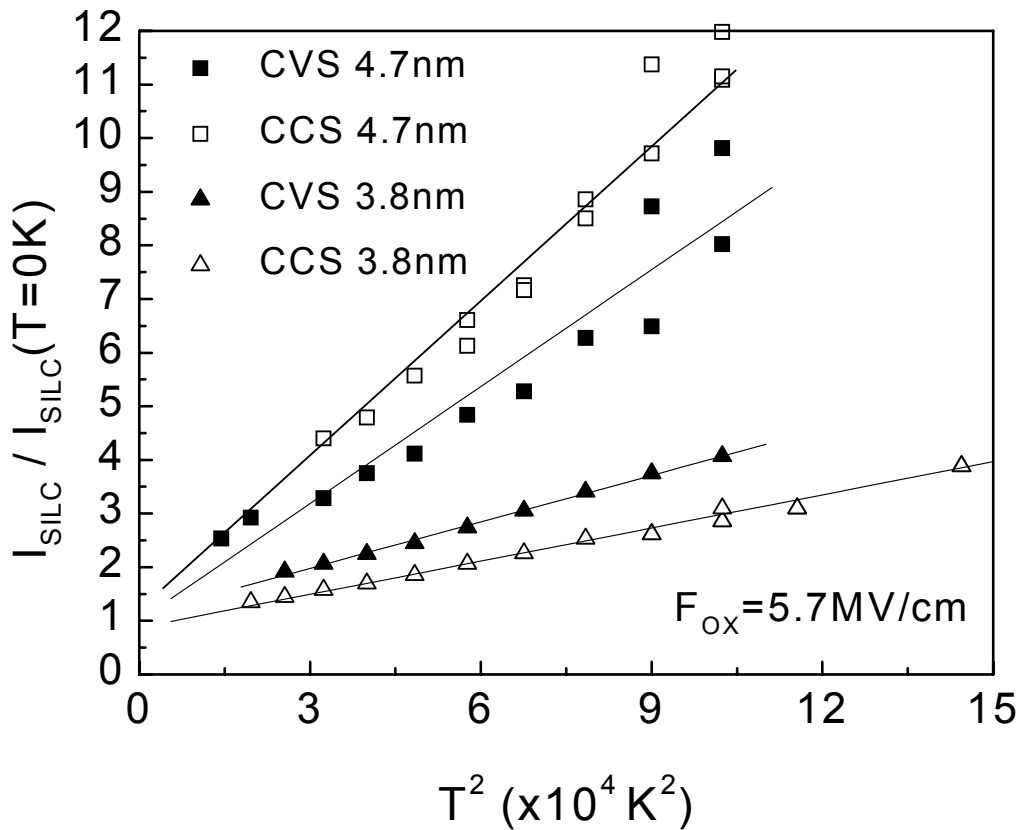


Figure 17: SILC normalisé par sa valeur extrapolée à 0°K en fonction du carré de la température absolue montrant que le SILC suit bien une loi quadratique. Le SILC était mesuré à $F_{\text{OX}}=5.7\text{MV/cm}$ après un stress CCS (-75 nA dans les échantillons 4.7nm, -78nA dans les échantillons 3.8nm) ou CVS (-5.75 V: 4.7nm, -5.25 V: 3.8nm). Les traits continus sont des ajustements linéaires utilisant l'équation (11) pour remonter aux pentes θ (équation 12).

La Fig.17 montre que le SILC suit bien une loi quadratique en température et les pentes extraites donnent $\theta=7.2 \times 10^{-5} \pm 4 \times 10^{-5} \text{K}^{-2}$ pour $T_{\text{OX}}=4.7\text{nm}$ et $\theta=2.5 \times 10^{-5} \pm 0.2 \times 10^{-5} \text{K}^{-2}$ pour $T_{\text{OX}}=3.8\text{nm}$. En considérant la dispersion de la valeur de la masse effective tunnel des électrons dans l'oxyde, la pente théorique attendue (équation 12) était de $2 \times 10^{-6} \pm 0.5 \times 10^{-6} \text{K}^{-2}$ pour $T_{\text{OX}}=4.7\text{nm}$ et $1 \times 10^{-6} \pm 0.3 \times 10^{-6} \text{K}^{-2}$ pour $T_{\text{OX}}=3.8\text{nm}$. L'activation thermique mesurée du SILC est donc supérieure d'au moins un facteur 10 à celle attendue pour un courant tunnel direct. Ce désaccord peut être partiellement attribué à la composante thermoionique dans les échantillons 4.7nm, et l'absence de composante thermoionique dans les échantillons 3.8nm explique alors le meilleur agrément pour la pente θ dans ce cas. Nous avons par ailleurs comparé l'activation thermique du SILC à celle mesurée sur les courants de fuite avant stress [41] : l'effet de la température est du même ordre de grandeur, et donc bien plus important que celui attendu par une loi tunnel direct. Le SILC et le courant pré-stress dans nos échantillons (3.8nm et 4.7nm) suivent donc bien une loi quadratique en T^2 comme prévu dans les mécanismes tunnel, mais l'amplitude de cette activation thermique est dans les deux cas beaucoup plus importante que celle prévue par la simple loi tunnel direct.

En conclusion, après examen des dépendances en champ et en température du SILC induit

dans des oxydes de 4.7nm et 3.8nm d'épaisseur par des stress CVS, CCS ou CHH, nous écartons définitivement comme explication satisfaisante de nos résultats une loi FN modifiée de barrière 1eV ou une loi thermoïonique (Schottky) seule, cette dernière pouvant cependant expliquer une partie du SILC observé dans les échantillons de 4.7nm. L'excellent ajustement de la dépendance en champ du SILC par une loi tunnel direct modifiée pour tenir compte de la présence de pièges neutres dans l'oxyde, ainsi que la nature quadratique de la dépendance en température du SILC renforcent l'hypothèse du mécanisme tunnel (élastique ou inélastique [77,78]) assisté par des défauts neutres créés par le stress et situés à une distance tunnel de chaque interface, comme étant le principal mécanisme responsable de ces courants de fuite en excès. Le SILC montre cependant une activation thermique supérieure à celle prévue par un mécanisme tunnel, mais toutefois déjà présente dans les courants de fuite avant stress.

3.4 Etude du Quasi-breakdown

En plus du SILC observé systématiquement lors des stress pratiqués sur nos échantillons, nous avons très souvent observé, avant un éventuel claquage franc de l'oxyde, un claquage « mou » appelé soft- ou quasi-breakdown (SBD) [33,34,36]. Le SBD est un phénomène soudain caractérisé par une augmentation brutale du courant de fuite de plusieurs ordres de grandeur (mais moins cependant que dans le claquage franc). Le SBD est associé (comme le claquage franc) à l'apparition de spots lumineux conducteurs à la surface de la structure MOS et est donc un phénomène essentiellement local. Le SBD est détecté dans des oxydes de moins de 6nm pour des charges injectées très petites, est associé à l'apparition d'un bruit de type RTS lors des stress à tension ou courant constants et semble un phénomène stable et irréversible. On montre sur la Fig.18 l'apparition typique du soft-breakdown dans nos échantillons de 4.7nm, suite à l'augmentation du SILC :

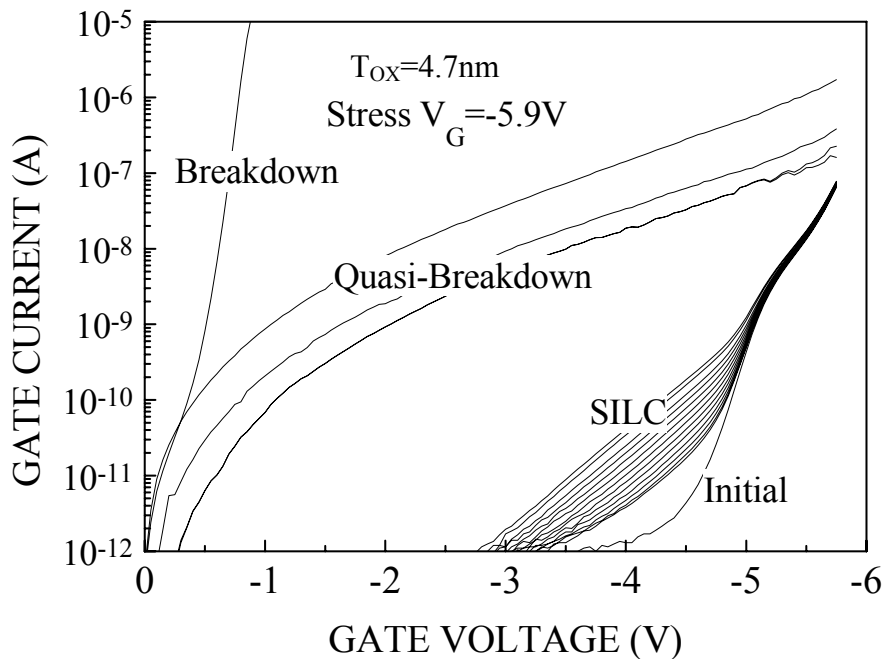


Figure 18: Apparitions successives du SILC, du Quasi-Breakdown et du claquage franc pendant un stress Fowler-Nordheim dans un échantillon de 4.7nm.

L'objectif de l'étude effectuée fut de recueillir des évidences expérimentales pour le SBD sur nos échantillons de 4.7nm et d'essayer de les modéliser pour éclairer le débat sur les mécanismes responsables de ce phénomène. On notera sur la Fig.18 l'apparition successive de plusieurs SBD lors du stress avant le claquage franc, après lequel la structure MOS se trouve dans un régime identifié comme ohmique, très différent de celui observé après un SBD. Nous nous sommes dans un premier temps intéressés à la dépendance du SBD en fonction du champ de stress $F_{OX-stress}$ et de la charge injecté Q_{inj} . Un seuil pratiquement indépendant de $F_{OX-stress}$ pour déclencher le SBD est trouvé à $Q_{inj}=12.4\pm 5.1 C/cm^2$ lors de stress à tension négative. Rien de tel n'est observé pour le claquage franc, puisqu'on observe « classiquement » que la charge au claquage décroît lorsque $F_{OX-stress}$ augmente et que cette dernière est en outre également connue pour décroître lorsque T_{OX} augmente, ce qui expliquerait pourquoi on n'observe pas de SBD au-delà de 6nm d'épaisseur d'oxyde [35]. Par ailleurs, aucun SBD, ni aucun claquage franc n'ont été observés lors de stress équivalents à tension positive, même pour des charges injectées jusque $500C/cm^2$. Nous n'avons observé de SBD pour des champs de stress positifs qu'au-dessus de $12.5MV/cm$ et pour des charges injectées autour de $100C/cm^2$. Cette dépendance en fonction de la polarité est à rapprocher de celle observée dans ces échantillons pour la génération du SILC et des pièges neutres associés. Les autres principales constatations expérimentales faites sur le courant de fuite après SBD sont les suivantes [42]:

- le courant de fuite après SBD n'est que peu activé thermiquement, pas plus en tous cas que le courant pré-stress ou le SILC, avec une énergie d'activation toujours inférieure largement à $100meV$;
- on détecte bien un bruit typique (non détecté dans le SILC ou avant stress) de type RTS [34] après l'occurrence d'un SBD, avec un spectre « plat » en-dessous d'une fréquence de coupure entre 10Hz et 10kHz et un bruit en $1/f$ au-delà ;
- enfin, malgré l'augmentation importante du courant de fuite après un SBD, ce dernier restait sans effet mesurable sur la caractéristique capacité-tension pour des fréquences de mesure entre 20Hz et 1MHz, ce qui s'explique à la fois par le caractère localisé du SBD [34,36] et le fait que la conductance de l'oxyde après SBD restait en tout état de cause bien inférieure au produit $C_{OX}.\omega$ (même à 20Hz).

Nous nous sommes principalement intéressés à la caractéristique $I(V)$ et au mode de conduction à travers l'oxyde après un SBD. On observe tout d'abord que la caractéristique $I_G(V_G)$ est affectée de manière identique pour les deux polarités de mesure. Différents mécanismes ont été, comme dans le cas du SILC, envisagés pour rendre compte de la forme des courbes [42]. Les lois de type Schottky et Poole-Frenkel (émission thermoionique assistée par le champ) ajustent qualitativement bien les caractéristiques, mais les pentes extraites ne correspondent à aucun paramètre physique pertinent dans nos oxydes. Les tracés par un loi Fowler-Nordheim sont qualitativement et quantitativement insatisfaisants (barrière tunnel inférieure à $100meV$!). Par contre un excellent ajustement pour le courant en excès ΔI_G (voir Fig.19) est obtenu pour $|V_G|>1.5V$ par une simple loi exponentielle du type :

$$\Delta I_G = C^{te} \exp\left(\frac{e|V_G|}{E_B}\right) \quad (13)$$

avec $E_B = 0.85 \pm 0.05eV$, et ce pour les deux polarités. Cet accroissement exponentiel du premier ordre est typique d'un processus tunnel direct à travers un isolant.

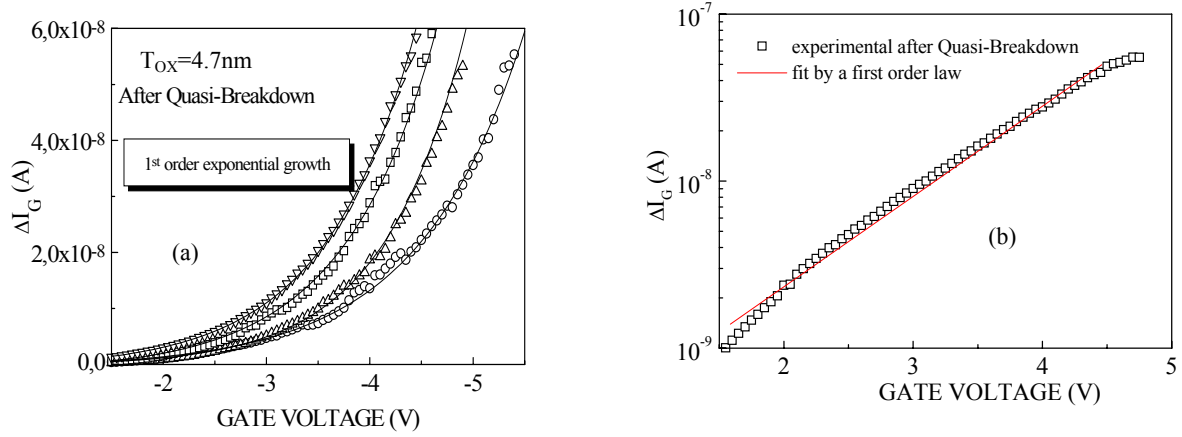


Figure 19: Ajustement du courant de fuite en excès $\Delta I_G(V_G)$ après un Soft-breakdown par un loi exponentielle du premier ordre pour des polarités de mesure négative (a) et positive (b).

Afin d'interpréter ce résultat, nous pouvons le comparer au cas d'une simple loi tunnel direct à travers une barrière de largeur d et de hauteur Δ , pour laquelle une expression approchée valide pour $|V_G| > 1.5V$ est donnée par [85]:

$$\Delta I_G = K_1 \exp\left(K_2 \frac{d|V_G|}{\sqrt{\Delta}}\right) \quad (14)$$

dans laquelle K_1 et K_2 sont deux constantes dépendant de la masse effective des électrons dans la barrière. Si nous interprétons nos résultats par cette loi, en prenant une hauteur de barrière constante $\Delta = 3.1eV$ à l'interface Si/SiO₂ et une masse effective dans l'oxyde entre $0.27m_0$ et $0.55m_0$, où m_0 est la masse de l'électron dans le vide, nous obtenons le résultat suivant pour la « distance tunnel effective » d dans le régime SBD :

$$10.9 \text{ \AA} \leq d \leq 15.5 \text{ \AA} \quad (15)$$

Ce résultat indique une épaisseur tunnel apparente bien inférieure à celle des oxydes étudiés (4.7nm). Il est de plus connu à partir d'études précédentes [36] que le SBD est associé à l'apparition de spots locaux luminescents à la surface de la structure MOS, dont le rayon n'excède pas 6-8nm. Considérant cette hypothèse dans le cas de nos mesures, nous pouvons estimer à partir du préfacteur K_1 (donné par l'amplitude absolue du courant et plus précisément le préfacteur C^{te} dans l'équation 13 issu de l'ajustement) la surface de la zone dégradée responsable du courant en régime SBD :

$$20 \text{ nm}^2 \leq S < 60 \text{ nm}^2 \quad (16)$$

Cette estimation est cohérente avec celle effectuée à partir du bruit RTS [33,34], qui aboutissait à une surface de 100 nm^2 pour la surface du spot conducteur responsable du courant de fuite après un Quasi-breakdown. Ainsi, nos résultats supportent un modèle dans lequel le SBD résulterait d'une diminution locale de l'épaisseur de l'oxyde provenant d'une transition métal/isolant soudaine survenant dans une région localisée de l'oxyde proche de l'anode (à une distance tunnel direct autour de 2nm). Cette dégradation brutale et localisée du caractère isolant de l'oxyde proviendrait de l'accumulation de défauts dans l'oxyde dont la concentration atteindrait une valeur « seuil » pour déclencher la transition, et provoquerait

l'apparition d'un courant tunnel direct dans cette région localisée (voir Fig.20). Le courant à travers l'oxyde ne serait plus, dans le meilleur des cas, limité que par un effet tunnel direct entre la zone dégénérée et l'une des électrodes (ou les deux). Ce mécanisme explique le caractère soudain du SBD (concentration seuil), son lien avec le SILC (qui lui résulterait d'un effet tunnel assisté, mais via des défauts neutres isolés et individuels), la nature « tunnel direct » des courants de fuite après SBD, et le fait que le SBD n'est pas observé dans les oxyde de plus de 6nm d'épaisseur, car la région dégénérée doit au plus loin se trouver à une distance tunnel direct des deux électrodes. Enfin, nous pourrions alors considérer le claquage franc comme l'extension brutale de la zone dégradée conductrice à toute l'épaisseur de l'oxyde et donc l'apparition d'un « filament conducteur » non limité par l'effet tunnel qui expliquerait la caractéristique ohmique de l'oxyde après le claquage franc.

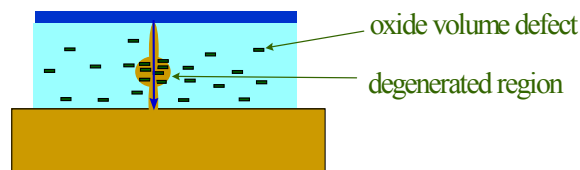


Figure 20: Modèle pour le Soft-Breakdown incluant une région dégénérée (conductrice) localisée dans l'oxyde située au plus loin à une distance tunnel directe (environ 2nm) des deux électrodes.

En conclusion et en prolongement de notre étude sur le phénomène de Soft-Breakdown, nous signalerons que ce dernier a été et est toujours l'objet de nombreuses études, en particulier sur la nature des mécanismes de conduction après SBD [86-94]. Plusieurs modèles ont été proposés : le premier inclut un rétrécissement local de l'épaisseur d'oxyde après SBD (dû par exemple à la formation d'un filament conducteur partiel ou comme dans notre cas d'une zone conductrice localisée) générant un courant de type « tunnel direct » plus important [86,87] et principalement dû aux trous selon [87], le second reprend un mode de conduction via des pièges ou défauts à travers l'oxyde [88,89], le troisième est basé sur une approche mésoscopique des phénomènes de conduction à travers des fils ou points de contact quantiques [90-93] et enfin le dernier propose une approche par un modèle de percolation [94]. La plupart des résultats expérimentaux peuvent être interprétés à la lumière de ces différents modèles qui tous aboutissent à une dépendance exponentielle ou en loi de puissance de la tension appliquée. L'interprétation développée dans notre étude s'inscrit dans l'approche du premier modèle cité ci-dessus, mais précisons qu'aucune approche n'est définitivement établie à ce jour comme la seule valide. D'autres questions sont également aujourd'hui très étudiées, comme la nature des fluctuations de courant et du bruit observés après le SBD [94,95], la nature physique des dégâts induits non seulement dans l'oxyde mais aussi dans la grille [96], ou le lien entre SBD et claquage franc [97,98]. Un point particulier concerne la détection même du Soft-Breakdown, qui pose des problèmes expérimentaux et méthodologiques spécifiques par rapport au claquage franc [99,100]. Nos travaux s'orientent actuellement sur ce point pour les oxydes ultra-minces (2-3nm) dans lesquels plusieurs méthodologies sont utilisables : soit une analyse à posteriori des résultats de stress CVS ayant abouti au claquage franc pour détecter des événements SBD, soit une analyse « temps réel » du courant mesuré à faible champ, ou directement du bruit sur le courant de stress. L'objectif est d'aboutir à une méthodologie fiable et utilisable statistiquement de détection du phénomène. On notera pour terminer que ces efforts devront également prendre en compte le fait que, sous les 2nm d'épaisseur, le claquage ou le SBD prennent un caractère non plus abrupt mais progressif (PBD : *Progressive Breakdown* [101]) qui rend sa détection et les critères utilisés encore plus difficiles à définir.

4. Etude des modes de dégradation dans les oxydes de 2.5 à 1.2 nm d'épaisseur

(Collaboration dans le cadre du projet RMNT ULTIMOX: CEA/LETI - Université de Reims – IEMN - STCrolles, 2000-2003, Gilles Reibold, Anne Meinertzhagen / Marc Jourdain, Dominique Vuillaume, Emmanuel Vincent, Céline Trapes)

4.1 Cadre et sujet de l'étude

Cette étude fut réalisée de 2000 à 2004 dans le cadre plus vaste d'un projet national soutenu par le Ministère de la recherche et labellisé RMNT (Réseau de recherche en Micro et Nanotechnologies). Ce projet, nommé "Ultimox", comprenait différents autres partenaires:

- des laboratoires de recherche académiques: l'Institut de Microélectronique de Grenoble (IMEP), le Laboratoire de Physique de la Matière (LPM) de Lyon, le Laboratoire d'Automatique et de Microélectronique de Reims (LAM), l'IEMN de Lille
- le CEA-LETI de Grenoble
- ST Microelectronics (Crolles) comme partenaire industriel

Son but général était l'étude et la mise au point des outils de caractérisation électrique, de modélisation et de mesure de la fiabilité des diélectriques de grille ultra-minces qui seront employés dans les technologies microélectroniques à venir (filières CMOS ultime 30-50 nm, voir Fig.1) et qui passeront en production industrielle dans la prochaine décennie. Notre contribution à ce projet a porté sur la comparaison des différents modes de dégradation des oxydes ultra-minces de SiO₂ d'épaisseur inférieure à 3.5nm, soumis à des contraintes électriques non-destructives. Ces contraintes furent réalisées par injections uniformes ou localisées de porteurs dans ou à travers l'oxyde à partir du substrat, du canal d'inversion d'un transistor ou de la grille de la structure MOS, conditions obtenues par des conditions de polarisation appropriées (effet tunnel ou porteurs chauds). Le premier objectif était de mesurer l'impact des contraintes réalisées sur la structure, ce qui est obtenu par le relevé périodique durant le stress des caractéristiques I(V) de la capacité ou du transistor. L'**analyse** des défauts induits par le stress a été réalisée par la technique de pompage de charges, permettant de remonter à la nature des charges piégées et la densité d'états d'interface. Le second point a porté sur l'**interprétation** des cinétiques de dégradation obtenues, leur corrélation avec les mécanismes de création de défauts induits, la déduction des facteurs d'accélération et par extrapolation l'identification des mécanismes de vieillissement ou paramètres (énergie, champ, épaisseur...) critiques pour ces oxydes ultra-minces.

4.2 Problématique des oxydes ultra-minces (T_{OX}<3nm)

Les échantillons utilisés au cours de cette étude provenaient tous du LETI (Laboratoire d'Electronique, de Technologie et d'Instrumentation), suivant un procédé standard compatible avec les technologies CMOS avancées visées et dont voici les principales étapes (données ici dans le cas d'un process NMOS :

- Substrat silicium de résistivité 10Ωcm de type P
- Implant au bore pour définir le caisson P (P-Well fortement dopé ~ 10¹⁸cm⁻³ en surface)
- Dépôt de l'oxyde mince de grille par procédé RTO (*Rapid Thermal Oxidation*)
- Isolation de type LOCOS (« *LOCally Oxidized Silicon* »)
- Ajustement de la tension de seuil avec implant au Bore
- Dépôt de la grille en Polysilicium ultra dopé au phosphore (n⁺)
- Implant des zones N⁻ (*light*) et N⁺ (*heavy*) des zones des sources et de drain à l'Arsenic
- Espaceur d'oxyde de 3 nm de large + recuit RTA (*Rapid Thermal Anneal*) standard
- Métallisation
- Recuit de passivation des défauts

Nous disposions de 6 épaisseurs d'oxyde visées pour le lot NMOS ($T_{OX}=3.5, 2.5, 2.1, 1.8, 1.5$ et 1.2 nm) et d'une épaisseur d'oxyde sur un lot PMOS ($T_{OX}=2$ nm). Nous avons mesuré et vérifié pour le lot NMOS ces épaisseurs d'oxyde par C(V) (en utilisant une méthode adaptée à ces épaisseurs d'oxyde, méthode dite de Maserjian pour $n=3$ [43,102]) et comparé aux déterminations fournies par ellipsométrie et C(V) au LETI [103]. Ces mesures confirment globalement les épaisseurs visées et nous prendrons dans la suite ces dernières pour nous référer aux oxydes étudiés et réaliser les calculs de champ dans l'oxyde.

Epaisseur visée (Å)	12	15	18	21	25	35
Epaisseur (Å) C(V) donnée par le LETI	11.9	16.8	19.1	21.3	26.8	34.8
Epaisseur (Å) Ellipsométrie	12.1	15.9	16.1	20.8	25.65	35
Epaisseur (Å) mesurée par C(V) (méthode Maserjian $n=3$)	12.7 ± 2	14.0 ± 2.8	16.0 ± 3.2	19.0 ± 0.5	23.1 ± 0.2	31.8 ± -0.2

Tableau 1 : Extraction des épaisseurs d'oxyde par la méthode optimisée C(V) du LETI, par ellipsométrie, et par la fonction de Maserjian pour $n=3$ (cas quasi quantique) et comparaison aux valeurs visées.

Les échantillons disponibles étaient des capacités ou des transistors isolés NMOS/PMOS de grandes dimensions ($W/L=300/100, 250/160 \mu\text{m}$) pour les injections uniformes de type CVS, des transistors $50/1\mu\text{m}$ pour les injections localisées de porteurs chauds du canal et des dispositifs spécifiquement conçus pour réaliser des injections uniformes de porteurs chauds du substrat SHEI (*Substrate Hot Electron Injection*), constitués d'un transistor de grande taille ($250/160\mu\text{m}$) et d'un contact latéral (diode) de type N^+ .

Nous avons déjà signalé au paragraphe §3.1 que le phénomène SILC, apparu sous les 10nm semblait diminuer, voire disparaître lorsque l'épaisseur d'oxyde diminuait sous les 3 nm [59,60] (voir Fig. 5.b.). De fait, la disparition du SILC est en partie liée au fait que pour les très faibles épaisseurs d'oxyde (sous les 3nm), ce phénomène est de toutes façons « noyé » dans l'important courant tunnel direct traversant la structure. On montre en effet sur la Fig.21 les caractéristiques I(V) réalisées sur nos échantillons entre 3.5nm et 1.2nm : le niveau du courant pour les tensions de grille correspondant à l'observation du SILC (régimes d'accumulation ou d'inversion) masque le phénomène, et est pourtant en accord, voire inférieur à des simulations quantiques complètes fournies dans la littérature [43,104], ce qui prouve la qualité des couches de SiO_2 obtenues. La limite montrée à $1\text{A}/\text{cm}^2$ sur la Fig.21, généralement admise comme la valeur extrême supportée par les applications logiques [3], indique que ce courant de fuite ne constituerait un facteur limitatif dans ce cas que pour le 1.2nm sous une tension d'alimentation de 1.2V. Cependant, on observe sur l'exemple de la Fig.22, et pour des tensions plus faibles (entre -1V et +1V) correspondant au régime de déplétion de la structure MOS, une augmentation du courant à laquelle on donne l'appellation de LVSILC (*Low Voltage SILC*) [29-32] et que nous avons étudié spécifiquement dans la gamme 3.5-1.2nm. On retrouve sur la Fig.22 l'évolution typique de la caractéristique I(V) de la structure MOS pendant une contrainte (ici de type CVS dans un oxyde de 1.8nm) : apparition du LVSILC, quasi-breakdowns multiples avant un claquage franc. Notre objectif a donc été d'étudier l'apparition et l'évolution de ce nouveau mode de dégradation lors de stress CVS ou porteurs chauds. Nous avons à chaque fois cherché à relier le LVSILC aux défauts d'interface ou aux charges ou défauts induits dans l'oxyde proches de l'interface au cours du

stress [29,31]. Une attention particulière fut apportée à la dépendance en champ des mécanismes de génération du LVSILC et au fait de déterminer si le LVSILC était vraiment représentatif de la dégradation des structures MOS étudiées.

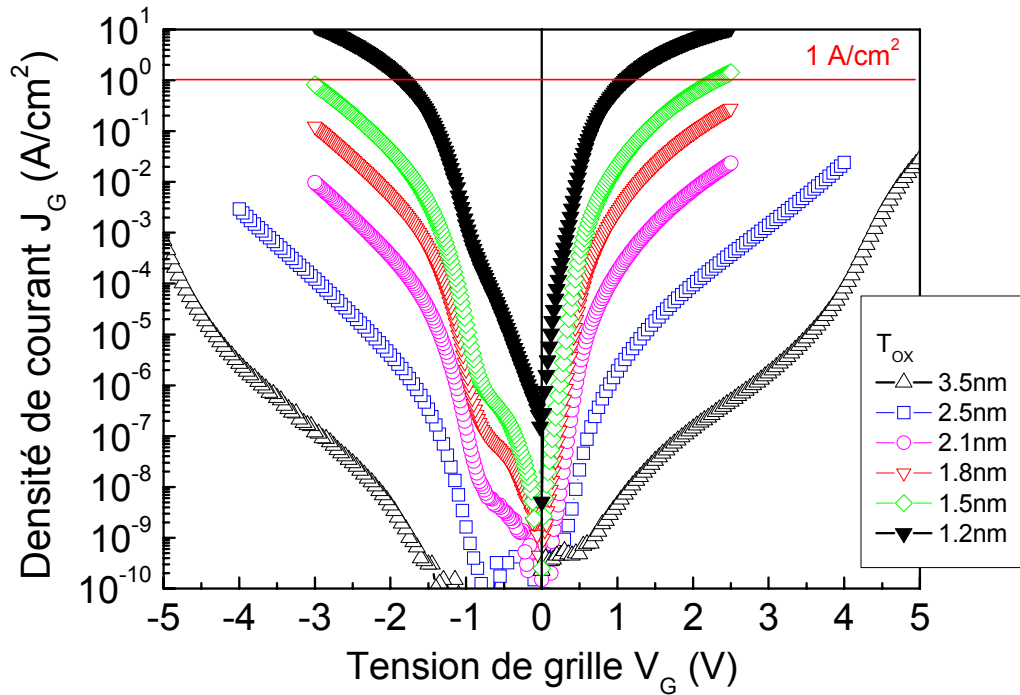


Figure 21: Courants tunnel à travers les oxydes utilisés pour les différentes épaisseurs disponibles.

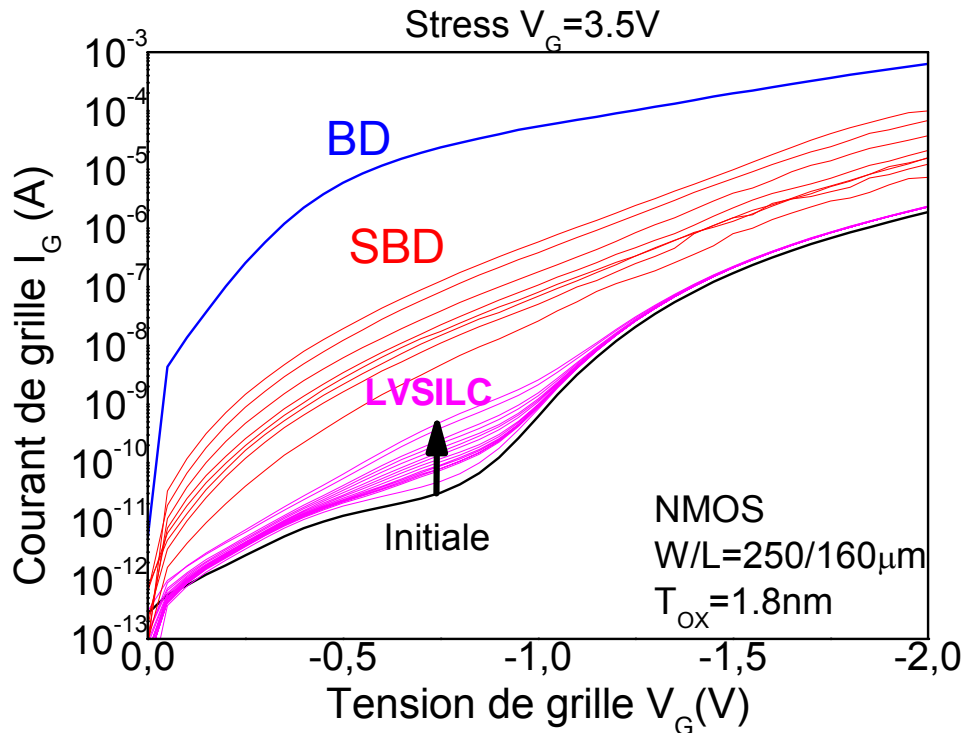


Figure 22 : Evolution typique du courant de fuite pendant une contrainte électrique uniforme CVS sur un oxyde de 1.8nm, avec apparition successive du LVSILC, puis du Quasi- ou Soft-BreakDown (SBD) et enfin du claquage franc (Breakdown BD)

4.3 Dégradation par CVS

Afin de reproduire les conditions normales de fonctionnement des transistors dans les circuits logiques, nous avons polarisé, lors des stress uniformes CVS, la grille des NMOS par des V_G positifs et celle des PMOS par des V_G négatifs, la source étant prise comme référence de tension et les autres contacts (drain, substrat) étant mis à 0V. Nous avons éventuellement appliqué une polarisation sur le substrat V_B , drain et source étant reliés à la masse. Les dispositifs utilisés sont des transistors de grandes dimensions ($W/L=300/100\mu\text{m}$, $250/160\mu\text{m}$, $100/100\mu\text{m}$), pour lesquels on postule que l'injection est uniforme sur la surface du canal. Néanmoins, afin de déterminer la nature de l'injection à une tension $V_{G\text{STRESS}}$ donnée (type de porteurs injectés, niveau énergétique) nous avons utilisé une méthode simple dite de **séparation de porteurs** [32] consistant à mesurer les différents courants I_G , I_D , I_S , I_B . Ceci permet de remonter à la nature des porteurs injectés suivant la polarisation appliquée, comme illustré sur les graphes ci-dessous (Fig.23 pour le NMOS et Fig.24 pour le PMOS):

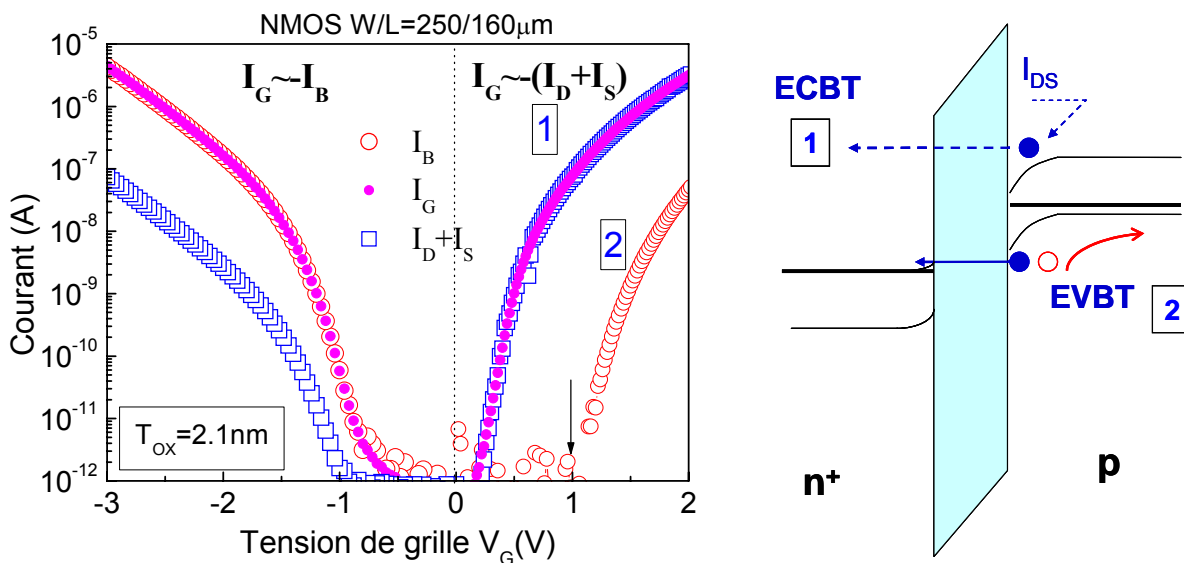


Figure 23 : Courants et mécanismes lors d'une expérience de séparation de porteurs dans le NMOS illustrant le mécanisme d'effet tunnel d'électrons de la bande de conduction (ECBT (1): *Electron Conduction Band Tunnelling*), ou de la bande de valence (EVBT (2): *Electron Valence Band Tunnelling*).

Dans le NMOS, pour $V_G \gg V_{TH}$, le canal d'inversion est formé, les électrons du canal (dans la bande de conduction) sont injectés par effet tunnel direct à travers une barrière d'oxyde trapézoïdale vers l'anode (ECBT : *Electron Conduction Band Tunnelling*). On retrouve bien dans un NMOS $I_G \sim (I_D+I_S)$ à $V_G > 0$ caractéristique de l'ECBT car les porteurs injectés sont alors fournis par les zones de drain et de source. L'apparition du courant substrat I_B négatif de trous peut être reliée à deux phénomènes: soit l'AHI (*Anode Hole Injection*), soit l'EVBT (*Electron Valence Band Tunnelling*). La composante de courant substrat $I_B < 0$ qui prend naissance à $V_G=1\text{V}$ est caractéristique de l'EVBT, les électrons de la bande de valence passent directement par effet tunnel de la bande de valence vers la bande de conduction de l'anode. Le phénomène d'AHI serait lui prédominant dans les oxydes plus épais ($T_{\text{ox}} > 4.5\text{nm}$) et pour des tensions plus fortes [105,106]. Le courant de grille I_G est alors constitué d'électrons énergétiques qui traversent l'oxyde et génèrent par impact sur les électrons de la bande de valence de l'anode des paires électron-trou. Les trous générés sont à leur tour injectés dans la barrière d'oxyde pour donner naissance à la cathode à un courant I_B de trous négatif.

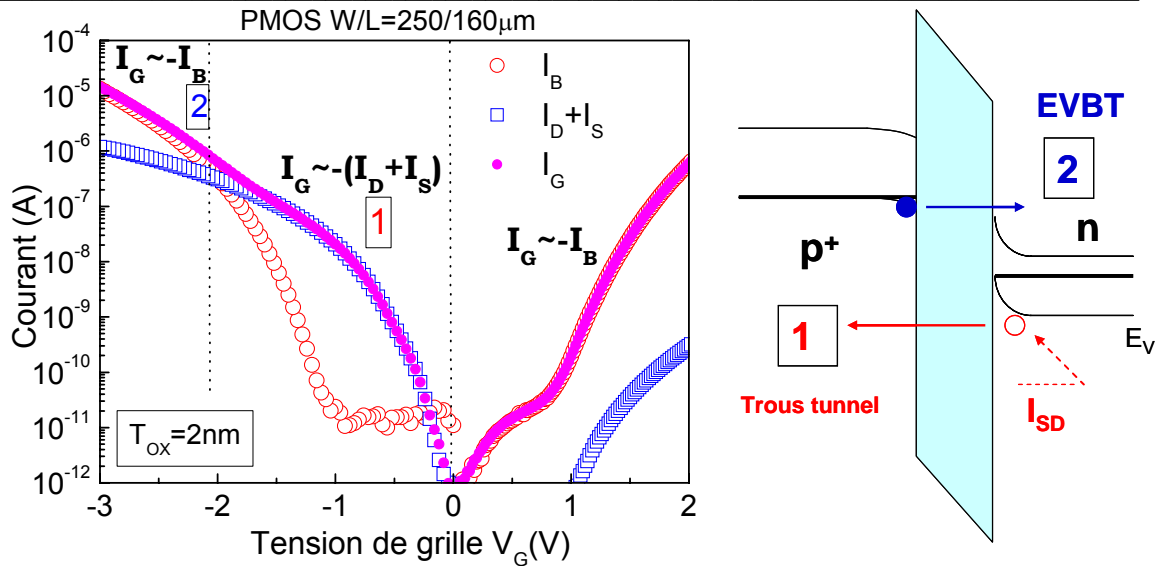


Figure 24 : Courants et mécanismes lors d'une expérience de séparation de porteurs dans le PMOS, illustrant le mécanisme d'effet tunnel d'électrons de la bande de valence (EVBT (2): Electron Valence Band Tunnelling) et d'effet tunnel de trous du canal d'inversion (1).

Deux mécanismes interviennent lors d'injections à tension négative dans les PMOS: le premier consiste en l'injection tunnel de trous (1) de la zone d'inversion du substrat vers la bande de valence de la grille et le deuxième en l'injection d'électrons de la bande de valence de la grille p^+ (2) (EVBT) vers la bande de conduction du substrat de type n. On distingue deux zones bien distinctes: le premier mode pour lequel $I_G \sim -(I_D+I_S)$ qui correspond à l'injection tunnel de trous de la zone d'inversion vers l'anode et le deuxième pour lequel $I_G \sim I_B$ avec $I_G < 0$ ce qui correspond à une injection Grille-Substrat d'électrons.

Nous avons effectués des stress CVS pour V_G entre 3.3V et 4.0V sur le NMOS et entre -3.3V et -3.7V dans le PMOS. On présente sur la Fig.25 l'évolution typique (dans le cas 2.1nm pour le NMOS et 2nm pour le PMOS) de la caractéristique $I_{DS}(V_G)$ des transistors lors de ces stress.

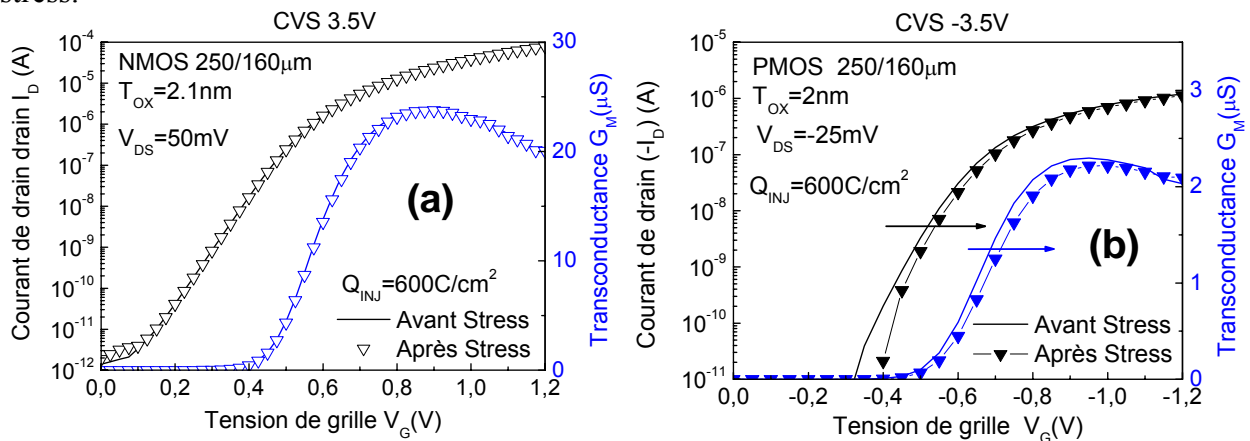


Figure 25 : Impact d'un stress uniforme à $V_G=3.5V$ sur les caractéristique $I_{DS}(V_G)$ d'un transistor NMOS de grande taille (a) et d'un stress uniforme à $V_G=-3.5V$ sur les caractéristique $I_{DS}(V_G)$ d'un transistor PMOS de grande taille (b).

L'impact des stress CVS sur les caractéristiques $I_{DS}(V_G)$ des transistors NMOS reste faible, et ceci pour tous les T_{OX} même pour des charges injectées allant jusque presque $10^4 C/cm^2$. On n'observe qu'une très petite réduction de transconductance ($<5\%$), aucune variation mesurable de la pente sous le seuil, aucun symptôme de charge piégée (pas de décalage des courbes sous le seuil) et peu d'influence d'états d'interface induits sur la mobilité des porteurs du canal. Dans le cas du PMOS, les injections uniformes pour les V_G appliqués sont essentiellement constituées d'électrons à partir de la bande de valence de la grille vers la bande de conduction du substrat. On voit sur la Fig.25(b) que ces injections affectent significativement les caractéristiques $I_D(V_G)$ des transistors, révélant en particulier un **piégeage de charges positives** par le décalage des courbes vers les tensions négatives d'environ 25mV, ce qui correspond pour ces oxydes (2nm) à une densité surfacique de charges de l'ordre de $1.6 \times 10^{11} cm^{-2}$. L'apparition du LVSILC est par contre très marquée lors des stress CVS dans le NMOS comme dans le PMOS par l'augmentation du courant de fuite de grille (plus d'un facteur 10) dans la gamme de tension correspondant au régime de déplétion de la structure MOS dans chaque cas (voir Fig.26).

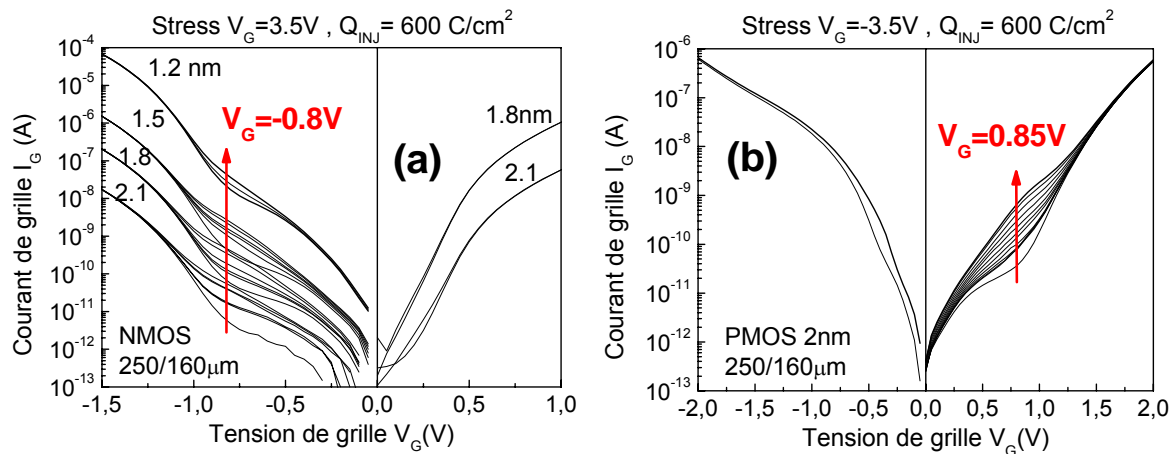


Figure 26 : Impact d'un stress uniforme à $V_G=3.5V$ sur les caractéristique $I_G(V_G)$ de transistors NMOS de grande taille (a) et d'un stress uniforme à $V_G=-3.5V$ sur les caractéristique $I_G(V_G)$ d'un transistor PMOS de grande taille (b), illustrant l'apparition du LVSILC à très faible polarisation.

Il est à noter que ces résultats, obtenus sur des dispositifs de grande géométrie, ont été comparés et confirmés qualitativement et quantitativement pour $T_{OX}=1.5nm$ lors de stress CVS identiques réalisés sur des dispositifs $50/1\mu m$ qui serviront ensuite aux contraintes par porteurs chauds [43]. Afin de déterminer les facteurs d'accélération de ces stress CVS en fonction de la tension appliquée, nous avons relevé pour différents V_G les cinétiques de dégradation en fonction de la charge injectée pour toutes les valeurs de T_{OX} disponibles. Les résultats sont montrés sur la Fig.27 pour la cinétique de dégradation du courant de drain en régime linéaire et sur la Fig.28 pour la cinétique de dégradation du courant de grille relevée au maximum de LVSILC. Les cinétiques de dégradation du NMOS en courant de drain (Fig.27.a) sont des lois de puissance en $K(T_{OX}) \cdot Q_{inj}^n$ en fonction de la charge injectée. La pente n de cette loi fait apparaître des comportements différents pour $T_{OX}=1.2, 1.5, 1.8 nm$ d'une part ($n \sim 0.16$) et $T_{OX}=2.1, 2.5nm$ d'autre part ($n \sim 0.49$). Dans les deux cas cependant, le facteur K comme la pente n semblent indépendants de la tension de stress V_G , cette indépendance étant plus nette pour $T_{OX}=2.1, 2.5nm$. Dans le cas du PMOS (2nm), la cinétique de dégradation (réduction du courant de drain) est encore une loi de puissance, de pente $n \sim 0.21$ et un préfacteur dépendant de V_G , mais la principale différence avec le NMOS provient de l'amplitude de la dégradation, supérieure d'un facteur presque 10 au cas

équivalent du NMOS. Ceci est essentiellement dû au piégeage initial d'une charge positive (jouant sur le préfacteur K) dans le PMOS.

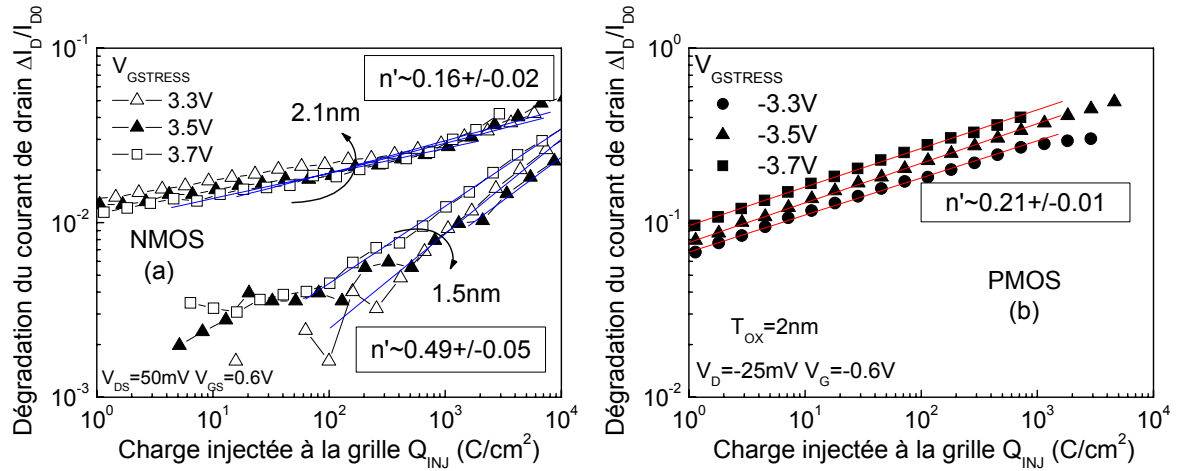


Figure 27 : Cinétiques de dégradation du courant de drain en régime linéaire suite à des injections uniformes dans le NMOS (a) et dans le PMOS (b) pour différentes valeurs de V_G

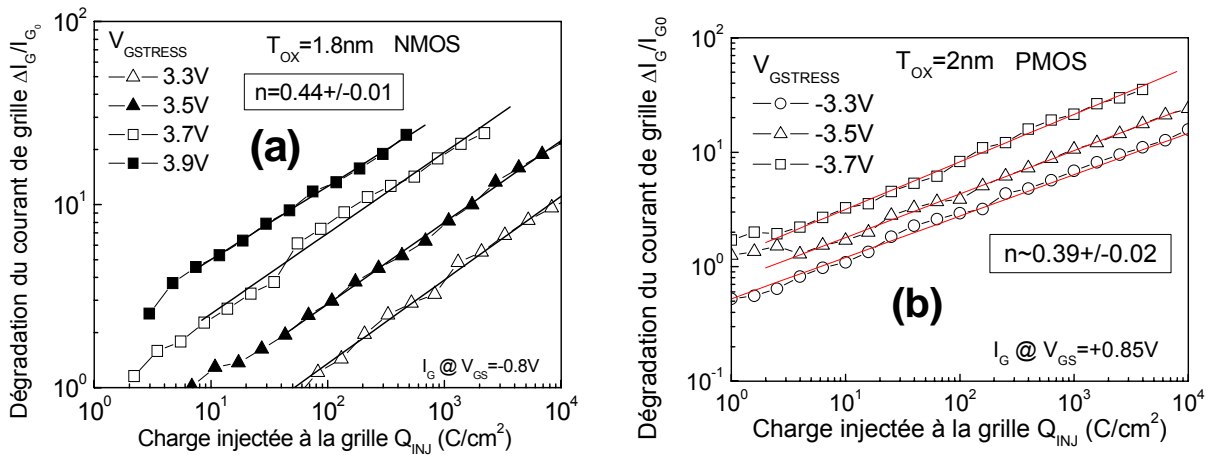


Figure 28 : Cinétiques de dégradation du courant de grille au maximum de LVSILC suite à des injections uniformes dans le NMOS (a) et dans le PMOS (b) pour différents V_G

Les cinétiques de dégradation du courant de grille (au maximum de LVSILC) dans le NMOS et le PMOS sont également des lois de puissance en fonction de la charge injectée, du type $K(V_G, T_{OX})Q_{inj}^n$ avec $n \sim 0.38 \pm 0.06$ dans le NMOS pour T_{OX} de 1.2nm à 2.1nm, et $n \sim 0.39 \pm 0.02$ dans le PMOS pour $T_{OX} = 2$ nm. On constate, contrairement au cas du courant I_D , des amplitudes de dégradation de I_G sensiblement équivalentes dans les deux cas. La pente de la loi de puissance, assez proche de celles obtenues pour I_D est en accord avec la valeur caractéristique reportée pour la création d'états d'interface [30,32]. Mais la dépendance continue du préfacteur en fonction de T_{OX} et surtout de V_G observée pour I_G , et non observée pour I_D peut s'expliquer par le fait que, même si une augmentation de la densité d'états d'interface peut être à l'origine de l'augmentation de I_G et de la réduction (faible) de I_D (voir interprétation ci-après), la localisation énergétique des niveaux associés à ces défauts n'entraîne pas la même efficacité des effets sur ces deux courants.

Afin d'isoler le paramètre critique déterminant la dégradation de l'oxyde, nous avons essayé d'extraire de nos résultats un loi générale d'accélération en champ pour une valeur donnée de

la charge injectée [107] de la forme :

$$\frac{\Delta I_G}{I_{G0}} = C e^{-\frac{f}{F_{ox}}} \quad (17)$$

Où f est un facteur d'accélération. Le calcul du champ dans l'oxyde F_{ox} nécessite de connaître avec précision la chute de potentiel aux bornes de l'oxyde $V_{ox}(V_G)$. Pour ce faire, nous avons utilisé une modélisation développée par Olivier Simonetti et al. [108], intégrant un modèle quantique basé sur la résolution couplée des équations de Poisson et de Schrödinger. Une pente voisine, mais avec des préfacteurs différents pour les différents T_{ox} est obtenue pour le NMOS et pour le PMOS (Fig.29.a). A l'inverse un comportement « universel » indépendant de T_{ox} est obtenu par une loi d'accélération en V_G (Fig.29.b) de la forme :

$$\frac{\Delta I_G}{I_G} = C e^{\alpha V_G} \quad (18)$$

avec $\alpha=2.8V^{-1}$ pour le NMOS, $\alpha=2.1^{-1}$ pour le PMOS, le préfacteur C étant plus important dans le PMOS que dans le NMOS.

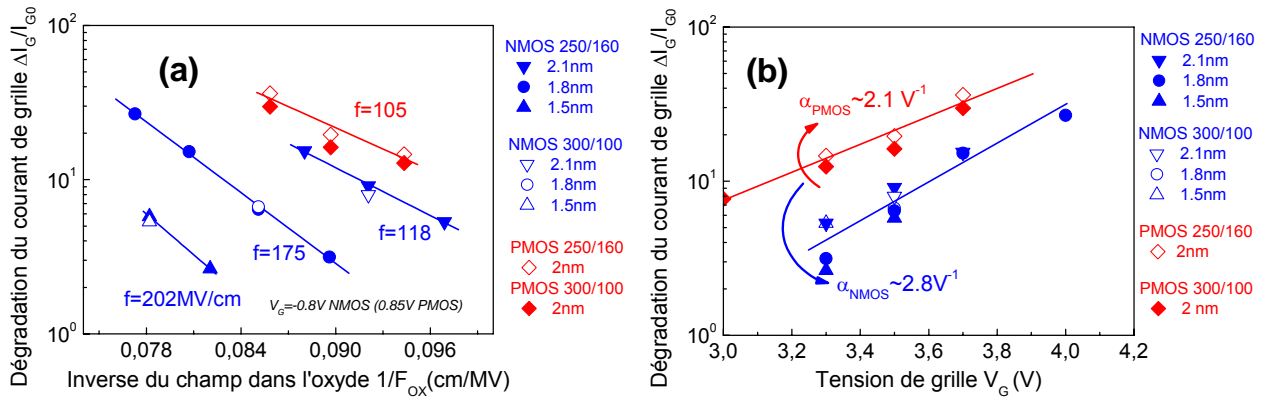


Figure 29 : Dépendance de la dégradation du courant de grille au maximum de LVSILC (i.e. $V_G=-0.8V$ pour les NMOS et $V_G=+0.85V$ pour les PMOS) pour une valeur donnée de la charge injectée ($600C/cm^2$) en fonction de l'inverse du champ électrique (a) ou de la tension de stress V_G (b).

Ceci confirme que le champ électrique n'est pas le paramètre principal responsable directement de la dégradation des oxydes ultra-minces, mais que la tension de grille appliquée est désormais l'élément déterminant. Cette dépendance est caractéristique d'un régime d'injection des porteurs tunnel direct dans lequel l'énergie E des porteurs (électrons) qui pénètrent dans l'anode est entièrement déterminée par V_G . Si l'on se place dans un cas classique et que l'on fait abstraction de la quantification des niveaux d'énergie dans le canal ainsi que de la polydépuration de la grille, une expression de cette énergie E est:

$$E = -eV_G + \frac{E_G}{2} + e\Phi_B - e\Psi_s \quad (19)$$

Où E_G est la valeur de la bande interdite ($1.12eV$), et Φ_B le potentiel de volume du substrat ne dépendant que du dopage. Comme en régime d'inversion $\Psi_s=2\Phi_B$ on obtient, ainsi que

montré sur la Fig.30 :

$$E = -eV_G + \frac{E_G}{2} - e\Phi_B \quad (20)$$

On note que cette expression ne dépend plus que de V_G , indépendamment de T_{OX} , ce qui permet d'interpréter complètement le résultat précédent si on considère l'énergie des porteurs injectés à l'anode comme le facteur déterminant pour la dégradation de la structure MOS.

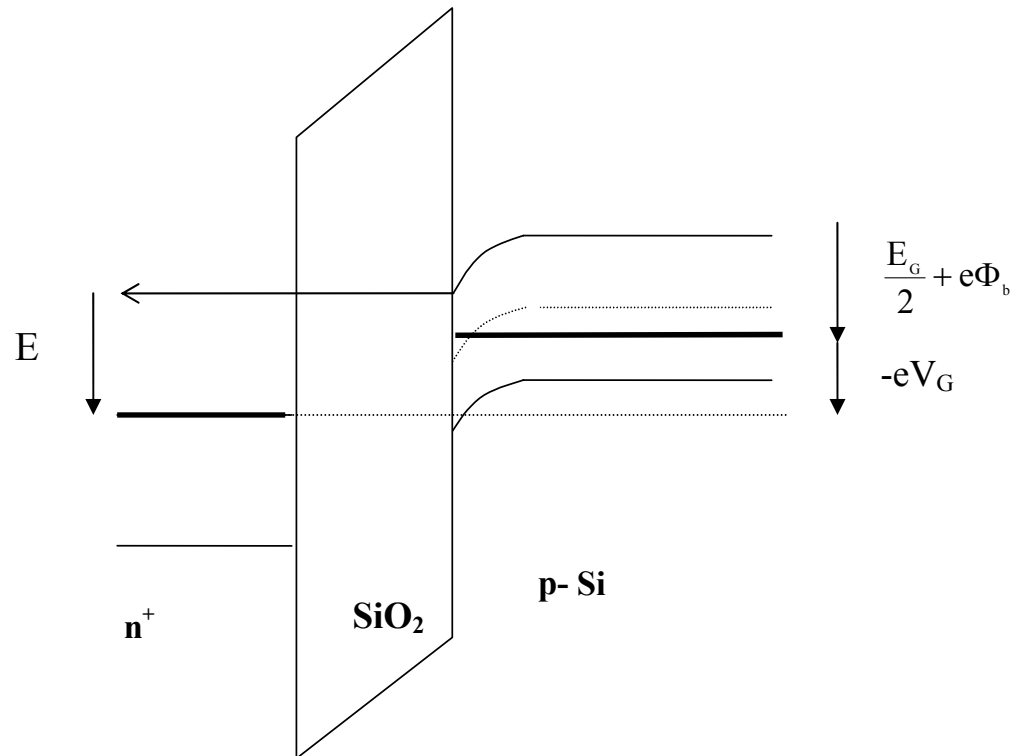


Figure 30 : Diagramme énergétique des injections à tension constante $V_G > 0$.

L'augmentation du LVSILC est rendue encore plus évidente en représentant la différence avec la courbe tunnel non dégradée (voir Fig.31), et permet de pointer un maximum d'accroissement pour $V_G = V_{GMAX} = -0.8V$ dans le NMOS et $V_G = 0.85V$ dans le PMOS, c'est-à-dire dans les deux cas très proche de la tension de bandes plates (respectivement -1 et 1V). La gamme de tension pour laquelle on observe ce LVSILC correspond à une situation où le niveau de Fermi de la cathode émettrice d'électrons balaye les états d'interface, ce qui indique que ce courant pourrait résulter d'un courant tunnel via ces niveaux d'interface.

Ce dernier point nous apporte potentiellement une information importante sur les mécanismes responsables du LVSILC. En effet, ce dernier peut avoir deux origines différentes liées soit à la création d'états d'interface (modèle de Ghetti et al.) [30] soit à la création de pièges d'oxyde (modèle de Ielmini et al. [109,110]). On schématise sur la Fig.32 les mécanismes de conduction envisagés lorsque le substrat est en déplétion. Les électrons peuvent passer par effet tunnel de la bande de conduction de la grille à la bande de valence du substrat, soit via les états d'interface (mécanisme 1), soit via un piège d'oxyde (mécanisme 2). Des trous peuvent passer de la bande de valence du substrat vers les états d'interface (remplis) (mécanisme 3). Ghetti et al. ont montré que le mécanisme 1 explique mieux l'origine du LVSILC, et Ielmini et al. s'appuient sur un modèle de recombinaison d'électrons via les pièges d'oxyde (mécanisme 2). Dans ce dernier cas toutefois, l'accroissement du LVSILC serait indépendant de l'augmentation de la densité des états d'interface.

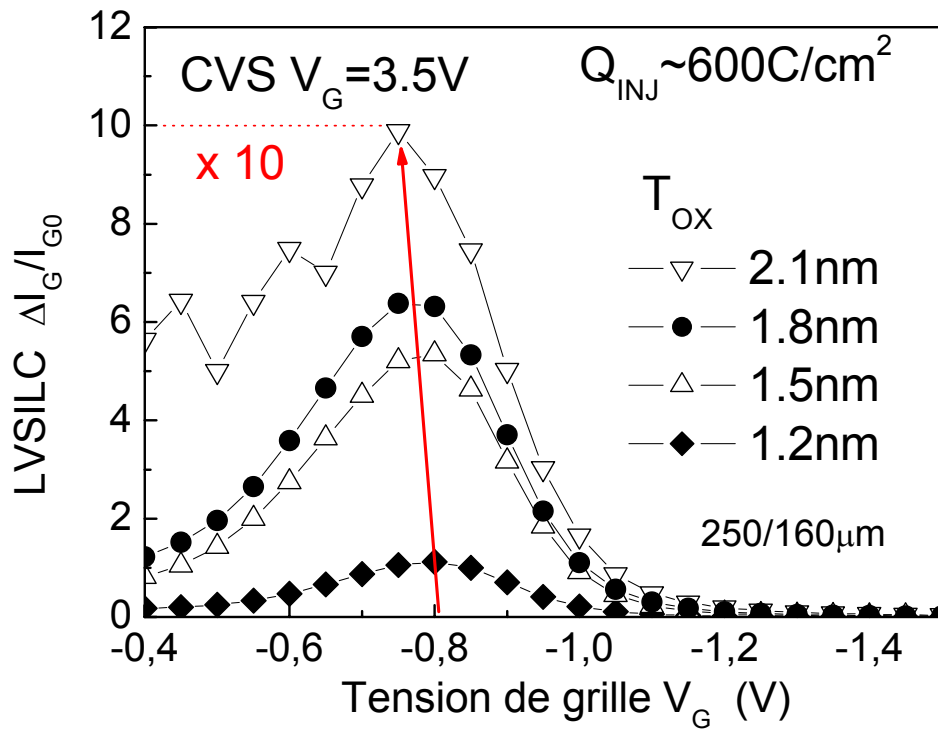


Figure 31 : Visualisation de l'accroissement du courant de grille entre -0.4V et -1V après stress uniforme sur un transistor NMOS de grande taille.

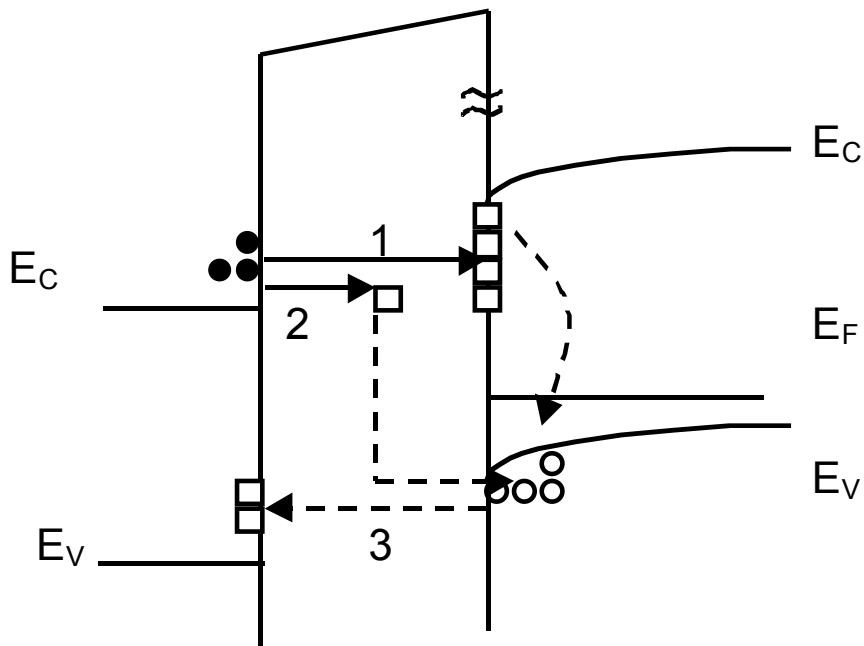


Figure 32 : Diagramme de bande illustrant les comportements possibles des porteurs pour de faibles tensions de grille : 1 tunnel des électrons via les états d'interface, 2 tunnel via un piège d'oxyde, 3 tunnel des trous à travers l'oxyde, [30]. Les flèches pleines représentent les processus limités par les électrons, celles en pointillés les processus limités par les trous.

Si nous reprenons l'explication de Ghetti et al. [30], le courant de fuite de grille peut s'expliquer par un phénomène de conduction via les états d'interface N_{IT} localisés à même niveau d'énergie que les électrons situés dans la bande de conduction de la cathode. Dans cette hypothèse, les états d'interface responsables du LVSILC sont ceux dont le niveau

d'énergie est situé entre le bas de la bande de conduction de la grille (E_{CG}) et le bas de la bande de conduction du substrat (E_C) soit dans l'intervalle ΔE donné par:

$$\Delta E = E_C - E_{CG} \approx V_{OX} \quad (21)$$

ΔE dépendant du dopage et de l'épaisseur d'oxyde [29] (voir Fig.33). On interprète alors le pic observé dans le LVSILC comme correspondant lui-même à un pic dans la densité d'états d'interface, dont nous nous pouvons remonter à la position énergétique en déterminant précisément la chute de potentiel aux bornes de l'oxyde V_{OX} à l'aide du programme de simulation utilisé précédemment [108]. De ce calcul, on déduit que les pics d'états d'interface responsables du LVSILC mesurés pour $-1V < V_G < -0.7V$ sont centrés autour de $E_C - 0.169eV$ quand $T_{OX} = 2.5nm$ et autour de $E_C - 0.097eV$ quand $T_{OX} = 1.2nm$ en accord avec les résultats obtenus par Zander et al. [111]. Ainsi, dans cette hypothèse, la position en tension du pic de LVSILC indique que les défauts majoritairement induits par ces injections d'électrons sont associés à des niveaux situés dans le gap, très proches de la bande de conduction dans le NMOS et très proches de la bande de valence dans le PMOS. Ceci explique en outre pourquoi ces niveaux ont peu d'impact sur les caractéristiques du transistor, plutôt affectées par des centres de recombinaison situés autour du mid-gap.

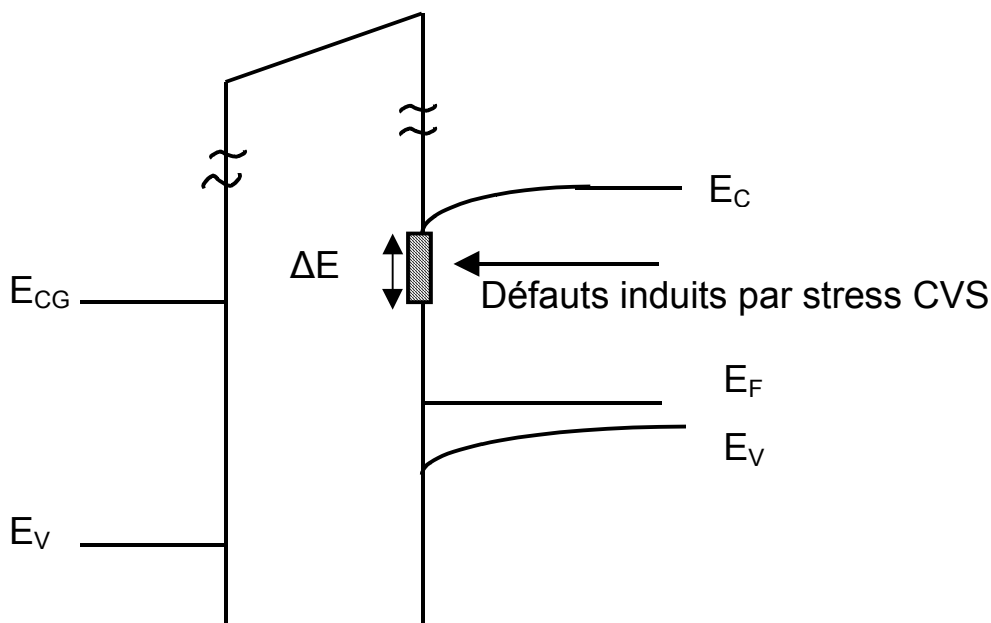


Figure 33 : Diagramme énergétique représentant les défauts d'interface accepteurs induits par stress CVS dans le NMOS situés dans un intervalle ΔE en dessous du bas de la bande de conduction du substrat en surface.

Nous n'avons pas observé de variation de tension de seuil des transistors avant le claquage de l'oxyde assez systématiquement observé sous haute tension de contrainte dans le NMOS. Le claquage de l'oxyde, fréquent après stress CVS est un phénomène localisé [112] et on trouve dans la littérature qu'il pourrait être parfois dû aux états d'interface [113]. Interprétant le LVSILC comme dû à un mécanisme tunnel via les états d'interface, nous montrons alors qu'après stress CVS, il existe un pic d'états d'interface proche de la bande de conduction dans le NMOS (ou de valence dans le cas du PMOS) grâce aux mesures de LVSILC. Ces états d'interface ont la particularité de peu influencer les caractéristiques I-V des transistors. Le claquage précoce peut alors être expliqué de deux manières : il peut être corrélé aux états

d'interface induits par stress CVS dont les niveaux d'énergie sont proches des bandes de conduction et de valence, alors que l'autre possibilité relie le claquage à des états dans l'oxyde qui correspondraient à des pièges neutres induits par les stress CVS, mais nous n'avons pu obtenir de preuves tangibles de la présence de ces derniers lors de nos expériences. Par contre des expériences de pompage de charge, réalisées sur des échantillons de 50/1 μm soumis au même stress CVS que les échantillons de grande taille, montrent clairement l'accroissement de la densité d'états d'interface (voir Fig.34). Pour ces mesures de pompage de charges dans les modes $I_{CP}(V_{HAUT})$ et $I_{CP}(V_{BAS})$ dans lesquels un des niveaux d'impulsion est maintenu constant pendant que l'autre varie [114], la fréquence, les temps de descente et montée ont été ajustés afin que les courants tunnel présents dans la structure ne **perturbent pas** l'exploitation des résultats.

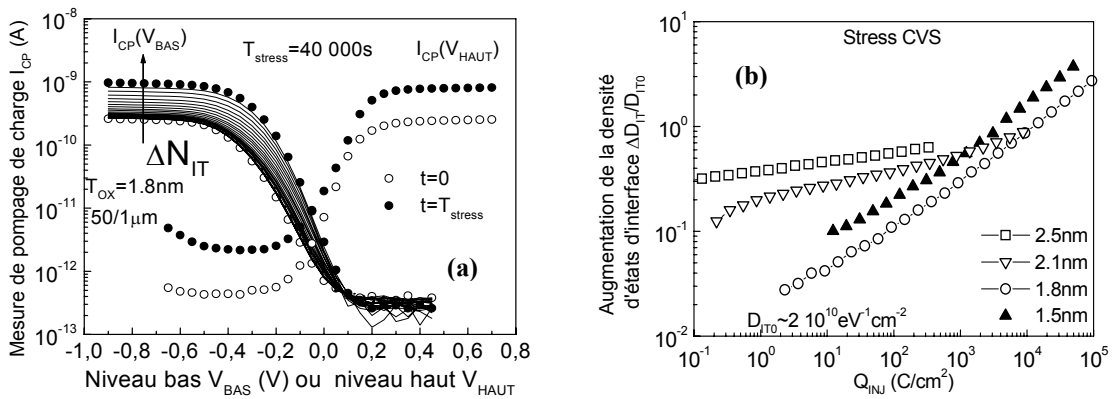


Figure 34 : Analyse des dégradations occasionnées par un stress CVS dans le NMOS par pompage de charges (a) et accroissement relatif de la densité d'états d'interface déduite de ces mesures pour différents T_{OX} (b).

Même si les niveaux qui fournissent ce signal de pompage de charge ne sont pas ceux situés dans la gamme énergétique proche des bandes déduite du modèle précédent et qui sont suspectés être responsables du LVSILC et du claquage des échantillons, l'augmentation de la valeur du courant pompé reste un indicateur général de l'augmentation des états d'interface. De plus les cinétiques observées sur la Fig.34.b reproduisent bien l'effet observé sur les cinétiques de dégradation (assez faibles il est vrai) du courant de drain, distinguant le cas $T_{OX}=2.5$ et 2.1 nm des épaisseurs d'oxyde inférieures. Ceci est bien sûr cohérent avec le fait que les états mesurés par pompage de charge (situés plutôt autour du milieu de la bande interdite) sont préférentiellement ceux affectant directement la mobilité des porteurs et donc le courant de drain I_{DS} .

4.4 Dégradation par porteurs chauds du canal

Nous avons effectué des injections de porteurs chauds dans les transistors NMOS et PMOS de dimensions $W/L=50/1\mu\text{m}$. L'objectif était de comparer les dégradations obtenues à celles du cas CVS. Nous mettons d'abord en évidence la génération de porteurs chauds dans nos échantillons sur les caractéristiques $I_B, I_G(V_G, V_D)$ (voir Fig.35 a et b).

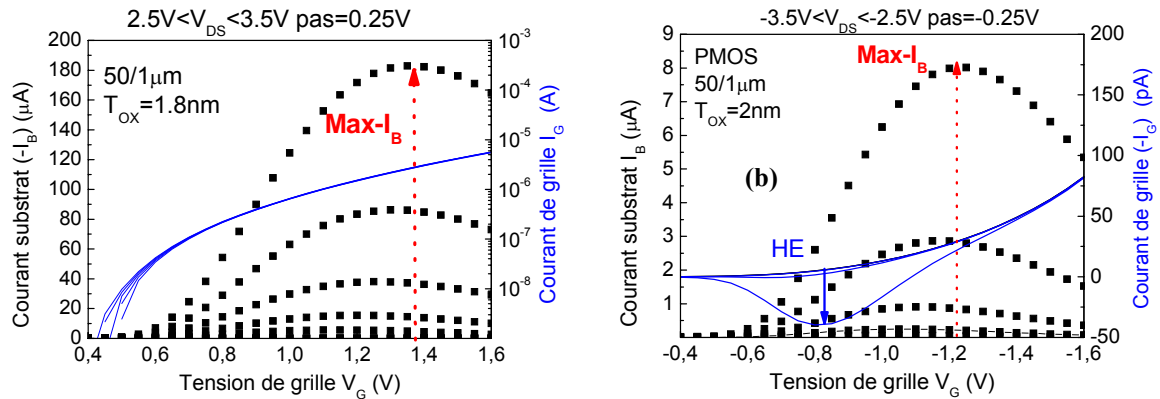


Figure 35 : Etude des conditions de polarisation pour les études porteurs chauds sur les transistors NMOS (a) et PMOS (b) $50/1\mu\text{m}$: courant substrat I_B et courant de grille I_G en fonction de la tension de grille pour différentes valeurs de la tension de drain.

Ceci nous a permis d'une part de déterminer les conditions de maximum de courant de substrat dans le NMOS (Fig.35 a) (Max- I_B) et de maximum de courant de grille dans le PMOS (Fig.35 b). Ceci nous permet également d'évaluer l'influence relative des courants "tunnel" et de porteurs chauds, et permet en particulier de montrer que, pour la condition $V_G=V_D=-3.5\text{V}$ dans le PMOS traditionnellement favorable à l'injection de trous chauds (HH) [115], le courant injecté à la grille provient essentiellement de porteurs tunnel (électrons EVBT) injectés entre grille et source plutôt que de trous chauds (peut-être présents, mais noyés dans le courant tunnel). Par la suite nous appellerons la condition $V_G=V_D=-3.5\text{V}$ non pas HH mais Tunnel Grille-Source. Du point de vue des caractéristiques du transistor, les stress réalisés au Max- I_B se sont révélés les **plus dégradants** de toutes les conditions essayées dans le NMOS. La Fig.36 visualise le type de dégradation sur le courant de drain (a) et le courant de grille (b) observé lors d'une contrainte réalisée au maximum de courant substrat dans le NMOS. La forte réduction de transconductance et du courant de drain, ainsi que la variation nette de la pente sous le seuil sont indicatives d'une génération importante d'états d'interface de type accepteurs (voir l'ouverture de la caractéristique sous le seuil et l'influence de N_{IT} sur la pente sous le seuil), alors que la courbe de courant de grille ne montre qu'une apparition très limitée de LVSILC. Une comparaison des dégradations apportées par stress CVS et Tunnel Grille-Source dans le PMOS est montrée sur la Fig.37. Dans le cas des injections Tunnel Grille-Source à $V_G=V_D=-3.5\text{V}$ dans le PMOS, la dégradation reste inférieure à celle obtenue pour $V_G=-3.5\text{V}$ seul, ce qui tend à prouver que les **porteurs injectés entre la source et la grille** restent la principale cause de dégradation. Ce dernier point est par ailleurs renforcé par le fait que la dégradation en mode saturé direct dans le PMOS est supérieure à celle en mode saturé inverse, indiquant une dégradation plus **localisée** à la **source**. On constate l'apparition d'une charge fixe positive (décalage parallèle des courbes) du même ordre de grandeur que dans le cas uniforme. Le LVSILC induit est cependant moins marqué que dans le cas $V_G=-3.5\text{V}$ seul.

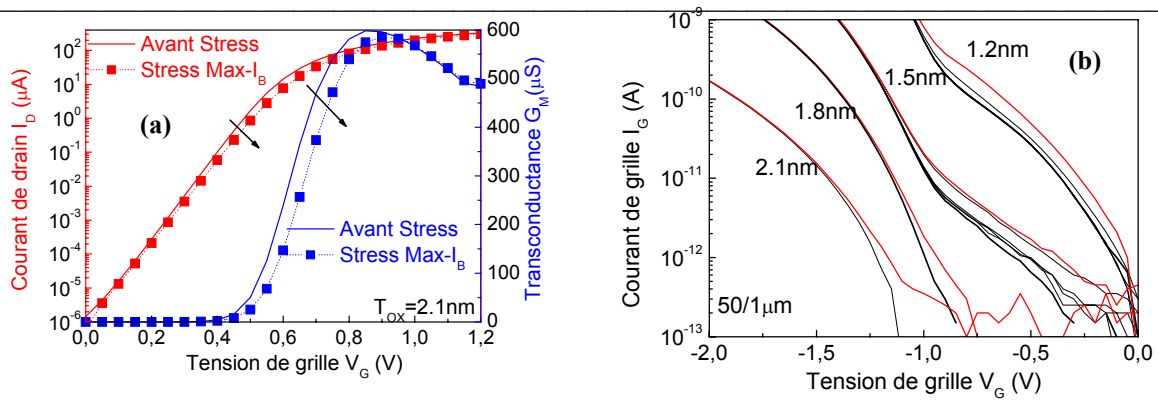


Figure 36 : Impact d'un stress porteurs chauds à $V_{DS}=3.5V$ sur les caractéristique $I_D(V_G)$ (a) et sur les caractéristiques $I_G(V_G)$ (b) d'un transistor NMOS 50/0.1 μm .

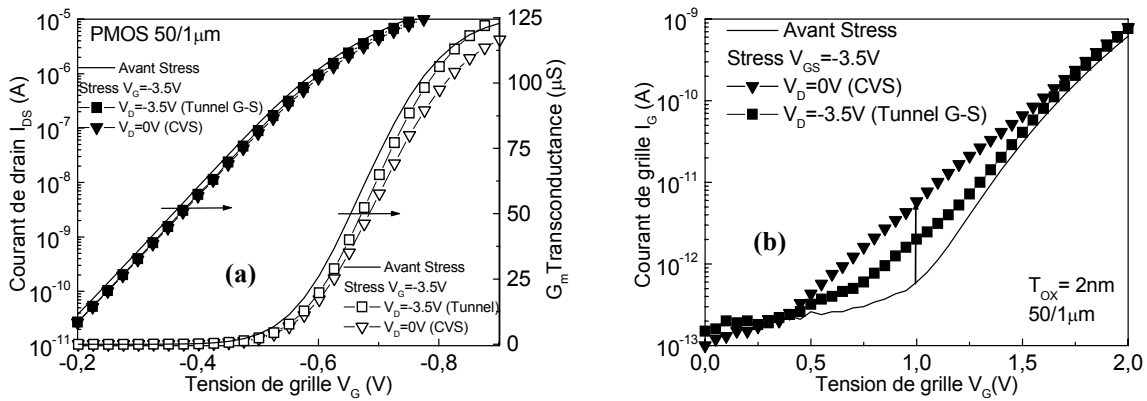


Figure 37 : Comparaison des stress CVS ($V_G=-3.5V$) et Tunnel Grille Source ($V_G=V_D=-3.5V$) sur les caractéristiques $I_D(V_G)$ (a) et $I_G(V_G)$ (b) d'un transistor PMOS 50/1 μm .

Concernant les stress porteurs chauds, les cinétiques de dégradation de courant de drain représentées en fonction de la **charge injectée au niveau de la grille** (Fig.38.a) sont des lois de puissance dont le préfacteur est très **dépendant de T_{OX}** . Cette apparente dépendance de la cinétique avec T_{OX} provient du fait que la charge injectée à la grille Q_{INJ} n'est pas représentative des espèces principalement responsables (dans ce cas) de la dégradation, à savoir les porteurs chauds, mais plutôt des porteurs tunnel qui sont injectés simultanément, et dont nous avons vu qu'ils induisaient une faible dégradation des caractéristiques des transistors NMOS. Si nous représentons par contre ces cinétiques de courant de drain en fonction de la **charge d'ionisation dans le substrat**, obtenue en intégrant le courant substrat révélateur de l'ionisation par impact, nous obtenons (voir Fig.38.b) une loi de puissance pratiquement **indépendante de T_{OX}** , identique même à celle obtenue dans le PMOS sauf pour les temps très courts. La pente de cette loi de puissance autour de **0.5** [25,116] est la pente classique observée lors de la dégradation du NMOS lorsque celle-ci résulte d'une importante génération d'états d'interface, ce qui confirme nos observations qualitatives. On conclut donc que la dégradation du NMOS par porteurs chauds dépend ici très peu de T_{OX} , et donc du **champ à travers l'oxyde** qui est lui très dépendant de T_{OX} pour des mêmes conditions de polarisation. Les dommages sont ici causés par les porteurs chauds injectés via un mécanisme direct de création de défauts d'interface, **non assisté** par le champ électrique dans l'oxyde. La création de ces états d'interface influençant fortement le courant de drain, et l'absence de charge piégée détectable, sont confirmées indépendamment de T_{OX} par les mesures de pompage de charge (Fig.39).

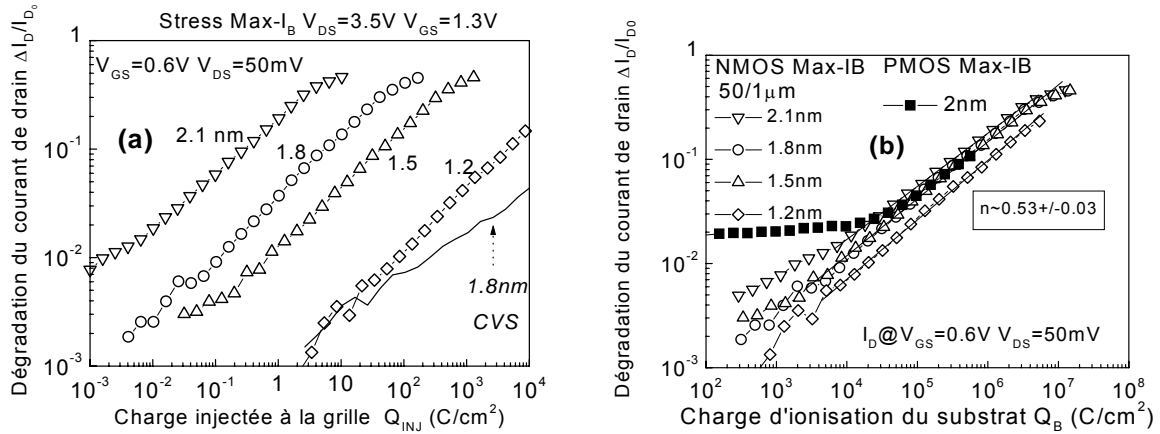


Figure 38 : Cinétiques de dégradation du courant de drain suite à des injections au maximum de courant substrat pour plusieurs T_{OX} , en fonction de la charge injectée à la grille (a) et de la charge d'ionisation collectée au substrat (b).

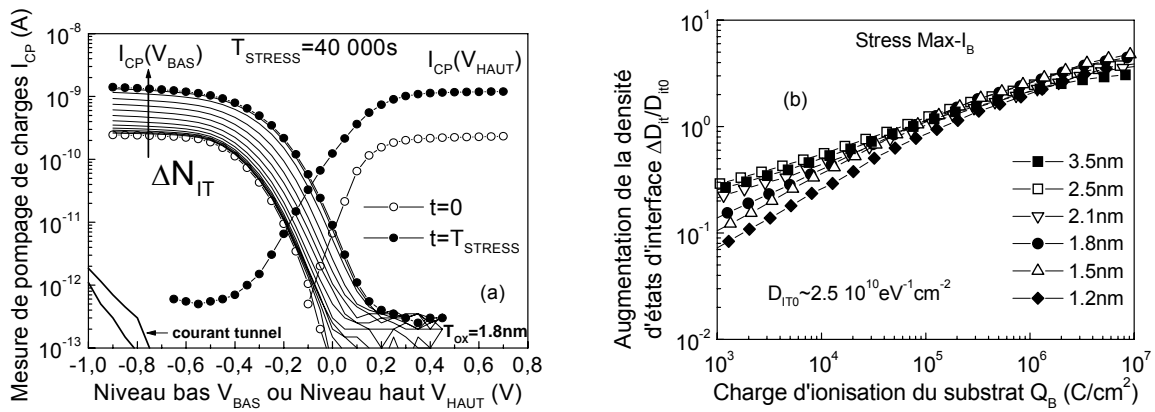


Figure 39 : Analyse des dégradations occasionnées par les stress porteurs chauds à Max- I_B dans le NMOS par pompage de charges (a) et accroissement relatif de la densité d'états d'interface déduite de ces mesures pour différents T_{OX} (b).

L'accroissement du courant de fuite de grille n'est clairement ici pas corrélé aux états mesurés par pompage de charge (plutôt situés autour du midgap), ce qui est cohérent avec le fait que le maximum de LVSILC mesuré lors des stress CVS correspondrait à des niveaux estimés très proches des bandes. Concernant le PMOS, l'analyse par pompage de charge confirme que les conditions $V_G=V_D=-3.5V$ (essentiellement dégradantes via le courant tunnel côté source) sont les conditions les plus critiques du point de vue de l'accroissement de la densité d'états d'interface par rapport aux conditions HE (injection d'électrons à faible V_G) et Max- I_B , mais que cet accroissement reste 10 à 20 fois inférieur à celui obtenu sur le NMOS [43]. L'importante dégradation du PMOS est de ce point de vue fortement attribuable à la **charge positive piégée** qui est détectée sur les mesures $I(V)$ et qui est du même ordre de grandeur que la charge piégée sur les états d'interface (de l'ordre de 10^{11} cm^{-2}).

En conclusion, on peut dire que ces stress porteurs chauds induisent une dégradation pratiquement peu dépendante du champ dans l'oxyde, générant dans la condition la plus dégradante trouvée au maximum de courant substrat des états d'interface influençant fortement le courant de drain et la transconductance et peu de charge piégée dans le NMOSFET. Ces états d'interface accepteurs sont détectés par pompage de charge autour du

milieu de la bande interdite (voir Fig.40) et ne semblent pas responsables d'une forte augmentation du LVSILC comme dans le cas CVS. Enfin aucun claquage franc ne fut détecté lors de ces stress porteurs chauds. On peut donc postuler que contraintes CVS et par porteurs chauds créent des défauts via des mécanismes différents et induisant des niveaux de défauts d'interface distincts par la localisation énergétique des niveaux associés.

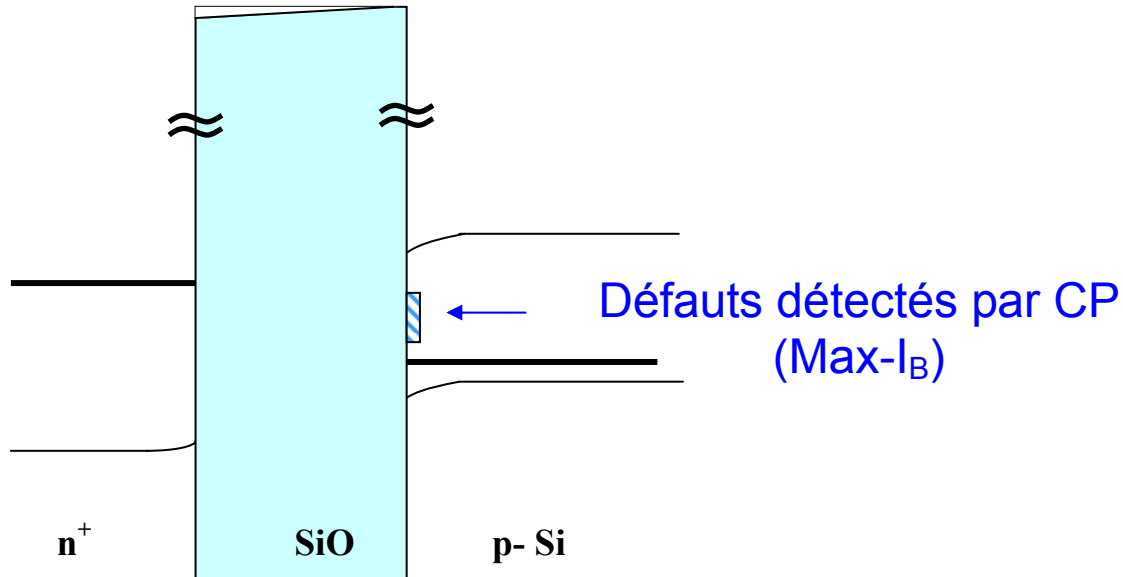


Figure 40 : Localisation énergétique des niveaux de défauts détectés par pompage de charges dans le NMOS après des contraintes porteurs chauds au maximum de courant substrat.

4.5 Dégradation par injection uniforme de porteurs chauds du substrat

Afin de compléter ces études sur les injections de porteurs dans les oxydes ultra-minces, et avec comme objectif de confirmer l'influence prépondérante de l'énergie des porteurs sur la dégradation de l'oxyde, nous avons souhaité faire varier cette énergie en utilisant la polarisation du substrat. Cependant, ceci a nécessité l'emploi de structures spéciales, car l'injection de porteurs chauds accélérés dans le substrat (SHEI, *Substrate Hot Electron Injections*) demande une source d'électrons qui ne soit ni la source ni le drain. On dispose donc de structures spéciales constituées d'un transistor MOSFET de grande taille 250/160 μm et d'une diode d'injection latérale permettant d'injecter au niveau du substrat les électrons, montrées sur la Fig.41.

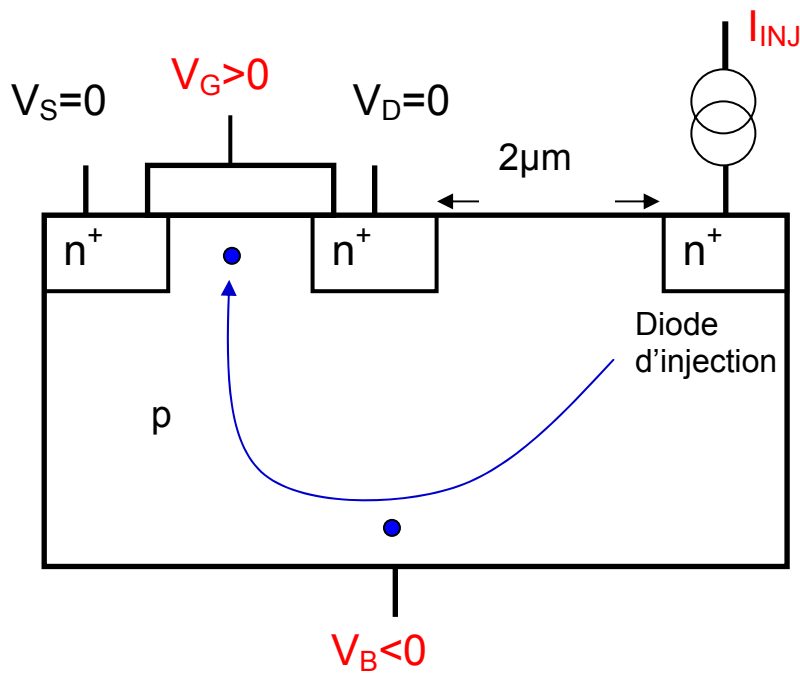


Figure 41 : Dispositifs utilisés pour les injections SHEI.

Le grand intérêt de ces dispositifs est de pouvoir dans certaines conditions contrôler indépendamment trois grandeurs :

- le champ dans l'oxyde via principalement la tension de grille V_G ,
- l'énergie des porteurs chauds injectés accélérés par la tension substrat V_B ,
- la charge injectée que l'on peut moduler via la diode d'injection latérale commandée en courant.

Nous avons connu quelques problèmes liés à un claquage précoce de la jonction drain-bulk. Ces problèmes furent résolus par la commande en courant de la diode d'injection et la prise de précautions expérimentales pour éviter l'avalanche drain/substrat. Le fonctionnement du dispositif est explicité sur la Fig.42. Lorsqu'une tension $V_B < 0$ est appliquée sur la structure MOS (la diode d'injection étant « OFF »), on observe d'abord une diminution du courant de grille à bas V_G attribuable à l'effet substrat (la tension de seuil augmentant, la charge d'inversion diminue et donc le courant tunnel diminue), puis un plateau. Nous avons pu montrer que ce plateau était attribuable à la **diode** (drain+source)/substrat, qui génère un

courant de fuite de grille à $V_G=0V$. Ce courant de fuite augmente exponentiellement avec V_B et correspond à un **phénomène d'ionisation** induit dans la zone de charge d'espace par V_B , les électrons étant ensuite collectés par le potentiel de surface et injectés dans la grille à travers l'oxyde. Dès $V_B=-1.5V$, l'augmentation exponentielle du courant de jonction source/substrat avec la tension substrat est en caractéristique d'un régime **d'ionisation par impact** [117]. La valeur du plateau vers $0V$ permet d'extrapoler la **charge injectée à partir du substrat**, même dans des cas où le courant tunnel est plus important. A fort V_G , le régime **tunnel** domine, ce régime apparaît à des tensions d'autant plus grandes que l'oxyde est épais

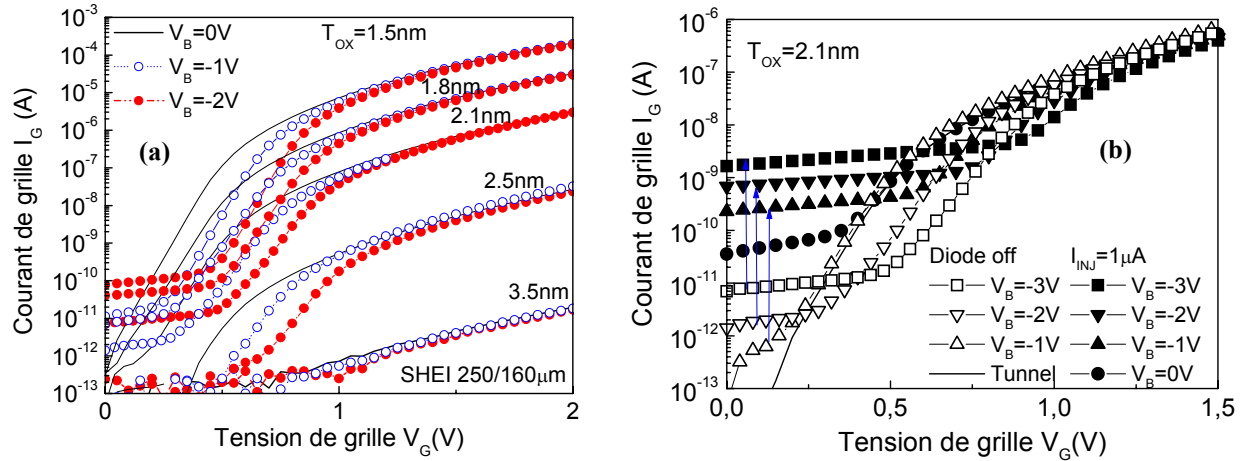


Figure 42 : Effet de la polarisation du substrat sur le courant de grille (a) dans la structure SHEI pour différentes épaisseurs d'oxyde comprises entre 3.5 et 1.5nm et visualisation de l'effet de la diode d'injection commandée en courant sur le courant de grille (b) pour un dispositif de 2.1nm d'épaisseur.

Lorsque la diode d'injection est commandée en courant, elle détermine (voir Fig.42 b) la valeur du courant injecté à faible V_G . A haut V_G le courant tunnel standard domine d'autant plus tôt que T_{OX} est petit. L'augmentation du plateau à faible tension de grille V_G correspond au **courant d'électrons accélérés** à partir du substrat, ce courant étant par ailleurs augmenté par l'application d'une tension au niveau du substrat. Là encore, la valeur du plateau vers $0V$ permet d'extrapoler la **charge injectée à partir du substrat**, même dans des cas où le courant tunnel est plus important. Le courant total injecté à travers l'oxyde s'écrit finalement dans nos échantillons :

$$I_G = I_{\text{tunnel}} + I_{\text{diode DS/B}} + I_{\text{SHEI}} \quad (22)$$

- avec : I_{tunnel} : courant d'électrons du canal d'inversion injectés par effet tunnel (ou EVBT).
- $I_{\text{diode DS/B}}$: courant d'électrons générés par ionisation par impact dans la zone de charge d'espace de la diode drain+source/substrat, puis injectés dans l'oxyde et donc accélérés par V_B .
- I_{SHEI} : courant d'électrons injectés dans le substrat par la diode d'injection, puis accélérés par V_B et injectés dans l'oxyde.

Il est à noter que dans ce courant I_G total, seule la partie correspondant à $I_{\text{diode DS/B}}$ et I_{SHEI} subit l'influence de la tension substrat. Un point à vérifier afin de pouvoir interpréter les résultats est l'indépendance des dégradations observées en fonction du courant de la diode d'injection. Cette indépendance n'est cependant observée que si on représente les cinétiques de dégradation (en V_G, V_B) en fonction non de la charge totale injectée totale par unité de surface

Q_{INJ} à travers la grille, mais la charge par unité de surface Q'_{INJ} résultant de $I_{diode DS/B}$ et I_{SHEI} , soit (si les courants sont pris constants durant le stress):

$$Q'_{INJ} = \frac{(I_{diode DS/B} + I_{SHEI}) \times T}{S} \quad (23)$$

où T est le temps de stress et S la surface des échantillons. Ceci est mis en évidence pour la dégradation du courant de drain sur la Fig.43 pour différents T_{OX} dans le cas de stress à faible V_G .

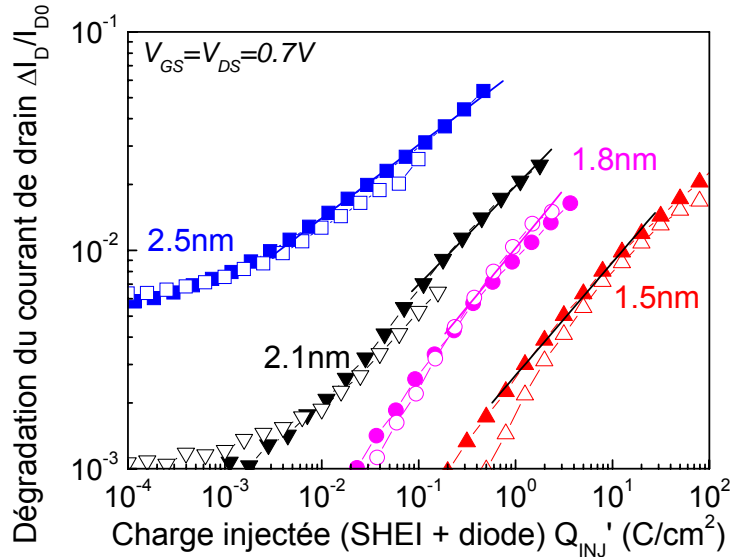


Figure 43 : Cinétique de dégradation du courant de drain en présence d'injection d'électrons chauds du substrat pour différentes valeurs du courant I_{INJ} ($1\mu A$: label plein et $10\mu A$: label ouvert) en fonction de la charge résultante injectée à la grille Q'_{INJ} dans la structure SHEI.

On montre sur les Fig.44 et 45 les cinétiques de dégradation du courant de grille et du courant de drain montrant la dépendance de la dégradation en fonction de V_G , V_B et T_{OX} .

Les cinétiques de dégradation du courant de drain sont des lois de puissance de pente 0.5 dès $V_B = -3V$ pour $V_G = 1V$, dès $V_B = -4V$ pour les stress à $V_G = 0.25V$ (c'est-à-dire dans des gammes où les stress CVS en V_G seul ne sont plus dégradants) ce qui est révélateur de la création d'états d'interface [25,116]. En ce qui concerne les cinétiques de courant de grille prise au maximum de LVSILC, on observe également des lois de puissance de pente 0.7 dès $V_B = -3V$ (resp. $-4V$) pour le stress à $V_G = 1V$ (resp. $0.25V$). Nos expériences ont toutefois révélé un **effet parasite** complexe lié à la diode drain/substrat. Polarisée en inverse, cette diode rentre très vite dans un régime de génération de porteurs chauds par ionisation par impact, ces porteurs étant ensuite injectés dans l'oxyde et participant de façon non maîtrisable et variable au cours du stress à la dégradation de la structure. Ceci est responsable d'un seuil d'aggravation marqué dans les cinétiques de dégradation autour de $V_B = -2V$ et rend l'interprétation de ces expériences difficile, mais peut partiellement expliquer la pente plus marquée de la cinétique pour le LVSILC dans le cas SHEI que dans le cas CVS. Malgré cela, la dépendance de la dégradation en fonction de la tension V_G , est bien mise en évidence sur la Fig.45, et se compare bien sûr à celle observée sur les stress CVS. Par contre contrairement au cas CVS, la Fig.44 révèle (à V_G et V_B fixés) une dépendance marquée en fonction de T_{OX} , et donc en fonction du champ dans l'oxyde F_{OX} . Ceci est attribuable au fait que V_B fournit aux porteurs injectés dans le substrat l'énergie E suffisante pour pénétrer **dans la bande de**

conduction dans l'oxyde et atteignent l'anode en relaxant une partie de leur énergie cinétique à l'interface et dans l'oxyde, ce qui induit la dépendance en V_G et F_{OX} :

$$E = \frac{E_G}{2} - eV_B + e\Phi_B \quad (24)$$

Ainsi, contrairement aux stress CVS ou porteurs chauds, ces injections se révèlent non seulement dépendantes de l'énergie des porteurs injectés mais aussi de l'épaisseur d'oxyde T_{OX} .

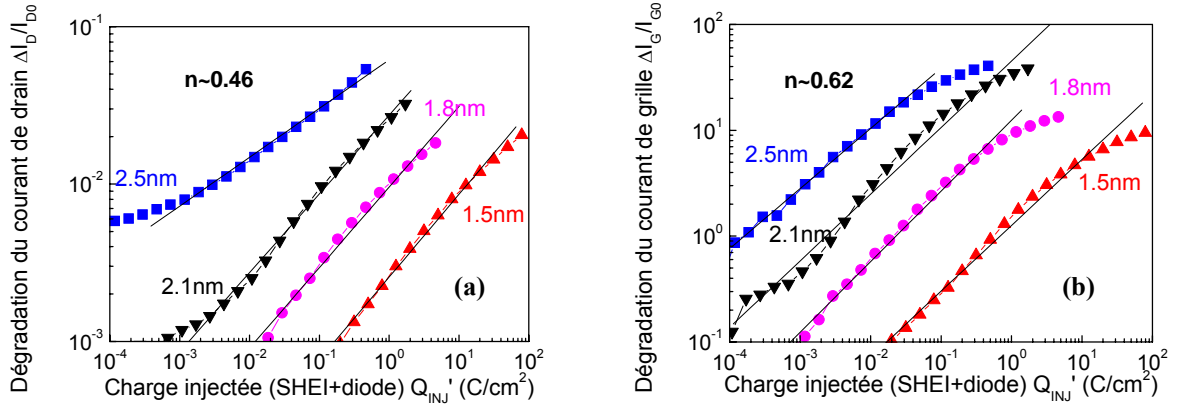


Figure 44 : Mise en évidence de la dépendance en T_{OX} de la dégradation du courant de drain (a) et de celle du courant de grille (b) en fonction de la charge résultante injectée à la grille Q'_{INJ} pour des injections SHEI à $V_G=1V$ $V_B=-4V$ $I_{INJ}=10\mu A$.

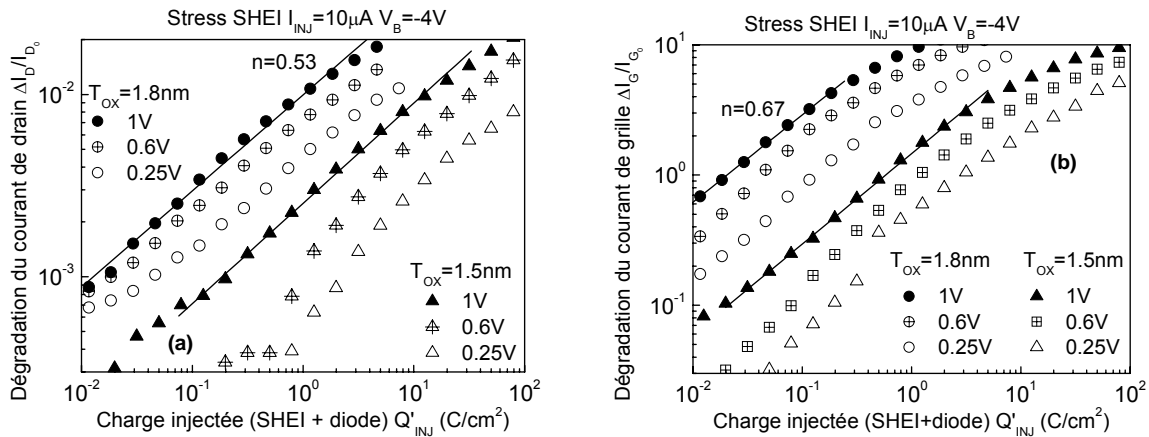


Figure 45 : Effet de V_G ($V_G=0.25V$, $0.6V$, $1V$) lors des stress SHEI sur les cinétiques de dégradation du courant de drain (a) et du courant de grille (b) en fonction de la charge résultante injectée à la grille Q'_{INJ} .

Cette dépendance en fonction de T_{OX} , qui signifie clairement que, pour une même charge injectée et sous un même champ, les dégradations observées varient en fonction de l'épaisseur d'oxyde, invalident les modèles en « E » et « 1/E » comme pouvant reproduire de façon satisfaisante les résultats observés. Le champ « seul » ne peut donc pas non plus expliquer la dégradation relevée sur I_D et sur I_G , qui varie en fonction de V_G et de V_B dans le cas de stress SHEI. Afin de résumer cette situation complexe, nous pouvons reporter sur la Fig.46, dans le cas des stress CVS et SHEI, la charge injectée requise pour observer une dégradation donnée (ici une augmentation du courant de grille au maximum de LVSILC à $V_G=-0.8V$ d'un facteur

6) en fonction de V_G et de V_B . On observe bien sur cette courbe la dépendance universelle de la dégradation en fonction de V_G indépendamment de T_{OX} pour les stress CVS, qu'on retrouve partiellement dans les stress SHEI. Par contre, on observe que dans les stress SHEI, la dégradation est obtenue pour une charge cumulée beaucoup plus faible à fort V_G , ce qui indique que la dégradation provient alors principalement des porteurs accélérés au niveau du substrat. On confirme la forte dépendance en T_{OX} à faible V_G . Par ailleurs, la dépendance en V_B est plus mise en évidence à faible V_G qu'à fort V_G où l'injection direct tunnel détermine principalement la valeur de la charge injectée (mais pas la dégradation due plutôt aux porteurs du substrat).

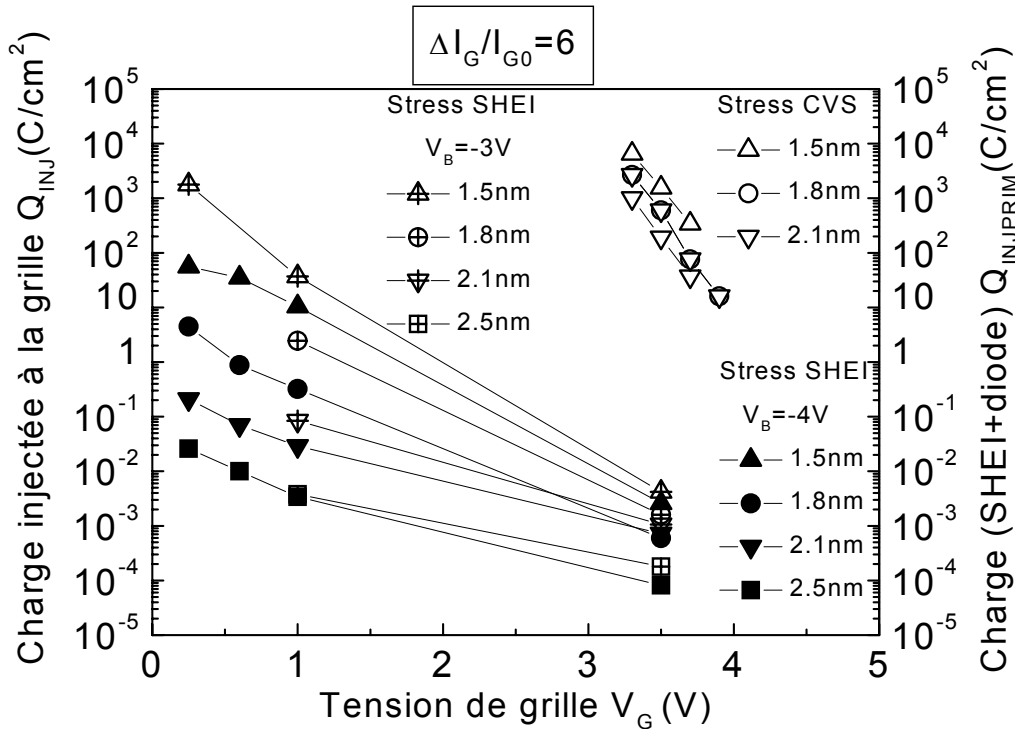


Figure 46 : Etude de la charge injectée nécessaire à une dégradation du courant de grille d'un facteur 6 en fonction de la tension de stress V_G après stress CVS et SHEI pour différentes épaisseurs d'oxyde comprises entre 1.5 et 2.5nm.

En ce qui concerne les lois d'accélération en fonction de V_G et de V_B pour une charge donnée injectée, on obtient aussi bien en I_G qu'en I_D des lois de puissance du type [43,48]:

$$\frac{\Delta I}{I} = K e^{\alpha V_G} e^{\beta |V_B|} \quad (25)$$

avec $\alpha = 1.37 \pm 0.54 V^{-1}$ pour I_G et $\alpha = 1.4 \pm 0.3 V^{-1}$ pour I_D , ce qui bien inférieur au $\alpha \approx 3 V^{-1}$ du cas CVS, mais avec également un préfacteur fortement dépendant de T_{OX} . Ceci se comprend en rappelant que, contrairement au cas CVS, V_G ne sert pas ici à fournir l'énergie des porteurs dégradants (fournie dans le cas SHEI pas V_B) et que cette dépendance en V_G ne provient vraisemblablement dans ce cas que de la dépendance en F_{OX} liée aux porteurs injectés dans la bande de conduction de l'oxyde (et qui y relaxent une part de leur énergie). On obtient par ailleurs pour la dépendance en V_B $\beta = 0.2 \pm 0.1 V^{-1}$ sur la dégradation en I_D et

$\beta = 0.82 \pm 0.2V^{-1}$ pour le LVSILC. On ne retrouve donc pas en V_B lors des stress SHEI le même facteur d'accélération que celui obtenu en V_G lors des stress CVS.

Selon le modèle de percolation, une concentration critique N_{BD} de défauts est nécessaire pour déclencher le claquage. D'autre part, la charge injectée de porteurs dégradants Q_{INJ} pendant la contrainte est un indicateur du niveau de dégradation de l'oxyde, comme le montrent les lois de puissance relevées pour les cinétiques sur I_G ou I_D . Afin de prédire la charge injectée nécessaire au claquage, on souhaiterait « quantifier » le nombre de défauts générés par charge injectée. Si on connaît à chaque instant le nombre de défauts induits dans l'oxyde N_{TRAP} ainsi que la charge injectée dans l'oxyde Q_{INJ} , on définit P_{GEN} la probabilité de génération de défauts par charge injectée par

$$P_{GEN} = \frac{dN_{TRAP}}{dQ_{INJ}} \quad (26)$$

Si cette probabilité est supposée uniforme pendant la contrainte et donc indépendante de Q_{INJ} , la relation devient :

$$P_{GEN} = \frac{N_{TRAP}}{Q_{INJ}} \quad (27)$$

Pour des oxydes compris entre 2nm et 3.4nm, E.Vogel et al. [118] ont montré que le nombre de défauts au claquage N_{BD} extrait à partir de mesures SILC était approximativement le même après stress CVS ou stress SHEI. Un tracé log/lin de la loi de génération de défauts en fonction de la tension de stress $V_{GSTRESS}$ permet de définir deux lois exponentielles qui se coupent à fort V_G ($V_G \sim 6V$). La pente est plus faible pour les stress SHEI que pour les stress CVS. **Le point de croisement** des caractéristiques correspond à une tension qui provoque le claquage de l'oxyde à très faible charge injectée [119] et pour laquelle les stress CVS deviennent aussi dégradants que les stress SHEI.

Lors de nos expériences sur des oxydes d'épaisseur inférieure à 2.5nm, nous n'avons pas pu détecter de piégeage dans le volume de l'oxyde et n'avons pu déterminer la grandeur N_{TRAP} . Cependant, considérant le courant LVSILC comme révélateur de ces pièges N_{TRAP} , nous pouvons utiliser l'hypothèse que [120,121]:

$$\frac{\Delta J}{J_0} \propto N_{TRAP} \quad (28)$$

pour déterminer la probabilité de génération de défauts en extrayant **la pente** de la dégradation du courant de grille en fonction de la charge injectée Q_{INJ} , une autre définition de P_{GEN} étant alors donnée par:

$$P_{GEN} = \frac{\Delta J}{J_0 \cdot \Delta Q_{INJ}} \quad (29)$$

Malheureusement, nous avons vu que la dégradation du courant de grille suivait une loi de puissance de la forme $K_G \cdot Q_{INJ}^n$ avec $0.3 < n < 0.4$ après stress CVS et $0.6 < n < 0.7$ après stress SHEI. Comme le coefficient 'n' ne vaut pas 1, même pour les faibles valeurs de Q_{INJ} , nous ne pouvons extraire directement la probabilité de génération P_{GEN} . Mais comme n varie très peu avec la tension de stress $V_{GSTRESS}$, on représente (Fig.47) en remplacement les variations du préfacteur K_G en fonction de la tension de stress $V_{GSTRESS}$ [119] :

$$K_G = \frac{\Delta J}{J_0 \cdot Q_{INJ}^n} \quad (30)$$

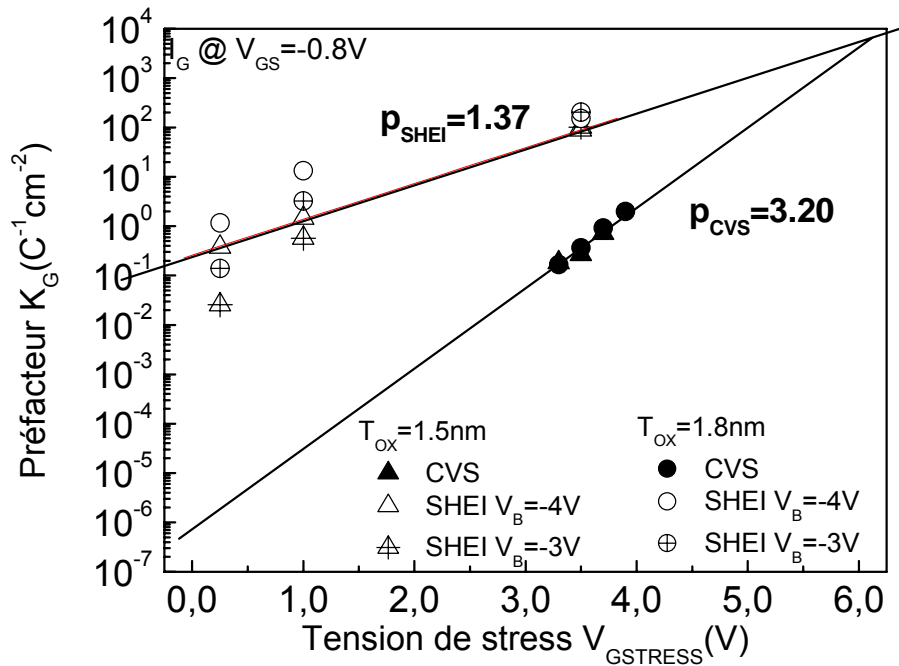


Figure 47 : Variation du pré-facteur K_G en fonction de la tension de contrainte $V_{GSTRESS}$: les symboles vides représentent les pré-facteurs des stress SHEI en considérant la charge résultante Q'_{INJ} , et les symboles pleins les pré-facteurs des stress CVS en considérant la charge totale Q_{INJ} .

Bien sûr nous considérons la charge résultante Q'_{INJ} pour les stress SHEI et la charge totale Q_{INJ} pour les stress CVS, comme représentatives des espèces dégradantes. La variation du pré-facteur K_G en fonction de la tension de contrainte $V_{GSTRESS}$ vérifie une **loi exponentielle** dont le pré-facteur « k » dépend peu de l'épaisseur d'oxyde et pour laquelle nous pouvons déduire le facteur d'accélération en tension p :

$$K_G = k \exp^{p \cdot V_{GSTRESS}} \quad (31)$$

On vérifie deux lois distinctes **de génération de défauts** pour les stress CVS et les stress SHEI en fonction de la tension de grille V_G et que le facteur d'accélération en tension après stress SHEI ($p=1.37$) est plus faible qu'après stress CVS ($p=3.20$), en conformité avec les résultats de la littérature [118,122]. La faible dépendance des stress SHEI avec la tension de grille est due à la faible influence de la tension de grille sur l'énergie des porteurs. On pourrait plus logiquement de représenter ce préfacteur K_G en fonction de V_G (CVS) ou V_B (SHEI) représentant alors l'énergie des porteurs. Si on se limite au cas des faibles V_G dans le cas SHEI, le cas des forts V_G étant « similaire » au cas CVS, on obtient la Fig.48, qui exprime une loi « universelle » similaire à celle obtenue en V_G pour les stress CVS donnant la probabilité de création en fonction cette fois de « l'énergie » des porteurs injectés. Le graphique montre clairement que cette énergie, qu'elle soit acquise par V_G ou V_B , est l'élément décisif principalement du caractère dégradant des porteurs injectés.

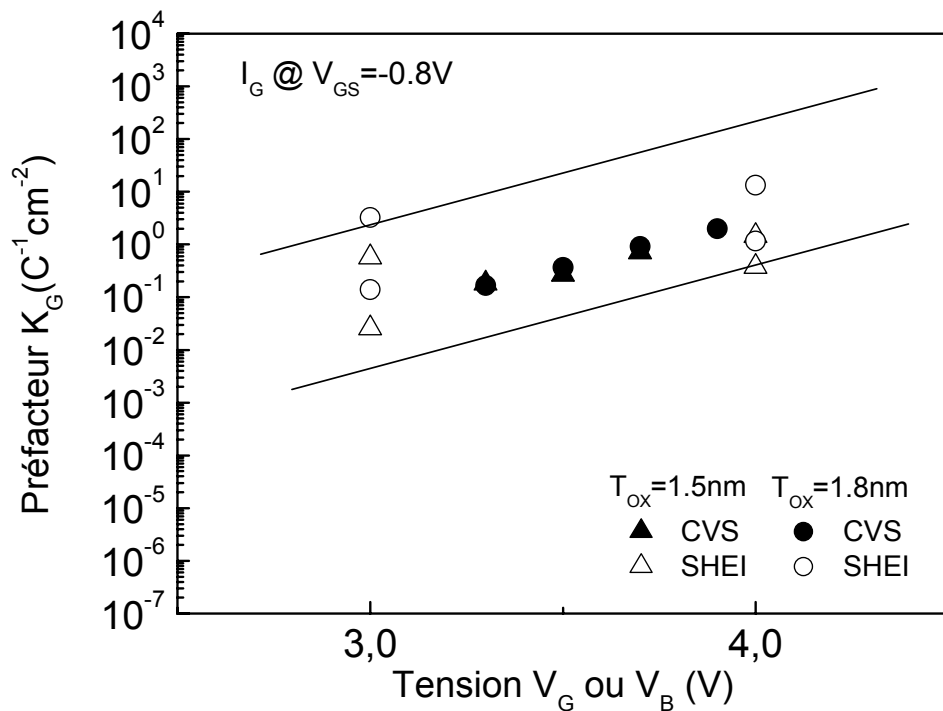


Figure 48 : Variation du pré-facteur K_G en fonction de la tension influençant directement l'énergie des porteurs : V_G pour les stress CVS, V_B pour le stress SHEI à faible V_G .

En conclusion, la dégradation de l'oxyde, due à la génération aléatoire de défauts dans son volume, génère le claquage de ce dernier lorsqu'un nombre critique de défauts est induit, menant à un passage conducteur entre les deux électrodes. La quantité de porteurs injectés dans l'oxyde et leur énergie sont deux quantités fondamentales. Dans le cas des stress CVS, la tension de grille est le facteur critique indépendamment de T_{OX} . Dans le cas du stress SHEI la tension de substrat fournit l'énergie des porteurs, mais les électrons injectés ont suffisamment d'énergie pour pénétrer dans la bande de conduction de l'oxyde, ce qui induit également une dépendance en V_G au travers du champ dans l'oxyde, et donc une dépendance en T_{OX} . Le modèle thermochimique dans sa version de base ne peut expliquer ces dépendances et se trouve dorénavant rejeté par la littérature. Malgré ces complications, nous validons l'hypothèse d'une loi universelle donnant la probabilité de création de défauts en fonction de l'énergie des porteurs injectés. Ceci valide plutôt des modèles liés à la libération d'hydrogène ou de trous chauds de l'anode, qui d'après la littérature coopèrent peut-être au sein d'un seul et même mécanisme [123].

5. Conclusion et perspectives sur la fiabilité des oxydes ultra-minces

Nos études sur la fiabilité des oxydes ultra-minces (et bien d'autres cités ci-dessus) ont contribué à montrer que nous devons aujourd'hui prendre en compte de nouveaux phénomènes, parfois critiques, lorsque l'épaisseur d'oxyde est inférieure à 5 nm. Le fait que les défauts créés dans l'oxyde soient désormais potentiellement à une distance « tunnel » (même si ce terme reste vague) des deux électrodes (grille et canal de conduction) a conduit aux phénomènes de SILC (transitoire ou permanent) et soft-breakdown. Nous avons montré que les injections de trous chauds étaient pratiquement aussi favorables à l'induction du SILC dans ces oxydes que les traditionnels stress en régime Fowler-Nordheim et avons contribué à dégager les principaux mécanismes responsables de ces courants de fuite. En particulier, l'analyse des dépendances en champ et en température des courants SILC dans nos échantillons de 3.8nm et 4.7nm d'épaisseur a exclu le mécanisme Schottky comme seul responsable du SILC et plaide clairement en faveur d'un mécanisme tunnel assisté par défauts (élastique ou inélastique) aujourd'hui admis comme la cause principale du SILC. Nos observations du phénomène de Soft-Breakdown dans ces mêmes échantillons ont conduit à l'élaboration d'un modèle ultra-simple reproduisant correctement les dépendances relevées et fondé sur un rétrécissement local de l'oxyde autour d'une zone dégradée (de taille entre 20 et 60 nm²).

Pour les échantillons étudiés entre 1.2 et 2.5 nm, le phénomène de LVSILC devient le phénomène principalement mis en évidence lorsque la structure MOS se trouve en régime de déplétion. Ce dernier semble lié à des défauts d'interface situés énergétiquement près des bandes de porteurs libres et plutôt générés lors de stress à tension constante. Les injections de porteurs chauds du canal se sont en effet révélées moins efficaces à induire ce LVSILC, même si elles provoquaient une forte dégradation des caractéristiques des transistors et une importante densité d'états d'interface autour du midgap. Nous avons clairement établi que l'énergie des porteurs injectés était le paramètre critique déterminant le caractère dégradant du stress considéré, et que cela induisait une loi d'accélération dépendant principalement de la tension de grille (ou de la tension de substrat dans le cas d'injections de porteurs chauds du substrat), et pas du champ électrique dans l'oxyde. Ceci est évidemment lié au fait que les porteurs sont lors des stress CVS directement injectés dans l'électrode par effet tunnel direct à travers l'oxyde. En effet, un des points remarquables avec la réduction conjointe des tensions d'alimentation est l'importance des courants « tunnel direct » à travers une barrière trapézoïdale qui constituent l'essentiel du courant de fuite à travers l'oxyde de grille pour les générations utilisant des oxydes inférieurs à 3 nm d'épaisseur et des tensions d'alimentation inférieures à 3V.

Nous poursuivons actuellement (depuis 2004) nos études sur la fiabilité des oxydes de 3nm et moins dans le cadre d'une collaboration avec STMicroelectronics. Notre objectif principal est de déterminer théoriquement et de valider et expérimentalement les lois d'accélération en tension et en température utilisées pour déterminer les durées de vie aux conditions nominales lors de stress de claquage (franc ou mou). Cette étude comprend la mise au point de techniques spécifiques de détection des nouveaux modes de défaillance (mesure du SILC ou du Soft-Breakdown), l'accumulation statistique et l'analyse fine de données de claquage ou de dégradation pour différentes conditions, l'analyse et la prise en compte des phénomènes de relaxation lors de stress dynamiques. Nous souhaitons également dégager les conditions de stress les plus critiques (statiques ou dynamiques) et les modes de dégradation principaux dans chacun des cas. Nos premiers résultats semblent indiquer un modèle en V_G comme le plus pertinent, mais la dispersion observée sur les données semble liée à la méthode expérimentale (mesure/relaxation ou nombre d'échantillons utilisés) et son influence précise sur les extrapolations réalisées doit être étudiée dans la suite du travail.

6. Références du chapitre 1

- [1] Taur Y., CMOS design near the limit of design. *IBM J. Res. & Dev.* 2002, **46**(2/3), 213-222.
- [2] Stathis J. H., Reliability limits for the gate insulator technology CMOS technology. *IBM J. Res. & Dev.* 2002, **46**(2/3), 265-286.
- [3] Hu C., Thin Gate Oxides Promise High Reliability. *Semiconductor International* july 1998, 215-222.
- [4] Hu C., Gate Oxide Scaling Limits and Projection. IEDM 1996 proceedings, 319-322.
- [5] Chen I.C. et al., *IEEE Trans. Electron Dev.* 1985, 333.
- [6] Chen I.C., Holland S.E., Hu C., *IEEE Trans. Electron Dev.* 1989, **ED32**, 413.
- [7] Sah C.T., Models and experiments on degradation of oxidized silicon. *Solid-State Electronics* 1990, **33** (2), 147-167.
- [8] Goguenheim D., Etude théorique et expérimentale de la capture non-radiative de porteurs libres dans les semi-conducteurs: application à la liaison pendante de silicium à l'interface Si/SiO₂ (centre Pb). Thèse de Doctorat de l'Université des Sciences et Techniques de Lille Flandres Artois, 1992.
- [9] Sah C.T., *IEEE Trans. Nucl. Sci.* 1976, **NS-23**, 1563.
- [10] Paillet P., Effet du procédé de fabrication des isolants sur la charge d'espace créée par rayonnement X: application aux technologies silicium sur isolant. Thèse de Doctorat de l'Université de Montpellier, 1995.
- [11] Autran J.L., Caractérisation et simulation du système Si/SiO₂ dans les dispositifs MOS avancés. Habilitation à Diriger des Recherches de l'Université Claude Bernard – Lyon 1 1999.
- [12] Berman A., Time-zero dielectric reliability test by e ramp method. Proceedings of IRPS 1981.
- [13] McPherson J. W., Baglee D. A., Acceleration factors for thin gate oxide stressing. Proceedings of IRPS 1985.
- [14] Schuegraf Klaus F., Hu Chenming, Hole Injection SiO₂ Breakdown Model for Very Low Voltage Lifetime Extrapolation. *IEEE Trans. Electron Dev.* 1994, **45** (5).
- [15] Kimura M., Oxide breakdown mechanism and quantum physical chemistry for Time Dependent Dielectric Breakdown. *IEEE Trans. Electron Dev.* 1997.
- [16] Depas M., Vermeire B., Mertens P.W., Van Meirhaeghe R.L., Heyns M.N., Determination of tunneling parameters in ultra-thin oxide layer poly-Si/SiO₂/Si structures, *Solid-State Electronics* 1995, **38** (8), 1465-1471.
- [17] Hesto P., Instabilities in Silicon Devices, Ch.5, Elsevier Science 1986, 265.
- [18] Maserjian J., Zamani N., *J.Appl.Phys.* 1982, **53**(1), 559.
- [19] Olivo P., Nguyen T.N., Ricco B., *IEEE Trans.on Electron Dev.* 1988, **ED-35** (12), 2259.
- [20] Rofan R. et al., *IEEE Electron Dev. Letters* 1991, **Vol.12** (11).
- [21] Dumin D.J., Maddux R., *IEEE Trans.on Electron Dev.* 1993, **Vol.40** (5), 986.

- [22] De Blauwe J., Degraeve R., Bellens R., Van Houdt J., Roussel Ph., Groeseneken G., Maes H.E., *Proc. of ESSDERC* 1996, 361.
- [23] Runnion E.F., Gladstone S.M., Scott R.S., Dumin D.J., Lie L., Mitros J., *Proc. of IRPS* 1996, 93.
- [24] Buchanan D.A., DiMaria D.J., Chang C.A., Taur Y., *Appl.Phys.Lett.* 1994, **65**, 1820.
- [25] DiMaria D.J., *Microelectronic Engineering* 1995, **28**, 63.
- [26] Yamada S., Amemiya K., Yamane T., Hazama H., Hashimoto K., *Proc. of IRPS* 1996, 108.
- [27] De Blauwe J., Van Houdt J., Wellekens D., Degraeve R., Roussel P., Haspeslagh L., Deferm L., Groeseneken G., Maes H.E., *Proc. of IEDM* 1996, 343
- [28] Degraeve R., De Blauwe J., Roussel P., Groeseneken G., Maes H.E., *Proc. of IEDM* 1996, 327.
- [29] Ghetti A, Sangiorgi E., Bude J., Sorsh T.W. and G. Weber, “Low voltage tunnelling in ultra-thin oxides: a monitor for interface states and degradations”, *Proc. of IEDM* 1999, 731-734.
- [30] Ghetti A, Sangiorgi E., Bude J., Sorsh T.W. and Weber G., “Tunneling into interface states as reliability monitor for ultra thin oxides”, *IEEE Trans. Electron. Dev.* 2000, **47**, 2358-2365.
- [31] Zander D., Saigné F., Petit C., and Meinertzhagen A., Electrical stress effects on ultrathin (2.3nm) oxides, *Journal of Non-Crystalline Solids* 2001; **280**, 86-91.
- [32] Lime F., Ghibaudo G., Guégan G., *Microelectronics Reliability* 2001, **41**, 1421.
- [33] Brière O., Thèse de Doctorat de l’université de Grenoble, 1996.
- [34] Brière O., Chroboczek J.A., Ghibaudo G., *Proc. of ESSDERC'96* 1996, 759.
- [35] Halimaoui A. et al., *Microelectronic Engineering* 1997, **36**, 57-160.
- [36] Leroux C. et al., *Microelectronic Engineering* 1997, **36**, 297-300.
- [37] Nicollian P.E., Hunter W.R., Experimental Evidence for Voltage Driven Breakdown Models in Ultrathin Gate Oxides, *IEEE IRPS* 2000.
- [38] Vollersten R.P., Wu E.Y., Voltage acceleration and t_{63.2} of 1.6-10 nm gate oxides, *Microelectronics Reliability* 2004, **44**, 909-916.
- [39] Goguenheim D., Bravaix A., Vuillaume D., Mondon F., Candelier Ph., Jourdain M., Meinertzhagen A., A coupled I(V) and Charge-Pumping analysis of Stress Induced Leakage Currents in 5nm-thick gate oxides. *Microelectronic Engineering* 1997, **vol. 36**, 141-144.
- [40] Goguenheim D., Bravaix A., Vuillaume D., Mondon F., Jourdain M. and Meinertzhagen A., Stress Induced Leakage Currents in N-MOSFET's submitted to Channel Hot Carrier Injections. *Journal of Non-Crystalline Solids* 1999, **vol. 245**, 41-47.
- [41] Goguenheim D., Bravaix A., Ananou B., Trapes C., Mondon F., Reibold G., Temperature and field dependence of stress induced leakage currents in very thin gate oxides. *Journal of Non-Crystalline Solids* 2001, **vol. 280**, 78-85.
- [42] Goguenheim D., Bravaix A., Vuillaume D., Mondon F., Candelier Ph., Jourdain M. and Meinertzhagen A., Experimental study of the Quasi-Breakdown failure

- mechanism in 4.5 nm-thick SiO₂ oxides. *Microelectronics Reliability* 1999, vol. 39, 165-169.
- [43] Trapes C., Etude expérimentale des phénomènes de dégradation sous différents modes d'injection dans les oxydes ultra-minces (<5nm) pour la microélectronique. Thèse de Doctorat de l'Université de Provence (U1), 2004.
- [44] Goguenheim D., Trapes C., Bravaix A., Comparison of degradation modes in 1.2-2.1 nm thick oxides submitted to uniform and hot carrier injections in NMOSFETS, *Journal of Non-Crystalline Solids* 2003, vol. 322, 183-190.
- [45] Trapes C., Bravaix A., Goguenheim D., Impact of carrier injection in 2.2nm-thick SiO₂ oxides after first and substrate enhanced electron injection. *Journal of Non-Crystalline Solids* 2003, vol. 322, 199-205.
- [46] Bravaix A., Trapes C., Goguenheim D., Revil N., Vincent E., Carrier injection efficiency for the reliability study of 3.5-1.2nm thick gate-oxide CMOS technologies. *Microelectronics Reliability* 2003, vol. 43, 1241-1246.
- [47] Trapes C., Goguenheim D., Ultrathin oxide reliability after combined Constant Voltage Stress and Substrate Hot Electron Injection, *Journal of Non-Crystalline Solids*, accepted for publication, 5th December 2004
- [48] Trapes C., Goguenheim D., Bravaix A., Experimental extraction of degradation parameters after Constant Voltage Stress and Substrate Hot Electron Injection on Ultrathin oxides, *Microelectronics Reliability*, accepted for publication , 1st March 2005.
- [49] Matsukawa N., Yamada S., Amemiya K., Hazama H., *IEEE Trans. Electron Devices* 1996, ED-43, 1924.
- [50] Sakakibara K., Ajika N., Hatanaka M., Miyoshi H., *Proc. of IRPS* 1996, 100.
- [51] Kobayashi K., Teramoto A., Nakamura T., Watanabe H., Kurokawa H., Matsui Y., Hiramaya M., *Proc. of IEDM* 1996, 335.
- [52] T. Wang, N.K. Zous, J.L Lai, C. Huang, *IEEE Electron Device Lett.* 19 (1998) 411.
- [53] Teramoto A., Kobayashi K., Matsui Y., Hiramaya M., Yasukoa A., *Proc. of IRPS* 1996, 113.
- [54] Ceschia M., Paccagnella A., Scarpa A., Cester A., Ghidini G., *Microelectronics Reliability* 1999, 39, 221.
- [55] Ceschia M., Paccagnella A., Cester A., Scarpa A., Candelori A., Ghidini G., *J. Non-Cryst. Solids* 1999, 245, 232.
- [56] Kim S.U., *IEEE Trans. Electron Devices* 1998, ED-45, 731.
- [57] Goguenheim D., Bravaix A., Moragues J.M., Lambert P., Boivin P., *Microelectronics Reliability* 2000, 40, 751.
- [58] Scott R.S., Dumin D.J., *IEEE Trans.on Electron Dev.* 1996, 43, 130.
- [59] Kafai L., Chen W.M., Hao M.Y., Lee J., Gardner M., Fulford J., *Appl.Phys.Lett.* 1995, 67, 673.
- [60] E.Vincent E., *IRW99 proceedings* 1999, 158-165.
- [61] Stathis J.H., «Electrically detected magnetic resonance study of stress induced leakage current in thin SiO₂ », *Appl.Phys.Lett.* 1996, 68, 1669.

- [62] Scarpa A., De Salvo B., Ghibaud G., Pananakakis G., Paccagnella A., Ghidini G., «On the correlation between SILC and hole fluence throughout the oxide», *Microelectronics Reliability* 1999, **39** (2), 197-201.
- [63] Naruke K., Taguchi S., Wada M., *Proc. of IEDM* 1988, 424.
- [64] Riess P., Kies R., Ghibaud G., Pananakakis G., Brini J., « Reversibility of charge trapping and SILC creation in thin oxides after stress/anneal cycling », *Microelectronics Reliability* 1998, **38** (6-8), 1057-1061.
- [65] Meinertzhagen A., Zander D., Petit C., Jourdain M., Goguenheim D., « Low voltage and temperature effect on SILC in stressed ultrathin oxide films », *Solid State Electronics* 2001, **45** (8), 1371-1381.
- [66] Cester A., Paccagnella A., « Time Decay of stress induced leakage current in thin gate oxides by low-field electron injection », *Solid State Electronics* 2001, **45** (8), 1345-1353.
- [67] Hemink G.J., Shimizu K., Aritome S., Shirota R., *Proc. of IRPS* 1996, 117
- [68] Riess P., Ghibaud G., Pananakakis G., Brini J., Ghidini G., «Electric field and temperature dependence of the stress induced leakage current : Fowler-Nordheim or Schottky emission ? », *Journal of Non-Crystalline Solids* 1999, **vol. 245** (1-3), 48-53.
- [69] Dumin D.J., Vanshinathan S., *IEEE Trans. Electron Dev.* 1994, **41**, 936.
- [70] Rosenbaum E., Register L.F., *IEEE Trans.on Electron Dev.* 1996, **44**, 317.
- [71] Tagaki S., Yasuda N., Toriumi A., *Proc. of IEDM* 1996, 323.
- [72] Groeseneken G., Maes H.E., Beltran N., De Keersmaecker R., A reliable approach to charge-pumping measurements in MOS transistors, *IEEE Trans. Electron Dev.* 1984, **31** (1), 42-53.
- [73] Chen W., Balasinski A., and Ma T.P., *IEEE Trans. Electron Devices* 1993, **40**, 187.
- [74] Vuillaume D., Marchetaux J.C., Lippens P.E., Bravaix A., Boudou A., *IEEE Trans. Electron Devices* 1993, **40**, 773.
- [75] DiMaria D.J., *Appl.Phys.Lett.* 1996, **68**, 3004-3006.
- [76] Kimura M., Ohmi T., *J.Appl.Phys.* 1996, **80**, 6360.
- [77] Chou A.I., Lai K., Kumar K., Chowdhury P., Lee J.C., *Appl. Phys. Lett.* 1997, **70**, 3407.
- [78] Ricco B., Gozzi G., Lanzoni M., *IEEE Trans. Electron Dev.* 1998, **ED-45**, 1554.
- [79] Takagi S., Yasuda N., Toriumi A., *IEEE Trans. Electron Dev.* 1999, **ED-46**, 348.
- [80] Okada K., Taniguchi K., *Appl. Phys. Lett.* 1997, **70**, 351.
- [81] Satake H., Toriumi A., *Appl. Phys. Lett.* 1995, **67**, 3489.
- [82] Scarpa A., Ghibaud G., Ghidini G., Pananakakis G., Paccagnella A., *Microelectronic Engineering* 1997, **36** , 145.
- [83] Patel N.K., Toriumi A., *Appl. Phys. Lett.* 1994, **64**, 1809.
- [84] DeSalvo B., Ghibaud G., Pananakakis G., Mondon F., *Microelectronics Reliability* 1998, **38**, 1075.
- [85] Simmons J.G., *J.Appl.Phys.* 1963, **34**, 1793.

- [86] Guan H., Li M.F., He Y., Cho B.J., « A thorough study of quasi-breakdown phenomenon of thin gate oxide in dual gate CMOSFETs », *IEEE Trans. Electron Dev.* 2000, **47**, 1608-1616.
- [87] Takagi S., Takayanagi M., « Carrier transport properties of thin gate oxides after soft and hard breakdown », *Microelectronic Engineering* 2001, **59**, 5-15.
- [88] Houssa M., Nigam T., Mertens P.W., Heyns M.M., « Model for the current-voltage characteristics of ultrathin gate oxides after soft breakdown », *J.Appl.Phys.* 1998, **84**, 4351-4355.
- [89] Tomita T., Utsunomiya H., Sakura T., Kamukara Y., Taniguchi K., « A new soft breakdown model for thin thermal SiO₂ films under constant current stress », *IEEE Trans. Electron Dev.* 2000, **46**, 159-164.
- [90] Miranda E., Sune J., Rodriguez R., Nafria M., Aymerich X., « A common framework for soft and hard breakdown in ultrathin oxides based on the theory of point contact conduction », *Microelectronic Engineering* 1999, **48**, 171-174.
- [91] Miranda E., Sune J., « Mesoscopic approach to the soft breakdown failure mode in ultrathin SiO₂ films », *Appl. Phys. Lett.* 2001, **78** (2), 225-227.
- [92] Avellan A., Miranda E., Schroeder D., Krautschneider W., « Consistent model for the voltage and temperature dependence of the soft breakdown conduction mechanism in ultrathin gate oxides », *Microelectronic Engineering* 2004, **72**, 136-139.
- [93] Miranda E., Mallaina E., « Single equation model for low and high voltage soft breakdown conduction », *Microelectronics Reliability* 2004, **44**, 163-166.
- [94] Penetta C., Reggiani L., Trefan G., « A percolative model of soft breakdown in ultrathin oxides », *Physica B* 2002, **314**, 400-403.
- [95] Bandiera L., Cester A., Paccagnella A., Ghidini G., Bloom I., « Detrended fluctuation analysis of the soft breakdown current », *Microelectronic Engineering* 2001, **59**, 49-53.
- [96] Radhakrishnan M.K., Pey K.L., Tung C.H., Lin W.H., « Physical analysis of hard and soft breakdown failures in ultrathin oxides », *Microelectronics Reliability* 2002, **42**, 565-571.
- [97] Pompl T., Engel C., Wurzer H., Kerber M., « Soft breakdown and hard breakdown in ultra-thin oxides », *Microelectronics Reliability* 2001, **41**, 543-551.
- [98] Suehle J.S., Zhu B., Chen Y., Bernstein J.B., « Detailed study and projection of hard breakdown evolution in ultra-thin gate oxides », *Microelectronics Reliability* 2005, **45**, 419-426.
- [99] Brisbin D., Chaparala P., « Influence of test techniques on soft-breakdown detection in ultra-thin oxides », *Microelectronics Reliability* 2002, **42**, 35-39.
- [100] Bruyère S., Monsieur F., Roy D., Vincent E., « Failures in ultra thin oxides: stored energy or carrier energy driven? », *Microelectronics Reliability* 2001.
- [101] Miranda E., Jimenez D., « A new model for the breakdown dynamics of ultra-thin gate oxides based on the stochastic logistic differential equation », *Proc. of 24th International Conference on Microelectronics MIEL'04* 2004, vol.2, 625-628.

- [102] Maserjian J., Peterson G. and Svensson C., "Saturation capacitance of thin oxide MOS structures and the effective surface density of states of silicon", *Solid-State Electronics* 1974; **17**, 335-339.
- [103] Leroux C., Ghibaudo G., Reimbold G., Clerc R., Mathieu S., "Extraction of oxide thickness in the nanometer range using C(V) characteristics", *Microelectronic Engineering* 2001, **59**, 277-283.
- [104] Los H. et al., "Quantum mechanical modelling of electron tunnelling current from the inversion layer of ultra-thin oxide n-MOSFET's", *IEEE Electron Device Lett.* 1997; **18** (5), 209-211.
- [105] Ghatti A., "Characterization and modeling of the tunnelling current in Si-SiO₂ structures with ultra-thin oxide layer", *Microelectronic Engineering* 2001, **59**, 127-136.
- [106] Di Maria D. J., Stathis J. H., "Anode hole injection, defect generation, and breakdown in ultrathin silicon dioxide films", *J. Appl. Phys.* 2001, **89** (9), 5015-5024.
- [107] Schuegraf K. F., Hu, C., "Hole injection SiO₂ breakdown model for very low voltage lifetime extrapolation", *IEEE Trans. Electron Devices* 1994, **41** (5), 761.
- [108] Simonetti O., Maurel T. and Jourdain M., "Characterization of ultrathin metal-oxide-semiconductor structures using coupled current and capacitance-voltage models based on quantum calculation", *J. Appl. Phys.* 2002, **92**, 4449-4458.
- [109] Ielmini D., Spinelli A., Rigamonti M.A., Lacaita A. L., "Modeling of SILC based on electron and hole tunneling-part I : Transient effects", *IEEE Trans. Electron. Devices* 2000, **47**, 1258-1265.
- [110] Ielmini D., Spinelli A., Rigamonti M.A., Lacaita A. L., "Modeling of SILC based on electron and hole tunneling-part II : Steady-state", *IEEE Trans. Electron. Devices* 2000, **47**, 1266-1272.
- [111] Thèse de l'université de Reims Champagne-Ardennes, "Contribution à l'étude de la dégradation des couches d'oxyde de silicium ultra-minces, sous contraintes électriques", Reims, Décembre 2002.
- [112] Degreave R., Kaczer B., De Keersgieter A., Groeseneken G., "Relation between breakdown mode and location in short-channel nMOSFET and its impact on reliability specification", *IEEE Trans. Dev. Mat. Reliability* 2001, **1**, 163-169.
- [113] Kar S., "Ultimate gate oxide thickness set by recombination-tunneling of electrons via Si-SiO₂ interface traps", *J. Appl. Phys.* 2000, **88**, 2693-2695.
- [114] Chen W., Ma T., *IEEE Electron Device Lett.* 1991, **12** , 393.
- [115] Bravaix A., Goguenheim D., Revil ., Rubaldo L., Efficiency of interface trap generation under hole injection in 2.1nm thick gate-oxide P-MOSFET's, *Journal of Non-Crystalline Solids* 2003, vol. 322, 139-146.
- [116] Di Maria D. J., Cartier E., Arnold D., "Impact ionisation, trap creation, degradation and breakdown in silicon dioxide films on silicon", *J. Appl. Phys.* 1993; **73** , 3367.
- [117] Massobrio G., Antognetti P., "Semiconductor Device Modeling with Spice", Mac Graw Hill Edition 1988, 242.
- [118] Vogel E.M., Suehle J. S., Edelstein M. D., Wang B., Chen Y., Bernstein J. B.,

- “Reliability of ultrathin silicon dioxide under combined substrate hot-electron and constant voltage tunnelling stress”, *IEEE Trans. Electron Dev.* 2000; **47**, 1183-1191.
- [119] Meinertzhagen A., Petit C., Zander D., Simonetti O, Maurel T. and Jourdain M, "Low voltage stress induced leakage currents and surface states in ultrathin (1.2-2.5nm) oxides", *Journal of Applied Physics* 2002, **91** (4), 2123-2132.
- [120] DiMaria D. J., “Defect generation under substrate-hot-electron injection into ultrathin silicon dioxide layers”, *Appl. Phys. Lett.* 1999, **86** (4), 2427-2428.
- [121] DiMaria D. J., “Defect generation in field-effect transistors under channel-hot-electron stress”, *J. Appl. Phys.* 2000, **87** (12), 8707-8715.
- [122] Umeda K., Tomita T., Tanigushi K., “Silicon dioxide break-down induced by SHE (Substrate hot electron) injection”, *Electron. Commun. Jpn.* 1997, Pt. 2 vol.80, 20.
- [123] Nicollian P. E., “Dielectric Reliability scaling trends : models and mechanisms”, tutorial at IEEE International Reliability Physics Symposium Proceedings 2002.

**CHAPITRE 2 : ANALYSE DYNAMIQUE DE LA FIABILITE PORTEURS CHAUDS
DES TRANSISTORS MOSFETS**

(Collaboration: Alain Bravaix (ISEN-Toulon), STMicroelectronics Crolles 1996–2004)

1. Introduction

L'objectif de ce travail était de mettre au point et de qualifier une méthode fiable d'extrapolation des temps de vie des dispositifs MOSFET en fonctionnement réel (dynamique) à partir des mesures effectuées en statique. Pour cela, nous avons dû, en plus des résultats de temps de vie statiques, connaître les dépendances temporelles des tensions de grille $V_G(t)$, de drain $V_D(t)$ et de source $V_S(t)$, ces variations dépendent évidemment du type de fonctionnement du transistor (inverseur, SRAM, ROM, transistor de passage ...). La technique d'extrapolation que nous avons mise au point, basée sur l'hypothèse Quasi-Statique, repose sur le calcul du rapport cyclique "X/T", X représentant le temps par cycle T pendant lequel le transistor MOS subit les effets des dégradations dues aux électrons chauds. Cette méthode, une fois validée, permet un gain de temps important dans les études de vieillissement en ce qui concerne l'extrapolation aux conditions réelles de fonctionnement.

2. Rappel sur les injections de porteurs chauds en régime statique

2.1 Modes de dégradation

Lorsque le transistor MOSFET est polarisé en régime saturé (forte valeur de la tension de drain V_{DS}), un très fort pic de champ électrique est présent dans la zone de pincement entre l'extrémité du canal et le drain. Ce champ électrique important accélère fortement les porteurs libres du canal qui acquièrent alors suffisamment d'énergie pour être injectés dans l'oxyde au-dessus de la barrière Si/SiO₂ ou induire le phénomène d'ionisation par impact en générant des paires électron-trou additionnelles (porteurs "chauds") pouvant aboutir au phénomène d'avalanche au niveau du drain (DAHC Drain Avalanche Hot Carriers). Ces porteurs chauds injectés dans l'oxyde constituent une des principales causes de dégradation et de vieillissement du transistor MOSFET et leur maîtrise a constitué un challenge majeur pour la minimisation des composants. Le principal "marqueur" de la présence de porteurs chauds est l'apparition d'un courant substrat I_{SUB} constitué des trous issus de l'ionisation par impact dans le NMOSFET ($I_{SUB}<0$) et d'électrons ($I_{SUB}>0$) dans le PMOSFET. Le courant de grille constitué des porteurs injectés dans l'oxyde ayant atteint la grille est également un marqueur significatif mais dans de nombreux cas difficile à mesurer car très faible. La nature et le nombre de porteurs générés et injectés dépendent certes du champ longitudinal E_{lat} (le long du canal) essentiellement déterminé par la tension de drain, mais également fortement du champ vertical E_{ox} dans l'oxyde, surtout influencé par la tension de grille V_G . De fait, à V_D fixé, plus V_G augmente, plus le courant de drain I_{DS} augmente, mais le champ vertical diminue au voisinage du drain et l'augmentation de la tension de saturation de drain fait également baisser le champ longitudinal. En conséquence, le maximum de courant substrat (et donc du phénomène d'ionisation par impact) survient lorsque qu'un compromis est trouvé entre ces différents phénomènes, obtenu dans le NMOSFET pour $V_G \approx V_{DS}/2$.

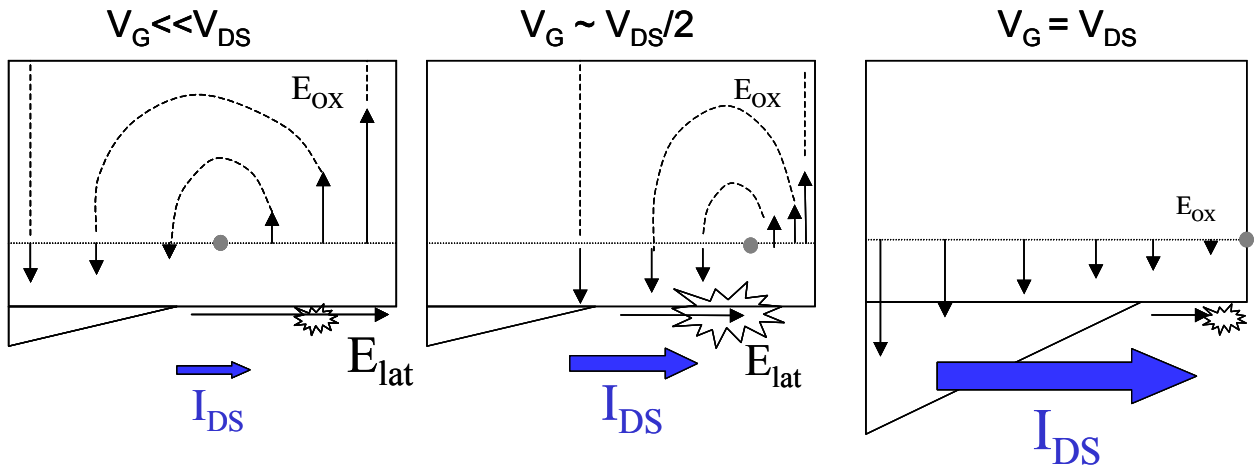


Figure 1: Illustration des différentes conditions de polarisation et de champ lors des injections de porteurs chauds dans un NMOSFET

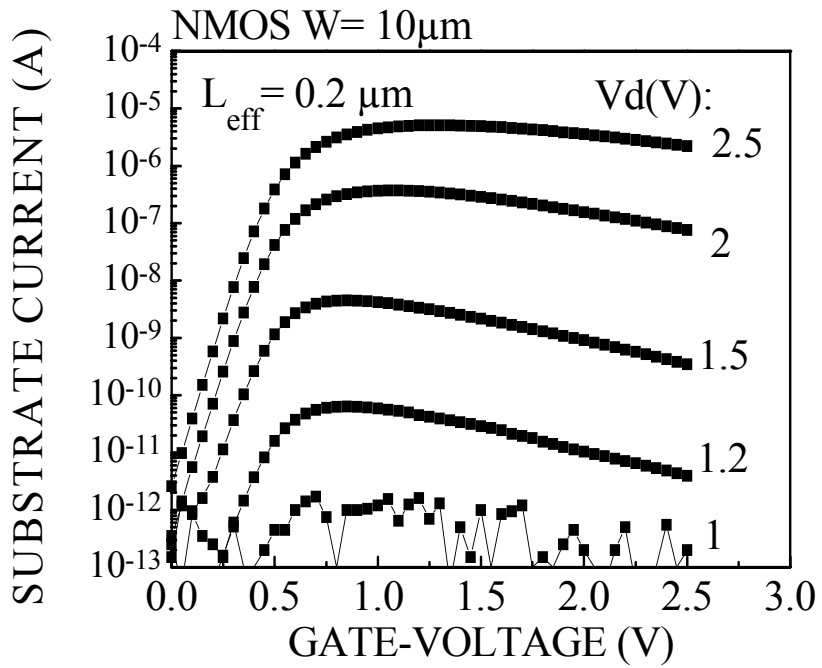


Figure 2: Courant substrat en fonction de la tension de grille dans un NMOSFET pour différentes valeurs de la tension de drain, caractéristique du phénomène d'ionisation par impact.

2.1.1 Cas du NMOSFET

Dans le NMOSFET, le dommage dû aux porteurs chauds est maximal lorsque les injections de porteurs chauds (HCI: *Hot Carrier Injection*) sont réalisées au maximum de courant substrat I_{SUB} , ce qui survient lorsque la tension de grille se situe dans l'intervalle $V_G \approx [V_D/3 - V_D/2]$ ([1-4]). Lorsque $V_G < V_D/2$, les conditions de champ et d'ionisation par impact sont telles que des électrons et des trous peuvent être injectés dans l'oxyde [5]. La dégradation du NMOSFET se traduit essentiellement alors par une augmentation de la tension de seuil V_{TH} , et une diminution du courant de drain I_{DS} ainsi que du maximum de transconductance g_m . Cette dégradation est principalement due au piégeage d'une charge négative sur des pièges dans l'oxyde ou sur des états d'interface de type plutôt accepteurs créés par le stress. Les dégradations relatives de ces paramètres ($\Delta I_{DS}/I_{DS}$, $\Delta g_m/g_m$, $\Delta V_{TH}/V_{TH}$) suivent des cinétiques temporelles en loi de puissance:

$$\frac{\Delta P}{P_0} = A.t^n \quad (1)$$

où t est le temps de stress, P une des quantités précédentes et A un paramètre qui dépend de V_{DS} et de la technologie [1]. L'exposant n prend des valeurs entre 0.5 et 0.7 lorsque le vieillissement est réalisé au maximum de courant substrat [1, 2, 5], valeur caractéristique correspondant à la prédominance de la création d'états d'interface, révélés par pompage de charge [2]. Pour des valeurs de $V_{G-stress}$ plus faibles, la pente de la loi de puissance diminue (0.2-0.3) pour V_{TH} , I_{DS} et g_m , alors même que des mesures CP montrent que la création d'états d'interface obéit toujours à une loi de puissance en $t^{0.5}$ [2-4]. Ceci provient du fait que, pour les faibles valeurs de V_G des pièges à trous ou électrons sont créés dans l'oxyde avec une cinétique plus lente, en même temps que les états d'interface, ce qui complique l'interprétation [6]. Ces pièges d'oxyde ont pu être révélés par des injections non-stressantes post-stress réversibles d'électrons ou de trous, phénomène uniquement observé lorsque le stress était effectué à bas V_G [2,4,6,7,8].

Au maximum de courant substrat, la pente de $n=0.5-0.7$ est très clairement corrélée à la création d'états d'interface. Deux modèles peuvent expliquer cette dépendance. Le premier et plus ancien (*lucky electron model*) relie cette pente à la création d'états d'interface par ceux des électrons "chauds" ayant une énergie supérieure à 3.7eV au-dessus bas de la bande de conduction du silicium. Ce seuil en énergie et la dépendance en temps observés sont reliées à la dépassivation des centres Pb à l'interface Si-SiO₂, via la rupture des liaisons Si-H par les électrons chauds [1]. Le second modèle utilise l'injection simultanée d'électrons et de trous pour expliquer la création d'états d'interface. C'est un processus en deux étapes (*two-step model*), dans lequel les trous sont d'abord piégés dans une zone proche de l'interface (typiquement à moins de 3nm), puis dans lequel les électrons injectés ensuite, en se recombinant sur les trous piégés, initient ou catalysent la formation d'états d'interface. Les ordres de grandeur des taux de génération d'états d'interface (nombre d'états créés par porteur injecté) estimés par pompage de charge sont $G_{it,e} \approx 10^{-7}-10^{-6}$ et $G_{it,h} \approx 10^{-3}-10^{-2}$ pour une génération par électrons ou par trous respectivement [2], la tendance $G_{it,h} \gg G_{it,e}$ étant toujours vraie.

A faible V_G , les trous chauds sont injectés et se piègent des défauts donneurs pré-existant dans l'oxyde, avec une probabilité très élevée (entre 0.1 et 0.5) [2,9]. Cette charge positive piégée peut partiellement compenser la charge négative qui se piège sur les états d'interface. Enfin, à fort V_G (i.e. $V_G \approx V_{DS}$), seuls des électrons sont injectés dans l'oxyde, et il

en résulte un taux de création d'états d'interface. La dégradation est alors surtout due à un piégeage de charges négatives sur des pièges d'oxyde pré-existants ou créés par le stress lui-même. On retrouve alors une loi de puissance en $A.t^n$ avec des valeurs de n entre 0.2 et 0.3 [3, 6, 10-13], la réduction de l'exposant pouvant s'expliquer par la répulsion coulombienne due aux électrons piégés [6]. Les taux de génération obtenus par pompage de charge (nombre de pièges par porteur injecté) pour la condition $V_G=V_D$ sont obtenues autour de 10^{-9} - 10^{-8} [7], et ce très faible taux oblige à des durées de stress très longues pour observer les dégradations.

Avec la réduction des dimensions, des structures LDD (*Lightly Doped Drain*) sont utilisées dès que la longueur de grille devient inférieure à $1\mu\text{m}$ afin de réduire le champ latéral E_{lat} et préserver le compromis performances / fiabilité porteurs chauds. Une région faiblement dopée n^- située sous un espaceur d'oxyde connecte le canal à la région fortement dopée n^+ de drain ou de source. L'optimisation de cette zone (dopage et dimensions) est cruciale pour réduire E_{lat} tout en maintenant un courant suffisant. Vis à vis des porteurs chauds, cette région se dégrade par une combinaison d'une augmentation de la résistance série due à la zone LDD et une réduction de la mobilité des porteurs dans le canal et la zone diffusée [14,15]. Cette dégradation dépend fortement du dopage de la zone n^- . Pour de faibles valeurs de ce dopage, le composant souffre d'une augmentation importante de la résistance série due au piégeage de charges négatives et/ou à la génération d'états d'interface dans la région n^- de recouvrement entre drain et grille. Ceci induit un fort effet de saturation dans la cinétique temporelle de dégradation des caractéristiques $I(V)$ et des paramètres associés, l'exposant n devenant par ailleurs dépendant du champ de stress latéral et des conditions de mesure (V_G , V_{DS}) [14]. Le comportement de la zone LDD en dégradation dépend aussi fortement du type de dommage causé, surtout quand une charge négative se piège dans l'espaceur d'oxyde (à $V_G=V_{DS}$) [7], ce qui induit une augmentation supplémentaire de la résistance série et une dégradation du courant nominal.

2.1.2 Cas du PMOSFET

Du fait de la moindre mobilité des trous, il était classiquement admis que le PMOSFET était moins sensible aux problèmes de porteurs chauds que le NMOSFET. Néanmoins, avec la réduction des dimensions longitudinales et latérales, la fiabilité du PMOSFET a pris de plus en plus d'importance menant à de nombreuses études [2,3,16-61]. Par analogie avec le NMOSFET, le courant substrat est maximum à $V_G \approx V_{DS}/3$, mais est maintenant constitué d'électrons générés par ionisation par impact près du drain. Pour ce qui concerne le courant de grille d'électrons, ce dernier est maximal à faible V_G ($V_G \approx V_{DS}/4 - V_{DS}/5$), lorsque les conditions de champ vertical favorisent l'injection d'électrons à travers l'oxyde. En principe l'injection de trous est favorisée pour $|V_G| \geq |V_{DS}|$, mais est très difficile à mettre en évidence pour des technologies ayant des longueurs de grille supérieures à $0.5\mu\text{m}$.

A faible valeur de V_G , de nombreux électrons sont injectés dans l'oxyde autour du pic de courant de grille, et ceci génère la principale cause de dégradation dans le PMOS, à savoir le piégeage d'électrons dans l'oxyde [2,18,20,27,34-39]. La croissance de cette charge négative dans la région du drain induit une augmentation du courant de drain et de la transconductance. En attirant des trous, cette charge négative piégée agit en effet comme une "extension virtuelle" de la région de drain, provoquant un effet assimilable à une réduction de la longueur apparente du canal (*channel shortening effect*) [29,34,36,37]. Des états d'interface donneurs sont également générés, ainsi que montré par pompage de charge, mais dans les technologies jusque $0.5\mu\text{m}$, leur effet est largement masqué par la quantité importante d'électrons piégés. La dégradation est alors largement corrélée au pic de courant de grille plutôt qu'au pic de courant de substrat comme dans le NMOS [19,23,27,33]. La plupart des résultats sont en

accord avec une croissance logarithmique dans le temps de la région endommagée, qui peut être envisagée comme le remplissage spatial de pièges pré-existants à faible champ et faible dose injectée d'électrons [29,36-38]. Les lois de dégradation prennent alors la forme suivante:

$$\frac{\Delta P}{P_0} = A.Log(t) \quad (2)$$

Dans les technologies jusque 0.5µm, peu d'effet de saturation de cette loi est constaté, incluant ou pas la formation de nouveaux pièges et les effets de dépiégeage [29,36-38]. Mais dans les technologies plus récentes (à partir de 0.35µm), les effets de dépiégeage augmentant avec le champ électrique vertical, les influences relatives de la charge négative piégée et de la génération d'états d'interface donneurs (piégeant une charge positive en régime d'inversion) s'équilibrent, voire s'inversent en faveur des états donneurs. Ceci donne lieu à des effets de retournement du sens des cinétiques de dégradation, initialement dominées par le piégeage d'une charge négative, celle-ci étant ensuite masquée par la formation d'états donneurs.

De même, à $V_G \approx V_{DS}$, l'injection de trous est théoriquement favorisée, et une génération (assez faible) d'états d'interface a été observée par pompage de charge [2,33] dans les technologies supérieures à 0.5µm. Cependant, avec la réduction des dimensions, cette génération d'états d'interface devient de plus en plus significative [2,26,28,33], et provoque une réduction de la transconductance et de la valeur absolue du courant de drain. L'occurrence d'une charge positive piégée par injection de trous chauds a même été révélée dans des PMOS de longueur de grille 0.4-0.25µm ayant des épaisseurs d'oxyde de 6-10 nm. Dans les PMOS de technologies inférieures à 0.35µm de longueur de grille, le pire cas de dégradation du PMOS devient même l'injection de trous chauds ou tunnel, et n'est plus l'injection et le piégeage d'électrons à faible V_G à cause des effets de dépiégeage dus au fort champ dans l'oxyde.

2.2 Technique d'extrapolation de temps de vie statique

Le temps de vie d'un dispositif τ est défini comme le temps de stress requis pour que la dégradation relative d'un paramètre électrique donné par rapport à sa valeur initiale ($\Delta I_d/I_{d0}$ en régime linéaire ou saturé pour la courant de drain, $\Delta V_{th}/V_{th0}$ pour la tension de seuil, $\Delta G_m/G_{m0}$ pour la transconductance) atteigne un certain niveau (amplitude de 5 ou 10% en général). La pertinence de ce critère dépend évidemment du type de fonctionnement du transistor. Représentant de façon générale cette variation relative par " Δ ", il est clair que Δ dépend des tensions de stress V_G et V_D ainsi que du temps de stress écoulé t :

$$\Delta = \Delta(f(V_G, V_D), t) \quad (2)$$

C'est un fait expérimental généralement bien admis que la variation temporelle de Δ suive (pour le NMOSFET) une loi de puissance [1]:

$$\Delta = \Delta_0 t^n \quad (3)$$

dans laquelle la pente " n " semble une caractéristique du mécanisme de dégradation et du type de défauts responsables du vieillissement. On suppose que la dégradation est, en première approximation, proportionnelle au courant I_{inj} (ou à la charge Q_{inj}) injecté dans l'oxyde, lui-

même relié au courant substrat I_{sub} , plus facile à mesurer par le modèle de l'électron chanceux (*lucky electron model*) [2-4]:

$$I_{inj} = B \cdot w \frac{I_{sub}^m}{I_D^{m-1}} \quad (4)$$

où B et m peuvent ici être considérées comme des constantes empiriques caractéristiques du mode de dégradation. Cette relation reste valide tant que I_{sub} et I_{inj} sont générés par un même flux d'électrons chauds dont la distribution en énergie peut être représentée par une fonction exponentielle aux hautes énergies. Définissant la temps de vie DC τ_{DC} comme le temps requis pour obtenir une certaine dégradation prédéfinie Δ_{DC} , et donc le temps nécessaire pour obtenir une charge injectée donnée Q_{inj} :

$$Q_{inj} = \int_0^{\tau_{DC}} I_{inj} dt \quad (5)$$

on obtient, pour des conditions de stress identiques:

$$\frac{\tau_{DC} I_D}{w} = C \left(\frac{I_{sub}}{I_D} \right)^{-m} \quad (6)$$

où $C = \frac{Q_{inj}}{Bw^2}$. On reporte alors les points expérimentaux de $\frac{\tau_{DC} I_D}{w}$ obtenus par mesure ou extrapolation des expériences de vieillissement accéléré statique (*ALE: Accelerated Lifetime Experiments*), où cours desquelles on utilise un V_D supérieur au V_{DD} de la technologie testée (voir exemple Fig.3), en fonction de $\frac{I_{sub}}{I_D}$ sur une double échelle logarithmique (Fig.4). On

obtient alors par ajustement du modèle (5) les valeurs de m et C (en $C/\mu m$), qui permettent ensuite d'extrapoler le temps de vie aux valeurs nominales de fonctionnement pour I_D et I_{sub} correspondant au V_{DD} de la technologie (voir Fig.4):

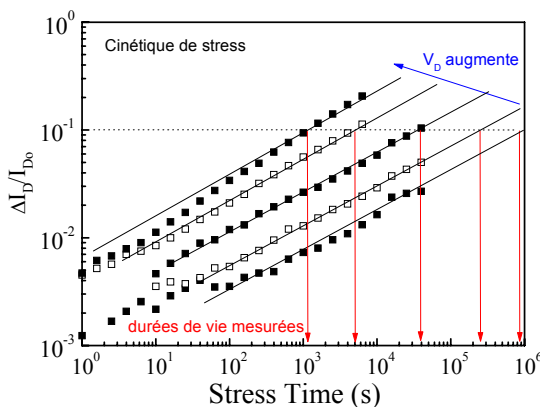


Figure 3: Obtention des durées de vie sur les cinétiques de dégradation relevées pendant des stress porteurs chauds (ALE).

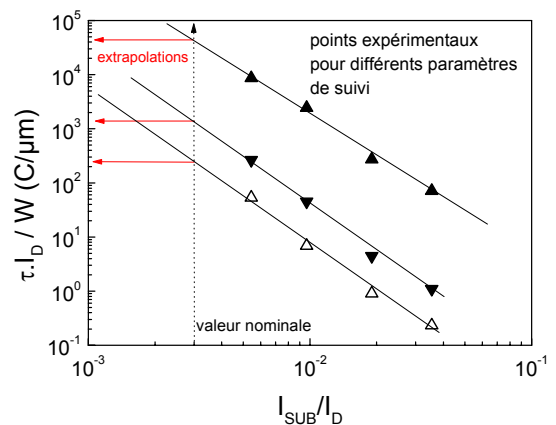


Figure 4: Extrapolation de la durée de vie aux conditions nominales à partir de celles obtenues lors d'expériences ALE.

D'autres techniques d'extrapolation que (5) sont également utilisées, parmi lesquelles on citera les deux modèles suivants:

$$\tau_{DC} = C e^{\frac{B}{V_{DS}}} \quad (7)$$

$$\tau_{DC} = C \left(\frac{I_{sub}}{I_D} \right)^m \quad (8)$$

Dans le cas d'un PMOSFET classique, la plupart des résultats expérimentaux fournissent une dépendance logarithmique de la dégradation Δ en fonction du temps, associée au piégeage progressif d'électrons sur des pièges pré-existants au-dessus du canal à faible champ et faible charge injectée (*channel shortening effect*). Par contraste avec le cas du NMOSFET, le pire-cas de dégradation dans le PMOSFET n'est plus associé au pic de courant substrat, mais au pic de courant électronique de grille obtenu à bas V_G , et il est alors préférable d'utiliser directement la valeur de ce pic de courant I_{inj} comme moniteur de la quantité de charge injectée responsable de la dégradation. Les équations permettant d'extrapoler la durée de vie deviennent alors:

$$\Delta = \Delta_0 \text{Log}(t) \quad (9)$$

$$\tau_{DC} = C (I_{inj})^{-1} \quad (10)$$

3. Injections de porteurs chauds en régime dynamique

Dans les circuits digitaux, les transistors MOSFETs ne fonctionnent que très rarement en continu (DC). C'est pourquoi les dégradations en mode AC ont suscité un grand intérêt [45,47,62-85], malgré la complexité expérimentale et d'interprétation qu'elles induisent. Une question fondamentale est cependant de savoir si les dégradations AC peuvent ou non se déduire des dégradations relevées en DC. Si la réponse est oui (cas Quasi-Statique QS), la fiabilité en conditions opérationnelles de fonctionnement est analysable correctement à partir d'un jeu de résultats DC choisi de façon appropriée. Ceci n'a rien d'évident a priori dans la mesure où les formes d'onde dynamiques appliquées à la grille, le drain et la source du transistor exposent successivement ce dernier à des configurations de polarisation variées, pendant lesquelles des trous chauds ou des électrons chauds ou les deux peuvent être injectés dans l'oxyde. Ces nombreuses conditions de polarisation obligeront à étudier un grand nombre de configurations DC pour pouvoir prédire la dégradation AC. Cette succession de périodes de dégradation correspondant à des mécanismes multiples est par ailleurs entrecoupée de périodes non dégradantes dites "froides" ou de relaxation (mais pendant lesquelles un champ peut exister dans l'oxyde et assister des mécanismes de dépiégeage localisé ou uniforme), qui correspondraient à des effets "post-stress" en DC. Quelle sera l'influence de ce dépiégeage pendant le stress AC? De plus les injections successives de trous (qui se piègent) et d'électrons sont connues pour favoriser la création d'états d'interface par recombinaison des électrons sur les trous piégés, phénomène spécifiquement AC qui ne peut pas se produire identiquement lors de stress DC stricts. Enfin, certaines configurations peuvent induire un stress bi-directionnel, induisant une dégradation côté drain et côté source, ce qui peut avoir des conséquences dramatiques, par exemple pour l'effet de réduction de la longueur apparente du canal dans le PMOSFET par piégeage d'électrons (*channel shortening effect*) [35].

Les résultats de stress dynamiques ont dans le passé fourni des résultats menant à plusieurs controverses et erreurs d'interprétations. Typiquement, il était observé que les expériences de contraintes électriques en régime dynamique induisaient des dégradations plus prononcées que les injections en mode DC [63-70]. Cependant, il est apparu qu'une part importante de cette dégradation anormale en AC provenait de transitoires de tension sur la grille ou le drain, du fait d'effets parasites capacitifs ou inductifs liés au dispositif expérimental utilisé pour connecter l'échantillon. Et pour l'essentiel, l'usage de précautions particulières (utilisation de capacités externes pour "adapter" le transistor et mise à la masse au plus près de l'échantillon) dans le montage expérimental [71] ont permis de résoudre ce problème et de ne plus observer d'effet transitoire dans la formation ou l'injection de porteurs chauds pendant les flancs de montée ou descente des signaux pour des fréquences jusqu'à 100MHz et pour des temps de montée/descente jusqu'à 3ns dans des MOSFETs de longueur de canal 0.5 μ m [35, 76-79]. Ceci signifie que les effets dynamiques liés à l'échantillon et à son insertion dans le dispositif expérimental peuvent être négligé dans l'interprétation des stress dynamiques et ne peuvent être tenus pour responsables d'une dégradation excessive du dispositif pendant le stress AC. A l'inverse, certains groupes ont reporté des exemples dans lesquels les injections AC n'induisaient pas de dommages supérieurs au cas DC [63,65,72], ou même causaient des dégâts moins importants que ne l'auraient suggéré les stress DC [73].

4. Modèle Quasi-Statique

Le modèle Quasi-Statique (QS) suppose que, si aucun effet transitoire parasite ne vient perturber le système, la dégradation dans des conditions de stress dynamiques se ramène

simplement à la somme des dégradations induites par chaque mécanisme de dégradation se succédant à chaque période du signal [9,83]. Ceci peut être formellement modélisé dans le calcul de la durée de vie quasi-statique τ_{QS} en multipliant le dommage causé par chaque mécanisme (représenté ici par l'inverse de la durée de vie DC de chaque mécanisme "i" τ_{DCi}) par un facteur de "rapport cyclique" prenant en compte la durée effective T_i (fraction du cycle total) pendant laquelle le mécanisme dégradant "i" est effectif à chaque période T . La durée de vie totale quasi-statique étant inversement proportionnelle au dommage total provoqué, elle est obtenue en sommant les inverses des durées de vie DC associées à chaque mécanisme "pondérées" par le rapport cyclique T_i/T (sorte de règle de Mathiessen):

$$\frac{1}{\tau_{QS}} = \sum_i \frac{1}{\tau_{AC,i}} = \sum_i \frac{1}{\tau_{DC,i}} \frac{T_i}{T} \quad (11)$$

Dans le cas où un seul mécanisme de génération de défauts serait impliqué pendant le cycle de dégradation AC, on retrouve alors simplement la durée de vie DC divisée par la fraction de la période θ/T durant laquelle il est effectif:

$$\tau_{QS} = \frac{\tau_{DC}}{\theta/T} \quad (12)$$

Des séries de stress DC correspondant à diverses conditions d'injections doivent être réalisées afin d'obtenir les durées de vie DC associées à chaque mécanisme de dégradation à l'aide, par exemple, du modèle utilisant le courant substrat I_{SUB} comme moniteur de la dégradation:

$$\frac{1}{\tau_{DC,i}} = \frac{1}{C_i \cdot W} \frac{I_{SUB}^{(m_i)}}{I_D^{(m_i-1)}} \quad (13)$$

Cette extrapolation permet d'extraire les valeurs des paramètres m_i et C_i pour chaque mécanisme et donc chaque région de polarisation durant le cycle, et il faudra veiller à les obtenir avec le moins d'erreur possible afin d'éviter de cumuler les incertitudes dans le calcul ultérieur. En particulier, le paramètre du transistor utilisé pour suivre la dégradation (courant de drain, transconductance, tension de seuil, courant de pompage de charge) peut influencer sur les valeurs des couples (C_i, m_i) et doit être choisi en fonction de sa sensibilité vis à vis des dommages induits par chaque mécanisme de dégradation étudié.

A partir des courbes mesurées du courant de drain $I_D(V_G, V_D)$ et du courant de substrat $I_{SUB}(V_G, V_D)$, et des chronogrammes précis de $V_D(t)$ and $V_G(t)$ pendant la séquence de stress AC, nous pouvons extraire les courbes $I_D(t)$, $I_{SUB}(t)$ and $I_G(t)$. La Figure 3 illustre une séquence typique de stress correspondant au cas de l'inverseur et les courbes I_D , I_{SUB} en fonction du temps. Dans ce cas précis, la Figure 3 montre que la dégradation porteurs chauds se concentre essentiellement pendant le front montant de la tension de grille.

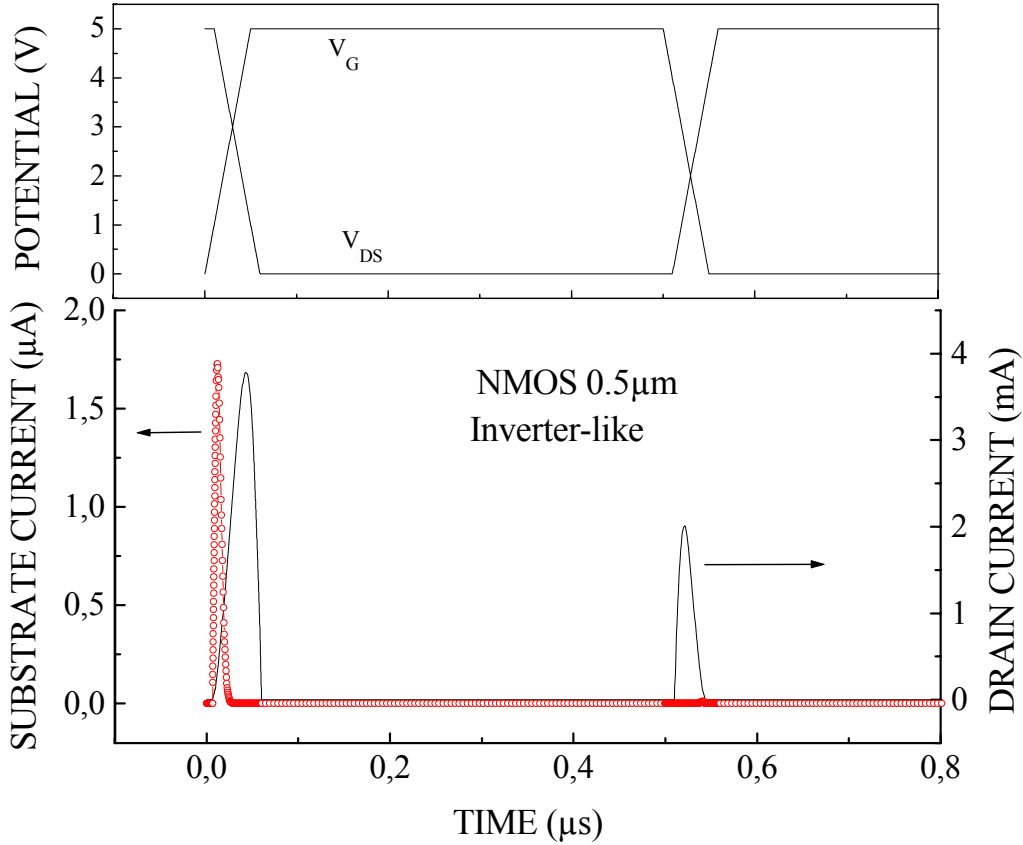


Figure 5: Formes d'onde sur la tension drain-source V_{DS} et la tension de grille V_G pendant le stress AC, typiques de la configuration "inverseur" du transistor NMOSFET et courant de drain et de substrat résultants.

Dans la mesure où V_G , V_D et donc I_D et I_{SUB} varient continûment pendant le cycle, on généralise la formule 12 dans le cas AC pour chaque mécanisme, en calculant la valeur moyenne de $\frac{1}{C_i \cdot W} \frac{I_{SUB}^{m_i}}{I_D^{m_i-1}}$ sur chaque durée T_i correspondant au $i^{\text{ème}}$ mécanisme de dégradation [9]:

$$\frac{1}{\tau_{AC,i}} = \frac{1}{C_i \cdot W} \left(\frac{1}{T} \int_{T_i} \frac{I_{sub}^{m_i}}{I_d^{m_i-1}} dt \right) = \frac{1}{C_i \cdot W} \left\langle \frac{I_{sub}^{m_i}}{I_d^{m_i-1}} \right\rangle \quad (14)$$

Cette dernière relation, combinée à la relation (10) permet d'obtenir finalement la durée de vie quasi-statique τ_{QS} en tenant compte de plusieurs mécanismes:

$$\frac{1}{\tau_{QS}} = \sum_i \frac{1}{C_i \cdot W} \left(\frac{1}{T} \int_{T_i} \frac{I_{SUB}^{(m_i)}}{I_D^{(m_i-1)}} dt \right) \quad (15)$$

L'ensemble de cette méthode a été implantée dans un logiciel sous Basic qui utilise les mesures de courbes $I_D(V_G, V_D)$, $I_{SUB}(V_G, V_D)$ pour simuler la courbe $I_{SUB}(t)$ pendant un cycle AC, qui définit les périodes T_i durant lesquelles chaque mécanisme de dégradation est

effectif, intègre les résultats des stress DC (les couples (m_i, C_i)) et finalement calcule une estimation de la durée de vie Quasi-Statique. Un organigramme de ce programme est fourni sur la Figure 6:

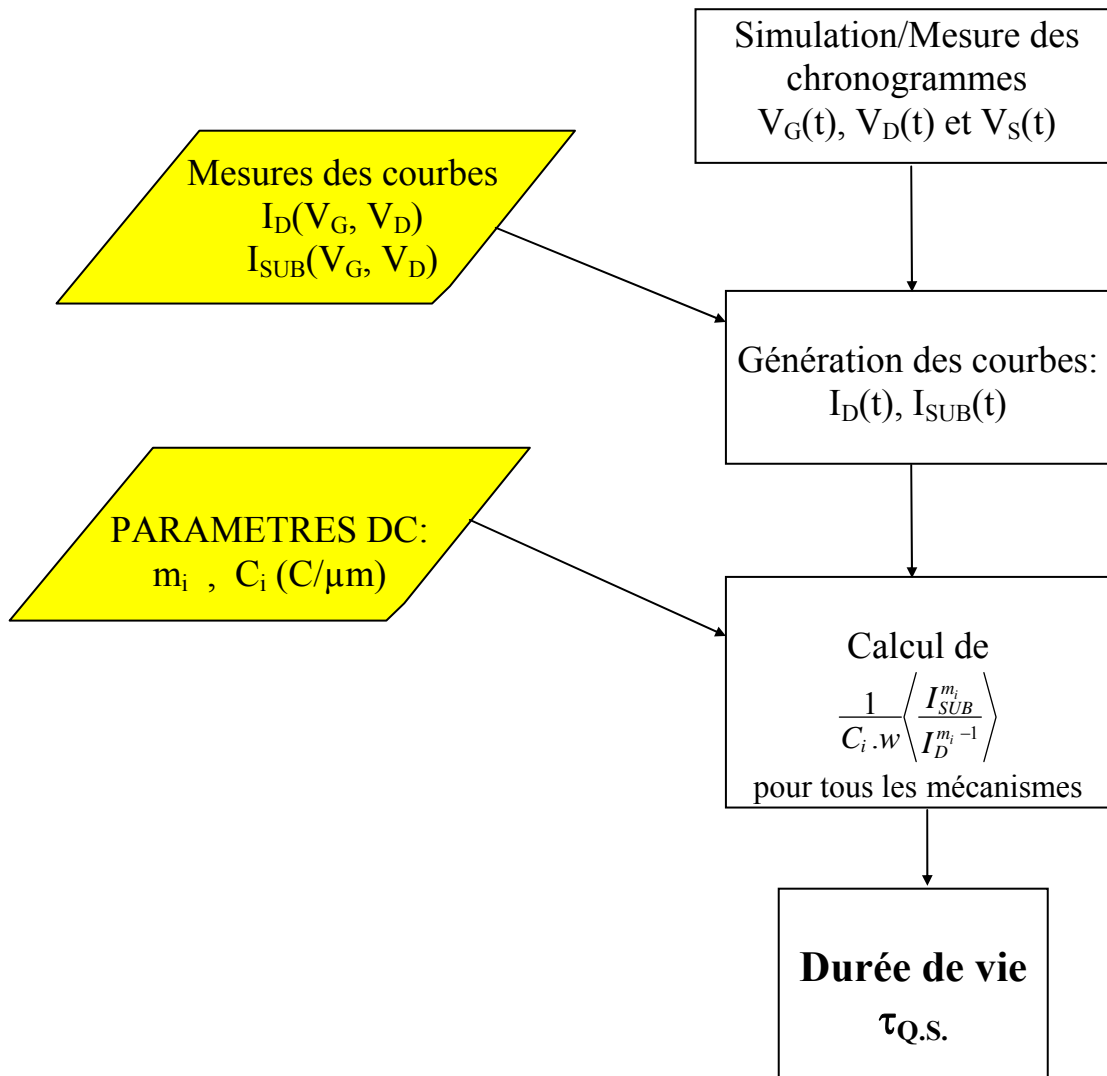


Figure 6: Organigramme du programme d'estimation des durées de vie quasi-statiques réalisé

Une façon pratique de vérifier la validité de l'approche quasi-statique consiste à réaliser des expériences à "forme constante" (*constant pulse shape experiments*), ce qui signifie que lorsque la période du signal varie, les temps de montée, de descente et de pulse changent proportionnellement de façon à maintenir un rapport cyclique constant pour chaque mécanisme. Dans ces conditions, si les hypothèses quasi-statiques sont vérifiées, les dégradations du transistor MOSFET doivent être indépendantes de la fréquence [5]. C'est ce que nous montrons sur la Figure 7 dans le cas inverseur en comparant différents cas de formes d'ondes, qui révèlent en outre une très grande sensibilité de la dégradation à la valeur du temps de montée t_r . Les estimations de durée de vie quasi-statique ont été réalisées et comparées sur la Figure 8 aux mesures effectuées jusqu'à 1MHz. Sur ce graphique, on trouve en abscisse les évaluations des valeurs moyennes de $\frac{1}{C_i \cdot W} \frac{I_{SUB}^{m_i}}{I_D^{m_i-1}}$ et en ordonnée les durées de vie, soit mesurées, soit évaluées à partir du calcul quasi-statique (et qui se trouvent alors

évidemment sur la droite de pente -1 dite "quasi-statique" du fait de l'équation 14. L'approximation quasi-statique se vérifie donc lorsque les points correspondants aux durées de vie mesurées expérimentalement se trouvent sur cette droite quasi-statique, ce qui est le cas sur la Figure 8.

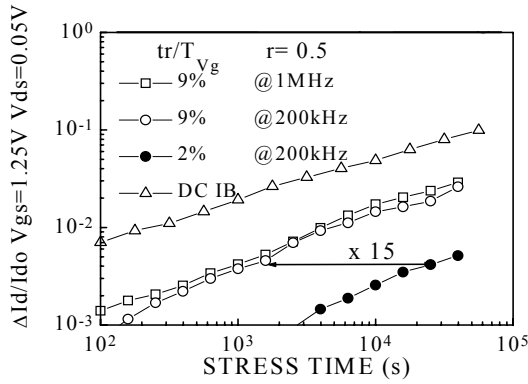


Figure 7: Cinétiques de dégradation du courant de drain dans un transistor NMOSFET ($L=0.2\mu\text{m}$) soumis à des stress DC et AC en configuration inverseur pour différentes fréquences et valeurs du ratio t_r/T et une tension de drain de 3V.

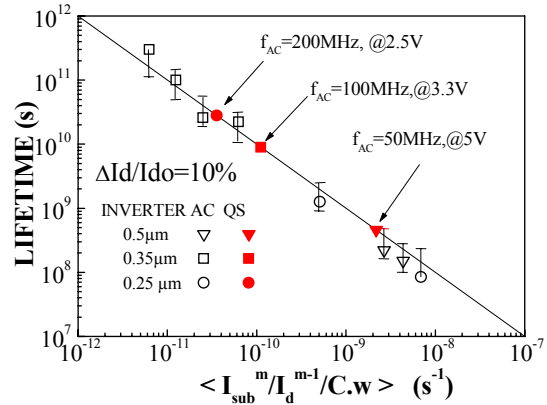


Figure 8: Tracé donnant les durées de vie mesurées en fonction des estimations quasi-statiques dans le cas de l'inverseur jusqu'à 1MHz et des estimations quasi-statiques des durées de vie jusqu'à 200MHz.

5. Cas du N-MOSFET dans la configuration transistor de passage

Un cas particulièrement critique pour la dégradation dynamique du transistor se trouve dans la configuration transistor de passage (*SRAM-like*), dont le schéma est montré Fig.9 et dont le principe est d'autoriser le passage d'une data (1 ou 0) de la source vers le drain lorsqu'un signal haut est amené sur la grille. Ce fonctionnement peut être simulé par une expérience à trois pulses et génère une succession de périodes stressantes (porteurs chauds) et de périodes non stressantes avec ou sans champ électrique pour assister le dépiégeage [45,47,48,82-85].

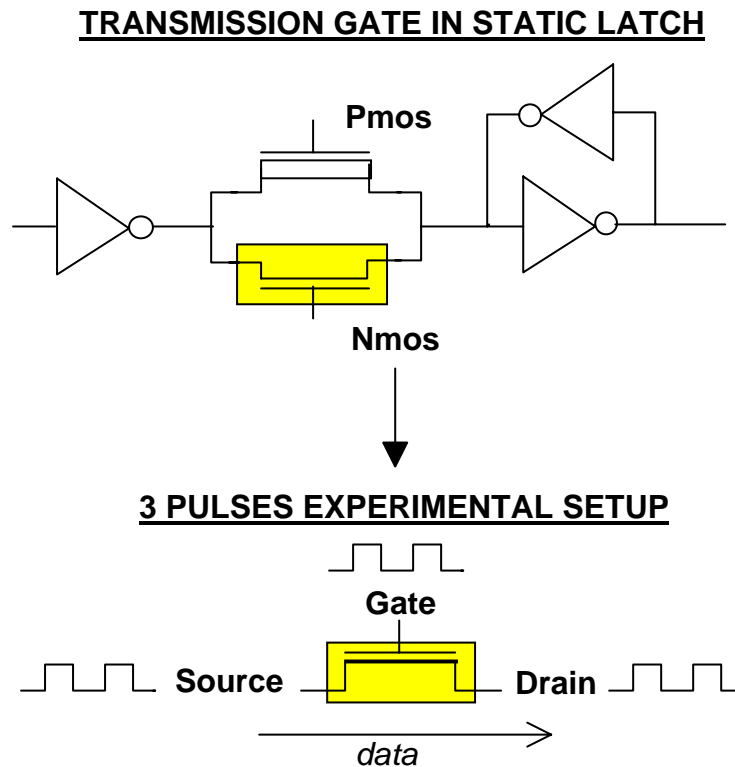


Figure 9 : Configuration transistor de passage et utilisation d'une expérience à 3 pulses (Grille, Source et Drain) pour reproduire le comportement de la cellule TPASS dans une cellule SRAM.

On détaille dans le cas du NMOS sur la Fig.10 et dans le Tableau 1 la succession des conditions et mécanismes (dégradation, relaxation ou repos) qui se succèdent pendant une période du jeu de pulses utilisé pour simuler une opération de type SRAM. Le délai τ_{pd} entre le front montant/descendant de V_G et le front montant/descendant de V_D représente le temps requis pour que la data soit propagée d'un côté (ici pris arbitrairement comme la source) à l'autre (pris arbitrairement ici sur le drain du transistor) de la cellule de passage, après que le signal autorisant le transfert ait été envoyé sur la grille. On remarque une succession de périodes "chaudes" de dégradation dans différents régimes porteurs chauds, de périodes durant lesquelles un champ électrique vertical localisé ou uniforme pouvant assister le dépiégeage est présent à travers l'oxyde, et des périodes "froides" durant lesquelles ni champ ni porteurs chauds ne sont présents. Ceci pourrait laisser penser que des effets de relaxation non quasi-statiques pourraient se produire dans cette configuration et notre objectif était de tester la pertinence de l'approche quasi-statique dans ce cas.

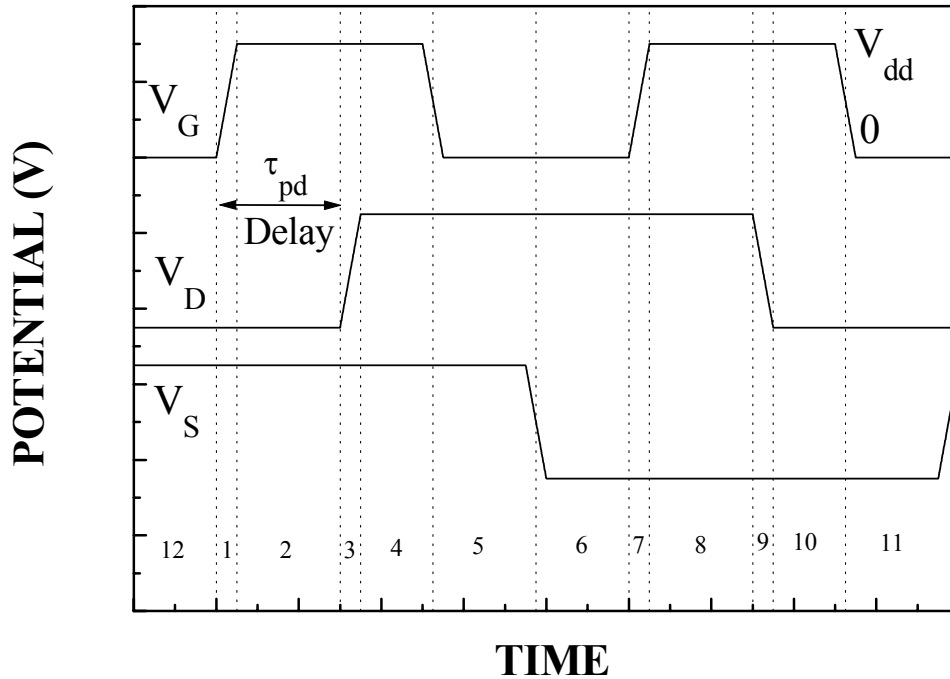


Figure 10: Pulses appliqués sur la grille (V_G), le drain (V_D) et la source (V_S) utilisés pour reproduire lors d'un stress AC les conditions de fonctionnement d'un transistor de passage dans une cellule SRAM. Le nombre affecté à chaque région correspond aux conditions de dégradation reportées dans la Table 1 et V_{dd} représente la tension d'alimentation nominale ou de stress.

Phase	1	2	3	4	5	6	7	8	9	10	11	12
Type de Période	Thot ($T_{Nox,h}$ + T_{Nit})	Thot $T_{Nox,e}$	Thot $T_{Nox,e}$	Tcold	Tdet	$T_{det,t}$	Thot ($T_{Nox,h}$ + T_{Nit})	Thot $T_{Nox,e}$	Thot $T_{Nox,e}$	Tdet	Tcold	$T_{det,s}$
Localisation des effets	S	S	S	-	uniform	D	D	D	D	uniform	-	S

Tableau 1: Conditions de dégradation survenant durant les différentes phases du stress AC de type TPASS décrit dans la Fig. 10. Thot représente une période Durant laquelle des porteurs chauds sont générés et injectés, Tcold une période durant laquelle aucun porteur chaud n'est généré et aucun champ n'est présent à travers l'oxyde, Tdet une période durant laquelle un champ uniforme pouvant assister le dépiégeage est présent à travers l'oxyde, $T_{det,s,D}$ une période Durant laquelle un champ de dépiégeage local est présent à la source ou au drain respectivement. L'indice (S: source, D: drain) précise le lieu où les phénomènes ont lieu.

Afin de mieux comprendre la succession des phases pendant la période, nous avons distingué les différents mécanismes de dégradation par porteurs chauds en fonction des valeurs relatives de V_G et $V_{DS}=V_D-V_S$, particulièrement pendant le front montant de V_G . Les différents mécanismes intervenant et les périodes correspondantes sont montrées sur la Fig.11 et dans le Tableau 2. Le point important émergeant de cette analyse est le fait que la variation du délai entre V_G et V_D influe directement sur la durée des périodes à $V_G=V_{DS}$ et de génération de porteurs chauds. Ce délai est assimilable au temps de propagation de la data, et sa valeur dans la cellule réelle dépend pratiquement de la charge capacitive de sortie de la cellule.

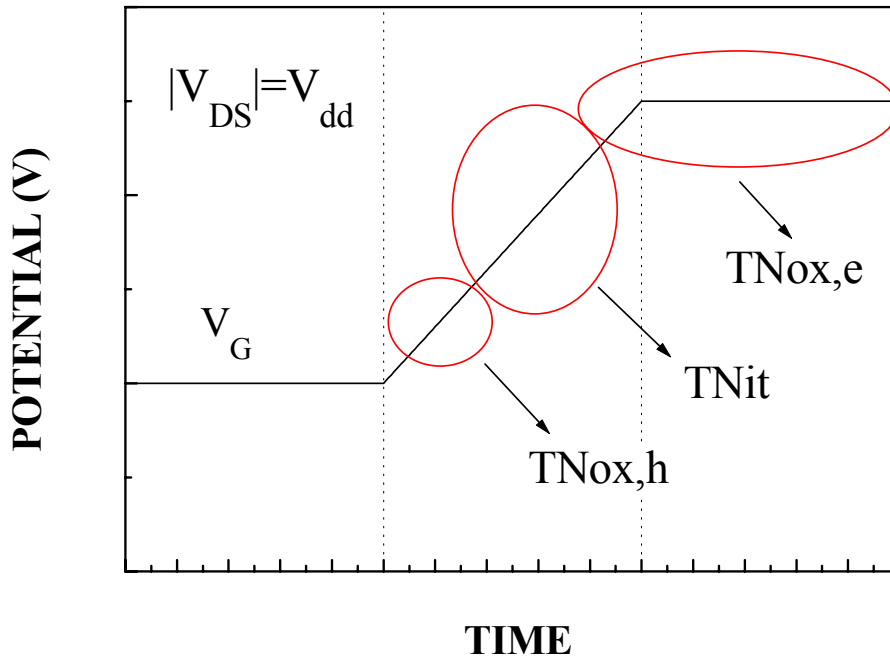


Figure 11: Description des trois principaux mécanismes de dégradation se produisant pendant les périodes "porteurs chauds" de la forme d'onde typique du fonctionnement du transistor de passage. Les conditions de polarisation et le dommage attendu sont rappelés dans la Table 2.

Tension de Grille V_G	Mécanisme de dégradation	Dommage attendu
$V_{th} < V_G < 0.2 V_{DS} $	TNox,h: hot hole injection	hole trapping interface state creation neutral trap creation
$0.2 V_{DS} < V_G < 0.7 V_{DS} $	TNit: hot hole+electron injection	interface state creation
$0.7 V_{DS} < V_G$	TNox,e: hot electron injection	electron trapping oxide electron trap creation

Tableau 2: Conditions de polarisation et dommages attendus pendant les périodes porteurs chauds durant la forme d'onde TPASS. Les défauts "neutres" à bas V_G et les pièges d'oxyde (à haut V_G) sont des pièges d'oxyde tous les deux avec probablement la même nature physico-chimique [86], mais avec une localisation différente et pouvant générer des dégradations différentes [77].

Pour ces raisons, la dégradation du NMOSFET dans la configuration TPASS n'avait pas été complètement décrite. En effet, elle ne montrait dans un premier temps que peu de différence par rapport au cas inverseur pour une même fréquence et restait beaucoup moins critique que le cas du PMOSFET en configuration TPASS, pour lequel le piégeage de charge négative des deux côtés (drain et source) renforce fortement l'effet de réduction apparente de la longueur du canal et donne des résultats plus critiques que dans le cas inverseur [35]. Pour le cas du NMOSFET, ce résultat premier résultat semblait surprenant du fait de la nature bidirectionnelle de la dégradation en configuration TPASS, alors qu'elle est unidirectionnelle dans le cas inverseur [35]. Dans le cas de cellule de transfert, la dégradation est symétrique au drain et à la source, comme montré sur la Fig.12, où on compare la dégradation du courant saturé ΔI_{DS} pendant un stress DC à $V_G=V_{DS}/2$ à un stress AC en conditions TPASS. On observe en effet pour le TPASS des dégradations similaires en conditions de mesure directe ou inverse, caractéristiques d'un dommage symétrique au drain et à la source, contrairement au cas DC où le dommage est localisé du côté du drain (dégradation en mode inverse plus importante que la dégradation en mode direct). On notera de même également pour le TPASS des dégradations similaires des paramètres mesurés en mode linéaire ou saturé. Ce premier résultat [35] semblait donc signifier que, dans le NMOSFET, la moitié du dommage au drain et la moitié du dommage à la source en configuration TPASS avaient presque le même effet que la totalité du dommage au drain comme dans le cas inverseur.

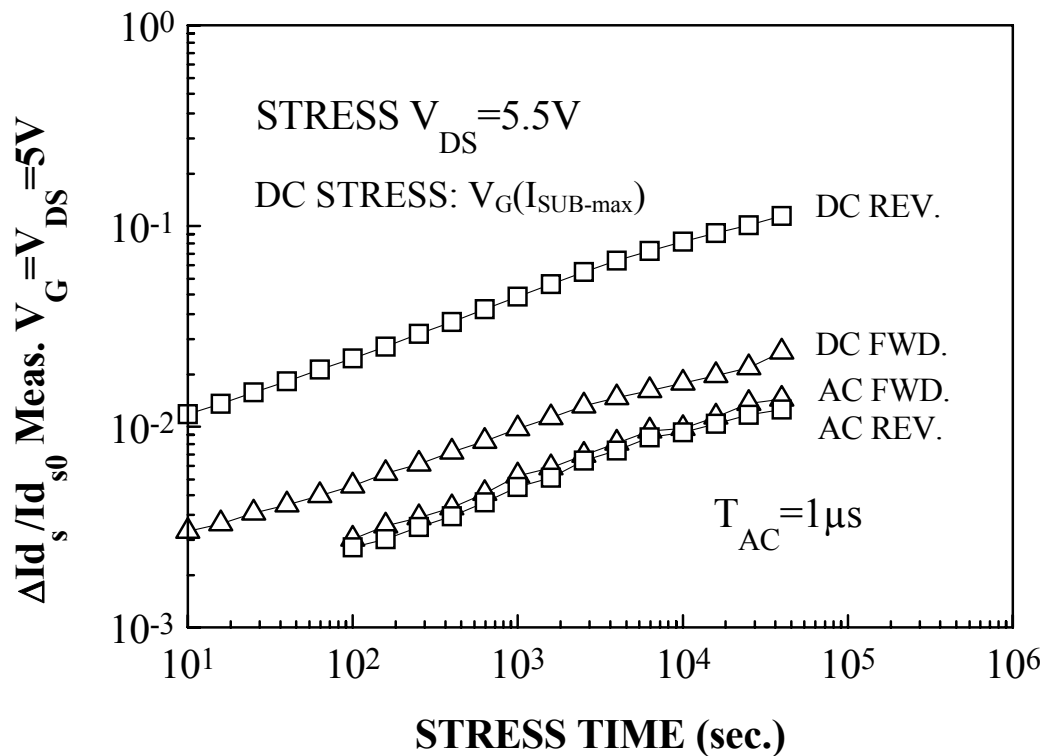


Figure 12: $\Delta I_{ds} / I_{ds0}$ en fonction de la durée de stress mesuré en régime saturé en direct(FWD) et en inverse (REV) pour un stress DC au maximum de courant substrat et pour un stress AC en mode bidirectionnel TPASS, pour un NMOS de longueur de grille $0.5\mu\text{m}$, une épaisseur d'oxyde 12nm et une technologie LDD standard. Le délai sur le drain ($\propto \tau_{pd}$) est choisi pour donner une période $T(\text{Nox},e) \approx T(\text{Nit} + \text{Nox},h) = 200\text{ns}$.

Cependant, des études en mode AC avaient également révélé [77,78] des dégradations non compatibles avec celles observées en mode DC, et notre propre étude [82,84,85] a mis en évidence une très grande sensibilité de la dégradation dans le cas du TPASS NMOS à la valeur du délai de propagation, un cas différant notablement de celui de l'inverseur. Le fait que la dégradation en mode TPASS n'est pas équivalente à celle en mode inverseur pour des périodes T_{hot} égales est mis en évidence sur la Fig.13, où on compare la dégradation en mode inverseur à deux configurations TPASS pour un NMOS $0.5\mu\text{m}$.

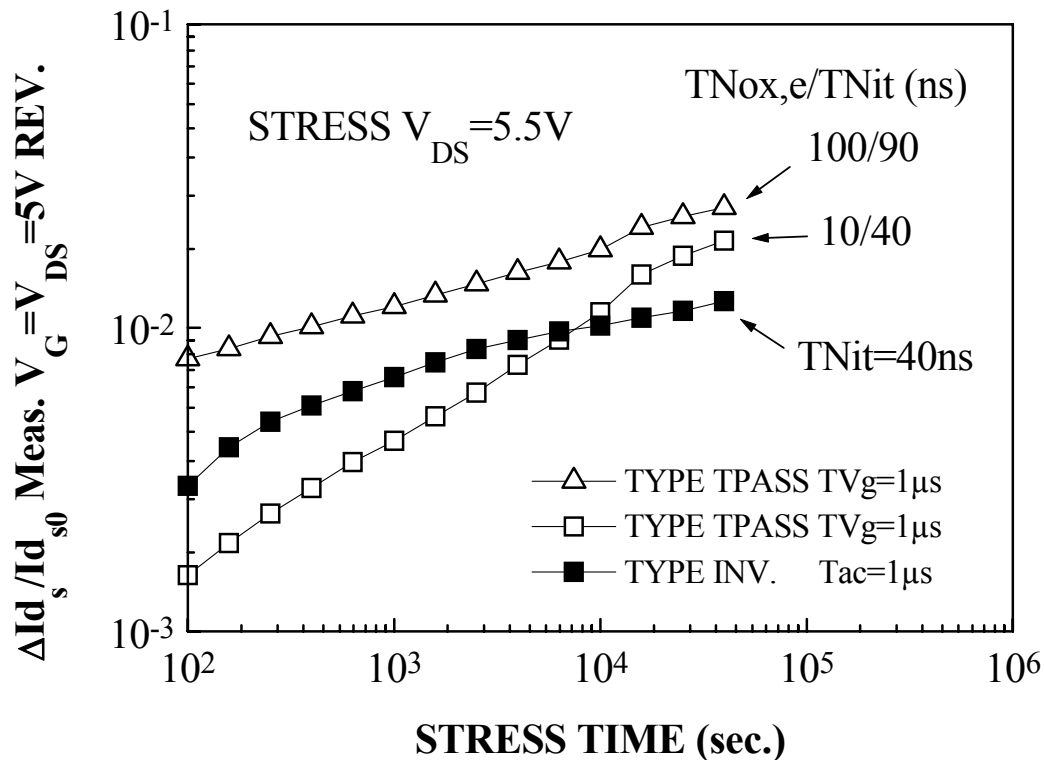


Figure 13: $\Delta I_{ds} / I_{ds0}$ mesuré en inverse en fonction du temps de stress pour deux ratios $T(\text{Nox},e)/T(\text{Nit})$ associés à deux valeurs du délai τ_{PD} . Les labels pleins correspondent à un stress AC de type inverseur avec $T(\text{Nit}) = 40\text{ns}$ pendant les transitoires.

En changeant le délai, on différencie également clairement sur la Fig.13 l'effet majoritaire de la génération de pièges d'oxyde $N_{ox,e}$ (pendant la période $0.7V_D < V_G < V_D$, favorisé dans le cas $T_{Nox,e}/T_{Nit} = 100/90$) de la génération d'états d'interface N_{it} (pendant la période $0.2V_D < V_G < 0.V_D$, favorisé dans le cas $T_{Nox,e}/T_{Nit} = 10/40$). On montre que la pente de ΔI_{DS} en fonction du temps de stress dépend fortement du ration entre les périodes $N_{ox,e}$ et N_{it} (notées $T_{Nox,e}$ et T_{Nit} respectivement). La dégradation plus importante du cas TPASS par rapport au cas inverseur peut s'expliquer par d'autres types de dégâts qui surviennent durant les injections de trous (période $V_G \approx V_{th} < 0.2V_D$), c'est à dire piégeage de trous, effets post-stress [78], et création de pièges neutres d'oxyde $N_{ox,h}$ [77,87], qui sont ensuite remplis par des injections d'électrons ultérieures pendant les périodes $N_{ox,e}$.

Nous avons dans le cas du transistor TPASS testé l'approche quasi-statique précédente, en utilisant le courant substrat comme moniteur de la dégradation, bien que le courant de grille soit un meilleur moniteur dans le cas d'une injection d'électrons à $V_G = V_{DS}$ [77,79]. La Figure 14 représente le courant de drain et de substrat pendant un cycle, obtenues à partir des caractéristiques statiques $I_{DS}(V_G, V_{DS})$ et $I_{SUB}(V_G, V_{DS})$ et des formes d'onde $V_G(t)$ et $V_{DS}(t)$,

montrant clairement que le dommage est principalement induit durant le front montant de V_G et durant le délai entre les transitions sur V_G et V_{DS} . La Figure 15 montre elle l'influence du délai sur le courant substrat. Une plateau dans la courbe $I_{SUB}(t)$ apparaît clairement pour des délais entre 2ns et 8ns, induisant une période Nox,e de taille variable.

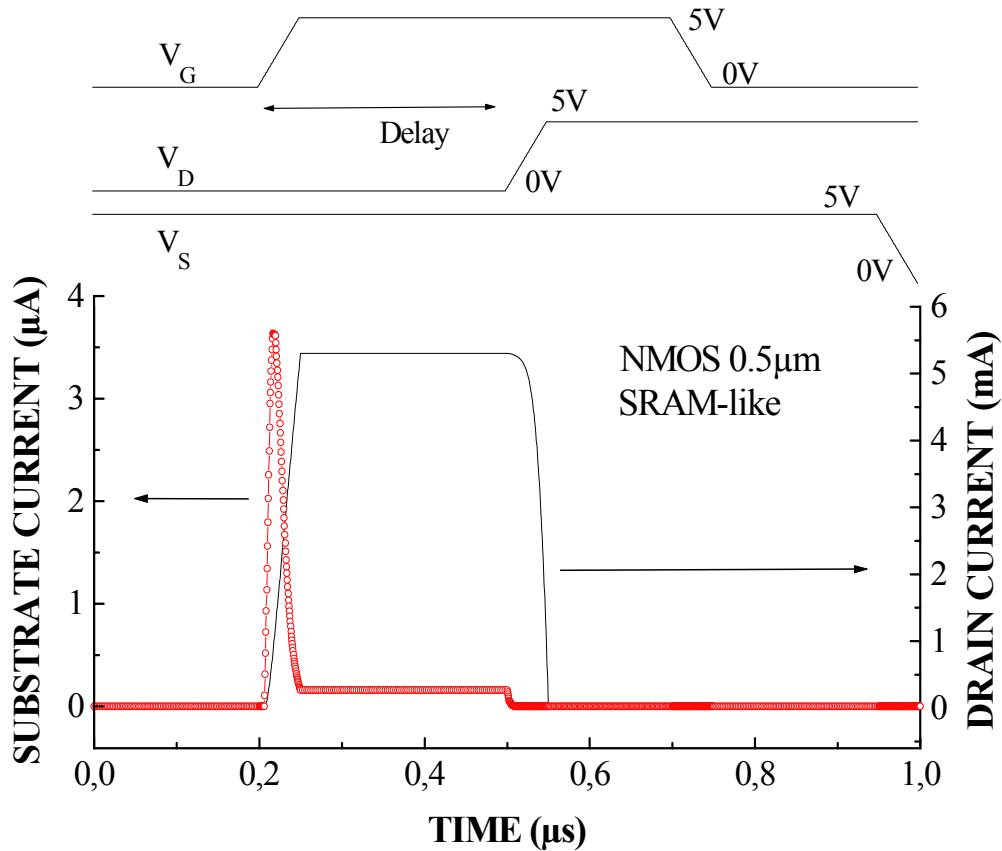


Figure 14: Courants de drain et de substrat pendant la forme d'onde AC correspondant aux conditions TPASS.

En se reportant aux périodes de dégradation décrites précédemment, pour une période en V_G de 22ns, le premier pic en I_{SUB} sur la Fig.15 correspond à une dégradation par porteurs chauds à la source, et le second pic à une dégradation par porteurs chauds au drain. Cependant, ce point n'interviendra pas dans notre évaluation quasi-statique, et nous accumulerons les dommages induits au drain et à la source comme s'ils s'accumulaient juste au drain. Suivant la procédure établie pour la procédure quasi-statique, nous extrayons des stress DC, à l'aide d'une technique optimisée minimisant la dispersion des résultats [84], les couples de constantes C_i et d'exposants m_i intervenant dans l'équation 15 pour chaque mécanisme de dégradation ($V_G=V_{DS}$, $V_G=V_{DS}/2$ et $V_G=V_{DS}/5$). Nous utilisons alors ces valeurs pour intégrer sur chaque période les courbes I_{sub}^m/I_{DS}^{m-1} dans l'équation 15 et obtenir des évaluations de durée de vie quasi-statiques dans le cas TPASS. On peut remarquer sur l'insert de la Fig.15 que, dans le calcul quasi-statique, la contribution la plus importante, même dans le cas TPASS, provient des périodes $T_{Nox,h}$ et T_{Nit} . Cependant, nos études ont aussi révélé que la dégradation dans le cas TPASS peut être très influencée par la période $T_{Nox,e}$, ce qui doit être pris en considération particulièrement dans le cas de dispositifs de faible largeur souvent utilisés dans les transistors de passage [82,84].

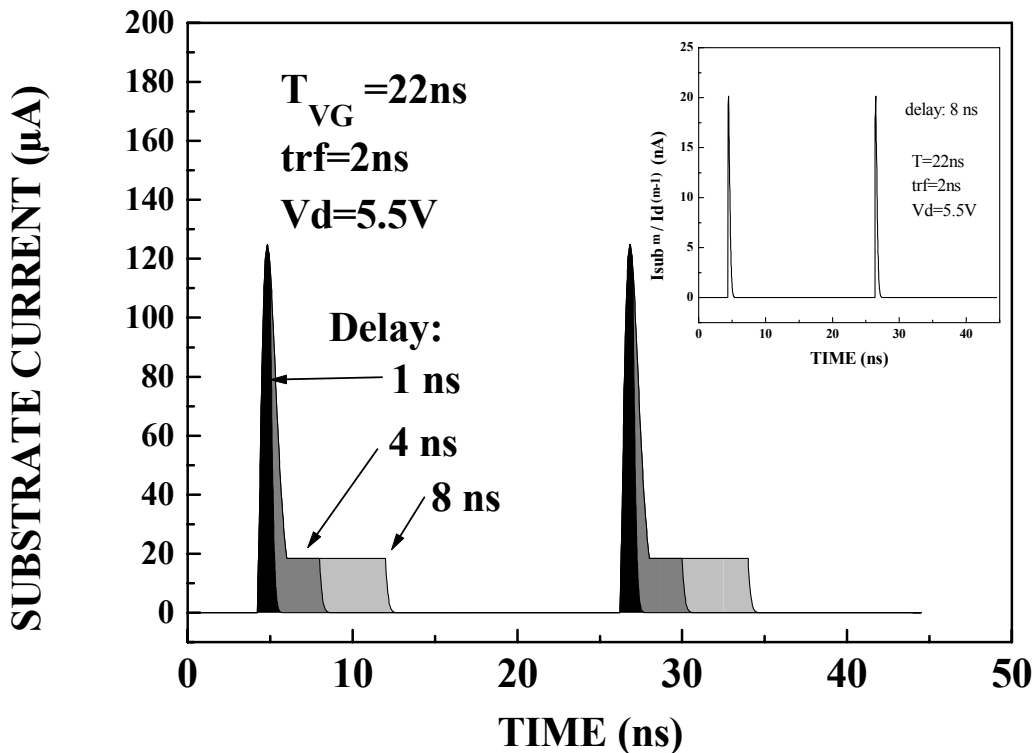


Figure 15: courbes $I_{SUB}(t)$ calculées dans un NMOSMET $W/L=10/0.5\mu\text{m}$ en fonction du délai de drain pour une période en V_G de 22ns. Les plateaux qui apparaissent pour des délais entre 2 et 8 ns correspondent à des conditions Nox,e (à $V_G=V_{DS}$) de durée variable. Cette contribution devient assez négligeable dans le modèle quasi-statique, fonction de I_{sub}^m/I_{DS}^{m-1} (voir insert).

Nous montrons sur la Fig.16 que les résultats AC expérimentaux de durée de vie sont en accord avec les évaluations quasi-statiques, représentées sur ce diagramme par la droite de pente unité (-1), effectuées à partir de l'équation 15 pour une séquence temporelle identique à celle utilisée dans les expériences. On a également reporté sur la Fig.16 des évaluations quasi-statiques pures (strictement situées sur la droite unité) pour des conditions de fonctionnement standard ($V_G=V_D=5V$, période $T_{V_G}=22\text{ns}$, temps de montée/descente $t_{r/f}=2\text{ns}$) de ces dispositifs. Sur la Fig.17, nous reportons pour ces dernières conditions la dépendance de la durée de vie quasi-statiques τ_{QS} en fonction du délai τ_{pd} , pour deux géométries ($W/L=0.6/0.5\mu\text{m}$ et $W/L=10/0.5\mu\text{m}$) et pour des conditions de polarisation identiques. Une augmentation jusqu'à un facteur 3 de τ_{QS} est mise en évidence lorsque le délai passe de 0 à 2ns. $\tau_{pd}=2\text{ns}$ correspond juste à la valeur pour laquelle $\tau_{pd}=t_{r/f}=2\text{ns}$, à savoir que la tension de drain commence à augmenter avant que la tension de grille n'atteigne sa valeur finale. Des valeurs inférieures de τ_{pd} ($\tau_{pd} < 2\text{ns}$) diminuent progressivement la dégradation des périodes Nit et Nox,e en diminuant les valeurs de V_{DS} pendant ces périodes stressantes, comme explicité sur la Fig.18. Du point de vue quasi-statique, le cas $\tau_{pd}=0$ est pratiquement équivalent au cas "inverseur", et on montre clairement sur la Fig.17 que la configuration TPASS pour de fortes valeurs du délai se montre plus dégradante que le cas inverseur, surtout à cause des valeurs élevées de V_{DS} lorsque V_G monte (alors que V_{DS} décroît lors de la montée de V_G dans le cas inverseur), et ceci en plus de l'alternance de périodes de dégradation distinctes et du caractère bi-directionnel de cette dernière (au drain et à la source).

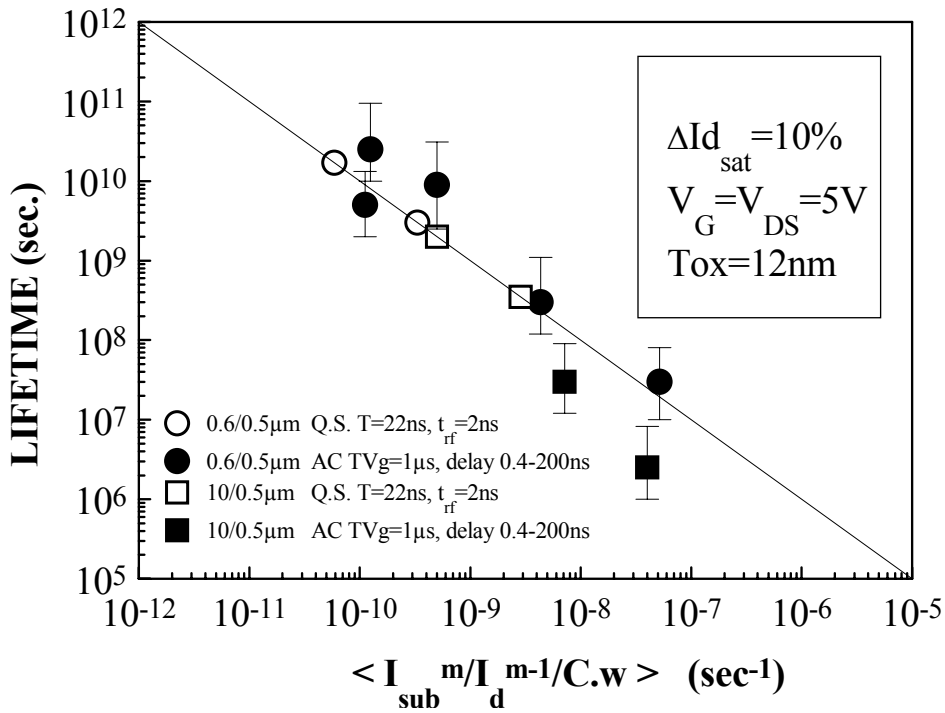


Figure 16: Durées de vie obtenues quasi-statiques (QS) et expérimentales (AC) pour diverses conditions TPass: $T_{V_G}=22ns$, $T_{Nox,e}=0.4-200ns$, $T_{Nit}=30-100ns$, $T_{Nox,h}=5-25ns$.

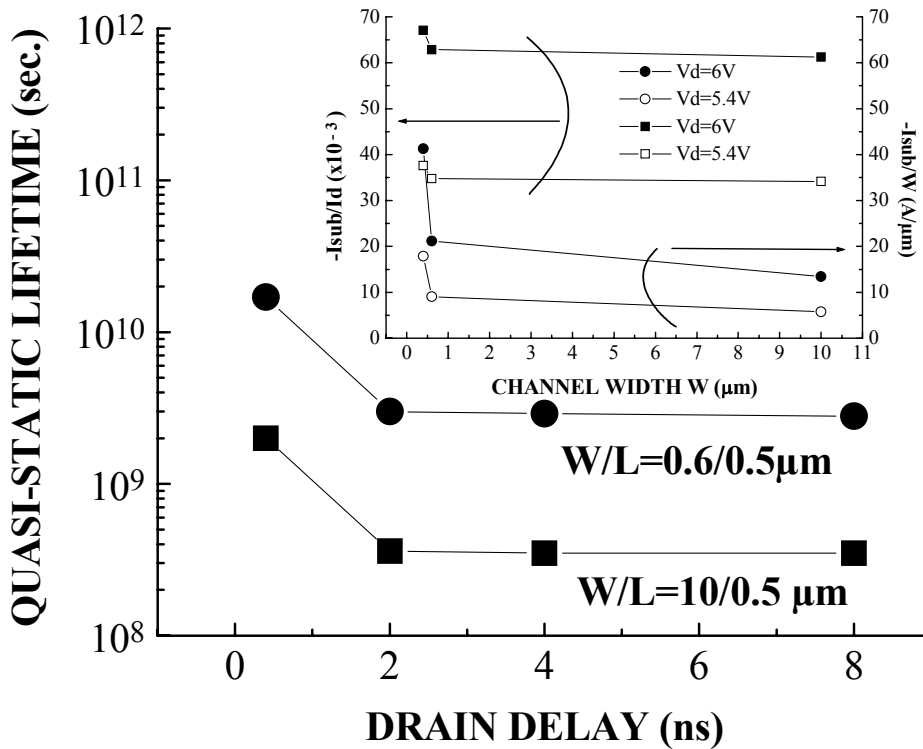


Figure 17: Durée de vie QS en condition TPass en fonction du délai de drain τ_{pd} pour $V_{dd}=5V$, $T_{V_G}=22ns$, $t_{rf}=2ns$. L'insert montre I_{SUB}/I_D et I_{SUB}/W en fonction de W .

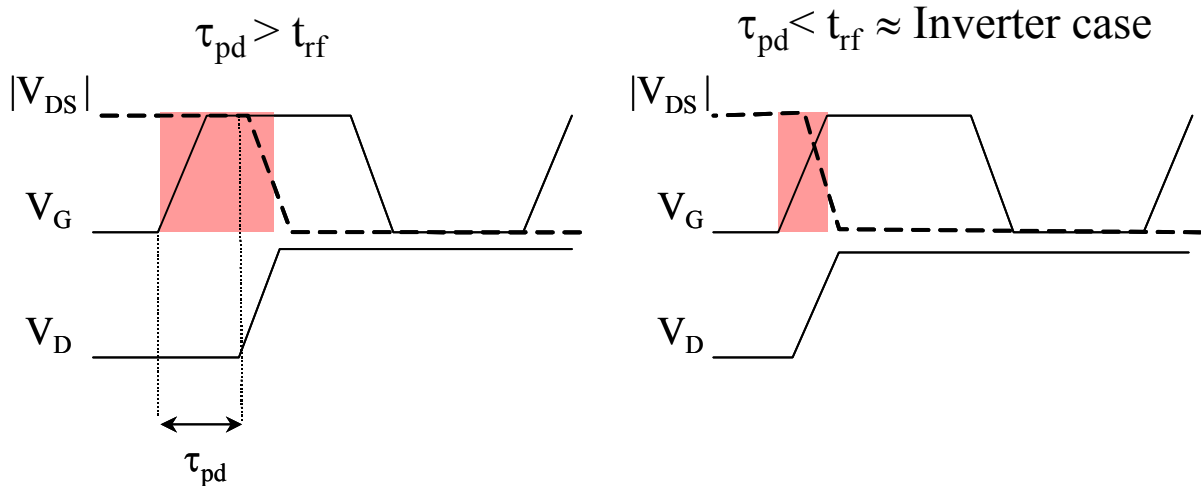


Figure 18 : Visualisation de l'effet du délai τ_{pd} de drain sur les périodes stressantes dans le cas TPASS

En conséquence, la configuration TPASS génère des durées de vie inférieures au cas inverseur pour toutes les géométries. L'importance de la dégradation sera cependant dans le cas TPASS, comme dans celui de l'inverseur, fortement dépendante des durées des fronts de montée/descente $t_{r/f}$, car ces derniers influent directement sur les valeurs de T_{Nit} et $T_{Nox,h}$. Ainsi, la charge capacitive située en sortie du TPASS, dont dépend $t_{r/f}$, influencera également beaucoup l'amplitude de la dégradation. Finalement, on notera un effet intéressant de la géométrie des dispositifs sur la Fig.17: la durée de vie prédite par l'analyse quasi-statique est meilleure pour les dispositifs étroits ($W=0.6\mu m$), en contradiction à ce que suggérerait en première lecture les résultats DC sur le courant substrat I_{SUB} (voir l'insert pour I_{SUB}/I_{DS} et I_{SUB}/W). Ces résultats, corroborés par une étude expérimentale [82,84], sont attribuables aux valeurs différentes des paramètres C_i et m_i obtenus lors des stress DC pour les transistors à petit W , qui génèrent effectivement des valeurs inférieures de I_{SUB}^m/I_D^{m-1} pour les petits W . Ceci pourrait également être relié à l'influence plus importante sur le courant I_{DS} des états d'interface créés au-dessus de la zone du canal par rapport à ceux créés sous la région LOCOS (*Bird's Beak*), considérant le fait que le rapport entre la surface de la région de Bird's Beak et la région du canal s'accroît lorsque W/L diminue [88]. Ces résultats ont été vérifiés en mode linéaire de mesure, mais avec une différence moins grande entre transistors à canal long et à canal court.

En conclusion, le pire cas correspond à un fort délai de propagation combiné à des fronts lents de montée/descente, ce qui survient dans les transistors de grande géométrie, contrairement aux indications suggérées par l'évolution du courant substrat DC. Un temps de vie minimum de $3 \times 10^8 s$ (9.5 ans) est calculé pour un NMOSFET 10/0.5 μm opérant dans des conditions réelles de fonctionnement ($T_{V_G}=22ns$, $t_{r/f}=2ns$, $V_D=5V$). Cependant, on notera que l'approche quasi-statique, si elle prédit bien l'effet de W et une aggravation des dommages subis comparativement au cas inverseur, et si elle fournit des évaluations en accord avec les mesures (à moindre fréquence), ne peut cependant expliquer totalement les dépendances observées, comme les comportements différents relevés lors de la dégradation quand le délai de propagation varie vers les temps longs (plus de 2ns – voir Fig.17). Ceci provient probablement du fait que l'approche quasi-statique présentée ici ne prend pas en compte les effets de décharge ou de relaxation de charge durant les périodes froides ou non stressantes.

6. Conclusion

Au cours de ce travail, en s'appuyant sur une bonne maîtrise et une compréhension des mécanismes de dégradation DC des transistors MOSFETs, nous avons établi une méthodologie d'estimation de la durée de vie AC de ces composants dans les configurations identifiées comme les plus critiques (inverseur ou transistor de passage). Cette méthodologie, fondée sur l'approche quasi-statique, suppose que les dommages subis par la structure lors des différentes phases d'une période typique de fonctionnement et qui font intervenir plusieurs mécanismes DC préalablement caractérisés, s'accumulent comme en DC (statique), au prorata du temps durant lesquels les mécanismes sont effectifs pendant chaque période. Les estimations et simulations réalisées dans les cas inverseur ou TPASS pour le NMOSFET montrent la pertinence générale de cette approche. Elles ont permis de discuter les paramètres critiques influençant la durée de vie des composants en AC, en mettant en exergue les instants précis pendant lesquels se concentrait le stress au cours de la séquence AC (essentiellement durant les transitions). Il ressort de l'étude que les durées des temps de montée/descente et des délais de propagation (dépendant de l'application visée) peuvent influencer de façon critique sur la fiabilité des transistors dans ces conditions et que la configuration TPASS pouvait se révéler plus dégradante que la configuration inverseur. L'approche quasi-statique, quoique validée dans de nombreux cas, ne peut cependant prendre en compte tous les mécanismes susceptibles de survenir lors des phases dynamiques (effets "post-stress"), à savoir le dépiégeage ou la relaxation de charge assistées ou non par le champ, la neutralisation des trous piégés ou la charge de pièges neutres créés par les trous lors d'injections ultérieures d'électrons, ou plus simplement des effets géométriques dus à la nature parfois bidirectionnelle et donc symétrique des dommages engendrés le long du canal. Ces effets "non quasi-statiques" peuvent se révéler prépondérants dans le PMOSFET [35, 39, 45, 47, 78-81], mais ont également été reportés dans le NMOSFET [2, 4, 7, 31, 74, 75, 77, 78, 89]. De plus, avec l'augmentation des champs électriques dus à la réduction des dimensions des dispositifs, leur prise en compte (non quasi-statique) devient primordiale dans les dernières technologies pour interpréter les comportements lors des dégradations AC et estimer les durées de vie AC correctement à partir des dégradations DC.

7. Références du chapitre 2

- [1] Hu C., Tam S.T., Hsu F., Ko P., Chan T. and Terril K.W., IEEE Trans. Electron Dev., 1985, **ED-32**, 375.
- [2] Heremans P., Bellens R., Groeseneken G. and Maes H.E., IEEE Trans. Electron Dev., 1988, **35**, 2194.
- [3] Schwerin A., Hänsch W. and Werner W., IEEE Trans. Electron Dev., 1987, **ED-34**, 2493.
- [4] Doyle B.S., Bourcier M., Bergonzoni C., Benechi R., Bravaix A., Mistry K.R. and Boudou A., IEEE Trans. Electron Dev., 1990, **37**, 1869.
- [5] Takeda E. and Suzuki N., IEEE Electron Dev. Lett., 1983, **EDL-4**, 111.
- [6] Doyle B.S., Mistry K.R. and Faricelli J., IEEE Electron Dev. Lett., 1997, **18**, 51.
- [7] Vuillaume D., Marchetaux J.C., Lippens P.E., Bravaix A. and Boudou A., IEEE Trans. Electron Dev., 1993, **40**, 773.
- [8] Bourcier M., Marchetaux J.C., Boudou A. and Vuillaume D., Appl. Phys. Lett., 1989, **55**, 2193.

- [9] Wang Cheng T., Hot Carrier Design Considerations for MOS Devices and Circuits. Edited by Van Nostrand Reinhold, 1992.
- [10] Doyle B., Bourcierie M., Marchetaux J-C. and Boudou A., IEEE Trans. Electron Dev., 1990, **ED-37**, 744.
- [11] Annunzianta R., Dalla Libera G., Ghio E. and Maggia A., Proc. ESSDERC'87, ed. A. Heuberger, H. Ryssel and P. Lange (Springer-verlag, berlin, 1987), p. 715.
- [12] Reibold G., Paviet-Salomon F., Haddara H., Guegan G. and Cristoloveanu S., Proc. ESSDERC'88, ed. J.P. Nougier and D. Gasquet (Les éditions de Physique, Paris, 1988), p. 665.
- [13] Acovic A., Dutoit M. and Ilegems M., IEEE Trans. Electron Dev., 1990, **ED-37**, 1467.
- [14] Chan V-H., Chung J-E. IEEE Trans. Electron Dev., 1995, **42**, 957.
- [15] Raychaudhuri A., Deen M-J., Kwan W.S., King M.I.H., IEEE Trans. Electron Dev., 1996, **43**, 1114.
- [16] Bravaix A., Vuillaume D., "A simple Charge-Pumping Method to measure the logarithmic Time-Dependence of Trapped oxide charge in P-MOSFET's", in ESSDERC Proc., 1992, pp. 469-472.
- [17] Ng K.K. and Taylor G.W., IEEE Trans. Electron Dev., 1983, **ED-30**, 871.
- [18] Tsou J.J., Yao C.C., Cheung R. and Chan H.W., IEEE Electron Dev. Lett., 1986, **EDL-7**, 5.
- [19] Weber W. and Lau F., IEEE Electron Dev. Lett., 1987, **EDL-8**, 208.
- [20] Hiruta Y., Maeguchi K. and Kanzaki K., IEDM Tech. Dig., 1986, 718.
- [21] Mizuno T., Kumagai J., Matsumoto Y., Sawada S. and Shinozaki S., IEDM Tech. Dig., 1986, 726.
- [22] Tang Y., Kim D.M., Lee Y. and Sabi B., IEEE Electron Dev. Lett., 1990, **EDL-11**, 203.
- [23] Doyle B.S. and Mistry K.R., IEEE Trans. Electron Dev., 1990, **ED-37**, 1301.
- [24] Reibold G., Saint-Bonnet P. and Gautier J., IEEE/IRPS, 1990, 270.
- [25] Doyle B.S. and Mistry K.R., IEEE Electron Dev. Lett., 1990, **EDL-11**, 547.
- [26] Matsuoka F., Iwai H., Hayashida H., Hama K., Toyoshima Y. and Maeguchi K., IEEE Trans. Electron Dev., 1990, **ED-37**, 1487.
- [27] Ong T., Ko P. and Hu C., IEEE Trans. Electron Dev., 1990, **ED-37**, 1658.
- [28] Tsuchiya T., Okazaki Y., Miyake M. and Kobayashi T., IEEE Trans. Electron Dev., 1992, **ED-39**, 404.
- [29] Wang Q., Brox M., Krautschneider W.H. and Weber W., IEEE Electron Dev. Lett., 1991, **12**, 218.
- [30] Bravaix A. and Vuillaume D., Microelectronic Engineering, 1992, **19**, 469.
- [31] Bellens R., Groeseneken G., Heremans P. and Maes H.E., Microelectronic Engineering, 1992, **19**, 465.
- [32] Ong T., Ko P. and Hu C., Electron Dev. Lett., 1987, **EDL-8**, 413.
- [33] Bravaix A., PhD thesis, University of Paris VII (1990).

- [34] Koyanagi M., Lewis A.G., Zhu J., Martin R.A., Huang T.Y., Chen J.Y., IEDM Proc., 1986, 722.
- [35] Weber W., Brox M., Künemund T., Mühlhoff H.M., Landsiedel D.S., Dynamic Degradation in MOSFET's - Part II: Application in the Circuit Environment, IEEE Trans. Electron Devices, 1991, **38**, 1859-1867.
- [36] Brox M., Schwerin A., Wang Q., Weber W., Trans. Electron Devices, 1994, **41**, 1184.
- [37] Woltjer R., Paulzen Ger M., Trans. Electron Devices, 1994, **41** 1639.
- [38] Woltjer R., Paulzen Ger M., Pomp H.G., Lifka H., Woerlee P.H., Trans. Electron Devices, 1995, **42**, 109.
- [39] Hu C., Semiconductor Science Technology, 1992, **7**, 555.
- [40] Bravaix A., Vuillaume D., Thirion V., Straboni A., Haond M., "Electron Trapping and detrapping in 8nm-thick gate-oxide of p⁺ poly-gate p-MOSFET's.", in ESSDERC Proc., 1994, 317-320.
- [41] Bravaix A., Vuillaume D., "Lifetime prediction method for p-MOSFET's: A comparative study of standard and charge-pumping lifetime Criteria", IEEE Trans. on Electron Dev., 1995, Vol. 42, N°1, pp. 101-108.
- [42] Bravaix A., Vuillaume D., Goguenheim D., Dorval D., Haond M., "Improved hot-carrier immunity of p-MOSFET's with 8nm thick nitrided gate-oxide during bidirectionnal stressing", Proc. INFOS'95, Microelectronic Eng., 1995, Vol. 28, pp. 273-276.
- [43] Bravaix A., Goguenheim D., Vuillaume D., Thirion V., Straboni A., Haond M., "A Plasma NH₃ Process to improve the reliability of 0.35µm P+ Poly-Gate Nitrided oxide p-MOSFET's", in ESSDERC Proc., 1996, 373-376.
- [44] Bravaix A., Goguenheim D., Haond M., Thirion V., "High Reliability of 0.35µm P+ Poly-Gate P-MOSFET's with 8nm-thick nitrided gate-oxide", in the Proc. of the French-Italian Symposium on structure and defects in SiO₂, 1996, 79-82.
- [45] Bravaix A., Vuillaume D., Goguenheim D., Lasserre V., Haond M., "Competing AC Hot-Carrier Degradation Mechanisms in Surface-Channel p-MOSFET's During Pass Transistor Operation", in IEDM Proc., 1996, 873-876.
- [46] Bravaix A., Goguenheim D., Vuillaume D., Lasserre V., Straboni A., Haond M., "Improved reliability with a new plasma NH₃ process for 0.35 µm p+-poly-gate nitrided oxide p-MOSFET's", in Amorphous and crystalline insulating thin films, Materials Research Society Symposium proceedings, 1996, Vol. 446, 91-96.
- [47] Bravaix A., Goguenheim D., Vuillaume D., Varrot M., Revil N., Mortini P., "Influences of the Different Degradation Mechanisms in AC-Stressed p-MOSFET's During Pass Transistor Operation", in Proc. INFOS and Microelectronic Eng., 1997, Vol. 32, 305-308.
- [48] Vuillaume D., Bravaix A., Goguenheim D., "Hot-Carrier Injections in SiO₂ ", Microelectronics Reliability, 1998, Vol. 38, N°1, 7-22.
- [49] Bravaix A., Goguenheim D., Revil N., Vincent E., "Turn around effects during dynamic operation in 0.25µm CMOS Technology from low to high temperature", INFOS'99 Proc. and Microelectronic Eng., 1999, Vol. 48, 163-166.

- [50] Bravaix A., Goguenheim D., Revil N., Vincent E., "Hot-Carrier damage in AC-stressed Deep-Submicrometer CMOS Technologies", 1999 IEEE Integrated Reliability Workshop (IRW) Lake Tahoe CA, Final Report, 1999, pp. 61-65.
- [51] Bravaix A., "Hot-Carrier degradation Evolution in Deep-Submicrometer CMOS Technologies", 1999 IEEE Integrated Reliability Workshop (IRW) Lake Tahoe CA, Invited Paper, Final Report, 1999, 174-183.
- [52] Bravaix A., Goguenheim D., Revil N., Vincent E., "Comparison of Low Leakage and High Speed Deep Submicron PMOSFETs submitted to Hole Injections", IEEE Integrated Reliability Workshop (IRW) Proc., 2002, 14-20.
- [53] Bravaix A., Goguenheim D., Revil N., Rubaldo L., Vincent E., "Efficiency of Interface Trap Generation under Hole Injections in 2.1nm thick gate-Oxide P-MOSFETs", Journal of Non Crystalline Solids, 2003, Vol. 322, 139-146.
- [54] Bravaix A., Goguenheim D., Revil N., Vincent E., "Deep Hole Trapping Effects in the Degradation mechanisms of 6.5 to 2nm thick gate-oxide PMOSFETs", Microelectronic Eng., 2004, 72/1-4, 106-111.
- [55] Bravaix A., Goguenheim D., Revil N., Vincent E., "Hole Injection Enhanced Hot-Carrier Degradation in PMOSFETs used for System On Chip applications with 6.5-2nm thick gate-oxide", 14th European Symposium Reliability of Electron Devices (ESREF) Proc., 2003, Microelectronic Reliability, 2004, Vol. 44 N°1, 65-77.
- [56] Huard V., Denais M., Perrier F., Revil N., Parthasarathy C., Bravaix A., Vincent E., "A thorough investigation of MOSFETs NBTI degradation", Special Issue (NBTI) of Microelectronics Reliability 2005, **45**, 83-98.
- [57] Denais M., Huard V., Parthasarathy C., Ribes G., Perrier F., Revil N., Bravaix A., "Interface Traps and Oxide Traps creation under NBTI and PBTI in advanced CMOS Technology with a 2nm gate-oxide", IEEE Integrated Reliability Workshop Proc. 2003, 1-6, *published in IEEE Trans. on Device Materials Reliab., 2004.*
- [58] Denais M., Huard V., Parthasarathy C., Ribes G., Perrier F., Revil N., Bravaix A., "New Methodology of NBTI Characterization eliminating recovery effect", published in ESSDERC'04 Proc. (Leuven), 2004, 265-268.
- [59] Denais M., Huard V., Parthasarathy C., Ribes G., Perrier F., Revil N., Bravaix A., "Oxide field dependence of interface trap generation during Negative Bias Temperature Instability in PMOS", IEEE Integrated Reliability workshop Proc. 2004, 109-112, *submitted to IEEE Trans. on Device Materials Reliab., 2004-2005.*
- [60] Denais M., Bravaix A., Huard V., Parthasarathy C., Ribes G., Perrier F., Revil N., "New Hole Trapping Characterization during NBTI in 65nm Node Technology with distinct nitridation processing", IEEE Integrated Reliability workshop Proc. 2004, 121-124, *submitted to IEEE Trans. on Device Materials Reliab., 2004-2005.*
- [61] Denais M., Bravaix A., Huard V., Parthasarathy C., Ribes G., Perrier F., Rey-Tauriac Y., Revil N., "On-the-fly" characterization of NBTI in ultra-thin gate-oxide PMOSFET's, International Electron Device Meeting Technical Digest 2004, 109-112.
- [62] Parillo L.C., Hillenius S.J., Field R.L., Hu E.L., Fichtner W. and Chen M., IEDM Tech. Dig., 1984, 418.
- [63] Weber W., Werner C. and Dorda G., IEEE Electron Dev. Lett., 1984, **EDL-5**, 518.
- [64] Chen K., Saller S. and Shah R., IEEE Trans. Electron Dev., 1986, **ED-33**, 424.

- [65] Choi J.Y., Ko P.K. and Hu C., IEEE Electron Dev. Lett., 1987, **EDL-8**, 333.
- [66] Weber W., IEEE Trans. Electron Dev., 1988, **35**, 1476.
- [67] Bellens R., Heremans P., Groeseneken G. and Maes H.E., IEDM Tech. Dig., 1988, 212.
- [68] Mistry K.R. and Doyle B., IEEE Electron Dev. Lett., 1990, **11**, 267.
- [69] Subrahmaniam R., Chen J.Y. and Johnston A.H., IEEE Electron Dev. Lett., 1990, **11**, 21.
- [70] Revil N., Cristoloveanu S. and Mortini P., Microelectronic Engineering, 1992, **19**, 461.
- [71] Bellens R., Heremans P., Groseneken G., Maes H.E. and Weber W., IEEE Trans. Electron Dev., 1990, **37**, 310.
- [72] Choi J.Y., Ko P.K. and Hu C., in "Proc. VLSI Symp.", 1987, 45.
- [73] Doyle B.S. and Dunn G.J., IEEE Electron Dev. Lett., 1991, **12**, 63.
- [74] Brox M. and Weber W., IEEE Trans. Electron Dev., 1991, **38**, 1852.
- [75] Mistry K. and Doyle B., IEEE Electron Dev. Lett., 1991, **EDL-12**, 492.
- [76] Hänsch W., Weber W., Electron Device Lett., 1989, **EDL-10**, 252.
- [77] Mistry K., Doyle B., AC versus DC Hot-Carrier Degradation in n-Channel MOSFET's, IEEE Trans. Electron Devices, 1994, **ED-40**, 96-104.
- [78] Bellens R., Groeseneken G., Heremans P., Maes H.E., Hot-Carrier Degradation Behavior of N- and P-Channel MOSFET's Under Dynamic Operation Conditions, IEEE Trans. Electron Devices, 1994, **ED-41**, 1421.
- [79] Quader K.N., Fang P.F., Yue J.T., Ko P.K., Hu C., Hot-Carrier-Reliability Design Rules for Translating Device Degradation to CMOS Digital Circuit Degradation, IEEE Trans. Electron Devices, 1994, **ED-41**, 681-691.
- [80] Bergonzoni C., Benecchi R., Libera G.D., Nannini A., Trans. Electron Devices, 1992, **39**, 1144.
- [81] Ong T., Ko P.K., Hu C., IEEE Trans. Electron Devices, 1990, **ED-37**, 1658.
- [82] Goguenheim D., Bravaix A., Vuillaume D., Varrot M., Revil N., Mortini P., in ESSDERC'96 Proc., 1996, 987.
- [83] Bravaix A., Goguenheim D., Revil N., Vincent E., Mortini P., "Projecting Device Lifetime for Scaling Technology Generations with the Quasi-Static model", in ESSDERC Proc., 1998, 552-555.
- [84] Goguenheim D., Bravaix A., Vuillaume D., Varrot M., Revil N., Mortini P., "Hot-Carrier Reliability in n-MOSFET's used as pass-transistor", Microelectronics Reliability, 1998, Vol. 38, N°4, 539-544.
- [85] Vuillaume D., Bravaix A., Goguenheim D., "Hot-Carrier Injections in SiO₂", Microelectronics Reliability, 1998, Vol. 38, N°1, 7-22.
- [86] Vuillaume D., Bravaix A., Charging and discharging properties of electron traps created by hot-carrier injections in gate oxide of n-channel metal oxide semiconductor field effect transistor, J.Appl.Phys., 1993, **73** (5), 2559-2563.

- [87] Vuillaume D., Marchetaux J.C., Lippens P.E., Bravaix A. and Boudou A., A coupled study by charge-pumping and the floating-gate techniques of hot-carrier induced defects in submicron LDD MOSFET's, *IEEE Trans. Electron Devices*, 1993, **4**, 773.
- [88] Marchetaux J.C., Doyle B.S., Boudou A., Interface states under LOCOS bird's beak region, *Solid-St. Electron.*, 1987, **30**, 745.
- [89] Tsuchiya T., Kobayashi T. and Nakajima S., *IEEE Trans. Electron Dev.*, 1987, **ED-34**, 386.

CHAPITRE 3 : INFLUENCE DES ETAPES DE PROCEDE SUR LA FIABILITE
DES DISPOSITIFS CMOS

1. Introduction

Les procédés de fabrication des dispositifs MOS sont en général optimisés pour obtenir le meilleur compromis entre performances du composant en sortie de chaîne et fiabilité de ce dernier durant son fonctionnement "normal" au sein d'un circuit. Les tests de fiabilité usuels ont pour objectif d'établir, à partir de conditions où le vieillissement est accéléré, la durée de vie estimée de la structure dans les conditions "standard" d'utilisation. Mais le process lui-même peut être à l'origine d'une dégradation (détectable mais parfois masquée ou passivée à la fin du procédé lui-même) pouvant influencer dramatiquement la tenue ultérieure des composants. On peut alors parler de défauts induits par le process (PID: Process Induced Defects). Les principaux phénomènes rencontrés au niveau de la structure MOS durant le procédé de fabrication sont les suivants:

- contamination de l'oxyde par des ions mobiles provoquant des décalages de tension de seuil et des instabilités de tension de bandes plates sous l'effet de la tension appliquée ou de la température,
- charge des niveaux de métal ou de polysilicium (wafer charging) durant des étapes utilisant des espèces chargées (implantation ionique ou gravure plasma), provoquant durant le process des injections dégradantes de porteurs à travers les oxydes de grille de la structure MOS,
- contamination du substrat par des ions métalliques (Fe, Cu ...) réduisant dramatiquement la durée de vie des porteurs libres du canal.

Le premier point fut un des éléments les plus difficiles à maîtriser au niveau des premiers procédés CMOS. Il se caractérisait par une contamination de l'oxyde de SiO_2 par des espèces mobiles ioniques (ions alcalins Na^+ , K^+ , Li^+), connues pour être très mobiles dans le SiO_2 , qui provoquaient donc un décalage négatif de la tension de bandes plates. Mais ce décalage était aléatoire car il dépendait fortement de la contamination de l'environnement et du procédé, mais surtout évoluait en fonction du déplacement de la charge mobile sous l'effet de la température ou de la tension appliquée, ce qui n'était pas compatible avec un procédé industriel. Ces décalages aléatoires et instables des paramètres de la structure MOS provoquaient des claquages précoces de l'oxyde et des rejets lors des étapes de contrôle de la mortalité infantile (*burn-in*), induisant des pertes importantes de rendement. Ces problèmes furent d'abord réglés par un strict contrôle de la propreté à tous les niveaux dans les environnements de production (salles blanches, produits, équipements, procédés de nettoyage...). Dans un second temps, des stratégies visant à réduire l'influence des espèces restantes furent développées: neutralisation des ions sodium Na^+ par introduction de chlore durant l'oxydation, piégeage des espèces mobiles (*mobile ion gettering*) dans des couches non électriquement actives ou à l'interface Si/SiO_2 , par exemple dans des couches d'oxyde dopées au Phosphore (PSG: Phosphorous doped Silicon Glass). Ce problème est aujourd'hui bien maîtrisé dans les procédés CMOS, et même si il est toujours contrôlé attentivement, aussi bien lors des étapes de qualification du procédé que lors des étapes de contrôle de production en ligne, il ne constitue plus un obstacle majeur au développement des procédés MOS. Nous n'avons pas eu à traiter de problème lié à ce point lors des études que nous avons menées avec les équipes de recherche et développement des principaux fondeurs industriels.

Le second point reste par contre un problème très actuel du fait de la complexification des procédés, qui a entraîné une augmentation du nombre de niveaux de métal (aujourd'hui entre 5 et 10) et la multiplication du nombre d'étapes de gravure et d'implantation requises par les structures actuelles. Nous avons de ce fait été amené, en collaboration avec les équipes de R&D de STMicroelectronics à nous intéresser à deux points particuliers en lien avec ces étapes:

- l'effet d'un implant à haute énergie destiné à réduire l'effet de perçage dans des transistors à canaux courts (implant APT: *Anti Punch-Through*) sur la fiabilité de la structure et en particulier de l'oxyde (paragraphe 2),
- le développement d'une méthodologie de détection des effets du *Wafer Charging* pendant les étapes de gravure plasma plus sensible que celles utilisées jusqu'alors et utilisant les porteurs chauds et des structures PMOS (paragraphe 3).

Enfin, concernant le dernier point qui reste critique dans les process actuels, nécessitant de tester en permanence la présence éventuelle d'impuretés métalliques dans les dispositifs, nous avons été amené ponctuellement à confirmer la présence de contaminants liés au fer par des expériences de DLTS (*Deep Level Transient Spectroscopy*) afin de comparer les résultats de la DLTS à ceux des expérimentations menés dans les centres de production (paragraphe 4).

2. Comparaison des courants de fuite à travers l'oxyde induits par un implant ionique à haute énergie et par contrainte électrique sous haut champ électrique.

(Collaboration: STMicroelectronics Rousset Contrat CREMSI 14 1998-2001
Philippe Boivin / Jean-Michel Moraguès)

2.1 Position du problème

L'apparition de courants de fuite en excès sous faible champ électrique à travers l'oxyde mince (épaisseur < 10nm) d'une structure MOS (SILC: *Stress Induced Leakage Currents*) est une caractéristique commune à plusieurs processus dégradants: après une contrainte sous haut champ électrique induisant des injections de porteurs libres dans l'oxyde par effet tunnel (régime Fowler-Nordheim ou tunnel direct) [1,2], après des injections uniformes ou localisées de trous chauds [3,4,5], suite à une exposition à des radiations ionisantes [6] ou suite à une exposition à un plasma provoquant un phénomène de "charging" [7]. D'un autre côté, l'implantation ionique de différentes espèces directement ou à travers plusieurs couches recouvrant le Silicium, afin de réaliser des zones actives, des ajustements de tension de seuil ou des structures spéciales de drain destinées à prévenir des effets parasites tels que le perçage (*punch-through*) ou une production excessive de porteurs chauds, est devenue une étape de routine dans les procédés CMOS avancés. L'implantation ionique est généralement suivie d'une étape de recuit et de passivation thermique pour activer les espèces dopantes introduites et pour reconstituer l'intégrité de la structure cristalline. De nombreuses études sur les dommages causés par l'implantation ionique se focalisent sur le profil de concentration des défauts dans le substrat de silicium après l'implant et son évolution durant le recuit [8-18]. En effet, le dommage le plus connu lié à l'implantation ionique est la création, pour des doses supérieures à une dose "seuil" donnée, d'une couche amorphe de haute résistivité due au déplacement d'un grand nombre d'atomes de silicium, suite aux nombreuses collisions avec les ions rentrant dans le silicium [8-10] et la création de défauts ponctuels, complexes ou étendus tels que lacunes, clusters interstitiels ou boucles de dislocation [11-14]. Un point essentiel est de trouver les paramètres d'implantation les plus adéquats (espèces, dose, énergie, angle d'implantation pour limiter l'effet de "*channeling*" [15-17] et les conditions de

passivation (température, durée, recuit thermique "standard" ou RTA "*Rapid Thermal Anneal*") minimisant les dommages associés [8-18]. Peu d'études portent cependant sur l'effet du procédé d'implantation sur les propriétés électriques de l'oxyde lorsque l'implant est réalisé à travers la couche d'oxyde [19].

L'objet de ce travail fut précisément d'étudier l'effet d'un implant ionique APT de haute énergie de Bore (B^{++}) sur la fiabilité de l'oxyde tunnel. Nous avons tout d'abord étudié l'influence du positionnement de l'implant durant le flot du process (2.3), puis nous nous sommes intéressés à l'impact de la dose et de l'énergie et leur effet sur l'influence du ratio d'antenne (2.4). Nous nous sommes plus particulièrement concentrés sur les propriétés électriques et la dépendance en champ des courants de fuite à travers l'oxyde induits par l'implant (que nous nommerons dans la suite IILC pour *Implantation Induced Leakage Currents*) en les comparant à celles des courants de fuite induits par stress électriques sous haut champ en régime Fowler-Nordheim (SILC) de type Stress à Courant Constant (CCS: *Constant Current Stress*) ou à Tension Constante (CVS: *Constant Voltage Stress*) sur des échantillons non implantés (2.5). Enfin, nous avons observé l'influence d'un recuit thermique standard (430°C pendant 45mn sous "forming gas" $N_2+5\%H_2$) sur ces propriétés (2.6) [20-21]. Tous ces effets furent étudiés à l'aide de techniques standard de caractérisation électrique: caractéristique capacité-tension (C-V) à haute fréquence (100kHz), caractéristique courant-tension (I-V) statique, et détermination de la charge au claquage (QBD) utilisant une rampe exponentielle de courant (*Exponential Ramp Current Stress* ERCS) générée par une rampe de tension de 0.1V/s à partir d'une densité initiale de courant $J_{ini}=10^{-5}$ A/cm², appliquée à la grille de la capacité jusqu'au claquage de l'oxyde.

2.2 Description des échantillons

Les échantillons étudiés sont des capacités MOS sur substrat de type P possédant un oxyde thermique tunnel SiO₂ (épaisseur 7.6nm) munies de grilles en Polysilicium N⁺ (épaisseur polysilicium: 150nm) recouvert par du W-Si (épaisseur 450nm). Ces capacités étaient réparties en deux groupes: le premier groupe était composé de capacités carrées (surface 20164 μm²) et le second groupe de capacités reliées à des antennes de Polysilicium de taille variable recouvrant la zone active (de 16μm² ou 160μm²) afin d'obtenir une large gamme de ratios d'antenne.

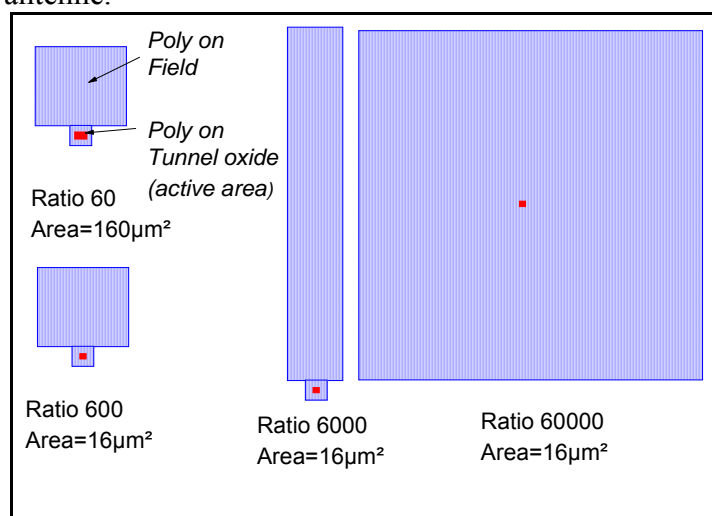


Figure 1: Description des échantillons utilisés pour étudier l'impact d'un implant haute énergie APT sur la fiabilité de l'oxyde tunnel.

Ces échantillons ont été implantés par du Bore B^{++} avec deux énergies (180 keV et 240 keV) et deux doses possibles ($1 \times 10^{12} \text{ cm}^{-2}$ and $4 \times 10^{12} \text{ cm}^{-2}$). L'impact de la position de l'implant dans le flot de process a été testé pour trois cas:

- implant à travers l'oxyde sacrificiel (sacox) avant la croissance de l'oxyde tunnel
- implant à travers l'oxyde tunnel seul (tunox)
- implant à travers la grille (Poly N^+ + W-Si) et l'oxyde tunnel (tunox+grille)

Des échantillons de référence (ref) non implantés étaient également disponibles.

2.3 Effet de la position de l'implant dans le flot de process

L'effet sur la caractéristique C-V de la position de l'implant pendant le flot de process est visualisé sur la Fig.2 et comparé à la caractéristique d'un échantillon de référence. Lorsque l'implant est réalisé à travers l'oxyde sacrificiel ou l'oxyde tunnel seuls, la caractéristique est identique à celle d'échantillons non implantés, excepté la valeur du plateau en inversion (tension positive), dont l'augmentation peut être attribuée à la concentration additionnelle de dopants activés introduits par l'implant. Par contre, l'implant à travers la multicouche (tunox+grille) affecte fortement la caractéristique. Une charge négative piégée dans l'oxyde, estimée à $N_{OX} = -1.7 \pm 0.3 \times 10^{12} \text{ cm}^{-2}$ est révélée par le décalage de la courbe vers les tensions positives. On observe également nettement une diminution nette de la pente de la caractéristique en régime de déplétion (*stretch-out*) attribuable à la génération d'une forte densité d'états d'interface, dont l'état de remplissage dépend de la tension appliquée, est estimée à $N_{SS} = 1.5 \pm 0.5 \times 10^{12} \text{ eV}^{-1} \text{ cm}^{-2}$ autour du mid-gap.

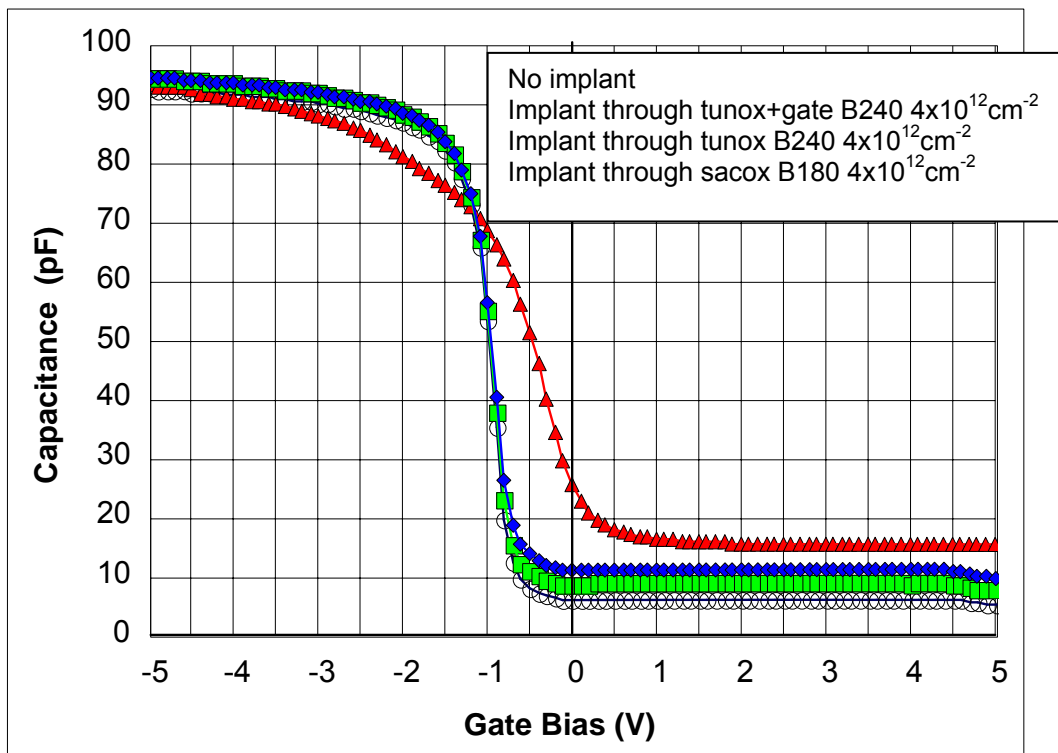


Figure 2: Effet de la localisation de l'implant haute énergie APT pendant le flot de process sur la caractéristique C-V haute fréquence.

Cependant, même cette valeur importante de N_{SS} (supposée constante sur le gap) ne suffit pas à expliquer l'affaissement de l'ensemble de la courbe C-V, particulièrement en accumulation, au-delà de la tension de bandes-plates V_{FB} [22]. Des simulations utilisant une valeur constante de densité d'états N_{SS} sur le gap (extraite des mesures) ajustent correctement les courbes expérimentales non-implantées sur toute la gamme de tension explorée, mais uniquement jusqu'à la valeur de V_{FB} dans le cas d'un échantillon implanté à travers (grille+tunox) à 240 keV (voir Fig.3). Il convient évidemment de noter que les dégâts dus à l'implantation ionique ne sont pas uniquement localisés à l'interface et dans l'oxyde mais s'étendent certainement bien au-delà dans le substrat, où ils induisent des défauts ponctuels, complexes ou étendus [8,12,13] et même des agrégats de défauts (interstitiels, lacunes ou complexes) [11]. Ces défauts divers dans le substrat peuvent être à l'origine de l'affaissement de la courbe C-V observé en accumulation et, d'un point de vue électrique, nous montrons sur la Fig.3 que leur effet est similaire sur le C-V à une très importante augmentation de N_{SS} près des bandes, visualisée sur la Fig.4 (*band-tail*), en plus de la valeur constante déterminée précédemment autour du mid-gap. Ceci peut s'interpréter en considérant qu'une densité importante de défauts de volume dans le Si, et spécialement des défauts étendus, n'induisent pas uniquement des niveaux localisés dans le gap du Si, mais également une densité continue d'états dans la bande interdite dans toute la région endommagée du substrat. La technique C-V n'étant sensible qu'à la charge cumulée piégée sur les défauts d'interface et de bulk pour une tension de grille donnée, ceci explique pourquoi nous pouvons la "représenter" par une densité d'états additionnelle d'un point de vue électrique, même si les défauts sont localisés physiquement dans le substrat. D'autres expériences, telles que la DLTS ou d'autres expériences à transitoires de charge seraient requises pour distinguer les contributions des états d'interface et de volume [8,18], mais ces études n'ont pas été menées dans le cadre de ce travail.

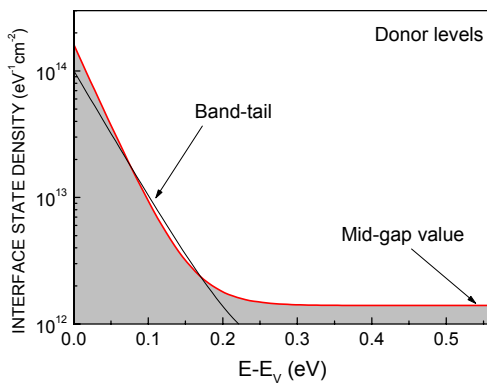
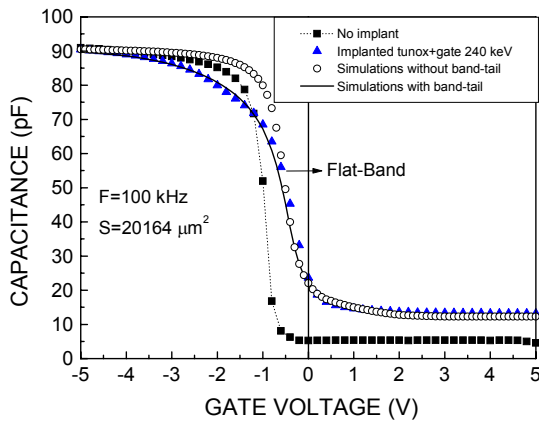


Figure 3: Ajustement du C-V vierge ou implanté utilisant les paramètres extraits avec (trait plein) ou sans (pointillé) la densité d'états additionnelle (band-tail) au-dessus de la valeur mid-gap de N_{SS} .

Figure 4: Densité d'états d'interface utilisée pour ajuster les C-V dans la Fig.3.

Le dommage créé par l'implant, lorsque celui-ci est réalisé à travers la couche (grille+tunox), est également révélé par les mesures I-V statiques (voir Fig.5 pour le cas 180 keV). On remarque dans ce cas que le courant de fuite à travers l'oxyde est beaucoup plus important aux faibles valeurs de tension, avant que l'échantillon n'atteigne le régime Fowler-Nordheim, que dans l'échantillon non implanté. Nous appelons ces courants de fuite en excès à bas champ IILC (*Implantation Induced Leakage Current*) et leur étude détaillée est fournie au paragraphe 2.5.

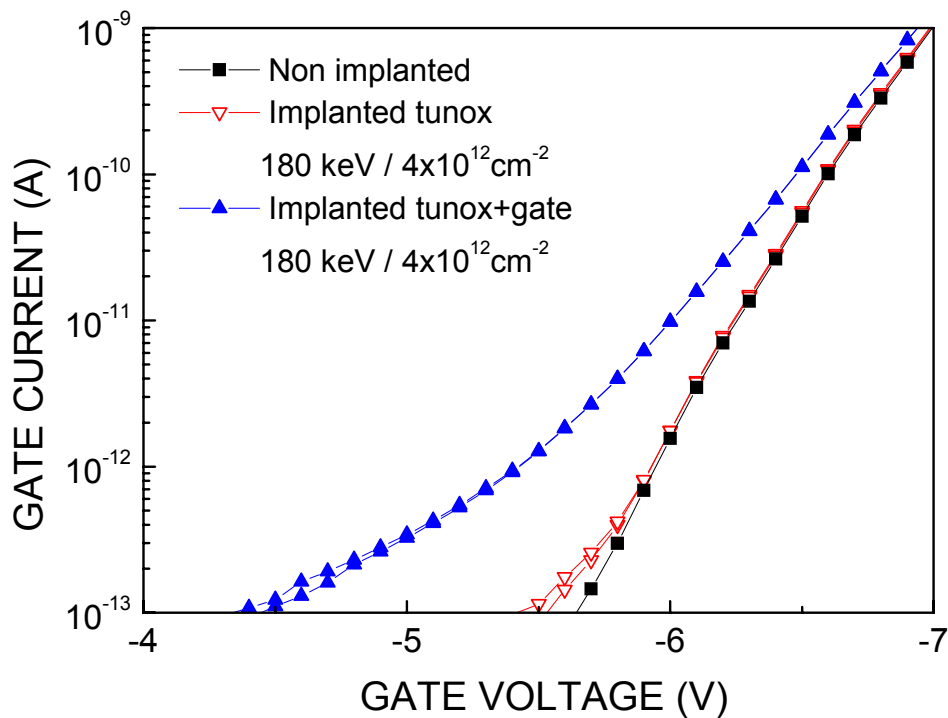


Figure 5: Effet de la localisation de l'implant haute énergie APT (cas 180 keV – $4 \times 10^{12} \text{cm}^{-2}$) pendant le flot de process sur la caractéristique I-V statique.

Les résultats de QBD obtenus par les mesures ERCS confirment également que l'implant n'a aucun effet significatif quand il est réalisé à travers l'oxyde sacrificiel ou l'oxyde tunnel seul, mais diminue fortement la fiabilité de l'oxyde lorsqu'il est réalisé à travers la couche (grille+oxyde). Dans le tableau 1, on reporte les valeurs de charge au claquage (QBD) mesurées à 70% de la distribution statistique (40 capacités testées par distribution pour chaque type d'implant) qui sont comparées aux valeurs de N_{OX} et de N_{SS} . Toutes ces observations sont évidemment à relier au fait que le profil de dopage résultant de l'implant est seulement dans le cas où ce dernier est réalisé à travers la couche (grille+tunox) partiellement localisé dans la couche d'oxyde où il est susceptible de générer des défauts.

Description Process	Position Implant	QBD (C/cm ²)	N_{OX} (cm ⁻²)	N_{SS} (eV ⁻¹ cm ⁻²)
---------------------	------------------	--------------------------	------------------------------	---

Pas d'implant (réf.)	-	8.3	-	-
240 keV 4.10^{12}cm^{-2}	Sacox	8.2	< sensibilité	< sensibilité
240 keV 4.10^{12}cm^{-2}	Tunox	7.8	< sensibilité	< sensibilité
240 keV 4.10^{12}cm^{-2}	Tunox + gate	5.4	-1.4×10^{12}	10×10^{11}
240 keV 1.10^{12}cm^{-2}	Tunox + gate	7.2	-1.1×10^{12}	6.5×10^{11}
180 keV 4.10^{12}cm^{-2}	Tunox + gate	6.4	-1.2×10^{12}	1.9×10^{11}
180 keV 1.10^{12}cm^{-2}	Tunox + gate	8.1	-0.3×10^{12}	0.1×10^{11}
240 keV 4.10^{12}cm^{-2} + traitement thermique	Tunox + gate	6.9	-0.6×10^{12}	4.2×10^{11}

Tableau 1: Dommages induits par l'implant en fonction de la position de l'implant dans le flot de process ou les paramètres (énergie et dose) et effet du recuit thermique.

2.4 Effet des paramètres de l'implant

Nous avons étudié l'influence de la dose et de l'énergie de l'implant de Bore, lorsque celui-ci était réalisé au travers la couche (tunox+grille) et les résultats sont reportés sur la Fig.6 pour le C-V, sur la Fig.7 pour le I-V et dans le Tableau 1 pour les valeurs de QBD par ERCS. Ces mesures montrent qu'augmenter la dose ou l'énergie de l'implant induit un accroissement notable des défauts générés et on peut remarquer que, pour les gammes de dose et d'énergie testées, la dose semble avoir une influence plus marquante que l'énergie au niveau des valeurs de QBD.

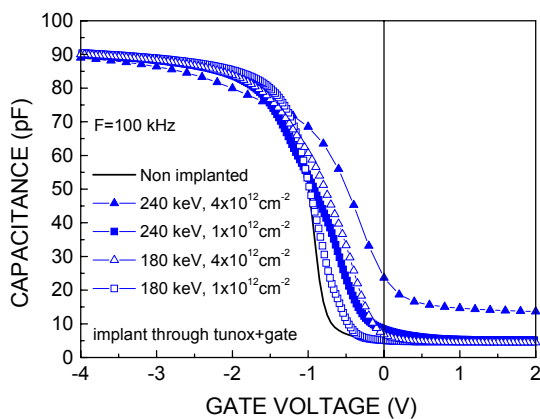


Figure 6: Effet de la dose et de l'énergie de l'implant de Bore à travers la couche (tunox + grille) sur la caractéristique C-V.

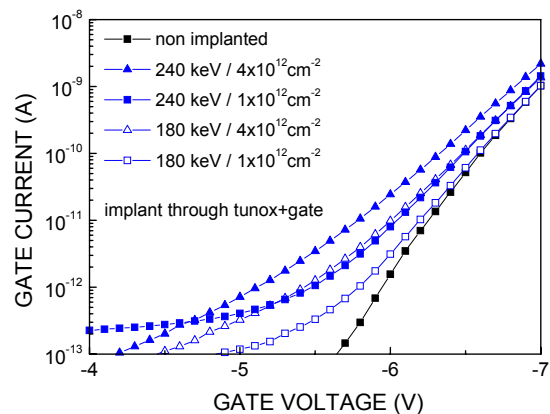


Figure 7: Effet de la dose et de l'énergie de l'implant de Bore à travers la couche (tunox + grille) sur la caractéristique I-V.

L'effet du ratio d'antenne sur les valeurs de QBD a également été étudié dans le cas. On montre sur la Fig.8 les valeurs de QBD mesurées pour différentes valeurs du ratio d'antenne. On remarque certes qu'augmenter le ratio d'antenne tend à diminuer significativement la valeur du QBD, mais la comparaison avec une étude identique menée sur des échantillons non implantés (qui révèle une diminution identique du QBD en fonction du ratio d'antenne) montre que cette diminution n'est pas due à un effet de "charging" durant la phase d'implantation, et que sa cause doit être recherchée lors d'une autre étape de process, telle que la gravure de grille par exemple. Les dégâts dus à l'implant ne sont donc pas simplement dus à un phénomène de "charging" durant l'implantation.

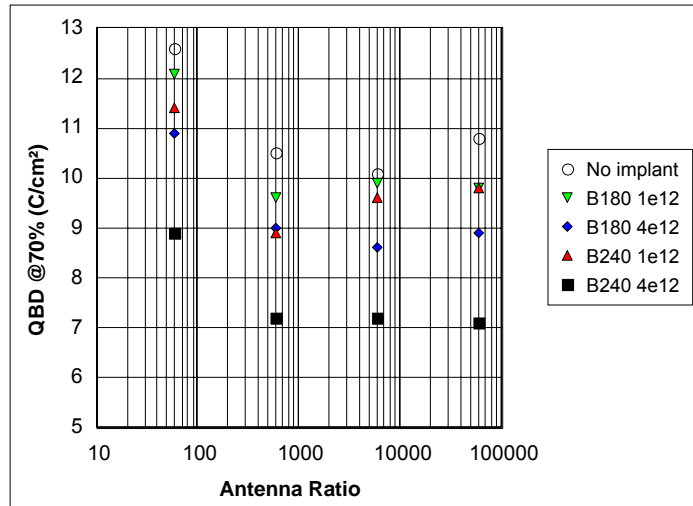


Figure 8: Effet du ratio d'antenne sur les valeurs de QBD pour différents implants.

2.5 Etude des courants de fuite induits par l'implant (IILC)

Nous comparons ici les courants de fuite obtenus après un implant à travers (grille+tunox) et après un stress CVS ou CCS provoquant des injections d'électrons libres à partir de la grille. L'évolution du I-V pendant un stress CVS à $V_G = -8.5V$ est montrée sur la Fig.9 et comparée à la caractéristique finale obtenue après des implants à 180 et 240 keV. Avant que la courbe ne rejoigne le régime Fowler-Nordheim à fort champ, nous observons un accroissement important du courant à bas champ, nommé SILC après contrainte électrique et IILC après implant. Une comparaison plus exhaustive avec différentes conditions CVS ou CCS fournie dans les références [23,24] montre que les courants de fuite IILC et SILC ont une forme qualitative (accroissement linéaire sur une échelle logarithmique, caractéristique d'une augmentation exponentielle du courant) et donc une dépendance en tension ou champ similaires. Cependant, bien qu'étant du même ordre de grandeur, l'amplitude du SILC reste inférieure à celle du IILC, en dépit des valeurs importantes de charges injectées (jusque $60C/cm^2$).

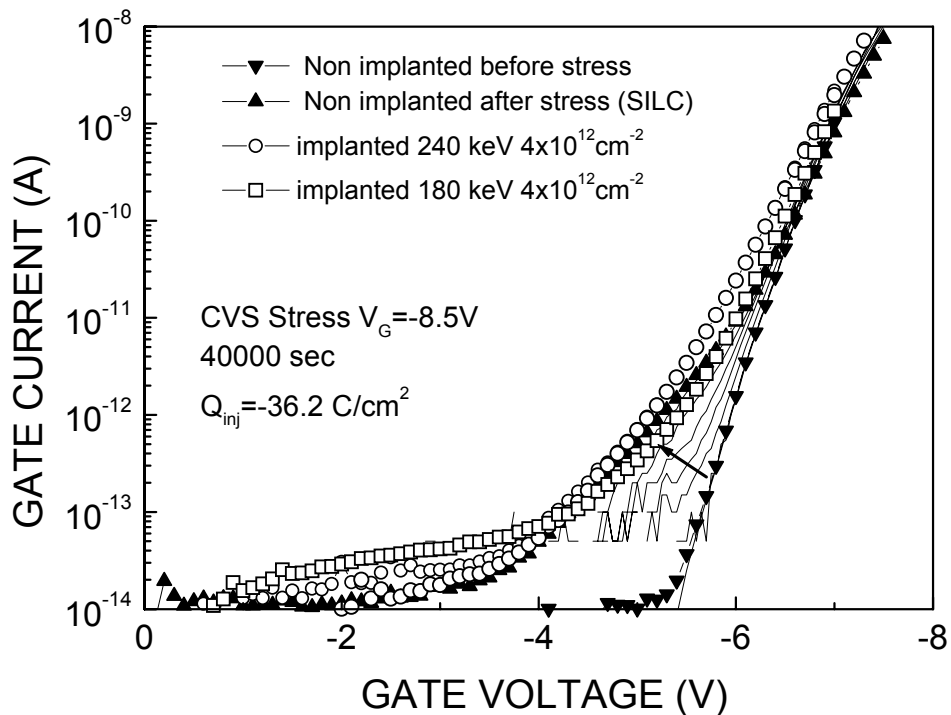


Figure 9: Evolution de la caractéristique I-V pendant un stress CVS à $V_G = -8.5V$ pendant 40000s (\blacktriangledown : avant stress, trait plein: pendant le stress, \blacktriangle : après stress) et comparaison à la caractéristique obtenue après des implants à 240 keV (O) et 180 keV (\square).

Les tracés Fowler-Nordheim ($\text{Log}(I/F_{ox}^2)$) en fonction de $1/F_{ox}$ du courant total et en excès (IILC ou SILC), reportés Fig.10, montrent que le IILC comme le SILC obtenus possèdent la dépendance en champ classiquement reportée pour le SILC, à savoir une composante de type Fowler-Nordheim possédant une barrière d'énergie apparente d'environ 1 eV [25]. Cette corrélation entre IILC et SILC du point de vue de leur dépendance en champ est indicative de mécanismes de conduction similaires associés aux défauts induits à travers l'oxyde par les deux types de stress, les courants SILC étant connus pour essentiellement résulter d'un mécanisme de conduction de type tunnel assisté par défauts neutres dans le volume de l'oxyde. Dans le cas du IILC, ce courant est donc une mesure pertinente des défauts induits dans l'oxyde par l'implant.

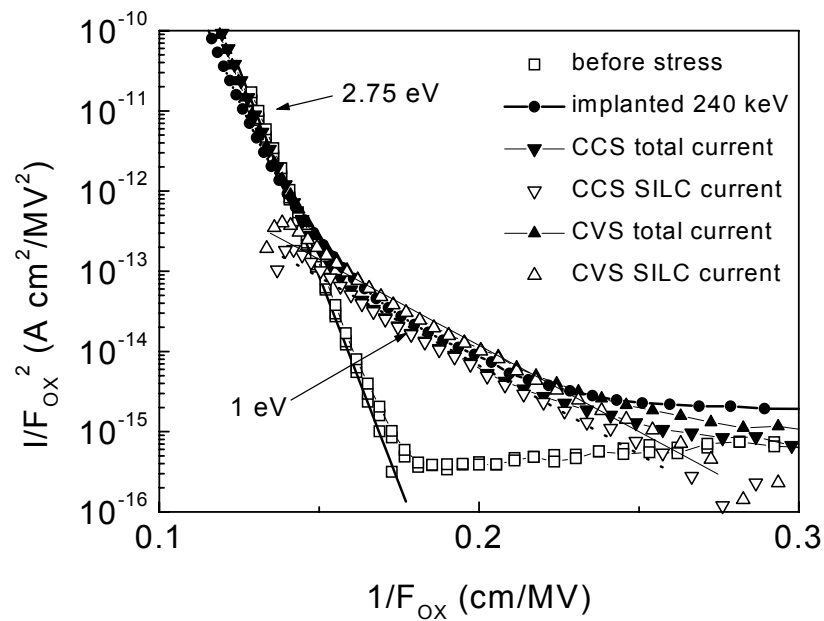


Figure 10: Tracés Fowler-Nordheim de composants vierges (\square), stressés (\blacktriangle : CVS à $V_G=-8.6V$ durant 11000s, \blacktriangledown : CCS à $I_G=-250nA$ durant 40000s, \triangle : SILC après CVS, \triangledown : SILC après CCS) et implantés à 240 keV (\bullet).

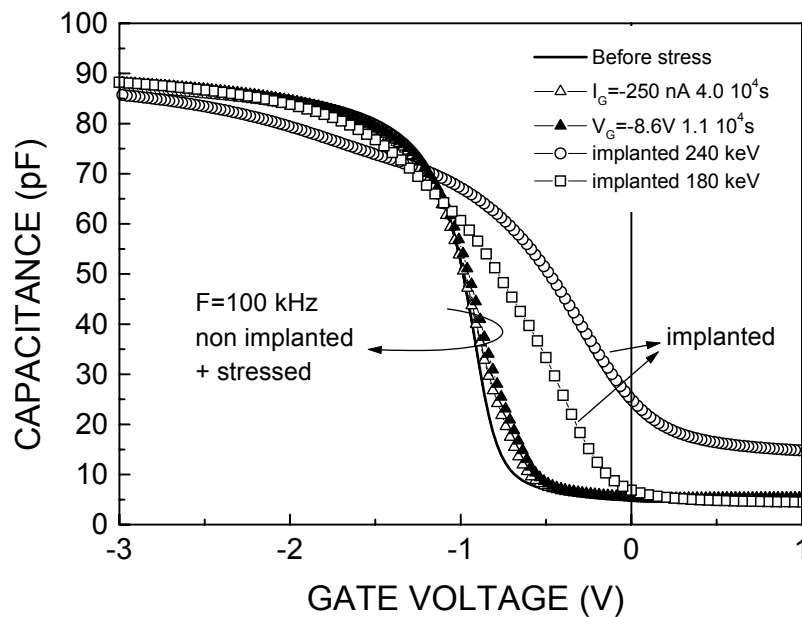


Figure 11: Effet sur la caractéristique C-V d'un échantillon non-implanté d'un stress électrique (trait plein: échantillon vierge, \triangle : après CCS à $I_G=-250nA$ durant 40000s, \blacktriangle : après CVS à $V_G=-8.6V$ durant 11000s) comparé à la caractéristique C-V d'échantillons implantés à travers la couche (tunox+grille) (O: 240keV, \square :180 keV).

Cependant, contrairement au dernier point, les caractéristiques C-V des échantillons implantés ou stressés restent très différentes (voir Fig.11). En particulier, les contraintes électriques s'avèrent avoir beaucoup moins d'effet que les implants sur les C-V, induisant une

densité d'états d'interface autour du mid-gap $\Delta N_{ss} \leq +2.7 \times 10^{11} eV^{-1} cm^{-2}$ et une densité de charge négative piégée dans l'oxyde $\Delta N_{ox}^- \leq 3 \times 10^{11} cm^{-2}$, valeurs bien inférieures à celles trouvées après implant dans la Table 1. Cette différence sur les courbes C(V) provient du fait que le dommage dû à l'implant est certes plus important, mais n'est pas uniquement localisé dans l'oxyde et à l'interface, mais s'étend très largement dans le substrat, comme vu précédemment (paragraphe 2.3). Aussi, même si les dégâts induits dans le substrat de l'oxyde par les stress électriques et les implantations sont assez proches qualitativement et quantitativement (ainsi que révélés par la comparaison IILC/SILC), les implants ont un effet beaucoup plus importants sur le C(V) via les dégâts sur N_{ss} et dans le substrat de Silicium.

2.6 Effet d'un recuit thermique

Nous avons analysé (Voir Fig.12 et 13) l'effet du recuit thermique sur les échantillons implantés à travers (tunox+grille) à 240 keV pour une dose de $4 \times 10^{12} cm^{-2}$ et sur les échantillons stressés [23,24].

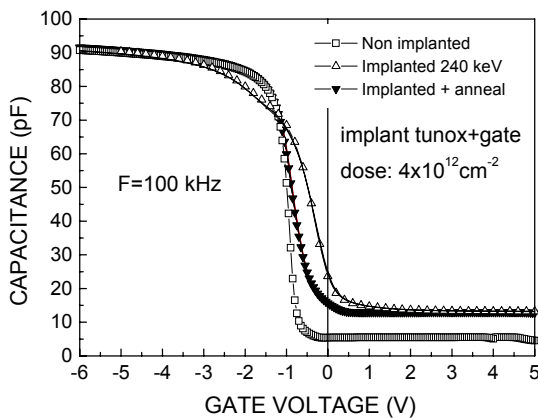


Figure 12: Effet du recuit thermique sur la caractéristique C-V d'échantillons implantés

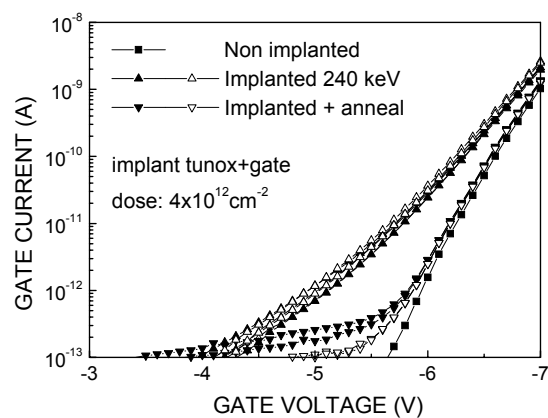


Figure 13: Effet du recuit thermique sur la caractéristique I-V d'échantillons implantés

Les principales conclusions que nous pouvons tirer de ces études sont les suivantes:

- la charge négative piégée dans l'oxyde et la densité d'états d'interface induite lors de l'implantation sont seulement partiellement passivées par le recuit (voir Table 1 pour valeurs après recuit). La diminution de la charge négative, révélée par le décalage vers les tensions négatives de la caractéristique C-V peut être attribuée à l'introduction, la diffusion et le piégeage d'ions H^+ pendant le recuit thermique sous "forming" gaz. De même, la diminution de la densité d'états d'interface est connue comme pouvant résulter de la passivation des liaisons pendantes de Si (centre Pb) par l'Hydrogène à l'interface Si/SiO₂ [26].

- le second point remarquable est que le traitement thermique passive totalement l'important épaulement obtenu en régime d'accumulation dans les échantillons implantés, que nous avons relié à la présence de défauts localisés ou étendus dans le substrat de Silicium dus à l'implant. En accord avec [11,12], cette passivation du dommage créé dans le substrat de Silicium par un recuit à 430°C serait cohérent avec la dissociation, effective autour de cette température, de clusters de lacunes ou d'interstitiels (avec un taux de dissociation plus faible pour les lacunes que pour les interstitiels) induits par l'implant. Ces espèces diffuseraient alors ensuite vers

l'interface Si/SiO₂, qui agirait comme un centre de piégeage (puits) pour ces défauts mobiles et où leur recombinaison aurait lieu.

- le traitement thermique a complètement passivé (voir Fig.13), à l'exception d'un léger épaulement à très bas niveau, le courant en excès induit par l'implant (IILC). Nous avons montré que cette constatation était la même que pour le SILC dans les échantillons stressés électriquement sous haut champ [23,24]. On montre en particulier sur le tracé FN que les épaulements liés au SILC et à l'IILC (correspondant à une hauteur de barrière de 1 eV) disparaissent et que l'on retrouve dans les deux cas le tracé d'un dispositif vierge (correspondant à une hauteur de barrière mesurée à 2.75 eV) [23,24]. De plus, la passivation totale après un traitement thermique supérieur à 300°C est une caractéristique connue et typique du SILC [20,21], probablement une fois encore en relation avec la diffusion de défauts tels que trous piégés ou ions H⁺ dans le SiO₂. Ceci permettrait en outre d'expliquer la neutralisation ou la disparition (même partielle) de la charge négative piégée dans l'oxyde pendant l'implant. Le fait que SILC et IILC possèdent des dépendances en champ et des propriétés de passivation thermique semblables est une indication forte que les deux processus de dégradation (implant à travers la couche tunox+grille et stress électrique) induisent le même type de défauts dans le volume de l'oxyde, à savoir des pièges neutres connus pour être à l'origine du mécanisme d'effet tunnel assisté par défaut responsable du SILC [27]. Il est par ailleurs intéressant de noter que le principal dommage associé à l'implant haute énergie à travers le SiO₂ est relatif à des liaisons cassées ou des atomes déplacés donnant naissance à de nombreuses liaisons pendantes insaturées sur des atomes O ou Si [19]. Ces défauts ponctuels électriquement actifs peuvent induire des niveaux localisés dans la bande interdite de l'oxyde en volume, qui seraient à l'origine du mécanisme d'effet tunnel assisté par défaut. Leur passivation par la diffusion d'espèces liées à l'Hydrogène pendant le traitement thermique pourrait expliquer la réduction similaire observée du IILC et du SILC.

- On peut noter que dans le cas d'échantillons stressés [23,24], le traitement thermique passive totalement la densité d'états d'interface et neutralise la charge négative induite par la contrainte électrique, allant même jusqu'à provoquer l'apparition d'une charge positive en excès dans l'oxyde. Cette charge positive est détectée sur des recuits effectués sur des échantillons non-stressés et estimée à $+3.5 \times 10^{11} \text{ cm}^{-2}$ juste après le recuit.

- Les résultats précédents sont confirmés par des études de QBD par ERCS effectuées avant et après le recuit thermique en fonction du ratio d'antenne (Fig.14). Après le recuit thermique, la valeur du QBD augmente mais on ne retrouve pas les valeurs obtenues sur des échantillons vierges. Ce point est bien corrélé aux mesures C-V traduisant une guérison partielle de la structure, mais pas aux mesures I-V qui montrent une disparition quasi-totale du IILC. Ceci signifie que les défauts de volume induits dans l'oxyde, responsables du IILC et qui semblent complètement passivés par le recuit, ne sont pas directement responsables de façon univoque des dommages menant au claquage.

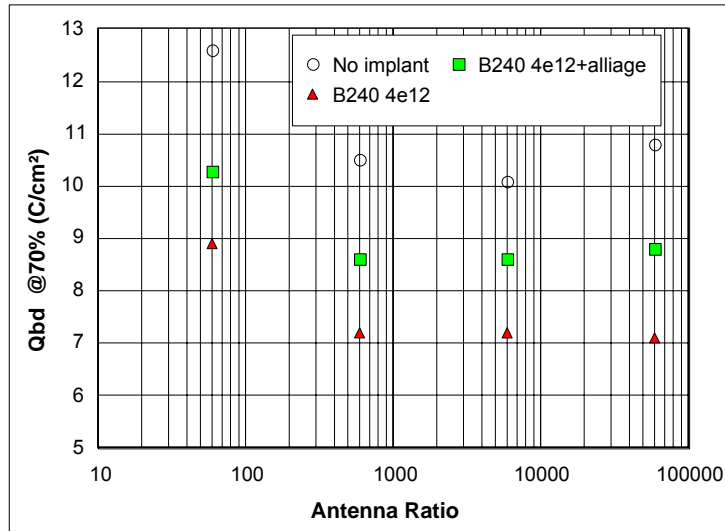


Figure 14: Effet du recuit thermique que la charge au claquage d'échantillons implantés

2.7 Conclusion

Nous avons montré dans cette étude que la position dans le flot de process d'un implant haute énergie de Bore à travers l'oxyde influait notablement sur la fiabilité de l'oxyde en terme de charge piégée, défauts d'interface ou de volume et tenue au claquage, le pire cas se trouvant être un implant après le dépôt de la grille en Polysilicium et d'une couche de W-Si. Les paramètres de l'implantation (dose et énergie) influencent l'amplitude des effets observés, mais pas la nature des dommages constatés, probablement reliés à des concentrations additionnelles de défauts induits par l'implant dans l'oxyde, à l'interface Si/SiO₂ et dans le substrat de Silicium. Dans le dernier cas (implant à travers grille+tunox), en plus d'une importante charge négative piégée dans l'oxyde, d'un accroissement substantiel de la densité d'états d'interface et d'une diminution d'un facteur proche de deux de la charge au claquage ne dépendant pas du ratio d'antenne, l'implant provoque l'apparition d'un courant de fuite en excès à travers l'oxyde à bas champ (IILC) similaire à celui observé après un stress sous haut champ électrique (SILC) dans les oxydes minces. Un traitement thermique standard à 430°C sous "forming" gaz ne passive que partiellement les charges piégées et la densité d'états d'interface, mais fait totalement disparaître ces courants en excès, comme dans le cas du SILC, ce qui est probablement relié à l'influence d'espèces contenant de l'hydrogène diffusant pendant le recuit. Le fait que IILC et SILC aient des dépendances en champ similaires et des propriétés de passivation thermiques identiques, indique que des défauts neutres de même nature sont induits lors de l'implant et lors des stress électriques dans l'oxyde, et que ces derniers sont à l'origine d'un mécanisme d'effet tunnel assisté par défaut à travers l'oxyde responsables des courants en excès.

3. Méthodologie optimisée de détection du Wafer Charging basée sur des injections de porteurs chauds dans les technologies CMOS avancées.

(Collaboration: STMicroelectronics Rousset Convention STSI phase 5, 2001–2002, Sami Gomri, Christophe Monserie / Jean-Michel Moraguès / Philippe Boivin / Nicolas Legrand)

3.1 Position du problème

Le Wafer Charging est un phénomène qui affecte les étapes de process mettant en jeu des espèces chargées (telles que la gravure par plasma ou les implantations ioniques). Plus précisément on peut distinguer celles rattachées au *front end* (gravure poly, LDD, implantation source/drain, gravure contact et dépôts PMD) et celles rattachées au *back end* (pour les process aluminium: dépôts HDP/IMD, gravure métal et vias, pour les process cuivre: dépôts IMD par PECVD, gravure des vias), même si moins de problèmes de charging sont reportés dans les procédés BEOL double-damascène. En particulier, la gravure par plasma est devenue indispensable dans la fabrication des dispositifs submicroniques, car elle permet d'obtenir des gravures et des dépôts de bonne qualité, mais il est reporté que le plasma introduit des dégâts dans les diélectriques minces et affecte le rendement et la fiabilité des transistors MOS. En effet, à cause des inhomogénéités du plasma ou du caractère isolant de certaines couches, des charges peuvent s'accumuler sur des niveaux en contact avec la grille des dispositifs (effet d'antenne) et provoquer durant l'étape de process une contrainte électrique importante sur l'oxyde de grille des dispositifs (Voir Figure 15). Cette contrainte électrique (qui peut se traduire par des injections massives de porteurs à travers l'oxyde de grille) peut provoquer un claquage de ce dernier, le piégeage d'une charge fixe dans l'oxyde ou un vieillissement prématuré du dispositif par création de défauts d'interface ou dans le volume de l'oxyde, cette altération pouvant influencer fortement la fiabilité ultérieure du dispositif.

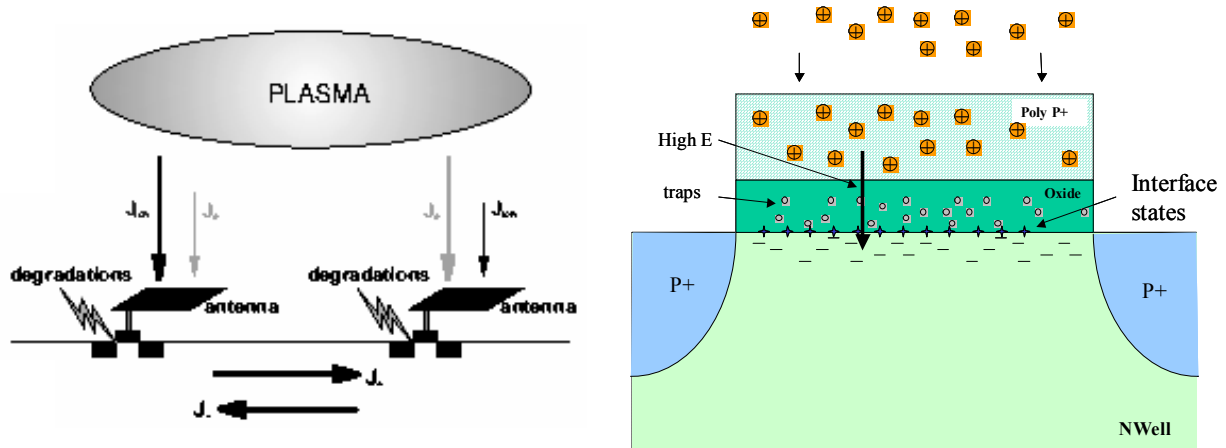


Figure 15: Descriptif du phénomène de Wafer Charging pendant une étape de gravure plasma

Ces dégâts peuvent être évidents lors d'une étude paramétrique (claquage, décalage de tension de seuil V_{TH} ou augmentation du courant de fuite de grille), mais les défauts induits (interface Si/SiO₂ ou volume de l'oxyde) peuvent aussi être passivés par des étapes ultérieures haute température du process: on parle alors de défauts "latents" qui nécessitent pour être révélés des injections de porteurs ou des études de vieillissement. Or la détection d'un éventuel effet lié au Wafer Charging, l'identification de l'étape de process en cause et la quantification calibrée des dégâts subis est un challenge pour le suivi du contrôle et de la fiabilité au niveau des chaînes de fabrication (WLRC *Wafer Level Reliability and Control*). Plusieurs méthodes sont alors utilisables: soit des études de claquage (QBD), soit des injections courtes en régime

Fowler-Nordheim (FN) ou en régime de porteurs chauds (*Hot Carriers HC*). Cependant, les méthodes actuelles manquent de sensibilité (étude paramétrique en V_{th} ou I_{fuite}) ou s'avèrent trop brutales (Q_{BD} ou injection FN) et ne seront de toutes façons plus adaptées pour les technologies à très faible épaisseur d'oxyde (<5nm). Nous souhaitons donc explorer des voies nouvelles ou originales pour tenter de définir des dispositifs adaptés et une méthodologie calibrée et sensible (donc prédictive voire préventive vis à vis des dérives) de détection du Wafer Charging au niveau plaquette pour les technologies ayant à terme une épaisseur d'oxyde inférieure à 5nm..

3.2 Etude bibliographique et définition de l'étude

Nous avons d'abord réalisé une étude bibliographique [28-38] sur les méthodes et dispositifs utilisables pour détecter le Wafer Charging, dont on résume les points importants ci-dessous:

- pour des oxydes ultra-minces (<5nm), l'étude paramétrique ne révèle plus de façon efficace les dégâts dus au charging [31,32],
- les oxydes minces pourraient être plus résistants au phénomène de charging, car plus résistants au courant tunnel direct [31,33],
- l'influence du charging est forte sur les courants de fuite à travers les oxydes minces (SILC: *Stress Induced Leakage Currents*) [30,36],
- la sensibilité aux injections de porteurs chauds (même de courte durée) pourraient se révéler le facteur le plus révélateur d'un problème lié au Wafer Charging [34-37],
- les transistors PMOS seraient plus sensibles que les transistors NMOS aux dégâts liés au charging [36-38].

Suite à cette étude bibliographique, notre étude [39-42] a donc visé:

- d'une part à mettre au point une méthodologie optimisée de détection du Wafer Charging (complémentaire au QBD), en explorant la voie suggérée par des études récentes montrant que l'utilisation d'injections de porteurs chauds (particulièrement dans le PMOSFET) étaient particulièrement révélatrice du dégât lié au charging [36,37]
- d'autre part à étudier les effets du Wafer Charging sur le vieillissement à long terme.

Ces études furent réalisées sur des wafers identifiés comme ayant été soumis à un problème de wafer charging, et sur des dispositifs spéciaux à antennes reliées aux différents niveaux de poly ou métal utilisés et permettant d'amplifier la collection des charges. On a utilisé des splits faisant varier la position de la diode de protection, le ratio d'antenne (AR) et la position ou la forme (peigne *Comb CO* ou plate *PL*) de l'antenne, afin d'identifier les étapes de process impliquées dans le charging:

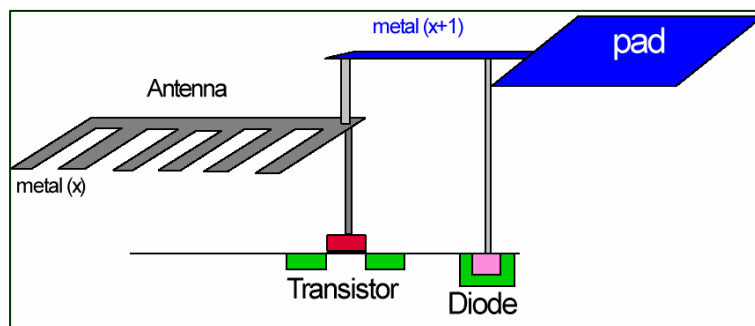
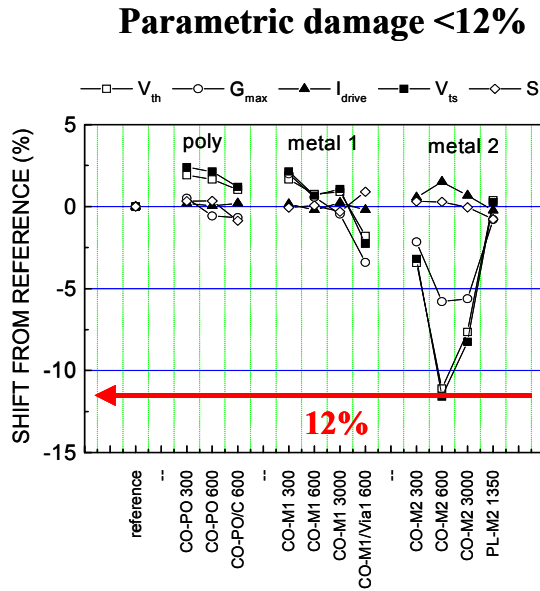


Figure 16: Descriptif des structures utilisées pour étudier le Wafer Charging

3.3 Méthodologie et procédure expérimentale

Un premier résultat avait été obtenu sur des transistors 10/0.6µm NMOSFETs qui montrait un fort gain de sensibilité des stress par porteurs chauds vis à vis de l'étude paramétrique:



HC stress max- I_{sub} : $V_{DS}=6V$, $V_{GS}=2.1V$

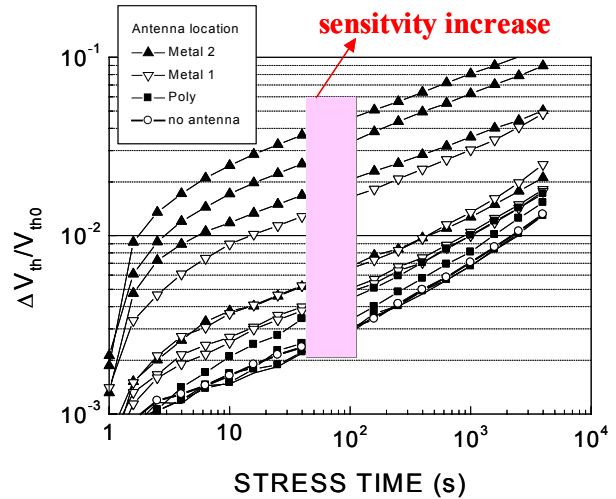


Figure 17: Effet de la position et du ratio d'antenne sur l'étude paramétrique (NMOS 10/0.6µm)

Figure 18: Effet de la position et du ratio d'antenne sur la dégradation lors d'un stress porteurs chauds (NMOS 10/0.6µm)

En effet, si l'effet maximum constaté sur la mesure de la tension de seuil restait inférieur à 12% avec l'échantillon de référence (protégé au niveau Polysilicium), l'écart relatif sur la dégradation de V_{th} après stress porteurs chauds au maximum de courant substrat s'étale sur deux ordres de grandeur, ce qui est un net gain de sensibilité. De plus considérant ces résultats préliminaires et notre analyse bibliographique, nous avons choisi de nous concentrer principalement sur des structures de test PMOSFET à antenne, celles-ci se révélant comme prévu, plus sensibles au charging que les structures à base de NMOSFET (voir Figure 19).

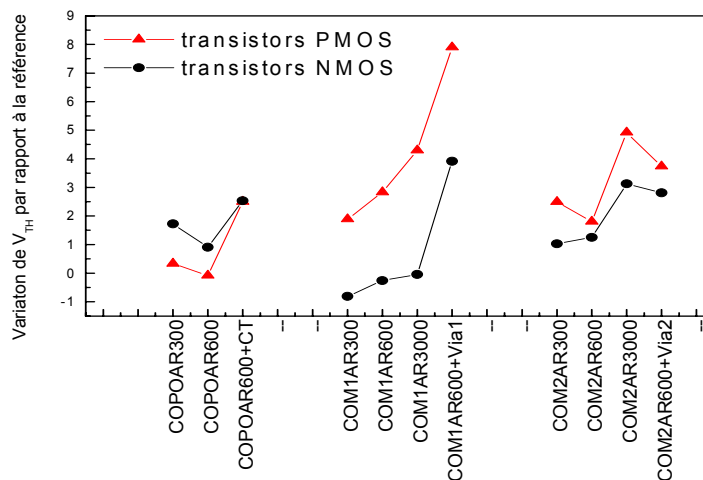


Figure 19: Comparaison de la sensibilité du NMOSFET et du PMOSFET vis à vis du charging

Ce phénomène peut s'expliquer logiquement en considérant que, pendant l'étape de plasma, le charging se traduit en général par une accumulation de charges positives au fond des évidements, ce qui attire immédiatement des électrons pouvant alors être injectés par effet tunnel à travers l'oxyde pour former une couche d'accumulation sur un substrat de type N (PMOSFET), alors le même processus requiert la formation d'une zone d'inversion dans un substrat de type P (NMOSFET). Or les zones de drain et source ne sont pas, durant l'étape de process, reliées à la masse et ne peuvent donc (comme dans le transistor) fournir quasi-instantanément les porteurs minoritaires (voir Figure 20). Ces derniers doivent être générés thermiquement, phénomène à la cinétique parfois très lente et qui peut limiter l'injection de porteurs pendant le charging et donc minimiser l'impact du charging sur la structure.

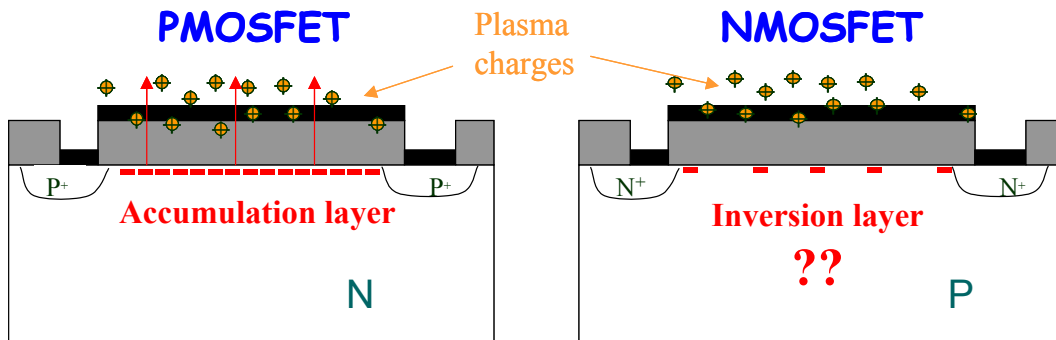


Figure 20: Illustration de la différence de situation entre NMOSFET et PMOSFET durant le phénomène de wafer Charging.

Après avoir identifié les structures à étudier, nous avons défini dans pour chaque technologie étudiée, les conditions d'injections (FN ou HC) les plus significatives. Ceci a impliqué des études comparatives de la sensibilité de différents modes d'injection, particulièrement en ce qui concerne les porteurs chauds, où la situation la plus révélatrice semble être la condition de maximum d'injection d'électrons dans la grille. Le pic de courant électronique étant en général obtenu pour de faibles valeurs de la tension de grille V_G par rapport à la tension de drain V_D dans le PMOSFET (voir Figure 21), nous avons finalement retenu comme les plus pertinentes les conditions suivantes dans le PMOS pour révéler des défauts latents liés au charging:

Technologie étudiée	HC (maximum de courant électronique de grille HE)	FN
10/0.6 μ m (T_{OX} =12nm)	V_D =-6V, V_G =-1.4V 1-4000 s.	V_G =-11V 1-100 s
10/0.18 μ m (T_{OX} =3.2nm)	V_D =-4V, V_G =-0.7/-0.55V 1-10 s	V_G =-5 V 1-100 s
10/0.25 μ m (T_{OX} =7nm)	*	*

Tableau 2: Conditions de stress utilisées pour révéler les dégâts latents dus au charging dans les transistors PMOSFET : par injection localisée d'électrons en régime porteurs chauds (HC) au maximum de courant électronique de grille (HE) ou par injection uniforme de porteurs en régime Fowler-Nordheim (FN).

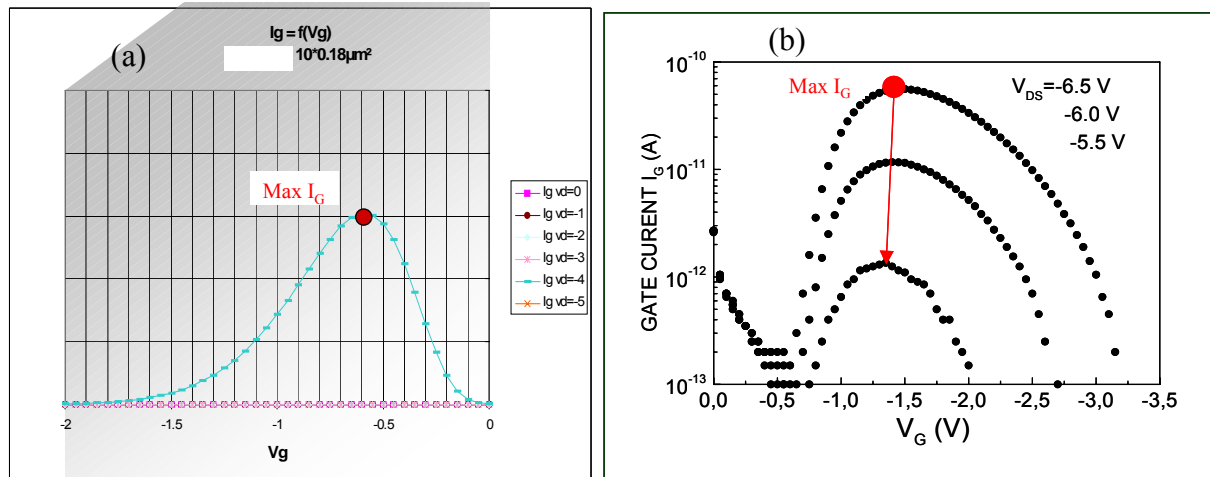


Figure 21: Pic de courant électronique choisi comme condition de stress porteurs chauds dans un transistor PMOSFET 10/0.18 μm (a) et dans un transistor 10/0.6 μm (b) pour révéler des dégâts latents liés au Wafer Charging.

Un second point évalué fut le critère (paramètre du transistor) le plus adapté pour révéler le dégât dû au charging. Toutes les mesures effectuées durant cette étude [12] ont confirmé que **la variation de tension de seuil V_{th} restait le paramètre le plus significatif** (voir Figure 22). Cependant, afin de pouvoir comparer les différentes méthodes, nous avons établi un critère qui permette de comparer leur sensibilité à révéler un problème de charging **sur une même échelle**, en définissant la **sensibilité "s" au charging** (ou variation par rapport à l'échantillon protégé de référence) comme:

$$s = \frac{(p) - (p)_{ref}}{(p)_{ref}} \quad (1)$$

où p peut être V_{th} ou une autre grandeur caractéristique avant stress pour l'étude paramétrique, ou la dégradation relative apportée par le stress sur un des ces paramètres par exemple $\Delta V_{th}/V_{th0}$ pour la tension de seuil (ou la variation relative d'un autre paramètre tel que transconductance G_m , courant de drain I_D linéaire ou saturé...). Ce facteur "s" représenté en fonction du ratio d'antenne ou de la localisation de l'antenne permet d'obtenir l'information pertinente vis à vis d'un éventuel dégât lié au charging, sous forme d'une sensibilité accrue au stress lié à un dégât préalable latent passivé ou non induit par le stress (voir Figure 22 et Figure 23). Par ailleurs, dans le cas d'une technologie 10/0.6 μm , la meilleure efficacité des stress HE vis à vis des stress FN dans le PMOSFET est clairement révélé sur la Figure 22 pour révéler un dégât lié au charging, et la Figure 23 confirme dans le NMOS la bien meilleure sensibilité des stress au maximum de courant substrat vis à vis de l'étude paramétrique déjà observé sur la Figure 23.

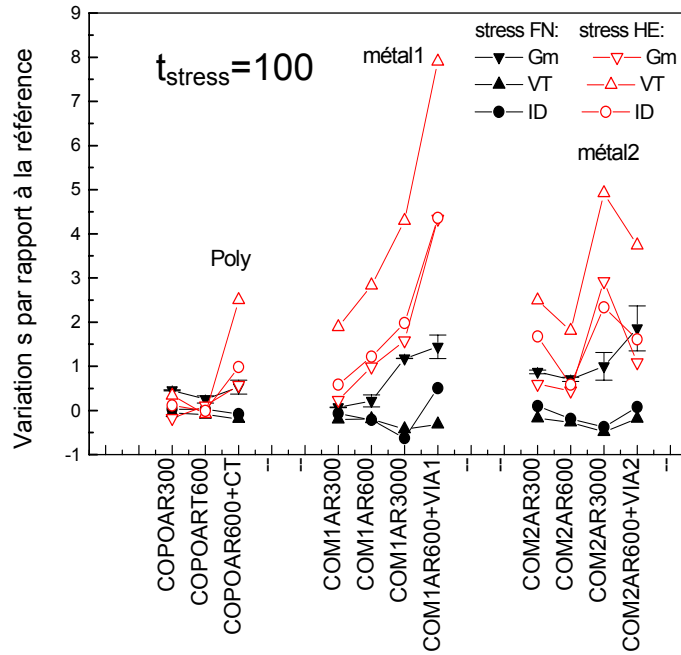


Figure 22: Comparaison de différents paramètres de suivi pour la sensibilité au Wafer Charging après des stress porteurs chauds (HE) ou Fowler-Nordheim (FN) dans un PMOSFET 10/0.6 μm .

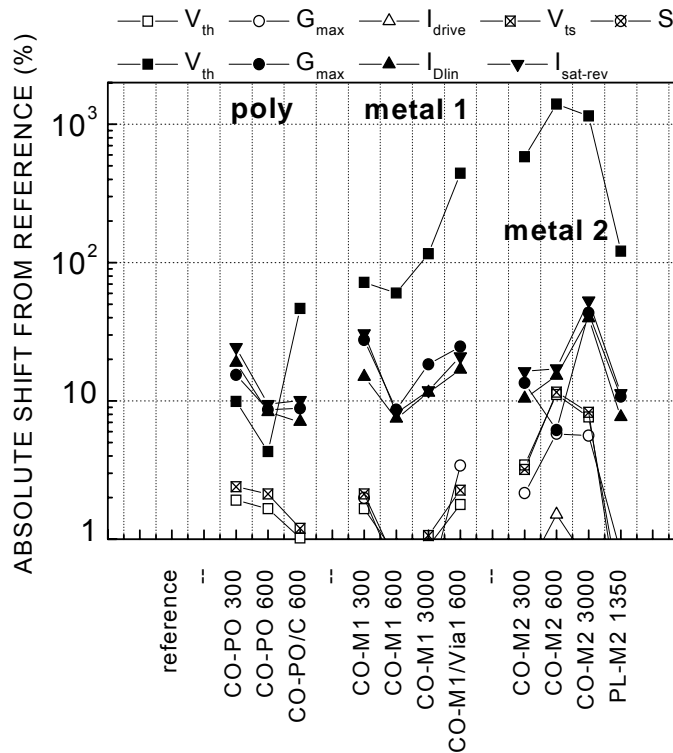


Figure 23: Comparaison de différents paramètres de suivi pour la sensibilité au Wafer Charging pour l'étude paramétrique avant stress (symboles ouverts) ou après un stress porteurs chauds (au maximum de courant substrat - symboles pleins) dans un NMOSFET 10/0.6 μm .

3.4 Résultats

En plus de l'établissement d'une méthodologie détaillée ci-dessus, nous allons lister ci-dessous de façon synthétique et non exhaustive les résultats les plus significatifs obtenus lors de nos études:

3.4.1 Transistors 10/0.6 μm

Dans les transistors de cette technologie, la dégradation après injection d'électrons chauds (HE) a été identifiée comme résultant d'un classique effet de piégeage de charges négatives provoquant une réduction apparente de la longueur du canal (*channel shortening effect*), cet effet se révélant très sensible au ratio et à la position de l'antenne (voir Figure 22). A l'inverse les stress FN induisant injection uniforme de trous dans l'oxyde, provoquent une dégradation essentiellement attribuable à une augmentation des états d'interface de type donneurs, et un décalage de la tension de seuil V_{TH} opposé au cas HC (voir Figure 24).

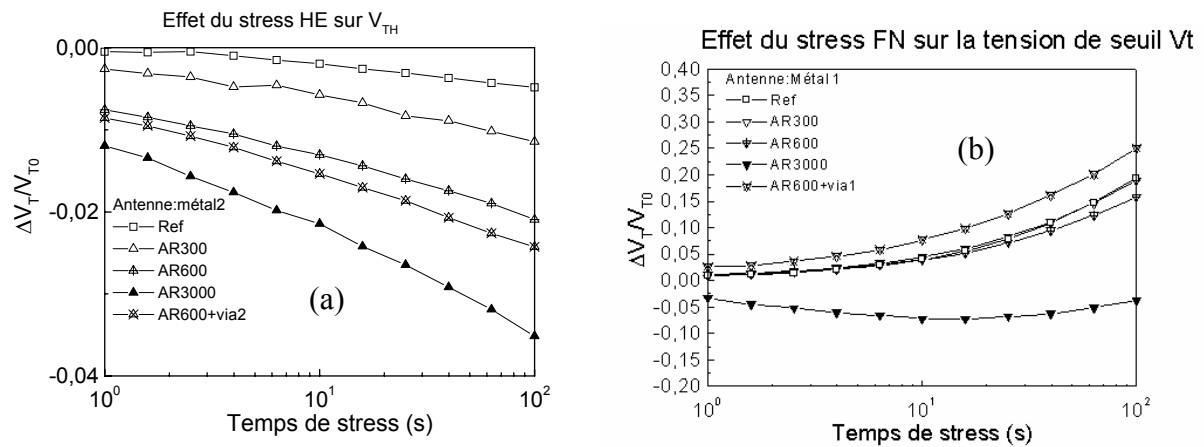


Figure 24: Comparaison des cinétiques d'évolution de la tension de seuil pendant un stress porteurs chauds (HE) (a) et un stress FN (b) sur des transistors PMOSFET 10/0.6 μm , en fonction du ratio d'antenne au niveau métal 1, montrant les différences de comportement et la meilleure sensibilité du stress HE à l'effet d'antenne.

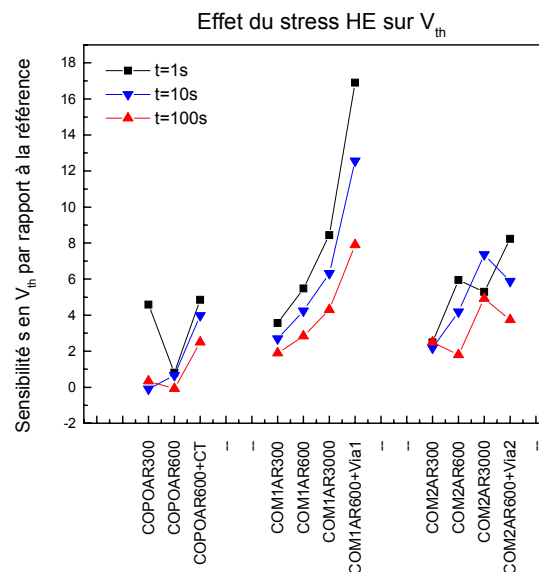


Figure 25: Influence du temps de stress sur la sensibilité en V_{TH} au ratio d'antenne lors d'un stress porteurs chauds(HE) sur des transistors PMOSFET 10/0.6 μm .

Le niveau Métal 1 (M1) s'est révélé pour cette technologie le plus affecté par le ratio d'antenne, et la comparaison des deux types de stress fait apparaître une meilleure sensibilité et lisibilité du stress porteurs chauds pour révéler cet effet, en particulier vis à vis d'une simple étude paramétrique avant stress qui ne faisait apparaître que des variations inférieures à 6% sur V_{TH} . Nous avons également testé la répétitivité des résultats et l'impact du temps de stress entre 1s et 100s qui faisait apparaître une très bonne reproductibilité (Figure 25), permettant de valider une méthodologie utilisant des injections jusque 1s (voir en particulier le niveau Métal 1).

3.4.2 Transistors 10/0.18 μ m

Les dispositifs en HE et en FN testés furent les suivants:

- ref PMOSFET 10/0.18 μ m protégé au niveau de la grille
- D2 AR50 M2 antenna
- D3 AR50 M3 antenna
- D4 AR50 M5 antenna
- D5 AR50 comb/M1 antenna + vias

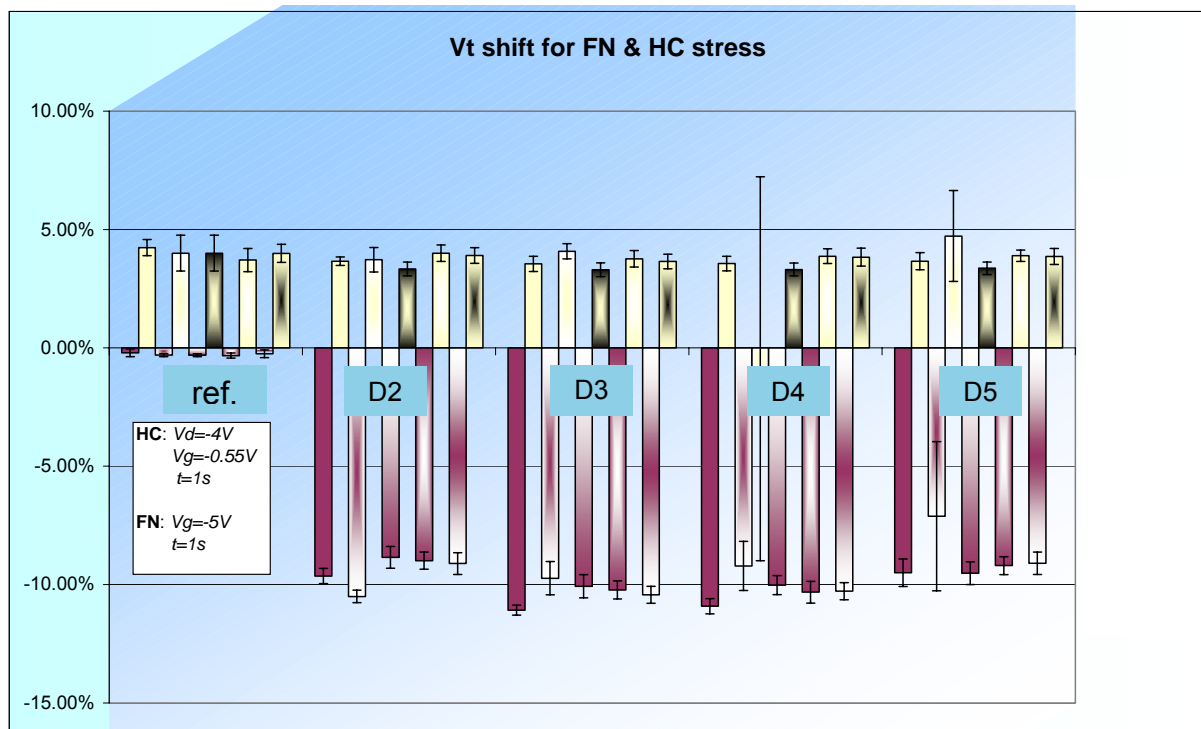


Figure 26: Décalage en tension de seuil en fonction du niveau de métal après un stress porteurs chauds et un stress FN sur des transistors 10/0.18 μ m.

Les résultats (Figure 26), très répétitifs, montrent sans ambiguïté une bien meilleure sensibilité du stress porteurs chauds (HE) à l'effet de charging entre l'échantillon de référence protégé et les dispositifs à antenne, alors que des résultats identiques et donc **non révélateurs** sont obtenus après stress FN. En fait cette sensibilité est due au piégeage au temps courts de stress (1s) dans le cas HE d'une charge négative sur des défauts attribuables au charging, effet compensé aux temps longs par la création de pièges donneurs, qui est le mode dominant dès les temps courts pendant le stress FN, comme montré sur la Figure 27.

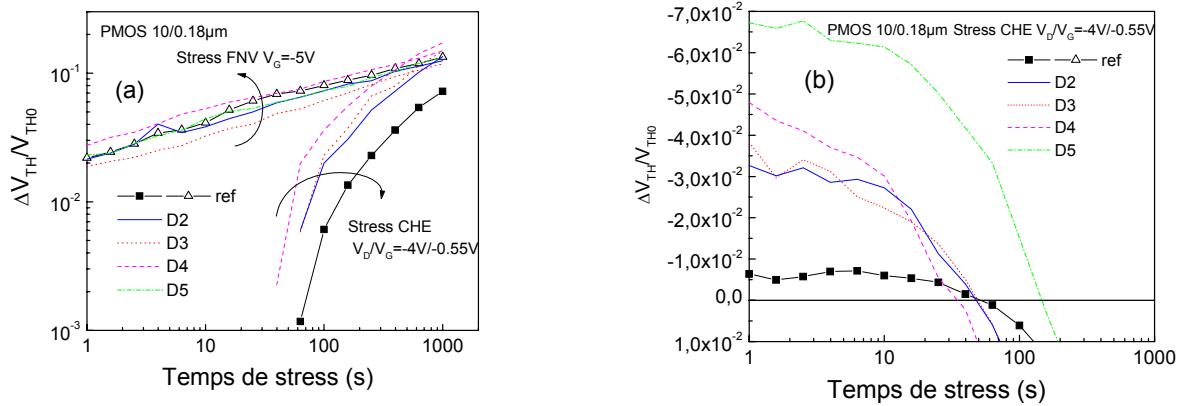


Figure 27: Effet d'un stress HE et d'un stress FN sur V_{TH} aux temps longs (a) et courts (b).

3.4.3 Transistors 10/0.25 µm

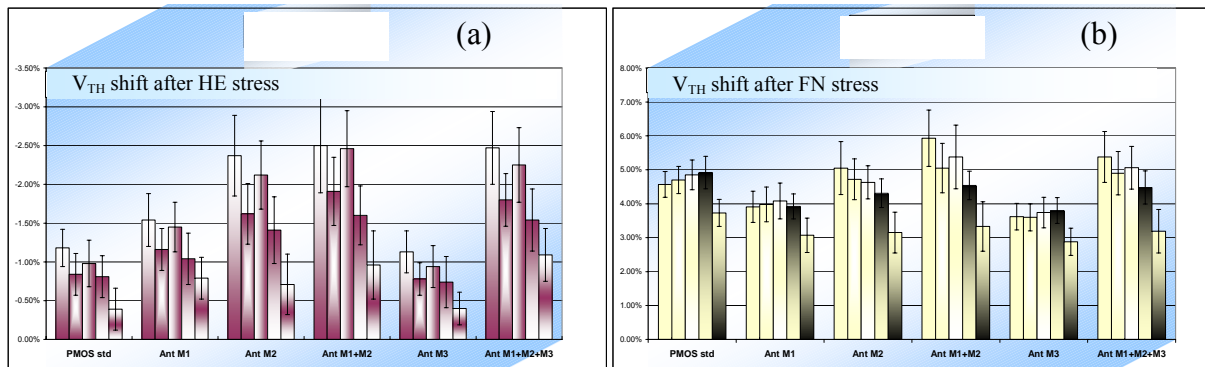


Figure 28: Décalage en tension de seuil en fonction du niveau de métal après un stress porteurs chauds (HE) (a) et un stress FN (b) sur des transistors PMOSFET 10/0.25 µm.

La Figure 28 illustre les résultats obtenus sur les décalages en V_{TH} pour la technologie 10/0.25µm après des stress porteurs chauds (HE) ou FN. On observe ici encore une bien meilleure sélectivité des stress porteurs chauds, qui mettent en évidence un effet d'antenne (dépendance en fonction de la position de l'antenne) alors que les stress FN ne montrent aucune variation entre les dispositifs. Ceci se traduit sur le graphique de sensibilité ci-dessous (Figure 29), qui met là encore en évidence clairement la capacité des stress porteurs chauds à révéler un dégât lié au charging:

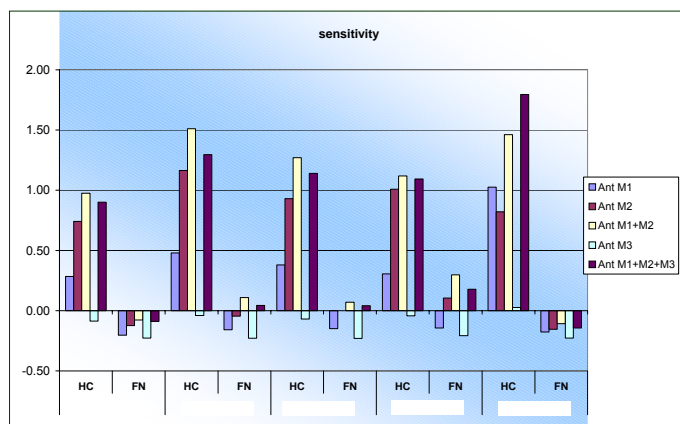


Figure 29: Sensibilité en V_{TH} (par rapport à l'échantillon de référence) des stress HE et FN sur les transistors 10/0.25 μ m 10/0.25 μ m.

3.4.4 Effet d'un plasma HDP

Nous avons été amené à étudier au cours de ce travail un effet parasite lié à une machine de dépôt plasma HDP (High Density Plasma). Celle-ci induisait en effet de façon reproductible et systématique un décalage sur la tension de seuil de transistors PMOS de champ (sur oxyde de champ), décalage qui n'était pas observé sur les dispositifs LV/HV (*Low Voltage / High Voltage*). La question posée était de savoir si ce décalage provenait d'un problème de charging simplement non détecté sur les dispositifs LV/HV lors de l'étude paramétrique, et si une différence était visible sur la fiabilité long terme de ces dispositifs. Nous avons donc soumis des transistors PMOS 10/0.6 μm LV HDP et non-HDP (STD) à des injections d'électrons chauds (condition de maximum de courant électronique HE). Nous disposions également de dispositifs de référence protégés au niveau de la grille (Réf) ou possédant une antenne au niveau métal 1 (M1:AR=500). Aucune différence n'a été relevée sur les dispositifs non stressés (dispositifs vierges). Seule une petite mais significative différence montrée ci-dessous (Figure 30) est visible sur l'évolution de la tension de seuil pendant le stress :

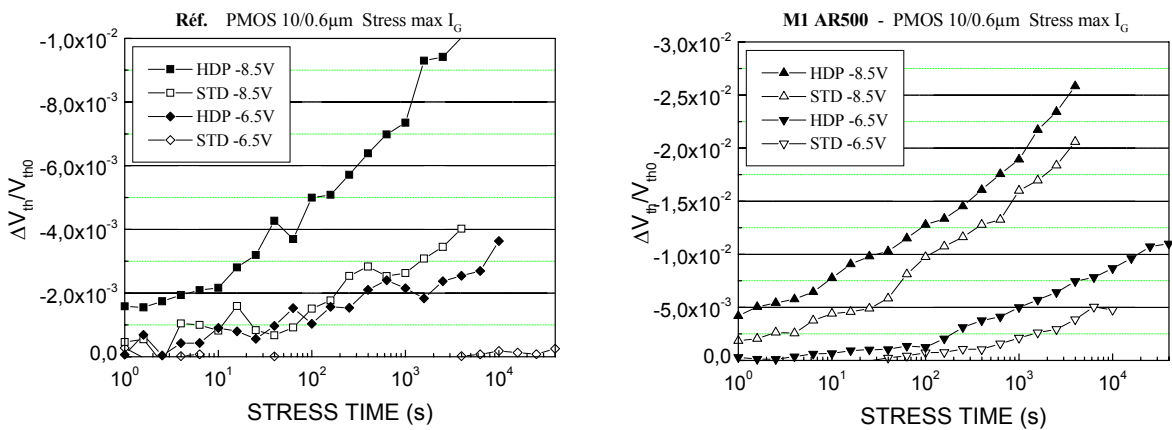


Figure 30: Impact du HDP sur la fiabilité long terme de dispositifs PMOS LV.

Un effet d'antenne est cependant mis en évidence puisque le dispositif M1 est plus dégradé que le dispositif de référence. Nous avons également recherché un effet sur le courant de fuite de grille. De ce point de vue cependant, un léger décalage des courbes a pu être mis en évidence entre les dispositifs HDP et non HDP, comme montré ci-dessous (Figure 31):

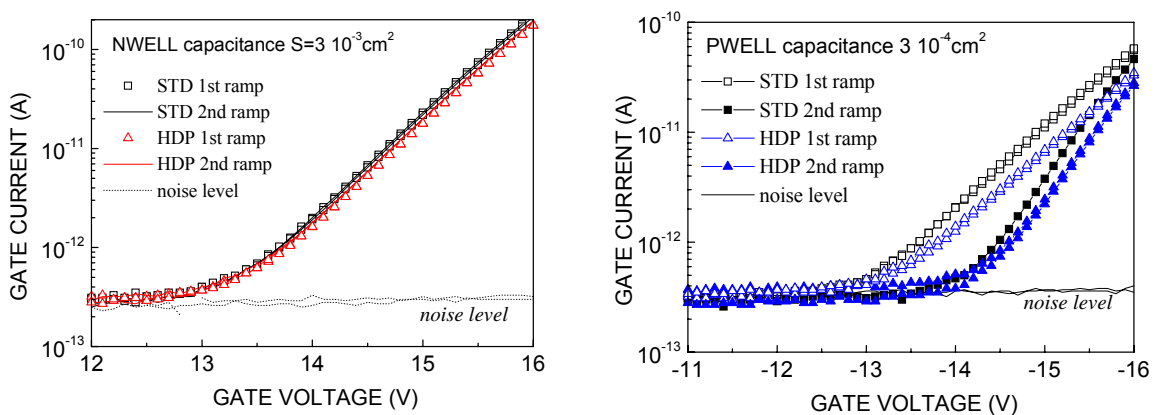


Figure 31: Impact du HDP sur le courant de fuite de grille de capacités MOS sur PWELL.

Cependant, aucun effet n'a pu être décelé par ailleurs sur les $C(V)$ à 100kHz, ce qui indique que ces décalages ne sont pas dus à des charges piégées à l'interface Si/SiO₂. En conclusion, un léger effet du HDP sur les dispositifs LV a été mis en évidence sur la fiabilité long terme en V_{TH} et sur le courant de fuite de grille, sans que ces effets aient permis d'identifier définitivement l'origine physique du problème constaté.

3.5 Conclusion

Nous avons établi au cours de ce travail une méthodologie optimisée de détection du Wafer Charging utilisant des injections d'électrons chauds dans le PMOS (à la condition de maximum de courant de grille) et un critère de suivi portant sur la tension de seuil (variation relative de V_{TH} par rapport à un échantillon de référence protégé ou "sensibilité" au charging). Cette méthode s'est révélée plus pertinente et révélatrice des dégâts liés au charging que les injections Fowler-Nordheim, qui pour les oxydes minces s'est révélée peu pertinente sur les trois technologies de transistors testées (10/0.6 μ m, 10/0.25 μ m, 10/0.18 μ m). Enfin, elle est potentiellement opérationnelle pour des durées de stress testées jusqu'à 1s, ce qui pourrait la rendre utilisable "on-line" pour le contrôle de production WLRC.

Cette technique a déjà été utilisée dans deux applications: l'une concernant un effet de zone constaté suite à une étape plasma (non reportée ici) et l'influence d'une machine HDP. Dans le premier cas, elle a permis de mettre hors de cause l'étape de gravure plasma suspectée et d'incriminer les étapes IMD/passivation, et dans le second cas, elle a pu mettre en évidence une légère influence du HDP sur l'évolution de la tension de seuil pendant l'injection d'électrons chauds.

4. Détection du Fer dans des échantillons contaminés par DLTS.

(Collaboration: STMicroelectronics Rousset – Nicolas Pic / Séverine Blanc – Stage de Masters in Microelectronics Technology & Manufacturing Management)

4.1 Position du problème

La contamination des échantillons par des ions métalliques, en particulier le Fer [43-59], est un risque permanent pour les centres de production en micro-électronique. Ces derniers doivent donc à tout instant s'assurer de la pureté des tranches de Silicium vis à vis de ce problème, à l'aide de techniques "in line" rapides, non-destructrices et pertinentes, permettant en plus si possible de déterminer la cause de la contamination. C'est le cas par exemple de la technique SPV (*Surface Photo-Voltage*) [60], qui une fois calibrée permet de suivre le niveau de contamination par une mesure indirecte du temps de vie des porteurs dans l'échantillon. Des techniques plus lourdes ou destructrices permettent en différé une analyse physique plus poussée autorisant l'identification et la quantification précise des impuretés responsables de la contamination: citons le SIMS (*Secondary Ion Mass Spectroscopy*), les microscopies ou spectroscopies électroniques telles le TEM (*Transmission Electron Microscopy*) ou l'AES (*Auger Electron Spectroscopy*) et les microscopies en champ proche du type AFM (*Atomic Force Microscopy*). La DLTS (*Deep Level Transient Spectroscopy*) est une technique électrique appartenant à cette seconde catégorie, puisqu'elle permet l'identification et la quantification les défauts de volume ou d'interface, mais qu'elle nécessite des échantillons préparés et demande plus de temps et d'analyse qu'une technique "in line".

L'objectif de notre travail a été ici ponctuellement, sur des échantillons préalablement contaminés avec du Fer, de tester la capacité de la DLTS à détecter et quantifier la présence des défauts liés au Fer dans la structure, et de comparer ces résultats à ceux de la technique SPV dans un but de calibration.

4.2 La technique DLTS

On ne donnera pas ici un exposé détaillé de la DLTS, qui se trouvera dans les références [61-64]. On rappellera juste son principe et ses principales applications. La DLTS est une technique spectroscopique analysant les transitoires de capacités (ou de courant) associés à la charge qui se piège puis est ré-émise sur des défauts situés près de la surface (dans le volume) ou à l'interface lors d'un pulse de polarisation périodique (remplissage du défaut pendant le pulse et vidage durant la tension de base). Le filtrage DLTS fournit en sortie une réponse maximale R_{max} lorsque la constante de temps du transitoire est égale à une fenêtre fixée par le système de filtrage (en l'occurrence proportionnelle à la période de répétition du pulse pour une détection synchrone double phase). Cette constante de temps (qui est en fait l'inverse du taux d'émission e_n du défaut) étant très dépendante de la température, on peut obtenir par une série de relevés DLTS (pics pendant un balayage en température) pour des fenêtres du filtre différentes (fixées par différentes fréquences de répétition du pulse) une série de couples taux d'émission – température (e_n, T_i) , qui permet d'obtenir la position énergétique ΔE_t du niveau de défaut par rapport à la bande où est émis le porteur piégé et sa section de capture σ , via un plot d'Arrhénius $\text{Log}(e_n/T^2)$ en fonction de $1/kT$ de la relation suivante:

$$e_n = \sigma \gamma T^2 \exp\left(-\frac{\Delta E_t}{kT}\right) \quad (2)$$

où T est la température, γ un paramètre caractéristique du matériau et k la constante de Boltzmann. La connaissance de ΔE_t et σ autorise une identification du défaut concerné en référence à des valeurs connues dans la littérature, et l'amplitude maximale R_{\max} du pic DLTS rend possible l'estimation de sa concentration N_t , via la relation suivante:

$$\frac{R_{\max}}{C} = G \frac{N_t}{2N_D} \quad (3)$$

où C est la valeur de la capacité pour la tension de base du pulse appliqué à la température du pic DLTS (qui nécessite une mesure de $C(T)$ pour la valeur de la tension de base), N_D la concentration de dopants dans l'échantillon et G un facteur expérimental dépendant du type de filtrage employé et des valeurs des tensions de polarisation (facteurs géométriques tenant compte des extensions des zones de charge d'espace dans l'échantillon).

La dispositif que nous avons utilisé est montré ci-dessous (Figure 32):

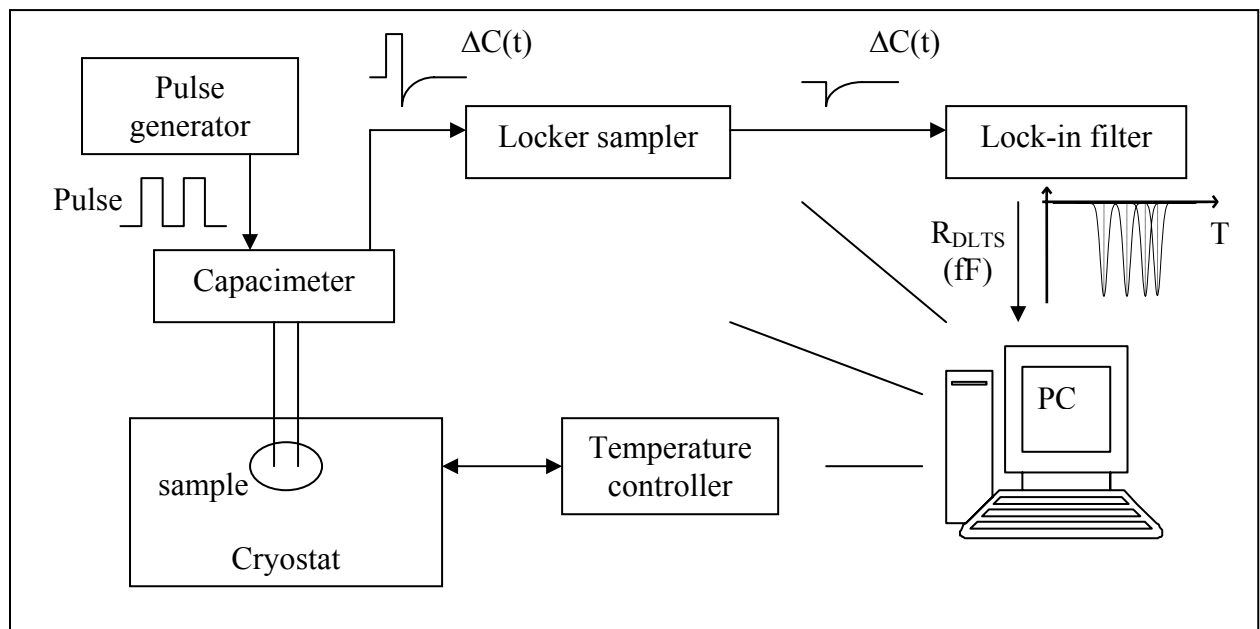


Figure 32: Dispositif expérimental pour la DLTS

4.3 Expériences réalisées

Nous avons préparé spécialement des échantillons pour la DLTS en réalisant des diodes Schottky sur un wafer de type P de résistivité donnée entre 7 et 10 $\Omega \cdot \text{cm}$, ce qui correspond à un dopage au Bore de 1.3 à $1.8 \times 10^{15} \text{ cm}^{-3}$, contaminé au Fer ($[\text{Fe}] = 67 \cdot 10^{10} \text{ at} \cdot \text{cm}^{-2}$) et sur un wafer de référence. Pour cela, l'oxyde a tout d'abord été retiré chimiquement (HF + rinçage/séchage). Le Wafer est ensuite découpé en échantillons rectangulaires (15x10mm) compatibles avec le support du cryostat utilisé. Puis des dépôts d'or circulaires d'un diamètre d'environ 460 μm sont réalisés par pulvérisation cathodique sous plasma Argon l'échantillon collé sur le porte-échantillon du cryostat sous pointes à l'azote liquide à l'aide de laque à l'argent (pour le contact face arrière).

Le Fer dans le silicium est connu pour donner lieu principalement à deux types de défauts: la paire Fe-B (connue pour fournir un niveau référencé à $E_t = E_v + 0.10$ eV et apparaissant à peu près autour de 60°K), et le Fer interstitiel Fe_i , n'apparaissant qu'après activation thermique à plus de 200°C et étant instable se re-décomposant en paires Fe-B. Nous avons donc réalisé trois séries de spectres DLTS: sur échantillon de référence non contaminé, sur échantillon contaminé et sur échantillon contaminé après activation thermique dans une étuve à 210°C (10mn) et 220°C (15mn). Les conditions typiques de polarisation utilisées lors de ces expériences étaient:

- $V_{base}=6V$, $V_{pulse}=1.8V$
- durée du pulse : 2ms,
- temps de blocage après le pulse : 1ms
- fréquence : de 10 à 60 Hz

Les spectres DLTS obtenus sont montrés sur la Fig.16.

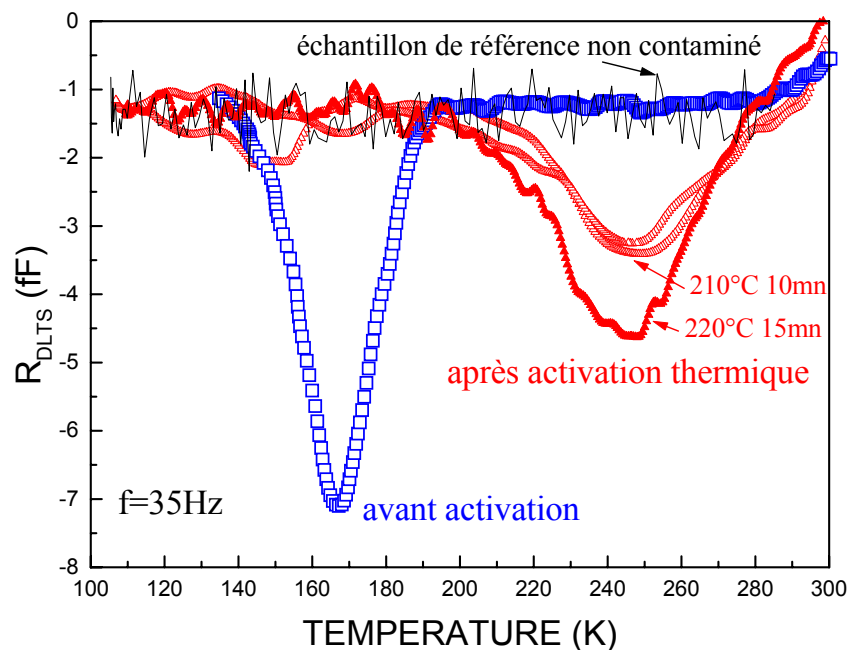


Figure 33: Spectres DLTS obtenus pour un échantillon de référence, puis pour un échantillon contaminé avant et après activation thermique

Les résultats de la Figure 33 montrent clairement que les pics relevés sont bien liés au Fer (par comparaison à la courbe de référence) et une modification de la nature des défauts après activation thermique. Un pic autour de 160°K est obtenu avant activation, un second autour de 250°K après activation. On peut d'ailleurs noter que le pic à 160°K existe encore, mais à beaucoup plus faible niveau après activation thermique. Enfin, le pic à 250°K disparaît rapidement (quelques heures) au profit du pic à 160°K. L'étude en fréquence de ces deux pics est montée sur les Figure 34 et 35 et les tracés d'Arrhénius correspondants sur la Figure 36. Le premier niveau (avant activation autour de 160°K) est trouvé à $E_t=E_v+0.14 \pm 0.01$ eV et le second (après activation autour de 250°K) à $E_t=E_v+0.38 \pm 0.15$ eV. Le second niveau correspond bien aux données connues du Fer interstitiel Fe_i . Par contre, même si nous aurions envie d'associer le premier niveau à la paire Fe-B, son niveau est légèrement différent de celui reporté dans la littérature (0.10eV) et il apparaît surtout à une température très différente de celle reportée pour ce défaut (60°K). Nous pouvons juste confirmer qu'il s'agit bien là d'un défaut lié au Fer.

Concernant les concentrations, les calculs donnent pour le pic à 160°K (lié sans doute à Fe-B) $1,820 \times 10^{13} \text{ cm}^{-3}$ et $1,44 \times 10^{13} \text{ cm}^{-3}$ pour Fe_i (pic à 250°K). La corrélation est bonne avec la technique SPV, qui donnait pour ces échantillons une concentration en Fer de $1,63 \times 10^{13} \text{ cm}^{-3}$. En effet la valeur pour Fe-B est à peine supérieure à la valeur obtenue par SPV et la quantité de Fe_i est plus faible, probablement à cause de l'activation thermique non totale.

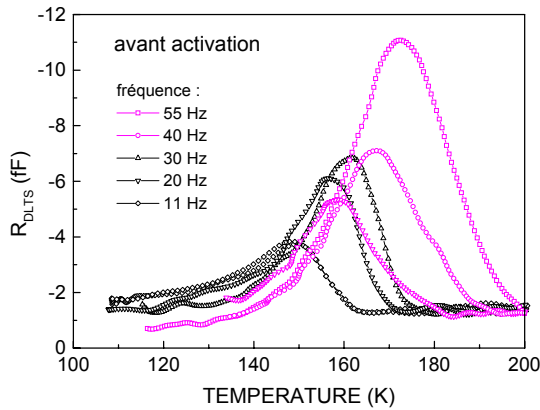


Figure 34: Etude en fréquence du pic à 160°K avant activation thermique

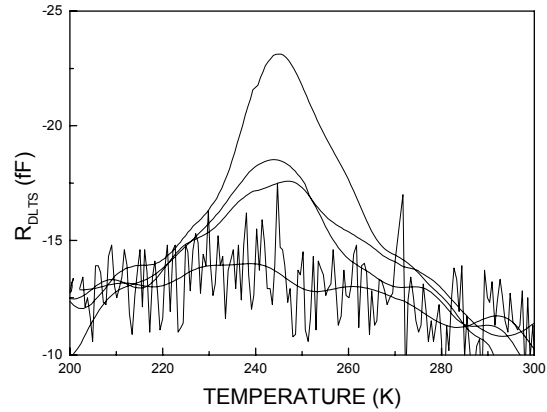


Figure 35: Etude en fréquence du pic à 250°K après activation thermique

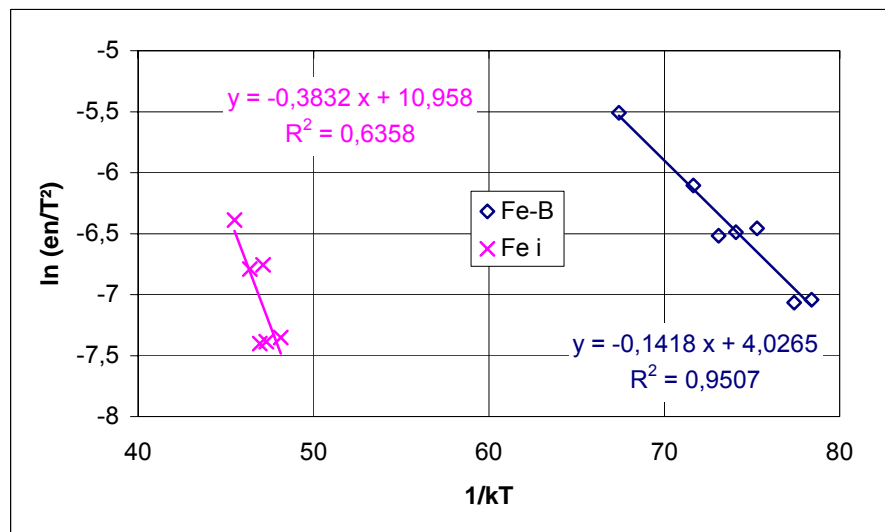


Figure 36: Tracés d'Arrhénius des deux pics DLTS liés au Fer avant et après activation thermique.

4.4 Conclusion

Nous avons confirmé par DLTS la présence de défauts électriquement actifs dans les échantillons étudiés contaminés au Fer, et corréler avec succès les concentrations de défauts associés détectés par DLTS et SPV. Nous avons établi l'existence de deux types de défauts: le premier donnant un pic autour de 160°K, probablement lié à la paire Fe-B, sans que nous ayons pu confirmer définitivement cette assertion, et le second autour de 250°K, instable dans le temps, qui apparaît au dépens du premier défaut après une activation thermique au-dessus de 200°C, et dont les propriétés électriques l'identifient comme le Fer interstitiel Fe_i. Ce dernier se re-transforme en défaut précédent spontanément en quelques heures.

5. Références du chapitre 3.

5.1 Références paragraphe 2

- [1] Maserjian J., Zamani N., Behavior of the Si/SiO₂ interface observed by Fowler-Nordheim tunneling. *J.Appl.Phys.* 1982, **53**(1), 559-567.
- [2] Olivo P., Nguyen T.N., Ricco B., Modeling and simulation of stress-induced leakage current in ultrathin SiO₂ films. *IEEE Trans.Electron Dev.*, 1993, **ED-35** n°12, 231-233.
- [3] Matsukawa N., Yamada S., Amemiya K., Hazama H., A hot hole-induced low-level leakage current in thin silicon dioxide films. *IEEE Trans.Electron Dev.*, 1996, **ED-43** n°11, 1924-1929.
- [4] Wang T., Zous N.K., Lai J.L, Huang C., Hot hole stress induced leakage current (SILC) transient in tunnel oxides. *IEEE Electron Dev.Lett.*, 1998, **EDL-19** n°11, 411-413.
- [5] Goguenheim D., Bravaix A., Vuillaume D., Mondon F., Jourdain M., Meinertzhagen A., Stress induced leakage currents in N-MOSFETs submitted to channel hot carrier injections. *Journal of Non-Crystalline Solids*, 1999, **245**, 41-47.
- [6] Ceschia M., Paccagnella A., Scarpa A., Cester A., Ghidini G., The dependence of the ionizing radiation induced leakage current versus the total dose on ultra-thin gate oxides. *Microelectronics Reliability*, 1999, **39** n°2, 221-226.
- [7] Kim S.U., Analysis of thin gate oxide degradation during fabrication of advanced CMOS ULSI circuits. *IEEE Trans.Electron Dev.*, 1998, **ED-45** n°3, 731-736.
- [8] Duenas S., Castan E., Enriquez L., Barbolla J., Montserrat J., Lora-Tamayo E., Characterization of the damage induced in boron-implanted and RTA annealed silicon by the capacitance-voltage transient technique. *Semicond. Sci. Technol.*, 1994, **9**, 1637-1648.
- [9] Müller-Jahreis U., Thiele P., Bouafia M., Seghir A., Determination of low-energy ion implantation damage parameters by an ellipsometric method. *J.Phys III*, France 1995, **5**, 575-584.
- [10] Milita S., Servidori M., Damage in ion implanted silicon measured by x-ray diffraction. *J.Appl.Phys.*, 1996, **79** (11), 8278-8284.
- [11] Benett D.J., Price T.E., Distribution of damage clusters in ion-implanted silicon. *Semicond.Sci.Technol.*, 1993, **8**, 1496-1500.
- [12] Bedrossian P.J., Caturla M.J., Diaz de la Rubia T., Damage evolution and surface defect segregation in low-energy ion-implanted silicon. *Appl.Phys.Lett.*, 1997, **70** (2), 176-178.
- [13] Tian Shiyang, Morris M.F., Morris S.J., Obradovic B., Wang G., Tasch A.F., Snell C.M., A detailed physical model for ion implant induced damage in silicon. *IEEE Trans.Electron Dev.*, 1998, **ED-45** n°6, 1226-1237.
- [14] Holland O.W., Budai J.D., Nielsen B., The role of defect excesses in damage formation in Si during ion implantation at elevated temperature. *Materials Science and Engineering*, 1998, **A253**, 240-248.
- [15] Carnera A., Gasparotto A., Berti M., Fabbri R., Influence of channeling effects on ion distribution and damage profiles during high energy ion implantation in Si. *Mikrochim. Acta*, 1994, **114/115**, 205-211.

- [16] Hobler G., Simionescu A., Palmethofer L., Tian C., Stinger G., Boron channeling implantations in silicon: modeling of electronic stopping and damage accumulation. *J.Appl.Phys.*, 1995, **77** (8), 3697-3703.
- [17] Chao H.S., Crowder S.W., Griffin P.B., Plummer J.D., Species and dose dependence of ion implantation damage induced transient enhanced diffusion. *J.Appl.Phys.*, 1996, **79** (5), 2352-2363.
- [18] Kaabi L., Ben Brahim J., Remaki B., Gontrand C., El Omari H., Bureau J.C., Sassi Z., Balland B., The residual electrically active damage in low energy boron implanted silicon: rapid thermal annealing and implant mass effects. *Eur. Phys. J. Appl. Phys.*, 1998, **3**: 49-52.
- [19] Garrido B., Samitier J., Morante J.R., Montserrat J., Dominguez C., Configurational statistical model for the damaged structure of silicon oxide after ion implantation. *Phys.Rev.B*, 1994, **49** (21), 14845-14849.
- [20] Riess P., Kies R., Ghibaudo G., Pananakakis G., Brini J., Reversibility of charge trapping and SILC creation in thin oxides after stress/anneal cycling. *Microelectronics Reliability*, 1998, **38**, 1057-1061.
- [21] Riess P., Ghibaudo G., Pananakakis G., Brini J., Annealing kinetics and reversibility of stress-induced leakage current in thin oxides. *Appl.Phys.Lett.*, 1998, **72**(23), 3041-3043.
- [22] Moragues J.M., Lambert P., Monserie C., Boivin P., Bravaix A., Goguenheim D., Impact of Boron Implantation on thin oxide reliability. Submitted for publication.
- [23] Goguenheim D., Bravaix A., Monserie C., Moragues J.M., P.Lambert P., Boivin P., Comparison of oxide leakage currents induced by ion implantation and high field electric stress. *Microelectronics and Reliability*, 2000, **40** (4-5), 751-754.
- [24] Goguenheim D., Bravaix A., Monserie C., Moragues J.M., P.Lambert P., Boivin P., Comparison of oxide leakage currents induced by ion implantation and high field electric stress, *Solid State Electronics*, 2001, Vol. **45** (8), 1355-1360.
- [25] Scarpa A., Ghibaudo G., Ghidini G., Pananakakis G., Paccagnella A., Stress induced leakage current in ultra-thin gate oxides after constant current stress. *Microelectronic Engineering*, 1997, **36**, 145-148.
- [26] K.L. Brower, S.M. Myers, Chemical kinetics of hydrogen and Si-SiO₂ interface defects. *Appl.Phys.Lett.*, 1990, **57** n°2, 162-164.
- [27] Chou A.I., Lai K., Kumar K., Chowdhury P., Lee J.C., Modeling of stress-induced leakage current in ultrathin oxides with the trap-assisted tunneling mechanism. *Appl.Phys.Lett.*, 1997, **70** n°25, 3407-3409.

5.2 Références paragraphe 3

- [28] Vincent, V.(ST), Wafer Level Reliability. *Cours ISEM*, 2001.
- [29] Zonza, S., Etude des pièges induits dans l'oxyde de grille par les procédés plasma. *Rapport de DEA Microélectronique (Grenoble)*, 1998.
- [30] Eriguchi, K., Yamada, T., Kosaka, Y., Niwa, M., Impact of Plasma Process Induced Damage on Ultra-Thin Gate Oxide Reliability, *Proc. of IEEE Intl. Reliability Physics Symp.*, 1997, 178-183.

- [31] Park, D., Hu, C., Plasma Charging Damage on Ultrathin Gate Oxides. *IEEE Electron Dev. Letters*, 1998, **19**(1), 1-3.
- [32] Lin, H. C., Chen, C. C., Chien, C. H., Hsein, S. K.; Wang M. F., Chao, T. S., Huang, T. Y., Chang, C. Y., Evaluation of Plasma Charging Damage in Ultrathin Gate Oxides. *IEEE Electron Dev. Letters*, 1998, **19**(3), 68-70.
- [33] Hu, C., Gate Oxide Scaling Limits and Projection. *IEDM Tech. Digest*, 1996, 96-99.
- [34] Guan H. et al., Predicting Plasma Charging Damage in Ultra thin Gate Oxide by Using Nondestructive DCIV Technique. *99 IRW Final Report*, 1999, 20.
- [35] El Hassan, M. G., Awadelkarim, O. O., Werking, J. D., The Impact of Metal-1 Plasma Processing-Induced Hot Carrier Injection on the Characteristics and Reliability of n-MOSFET's. *IEEE Transactions on Electron Devices*, 1998, **45**(4), 861-866.
- [36] Chao T. S., Plasma-Induced Charging Damage in Ultrathin (3-nm) Gate Oxides. *IEEE Transactions on Electron Devices*, 2000, **47**(7), 1355-1360.
- [37] Watanabe, H., Komori, J., Higashitani, K., Sekine, M., Koyama, H., A Wafer Level Monitoring Method for Plasma-Charging Damage Using Antenna PMOSFET Test Structure. *IEEE Transactions on Semiconductor Manufacturing*, 1997, 10(2), 228-232.
- [38] Kim S. U. et al., A test structure for Plasma Process Charging Monitor in Advanced CMOS technologies. *96 IRW Final Report*, 1997, 57.
- [39] Legrand, N., Monserie, C., Moraguès, J. M., Goguenheim, D., Lot 13 – Fiabilité des technologies CMOS Wafer Charging. *Rapport final convention STSI (phase 5)*, Communication privée, 2002.
- [40] Goguenheim, D., Bravaix, A., Gomri, S., Moragues, J. M., Monserie, N., Legrand, N., Boivin, P., Improved methodology based on hot carriers injections to detect wafer charging damage in advanced CMOS technologies. *Proceedings of MIEL'04*, 2004, 649-652.
- [41] Goguenheim, D., Bravaix, A., Gomri, S., Moragues, J. M., Monserie, N., Legrand, N., Boivin, P., Impact of Wafer Charging on Hot Carrier reliability and optimization of latent damage detection methodology in advanced CMOS technologies. *Microelectronics Reliability*, 2005, **45**, 487-492.
- [42] Goguenheim, D., Bravaix, A., Gomri, S., Moragues, J. M., Monserie, N., Legrand, N., Boivin, P., Méthodologie optimisée de détection du Wafer Charging basée sur des injections de porteurs chauds dans les technologies CMOS avancées. *Actes des 2^{èmes} journées "Fiabilité des composants et packaging" du RTP31 Fiabilité du département STIC (CNRS), Carry le Rouet (15-16 mars 2004)*, 2004.

5.3 Références paragraphe 4

- [43] Dobaczewski L., Kaminski P., Kozlowski R., Surma M., High resolution DLTS studies of transition-metal-related defects in silicon. *Proceedings of the 18th International Conference on Defects in Semiconductors (ICDS 18 – Sendai, Japan august 1995)*, 1995.
- [44] Laczic Z., Bouwhuis L., Booker G. R., Falster R., Gettering of low concentration Copper, Nickel and Iron contamination in Czochralski Silicon wafers. *Solid State Phenomena*, 1996, Vols. **47-48**, 177-182

- [45] Kitagawa H. and Tanaka S., Defects Reaction and Electrical Properties of Iron in N-Type Silicon, *Mater. Res. Soc. Symp. Proc. (MRS 1995 Spring Meeting, San Francisco)*, 1995, **298**, 415.
- [46] Kitagawa H. and Tanaka S., Iron-Related Donor Level in N-Type Silicon. *Jpn. J. Appl. Phys.*, 1995, **34**, L721.
- [47] Tanaka S., Kitagawa H., In-Diffusion and Isothermal Annealing of Iron-Related Defects in Czochralski N-Type Silicon. *Jpn. J. Appl. Phys.*, 1998, **37**, Part 2, L4.
- [48] Kitagawa H. and Tanaka S., Electrical Properties of Iron-Related Defects in CZ- and FZ Grown N-Type Silicon, *Mater. Res. Soc. Symp. Proc. (MRS 1998 Spring Meeting, San Francisco)*, 1998, **510**, 47.
- [49] Tanaka S., Kitagawa H., Diffusion and Electrical Properties of Iron-Related Defects in N-Type Silicon Grown by Czochralski and Floating Zone Method, *Jpn. J. Appl. Phys.*, 1998, **37**, 4656.
- [50] Kitagawa H. and Tanaka S., Iron-Related Defect Model in N-Type Silicon Based on the Electrical and Diffusion Properties. *Physica*, 1999, **B273-274**, 416.
- [51] Kitagawa H., Diffusion and Electrical Properties of 3d Transition-Metal Impurities in Silicon. Solid State Phenomena (Invited Review), 2000, **71**, 51.
- [52] Chantre, A., Bois, D., *Phys. Rev. B.*, 1985, **B31**, 7979.
- [53] Kimerling, L. C., Benton, J. L., *Physica*, 1983, **B116**, 297.
- [54] Nakashima, H., Sadoh, T., Tsurushima, T., *Phys. Rev. B.*, 1994, **B49**, 16983.
- [55] Takahashi, T., Suezawa, M., Sumino, K., *Materials Science Forum*, 1992, vols. **83-87**, 155.
- [56] Sakauchi, S., Suezawa, M., Sumino, K., *J. Appl. Phys.*, 1996, **80**, 6198.
- [57] Hieslmair, H., Istratov, A. A., McHugo, S. A., Flink, C., Weber, E. R., Precipitation of iron in FZ and CZ silicon. *Materials Science Forum*, 1997, vols. **258-263**, 449-454.
- [58] Mari, B., Navarro, F. J., Hernandez, M. A., Ferrero, J. L., Study of iron-related defects in Si-InP by positron annihilation spectroscopy. *Materials Science Forum*, 1997, vols. **258-263**, 819-824.
- [59] Takahashi, T., Suezawa, M., Recombination-enhanced Fe atom jump of Fe-acceptor pairs in Si. *Materials Science Forum*, 1997, vols. **258-263**, 443-448
- [60] Mathieu H., Physique des semi-conducteurs et des composants électroniques. *Masson Collection Enseignement de la Physique*, 1987.
- [61] Lang D.V., DLTS, *J. Appl. Phys.*, 1974, **45**, 3023.
- [62] Blood P. and Orton J.W., "The Electrical Characterisation of Semiconductors: Majority Carriers and Electron States", *Academic Press London (ISBN 0-12-528627-9)*, 1992.
- [63] Bourgoin J., Lannoo M., "Point Defects in Semiconductors, Tome II: Experimental aspects". *Springer Verlag – Berlin*, 1983.
- [64] Blanc S., "Iron contamination study in P-type silicon by surface photovoltage (SPV) – comparison with other techniques", Mémoire de « Masters in Microelectronics Technology & Manufacturing Management », Rousset, 2001.

CONCLUSION GENERALE ET PERSPECTIVES

Cette conclusion générale portera de façon globale sur l'ensemble de mon parcours depuis 1994. Elle comportera d'abord un rappel des points scientifiques principaux ou marquants étudiés ou établis lors de travaux détaillés dans les trois chapitres précédents. Je donnerai ensuite les perspectives actuelles de ce travail ainsi que de façon plus prospective mes souhaits personnels. Je terminerai cette conclusion par les réflexions que m'ont inspirées presque vingt années d'enseignement et ma vision du lien entre enseignement et recherche.

Au niveau scientifique, la trame générale des travaux effectués est la fiabilité des composants à base de structures MOS, mais les résultats principaux portent sur la fiabilité des oxydes ultra-minces de SiO₂ utilisés comme isolant de grille dans ces composants. Notre contribution a porté surtout sur les nouveaux modes intrinsèques de dégradation lorsque l'épaisseur d'oxyde tombe sous les 10 nm, à savoir le SILC ou LVSILC et le soft-breakdown. Un premier fait marquant concerne le lien entre SILC et injection de porteurs chauds que nous avons établi clairement dans les oxydes de 3.8 et 4.7nm dans le cas d'injection de trous chauds. L'analyse de ces courants de fuite en excès, de leur dépendance en champ et en température soutient un modèle d'effet tunnel assisté par des défauts neutres barycentriques dans l'oxyde, même si une composante partielle de type Schottky est identifiable dans les échantillons de 4.7nm. Pour le soft-breakdown, nous avons proposé un modèle très simple, fondé sur un rétrécissement local de l'épaisseur d'oxyde sur une surface comprise entre 20 nm² et 100 nm², et qui aboutit à une dépendance de type tunnel direct du courant de fuite dans ce régime.

Concernant le LVILC, nous l'avons étudié extensivement entre 2.5 et 1.2 nm. Mis nettement en évidence suite à des stress à tension constante, sa génération par les porteurs chauds est moins efficace que dans le cas du SILC. Nous proposons d'interpréter ce LVSILC comme un effet tunnel assisté par des niveaux de la densité d'états d'interface, localisés dans cette hypothèse près des bandes de conduction ou de valence. Au niveau des mécanismes de génération, il est démontré que ces derniers sont principalement déterminés par l'énergie des porteurs injectés (y compris dans le cas des injections de porteurs chauds du substrat), et aboutit à une loi d'accélération en V_G pour le vieillissement en mode tunnel direct. On remonte jusqu'à une loi générale, et a priori indépendante de T_{OX} ou de F_{OX} , donnant la probabilité de création de défauts en fonction du paramètre (tension appliquée) déterminant principalement l'énergie des porteurs injectés.

Nos études sur les porteurs chauds nous ont aussi amené à étudier la prédiction des mécanismes de dégradation lors de configurations dynamiques (AC), représentatives des séquences de polarisation « vues » par les circuits en mode normal de fonctionnement. Le résultat pratique de ce travail est la mise en application d'une méthodologie s'inspirant de l'hypothèse quasi-statique pour la prévision des durées de vie AC. Cette méthodologie, éprouvée et comparée aux résultats de mesure dans un certain nombre de cas où sa validité est reconnue, a ensuite été appliquée au cas plus complexe du transistor de passage NMOS. L'accord reste satisfaisant, mais nous avons également mis en évidence les limitations de cette technique lors de séquences AC faisant intervenir des relaxations, des périodes de dépiégeage ou des dégradations bi-directionnelles.

Enfin, nos collaborations avec les centres de R&D industriels, nous ont amené, un peu ponctuellement c'est vrai au gré des problématiques soulevées, à nous intéresser au lien entre

les étapes du procédé et la fiabilité. Le premier point remarquable concerne l'influence d'une étape d'implantation ionique à haute énergie, que nous montrons provoquer un dégât dans le volume du semi-conducteur détectable électriquement par $C(V)$, mais induisant aussi des courants de fuite très similaires au SILC, appelés IILC (pour *Implantation Induced Leakage Current*). Le second point réside dans la mise au point d'une méthodologie optimisée de détection du Wafer Charging, utilisant des injections très courtes de porteurs chauds (au pic de courant électronique) dans le transistor PMOS. Cette méthode s'est révélée plus sensible et plus révélatrice que les injections pratiquées en régime Fowler-Nordheim ou la simple étude paramétrique pour détecter les défauts latents issus des problèmes de charging, ce gain de sensibilité devenant d'autant plus important lorsque l'épaisseur d'oxyde diminue. Enfin, nous avons identifié par DLTS les défauts issus d'une contamination au Fer dans le Silicium (paire Fe-B et Fer interstitiel Fe_i) et avons observé la re-transformation spontanée du Fe_i en paire Fe-B en quelques heures.

Ces quelques lignes résument une activité diversifiée, voire dispersée, ayant cependant comme fil directeur la fiabilité dans les structures MOS. Toutefois, au-delà de ces travaux, détaillés aux chapitres 2, 3 et 4 du manuscrit, je fus amené au cours de ces dix années, et surtout depuis la création du L2MP, à m'investir dans d'autres études, parfois encore liées à la caractérisation électrique (on citera une étude sur la contamination d'oxydes par des charges mobiles avec Thalès-Avionics, une étude sur la caractérisation d'oxydes nitrurés réalisés sous ultra-vide à l'aide de couches moléculaires en collaboration avec le CRMC2 – *Nicolas Pic et Alain Glachant*, ou enfin un travail sur la caractérisation électrique de couches ferroélectriques pour mémoires FeRAM, en collaboration avec l'USTV – *Christophe Muller*). Mais la fonction de Directeur de la Recherche de l'ISEN-Toulon que j'exerce depuis 2003 me conduit aussi naturellement à m'impliquer (parfois plus que la prudence ne l'exigerait !) dans des domaines tels que la conception de circuits analogiques ou numériques, le traitement du signal ou de l'image et surtout l'électronique moléculaire. Je tiens à citer en particulier le développement (initié à partir de 2001) de l'activité « couches moléculaires organiques pour la micro-électronique » et l'acquisition puis le montage sur l'ISEN-Toulon des moyens expérimentaux nécessaires à son développement en collaboration avec Dominique Vuillaume de l'IEMN. La responsabilité de cette activité est aujourd'hui reprise par Lionel Patrone, mais je continue à suivre de très près son développement. Mon rôle n'est plus là strictement scientifique, mais d'accompagner l'épanouissement harmonieux de ces activités au sein de l'ISEN-Toulon, ainsi que de faire le lien avec le L2MP. J'en tire bien sûr un grand enrichissement personnel, mais j'espère surtout faire partager aux acteurs réels de ces activités mon enthousiasme ainsi que la conviction de mon engagement en faveur du développement de la recherche au sein de l'ISEN-Toulon et du L2MP (plus que ma réelle compétence !).

Concernant les perspectives de recherche, je distinguerai les actions en cours et des souhaits à plus long terme. Nous poursuivons évidemment des études sur les oxydes ultraminces. David Pic a débuté en 2004 une thèse (en collaboration avec STMicroelectronics) sur la validité des lois et mécanismes d'accélération en tension lors de études statistiques de temps au claquage et nous débiterons en septembre 2005 une nouvelle thèse sur les dégradations porteurs chauds en régime dynamique dans les dispositifs MOS avancés intégrant des mécanismes de relaxation et le phénomène de NBTI (*Negative Bias Temperature Instability*). Nous poursuivrons évidemment dans ce cadre l'amélioration des méthodes de prédiction de durée de vie basées sur le schéma quasi-statique, en tentant d'y intégrer les effets cités. Enfin, pour ce qui est des procédés technologiques et leur influence, nous sommes actuellement engagés dans une étude sur l'électromigration dans les lignes et vias de cuivre et l'influence d'une contamination par le cuivre sur les performances

CONCLUSION GENERALE ET PERSPECTIVES

électriques des circuits, ainsi que l'analyse des défauts induits. Je voudrais toutefois terminer l'exposé de ces perspectives de recherche sur une note plus personnelle. Emporté par le quotidien et les engagements divers, le risque d'une diversification excessive de mon activité de recherche propre existe réellement, en dehors même de la diversité imposée par ma charge à l'ISEN-Toulon, qui elle subsistera et, j'espère, augmentera même ! Mon souhait suite à cette Habilitation est de prendre le temps d'une réflexion personnelle, afin de définir, pour mon parcours de recherche à venir une perspective suffisamment ciblée et réaliste. Dans ce cadre, et sans pour autant renier ni abandonner brutalement le travail réalisé jusqu'alors, je souhaiterais, si je le puis, revenir vers une activité plus centrée sur la théorie, l'interprétation et la modélisation qu'actuellement, en m'appuyant sur les moyens puissants de la simulation numérique.

Je tiens également en toute modestie à conclure ce document sur quelques réflexions personnelles concernant mon expérience du métier d'enseignant et d'enseignant-chercheur. En particulier, je souhaiterais partager quelques idées sur la notion de « bon cours » ou « bon enseignant » à la lumière de mes diverses expériences d'enseignement. Avant toutefois d'exprimer des convictions sur ce sujet, je commencerai plutôt par expliciter quelques banalités, cependant bonnes à dire, et aussi quelques certitudes négatives.

La première concerne la compétence de l'enseignant dans la matière enseignée. Elle est un évident préalable, en général certifié par les diplômes ou une expérience, et pourtant je parlerai plutôt de condition nécessaire mais pas suffisante. D'autant que l'appréciation exacte du niveau requis est complexe, dépendant des étudiants concernés, du programme effectué... Si un enseignant se doit de dominer sa matière (mais comment quantifier une chose pareille...), j'ai à plusieurs reprises personnellement ressenti beaucoup de satisfaction (partagée je l'espère...) alors même que je naviguai comme enseignant à la frontière même de mes propres connaissances, compensant peut-être le manque de recul par une concentration alors plus forte. Et je repense souvent à la réponse que me fit un Directeur d'école à qui je faisais part à mes début de mes interrogations, voire de mes scrupules, au sujet d'un TP que je devais assumer et pour lequel je ne pouvais pas justifier d'une grande expérience : « écoute, tu apportes ce que tu peux, avec franchise et honnêteté, et je suis sûr que cela ira... » et ce fut le cas. La condition est toutefois de rester honnête intellectuellement, de ne pas chercher à passer pour un expert universel et de savoir poser avec franchise les limites de ce que l'on peut apporter vis-à-vis des étudiants. Ces derniers ne tiennent jamais rigueur à un enseignant de ses propres limites si ces dernières sont clairement posées.

La seconde concerne la mutation profonde qu'amènent aujourd'hui les moyens multimédia et leur couplage à Internet. Il est certain que les moyens audio-visuels (vidéo-projection, animations et visualisations) sont un outil qu'il serait impensable de ne pas utiliser aujourd'hui, couplé au formidable réservoir d'information que constitue le Web. Dans certains domaines, il est indéniable, et j'ai eu l'occasion et la chance de l'utiliser à de nombreuses occasions, qu'une animation bien choisie est un support pédagogique inégalable facilitant la compréhension, évitant les longs, parfois fastidieux voire trompeurs schémas faits à la main. Mais nous devons prendre garde, aveuglés par l'évident gain qu'apportent ces techniques, à ne pas négliger leur principal danger, qui tient d'abord au fait qu'ils transforment l'étudiant en un spectateur et le cours en un spectacle ou une conférence. On constate de plus en plus que les étudiants ne prennent plus de notes personnelles, ne faisant pas à la base le premier et essentiel effort de synthèse qui consiste, pendant l'exposé, à construire son propre compte-rendu des connaissances proposées. Ma conviction est que c'est pourtant précisément là, dans le travail effectué pendant et après le cours sur ces notes

CONCLUSION GENERALE ET PERSPECTIVES

manuscrites, qui peut et doit bien sûr s'enrichir et se compléter de documents divers ou fournis (polycopié, web, livres, illustrations complexes...), que se construit une assimilation personnelle et réelle des savoirs et savoir-faire, ainsi que l'apprentissage de l'autonomie. Un bon polycopié ou de beaux transparents ne faisaient pas obligatoirement un bon cours, et un bon film, un lien internet ou une applet n'y suffiront pas non plus, même si je le répète, bien utilisés, ils constituent un formidable outil. Nous ne devons pas aller dans le sens cette dérive « consommatrice » de l'étudiant, ou la détention du site web ou du document donne l'illusion de la connaissance (de même qu'acheter un livre n'induit pas automatiquement la maîtrise de son contenu...). Les générations à venir auront le réflexe de l'instantanéité et de l'immédiateté, issu de leur pratique quotidienne du clic de souris. A nous de leur faire découvrir que certains concepts ou savoirs exigent du temps et du labeur pour être assimilés et de réhabiliter la notion de mérite par le travail. La beauté ou la force de ces choses demandent une progression, parfois lente, pour se laisser découvrir, et ne se révèlent qu'à ceux qui franchissent le pas de devenir acteurs et responsables de leur formation : tout n'est pas immédiatement accessible et compréhensible.

Le besoin de temps et de rythme sont des éléments de première importance, en tout cas pour ce qui est de la formation première et de base. On peut certes admettre que des cours de spécialité ou de dernière année soient concentrés sur des périodes limitées, car on a alors à faire à des étudiants en fin de parcours et à la maturité plus grande. Mais l'assimilation profonde d'un programme conséquent ne peut se faire de façon trop intensive, au risque d'être éphémère. Mon expérience sur ce point m'amène à penser que la répétition hebdomadaire d'actes d'enseignement (cours, TD) est un rythme adapté et plutôt un bon compromis pour une formation de base.

Il m'est souvent arrivé de penser que les étudiants exagéraient grandement l'importance du professeur ou de l'enseignant. Ils ne sont finalement dans l'idéal qu'un intermédiaire par nature provisoire entre l'apprenant et les connaissances. Leur rôle est de mettre les deux en contact, d'amener les premiers à l'autonomie et de leur permettre d'évoluer indépendamment dans la matière. L'objectif et la réussite suprême de tout maître n'est-il pas de se voir dépassé par l'élève ? Cette réflexion se nourrit certes de nobles pensées, mais la réalité pratique me semble autre : souvent, on constate, même si je ne trouve pas cela souhaitable sur le fond, que, bien loin de s'effacer progressivement, l'enseignant personnalise, et va jusqu'à incarner sa matière aux yeux des étudiants. Il porte alors un fardeau plus lourd encore que les simples connaissances enseignées, et doit en prendre conscience, faire preuve de pragmatisme et l'assumer.

Un point crucial enfin concerne le lien entre enseignement et recherche. Il est au cœur de ce que je crois. On n'enseigne certes en général pas son sujet de recherche. Mais la recherche constitue le plus formidable moyen de motivation et de maintien à niveau pour les enseignants. Elle leur permet de suivre les évolutions parfois extrêmement rapides dans certains domaines, d'acquérir le recul et l'expérience que les simples études ne peuvent donner et enfin l'opportunité de nouer des contacts avec le monde industriel ou académique, ce qui permet d'avoir et de faire partager une ouverture d'esprit indispensable aux étudiants. La recherche apprend aussi l'humilité, la remise en cause permanente, oblige à se soumettre à l'évaluation constante de ses pairs et accepter cette dernière comme source de progression. Elle interdit l'immobilisme, est exigeante, mais procure aussi beaucoup de plaisir et de joies, personnelles ou partagées. Et un homme heureux est toujours un homme meilleur...

CONCLUSION GENERALE ET PERSPECTIVES

En conclusion, je souhaite m'engager sur quelques convictions pour l'enseignant : il doit certes connaître son domaine, mais surtout l'enrichir d'une activité de recherche passionnée, veiller à dispenser de vrais cours, et pas des exposés-conférences même bien construits, qui donnent l'impression à celui qui l'écoute qu'il a tout compris, mais dont il ne reste souvent que peu de choses, construire par lui-même et sans concession son raisonnement pendant l'exposé (vive le tableau noir...), ce qui n'exclut pas le recours aux moyens modernes aujourd'hui incontournables pour toujours plus d'efficacité, et surtout ne jamais oublier de faire partager sa passion car :

« On retire plus d'avoir aimé que d'avoir compris »

LISTE DES FIGURES

CHAPITRE 1 : FIABILITE DES OXYDES ULTRA-MINCES

- p.21** **Figure 1** : Histoire et évolution de la tension d'alimentation (V_{dd}), de la tension de seuil (V_t) et de l'épaisseur d'oxyde (T_{OX}) en fonction de la longueur de grille dans les technologies CMOS logiques (d'après [1]).
- p.23** **Figure 2** : Evolution de la courbe $I_G(V_G)$ d'une capacité MOS ayant un oxyde de grille de 12nm d'épaisseur, soumise à une contrainte électrique sous haut champ en régime Fowler-Nordheim ($V_G=-12V$), et illustrant le piégeage progressif d'une charge positive puis négative sur les défauts créés ou révélés par le stress.
- p.25** **Figure 3** : Evolution de la courbe $I_G(V_G)$ d'une capacité MOS ayant un oxyde de grille de 4.7nm d'épaisseur, soumise à une contrainte électrique sous haut champ en régime Fowler-Nordheim ($V_G=-6V$), et illustrant l'augmentation progressive du courant de fuite à bas champ ($-3 < V_G < -5V$).
- p.26** **Figure 4** : Evolution pour $V_G > 0$ de la courbe $I_G(V_G)$ d'une capacité MOS ayant un oxyde de grille de 4.7nm d'épaisseur identique à celle de la Fig.3, soumise à une contrainte électrique sous haut champ en régime Fowler-Nordheim de polarité positive ($V_G=+5V$).
- p.27** **Figure 5** : Evolution du courant de fuite après stress à travers des oxydes dans la gamme 12nm-5nm sur la courbe (a) et dans la gamme 5-2nm sur la courbe (b), mettant en évidence l'accroissement puis la re-diminution relative (sous 5nm) de l'amplitude du phénomène SILC.
- p.29** **Figure 6** : Cinétique d'évolution de l'accroissement relatif de courant de grille dans la zone SILC en fonction de la charge injectée pour les deux polarités de stress, mettant en évidence la plus grande efficacité des contraintes à $V_{G-stress} < 0$ par rapport aux contraintes à $V_{G-stress} > 0$.
- p.30** **Figure 7** : SILC mesuré avant et après un stress FN ($V_G=-6V$) et une injection localisée de trous chauds (CHH: $V_G/V_{DS}=1/5.5V$) (a) et avant et après un stress FN ($V_G=+5V$) et une injection localisée d'électrons (CHE: $V_G/V_{DS}=5/5.5V$) (b) dans des N-MOSFETs.
- p.31** **Figure 8** : Comparaison du $SILC=J-J(0)$ généré après des stress FN ($V_G=-6V$) dans des capacités et dans des transistors et après divers types d'injections localisées de porteurs chauds: CHH: $V_G/V_{DS}=1/5.5V$, CHE: $V_G/V_{DS}=5/5.5V$, $I_{SUB-max}$ dans des transistors de différentes géométries.
- p.32** **Figure 9** : Cinétique de création du SILC pour diverses tensions de grille de mesure pendant un stress CHH ($V_G/V_{DS}=1/5.5V$, symboles pleins) et un stress FN ($V_G=-6V$, symboles ouverts) dans des transistors NMOSFETs.
- p.33** **Figure 10** : Evolution du courant de pompage de charge $I_{CP}(V_{high})$ pendant un stress CHH ($V_G/V_{DS}=1/5.5V$) et un stress FN ($V_G=-6V$) dans des transistors NMOSFETs.
- p.34** **Figure 11** : Cinétiques de création à 300K du SILC normalisé en fonction de la charge injectée durant des stress CCS (labels vides) ou CVS (labels pleins) (I_0 est le courant de grille avant stress) pour deux conditions de mesure $F_{OX} = -6.2$ MV/cm $F_{OX} = -7.4$ MV/cm.
- p.35** **Figure 12** : Plot Fowler-Nordheim du SILC dans des oxydes de 3.8nm et 4.7nm après des stress à 300K CVS, CCS et CHH.

- p.35** **Figure 13** : Plot Schottky du SILC dans des oxydes de 3.8nm et 4.7nm après des stress à 300K CVS, CCS et CHH.
- p.37** **Figure 14**: Tracé du SILC en fonction du champ électrique dans l'oxyde F_{OX} , montrant sa nature exponentielle et son ajustement à l'aide de la loi tunnel directe modifiée de l'équation 6. La ligne pointillée est obtenue à partir de l'expression empirique donnée en [70] et rappelée dans le texte (équation 8) pour les échantillons de 4.7nm.
- p.38** **Figure 15**: Tracé d'Arrhenius du SILC mesuré à $|F_{OX}|=6.2MV/cm$ après des stress CVS ou CCS dans des oxydes de 4.7nm et 3.8nm d'épaisseur permettant d'extraire les énergies d'activation à l'aide de l'équation 9 (lignes droites).
- p.39** **Figure 16**: Dépendance en champ de l'énergie d'activation thermique du SILC dans des oxydes de 4.7nm et 3.8nm après des stress CVS ou CCS. Les barres d'erreur typiques reportées sont estimées à partir de plusieurs ajustements sur diverses gammes de température.
- p.40** **Figure 17**: SILC normalisé par sa valeur extrapolée à 0°K en fonction du carré de la température absolue montrant que le SILC suit bien une loi quadratique. Le SILC était mesuré à $F_{OX}=5.7MV/cm$ après un stress CCS (-75 nA dans les échantillons 4.7nm, -78nA dans les échantillons 3.8nm) ou CVS (-5.75 V: 4.7nm, -5.25 V: 3.8nm). Les traits continus sont des ajustements linéaires utilisant l'équation (11) pour remonter aux pentes θ (équation 12).
- p.41** **Figure 18**: Apparitions successives du SILC, du Quasi-Breakdown et du claquage franc pendant un stress Fowler-Nordheim dans un échantillon de 4.7nm.
- p.43** **Figure 19**: Ajustement du courant de fuite en excès $\Delta I_G(V_G)$ après un Soft-breakdown par un loi exponentielle du premier ordre pour des polarités de mesure négative (a) et positive (b).
- p.44** **Figure 20**: Modèle pour le Soft-Breakdown incluant une région dégénérée (conductrice) localisée dans l'oxyde située au plus loin à une distance tunnel directe (environ 2nm) des deux électrodes.
- p.47** **Figure 21**: Courants tunnel à travers les oxydes utilisés pour les différentes épaisseurs disponibles.
- p.47** **Figure 22** : Evolution typique du courant de fuite pendant une contrainte électrique uniforme CVS sur un oxyde de 1.8nm, avec apparition successive du LVSILC, puis du Quasi-BreakDown (QBD) et enfin du claquage franc (Breakdown BD)
- p.48** **Figure 23** : Courants et mécanismes lors d'une expérience de séparation de porteurs dans le NMOS illustrant le mécanisme d'effet tunnel d'électrons de la bande de conduction (ECBT (1): *Electron Conduction Band Tunnelling*), ou de la bande de valence (EVBT (2): *Electron Valence Band Tunnelling*).
- p.49** **Figure 24** : Courants et mécanismes lors d'une expérience de séparation de porteurs dans le PMOS, illustrant le mécanisme d'effet tunnel d'électrons de la bande de valence (EVBT (2): *Electron Valence Band Tunnelling*) et d'effet tunnel de trous du canal d'inversion (1).
- p.49** **Figure 25** : Impact d'un stress uniforme à $V_G=3.5V$ sur les caractéristique $I_{DS}(V_G)$ d'un transistor NMOS de grande taille (a) et d'un stress uniforme à $V_G=-3.5V$ sur les caractéristique $I_{DS}(V_G)$ d'un transistor PMOS de grande taille (b).
- p.50** **Figure 26** : Impact d'un stress uniforme à $V_G=3.5V$ sur les caractéristique $I_G(V_G)$ de transistors NMOS de grande taille (a) et d'un stress uniforme à $V_G=-3.5V$ sur

les caractéristique $I_G(V_G)$ d'un transistor PMOS de grande taille (b), illustrant l'apparition du LVSILC à très faible polarisation.

- p.51** **Figure 27** : Cinétiques de dégradation du courant de drain en régime linéaire suite à des injections uniformes dans le NMOS (a) et dans le PMOS (b) pour différentes valeurs de V_G
- p.51** **Figure 28** : Cinétiques de dégradation du courant de grille au maximum de LVSILC suite à des injections uniformes dans le NMOS (a) et dans le PMOS (b) pour différents V_G
- p.52** **Figure 29** : Dépendance de la dégradation du courant de grille au maximum de LVSILC (i.e. $V_G=-0.8V$ pour les NMOS et $V_G=+0.85V$ pour les PMOS) pour une valeur donnée de la charge injectée ($600C/cm^2$) en fonction de l'inverse du champ électrique (a) ou de la tension de stress V_G (b).
- p.53** **Figure 30** : Diagramme énergétique des injections à tension constante $V_G>0$.
- p.54** **Figure 31** : Visualisation de l'accroissement du courant de grille entre $-0.4V$ et $-1V$ après stress uniforme sur un transistor NMOS de grande taille.
- p.54** **Figure 32** : Diagramme de bande illustrant les comportements possibles des porteurs pour de faibles tensions de grille : 1 tunnel des électrons via les états d'interface, 2 tunnel via un piège d'oxyde, 3 tunnel des trous à travers l'oxyde, [30]. Les flèches pleines représentent les processus limités par les électrons, celles en pointillés les processus limités par les trous.
- p.55** **Figure 33** : Diagramme énergétique représentant les défauts d'interface accepteurs induits par stress CVS dans le NMOS situés dans un intervalle ΔE en dessous du bas de la bande de conduction du substrat en surface.
- p.56** **Figure 34** : Analyse des dégradations occasionnées par un stress CVS dans le NMOS par pompage de charges (a) et accroissement relatif de la densité d'états d'interface déduite de ces mesures pour différents T_{OX} (b).
- p.57** **Figure 35** : Etude des conditions de polarisation pour les études porteurs chauds sur les transistors NMOS (a) et PMOS (b) $50/1\mu m$: courant substrat I_B et courant de grille I_G en fonction de la tension de grille pour différentes valeurs de la tension de drain.
- p.58** **Figure 36** : Impact d'un stress porteurs chauds à $V_{DS}=3.5V$ sur les caractéristique $I_D(V_G)$ (a) et sur les caractéristiques $I_G(V_G)$ (b) d'un transistor NMOS $50/0.1\mu m$.
- p.58** **Figure 37** : Comparaison des stress CVS ($V_G=-3.5V$) et Tunnel Grille Source ($V_G=V_D=-3.5V$) sur les caractéristiques $I_D(V_G)$ (a) et $I_G(V_G)$ (b) d'un transistor PMOS $50/1\mu m$.
- p.59** **Figure 38** : Cinétiques de dégradation du courant de drain suite à des injections au maximum de courant substrat pour plusieurs T_{OX} , en fonction de la charge injectée à la grille (a) et de la charge d'ionisation collectée au substrat (b).
- p.59** **Figure 39** : Analyse des dégradations occasionnées par les stress porteurs chauds à $Max-I_B$ dans le NMOS par pompage de charges (a) et accroissement relatif de la densité d'états d'interface déduite de ces mesures pour différents T_{OX} (b).
- p.60** **Figure 40** : Localisation énergétique des niveaux de défauts détectés par pompage de charges dans le NMOS après des contraintes porteurs chauds au maximum de courant substrat.
- p.61** **Figure 41** : Dispositifs utilisés pour les injections SHEI.
- p.62** **Figure 42** : Effet de la polarisation du substrat sur le courant de grille (a) dans la structure SHEI pour différentes épaisseurs d'oxyde comprises entre 3.5 et $1.5nm$ et

visualisation de l'effet de la diode d'injection commandée en courant sur le courant de grille (b) pour un dispositif de 2.1nm d'épaisseur.

- p.63** **Figure 43** : Cinétique de dégradation du courant de drain en présence d'injection d'électrons chauds du substrat pour différentes valeurs du courant I_{INJ} ($1\mu A$: label plein et $10\mu A$: label ouvert) en fonction de la charge résultante injectée à la grille Q'_{INJ} dans la structure SHEI.
- p.64** **Figure 44** : Mise en évidence de la dépendance en T_{OX} de la dégradation du courant de drain (a) et de celle du courant de grille (b) en fonction de la charge résultante injectée à la grille Q'_{INJ} pour des injections SHEI à $V_G=1V$ $V_B=-4V$ $I_{INJ}=10\mu A$.
- p.64** **Figure 45** : Effet de V_G ($V_G=0.25V, 0.6V, 1V$) lors des stress SHEI sur les cinétiques de dégradation du courant de drain (a) et du courant de grille (b) en fonction de la charge résultante injectée à la grille Q'_{INJ} .
- p.65** **Figure 46** : Etude de la charge injectée nécessaire à une dégradation du courant de grille d'un facteur 6 en fonction de la tension de stress V_G après stress CVS et SHEI pour différentes épaisseurs d'oxyde comprises entre 1.5 et 2.5nm.
- p.67** **Figure 47** : Variation du pré-facteur K_G en fonction de la tension de contrainte $V_{GSTRESS}$: les symboles vides représentent les pré-facteurs des stress SHEI en considérant la charge résultante Q'_{INJ} , et les symboles pleins les pré-facteurs des stress CVS en considérant la charge totale Q_{INJ} .
- p.68** **Figure 48** : Variation du pré-facteur K_G en fonction de la tension influençant directement l'énergie des porteurs : V_G pour les stress CVS, V_B pour le stress SHEI à faible V_G .
- p.46** **Tableau 1** : Extraction des épaisseurs d'oxyde par la méthode optimisée C(V) du LETI, par ellipsométrie, et par la fonction de Maserjian pour $n=3$ (cas quasi quantique) et comparaison aux valeurs visées.

CHAPITRE 2 : ANALYSE DYNAMIQUE DE LA FIABILITE PORTEURS CHAUDS DES TRANSISTORS MOSFETS

- p.78** **Figure 1**: Illustration des différentes conditions de polarisation et de champ lors des injections de porteurs chauds dans un NMOSFET
- p.78** **Figure 2**: Courant substrat en fonction de la tension de grille dans un NMOSFET pour différentes valeurs de la tension de drain, caractéristique du phénomène d'ionisation par impact.
- p.82** **Figure 3**: Obtention des durées de vie sur les cinétiques de dégradation relevées pendant des stress porteurs chauds (ALE).
- p.82** **Figure 4**: Extrapolation de la durée de vie aux conditions nominales à partir de celles obtenues lors d'expériences ALE.
- p.86** **Figure 5**: Formes d'onde sur la tension drain-source V_{DS} et la tension de grille V_G pendant le stress AC, typiques de la configuration "inverseur" du transistor NMOSFET et courant de drain et de substrat résultants.
- p.87** **Figure 6**: Organigramme du programme d'estimation des durées de vie quasi-statiques réalisé

- p.88** **Figure 7:** Cinétiques de dégradation du courant de drain dans un transistor NMOSFET ($L=0.2\mu\text{m}$) soumis à des stress DC et AC en configuration inverseur pour différentes fréquences et valeurs du ratio t_r/T et une tension de drain de 3V.
- p.88** **Figure 8:** Tracé donnant les durées de vie mesurées en fonction des estimations quasi-statiques dans le cas de l'inverseur jusqu'à 1MHz et des estimations quasi-statiques des durées de vie jusqu'à 200MHz.
- p.89** **Figure 9 :** Configuration transistor de passage et utilisation d'une expérience à 3 pulses (Grille, Source et Drain) pour reproduire le comportement de la cellule TPASS dans une cellule SRAM.
- p.90** **Figure 10:** Pulses appliqués sur la grille (V_G), le drain (V_D) et la source (V_S) utilisés pour reproduire lors d'un stress AC les conditions de fonctionnement d'un transistor de passage dans une cellule SRAM. Le nombre affecté à chaque région correspond aux conditions de dégradation reportées dans la Table 1 et V_{dd} représente la tension d'alimentation nominale ou de stress.
- p.91** **Figure 11:** Description des trois principaux mécanismes de dégradation se produisant pendant les périodes "porteurs chauds" de la forme d'onde typique du fonctionnement du transistor de passage. Les conditions de polarisation et le dommage attendu sont rappelés dans la Table 2.
- p.92** **Figure 12:** $\Delta I_{ds} / I_{ds0}$ en fonction de la durée de stress mesuré en régime saturé en direct(FWD) et en inverse (REV) pour un stress DC au maximum de courant substrat et pour un stress AC en mode bidirectionnel TPASS, pour un NMOS de longueur de grille $0.5\mu\text{m}$, une épaisseur d'oxyde 12nm et une technologie LDD standard. Le délai sur le drain ($\propto \tau_{pd}$) est choisi pour donner une période $T(\text{Nox,e}) \approx T(\text{Nit} + \text{Nox,h}) = 200\text{ns}$.
- p.93** **Figure 13:** $\Delta I_{ds} / I_{ds0}$ mesuré en inverse en fonction du temps de stress pour deux ratios $T(\text{Nox,e})/T(\text{Nit})$ associés à deux valeurs du délai τ_{PD} . Les labels pleins correspondent à un stress AC de type inverseur avec $T(\text{Nit}) = 40\text{ns}$ pendant les transitoires.
- p.94** **Figure 14:** Courants de drain et de substrat pendant la forme d'onde AC correspondant aux conditions TPASS.
- p.95** **Figure 15:** courbes $I_{SUB}(t)$ calculées dans un NMOSMET $W/L=10/0.5\mu\text{m}$ en fonction du délai de drain pour une période en V_G de 22ns. Les plateaux qui apparaissent pour des délais entre 2 et 8 ns correspondent à des conditions Nox,e (à $V_G=V_{DS}$) de durée variable. Cette contribution devient assez négligeable dans le modèle quasi-statique, fonction de I_{sub}^m/I_{DS}^{m-1} (voir insert).
- p.96** **Figure 16:** Durées de vie obtenues quasi-statiques (QS) et expérimentales (AC) pour diverses conditions TPASS: $T_{V_G}=22\text{ns}$, $T_{\text{Nox,e}}=0.4-200\text{ns}$, $T_{\text{Nit}}=30-100\text{ns}$, $T_{\text{Nox,h}}=5-25\text{ns}$.
- p.96** **Figure 17:** Durée de vie QS en condition TPass en fonction du délai de drain τ_{pd} pour $V_{dd}=5\text{V}$, $T_{V_G}=22\text{ns}$, $t_{r/t}=2\text{ns}$. L'insert montre I_{SUB}/I_D et I_{SUB}/W en fonction de W .
- p.97** **Figure 18 :** Visualisation de l'effet du délai τ_{pd} de drain sur les périodes stressantes dans le cas TPASS.
- p.90** **Tableau 1:** Conditions de dégradation survenant durant les différentes phases du stress AC de type TPASS décrit dans la Fig. 10. T_{tot} représente une période

Durant laquelle des porteurs chauds sont générés et injectés, T_{cold} une période durant laquelle aucun porteur chaud n'est généré et aucun champ n'est présent à travers l'oxyde, T_{det} une période durant laquelle un champ uniforme pouvant assister le dépiégeage est présent à travers l'oxyde, $T_{det,S,D}$ une période durant laquelle un champ de dépiégeage local est présent à la source ou au drain respectivement. L'indice (S: source, D: drain) précise le lieu où les phénomènes ont lieu.

p.91 **Tableau 2:** Conditions de polarisation et dommages attendus pendant les périodes porteurs chauds durant la forme d'onde TPass. Les défauts "neutres" à bas V_G et les pièges d'oxyde (à haut V_G) sont des pièges d'oxyde tous les deux avec probablement la même nature physico-chimique [86], mais avec une localisation différente et pouvant générer des dégradations différentes [77].

CHAPITRE 3 : INFLUENCE DES ETAPES DE PROCEDE SUR LA FIABILITEDES DISPOSITIFS CMOS

p.106 **Figure 19:** Description des échantillons utilisés pour étudier l'impact d'un implant haute énergie APT sur la fiabilité de l'oxyde tunnel.

p.107 **Figure 20:** Effet de la localisation de l'implant haute énergie APT pendant le flot de process sur la caractéristique C-V haute fréquence.

p.108 **Figure 21:** Ajustement du C-V vierge ou implanté utilisant les paramètres extraits avec (trait plein) ou sans (pointillé) la densité d'états additionnelle (band-tail) au-dessus de la valeur mid-gap de N_{SS} .

p.108 **Figure 22:** Densité d'états d'interface utilisée pour ajuster les C-V dans la Fig.3.

p.109 **Figure 23:** Effet de la localisation de l'implant haute énergie APT (cas 180 keV – $4 \times 10^{12} \text{cm}^{-2}$) pendant le flot de process sur la caractéristique I-V statique.

p.110 **Figure 24:** Effet de la dose et de l'énergie de l'implant de Bore à travers la couche (tunox + grille) sur la caractéristique C-V.

p.110 **Figure 25:** Effet de la dose et de l'énergie de l'implant de Bore à travers la couche (tunox + grille) sur la caractéristique I-V.

p.110 **Figure 26:** Effet du ratio d'antenne sur les valeurs de QBD pour différents implants.

p.111 **Figure 27:** Evolution de la caractéristique I-V pendant un stress CVS à $V_G = -8.5V$ pendant 40000s (▼: avant stress, trait plein: pendant le stress, ▲: après stress) et comparaison à la caractéristique obtenue après des implants à 240 keV (O) et 180 keV (□).

p.112 **Figure 28:** Tracés Fowler-Nordheim de composants vierges (□), stressés (▲: CVS à $V_G = -8.6V$ durant 11000s, ▼: CCS à $I_G = -250nA$ durant 40000s, △: SILC après CVS, ▽: SILC après CCS) et implantés à 240 keV (●).

p.112 **Figure 29:** Effet sur la caractéristique C-V d'un échantillon non-implanté d'un stress électrique (trait plein: échantillon vierge, △: après CCS à $I_G = -250nA$ durant 40000s, ▲: après CVS à $V_G = -8.6V$ durant 11000s) comparé à la caractéristique C-V d'échantillons implantés à travers la couche (tunox+grille) (O: 240keV, □: 180 keV).

p.113 **Figure 30:** Effet du recuit thermique sur la caractéristique C-V d'échantillons implantés.

- p.113** **Figure 31:** Effet du recuit thermique sur la caractéristique I-V d'échantillons implantés
- p.115** **Figure 32:** Effet du recuit thermique que la charge au claquage d'échantillons implantés
- p.116** **Figure 33:** Descriptif du phénomène de Wafer Charging pendant une étape de gravure plasma
- p.117** **Figure 34:** Descriptif des structures utilisées pour étudier le Wafer Charging
- p.118** **Figure 35:** Effet de la position et du ratio d'antenne sur l'étude paramétrique (NMOS 10/0.6 μ m).
- p.118** **Figure 36:** Effet de la position et du ratio d'antenne sur la dégradation lors d'un stress porteurs chauds (NMOS 10/0.6 μ m)
- p.118** **Figure 37:** Comparaison de la sensibilité du NMOSFET et du PMOSFET vis à vis du charging
- p.119** **Figure 38:** Illustration de la différence de situation entre NMOSFET et PMOSFET durant le phénomène de wafer Charging.
- p.120** **Figure 39:** Pic de courant électronique choisi comme condition de stress porteurs chauds dans un transistor PMOSFET 10/0.18 μ m (a) et dans un transistor 10/0.6 μ m (b) pour révéler des dégâts latents liés au Wafer Charging.
- p.121** **Figure 40:** Comparaison de différents paramètres de suivi pour la sensibilité au Wafer Charging après des stress porteurs chauds (HE) ou Fowler-Nordheim (FN) dans un PMOSFET 10/0.6 μ m.
- p.121** **Figure 41:** Comparaison de différents paramètres de suivi pour la sensibilité au Wafer Charging pour l'étude paramétrique avant stress (symboles ouverts) ou après un stress porteurs chauds (au maximum de courant substrat - symboles pleins) dans un NMOSFET 10/0.6 μ m.
- p.122** **Figure 42:** Comparaison des cinétiques d'évolution de la tension de seuil pendant un stress porteurs chauds (HE) (a) et un stress FN (b) sur des transistors PMOSFET 10/0.6 μ m, en fonction du ratio d'antenne au niveau métal 1, montrant les différences de comportement et la meilleure sensibilité du stress HE à l'effet d'antenne.
- p.122** **Figure 43:** Influence du temps de stress sur la sensibilité en V_{TH} au ratio d'antenne lors d'un stress porteurs chauds(HE) sur des transistors PMOSFET 10/0.6 μ m.
- p.123** **Figure 44:** Décalage en tension de seuil en fonction du niveau de métal après un stress porteurs chauds et un stress FN sur des transistors 10/0.18 μ m.
- p.124** **Figure 45:** Effet d'un stress HE et d'un stress FN sur V_{TH} aux temps longs (a) et courts (b).
- p.124** **Figure 46:** Décalage en tension de seuil en fonction du niveau de métal après un stress porteurs chauds (HE) (a) et un stress FN (b) sur des transistors PMOSFET 10/0.25 μ m.
- p.124** **Figure 47:** Sensibilité en V_{TH} (par rapport à l'échantillon de référence) des stress HE et FN sur les transistors 10/0.25 μ m 10/0.25 μ m
- p.125** **Figure 48:** Impact du HDP sur la fiabilité long terme de dispositifs PMOS LV.
- p.125** **Figure 49:** Impact du HDP sur le courant de fuite de grille de capacités MOS sur PWELL.
- p.128** **Figure 50:** Dispositif expérimental pour la DLTS

- p.129** **Figure 51:** Spectres DLTS obtenus pour un échantillon de référence, puis pour un échantillon contaminé avant et après activation thermique
- p.130** **Figure 52:** Etude en fréquence du pic à 160°K avant activation thermique.
- p.130** **Figure 53:** Etude en fréquence du pic à 250°C après activation thermique
- p.130** **Figure 54:** Tracés d'Arrhénius des deux pics DLTS liés au Fer avant et après activation thermique.
-
- p.109** **Tableau 3:** Dommages induits par l'implant en fonction de la position de l'implant dans le flot de process ou les paramètres (énergie et dose) et effet du recuit thermique.
- p.119** **Tableau 4:** Conditions de stress utilisées pour révéler les dégâts latents dus au charging dans les transistors PMOSFET : par injection localisée d'électrons en régime porteurs chauds (HC) au maximum de courant électronique de grille (HE) ou par injection uniforme de porteurs en régime Fowler-Nordheim (FN).

GLOSSAIRE – ABREVIATIONS EMPLOYEES

AES :	<i>Auger Electron Spectroscopy</i>
AFM :	<i>Atomic Force Microscopy</i>
AHI :	<i>Anode Hole Injection</i>
ALE:	<i>Accelerated Lifetime Experiment</i>
APT:	<i>Anti Punch-Through</i>
AR :	<i>Antenna Ratio</i>
BEOL :	<i>Back End Of the Line</i>
BD :	<i>Breakdown (Hard Breakdown)</i>
CCS :	<i>Constant Current Stress</i>
CHE / HE :	<i>Channel Hot Electron</i>
CHH / HH :	<i>Channel Hot Hole / Hot Hole</i>
CP :	<i>Charge Pumping</i>
CVS :	<i>Constant Voltage Stress</i>
DAHC :	<i>Drain Avalanche Hot Carriers</i>
DLTS :	<i>Deep Level Transient Spectroscopy</i>
ECBT :	<i>Electron Conduction Band Tunnelling</i>
ERCS :	<i>Exponentially Ramped Current Stress</i>
EVBT :	<i>Electron Valence Band Tunnelling</i>
FEOL :	<i>Front End Of the Line</i>
FN :	<i>Fowler-Nordheim</i>
HC / HCI:	<i>Hot Carrier / Hot Carrier Injection</i>
HDP:	<i>High Density Plasma</i>
IILC :	<i>Implantation Induced Leakage Currents</i>
IMD :	<i>Inter Metal Dielectrics</i>
LDD :	<i>Lightly Doped Drain</i>
LVSILC :	<i>Low Voltage SILC</i>
MOS :	<i>Metal-Oxide-Semiconductor</i>
MOSFET:	<i>Metal-Oxide-Semiconductor Field Effect Transistor</i>
NMOS/NMOSFET:	<i>N-channel MOSFET</i>
PID:	<i>Process Induced Defects</i>
PMOS/PMOSFET :	<i>P-channel MOSFET</i>
RTS :	<i>Random Telegraph Signal</i>
SBD :	<i>Soft ou Quasi-Breakdown</i>
SHEI :	<i>Substrate Hot Electron Injection</i>
SHH :	<i>Substrate Hole Injection</i>
SILC :	<i>Stress Induced Leakage Current</i>
SIMS :	<i>Secondary Ion Mass Spectroscopy</i>
SPV :	<i>Surface Photo-Voltage</i>
TEM :	<i>Transmission Electron Microscopy</i>
WC :	<i>Wafer Charging</i>
WLRC :	<i>Wafer Level Reliability and Control</i>
A* :	Constante de Richardson
ΔE_t :	Position d'un niveau de défaut dans la bande interdite par rapport à la bande de valence ($E_t - E_c$) ou la bande de valence ($E_t - E_v$)
$e\Phi_0$:	Barrière énergétique qu'un électron a à surmonter pour être injecté dans la bande de conduction de l'oxyde

$e\Phi_{MS}$:	Différence de travaux de sortie entre la grille et le substrat
ϵ_{OX} :	Permittivité diélectrique du SiO ₂ ($\epsilon_{OX} = 3.9\epsilon_0$)
ϵ_0 :	Permittivité diélectrique du vide ($8,85 \times 10^{-14}$ F/cm)
E_a :	Energie d'activation (du SILC)
E_C :	Bande de conduction du semi-conducteur (substrat)
E_{Cg} :	Bande de conduction du polysilicium (grille)
E_F :	Niveau de FERMI
E_G :	Valeur de la bande interdite du Silicium (1,12 eV)
E_t :	Niveau associé à un défaut dans la bande interdite
E_V :	Bande de valence du semi-conducteur (substrat)
Ψ_s :	Potentiel de surface
Φ_B :	Potentiel de volume du substrat semiconducteur
F_{OX} :	Champ dans l'oxyde
$G_{it,e}, G_{it,h}$:	Taux de génération d'états d'interface pour les électrons ou les trous
g_m :	Transconductance du MOSFET
I_B / I_{SUB} :	Courant de Substrat
I_{CP} :	Courant de Pompage de charge mesuré au substrat
I_D / I_{DS} :	Courant de Drain ou Drain-Source
I_G / J_G :	Courant de Grille / Densité de courant de Grille
I_{INJ} :	Courant d'injection à partir de la diode latérale dans les dispositifs SHEI
I_{inj} :	Courant injecté dans l'oxyde lors de stress porteurs chauds
I_{SILC} / J_{SILC} :	Courant / Densité de courant de grille de fuite à bas champ (SILC)
I_S :	Courant de Source
k :	Constante de Boltzmann ($1,38 \times 10^{-23}$ J/K)
L :	Longueur de la grille du transistor MOSFET
m_i, C_i :	Coefficients intervenant dans le modèle de l'électron chanceux pour l'estimation des durées de vie
N_D :	Dopage du semi-conducteur (cm^{-3})
N_{IT} / N_{SS} :	Densité d'états d'interface (en $cm^{-2}eV^{-1}$)
N_{OX} :	Densité de pièges dans l'oxyde (en cm^{-2})
N_{TRAP} :	Nombre de défauts induits dans l'oxyde (en cm^{-2})
N_T :	Densité volumique de défauts dans le semi-conducteur (cm^{-3})
P_{GEN} :	Probabilité de génération de défauts par charge injectée
Q_{INJ} :	Charge injectée à la grille (en C/cm^2)
Q_B :	Charge d'ionisation par impact collectée au niveau du substrat pendant un stress
Q_{BD} :	Charge injectée à la grille au claquage (en C/cm^2)
R_{DLTS} :	Réponse DLTS d'un défaut
R_{max} :	Valeur du maximum (pic) de la réponse DLTS d'un défaut
s :	Facteur de sensibilité utilisé dans les études de Wafer Charging
σ :	Section de capture d'un niveau de défaut
T :	Température (en °K)
t_{BD} :	Temps au claquage
τ_{AC} :	Durée de vie dynamique (AC)
τ_{DC} :	Durée de vie statique (DC)
τ_{QS} :	Durée de vie quasi-statique
T_{OX} :	Epaisseur de la couche d'oxyde SiO ₂

$V_B / V_{SUB} / V_{BS}$:	Tension de Substrat ou Bulk-Source
V_{BAS} :	Valeur minimale du pulse de tension de grille pendant une expérience de pompage de charge
V_D / V_{DS} :	Tension de Drain ou Drain-Source
V_{FB} :	Tension de Bandes Plates
V_{HAUT} :	Valeur maximale du pulse de tension de grille pendant une expérience de pompage de charge
V_G / V_{GS} :	Tension de Grille ou Grille-Source
V_{OX} :	Différence de potentiel à travers l'oxyde
V_{TH} :	Tension de seuil
W / w :	Largeur du transistor MOSFET

CONTRIBUTION A L'ETUDE DE LA FIABILITE DES OXYDES MINCES DANS LES STRUCTURES MOS

Résumé:

Ce manuscrit expose des travaux effectués entre 1994 et 2004 sur la fiabilité des composants à base de structures MOS et la fiabilité des oxydes ultra-minces de SiO_2 (<10nm) utilisés comme isolant de grille dans ces composants. Nous avons établi un lien entre courants de fuite dans l'oxyde (SILC) et injection de porteurs chauds, principalement les trous chauds, dans les oxydes de 3.8 et 4.7nm. La dépendance en champ et en température du SILC soutient un modèle d'effet tunnel assisté par des défauts neutres barycentriques dans l'oxyde, même si une composante partielle de type Schottky est identifiable. Pour les claquages de type Soft-breakdown relevés, nous avons proposé un modèle simple, fondé sur un rétrécissement local de l'épaisseur d'oxyde. Le phénomène LVSILC, typique de la structure MOS en déplétion, est mis en évidence suite à des stress à tension constante pour des oxydes entre 2.5 et 1.2 nm. Nous proposons de l'interpréter comme un effet tunnel assisté par des niveaux proches des bandes de conduction ou de valence de la densité d'états d'interface. Les mécanismes de génération sont principalement déterminés par l'énergie des porteurs injectés (y compris dans le cas d'injections de porteurs chauds), et génèrent une loi d'accélération en V_G pour le vieillissement en mode tunnel direct. On établit une loi générale, donnant la probabilité de création de défauts en fonction des paramètres qui déterminent l'énergie des porteurs injectés.

Nos études sur les porteurs chauds nous ont aussi amené à étudier la fiabilité de transistor MOSFET lors de contraintes dynamiques (AC), caractéristiques des séquences de polarisation en mode normal de fonctionnement. Le résultat pratique de ce travail est la mise en oeuvre d'une méthodologie s'inspirant de l'hypothèse quasi-statique pour la prévision des durées de vie AC. Cette méthodologie, éprouvée et comparée aux résultats de mesure dans un certain nombre de cas où sa validité est reconnue, est appliquée au cas plus complexe du transistor de passage NMOS. L'accord reste satisfaisant, mais nous avons également mis en évidence les limitations de cette technique lors de séquences faisant intervenir des relaxations, des périodes de dépiégeage ou des dégradations bi-directionnelles.

Concernant le lien entre les étapes du procédé et la fiabilité, nous avons étudié l'influence d'une étape d'implantation ionique à haute énergie, qui induit un dégât dans le volume du semi-conducteur détecté électriquement par $C(V)$, mais aussi des courants de fuite similaires au SILC (IILC *Implantation Induced Leakage Current*). Nous avons mis au point une méthodologie optimisée de détection du Wafer Charging, utilisant des injections très courtes de porteurs chauds (au pic de courant électronique) dans le transistor PMOS. Cette méthode s'est révélée plus sensible et plus révélatrice que les injections pratiquées en régime Fowler-Nordheim ou la simple étude paramétrique pour détecter les défauts latents issus du charging dans les oxydes minces. Enfin, nous avons identifié par DLTS les défauts issus d'une contamination au Fer dans le Silicium (paire Fe-B et Fer interstitiel Fe_i) et avons observé la re-transformation spontanée du Fe_i en paire Fe-B en quelques heures.

Mots-Clés

Structure MOS (*Metal - Oxide - Semiconductor*)
Transistor MOSFET (*MOS Field Effect Transistor*)
Fiabilité des oxydes ultra-minces (SiO_2)
SILC (*Stress Induced Leakage Current*) et LVSILC (*Low Voltage SILC*)
Porteurs chauds
Contrainte électrique statique ou dynamique
Durée de vie
Wafer Charging
Implantation Ionique
Contamination par le Fer
DLTS (*Deep Level Transient Spectroscopy*)
