



HAL
open science

Convertisseurs haute tension : Contribution à l'intégration de la fonction interrupteur

David Frey

► **To cite this version:**

David Frey. Convertisseurs haute tension : Contribution à l'intégration de la fonction interrupteur. Sciences de l'ingénieur [physics]. Institut National Polytechnique de Grenoble - INPG, 2003. Français. NNT: . tel-00407754

HAL Id: tel-00407754

<https://theses.hal.science/tel-00407754>

Submitted on 27 Jul 2009

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE

N° attribué par la bibliothèque

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

T H E S E

pour obtenir le grade de

DOCTEUR DE L'INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE

Spécialité : Génie Electrique

préparée au Laboratoire d'Electrotechnique de Grenoble

dans le cadre de l'Ecole Doctorale

« Electronique, Electrotechnique, Automatique, Télécommunications, Signal »

présentée et soutenue publiquement

par

David FREY

Ingénieur ENSAIS, Agrégé de Génie Electrique

le 19 Juin 2003

Titre :

**Convertisseurs haute tension :
Contribution à l'intégration de la fonction
interrupteur**

Directeurs de thèse : Jean-Luc SCHANEN – Christian SCHAEFFER

JURY

M. Yves DANTO
M. Philippe LADOUX
M. Christian SCHAEFFER
M. Jean-Luc SCHANEN
M. Olivier LESAINT
M. Seddik BACHA
M. Michel MERMET-GUYENNET

Président - Rapporteur
Rapporteur
Directeur de thèse
Co-Directeur de thèse
Examineur
Examineur
Invité

Remerciements

Je tiens en tout premier lieu à exprimer mes sincères remerciements à MM. Yves DANTO et Philippe LADOUX pour l'honneur qu'ils m'ont fait d'accepter d'être les rapporteurs de ce travail de thèse et pour leurs remarques constructives.

Je tiens aussi à remercier Seddik BACHA d'avoir accepté de faire partie de mon jury de thèse. Nos échanges et sa bonne humeur ont été pour moi une aide précieuse au cours de ma thèse.

Merci également à MM. Olivier LESAINT et Jean-Louis AUGÉ du LEMD pour leur collaboration très enrichissante sur les aspects diélectriques de mon travail de thèse.

Ce travail a été réalisé dans le cadre du contrat européen HIPO (High Integration Level in POWER electronic). Je souhaite donc remercier tous les participants à ce projet.

Je tiens tout spécialement à remercier les collaborateurs d'Alstom, MM. Luc MEYSENC, Michel MERMET-GUYENNET pour leur sympathie et nos échanges instructifs. Un grand merci à M. José SAIZ pour ses conseils, son aide et son expérience qu'il a bien voulu me faire partager.

Je souhaite remercier l'ensemble des membres de l'équipe électronique de puissance du Laboratoire d'Electrotechnique de Grenoble qui m'ont accueilli tout au long de ces années. Je remercie notamment les thésards, DEA et stagiaires qui se sont succédés et qui ont su faire régner une ambiance sympathique et enthousiaste.

Je tiens à remercier tout particulièrement Jean-Luc SCHANEN pour son aide, ses précieux conseils, sa confiance et son soutien de tous les instants tout au long de ces trois années de thèse.

Merci aussi à Christian SCHAEFFER dont les compétences, la bonne humeur et le dynamisme ont été motivants.

Je remercie Robert PERRET, James ROUDET, Jean-Paul FERRIEUX et les autres pour la confiance qu'ils m'ont accordé, leurs précieux conseils et leur enthousiasme de chercheur.

Je remercie Edith CLAVEL pour son aide et sa bonne humeur lors de ma prise en main du logiciel InCa.

Je tiens à remercier tout spécialement Pierre-Olivier JEANNIN, pour notre collaboration qui remonte à mon DEA, pour son aide et son amitié, ainsi que les stagiaires que j'ai encadré au cours de ma thèse.

Merci aux membres des équipes techniques et administratives pour leur aide et leurs conseils.

Un merci tout particulier à MM Jean BARBAROUX, Stéphane CATELLANI et Jacques DAVOINE pour leur bonne humeur, leur aide dans la réalisation des maquettes et de la logistique (pas toujours facile) de mes stagiaires et leurs compétences qu'ils ont bien voulu me faire partager.

Merci à tous ceux que j'ai rencontré durant toutes ces années au sein du laboratoire et avec qui j'ai eu beaucoup de plaisir à discuter (et travailler), pour votre bonne humeur et votre enthousiasme. Je pense notamment à Miguel, Denis, Natalia, Vanya, Aktham, Marylin, Fisal, Delia, Gilles, Vincent, Singva, et tous les occupants de la salle EPTE...

Enfin, merci à mes amis (Cyril, Aude, Gaëlle, Rémi, Yannick, Estienne,...) pour nos longues discussions, les bons moments que nous avons passé ensemble et votre soutien.

Un très grand merci à mes parents qui m'ont toujours soutenu et encouragé et sans qui je ne serais pas arrivé à ce stade et à Elena qui m'a supporté pendant cette dernière année de thèse, et apporté la force nécessaire pour la mener à bien.

Sommaire

Table des figures.....	7
Introduction générale	11
Partie I : Association en série de composants à grille isolée	
I.1 Introduction.....	17
I.2 Convertisseurs multi-niveaux et multicellulaires	19
I.2.2 Mise en série de convertisseurs quatre quadrants (SCFQ).....	19
I.2.3 Mise en œuvre de convertisseurs multi-cellulaires	20
I.2.4 Conclusion et intérêt	21
I.3 La commutation dure	23
I.3.2 Le transistor MOSFET de puissance.....	23
I.3.2.1 Présentation du modèle	24
I.3.2.2 Equations régissant la commutation.....	26
I.3.3 Particularités de l'IGBT	27
I.3.3.1 Présentation générale.....	27
I.3.3.2 Différences entre IGBTs PT et NPT	29
I.3.3.3 Comportement des modèles existants dans les logiciels de simulation.....	29
I.3.3.4 Comportement à l'état passant	33
I.3.4 Les cartes de commande	34
I.3.4.1 Présentation générale des cartes de commande.....	34
I.3.4.2 Isolation du signal de commande	35
I.3.4.3 Isolation du signal de puissance	35
I.3.4.4 Amplificateur de sortie.....	36
I.3.4.5 Filtres	36
I.4 Mise en série	37
I.4.1 Principales causes de déséquilibre	37
I.4.1.1 Action des retards entre les circuits.....	37
I.4.1.2 Effet des non-linéarités des capacités du MOSFET	39
I.4.1.3 Effet des différences de vitesse de croissance de la tension.....	40
I.4.1.4 Effet des capacités parasites	40
I.4.1.5 Déséquilibre dû aux courants de queue	49
I.4.1.6 Conclusion sur les causes de déséquilibre.....	51
I.4.2 Solutions pour assurer l'équilibrage en tension des transistors.....	52
I.4.2.1 Réalisation des convertisseurs.....	54
I.4.2.2 Solutions passives	55
I.4.2.3 Dispositifs de protection et d'équilibrage à base de diodes Transil	62
I.4.2.4 Etude d'un écrêteur actif combinant les fonctions de protection et d'équilibrage.....	65
I.4.2.5 Résultats expérimentaux.....	72
I.4.2.6 Conclusion sur le circuit d'écrêtage semi-actif	79
I.4.3 Mise en œuvre d'un DSP (Digital Signal Processor).....	80
I.4.3.1 Introduction	80
I.4.3.2 Présentation du système à base de DSP	80
I.4.3.3 Réalisation expérimentale et essais	85
I.4.3.4 Conclusion.....	86
I.4.4 Perspectives.....	86
I.4.4.1 Introduction	86
I.4.4.2 Système d'équilibrage	87
I.4.4.3 Description du fonctionnement	88
I.4.4.4 Commutation avec des capacités non-linéaires	89
I.4.4.5 Conclusion.....	89
I.5 Conclusion	91
I.6 Bibliographie	92
Partie II : Conception de modules haute tension	
II.1. Introduction.....	97
II.2. Les modules IGBTs de puissance.....	99
II.2.1. De la puce au module complet.....	99

II.2.1.1.	La puce semi-conductrice.....	99
II.2.1.2.	Le substrat	101
II.2.1.3.	Les connexions	103
II.2.1.4.	Le module.....	103
II.2.2.	L'association	104
II.3.	Problématique de conception	105
II.3.1.	Introduction.....	105
II.3.2.	Les logiciels mis en œuvre.....	105
II.3.2.1.	Simulations inductives.....	106
II.3.2.2.	Simulations diélectriques.....	108
II.3.2.3.	Simulations thermiques	109
II.3.3.	Etude des couplages	109
II.3.3.1.	Couplage thermique - inductif.....	109
II.3.3.2.	Couplage thermique - diélectrique.....	112
II.3.3.3.	Couplage inductif – diélectrique.....	113
II.3.3.4.	Conclusion.....	115
II.4.	Aspects inductifs seuls	116
II.4.1.	Les lyres de connexion.....	116
II.4.2.	Le substrat.....	117
II.4.2.2.	Présentation des substrats simulés	121
II.4.2.3.	Poids inductif des différentes éléments du substrat	122
II.4.2.4.	Simulation par Pspice et Saber	123
II.4.3.	Conclusion	126
II.5.	Champs électriques	127
II.5.2.	Du global au local : Pourquoi cette étude et ses limitations.....	130
II.5.2.1.	Les décharges partielles.....	130
II.5.2.2.	La norme IEC 1287	130
II.5.2.3.	Limitation de l'étude	131
II.5.3.	Etude globale des champs électriques.....	131
II.5.3.1.	<i>Présentation de la simulation étudiée.....</i>	132
II.5.3.2.	Résultat des simulations	134
II.5.4.	Etude locale des champs électriques	136
II.5.4.1.	Forme des coins des pistes.....	136
II.5.4.2.	Bord des métallisations.....	137
II.5.4.3.	Influence de l'épaisseur d'ALN.....	138
II.5.4.4.	Périphérie des composants.....	139
II.5.5.	Présentation de solutions.....	140
II.5.5.1.	Modification de la partie supérieure de la métallisation	140
II.5.5.2.	Solution à base de couche résistive	141
II.5.5.3.	Couche de matériau de fort champ de rupture.....	142
II.5.5.4.	Modification de la forme de la métallisation	144
II.5.6.	Conclusion	144
II.6.	Quelles alternatives ? Les évolutions des modules de puissance	145
II.6.1.	Le module HIPO : une structure 3D.....	145
II.6.1.1.	Aspects inductifs	145
II.6.1.2.	Aspects diélectriques	146
II.6.2.	Le refroidissement double face	147
II.6.3.	Conclusion	148
II.7.	Comment interconnecter les dispositifs?.....	149
II.7.1.	Les problèmes liés aux interconnexions par bus-barre.....	149
II.7.2.	Les autres possibilités	150
II.7.3.	Conclusion	151
II.8.	Conclusion	152
II.9.	Bibliographie	153
	Conclusion générale.....	155
	Perspectives	159
	Annexes	161

Table des figures

Partie I : Association en série de composants à grille isolée

Figure I-1 : Exemple de discrétisation d'une source de tension sinusoïdale.....	19
Figure I-2 : Onduleur monophasé réalisé par la mise en série de convertisseurs en pont (SCFQ)	20
Figure I-3 : Différentes structures de circuits multi-niveaux	21
Figure I-4 : Comparaison des harmoniques de tension de sortie pour un onduleur MLI classique et un onduleur 4 niveaux.....	21
Figure I-5 : Comparaison de la résistance à l'état passant des CoolMos et des MOSFETs classiques.....	24
Figure I-6 : Structure du MOSFET de puissance (document Siemens)	24
Figure I-7 : Variation des capacités d'un MOSFET IRF450 (International Rectifier) avec V_{ds}	25
Figure I-8 : modèle de MOSFET et commutation au blocage.	25
Figure I-9 : Comparaison de la structure d'un MOSFET et d'un IGBT NPT(Document Siemens)	28
Figure I-10 : Schéma équivalent de l'IGBT et son courant de queue	28
Figure I-11 : Comparaison entre mesures et simulations de la mise en série d'IGBTs PT sans (a et b) et avec (c et d) retard.....	30
Figure I-12 : Comparaison entre mesures b) et simulations a) de la mise en série d'IGBTs NPT avec un retard de 30 ns.....	31
Figure I-13 : Comparaison entre mesures et simulations de la mise en série d'IGBTs avec retard (a et b) PT, (c et d) NPT	32
Figure I-14 : Comparaison du V_{cesat} pour différents IGBTs en fonction de la tension bloquée	33
Figure I-15 : Exemple de circuit de commande synchronisé avec circuit magnétique d'isolation	35
Figure I-16 : a) cellule hacheur série - b) effet d'un retard d'un composant par rapport à l'autre lors de l'ouverture - c) effet d'un retard d'un composant par rapport à l'autre lors de la fermeture.	37
Figure I-17 : Commutation de 2 MOSFET associés en série.....	38
Figure I-18 : Effet des non linéarités sur une commutation avec temps de retard.	39
Figure I-19: a) cellule hacheur série - b) effet d'une différence de dv/dt entre composants lors de l'ouverture....	40
Figure I-20 : Présentation de la cellule à deux transistors avec capacités parasites	41
Figure I-21 : Localisation des capacités parasites.....	42
Figure I-22 : Schéma équivalent de la carte driver	43
Figure I-23 : Schéma du circuit de test	45
Figure I-24 : Evolution des commutations du transistor supérieur pour différentes capacités parasites.....	46
Figure I-25 : Evolution des commutations du transistor inférieur en fonction des capacités parasites.....	46
Figure I-26 : Effet des inductances et des capacités parasites durant la phase statique (formes d'ondes expérimentales).....	47
Figure I-27 : Tension entre le primaire et le secondaire des alimentations du driver du MOS supérieur avec et sans filtre.....	48
Figure I-28 : Schéma équivalent durant la phase bloquée.	48
Figure I-29 : Schéma équivalent de deux transistors mis en série pendant la phase de courant de queue	50
Figure I-30 : Déséquilibre en tension dû aux courants de queue (mesure)	50
Figure I-31 : Les différentes techniques d'équilibrage de la tension lors de la mise en série de MOSFET. [PALMER-98]	53
Figure I-32 : Placement vertical des composants pour limiter les capacités parasites	54
Figure I-33 : Ajout de capacités d'équilibrage extérieures sur un MOSFET.....	56
Figure I-34 : (a) Circuit d'étude pour la mise en série de 2 MOSFET avec des condensateurs $C_{DS_extérieur}$ d'équilibrage (b) Evolution du dV_{DS}/dt en fonction de $C_{DS_extérieur}$ pour deux MOSFET présentant des différences.....	56
Figure I-35 (a) : Formes d'ondes expérimentales lors de la mise en série de deux MOSFET IRFKD2 450 sans condensateur $C_{DS_extérieur}$ et avec un temps de retard de 25ns (b) : Formes d'ondes expérimentales lors de la mise en série de deux MOSFET IRFKD2 450 avec des condensateurs $C_{DS_extérieur}$ de 2.2nF en parallèle et un temps de retard de 25ns.....	57
Figure I-36 Dispositif comprenant deux MOSFET en série et des capacités $C_{GD_extérieur}$	58
Figure I-37 : Simulations : effet de l'utilisation d'un condensateur $C_{GD_extérieur}$ pour compenser un déséquilibre dû à des différences de caractéristiques entre les composants ($C_{xx2}=C_{xx1}+5\%$).....	58
Figure I-38 : Simulations : effet de l'utilisation d'un condensateur $C_{GD_extérieur}$ pour compenser un déséquilibre dû à un retard de 25ns du MOSFET 2 par rapport au MOSFET 1.....	59
Figure I-39 : Formes d'ondes expérimentales : effet d'une capacité $C_{GD_extérieur}$ sur l'ouverture de deux	60
Figure I-40 : Schéma de principe d'un équilibrage résistif.....	61

Figure I-41 : Schéma équivalent d'un équilibrage résistif de deux transistors	61
Figure I-42 : Ecrêtage en parallèle sur la puissance.....	62
Figure I-43 : Schéma d'implantation du circuit	63
Figure I-44 : Les différentes étapes du fonctionnement d'un écrêteur à diode transil.....	63
Figure I-45 : Schéma équivalent en phase d'écrêtage zener	64
Figure I-46 : Formes d'ondes expérimentales de la tension à l'ouverture de deux MOSFET en série (a) :Sans dispositif d'équilibrage. (b) :Avec une diode transil.....	64
Figure I-47 : Ensemble MOSFET, dispositif de clamping actif et carte de commande	66
Figure I-48 : Caractéristique de la capacité que l'on cherche à synthétiser	66
Figure I-49 : Principe de fonctionnement de l'écrêteur	67
Figure I-50 : Variantes de rebouclage du circuit d'écrêtage.....	68
Figure I-51 : Influence des paramètres Z_1 et $C_{g\text{dext}}$ sur les pertes et l'équilibrage en tension (Tension du bus continu : 2700V, capacité C_{gc} de l'IGBT : 3 nF, retard : 100 ns)	70
Figure I-52 : Pertes pour différents retards sans différences entre les courants de queue.....	71
Figure I-53 : Résultat de simulation pour 2 IGBTs en série en tenant compte du courant de queue.....	72
Figure I-54 : Pertes pour différents retards avec 5% de différences entre les courants de queue	72
Figure I-55 : Formes d'ondes expérimentales de la tension à l'ouverture de deux MOSFET en série. (a) :Sans dispositif d'équilibrage. (b) : Avec le dispositif de la figure I-47.....	73
Figure I-56 : Module intégré à IGBT 3300V-300A (puces DYNEX)	74
Figure I-57 : Vue du convertisseur et des cartes de commande modifiées par l'ajout d'une carte d'écrêtage.....	75
Figure I-58 : Schéma de principe de la mise en série de 3 IGBTs.....	76
Figure I-59 : Formes d'ondes expérimentales de la tension aux bornes de 3 IGBTs en série.....	76
a) sans retard, b) l'IGBT 1 étant retardé de 400ns.....	76
Figure I-60 : Bras d'onduleur 3 x 3.3 kV HIPO	77
Figure I-61 : Répartition des tensions lors du test monocoup de 3 IGBTs 3.3 kV en série	78
Figure I-62 : Comparaison des commutation avant et après passage en court-circuit d'un des IGBTs.....	78
Figure I-63 : Commutation de 2 IGBTs 6.5 kV en série.....	79
Figure I-64 : Schéma de principe de l'asservissement à DSP	81
Figure I-65 : Evolution des tensions des transistors en série avec la résistance de grille R_{g1}	82
Figure I-66 : Algorithme du correcteur à logique floue	84
Figure I-67 : Valeurs des résistances utilisées	84
Figure I-68 : Maquette de test réalisée.....	85
Figure I-69 : a) Tensions sans action du DSP, b) Avec DSP Action	86
Figure I-70 : Schéma de principe.....	87
Figure I-71 : Caractéristique de la capacité vis à vis de la tension à ses bornes	88
Figure I-72 : Caractéristique de la capacité vis à vis de la tension aux bornes de l'autre transistor	88
Figure I-73 : Principe de fonctionnement de la capacité non – linéaire (basé sur la variation avec le potentiel externe uniquement).....	88
Figure I-74 : Allure d'une commutation avec deux capacités non-linéaires.....	89

Partie II : Conception de modules haute tension

Figure II-1 Composants de puissance	99
Figure II-2 Vue de coupe de la structure des anneaux de garde pour un IGBT de puissance.....	100
Figure II-3 : Différentes technologies à base de poches	101
Figure II-4 : Substrat de module IGBT « DYNEX » 3.3 kV - 200A	102
Figure II-5 : Représentation schématique d'une coupe d'un substrat	102
Figure II-6 : IGBT EUPEC FF800R16KF6B2	103
Figure II-7 : Présentation de bus-barre et de leur conception	104
Figure II-8 : représentation d'un circuit par la méthode PEEC.....	106
Figure II-9 : Nécessité d'un maillage 2D quand la direction du courant n'est pas connue.....	107
Figure II-10 : Bonding réel et modélisation InCa.....	108
Figure II-11 : Température de puces IGBTs disposées sur un substrat ALN	110
Figure II-12 : Différentes dispositions possibles des puces	111
Figure II-13 : Comparaison de la répartition des courants (par rapport au courant total) entre les différents IGBTs en fonction de la fréquence	112
Figure II-14 : Evolution de la température maximale des puces en fonction de l'épaisseur d'AlN et.....	113
du coefficient d'échange thermique de la face arrière pour une puissance dissipée constante.....	113
Figure II-15 : Comparaison de différents types de métallisations.....	114
Figure II-16 : Evolution de l'inductance avec l'épaisseur d'AlN	115
Figure II-17 : Lyses de connexion EUPEC	117

Figure II-18 : Substrat et schéma électrique utilisé pour le modéliser	119
Figure II-19 : Schéma équivalent compacté, identique pour tous les substrats ayant le même nombre d'entrées-sorties	120
Figure II-20 : Comparaison des commutations des substrats avec et sans mutuelles	123
Figure II-21 : Comparaison de la tension grille-source aux bornes du substrat et de la puce	124
Figure II-22 : Comparaison des courants dans les 4 IGBTs en parallèle	124
Figure II-23 : Comparaison des tensions grille-source pour les deux substrats	125
Figure II-24 : Influence de la vitesse de commutation des transistors	126
Figure II-25 : Répartition des inductances entre les connexions.....	127
Figure II-26 : Banc de test mis en œuvre pour mesurer et localiser les décharges partielles	129
Figure II-27 : Comparaison des résultats de simulation sous FLUX 2D et mesurés à l'aide d'un banc de test optique	129
Figure II-28: Cycle de test pour déterminer l'isolation et les décharges partielles pour un module 6.5kV	131
Figure II-29 : Schéma de base implanté pour des simulations en Flux 3D	132
Figure II-30 : Identification des plans de coupe.....	134
Figure II-31 : Répartition du champ électrique selon le plan de coupe 2.....	135
Figure II-32 : Exemple de connexion mal réalisée	135
Figure II-33 : Influence des bondings sur les champs électriques	136
Figure II-34 : Simulation de différentes configurations d'angles	137
Figure II-35 : Influence des formes d'angle sur la valeur des champs électriques	137
Figure II-36 : Simulation et réalité de l'angle formé par la métallisation avec le substrat.....	138
Figure II-37 : Evolution des champs électriques en fonction de l'épaisseur d'AlN.....	139
Figure II-38 : Comparaison des champs maximum obtenus pour une métallisation carrée et une rognée.	140
Figure II-39 : Influence d'une couche résistive ($10^7 \Omega \cdot m$).....	141
Figure II-40 : Influence de la valeur de la résistivité	142
Figure II-41 : Dépose d'une couche d'oxyde de silicium	143
Figure II-42 : Modification de la forme de la métallisation	144
Figure II-43: Configuration 3D du module HIPO.....	145
Figure II-44 : Présentation du bonding 3D	146
Figure II-45 : Structure du refroidissement double-face	147
Figure II-46 : Champ électrique dans un bus-barre.....	149
Figure II-47 : Différents types de dispositions de modules et de connexions.....	150

Introduction générale

Introduction générale

Actuellement, le besoin de convertisseurs statiques pour des applications haute tension se développe de façon très importante dans différents secteurs d'activité.

Dans le domaine bien connu de la traction ferroviaire, les transistors de type IGBT ont supplanté les composants thyristors et GTO. Cela a conduit au développement des IGBTs ayant un calibre en tension de 3300V pour les bus continu 1500V, ou plus récemment de la réalisation de composants commandés 6,5 kV destinés au bus continu 3 kV. Ces derniers composants n'en sont d'ailleurs qu'à leur début et demandent encore à être développés et fiabilisés.

De nouvelles applications, liées directement à la dérégulation des réseaux de transport d'électricité et à son corollaire, la distribution décentralisée voient le jour. Ceci engendre une profonde remise en cause de la conception originelle de la distribution. De nouveaux problèmes se posent car il faut maîtriser les flux de puissance, maintenir la stabilité des réseaux électriques ou encore décongestionner des lignes. Pour cela de nouveaux systèmes basés sur la mise en œuvre de convertisseurs statiques ont été développés. Sur les réseaux alternatifs, l'utilisation d'un transformateur basse fréquence (50 Hz) permet d'abaisser la tension, mais ceux-ci sont lourds et volumineux. Sur les réseaux continus (HVDC), l'utilisation de convertisseurs aptes à tenir de hautes tensions est obligatoire. Les tensions atteintes varient de quelques dizaines de kilovolts à plusieurs centaines.

Dans tous ces types d'applications, les objectifs sont multiples. Il s'agit de limiter le poids et l'encombrement des dispositifs pour des raisons évidentes dans les applications embarquées. Mais ces contraintes apparaissent également dans les applications statiques du fait des volumes très importants des dispositifs et du prix du m² de terrain dans les grandes villes. L'objectif est de monter en fréquence dans les convertisseurs afin de limiter la taille des éléments passifs et des filtres CEM nécessaires au respect des normes de génération d'harmoniques, mais aussi pour pouvoir s'affranchir des lourds et volumineux transformateurs basse fréquence ou tout du moins en réduire la taille en passant à des transformateurs haute fréquence [Lorgeoux-01] dans les applications de réseau électrique.

Afin de réaliser de tels convertisseurs, deux voies de recherche doivent être investiguées.

Une première consiste à travailler sur la mise en œuvre de convertisseurs haute tension en se basant sur les composants de puissance existants à ce jour. Il faudra alors les associer pour pouvoir bloquer les tensions élevées. Différentes solutions existent, qu'il s'agisse de la mise en œuvre, plus ou moins sophistiquée, de la mise en série directe de composants qui sera présentée dans la première partie, ou de l'utilisation de convertisseurs multi-niveaux qui seront évoqués. Chacun de ces dispositifs présente des avantages et des inconvénients qu'il s'avère nécessaire d'appréhender, mais sont la seule voie possible tant que les composants ne seront pas capables de tenir à eux seul la tension complète.

Le développement de composants haute tension s'avère intéressant car il permettra de limiter les pertes et donc d'améliorer le rendement des convertisseurs. Avec les technologies basées sur les composants silicium, la limite en tension théorique des composants IGBT se situe aux alentours de 10 kV. D'autres matériaux (carbure de silicium ou encore diamant entre autre) sont en développement à des stades plus ou moins avancés et devraient permettre d'atteindre des tensions bien plus importantes.

Toutefois, ces composants vont générer d'importantes contraintes à l'intérieur des boîtiers d'encapsulation. Les mêmes problèmes seront soulevés, si pour des raisons d'encombrement et de poids, on souhaite intégrer des convertisseurs basés sur la mise en série de composants.

Les dernières générations d'IGBTs à 6,5 kV nécessitent déjà une étude plus approfondie de la structure des boîtiers et des contraintes s'y appliquant afin de garantir des durées de vie compatibles avec les applications industrielles. Les points à prendre en compte ne sont plus uniquement du ressort de la thermique et des assemblages mécaniques comme étudié par le passé. Ici, vont se rajouter les phénomènes liés aux forts champs électriques générés et l'aspect répartition du courant. Ceci sera développé dans la deuxième partie de ce travail où on regardera également le degré de couplage entre ces différents paramètres.

Partie I

Association en série de composants à grille isolée

1.1 Introduction

Dans cette première partie, il sera question de la réalisation de convertisseurs haute tension par association de composants. Le calibre en tension des transistors utilisés en puissance étant limité, il s'avère souvent nécessaire dans les convertisseurs haute tension d'associer des composants en série. L'étude menée au cours de ce chapitre est née d'une demande industrielle dans le cadre du contrat européen HIPO. Les besoins en terme de puissance commutée sont importants (quelques MVA avec des tensions de 10 kV et des courants de 400A) et les exigences au niveau de l'intégration également.

L'ensemble des études présentées est mené sur l'association série directe de composants. D'autres solutions existent, telles les structures multi-niveaux et multicellulaires qui seront présentées dans un premier temps.

Pour les applications forte tension (de quelques kV à plusieurs centaines de kV)- haute fréquence (quelques kHz), telles les applications de traction ferroviaire ou les convertisseurs installés sur les réseaux de transport d'électricité, cette mise en série est quasiment obligatoire. Non seulement pour atteindre des calibres en tension non réalisables avec un composant unique, mais aussi dans le cas des transistors MOSFET, pour diminuer la résistance à l'état passant. En effet, il peut s'avérer plus rentable, en terme de résistance à l'état passant d'associer plusieurs MOSFET en série plutôt que d'utiliser un composant haute tension unique. [RAULET-90]

Dans un premier temps, nous nous sommes intéressés à la mise en série de transistors MOSFET pour des questions de compréhension des phénomènes et de simplicité de modélisation. Cette étude a ensuite été étendue aux transistors de type IGBT dont le comportement en commutation est proche de celui du MOSFET à l'exception de la phase de courant de queue qui sera abordée de façon indépendante.

Ce type d'association met en évidence un certain nombre de problèmes qui peuvent mener à la destruction des composants ou tout au moins à un vieillissement prématuré de ceux-ci. La tension bloquée est un facteur important car la pratique a montré qu'elle agissait sur le vieillissement des composants et cela, même si la valeur limite de tension n'a pas été atteinte. Il ne s'agit ici pas uniquement de problèmes liés au silicium mais surtout de problèmes liés aux boîtiers (diélectrique, assemblage, ...).

Les fonctions à assurer seront donc doubles. Il faudra non seulement limiter les tensions aux bornes des composants pour que ceux-ci restent dans leur aire de sécurité (SOA)

mais également assurer une égale répartition des tensions à leurs bornes afin de garantir une durée de vie sensiblement identique.

Dans ce chapitre, nous partirons d'une étude de la commutation des transistors de puissance et des équations associées [JEANNIN-01]. Ceci permettra d'analyser le comportement de l'association série et les principaux phénomènes qui interviennent lors des commutations. Nous nous intéresserons ensuite au compromis entre l'équilibrage des tensions supportées par chaque semi-conducteur de l'association et l'augmentation des pertes durant la phase de commutation. L'accent est porté dans un premier temps sur des solutions simples, pouvant être facilement intégrées : capacités extérieures, diodes zener, ...Chacun de ces moyens d'équilibrage est analysé individuellement avant d'être associé dans une solution complète dont les paramètres seront optimisés afin d'obtenir un bon compromis entre les pertes et l'équilibrage. D'autres solutions, innovantes ou non, ont également été étudiées. On envisagera notamment la mise en œuvre de capacités non-linéaires dont les caractéristiques pourraient s'avérer intéressantes ou encore l'utilisation de DSP (Digital Signal Processor) pour assurer un asservissement des tensions des interrupteurs mis en série.

1.2 Convertisseurs multi-niveaux et multicellulaires

Les convertisseurs multi-niveaux sont apparus dans les années 80. Se trouvant essentiellement dans des applications marginales telles que les amplificateurs HF ou les applications plasma [Schibli-00], ils ont connu leur essor dans les années 90 et ont déjà été largement étudiés par différents laboratoires tels que le L.E.E.I. de Toulouse ([Carrere-96], [Meynard-01]) ou le L.2.E.P. de Lille [FRANCOIS-02] au niveau national, ou encore l'E.P.F. de Lausanne ou CPES [Rodriguez-02], entre autres, au niveau international.

Le principe de base de ce type d'onduleur est d'associer en série un nombre n de sources de tensions indépendantes de valeur U_{Cx} . La tension résultante sera une composition de ces valeurs de tension indépendantes. Il en résulte que pour poursuivre une sinusoïde par exemple, il y aura une quantification de cette valeur.

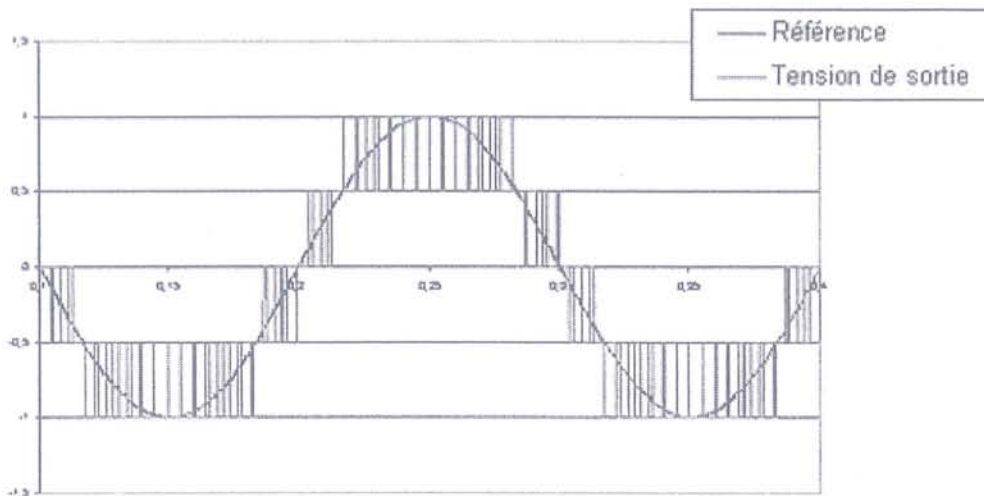


Figure I-1 : Exemple de discrétisation d'une source de tension sinusoïdale

Derrière ce principe de base se cachent différentes solutions pour réaliser ce type de convertisseurs. Les sources de tension élémentaires peuvent être isolées ou non. Elles peuvent être reliées directement ou via des convertisseurs DC/DC. Nous allons voir quelques types de convertisseurs différents qui répondent à ces critères.

1.2.2 Mise en série de convertisseurs quatre quadrants (SCFQ)

Ce type de convertisseur repose sur la mise en série de convertisseurs quatre quadrants (onduleur en pont) [SCHIBLI-00]. Ceux-ci peuvent générer à partir de sources de tensions continues une tension positive, négative ou nulle.

La structure de tels convertisseurs est donnée en figure I-2. Les tensions continues doivent être isolées galvaniquement, ce qui peut être obtenu par des solutions basse fréquence (transformateur 50Hz + redresseurs) ou haute fréquence (alimentations DC/DC isolées). Les

avantages de cette topologie sont qu'elle est totalement symétrique et peut générer des formes d'onde aussi bien positive que négative. De plus, elle ne nécessite pas l'utilisation de capacité de grande valeur pour maintenir les niveaux de potentiels.

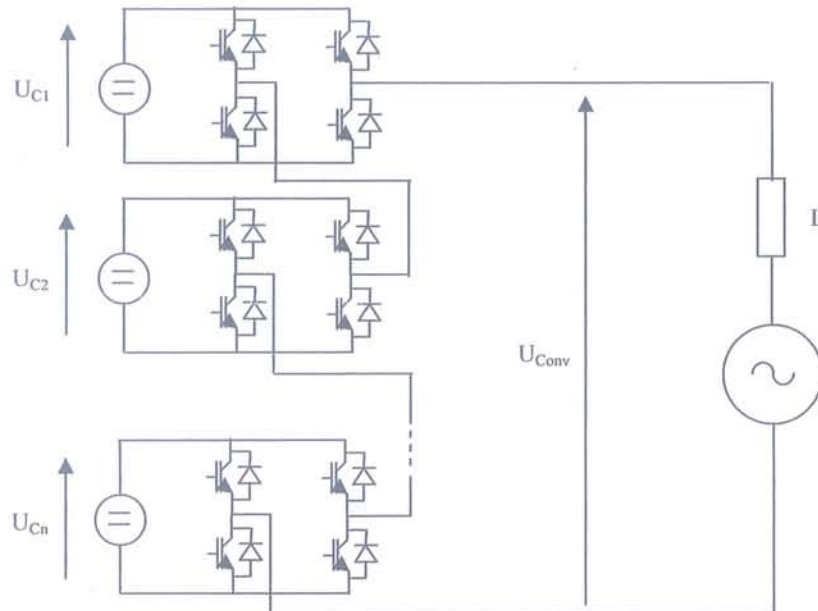


Figure I-2 : Onduleur monophasé réalisé par la mise en série de convertisseurs en pont (SCFQ)

1.2.3 Mise en œuvre de convertisseurs multi-cellulaires

Une autre technologie repose sur des convertisseurs multi-cellulaires. Contrairement à la première méthode, ceux-ci ne nécessitent qu'une seule alimentation DC. Les sources de tension sont réalisées par des condensateurs. Il existe deux grands types de convertisseurs différents. Le premier est basé sur des cellules imbriquées à condensateurs flottants, l'autre utilise des ponts diviseurs capacitifs et un clamping par diode. La figure I-3 présente ces deux types de structures.

Le but de ces structures est de pré - charger les condensateurs à la valeur désirée. Le principal problème est de maintenir constant leur état de charge. Ceci est obtenu par l'utilisation d'une modulation adaptée et par la commutation des interrupteurs adéquats. En effet, pour certaines valeurs de tensions de sortie, plusieurs configurations sont envisageables. Elles influenceront directement sur la charge des différents condensateurs du montage. Ceci nécessite donc une régulation des différentes tensions. De nombreux algorithmes ou méthodes de commande ont été élaborés pour assurer les commandes [Celanovic-99], [Francois-02].

Ceux-ci nécessitent souvent la mise en œuvre de DSP afin d’assurer le bon fonctionnement des convertisseurs multi-niveaux en garantissant les tensions des condensateurs.

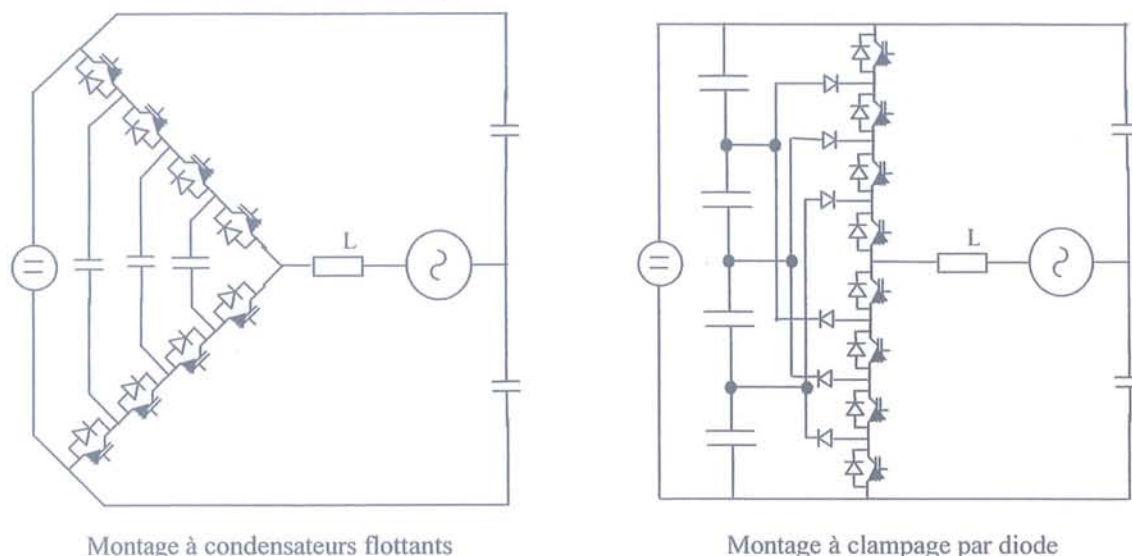


Figure I-3 : Différentes structures de circuits multi-niveaux

1.2.4 Conclusion et intérêt

La mise en œuvre de convertisseurs multi-niveaux présente de nombreux avantages. D’abord, la structure de ces convertisseurs permet naturellement d’équilibrer les tensions aux bornes des transistors mis en série. Ceci évite une des contraintes essentielles de la mise en série directe qui est de contrôler en temps réel la commutation des interrupteurs de puissance. De plus, cette association permet de disposer de niveaux de tension intermédiaires supplémentaires qui diminuent les harmoniques dus au découpage comme le montre l’exemple de la figure I-4. La fréquence de la sinusoïde est de 50 Hz et la fréquence de découpage de 500 Hz. Les harmoniques aux fréquences de découpage sont fortement atténués par rapport à l’onduleur MLI classique et repoussés à plus haute fréquence.

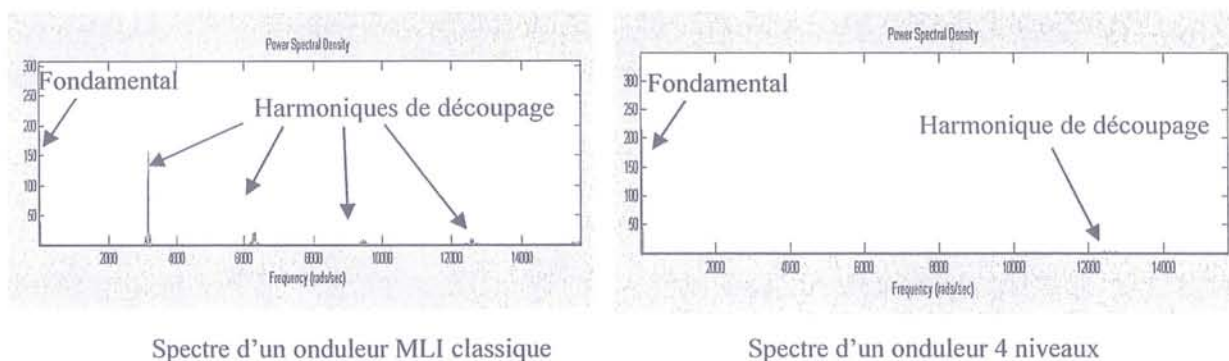


Figure I-4 : Comparaison des harmoniques de tension de sortie pour un onduleur MLI classique et un onduleur 4 niveaux.

Néanmoins, les onduleurs multi-niveaux nécessitent de maîtriser convenablement les tensions aux bornes des condensateurs. Ceci entraîne l'utilisation de méthodes d'asservissement de la tension relativement complexes. De plus, la mise en œuvre de ces systèmes nécessite soit des composants passifs (condensateurs ou transformateurs), soit des convertisseurs annexes pour assurer leur bon fonctionnement et créer les sources de tension nécessaires.

L'objectif de notre étude est de développer un convertisseur avec une intégration maximale et sans utiliser dans un premier temps de circuits numériques. C'est pour cela que nous nous sommes consacrés à l'étude de la mise en série directe de composants que nous allons présenter dans la suite.

I.3 La commutation dure

L'étude de la mise en série directe repose sur une connaissance précise des commutations. Ces commutations seront dures, il n'y a en effet pas de circuit de commutation douce associé aux composants car un des points importants de l'étude sera la possibilité d'intégration hybride des solutions à l'intérieur des modules de puissance. Cette étude est fondamentale, car durant les phases de commutation se créent essentiellement les déséquilibres en tension. Ceux-ci peuvent mener à la destruction des composants. De plus, une bonne compréhension des causes de déséquilibre pourra mener au développement de solutions optimisées d'équilibrage. Nous étudierons dans un premier temps le transistor MOSFET puis nous nous intéresserons à l'IGBT en regardant de plus près ses spécificités.

1.3.2 Le transistor MOSFET de puissance

Le transistor Métal-Oxyde-Semiconducteur (MOS) de puissance est apparu sur le marché des composants discrets en 1976. Depuis, son utilisation dans le domaine de l'électronique de puissance, il a fortement progressé. Les transistors MOS utilisés en commutation sont principalement à structure verticale (Electronique de puissance). Contrairement au transistor bipolaire où la conduction est assurée par des porteurs minoritaires, le MOS est un dispositif unipolaire où la conduction se fait par porteurs majoritaires, ce qui en fait un composant plus rapide. Actuellement, le domaine d'utilisation des MOSFET s'étend jusqu'à une tension d'environ 1000V et un courant d'une centaine d'ampères.

Ce dispositif présente de nombreuses qualités :

- Impédance d'entrée élevée de la grille isolée d'où une commande aisée.
- Grande vitesse de commutation liée à l'absence de stockage des porteurs minoritaires.
- Comportement électrothermique positif (augmentation de la résistance à l'état passant lorsque la température augmente) qui empêche l'emballement thermique. D'où une mise en parallèle aisée.

Ce composant est cependant cantonné dans des applications relativement basse tension la résistance à l'état passant augmente fortement avec le calibre en tension. Les nouvelles générations de MOSFETS (CoolMos, MD Mesh,...) permettent de diminuer la résistance à l'état passant. (Figure I-5).

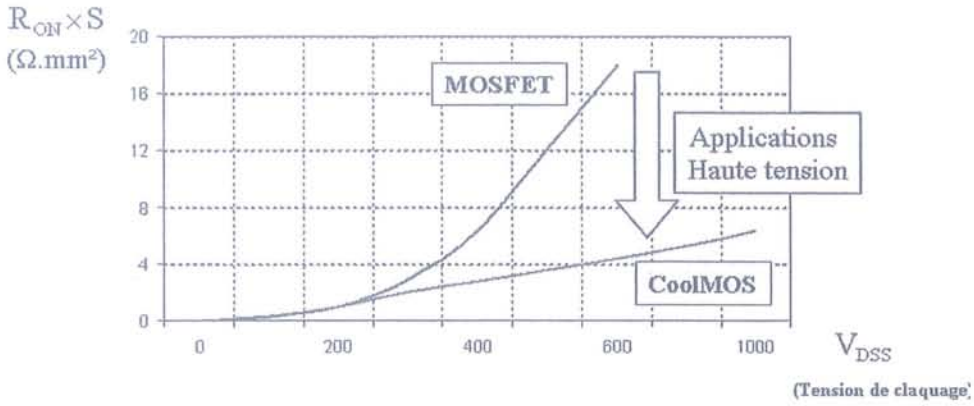


Figure I-5 : Comparaison de la résistance à l'état passant des CoolMos et des MOSFETs classiques

Ces composants ne peuvent toutefois pas concurrencer les transistors IGBTs pour les applications forte tension – forte puissance qui seront présentées par la suite. Dans le cadre de la mise en série, l'évolution très forte de la résistance à l'état passant avec le calibre en tension oriente vers la mise en série de nombreux transistors de faible calibre en tension. [Lausenaz-99].

1.3.2.1 Présentation du modèle

Nous allons dans un premier temps présenter le modèle classique du transistor MOSFET de puissance. Il sera en effet la base de notre étude. L'IGBT qui sera introduit par la suite étant une extrapolation du modèle du MOSFET. La Figure I-6 nous montre une vue de coupe d'une cellule de transistor MOSFET de puissance.

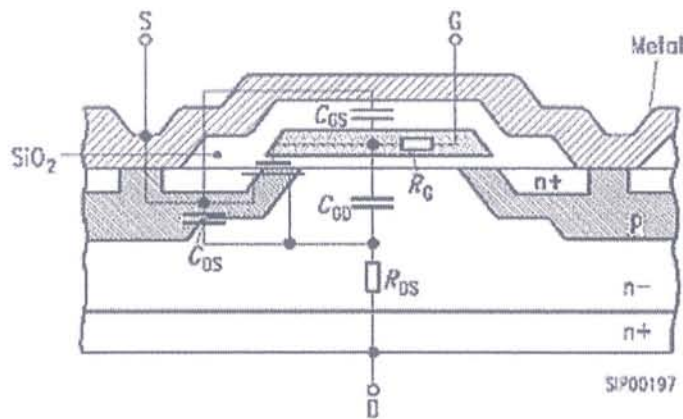


Figure I-6 : Structure du MOSFET de puissance (document Siemens)

On peut également en tirer un schéma équivalent qui est présenté en figure I-8. Les différentes capacités qui apparaissent sont alors clairement identifiées. Le modèle choisi est un modèle phénoménologique. Dans ce modèle le MOSFET est représenté sous la forme d'un

quadripôle électrostatique constitué de 3 capacités non linéaires variant en fonction des deux potentiels V_{ds} et V_{gs} (Figure I-7) et d'une source de courant commandée.

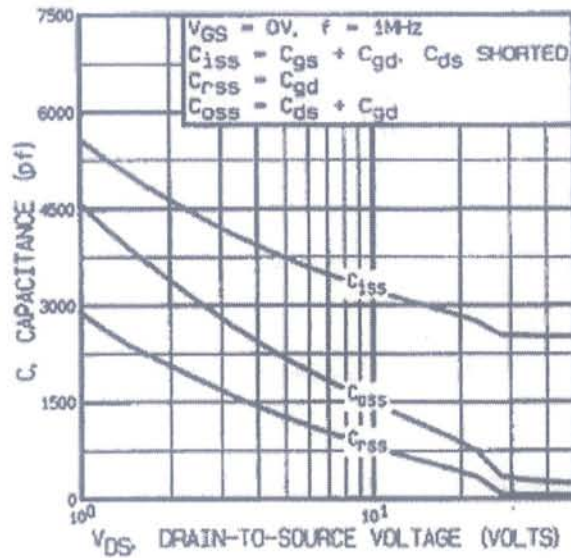


Figure I-7 : Variation des capacités d'un MOSFET IRF450 (International Rectifier) avec V_{ds}

Le courant I_{mos} dépend de la tension V_{gs} et du gain g_m , qui est lui-même dépendant de V_{gs} . Nous avons retenu la formulation $I_{mos} = g_m(V_{gs} - V_{th})$. D'autres formulations peuvent être utilisées.

La commutation du MOSFET est décomposée en 4 phases (ie. ph1, ph2, ph3 et ph4) (Figure I-8). Durant chaque phase le modèle de MOSFET est simplifié par rapport au modèle de base.

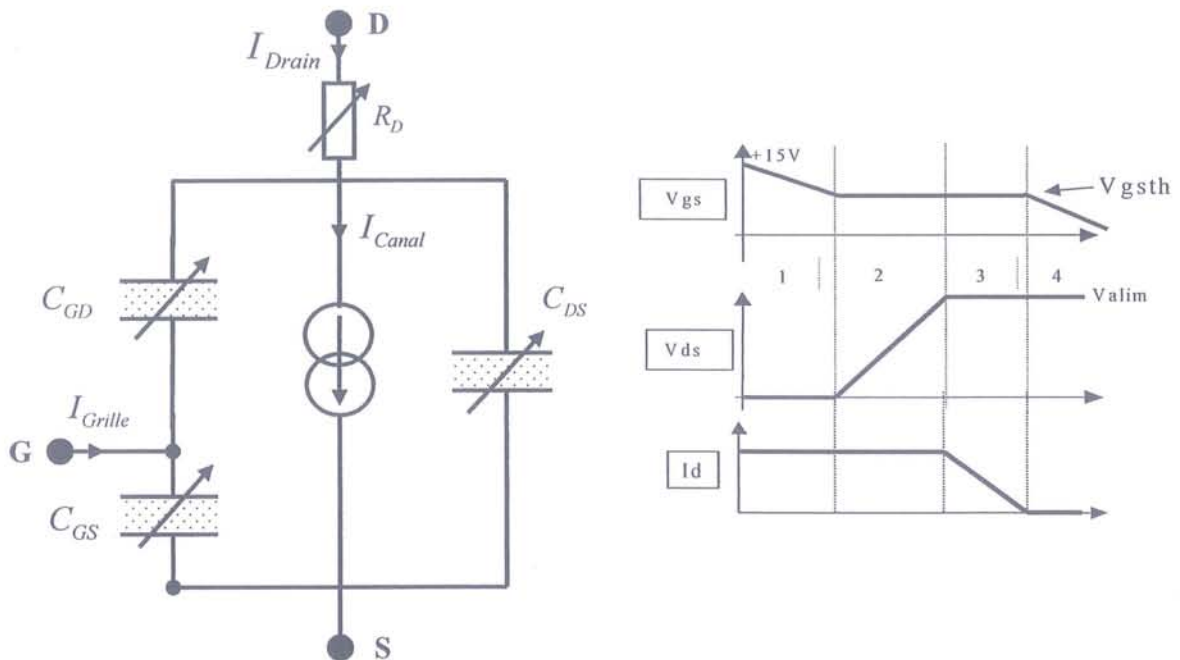


Figure I-8 : modèle de MOSFET et commutation au blocage.

Lors du blocage du MOSFET les 4 phases sont les suivantes :

1. Les circuits de grille et de puissance sont indépendants, la tension Grille - Source décroît jusqu'à un niveau imposé par le courant du MOSFET : $V_{con} = V_{th} + I_{ch}/g_m$.
2. Le MOSFET passe en régime linéaire, la diode étant toujours bloquée, son modèle est alors un simple condensateur traversé par le courant de charge du montage. Pour ce qui est du MOSFET, on peut considérer que la tension V_{ds} évolue alors via le circuit de grille. En effet, la tension Grille-Source est maintenue sensiblement constante, et le circuit de grille charge alors la capacité C_{gd} (ou C_{rss}). Ceci a pour effet de faire évoluer la tension Drain-Source.
3. A partir du moment où la diode devient conductrice, on entre dans la phase de commutation en courant. Les circuits de grille et de puissance sont sollicités ensemble. Donc ici seul le modèle de diode change, elle devient totalement conductrice et la tension à ses bornes s'annule.
4. Quant le courant dans le MOSFET s'annule, les circuits de grille et de puissance sont de nouveau découplés, et la tension V_{gs} évolue vers son niveau final (0V ou une tension négative en fonction du driver de commande).

L'amorçage du MOSFET se modélise de la même manière en prenant ces 4 phases dans l'ordre inverse.

1.3.2.2 Equations régissant la commutation

Lors des phases de commutation (2 et 3), on constate que les circuits de commande et de puissance sont couplés. L'évolution des grandeurs de la partie puissance (V_{DS} , I_D) est donc liée à celle de la partie commande (V_{GS} , I_G). Il peut être intéressant de disposer de formulations analytiques décrivant l'évolution des signaux. De nombreux travaux ont été menés dans le passé au LEG et nous n'en retraçons ici que les résultats principaux.

1.3.2.2.1 Commutation en tension [Jeannin-01]

La première phase de la commutation du transistor est une phase de commutation en tension. L'équation qui régit cette phase est la suivante :

$$\frac{dV_{ds}}{dt} = \frac{(I_o + g_m \cdot (V_{th} - U_t))}{(C_{gd} \cdot (1 + R_g \cdot g_m) + C_{ds})}$$

Celle-ci pouvant se simplifier en première approximation en : $\frac{dV_{ds}}{dt} = \frac{(V_{th} - U_t)}{C_{gd} \cdot R_g}$ si on

suppose g_m très grand. Cette approximation [Merienne-96] repose également sur l'idée que la vitesse de commutation est contrôlée par le courant de grille et non pas par le courant de puissance. En effet, lors de la commutation en tension, la tension aux bornes de la capacité

Cgd est contrôlée par le courant de grille. Mais la capacité Cds est chargée, elle, par le courant de puissance. Si ce courant est trop faible, la tension ne pourra pas s'élever aux bornes du transistor de puissance suffisamment rapidement. La capacité de sortie du transistor (C_{OSS}) ayant alors le même effet qu'une capacité snubber externe.

1.3.2.2.2 Commutation en courant [Merienne-96]

La seconde phase de commutation est une phase de commutation en courant qui peut se traduire par l'équation suivante :
$$\frac{dId}{dt} = -\sqrt{2 * \frac{Io * (Vth - Ut)}{Rg * Cgd * Ld}}$$

Où Ld est l'inductance du circuit de puissance.

D'autres formulations ont été développées et peuvent être proposées [Schanen-00] mais sont un peu trop complexes pour être rappelées ici, et n'apportent pas d'améliorations notables.

1.3.3 Particularités de l'IGBT

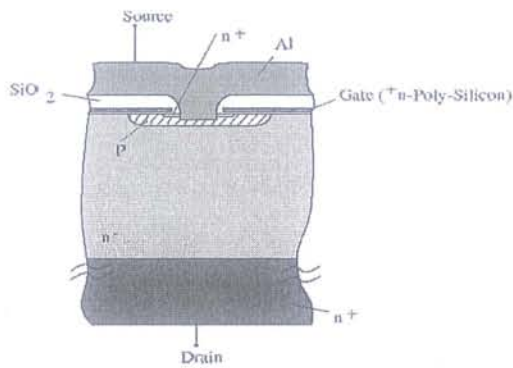
Après avoir exposé le MOSFET, nous allons nous intéresser à un composant plus adapté aux fortes tensions et forts courants, l'IGBT. Nous verrons dans cette partie en quoi leur comportement et leurs caractéristiques les distinguent.

1.3.3.1 Présentation générale

L'IGBT (Insulated Gate Bipolar Transistor), possède des particularités par rapport au schéma équivalent précédent. Sur la figure I-9, on peut voir que la principale différence entre un IGBT et un MOSFET est que la zone n⁺ du MOSFET est remplacée par une zone p⁺ sur l'IGBT. Cette modification engendre des différences dans le comportement des deux transistors, mais également sur leur schéma équivalent.

En effet, comme le montre la figure I-10, l'IGBT peut se modéliser comme un transistor bipolaire commandé par un MOSFET. Les deux types de porteurs (électrons et trous) participent à la conduction. Cette structure est la cause du phénomène de courant de queue. En effet, la partie « MOSFET » va se bloquer beaucoup plus vite que la partie bipolaire. On aura alors un circuit équivalent au blocage d'un transistor bipolaire à base en l'air. Ceci engendre un temps important pour obtenir l'évacuation des charges stockées d'où l'apparition d'un courant de queue non négligeable (20 à 40% de I_n) qui peut durer plusieurs μs.

a) MOSFET



b) IGBT

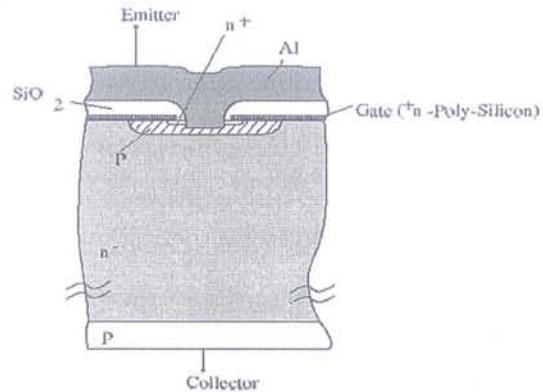


Figure I-9 : Comparaison de la structure d'un MOSFET et d'un IGBT NPT(Document Siemens)

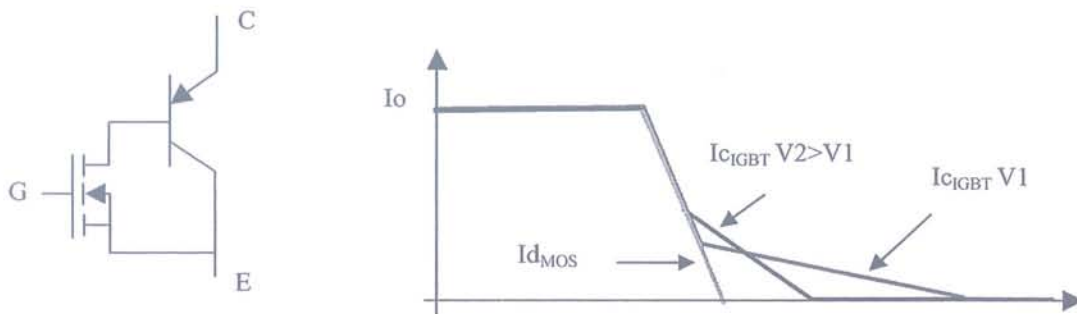


Figure I-10 : Schéma équivalent de l'IGBT et son courant de queue

Plusieurs paramètres peuvent intervenir durant la phase de courant de queue. Des études ont été menées par le passé afin de déterminer la dépendance de ceux-ci vis à vis de ces paramètres. Il en résulte un certain nombre de conclusions généralement admises dans la littérature qui sont résumées ci-dessous :

- Le courant de queue augmente avec la tension bloquée (en amplitude de départ). Par contre, la durée du courant de queue diminue du fait d'une recombinaison plus rapide des charges stockée sous l'effet de la tension. [ARNOULD-92] (Figure I-10)
- Plus la température de jonction est élevée, plus le courant de queue est important [SCHAEFFER-92]

Toutes ces constatations ont été effectuées dans une configuration de type hacheur série. La mise en série de transistors de puissance présente comme caractéristique la présence d'une tension qui peut fluctuer entre le collecteur (C) et l'émetteur (E) de l'IGBT du fait de la structure de la mise en série. De ce fait, les phénomènes mentionnés vont jouer un rôle important dans cette association.

En conclusion, la commutation d'un IGBT peut s'assimiler à une commutation de type MOSFET suivi d'un courant de queue. Néanmoins, ce courant de queue varie avec des paramètres extérieurs et des écarts de courants de queue peuvent rapidement engendrer des déséquilibres importants des tensions, comme nous le verrons au § 1.4.1.5.

1.3.3.2 Différences entre IGBTs PT et NPT

Il existe deux technologies de transistors IGBTs, qui diffèrent par la présence ou non d'une zone dopée N⁺ entre la zone P du collecteur et la zone N⁻. Celle-ci permet une recombinaison plus rapide des charges stockées et donc une coupure plus brutale du courant de queue. Il en résulte que les conséquences de cette zone supplémentaire vont jouer sur le fonctionnement de l'IGBT lors de sa mise en série.

1.3.3.3 Comportement des modèles existants dans les logiciels de simulation

1.3.3.3.1 Introduction

Le principal problème des modèles d'IGBT est la modélisation de la partie bipolaire, qui se traduit physiquement par le courant de queue et qui nécessite de modéliser correctement les recombinaisons de charge comme pour une diode PIN par exemple.

Les expérimentations pratiques ont laissé apparaître une influence très marquée des courants de queue sur les équilibrages en tension aux bornes des transistors mis en série et qui sera détaillée par la suite. Cependant, les résultats obtenus en pratique avec divers IGBTs ne concordent pas avec les résultats effectivement fournis par les logiciels de simulation, ce qui laisse supposer une mauvaise description des caractéristiques des composants. Le but ici est de voir dans quelle mesure les divergences apparaissent.

Il ne s'agit pas ici de vérifier la concordance exacte entre les résultats de simulation et les expérimentations pratiques, mais de vérifier les sens de variation des grandeurs dans ces cas de figure. Deux logiciels de simulation temporelle en électronique de puissance ont été utilisés. PSPICE[®] dont les modèles d'IGBT reposent sur des modèles électriques et SABER[®] dont les modèles reposent sur des équations physiques développées par Hefner [HEFNER-94]. Ceux-ci font intervenir différents paramètres. Si l'on s'intéresse aux paramètres fondamentaux, ils sont au nombre de 15 pour l'IGBT NPT et de 18 pour l'IGBT PT. Cette différence s'expliquant par les structures différentes des composants de puissance, les IGBTs PT ayant une couche tampon supplémentaire.

Nous avons comparé les résultats obtenus avec ces différents circuits de simulation et des commutations réelles dans une configuration de type hacheur série avec deux transistors mis en série.

Les deux logiciels ont été comparés aux mesures pour deux transistors IGBTs de types différents.

- IGBT NPT Infineon : SKW 30N60 (une diode en anti-parallèle est présente dans le boîtier)
- IGBT PT International Rectifier IRG4PH40UD

Les modèles de ces composants précis n'existant pas dans les simulateurs, nous avons utilisé les modèles fournis avec les logiciels.

- Dans SABER, on a utilisé les modèles d'IGBT PT (IGBT_b) et NPT (IGBT) fournis dans la base de donnée du logiciel.
- Dans PSPICE, on a utilisé un modèle de transistor de type NPT (BSM25GB100D) et un modèle d'IGBT PT (IRGBC40S)

I.3.3.3.2 Simulations SABER®

Dans un premier temps, nous allons nous intéresser au comportement des transistors implantés dans le logiciel SABER®. L'objectif est de voir si les évolutions de tension observées en pratique sont bien retrouvées dans les simulations.

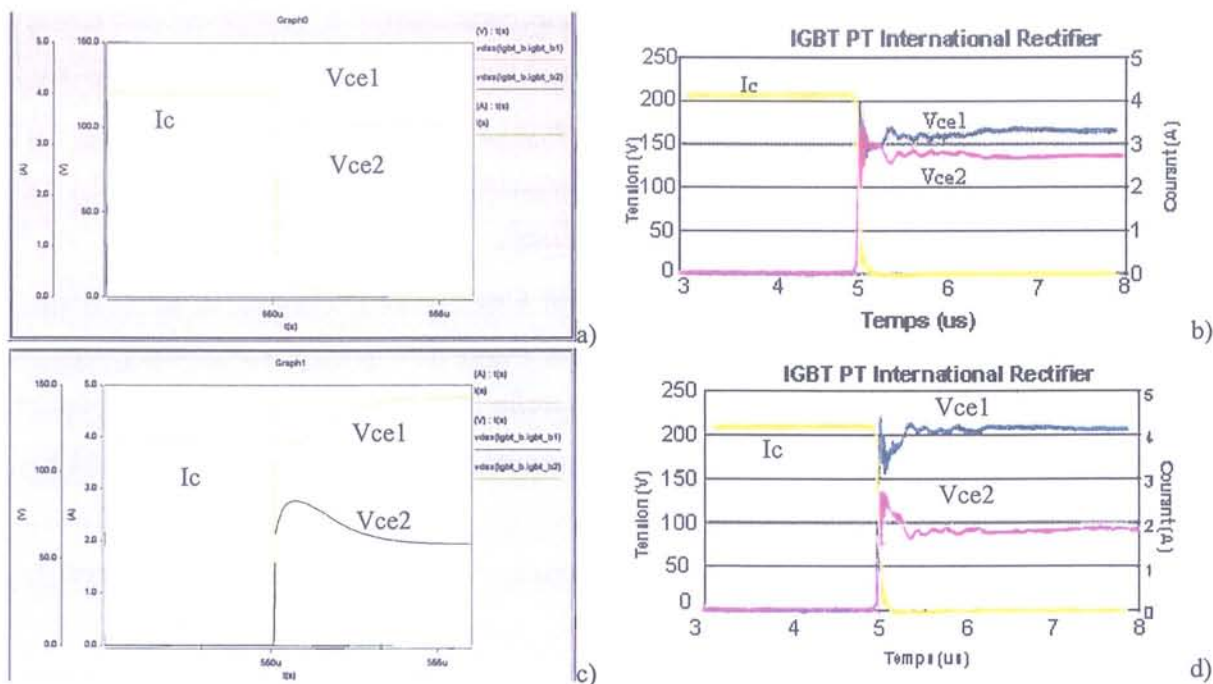


Figure I-11 : Comparaison entre mesures et simulations de la mise en série d'IGBTs PT sans (a et b) et avec (c et d) retard.

Les figures I-11 montrent que le comportement de l'IGBT PT implanté dans SABER correspond au comportement réel. Lorsque le retard entre les composants augmente,

l'influence du courant de queue devient également plus important et engendre un déséquilibre supplémentaire des tensions dans la phase statique.

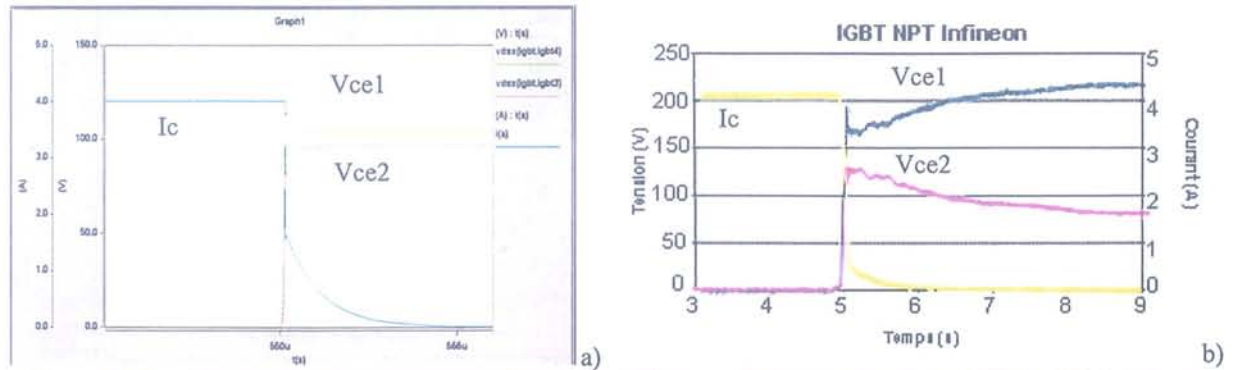


Figure I-12 : Comparaison entre mesures b) et simulations a) de la mise en série d'IGBTs NPT avec un retard de 30 ns.

On constate par contre que pour le cas de l'IGBT de type NPT, le comportement du modèle n'est plus satisfaisant.

Les modèles implantés sous SABER qui sont des modèles physiques donnent des résultats corrects, notamment pour le transistor PT qui a semble t'il était correctement décrit. Par contre, les résultats obtenus avec l'IGBT NPT semblent moins satisfaisants. Ce composant est plus simple que le précédent, ne disposant pas de couche tampon. Deux hypothèses peuvent être avancées. Soit, une équation traduisant le fonctionnement du composant est manquante, soit l'identification des paramètres est imprécise voir insuffisante.

Il est à noter, que la diode en anti-parallèle sur l'IGBT qui est présente dans le boîtier du SKW30N60 de chez Infineon n'est pas en cause, puisque le rajout d'une diode dans la simulation SABER n'a pas modifié la commutation des transistors ni le sens de variation des tensions.

I.3.3.3.3 Simulations PSPICE[®]

Le deuxième logiciel de simulation utilisé est PSPICE. Les figures I-10 donnent les résultats pour les deux types d'IGBTs avec un retard entre les composants mis en série.

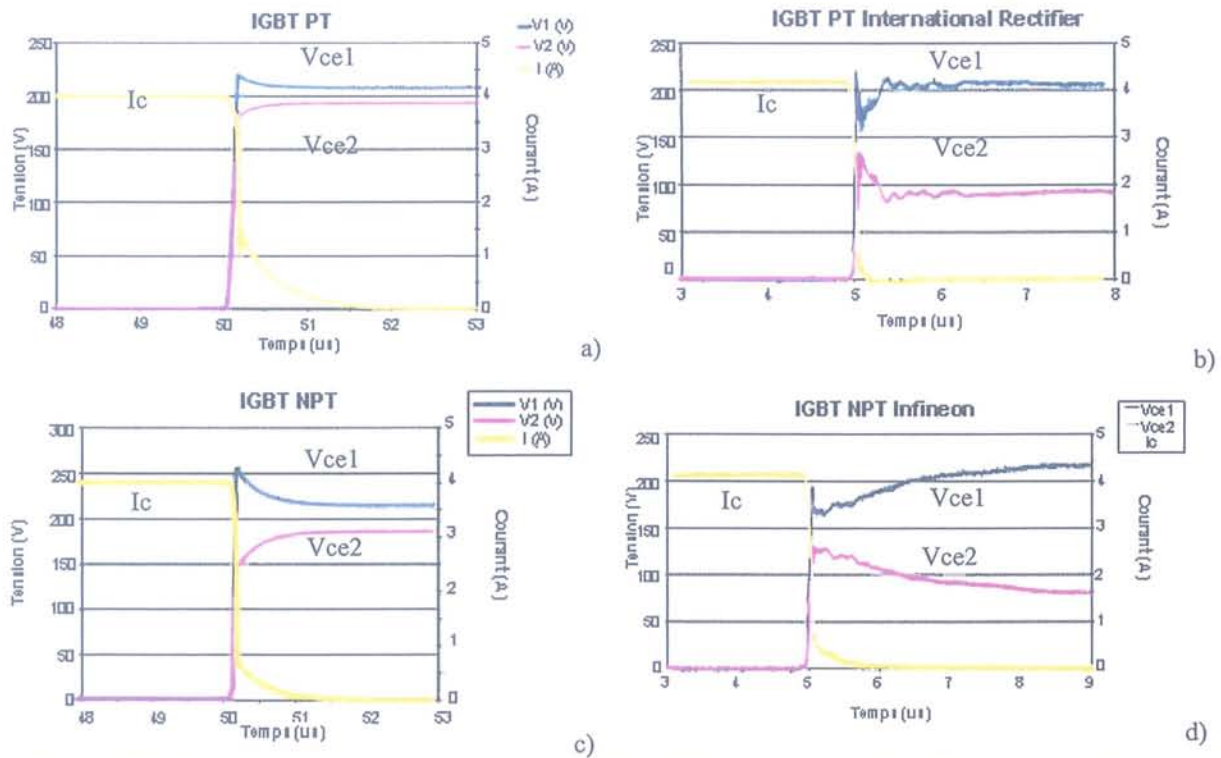


Figure I-13 : Comparaison entre mesures et simulations de la mise en série d'IGBTs avec retard (a et b) PT, (c et d) NPT

Les modèles implantés sous PSPICE donnent des résultats médiocres. Ils représentent bien la phase de commutation en tension et en courant (dV/dt et dI/dt) et une phase de courant de queue est prévue. Par contre, l'évolution de ces courants de queue avec la tension ne correspond pas à ce qui est réellement observé lors de l'association en série. Ceci peut s'expliquer par le fait qu'il s'agisse de modèles électriques de composants qui sont optimisés pour une configuration (généralement un hacheur série) et un point de fonctionnement donnés. Nous ne simulons pas une telle structure, il n'est donc pas étonnant a priori que des écarts apparaissent. La partie de commutation en tension et en courant correspondant à un fonctionnement de type MOSFET amplifié, les courbes donnent de bons résultats, mais la partie courant de queue est simulée avec une (des) cellule R-C. Celles-ci ne représentent que bien imparfaitement le phénomène de recombinaison de charges et l'influence de la tension.

1.3.3.3.4 Conclusion

La comparaison des simulations avec des mesures pratiques a montré que des écarts significatifs existent entre les résultats des logiciels de simulation et la pratique. Ces résultats ne concernent pas tant les valeurs en elles mêmes, que les variations de tension engendrées par le courant de queue. Plusieurs phénomènes peuvent être la cause de ces erreurs de simulation.

- Une erreur dans la modélisation venant d'une description trop simple des composants par rapport à la réalité physique. Ceci peut être le cas des modèles électriques implantés sous Pspice. Mais semble peu probable dans le cas des modèles d'Hefner.
- Des imprécisions dans la détermination des paramètres des IGBTs. Il est donc nécessaire d'avoir des méthodes d'identification précises des paramètres implantés dans les modèles de composants qui permettent de faire correspondre les résultats de simulation et les résultats pratiques. [WEI-02].

Un des derniers points à soulever est que la plupart des modèles a été validée dans une configuration de type hacheur série. Si cette configuration représente bien un nombre non négligeable de configurations réelles, elle ne correspond pas fidèlement à ce qui se passe dans des cas plus exceptionnels comme la mise en série.

1.3.3.4 Comportement à l'état passant

Le comportement à l'état passant est également à prendre en compte. Notamment au niveau des pertes en conduction. Nous avons vu précédemment que l'impédance du MOSFET augmente de façon notable avec la tension bloquée. Le résultat étant que pour minimiser les pertes à l'état passant, il était plus rentable de mettre un grand nombre de transistors en série. Pour l'IGBT, la figure I-14, nous montre que c'est le phénomène inverse qui se produit. En effet, la tension à l'état passant ($V_{ce\text{sat}}$) augmente moins rapidement que la tension.

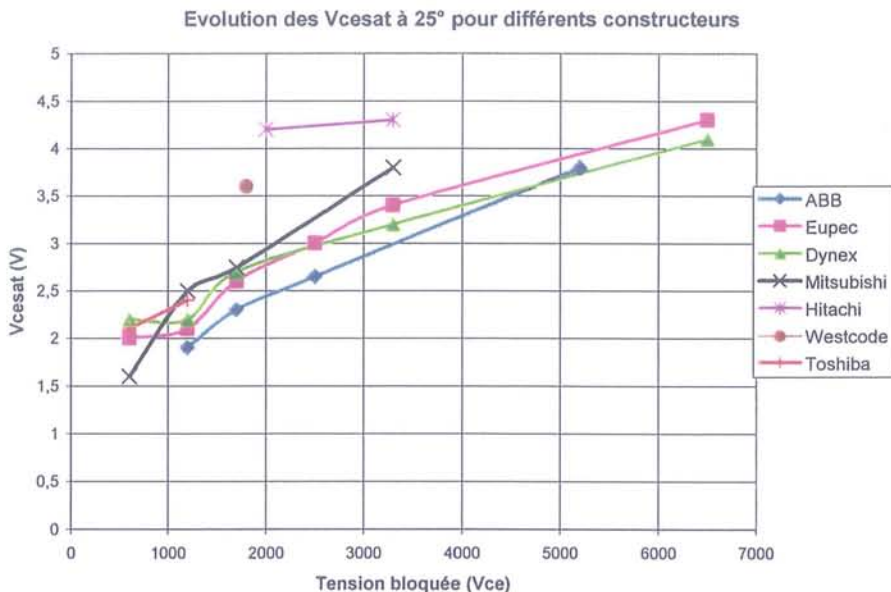


Figure I-14 : Comparaison du $V_{ce\text{sat}}$ pour différents IGBTs en fonction de la tension bloquée

Il est donc intéressant de mettre en série le moins de composants possible afin de limiter les chutes de tension à l'état passant. Par contre, ces composants plus « gros »

nécessiteront une commande plus performante pour leur permettre de commuter en des temps raisonnables.

1.3.4 Les cartes de commande

Pour obtenir, une commutation efficace et fiable des transistors de puissance, il est nécessaire d'avoir des cartes de commande avec des performances correctes. Il ne s'agira nullement ici d'en faire une description exhaustive, mais seulement de présenter leurs particularités communes et les contraintes que cela impose.

1.3.4.1 Présentation générale des cartes de commande

Les « drivers » de puissance utilisés actuellement possèdent tous à peu près les mêmes caractéristiques résumées sur la figure I-14. On peut surtout distinguer deux zones différentes, une qui sera reliée à l'étage de puissance et dont la masse sera flottante, une qui sera reliée à l'étage de commande et d'alimentation et dont la masse sera fixe.

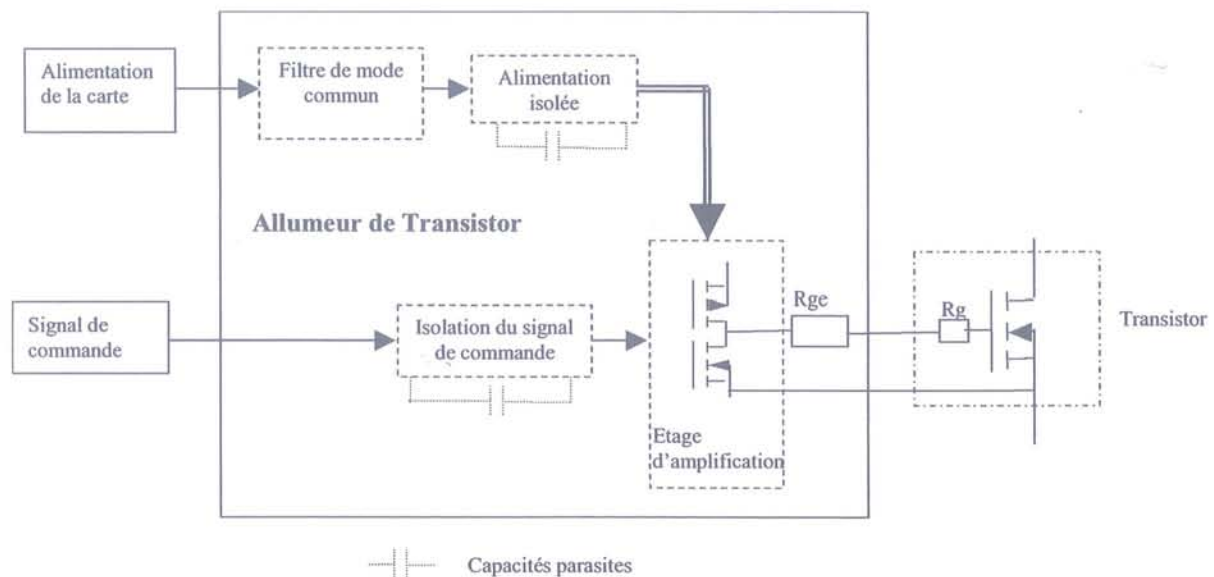


Figure I-14 : Schéma de principe d'une carte de commande de transistor

En effet, ils sont conçus pour mettre en conduction et bloquer des transistors dont les potentiels de grille et de source sont flottants. De plus, ils doivent assurer l'interface entre un circuit de signal faible puissance et un circuit forte puissance et doivent apporter l'énergie suffisante pour amorcer le transistor de puissance. La commutation efficace des transistors nécessite une puissance instantanée importante, certes sans commune mesure avec celle d'un thyristor ou d'un GTO, mais nécessite aussi de maintenir la tension entre grille et source du transistor pour le conserver dans l'état souhaité. Afin d'obtenir ces résultats, la carte de commande dispose d'un certain nombre de caractéristiques.

I.3.4.2 Isolation du signal de commande

Comme nous l'avons dit précédemment, l'étage de puissance peut très bien avoir des potentiels flottants (par exemple le transistor du haut d'un bras de hacheur quatre quadrants). Le signal de commande est généralement référencé par rapport à une masse qui n'est pas au potentiel de la source du transistor. Il est donc nécessaire d'assurer une isolation galvanique du signal.

Cette isolation peut être réalisée de plusieurs façons :

- Soit par des opto-coupleurs. Ce sont des composants peu coûteux qui présentent des tensions d'isolement de quelques kilovolts. Par contre, ils ont l'inconvénient d'engendrer un temps de retard qui peut varier fortement entre deux composants d'une même série (ce qui peut être préjudiciable dans le cas de la mise en série).
- Soit utiliser des transformateurs d'isolement. L'inconvénient étant qu'un transformateur ne passe pas la composante continue d'un signal. Il est alors nécessaire de les accompagner d'un circuit électronique afin de reconstituer le signal de commande. Ce type de composants présente l'avantage d'avoir des capacités primaire - secondaire de faible valeur et avoir des dispersions sur les retards beaucoup plus réduites.

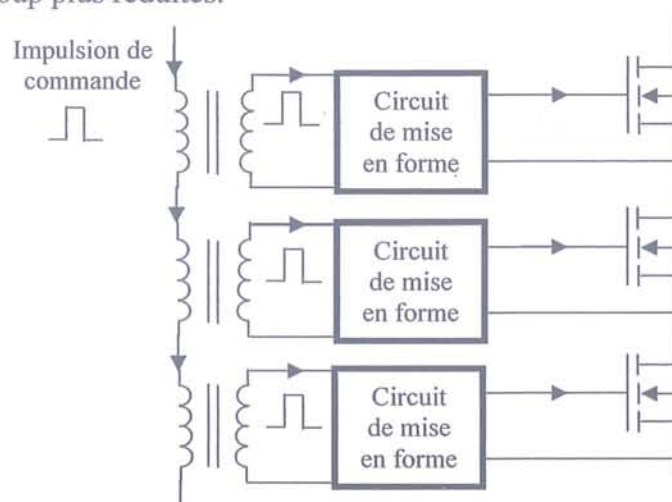


Figure I-15 : Exemple de circuit de commande synchronisé avec circuit magnétique d'isolement

I.3.4.3 Isolation du signal de puissance

Pour les mêmes raisons que précédemment, il est nécessaire d'isoler l'alimentation de puissance. Pour cela, on utilise classiquement le transformateur d'une alimentation à découpage isolée (par exemple une alimentation de type flyback). Cela permet d'avoir une alimentation unique pour plusieurs composants dont les sources (respectivement les émetteurs) sont flottantes les unes par rapport aux autres.

Dans les applications fortes tensions, ce point est réellement problématique. En effet, les circuits d'isolation quels qu'ils soient doivent tenir des tensions élevées et apportent des capacités parasites qui peuvent porter préjudice comme nous le verrons par la suite.

Des possibilités existent pour coupler les deux circuits de puissance et de signal. Une autre voie serait par contre de prélever directement la puissance sur le circuit principal. Et cela sans perturber (ou tout au moins le moins possible) le circuit de puissance et donc d'alimenter la carte par cet intermédiaire. [Roux-01]

1.3.4.4 Amplificateur de sortie

La carte de driver sert à isoler, mais aussi à amplifier le signal de commande. Il est donc nécessaire d'avoir en sortie de carte un étage amplificateur du signal. Celui-ci est classiquement composé d'un étage à transistors MOSFET de puissance. L'avantage est la faible impédance du circuit de sortie du driver et la relative immunité aux perturbations du fait d'une commande en tension. Une autre solution est d'utiliser des transistors bipolaires. Par contre ici, leur commande en courant peut être plus facilement perturbée par des courants parasites. [Merienne-96]

1.3.4.5 Filtres

Certaines cartes pour limiter l'influence des courants de mode commun sur les signaux, et donc pour limiter les perturbations, sont équipées de filtres de mode commun. Nous verrons par la suite l'influence que ces derniers peuvent avoir.

I.4 Mise en série

Lors de la mise en série d'interrupteurs de puissance, un certain nombre d'imperfections et d'éléments parasites peuvent intervenir et venir perturber le bon fonctionnement du système. Dans l'idéal, tous les interrupteurs sont identiques et sont commandés par des signaux similaires en phase. Ces conditions ne sont pratiquement jamais réalisées, il est donc nécessaire d'analyser les principales causes de déséquilibre et leur influence sur la répartition des tensions.

I.4.1 Principales causes de déséquilibre

Différentes causes peuvent expliquer les déséquilibres qui surviennent lors des commutations des transistors de puissance.

- Retards entre les signaux de commande
- Dissymétrie des circuits de grille (Impédance de sortie,...)
- Ecart de caractéristiques entre les transistors de puissance (C_{gd} , C_{ds} ,...)
- Influence d'éléments parasites (Capacités parasites des transformateurs et optocoupleurs ...)
- Caractéristiques inhérentes au composant (Courant de queue...)

I.4.1.1 Action des retards entre les circuits

I.4.1.1.1 Introduction

Lors de la commutation, des écarts entre les instants de commutation des différents interrupteurs mis en série vont engendrer une répartition inégale des tensions entre eux-ci.

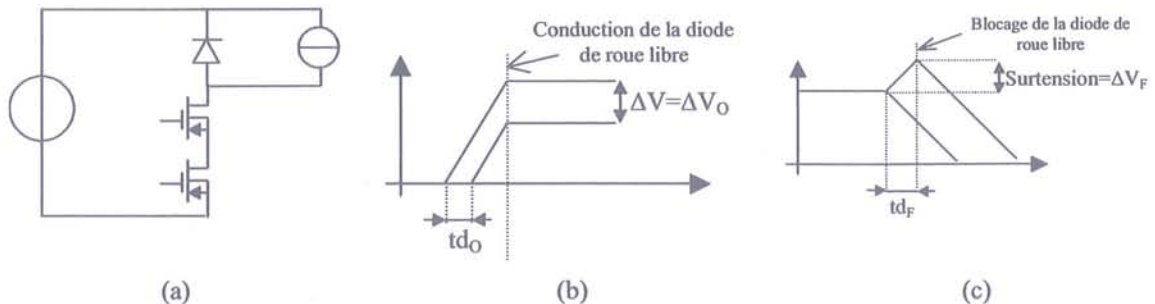


Figure I-16 : a) cellule hacheur série - b) effet d'un retard d'un composant par rapport à l'autre lors de l'ouverture - c) effet d'un retard d'un composant par rapport à l'autre lors de la fermeture.

Deux cas sont à distinguer selon que l'on se trouve à l'ouverture ou à la fermeture du MOSFET. Les figures I-16 présentent une association de deux transistors mis en série. Evidemment, les constatations effectuées peuvent s'étendre à une association de N transistors.

- Au blocage, le transistor qui commute en premier supportera le maximum de la tension.
- A l'amorçage, la mise en conduction du transistor le plus rapide entraînera une chute de la tension à ses bornes. Les autres transistors étant encore bloqués, ceux-ci se répartiront la tension. Les principaux facteurs influençant sont les capacités parasites, les capacités intrinsèques des transistors et leur courant de fuite.

A partir des deux cas précédents, nous pouvons donner des expressions théoriques pour les surtensions lors de l'ouverture et de la fermeture en prenant comme hypothèse des dV/dt constants et égaux pour tous les composants.

$$\text{On a alors } \Delta V_O = td_O \cdot \frac{dV}{dt} \text{ et } \Delta V_F = td_F \cdot \frac{dV}{dt}.$$

Avec td_O le retard à l'ouverture et td_F le retard à la fermeture.

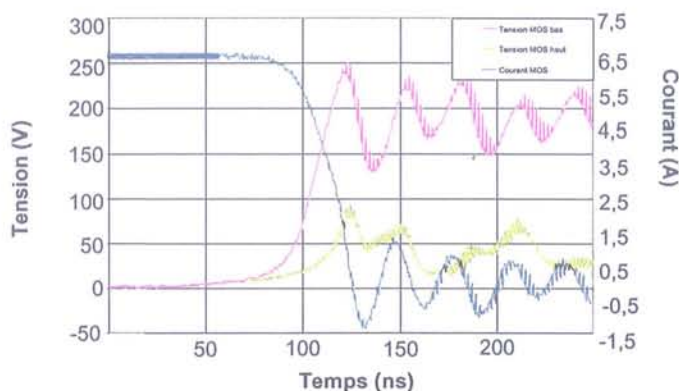


Figure I-17 : Commutation de 2 MOSFET associés en série

I.4.1.1.2 Origine des temps de retard

Lors de la commutation, les temps de retard peuvent être générés par des raisons diverses :

- Le temps de propagation des signaux dans les circuits d'isolation des cartes de commande. Ceci est d'autant plus sensible pour des cartes équipées d'optocoupleurs.
- Le temps de charge de la capacité d'entrée du transistor (C_{ISS}) à la valeur V_{Th} , moment où commencera la commutation. Des différences de caractéristiques des

circuits de grille (essentiellement son impédance de sortie). Les deux paramètres influant étant l'inductance du circuit de grille L_G et la résistance de ce circuit (R_G) mais également celle des transistors du push-pull de sortie qui limitera sa valeur couplé à des écarts sur les caractéristiques des transistors. Notamment C_{ISS} et V_{Th} .

1.4.1.1.3 Conclusion

Les retards sont des points relativement problématiques et leur gestion est cruciale. Ceci d'autant plus si l'on utilise des composants de faible puissance qui sont naturellement beaucoup plus rapides (commutation en une centaine de nano-secondes) que les composants de forte puissance tels les IGBTs utilisés en traction (commutation en une micro-seconde).

1.4.1.2 Effet des non-linéarités des capacités du MOSFET

Un facteur complémentaire à prendre en compte est la non linéarité des capacités du MOSFET, et notamment de C_{GD} et C_{DS} qui ont des rôles importants dans la vitesse de commutation. En fait, globalement plus la tension V_{DS} est élevée aux bornes d'un composant, plus il commute rapidement. Donc les non linéarités des condensateurs ont tendance à augmenter les déséquilibres initiaux (dus à des temps de retards) ou à aggraver les effets d'une différence de vitesse de commutation.

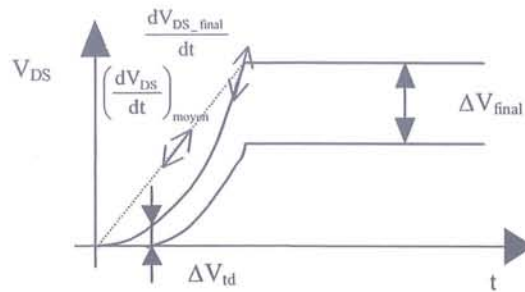


Figure I-18 : Effet des non linéarités sur une commutation avec temps de retard.

Dans le cas de la figure précédente, on constate que le ΔV_{final} est plus important que le ΔV_{td} . Les non linéarités des capacités du MOSFET, et donc la non linéarité de l'évolution de la tension V_{DS} ont causé un accroissement du déséquilibre entre les composants. Cependant, dans la partie 1.3.2.1, nous avons vu que les capacités parasites du MOSFET variaient peu lorsque la tension V_{DS} est importante (environ 1/5ième du calibre en tension du composant), et donc nous pouvons facilement évaluer le dV_{DS}/dt dans ce cas, nous le nommerons dV_{DS_final}/dt . Dans ce cas là, le déséquilibre en tension s'exprimera comme suit :

$$\Delta V_{\text{final}} = t_d \cdot \frac{dV_{DS_final}}{dt}$$

Comme le dV_{DS_final}/dt est supérieur aux $(dV_{DS}/dt)_{\text{moyen}}$ on peut effectivement conclure que le caractère non linéaire des capacités parasites du MOSFET est un facteur aggravant pour ce qui est du déséquilibre en tension. Ce facteur est d'autant plus critique que les transistors subissent de grandes variations de tensions et donc n'ont pas la même capacité finale.

1.4.1.3 Effet des différences de vitesse de croissance de la tension

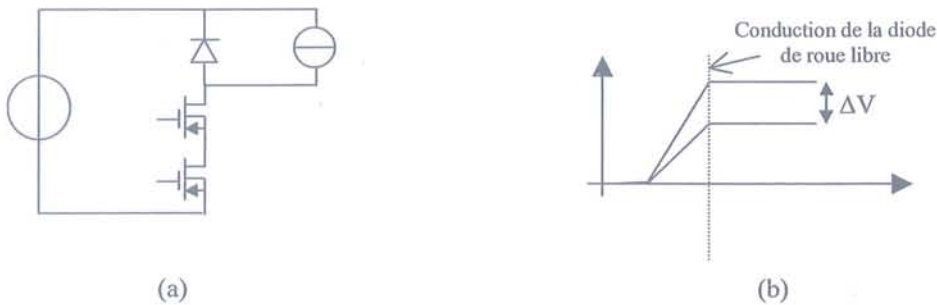


Figure I-19: a) cellule hacheur série - b) effet d'une différence de dv/dt entre composants lors de l'ouverture

L'un des points les plus cruciaux est la maîtrise des vitesses de commutation des transistors de puissance. Nous ne prendrons pas en compte ici, l'influence des capacités de mode commun par exemple qui seront traitées par la suite, mais nous nous concentrerons uniquement sur les imperfections des circuits de commande à proprement parler.

Les causes de ces écarts en tension tiennent à des dispersions entre les différents circuits constituant l'allumeur (notamment sa résistance de sortie) ainsi que le transistor de puissance (et plus spécialement la capacité C_{RSS}). Même si celles-ci sont faibles (de quelques %), elles peuvent par effet cumulatif engendrer des écarts de tension très importants en fin de compte.

1.4.1.4 Effet des capacités parasites

L'association série de composants engendre également des problèmes liés à des aspects CEM. Il s'agit essentiellement des courants de mode commun qui peuvent apparaître. Ils sont liés au fait que les différentes cartes de commandes et boîtiers des transistors mis en série sont isolés de la masse. Nous allons dans un premier temps localiser ces capacités parasites, puis montrer leurs effets à différents niveaux sur les commutations et les répartitions de tension effectives.

I.4.1.4.1 Localisation des capacités parasites

Un certain nombre de capacités parasites apparaissent entre les différents éléments du circuit électrique et la masse. Ces capacités ont des origines diverses. Elles peuvent soit être inhérentes à la géométrie du circuit (les capacités entre les composants avec leur dissipateur thermique et la terre, les capacités entre les pistes et la terre...) ou dépendre de composants discrets qui doivent assurer une isolation (capacités primaire-secondaire des opto-coupleurs ou des transformateurs, ...).

Ces courants de mode commun peuvent être d'autant plus gênants que les variations de tensions aux bornes des interrupteurs sont très élevées (plusieurs milliers de volts par micro-seconde). Ce qui peut engendrer des courants non négligeables au cours de la commutation.

Dans l'exemple de deux interrupteurs associés en série, avec une diode unique, nous avons cherché à identifier les principales capacités parasites.

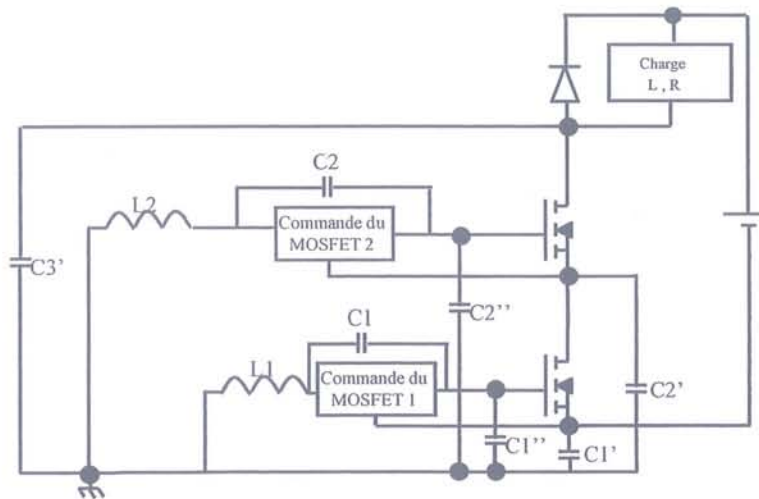


Figure I-20 : Présentation de la cellule à deux transistors avec capacités parasites

Sur la figure précédente, $C1$, $C1'$, $C1''$, $C2$, $C2'$, $C2''$ et $C3'$ représentent les différentes capacités parasites des circuits de commande et de puissance des MOSFET.

- $C3'$ correspond à la capacité entre la piste qui est située entre le drain du MOSFET supérieur et la masse de référence.
- $C2$ est la capacité parasite de l'alimentation de la commande du MOSFET supérieur. La capacité $C2'$ est la capacité parasite entre la piste qui est située entre le drain du MOSFET inférieur avec la masse de référence. $C2''$ est la capacité parasite entre la piste qui est située entre la grille du MOSFET supérieur et la masse précédemment citée.

- C_1 correspond à la capacité parasite de la carte de commande du MOSFET inférieur. La capacité C_1' se situe entre le moins de l'alimentation et la masse de référence. En pratique, cette capacité sera généralement très supérieure aux autres et pourra ainsi être remplacée par un court-circuit. C_1'' est la capacité parasite entre la piste qui est située entre la grille du MOSFET inférieur et la masse précédemment citée.

Ces capacités vont être à l'origine de deux types de déséquilibres, durant les phases dynamiques (de commutations) et également durant les phases statiques.

Note - L_1 et L_2 représentent des inductances intentionnelles (filtre de mode commun) ou parasites (câblage).

I.4.1.4.2 Génération des courants de mode commun

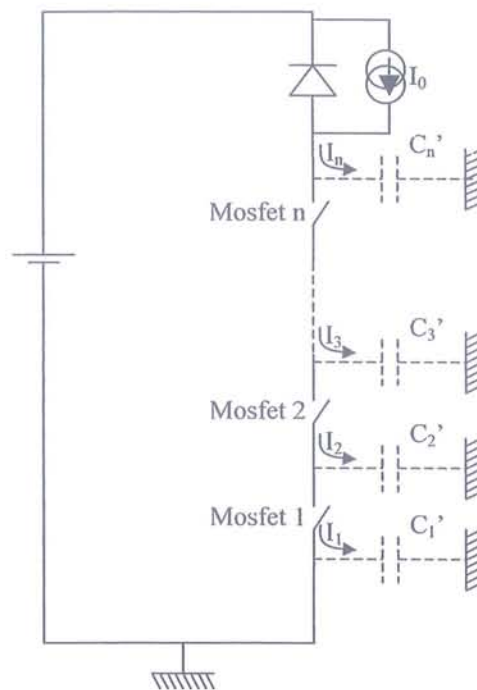


Figure I-21 : Localisation des capacités parasites

Ici, les courants qui traversent les capacités C_1', \dots, C_n' (courants de mode commun) sont induits par les fortes variations de potentiels (dues à la mise en série des MOSFET) au sein de la structure. Ils se rebouclent par le circuit de puissance, et viennent donc s'ajouter aux courants des interrupteurs lors de la fermeture et se retrancher à l'ouverture.

Pour les capacités qui sont reliées à un point chaud (c'est à dire qui subissent des variations de tension lors des commutations) :

$$I_{Ci} = C_i * \sum_{j=1}^i \frac{dV_j}{dt} \text{ avec } n \text{ nombre de transistors en série.}$$

Il en résulte que plus le condensateur est placé à un point flottant, plus le courant de mode commun dévié sera important. Il est de ce fait nécessaire pour limiter ces courants d'assurer une structure avec des capacités relativement limitées. [GUIDINI-95]

I.4.1.4.3 Action des courants de mode commun sur la charge de C_{DS}

Ces courants parasites sont normalement relativement faibles mais peuvent néanmoins atteindre quelques ampères pour des commutations extrêmement rapides. Notons que dans le cas de courant (I_0) commuté relativement faible, les courants de mode commun peuvent devenir aussi importants que le courant de puissance (I_0) et ainsi aboutir au dysfonctionnement du convertisseur. En effet, comme le montre la figure I-21, à chaque étage de transistor, du courant est dévié dans les capacités parasites, ce qui réduit d'autant le courant qui traverse les transistors situés plus en aval.

La capacité C_{DS} étant chargée par le courant de puissance, dévier celui-ci par un autre chemin revient à imposer la montée en tension, mais également la répartition des tensions par l'intermédiaire des capacités parasites. Ceci est d'autant plus critique pour les convertisseurs commutant peu de courant. Même avec des capacités parasites faibles, de l'ordre de la centaine de picofarad, les dV/dt obtenus, du fait de l'effet cumulatif peut atteindre quelques dizaines de milliers de volts par microsecondes. Soit des courants de quelques ampères.

Néanmoins, ce phénomène ne permet pas d'expliquer les écarts de vitesse de commutation vus par des interrupteurs commutant de forts courants tels les IGBTs 3.3kV-1200A. Un phénomène supplémentaire va s'ajouter qui est que le courant de mode commun peut traverser la carte de commande et plus particulièrement le circuit de commande de grille du transistor de puissance.

I.4.1.4.4 Action des courants de mode commun directement sur la grille

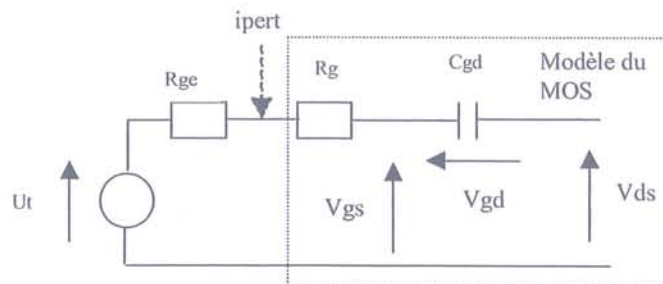


Figure I-22 : Schéma équivalent de la carte driver

Sur la figure I-22, U_t représente une source de tension à deux valeurs (une tension pour l'amorçage du transistor (dans notre cas 15V), une tension pour le blocage du MOS (ici -5V). I_{pert} représente l'action d'un courant extérieur de perturbation (par exemple un courant de mode commun) qui serait injecté directement sur la grille.

Les équations du circuit pour ce point d'injection du courant de perturbation sont :

$$i_g = i_{pert} * \frac{R_{ge}}{R_{ge} + R_g} + \frac{U_t - V_{gsth}}{(R_{ge} + R_g)} = C_{gd} * \frac{dV_{ds}}{dt}$$

soit :

$$\frac{dV_{ds}}{dt} = \frac{\frac{R_{ge}}{R_g + R_{ge}} * \frac{i_{pert}}{C_{gd}}}{\text{Terme de perturbation}} + \frac{\frac{U_t - V_{gsth}}{C_{gd} * (R_{ge} + R_g)}}{I_g/C_{gd}}$$

On constate donc que le dV_{ds}/dt peut être décomposé en deux termes différents :

Un terme qui dépend de la commande et du MOS.

Un terme qui dépend du courant de perturbation.

On constate que ce second terme dépend de R_{ge} . Donc, plus la résistance de sortie du driver sera faible, plus le circuit sera immunisé contre les courants de mode commun. Remplaçons maintenant dans l'expression précédente, le courant de mode commun par les expressions trouvées précédemment afin de déterminer l'action que ceux-ci vont avoir sur la commutation des transistors de puissance.

On obtient alors le système suivant :

$$\frac{dV_{ds1}}{dt} = \frac{i_{c1} * R_{ge1}}{C_{gd1} * (R_{g1} + R_{ge1})} - \frac{U_{t1} - V_{gsth1}}{(R_{ge1} + R_{g1}) * C_{gd1}}$$

$$\frac{dV_{ds2}}{dt} = \frac{i_{c2} * R_{ge2}}{C_{gd2} * (R_{g2} + R_{ge2})} - \frac{U_{t2} - V_{gsth2}}{(R_{ge2} + R_{g2}) * C_{gd2}}$$

Le résultat de cette hypothèse est que l'on voit apparaître une différence de temps de montée entre le MOS du haut et celui du bas en accélérant celui du haut. En considérant tous

les paramètres égaux par ailleurs ($U_{t1}=U_{t2}$, etc...), la formule ci-dessous donne la différence de vitesse de croissance de la tension.

$$\Delta \frac{dV_{ds}}{dt} = \frac{C_2 * R_{ge1}}{C_{gd1} * (R_{g1} + R_{ge1})} * \frac{dV_{ds2}}{dt}$$

On constate que :

- Plus le dV/dt est élevé, plus le décalage entre les vitesses de croissance des tensions est important.
- Le décalage peut être limité en diminuant R_{ge} . Un compromis est toutefois à trouver car la diminution de R_{ge} entraîne une augmentation de la vitesse de commutation.
- Le troisième point important est qu'il est nécessaire de comparer les capacités de mode commun avec la valeur du C_{gd} du MOS de puissance. Plus le rapport $\frac{C_{gd}}{C_{parasite}}$ sera important, moins le Mos sera perturbé. Or les capacités C_{gd} sont faibles, il faudra donc faire attention aux capacités de mode commun.

Afin de valider, nos calculs et nos résultats, nous avons effectué des relevés expérimentaux.

1.4.1.4.5 Relevés expérimentaux

Afin de vérifier la validité des résultats précédents, nous avons utilisé le schéma d'implantation ci-dessous. Les capacités parasites sont simulées par l'ajout de capacités fixes entre la masse et la grille des transistors MOS.

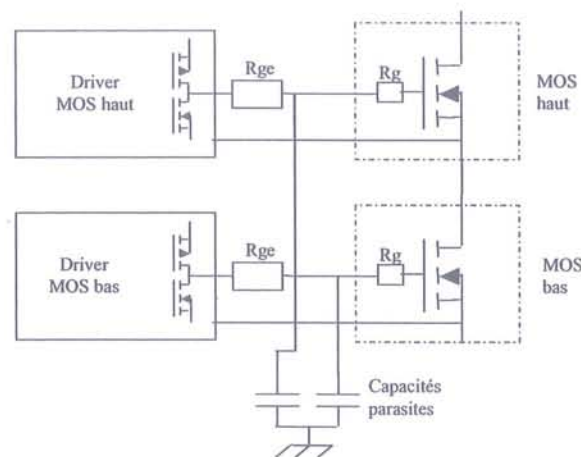


Figure I-23 : Schéma du circuit de test

Les relevés ci-dessous nous montrent, les résultats expérimentaux obtenus avec différentes capacités parasites. (Figures I-24 et I-25)

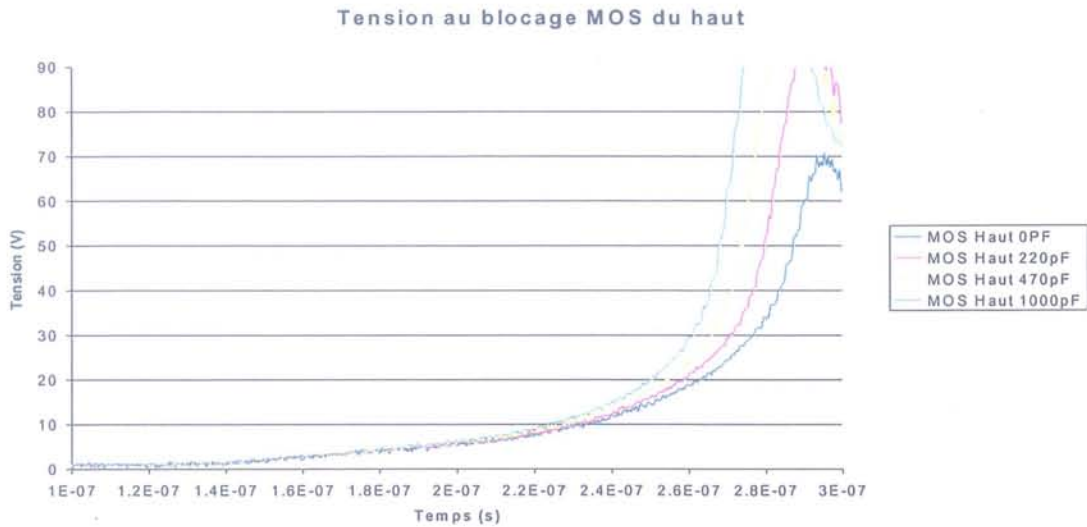


Figure I-24 : Evolution des commutations du transistor supérieur pour différentes capacités parasites

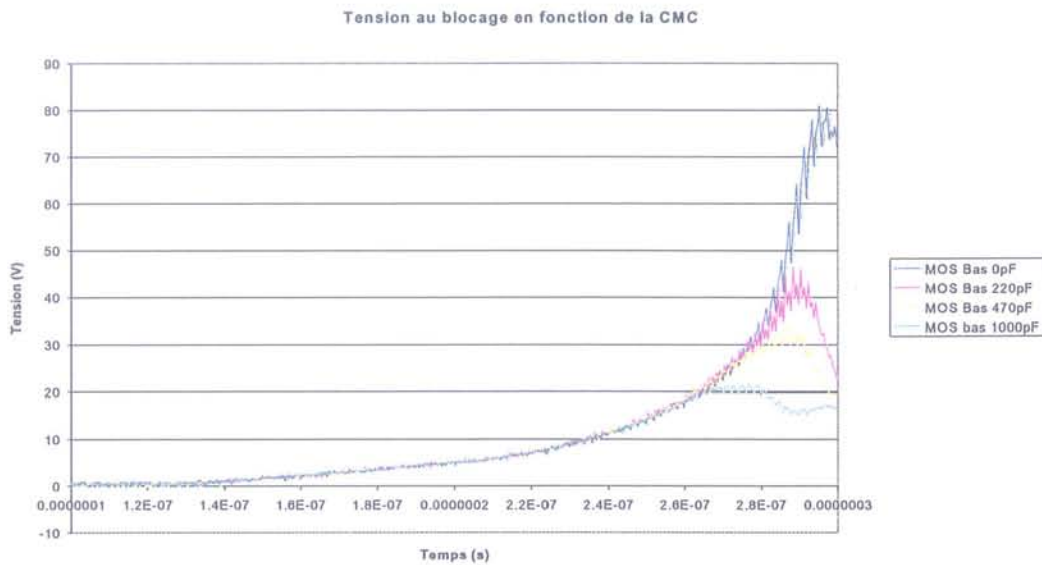


Figure I-25 : Evolution des commutations du transistor inférieur en fonction des capacités parasites

Les résultats obtenus grâce aux relevés expérimentaux confortent les calculs et les hypothèses effectuées. On constate bien :

- que le transistor du haut est accéléré par la présence d'une capacité parasite
- que le transistor du bas n'est pas affecté

En conclusion, plus un MOSFET sera placé haut, plus il commutera un courant important, et donc plus il sera rapide. Cette constatation avait déjà été effectuée dans la thèse de R. Guidini [Guidini-95]. Il s'appuie sur une étude effectuée sur C_{DS} . Nous avons montré ici que l'influence des courants parasites sur la carte de commande est également importante

pour des cas où le niveau de courant commuté est tel que l'explication présentée dans [Guidini-95] ne s'applique pas.

I.4.1.4.6 Action du courant de grille associé aux inductances de câblage.

Les courants de mode commun engendrent encore un autre type de perturbation lié à la présence de l'inductance de câblage et du filtre de mode commun qui vont agir et qui avaient été négligés dans l'étude précédente.

On se placera ici dans le cas de la figure I-20. L'inductance L_2 limite la vitesse de charge de C_2 . A la fin de la phase dynamique, on se retrouve avec le circuit L_2 - C_2 en parallèle sur le MOSFET1. A cet instant, la tension aux bornes de C_2 sera plus faible que celles aux bornes du transistor (V_{DS1}). Un courant va donc circuler afin d'équilibrer la tension entre C_2 et la capacité C_{OSS} du transistor 1. Il va en résulter une décroissance de la tension V_{DS1} durant la phase bloquée. Voyons, plus précisément ce qui se produit.

Sur la figure I-26, nous voyons l'évolution de la tension et du courant pour un hacheur série dont l'interrupteur est composé de deux transistors en série (Fig. I-23). On constate l'existence d'une évolution de la tension lorsque les deux transistors sont bloqués. En effet, la figure I-26 montre bien que lors de l'évolution de la tension aux bornes des transistors de puissance, les commutations en tension et en courant ont déjà eu lieu.

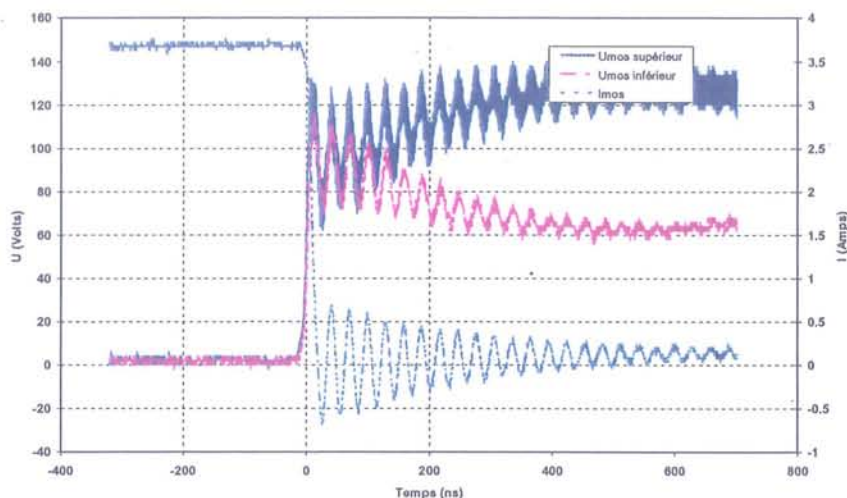


Figure I-26 : Effet des inductances et des capacités parasites durant la phase statique (formes d'ondes expérimentales).

Ce phénomène provient de la charge des capacités de mode commun qui est limitée par le filtre. Cette capacité étant, dans le cas de notre circuit, essentiellement représentée par celle de l'alimentation à découpage isolée. Si la commutation du transistor de puissance

s'effectue en une cinquantaine de nanosecondes, la charge de ces capacités parasites est beaucoup plus longue.

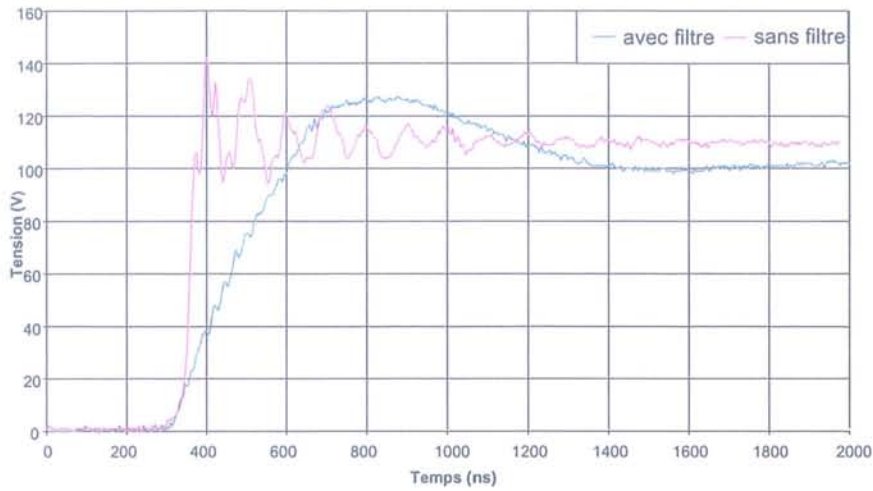


Figure I-27 : Tension entre le primaire et le secondaire des alimentations du driver du MOS supérieur avec et sans filtre

A la fin de la commutation des transistors de puissance, on aura la configuration suivante:

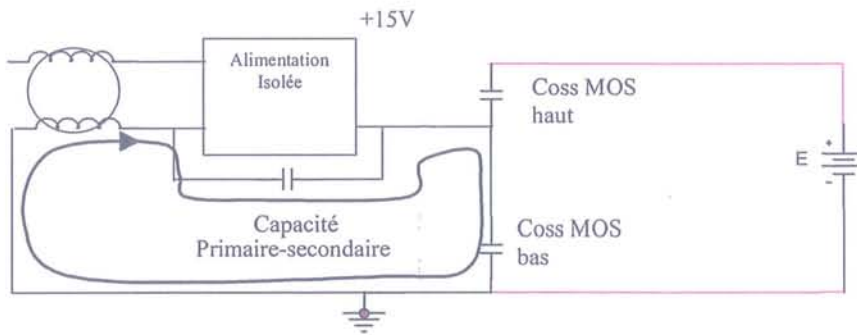


Figure I-28 : Schéma équivalent durant la phase bloquée.

Sur ce schéma, les deux transistors sont à l'état bloqué. On les représente donc par leur capacité Coss. On constate que le circuit composé de la capacité primaire – secondaire et du filtre de mode commun se trouve en parallèle sur la capacité Cds du MOS.

Lors du blocage du MOS, l'évolution de la tension à ses bornes dépend uniquement du circuit de commande (moyennant l'hypothèse que le courant de puissance est suffisamment important). La tension aux bornes des alimentations de la carte supérieure dépend elle de la valeur de cette capacité, de la valeur de l'inductance de câblage et finalement de l'inductance engendrée par le filtre de mode commun.

Le résultat est que la capacité Cds du MOS inférieur va se décharger dans la capacité de mode commun de la commande supérieure, afin d'obtenir l'égalité des tensions, entraînant un déséquilibre en fonctionnement statique. On constate également une réponse d'un circuit du deuxième ordre.

1.4.1.4.7 Conclusion :

Afin de limiter ces phénomènes parasites il faut, soit diminuer de façon très importante les capacités entre primaire et secondaire des alimentations, soit supprimer les filtres de mode commun sur les commandes des interrupteurs.

Néanmoins, l'amplitude du déséquilibre dépend du rapport $\frac{C_{OSSMOSbas}}{C_{prim-sec}}$. Plus ce rapport est grand, moins le déséquilibre engendré sera important. Ce phénomène sera d'autant plus problématique que les transistors utilisés seront de faible puissance (leurs capacités internes étant alors souvent faibles).

1.4.1.5 Déséquilibre dû aux courants de queue

1.4.1.5.1 Le courant de queue

Lors de la commutation des transistors au blocage, on constate qu'une des caractéristiques des IGBTs est l'apparition d'un courant de queue. Celui-ci dépend de différents paramètres de la commutation et des caractéristiques des transistors. Quoiqu'il en soit, si un des transistors a un courant de queue supérieur aux autres, cela entraînera un déséquilibre des tensions par charge de la capacité C_{oss} du transistor qui commute le plus vite. Comme présenté précédemment, on constate que le courant de queue d'un IGBT évolue avec la tension bloquée. La recombinaison des charges se fait plus rapidement sous l'effet de la tension ce qui entraîne un courant de queue qui démarre avec un niveau qui augmente avec la tension. Par contre, sa durée diminue avec celle-ci. (Figure I-10)

1.4.1.5.2 Principe d'action

Lors de la phase de courant de queue, on a un découplage entre la partie puissance et la partie commande. Un schéma équivalent simplifié des transistors de puissance dans la phase de courant de queue est un circuit composé en parallèle d'une capacité (représentant C_{OSS}), d'une résistance (représentant les courants de fuite) et d'une source de courant (représentant le courant de queue). La figure I-29 montre le schéma équivalent de deux transistors en série.

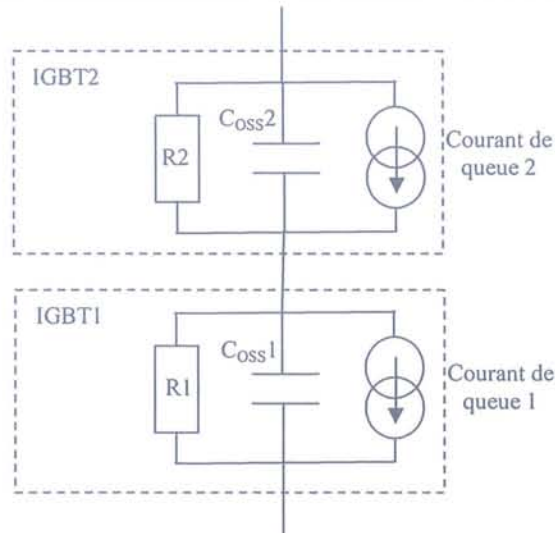


Figure I-29 : Schéma équivalent de deux transistors mis en série pendant la phase de courant de queue

La somme globale des courants qui traverse les deux transistors est la même. Les résistances internes pouvant être négligées du fait de leur forte valeur et donc du faible courant qui les traverse en comparaison des courants de queue, on constate que le transistor dont le courant de queue est le plus faible (par exemple l'IGBT 2) verra dévié le surplus de courant ($I_{queue1} - I_{queue2}$) par sa capacité C_{oss} , ce qui engendrera une charge de celle-ci et une élévation de tension.

En pratique, on obtient les courbes suivantes :

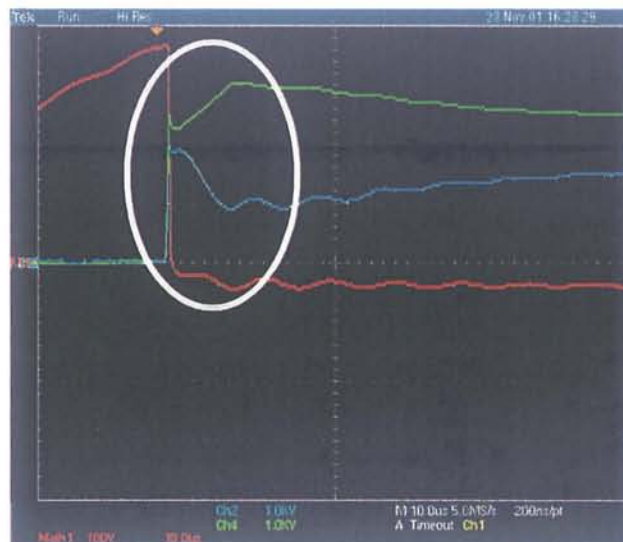


Figure I-30 : Déséquilibre en tension dû aux courants de queue (mesure)

1.4.1.5.3 Conclusion

Le principal soucis qu'engendre ces déséquilibres est qu'il n'est pas possible de les compenser par action sur la grille. En effet, lors de la phase de courant de queue, le transistor a déjà quitté la zone de plateau.

L'aspect positif est que les déséquilibres dus aux courants de queue ne font qu'amplifier ceux liés à l'équilibrage dynamique. En effet, le sens de variation est le même. Un système permettant déquilibrer les tensions durant la phase dynamique, améliorera l'équilibrage durant la phase statique.

1.4.1.6 Conclusion sur les causes de déséquilibre

Nous avons donc identifié principalement trois causes aux déséquilibres :

1. Des différences intrinsèques aux composants (des différences de capacités parasites, de courant de queue, ...).
2. Des imperfections du circuit de commande, et notamment des temps de retard entre deux signaux de commandes et des imperfections de résistances de grilles.
3. Des éléments extérieurs apportés par le circuit de puissance et notamment les capacités de mode commun [Guidini-95].

A partir de là, différentes gammes de solutions sont envisageables pour limiter les déséquilibres en tension.

Les solutions pour assurer un équilibrage des tensions aux bornes de transistor associées en série sont de plusieurs types :

- En premier, on peut essayer d'avoir une géométrie et une disposition de composants qui limitera les problèmes inhérents à la haute tension.
- On peut vouloir atténuer les différences entre chaque transistor et composants associés (circuit de commande et capacité de mode commun notamment).
- Une autre solution est de ne travailler que sur un élément (le circuit de commande par exemple) pour essayer de compenser les déséquilibres apportés par le transistor et les capacités de mode commun. Nous trouverons ici plutôt des solutions actives nécessitant un capteur de tension et une boucle d'asservissement.

1.4.2 Solutions pour assurer l'équilibrage en tension des transistors.

① **Philosophie** : L'objectif d'équilibrage est double. Il s'agit non seulement de protéger le composant contre des surtensions destructrices, mais également d'équilibrer au mieux les tensions pour assurer un vieillissement égal des différents semiconducteurs. De plus, il y a obligatoirement deux phases à considérer. Une phase dynamique, où les variations des paramètres des différents éléments interviennent de façon prépondérante et une phase statique où il n'est plus possible d'agir par la commande des composants.

Les solutions d'équilibrage aux bornes des transistors peuvent revêtir différentes formes.

On peut d'abord tenter de s'affranchir des transistors lors des commutations. Il s'agit alors d'imposer la vitesse de commutation par l'ajout de composants extérieurs (capacités par exemple) que l'on appelle "snubber". Ils sont dimensionnés pour que l'évolution de leur variable d'état (la tension pour une capacité) soit le facteur qui impose la croissance de la tension. Si l'on étudie la fonction de transfert d'un transistor en commutation, on voit aisément que l'ajout de ces capacités correspond à une insensibilisation du système vis à vis de la variation des paramètres des transistors et des circuits de commande de ceux-ci.[Jeannin-01]

On peut également tenter de contrôler la vitesse en assurant une rétro-action de la puissance sur la commande. Il s'agit ici d'agir par l'intermédiaire d'un circuit extérieur plus ou moins complexe sur le courant de grille et donc sur la commutation du transistor de puissance.

L'équilibrage peut se faire de différentes façons.

- Soit en agissant pendant la commutation sur le courant de grille. Il s'agit simplement d'un asservissement linéaire de la tension. Asservissement qui peut être plus ou moins complexe suivant que l'on asservit les tensions et/ou les dV/dt , que l'on se donne la possibilité de ralentir et/ou d'accélérer la commutation.
- Soit en faisant varier des paramètres qui influencent la commutation et donc le retard (tension de la carte de commande, temps de retard). Ici, la contre-réaction obtenue s'apparente plus un asservissement de type échantillonné puisque pour obtenir l'équilibrage on agit sur la commutation suivante.

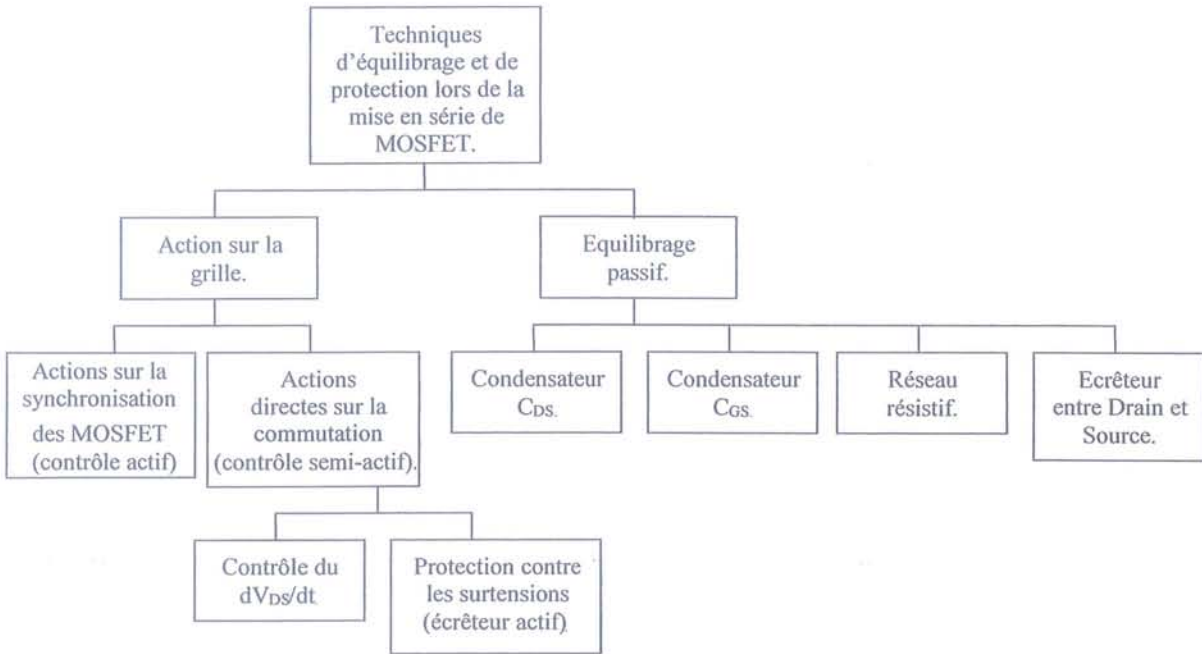


Figure I-31 : Les différentes techniques d'équilibrage de la tension lors de la mise en série de MOSFET. [PALMER-98]

Dans ce qui suit, il ne s'agit pas de faire une description exhaustive des circuits d'équilibrage qui existent, mais d'en exposer un échantillon significatif pour présenter les solutions envisageables.

Nous ferons tout d'abord la distinction entre les dispositifs agissant sur la commande du composant (Action sur la grille, figure I-31) et directement sur le composant indépendamment de sa commande (Equilibrage passif).

Nous verrons ensuite les dispositifs basés sur une action de la commande, c'est-à-dire agissant directement sur la commutation. Ces solutions peuvent alors être soit des dispositifs de contrôle de la vitesse de commutation, soit de protection afin de « stopper » l'évolution de la tension lorsqu'elle a atteint un certain seuil. On peut alors proposer des solutions qui agissent en imposant les instants du début de la commutation, en les décalant entre les différents composants de manière à ce que tous atteignent la même tension en fin de commutation [GERSTER-94] ou qui vont modifier la topologie des cartes driver pour obtenir le même effet.

En guise de préliminaires, nous regarderons des règles de câblage simples qui permettent de limiter l'influence des éléments parasites et d'assurer le meilleur équilibrage en tension possible.

Puis, nous allons nous intéresser aux solutions passives, nous verrons l'action de circuits basés sur des diodes de type Zener. Nous exposerons ensuite un circuit permettant de

conjuguer ces différentes caractéristiques tout en minimisant les contraintes sur les composants.

Nous verrons ensuite un exemple de circuit d'équilibrage basé sur une modification de la structure de sortie de la carte driver agissant à la fois sur les temps de retard et sur la vitesse de commutation. Ce circuit sera basé sur un composant de type DSP et reposera sur une boucle d'asservissement de la tension aux bornes de chaque interrupteur.

Enfin, nous étudierons la possibilité d'utiliser des capacités non linéaires ayant un fonctionnement proche de celui des écrêteurs semi-actif tout en assurant une rétro-action entre les composants de puissance. (Equilibrage par condensateurs reliés à la masse).

1.4.2.1 Réalisation des convertisseurs

La première étape pour assurer un bon équilibrage des tensions est de concevoir un convertisseur dont le choix et la disposition des composants se prêtent bien à la mise en série. Ceci est d'autant plus important vis-à-vis des capacités parasites.

Ces capacités ne peuvent être évitées du fait de la structure même de l'association en série qui nécessite des circuits de commande isolés par rapport à la masse et leur charge ne doit pas être entravée par un filtre de mode commun par exemple. Par contre, il peut s'avérer intéressant de limiter au maximum leur valeur et donc leur effet.

Pour ce faire, on peut utiliser des circuits magnétiques pour isoler les circuits de commande des IGBTs avec l'électronique basse – tension destinée à gérer le convertisseur ou le système global.

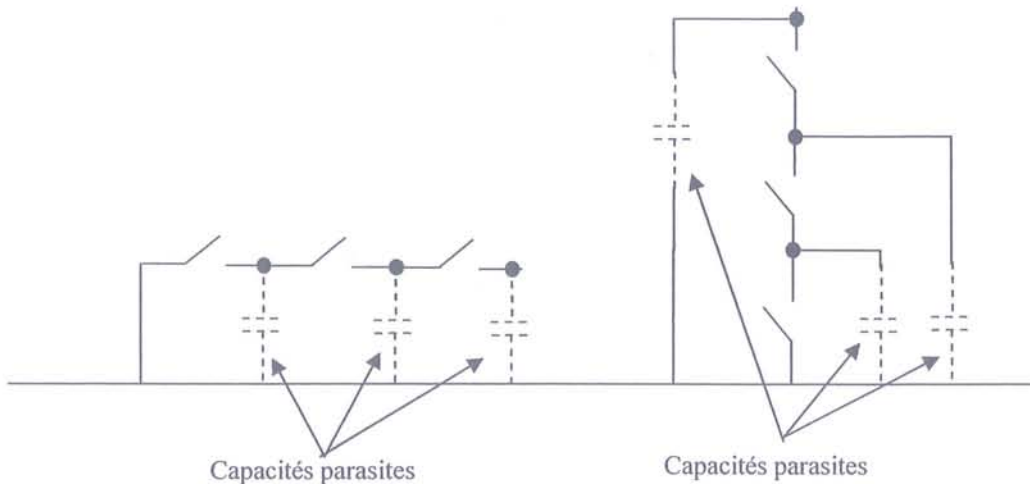


Figure I-32 : Placement vertical des composants pour limiter les capacités parasites

Il peut aussi être intéressant d'utiliser une structure verticale (figure I-32) pour la disposition des transistors mis en série. Le transistor dont le potentiel d'émetteur évolue le

plus, se trouvant le plus éloigné de la masse, il en résulte que sa capacité parasite sera la plus faible et que donc les courants de mode commun en seront d'autant plus limités.

L'utilisation de modules de puissance peut présenter des problèmes gênant dans le cas de la mise en série. Dans la deuxième partie, leur structure sera détaillée plus avant, mais le point essentiel est que par leur conception, la capacité parasite qu'ils présentent sera plus importante que pour des boîtiers simples. En effet, les puces sont rapportées sur des substrats d'épaisseur relativement faible (autour de 1mm). Ceux-ci sont reliés par leur face arrière sur des refroidisseurs à la masse le plus souvent. Avec des substrats standards d'un millimètre d'épaisseur et d'un peu plus de 5 cm de côté, le calcul utilisant l'approximation des capacités planes montre que les capacités parasites atteignent la centaine de pF par substrat.

Néanmoins, les effets de ces capacités parasites sont tempérés par le fait que les capacités des transistors sont également importantes. De plus, comme plusieurs transistors sont reliés en parallèle leur capacité globale augmente. D'après ce que nous avons vu §1.4.1.4.4, ceci diminuera d'autant leur action car les écarts générés sont proportionnels au rapport $C_{\text{Parasite}} / C_{\text{CG}}$.

1.4.2.2 Solutions passives

Avec de tels circuits, on cherche à imposer entièrement ou partiellement les évolutions des grandeurs électriques lors des commutations. Pour cela, on ajoutera des composants passifs sur l'étage de puissance.

1.4.2.2.1 Circuits capacitifs

On a vu dans la première partie que parmi les phénomènes qui peuvent expliquer les déséquilibres, les variations de capacités sont un facteur important. Une solution pour atténuer ces déséquilibres est donc d'atténuer les différences entre les deux semiconducteurs en valeur relative. On peut donc utiliser des capacités placées en parallèle sur les semi-conducteurs de puissance soit entre drain et grille, soit entre grille et source.(Figure I-33) L'ajout d'une capacité entre grille et source n'est pas d'une grande utilité car la tension est sensiblement constante durant la phase de commutation.

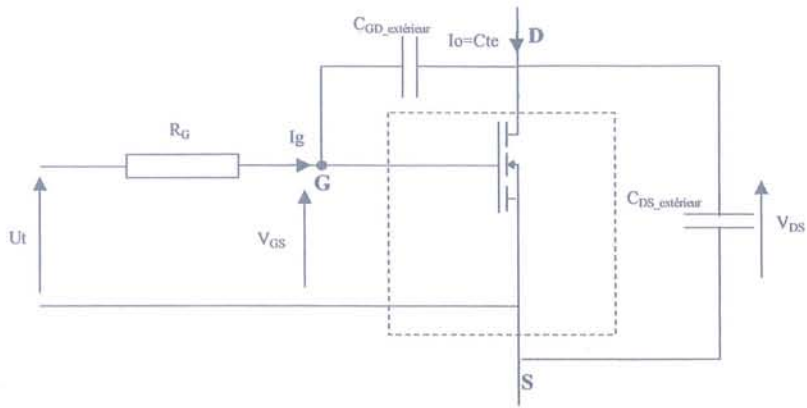


Figure I-33 : Ajout de capacités d'équilibrage extérieures sur un MOSFET.

Capacité extérieure C_{DS} [Jeannin-01]

Avec ce circuit, on ajoute un condensateur entre le drain et la source. Ce circuit est en fait de type "snubber" capacitif. Pour faire évoluer la tension, il est nécessaire que les capacités entre drain et source et grille et drain soient chargées simultanément. D'un côté, on va imposer un dV_{DS}/dt par la commande qui vaudra I_g/C_{gd} , de l'autre on sera confronté à un dV_{DS}/dt limite qui sera donné en première approximation par $I_o/(C_{ds}+C_{ds_{ext}})$, avec I_o le courant commuté. La vitesse de commutation réelle étant alors la plus faible des deux.

Il existe donc une valeur limite de capacité pour laquelle la vitesse n'est plus contrôlée par la commande du transistor de puissance, mais par le courant de charge. Le principe est d'installer une capacité dont la valeur est supérieure à cette capacité limite de telle sorte qu'elle impose la vitesse de croissance de la tension. Tout en cherchant la valeur la plus faible possible afin d'optimiser la taille du condensateur et la vitesse de commutation.

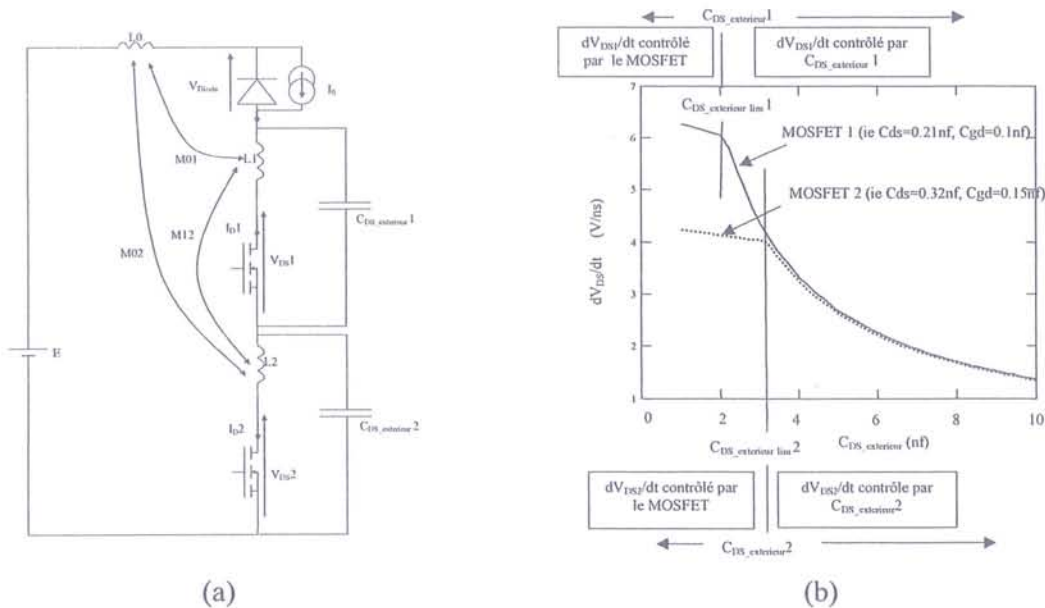


Figure I-34 : (a) Circuit d'étude pour la mise en série de 2 MOSFET avec des condensateurs $C_{DS_extérieur}$ d'équilibrage (b) Evolution du dV_{DS}/dt en fonction de $C_{DS_extérieur}$ pour deux MOSFET présentant des différences.

Afin d'obtenir un équilibrage adéquat, il faut que la valeur de la capacité soit supérieure à une valeur minimum donnée par la formule :

$$C_{DS_exterieur\ lim} = \frac{(V_{th} - U_t) \cdot (C_{GD} + C_{DS}) - C_{GD} \cdot R_G \cdot I_0}{U_t - V_{th}}$$

La capacité choisie en définitive devra avoir une valeur supérieure à la plus grande des valeurs $C_{DS_exterieur\ lim}$. En dessous, les disparités des composants (différence de g_m , de C_{GD} et de C_{DS}) peuvent conduire à des déséquilibres.

Les essais expérimentaux présentés sur la figure I-35 montrent le bon fonctionnement de ce système d'équilibrage. La valeur $C_{DS_exterieur\ lim}$ réalise un bon compromis entre efficacité et compacité. Cette capacité doit par contre être dimensionnée pour supporter une grande partie du courant commuté et la pleine tension ce qui engendrera un coût et un volume qui peuvent être conséquents pour des systèmes de forte puissance. De plus, elle engendre des pics de courants à l'amorçage des transistors qui peuvent être préjudiciables.

Nous allons donc nous intéresser à l'étude d'une capacité entre grille et drain, pour laquelle les contraintes en courant seront plus faibles car on pourra profiter de l'effet d'amplification engendré par le transistor de puissance utilisé.

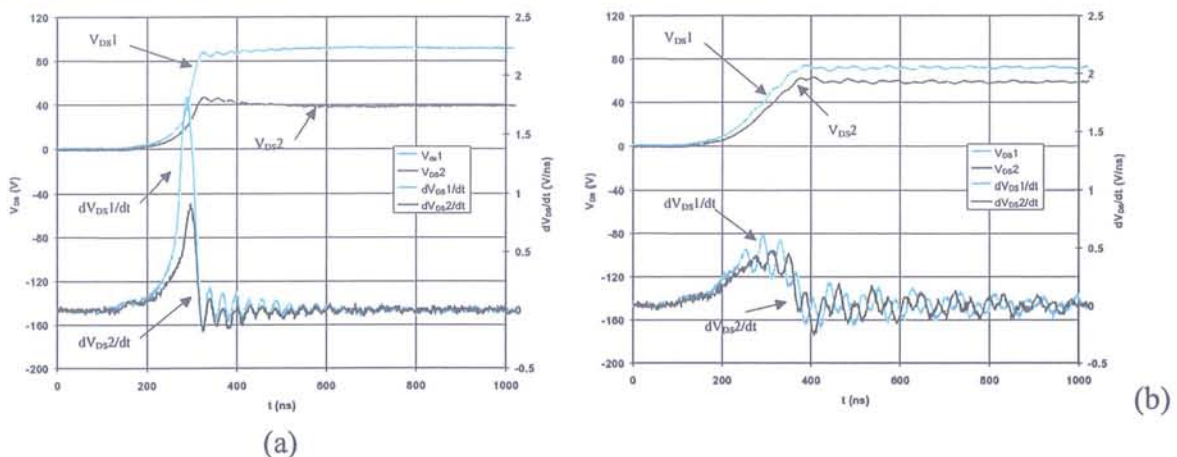


Figure I-35 (a) : Formes d'ondes expérimentales lors de la mise en série de deux MOSFET IRFKD2 450 sans condensateur $C_{DS_exterieur}$ et avec un temps de retard de 25ns (b) : Formes d'ondes expérimentales lors de la mise en série de deux MOSFET IRFKD2 450 avec des condensateurs $C_{DS_exterieur}$ de 2.2nF en parallèle et un temps de retard de 25ns.

Capacité extérieure C_{GD}

Cette solution, tout comme la précédente, se base sur l'ajout d'un composant extérieur, mais la rétro-action qui est effectuée sur la grille du transistor permettra de profiter du gain g_m de celui-ci pour réduire les contraintes sur les condensateurs. Cette solution permet aussi bien de compenser des différences de dV_{DS}/dt dues au composant lui même (figure I-37) qu'à des temps de retard dus aux imperfections des circuits de commande (figure I-38).

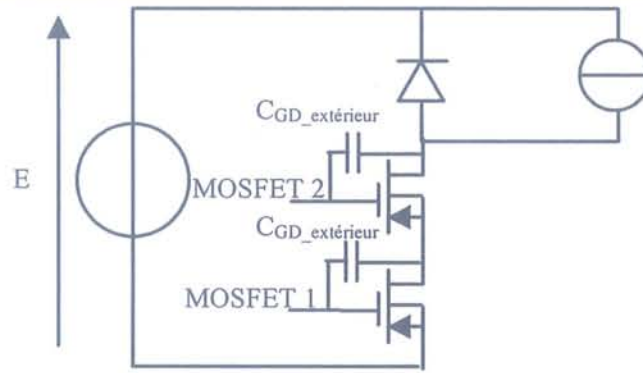


Figure I-36 Dispositif comprenant deux MOSFET en série et des capacités $C_{GD_exterieur}$.

Nous avons vérifié, dans un premier temps, l'aptitude à équilibrer les tensions aux bornes de composants présentant des différences de caractéristiques.

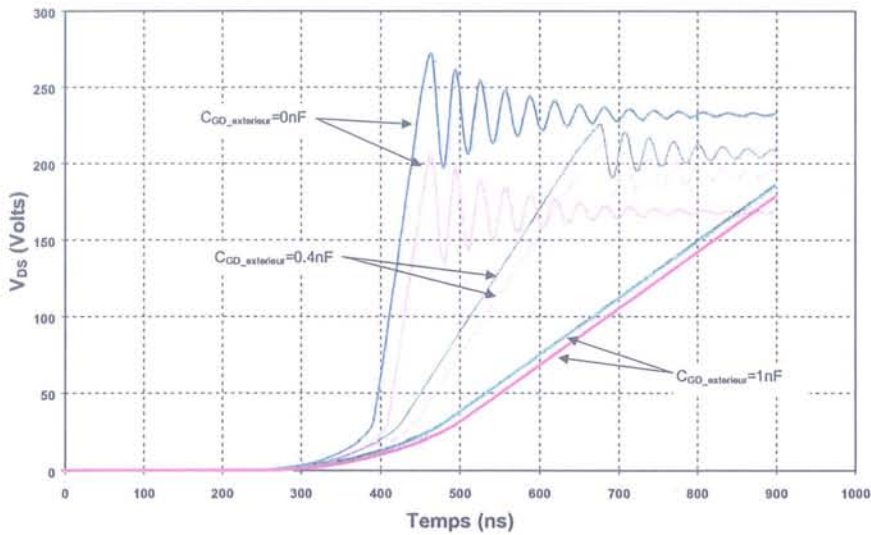


Figure I-37 : Simulations : effet de l'utilisation d'un condensateur $C_{GD_exterieur}$ pour compenser un déséquilibre dû à des différences de caractéristiques entre les composants ($C_{x2}=C_{x1}+5\%$).

Nous constatons que l'utilisation d'un condensateur $C_{GD_exterieur}$ permet de réduire considérablement la différence entre les tensions des deux composants, mais par contre accroît de manière importante la durée de la commutation. Sans utilisation de $C_{GD_exterieur}$, une différence de 5% sur les capacités de nos composants conduit à un déséquilibre de 64V. Avec un $C_{GD_exterieur}$ de 0.4nF, le déséquilibre est réduit à 14V (soit une diminution de 78%) par contre le temps de commutation en tension passe alors de 21ns à 424ns (soit une augmentation de plus de 100%).

La figure I-38 illustre l'effet de $C_{GD_exterieur}$ sur un déséquilibre causé par un décalage des instants de commutation entre les deux MOSFET. Le décalage était de 25ns ce qui dans notre cas aboutissait à une différence d'environ 90V entre les tensions V_{DS} des MOSFET. L'utilisation d'un condensateur de 0.4nF a permis de ramener ce déséquilibre à moins de 20V,

par contre le temps de commutation a été multiplié par deux. Sous forte tension (V_{DS}) et avec une tension V_{GS} proche de V_{GSth} , la capacité C_{rss} du MOSFET utilisée en simulation (IRFK2D450) a été mesurée à environ 200pF, nous constatons donc qu'une capacité d'environ deux fois cette valeur en parallèle est un compromis raisonnable perte/équilibre des tensions.

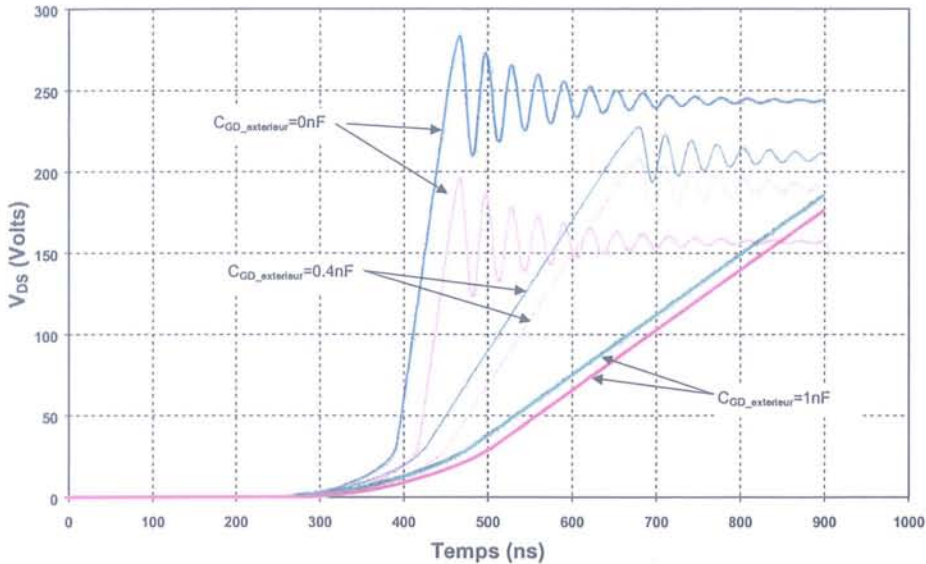


Figure I-38 : Simulations : effet de l'utilisation d'un condensateur $C_{GD_extérieur}$ pour compenser un déséquilibre dû à un retard de 25ns du MOSFET 2 par rapport au MOSFET 1.

Les 2 figures précédentes montrent qu'en imposant le dV_{DS}/dt on peut réduire les écarts de tension dus soit à des retards, soit à des différences intrinsèques aux composants, comme les capacités (on rappelle que ces deux effets combinés – retard plus capacités non linéaires - donnent des écarts de tension importants) en jouant sur $C_{GD_extérieur}$, au détriment des pertes par commutations (allongement des durées de commutations).

Une expérimentation sur un hacheur série réalisé à base de deux MOSFET IFRP350LC en commutant 235V et 3A est donnée figure I-39.

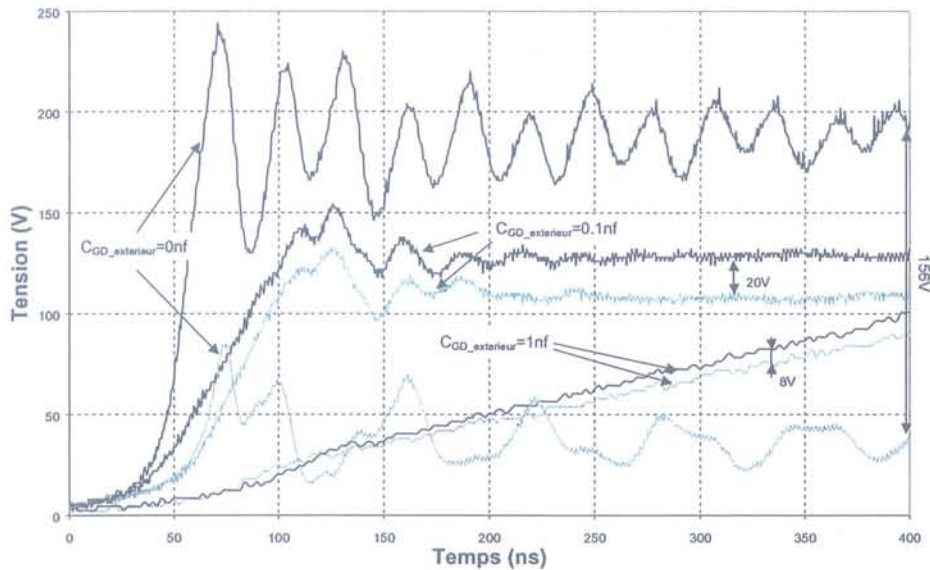


Figure I-39 : Formes d'ondes expérimentales : effet d'une capacité $C_{GD_extérieur}$ sur l'ouverture de deux MOSFET en série

Les résultats de cette expérimentation sont :

- Sans $C_{GD_extérieur}$, $\Delta V = 156V$.
- Avec $C_{GD_extérieur} = 100 \text{ pF}$, $\Delta V = 20V$.
- Avec $C_{GD_extérieur} = 1 \text{ nF}$, $\Delta V = 8V$.

Par contre le temps de commutation passe de 72ns à 150ns avec l'ajout d'un condensateur $C_{GD_extérieur}$ de 100 pF (Une capacité $C_{GD_extérieur}$ de 100pF correspond à un peu plus de deux fois la capacité C_{rss} du MOSFET utilisé -IRFP350LC-).

Ce type de solution purement capacitive, bien qu'étant intéressant de par sa simplicité et son efficacité présente l'inconvénient d'augmenter de manière significative les durées de commutation. De plus, il ne garantit pas la protection des composants et ne permet pas d'avoir un équilibrage statique efficace. Nous allons rapidement présenter le rôle d'un circuit résistif.

1.4.2.2.2 Circuit résistif

Ce type de circuit est relativement souvent utilisé pour assurer un équilibrage statique des tensions en créant un pont diviseur résistif. Grâce à ce pont diviseur, on va imposer en phase de fonctionnement statique la valeur de la tension aux bornes des transistors de puissance (notamment du point à potentiel flottant).

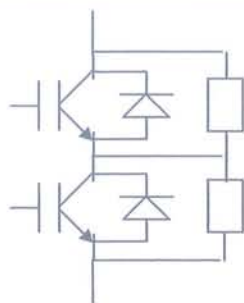


Figure I-40 : Schéma de principe d'un équilibrage résistif

La contrainte principale étant que le courant dans les résistances doit être supérieur à l'écart des courants de fuite des transistors mis en série. Ceci afin de pouvoir rééquilibrer les tensions. En effet, le schéma équivalent en phase de fonctionnement statique pour deux transistors en série est le suivant :

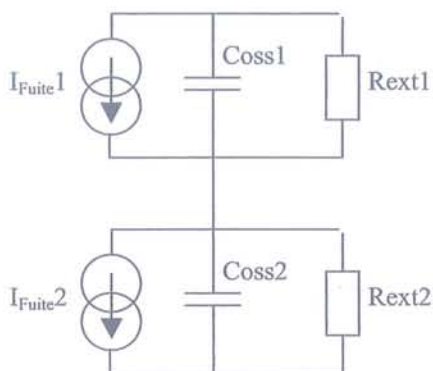


Figure I-41 : Schéma équivalent d'un équilibrage résistif de deux transistors

On constate donc qu'on arrivera à obtenir un équilibrage statique, cependant, il subsistera un écart qui vaudra $\Delta I_{\text{fuite}} \cdot R_{\text{ext}}$.

Si l'efficacité de ces circuits est réelle, ils présentent néanmoins, l'inconvénient de générer des pertes substantielles. En effet, sous fortes tensions, ces résistances verront à leurs bornes la même tension que les transistors de puissance, soit E/n (avec E tension du bus continu et n le nombre de transistors mis en série). La valeur de la résistance devant avoir une valeur maximale afin d'assurer un équilibrage statique efficace. Les pertes étant en V^2/R_{ext} , il en résulte des valeurs pouvant être très élevées dès que la tension atteint quelques centaines de volts.

De plus, pour que le circuit résistif puisse avoir une efficacité durant la phase statique, il est nécessaire que la constante de temps engendrée par cette résistance et par la capacité C_{oss} des transistors soit nettement inférieure à la durée de l'état bloqué du transistor.

Les circuits passifs présentés ci-avant, s'ils permettent d'obtenir un équilibrage des tensions en phase dynamique et statique efficace, ne permettent pas d'assurer la protection des

transistors de puissance vis à vis de surtensions éventuelles puisqu'ils ne font que limiter les écarts en tension. Nous allons présenter maintenant des dispositifs de protection et d'équilibrage à base de diodes transils.

1.4.2.3 Dispositifs de protection et d'équilibrage à base de diodes Transil

Ce type de dispositif est souvent présenté comme un dispositif de protection du composant contre les surtensions [GUIDINI-95]. Afin d'être sûr de ne pas détruire un composant par dépassement de la tension maximale de celui-ci, il est quasi obligatoire d'écarter la tension à ses bornes. Ceci afin d'assurer une sécurité d'utilisation, les systèmes passifs ne permettant que de limiter les écarts, mais ne fournissant aucune garantie quant à la tension maximale supportée par un composant. Il existe principalement deux types d'écarterage, soit de façon totalement externe au MOSFET (figure I-42), soit par une rétroaction sur la grille (figure I-43).

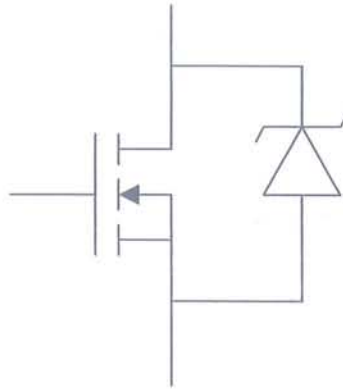


Figure I-42 : Ecrêtage en parallèle sur la puissance.

Dans le premier cas, le courant de puissance est en totalité absorbé par la diode transil (qui va donc dissiper beaucoup d'énergie).

Dans le cas de la figure I-43 (clamping actif), la diode transil assure un contrôle de la tension V_{DS} par rétroaction sur la grille du composant. Lors de son fonctionnement, ce type d'écartereur va forcer le composant (MOSFET dans notre cas) à rester dans son domaine de fonctionnement dynamique (linéaire). Ainsi la tension aux bornes du composant sera limitée à la tension d'écarterage. Il faut néanmoins prendre en compte le courant traversant les diodes transil lors de la phase de limitation de la tension. En effet, ces diodes présentent une résistance série non négligeable. Cette résistance sera d'autant plus faible que le calibre en tension sera faible. Il faudra donc plutôt utiliser plusieurs transils de faible calibre en série plutôt qu'une seule diode de fort calibre [FAIRCHILD-2001]. La conséquence sera que l'écarterage ne s'effectuera pas à la valeur des diodes transils, mais à une tension plus élevée. Il

est donc nécessaire de limiter au maximum le courant qui les traverse pour des raisons de dissipation d'énergie, mais également de valeur effective de tension d'écrêtage.

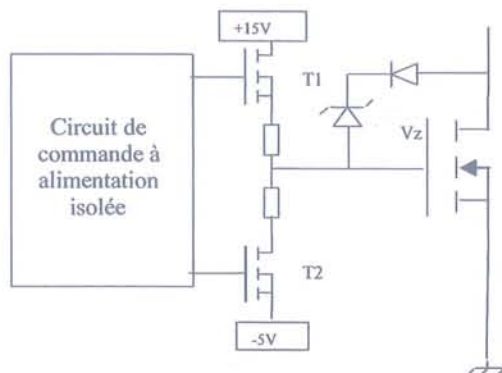


Figure I-43 : Schéma d'implantation du circuit

Le fonctionnement peut se décomposer en quatre phases (Figure I-44)

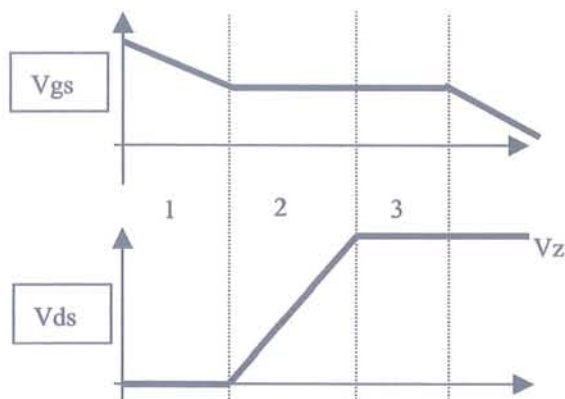


Figure I-44 : Les différentes étapes du fonctionnement d'un écrêteur à diode transil.

- 1) Lorsque le signal de commande passe à l'état bas, le transistor T2 (figure I-43) se ferme et T1 s'ouvre. La tension grille-source du transistor principal décroît jusqu'à la tension de plateau.
- 2) A partir de ce moment la tension Vds du transistor de puissance augmente.
- 3) Lorsque la tension drain-source atteint la valeur de la somme de la tension transil et de la tension plateau, la diode transil se met en conduction, entraînant le passage d'un courant (figure I-45). Il est à noter que durant cette phase, l'énergie sera dissipée dans le transistor de puissance.

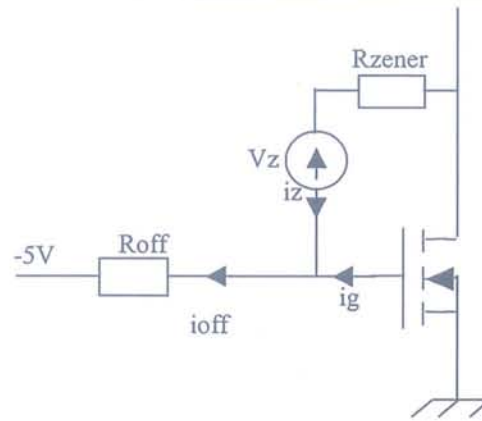


Figure I-45 : Schéma équivalent en phase d'écrêtage zener

Dans notre cas la tension choisie pour bloquer le transistor est de -5V. Les équations électriques régissant le courant de grille sont donc les suivantes :

$$i_{off} = i_g + i_z, \quad i_z = \frac{V_{ds} - V_z - V_{gsth}}{R_{zener}}, \quad i_{off} = \frac{-5 - V_{gsth}}{R_{off}}$$

i_{off} étant constant lors de la phase de commutation en tension (imposé par le circuit de commande), on voit bien que si V_{ds} augmente, i_z augmente, ce qui entraîne la diminution de i_g et donc un ralentissement de la décharge de la grille et donc de la vitesse de croissance de la tension du transistor. On peut donc limiter la valeur de V_{ds} à une valeur proche de la tension Zener.

Il est à noter que la diode transil agit également par sa capacité parasite qui se retrouve en parallèle sur la capacité C_{GD} du transistor et qui le ralentit donc. Cet effet est cependant très faible.

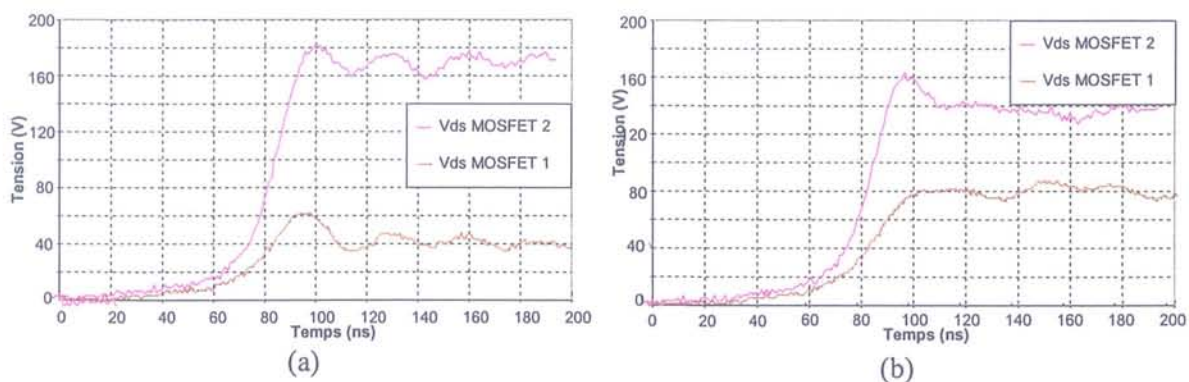


Figure I-46 : Formes d'ondes expérimentales de la tension à l'ouverture de deux MOSFET en série
(a) : Sans dispositif d'équilibrage. (b) : Avec une diode transil.

Notons également que lors de la phase de fonctionnement de la diode transil, le courant i_{off} devra circuler dans la résistance de grille. Pour obtenir un écrêtage zener, il faut annuler le courant i_g qui passe dans la grille du transistor, donc le courant de la zener sera

égale à I_{off} . Ce courant qui peut être relativement important va engendrer des pertes dans la diode transil elle-même. Il ne faudra donc pas négliger le dimensionnement de cette dernière vis à vis du courant de grille. Nous nous trouvons donc face à un compromis entre la rapidité du système (résistance R_G faible mais courant I_{off} important) et la limitation des pertes dans la diode transil (R_G de valeur élevée, mais temps de commutation important).

Cependant, le principal problème de ce système est, que durant toute la phase d'écrêtage actif, le MOSFET est à sa tension maximale, sans que le courant n'ait diminué. On aura donc une énergie perdue supplémentaire qui est d'autant plus importante que le déséquilibre est important. On a donc intérêt à le coupler à un autre dispositif qui assurera un équilibrage, réservant ce circuit à un rôle de protection contre les surtensions.. De plus, il n'est pas non plus possible de supprimer toutes les surtensions, surtout celles de très courte durée dues aux inductances de câblage, car le circuit ne réagit pas instantanément du fait des inductances de câblage et des capacités des diodes Transil.

Les fonctions présentées précédemment, si elles assurent chacune une fonction tout à fait correcte, présentent chacune prises isolément des lacunes graves. Il serait nécessaire de les associer pour profiter des qualités de chacunes et gommer leurs défauts.

1.4.2.4 Etude d'un écrêteur actif combinant les fonctions de protection et d'équilibrage.

1.4.2.4.1 Présentation du système :

Afin d'assurer la double fonction d'équilibrage et de protection, nous avons choisi un circuit combinant les actions des circuits à diodes zener et à composants passifs présentés précédemment. La solution suivante se base sur un constat simple. L'utilisation d'un condensateur C_{gd} seul ralentit fortement la commutation, augmentant par là même les pertes durant cette phase. L'utilisation d'un clamping par diode transil seul ne permet pas d'assurer en toutes circonstances un bon équilibre des contraintes électriques. De plus, aucune des deux solutions précédentes n'assure un équilibrage correct durant la phase statique.

Afin de ne pas affecter trop la vitesse de commutation, le début de la commutation est laissé libre puis, lorsque la valeur de la tension commutée atteint un certain seuil (V_{z1}), on ralentit alors volontairement la commutation par action d'une capacité C_{gd} extérieure au composant (figure I-47). Cela permet de n'augmenter que faiblement la durée totale de la commutation, tout en assurant un bon équilibrage des tensions.

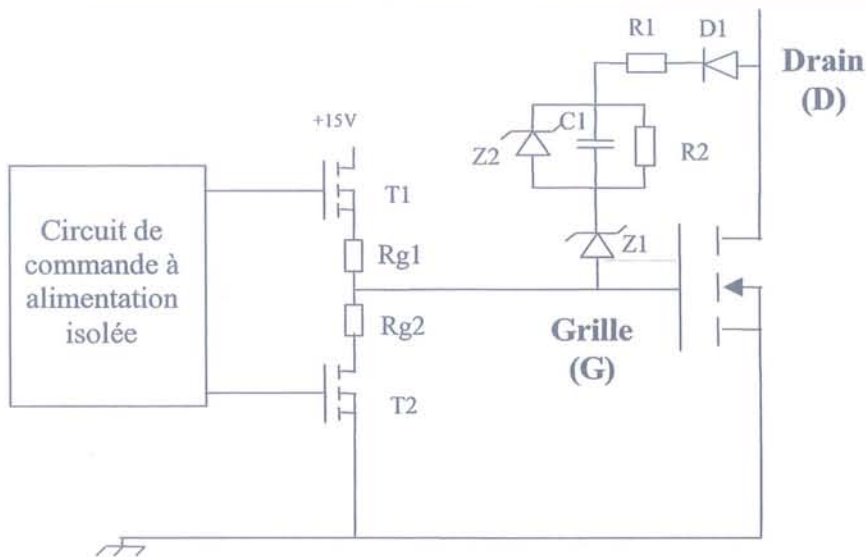


Figure I-47 : Ensemble MOSFET, dispositif de clamping actif et carte de commande

Ceci revient à générer une capacité variable avec la tension. La caractéristique de cette capacité est donnée ci-dessous (figure I-48):

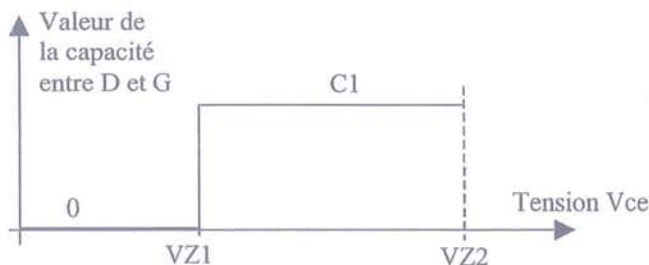


Figure I-48: Caractéristique de la capacité que l'on cherche à synthétiser

Détaillons l'action de chaque composant du montage :

- $D1$: Evite le court-circuit de l'alimentation de la commande lorsque le MOSFET est passant et limite l'action de $C_{GD_extérieur}$ à la fermeture.
- $C_{GD_extérieur}$: Capacité qui agit lors de l'ouverture (lorsque V_{DS} est supérieure à V_{z1}) pour limiter la vitesse de commutation du MOSFET.
- $R1$: Limite les oscillations dues à la capacité et aux inductances parasites. Si la valeur choisie est trop faible, cela peut conduire à une instabilité du système [LAUZENAZ-99].
- $R2$: Fixe la vitesse de décharge de la capacité $C_{GD_extérieur}$ ainsi que la constante de temps de l'équilibrage statique en tension des MOSFET de puissance. On choisira une

valeur de $R2$ telle que la constante de temps soit égale à quelques dizaines (voire centaines) de μs .

- $Z1$: Fixe la tension à partir de laquelle la capacité $C_{GD_extérieur}$ va entrer en fonctionnement.
- $Z2$: Fixe, conjointement avec $Z1$, la tension maximale que l'on peut atteindre aux bornes du MOSFET de puissance afin de le protéger contre les surtensions.

Le fonctionnement de l'écrêteur peut être décomposé en quatre phases.

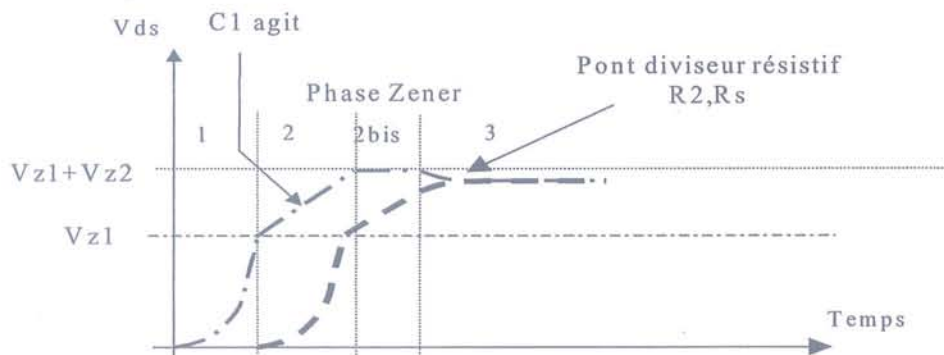


Figure I-49 : Principe de fonctionnement de l'écrêteur

1^{ère} phase :

La tension entre drain et source reste inférieure à la tension zener de $Z1$.

Dans cette configuration, le seul courant qui passe est celui de charge de la diode zener. Celui-ci est très faible. On est donc dans une phase où le circuit d'équilibrage est totalement inactif.

2^{ème} phase :

Dès que la tension drain - source atteint une valeur d'environ la tension zener + V_{gsth} du MOS $M1$, la diode $Z1$ va passer en avalanche, $D1$ va se mettre à conduire et la capacité $C1$ va se charger. La constante de temps due à $C1$ et $R2$ est très grande (quelques microsecondes), la constante de temps due à $R1 - C1$ étant très faible (quelques nano voir centaines de picosecondes). La capacité $C1$ va donc se charger entraînant un fonctionnement de type « capacité C_{gd} ». Ceci entraîne donc un ralentissement du MOS.

2^{ème} phase bis (optionnelle):

Si la tension du transistor principal dépasse la somme des deux tensions zener ($V_{z1} + V_{z2}$), celles-ci vont se mettre en conduction entraînant alors un fonctionnement de type zener classique. On obtiendra donc l'effet d'écrêtage par modulation du courant de grille décrit précédemment.

3^{ème} phase :

Lors de la phase statique, le MOS étant bloqué, on va décharger le condensateur C1 par l'intermédiaire de la résistance R2. Ceci afin de le décharger et de le préparer à la commutation suivante.

De plus, la présence de la résistance R2 et du circuit (R1, D1, Z1, T2, Rg2) engendre un fonctionnement équivalent à celui d'un pont diviseur résistif qui permettra un équilibrage statique de la tension entre les deux transistors de puissance.

L'ensemble du rebouclage peut également être effectué (totalement ou en partie) par l'intermédiaire du circuit d'amplification à la sortie de la carte de commande, ce qui permettra de profiter de son gain (Figure I-50). Le principal intérêt est qu'il diminuera fortement les contraintes sur le circuit écrêteur que nous allons dimensionner par la suite.

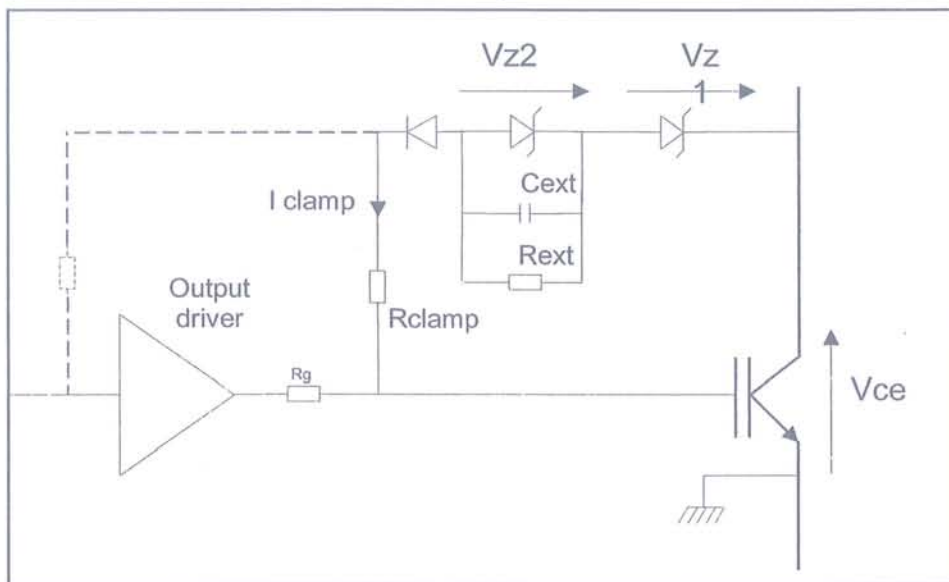


Figure I-50 : Variantes de rebouclage du circuit d'écrêtage.

1.4.2.4.2 Modélisation du système

Dans un deuxième temps, il a été nécessaire de procéder à l'optimisation du système. En effet, un certain nombre d'effets contradictoires doivent être pris en compte pour choisir correctement les différents composants. La qualité de l'équilibrage en tension se heurtant souvent aux pertes générées dans l'un ou l'autre des composants qui entre en œuvre. De plus, l'objectif final étant la possibilité d'intégration hybride du système, il faut s'assurer que son volume global ne soit pas prohibitif. Le comportement de ce circuit associé à des IGBTs mis en série (2 dans ce cas) a été simulé à l'aide d'une feuille de calcul sous Mathcad®.

Le choix de la simulation sous Mathcad[®] est essentiellement guidé par la possibilité de faire facilement varier certains paramètres du montage et de faire une étude de sensibilité vis à vis des pertes. Cela permet un gain de temps appréciable par rapport à la mise en œuvre de logiciels de simulation tels que SABER ou PSPICE.

Enfin, l'objectif final est d'arriver à l'optimisation du système. Celle-ci n'est pas faite de manière automatique car nous verrons dans la suite que beaucoup de couples de paramètres permettent de répondre au cahier des charges et qu'il ne se dégage pas d'optimum simple. De plus, des paramètres plus subjectifs (possibilité de composants CMS, volume réel en fonction des technologies,...) rentrent en ligne de compte et peuvent être plus difficilement modélisés. Le programme a pour but de fournir un certain nombre d'abaques donnant l'équilibrage en tension et les pertes pour des variations des paramètres tels que la résistance de grille, la tension zener où la valeur du condensateur.

Afin d'assurer des simulations fiables, on a implanté les modèles d'IGBTs présentés en section §1.3.3. Il s'agit d'un modèle comportemental électrique d'un IGBT, représenté par une commutation dynamique suivie d'un courant de queue. A cela, on a ajouté la modélisation des diodes zener en tenant compte, non seulement de leur tension zener, mais également de leur résistance à l'état passant. Celle-ci est en effet relativement importante pour les composants haute tension (supérieure à la centaine de volts). De plus, elle évolue de façon non-linéaire avec les calibres en tension des composants (3Ω pour une diode 100V, 37Ω pour une diode 400V).

1.4.2.4.3 Dimensionnement des éléments du système

On constate qu'il n'existe pas de réel optimum entre équilibrage des tensions et pertes dans les circuits mais qu'il existe des compromis satisfaisants à trouver.

Il a été possible de tirer un certain nombre de règles sur le circuit d'équilibrage quant au choix des différents composants afin d'obtenir un fonctionnement efficace sans toutefois augmenter de façon trop notable les pertes dans les semi-conducteurs de puissance ainsi que dans les éléments du circuit d'équilibrage.

Pour l'effet de Z1, on constate que la courbe possède un point d'inflexion qui se trouve aux environs de la tension d'équilibrage idéale (tension de bus divisée par le nombre de transistors mis en série). Au delà, de cette valeur, les pertes au blocage ne diminuent plus de façon représentative, mais l'équilibrage continu de se détériorer de façon linéaire. Ceci est à rapprocher d'une réflexion sur la raison d'être de ce circuit. En effet, on souhaite qu'il n'agisse que lorsqu'un déséquilibre apparaît. Or, si les tensions sont également réparties, il ne

doit pas agir. Donc V_{z1} doit être supérieure à la tension idéale. A l'opposé, si les tensions sont imparfaitement réparties, le circuit doit agir dès que le déséquilibre est détecté. Donc V_{z1} doit être au plus égal à la tension idéale.

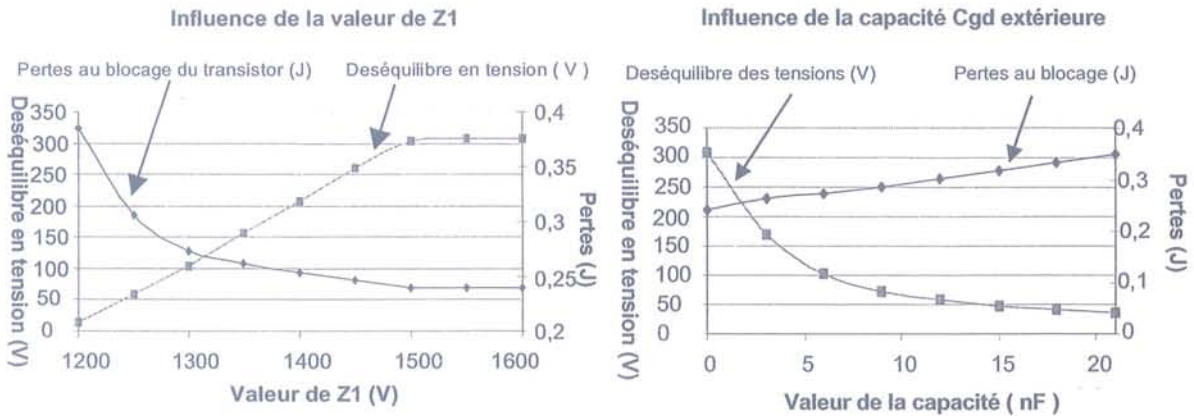


Figure I-51 : Influence des paramètres $Z1$ et C_{gdext} sur les pertes et l'équilibrage en tension (Tension du bus continu : 2700V, capacité C_{gc} de l'IGBT : 3 nF, retard : 100 ns)

Pour la capacité $C_{gcextérieure}$, on constate que pour une valeur d'environ 2 fois le C_{gc} du transistor le déséquilibre n'est plus diminué de façon importante, mais les pertes quant à elles continuent de croître.

Il est maintenant nécessaire de déterminer les pertes dans les différents éléments du circuit. Ceci afin que les températures, et particulièrement celles des diodes zener, ne dépassent pas une valeur maximale admissible.

La figure I-52 nous montre le volume global des pertes dans les différents éléments du circuit d'équilibrage. Et ce pour différents retards à la commutation entre les IGBTs.

On constate assez facilement que les pertes augmentent de façon très importante avec le retard à la commutation. Sans retard, les pertes résiduelles sont dues aux inductances de câblage qui provoquent des surtensions aux commutations. En effet, le circuit d'équilibrage permet également de clamber ces surtensions.

On constate également que les pertes sont essentiellement concentrées dans la diode Zener 1. Et plus particulièrement dans celle de l'IGBT le plus rapide. Ceci est tout à fait normal puisque la zener agit durant toutes les phases d'activité de la carte d'écrêtage et que c'est la diode de l'IGBT rapide qui sera sollicitée car c'est lui qui verra sa tension augmenter fortement. Les pertes dans les autres éléments sont quant à elles relativement faibles.

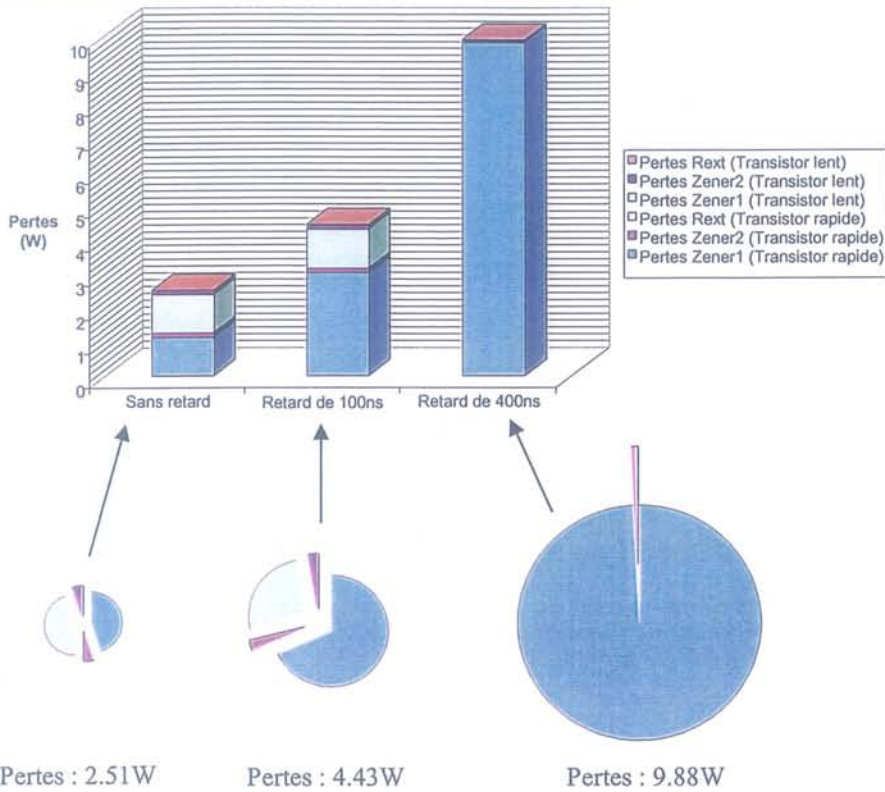


Figure I-52 : Pertes pour différents retards sans différences entre les courants de queue

Les pertes augmentent également très fortement avec les retards. Néanmoins, les expérimentations pratiques que nous présenterons dans la suite n'ont jamais (sans création volontaire de déséquilibre) atteint de telles valeurs de retards. En pratique, elles sont inférieures à 50 ns.

Un autre facteur très important entre en ligne de compte dans l'équilibrage des tensions. Ce phénomène est le courant de queue des IGBTs. En fait, les essais pratiques laissent même entrevoir qu'il s'agit du phénomène le plus problématique quant à la mise en série. En effet, l'IGBT le plus rapide voit sa tension fortement augmenter, alors même que l'IGBT le plus lent voit sa tension diminuer. (Figure I-30)

Il faut donc prendre en compte ce phénomène dans le dimensionnement du circuit d'écrêtage puisque c'est lui qui va assurer le rééquilibrage des tensions.

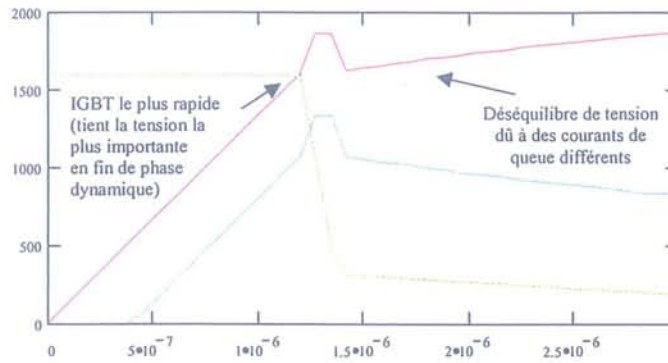


Figure I-53 : Résultat de simulation pour 2 IGBTs en série en tenant compte du courant de queue

Pendant la phase de courant de queue, l'action du circuit d'écrêtage sera d'autant plus difficile que le la partie MOSFET du transistor IGBT est déjà bloquée. On ne bénéficie donc plus des avantages de la rétroaction et du gain produit par l'IGBT.

La figure I-54 nous montre l'évolution des pertes avec un courant de queue de seulement 5% d'écart pour plusieurs retards. Les pertes ont doublées vis-à-vis du cas précédent.

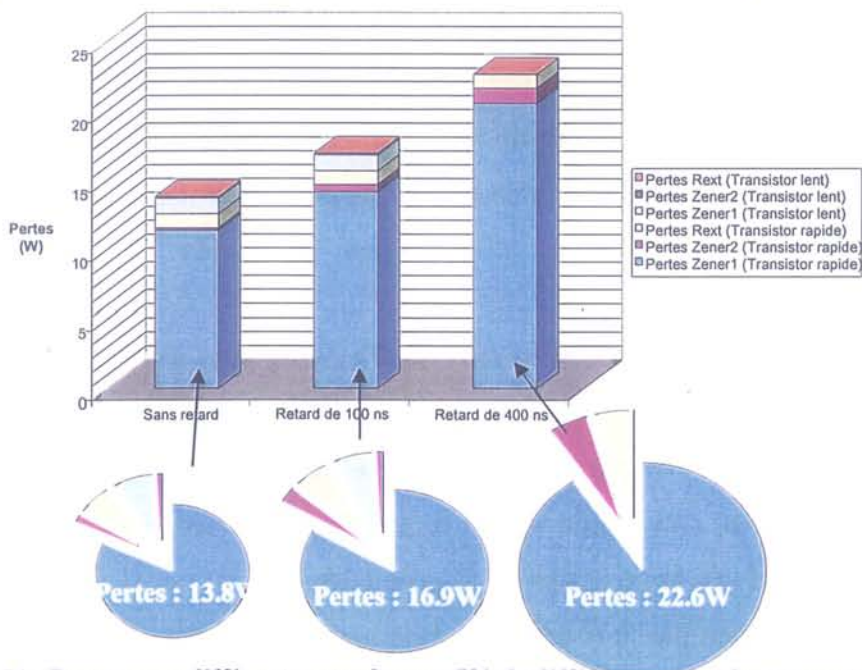


Figure I-54 : Pertes pour différents retards avec 5% de différences entre les courants de queue

1.4.2.5 Résultats expérimentaux.

Les études précédentes ont été validées par l'intermédiaire d'essais effectués dans un premier temps sur des MOSFET de basse puissance puis sur l'application définitive forte puissance.

I.4.2.5.1 Validation sur des MOSFET.

Les figures I-55 (a) et (b) présentent les résultats expérimentaux d'une mise en série de deux transistors MOSFET IRFP350LC (sous 200V et 6.5A dans notre cas) avec un temps de retard de 25ns entre les deux commandes. Dans le premier cas il n'y a pas de circuit d'équilibrage, dans le second cas il y a le circuit présenté précédemment. Le circuit d'équilibrage a été dimensionné pour écrêter à une tension d'environ 140V (143V exactement), et obtenir en régime statique une tension de 100V par composant. Pour cela on utilisera des diodes transil ayant des tensions d'avalanche de 100V pour $Vz1$ et de 43V pour $Vz2$. Pour ce qui est de $C_{GD_extérieur}$ on utilisera comme dans le paragraphe 1.4.2.2 une valeur de 100pF (ce qui correspond à un peu plus de 2 fois C_{rss}). La résistance R2 est dimensionnée de manière à permettre une décharge de $C_{GD_extérieur}$ durant la phase de fonctionnement statique (on arrive pour une fréquence de fonctionnement de 20kHz et un rapport cyclique de 0.5 à une valeur maximale de 83k Ω). Il faut également calculer la puissance dissipée dans cette résistance dans le cas le plus défavorable. Ici on se placera à une puissance maximale de 0.25W, avec une tension de 40V, soit une résistance minimale de 6.4k Ω (et même de 3.2k Ω si l'on considère un rapport cyclique de 0.5). Dans notre cas, nous avons donc 3.2k Ω < R2 < 83k Ω . Nous avons choisi 10k Ω pour R2, pour R1 nous avons pris une valeur de 10 Ω .

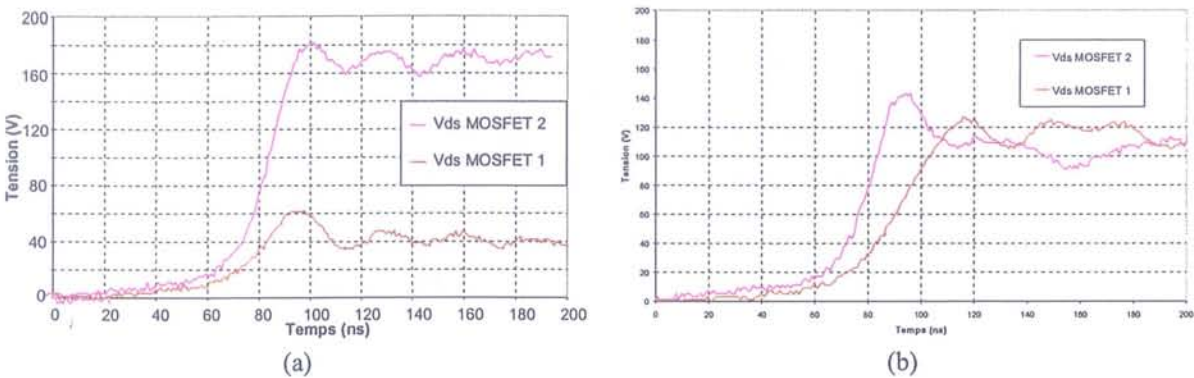


Figure I-55 : Formes d'ondes expérimentales de la tension à l'ouverture de deux MOSFET en série.

(a) : Sans dispositif d'équilibrage. (b) : Avec le dispositif de la figure I-47.

Le déséquilibre initial est de 130V, le circuit d'équilibrage permet de l'annuler quasiment en totalité. Le temps de commutation passe d'environ 80ns à 95ns, soit une augmentation de moins de 20%.

On constate que ce circuit assure un équilibrage tant sur le plan dynamique que sur le plan statique. De plus, la conception de ce circuit entraîne un ralentissement très faible de la commutation et donc limite les pertes par rapport à d'autres dispositifs d'équilibrage.

I.4.2.5.2 Validation sur des IGBTs de forte puissance.

Dans le cadre du contrat européen HIPO, le dispositif précédent a été adapté à des IGBTs de fortes puissances. Les expérimentations ont été effectuées en deux phases. La première sur la base de modules IGBTs 1,7 kV de chez EUPEC afin de valider le principe de la mise en série direct par écrêtage actif. La deuxième par la mise en œuvre des composants développés dans le cadre du contrat HIPO. Deux bras distincts ont été réalisés, basés tous les deux sur des IGBTs de la société Dynex Semiconductors. L'un est basé sur la mise en série de 3 IGBTs de 3300V-300A l'autre sur la mise en série de 2 IGBTs 6500V-300A. Leur fonctionnement a été validé par des essais monocoup (réalisé chez ALSTOM sur le site de Tarbes) puis par des essais en continu effectués sur le site EDF « Les Renardière ». Une carte de commande intégrée de façon hybride dans le module a été utilisée. Cette carte comporte des diodes transil en série pour obtenir les V_{z1} et V_{z2} adaptés, ainsi qu'une capacité $C_{GD_extérieur}$ et les résistances $R1$ et $R2$.

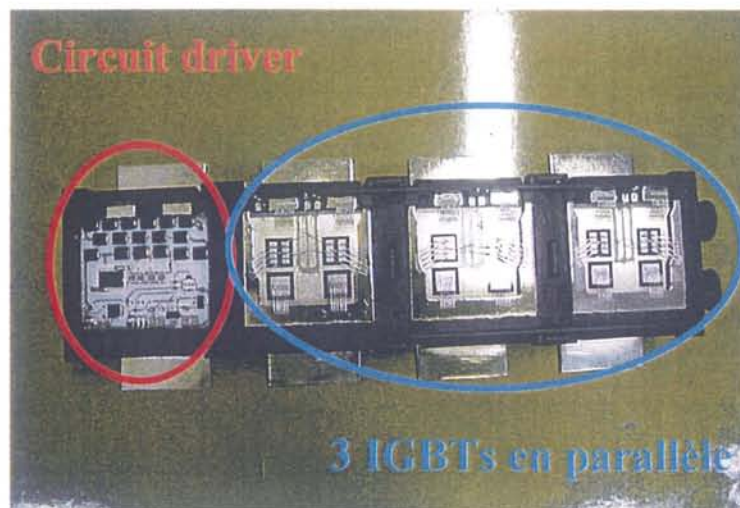


Figure I-56 : Module intégré à IGBT 3300V-300A (puces DYNEX)

Les paramètres de circuit écrêteur effectivement implanté sont donnés dans le tableau ci-dessous. La configuration des circuits écrêteurs est également différente. Le rebouclage du circuit écrêteur s'effectue directement sur l'IGBT pour le module 3,3kV, par contre, pour le module 6,5kV, il est effectué en aval du push-pull de sortie de la carte de commande afin de profiter de son facteur d'amplification (voir Figure I-50).

Module	Modules discrets	Modules intégrés	
Z1	1,7 kV 1050 V	3,3 kV 1950 V	6,5 kV 2100 V
Z2	300 V	450 V	900 V
Condensateur	6 nF	4 nF	4 nF

Paramètres des écreteurs effectivement implantés

Il est à noter que les valeurs de paramètres effectivement implantés ne sont pas tout à fait ceux que donne le programme d'optimisation. Ceci est dû à une erreur du nombre de transils associées en série à l'intérieur du module. En effet, le bus continu dont nous disposerons sera d'environ 5kV, ce qui aurait dû donner une tension d'équilibrage idéale de 1700V environ pour le 3,3 kV et de 2500V pour le 6.5 kV. La conséquence est que le circuit écreteur agira trop tôt sur le module 6,5 kV et trop peu, voire pas du tout sur le module 3,3 kV. Ce que nous verrons par la suite.

Essai de l'association de 3 modules EUPEC 1,7kV

La tension V_{z1} a été fixée à 1050V, afin de diviser la tension commutée de 3150V en trois parties égales. La tension V_{z2} a, quant à elle, été fixée à 300V pour limiter la tension aux bornes d'un composant à environ 1350V. Pour $C_{GD_extérieur}$ nous avons pris 6nF soit environ deux fois la valeur du C_{rss} du module (2.7nF d'après les caractéristiques du constructeur). Etant donné que nous avons procédé uniquement à des essais monocoup, le choix de R_2 n'était pas crucial, nous avons choisi ici une valeur de 10k Ω . Pour R_1 nous avons pris 39 Ω .

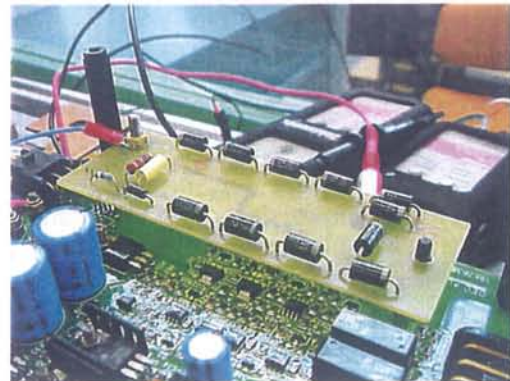


Figure I-57: Vue du convertisseur et des cartes de commande modifiées par l'ajout d'une carte d'écrêtage.

Nous avons réalisé la mise en série de trois IGBTs et de trois diodes dans une structure hacheur série (figures I-57 et I-58). L'écrêtage était réalisé par une carte ajoutée sur les commandes d'IGBT de type AMIX standard chez ALSTOM. Les commutations se sont effectuées sous 3150V avec un courant de 400A.

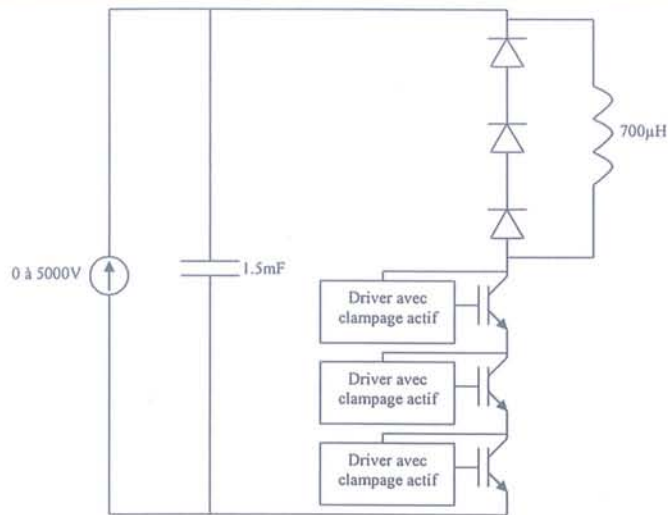
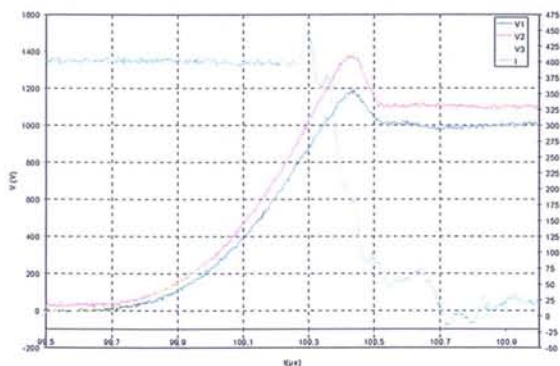


Figure I-58: Schéma de principe de la mise en série de 3 IGBTs.

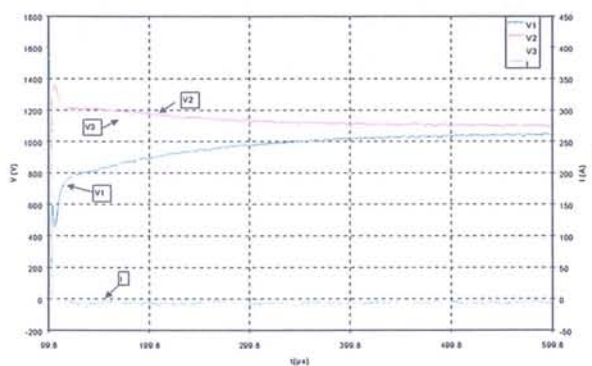
A partir du dispositif précédent, nous avons constaté le bon fonctionnement du montage. Les écarts en tension sont relativement réduits (Figure 59a). Le transistor le plus lent étant celui connecté au point froid de la mise en série. Même en imposant un temps de retard de 400ns à l'IGBT 1 pour vérifier le bon fonctionnement du système, les tensions s'équilibrent en phase statique.

Cependant, la tension maximale atteinte lors de la phase d'écrtage n'est pas de 1350V comme prévu initialement mais plutôt d'environ 1500V. Cet écart de 150V s'explique par la tension de déchet des diodes transil. Ce phénomène n'avait pas été observé lors des mesures effectuées sur des MOSFET à des tenues et courant plus faibles.

Dans le cas des IGBTs, le courant qui traverse les diodes transil est beaucoup plus important (de l'ordre de 5A ici), et deuxièmement l'emploi de diodes transil ayant une forte tension d'avalanche conduit à une résistance dynamique beaucoup plus importante (la résistance dynamique des diodes transil augmente proportionnellement plus vite que leur tension d'avalanche).



a)



b)

Figure I-59: Formes d'ondes expérimentales de la tension aux bornes de 3 IGBTs en série

a) sans retard, b) l'IGBT 1 étant retardé de 400ns.

La figure I-59 b) nous montre l'action du circuit d'équilibrage durant la phase statique, nous constatons que les tensions atteignent des valeurs sensiblement égales après quelques centaines de μs . Ce temps pourra être réduit en diminuant la valeur de R_2 (voir figure I-50) mais au détriment des pertes dans cette même résistance.

Si le principe du système est validé, les principales limitations sont les pertes dissipables dans les composants de la carte de commande. La mise en œuvre d'un module intégré dans le cadre du contrat HIPO permet un refroidissement par lame d'eau de la carte de commande. Ce bon refroidissement permettra de mieux dissiper la chaleur et de fonctionner à plus forte puissance. Le deuxième point, qui améliorera le fonctionnement de l'écrêteur, consiste en une modification du principe d'action de l'écrêteur. Jusqu'ici il était rebouclé directement sur le transistor. Du fait de l'énergie nécessaire aux commutations des IGBTs forte tension, les contraintes sur les circuits écrêteurs sont très importantes (cette technique a encore été mise en œuvre dans le module intégré 3.3 kV). Un autre mode de rétro-action utilisant le dernier étage de la carte de commande permet de soulager le circuit écrêteur en profitant de son gain en courant. C'est la solution implantée dans le module 6.5 kV.

Essai des modules IGBTs développés dans le cadre du programme HIPO

Les modules mis en œuvre sont présentés en figure I-56. Les essais sur les deux bras d'onduleur ont été effectués en deux temps. Le premier à l'aide de tests monocoup afin de valider leur bon fonctionnement. Le deuxième dans le cadre de tests en continu afin de valider l'ensemble du système. Ceux-ci ont été effectués dans le centre d'essai EDF des Renardières. Le bras d'onduleur complet est présenté en figure I-60.



Figure I-60 : Bras d'onduleur 3 x 3.3 kV HIPO

Les résultats montrent que le bras d'onduleur basé sur des IGBTs 3.3kV donne des résultats très satisfaisants en essai monocoup comme le montrent les commutations de la

figure I-61. Les vitesses de commutation sont sensiblement les mêmes. En effet, les dérives entre les composants sont relativement limitées.

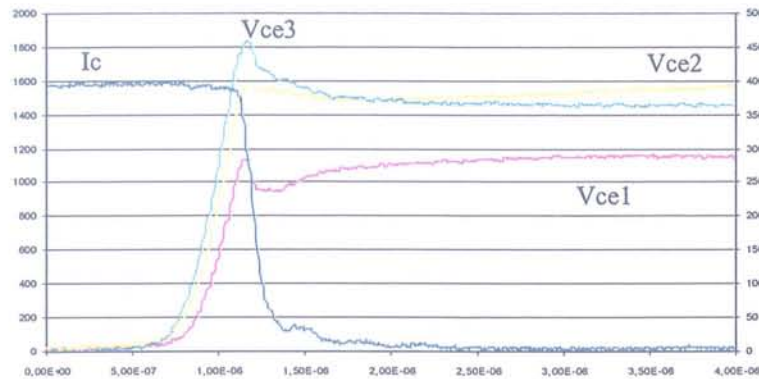


Figure I-61 : Répartition des tensions lors du test monocoup de 3 IGBTs 3.3 kV en série

Néanmoins, l'équilibrage n'est pas parfait en statique. En effet, l'écrêteur étant mal dimensionné pour l'application comme nous l'avons précisé précédemment et la tension du bus continu étant égale à 4kV (380 Ampères), les tensions subissent d'importantes dérives en statique.

Ces problèmes se sont retrouvés lors des essais dynamiques. La tension d'écrêtage finale s'effectue aux alentours de 2400V. Ceci correspond bien aux résultats attendus. Les essais ont mené à la destruction d'un des composants qui fonctionnait pourtant en-dessous de ses caractéristiques maximales. Le bus continu n'était que de 2500V, au moment de la casse. Un des IGBT est passé en régime de court-circuit, la cause n'étant pas encore connue mais pouvant être attribuée à un défaut de fabrication (défaut d'assemblage du substrat ?). Le système a néanmoins continué de fonctionner en répartissant la tension différemment entre les transistors restants, comme le montre la figure I-62.

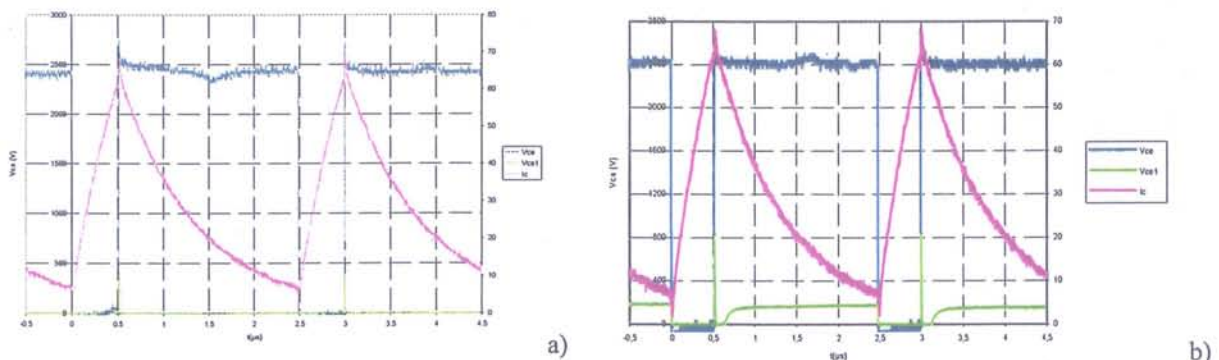


Figure I-62 : Comparaison des commutation avant et après passage en court-circuit d'un des IGBTs (Essais effectués sur le site EDF des Renardières)

On constate que la casse d'un IGBT a conduit à une modification de la répartition des tensions. L'IGBT 1 qui ne tenait pas de tension a commencé à bloquer de la tension. On voit

ici, un important avantage de ce dispositif. Le fait d'avoir une redondance peut donc permettre une plus grande disponibilité des interrupteurs. En effet, malgré la casse d'un composant, le reste du système continue de fonctionner.

La deuxième étape consistait au test du bras d'onduleur 6.5 kV. Comme nous l'avons dit précédemment, il possédait un circuit écrêteur modifié afin de permettre une plus grande efficacité de celui-ci. Les résultats sont présentés figure I-63.

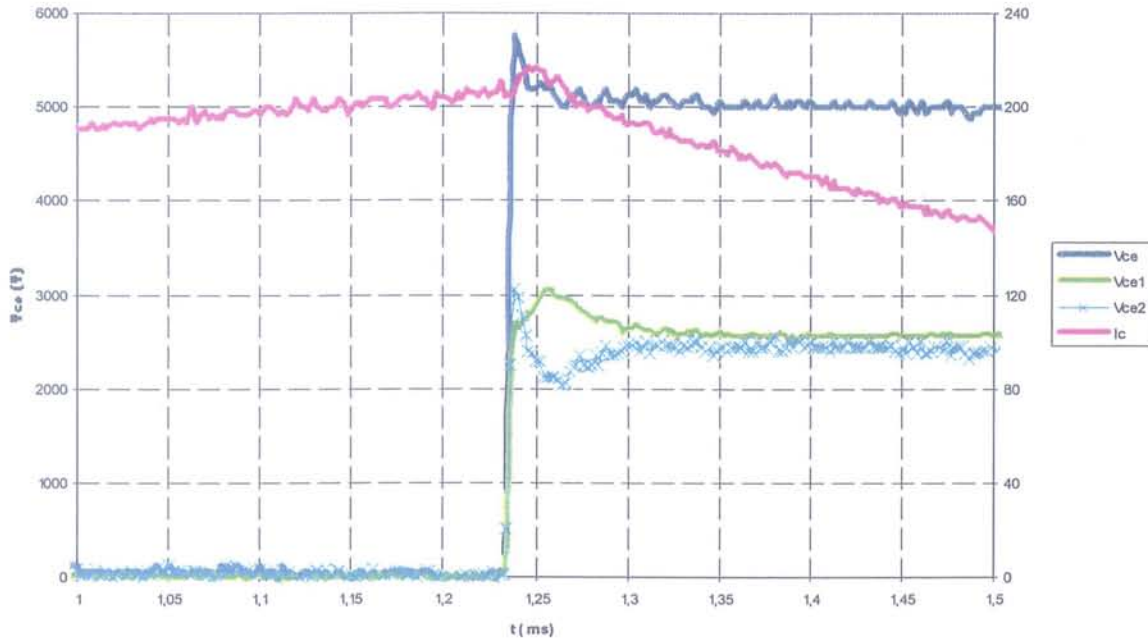


Figure I-63 : Commutation de 2 IGBTs 6.5 kV en série
(Essais effectués sur le site EDF des Renardières)

Les résultats obtenus sont ici excellents. Les surtensions sont limitées à 3 KV, ce qui correspond exactement à la phase d'écrêtage zener. L'état statique de tension est obtenu en une centaine de microsecondes. Les équilibrages en tension entre les différents composants sont également très bons. On constate, que le macro-composant composé de la mise en série des IGBTs se comporte comme un IGBT de très forte tension. Les équilibrages en tension, vu de l'extérieur sont complètement transparents.

1.4.2.6 Conclusion sur le circuit d'écrêtage semi-actif.

Un important avantage de ce circuit est que les contraintes sur les composants passifs sont beaucoup moins importantes que dans le cas des circuits écrêteurs classiques. En effet, la capacité ne supporte pas toute la tension aux bornes de l'interrupteur de puissance, mais seulement une fraction de celle-ci (V_{z2}). Il en est de même pour la résistance $R2$. De plus, vu sa configuration, il n'intervient pas à l'amorçage des transistors ce qui limite les pertes en commutation. De plus, il est peu sensible aux problèmes de CEM.

Cependant, il présente un certain nombre de limitations. La première étant qu'il est dimensionné et ne fonctionne donc de manière optimale que pour un point de fonctionnement. C'est-à-dire une tension de bus continu donné. Si celle-ci diminue, la tension aux bornes de tous les composants ne sera plus la même. Ce qui n'est pas un problème important puisque la valeur maximum de la tension sera limitée. La durée de vie des composants ne devrait donc pas être affectée. Si elle augmente, les pertes dans le circuit d'écrêtage seront fortement augmentées, il faut donc le dimensionner, au niveau des pertes, pour la pire configuration en tension.

1.4.3 Mise en œuvre d'un DSP (Digital Signal Processor)

1.4.3.1 Introduction

Jusque là, les circuits proposés reposent sur des circuits passifs. Ils sont pré-dimensionnés une fois pour toute et sont donc très sensibles aux variations de paramètres tels que la tension du bus continu. Afin d'obtenir des circuits plus adaptatifs, notamment dans le cas d'applications de type réseau, où la tension du bus continu peut fluctuer de façon importante, il est nécessaire de mettre en œuvre une régulation en continu.

Plusieurs solutions existent. On peut contrôler la commutation en temps réel, ceci nécessitant des asservissements à bandes passantes élevées ce qui peut poser des problèmes au niveau des aspects CEM. [BELVERDE-98, -01] Une autre voie est d'asservir la tension par rapport à l'état de la ou des commutations précédentes. Le principe étant toujours d'effectuer une boucle de rétro-action afin d'assurer l'égalité des tensions aux bornes des interrupteurs. Le principe sera présenté pour la mise en série de deux transistors, mais peut être extrapolé à la mise en série de N. Ces systèmes se basant alors sur la mise en œuvre de composants tels que des microcontrôleurs ou des DSP. [GERSTER-94,-96]

1.4.3.2 Présentation du système à base de DSP

Le principe de base de l'asservissement est exposé figure I-64. Il s'agit d'un asservissement des tensions des transistors afin de garantir que les valeurs soient identiques. La valeur de la tension que l'on souhaite asservir est celle bloquée par les transistors en statique.

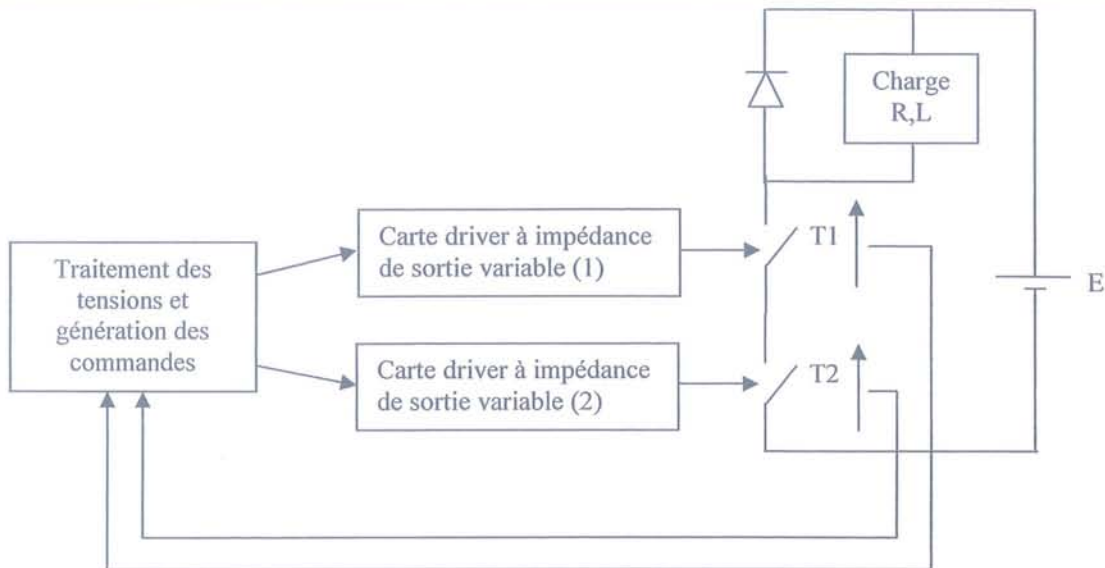


Figure I-64 : Schéma de principe de l'asservissement à DSP

I.4.3.2.1 Les cartes de commande

Comme nous l'avons vu dans la partie concernant les influences des paramètres sur les équilibrages de tension de la mise en série plusieurs paramètres influent directement sur les commutations. Les deux principaux sont la capacité C_{gd} et la résistance de grille. On a utilisé la variation de la capacité C_{gd} dans la partie consacrée à l'écrêteur actif. Son principal avantage est qu'elle ne joue que sur la vitesse de commutation et pas sur les retards. Par contre, la mise en œuvre de cette solution est moins aisée que celle mise en œuvre finalement qui est de faire varier l'impédance de sortie des cartes de commande.

L'objectif est de pouvoir faire varier la résistance de sortie du système. Ceci est obtenu en mettant une ou plusieurs résistances en parallèle afin d'obtenir la valeur adéquate.

L'augmentation de la résistance de grille agira de deux manières différentes.

- Elle engendrera un temps de décalage dans la mise en conduction des transistors en ralentissant la charge de la capacité de grille C_{ISS} (C_{GE}) et en augmentant le temps d'atteinte de la tension de plateau.

- Elle ralentira la vitesse de croissance de la tension, lors de la phase de commutation en tension en limitant le courant de charge de la capacité C_{RSS} (C_{CG}).

Ces deux actions vont avoir un rôle cumulatif qui tendra à équilibrer les tensions.

Les figures I-65 montrent les effets d'un décalage d'une résistance de grille sur les équilibrages en tension.

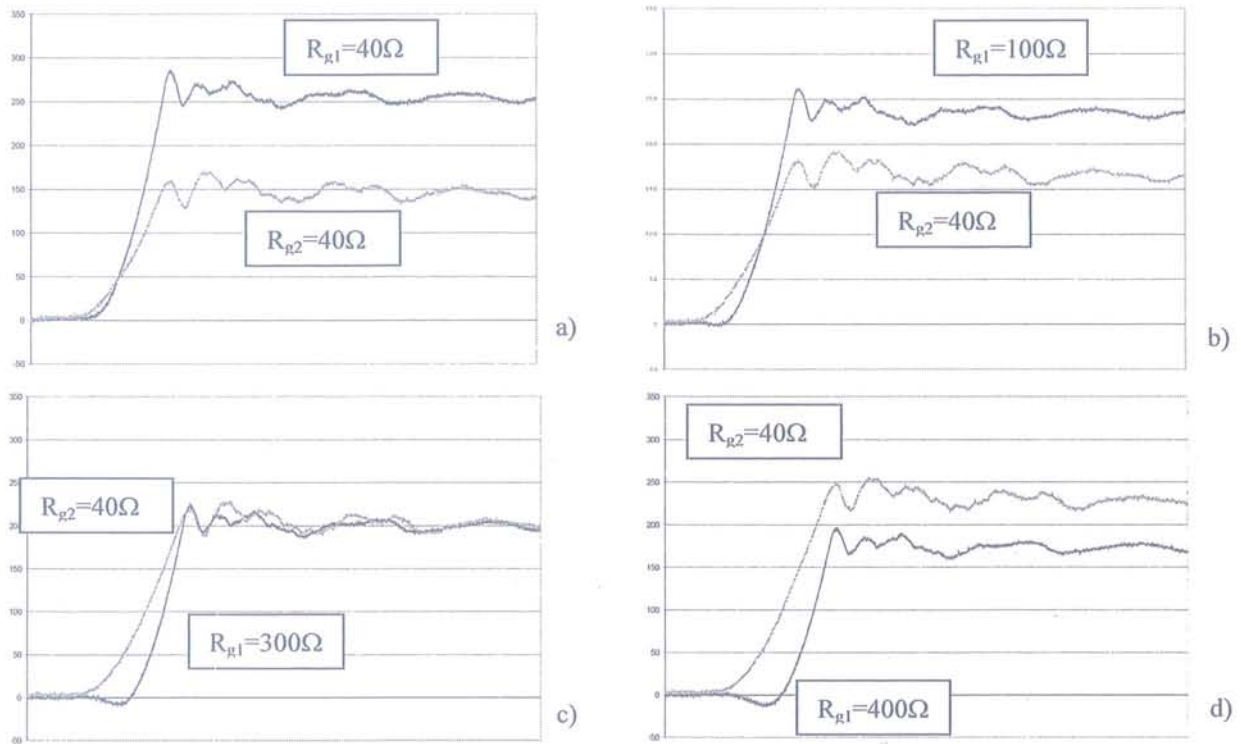


Figure I-65 : Evolution des tensions des transistors en série avec la résistance de grille R_{g1}

I.4.3.2.2 Le DSP

Le cœur du système est le DSP. C'est lui qui assurera la bonne régulation du système et qui générera les consignes pour les cartes de commande. Il aura de ce fait plusieurs tâches à effectuer.

Il devra dans un premier temps effectuer des acquisitions de tensions à des instants prédéterminés. En effet, la tension évolue au cours de la commutation, et du fait des courants de queue des IGBTs, elle évolue encore en statique. Il est donc nécessaire d'effectuer l'acquisition des tensions après cette phase. Une synchronisation avec les signaux de commande est donc nécessaire. Il faut effectuer les acquisitions sur tous les interrupteurs simultanément. Il faut donc autant d'entrées d'acquisition de tension que de transistors mis en série.

Il devra ensuite traiter les informations de tension pour savoir quel interrupteur ralentir ou accélérer en fonction des tensions mesurées en utilisant l'algorithme d'équilibrage des tensions implanté.

La dernière tâche du DSP est d'envoyer les consignes aux cartes de commande et stocker l'état des consignes pour la commutation suivante.

Le DSP mis en œuvre est un TMS320F de chez Texas Instrument cadencé à 40MHz et possédant deux convertisseurs analogiques - numériques capables de fonctionner simultanément.

1.4.3.2.3 Algorithme et logique floue

L'algorithme et le correcteur implantés dans le DSP ont pour rôle d'asservir les tensions aux bornes des transistors de puissance et de les maintenir égales durant la phase statique. Pour cela, ils devront répondre à un certain nombre de contraintes inhérentes au mode de fonctionnement de notre système. Ces contraintes sont de l'ordre du temps d'exécution de l'algorithme, le traitement de l'ensemble des opérations devra se faire pendant une période de la MLI du hacheur (quelques centaines de microsecondes). Ceci nécessite un nombre d'opérations limité. L'autre point étant la complexité et la non linéarité des modèles des IGBTs. Il est de ce fait difficile de prédéterminer un correcteur linéaire ou échantillonné à implanter.

Pour cela nous avons décidé de mettre en œuvre un correcteur reposant sur la logique floue. Ces deux principaux avantages sont qu'il ne nécessite pas une identification précise du système et ne demande pas de modèle de celui-ci. Par contre, il nécessite une bonne maîtrise du comportement général (approche physique du fonctionnement) afin d'éviter les instabilités. Peu gourmand en temps de calcul et en espace mémoire, il permettra de délester au maximum l'unité de calcul. Les temps d'opération étant réduits, cela permettra au système de fonctionner avec des fréquences de découpage d'autant plus élevées.

Le principe de base repose sur une comparaison des tensions des différents transistors et en fonction du résultat et de l'écart de modifier les consignes de résistance pour les différentes cartes de commande. L'algorithme est donné figure I-66.

La synchronisation avec le GBF délivrant les instants de commutation et l'attente de 10us se justifient par la nécessité d'être sûr de mesurer la tension en régime statique. Il est donc nécessaire de connaître très exactement l'instant de commutation et d'attendre que le transistor a fini de commuter.

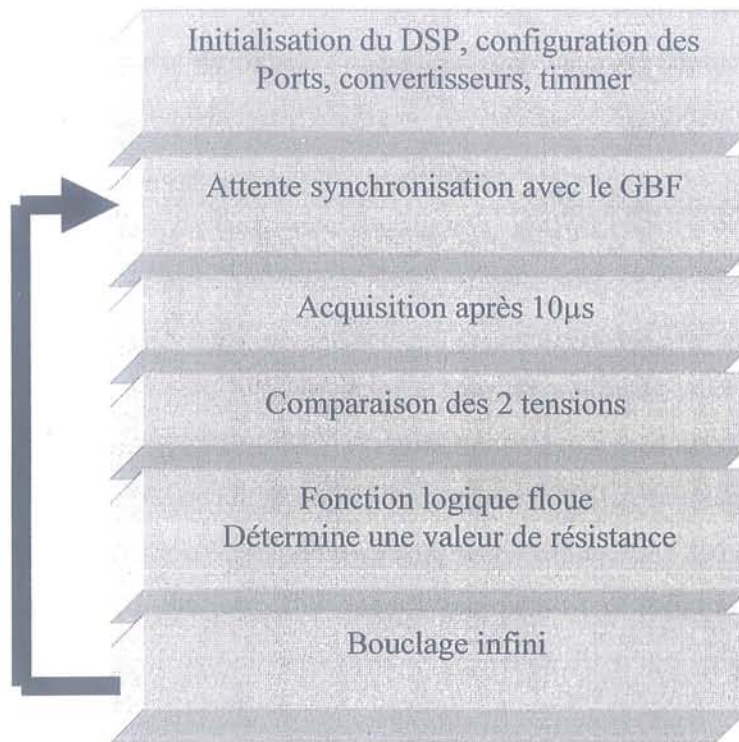


Figure I-66 : Algorithme du correcteur à logique floue

Chaque résistance dispose d'un poids en binaire. Etant donné que nous disposons de 4 résistances, 9 combinaisons (sur 16 possibles) ont été retenues. Elles sont données ci-dessous ainsi que les valeurs correspondantes (Figure I-67).

1	(0001) → 400 Ohms
2	(0010) → 300 Ohms
3	(0011) → 171 Ohms
4	(0100) → 100 Ohms
5	(0101) → 80 Ohms
6	(0110) → 75 Ohms
7	(0111) → 63.15 Ohms
8	(1000) → 40 Ohms
9	(1001) → 36.36 Ohms

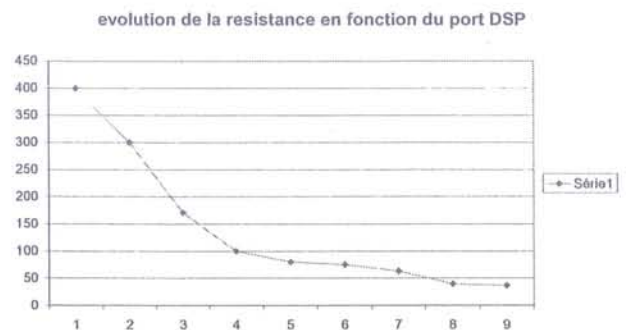


Figure I-67 : Valeurs des résistances utilisées

En fonction de l'écart entre les transistors le chiffre de consigne évolue. L'objectif étant d'accélérer le transistor le plus lent et de ralentir le plus rapide. Cette double action permet de commuter plus rapidement que les systèmes basés uniquement sur un ralentissement du transistor le plus rapide. Sur un système aussi simple, les possibilités de la logique floue ne sont pas encore utilisées au maximum. En effet, la tension des deux transistors dépend l'une de l'autre. Par contre, pour la mise en série de trois transistors cette méthode prendra tout son sens.

1.4.3.2.4 Les capteurs de tension

Les capteurs de tension que nous devons mettre en œuvre nécessitent une bande passante élevée, puisqu'il faut avoir une image fiable de la commutation des transistors de puissance tout en assurant une bonne immunité vis-à-vis des problèmes de compatibilité électro - magnétique. Le dernier problème à résoudre est que la tension aux bornes du transistor du haut est flottante ce qui nécessite, si l'on souhaitait avoir directement une valeur de la tension, de développer un capteur isolé. Les circuits d'isolation de ce capteur générant des capacités parasites gênantes dans le cadre de la mise en série comme vu précédemment sont donc à limiter. Les capteurs peuvent être basés sur des circuits d'isolation optoélectronique. Ces circuits sont relativement bien immunisés vis-à-vis de perturbations CEM, mais les bandes passantes sont souvent relativement limitées (quelques kilohertz), ce qui ne permet pas d'avoir une image fidèle de la tension aux bornes du transistor. D'autres circuits peuvent exister à base de transformateurs. Ces circuits nécessitent un traitement des signaux transmis relativement complexe. Il a donc été décidé dans un premier temps d'utiliser le système le plus simple basé sur des ponts diviseurs résistifs. Celui-ci n'est pas isolé et il est nécessaire d'effectuer une opération mathématique (réalisée par le DSP) pour obtenir la tension du transistor du haut.

1.4.3.3 Réalisation expérimentale et essais

La figure I-68 présente le dispositif réalisé qui consiste en un starter kit Technosoft à base du DSP TMS320, de la carte de commande des IGBTs et de la carte de puissance.

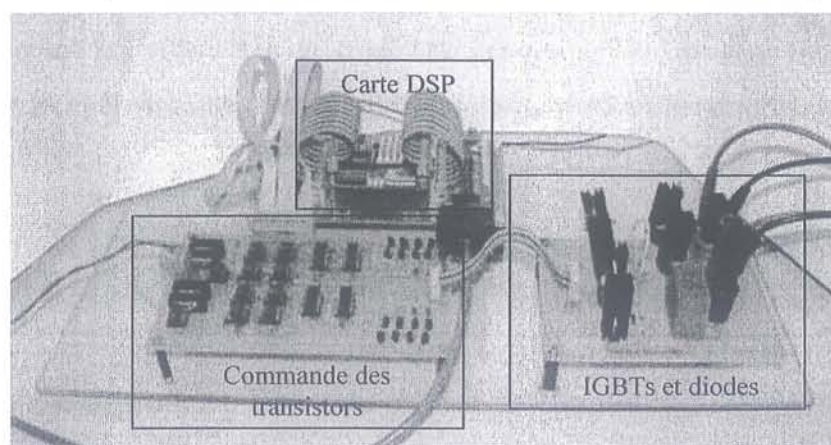


Figure I-68 : Maquette de test réalisée

Les résultats pratiques sont tout à fait satisfaisants. Ils montrent un bon fonctionnement du régulateur qui réagit relativement rapidement pour obtenir l'équilibrage. La figure I-69 présente les commutations avec et sans l'utilisation de la régulation à DSP.

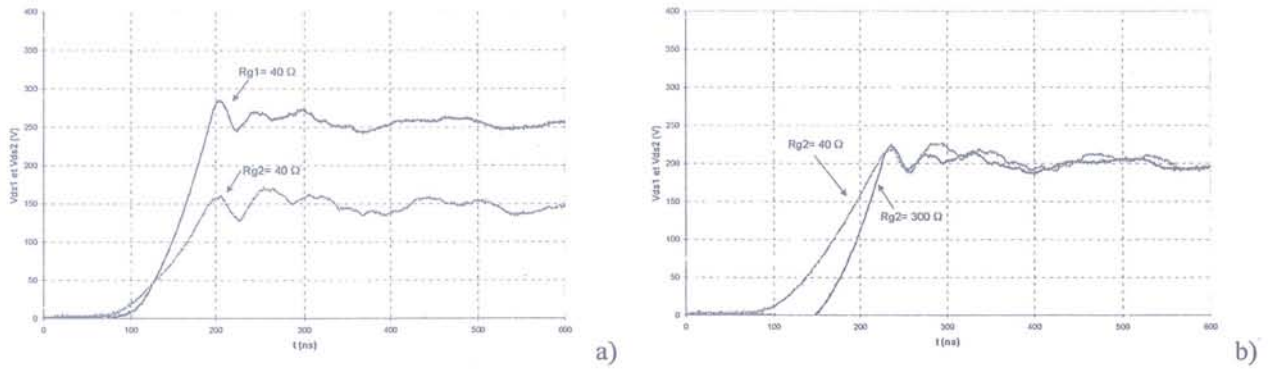


Figure I-69 : a) Tensions sans action du DSP, b) Avec DSP Action

1.4.3.4 Conclusion

Les résultats sont tout à fait satisfaisants. L'équilibrage des tensions est réalisé de façon tout à fait convenable et très rapidement. L'asservissement supporte aisément des variations importantes de la tension du bus continu. Cependant, la carte de commande actuellement utilisée repose sur la mise en parallèle de résistance de valeurs diverses. Elle ne permet pas une grande précision de la valeur effectivement nécessaire ce qui entraîne une légère instabilité dans les tensions aux bornes des transistors.

Ce système peut être aisément extrapolé à des systèmes utilisant un nombre beaucoup plus important de transistors en série. Ceci nécessitant un DSP plus rapide, afin de gérer un nombre accru d'informations et possédant également un nombre plus important de convertisseurs numériques – analogiques, pour acquérir toutes les tensions nécessaires.

Des améliorations concernant les cartes de commande des transistors (notamment la mise en œuvre de sources de courant variable) et une réduction du nombre de circuits d'isolation (particulièrement néfastes dans le cas de la mise en série du fait de leur capacités parasites) sont à effectuer.

1.4.4 Perspectives

1.4.4.1 Introduction

Une solution classique afin d'obtenir un équilibrage des tensions est de contrôler le dV/dt à l'aide de capacités extérieures ajoutées sur les transistors. La solution présentant le meilleur compromis efficacité – contrainte sur les composants est d'ajouter une capacité entre drain et grille sur un MOSFET. Néanmoins, si cette capacité pouvait être variable vis à vis de son potentiel et d'un potentiel extérieur, le circuit serait beaucoup plus efficace. C'est ce qu'on essaye de synthétiser avec le circuit d'équilibrage présenté précédemment qui agit

comme un condensateur variable avec la tension à ses bornes. Enfin, si elle pouvait être réalisée sur silicium cela permettrait une bien meilleure intégration finale du système. De telles capacités existent déjà [HAKIM-00]. Les évolutions de la valeur de la capacité ressemblant à ce qui se passe effectivement dans un transistor MOSFET en commutation.

1.4.4.2 Système d'équilibrage

1.4.4.2.1 Structure de base

La structure de puissance et les connexions des condensateurs sont présentées ci-dessous. (Figure I-70) Le schéma de principe est valable pour 2 transistors couplés en série.

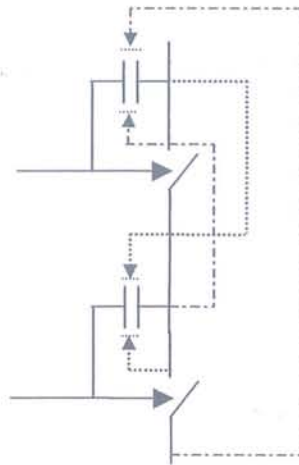


Figure I-70: Schéma de principe

Les deux capacités doivent être non-linéaires vis à vis d'un potentiel externe. De plus, les configurations classiques des capacités non-linéaires sur silicium font que celles-ci seront également non-linéaires vis à vis de leur propre potentiel. Il serait intéressant d'utiliser ce phénomène pour améliorer encore le fonctionnement.

1.4.4.2.2 Caractéristique non-linéaire recherchée

Caractéristique vis à vis du potentiel propre

Vis à vis de leur propre potentiel, il est souhaitable que la capacité augmente. Passant d'une valeur très faible (quelques centaines de pico-farads), à une valeur de quelques Cgd du transistor (quelques nano-farads). La transition devant s'effectuer aux alentours de la tension d'équilibrage idéale (quelques centaines à milliers de volts)

La caractéristique $C(V)$ recherchée est la suivante :

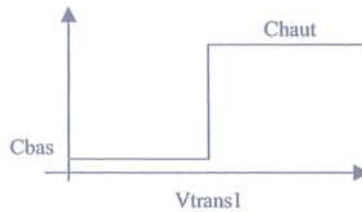


Figure I-71: Caractéristique de la capacité vis à vis de la tension à ses bornes

On retrouve ici, la caractéristique que nous avons essayé de synthétiser à l'aide du circuit écrêteur basé sur des diodes transils.

Caractéristique vis à vis du potentiel externe

Vis à vis du potentiel externe, la capacité doit diminuer avec la tension. On cherche à obtenir le même comportement que le circuit d'équilibrage à base de diodes zener et de capacité variables. La caractéristique souhaitée peut être schématisée de la façon suivante :

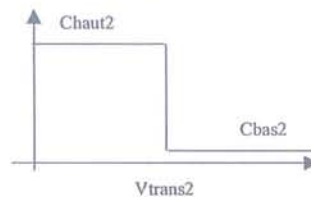


Figure I-72: Caractéristique de la capacité vis à vis de la tension aux bornes de l'autre transistor

1.4.4.3 Description du fonctionnement

Une fois les caractéristiques non-linéaires choisies, on s'attachera à regarder leurs conséquences sur la commutation du transistor de puissance. Supposons que la transition soit brutale entre deux valeurs de capacité. On peut alors déterminer l'écart de tension qu'il y aura après la transition en fonction de l'écart avant celle-ci. Supposons $\Delta V1$ l'écart avant transition, $\Delta V2$ l'écart après celle-ci, $dV1i$ la vitesse de commutation du transistor1 avant le changement de valeur de capacité, $dV1f$ la vitesse après et $dV2i$ la vitesse de commutation du transistor 2. On a le schéma suivant :

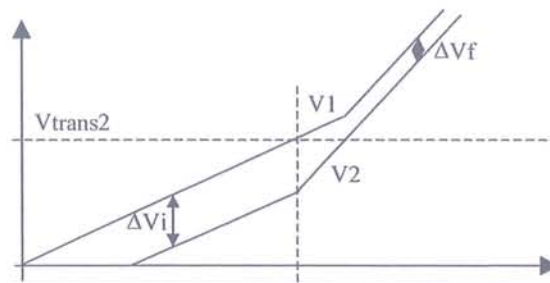


Figure I-73: Principe de fonctionnement de la capacité non – linéaire (basé sur la variation avec le potentiel externe uniquement)

On obtient alors : $\Delta V_f = \Delta V_i * \frac{dV_{2i}}{dV_{1f}}$

On constate alors que plus l'écart est grand entre la vitesse initiale et la vitesse finale, mieux l'équilibrage sera effectué. Pour des raisons de simplicité, on peut considérer que la valeur du Cgd final est la valeur de la capacité intrinsèque du transistor de puissance. On peut donc dire que la valeur de Cgd haut2 doit valoir quelques Cgd du transistor sous haute tension (10 fois par exemple), la valeur finale devant elle être inférieure à la valeur de la capacité Cgd de ce même transistor. Dans ce cas, si un écart subsiste entre les capacités Cgd intrinsèques des transistors, l'écart en tension va augmenter encore. Si l'on veut s'affranchir de cela, on peut réduire l'écart en ne donnant pas une valeur très faible mais 1 ou 2 fois la valeur du Cgd.

La valeur de transition doit être choisie suffisamment haute, afin que la variation intervienne après que le transistor ait vu sa capacité Cgd (ou Crss) stabilisée et le plus tôt possible afin de ne pas trop ralentir la commutation et donc les pertes. Une valeur comprise entre 30 et 40V semble être intéressante. En effet, les capacités des transistors varient de façon importante avant 40V. Une action avant cette tension n'aurait que des effets limités.

1.4.4.4 Commutation avec des capacités non-linéaires

L'allure de la commutation peut donc être la suivante :

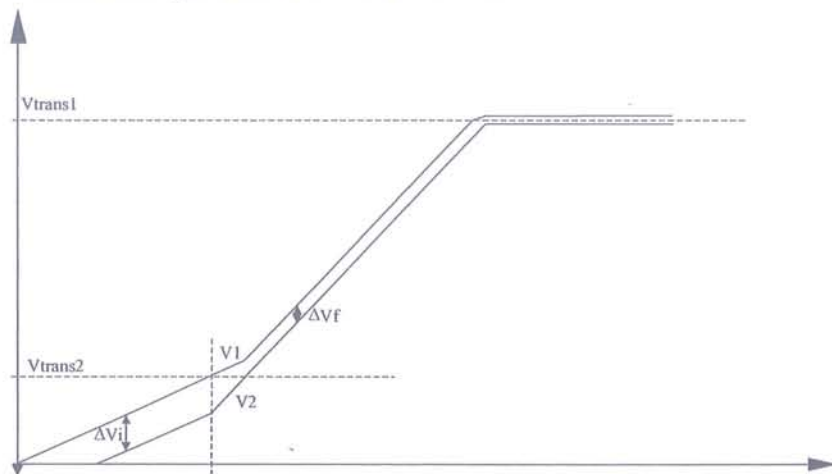


Figure I-74 : Allure d'une commutation avec deux capacités non-linéaires

1.4.4.5 Conclusion

Pour un transistor dont la tension d'équilibre serait de 1500V (par exemple 2 transistors en série sur un bus continu de 3kV), le tableau ci-dessous indique les valeurs de transition de capacités et les tenues en tension nécessaires.

	Forme de variation	Tension de transition	Valeur minimale	Valeur maximale	Tenue en tension
Vis à vis de son potentiel		Tension d'équilibre 1500 V	100pF	3 à 4 Cgd 10 nF	2 fois la tension d'équilibrage (Marge de sécurité)
Vis à vis du potentiel externe		Environ 40V	100pF	10 Cgd 30 nF	2 fois la tension d'équilibrage (Marge de sécurité)

Il est nécessaire, pour que le système se comporte convenablement, que la variation de la capacité aux bornes des électrodes de commande soit relativement faible vis à vis de la variation de capacité aux bornes des électrodes principales. Il ne faudrait pas en effet, que les modifications engendrées par cette dernière annulent les effets désirés.

Ce circuit reposant uniquement sur des composants passifs (il n'a pas de chaîne de traitement de l'information ni d'asservissement), il est peu sensible aux problèmes de CEM. De plus, il ne nécessite pas de phases d'apprentissage comme les circuits basés sur des solutions actives.

1.5 Conclusion

Dans cette première partie, nous avons présenté les différentes façons d'obtenir un convertisseur haute tension. Nous nous sommes essentiellement intéressés à la mise en série directe des transistors de puissance pour leur importante capacité d'intégration. L'aboutissement a été la réalisation du bras d'onduleur intégré HIPO. Chaque interrupteur étant composé de deux modules de transistor IGBT spécifiquement développé de 6.5 kV associés en série.

Ce type de méthode assure un équilibrage en contrôlant dynamiquement, durant la phase de commutation, le fonctionnement des IGBTs. Par contre, c'est une régulation en boucle ouverte. Son dimensionnement et sa réalisation permettant de réduire les écarts entre les IGBTs durant la commutation et de les annuler durant la phase statique mais son action ne sera optimum que pour un point de fonctionnement donné.

D'autres méthodes sont envisageables, notamment celles reposant sur la mise en œuvre de microprocesseurs de type DSP et qui assureront eux une régulation correcte même si la tension du bus continu était amenée à fluctuer. Par contre, les caractéristiques de ces composants ne permettent pas d'agir pendant la commutation et surtout elles ne garantissent l'équilibrage qu'après quelques commutations comme tout système asservi. Ces composants pourront être également mis en œuvre pour assurer la surveillance plus globale des convertisseurs et ainsi ajouter des fonctions supplémentaires qui sont plus aisément mises en œuvre avec de l'électronique numérique et de l'informatique industrielle qu'avec des circuits d'électronique parfois difficiles à mettre en œuvre.

Enfin, l'utilisation de composants intégrés sur silicium comme par exemple des condensateurs à capacité variable pourraient permettre d'augmenter le pouvoir d'intégration, que celle-ci soit hybride voir monolithique à plus longs termes. L'intégration de ces circuits de protection des composants permettra d'augmenter leur efficacité et de protéger au mieux les composants de puissance.

L'association série est donc une voie intéressante pour obtenir des convertisseurs haute tension. Néanmoins, du point de vue des harmoniques générés, elle est moins performante que les convertisseurs multi-niveaux. Un mélange de ces deux techniques, basé sur des convertisseurs multi-niveaux dont les interrupteurs seraient composés de transistors mis en série, pourrait être une solution intéressante du point de vue technique et économique.

I.6 Bibliographie

- [ARNOULD-92] J. Arnould, P. Merle, "Dispositifs de l'électronique de puissance" Volume 2 HERMES 1992
- [BAEK-00] J.W. Baek, D.W. Yoo, H.G. Kim, "High voltage switch using series-connected IGBTs with simple auxiliary circuit" IAS 2000
- [BELVERDE-01] G. Belverde, A. Galluzzo, M. Melito, S. Musumeci, "On the series connection of insulated gate power devices" IEEE 2000
- [BELVERDE-98] G. Belverde, A. Galluzzo, M. Melito, S. Musumeci, A. Raciti "Active voltage sharing of series connected strings of IGBTs devices in bridge applications" IEEE 1998
- [BODSON-99] J.M. Bodson, J. Bou Saada, A. Colasse, P. Colignon, L. Delporte, J.E. Masselus, P. Mathys, M. Osée, "Study of direct series connection of IGBTs for a 3 kV chopper" EPE 1999
- [BRUCKMANN-98] M. Bruckmann, R. Sommer, M. Fasching, J. Sigg, "Series connection of High Voltage IGBTs Modules", IEEE 1998
- [BUSSATTO-98] G. Busatto, B. Cascone, L. Fratelli, A. Luciano, "Series Connection of IGBTs in Hard-Switching Applications" IEEE 1998
- [CARRERE-96] P. Carrere, "Etude et réalisation des convertisseurs multicellulaires série à IGBTs : Equilibrage des condensateurs flottants" Thèse de doctorat INP de Toulouse Octobre 1996
- [CELANOVIC-99] "A Fast Space Vector Modulation Algorithm for Multilevel Three-Phase Converters" IEEE 99
- [CONSOLI-95] A. Consoli, S. Musumeci, G. Oriti, A. Testa, "Active voltage balancing of series connected IGBTs" IEEE 1995
- [CORTIZO-84] C. Cortizo, "Techniques de mise en série des transistors de puissance pour la moyenne et haute tension", Thèse de doctorat de INP de Toulouse Novembre 1984
- [DIXNEUF-90] D. Dixneuf, D. Ferrer, "Mise en série des IGBTs de puissance dans les convertisseurs moyenne fréquence", EPF 90
- [FOCH-92] H. Foch, T. Meynard, R. Arches, M. Metz, "Etude comparative de techniques de mises en série dans les convertisseurs alimentés en haute tension", EPF92
- [FRANCOIS-02] B. François, J. P. Hautier, "NPC based topologies for multilevel DC/DC converters", PCIM 02

- [GERSTER-94] C. Gerster, "Fast High-power, high-voltage switch using series-connected IGBTs with active gate-controlled voltage-balancing" IEEE 1994
- [GERSTER-96] C. Gerster, P. Hofer, N. Karrer, " Gate-Control strategies for snubberless operation of series connected IGBTs ", PESC 1996, Baveno
- [GUIDINI-95] R. Guidini, "Interrupteurs rapides haute tension réalisés par mise en série de composants semi-conducteurs pour convertisseurs de forte énergie" Thèse de doctorat de l'université de Montpellier 1995
- [HAKIM-00] H.Hakim, J.P. Laur, J.L. Sanchez, E. Scheid, P. Dubreuil, (L.A.A.S.) « Intégration de condensateurs non – linéaires sur silicium », EPF 2000, Lille
- [HEFNER-94] A.R. Hefner, D.M. Diebolt, "An experimentally verified IGBT model implemented in the SABER circuit simulator", IEEE Transactions on Power Electronics Vol. 9, N° 5, septembre 1994
- [HONG-99] S. Hong, V. Chitta, D.A. Torrey, " Series connection of IGBTs with active voltage balancing" IEEE 1999
- [JEANNIN-01] P.O. Jeannin, "Le transistor MOSFET en commutation : Application aux associations série et parallèle de composants à grille isolée", Thèse de doctorat de l'INP Grenoble 2001
- [LALLEMAND-00] R. Lallemand, G. Coquery, P. Lauprete, A. Jeunesse, J. Muller, " Application des modules IGBT au traitement d'obsolescence des GTO dans les onduleurs auxiliaires du TGVA. Amélioration de fiabilité." EPF 2000, Lille
- [LAPASSAT-98] N. Lapassat, "Etude du comportement en commutation douce de semi-conducteurs assemblés en série" Thèse de doctorat de l'Université de Montpellier 1998
- [LAUSENAZ-99]Y. Lausenz, D. Chatroux, J.F. Villard, J.M. Li, D. Lafore, L. Garnier, " Serial connected active voltage clamping ", EPE 99
- [LAUSENAZ-00]Y. Lausenz, "Contribution à la fiabilité des interrupteurs haute tension matriciels", Thèse de doctorat de l'Université de Aix-Marseille 2000
- [LORGEUX-01] C. Lorgeoux "Modélisation et commande de convertisseurs pour un poste de distribution à étages intermédiaires continus" DEA INPG 2001
- [MEYNARD-01] T. Meynard, M. Nahrstaedt, R. Jakob, "Evolution des structures de conversion" Revue 3EI n°25 6/2001
- [PALMER-98] P.R. Palmer, A.N.Githiari, "Analyse of IGBT modules connected in series", IEEEProc.-Devices Syst., Vol.145, No 5, October 1998
- [RAULET-90] C. Raulet, G. Rojat, A. Kevorkian, "Mise en série de transistors MOSFET de puissance" EPF 90

- [RICHARDEAU-00] F. Richardeau, F. Forest, “ Problématique, méthodologie et enjeux de la fiabilité en électronique de puissance”, EPF 2000, Lille
- [RODRIGUEZ-02] J. Rodriguez, J-S. Lai, F. Z. Peng, “Multilevel inverters : A Survey of Topologies, Controls and Applications”, IEEE Transaction an Industrial Electronics Vol.49, N° 4, August 2002
- [ROUX-01] C. Roux, « Etude et conception d’une commande rapprochée auto-alimentée », DEA INPG 2001
- [SCHAEFFER-92] C. Schaeffer, “Analyse des comportements électriques et thermiques des interrupteurs de puissance IGBT”, Thèse de doctorat INPG 1992
- [SCHIBLI-00] « Symetrical multilevel converters with two quadrant DC-DC feeding » Thèse de doctorat de l’EPF de Lausanne.
- [VASIC-00] D. Vasic, F. Costa, E. Sarraute, “Commande de transistor à grille isolée par transformateur piézoélectrique” EPF 2000, Lille
- [WEIS-98] B. Weis, M. Bruckmann, “ A new gate driver circuit for improved turn-off characteristics of high current IGBT modules” IEEE 1998.

Partie II

Conception de modules haute tension

II.1. Introduction

Dans la première partie, nous nous sommes intéressés à l'association en série de composants semi-conducteurs de puissance. De plus en plus, les applications tant au niveau de la traction que de la distribution réclament une intégration poussée et un désir d'obtenir des composants haute tension. A l'heure actuelle, les aspects économiques et la limitation des pertes font qu'on a intérêt à réduire le nombre de transistors mis en série. Ceci veut dire augmenter le calibre en tension des composants. Dans un deuxième temps, on peut également envisager l'intégration directe de la mise en série dans un boîtier unique.

Actuellement, les puces IGBT atteignent des niveaux de tension de 6500V. Il en résulte la nécessité de développer des boîtiers capables d'accepter des composants de ce calibre en tension en assurant une durée de vie satisfaisante et des caractéristiques en commutation adéquates. Deux types de boîtiers sont classiquement utilisés dans les applications forte puissance. Il s'agit des boîtiers type press-pack (Westcode, ABB, ...) et des modules de puissance (Dynex, Eupec, Mitsubishi, ...). C'est à ces derniers que nous nous intéressons plus particulièrement.

L'utilisation de tels composants de puissance pose le problème de leur conception et de leur développement. L'intégration très poussée engendre d'importantes contraintes. Celles-ci peuvent être de différents types et ont été plus ou moins étudiées par le passé. Les principaux domaines sont de l'ordre de la tenue mécanique [Thébaud-00], thermique [Raël-96] ou encore diélectrique entre autres. Il faudra se pencher sur les principaux problèmes qui pourront apparaître dans les modules de puissance, mais également voir les facteurs de couplage essentiels entre eux et la réalisation de ces modules.

Nous allons par la suite présenter les modules de puissance et leurs principales caractéristiques, notamment leur architecture interne. Ceci afin de mieux appréhender les problèmes liés à cette étude.

Nous essayerons ensuite de caractériser les contraintes qui vont exister dans ces composants. Nous nous concentrerons sur les aspects inductifs, les champs électriques ou encore la thermique afin d'en identifier les principaux problèmes et de voir leur degré de couplage.

Les études se baseront sur des simulations effectuées avec des logiciels éléments finis (Flux 2D et 3D, Flotherm) ou basés sur la méthode PEEC (InCa). Les résultats de ceux-ci seront comparés avec des mesures afin de valider leur pertinence et de caler les simulateurs.

L'objectif ici, n'étant pas d'obtenir la valeur exacte, d'autant que celle-ci n'est parfois pas mesurable (comme les champs électriques à l'intérieur des modules), mais d'obtenir des bases de comparaison pour des études futures.

Des méthodes d'analyse seront présentées ainsi que des solutions pour limiter les contraintes. L'objectif de ces solutions est de les comparer entre elles. Ce sont les sens de variation et les effets qui seront regardés avec intérêt plus que les valeurs intrinsèques.

Enfin, l'étude du mode d'interconnexion des modules devra également être prise en compte car elle peut directement influencer sur l'intérêt de leur emploi et sur leur évolution future.

II.2. Les modules IGBTs de puissance

L'une des implantations des IGBT, les plus classiques, est le module de puissance. Il est utilisé pour les applications forte puissance qui nécessitent l'association en parallèle de puces élémentaires. Ce type de module est particulièrement adapté pour une utilisation en association avec des bus-barre. De plus, il permet un bon refroidissement des composants et une mise en œuvre relativement simple, comparé aux structures press-pack. Il permet en outre une bonne intégration des composants par rapports aux transistors discrets. Notre étude va s'intéresser tout particulièrement à ces composants. Nous allons dans un premier temps regarder de plus près la structure d'un module IGBT de puissance afin d'en appréhender les caractéristiques et les particularités.

II.2.1. De la puce au module complet

Les modules IGBT de puissance sont composés de l'association en parallèle de puces élémentaires. Nous allons voir ici les différents éléments du module de puissance et leur assemblage pour obtenir le module de puissance final complet. Toutes les remarques effectuées ici, concernent essentiellement les circuits fabriqués par DYNEX et EUPEC. D'autres solutions peuvent être mises en œuvre, notamment par des fabricants tels que MITSUBISHI.

II.2.1.1. La puce semi-conductrice

Les éléments de base du module de puissance sont les puces semi-conductrices. Elles sont en général de deux types, des transistors IGBT et des diodes de puissance de type PIN montées en anti-parallèle afin d'assurer la bidirectionnalité en courant.



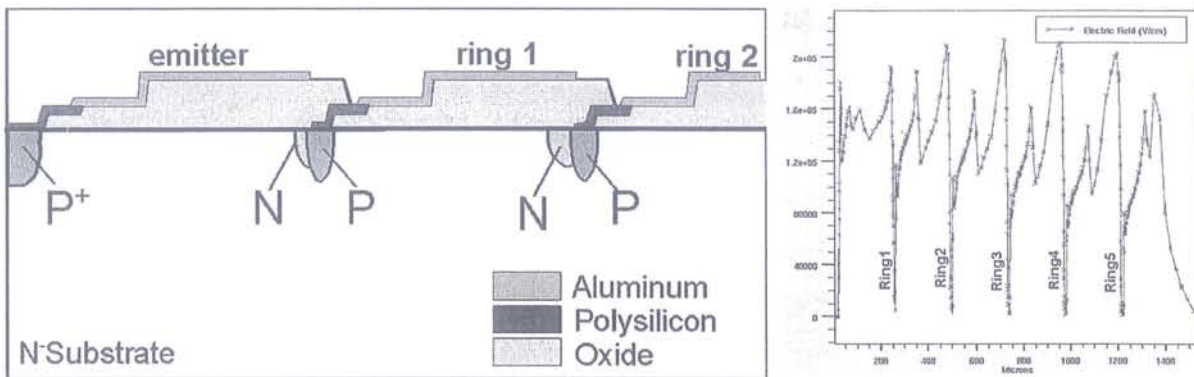
Figure II-1 Composants de puissance

Le nombre de puces dépend du calibre en courant totale du module. Dans les applications forte tension, la taille de puce est donnée. Le calibre en courant des interrupteurs dépend de leur tenue en tension. Par exemple, pour les puces IGBT 3.3kV, le courant admissible est de 50A. Pour les puces 6.5kV, il sera de 25A. Ces valeurs dépendant de

contraintes thermiques et des tailles de puces utilisées (13,5 x 13,5 mm). Il est à noter que les calibres en courant des diodes sont le double de ceux des IGBT.

Du fait de la conception des puces IGBT, le collecteur est placé sur la partie basse de la puce. La partie supérieure comportant les métallisations d'émetteur (au nombre de huit pour les composants EUPEC et DYNEX) et la métallisation de grille, placée ici au centre de la puce. Il est à noter que cette métallisation peut également être située dans un angle pour simplifier l'assemblage [ABB-02].

Le champ électrique à l'intérieur des puces IGBT est très intense. Les lignes de champ devant se reboucler à l'extérieur de la puce, les champs électriques obtenus (champ de claquage du silicium : 200kV/cm) sont supérieurs aux tenues en tension des isolants utilisés dans les modules. D'autre part, les zones actives de semi-conducteurs (jonction,...) présentent des courbures plus ou moins aiguës, qui par effet de pointe peuvent augmenter localement le champ et dégrader le composant. De ce fait, on a développé des périphéries planar destinées à étaler les lignes de champ sur la partie supérieure de la puce. Les diodes et les IGBT considérés plus particulièrement peuvent être de plusieurs types (anneaux de garde, électrode de champ, combinaison de ces deux solutions (EUPEC) ou encore JTE (jonction terminaison edge) (DYNEX)). Ces techniques sont utilisées afin de limiter au maximum les contraintes électriques générées par le semi-conducteur de puissance, que ce soit à l'intérieur du composant ou dans son environnement.



Vue de coupe d'une structure à anneaux de garde et électrodes de champ

Champs électriques (Simulations SILVACO effectuées par la CNM¹)

Figure II-2 Vue de coupe de la structure des anneaux de garde pour un IGBT de puissance

Sur la figure II-2, on peut voir les anneaux de garde avec électrode de champ pour un IGBT de puissance. Les électrodes en aluminium permettent de mieux répartir le champ.

¹ Centro Nacional de Microelectronica de Barcelone

Entre ces anneaux de garde et le gel diélectrique est interposée une passivation destinée à répartir une première fois le champ et à supporter les champs les plus intenses.

D'autres techniques telles que les poches existent également et peuvent être mises en œuvre. De telles solutions ont été présentées dans des travaux sur les périphéries planar. Il s'agit de techniques basées sur l'utilisation de poches pour étendre les lignes de champ électrique. Qu'il s'agisse de structure à multiples poches à dopage variable pour les composants silicium [Ngo-97] ou les IGBT de forte tension utilisés par Dynex Semiconductor [Vellvehi-01] ou d'une seule poche par exemple pour un composant à carbure de silicium [Lazar-02].

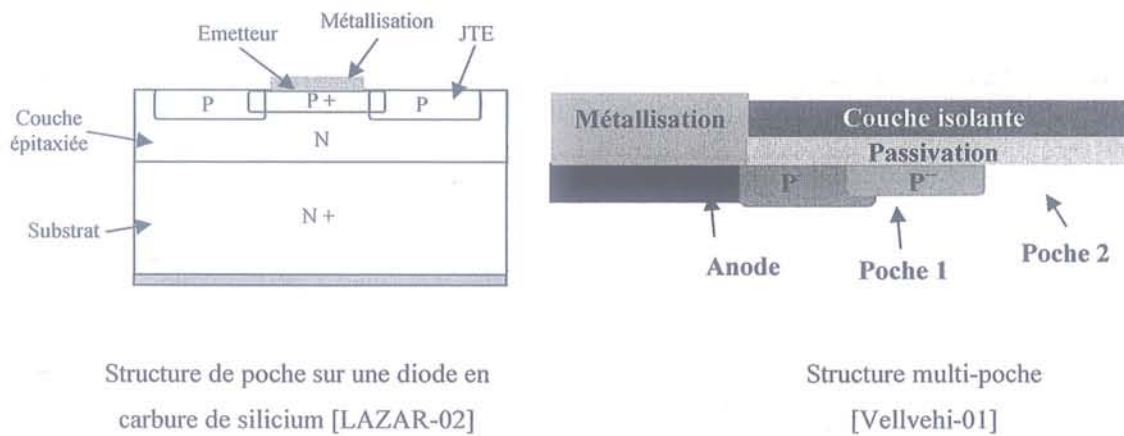


Figure II-3 : Différentes technologies à base de poches

Une fois réalisées, les puces sont associées au substrat par un procédé de brasure. Ceci permet d'assurer un bon contact électrique entre celles-ci et les pistes qui sont disposées sur le substrat.

II.2.1.2. Le substrat

Le substrat est l'un des éléments fondamentaux du module IGBT. Il est composé d'une plaque d'isolant (par exemple de l'AlN (nitrure d'aluminium) ou de l'alumine (Al_2O_3)) sur laquelle sont déposées les pistes de connexion sur lesquelles sont rapportées les puces (Figure II-4). L'AlN est préféré à l'alumine dans les applications de forte puissance, pour ses meilleures performances thermiques, même s'il est plus coûteux. Pour fixer les pistes sur le substrat, différentes techniques peuvent être mises en œuvre telles que le DBC (Direct Bonded Copper) ou l'AMX (Active Metal Brase). L'autre face du substrat est métallisée pour permettre de la connecter sur la semelle du module. Celle-ci peut être en cuivre mais des matériaux composites comme l'AlSiC sont de plus en plus utilisés. La description de l'empilement est donnée figure II-5.

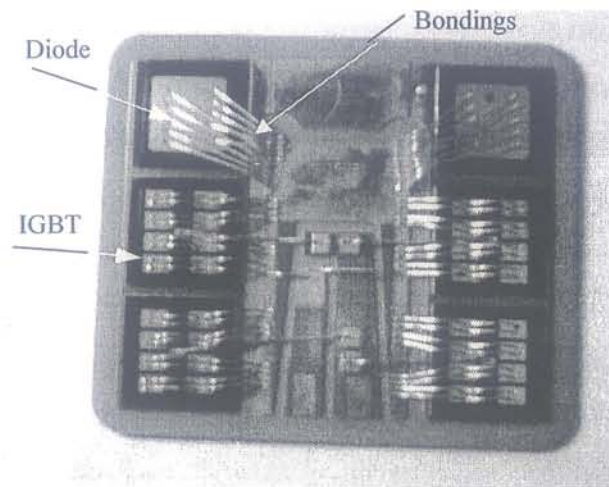


Figure II-4 : Substrat de module IGBT « DYNEX » 3.3 kV - 200A

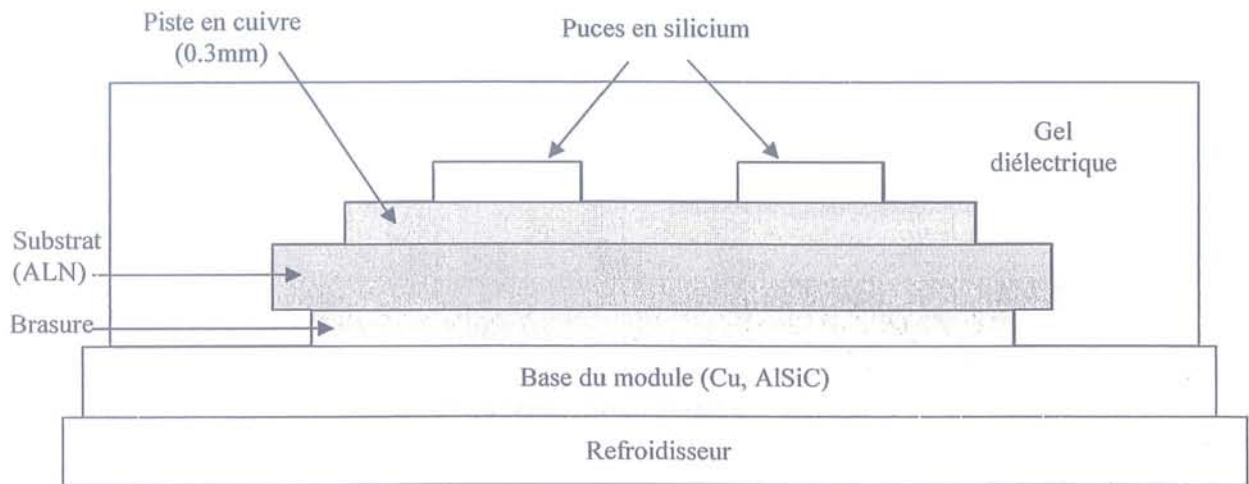


Figure II-5 : Représentation schématique d'une coupe d'un substrat

Le rôle du substrat est multiple :

- Il sert à isoler les pistes de puissance et les composants de la base du module qui est reliée au refroidisseur donc à la masse. Il doit donc être un bon isolant capable de supporter des champs élevés.
- Il assure le transfert de la chaleur des puces vers le refroidisseur et doit donc présenter une résistivité thermique limitée.
- Par les pistes qui sont rapportées à sa surface supérieure, il assure les liaisons électriques entre les différents composants et concourt donc à la répartition des courants entre les différents éléments.

Les substrats de puissance que nous allons étudier par la suite sont composés en général de 4 puces de transistors IGBT et de diodes (dont le nombre peut varier en fonction de

leurs caractéristiques). Celui-ci est généralement de deux pour les modules considérés. (3,3 et 6,5 kV).

II.2.1.3. Les connexions

Les connexions sont de plusieurs types suivant le niveau où l'on se situe.

Au niveau du substrat les connexions entre puces et entre puces et pistes sont assurées par l'intermédiaire de bondings. Ce sont des fils de quelques centaines de micromètres de diamètres fixés par procédés acoustiques. On trouve généralement 8 à 10 bondings en parallèle.

Les lyres de connexion permettent de relier les substrats entre eux et avec les connexions externes du module et de leur distribuer le courant de puissance. Du fait de leur taille ce sont des éléments particulièrement inductifs. Ils seront analysés par la suite.

Enfin, les signaux de grille sont distribués à l'intérieur du module par l'intermédiaire d'un circuit imprimé et de bondings afin de limiter les inductances dont les effets néfastes ont été montrés en première partie sur la mise en série.

II.2.1.4. Le module

Le module final est obtenu par l'association de plusieurs substrats au sein du boîtier. Ils sont connectés par deux à l'aide des lyres de puissance (Figure II-6). On connecte également les grilles, les émetteurs ainsi qu'un collecteur "propre" qui sert à la surveillance des commutations. L'ensemble est noyé dans un gel diélectrique qui assure les isolations en tension (leur tenue classique est d'une vingtaine de kilovolts par millimètres : 18kV/mm pour le TSE 3051 de General Silicon par exemple). Sur les modules EUPEC, il semble en outre qu'une résine protectrice recouvre l'ensemble du module.

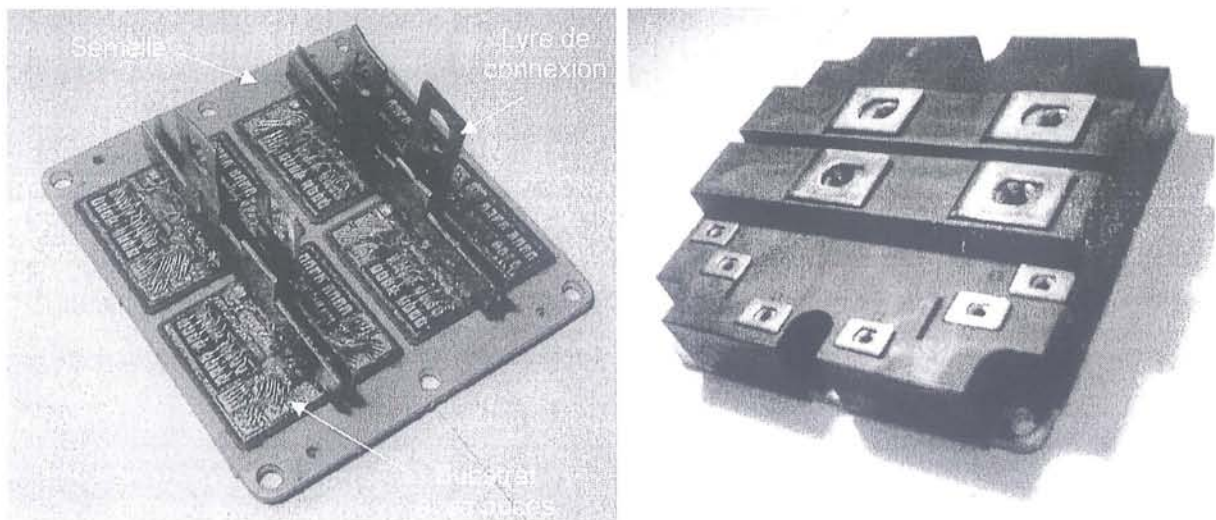
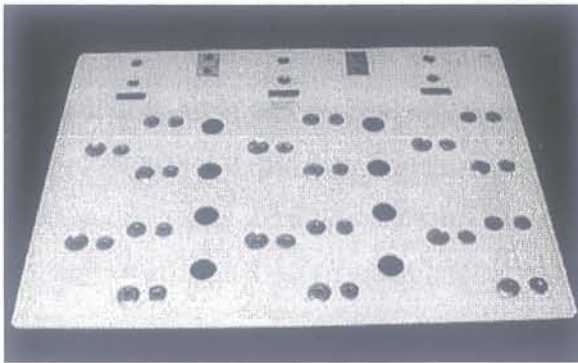


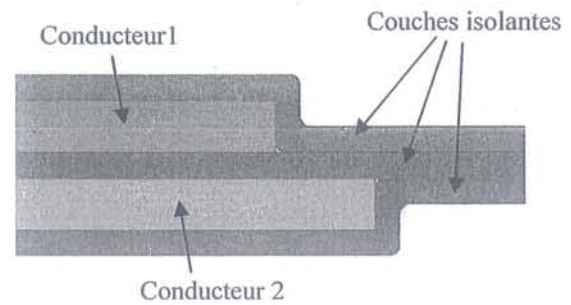
Figure II-6 : IGBT EUPEC FF800R16KF6B2

II.2.2. L'association

Une fois les modules réalisés, ceux-ci doivent être associés afin de réaliser les fonctions désirées. Que se soit une association parallèle, la réalisation d'un bras d'onduleur ou la mise en série de transistors. Les liaisons inter-modules doivent être le moins inductives possibles pour limiter les surtensions lors des commutations. Les solutions les plus classiquement utilisées reposent sur la mise en œuvre de bus-barre. Ceux-ci permettent par leur conception d'être faiblement inductifs.



a) Bus barre (ELDRE)



b) Vue de coupe d'une association

Figure II-7 : Présentation de bus-barre et de leur conception

Ce caractère faiblement inductif s'explique par la conjonction de deux effets :

- La grande largeur des plaques utilisées permet en outre de diminuer fortement l'inductance propre des conducteurs.
- La proximité des conducteurs, séparés uniquement par une fine couche de diélectrique, permet d'augmenter fortement les mutuelles inductances.

Maintenant que nous avons présenté les principaux acteurs des cellules de commutation des transistors, nous allons nous pencher plus précisément sur la problématique de conception des modules en haute tension et de leurs procédés d'interconnexion.

II.3. Problématique de conception

II.3.1. Introduction

La réalisation de convertisseurs forte tension pose un certains nombre de problèmes. Leur développement repose sur l'étude des phénomènes thermiques et inductifs qui au regard des importantes puissances commutées vont poser des problèmes certains. Mais à cela, il sera également nécessaire de rajouter des problèmes plus spécifiques au domaine des fortes tensions et qui sont la gestion des aspects diélectriques.

Ces problèmes sont liés non seulement aux matériaux mis en œuvre, mais également à des choix technologiques, correspondent aux études et aux dimensionnements faits par ailleurs pour des aspects thermiques et inductifs et qui peuvent s'avérer très pénalisants du point de vue diélectrique.

Ces questions se poseront, non seulement pour le développement de modules de puissance, mais également pour l'étude des bus-barres et le choix quant à l'opportunité de leur mise en œuvre.

Nous avons proposé dans un premier temps d'étudier plus particulièrement les couplages entre les divers phénomènes physiques mis en jeu. L'objectif étant de déterminer si les problèmes peuvent être étudiés de façon découplée, ou si par contre, il est nécessaire de tenir compte d'un très grand nombre de facteurs lors de la réalisation de convertisseurs.

Toutes les études menées ici ont ceci de particulier qu'elles sont fortement dépendantes des technologies existantes, notamment dans le domaine des matériaux et plus spécialement des polymères. D'importants développements dans ces domaines pourront amener à de nouvelles solutions de mise en œuvre.

II.3.2. Les logiciels mis en œuvre

Notre approche des modules de puissance repose sur l'étude à partir de simulations de ceux-ci. Ce type d'étude présente de nombreux avantages. Notamment parce que ce sont souvent les seuls moyens d'avoir accès à des grandeurs. On peut citer les inductances de boîtiers et leurs corollaires, les surtensions en commutation, qui sont difficilement accessibles en pratique car l'insertion d'instruments de mesures dans les boîtiers engendre la modification de leurs caractéristiques. De plus, les valeurs relativement faibles mises en jeu sont souvent à la limite des capacités des instruments de mesure. Enfin, certaines grandeurs ne sont pas directement mesurables comme par exemple le champ électrique à l'intérieur des modules. On

ne peut qu'observer des phénomènes liés à leur valeur comme par exemple les décharges partielles dans les modules de puissance.

II.3.2.1. Simulations inductives

Un des aspects important dans la mise en œuvre de modules IGBTs est la détermination des inductances de câblage. En effet, celles-ci vont engendrer des surtensions qui peuvent conduire à la destruction des composants. Ces surtensions proviennent des vitesses de variation du courant très rapides imposées par les semi-conducteurs de puissance.

Par ailleurs, l'écart des impédances sur différents trajets correspondant à des composants mis en parallèle peut conduire à une dissymétrie. A noter également le rôle non négligeable des mutuelles inductances dans ce type de problème [Jeannin-01].

La maîtrise de ces inductances est donc cruciale.

Le logiciel mis en œuvre pour effectuer ces simulations est InCa2D® pour Inductance Calculation ([CLAVEL-96], [GUICHON-01]). Il repose sur la méthode PEEC². Celle-ci attribue à chaque conducteur d'un circuit, une part de l'inductance globale, ainsi que des couplages mutuels avec les autres éléments. Des formulations analytiques existent pour calculer les valeurs de ces éléments partiels (inductances et mutuelles), en fonction des données géométriques uniquement, sous réserve que la densité de courant soit uniforme.

La structure de la figure II-8 est ainsi facilement modélisée par des inductances directement obtenues par InCa.

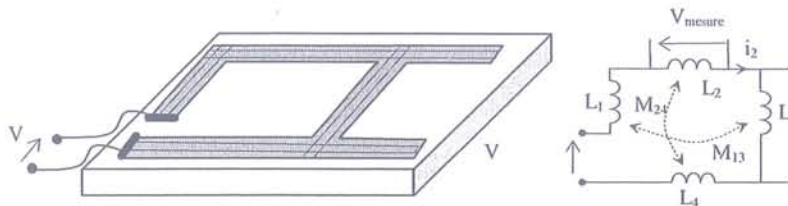


Figure II-8 : représentation d'un circuit par la méthode PEEC.

Comme l'hypothèse « J uniforme » ne peut s'appliquer systématiquement (effets de proximité, fréquence...), on est conduit à mailler les conducteurs. Ce maillage peut être effectué en suivant la direction principale du courant, si celle-ci est connue. On appelle ce maillage 1D (par référence à une direction unique pour le courant, bien entendu, les géométries traitées sont tridimensionnelles).

Pour le cas des plaques, où aucune direction privilégiée n'est identifiable (Figure II-9), on discrétise selon deux directions orthogonales. On appelle ce maillage 2D.

² Partial Element Equivalent Circuit

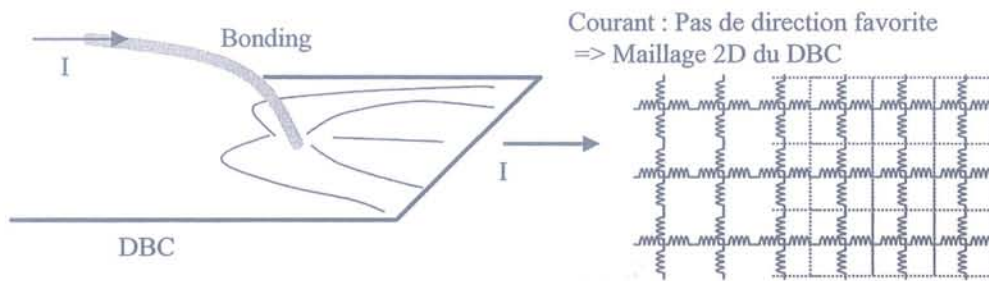


Figure II-9 : Nécessité d'un maillage 2D quand la direction du courant n'est pas connue

En tout état de cause, le gros intérêt de la méthode est que l'on ne maille que les conducteurs, et non l'air qui les entoure. De plus le résultat est directement un circuit électrique équivalent, utilisable par l'électronicien de puissance.

Le maillage 2D permet des fonctionnalités supplémentaires par rapport à la version 1D d'InCa, la seule diffusée à l'heure actuelle. D'une part, la description géométrique est plus fidèle, mais surtout, la physique est mieux prise en compte, puisqu'on ne contraint pas le courant à suivre une direction arbitraire. Par rapport à de nombreuses études précédentes ([Clavel-97], [Xing-98], [Consoli-99]), il est indéniable que les résultats proposés ici seront plus fiables.

Côté exploitation, il est impossible d'exploiter directement une exportation directe de tous les éléments inductifs au sein d'un simulateur de circuit type PSpice® ou Saber®. Même si cette fonctionnalité est intégrée dans InCa, la lourdeur du schéma obtenu le rend quasi inutilisable dans des simulations électriques complètes incluant des composants semiconducteurs. Les seules utilisations de ce schéma complet restent au niveau de l'analyse harmonique [Besacier-02], et dans PSpice® demeurent très lourdes (plus de 6 heures pour un seul busbarre), compte tenu des méthodes de résolution employées. Un compactage des schémas est donc indispensable, et a été développé dans la thèse de JM Guichon, incluant un solveur harmonique dédié. On peut définir ainsi, dans InCA2D, un schéma électrique équivalent plus global, entre différents points d'accès à la structure. Ce schéma est calculé à partir du maillage 2D effectué. Plusieurs alternatives sont alors possibles pour représenter le comportement électrique des conducteurs étudiés : soit en restant assez proche de la géométrie (on dispose alors les points d'accès le long du trajet du courant présumé), soit en se cantonnant à une représentation plus globale, vue des entrées sorties externes du composant traité. Ces différentes solutions seront illustrées sur les substrats présentés dans la partie 2.4.2.

Cependant, malgré les améliorations citées, il reste encore de nombreuses approximations lorsqu'on cherche à modéliser une structure industrielle. En effet, les géométries traitées doivent souvent être simplifiées pour être compatibles avec la description

InCa, qui suppose les conducteurs soit parallèles, soit orthogonaux. On peut citer les bondings, dont la forme est très dépendante des contraintes mécaniques de réalisation (soudure ultrasonique) et des connexions à effectuer (figure II-10).

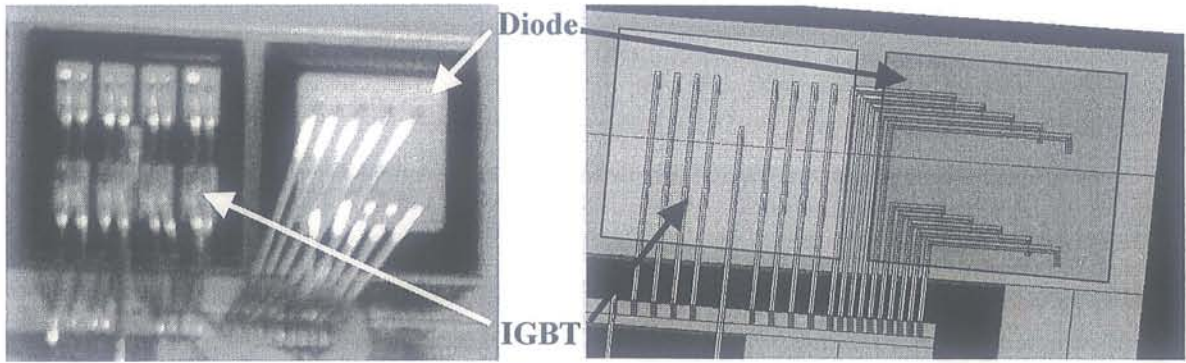


Figure II-10 : Bonding réel et modélisation InCa.

De plus, le mailleur 2D actuel est relativement rustre, et conduit à des approximations supplémentaires sur la géométrie. En effet, une fois maillée, une plaque, par exemple, est raccourcie de la taille d'une demi maille sur toute sa périphérie. Ceci peut conduire à des erreurs non négligeables si le maillage n'est pas assez fin.

Enfin, le raccord d'une géométrie maillée en 2D à des conducteurs externes se fait sur les noeuds du maillage. Une fois encore, si celui-ci est trop grossier, des imprécisions sur le point d'injection du courant peuvent apparaître.

Toutes ces contraintes sont relativement importantes à signaler, dans la mesure où le nombre de mailles est assez limité (comparé aux éléments finis), puisqu'on gère des matrices pleines au niveau de la résolution. En pratique, le nombre de mailles est actuellement limité à 1000 pour un conducteur, et à 4000 pour l'ensemble d'une simulation.

II.3.2.2. Simulations diélectriques

Afin d'effectuer les simulations des champs électriques, il a été mis en œuvre le logiciel FLUX dans ses versions 2D et 3D. Il s'agit d'un logiciel de simulation éléments finis. Il dispose, entre autres, d'un module de simulation appelé « diélectrique » qui permet de simuler des systèmes en tenant compte de la résistivité des matériaux et de leur constante diélectrique. Ces deux paramètres sont nécessaires pour des études de régimes alternatifs.

Comme la plupart des logiciels d'éléments finis, FLUX repose sur un système de maillage. Celui-ci est extrêmement critique dans nos simulations. En effet, du fait de leur géométrie, les substrats engendrent des problèmes importants de maillage. La faible épaisseur des pistes conductrices, liées à la surface relativement importante des substrats engendre de grandes différences d'échelles. Il en résulte qu'un compromis doit être trouvé entre un

maillage très fin qui permettra une grande précision mais nécessitera un espace mémoire prohibitif et un maillage plus grossier qui lui posera des problèmes quant à la fiabilité des résultats. Et ce non seulement du fait de la taille des éléments qui posera problème pour une bonne détermination des champs électriques, notamment dans les angles des métallisations, où auront lieu des phénomènes dus aux effets de pointe (très préjudiciables) mais également à la forme de ceux-ci et la déformation des tétraèdres sur lesquels seront effectués des calculs.

II.3.2.3. Simulations thermiques

Les simulations thermiques ont été effectuées à l'aide du logiciel Flotherm de la société Flomerics. Il est conçu pour étudier les aspects thermiques des équipements électroniques. Il discrétise le système en volumes finis de forme parallélépipédique qui est celle des modules de puissance étudiés. On obtient la température en tout point du système et il peut également traiter les régimes transitoires.

II.3.3. Etude des couplages

Pour concevoir un module, en tenant compte des différents facteurs évoqués (inductif, thermique et diélectrique), il est indispensable en préliminaire d'étudier parmi ces phénomènes, ceux qui doivent être traités simultanément. Il serait en effet un peu inutile de proposer une approche multiphysique complète, si somme toute, chacun des paramètres dimensionnant d'un module, agissait séparément sur un seul domaine de la physique. Il est de plus intéressant pour le concepteur de connaître les degrés de liberté qu'il peut s'accorder dans la géométrie du module. Par exemple, on verra que la disposition des puces sur le DBC n'a que peu d'influence sur les inductances parasites, alors qu'une grande proximité peut engendrer des couplages thermiques : on pourra donc sans dommage écarter ou rapprocher les puces à loisir, en fonction du comportement thermique désiré, sans pour autant dégrader l'aspect inductif.

II.3.3.1. Couplage thermique - inductif

Les aspects thermiques jouent un rôle très important dans les modules de puissance eu égard aux fortes densités de puissance transitées.

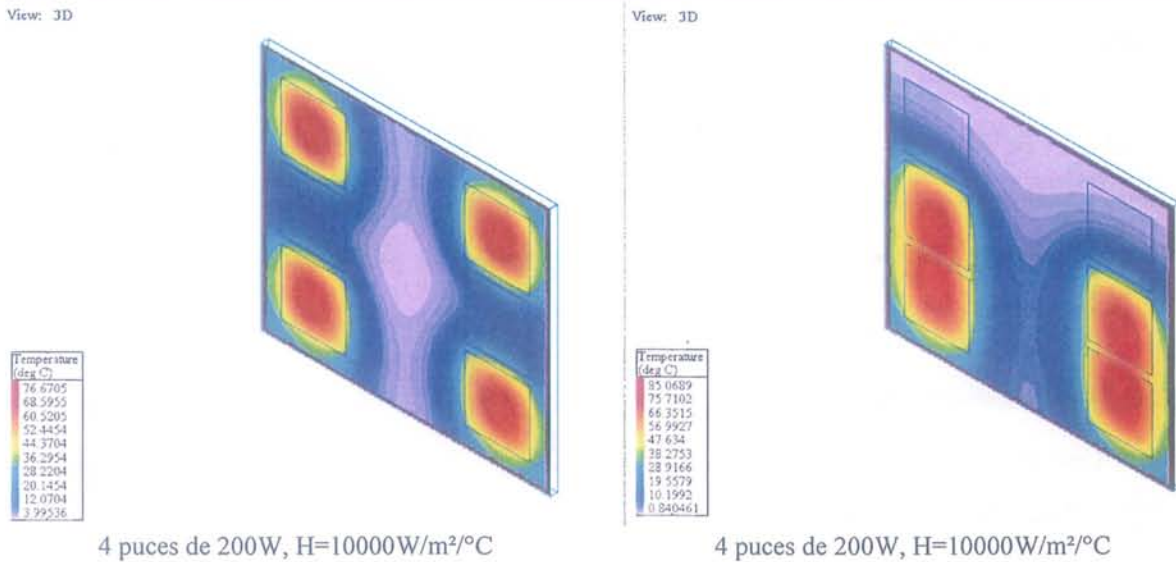


Figure II-11 : Température de puces IGBTs disposées sur un substrat ALN

On constate que la disposition des puces IGBT sur un substrat a des conséquences directes sur leur échauffement (Figure II-11). Une disposition rapprochée engendre un couplage important des puces, mais également un échauffement plus important de celles-ci. Echauffement d'autant plus grand que les puces sont proches les unes des autres. Ceci peut d'ailleurs être un phénomène recherché sur des composants basse tension. Par contre sur des semi-conducteur haute tension (exemple les puces 3.3kV EUPEC) on peut être amené à les éloigner afin de permettre une meilleure dissipation de la chaleur.

Le rapprochement des puces peut néanmoins laisser à penser qu'il est bénéfique au niveau des inductances, en limitant la longueur des pistes. Cependant, cette réduction est loin d'être déterminante, dans la mesure où la métallisation en face arrière du substrat joue le rôle d'un « plan de masse », ce qui réduit singulièrement les inductances [Schanen-94].

L'exemple ci-dessous présente l'analyse des deux dispositions précédentes (Figure II-11). De manière à comparer les performances de ces deux implantations au niveau inductif, nous ne considérons que les trajets du courant passant par les IGBTs (diodes non connectées). Nous définissons deux critères :

- l'inductance émetteur - collecteur, à l'origine des surtensions à l'ouverture
- la répartition dynamique du courant entre les quatre semiconducteurs

Ce deuxième point n'est qu'indicatif, dans la mesure où les inductances ramenées par le substrat sont très faibles (de l'ordre de la dizaine de nanohenry). Ce ne sont donc pas elles qui vont imposer les vitesses de commutation des IGBTs, et donc, elles ne risquent pas d'engendrer des déséquilibres significatifs. Cette étude sera abordée plus en détails dans le paragraphe « substrats ».

Par ailleurs, de manière à se focaliser sur l'implantation uniquement, nous considérons que les bondings apportent une impédance identique quelle que soit l'implantation choisie. On a retenu 2nH par groupe de bondings (sans prendre en compte les mutuelles avec le reste du substrat). A noter cependant que parfois, des considérations mécaniques peuvent conduire à des longueurs différentes (substrat DYNEX, au paragraphe « substrats »).

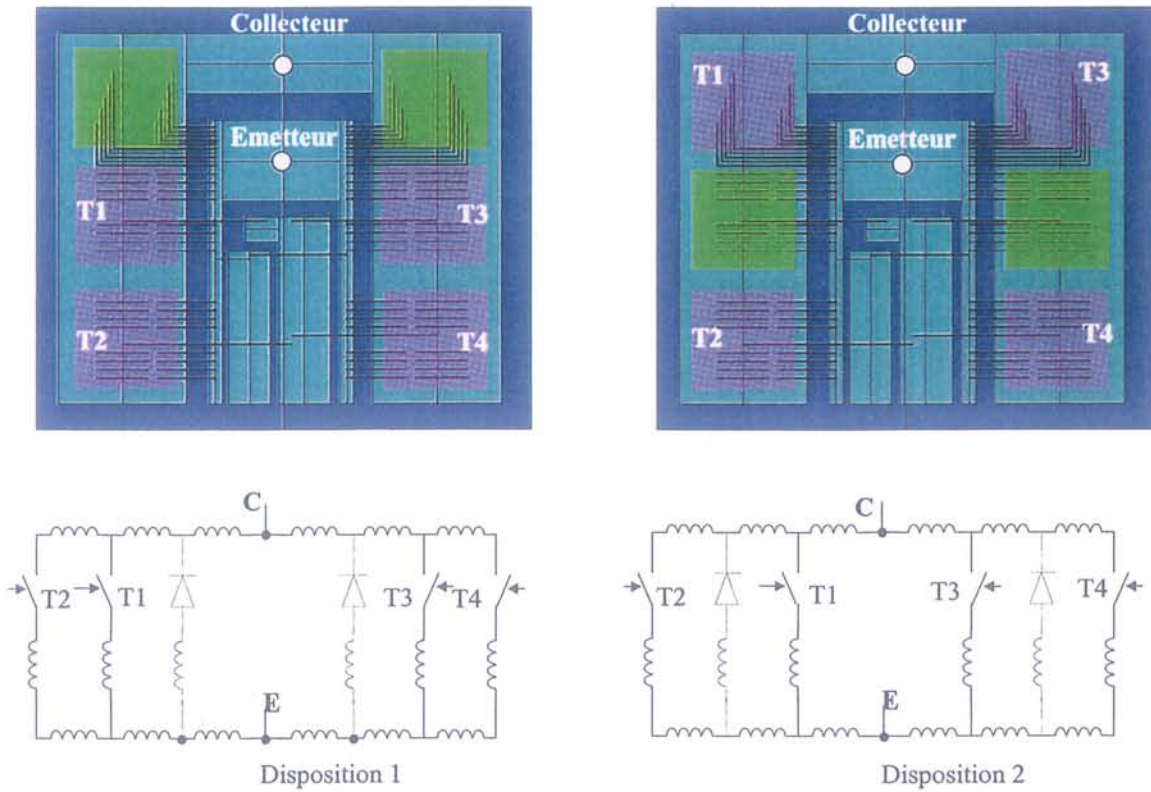


Figure II-12 : Différentes dispositions possibles des puces

Le tableau ci-dessous indique les deux valeurs d'inductance équivalente de boucle (entre émetteur et collecteur), dans chacune des deux dispositions.

Disposition 1	Disposition 2
4,7 nH	3,2 nH

Comparaison des inductances entre collecteur et émetteur pour les deux dispositions

Même si l'inductance est globalement augmentée de 50 % entre les deux dispositions, due à l'augmentation de la longueur de parcours du courant, les différences sont faibles (1,5 nH), ce qui s'explique par l'effet réducteur du plan de masse, qui réduit inductances et mutuelles partielles.

La figure II-13 quant à elle donne une idée de la répartition dynamique du courant entre les différents IGBTs. Ces simulations montrent la répartition des courants entre les différents IGBTs en fonction de la fréquence. On constate que les IGBTs situés le plus près

des connexions voient plus de courant que ceux situés loin. De plus, le déséquilibre est beaucoup plus important pour les hautes fréquences qui correspondent aux courants durant les commutations qu'on peut évaluer aux alentours du MHz en supposant une fréquence équivalente à $0,35/t_m$ (t_m : temps de montée). La géométrie modélisée est parfaitement symétrique. Normalement, les courants dans les transistors 1 et 3 et 2 et 4 devraient donc être identiques. L'écart qui apparaît peut être attribué à une dissymétrie du maillage qui engendre des imprécisions de modélisation.

En pratique, les déséquilibres réels seront beaucoup plus réduits. Il y a en effet, au niveau de la commutation en courant, une interaction entre l'IGBT et le câblage. Ces simulations ont été effectuées en négligeant l'impédance des IGBTs. Celle-ci étant très grande devant l'impédance du câblage, se sont eux qui imposeront la répartition du courant entre les différentes puces. Le courant sera globalement imposé par l'IGBT, le rôle du câblage n'étant que du second ordre.

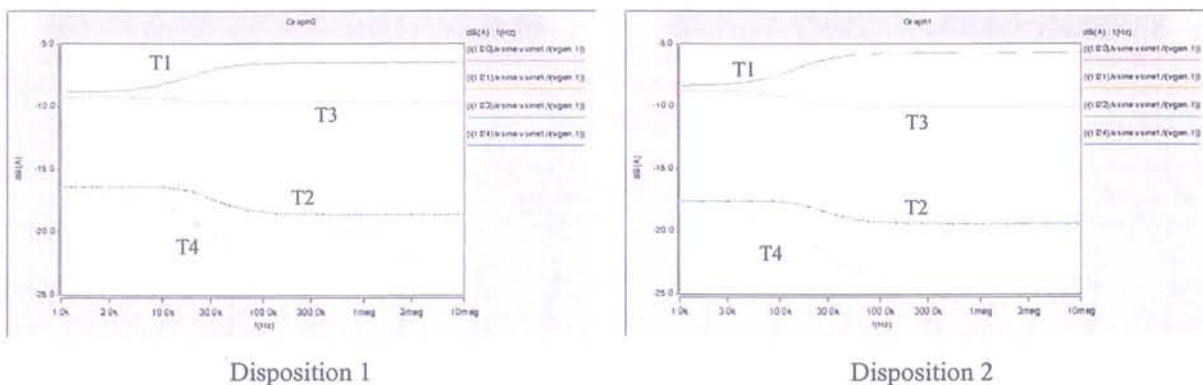


Figure II-13 : Comparaison de la répartition des courants (par rapport au courant total) entre les différents IGBTs en fonction de la fréquence

On peut donc conclure que la disposition des puces sur le DBC est essentiellement contrainte par la thermique.

A noter cependant que cet aspect n'a couvert que les aspects du circuit de puissance. Le paragraphe « substrats » traitera plus en détail de l'analyse complète d'un substrat sur le plan inductif, en tenant compte également des circuits de grille.

II.3.3.2. Couplage thermique - diélectrique

Le composant le plus contraint ici est le substrat. Devant assurer l'isolation entre les parties actives du composant et sa base par laquelle s'effectue le refroidissement, une grande épaisseur est favorable à la tenue en tension. Par contre, ceci peut s'avérer dans certains cas préjudiciable au niveau thermique en augmentant la résistance thermique. Pour la configuration présentée sur la figure II-11, nous avons étudié l'influence de l'épaisseur d'AlN

sur l'échauffement des puces pour différentes valeurs de coefficients d'échange en face arrière (H).

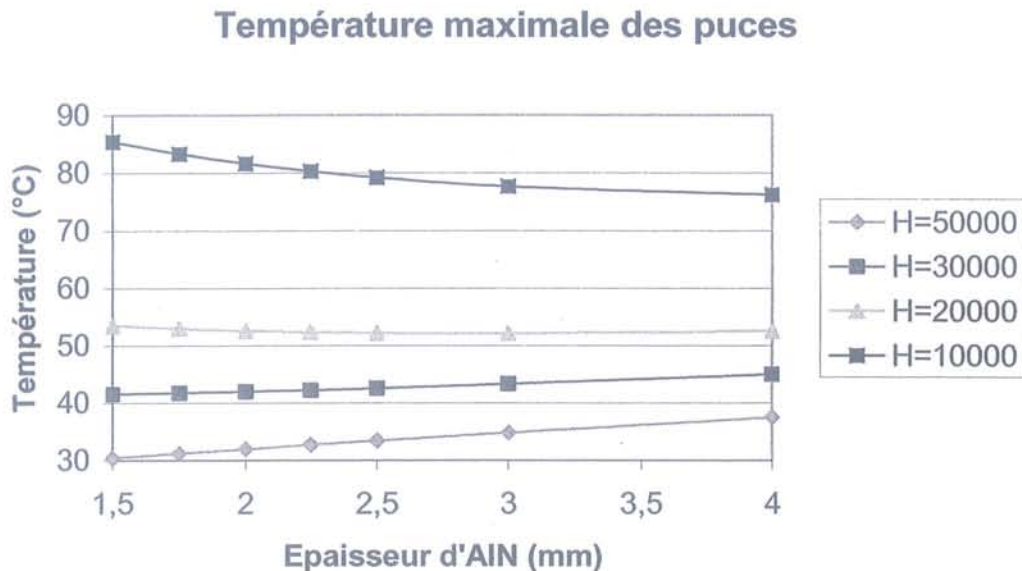


Figure II-14 : Evolution de la température maximale des puces en fonction de l'épaisseur d'AlN et du coefficient d'échange thermique de la face arrière pour une puissance dissipée constante.

On constate que les effets de l'épaisseur sont variables en fonction de la qualité de refroidissement en face arrière des substrats. Pour des substrats bien refroidis, plus l'épaisseur d'AlN augmente, plus la résistance thermique augmente. Il en résulte un échauffement important des puces. Par contre, lorsque le coefficient d'échange se dégrade, la diffusion de la chaleur dans l'AlN peut contribuer à une meilleure répartition de la chaleur sur la surface arrière de l'AlN et donc un meilleur échange thermique global. [Raël-96]

Comme nous le verrons dans le paragraphe II.5.4.3, le champ électrique diminue fortement avec l'épaisseur d'AlN. Un compromis doit donc être trouvé pour optimiser l'épaisseur d'AlN. Il faudra d'un côté limiter la résistance thermique pour éviter un échauffement trop important, et de l'autre assurer une épaisseur suffisante pour ne pas dégrader les isolants. (Gel et AlN).

II.3.3.3. Couplage inductif – diélectrique

Le dernier type de couplage présenté est le couplage inductif – diélectrique. Plusieurs aspects différents peuvent être distingués. Nous verrons en quoi les différents paramètres géométriques influent sur les inductances et les aspects diélectriques. On notera simplement que plus un conducteur est large, plus son inductance est faible. De même, plus les effets mutuels entre pistes et l'effet plan de masse sont importants, plus ces mêmes inductances sont

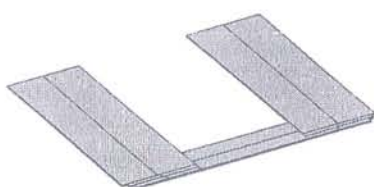
faibles. Les champs quant à eux peuvent être important car le champ moyen imposé par la géométrie l'est mais également à cause de renforcements locaux.

Distance d'isolation interpiste

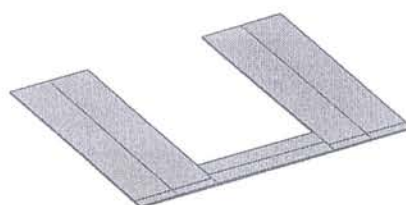
Sur les substrats tels que ceux mis en oeuvre par Eupec et Dynex, les différents potentiels sont présents simultanément. Afin de limiter les inductances, il serait intéressant d'avoir les pistes les plus larges possibles. Malheureusement, il faut assurer une isolation entre les différentes pistes afin de ne pas dégrader de façon prématurée le gel. La surface totale du substrat étant donnée, une augmentation de la tension engendrera nécessairement une augmentation des distances inter-pistes et donc une diminution de la taille de chaque piste.

Action de la forme du substrat

On peut également s'interroger sur l'action de la forme de la métallisation du substrat sur les inductances, notamment les angles. Pour cela nous avons comparé en simulation deux substrats. Un avec un angle pointu, l'autre avec un angle rogné. La conclusion est que l'influence est quasiment nulle. Les écarts de simulation de l'ordre du pourcent (44,9 nH contre 44,5nH pour l'angle pointu) pouvant être dû aux maillages qui diffèrent légèrement d'une simulation à l'autre.



Métallisation à angle rogné



Métallisation à angle pointu

Figure II-15 : Comparaison de différents types de métallisations

Epaisseur d'aln

Le dernier aspect à prendre en compte est le couplage inductif – diélectrique. Comme décrit figure II-34 du paragraphe II.5.4.3, le champ électrique augmente fortement avec la diminution de l'épaisseur d'AlN. Par contre, la valeur de l'inductance a, elle, tendance à diminuer, dû à l'effet « plan de masse » évoqué au paragraphe II.3.3.1. Ceci est dû à

l'interaction entre les pistes et la métallisation arrière du substrat qui agit comme un plan de masse. La figure II-16 nous montre cette dépendance.

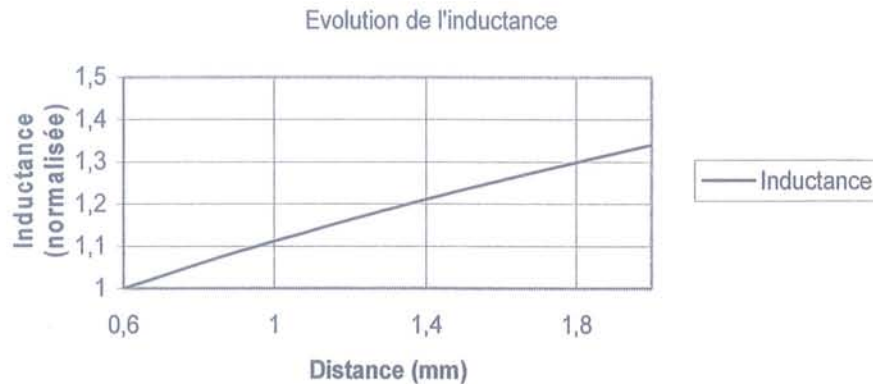


Figure II-16 : Evolution de l'inductance avec l'épaisseur d'AlN

On constate qu'entre 0,6 et 2 mm, l'inductance augmente de 35%, alors que dans le même temps, le champ électrique est plus que triplé. Les effets inductifs sont nettement moins importants que les contraintes engendrées dans le matériau diélectrique. On peut donc considérer que dans le cas de l'épaisseur de l'AlN, se sont surtout les contraintes thermiques et diélectriques qui vont jouer. Les aspects inductifs intervenant au second plan.

Pour ce qui est des influences au niveau de la réalisation pratique du substrat telle que la forme de la métallisation, on constate que ces facteurs ont une importante influence sur les champs électriques, mais une répercussion beaucoup plus faible sur les inductances.

En conclusion, on peut dire que les aspects inductifs et diélectriques sont faiblement couplés dans les modules de puissance pour ce qui touche à la conception.

II.3.3.4. Conclusion

Le tableau suivant indique les degrés de couplage entre les différentes contraintes.

		Thermique
	Inductif	++ : Epaisseur d'AlN / - : Disposition des puces
Diélectrique	+ : Epaisseur d'AlN + : Distance d'isolation - : Forme des pistes	++ : Epaisseur d'AlN

Le seul facteur de couplage est donc l'épaisseur de l'AlN. Celle-ci diminue l'effet plan de masse de la métallisation arrière, diminue les champs électriques mais augmente la résistivité thermique sous certaines conditions.

Une fois ce paramètre fixé, les trois composantes sont alors globalement découplées. La problématique à prendre en compte reste néanmoins triple. L'intérêt du découplage qui a été montré est que les analyses peuvent s'effectuer de manière indépendante, et que la conception du module ne fait alors intervenir que des contraintes, au lieu d'une simulation multiphysique globale. Par exemple, deux pistes peuvent être rapprochées jusqu'à la limite du champ de claquage, qui peut se calculer par une simulation diélectrique préalable. Les solutions utilisées pour diminuer alors les renforcements locaux des lignes de champ (exemple des angles rognés) sont sans effet sur l'aspect inductif.

Les paragraphes suivants présentent des études plus poussées sur chacun des aspects, sur des éléments réalistes.

II.4. Aspects inductifs seuls

Nous allons ici voir les différentes connexions qui entrent en ligne de compte et qui vont influencer sur les valeurs d'inductance. L'objectif étant de connaître à la fois les inductances des éléments pour déterminer les surtensions, mais également leurs mutuelles et leur géométrie pour déterminer les interactions. L'étude présentée prend en compte séparément chacune des parties de la connectique. Ceci peut se justifier par la faible interaction au niveau des mutuelles entre les différentes parties des connexions dans un module, notamment entre les lyres de puissance et le substrat. Regardons le poids inductif des différentes parties.

II.4.1. Les lyres de connexion

Les lyres de connexion relient l'entrée du module à deux substrats placés en parallèle. Du fait de leur rôle, elles devront être tout à la fois les moins inductives possible afin de limiter les surtensions au blocage des transistors et présenter des inductances symétriques entre les deux bras ceci pour ne pas déséquilibrer les courants et donc les contraintes entre deux substrats positionnés côte à côte.

La figure II-17, présente les lyres de connexion utilisées dans les modules EUPEC.

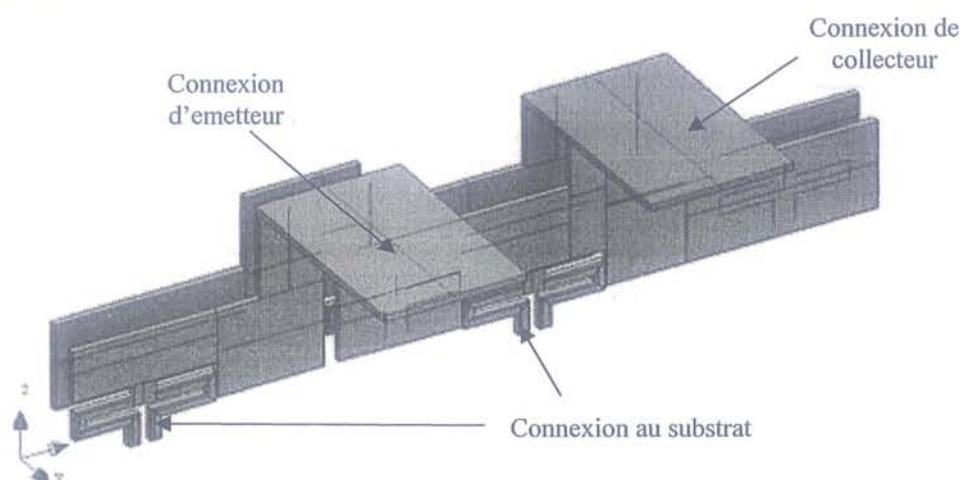


Figure II-17 : Lyres de connexion EUPEC

Les simulations effectuées sous INCA laissent apparaître une bonne symétrie des lyres de connexion. On constate un écart extrêmement faible entre les deux connexions au substrat. En effet, on obtient 30,8nH pour la gauche et 31.2nH pour la connexion de droite. Cet écart est probablement dû à la simulation elle-même et peut donc être négligé.

Les effets de mutuelle inductance entre les deux lyres sont relativement limités. On a une mutuelle d'environ 5nH entre la lyre de collecteur et d'émetteur.

II.4.2. Le substrat

Le substrat est l'un des éléments essentiels à l'équilibrage en courant car c'est lui qui distribuera le courant entre les différentes puces mises en parallèle. Sa réalisation doit donc être conduite avec soin afin de ne pas déstabiliser l'équilibrage en courant dans les phases dynamiques. En effet, en statique il n'y a pas de problèmes car ce sont les puces semi-conductrices qui imposeront la répartition de tension.

Différentes structures peuvent être envisagées afin de réaliser les substrats. Nous allons voir par la suite leurs conséquences sur les équilibrages.

II.4.2.1.1. Validation des simulations

Les premières simulations effectuées, l'ont été sur des substrats sans puces, où toutes les pistes étaient court-circuitées par l'intermédiaire des bondings. Ceci afin de valider le solveur. L'objectif étant de vérifier les résultats fournis par le solveur (qui est une version laboratoire) pour ce type de structures et de vérifier si la géométrie de base était correctement décrite.

Les essais ont été effectués sur le pont de mesure d'impédance HP 4194A à une fréquence de test de 1 MHz correspondant à la fréquence de résolution du simulateur INCA.

Le tableau suivant résume les résultats pour les deux échantillons de test fournis. On a déterminé l'inductance entre le collecteur et l'émetteur pour ces échantillons de test.

Echantillon	Inductance évaluée	Inductance mesurée
I	4,7 nH	4 nH
J	4,7 nH	5 nH

Valeurs simulées et mesurées pour les échantillons de test

On peut conclure que les résultats de simulations sont relativement proches des valeurs mesurées. Les écarts sont dus à plusieurs facteurs :

- Pour connecter le substrat sous test au pont d'impédance, il est nécessaire de lui adjoindre une connectique supplémentaire. Même si celle-ci est réalisée de façon à limiter son inductance et que les procédures de compensations sont menées correctement, il peut subsister des inductances supplémentaires qui peuvent perturber la mesure.
- Lors de mesures d'impédances très faibles (de l'ordre de quelques nH), la précision de l'analyseur d'impédance se dégrade fortement. L'erreur de mesure dû au pont HP est évaluée à environ 25% par l'intermédiaire des abaques fournis par le constructeur. Il en résulte que les mesures sont tout à fait dans cette marge d'erreur.

En conclusion, on peut donc dire que le logiciel de simulation donne des résultats fiables quant à la valeur de l'inductance et que la représentation géométrique choisie, notamment ses simplifications sont fidèles à la géométrie réelle du substrat.

II.4.2.1.2. Représentation par schéma électrique et simulation

Comme il a été évoqué dans le paragraphe §2.3.3.1 sur l'étude des couplages, l'étude du câblage seul, n'est pas suffisant pour prendre en compte l'étude de tous les phénomènes, nous avons donc essayé d'analyser l'influence du couple semi-conducteur – câblage sur l'exemple de deux substrats industriels.

Le problème majeur dans cette approche consiste à disposer de modèles fiables de semi-conducteurs, cet aspect des choses constitue un axe de recherche à part entière mené au Cegely [WEI-02] ou au LAAS [Bonnet-03] et n'a pas pu être développé dans le cadre de ce travail. Nous avons donc utilisé des modèles du commerce en sachant pertinemment qu'ils ne sont pas forcément très fidèles à la réalité. Par contre, ils permettront de dégager des tendances et de montrer les sens de variation.

Une fois les simulations InCa effectuées, il est nécessaire de représenter les impédances à l'aide d'un schéma électrique. Plusieurs solutions sont envisageables et présentent plus ou moins d'intérêts en fonction du but recherché.

Représentation proche de la géométrie

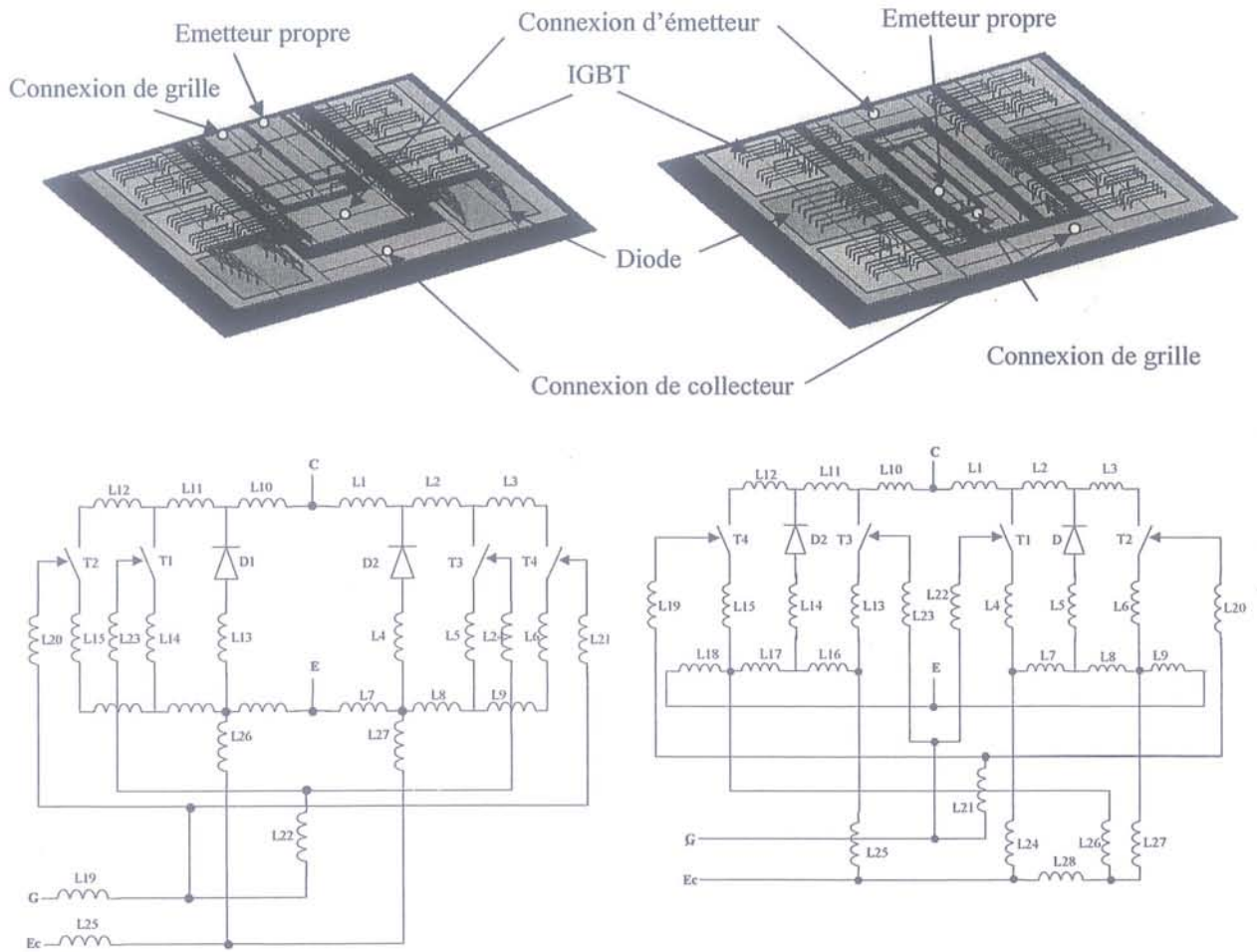


Schéma DYNEX et son schéma électrique

Substrat EUPEC 3,3kV et son schéma électrique

Figure II-18 : Substrat et schéma électrique utilisé pour le modéliser

Un premier circuit utilisable est de traduire chaque partie de piste par une inductance. Ce circuit présente l'avantage de pouvoir facilement localiser les inductances. Cependant, il est relativement lourd à gérer et nécessite la mise en œuvre de nombreuses inductances. Il est plus particulièrement adapté dans une phase ultime de conception où l'on souhaite pouvoir voir l'influence directe des modifications géométriques. Il se prête également mieux à une analyse industrielle car plus proche des réalités mécaniques. Ce circuit se rapproche beaucoup de ce qui peut être généré à l'aide de INCA 1D. Les représentations des substrats sont données en figure II-18. Il est composé de 27 inductances propres et de 351 inductances

mutuelles pour le substrat Dynex et de 28 inductances et 378 mutuelles pour le substrat Eupec. Toutes les inductances représentées dans le schéma suivant sont couplées entre elles.

L'inconvénient principal de ce schéma est qu'il est difficile à utiliser du fait de sa grande complexité. L'autre problème est que le nombre d'inductances et donc de mutuelles est variable avec la forme et la composition du substrat, ce qui rend difficile les comparaisons directes de plusieurs substrats. De plus, il est difficile d'appliquer directement des règles de câblage comme celles de [Jeannin-01] sur la mise en parallèle sur la base de ces schémas. D'autres représentations peuvent être mises en œuvre. Celles-ci permettent de limiter le nombre d'inductances et d'appliquer plus aisément les règles de câblage.

Représentation compactée

Des schémas plus compacts peuvent être mis en œuvre. Notamment ceux développés dans le travail de thèse de Christian Martin au LEG. Il s'agit de diminuer fortement le nombre d'inductances en identifiant les points de connexions et en les reliant deux à deux à l'aide d'une seule inductance et de mutuelles. Le schéma équivalent est donné en figure II-19. On a réduit le nombre d'inductances à 17. La topologie des deux circuits est absolument identique. Néanmoins, il n'est pas forcément possible de revenir aux inductances réelles à partir de ces schémas.

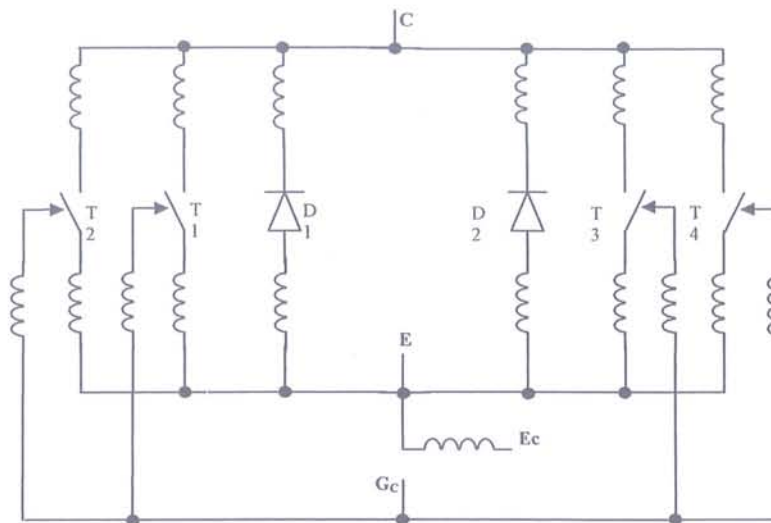


Figure II-19 : Schéma équivalent compacté, identique pour tous les substrats ayant le même nombre d'entrées-sorties

Les simulations en électronique de puissance et leurs limitations

Une fois les schémas électriques établis, les inductances et mutuelles obtenues avec INCA sont implantées dans des logiciels de simulation de type Circuit : PSPICE et SABER. Des simulations peuvent alors être effectuées afin de voir le comportement en commutation des substrats modélisés. Ces simulations permettront de voir l'influence du câblage sur les commutations et les répartitions des courants.

Ces simulations doivent cependant être prises avec précaution. Dans la première partie, nous avons montré le comportement parfois fantaisiste des modèles d'IGBTs implantés dans les logiciels de simulation classiques. Les composants bipolaires (IGBTs, diodes) sont généralement plus difficiles à décrire que des composants comme les MOSFET qui peuvent être modélisés convenablement à l'aide de schémas électriques équivalents. Il ne s'agit pas systématiquement d'une mauvaise description des modèles de composant mais parfois de problèmes liés à l'identification des paramètres. Des travaux sont actuellement en cours dans différents laboratoires comme par exemple le CEGELY [WEI-02] afin d'arriver à extraire les paramètres des composants de puissance (MOSFET voir IGBT, diode PIN) afin de les implanter dans des logiciels de simulations et d'avoir des caractéristiques en corrélation avec les résultats expérimentaux. Ajoutons à cela, qu'il n'existe aucun modèle fiable d'IGBT à notre disposition, nous avons utilisé dans nos simulations des transistors MOSFET IRF740 et des diodes standard haute tension. Ceci entraîne certains problèmes au niveau des caractéristiques des commutations (notamment des vitesses), mais permet d'avoir des résultats intéressants. En effet, l'objectif est de comparer la vitesse de commutation des substrats. Donc, des composants commutant très vite montreront plus facilement le ralentissement lié au câblage.

II.4.2.2. Présentation des substrats simulés

Différents substrats ont été simulés afin de voir l'impact de leur géométrie sur la répartition des courants et sur la valeur des inductances. Deux structures de substrats classiques vont être étudiées reposant sur un substrat métallisé où les interconnexions sont assurées par bonding. Nous verrons par la suite un module de conception 3D. Ceci afin de voir les conséquences sur les répartitions des tensions et sur les équilibrages finaux.

La figure II-18 montrait les géométries implantées pour deux types de substrat bondés mis en œuvre dans des modules de puissance. Il s'agit d'un substrat de module 3.3kV EUPEC et d'un substrat fourni par DYNEX Semiconductor. L'objectif étant de déterminer les

influences des différentes parties sur les équilibrages en courant et les oscillations éventuelles qui pourraient apparaître durant les commutations.

Les deux substrats présentés présentent de notables différences. Notamment au niveau de la disposition des puces IGBTs. Mais, c'est surtout leur layout et la disposition des connexions qui vont intervenir sur les équilibrages inductifs. Le substrat fourni par DYNEX présente des chemins de longueurs différentes en fonction des IGBTs considérés. Il en résulte que les inductances et donc les répartitions de courant entre les puces mises en parallèle risquent donc d'être déséquilibrées entre les composants situés loin des reprises de connexion et ceux plus proches. De plus, la reprise d'émetteur propre se fait par deux bondings connectés sur les pistes d'émetteur de puissance. Le substrat EUPEC par contre, présente des longueurs de parcours du courant de puissance sensiblement identiques. Néanmoins, du fait de la structure des lyres de connexion de puissance et de la disposition des reprises d'émetteur, des décalages risquent d'apparaître entre les transistors situés de part et d'autre du substrat. A partir de ces simulations, il est possible d'extraire les schémas électriques qui serviront aux simulations du fonctionnement des puces IGBTs.

II.4.2.3. Poids inductif des différentes éléments du substrat

La répartition des inductances est variable en fonction des points où l'on se situe.

		Inductance Dynex - Eupec	
Mise en parallèle de 8 bondings		2 nH	2 nH
Pistes d'émetteur :	Transistor proche des connexions	8 nH	13.8 / 14.3
	Transistor loin des connexions	17.7 nH	3.4 / 4
	Diode	2.8 nH	9.2 / 9.2
Pistes de collecteur :	Transistor proche des connexions	7.6 nH	3.7 / 9.1
	Transistor loin des connexions	11.5 nH	11.3 / 16.4
	Diode	15.4 nH	7.6 / 13.6

Inductances simulées obtenues par INCA pour les 2 substrats.

On constate que les écarts sont relativement importants entre les transistors mis en parallèle dans les modules Dynex. La symétrie de la géométrie est bien présente, mais les valeurs d'inductance sont différentes. D'environ 30 nH pour les IGBTs dont la boucle est la plus inductive et seulement 16 nH pour les autres. Dans les modules Eupec, l'équilibrage est meilleur. La dissymétrie d'implantation des connectiques est toutefois visible et entraînera des déséquilibres entre les différentes puces.

II.4.2.4. Simulation par Pspice et Saber

Les simulations ont été effectuées en prenant en compte une structure de type hacheur série. L'interrupteur étant composé du substrat avec toutes ses puces. Les connexions liées aux lyres de puissance n'ont pas été prises en compte.

Les simulations effectuées ont laissé apparaître un certain nombre de points intéressants quand à la commutation des transistors de puissance. Notamment sur l'équilibrage en courant dans les substrats de puissance, mais également par l'action des inductances mutuelles sur les commutations. De nombreux problèmes peuvent apparaître au niveau des oscillations des courants et au niveau des vitesses de commutation des semi-conducteurs comme nous allons le voir par la suite.

Effet des inductances mutuelles

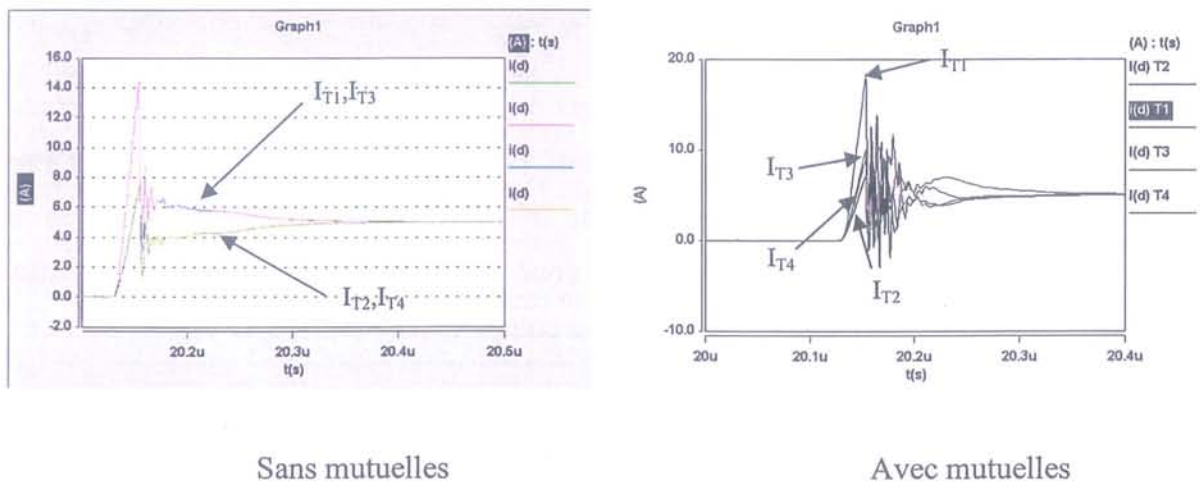


Figure II-20 : Comparaison des commutations des substrats avec et sans mutuelles

Les résultats présentés figure II-20 permettent de voir que les transistors situés proches des connexions voient le plus de courant pendant les commutations, ce qui est tout à fait normal à la vue de la disposition des puces et concorde avec les résultats présentés dans la partie sur les couplages. Par contre, l'effet des mutuelles inductance fait notablement évoluer les courants dans les transistors.

On constate que la prise en compte des mutuelles inductances fait évoluer l'équilibrage des courants. Globalement, la vitesse de commutation n'a pas évoluée avec et sans les mutuelles. Par contre, de nombreuses oscillations apparaissent au cours de la commutation. On peut donc conclure que les phénomènes de mutuelle au niveau de la puissance influent beaucoup sur les commutations. De plus, celles-ci perturbent de même beaucoup les signaux de commande. (Figure II-21) On voit donc clairement l'effet des interactions puissance commande.

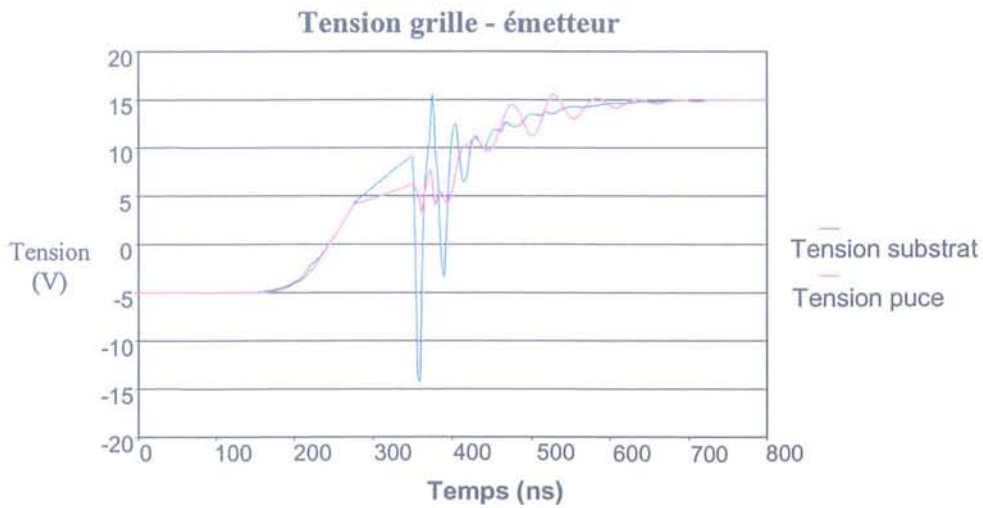


Figure II-21 : Comparaison de la tension grille-source aux bornes du substrat et de la puce.

Comparaison de deux substrats

Nous allons comparer ici les deux substrats présentés précédemment. Une analyse de la géométrie montrait que l'équilibrage des courants, pendant la phase dynamique, devait être meilleur pour le substrat Eupec que pour celui de Dynex. Cela en prenant comme critère la longueur de parcours des courants. Nous avons donc implanté sous Saber les deux circuits électriques (avec l'ensemble des mutuelles) afin de comparer les équilibrages en courant.

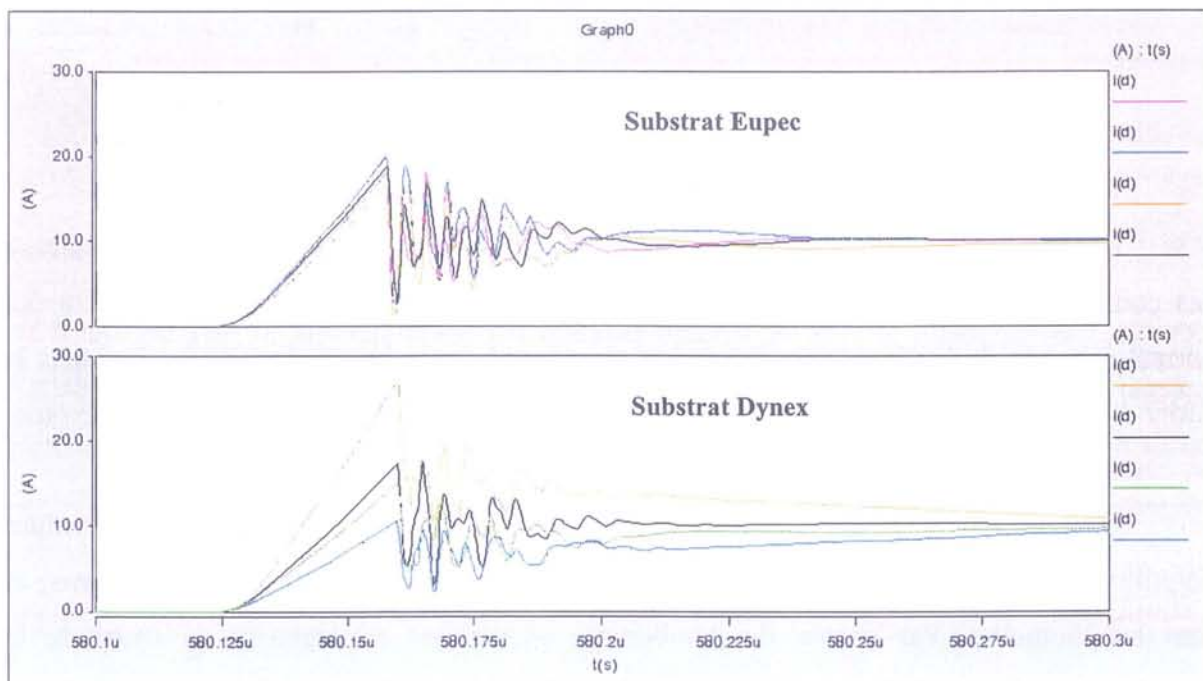


Figure II-22 : Comparaison des courants dans les 4 IGBTs en parallèle

La figure II-22, nous montre que les résultats de simulation nous donnent bien les résultats attendus. Globalement, le substrat Dynex est moins rapide en commutation en

courant et génère des déséquilibres plus importants. Par contre, les oscillations sont plus importantes sur les substrats Eupec. Ceci peut être gênant notamment par les effets d'interaction puissance – commande qui entraînent des oscillations de forte amplitude sur la grille des transistors comme le montre la figure II-23. Une autre raison de ces oscillations plus importantes sur la grille peut être la vitesse de commutation plus rapide du système Eupec.

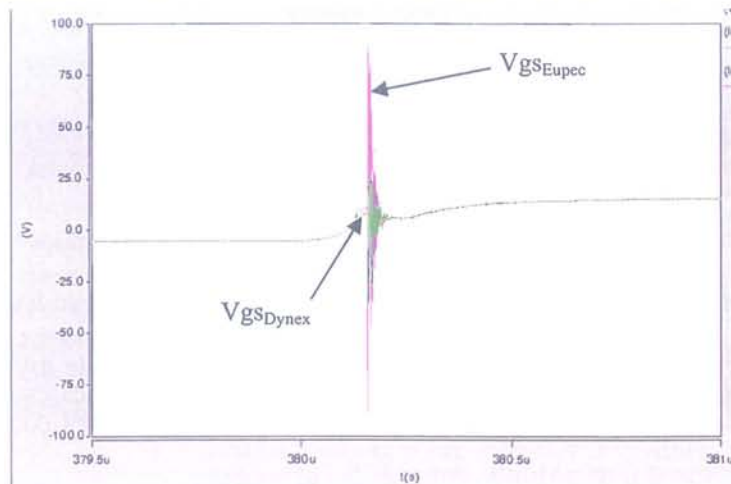


Figure II-23 : Comparaison des tensions grille-source pour les deux substrats

Il faut noter tout de même que les vitesses de commutation sont extrêmement rapides de l'ordre d'une centaine de nanosecondes. Ces temps sont ici beaucoup plus courts que ce qui est normalement observé avec des IGBTs de fort calibre en courant. Ceci est dû à l'emploi, non pas de modèles d'IGBTs dont nous avons vu dans la première partie que les résultats n'étaient pas toujours très fiables, mais de transistors MOSFETs. La raison de cet emploi est que l'on souhaite voir les performances des substrats indépendamment des composants. Il faut donc des composants commutant rapidement afin que ce soient les éléments inductifs des substrats qui limitent la vitesse d'évolution du courant. La mise en œuvre de composants plus lents risque de masquer ces déséquilibres et ces oscillations comme le montre la figure II-24 obtenue en ralentissant d'un facteur 10, les commutations des transistors dans la configuration Dynex.

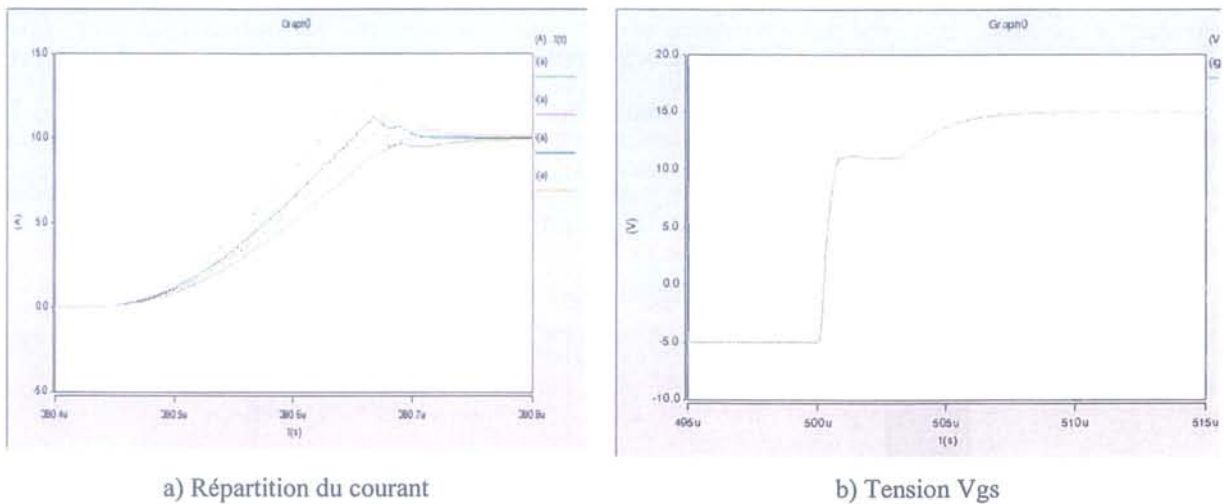


Figure II-24 : Influence de la vitesse de commutation des transistors

On constate que l'écart en courant maximum n'est plus que de 4A entre le composant le plus rapide et le plus lent par rapport aux 17A observés avant. Les oscillations de tension sont également nettement plus réduites entre grille et source.

En conclusion, on peut dire que les inductances et le routage du substrat vont intervenir pendant la commutation des transistors de puissance en générant une mauvaise répartition des courants. Néanmoins, pendant la commutation, l'évolution des courants et leur répartition sont des conséquences de l'action simultanée des inductances et des composants de puissance. C'est d'ailleurs le fonctionnement dual de ce que nous avons vu pour les transistors dans le cadre de la mise en série et du choix du condensateur optimum à placer entre drain et source. Plus, les composants commuteront lentement, moins les effets du câblage se feront ressentir et se sont eux qui imposeront la vitesse de commutation en courant et donc la répartition des courants. Par contre, s'ils commutent vite, le rôle du câblage pourra devenir prépondérant et alors un mauvais design générera des déséquilibres qui pourront être importants.

II.4.3. Conclusion

L'étude des inductances laisse apparaître un certain nombre de points qui doivent être pris en compte lors de la réalisation d'un module. Notamment, ce sont les lyres de connexion qui sont les principales causes d'inductance dans les modules du fait de leur grande longueur.

La figure II-25 présente la répartition des inductances pour le cas de l'IGBT 3.3 kV Eupec.

Répartition des inductances

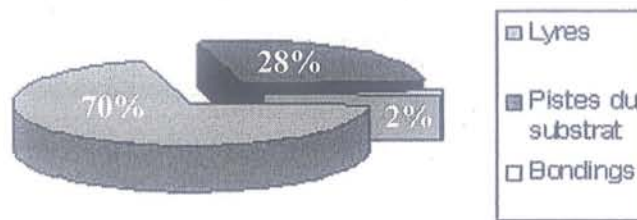


Figure II-25 : Répartition des inductances entre les connexions

Le substrat doit posséder la géométrie la plus symétrique possible, ceci afin de limiter les déséquilibres dynamiques en courant. Cette symétrie devant exister autant au niveau de la puissance qu'au niveau de la commande.

Les effets mutuels montrent que les interactions puissance – commande sont loin d'être négligeables et génèrent d'importantes oscillations qui viennent perturber le fonctionnement du boîtier IGBT.

II.5. Champs électriques

Dans cette deuxième partie, nous allons nous intéresser à l'étude des champs électriques dans les modules de puissance et plus particulièrement au niveau du substrat, puisqu'il semble d'après les publications [Mitic-99] que ce soit là que les contraintes les plus importantes vont voir le jour au niveau du module de puissance.

L'étude présentée a pour support des simulations éléments finis effectuées avec le logiciel FLUX. L'objectif est de vérifier la corrélation entre les simulations de champs électriques et les dégradations mesurées et identifiées dans les modules de puissance. Des laboratoires, tels le LGET de Toulouse, travaillent sur l'étude de ces champs avec une approche plus orientée étude des matériaux. Ces études reposent sur une bonne compréhension des mécanismes de défaillance et une étude approfondie des matériaux et de leurs caractéristiques. Notre étude est une approche complémentaire. Il s'agit de permettre d'accéder à des grandeurs non mesurables directement, sauf à modifier de façon importante le système.

Cette étude est menée en plusieurs étapes. La première est de voir globalement où se trouvent les renforcements de lignes de champs électrique. Ceci devra être mené en parallèle avec des mesures afin de valider les résultats obtenus. En effet, la mise en œuvre de

simulation éléments finis ne permet pas d'étudier à la fois des systèmes complexes de grande taille et d'étudier précisément les influences. La taille mémoire et les temps de simulation devenant alors prohibitifs. L'étude globale permet de localiser les zones les plus contraintes où une étude plus approfondie devra être menée. Cette deuxième phase permettra d'étudier plus précisément les champs électriques afin de déterminer les valeurs maximales atteintes, de comprendre les mécanismes, essentiellement au niveau de la géométrie, qui les engendrent et de proposer des solutions pour limiter les champs électriques.

II.5.1.1.1. Validation des simulations

Principe de validation

La validation des résultats est ici cruciale mais indirecte. En effet, les champs électriques moyens dans les modules de puissance sont bien inférieurs aux champs de rupture des isolants utilisés. Malheureusement, ce sont des renforcements locaux de lignes de champ qui génèrent les plus grandes contraintes et la fragilisation des modules. Ces renforcements locaux sont relativement difficiles à simuler du fait de problèmes liés au maillage. De plus, une comparaison directe de valeurs de champ mesuré et des résultats de simulation n'est pas possible. En effet, la mesure du champ imposerait d'intervenir dans le module et de ce fait, de modifier sa structure et par la même la répartition du champ. On peut par contre vérifier les ordres de grandeur et étalonner notre logiciel de simulation en comparant les champs électriques obtenus avec des phénomènes physiques mesurables et qui traduisent une dégradation du gel, donc un dépassement de ses caractéristiques que sont les décharges partielles.

Mesure et localisation des décharges partielles

Les mesures de décharges partielles ont été effectuées par le Laboratoire d'Electrostatique et de Matériaux Diélectriques (LEMD) de Grenoble. Ces résultats reposent sur une mesure électrique qui permet de quantifier les décharges partielles (mesure effectuée à 50 Hz) et une localisation optique. Les micro décharges générant un rayonnement qui peut être récupéré par une caméra.

La figure II-26 présente le banc de test mis en œuvre à cette occasion.

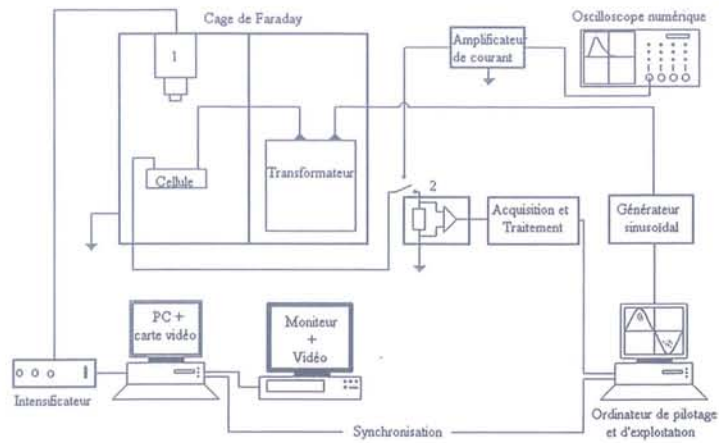
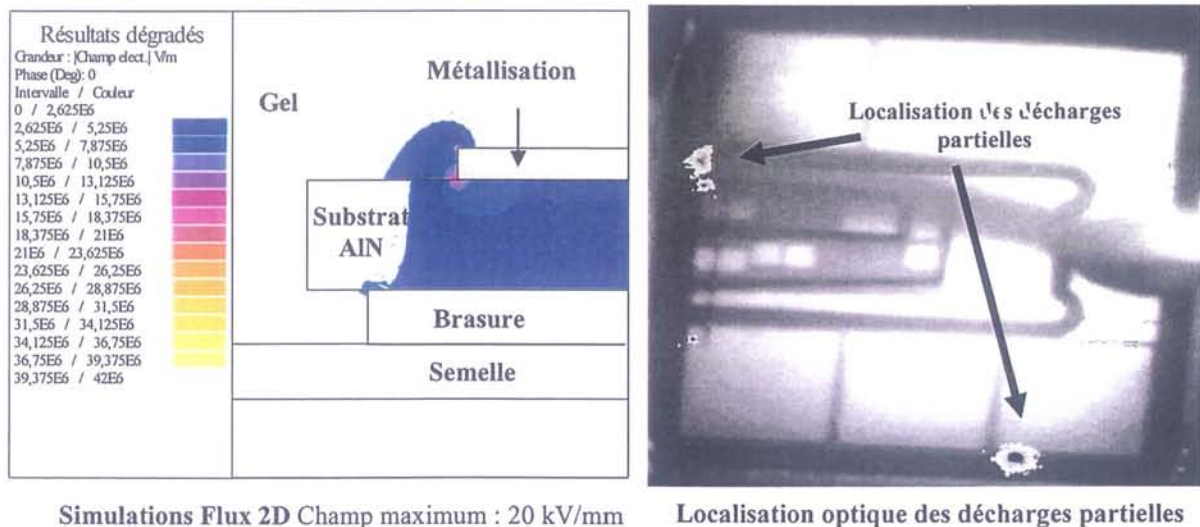


Figure II-26 : Banc de test mis en œuvre pour mesurer et localiser les décharges partielles

La figure II-27 met en rapport les champs électriques maximum obtenus par simulations sous FLUX 2D et les localisations des décharges partielles observées grâce à une mesure optique de décharges partielles.

On constate que comme le prévoit le logiciel de simulation les décharges partielles ont lieu sur le bord des métallisations des pistes du substrat métallisé. En outre, les mesures montrent que les décharges partielles sont quasiment négligeables en dessous de 5kV. Or, pour cette valeur de tension, les champs maximums obtenus par simulation sont proches, mais inférieurs, aux champs de claquage des gels diélectriques utilisés. Les décharges partielles résultant de micro décharges localisées dans des secteurs de gels présentant des défauts, il est normal que celles-ci se déclenchent pour des tensions inférieures à celle de rupture diélectrique du gel.



Simulations Flux 2D Champ maximum : 20 kV/mm

Localisation optique des décharges partielles

Figure II-27 : Comparaison des résultats de simulation sous FLUX 2D et mesurés à l'aide d'un banc de test optique.

II.5.2. Du global au local : Pourquoi cette étude et ses limitations

Dans les modules IGBT de puissance, la tension devient un facteur très limitant. Surtout avec le développement de modules 6,5kV. En effet, les champs électriques obtenus atteignent des valeurs très importantes, égales voire supérieures aux champs de rupture des gels diélectriques mis en œuvre.

Si ces champs électriques ne mènent pas tous à la rupture immédiate du module, ils engendrent souvent des dégradations qui mènent à un vieillissement rapide des composants semi-conducteurs et à leur rupture prématurée. Ce vieillissement est dû entre autres à des décharges partielles.

L'étude sera menée en deux parties. Dans un premier temps une étude globale pour localiser les zones les plus contraintes (c'est-à-dire où le champ est le plus fort), puis une étude locale pour déterminer avec plus de précision les éléments générateurs de problèmes et leurs influences.

II.5.2.1. Les décharges partielles

Ce sont de micro décharges électriques qui ont lieu à l'intérieur des matériaux diélectriques. Leurs causes sont la conjonction de forts champs électriques et la présence d'imperfections telles que des cavités. Dans la plupart des cas, ces cavités sont remplies d'air. Lorsque la tension atteint une valeur limite due à une mauvaise répartition du champ électrique, il se produit un claquage dans le gaz et une décharge électrique est enregistrée. Comme la cavité est limitée en taille, cette décharge ne se propage pas à travers tout le matériau diélectrique et ne court-circuitera donc pas les électrodes. C'est pour cela qu'elle est appelée « partielle ».

Elles sont gênantes à doubles titres. Elles vont produire une érosion mécanique, une élévation de la température et la formation de différents gaz (Ozone, NO_x). [Breit-02] Ces effets vont engendrer une dégradation du matériau diélectrique et donc une diminution de la durée de vie du module. Les modules IGBTs doivent remplir une norme au niveau des décharges partielles (IEC 1287). [Götttert-99]

II.5.2.2. La norme IEC 1287

Cette norme indique les tensions à appliquer au module et les méthodes de mesure des décharges partielles. Les tests sont effectués en court-circuitant l'intégralité des connexions externes (Collecteur, Grille et Emetteur) et en appliquant une tension alternative (50 ou 60

Hz) entre celles-ci et la semelle métallique. La figure II-28 indique les cycles du test et les tension efficaces à appliquer.

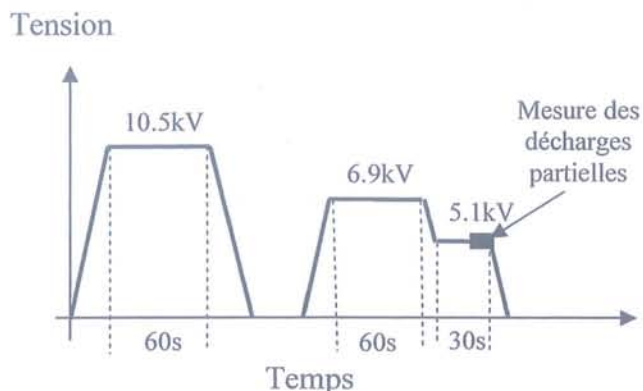


Figure II-28: Cycle de test pour déterminer l'isolation et les décharges partielles pour un module 6.5kV

Les décharges partielles sont mesurées durant les 5 dernières secondes du test à la tension de 5.1kV pour un module 6.5 kV. Pour être retenu, le dispositif ne doit pas présenter de décharges partielles supérieures à 10 pC.

Ce test permet donc essentiellement de caractériser l'isolation entre les composants semi-conducteurs et leurs connexions et la semelle. C'est-à-dire le substrat métallisé et le gel diélectrique. Il ne permet par contre pas de prendre en compte d'autres zones comme l'isolation entre le collecteur et l'émetteur lorsque la puce IGBT est à l'état bloqué. De plus, la fréquence de 50 Hz utilisée ne reflète pas le vrai fonctionnement des modules. Les tensions étant de type créneaux avec des fronts très raides. On observe classiquement des dV/dt de plusieurs milliers de volts par microsecondes.

II.5.2.3. Limitation de l'étude

L'étude qui sera menée ici concernera les champs électriques et leur répartition. Notre objectif est de tenter de localiser les lieux où les décharges partielles seront les plus probables car les champs seront élevés. Les décharges partielles sont des phénomènes microscopiques. De plus, leur localisation correspondrait à une localisation précise des défauts dans le gel diélectrique. Il serait très mal aisé de le simuler avec des logiciels de simulation éléments finis.

II.5.3. Etude globale des champs électriques

Cette étude a été menée sous Flux 3D. Ceci est dans un premier temps nécessaire afin de visualiser globalement le comportement des systèmes modélisés. Nous partirons ici d'une vision globale des assemblages pour nous concentrer plus précisément sur des éléments de

détail. Il s'agit ici de simuler la répartition des tensions aux bornes d'une puce de semi-conducteur, noyée dans un gel diélectrique. On cherche à étudier non seulement l'impact de la répartition de la tension aux bornes de la puce, mais également l'influence des connexions, qu'il s'agisse des métallisations du substrat ou des bondings, sur les champs électriques.

II.5.3.1. Présentation de la simulation étudiée

Schéma de base

Le schéma de base qui peut être étudié est présenté en figure II-29. Il s'agit de la simulation d'une puce d'IGBT plongée dans un gel diélectrique et connectée à diverses pistes afin de représenter le plus fidèlement possible le cas réel des connexions. Au niveau du diamètre des bondings et de leur distance vis-à-vis du substrat mais également l'influence de connexions mal réalisées telles qu'elles ont été constatées en pratique dans des modules.

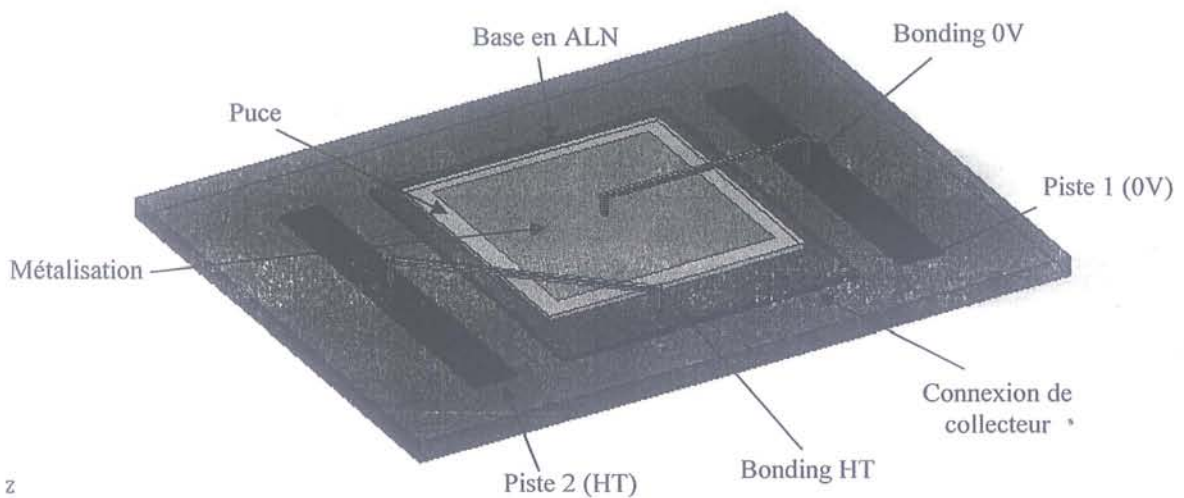


Figure II-29 : Schéma de base implanté pour des simulations en Flux 3D

Hypothèses de simulation

Afin d'effectuer les simulations, un certain nombre d'hypothèses et de paramétrages ont été effectuées. Celles-ci sont nécessaires afin de permettre des simulations à la fois rapides et fiables.

Les simulations effectuées sont de type diélectriques. Dans ce mode de résolution, le logiciel utilisé prend en compte les deux paramètres que sont la constante diélectrique des différents éléments, mais également la résistivité de chaque matériaux. La fréquence utilisée était de 50Hz. Ceci afin de pouvoir faire des comparaisons avec des relevés expérimentaux.

Les surfaces des conducteurs et des connexions ont été considérées comme des équipotentiels. Cette hypothèse se justifie, du fait de la faible fréquence de la source qui sert aux simulations et de la faible résistivité des conducteurs. Elle présente l'intérêt de ne pas mailler ces conducteurs de section très réduite. Cela permet de faciliter grandement le maillage (car ces conducteurs n'ont plus besoin de l'être) et de diminuer le nombre d'éléments, ce qui accélère les simulations de façon très importante et sollicite moins la mémoire de l'ordinateur.

La face arrière du substrat AlN est mise au potentiel 0V. Ceci s'explique par le fait qu'elle est reliée au refroidisseur qui est mis à la masse.

Les puces semi-conductrices sont simulées comme étant complètement passives. Cette hypothèse est bien évidemment fautive à priori. En effet, les puces IGBTs possèdent sur leur face supérieure des dispositifs destinés à limiter le champ électrique maximum afin de protéger celles-ci contre des champs trop importants. Ces dispositifs sont variés comme nous l'avons rapidement présenté § 2.2.1.1 et leurs effets sur la forme du champ réel est variable suivant les technologies et les dimensionnements choisis. De plus, les fabricants déposent sur les dessus des puces des passivants dont le rôle est de tenir les forts champs qui peuvent être générés localement. Dans le futur, il serait intéressant d'implanter les profils des champs électriques sur le dessus des puces dans les simulateurs FLUX afin d'obtenir des résultats plus proches de la réalité.

Caractéristiques des matériaux

La réalisation des modules repose sur la mise en oeuvre de matériaux divers. Nous allons maintenant présenter très sommairement, les caractéristiques de quelques matériaux isolants couramment utilisés dans les modules.

	Permittivité relative (ϵ_r)	Résistivité ($\Omega.m$)	Champ maximum (V/m)
Gel diélectrique (ex : RTV 6108 / TSE 3051)	2,85 / 2,8	$2,9 \times 10^{14} / 10^{15}$	20 kV/mm / 18 kV/mm
AlN	8,9	$> 10^{14}$	15kV/mm 39 kV/mm ont été mesurés (Source ALSTOM)
Al ₂ O ₃	9,4	$> 10^{12}$	14 kV/mm

Caractéristiques électriques des matériaux utilisés

Plans de coupe des études

Le schéma de la figure II-30 présente les plans de coupe utilisés afin de voir un certain nombre de phénomènes du fait de la disposition relative des puces et des connexions (bonding, pistes, etc...)

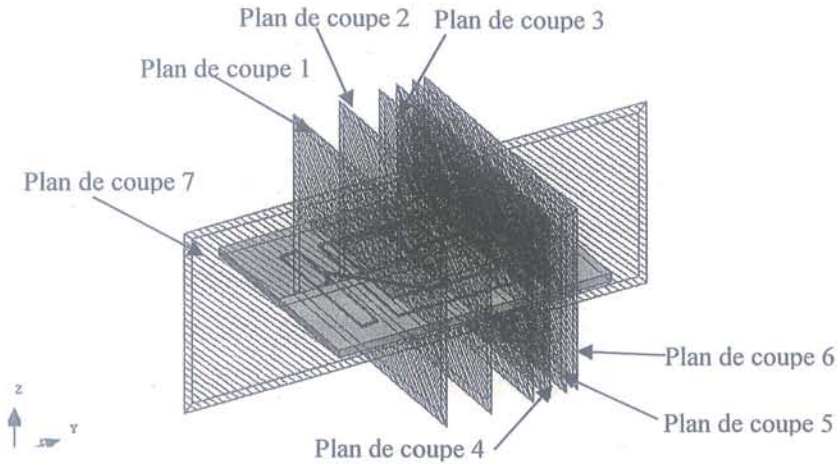


Figure II-30 : Identification des plans de coupe

Nous allons maintenant passer à l'étude des résultats de simulation en mettant en avant les principaux problèmes qui peuvent apparaître et leur localisation.

II.5.3.2. Résultat des simulations

L'étude globale des champs électriques va nous permettre d'étudier l'influence de divers paramètres liés à la géométrie et à la réalisation des modules IGBTs et à leur conséquence sur les lignes de champ. Par la suite des études plus détaillées se concentreront sur les problèmes plus spécifiques. Cette étude nous permet de distinguer l'influence d'un certain nombre de paramètres. Nous allons ici voir globalement où se situent les problèmes de renforcements locaux.

Le substrat et les puces

Les composants essentiels dans les modules de puissance sont le substrat métallisé et les puces. Le plan de coupe 2 (figure II-31) nous présente l'action de la puce et du substrat sur les lignes de champ générées. On constate un double renforcement. L'un deux correspond à un effet de pointe dû au point triple gel – métallisation – substrat (environ 3,4 kV/mm pour une tension appliquée de 2 kV), l'autre au dessus de la puce semi-conductrice (3 kV/mm pour 2 kV). C'est à cet endroit que les lignes de champ sont étalées afin de tenir la tension à l'état bloqué.

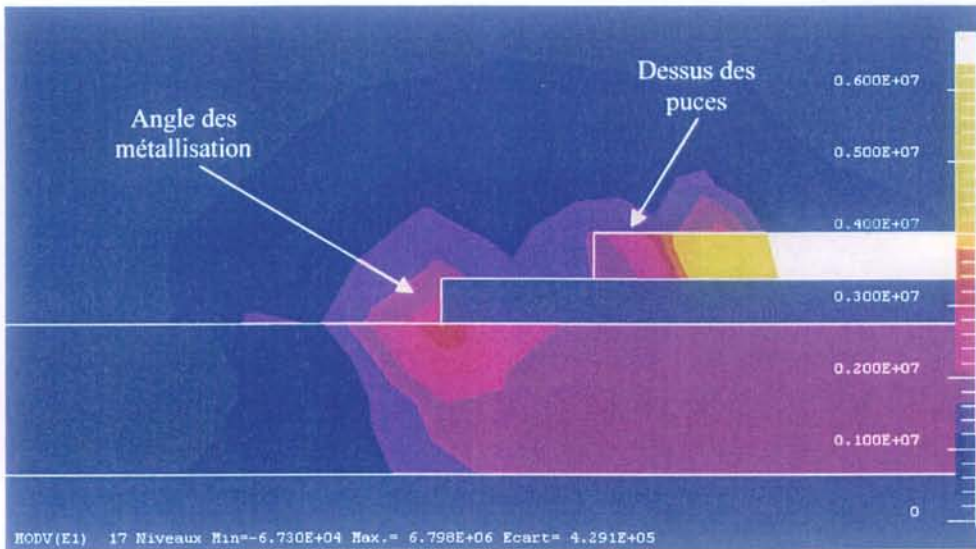


Figure II-31 : Répartition du champ électrique selon le plan de coupe 2

Nous verrons par contre dans la suite l'influence des formes des métallisations sur les renforcements locaux de lignes de champ.

Et les bondings ?

Si les bondings sont surtout appréhendés pour ce qui concerne les problèmes inductifs et de fiabilité, ils peuvent sous certaines conditions représenter des problèmes au niveau diélectrique. D'une part par leur hauteur souvent limitée qui peut provoquer des renforcements locaux du champ. D'autre part par la mauvaise réalisation de bondings (lié au process industriel). Le bonding de la piste collecteur pouvant passer à proximité de la métallisation d'émetteur. Ces résultats ont été constatés pratiquement sur des modules à base d'IGBTs (Figure II-32).

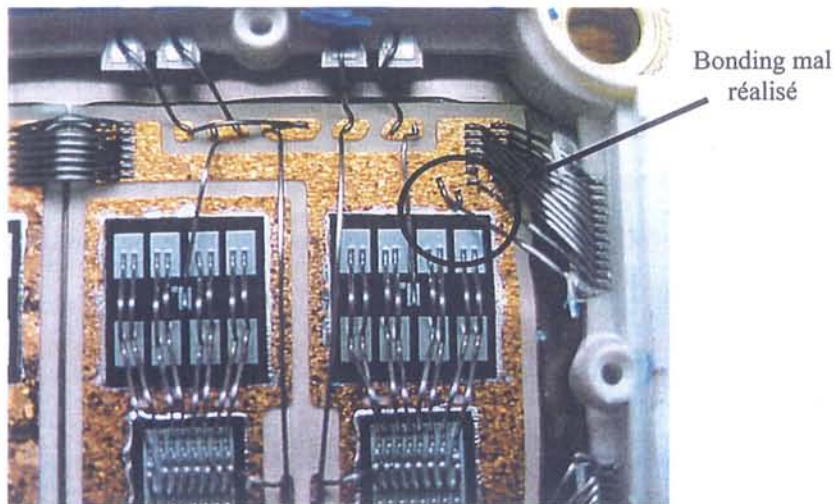
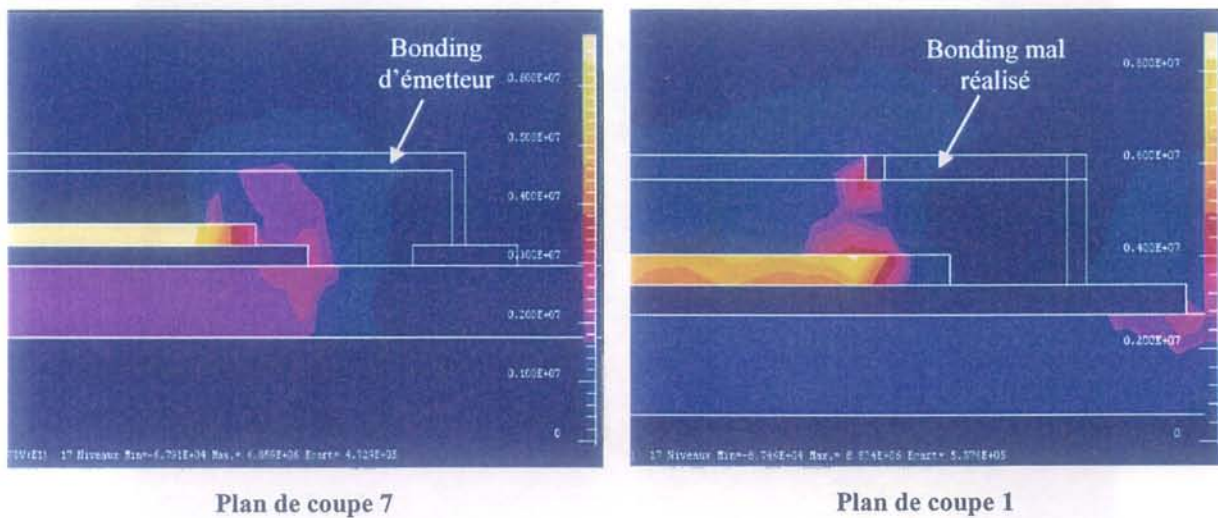


Figure II-32 : Exemple de connexion mal réalisée



Passage du bonding d'émetteur au dessus de la piste de collecteur (E_{\max} : 3 kV/mm pour 2 kV de tension appliquée)

Bonding mal réalisé (E_{\max} : 4,2 kV/mm pour 2 kV)

Figure II-33 : Influence des bondings sur les champs électriques

II.5.4. Etude locale des champs électriques

Nous allons maintenant dans cette partie, nous concentrer de façon plus approfondie sur les problèmes locaux en faisant des simulations précises pour chaque partie. Par local, il faut entendre ici l'étude plus particulière des formes des différents éléments. Nous ne regarderons pas l'influence d'effets microscopiques comme l'état de surface. Nous nous intéresserons ici à l'étude plus particulière du substrat.

II.5.4.1. Forme des coins des pistes

Un des principaux facteurs de champ électrique élevé est la forme des métallisations de substrat. Il s'agit essentiellement de renforcements locaux dus à des effets de pointe. La figure II-34 présente différentes configurations possibles qui gardent une distance égale entre le bord de la métallisation et le bord de l'isolant.

Ces simulations prouvent qu'il est plus intéressant d'avoir des bouts de substrat arrondis plutôt que pointus. Ce phénomène est tout à fait prévisible du fait de l'action des effets de pointe forcément réduits.

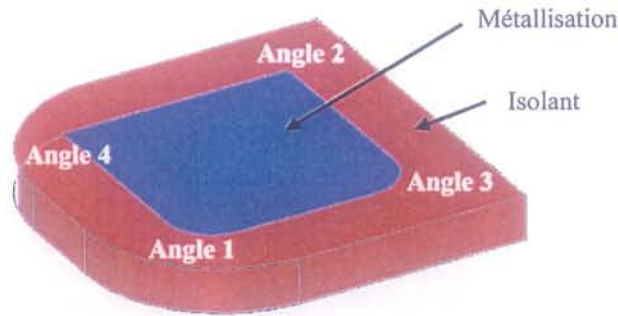


Figure II-34 : Simulation de différentes configurations d'angles

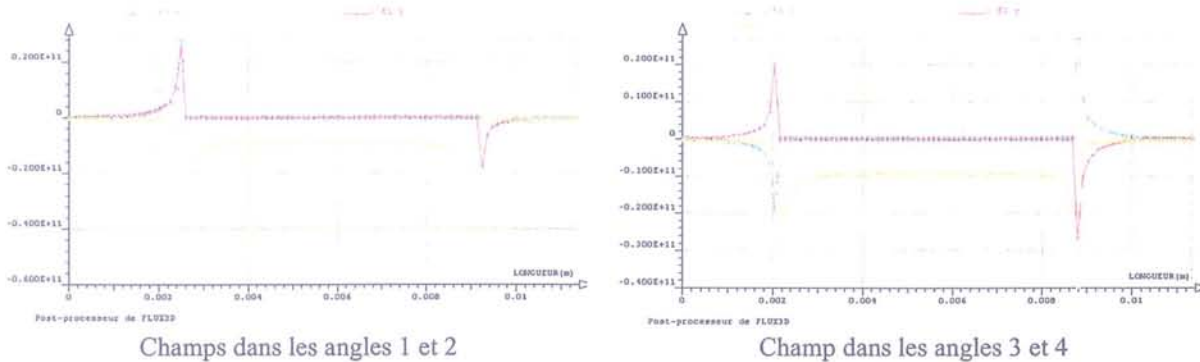


Figure II-35 : Influence des formes d'angle sur la valeur des champs électriques

On constate que la configuration la plus favorable est celle composée de deux arrondis (Angle 1). La plus contraignante étant la configuration 4. En effet, à l'effet de pointe s'ajoute une diminution importante de la longueur de tenue en tension. Donc une augmentation du champ moyen.

Il est toutefois à noter qu'entre une configuration avec arrondis et une configuration à angle vif, le champ électrique est réduit d'un facteur 2 selon l'axe vertical. Nous avons vu précédemment que ces angles n'avaient aucune influence sur la valeur de l'inductance.

II.5.4.2. Bord des métallisations

L'angle que les métallisations forment avec le substrat à l'endroit de leur accroche est un facteur très important car il conditionne les valeurs de champ maximum obtenues. Cet angle dépend des technologies de métallisation des céramiques choisies, qu'il s'agisse de DBC ou d'AMB). Plus l'angle est pointu, plus les équipotentielles seront comprimées. Il en résultera une augmentation locale très importante du champ électrique. Le fabricant Curamik définit que le dépassement de la métallisation ne sera pas supérieur à l'épaisseur de cuivre divisé par deux. La figure II-36 montre les champs obtenus pour une métallisation de la forme de ce que l'on obtient avec un substrat de type DBC.

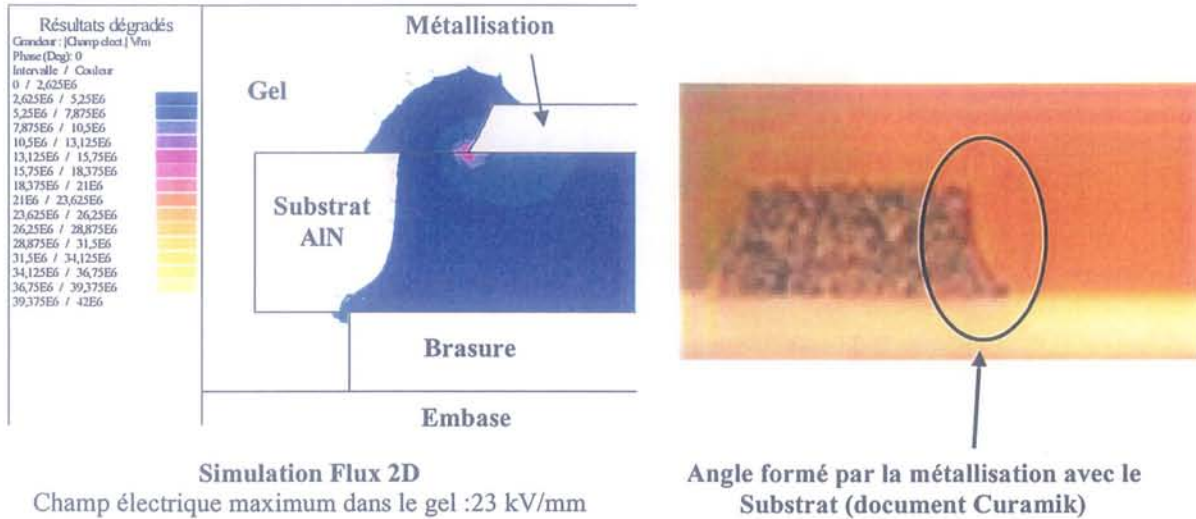


Figure II-36 : Simulation et réalité de l'angle formé par la métallisation avec le substrat

On constate un double renforcement des champs électriques. Une très importante au point triple, métallisation - AIN - gel. A cet endroit, on voit apparaître un champ très important dans le gel, mais également dans l'AIN. La conséquence est l'apparition de contraintes très importantes engendrant des décharges partielles dans le gel et une dégradation du substrat en AIN.

Les valeurs de champ obtenues atteignent 23 kV/mm dans le gel ce qui est bien supérieur aux caractéristiques des diélectriques. Il en résulte des micro-décharges qui détériorent le gel et l'AIN. De plus, ces champs sont également supérieurs à ceux obtenus avec une métallisation verticale (Figure II-27) où on atteignait 20 kV/mm dans le gel.

L'angle que la métallisation fait avec l'AIN au moment du contact influence directement sur les lignes de champ et sur leur valeur maximale. De par leur mode de fabrication, on constate avec une observation au microscope que la partie métallisée déborde sur le substrat ALN de part et d'autre de la métallisation. Ce débordement va engendrer une augmentation du champ électrique local au bout de la métallisation.

II.5.4.3. Influence de l'épaisseur d'ALN.

L'épaisseur d'AIN a une incidence directe sur la valeur du champ électrique maximum. En effet, l'augmentation de l'épaisseur d'AIN va entraîner une diminution du champ électrique moyen et du champ maximum dans l'AIN comme montré figure II-37, mais également dans l'encapsulant.

Champs électriques

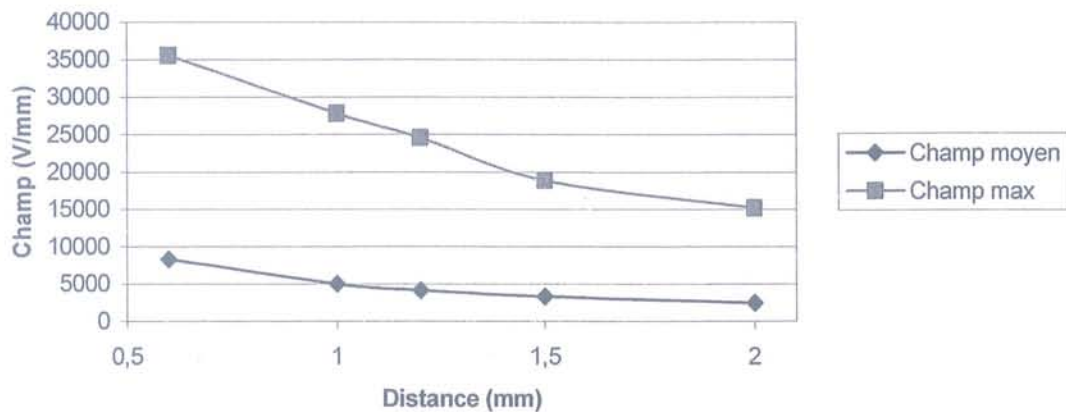


Figure II-37 : Evolution des champs électriques en fonction de l'épaisseur d'AlN

Les résultats de simulation montrent bien que le champ électrique maximum diminue fortement avec l'épaisseur d'AlN.

II.5.4.4. Périphérie des composants

De par leur conception, les puces de puissance tiennent la tension sur leur partie supérieure. Pour cela plusieurs techniques sont envisageables. Qu'il s'agisse d'anneaux de garde ou alors de systèmes à poche voir multi-poches pour bien étaler le champ électrique comme présenté dans le début de cette deuxième partie.

En fonction de la technologie utilisée les résultats pourront être très différents. Qu'il s'agisse d'anneaux de garde ou de poches entre autre, on voit déjà apparaître d'importantes différences dans la valeur des champs électriques, notamment au niveau des champs maximums obtenus. Si les anneaux de garde étalent mieux le champ électrique que les poches, ils présentent également des renforcements locaux plus limités.

La nature du composant jouera également. Il peut être tentant de profiter au maximum de la tenue au champ électrique de matériaux tels que le carbure de silicium par rapport au silicium classique. Néanmoins, les valeurs de champ maximum obtenues, s'ils ne gênent pas la puce pourra être très pénalisante pour le matériau diélectrique destiné à l'encapsulation.

Sur la surface supérieure des puces semi-conductrices, notamment la zone d'étalement des lignes de champ est déposée un passivant dont le rôle est de tenir les importants champs locaux. Néanmoins, dans le cas de composants tels que les diodes en carbure de silicium l'épaisseur de passivant sera une contrainte critique. En effet, les champs obtenus sont souvent très nettement supérieurs aux valeurs communes des gels diélectriques utilisés.

II.5.5. Présentation de solutions

Maintenant que nous avons vu un certain nombre de problèmes entraînant des champs intenses dans les composants IGBTs. Nous allons regarder des solutions qui permettront de limiter ces champs. Certaines ont été mises en œuvre dans leur principe, notamment par EUPEC dans ses modules 6,5 kV. D'autres sont à l'état de prospectives.

II.5.5.1. Modification de la partie supérieure de la métallisation

Nous avons vu que les renforcements s'effectuent à deux niveaux sur la métallisation. Le renforcement de la partie supérieure est relativement facile à vaincre en usinant l'angle vif. Ceci permet d'adoucir le recourbement des équipotentielles et donc de limiter le champ maximum comme montré figure II-38.

On constate que le champ est fortement réduit puisqu'il passe d'une valeur de 19kV/mm, ce qui est la limite des gels diélectriques à une valeur de 13,5 kV/mm.

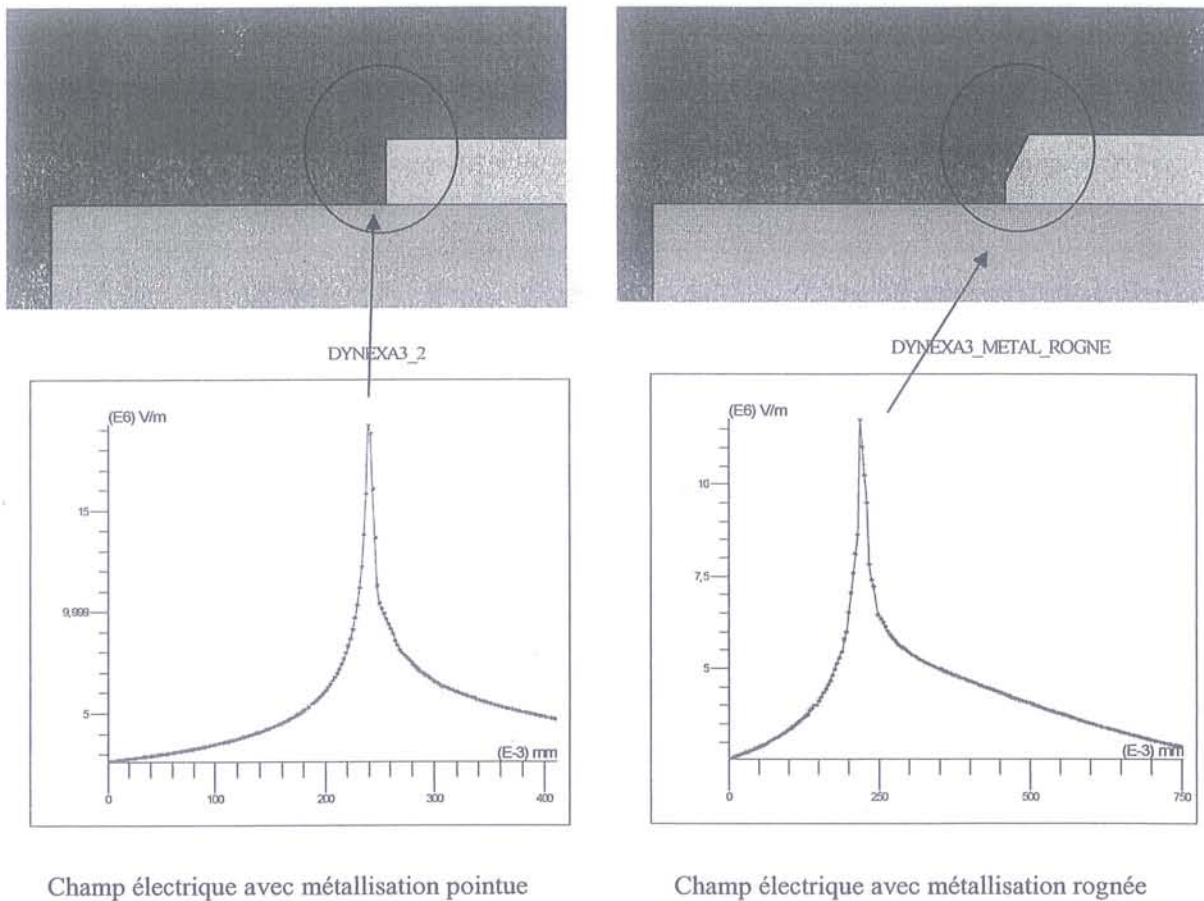


Figure II-38 : Comparaison des champs maximum obtenus pour une métallisation carrée et une rognée.

II.5.5.2. Solution à base de couche résistive

La première idée qui vient lorsqu'il s'agit de limiter le champ électrique est d'étaler les lignes de champ. Une solution relativement immédiate est d'imposer le potentiel à l'aide d'une couche résistive. Cette couche permettant en faisant circuler un petit courant de fuite et donc d'imposer le champ électrique maximum. Si la valeur de résistivité est choisie judicieusement, le champ électrique sera limité et restera en deçà des contraintes des diélectriques tout en maintenant un courant de fuite faible. Cette solution a été développée par EUPEC dans ses modules de puissance. [Mitic-01]

Cette solution est efficace puisqu'elle a permis de mettre au point les modules commerciaux d'EUPEC. Mais sans aller jusqu'au court-circuit, il est possible d'obtenir le même effet en déposant une couche résistive uniquement là où le champ est important pour l'étaler plus avant, c'est-à-dire sur la partie supérieure du substrat au droit des métallisations.

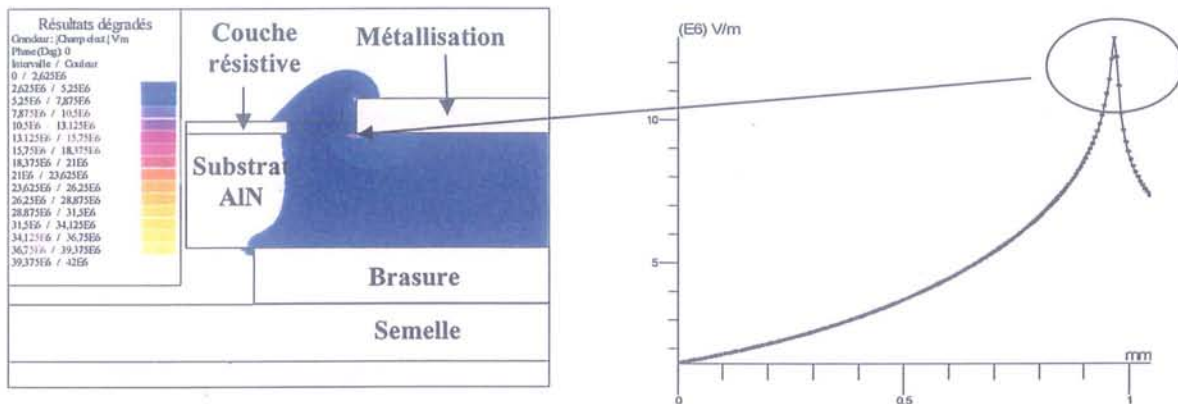


Figure II-39 : Influence d'une couche résistive ($10^7 \Omega \cdot m$)

La solution est présentée en figure II-39. Le champ maximum obtenu est maintenant limité à 12,5 kV/mm. Ce qui est bien inférieur à la valeur critique se situant plutôt aux alentours de 20 kV/mm dans le gel et 15 kV/mm dans l'AlN. Ceci est obtenu avec une couche résistive de $10^7 \Omega \cdot m$. Il est à remarquer que c'est cette valeur qui a été choisie par EUPEC pour ses modules. C'est le meilleur compromis au niveau du champ électrique. En effet, les simulations ont montré qu'une couche résistive de valeur plus élevée n'engendrait pas de notable diminution du champ électrique maximum (30 kV/mm). Une valeur plus faible engendrant elle, une modification très importante de la répartition des champs électriques. En effet, la très faible résistivité agit sur le dessus du substrat comme un court-circuit. Ceci ayant pour conséquence un renforcement notable du champ électrique sur la partie inférieure du substrat. Le champ maximum dans l'AlN atteint 24 kV/mm. Comme le montrent les simulations II-37.

Cette solution est donc très efficace. Néanmoins, la valeur de la résistivité à mettre en œuvre dépend fortement des paramètres des autres matériaux isolants qui l'entourent (Gel diélectrique utilisé, ALN). De plus, sa réalisation doit être très soignée. Il est à noter que des problèmes technologiques d'accrochage de ce matériau sur les brasures ou le DBC peuvent apparaître. Les conséquences de tels défauts étant une rapide destruction des composants. [Mitic-01]

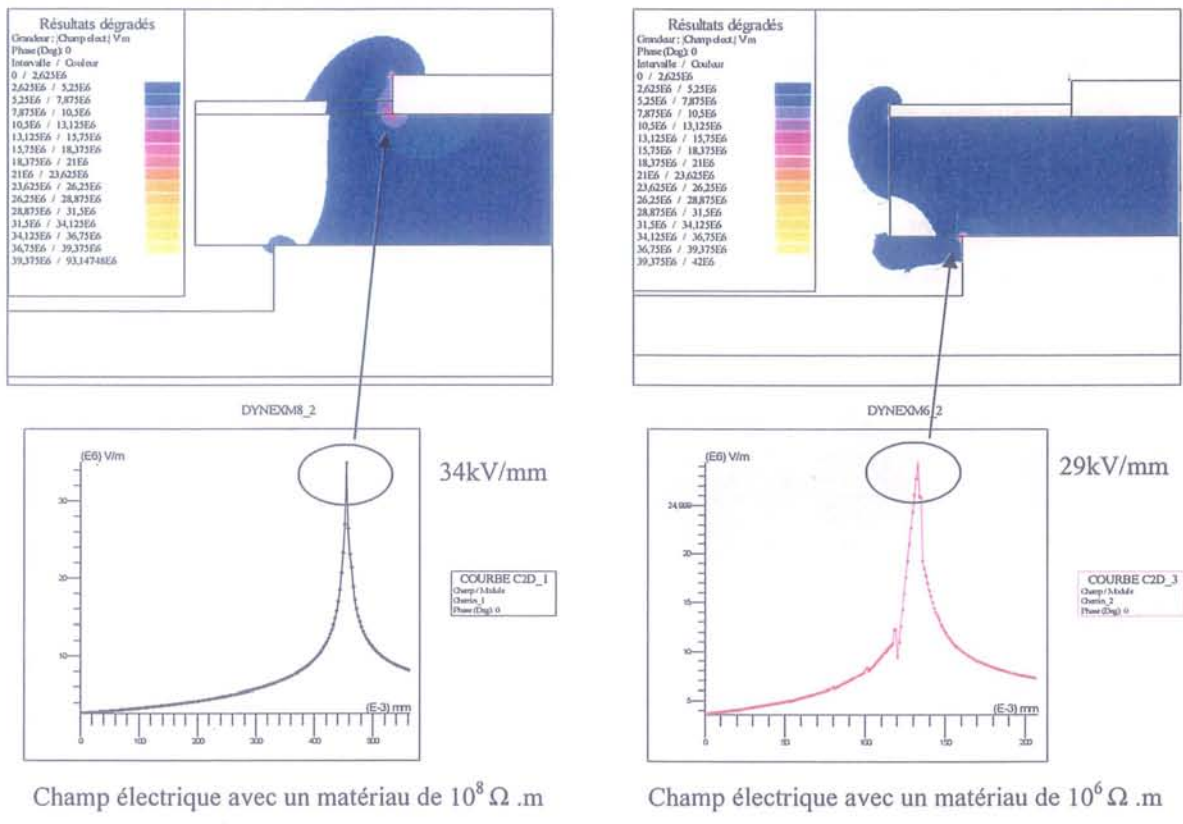


Figure II-40 : Influence de la valeur de la résistivité

II.5.5.3. Couche de matériau de fort champ de rupture

Plutôt que de choisir une méthode préventive qui consiste à limiter le champ, il est possible de chercher à renforcer le module dans cette zone en y mettant un matériau dont la tenue au champ électrique est suffisamment grande. Ceci pouvant s'apparenter à la passivation des puces semi-conductrices. On peut envisager divers matériaux comme présenté dans le tableau suivant.

Isolant	Température maximale d'utilisation	Champ de claquage (V/ μm)	Constante diélectrique	Type de matériau
Si ₃ N ₄ (PECVD)	1600°	660	7,5	Passivation minérale
SiO ₂ (PECVD)	1600°	790	5,4	Passivation minérale
BCB (Benzo-Cyclo-Butène)	300°	610	2,5	Passivation organique photosensible
Probimide	400°	500	5	Passivation organique photosensible

Exemple de matériaux pour l'isolation d'un DBC.

Ce genre de techniques a été utilisé dans la thèse de Charlotte Gillot [Gillot-00] pour effectuer la passivation de DBC lors de l'utilisation de refroidissement double face. Il a été montré que les passivations minérales tiennent mieux la tension que les passivations organiques mais qu'elles sont plus difficiles à mettre en œuvre. En outre, ces dernières étant photosensibles, on peut obtenir la forme d'isolant que l'on souhaite. Il suffit de les insoler à travers un masque.

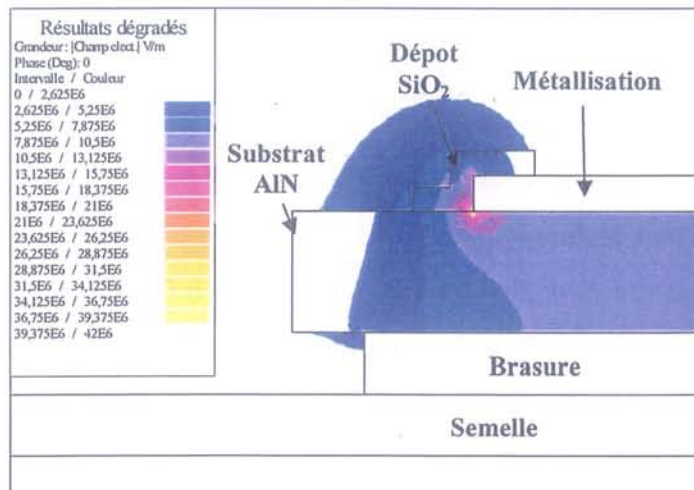


Figure II-41 : Dépose d'une couche d'oxyde de silicium

Quelle que soit la passivation utilisée, les résultats de simulation montrent que le champ n'est globalement pas modifié, comme le montre la figure II-41. L'avantage d'une telle méthode est alors de protéger le gel diélectrique car la contrainte en champ est réduite. En effet, la valeur maximale du champ est maintenant reportée dans le passivant (ici le SiO₂) dont le champ de rupture est beaucoup plus important que celui du gel. Par contre, cette méthode n'atténue en rien le champ maximum dans l'AlN. Donc, des risques de dégradation de l'AlN subsisteront.

II.5.5.4. Modification de la forme de la métallisation

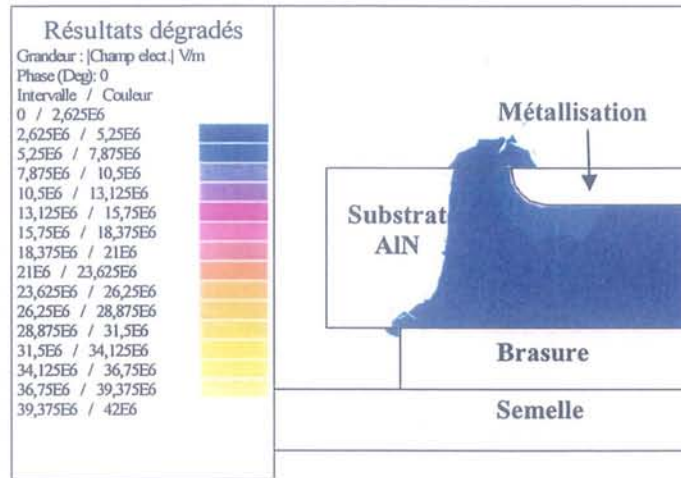


Figure II-42 : Modification de la forme de la métallisation

Cette solution repose sur une modification de la forme de la métallisation. En effet, le renforcement de ligne de champ est dû à l'effet de pointe dans l'angle gel – métallisation - AlN. En modifiant la forme de la métallisation, cet effet de pointe est supprimé. Cela permet de réduire de façon notable le champ électrique. Ceci présente le double avantage de supprimer le renforcement de champ dans le gel et de le limiter très fortement dans l'AlN. Le champ maximum atteint est de 9,2kV /mm ce qui est très inférieur au champ de rupture de celui-ci. Cette solution est donc très efficace, mais nécessite de graver l'AlN pour déposer la métallisation.

II.5.6. Conclusion

Nous avons présenté ici, les études sur les champs électriques dans les modules de puissance IGBT classiques. Ces études ont permis dans un premier temps de localiser les endroits où le champ électrique pouvait jouer un rôle important, notamment sur le substrat en bordure de métallisation.

Nous avons notamment cherché à localiser quels paramètres géométriques influent le plus sur les renforcements de champ. Ceci a conduit à montrer que c'est au niveau des métallisations que les contraintes étaient les plus fortes.

Enfin, un certain nombre de solutions ont été investiguées afin de voir leur influence sur les champs électriques.

II.6. Quelles alternatives ? Les évolutions des modules de puissance

L'étude menée jusque là reposait sur des modules classiques d'IGBTs. D'autres solutions sont envisageables dans le futur. Qu'il s'agisse d'améliorer les performances en refroidissement tel que par exemple le refroidissement double-face, ou qu'il s'agisse de créer une structure 3D dans le module en modifiant la répartition des pistes. Nous allons maintenant nous intéresser à ces deux types de réalisations en essayant de donner des pistes de réflexions sous le triple aspect thermique, diélectrique et inductif et de montrer les avantages et les inconvénients qu'ils amènent.

II.6.1. Le module HIPO : une structure 3D

II.6.1.1. Aspects inductifs

Les deux substrats qui ont été présentés jusqu'ici reposent sur des structures de type substrat classique. Nous allons voir l'influence de ces composants dans le cadre d'une structure 3D. La figure II-43 présente le module HIPO. Les connectiques de sortie ne sont pas modélisées, mais leur inductance est plus faible, du fait de leur longueur que celle des lyres de connexion utilisées sur les modules Eupec par exemple. Par simulation avec INCA, on obtient des valeurs de l'ordre de 15 nH, qui sont à comparer aux 30 nH, obtenus pour les modules Eupec.

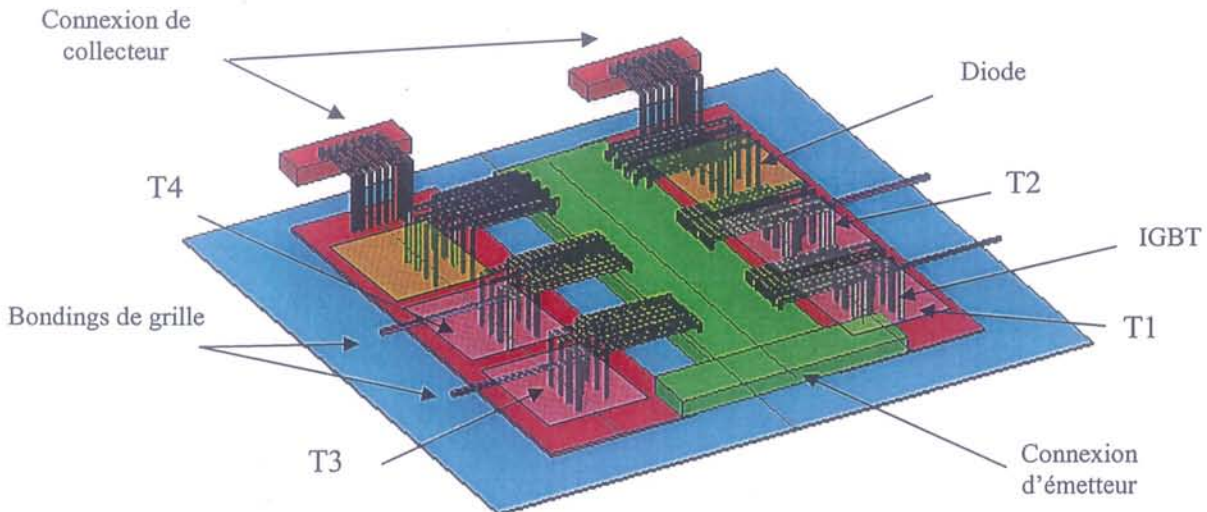


Figure II-43: Configuration 3D du module HIPO

Le tableau ci-dessous récapitule les inductances des différentes parties du substrat. Sa principale caractéristique est sa grande symétrie.

		Inductance
Mise en parallèle de 8 bondings		5.2 nH
Pistes d'émetteur :	Transistors 1 et 3	4 nH
	Transistors 2 et 4	8 nH
	Diodes	12 nH
Pistes de collecteur :	Transistors 1 et 3	15.8 nH
	Transistors 2 et 4	12.6 nH
	Diodes	8.6 nH

Inductances simulées obtenues par INCA pour le composant HIPO.

Il est à noter que l'inductance globale de cette structure n'est pas plus importante que celle des structures de type substrat classique, alors que la tenue en tension est meilleure. En effet, l'augmentation de l'inductance des bondings due à leur longueur plus importante est compensée par une diminution de l'inductance des connections de sortie.

II.6.1.2. Aspects diélectriques

Pour ce qui concerne la partie diélectrique, on constate que la piste de l'émetteur n'est plus posée sur le substrat. On évitera donc le problème de renforcements du champ électrique entre pistes à potentiels différents posées sur le même substrat (structure 2D). En effet, la structure 3D permettra d'augmenter les distances entre les pistes à différents potentiels. De plus, la structure verticale des bondings permettra d'éviter les problèmes de renforcements de champ électrique liés aux formes des bondings comme présenté au paragraphe 2.5.3.2. Ceci permettra de limiter les risques de champs élevés que se soit entre pistes ou entre bondings et pistes et donc de dégradation des isolants.

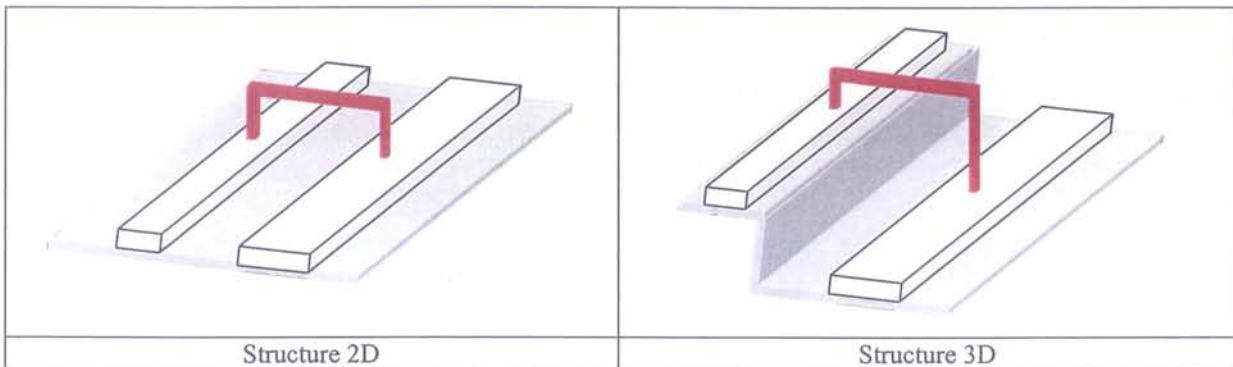


Figure II-44 : Présentation du bonding 3D

II.6.2. Le refroidissement double face

Afin d'extraire plus de chaleur des puces IGBTs et donc d'augmenter les puissances commutées, des solutions de refroidissement double-face ont été imaginées [Gillot_00]. Cela ne change pas fondamentalement les résultats pour la partie substrat isolée qui est conservée, notamment au niveau des inductances qui resteront sensiblement les mêmes. Les gains obtenus pourront l'être par une configuration judicieuse des pistes dont la surface pourra être agrandie ce qui diminuera l'impédance de ces conducteurs. Par contre, l'inductance liée à la connectique sera nettement réduite du fait de la disparition des bondings d'émetteurs qui seront remplacés par des bumps. Des simulations InCa ont montré que leur inductance est de l'ordre de 1nH par bump soit nettement moins qu'un bonding dont l'inductance est plus proche de 10 nH. Ces ordres de grandeur étant également obtenues dans la littérature [Siddabattula-99]. Par contre, les champs électriques auront une répartition bien différente dans cette configuration présentée en figure II-45.

Le point le plus important est que la tenue en tension de la puce se fait sur sa partie supérieure, le bord de la puce étant au potentiel du collecteur. Il en résulte que les champs électriques seront extrêmement importants. En effet, toute la tension sera tenue sur l'épaisseur des brasures supérieures qui font quelques centaines de micromètres d'épaisseur. Les renforcements locaux seront également très importants.

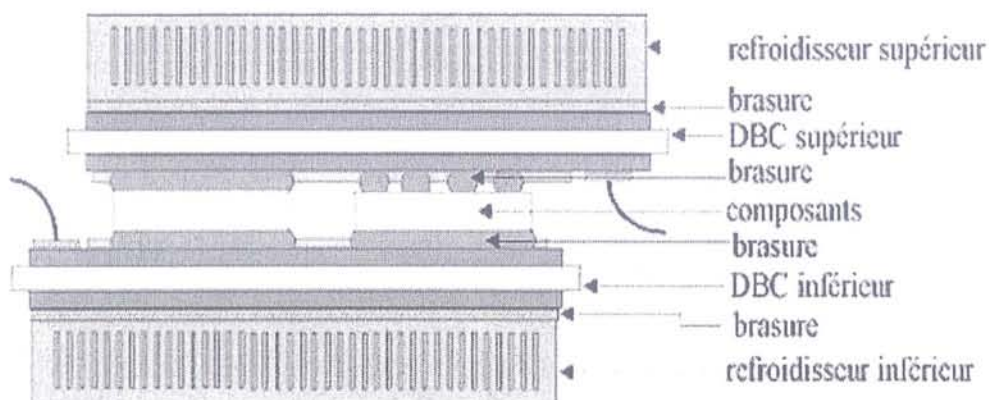


Figure II-45 : Structure du refroidissement double-face

Il est donc nécessaire de mettre en œuvre des diélectriques à forts champs de claquage. Lors de leur expérimentation il a été mis en œuvre un isolant de type probimide. Son champ de claquage très élevé a permis de tenir les tensions.

II.6.3. Conclusion

De nouvelles techniques de conception de boîtiers de puissance ont vu le jour ces dernières années pour améliorer le refroidissement ou les contraintes électriques. Ces solutions permettent souvent de découpler les problèmes, tout en amenant parfois des contraintes supplémentaires qui sont maîtrisée par un renforcement du boîtier dans certaines zones.

II.7. Comment interconnecter les dispositifs?

II.7.1. Les problèmes liés aux interconnexions par bus-barre

Jusqu'ici, nous nous sommes beaucoup intéressé aux modules de puissance et aux différentes façons de les concevoir, ainsi que les contraintes en résultant. Une question fondamentale se pose toutefois, sur l'interconnexion de ces dispositifs. Pour les composants commandés, il est intéressant d'avoir les inductances les plus faibles possibles afin de limiter les surtensions au blocage.

La structure module de puissance se prête bien à la mise en œuvre de bus-barres. Ceux-ci, de par leur conception, permettent d'avoir une faible inductance du fait d'effets mutuels très importants entre les conducteurs. Cette proximité, si elle est intéressante au niveau inductif, nous heurte aux mêmes problèmes que ceux déjà constatés dans la recherche de compromis inductance – diélectrique des substrats.

La proximité importante des conducteurs engendre de forts champs électriques qui peuvent être encore renforcés par des phénomènes d'effet de pointe (figure II-46). Ils peuvent mener au vieillissement voir à la destruction prématurée des bus-barres. Dans le cadre des applications haute tension, leur mise en œuvre est donc à étudier plus particulièrement.

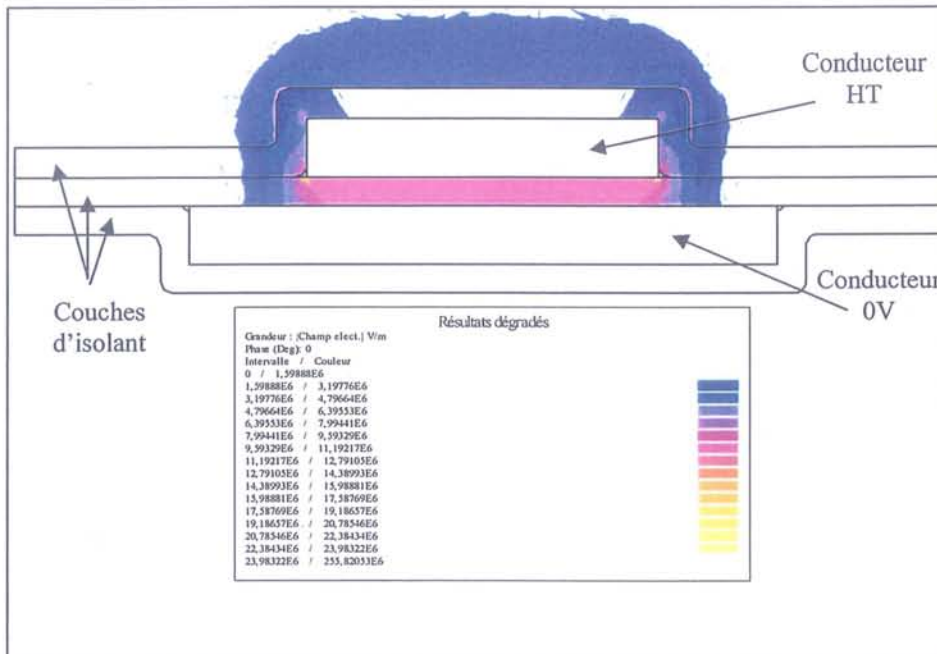


Figure II-46 : Champ électrique dans un bus-barre

Les renforcements locaux proviennent de la forme des métallisations des bus-barres. Un autre problème étant l'accrochage de l'isolant sur les plaques de semi-conducteurs. Si

cette accroche n'est pas bonne, de l'air pourrait se trouver emprisonné et entraîner l'apparition de décharges partielles.

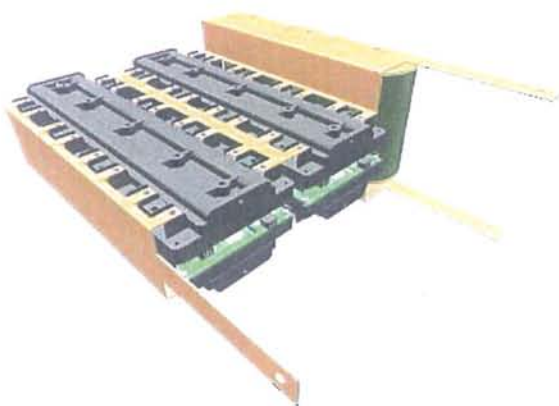
Enfin, il faut vérifier que les champs électriques maximums obtenus et non pas moyens restent en - deçà des limites de tenues en tension des matériaux utilisés dans les bus-barres.

Industriellement, la tension de service des bus-barres est limitée à quelques kilo-volts. La raison étant leur durée de vie qui connaît une décroissance très rapide. Les tensions dans les bus-barres sont en effet très importantes afin de maintenir un effet inductif efficace. Dès que la distance augmente, l'effet inductif diminuant de la même manière que pour les substrats, une telle proximité peut s'avérer inutile.

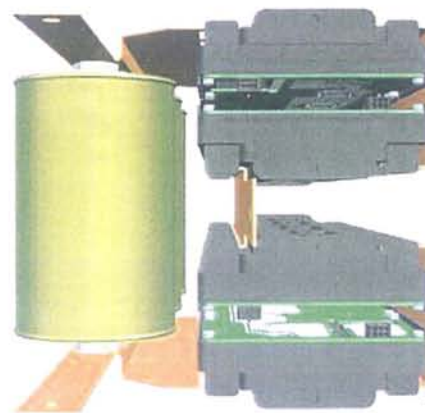
II.7.2. Les autres possibilités

Pour des systèmes très haute tension, les bus-barres ne sont plus envisageables. Leur épaisseur pour garantir la tenue en tension et une durée de vie suffisante ne permet plus d'avoir un effet inductif important. La solution est de s'orienter alors vers une distribution par plaques, tel que cela a été effectué sur l'onduleur HIPO. Cette méthode présente plusieurs avantages. Notamment de s'affranchir de l'isolant et de sa tenue en tension en pouvant écarter de façon importante les conducteurs et de limiter les inductances du fait de la largeur des plaques de distribution.

Différentes configurations de bus de distribution sont possibles en fonction de la disposition des semi-conducteurs. (Figure II-47)



Disposition horizontale des modules HIPO



Disposition verticale des modules HIPO

Figure II-47 : Différents types de dispositions de modules et de connexions

Les simulations effectuées à l'aide d'InCa ont conduit à la mise en œuvre de la solution horizontale, celle-ci présentant le moins d'inductance. On obtient 69 nH pour l'ensemble du bus en position horizontale contre 78 en position verticale.

II.7.3. Conclusion

Les interconnexions des modules étaient jusqu'à présent réalisées par l'intermédiaire de bus-barre. Toutefois les applications haute tension posent de sérieux problèmes quant à l'intérêt de la mise en œuvre de ces composants. Les contraintes en tension deviennent importantes et peuvent diminuer fortement la durée de vie de ces composants. La solution étant la mise en œuvre d'une distribution par plaques de section importante permettant également de limiter les inductances.

Cette deuxième solution utilise l'air comme isolant, pour peu que les plaques soient séparées d'une distance suffisante. La mise en œuvre d'une telle solution remet par contre en cause la structure de type module classique présentée jusqu'ici. Les connexions s'effectuant sur la partie supérieure du module présentent d'importants inconvénients pour les isolations en tension. De nouvelles structures de modules peuvent alors être proposées tels que les composants mis en œuvre dans le programme HIPO. L'autre solution, plus classique, pouvant être la mise en œuvre de composants en boîtiers press-pack. Ceux-ci assurent les isolations sur leur épaisseur. De plus, ils présentent de nombreux avantages au niveau de leurs aspects électriques, notamment leur tenue au court-circuit.

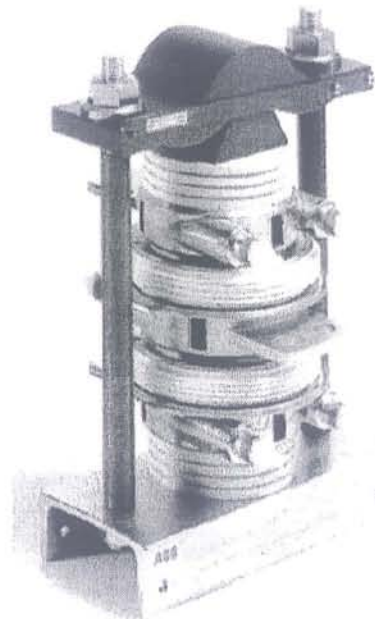


Figure II-48 : Exemple d'assemblage de composants press-pack

II.8. Conclusion

Le développement des applications haute tension entraîne la nécessité de nouveaux types de convertisseurs et de composants permettant de commuter sous de fortes tensions des puissances importantes. Ces nouvelles contraintes entraîneront la nécessité d'une conception globale des composants de puissance, ne prenant plus seulement en compte les aspects thermiques, mais élargit aux aspects inductifs et de tenue en tension.

Parallèlement aux expérimentations permettant d'analyser et de comprendre les phénomènes pouvant apparaître la mise en œuvre des outils de simulation apportera des données nouvelles. En effet, ils permettent d'obtenir des valeurs de grandeurs électriques impossibles à mesurer en pratique, sauf à modifier le système et donc remettre en cause la justesse des mesures. L'objectif premier étant d'arriver à « caler » les résultats de simulation avec les expérimentations pratiques afin d'obtenir des résultats pertinents et exploitables.

Ce recours aux simulations permettra de nombreuses avancées dans le développement des composants de puissance. On pourra dans un premier temps tester des solutions ou des configurations de systèmes pour valider leur pertinence (comme cela a été présenté précédemment) lors des phases de conception. A plus longs termes, l'objectif est d'inclure des aspects liés à la fiabilité et à la dégradation des matériaux dès la conception des composants de puissance. Ceci limitera le recours au développement de nombreux prototypes souvent coûteux et permettra de s'affranchir d'une partie des tests de vieillissement qui peuvent être longs. De plus, l'analyse des défaillances du fait de l'importante interaction entre les constituants des modules n'est pas aisée.

D'un point de vu plus technique, la question de l'utilité du module de puissance tel qu'il existe aujourd'hui est à poser. Au-delà de la simple problématique de sa structure et de ses performances, la volonté d'intégration toujours plus poussée et d'augmentation de puissance nécessite de se demander s'il ne faut pas mettre en œuvre d'autres géométries et solutions techniques. En effet, le couplage entre les contraintes électriques et thermiques peut s'avérer dans certains cas gênants. La mise en œuvre de nouvelles structures permettrait de s'affranchir d'une partie de ces couplages et d'optimiser les caractéristiques des nouveaux modules. Modules dont la forme extérieure et les connectiques seront sûrement à repenser dans l'avenir. Même si ceux-ci sont capables de supporter les fortes tensions, il ne sert à rien d'avoir un composant fortement intégré et développé pour être utilisé avec des bus-barres si les connectiques externes n'ont pas une durée de vie satisfaisante sous ces tensions.

II.9. Bibliographie

[ABB-02] "Datasheet IGBT-Die 5SMX12M5201]" www.abb.com

[BESACIER-02] M. Besacier, "Adaptation de la méthode PEEC à la représentation électrique des structures d'électronique de puissance." Thèse de doctorat de L'INP Grenoble 2001

[BONNET-03] G. Bonnet, "Approche distribuée des structures de type bipolaire adaptée à la conception des systèmes de l'électronique de puissance" , Thèse de doctorat de l'Université Paul Sabatier de Toulouse, février 2003

[BREIT-02] Breit F., Dutarde E., Saiz J., Lebey T., Malec D., Dinculescu S., "Partial Discharge Detection in Power Modules" , PESC 02

[CLAVEL-96] E. Clavel, "Vers un Outil de conception de cablage: Le Logiciel InCa", Thèse de doctorat de l'INPG, Novembre 1996.

[CLAVEL-97] E. Clavel, J. Roudet, J-L. Schanen "How to better know what happens inside a power multi chip module?" , PESC 97

[CONSOLI-99] A. Consoli, F. Gennaro, V. John, T.A. Lipo, "Effects of the internal layout on the Performance of IGBT Power Modules" COBEP-99

[GILLOT-00] C. Gillot, "Etude et réalisation d'une fonction interrupteur en technologie hybride à haute intégration", Thèse de doctorat de l'INP Grenoble 2000

[GOTTERT-99] J. Götttert, W. Köhler, K.H. Sommer, G. Lefranc, "Insulation Voltage Test and Partial Discharge Test of 3.3kV IGBT-Modules" PCIM-99

[GUICHON-01] J.M. Guichon, "Modélisation, dimensionnement, caractérisation de jeux de barres", Thèse de doctorat de L'INP Grenoble 2001

[JEANNIN-01] P.O. Jeannin, "Le transistor MOSFET en commutation : Application aux associations série et parallèle de composants à grille isolée", Thèse de doctorat de l'INP Grenoble 2001

[LAZAR-02] M. B. Lazar, "Etude du dopage par implantation ionique d'Aluminium dans le carbure de silicium pour la réalisation de composants de puissance" , Thèse de doctorat de l'INSA de Lyon 2002

[MITIC-99] Mitic G., Lefranc G., "Localization of electrical insulation and partial discharge failures of IGBT modules", IAS-99

[MITIC-01] Mitic G., Licht T., LefrancG., "IGBT module technology with high partial discharge resistance" IAS-01

- [NGO-97] L.T. Ngo, "Optimisation et réalisation d'une périphérie planar haute tension à poche", Thèse de doctorat de l'INP Grenoble 1997
- [RAEL-96] S. Raël, "Méthodologie de conception des modules de puissance : étude électrothermique de l'association parallèle", Thèse de doctorat de l'INP Grenoble 1996
- [RUEHLI-72] A.E. Ruehli, "Inductance calculations in a complex Integrated circuit Environment", IBM Journal of Research and Development, September 1972, Vol. 16.
- [SIDDABATTULA-99] K. Siddabattulka " Electromagnetic modeling of packaging layout in power electronic modules", Master of Science in Electrical Engineering, Blackburg, Virginia
- [SCHANEN-94] J-L. Schanen, C. Guérin, J. Roudet, G. Meunier " Influence of a conductive plane on loop inductance", CEFC'94 Conference.
- [SCHNUR-98] L. Schnur et al, "Low Inductance, Explosion Robust IGBT Modules in High Power Inverter Applications", IAS-98.
- [THEBAUD-00] J-M Thébaud, E. Woïrgard, C. Zardini, K-H Sommer, "Extensive Fatigue Investigation of Solder Joints in IGBT High Power Modules", ECTC-00
- [VELLVEHI-01] M. Vellvehi et al, « Edge Terminations for 6,5 kV IGBTs », EPE-01
- [WEI-02] M. Wei, " Extraction des paramètres et domaine de validité du modèle d'un composant de puissance ", Thèse de doctorat de l'INSA de Lyon Juillet 2002
- [XING-98] K. Xing, F.C. Lee, D. Boroyevich, "Extraction of parasitic within Wire-Bond IGBT Modules", APEC-98

Conclusion générale et perspectives

Conclusion générale

Les travaux présentés dans ce mémoire s'inscrivent dans le développement de convertisseurs destinés à la haute tension, qu'il s'agisse d'applications embarquées de type traction ferroviaire, ou d'application statiques destinées aux réseaux électriques.

Les études ont porté sur deux points. Le premier correspondait à l'étude de convertisseurs forte tension avec les applications de mise en série de composants et une étude rapide des convertisseurs multi – niveaux. L'étude de ces convertisseurs n'est pas nouvelle et date de la fin des années 80. Le thème central de cette étude était de réaliser un convertisseur fortement intégré dans le cadre du contrat européen HIPO. L'association en série des composants est relativement délicate. L'étude s'est porté dans un premier temps sur une bonne compréhension des phénomènes qui peuvent se produire lors de la mise en série de composants et qui peuvent mener à des déséquilibres de tension, voir à la destruction de ceux-ci. Ensuite, différentes solutions ont été envisagées afin de garantir un équilibrage des tensions. Ces solutions sont relativement variées puisqu'elles vont de dispositifs de protection de composants utilisés industriellement et qui correctement dimensionnés et optimisés au niveau des pertes permettent un équilibrage tout à fait satisfaisant. De tels systèmes ont été implantés en intégration hybride dans des modules IGBT fabriqués par ALSTOM et ont montré leurs bonnes performances. Ils présentent l'avantage d'être compacts, peu sensibles aux perturbations et facilement intégrables. Cependant, leur dimensionnement n'est optimal que pour un point de fonctionnement. En dehors, soit l'équilibrage n'est plus assuré, mais la protection des composants l'est toujours, soit les pertes générées peuvent devenir importantes. D'autres solutions ont donc été investiguées, basées sur la mise en œuvre de microprocesseur DSP. Ces solutions permettent un bon équilibrage des tensions quelle que soit la valeur du bus continu. Or, celui-ci peut fluctuer de façon relativement importante en fonctionnement normal. La conclusion de cette partie étant que la mise en série est tout à fait réalisable et présente de nombreux avantages au niveau de la capacité d'intégration.

Le corollaire d'une intégration toujours plus poussée est une augmentation des contraintes à l'intérieur des modules de puissance. Une bonne compréhension de ces contraintes et de leur couplage doit donc être acquise pour assurer une durée de vie et une fiabilité satisfaisante des dispositifs.

C'est l'objet de la deuxième partie de ce mémoire. Nous avons présenté une étude sur les contraintes dans les modules s'appuyant sur des simulations. L'objectif étant de voir

l'influence des paramètres géométriques sur les différentes contraintes et de pouvoir tirer des règles de conception ou tout au moins d'identifier les contraintes les plus couplées et les facteurs de couplage. Trois points ont été pris en compte, les effets thermiques déjà largement étudiés dans le passé ainsi que l'aspect inductif et le champ électrique sur lesquels l'accent a été mis de façon plus importante.

En particulier, une étude des inductances et des répartitions des courants dans les modules de puissance a été menée. Ceci est très important car les couplages entre semi-conducteurs et câblage, mais également entre circuits de puissance et de commande peuvent générer des oscillations, des déséquilibres en courant entre les IGBT en parallèle ainsi que des surtensions. La mise en œuvre d'outils tels que InCa couplés à des simulateurs d'électronique de puissance comme SABER, nous a permis d'avoir une représentation fiable des inductances de câblage et une bonne appréhension des phénomènes en commutation. Cela permet de mener des analyses de systèmes existants, voire en utilisant des règles de câblage développées par le passé [Jeannin-01] d'aider à la conception de modules. La mise en œuvre de tels systèmes de simulation doit cependant être améliorée que ce soit au point de vue de son automatisation que de la rationalisation des méthodes. Cela fait l'objet des travaux de thèse de Christian Martin.

L'autre point est l'étude de la répartition des champs électriques dans les modules de puissance. On a dégagé un certain nombre de causes de renforcements localisés de champ. Il s'agit essentiellement de critères géométriques, pour les renforcements concernant le substrat. L'étude menée uniquement en simulation ne prend par contre pas en compte les aspects matériaux mais sont complémentaires car ils permettent d'accéder à des grandeurs telles que le champ électrique, difficilement mesurable dans un module, sauf à modifier profondément le système et donc les champs. Néanmoins, les résultats ont été comparés avec des mesures effectuées au LEMD par J-L. Augé et O. Lesaint afin de valider leur pertinence. Ces aspects matériaux doivent être étudiés afin de mieux comprendre les mécanismes physiques de défaillance et leurs limites.

Perspectives

Ce travail de thèse constitue une finalisation des techniques les plus courantes de mise en série de transistors, mais aussi une première ébauche d'étude des contraintes dans les modules et dans leur modélisation. Les perspectives peuvent donc se voir suivant deux points.

Le premier est la réalisation de convertisseurs haute tension. La demande et l'intérêt qu'y portent les industriels sont très importants avec la dérégulation du marché de l'énergie. Deux types de convertisseurs peuvent être envisagés, basés sur la mise en série directe ou les convertisseurs multi-niveaux. Si les premiers répondent bien aux attentes de compacité et d'intégration, les seconds présentent de nombreux avantages au niveau des harmoniques générés et de la fréquence de découpage apparente des convertisseurs. Enfin, la réalisation de convertisseurs très forte tension entraînera une augmentation très importante du volume du fait du nombre de niveaux et de la quantité d'éléments passifs nécessaires, sans parler de la partie automatique de l'ensemble du système. Une solution utilisant à la fois ces deux techniques pourrait pas contre être le meilleur compromis entre les avantages liés aux structures multi-niveaux (harmoniques, CEM) et ceux liés à la mise en série directe (volume). Il pourrait s'agir d'une structure multi-niveau où chaque interrupteur serait réalisé par une mise en série de transistors. L'optimisation du nombre de niveaux et du nombre de transistors à mettre en série, pourrait mener à un optimum en utilisant comme contraintes, le volume, le coût, les aspects CEM entre autres.

Le deuxième point est lié au développement d'interrupteurs haute tension. Plusieurs axes peuvent se dégager de l'étude réalisée et de ce qui a été mené dans d'autres laboratoires français.

L'étude des renforcements de champ électrique par simulation permet d'appréhender mieux les zones à risque de claquage. Mais comme le montre les études menées au LGET, les aspects matériaux sont très importants dans la compréhension des phénomènes de défaillance. L'objectif serait de coupler ces deux études. D'arriver à « caler » les outils de simulation au plus près des résultats mesurés pratiquement afin de représenter le plus fidèlement possible les mécanismes de défaillance et grâce à cela d'être capable d'offrir une aide à la conception des futurs modules de puissance. Ce point est très important car si la technologie silicium approche de ses limites du point de vue de la tension, de nouveaux matériaux tels le carbure

de silicium pourront être envisagés dans l'avenir. Leurs caractéristiques bien supérieures au silicium, mais également à l'ensemble des matériaux diélectriques qui sont mis en œuvre jusqu'ici dans les modules, nécessiteront des études plus approfondies sur la gestion des contraintes et de nouvelles structures d'assemblage.

Au niveau du descriptif de la géométrie des pistes de connexions, des études plus approfondies devront être menées afin d'automatiser et de rationaliser les méthodes d'analyse et de conception. Notamment, il faudra étudier non seulement, les aspects inductifs, mais également les aspects liés aux capacités parasites qui pourront poser des problèmes de CEM, au niveau du boîtier mais aussi dans le fonctionnement des convertisseurs, sans compter la perturbation capacitive de l'association série. La mise en œuvre de règles de câblage développées dans le cadre de la mise en parallèle et de l'interaction puissance - commande ou la gestion des capacités parasites devront être menées.

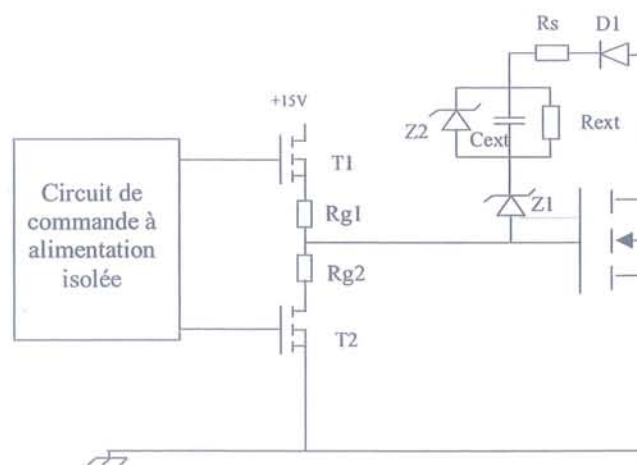
Enfin, devant l'intégration toujours plus poussée, il faudra s'orienter vers une conception plus globale, prenant en compte l'ensemble des contraintes, des boîtiers destinés à accueillir les futurs composants de puissance. Ceci pourra peut-être mener à de nouvelles structures de modules originaux qui permettront d'améliorer les performances comme par exemple le module développé dans le cadre du contrat HIPO.

Annexes :

Programme d'optimisation de l'écrêteur semi-actif

Circuit d'équilibrage à l'ouverture

Ce programme permet de déterminer l'évolution de grandeurs caractéristiques (pertes dans les transistors, pertes dans les zeners, dans la résistance ajoutée (Rext) et les écarts de tension en fonction des retards.



Définition du circuit électrique

Conditions de commutation

$L_d := 250 \cdot 10^{-9}$ Inductance du circuit de drain

$E := 2700$ Tension du bus continu

$I_o := 400$ Courant commuté

$t_r := 400 \cdot 10^{-9}$ retard IGBT 2 sur IGBT 1

$T := 1000 \cdot 10^{-6}$

$t_{cond} := 500 \cdot 10^{-6}$

Attention : t_{cond} correspond à la période de conduction du circuit écrêteur soit la période où le transistor IGBT est bloqué

Paramètres du driver

$R_g := 5.2$ Résistance de grille

$U_{Tlow} := -12$ Tension de commande pour l'ouverture

Paramètres des MOSFET (ou IGBT)

Les C_{gd} et C_{ds} sont évalués sous forte tension et pour $V_{gs} \sim V_{th}$

Transistor 1

$V_{th1} := 5.5$, $C_{gd1} := 2700 \cdot 10^{-12}$, $C_{ds1} := 10000 \cdot 10^{-12}$, $g_1 := 300$, $RapportI_{queue1} := 0.20$, $t_{queue1} := 4.0 \cdot 10^{-6}$

Transistor 2

$V_{th2} := 5.5$, $C_{gd2} := 2700 \cdot 10^{-12}$, $C_{ds2} := 10000 \cdot 10^{-12}$, $g_2 := 300$, $RapportI_{queue2} := 0.205$, $t_{queue2} := 4.0 \cdot 10^{-6}$

g : transconductance -valeur au voisinage du seuil (utilité juste pour le dV/dt).

$RapportI_{queue}$: Pourcentage du courant de queue par rapport au courant total

T_{queue} : Durée du courant de queue

Paramètres du circuit d'équilibrage

$$VZ1 := 1350$$

$$VZ2 := 150$$

$$Cgdext := 3000 \cdot 10^{-12}$$

$$Rext := 10 \cdot 10^3$$

$$Rs := 10$$

$$Rz1 := 10$$

$$Rz2 := 10$$

Les zeners sont modélisées à l'état passant comme des sources de tension Vz en série avec une résistance.

Les caractéristiques reprises ci-dessus sont celles des diodes Transil de chez Fairchild et Général Semiconductor.

Expression du dv/dt

$$dvdt(Cgd, Cds, gm, Vth) := \frac{I_o + gm \cdot (Vth - UTlow)}{Cgd \cdot (1 + Rg \cdot gm) + Cds}$$

Expression du di/dt

$$didt(Cgd, Vth) := -\sqrt{2} \frac{I_o \cdot (Vth - UTlow)}{Rg \cdot Cgd \cdot Ld}$$

Formule reprise du DEA de Nicolas Lauzier appliquée au di/dt au blocage.

Calcul des caractéristiques des diodes zener pour les courants considérés.

Deux types de courants vont circuler dans Z1, d'abord, les courants dus, lors de la première phase de commutation à Cgd, ensuite, les courants dus à l'écrêtage Zener.

1 ère phase d'écrêtage

$$Iz1(VZ1, Cgdext) := Cgdext \cdot dvdt(Cgd1, Cds1, g1, Vth1)$$

$$VZ1a(VZ1, Cgdext) := VZ1 + Rz1 \cdot Iz1(Cgdext) \frac{VZ1}{150}$$

(VZ1/150) : Nombre de diodes de 150V en série

2 ème phase

$$Iz1 := Cgd1 \cdot dvdt(Cgd1, Cds1, g1, Vth1)$$

$$VZ1b(VZ1) := VZ1 + Rz1 \cdot Iz1 \frac{VZ1}{150}$$

$$Iz2 := Cgd1 \cdot dvdt(Cgd1, Cds1, g1, Vth1)$$

$$VZ2b(VZ2) := VZ2 + Rz2 \cdot Iz2 \frac{VZ2}{150}$$

$$VZ1b(VZ1) = 1.675 \times 10^3$$

$$VZ2b(VZ2) = 186.109$$

Principe de fonctionnement :

Vds1 (le premier à commuter) à l'ouverture

On décrit l'allure des formes d'onde des deux interrupteurs en émettant deux hypothèses :

- Le transistor qui commute en premier est toujours le 1
- Ses capacités sont constantes

On peut alors décomposer la commutation en différentes phases :

- D'abord le transistor commute seul
- Ensuite, on a une phase de fonctionnement qui s'apparente à une capacité Cgd
- Puis, s'il y a lieu, une phase de fonctionnement en écrêtage Zener.
- A la fin de la commutation en tension, il y a commutation en courant
- Finalement, il y a apparition du courant de queue de l'IGBT

$$Vds1_1(t, VZ1, VZ2, Cgdext) := \begin{cases} V_{plateau} \leftarrow VZ1b(VZ1) + 0.7 + V_{th1} + \frac{I_o}{g1} \\ t1 \leftarrow \frac{V_{plateau}}{dvd(t)(Cgd1, Cds1, g1, V_{th1})} \\ t2 \leftarrow \frac{VZ2b(VZ2)}{dvd(t)(Cgd1 + Cgdext, Cds1, g1, V_{th1})} \\ 0 \text{ if } t \leq 0 \\ (dvd(t)(Cgd1, Cds1, g1, V_{th1}) \cdot t) \text{ if } 0 < t \leq t1 \\ [dvd(t)(Cgd1 + Cgdext, Cds1, g1, V_{th1}) \cdot (t - t1) + V_{plateau}] \text{ if } t1 < t \leq t2 + t1 \\ (dvd(t)(Cgd1 + Cgdext, Cds1, g1, V_{th1}) \cdot t2 + V_{plateau}) \text{ otherwise} \end{cases}$$

Vds2 (le deuxième à commuter) à l'ouverture

$$Vds2_1(t, VZ1, VZ2, Cgdext, tr) := \begin{cases} V_{plateau} \leftarrow VZ1b(VZ1) + 0.7 + V_{th2} + \frac{I_o}{g2} \\ t1 \leftarrow \frac{V_{plateau}}{dvd(t)(Cgd2, Cds2, g2, V_{th2})} \\ t2 \leftarrow \frac{VZ2b(VZ2)}{dvd(t)(Cgd2 + Cgdext, Cds2, g2, V_{th2})} \\ 0 \text{ if } t \leq tr \\ [dvd(t)(Cgd2, Cds2, g2, V_{th2}) \cdot (t - tr)] \text{ if } tr < t \leq t1 + tr \\ [dvd(t)(Cgd2 + Cgdext, Cds2, g2, V_{th2}) \cdot (t - t1 - tr) + V_{plateau}] \text{ if } t1 + tr < t \leq t2 + t1 + tr \\ (dvd(t)(Cgd2 + Cgdext, Cds2, g2, V_{th2}) \cdot t2 + V_{plateau}) \text{ otherwise} \end{cases}$$

Détermination des formes d'onde réelles des tensions aux bornes des deux interrupteurs :

Dans un premier temps, on trace les formes d'onde pour un circuit et un retard donnés

Détermination de l'instant de fin de commutation

$t0 := 0$

Soit

$t0 > 0$

$Vds1_1(t0, VZ1, VZ2, Cgdext) + Vds2_1(t0, VZ1, VZ2, Cgdext, tr) = E$

$tfina(t0, VZ1, VZ2, Cgdext, tr) := 1 \cdot 10^{-5}$ on error trouver(t0)

Commentaire : Quand la somme des 2 tensions vaut E la commutation en tension est terminée, si l'algorithme de recherche de zéro (« trouver » ne converge pas on fixe ce temps à 10µs).

Détermination de la durée de la commutation en courant (et donc de la surtension inductive)

Détermination de la durée de commutation en courant (Celle-ci s'arrête lorsque le courant a atteint une valeur déterminée). On passe alors dans une phase de fonctionnement correspondant au courant de queue.

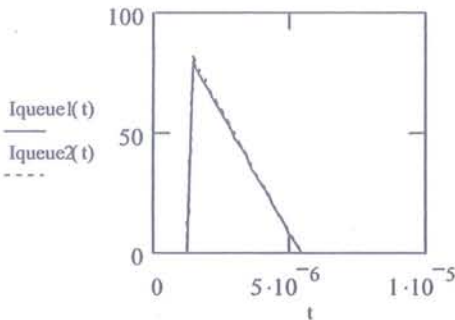
```

i0 := 0
Soit
i0 > 0
-didt(Cgd1, Vth1) · i0 = (1 - RapportIqueue) · Io
tfinalcouran(Cgd1, Vth1) := 1 on error trouver(i0)
tfina(i0, VZ1, VZ2, Cgdext, tr) = 1.209 × 10-6
tfinalcouran(Cgd1, Vth1) = 1.602 × 10-7
    
```

Détermination de l'action du courant de queue :

```

Iqueue1(t) := | fincommute ← tfina(i0, VZ1, VZ2, Cgdext, tr)
                [ 400 · RapportIqueue1 · ( 1 - (t - fincommute - tfinalcouran(Cgd1, Vth1)) / tqueue1 ) ] if fincommute + tfinalcouran(Cgd1, Vth1) < t ≤ fincommute + tfinalcouran(Cgd1, Vth1) + tque
                0 otherwise
Iqueue2(t) := | fincommute ← tfina(i0, VZ1, VZ2, Cgdext, tr)
                [ 400 · RapportIqueue2 · ( 1 - (t - fincommute - tfinalcouran(Cgd2, Vth2)) / tqueue2 ) ] if fincommute + tfinalcouran(Cgd2, Vth2) < t ≤ fincommute + tfinalcouran(Cgd2, Vth2) + t
                0 otherwise
t := 0, 200 · 10-9 .. 7000 · 10-9
    
```



Détermination des différentes formes d'onde

Action du L · di/dt

```

Vds1(t, VZ1, VZ2, Cgdext, tr) := | fincommute ← tfina(i0, VZ1, VZ2, Cgdext, tr)
                                   Vds1_l(t, VZ1, VZ2, Cgdext) if t < fincommute
                                   Vds1_l(fincommute, VZ1, VZ2, Cgdext) - (Ld / 2) · didt(Cgd1, Vth1) if fincommute ≤ t < fincommute + tfinalcouran(Cgd1, Vth1)
                                   Vds1_l(fincommute, VZ1, VZ2, Cgdext) otherwise
    
```

ATTENTION : On effectue l'hypothèse que les surtensions engendrées par les inductances lors du blocage du courant sont également réparties entre les différents transistors.

Action du courant de queue

$$\begin{aligned}
 Vds11(t, VZ1, VZ2, Cgdext, tr) &:= \begin{cases} fincommute \leftarrow tfinal(t0, VZ1, VZ2, Cgdext, tr) \\ Vds11(t, VZ1, VZ2, Cgdext, tr) & \text{if } t < fincommute + tfinalcouran(Cgd1, Vth1) \\ Vds11(fincommute + tfinalcouran(Cgd1, Vth1), VZ1, VZ2, Cgdext, tr) + \frac{1}{Cds1} \left[Io \cdot RapportIqueue2 \frac{tqueue2}{2} - Io \cdot RapportIqueue1 \frac{tqueue1}{2} - Iq \right] & \text{otherwise} \end{cases} \\
 tfinal(t0, VZ1, VZ2, Cgdext, tr) + tfinalcouran(Cgd1, Vth1) &= 1.37 \times 10^{-6} \\
 Vds1(t, VZ1, VZ2, Cgdext, tr) &:= \begin{cases} (VZ1b(VZ1) + VZ2b(VZ2)) & \text{if } Vds11(t, VZ1, VZ2, Cgdext, tr) \geq VZ1b(VZ1) + VZ2b(VZ2) \\ Vds11(t, VZ1, VZ2, Cgdext, tr) & \text{otherwise} \end{cases}
 \end{aligned}$$

Action du L*dI/dt

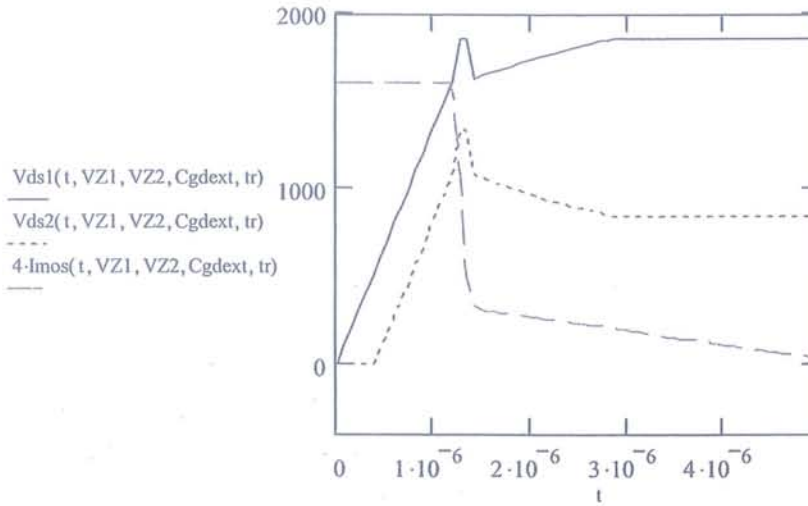
$$\begin{aligned}
 Vds22(t, VZ1, VZ2, Cgdext, tr) &:= \begin{cases} fincommute \leftarrow tfinal(t0, VZ1, VZ2, Cgdext, tr) \\ Vds2_l(t, VZ1, VZ2, Cgdext, tr) & \text{if } t < fincommute \\ Vds2_l(fincommute, VZ1, VZ2, Cgdext, tr) - \frac{Ld}{2} \cdot didt(Cgd2, Vth2) & \text{if } fincommute \leq t < fincommute + tfinalcouran(Cgd2, Vth2) \\ Vds2_l(fincommute, VZ1, VZ2, Cgdext, tr) & \text{otherwise} \end{cases}
 \end{aligned}$$

Action du courant de queue

$$\begin{aligned}
 Vds222(t, VZ1, VZ2, Cgdext, tr) &:= \begin{cases} fincommute \leftarrow tfinal(t0, VZ1, VZ2, Cgdext, tr) \\ Vds222(t, VZ1, VZ2, Cgdext, tr) & \text{if } t < fincommute + tfinalcouran(Cgd2, Vth2) \\ Vds222(fincommute + tfinalcouran(Cgd1, Vth1), VZ1, VZ2, Cgdext, tr) - \frac{1}{Cds1} \left[Io \cdot RapportIqueue2 \frac{tqueue2}{2} - Io \cdot RapportIqueue1 \frac{tqueue1}{2} - Iqueue2(t) \right] & \text{otherwise} \end{cases} \\
 Vds2a(t, VZ1, VZ2, Cgdext, tr) &:= \begin{cases} (VZ1b(VZ1) + VZ2b(VZ2)) & \text{if } Vds222(t, VZ1, VZ2, Cgdext, tr) \geq VZ1b(VZ1) + VZ2b(VZ2) \\ Vds222(t, VZ1, VZ2, Cgdext, tr) & \text{otherwise} \end{cases} \\
 Vds2(t, VZ1, VZ2, Cgdext, tr) &:= \begin{cases} fincommute \leftarrow tfinal(t0, VZ1, VZ2, Cgdext, tr) \\ Vds222(t, VZ1, VZ2, Cgdext, tr) & \text{if } t < fincommute + tfinalcouran(Cgd2, Vth2) \\ E - Vds1(t, VZ1, VZ2, Cgdext, tr) & \text{otherwise} \end{cases}
 \end{aligned}$$

Détermination du courant de puissance Imos

$$\begin{aligned}
 Imos11(t, VZ1, VZ2, Cgdext, tr) &:= \begin{cases} fincommute \leftarrow tfinal(t0, VZ1, VZ2, Cgdext, tr) \\ Io & \text{if } t \leq fincommute \\ Io + didt(Cgd1, Vth1) \cdot (t - fincommute) & \text{if } fincommute < t < fincommute + tfinalcouran(Cgd1, Vth1) \\ Iqueue1(t) & \text{otherwise} \end{cases} \\
 Imos(t, VZ1, VZ2, Cgdext, tr) &:= Imos11(t, VZ1, VZ2, Cgdext, tr) \\
 Imos2(t, VZ1, VZ2, Cgdext, tr) &:= \begin{cases} fincommute \leftarrow tfinal(t0, VZ1, VZ2, Cgdext, tr) \\ Io & \text{if } t \leq fincommute \\ Io + didt(Cgd2, Vth2) \cdot (t - fincommute) & \text{if } fincommute < t < fincommute + tfinalcouran(Cgd2, Vth2) \\ Iqueue2(t) & \text{otherwise} \end{cases} \\
 t &:= 0 \cdot 10^{-9}, 75 \cdot 10^{-9} .. 5000 \cdot 10^{-9}
 \end{aligned}$$



Allure des formes d'onde en commutation

$i := 0, 1.. 60$

$instant_i := 100 \cdot 10^{-9} \cdot i$

$PZH1_i := V_{ds1}(instant_i, VZ1, VZ2, Cgdext, tr)$

ECRIREPRN("V1ensemble.txt") := PZH1

$PZH2_i := V_{ds2}(instant_i, VZ1, VZ2, Cgdext, tr)$

ECRIREPRN("V2ensemble.txt") := PZH2

$PZH3_i := I_{mos}(instant_i, VZ1, VZ2, Cgdext, tr)$

ECRIREPRN("Iensemble.txt") := PZH3

$PZH4_i := instant_i$

ECRIREPRN("Instants.txt") := PZH4

$i := 0, 1.. 60$

$instant_i := 30 \cdot 10^{-9} \cdot i$

$PZH1_i := V_{ds1}(instant_i, VZ1, VZ2, Cgdext, tr)$

ECRIREPRN("V1detail.txt") := PZH1

$PZH2_i := V_{ds2}(instant_i, VZ1, VZ2, Cgdext, tr)$

ECRIREPRN("V2detail.txt") := PZH2

$PZH3_i := I_{mos}(instant_i, VZ1, VZ2, Cgdext, tr)$

ECRIREPRN("Idetail.txt") := PZH3

$PZH4_i := instant_i$

ECRIREPRN("Instantdetail.txt") := PZH4

$V_{ds1}(4 \cdot 10^{-6}, VZ1, VZ2, Cgdext, tr) + V_{ds2}(4 \cdot 10^{-6}, VZ1, VZ2, Cgdext, tr) = 2.7 \times 10^3$

Calcul des pertes

Pertes dans les transistors de puissance :

Détermination du temps de fin de commutation :

Variante du calcul des pertes dans les transistors

$$P_{\text{transistorh2}}(VZ1, VZ2, Cgdext, tr) := \begin{cases} \text{fincommute} \leftarrow \text{tfinal}(t0, VZ1, VZ2, Cgdext, tr) \\ I_o \cdot V_{ds1} \left(\text{fincommute} - 10^{-9}, VZ1, VZ2, Cgdext, tr \right) \frac{\text{fincommute}}{2} + I_o \frac{(1 + \text{RapportIqueue1})}{2} \cdot \text{tfinalcouran}(Cgd1, Vth1) \cdot V_{ds1} \left(\text{fincommute} + 10^{-9}, VZ1, V \right) \end{cases}$$

$$P_{\text{transistorh2}}(VZ1, VZ2, Cgdext, tr) = 0.76$$

Transistor du haut

$$P_{\text{transistorh}}(VZ1, VZ2, Cgdext, tr) := \begin{cases} \text{fincommute} \leftarrow \text{tfinal}(t0, VZ1, VZ2, Cgdext, tr) \\ 1 \text{ on error } \int_0^{\text{fincommute} + \text{tfinalcouran}(Cgd1, Vth1) + \text{tqueue1}} V_{ds1}(t, VZ1, VZ2, Cgdext, tr) \cdot I_{mos}(t, VZ1, VZ2, Cgdext, tr) \end{cases}$$

$$P_{\text{transistorh}}(VZ1, VZ2, Cgdext, tr) = \blacksquare$$

Transistor du bas

$$P_{\text{transistorb}}(VZ1, VZ2, Cgdext, tr) := \begin{cases} \text{fincommute} \leftarrow \text{tfinal}(t0, VZ1, VZ2, Cgdext, tr) \\ 1 \text{ on error } \int_0^{\text{fincommute} + \text{tfinalcouran}(Cgd2, Vth2) + \text{tqueue2}} V_{ds2}(t, VZ1, VZ2, Cgdext, tr) \cdot I_{mos}(t, VZ1, VZ2, Cgdext, tr) \end{cases}$$

$$P_{\text{transistorb}}(VZ1, VZ2, Cgdext, tr) = \blacksquare$$

$$P_{\text{transistorb2}}(VZ1, VZ2, Cgdext, tr) := \begin{cases} \text{fincommute} \leftarrow \text{tfinal}(t0, VZ1, VZ2, Cgdext, tr) \\ I_o \cdot V_{ds2} \left(\text{fincommute} - 10^{-9}, VZ1, VZ2, Cgdext, tr \right) \frac{\text{fincommute}}{2} + I_o \frac{(1 + \text{RapportIqueue2})}{2} \cdot \text{tfinalcouran}(Cgd2, Vth2) \cdot V_{ds2} \left(\text{fincommute} + 10^{-9}, VZ1, VZ \right) \end{cases}$$

$$P_{\text{transistorb2}}(VZ1, VZ2, Cgdext, tr) = 0.451$$

Pertes totales (lors de la commutation) :

$$E_{\text{totaltrans}}(VZ1, VZ2, Cgdext, tr) := P_{\text{transistorh2}}(VZ1, VZ2, Cgdext, tr) \dots + P_{\text{transistorb2}}(VZ1, VZ2, Cgdext, tr)$$

Soit avec la fréquence définies au départ, une puissance de :

$$E_{\text{totaltrans}}(VZ1, VZ2, Cgdext, tr) \frac{1}{T} = 1.211 \times 10^3$$

Ecarts de tension en fin de commutation entre les deux transistors

$$V_{ds1}(\text{tfinal}(t0, VZ1, VZ2, Cgdext, tr), VZ1, VZ2, Cgdext, tr) - V_{ds2}(\text{tfinal}(t0, VZ1, VZ2, Cgdext, tr), VZ1, VZ2, Cgdext, tr) = 528.922$$

$$\Delta V(VZ1, VZ2, Cgdext, tr) := V_{ds1}[\text{tfinal}(t0, VZ1, VZ2, Cgdext, tr) + (\text{tfinalcouran}(Cgd1, Vth1) + \text{tqueue1}), VZ1, VZ2, Cgdext, tr] \dots + [-V_{ds2}[\text{tfinal}(t0, VZ1, VZ2, Cgdext, tr) + (\text{tfinalcouran}(Cgd2, Vth2) + \text{tqueue2}), VZ1, VZ2, Cgdext, tr]]$$

Ecart à la fin de la commutation (tension, courant et courant de queue)

en pratique avec ces paramètres : environ 900 V)

$$\Delta V(1050, 150, 6 \cdot 10^{-9}, 100 \cdot 10^{-9}) = 277.745$$

Pertes dans le circuit d'écrêtage (2 Zeners)

Calcul des courants dans les différents composants du circuit supérieur :

$$I_{g1} := C_{gd1} \cdot d \cdot v_{dt}(C_{gd1}, C_{ds1}, g1, V_{th1})$$

$$I_{g2} := C_{gd2} \cdot d \cdot v_{dt}(C_{gd2}, C_{ds2}, g2, V_{th2})$$

$$I_{Z1_1}(t, VZ1, VZ2, C_{gdext}, R_{ext}, R_s, tr) := \begin{cases} V_{plateau} \leftarrow VZ1b(VZ1) + 0.7 + V_{th1} + \frac{I_o}{g1} \\ t1 \leftarrow \frac{V_{plateau}}{d \cdot v_{dt}(C_{gd1}, C_{ds1}, g1, V_{th1})} \\ t2 \leftarrow \frac{VZ2b(VZ2)}{d \cdot v_{dt}(C_{gd1} + C_{gdext}, C_{ds1}, g1, V_{th1})} \\ 0 \text{ if } t \leq t1 \\ \frac{V_{ds1}(t, VZ1, VZ2, C_{gdext}, tr) - V_{plateau}}{R_{ext}} + C_{gdext} \cdot d \cdot v_{dt}(C_{gd1} + C_{gdext}, C_{ds1}, g1, V_{th1}) \text{ if } t1 < t \leq t2 + t1 \\ I_{g1} \text{ otherwise} \end{cases}$$

$$I_{Z11}(t, VZ1, VZ2, C_{gdext}, R_{ext}, R_s, tr) := \begin{cases} I_{Z1_1}(t, VZ1, VZ2, C_{gdext}, R_{ext}, R_s, tr) \text{ if } t \leq t_{final}(t0, VZ1, VZ2, C_{gdext}, tr) \\ \frac{V_{ds1}(t, VZ1, VZ2, C_{gdext}, tr) - \left(VZ1b(VZ1) + 0.7 + V_{th2} + \frac{I_o}{g1} \right)}{R_{ext}} \text{ otherwise} \end{cases}$$

$$I_{Z11_statique\lambda}(t, VZ1, VZ2, C_{gdext}, R_{ext}, R_s, tr) := \begin{cases} 0 \text{ if } (V_{ds1}(t, VZ1, VZ2, C_{gdext}, tr) < VZ1b(VZ1) + VZ2b(VZ2)) \\ I_{queue\lambda}(t) - I_{queue1}(t) \text{ otherwise} \end{cases}$$

$$I_{Z11_statique\mu}(t, VZ1, VZ2, C_{gdext}, R_{ext}, R_s, tr) := \begin{cases} I_{Z11_statique\lambda}(t, VZ1, VZ2, C_{gdext}, R_{ext}, R_s, tr) \text{ if } I_{Z11_statique\lambda}(t, VZ1, VZ2, C_{gdext}, R_{ext}, R_s, tr) > 0 \\ 0 \text{ otherwise} \end{cases}$$

$$I_{Z11_commutation}(t, VZ1, VZ2, C_{gdext}, R_{ext}, R_s, tr) := \begin{cases} I_{g1} \text{ if } \frac{V_{ds1}(t, VZ1, VZ2, C_{gdext}, tr) - (VZ1b(VZ1) + VZ2b(VZ2))}{R_{ext}} \geq 0 \\ I_{Z11}(t, VZ1, VZ2, C_{gdext}, R_{ext}, R_s, tr) \text{ otherwise} \end{cases}$$

$$I_{Z11}(t, VZ1, VZ2, C_{gdext}, R_{ext}, R_s, tr) := \begin{cases} I_{Z11_commutation}(t, VZ1, VZ2, C_{gdext}, R_{ext}, R_s, tr) \text{ if } t \leq t_{final}(t0, VZ1, VZ2, C_{gdext}, tr) + t_{finalcourant}(C_{gd2}, Vt) \\ I_{Z11_statique\mu}(t, VZ1, VZ2, C_{gdext}, R_{ext}, R_s, tr) \text{ otherwise} \end{cases}$$

$$i := 0, 1..60$$

$$instant_i := 100 \cdot 10^{-9} \cdot i$$

$$PZH1_i := instant_i$$

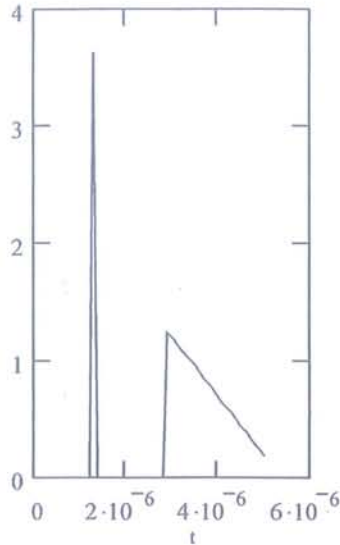
$$ECRIREPRN("Instant.txt") := PZH1$$

$$PZH9_i := I_{Z11}(instant_i, VZ1, VZ2, C_{gdext}, R_{ext}, R_s, tr)$$

$$ECRIREPRN("Icircuitecreteur2.txt") := PZH9$$

$$t := 0, 100 \cdot 10^{-9} .. 5000 \cdot 10^{-9}$$

$I_{Z11}(t, VZ1, VZ2, Cgdext, Rext, Rs, tr)$



$$I_{Z21_statique}(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) := \begin{cases} 0 & \text{if } (V_{ds1}(t, VZ1, VZ2, Cgdext, tr) < V_{Z1b}(VZ1) + V_{Z2b}(VZ2)) \\ I_{queue}(t) - I_{queue}(t) & \text{otherwise} \end{cases}$$

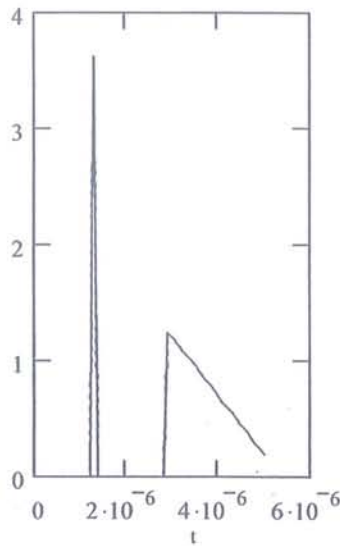
$$I_{Z21_statique}(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) := \begin{cases} I_{Z21_statique}(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) & \text{if } I_{queue}(t) - I_{queue}(t) > 0 \\ 0 & \text{otherwise} \end{cases}$$

$$I_{Z21_commutation}(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) := \begin{cases} I_{g1} & \text{if } V_{ds1}(t, VZ1, VZ2, Cgdext, tr) \geq V_{Z1b}(VZ1) + V_{Z2b}(VZ2) \\ 0 & \text{otherwise} \end{cases}$$

$$I_{Z21}(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) := \begin{cases} I_{Z21_commutation}(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) & \text{if } t \leq t_{final}(t0, VZ1, VZ2, Cgdext, tr) + t_{finalcourant}(Cgd2, VZ1) \\ I_{Z21_statique}(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) & \text{otherwise} \end{cases}$$

$I_{Z21}(t, VZ1, VZ2, Cgdext, Rext, Rs, tr)$

$I_{Z11}(t, VZ1, VZ2, Cgdext, Rext, Rs, tr)$



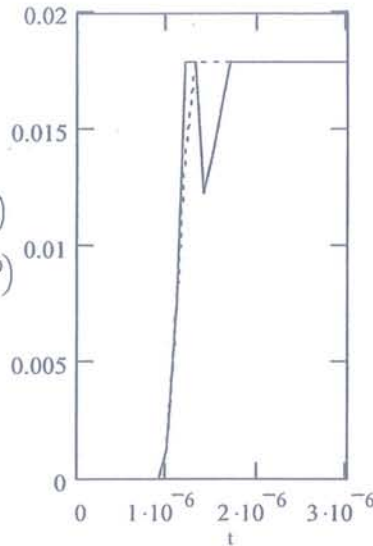
$$I_{Rext_l}(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) := \begin{cases} V_{plateau} \leftarrow V_{Z1b}(VZ1) + 0.7 + V_{th1} + \frac{I_o}{g1} \\ t1 \leftarrow \frac{V_{plateau}}{dvd(t, Cgd1, Cds1, g1, V_{th1})} \\ t2 \leftarrow \frac{V_{Z2b}(VZ2)}{dvd(t, Cgd1 + Cgdext, Cds1, g1, V_{th1})} \\ 0 & \text{if } t \leq t1 \\ \frac{V_{ds1}(t, VZ1, VZ2, Cgdext, tr) - V_{plateau}}{Rext} & \text{otherwise} \end{cases}$$

$$I_{\text{rect1}}(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) := \begin{cases} I_{\text{rect1}}(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) & \text{if } t \leq t_{\text{final}}(t0, VZ1, VZ2, Cgdext, tr) \\ \frac{Vds1(t, VZ1, VZ2, Cgdext, tr) - \left(VZ1b(VZ1) + 0.7 + Vth2 + \frac{I_o}{g1} \right)}{Rext} & \text{otherwise} \end{cases}$$

$$I_{\text{rect1}}(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) := \begin{cases} I_{\text{rect1}}(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) & \text{if } I_{\text{rect1}}(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) \geq 0 \\ 0 & \text{otherwise} \end{cases}$$

$$t := 0, 100 \cdot 10^{-9} \dots 3000 \cdot 10^{-9}$$

$$\frac{I_{\text{rect1}}(t, 1050, 150, Cgdext, Rext, Rs, 200 \cdot 10^{-9})}{I_{\text{rect1}}(t, 1050, 150, Cgdext, Rext, Rs, 400 \cdot 10^{-9})}$$



Calcul des courants dans les différents composants du circuit inférieur:

$$IZ1_2a(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) := \begin{cases} V_{\text{plateau}} \leftarrow VZ1b(VZ1) + 0.7 + Vth1 + \frac{I_o}{g1} \\ t1 \leftarrow \frac{V_{\text{plateau}}}{dvd(t, Cgd1, Cds1, g1, Vth1)} \\ t2 \leftarrow \frac{VZ2b(VZ2)}{dvd(t, Cgd1 + Cgdext, Cds1, g1, Vth1)} \\ 0 & \text{if } t \leq t1 + tr \\ \frac{Vds2(t, VZ1, VZ2, Cgdext, tr) - V_{\text{plateau}}}{Rext} + Cgdext \cdot dvd(t, Cgd2 + Cgdext, Cds2, g2, Vth2) & \text{if } t1 + tr < t \leq t2 + t1 \\ I_{g1} & \text{otherwise} \end{cases}$$

$$IZ1_2(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) := \begin{cases} IZ1_2a(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) & \text{if } IZ1_2a(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) > 0 \\ 0 & \text{otherwise} \end{cases}$$

$$IZ112(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) := \begin{cases} IZ1_2(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) & \text{if } t \leq t_{\text{final}}(t0, VZ1, VZ2, Cgdext, tr) \\ \frac{Vds2(t, VZ1, VZ2, Cgdext, tr) - \left(VZ1b(VZ1) + 0.7 + Vth2 + \frac{I_o}{g2} \right)}{Rext} & \text{otherwise} \end{cases}$$

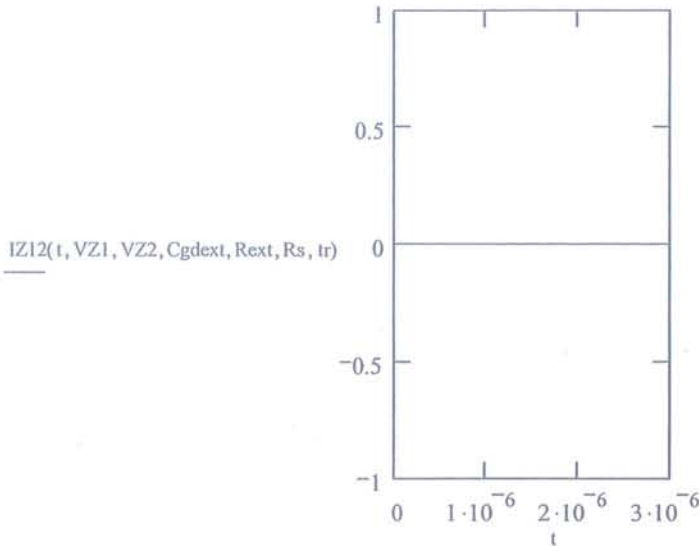
$$IZ12_statique\lambda(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) := \begin{cases} 0 & \text{if } (Vds2(t, VZ1, VZ2, Cgdext, tr) < VZ1b(VZ1) + VZ2b(VZ2)) \\ I_{\text{queue}}(t) - I_{\text{queue}}(t) & \text{otherwise} \end{cases}$$

$$IZ12_statique\mu(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) := \begin{cases} IZ12_statique\lambda(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) & \text{if } IZ12_statique\lambda(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) > 0 \\ 0 & \text{otherwise} \end{cases}$$

$$IZ12_commutation(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) := \begin{cases} I_{g1} & \text{if } \frac{Vds2(t, VZ1, VZ2, Cgdext, tr) - (VZ1b(VZ1) + VZ2b(VZ2))}{Rext} \geq 0 \\ IZ112(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) & \text{otherwise} \end{cases}$$

$$IZ12a(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) := \begin{cases} IZ12_commutation(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) & \text{if } t \leq t_{\text{final}}(t0, VZ1, VZ2, Cgdext, tr) + t_{\text{finalcourant}}(Cgd2, V) \\ IZ12_statique\mu(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) & \text{otherwise} \end{cases}$$

$$IZ12(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) := \begin{cases} IZ12a(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) & \text{if } IZ12a(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) > 0 \\ 0 & \text{otherwise} \end{cases}$$



$$\begin{aligned}
 IZ22_statique(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) &:= \begin{cases} 0 & \text{if } (Vds2(t, VZ1, VZ2, Cgdext, tr) < VZ1b(VZ1) + VZ2b(VZ2)) \\ Iqueue1(t) - Iqueue2(t) & \text{otherwise} \end{cases} \\
 IZ22_statique(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) &:= \begin{cases} IZ22_statique(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) & \text{if } Iqueue1(t) - Iqueue2(t) > 0 \\ 0 & \text{otherwise} \end{cases} \\
 IZ22_commutation(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) &:= \begin{cases} Ig1 & \text{if } Vds2(t, VZ1, VZ2, Cgdext, tr) \geq VZ1b(VZ1) + VZ2b(VZ2) \\ 0 & \text{otherwise} \end{cases} \\
 IZ22(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) &:= \begin{cases} IZ22_commutation(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) & \text{if } t \leq tfinal(t0, VZ1, VZ2, Cgdext, tr) + tfinalcouran(Cgd2, Vt) \\ IZ22_statique(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) & \text{otherwise} \end{cases} \\
 IRExt_2(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) &:= \begin{cases} Vplateau \leftarrow VZ1b(VZ1) + 0.7 + Vth2 + \frac{Io}{g1} \\ t1 \leftarrow \frac{Vplateau}{dvd(t, Cgd2, Cds2, g2, Vth2)} \\ t2 \leftarrow \frac{VZ2b(VZ2)}{dvd(t, Cgd2 + Cgdext, Cds2, g2, Vth2)} \\ 0 & \text{if } t \leq t1 + tr \\ \frac{Vds2(t, VZ1, VZ2, Cgdext, tr) - Vplateau}{Rext} & \text{otherwise} \end{cases} \\
 IRExt(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) &:= \begin{cases} IRExt_2(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) & \text{if } t \leq tfinal(t0, VZ1, VZ2, Cgdext, tr) \\ \frac{Vds2(t, VZ1, VZ2, Cgdext, tr) - \left(VZ1b(VZ1) + 0.7 + Vth2 + \frac{Io}{g1} \right)}{Rext} & \text{otherwise} \\ 0 & \text{if } \frac{Vds2(t, VZ1, VZ2, Cgdext, tr) - \left(VZ1b(VZ1) + 0.7 + Vth2 + \frac{Io}{g1} \right)}{Rext} < 0 \end{cases}
 \end{aligned}$$

Calcul des pertes en commutation dans les différents éléments du circuit :

Zener1 haut

$$IZ1h(VZ1, VZ2, Cgdext, Rext, Rs, tr) := \int_0^{tfinal(t0, VZ1, VZ2, Cgdext, tr) + tfinalcouran(Cgd1, Vth1) + tqueue1} IZ11(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) dt$$

$$IZ1h(VZ1, VZ2, Cgdext, Rext, Rs, tr) = 1.796 \times 10^{-6}$$

$$PcommZ1h(VZ1, VZ2, Cgdext, Rext, Rs, tr) := VZ1b(VZ1) \cdot IZ1h(VZ1, VZ2, Cgdext, Rext, Rs, tr) \frac{1}{T}$$

$$PcommZ1h(VZ1, VZ2, Cgdext, Rext, Rs, tr) = 3.008$$

Zener1 bas

$$IZ1b(VZ1, VZ2, Cgdext, Rext, Rs, tr) := \int_0^{t_{final}(t0, VZ1, VZ2, Cgdext, tr) + t_{finalcourant}(Cgd1, Vth1) + t_{queue1}} IZ1Z(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) dt$$

$$PcommZ1b(VZ1, VZ2, Cgdext, Rext, Rs, tr) := VZ1b(VZ1) \cdot IZ1b(VZ1, VZ2, Cgdext, Rext, Rs, tr) \frac{1}{T}$$

Zener2 haut

$$IZ2h(VZ1, VZ2, Cgdext, Rext, Rs, tr) := \int_0^{t_{final}(t0, VZ1, VZ2, Cgdext, tr) + t_{finalcourant}(Cgd1, Vth1) + t_{queue1}} IZ2Z(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) dt$$

$$PcommZ2h(VZ1, VZ2, Cgdext, Rext, Rs, tr) := VZ2b(VZ2) \cdot IZ2h(VZ1, VZ2, Cgdext, Rext, Rs, tr) \frac{1}{T}$$

Zener2 bas

$$IZ2b(VZ1, VZ2, Cgdext, Rext, Rs, tr) := \int_0^{t_{final}(t0, VZ1, VZ2, Cgdext, tr) + t_{finalcourant}(Cgd1, Vth1) + t_{queue1}} IZ2Z(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) dt$$

$$PcommZ2b(VZ1, VZ2, Cgdext, Rext, Rs, tr) := VZ2b(VZ2) \cdot IZ2b(VZ1, VZ2, Cgdext, Rext, Rs, tr) \frac{1}{T}$$

Rext haut

$$IReXth(VZ1, VZ2, Cgdext, Rext, Rs, tr) := \int_0^{t_{final}(t0, VZ1, VZ2, Cgdext, tr) + t_{finalcourant}(Cgd1, Vth1) + t_{queue1}} IReXt1(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) - IReXt1(t, VZ1, VZ2, Cgdext, Rext, Rs, tr)$$

$$PcommReXth(VZ1, VZ2, Cgdext, Rext, Rs, tr) := Rext \cdot IReXth(VZ1, VZ2, Cgdext, Rext, Rs, tr) \frac{1}{T}$$

Rext bas

$$IReXtb(VZ1, VZ2, Cgdext, Rext, Rs, tr) := \int_0^{t_{final}(t0, VZ1, VZ2, Cgdext, tr) + t_{finalcourant}(Cgd1, Vth1) + t_{queue1}} IReXt2(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) - IReXt2(t, VZ1, VZ2, Cgdext, Rext, Rs, tr) dt$$

$$PcommReXtb(VZ1, VZ2, Cgdext, Rext, Rs, tr) := Rext \cdot IReXtb(VZ1, VZ2, Cgdext, Rext, Rs, tr) \frac{1}{T}$$

Pertes en régime continu

Rext haut

$$PcondReXth(VZ1, VZ2, Cgdext, Rext, Rs, tr) := IReXt1(t_{final}(t0, VZ1, VZ2, Cgdext, tr) + t_{finalcourant}(Cgd1, Vth1) + t_{queue1}, VZ1, VZ2, Cgdext, Rext, Rs, tr)^2 \cdot Rext \frac{t_{ct}}{T}$$

Rext bas

$$PcondReXtb(VZ1, VZ2, Cgdext, Rext, Rs, tr) := IReXt2(t_{final}(t0, VZ1, VZ2, Cgdext, tr) + t_{finalcourant}(Cgd1, Vth1) + t_{queue1}, VZ1, VZ2, Cgdext, Rext, Rs, tr)^2 \cdot Rext \frac{t_{ct}}{T}$$

Z1 haut

$$PcondZ1h(VZ1, VZ2, Cgdext, Rext, Rs, tr) := \begin{cases} 0 & \text{if } \frac{Vds1(t_{final}(t0, VZ1, VZ2, Cgdext, tr), VZ1, VZ2, Cgdext, tr) - \left(VZ1b(VZ1) + 0.7 + Vth2 + \frac{Io}{g1} \right)}{Rext} < 0 \\ \left[\frac{Vds1(t_{final}(t0, VZ1, VZ2, Cgdext, tr), VZ1, VZ2, Cgdext, tr) - \left(VZ1b(VZ1) + 0.7 + Vth2 + \frac{Io}{g1} \right)}{Rext} \cdot VZ1b(VZ1) - \frac{t_{cond}}{T} \right] & \text{otherwise} \end{cases}$$

Z1 bas

$$PcondZ1b(VZ1, VZ2, Cgdext, Rext, Rs, tr) := \begin{cases} 0 & \text{if } \frac{Vds2(t_{final}(t0, VZ1, VZ2, Cgdext, tr), VZ1, VZ2, Cgdext, tr) - \left(VZ1b(VZ1) + 0.7 + Vth2 + \frac{Io}{g1} \right)}{Rext} < 0 \\ \left[\frac{Vds2(t_{final}(t0, VZ1, VZ2, Cgdext, tr), VZ1, VZ2, Cgdext, tr) - \left(VZ1b(VZ1) + 0.7 + Vth2 + \frac{Io}{g2} \right)}{Rext} \cdot VZ1b(VZ1) - \frac{t_{cond}}{T} \right] & \text{other} \end{cases}$$

Pertes dans la résistance à l'amorçage :

Rext haut

$$P_{amRexth}(VZ1, VZ2, Cgdext, Rext, Rs, tr) := \frac{1}{2} \cdot Cgdext \left[Vds1(t_{fina}(t0, VZ1, VZ2, Cgdext, tr), VZ1, VZ2, Cgdext, tr) - \left(VZ1b(VZ1) + 0.7 + Vth2 + \frac{Io}{g1} \right) \right]^2$$

Rext bas

$$P_{amRext}(VZ1, VZ2, Cgdext, Rext, Rs, tr) := \begin{cases} \frac{1}{2} \cdot Cgdext \left[Vds1(t_{fina}(t0, VZ1, VZ2, Cgdext, tr), VZ1, VZ2, Cgdext, tr) - \left(VZ1b(VZ1) + 0.7 + Vth2 + \frac{Io}{g1} \right) \right]^2 & \text{if } Vds1(t_{fina}(t0, VZ1, VZ2, Cgdext, tr), VZ1, VZ2, Cgdext, tr) - \left(VZ1b(VZ1) + 0.7 + Vth2 + \frac{Io}{g1} \right) > 0 \\ 0 & \text{otherwise} \end{cases}$$

Pertes totales dans les zener basses :

$$P_{totalzenerbas}(VZ1, VZ2, Cgdext, Rext, Rs, tr) := P_{condZ1b}(VZ1, VZ2, Cgdext, Rext, Rs, tr) + P_{commZ1b}(VZ1, VZ2, Cgdext, Rext, Rs, tr)$$

$$P_{totalzenerhaut}(VZ1, VZ2, Cgdext, Rext, Rs, tr) := P_{condZ1h}(VZ1, VZ2, Cgdext, Rext, Rs, tr) + P_{commZ1h}(VZ1, VZ2, Cgdext, Rext, Rs, tr)$$

Détermination des pertes et des écarts en tension pour un VZ2 fixe de 300V et un Cgd fixe de 100pF pour différents retards. (VZ1 variant de 300 à 600V)

$$E_{totaltrans}(1350, 150, 6 \cdot 10^{-9}, 100 \cdot 10^{-9}) = 1.13$$

$$P_{condRexth}(1350, 150, 6 \cdot 10^{-9}, 10000, Rs, 100 \cdot 10^{-9}) = 0.903$$

$$P_{totalzenerhaut}(1350, 150, 6 \cdot 10^{-9}, 10000, Rs, 100 \cdot 10^{-9}) = -6.348 \times 10^{-4}$$

$$P_{condZ1h}(1350, 150, 6 \cdot 10^{-9}, 10000, Rs, 100 \cdot 10^{-9}) = 0$$

$$P_{commZ1h}(1350, 150, 6 \cdot 10^{-9}, 10000, Rs, 100 \cdot 10^{-9}) = -6.348 \times 10^{-4}$$

$$ecart := 0, 50 \cdot 10^{-9} \dots 400 \cdot 10^{-9}$$

Pertes dans les transistors (fonction du retard entre les IGBTs)

