



HAL
open science

Optimisation géométrique de MOSFETs de puissance en vue d'intégrer l'alimentation de l'étage de commande

Guillaume Verneau

► To cite this version:

Guillaume Verneau. Optimisation géométrique de MOSFETs de puissance en vue d'intégrer l'alimentation de l'étage de commande. Sciences de l'ingénieur [physics]. Institut National Polytechnique de Grenoble - INPG, 2003. Français. NNT: . tel-00385862

HAL Id: tel-00385862

<https://theses.hal.science/tel-00385862>

Submitted on 20 May 2009

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Institut National Polytechnique de Grenoble

N° attribué par la bibliothèque

/ / / / / / / / / / / / / / / /

THESE

pour obtenir le grade de

DOCTEUR DE L'INPG

Spécialité : « Génie Electrique »

Préparée au **Laboratoire d'Electrotechnique de Grenoble**
UMR 5529

Dans le cadre de l'école doctorale « **Electronique, Electrotechnique, Automatique, Télécommunication, Signal** »

présentée et soutenue publiquement
par

Guillaume VERNEAU

Le 6 mai 2003

Titre :

Optimisation géométrique de MOSFETs de puissance en vue d'intégrer l'alimentation de l'étage de commande
--

Directeur de thèse : CHRISTIAN SCHAEFFER

Co-encadrants : JEAN-CHRISTOPHE CREBIER & LAURENT AUBARD

JURY

M. JEAN-PIERRE CHANTE	, Président & Rapporteur
M. JEAN-LOUIS SANCHEZ	, Rapporteur
M. ROBERT PEZZANI	, Examineur
M. CHRISTIAN SCHAEFFER	, Directeur de thèse
M. JEAN-CHRISTOPHE CREBIER	, Co-encadrant de thèse
M. LAURENT AUBARD	, Co-encadrant de thèse

Remerciements

Voici arrivée la page des remerciements. Celle-ci est généralement consacrée aux personnes non officielles côtoyées (ou prudemment évitées) durant la thèse, à savoir collègues, amis, famille, co-bureaux, stagiaires, etc. S'en suit une liste analogue à celle que l'on peut trouver au pied de tout monument aux morts qui se respecte (je sais, cette image a déjà utilisée par un autre, mais je doute qu'il m'en veuille si je la réutilise ici). Et bien non, vous ne trouverez pas cette liste dans ce mémoire. D'une part parce que je risquerais d'oublier des gens, et d'autre part parce que je serais obligé de faire deux listes, et certains pourraient être vexés d'être dans la mauvaise, celle des gens que je n'ai pas envie de remercier. De toute façon, les gens à qui j'aurais envie de dire merci le savent déjà, et les autres aussi d'ailleurs, alors ça ne sert à rien de perdre du temps et de gâcher de l'encre.

Je te sens déçu, toi lecteur qui ne lit cette page que pour voir si son nom y figure. Tu peux, si tu veux, l'inscrire au dos de la page d'entête des remerciements, si cela flatte ton ego ; je te laisse même faire le choix de la liste...

Pour terminer, certains dédient leurs travaux de thèse à un être proche. Pas moi. On ne dédie pas une bataille.

« Le véritable savant met vingt bonnes années en moyenne à effectuer la grande découverte, celle qui consiste à se convaincre que le délire des uns ne fait pas du tout le bonheur des autres et que chacun ici-bas se trouve indisposé par la marotte du voisin. »

Louis-Ferdinand CELINE, Voyage au bout de la nuit.

« Seule l'ignorance s'apprend sans douleur... »

Joann SFAR & Lewis TRONDHEIM, Le roi de la bagarre.

Cette thèse s'est déroulée au Laboratoire d'Electrotechnique de Grenoble d'octobre 2000 à mai 2003, financée par une Allocation de Recherche du Ministère de l'Education Nationale, de la Recherche et de la Technologie.

Je tiens en premier lieu à remercier les membres du jury : MM Jean-Pierre CHANTE du CEGELY et Jean-Louis SANCHEZ du LAAS pour l'honneur qu'ils m'ont fait en acceptant d'être les rapporteurs de ce travail de thèse, ainsi que pour l'intérêt qu'ils y ont porté ; je remercie aussi M Robert PEZZANI, de STMicroelectronics, pour avoir accepté de prendre part à ce jury en tant qu'examinateur, et pour avoir lui aussi montré un intérêt plus que certain à cette étude.

Je remercie aussi l'ensemble du personnel du LEG, direction, permanents, doctorants, services administratifs, techniques et informatiques. Je pense plus particulièrement à mes divers supérieurs hiérarchiques (puisque le terme «encadrant» n'est plus d'actualité), avec qui les rapports ont parfois (souvent ?) été houleux ; j'espère juste ne pas avoir été le seul à apprendre quelque chose dans ces relations.

Merci aussi au personnel des salles blanches du Centre Inter-universitaire de Micro-Electronique de Grenoble, sans qui les prototypes n'auraient jamais vu le jour.

Enfin je remercie l'initiateur de ces travaux sur les MOSFETs, M Jacques ARNOULD, dont l'expérience et la sagesse acquise au cours des années imposent le respect, et sans qui la progression de l'étude n'aurait pas été aussi importante.

Sommaire

Remerciements	3
Sommaire	7
Introduction Générale	13
1. Chapitre 1 - Théorie des MOSFETs	19
Introduction	21
1.1. Rappels de physique des semiconducteurs	23
1.1.1. Diagramme des bandes	23
1.1.2. Principe MIS	24
1.2. Présentation de la structure MOSFET	31
1.2.1. MOS latéral	31
1.2.2. MOS vertical	32
1.2.3. Variantes du MOSFET vertical	36
1.3. Modélisation analytique du comportement électrique du MOSFET vertical	37
1.3.1. Présentation des approches classiques	38
1.3.2. Présentation de l'approche retenue	46
1.3.3. Approche dynamique en 7 phases	49
1.4. Modèle statique	52
1.4.1. Source de courant IMOS	53
1.4.2. Résistance à l'état passant	57
1.5. Modèle dynamique	61
1.5.1. Expressions des tensions seuils	61
1.5.2. Capacité CDS	63
1.5.3. Capacité CDG	65
1.5.4. Capacité CGS	69
1.6. Implantations du modèle	71
1.6.1. Implantation sur Mathcad	71
1.6.2. Implantation sous Pspice	74
1.6.3. Implantation sous MATLAB	78
Conclusion	82
2. Chapitre 2 – Réalisation technologique de MOSFETs	83
Introduction	85
2.1. Présentation matérielle	86
2.1.1. Présentation du lot de wafers	86
2.1.2. Présentation du jeu de masques	86
2.1.3. Présentation des motifs	87
2.2. Réalisation	88
2.2.1. Principales étapes de fabrication	88
2.2.1.1. Oxydation	88
2.2.1.2. Dépôt chimique en phase vapeur	90
2.2.1.3. Photolithographie	90
2.2.1.4. Gravure	90
2.2.1.5. Implantation ionique	91
2.2.1.6. Métallisation	92
2.2.2. Étapes de caractérisation physique	93
2.2.2.1. Mesure de résistance carrée (méthode des 4 pointes)	93
2.2.2.2. Spreading Resistance Probe	94
2.2.2.3. Alpha-Step	95
2.2.2.4. Ellipsométrie	96
2.2.2.5. Microscope Electronique à Balayage	97
2.2.3. Diagramme de cheminement	98
2.2.3.1. Préparation du substrat	98
2.2.3.2. Réalisation de la périphérie de poche	99
2.2.3.3. Réalisation du P+ central et des Anneaux de Garde de la périphérie	100
2.2.3.4. Réalisation de la grille	102
2.2.3.5. Réalisation du porte-canal.	104
2.2.3.6. Réalisation des zones N+ de source en face avant et N+ de drain en face arrière	105

	2.2.3.7. Réalisation des contacts	107
	2.2.3.8. Dépôt de l'aluminium	107
	2.2.3.9. Passivation et soudure	108
	2.2.3.10. Réalisation des contacts de face arrière	109
	2.2.4. Exemple du jeu de masques du motif n°7	110
2.3.	Caractérisation électrique	120
	2.3.1. Tri des composants	120
	2.3.2. Caractérisation statique	126
	2.3.3. Caractérisation dynamique	129
2.4.	Relations paramètres électriques / paramètres physiques	132
	2.4.1. Etude des dépendances des tensions seuils pour la commutation en 7 phases	132
	2.4.2. Etude des dépendances des paramètres capacitifs	140
	Conclusion	147
3.	Chapitre 3 – intégration d'une alimentation pour l'étage de commande	149
	Introduction	151
3.1.	Contraintes de l'intégration	152
	3.1.1. Intégration hybride	152
	3.1.2. Intégration monolithique	154
3.2.	La commande rapprochée d'un composant à grille isolée	159
3.3.	Principe général de l'auto-alimentation	163
3.4.	Structures de régulations compatibles du point de vue technologique avec la filière	166
	3.4.1. MOSFET/MOSFET	167
	3.4.2. JFET/MOSFET	169
	3.4.2.1. JFET horizontal	170
	3.4.2.2. Modèle de JFET vertical	174
	3.4.3. Dimensionnement surfacique	183
	3.4.4. Dimensionnement thermique	190
	3.4.5. Points d'étude particuliers	190
	3.4.5.1. Tension d'auto-écrantage VT?	191
	3.4.5.2. Tension de seuil VTH	198
3.5.	Etude technologique	207
	3.5.1. Diagramme de cheminement	207
	3.5.2. Niveaux de masquage	210
3.6.	Réalisation technologique	216
	Conclusion	217
4.	Chapitre 4 – optimisation géométrique de MOSFET de puissance	219
	Introduction	221
4.1.	Introduction à l'optimisation	222
4.2.	Définitions	223
	4.2.1. Mise en équations mathématiques d'un problème d'optimisation	223
	4.2.2. Minimum local, minimum global	223
	4.2.3. Problème non contraint	223
	4.2.4. Méthodes d'optimisation stochastiques	224
	4.2.5. Méthodes d'optimisation déterministes	224
	4.2.6. Problème contraint	225
4.3.	Première fonction objectif	226
4.4.	Variables	227
4.5.	Contraintes et paramètres imposés	230
4.6.	Méthodes choisies	233
4.7.	Résultats	235
	4.7.1. Première démarche d'optimisation	235
	4.7.1.1. Résultats pour $R_g=100$	236
	4.7.1.2. Résultats pour $R_g=50$	238
	4.7.1.3. Résultats pour $R_g=100$	239
	4.7.2. Seconde démarche d'optimisation	241
	4.7.2.1. Résultats avec un dopage Na et une épaisseur d'oxyde de grille eox libres	241
	4.7.2.2. Résultats pour Na et eox fixés	247

4.7.2.3. Conclusions sur la seconde démarche d'optimisation	259
4.8. Seconde fonction objectif	260
Conclusion	263
Conclusion Générale	265
Annexe A	271
Rappels de physique des semiconducteurs : diagramme des bandes	271
Annexe B	277
Feuilles de calcul MATHCAD pour l'amorçage du MOSFET	277
Annexe C	293
Cartographies et rendement des tranches des différents lots	293
Annexe D	313
Réseaux statiques $I_{DS}=f(V_{DS}, V_{GS})$	313
Annexe E	319
Articles sur le modèle ZCEM	319
Bibliographie	337

Introduction Générale

Les composants à grille isolée (MOSFETs et IGBTs) sont aujourd'hui omniprésents dans les structures de conversion d'énergie. Utilisés sur une large gamme de fréquence de fonctionnement (du kiloHertz à quelques mégaHertz), ces interrupteurs sont amenés à commuter des puissances de plus en plus élevées (plusieurs dizaines voire centaines de kVA). Les applications concernées vont de la domotique (appareils électroménagers, électronique HiFi grand public, climatisation, informatique) à l'industrie (robotique, transport automobile, aéronautique et aérospatiale). Les qualités exigées de ces composants relèvent bien évidemment des performances électriques (puissance commutable, fréquence d'utilisation, faibles pertes en conduction et en commutation), mais aussi de leur intégrabilité et de leur fiabilité. Le composant doit faire le maximum de choses tout en occupant le minimum de place, et doit présenter un taux de défaillance tendant vers zéro. Ces exigences draconiennes de plus en plus poussées sont à l'origine de la réflexion entreprise quant à l'intégration du composant. La filière technologique des MOSFETs est aujourd'hui pleinement maîtrisée, et permet la réalisation des densités de motifs élémentaires impressionnantes sur des surfaces de silicium de plus en plus restreintes, la principale limite actuelle étant la précision et la définition des lithographies. La volonté d'intégration relative à ces composants n'a jamais été aussi forte qu'aujourd'hui chez les industriels, motivés par l'abaissement des coûts, la diminution des volumes et la course à la miniaturisation. Mais ces fabricants cherchent aussi à accroître la fiabilité de leurs produits, en intégrant au sein du boîtier du composant des organes de protection réflexes ou élaborés contre les surtensions, les sur-intensités, ou contre les dynamiques trop rapides (dI/dt , dV/dt). De plus, il est possible de limiter les connexions (fils, bondings, DBC), sources de problèmes de CEM, en intégrant la commande rapprochée du composant, que ce soit de manière monolithique (composant et organes réalisés sur le même wafer) ou hybride (toutes les puces dans un même boîtier). Cette démarche pose cependant des problèmes (isolation commande/puissance, compatibilité des filières technologiques, compatibilité des calibres en tension et en courant respectifs...) et nécessite de la part des concepteurs une connaissance poussée des process, mais aussi des fonctionnements des différents organes et composants.

C'est dans cette optique d'intégration qu'a été initiée cette thèse, faisant suite à de précédents travaux, tant au niveau de la modélisation du MOSFET en commutation au sein de la cellule interrupteur/diode qu'au niveau des interactions entre le composant principal et sa commande. L'idée principale consiste à modéliser, à partir de caractéristiques physiques (dopages) et géométriques (dimensions des motifs), le comportement électrique (formes d'onde) du

composant en commutation, afin d'évaluer les transferts de charges, notamment au niveau de l'électrode de commande (grille du MOSFET). Une fois ces apports énergétiques estimés, il s'agit de concevoir la commande de grille et son alimentation de manière à pouvoir les intégrer sur le même substrat que l'interrupteur principal. Si l'intégration de la commande rapprochée a déjà été étudiée, celle de son alimentation est plus problématique. Il serait pourtant extrêmement intéressant de disposer à ce niveau de composants autonomes. Pourquoi ne pas dévier une partie de l'énergie qui transite dans le circuit de puissance de manière à réaliser cette alimentation de la commande rapprochée ? Nous allons apporter dans ce mémoire quelques éléments de réponse à ces questions.

Pour cela, nous présentons dans le premier chapitre la structure du transistor MOSFET vertical double diffusé, ainsi qu'un modèle comportemental du composant en statique et en dynamique. Ce modèle est basé sur l'analyse physique des mouvements de charges dans la structure au cours de la commutation. Cette modélisation, paramétrée en fonction des tensions grille/source et drain/source, fait apparaître une décomposition de la commutation en sept phases, distinguées par des seuils de tension.

Le second chapitre est consacré à la réalisation de prototypes de MOSFETs verticaux double diffusés. La filière technologique, le diagramme de cheminement, ainsi qu'un jeu de masques sont présentés en détail. Ces prototypes permettent d'achever la validation de notre modélisation, en incluant cette fois-ci les paramètres physiques et géométriques du composant. Il s'en suit une étude analytique de la sensibilité des différents seuils de tension (de la décomposition de la commutation) aux paramètres géométriques et physiques du MOSFET. Une étude analogue pour les paramètres de la modélisation (statique et dynamique) termine ce chapitre.

Le troisième chapitre s'intéresse à l'intégration de l'alimentation de l'étage de commande rapprochée. Pour cela, nous précisons les spécificités d'une démarche d'intégration. Puis nous explicitons le mode de fonctionnement d'une commande de composant à grille isolée, pour nous intéresser ensuite aux structures d'auto-alimentation compatibles avec la filière technologique du MOSFET vertical double diffusé. Ce chapitre se termine par une étude qualitative d'une filière technologique (diagramme de cheminement, masques de lithographies) permettant la réalisation des structures présentées.

Le quatrième et dernier chapitre est consacré à une démarche d'optimisation. Toujours dans une perspective d'intégration de l'alimentation de l'étage de commande, nous cherchons à déterminer un dimensionnement optimal du composant au niveau des paramètres physiques et

géométriques, de manière à obtenir un interrupteur ne nécessitant qu'un faible apport de charges pour commuter. Pour cela, nous rappelons les définitions et règles de base de l'optimisation, puis nous mettons en œuvre une optimisation de type «clustering». Les résultats obtenus montrent l'intérêt d'une telle démarche, et soulignent l'importance du choix de la fonction objectif, des variables et des contraintes, ainsi que la nécessité de conserver un œil critique sur les issues d'une telle analyse.

1. Chapitre 1 - Théorie des MOSFETs

Introduction

L'objet de ce premier chapitre est de comprendre en détail le fonctionnement d'un MOSFET, tant du point de vue statique que du point de vue dynamique. L'approche retenue doit permettre de relier les performances électriques du composant aux caractéristiques physiques et géométriques, et réciproquement, compte tenu de la démarche d'optimisation et d'intégration entreprise. En effet, il y a, pour les circuitiers, plusieurs façons d'aborder les composants d'électronique de puissance. Selon le degré de finesse de modélisation souhaité et le domaine de réflexion de l'utilisateur, il est possible de distinguer :

- l'approche tout ou rien logique (Niveau 1),
- l'approche par schéma équivalent, où les éléments de circuit sont fonction des tensions et courants appliqués (Niveau 2),
- l'approche analytique simplifiée 1D, avec certains paramètres fixes, et où les transferts de charges sont fonction des courants et tensions (Niveau 3),
- l'approche empirique, où la modélisation découle de relevés expérimentaux (Niveau 4),
- l'approche basée sur des équations très générales, ou par des logiciels type éléments finis 3D, 2D, 1D, avec des paramètres physiques variables avec les courants, tensions, températures (Niveau 5),
- et enfin l'approche physique du solide, avec étude des structures de bandes et faisant appel à la science des matériaux (Niveau 6).

Nous avons choisi ici de nous placer aux niveaux 2, 3 et 4 de ces approches. En effet, les schémas électriques équivalents, inspirés des modèles petits signaux de la micro-électronique, sont d'un usage aisé, et facilement implantables dans des logiciels de simulation tels que SPICE ou SABER. L'approche analytique 1D simplifiée sera suffisante pour donner les tendances au niveau du dessin et de la conception d'un nouveau composant (il semble en effet peu ou pas justifié dans la démarche entreprise de tenir compte de certains paramètres tels que les gradients de concentration issus des diffusions, autant que de modéliser avec précision les phénomènes d'épanouissement). Cette approche devra ensuite être affinée par des simulations éléments finis. L'approche empirique, quant à elle, permettra de disposer d'un retour sur expérience, dans la mesure où nous maîtrisons l'ensemble de la filière technologique de réalisation du composant.

L'étude des composants à grille isolée a déjà fait l'objet de plusieurs thèses du laboratoire. Différents aspects ont été abordés : modélisation en commutation ([AUBARD], [LEMBEYE]), étude du comportement thermique ([FARJAH]), étude du composant dans la cellule de commutation MOS+Diode ([AKHBARI], [COYAUD]), étude des associations série/parallèle ([JEANNIN]), étude des interactions commande/puissance en intégration ([DARTIGUES]). Ces travaux ont été menés en collaboration avec d'autres laboratoires, notamment l'équipe du Professeur J.-P. CHANTE du CEGELY, et celle du Professeur J.-L. SANCHEZ du LAAS, dans le cadre des Groupements De Recherche consacrés aux composants d'électronique de puissance. Par ailleurs, nous tenons à remercier tout particulièrement M. J. ARNOULD pour nous avoir fourni les masques, mais aussi pour son apport et son aide scientifiques tout au long de cette étude.

Après un rappel sur le principe de fonctionnement des structures Méta-Isolant-Semiconducteur, la structure MOSFET est présentée dans son ensemble. S'en suit une modélisation analytique du comportement électrique du MOSFET vertical. Nous complétons ensuite l'approche classique de la littérature (aux niveaux statique et dynamique) par une analyse physique des mouvements de charges au sein de la structure. Cette approche nous conduit à décomposer la commutation en 7 phases que nous distinguons à l'aide de potentiels seuils. Ces seuils peuvent être calculés de manière analytique, ce qui nous permet de faire le lien entre les dimensions géométriques et physiques du composant et ses caractéristiques électriques. Le modèle obtenu propose ainsi une définition relativement précise des lois de variations de ses différents paramètres et performances. Pour finir, l'implantation de ce modèle sous différents environnements de simulation est présentée.

1.1. Rappels de physique des semiconducteurs

1.1.1. Diagramme des bandes

Nous nous contenterons dans ce paragraphe d'effectuer quelques rappels sur la théorie des bandes d'énergie, afin de pouvoir comprendre le principe physique de fonctionnement d'une association Méta-Isolant-Semiconducteur. Les points résumés dans ce paragraphe font l'objet d'une présentation plus détaillée en **Annexe A**.

Lorsqu'il s'agit de considérer un matériau (métal, isolant ou semiconducteur) au niveau cristallin, il est classique de décrire son état via la notion de bandes d'énergie. La bande d'énergie totalement remplie d'énergie la plus élevée s'appelle la **Bande de Valence (BdV)** (*valence band*), dont l'énergie maximale est notée E_V . La bande d'énergie totalement vide ou partiellement remplie d'énergie la plus élevée s'appelle la **Bande de Conduction (BdC)** (*conduction band*), dont l'énergie minimale est notée E_C . La différence entre le point le plus bas de la bande supérieure et le point le plus haut de la bande inférieure est quant à elle notée $E_G = E_C - E_V$, c'est la **hauteur de la bande interdite** (Bandgap, Energy Gap). Une bande d'énergie pleine ne conduit pas l'électricité, car elle ne peut accueillir les charges en mouvement. A $T = 0\text{ K}$, le niveau de FERMI dans un semiconducteur intrinsèque est exactement au milieu de la bande interdite : $E_{Fi} = \frac{E_C + E_V}{2}$. L'introduction d'impuretés pentavalentes donneuses d'électrons (N_D) permet de rendre les porteurs négatifs beaucoup plus nombreux que les porteurs positifs : le semiconducteur est dit de type "N". Son niveau de FERMI est plus proche de la Bande de Conduction que de la Bande de Valence et sa conductivité dépend essentiellement de la mobilité des porteurs négatifs et de leur densité. Inversement, l'introduction d'impuretés trivalentes (N_A) permet de rendre les trous beaucoup plus nombreux que les électrons libres : le semiconducteur est dit de type "P". Son niveau de FERMI est plus proche de la Bande de Valence que de la Bande de Conduction et sa conductivité dépend de la mobilité des porteurs positifs et de leur densité.

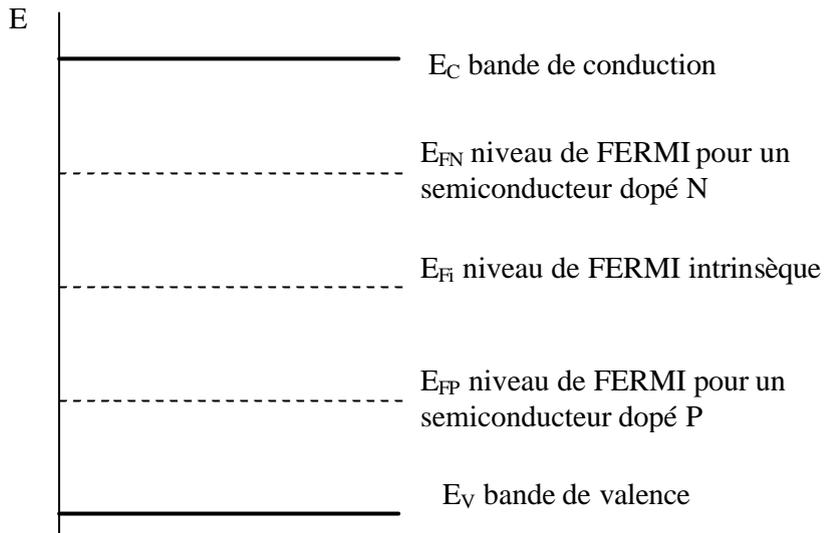


Figure 1-1: Positions des différents niveaux d'énergie pour les bandes de conduction et de valence, ainsi que pour les niveaux de Fermi intrinsèque, et dans le cas de semiconducteurs dopés N ou P. [SZE]

1.1.2. Principe MIS

La structure M.O.S (**M**étal **O**xyde **S**emiconducteur, *Metal Oxide Semiconductor*) est une structure du type M.I.S. (**M**étal **I**solant **S**emiconducteur, *Metal Insulator Semiconductor*).

Ces structures (premières réalisations en 1970) ont largement été utilisées dans les composants de puissance développés ces dernières années. Elles sont l'élément de base de réseaux denses adressables capable de remplir des fonctions variées telles que la détection d'image, le stockage de données, les opérations logiques, le traitement des signaux. Elles sont enfin l'élément de contrôle de commande des transistors M.O.S.F.E.T. (**M**étal **O**xide **S**emiconductor **F**ield **E**ffect **T**ransistor).

Le principe de réalisation d'une structure MIS est simple : la surface du semiconducteur est oxydée thermiquement pour former une couche isolante d'oxyde de silicium (SiO_2) de plusieurs nanomètres avec une densité minimale de pièges à l'interface isolant-semiconducteur. Les contacts électriques sont réalisés par dépôts métalliques ou par des couches de silicium polycristallin fortement dopées, obtenues par pyrolyse de silane sous basse pression LPCVD à une température de l'ordre de 620 °C.

Nous allons maintenant aborder le principe de fonctionnement de cette structure ([MATTHIEU], [BOITTIAUX]). Soient un métal de travail de sortie $q\mathbf{f}_m$ et un semiconducteur de travail de sortie $q\mathbf{f}_s$ séparés par un isolant d'une épaisseur faible. Si le métal et le semiconducteur sont reliés électriquement, ils constituent un seul système

thermodynamique, leurs niveaux de FERMI s'alignent et une différence de potentiel (en Volts) créée par les différences des travaux de sortie apparaît :

$$q \cdot V_b = q \cdot f_m - q \cdot f_s \tag{eq. 1}$$

Les diagrammes d'énergie de la structure MIS sont présentés sur la figure ciaprès, pour les deux configurations précitées :

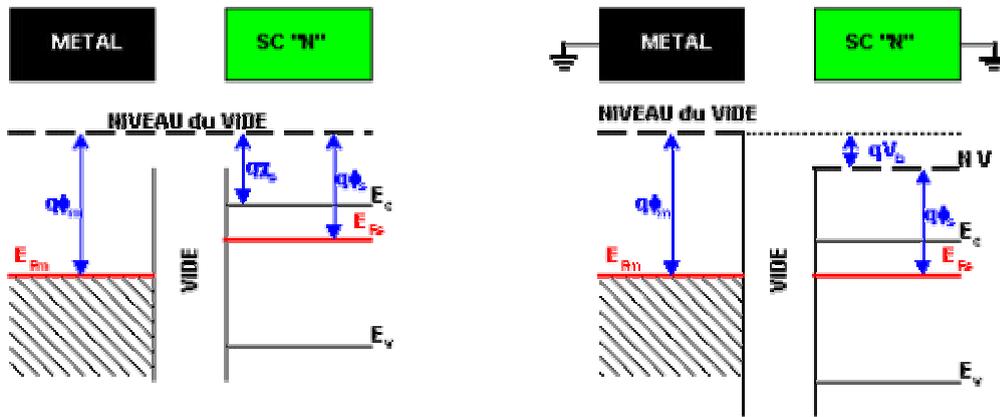


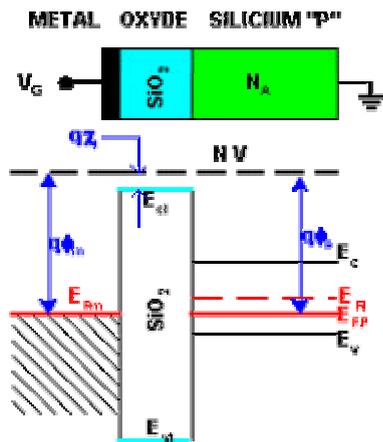
Figure 1-2: Diagramme d'énergie d'une structure MIS

Suivant les valeurs du travail de sortie du métal ($q\phi_m$) et du semiconducteur ($q\phi_s$), V_b peut être positif ou négatif. Ce potentiel de barrière V_b se décompose en :

- V_i : la différence de potentiel de part et d'autre de l'isolant.
- V_s : le potentiel à l'interface isolant semiconducteur.

La structure se comporte comme un condensateur plan dont la tension entre les armatures est constante (V_b). La charge dépend de la capacité donc de la distance entre les armatures. Si cette distance diminue, la capacité et la charge augmentent. La charge dans le métal Q_m est égale et de signe opposé à celle dans le semiconducteur Q_s . Compte tenu des très grandes différences de densités d'états disponibles entre le métal et le semiconducteur, cette charge sera confinée sur une fraction de couche atomique dans le métal (épaisseur supposée nulle). La charge dans le semiconducteur s'étend sur quelques centaines de nanomètres dans le cas d'une accumulation des porteurs majoritaires et sur quelques dizaines de milliers de nanomètres dans le cas d'une désertion de porteurs majoritaires.

Pour comprendre les différents états d'une structure MIS en fonction de la polarisation, nous allons envisager un composant « idéal », en tenant compte des hypothèses suivantes :



- Le dopage du semiconducteur (P) est tel que les travaux de sortie du métal et du semiconducteur sont identiques: $q\phi_m = q\phi_s$. C'est le régime de "bandes plates (*flat band*)"
- Le dopage du semiconducteur N_A est uniforme.
- Il n'y a pas d'états d'interface entre l'oxyde et le semiconducteur.
- Il n'y a pas de charges dans l'oxyde.
- L'isolant est parfait.
- La structure MOS est polarisée par une tension appliquée entre le métal et le semiconducteur. Par convention V_G est positive lorsque le contact métallique est à un potentiel supérieur par rapport au contact sur le semiconducteur.

Figure 1-3 : Structure MIS – cas du composant idéal, hypothèses.

En appliquant une tension V_G sur la grille de la structure définie précédemment, il est possible d'obtenir trois modes de fonctionnement très différents:

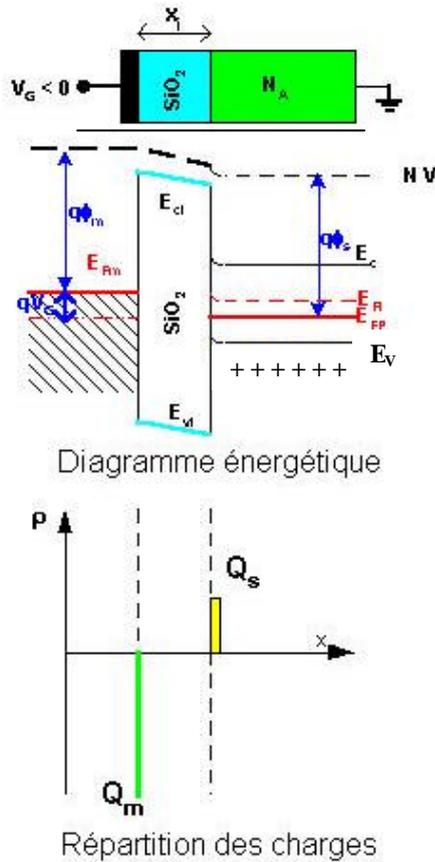
- l'accumulation,
- la désertion (*depletion*),
- l'inversion.

Cette tension V_G appliquée sur la grille se décompose en une différence de potentiel V_i supportée par l'isolant et un potentiel de surface V_s à l'interface isolant-semiconducteur.

$$V_G = V_i + V_s \quad (V)$$

Il apparaît dans le métal une charge par unité de surface Q_m et dans le semiconducteur une charge par unité de surface Q_s , avec : $Q_m = -Q_s$ (Cb/m^2).

Régime d'accumulation :



En appliquant une tension négative : $V_G < 0$ sur l'électrode métallique, il apparaît dans le métal une charge négative : $Q_m < 0$.

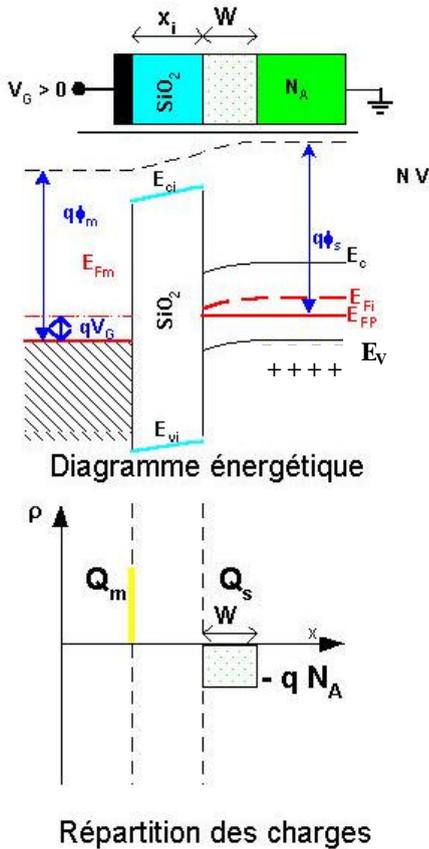
Par effet d'influence les trous sont attirés vers l'interface isolant-semiconducteur pour former la charge positive : $Q_s = -Q_m > 0$.

Il se forme une **accumulation** de porteurs majoritaires à l'interface isolant-semiconducteur. C'est le **régime d'accumulation**.

La conductivité au voisinage de l'interface isolant-semiconducteur est augmentée (il y a plus de porteurs libres). Le champ électrique dans l'isolant considéré (dépourvu de charges piégées) est constant. La charge d'accumulation peut être considérée comme uniquement surfacique, car son épaisseur est classiquement très faible vis-à-vis de l'épaisseur de la couche semiconductrice.

Figure 1-4 : Régime d'accumulation.

Régime de désertion :



En appliquant une tension légèrement positive : $V_G > 0$ sur l'électrode métallique, il apparaît dans le métal une charge positive : $Q_m > 0$.

Par effet d'influence les trous sont repoussés dans la couche semiconductrice à partir de l'interface isolant-semiconducteur, il se crée une charge négative due à la Zone de Charges d'Espace d'épaisseur W telle que (hypothèse de SHOCKLEY) :

$$Q_m = -Q_s = q \cdot N_A \cdot W \quad (Cb/m^2)$$

Il se forme une **désertion** des porteurs majoritaires à l'interface isolant-semiconducteur. C'est le **régime de désertion**.

Un calcul identique à celui effectué dans une jonction PN donne la valeur du potentiel de surface :

$$V_s = q \cdot N_A \cdot W^2 / 2 \cdot e_s \quad (V)$$

et le potentiel dans le semiconducteur évolue de la façon suivante :

$$V(x) = V_s \cdot (1 - x/W)^2$$

Toute variation de la charge sur l'électrode métallique sera compensée par une variation de l'épaisseur W de la zone déserté dans le semiconducteur.

Figure 1-5 : Régime de déplétion.

Régime d'inversion :

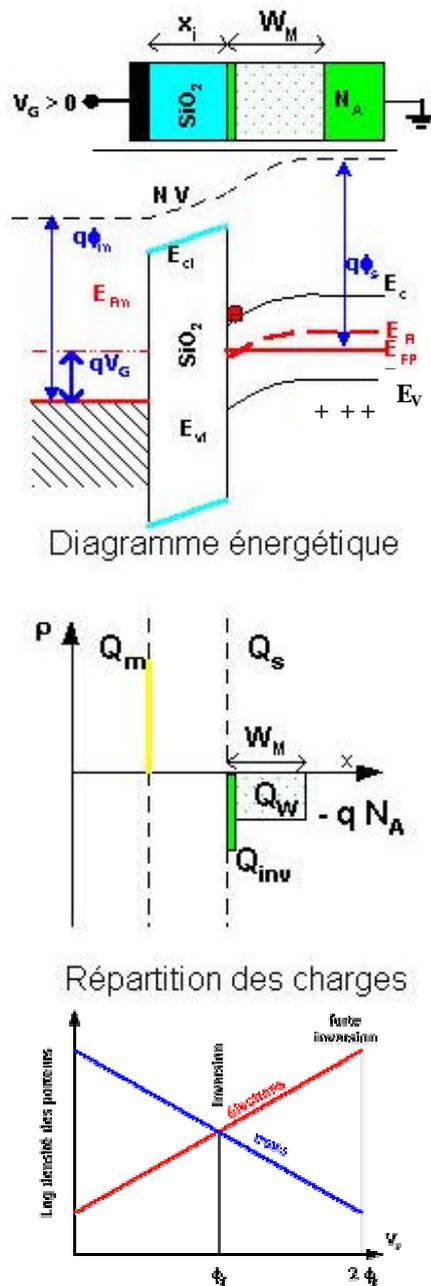


Figure 1-6 : Régime d'inversion.

Dans ces conditions, la distance du niveau de FERMI intrinsèque au niveau de FERMI qf_f est la même à l'interface isolant semiconducteur que dans la partie neutre du semiconducteur.

Mais à l'interface, E_{Fi} est en dessous de E_F (Semiconducteur N), alors que c'est l'inverse dans la partie neutre du semiconducteur (Type "P").

Si la tension positive V_G continue d'augmenter :

Les trous sont de plus en plus repoussés de l'interface isolant-semiconducteur pendant que les électrons y sont de plus en plus attirés.

La **courbure** des bandes d'énergie s'accroît, et pour une certaine tension, dite tension de seuil V_{TH} (*threshold voltage*), le niveau de FERMI intrinsèque (E_{Fi}) passe sous le niveau de FERMI E_F .

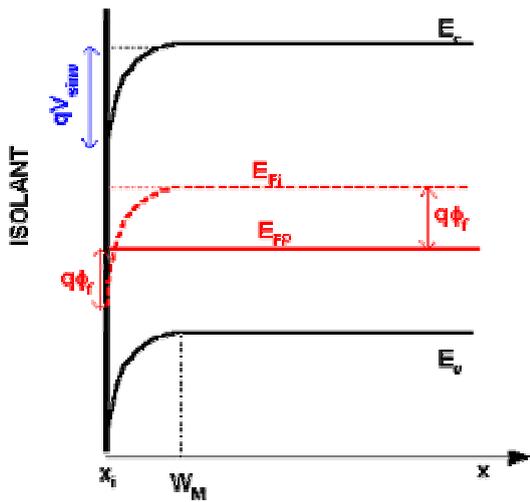
Le Niveau de FERMI est plus proche de la Bande de Conduction que de la Bande de Valence, le semiconducteur est devenu de type "N". Les électrons minoritaires dans le semiconducteur (type "P") sont majoritaires à l'interface isolant-semiconducteur. Il y a eu le **phénomène d'inversion**.

Il y a apparition d'une **couche d'inversion séparée par une zone désertée de la région neutre du semiconducteur**.

La charge de cette couche d'inversion Q_{inv} s'ajoute à la charge de la zone désertée Q_w telle que :

$$Q_m = -(Q_w + Q_{inv}) \text{ (Cb/cm}^2\text{)}$$

La condition de forte inversion a été définie arbitrairement quand la densité des porteurs négatifs à l'interface isolant-semiconducteur est égale à celle des porteurs positifs dans le semiconducteur (N_A).



La courbure totale des bandes d'énergie est telle que :

$$q \cdot V_{s \text{ inv}} = 2 \cdot q \cdot f_F$$

Le potentiel à l'interface en régime de forte inversion est donc :

$$V_{s \text{ inv}} = \frac{2 \cdot k_B \cdot T}{q} \cdot \text{Log} \left(\frac{N_A}{n_i} \right)$$

L'épaisseur de la zone désertée est alors :

$$W_M = \sqrt{\frac{2 \cdot \epsilon_0 \cdot \epsilon_{Si} \cdot V_{s \text{ inv}}}{q \cdot N_A}}$$

et la charge de la structure est :

$$Q_s = Q_W + Q_{inv} = -q \cdot N_A \cdot W_M + Q_{inv}$$

Figure 1-7 : Bandes d'énergie pour le régime d'inversion.

Tension de seuil V_{TH} :

Si nous considérons la tension appliquée sur la structure, nous avons, de manière générale :

$$V_G = V_s + V_i = V_s + \left(\frac{Q_m}{C_{ox}^*} \right), \text{ avec } C_{ox}^* = \frac{\epsilon_0 \cdot \epsilon_{ox}}{e_{ox}} \text{ (en F/m}^2\text{)}. \tag{eq. 2}$$

Ainsi, au moment où est atteinte la forte inversion, nous avons :

$$V_{TH} = 2 \cdot f_F + \frac{\sqrt{4 \cdot q \cdot \epsilon_0 \cdot \epsilon_{ox} \cdot N_A \cdot f_F}}{C_{ox}^*} \tag{eq. 3}$$

Toutefois, nous avons mené la réflexion précédente en supposant être en régime de bandes plates. Mais il est rare que qf_m soit strictement égal à qf_s . Il en résulte une courbure des bandes d'énergie pour que l'alignement du niveau de FERMI soit respecté lorsque la structure est au même potentiel.

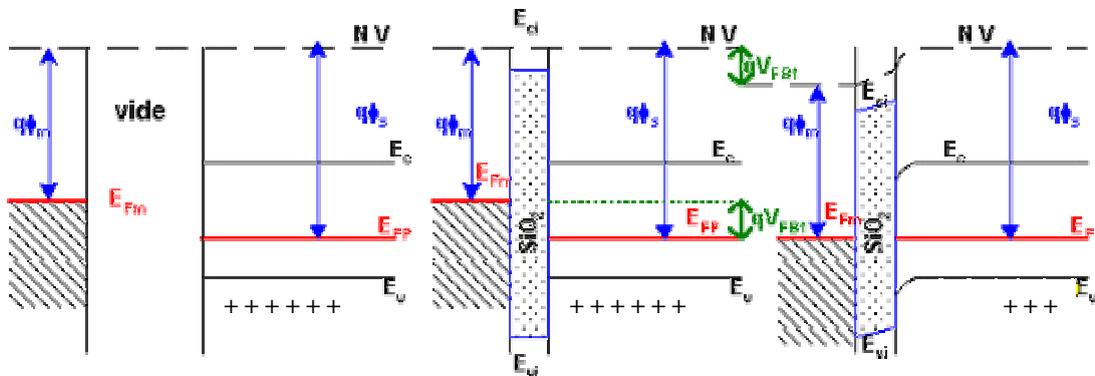


Figure 1-8 : Alignement des niveaux de Fermi.

Analysons maintenant les trois diagrammes de la Figure 1-8. Pour rétablir la situation de bande plate, il faut appliquer sur la structure une tension V_{FB} appelée **tension de bande plate** (*flat band voltage*) telle que :

$$V_{FB} = \mathbf{f}_m - \mathbf{f}_s \quad (V) \quad \text{éq. 4}$$

De plus, il faut tenir compte des charges d'isolants (ions Na^+ ou Ca^+) contenus dans l'oxyde de silicium, ainsi que des états de surface. L'ensemble de ces considérations mène à la formule suivante pour la tension de seuil V_{TH} :

$$V_{TH} = -\frac{Q_{ox}}{C_{ox}^*} + V_{FB} + 2 \cdot \mathbf{f}_F + \frac{\sqrt{4 \cdot q \cdot \mathbf{e}_0 \cdot \mathbf{e}_{ox} \cdot N_A \cdot \mathbf{f}_F}}{C_{ox}^*} \quad \text{éq. 5}$$

En conclusion, la structure M.I.S. est une capacité dont l'une des électrodes est métallique et l'autre semiconductrice. Suivant le sens et la valeur de la tension appliquée trois modes de fonctionnement peuvent se produire :

- **l'accumulation** : dans le semiconducteur, il y a accumulation des porteurs majoritaires à l'interface avec l'isolant.
- la **désertion** ou l'appauvrissement : il se forme une zone désertée à l'interface semiconducteur-isolant.
- **l'inversion** : à l'interface il existe une accumulation de porteurs "minoritaires" qui engendre un changement du type du semiconducteur, suivi d'une zone désertée et enfin du semiconducteur neutre.

1.2. Présentation de la structure MOSFET

Après ce bref rappel de physique du composant, nous allons maintenant passer à l'étude des MOSFETs (Metal Oxide Semiconductor Field Effect Transistor, ou transistor MétalOxyde-Semiconducteur à effet de champ), dont le mode opératoire repose sur le principe précédemment décrit. Ce sont, parmi les composants actifs, les seuls à fonctionner uniquement par effet de champ (les IGBTs, eux, combinent ce mécanisme et celui du transistor bipolaire) ([LETURCQ]).

1.2.1. MOS latéral

Le transistor MOSFET est issu initialement de la micro-électronique. Il a donc été développé sous sa forme horizontale, présentée Figure 1-9. Deux zones (la Source et le Drain) de Silicium

de même nature (de type N dans notre exemple) sont isolées électriquement par une troisième de nature différente (type P). Au-dessus de celle-ci se trouve un isolant (oxyde de silicium SiO_2) ainsi qu'une couche métallique, constituant l'électrode de commande (la Grille). Par application d'un potentiel positif (relativement à la Source) supérieur à une tension seuil V_{TH} , la zone de type P est localement inversée : un canal d'électrons apparaît sous l'oxyde de grille, occasionnant la fermeture du composant, et permettant ainsi au courant de circuler de la zone de Drain vers celle de Source. L'ouverture du composant se fait en abaissant la tension Grille-Source en dessous du seuil V_{TH} .

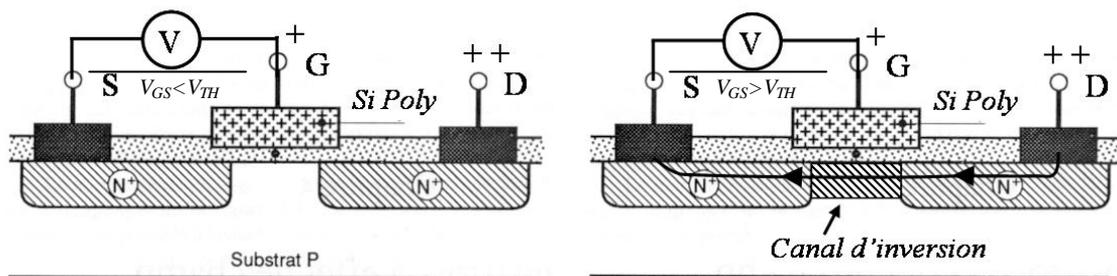


Figure 1-9 : Illustration du principe sur un composant MOS latéral de micro-électronique. [ARNOULD]

1.2.2. MOS vertical

Généralités

Les MOSFETs existent essentiellement sous leur forme latérale dans le cadre de la micro-électronique, même si une disposition horizontale analogue à celle-ci autorise des calibres en tension allant jusqu'à 600V. Le silicium n'est alors utilisé que d'un côté (Face Avant), et une importante épaisseur du wafer reste inutilisée, mais s'avère indispensable pour la tenue mécanique lors de la réalisation du composant. Des procédés d'amincissement mécanico-chimiques permettent en fin de réalisation de ne conserver que la partie active du composant. Pour les composants de calibre supérieur à 600V ([ARNOULD]), l'utilisation de structures verticales est généralement requise : Grille et Source sont alors en Face Avant, et le Drain en Face Arrière.

Après avoir fait ses preuves en microélectronique, le transistor MOSFET a pu réaliser son entrée dans le domaine de la conversion d'énergie (et donc de l'Electronique de Puissance) grâce à une évolution vers des technologies verticales à la fin des années 1970. Cette évolution vers les structures verticales est due dans un premier temps à des problèmes de tenue en tension, et dans un second temps à des problèmes de calibre en courant. En effet, augmenter le calibre en tension du composant implique d'avoir une zone faiblement dopée N-

(destinée à assurer la tenue en tension du composant) de plus en plus étendue. La solution d'une structure verticale permet d'envisager des zones de charges d'espace s'étendant dans la profondeur du composant, tout en conservant une surface active restreinte. De plus, étant donné que le calibre en courant du composant est proportionnel au périmètre Z de la source, il est vite devenu illusoire de conserver les trois électrodes du même côté en utilisant des surfaces de Silicium économiquement raisonnables. La solution verticale permet de reporter l'électrode de Drain en face arrière, en proposant ainsi un composant où le courant traverse la structure verticalement. Dans la structure verticale du MOSFET, les îlots de source N^+ sont situés à l'intérieur de caissons P^+/P^- qui jouent le rôle de la couche d'isolation électrique (précédemment décrite pour la structure horizontale) entre ces îlots de source et le substrat v relié au drain N^+ en face arrière. La grille située en face avant permet, sous polarisation adéquate, d'inverser en surface les caissons P^- , en créant un canal qui permet ainsi de relier électriquement source et drain.

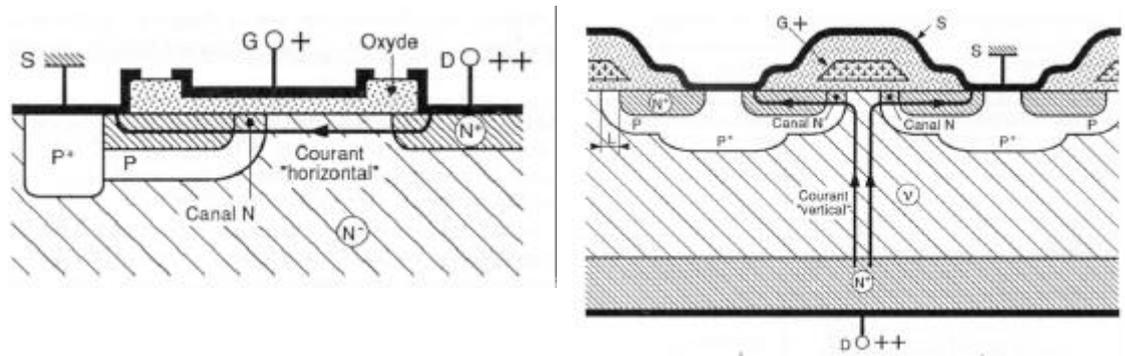


Figure 1-10 : Structures horizontale et verticale d'un MOS de puissance. [ARNOULD]

Ainsi, à l'état passant, le courant traverse toute l'épaisseur du wafer. La résistance à l'état passant $R_{DS(on)}$ résulte donc de la mise en série des différentes couches N intervenant dans le processus de conduction. Les concepteurs cherchent toutefois à minimiser ce terme (puisque'il est à l'origine des pertes en conduction) tant que faire se peut, en jouant sur différents paramètres technologiques (niveaux de dopage, géométries optimisées...).

Eléments de technologie

Les MOSFETs existent sous différentes géométries (cf. paragraphe §1.2.3.); toutefois, compte tenu de la variété de structures existantes, il nous est impossible de présenter en détail les filières de réalisation de l'ensemble des MOSFETs. Nous nous limiterons donc à la présentation de la filière « classique », à savoir celle du VDDMOSFET (pour Vertical Double Diffused).

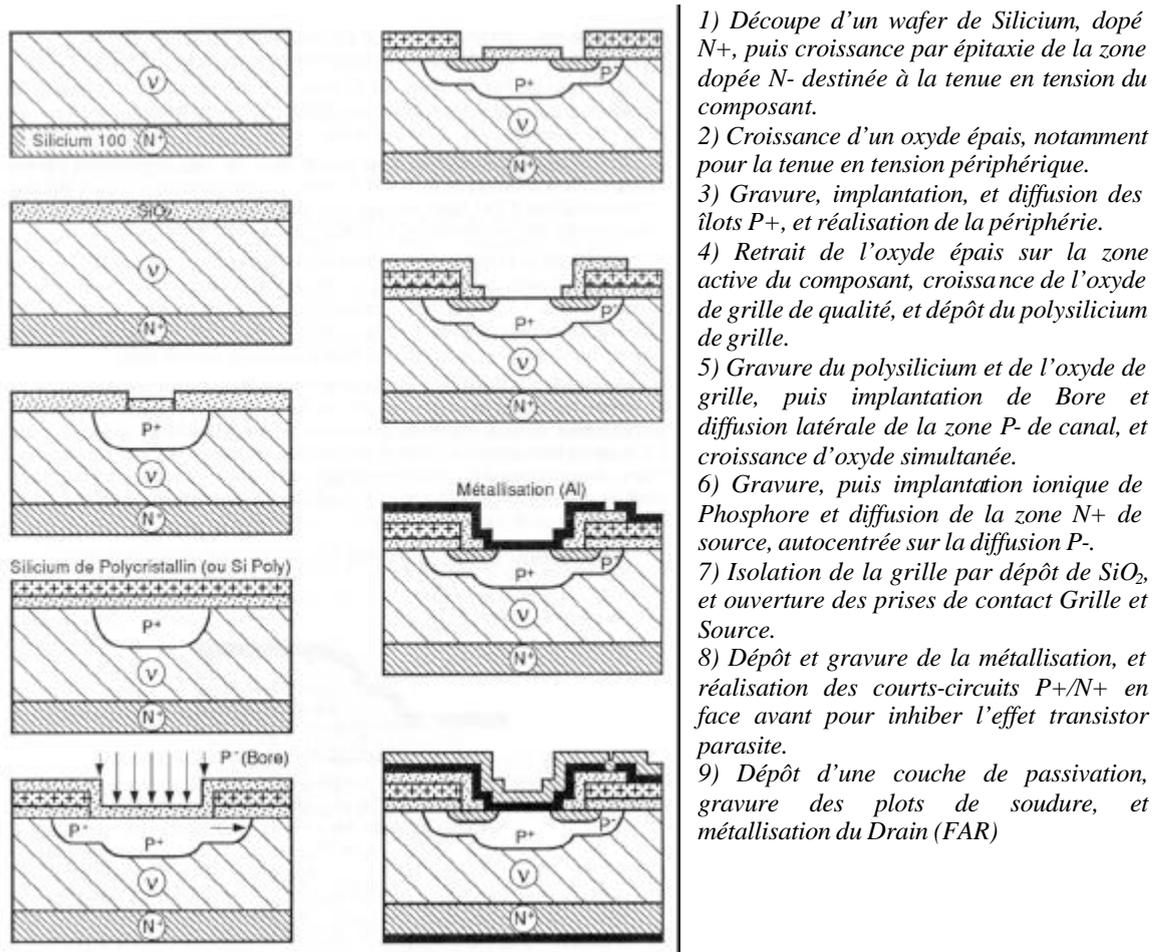


Figure 1-11: Diagramme de cheminement technologique. [ARNOULD]

Le diagramme de cheminement classique de la filière MOSFET nécessite 7 niveaux de masquage pour réaliser l'ensemble des lithographies présentées. Ce cheminement constitue un standard pour ce type de composant, même si certaines géométries astucieuses permettent la réalisation en seulement 4 masques.

La zone dopée N- est destinée à la tenue en tension inverse verticale. Toutefois, cette zone s'avère fortement résistive, et handicape l'état passant du composant. Il faut alors faire un compromis entre tenue en tension et résistance à l'état passant. La réalisation de cette couche faiblement dopée dépend du calibre en tension du composant. Dans le cas de composants de faible tenue en tension (moins, elle est ajoutée par épitaxie sur un wafer N+, sur une épaisseur suffisante pour assurer la tenue en tension désirée. Pour des composants de plus haut calibre en tension, un substrat N- est directement utilisé, la couche N+ de drain en face arrière est ajoutée soit par épitaxie, soit par implantation puis diffusion.

En étalant le champ électrique, la périphérie du composant assure la tenue en tension latérale, qui, sans cela, serait bien inférieure à celle obtenue en considérant la zone dopée N-. Le bord

physique du composant constitue un réel problème ([NGO]), puisqu'à cet endroit, les lignes de champ électrique sortent du semiconducteur pour se refermer dans l'air (où le champ de claquage est bien plus faible, 20 à 60kV/cm contre 300kV/cm dans le Si). Deux types de périphéries existent : les périphéries planar (obtenues sans modification géométrique de la surface du composant), et les périphéries gravées ou MESA. Le choix s'effectue selon les calibres en tension, les compatibilités de filières technologiques, et les matériaux ([CHANTE]). Les périphéries Planar restent toutefois la solution la plus classique, la technologie MESA n'est utilisée que pour la très haute puissance sur silicium. Ces différentes structures de périphérie de tenue en tension ont été largement étudiées au CEGELY.

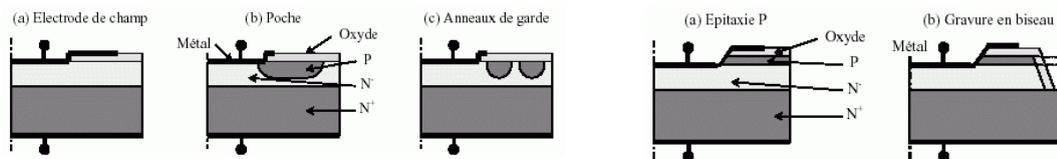


Figure 1-12: Périphéries de tenue en tension (Planar à gauche, MESA à droite).

La qualité et le bon fonctionnement d'un MOSFET vertical reposent sur plusieurs points critiques, à savoir :

- la réalisation d'un oxyde de grille d'excellente qualité,
- l'utilisation du silicium polycristallin afin de définir la zone de canal P- avec précision,
- le recours à la double «implantation-diffusion» pour définir la géométrie du canal et sa longueur en particulier,
- l'utilisation de micro lithographies de précision élevée,
- l'épitaxie de la zone de tenue en tension N- sur un matériau N+ (afin de minimiser la résistance à l'état passant).

Tous ces points d'ordre technologique seront abordés plus en détail dans le chapitre 2, consacré à la réalisation de prototypes.

Circuit électrique équivalent et composants parasites

Pour terminer cette introduction sur le MOSFET de puissance, nous présentons sur la Figure 1-13 le circuit électrique équivalent du MOSFET, avec ses composants parasites.

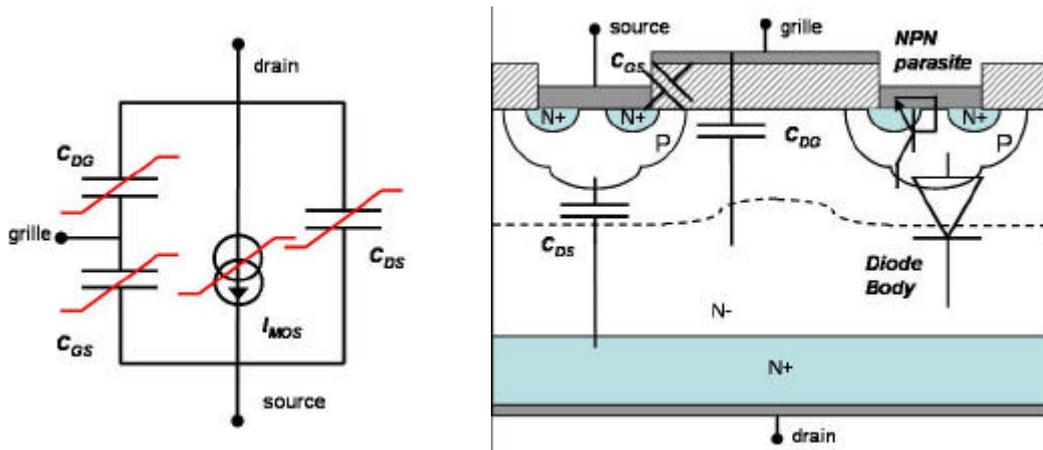


Figure 1-13 : Circuit électrique équivalent du MOSFET et localisation des différents éléments, y compris les composants parasites.

Le modèle électrique retenu pour décrire le MOSFET est celui trouvé classiquement dans la littérature, à savoir trois capacités inter-électrodes variables, une source de courant liée et une résistance à l'état passant.

Tous ces paramètres sont fortement non linéaires et dépendent grandement des potentiels appliqués au composant, contrairement à ce qu'on peut trouver dans les catalogues constructeurs, où ces paramètres sont soit supposés constants, soit décrits de manière inadéquate pour une étude du composant en pleine commutation. De plus, les constructeurs préfèrent (pour des raisons de mesures pratiques) aux capacités inter-électrodes les capacités d'entrée, de sortie et de rétroaction notées respectivement C_{iss} , C_{oss} et C_{rss} et liées par les relations suivantes :

$$C_{iss}=C_{DG} // C_{GS} ; C_{oss}=C_{DG} // C_{DS} ; C_{rss}=C_{DG} .$$

L'ensemble des composants de ce schéma électrique équivalent sera décrit plus en détail dans ce chapitre, lors de la modélisation du composant (paragraphe 1.4 et 1.5).

1.2.3. Variantes du MOSFET vertical

La possibilité de faire fonctionner plusieurs MOSFETs en parallèle afin d'augmenter la densité de courant admissible est à l'origine d'une multitude de motifs et de géométries de MOSFETs verticaux, notamment pour des considérations d'ordre thermique. De plus, si le calibre en courant est proportionnel au périmètre de l'ensemble des zones de Source, la dynamique du MOSFET est, comme nous le verrons plus loin, essentiellement liée à des effets capacitifs, qui eux sont proportionnels aux surfaces respectives des différentes zones de

Source, Grille, et Drain. Ainsi, pour disposer d'un composant rapide et performant en courant, il faut réussir à combiner un large périmètre de source et de faibles surfaces, notamment en ce qui concerne la métallisation de Grille. Aussi, si l'étude comportementale d'un MOSFET peut se résumer à celle d'un motif élémentaire, il faut savoir que le composant se présente en fait sous forme matricielle, reproduisant n fois ce motif, n pouvant atteindre des valeurs impressionnantes ($8,8.10^6/cm^2$ pour les StripFET de ST [ST]). Le motif élémentaire, quant à lui, peut exister, selon le fabricant, sous plusieurs formes : carrée, hexagonale [IR], octogonale, triangulaire, ou en « os de chien » ! D'autres producteurs ont préféré limiter le nombre de motifs, en optimisant la géométrie de celui-ci : c'est le cas des composants dits « inter-digités ». Enfin, sont apparus à la fin des années 1990 des structures moins classiques, chaque fabricant apportant son originalité, qu'il s'agisse des MeshMOS ([ST]), des CoolMOS ([INFINEON]), ou des TrenchMOS ([PHILIPS]), toutes ces structures visent l'amélioration des performances du composant (calibre en courant, état passant ou performances dynamiques).

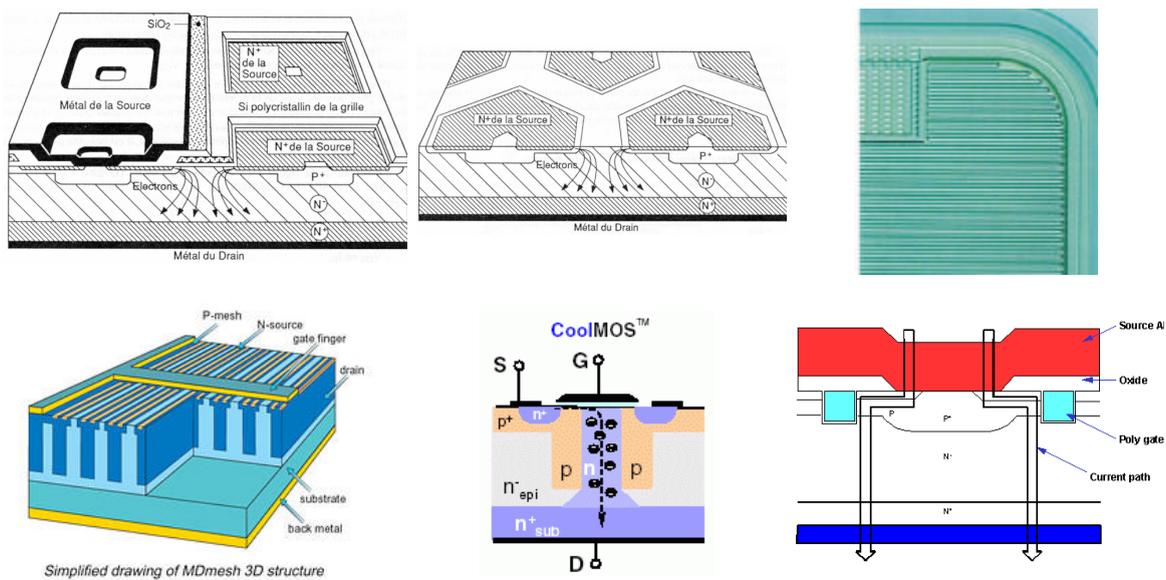


Figure 1-14 : Différentes structures de MOSFETs de puissance (MOSFET à cellules carrées, à cellules hexagonales [IR], MOSFET interdigités, MeshMOS [ST], CoolMOS [INFINEON], TrenchMOS [PHILIPS]).

1.3. Modélisation analytique du comportement électrique du MOSFET vertical

Le comportement d'un MOSFET au sein d'une cellule de commutation, matérialisée par une structure hacheur série sur charge inductive est ici à l'étude. La charge inductive est ici modélisée par une source de courant I_0 constante en parallèle sur une diode D_f (Figure 1-15). La grille est commandée par une source idéale de tension, c'est-à-dire un créneau de tension entre 0 et $+V_{GG}$ en série avec une résistance externe de grille R_G . Pour simplifier les

explications, nous supposons que la diode de roue libre est idéale avec un courant de recouvrement nul.

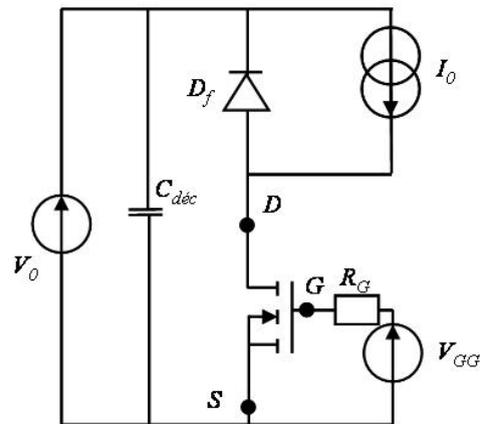


Figure 1-15 : Hacheur série pour la modélisation analytique du comportement en commutation du MOSFET.

1.3.1. Présentation des approches classiques

Nous présentons ici la description qualitative classiquement offerte par la littérature ([MOHAN], [ST-2], [ST-3], [SILARD], [FAIRCHILD]). Il s'agit d'une approche de la commutation du composant basée sur des charges de circuit RC.

Modèle circuit du MOSFET

Les MOSFETs sont intrinsèquement plus rapides que les transistors bipolaires car ils n'ont pas d'excès de porteurs « minoritaires » qui doivent être déplacés dans un sens ou dans l'autre à l'amorçage ou au blocage. Les seules charges qui doivent être déplacées sont celles des capacités d'oxyde et celles des capacités des couches de déplétion, qui sont décrites dans la vue en coupe du composant de la Figure 116(a). Cette représentation reste en tout point analogue à celle des paragraphes précédents.

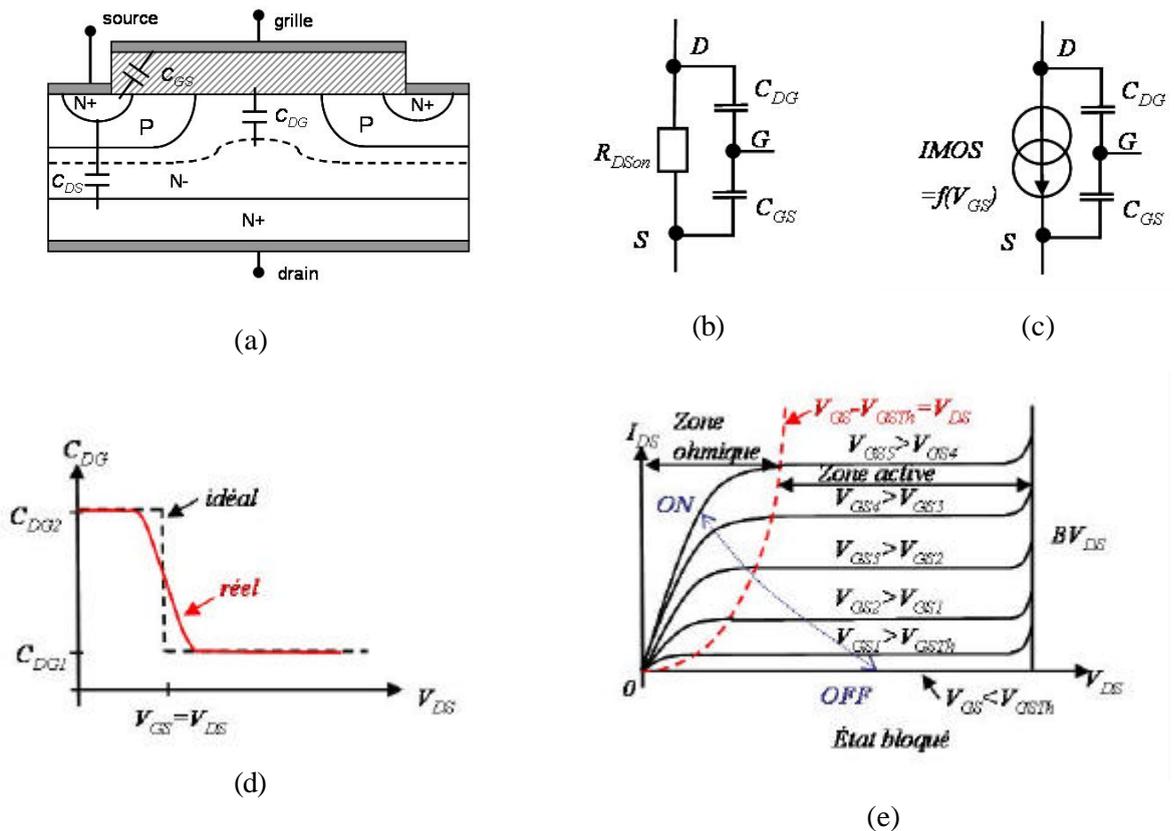


Figure 1-16 : (a) vue en coupe du MOSFET ; (b) & (c) schémas équivalents en zone ohmique (b) et zone active (c) ; (d) évolution de la capacité de rétro-action C_{dg} ; (e) caractéristique statique $I_{DS}=f(V_{DS}, V_{GS})$.

Ces capacités peuvent être modélisées par un circuit équivalent (Figure 1-16 (c)), qui est valable quand le MOSFET est dans l'état bloqué ou dans la zone active (hors zone ohmique). De tels modèles de circuits sont nécessaires pour étudier les phases d'amorçage et du blocage du composant et pour concevoir des circuits de commande de grille appropriés.

La capacité drain-source présente dans la Figure 1-16(a) n'est pas incluse dans le circuit équivalent, parce qu'elle n'influence pas physiquement les caractéristiques et formes d'onde en commutation. Pourtant, elle est utile pour la conception de circuits snubber, et doit alors être prise en compte.

La source de courant illustrée dans le circuit équivalent de la Figure 1-16 (c) correspond à la caractéristique statique de la Figure 1-16(e). Elle débite 0A tant que $V_{GS} < V_{GSth}$, et est égale au courant $g_m \cdot (V_{GS} - V_{GSth})$ quand le composant est dans sa zone active (aussi appelée zone de plateau). Cette méthode de prise en compte du débit du courant drain dans la zone active est suggérée par le fait que la caractéristique de transfert $I_{DS} = f(V_{GS})$ peut être considérée

comme linéaire pour $V_{GS} > V_{GSTh}$. La pente de la caractéristique de transfert dans la zone active égale la transconductance g_m .

Le MOSFET entre dans la région ohmique quand V_{DS} est égal ou inférieur à $V_{GS} - V_{GSTh}$. Dans les applications de commutations de puissance, V_{GS} est très supérieure à V_{GSTh} quand le composant est passant, aussi ce critère d'entrée dans la zone ohmique peut être simplifié : $V_{DS} < V_{GS}$. Dans la zone ohmique, le modèle de source de courant liée n'est plus valable car la couche d'inversion n'est plus pincée à l'extrémité du canal, mais possède au contraire une épaisseur quasi uniforme (d'un point de vue spatial) dès que V_{DS} est suffisamment faible. La couche d'inversion relie alors le drain et la source, et l'électrode de drain de la capacité C_{DG} est ramenée à la source via une résistance (quand le composant est dans la zone ohmique, cf. Figure 1-16 (b)). La résistance à l'état passant R_{DSon} est ajoutée au schéma équivalent pour tenir compte des pertes ohmiques. Celles-ci sont principalement localisées dans la zone de tenue en tension, pour les composants dont le calibre en tension dépasse 400V. Il y a d'autres contributions à la résistance à l'état passant comme la résistance du canal d'inversion, mais sa grandeur est généralement faible devant celle de la zone de tenue en tension (excepté pour les structures faibles tensions). Les autres contributions seront examinées ultérieurement.

Il est à noter que les capacités C_{DG} et C_{GS} ne sont pas constantes mais varient avec les tensions qui leur sont appliquées, parce que les couches de déplétion contribuent à faire varier ces capacités. Par exemple, la capacité C_{GS} est la combinaison d'une capacité électrostatique relative à la couche d'oxyde d'isolement en série avec la capacité de la couche de déplétion qui se forme à l'interface Si/SiO₂. La modification la plus remarquable intervient pour la capacité C_{DG} , parce que la tension à ses bornes, V_{DG} , varie dans une plus grande plage que celle qui existe aux bornes de C_{GS} . L'évolution de la capacité C_{DG} en fonction de $V_{DG} (\approx V_{DS})$, illustrée Figure 1-16(d), peut être dans un rapport 10. Pour les calculs approchés des formes d'onde en commutation, C_{DG} est modélisée par 2 valeurs discrètes C_{DG1} et C_{DG2} , comme l'illustre la Figure 1-16(d), avec un changement de valeur lorsque $V_{DS} = V_{GS}$ (ce qui correspond au moment où le MOSFET quitte ou atteint la zone ohmique). La capacité C_{GS} sera quant à elle supposée constante, malgré les remarques précédentes, et ce parce que l'amplitude de ses variations au cours de la commutation est bien plus faible que celle des variations de la capacité C_{DG} .

Formes d'ondes en commutation

Les formes d'onde à l'amorçage sont présentées figure 1-17, où la tension de commande de grille passe à $t=0$ de $0V$ à $+V_{GG}$ ($V_{GG} > V_{GSth}$).

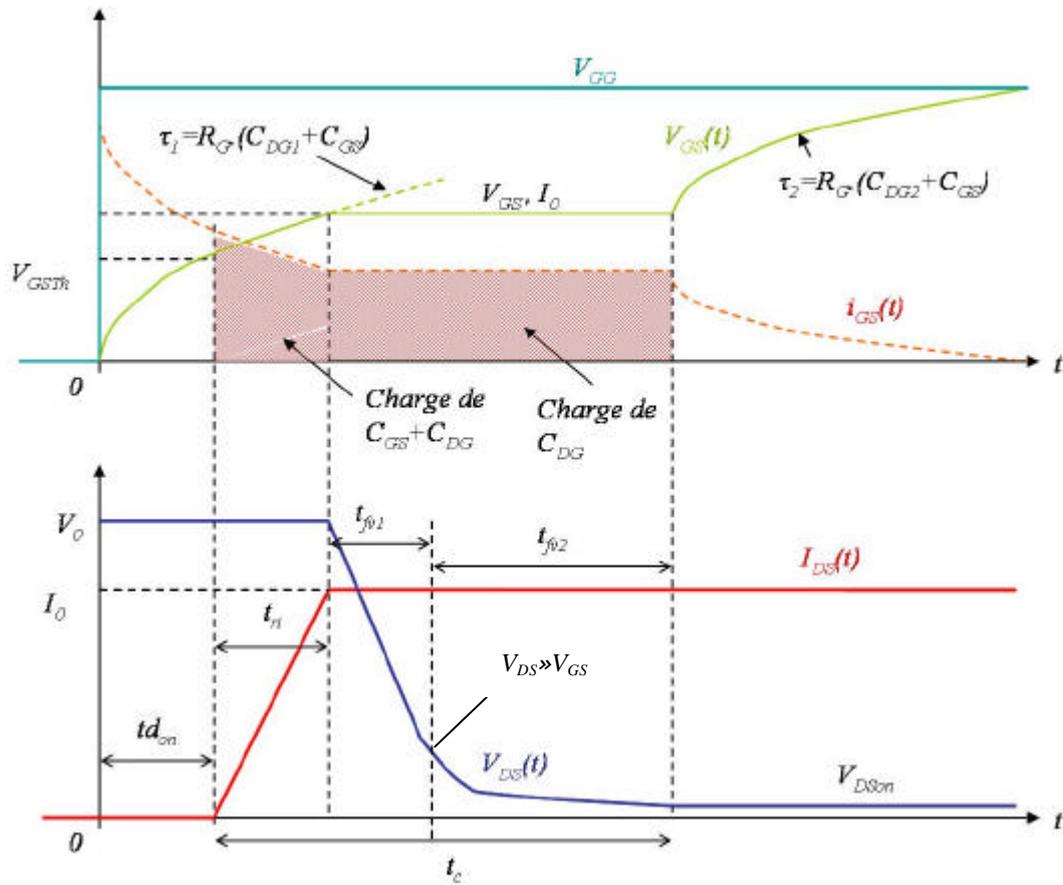


Figure 1-17 : Formes d'onde à l'amorçage du MOSFET (d'après [MOHAN]).

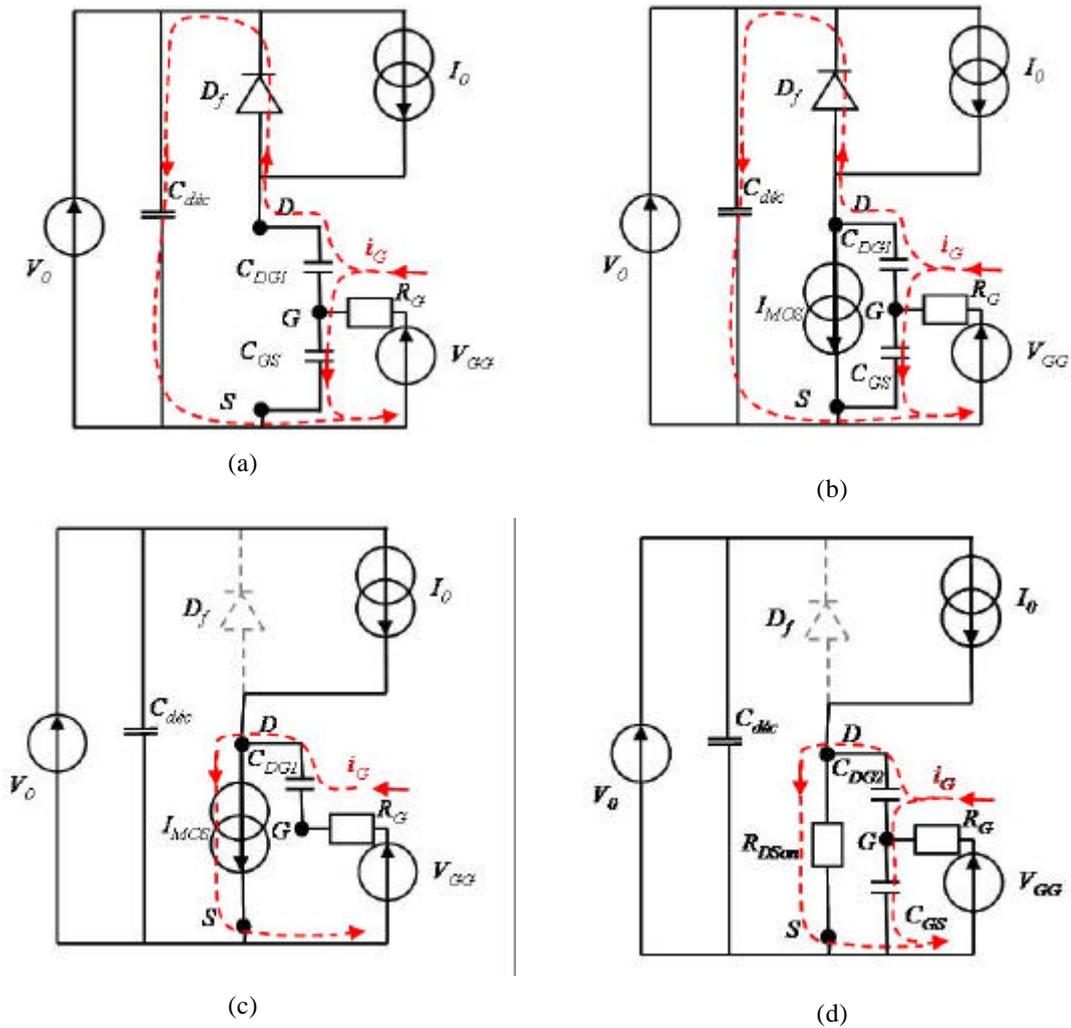


Figure 1-18 : Succession des schémas équivalents lors de l'amorçage du MOSFET (d'après [MOHAN]).

Durant le temps de délai ON t_{don} , la tension grille source croît de 0 jusqu'à V_{GSth} , car le courant de grille charge simultanément C_{GS} et C_{DG} (Figure 1-18 (a)). La croissance de V_{GS} à cet instant est une charge de type exponentielle comme l'illustre la Figure 1-17, avec une constante de temps $t_1 = R_G \cdot (C_{GS} + C_{DG1})$. Au delà de V_{GSth} , V_{GS} continue de croître comme précédemment, et le courant de drain commence à augmenter selon la caractéristique de transfert $I_{DS} = f(V_{GS})$. Nous avons alors le circuit équivalent de la Figure 1-18(b). La tension de drain se maintient à V_0 aussi longtemps que $I_{DS} < I_0$ et que la diode de roue libre D_f conduit. Le temps nécessaire pour que I_{DS} initialement nul atteigne I_0 est noté t_{ri} , temps de croissance du courant. Une fois que le MOSFET conduit le plein courant I_0 , mais reste dans la zone active, la tension grille source est momentanément constante et vaut $V_{GS,I0}$, valeur déduite de la caractéristique de transfert $I_{DS} = f(V_{GS})$, nécessaire pour avoir $I_{DS} = I_0$. Le

courant de grille I_G , donné par la relation $I_G = \frac{V_{GG} - V_{GS,IO}}{R_G}$, traverse la capacité C_{DG} , comme

l'indique la Figure 1-18 (c). Ceci entraîne une décroissance de la tension drain source selon :

$$\frac{dV_{DS}}{dt} = \frac{dV_{DG}}{dt} = \frac{I_G}{C_{DG}} = \frac{V_{GG} - V_{GS,IO}}{R_G \cdot C_{DG}}, \text{ puisqu'à ce moment là : } \frac{dV_{GS}}{dt} = 0. \text{ La décroissance de}$$

V_{DS} se fait en 2 temps distincts t_{fv1} et t_{fv2} . le passage de la première phase à la seconde est définie comme étant le moment où $V_{DS} = V_{GS}$, à la tension de bande plate près. Le premier intervalle de temps correspond au composant se trouvant encore dans la zone active. Le second intervalle de temps correspond au passage dans la zone ohmique du composant, pour laquelle le circuit équivalent illustré est pris en compte, avec $C_{DG} = C_{DG2}$. Une fois que la tension drain source a fini de décroître et a atteint sa valeur à l'état passant, à savoir $V_{DSon} = R_{DSon} \cdot I_0$, la tension grille source peut de nouveau évoluer et continue sa croissance exponentielle jusqu'à la valeur V_{GG} . Cette partie de la commutation (Figure 1-18(d)) se réalise avec une constante de temps $t_2 = R_G \cdot (C_{GS} + C_{DG2})$, et simultanément, le courant de grille décroît avec la même constante de temps jusqu'à s'annuler (Figure 1-17). Si la diode de roue libre D_f n'est pas idéale, mais possède un courant de recouvrement, alors les formes d'onde à la commutation sont modifiées (Figure 1-19).

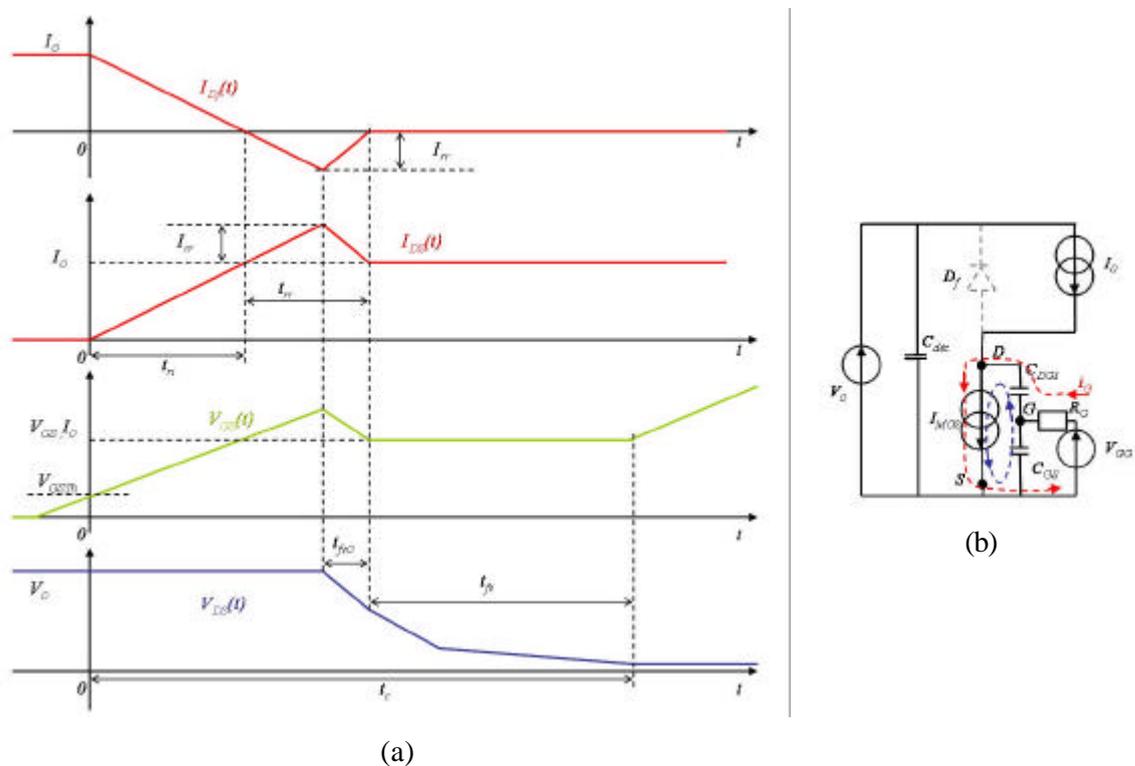


Figure 1-19 : Formes d'onde à l'amorçage du MOSFET, avec recouvrement de la diode de roue libre (d'après [MOHAN]).

Le courant de recouvrement de la diode I_{rr} est à l'origine du fait que le courant de drain voit sa croissance prolongée au-delà de I_0 jusqu'à $I_0 + I_{rr}$. Ceci entraîne une croissance de V_{GS} au delà de V_{GS, I_0} , comme l'illustre la figure 1-19(a). Quand le courant de la diode s'inverse et croît jusqu'à s'annuler, le sens de variation de la tension de grille s'inverse. Il y a une rapide décroissance de V_{GS} jusqu'à V_{GS, I_0} , et cette rapide décroissance produit un courant additionnel dans C_{DG} en supplément à I_G , comme l'illustre la figure 1-19(b). Ce courant additionnel entraîne une décroissance rapide des tensions V_{DG} et V_{DS} pendant la phase de recouvrement. Une fois la phase de recouvrement de la diode terminée, le courant de drain revient à I_0 , et la commutation se poursuit comme dans le cas de la diode idéale, c'est-à-dire une décroissance de la tension V_{DS} en deux temps.

Le blocage du MOSFET met en œuvre les mêmes phases qu'à l'amorçage mais dans l'ordre inverse. Une approche analytique similaire peut être utilisée pour déterminer les formes d'onde à l'ouverture. Ces formes d'onde et les temps associés sont illustrés ci-dessous pour un échelon de tension de commande de grille de $+V_{GG}$ à $0V$.

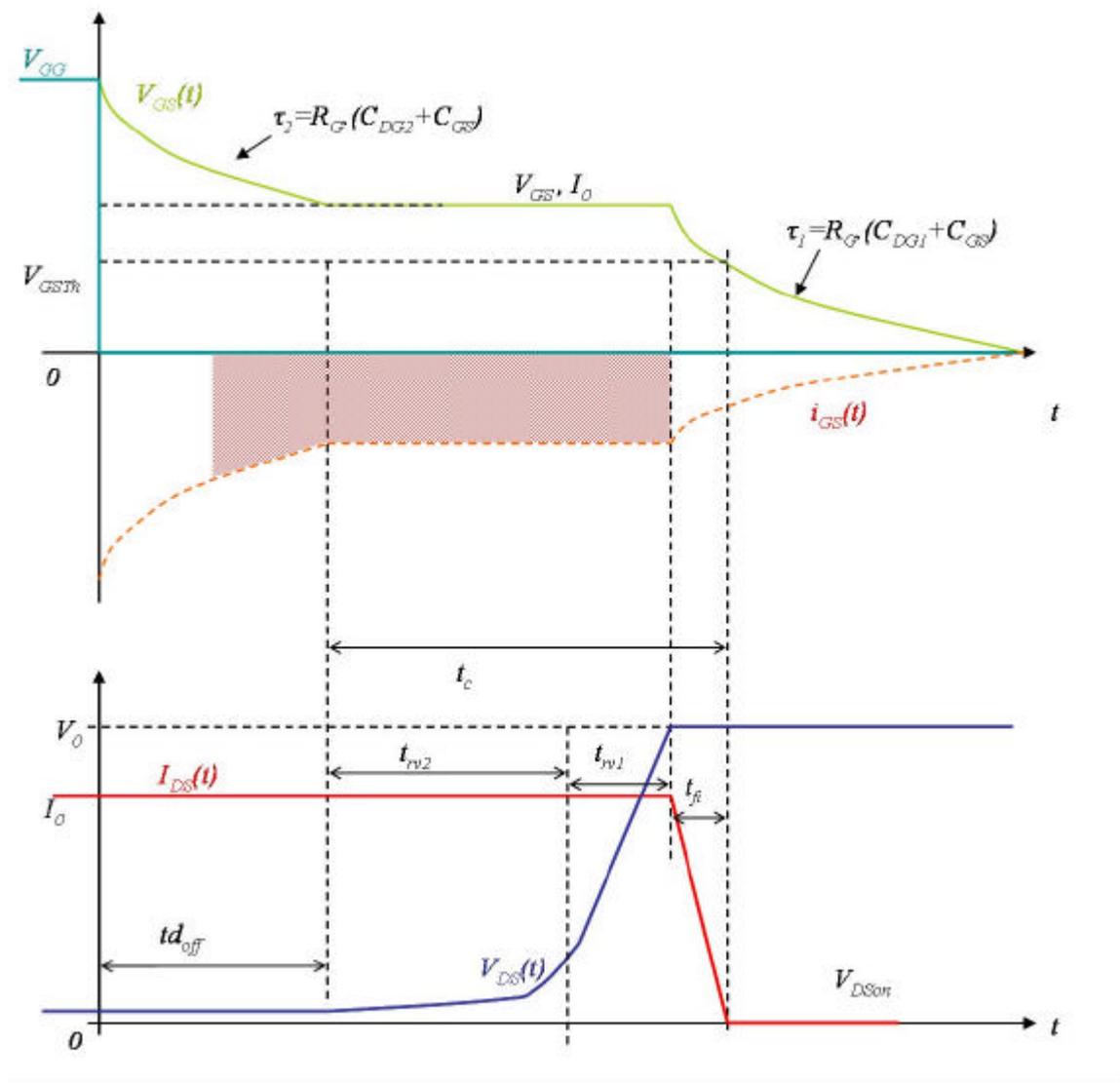


Figure 1-20 : Formes d'onde au blocage du MOSFET (d'après [MOHAN]).

Les valeurs de temps de commutation dépendent de l'amplitude de l'échelon de tension appliqué au niveau de la commande de grille : plus cette valeur est élevée, plus la dynamique de commutation est grande. De plus, la valeur de la résistance de grille peut être différente à l'amorçage et au blocage, ce qui permet de ralentir éventuellement l'une ou l'autre des commutations.

Durant l'amorçage et le blocage, les pertes instantanées apparaissent essentiellement durant le temps de commutation t_c (figures 1-17, 1-19, 1-20), où $p(t) = V_{DS} \cdot I_{DS}$ est élevé. Les capacités du MOSFET sont indépendantes de la température de jonction. Par contre, la résistance à l'état passant varie avec la température, et il en est de même pour les pertes en conduction.

1.3.2. Présentation de l'approche retenue

Nous ne remettons pas en cause la validité de cette description du MOSFET en commutation ; cette représentation à l'aide du schéma équivalent composé de 3 capacités inter-électrodes et d'une source de courant commandée par la tension de grille a fait ses preuves, et constitue une référence dans la communauté de l'électronique de puissance. Toutefois, certains points de cette approche classique présentent de notre point de vue des inconvénients :

- la capacité C_{DS} n'est classiquement pas prise en compte durant ces commutations,
- la capacité C_{GS} est considérée constante tout au long de la commutation, ce qui n'est pas vrai, même si cet effet reste assez mineur,
- la précision de description de la source de courant du MOSFET s'avère insuffisante dans certains cas d'utilisation du MOSFET, tels que l'utilisation dans le troisième quadrant I-V, ou encore dans le cas d'utilisation du composant en résistance dynamique,
- la commande envisagée dans cette approche se fait entre 0 et $+V_{GG}$, contrairement à la pratique, où le MOSFET est commandé entre $-V_{com1}$ et $+V_{com2}$.

Cette thèse a pour but de permettre l'intégration de la commande rapprochée au sein du composant. Cet objectif demande de comprendre et connaître avec précision les besoins énergétiques d'un MOSFET lors d'une commutation d'amorçage ou de blocage, et d'en déduire les transferts de charges intervenant au niveau de ces capacités inter-électrodes. Nous avons choisi de décrire ces commutations par des considérations d'ordre capacitif. Dans ce modèle, les 3 capacités inter-électrodes sont fonction des potentiels appliqués au composant. Ainsi, si nous choisissons comme référence le potentiel de l'électrode de source, il doit être possible de décrire une commutation (amorçage ou blocage, peu importe puisque les phénomènes physiques mis en jeu restent les mêmes, seul l'ordre chronologique change) en considérant ces transferts de charges capacitifs. La solution la plus adaptée à une telle analyse physique aurait pu être de ne travailler qu'en termes de charges, en considérant le composant MOSFET comme un tri-pôle dont le comportement aurait été modélisé avec des expressions de la forme $Q(V)$. Cependant, nous avons préféré rester au niveau de modèles sous forme de circuits électriques équivalents, pour des raisons de facilité de mise en œuvre et d'implantation sous différents environnements informatiques (PSPICE, SABER), mais aussi pour des raisons de facilité d'interprétation des phénomènes sous forme de charge ou de décharge capacitives.

En considérant le schéma électrique de la figure I-21, il est possible de décrire par des équations différentielles les tensions, courants et charges régissant le fonctionnement de la structure.

Loi des nœuds au drain :

$$I = I_{MOS} + \frac{d(C_{DS} \cdot V_{DS})}{dt} + \left[\frac{d(C_{GD} \cdot (V_{DS} - V_{GS}))}{dt} \right] \quad \text{éq. 6}$$

Loi des nœuds à la grille :

$$\frac{d(C_{GS} \cdot V_{GS})}{dt} = \frac{V_{COM} - V_{GS}}{R_G} + \left[\frac{d(C_{GD} \cdot (V_{DS} - V_{GS}))}{dt} \right] \quad \text{éq. 7}$$

Ces équations ne peuvent pas être résolues de manière analytique de façon générale. Par contre, en tenant compte de la dépendance des capacités inter-électrodes vis à vis des tensions grille-source et drain-source apparaît la notion de capacité dynamique. Il est ainsi possible d'écrire :

$$C_{GS}, C_{GD}, C_{DS} = f(V_{GS}, V_{DS})$$

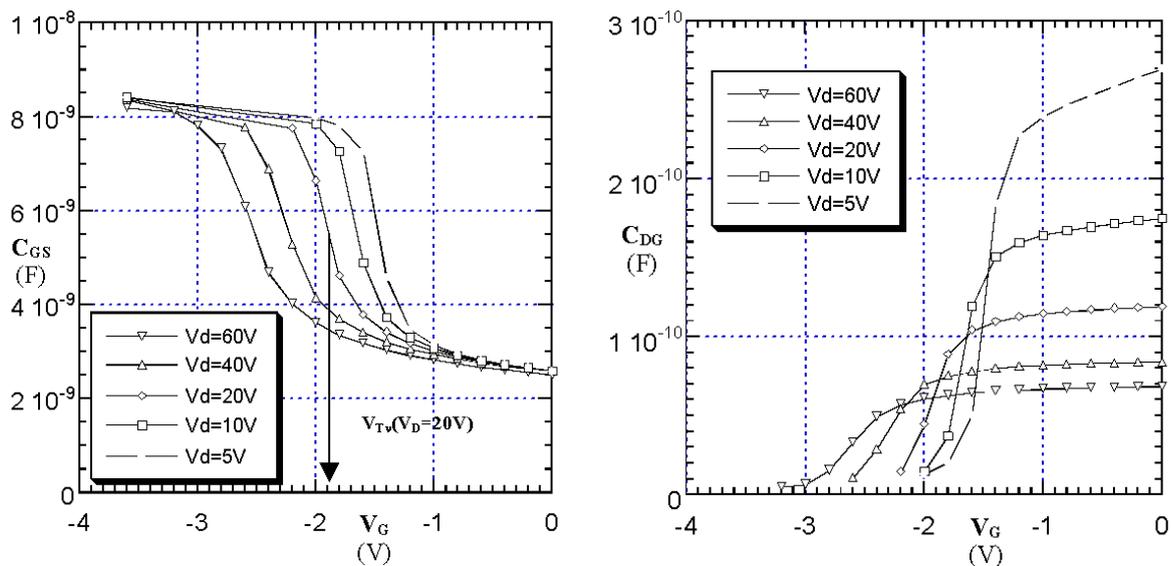


Figure 1-21 : Exemples de nappes 3D paramétrées en fonction de (V_{GS}, V_{DS}) pour les capacités C_{GS} et C_{DG} , d'après [AUBARD].

Ceci revient donc à avoir des nappes 3D paramétrées en (V_{GS}, V_{DS}) . Une démarche similaire peut être entreprise pour la source de courant liée, toujours en fonction des tensions (V_{GS}, V_{DS}) . Toutefois, ce type d'approche s'est très vite révélé lourd et fastidieux ; et même si cette approche offrait la possibilité de suivre la «trajectoire» suivie par le MOSFET durant sa commutation dans le plan (V_{GS}, V_{DS}) . Cette approche présente aussi l'inconvénient de conduire

à une modélisation abusive dans certains points du plan, correspondant à des cas qui n'existent pas d'un point de vue électrique.

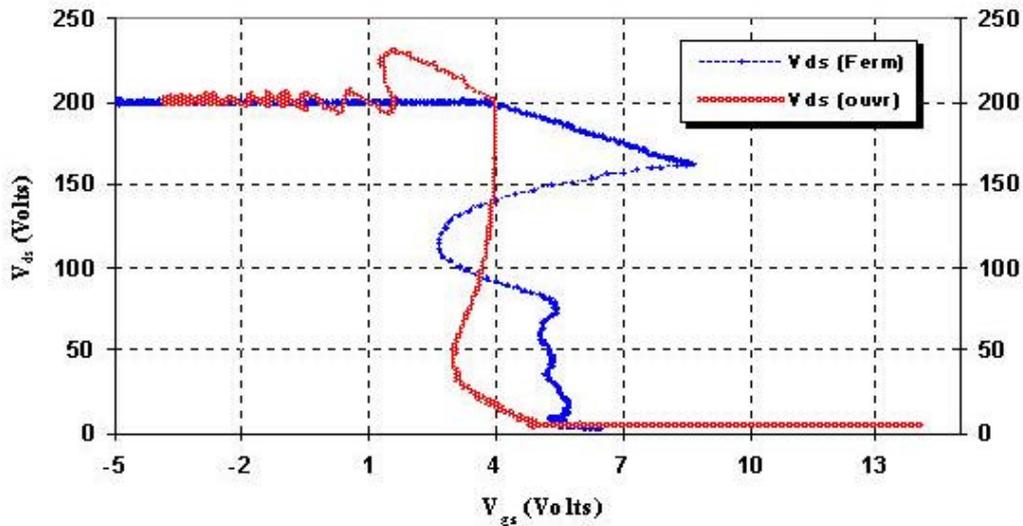


Figure 1-22 Exemple de trajectoire expérimentale : lieu V_{GS} V_{DS} à la fermeture et à l'ouverture du MOSFET, d'après [AHKBARI].

Cette approche trop générale a donc été abandonnée en faveur d'une approche basée sur la physique du composant. En effet, il existe au sein de la structure verticale du MOSFET deux structures MétaIsolant-SemiConducteur telles qu'elles ont été décrites au début de ce chapitre.

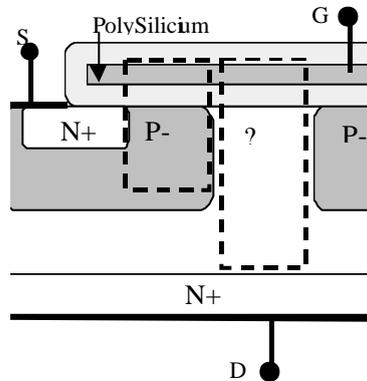


Figure 1-23 : Les deux structures MIS au sein d'un MOSFET vertical.

Chacune de ces structures MIS peut, selon la polarisation appliquée, être en régime d'accumulation, de déplétion ou d'inversion. Il est alors facile d'établir l'expression et l'évolution de la capacité de chacune de ces zones, selon l'état de la structure. C'est par la description de ces structures MIS, et en se référant à des tensions seuils que nous déterminerons par calcul si les structures MIS sont accumulées, déplétées ou inversées. Nous allons, à partir de cette représentation, étudier le mode de fonctionnement de ces structures

MIS et analyser le comportement en commutation d'un MOSFET, en décomposant en phases successives l'amorçage du composant.

(Remarque : il existe une troisième structure MIS au niveau du débordement du polysilicium de grille sur l'îlot N+ de source, mais cette structure est d'une part extrêmement réduite d'un point de vue surfacique, et d'autre part elle ne joue aucun rôle dans la commutation du composant).

1.3.3. Approche dynamique en 7 phases

Cette approche ([AUBARD]) basée sur la décomposition des commutations en 7 phases distinctes (amorçage ou blocage) permet de distinguer sur les relevés expérimentaux de commutation différentes phases, qui correspondent, comme nous allons le voir, aux différents états des structures MIS internes au composant.

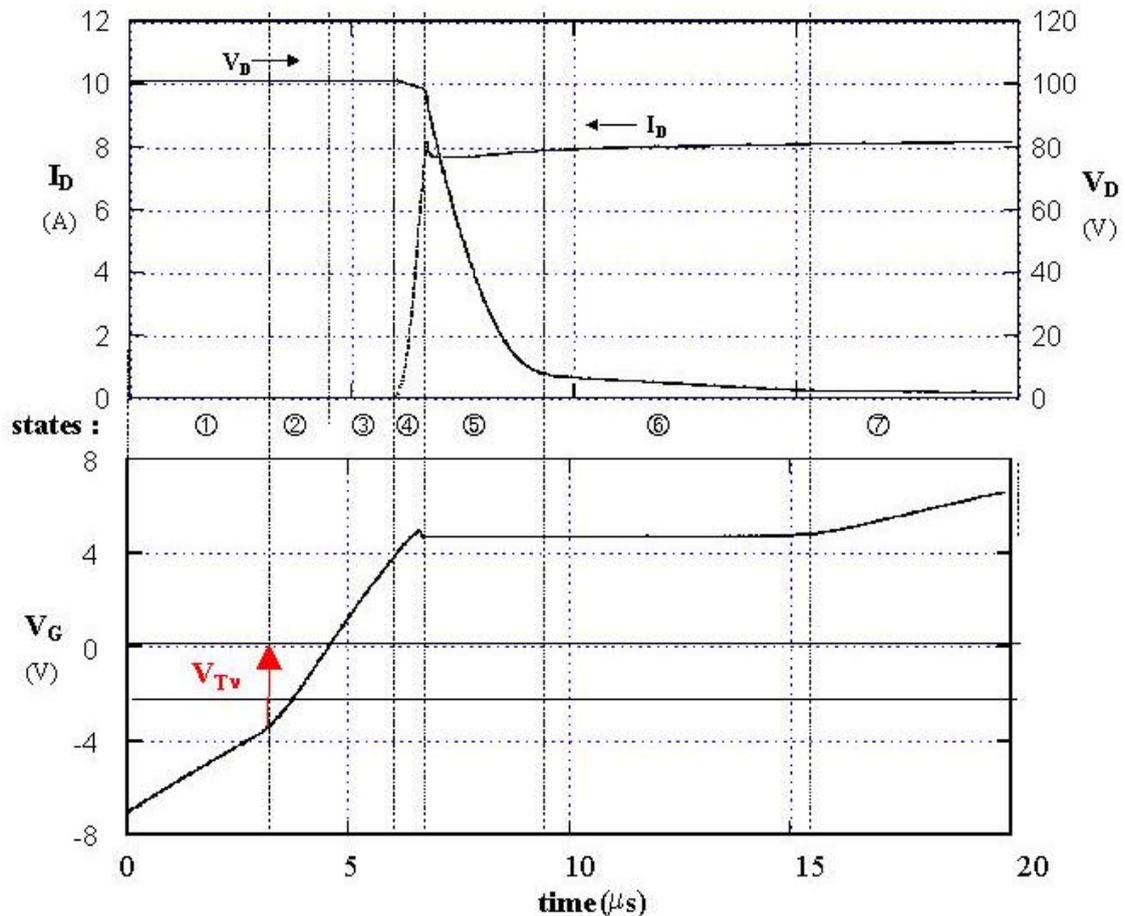


Figure 1-24 : Exemple de décomposition en 7 phases de l'amorçage d'un MOSFET APT5024BVRX commutant 8A sous 100V.

Nous notons V_{FB} , V_{FBn} les tensions de bande plate respectivement dans la zone P porte canal et dans la zone intercellulaire v et V_T , V_{Tn} les tensions de seuil dans ces mêmes zones (nous rappelons ici que le potentiel de bande plate sépare les régimes accumulation/déplétion, le potentiel de seuil sépare quant à lui les régimes déplétion/inversion). En choisissant le potentiel de source comme référence, il est possible de déterminer en fonction des potentiels V_G et V_D relativement à ces tensions de seuil les états respectifs des deux structures MIS ([BUDI HARDJO]). Ainsi, l'amorçage du composant s'effectue selon la succession de phases suivante :

Phase 1 : $V_G < V_{Tn}$ et $V_D \gg 0V$, la zone P porte canal est accumulée et la zone intercellulaire v inversée. La capacité d'entrée est alors maximale.

Phase 2 : $V_{Tn} < V_G < V_{FB}$ et $V_D \gg 0V$, la zone P porte canal est accumulée et la zone intercellulaire v passe de l'inversion à la déplétion. La capacité d'entrée est alors beaucoup plus faible que lors de la phase 1.

Phase 3 : $V_{FB} < V_G < V_T$ et $V_D \gg V_G - V_{FBn}$, la zone P porte canal passe de l'accumulation à la déplétion. La zone intercellulaire v reste déplétée. La capacité d'entrée décroît faiblement.

Phase 4 : $V_T < V_G < V_{plateau}$ et $V_D \gg V_G - V_{FBn}$, la zone P porte canal passe en régime d'inversion. Il y a croissance du courant principal I_D (donc de V_G) jusqu'à la valeur du courant que l'on cherche à commuter : I_0 .

Phase 5 : $V_G = V_{plateau}$ et $V_D > V_G - V_{FBn}$, la zone P porte canal est inversée et la zone intercellulaire v déplétée. Dans cette phase le potentiel de drain décroît rapidement car la capacité de réaction est faible. Le courant principal $I_D = I_0$ n'évolue plus, ainsi que le potentiel de grille V_G .

Phase 6 : $V_G = V_{plateau}$ et $V_D < V_G - V_{FBn}$, la zone P porte canal est inversée et la zone intercellulaire v passe en régime d'accumulation d'où une augmentation de la capacité de réaction. La capacité vue de l'entrée redevient alors importante et un ralentissement de la décroissance de V_D est observé. I_D et V_G restent constants.

Phase 7 : $V_G > V_{plateau}$ et V_D devient très faible, la zone P porte canal est inversée et on évolue dans la zone de saturation du réseau de caractéristiques statiques. Le potentiel de grille peut donc de nouveau évoluer. La capacité d'entrée est de nouveau maximale (même valeur que lors de la phase 1).

Il est possible de représenter de façon schématique l'évolution de ces structures MIS et des charges en présence au cours de cette commutation.

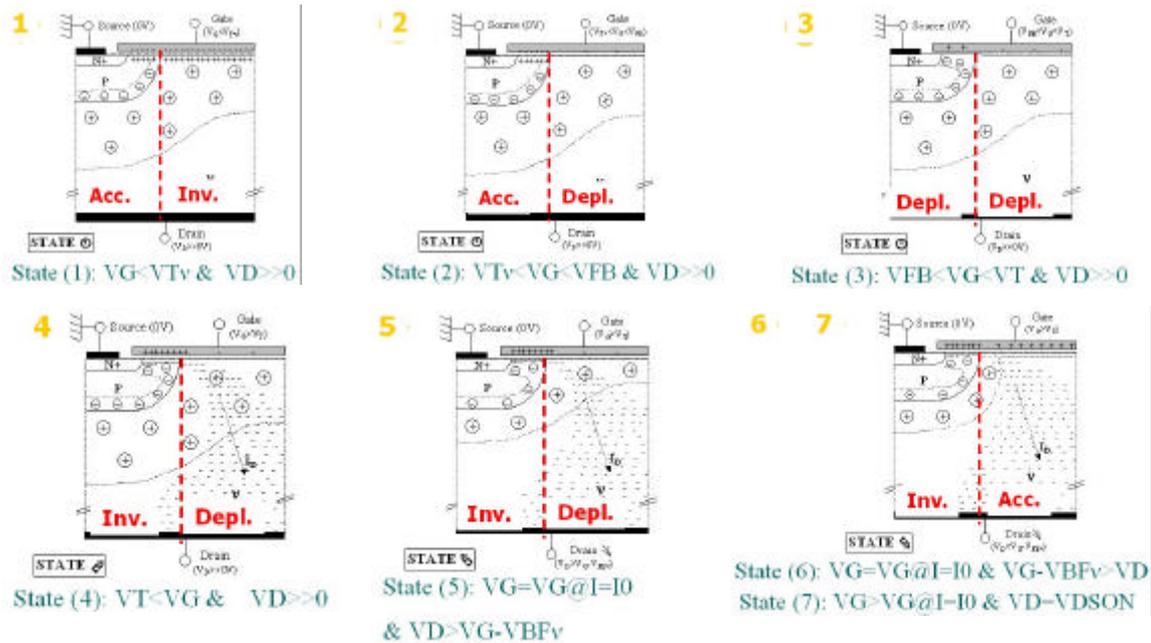


Figure 1-25 : Evolution des structures MIS durant l'amorçage du MOSFET.

Il faut noter sur la figure 1-24 la cassure de la courbe V_{GS} au niveau du potentiel V_{Tn} . Ce changement de pente constitue un point important dans la compréhension des phénomènes physiques mis en jeu lors de la commutation du MOSFET. Quand la tension de grille V_{GS} est inférieure à ce seuil, l'auto-écranage de la grille est assuré. Cela signifie que durant l'amorçage du composant, la phase 1 n'est pas nécessaire en elle-même. Si, par exemple ce seuil V_{Tn} est situé à $-9V$, une tension de commande de $-20V$ n'est pas nécessaire pour garantir le blocage du MOSFET sans risque de réamorçage, une tension de $-10V$ peut suffire. De même, la phase 7 ne sert qu'à amener la tension V_{GS} du niveau de la tension de plateau au niveau haut de la tension de commande. Dans ce cas, si nous savons, par notre connaissance du composant et du circuit où il va opérer, que cette tension de plateau se situera par exemple vers $12V$, nous pouvons faire le choix d'une commande en $-10V/+13V$. Ce choix peut être intéressant dans le cas où nous cherchons à nous abstenir d'utiliser une alimentation externe pour le circuit de commande rapproché. Il faudra toutefois accepter de payer en contre-partie cette diminution de l'amplitude de la commande de grille par une baisse des performances dynamiques du composant, puisqu'au niveau de la tension de grille, les charges exponentielles (nous avons affaire dans notre modélisation à des circuits RC) ont une dynamique proportionnelle à l'amplitude de cette commande de grille : ainsi, pour un même composant, à résistance de grille constante, les phases 2 à 6 seront plus longues dans le cas d'une commande en $-15V/+15V$ que dans le cas d'une commande en $-20V/+20V$. Ces

considérations sur les niveaux de commande seront abordées plus en détail ultérieurement dans le chapitre 3.

Revenons maintenant à notre décomposition de la commutation en 7 phases. L'avantage d'une telle démarche se voit surtout dans la description des équations électriques régissant la commutation. Nous pouvons constater que dans chacune des phases, un des deux potentiels V_G ou V_D est constant (sauf dans le cas où la diode de roue libre n'est pas parfaite, alors la phase de recouvrement de celle-ci pose un problème durant l'amorçage du MOSFET, modifiant le déroulement de la phase 5). Notre modélisation est conduite avec une diode parfaite sans recouvrement. Dès lors, il est possible d'effectuer de manière générale la simplification suivante :

$$\frac{dQ_x}{dt} = \frac{d}{dt}(C_x \cdot V_x) = C_x(V_1, V_2) \cdot \frac{dV_x}{dt} + \left[\frac{\partial C_x(V_1, V_2)}{\partial V_1} \cdot \frac{\partial V_1}{\partial t} + \frac{\partial C_x(V_1, V_2)}{\partial V_2} \cdot \frac{\partial V_2}{\partial t} \right] \cdot V_x \quad \text{éq. 8}$$

(où $x=GS, DS$ ou DG et $(V_1, V_2)=(V_{GS}, V_{DS})$)

Durant chacune des 7 phases de la commutation, un des deux termes de l'expression entre crochets est nul, ce qui simplifie grandement les équations différentielles à résoudre. Il nous suffit donc de décrire par morceaux l'évolution des capacités internes du MOSFET durant chacune des phases de la commutation. Comme nous le verrons par la suite, dans ce mode de description, les capacités inter-électrodes du MOSFET sont, en général, fonction de la tension appliquée aux bornes de ces électrodes ([ONG], [SUBRAMANIAN], [WINTON]), ce qui conduit au résultat suivant :

$$C_{GS} = f(V_{GS}) ; C_{DS} = f(V_{DS}) ; C_{DG} = f(V_{DG}) = f(V_{DS} - V_{GS}) = f(V_{GS}, V_{DS}).$$

Dans ce cas, seule la capacité de rétroaction C_{DG} apparaît comme étant une fonction de 2 variables.

Notre modèle est donc basé sur une décomposition des commutations en phases distinctes ; il a donc fallu, d'une part, déterminer les seuils en tensions qui séparent les différentes phases, et d'autre part, établir, pour chaque phase, les expressions des 3 capacités C_{GS} , C_{DS} et C_{DG} ainsi que celles de la source de courant liée et de la résistance à l'état passant.

1.4. Modèle statique

La description du modèle statique du MOSFET passe par la modélisation de 2 éléments : la source de courant I_{MOS} et la résistance à l'état passant.

1.4.1. Source de courant I_{MOS}

Dans l'approche actuelle de la modélisation dynamique du MOSFET, il faut décrire la source de courant liée I_{MOS} à deux endroits : d'une part dans les éléments du modèle, et d'autre part lors de l'étude du seuil séparant les phases 4 et 5. La description de cette source de courant liée est censée rendre compte de ce que la littérature a l'habitude de présenter sous la forme d'un réseau de caractéristiques statiques du composant.

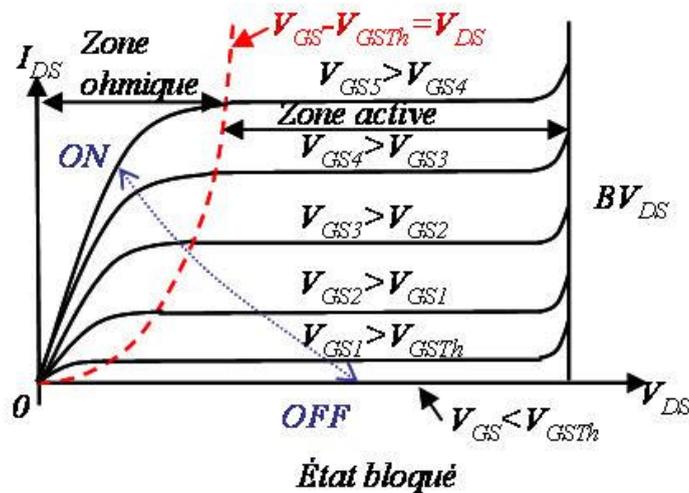


Figure 1-26 : Réseau statique.

Il est possible de distinguer 4 zones sur ce réseau :

- tout d'abord la **zone de l'état bloqué**, où la tension grille source vérifie : $V_{GS} < V_{GSth}$, et où le courant I_{DS} est nul.
- La seconde zone correspond à la **zone de claquage** du composant pour la tension $V_{DS} = BV_{DS}$, cette tension est liée à la géométrie du composant. Dans cette zone, I_{DS} tend vers l'infini, ce qui entraîne la destruction du composant.
- Ensuite vient la **zone ohmique**, où le composant se trouve à l'état passant. Dans cette zone, la relation entre le courant drain et la tension drain-source est du type $I_{DS} = V_{DS} / R$, avec une résistance $R = f(V_{GS}, V_{DS})$. Les courbes pour les différentes valeurs de tension V_{GS} tendent vers une droite asymptotique lorsque la tension V_{DS} tend à s'annuler, cette droite asymptotique correspondant par ailleurs à la valeur $1/R_{DSon}$. Toutefois, lorsque la tension V_{DS} augmente, cette pente tend à diminuer et ce quelle que soit la valeur de la tension grille source. Ce phénomène possède plusieurs origines (qui le rendent difficiles à

modéliser) : d'une part, l'augmentation de la tension V_{DS} entraîne une réduction de l'épaisseur de la zone de canal et de la zone accumulée sous l'oxyde de grille, les résistances de ces zones traversent donc une « surface plus faible », ce qui augmente leur valeur. Ce phénomène appelé pincement est à l'origine de champs électriques intenses au niveau de l'interface Si/SiO₂ ; ces champs électriques sont si forts que les électrons atteignent leur vitesse limite dite vitesse de saturation ($v_{sat}=10^7 \text{ cm.s}^{-1}$). Or la mobilité des porteurs est justement fonction de leur vitesse de déplacement, cette saturation se répercute alors au niveau de la résistivité du silicium dans ces zones ($r = \frac{1}{q \cdot n \cdot m_h}$, par l'intermédiaire de μ_n , qui est fonction de cette vitesse de déplacement). De plus, les mobilités des porteurs sont aussi fonction de la température de la jonction qui est loin d'être constante à cet instant ([ISHIHARA], [SCOFIELD]). Enfin, dans le même temps, le flot d'électrons traversant la zone P et la zone N+ face arrière se restreint et ne passe plus à travers toute la surface active du composant : cette « diminution » de la surface active se répercute par des résistances pour ces zones plus élevées et donc une pente plus faible pour les courbes $I_{DS} = f(V_{DS})$. La simultanéité et la superposition de tous ces phénomènes (pincement+champs intenses+température+mobilités variables+restriction des surfaces actives) font que cette partie du réseau statique, la zone ohmique, est extrêmement difficile à modéliser et à formuler de manière analytique dans sa globalité. A ce niveau, seuls des logiciels de calculs type éléments finis ou des relevés expérimentaux peuvent fournir des résultats. Le plus souvent, cette zone ohmique est décrite via la résistance à l'état passant R_{DSon} sous la forme d'une asymptote idéalisée. Un raccordement avec les courbes dans la zone active est effectué.

- Vient enfin la zone active, où le réseau statique présente des plateaux horizontaux selon V_{DS} . Les caractéristiques $I_{DS} = f(V_{GS}, V_{DS})$ sont alors indépendantes (quasiment) de la tension drain-source. Cette zone active est séparée de la zone ohmique décrite précédemment par la relation $V_{DS} = V_{GS} - V_{GSTh}$ (ce qui correspond à peu de choses près dans notre description de la commutation à la limite entre les phases 5 et 6). Dans cette zone active, le courant drain est lié à la tension grille-source par la relation :

$$I_{DS} = g_m \cdot (V_{GS} - V_{GSTh}) = K \cdot (V_{GS} - V_{GSTh})^2 = \frac{C_0}{2} \cdot (V_{GS} - V_{GSTh})^2 \quad \text{éq. 9}$$

Où g_m est la transconductance (variable selon V_{GS}) du MOS. La seconde description à l'aide du paramètre K est toutefois plus fidèle ; ce paramètre K se détermine à l'aide de la géométrie du dispositif.

Pour déterminer l'expression de la source de courant I_{MOS} , et donc du paramètre K , nous allons distinguer 2 cas :

Premier cas : si la tension V_{DS} est faible devant V_{GS} :

Dans le plan courant – tension ($I_{DS}=f(V_{DS})$ pour différents V_{GS}), le composant se trouve donc près de l'axe du courant (zone ohmique). Il existe un champ E_x selon l'axe x du schéma ci dessous : $E_x \cdot e_{Si} \cdot e_0 = E_{SiO_2} \cdot e_{SiO_2} \cdot e_0 = Q_s^*$, où Q_s^* est la charge surfacique. De plus, $V_{DS}>0$ entraîne une composante du champ E_y . Il en résulte un déplacement d'électrons, donc un courant I_{DS} .

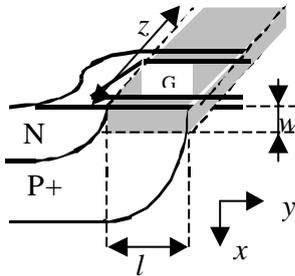


Figure 1-27 : Dimensions du canal.

Notant alors l_{canal} la longueur du canal et z sa largeur, nous obtenons les formules suivantes :

$$I_{DS} = \frac{m_{nS} \cdot z \cdot Q_s^*}{l_{canal}} \cdot \Delta V_{can} \text{ et } R_{canal} = \frac{l_{canal}}{m_{nS} \cdot z \cdot Q_s^*} \quad \text{éq. 10}$$

Remarque : comme $Q_s^* = \frac{V_G}{e_{SiO_2}} \cdot e_{SiO_2} \cdot e_0$, il est possible d'écrire :

$$R_{canal} = \frac{l_{canal} \cdot e_{SiO_2}}{m_{nS} \cdot e_{SiO_2} \cdot e_0 \cdot z \cdot V_G} \quad \text{éq. 11}$$

. Aussi, dans la région ohmique sur le plan courant – tension, la pente dépend de V_G , donc de la polarisation de grille (remarque : nous avons supposé, pour des raisons de clarté dans les formules précédentes, une chute de tension V_{GSTh} nulle dans l'oxyde ; dans le cas réel, il faut remplacer, comme cela a été fait dans notre modèle, V_G par $V_G - V_{GSTh}$).

Second cas : si la tension V_{DS} n'est plus négligeable devant V_{GS} :

La charge surfacique vaut alors : $Q_s^* = \frac{V_G - V(y)}{e_{SiO_2}} \cdot e_{SiO_2} \cdot e_0$.

Et pour le courant, nous obtenons:

$$I_{DS} = \frac{\mathbf{m}_{nS} \cdot z \cdot \mathbf{e}_{SiO_2} \cdot \mathbf{e}_0}{l_{canal} \cdot e_{SiO_2}} \cdot \Delta V_{can} \cdot \left(V_G - \frac{\Delta V_{can}}{2} \right) \quad \text{éq. 12}$$

Ce courant est maximal lorsque $\Delta V_{can} = V_G$. Dans tous les cas :

$$I_{DS} \leq I_{DS\max} = \frac{\mathbf{m}_{nS} \cdot z \cdot \mathbf{e}_{SiO_2} \cdot \mathbf{e}_0}{l_{canal} \cdot e_{SiO_2}} \cdot \frac{V_G^2}{2} \quad \text{éq. 13}$$

Ainsi l'expression analytique du paramètre K est : $K = \frac{\mathbf{m}_{nS} \cdot Z \cdot \mathbf{e}_{ox}}{2 \cdot e_{ox} \cdot l_{canal}}$

Dans notre approche, la zone active sera donc décrite par la fonction de transfert $I_{DS} = f(V_{GS}) = g_m \cdot (V_{GS} - V_{GSTh}) = K \cdot (V_{GS} - V_{VGSTh})^2$ (selon le degré de finesse de la modélisation), illustrée par le graphe ci-dessous.

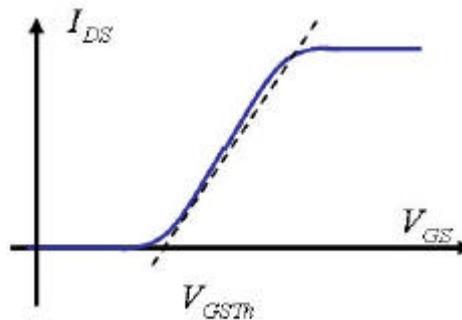


Figure 1-28 : Fonction de transfert.

Il est donc difficile de décrire dans sa globalité la source de courant liée I_{MOS} , d'autant plus qu'elle dépend de 2 tensions V_{DS} et V_{GS} . Toutefois, pour l'étude du seuil séparant les phases 4 et 5 de la commutation, la fonction de transfert décrite précédemment suffira, puisque le composant se trouve alors dans la zone active (le MOSFET voit en même temps le plein courant I_0 et la pleine tension V_0). Quant à la description de la source au sein même du modèle, il est possible, dans la mesure où l'accès aux données géométriques (dimensions) et physiques (dopages) du composant est envisageable, d'établir le réseau statique dans la zone de claquage, la zone d'état bloqué, et la zone active. Il en sera de même pour l'expression de l'asymptote de pente $1/R_{DSon}$ (avec plus ou moins de précision, cf. paragraphe précédent), ainsi que celle de la frontière entre zone active et zone ohmique. Il est alors possible d'envisager de déterminer le comportement du composant dans la zone ohmique en effectuant

des raccords entre les niveaux de courants pour les différentes tensions de grille et la droite asymptotique de pente I/R_{DSon} .

1.4.2. Résistance à l'état passant

Dans une cellule élémentaire de MOSFET à l'état passant, le courant circulant entre drain et source traverse successivement : les contacts métalliques de source, les îlots de source N+, le canal d'inversion, la zone d'accumulation sous la grille, la zone v verticale, la zone N+ face arrière de drain et pour finir le contact métallique de drain.

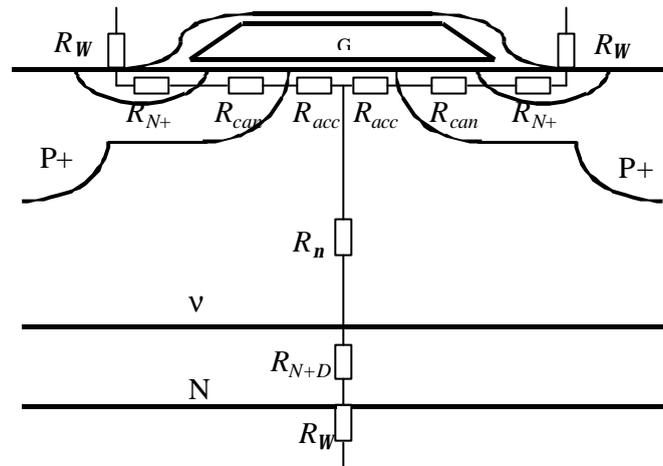


Figure 1-29 : Résistances des différentes zones pour le calcul de R_{DSon} .

Ce sont autant de résistances en série à calculer a priori. En considérant successivement les résistances des différentes zones traversées, cela donne :

- les contacts ohmiques : la résistance R_W est faible ;
- les caissons N^+ de source : résistance R_{N^+} faible (en raison du fort dopage ; en effet, la résistance est proportionnelle à la résistivité : $R = \frac{r \cdot l}{S}$, et cette résistivité est inversement proportionnelle au dopage : $r = \frac{1}{q \cdot n \cdot m_h}$);
- le canal : sa résistance est prépondérante pour les basses et moyennes tensions ;
- la région v sous la grille (dite accumulée) : résistance R_{acc} faible (en effet, compte tenu de la polarisation entre la grille et le drain, le champ électrique résultant est responsable d'une accumulation des électrons sous l'oxyde de grille, ce qui implique une forte concentration, donc une faible résistance) ;
- la région v en profondeur : la résistance R_n est prépondérante pour les hautes tensions ;

- la région N⁺Drain : résistance R_{N+D} faible (idem que pour les caissons de source).

Il ne reste alors que 2 résistances à calculer, à savoir celle du canal et celle de la zone v. Suivant le calibre en tension du composant, l'une ou l'autre des résistances est prépondérante (c'est le cas de la résistance de canal dans le cas des faibles et moyennes tensions).

➤ **Résistance du canal**

L'expression de la valeur de cette résistance a été établie lors de l'étude de la source de courant I_{MOS}, nous rappelons ici son expression :

$$R_{canal} = \frac{l_{canal} \cdot \epsilon_{SiO_2}}{m_{nS} \cdot \epsilon_{SiO_2} \cdot \epsilon_0 \cdot z \cdot V_G} \quad \text{éq. 14}$$

(Remarque : tout ceci suppose une chute de tension V_{GSTh} nulle dans l'oxyde ; dans le cas réel, il faut remplacer V_G par $V_G - V_{GSTh}$).

➤ **Résistance R_n**

Pour la zone v :

$$R_n = \frac{w_n}{q \cdot n \cdot m_n \cdot S} \quad \text{éq. 15}$$

w_n étant l'épaisseur, S la surface équivalente d'un motif élémentaire et $n = N_n$.

(Remarque : effectuer le même calcul pour la zone N+ face arrière permet d'éliminer une des approximations mentionnées plus haut).

Par surface équivalente d'un motif élémentaire, nous entendons la surface qui est obtenue en effectuant un calcul de moyenne géométrique tenant compte de l'épanouissement (choisi arbitrairement à 45°) sous la cellule élémentaire, comme cela est illustré sur la figure suivante :

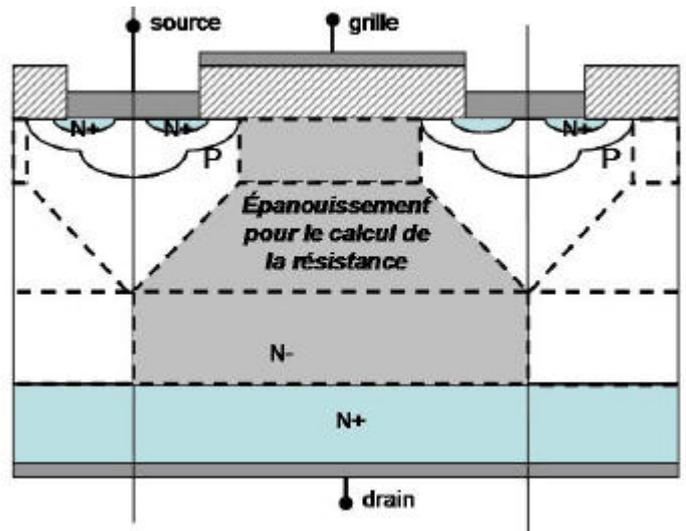
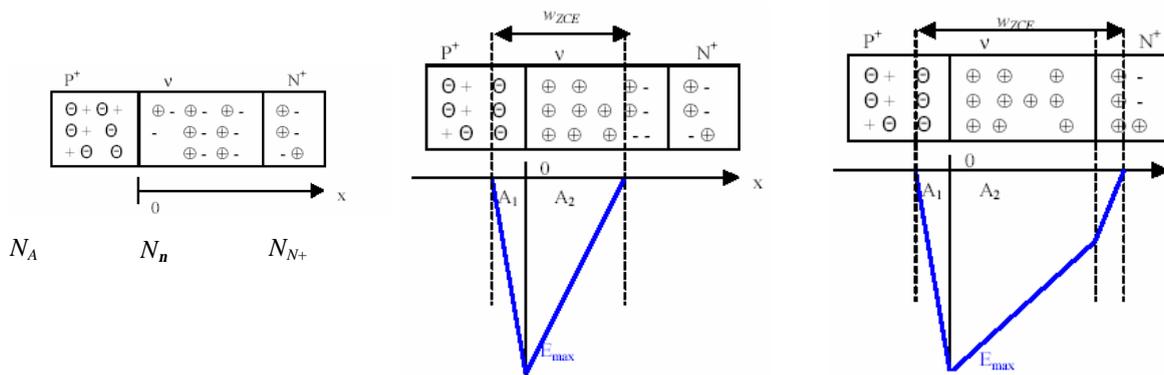


Figure 1-30 : épanouissement pour le calcul de la surface équivalente d'un motif élémentaire.

Cette zone v assure la tenue en tension inverse du composant. Lorsque le MOSFET est bloqué ; la jonction P/v est en inverse.



Jonction à l'équilibre

Zone de charges d'espace de part et d'autre de la jonction P/n

Zone de charges d'espace débordante

Figure 1-31 : Extension de la zone de charges d'espace pour la tenue en tension du composant.

En considérant l'équation de Poisson : $\frac{dE}{dx} = \frac{r(x)}{\epsilon_0 \cdot \epsilon_{si}}$, il est possible de distinguer deux cas :

- dans le premier cas, la zone de charges d'espace se développe de part et d'autre de la jonction P/v, et l'équation de Poisson donne côté P : $\frac{dE}{dx} = \frac{-q \cdot N_A}{\epsilon_0 \cdot \epsilon_{si}} < 0$ et côté v :

$$\frac{dE}{dx} = \frac{q \cdot N_n}{\epsilon_0 \cdot \epsilon_{si}} > 0. \text{ En notant } w_{ZCE} \text{ la largeur de la zone de charges d'espace, nous avons :}$$

$$V_n = \int_{w_{ZCE}} E(x) dx \approx A_2, \text{ compte tenu du fait que } A_2 \gg A_1, \text{ puisque } N_A \gg N_n. \text{ le champ électrique}$$

E s'annulant en $x=w_{ZCE}$, nous pouvons en déduire les deux relations suivantes :

$$w_{ZCE} = \frac{E_{max} \cdot \epsilon_0 \cdot \epsilon_{Si}}{q \cdot N_n} \text{ et } V_n = \frac{1}{2} \cdot \frac{\epsilon_0 \cdot \epsilon_{Si} \cdot E_{max}^2}{q \cdot N_n} .$$

- dans le second cas, la zone de charges d'espace déborde et s'étend au delà de la frontière v/N_+ . le choix technologique habituel est alors d'avoir à cette frontière la relation $E=E_{max}/4$, ce qui permet, compte tenu que $N_{N+} \gg N_v$, de faire l'approximation suivante :
 $w_{ZCE} = w_h$.

Dans les deux cas, la tenue en tension du composant est déterminée d'après la formule :

$$|BV_{DS}| = \left| \int_0^{w_{ZCE}} E(x) dx \right| . \text{ Le champ } E_{max} \text{ correspond à la limite de claquage (environ } 200\text{kV.cm}^{-1}\text{).}$$

Ce calcul permet de constater que la tenue en tension BV_{DS} augmente si w_{ZCE} augmente, et donc si N_n diminue. Dans ce cas, l'éq. 15 montre que la résistance R_n augmente. Ce constat est à l'origine d'un compromis majeur pour les composants unipolaires : la tenue en tension du composant se paie en terme de résistance à l'état passant, notamment pour la composant R_v .

Ayant maintenant établi les expressions des principales composantes, il nous reste donc à effectuer l'addition des résistances en série, et à diviser par le nombre de cellules élémentaires (puisque celles-ci sont en parallèle), d'où :

$$R_{DSon} = \frac{R_{canal} + R_n + R_{N+}}{N_{cell}} \tag{eq. 16}$$

Une bonne approximation consiste souvent dans le cas de la structure classique à cellules carrées à se limiter à la résistance R_v , qui compte tenu du faible dopage de cette zone, est souvent majoritaire (80% de R_{DSon}) dans le cas des composants haute tension.

Néanmoins, dans le cas des nouvelles structures (CoolMOS, TrenchMOS), cette approximation n'est plus valable. Ceci pose alors un problème (non résolu pour l'instant) : comment calculer la résistance des autres zones, surtout lorsque celles-ci sont le lieu d'accumulation de charges sur une épaisseur très fine ? Si les constructeurs sont en mesure d'annoncer les valeurs de R_{DSon} et les ratios correspondant à chacune des zones, c'est sûrement à l'aide de simulation de type éléments finis : en imposant un courant traversant la structure et en dressant la cartographie des potentiels, il est alors facile d'évaluer la contribution de chaque zone à la résistance à l'état passant.

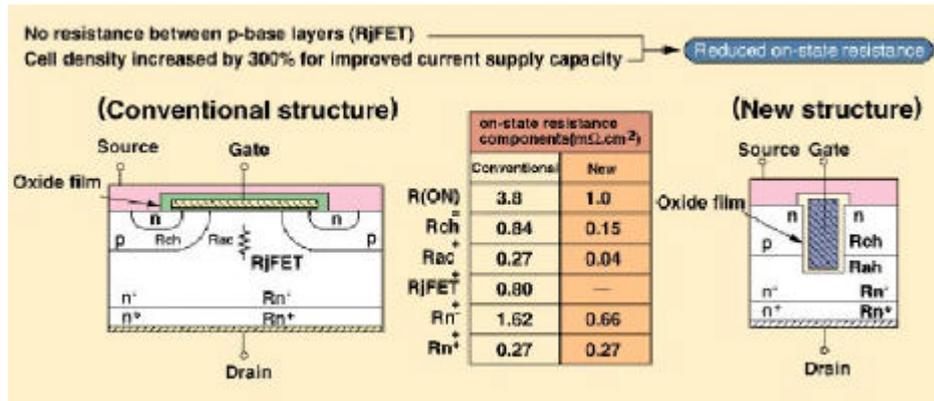


Figure 1-32 : Résistances à l'état passant, comparaison entre un MOSFET « classique » et un TrenchMOS [PHILIPS].

1.5. Modèle dynamique

Pour modéliser le MOSFET en commutation, il nous faut établir les expressions des 3 capacités inter-électrodes dans chacune des phases de la décomposition présentée au paragraphe §1.3.3, mais il nous faut aussi établir l'expression des différentes tensions seuils séparant ces différentes phases.

1.5.1. Expressions des tensions seuils

Les seuils séparant chaque phase ont été introduits au paragraphe précédent, le tableau suivant rappelle leur ordre chronologique d'apparition durant l'amorçage du MOSFET, diode supposée idéale (conditions initiales $V_G = -V_{com}$, $I_{DS} = 0$, $V_D = V_0$) :

seuil	tension	phénomène
phase 1/2	$V_G = V_T?$	la zone intercellulaire passe de l'inversion à la déplétion.
phase 2/3	$V_G = V_{FB}$	la zone de porte-canal passe de l'accumulation à la déplétion.
phase 3/4	$V_G = V_{TH}$	la zone de porte-canal passe de la déplétion à l'inversion, le courant I_{DS} croit jusqu'à sa valeur I_0
phase 4/5	$V_G = V_G(I_0) = V_{Gplateau}$	la tension V_{DS} commence à décroître.
phase 5/6	$V_D = V_x = V_{Gplateau} - V_{FB}?$	la zone intercellulaire passe de la déplétion à l'accumulation. La tension V_{DS} continue de décroître plus lentement.
phase 6/7	$V_D = V_{DSon}$	la tension V_{DS} est à son minimum, la tension V_{GS} augmente jusqu'à $+V_{com}$.

Tableau 1-1 : Tableau récapitulatif des seuils séparant les différentes phases de la commutation.

Potentiels de bande plate V_{FB} et V_{FBn} :

Pour une capacité Méta|Oxyde-Semiconducteur, le potentiel de bande plate est déterminé par la formule :

$$V_{FB} = \Phi_{ms} - \frac{Q_{ox}}{C_{ox}^*} \quad \text{éq. 17}$$

Où le premier terme est une constante qui dépend de la nature de l'électrode métallique, et le second terme correspond à une tension liée aux charges piégées dans l'oxyde. Ce second terme n'est pas calculable et dépend fortement de la réalisation technologique du composant ; il est en général voisin du volt. Par contre, le premier terme peut être déterminé à partir du tableau suivant :

Electrode métallique	Aluminium	Polysilicium N+	Polysilicium P+
ϕ_{ms}	-0.41V	-0.56V	+0.56V

Dans notre cas, il s'agit de polysilicium N+. De plus, nous avons choisi dans un premier temps d'ignorer le terme relatif aux charges piégées dans l'oxyde de grille. Ainsi :

$$V_{FBn} = V_{FB} = \Phi_{ms} \tag{eq. 18}$$

Potentiels de seuils threshold V_T et V_{Tn} :

Toujours dans le cas de l'étude d'une capacité MétalOxyde-Semiconducteur, la tension de seuil (threshold) séparant le régime de déplétion de celui d'inversion se présente sous la forme :

$$V_{Th} = V_{FB} \pm 2 \cdot \frac{kT}{q} \cdot \ln\left(\frac{N}{ni}\right) \pm \frac{\sqrt{2 \cdot q \cdot N \cdot e_{Si} \cdot e_0 \cdot \left(V + 2 \cdot \frac{kT}{q} \cdot \ln\left(\frac{N}{ni}\right) \right)}}{C_{ox}^*} \tag{eq. 19}$$

où N correspond au dopage du semiconducteur, C_{ox}^* est un terme relatif à la capacité surfacique de l'oxyde et V une tension qui dépend de l'état de la structure. Dans notre cas, cela donne :

$$V_T = \left(V_{FB} + 2 \cdot \frac{k \cdot T}{q} \cdot \ln\left(\frac{Na}{ni}\right) \right) + \frac{\sqrt{2 \cdot q \cdot Na \cdot e_0 \cdot e_{Si}} \cdot \sqrt{2 \cdot \frac{k \cdot T}{q} \cdot \ln\left(\frac{Na}{ni}\right)}}{e_{ox}} \tag{eq. 20}$$

$$V_{Tn} = \left(V_{FBn} - 2 \cdot \frac{k \cdot T}{q} \cdot \ln\left(\frac{Nn}{ni}\right) \right) - \frac{\sqrt{2 \cdot q \cdot Nn \cdot e_0 \cdot e_{Si}} \cdot \sqrt{V_0 + 2 \cdot \frac{k \cdot T}{q} \cdot \ln\left(\frac{Nn}{ni}\right)}}{e_{ox}} \tag{eq. 21}$$

Il faut noter au passage que contrairement aux précédents seuils, V_{Tn} fait appel à un paramètre externe au composant, puisque son expression dépend de la tension V_0 .

Chute de tension à l'état passant et tension de saturation de grille :

Tout comme V_{Tn} dépend de la tension V_0 appliquée au drain du composant, ces deux seuils dépendent d'un paramètre externe à ce dernier. En effet :

$$V_{DSon} = R_{DSon} \cdot I_0 \tag{eq. 22}$$

où R_{DSon} est la résistance à l'état passant du composant. De même :

$$V_{Gsat} = V_{plateau} = V_{GS,I0} = f(I_0) \tag{eq. 23}$$

où f est la fonction de transfert entre le courant I_{MOS} de la source liée et la tension grille-source V_{GS} .

Les expressions des seuils séparant les différentes phases de la commutation étant établies, nous pouvons maintenant nous intéresser au modèle dynamique du MOSFET. Pour cela, nous considérerons la structure suivante :

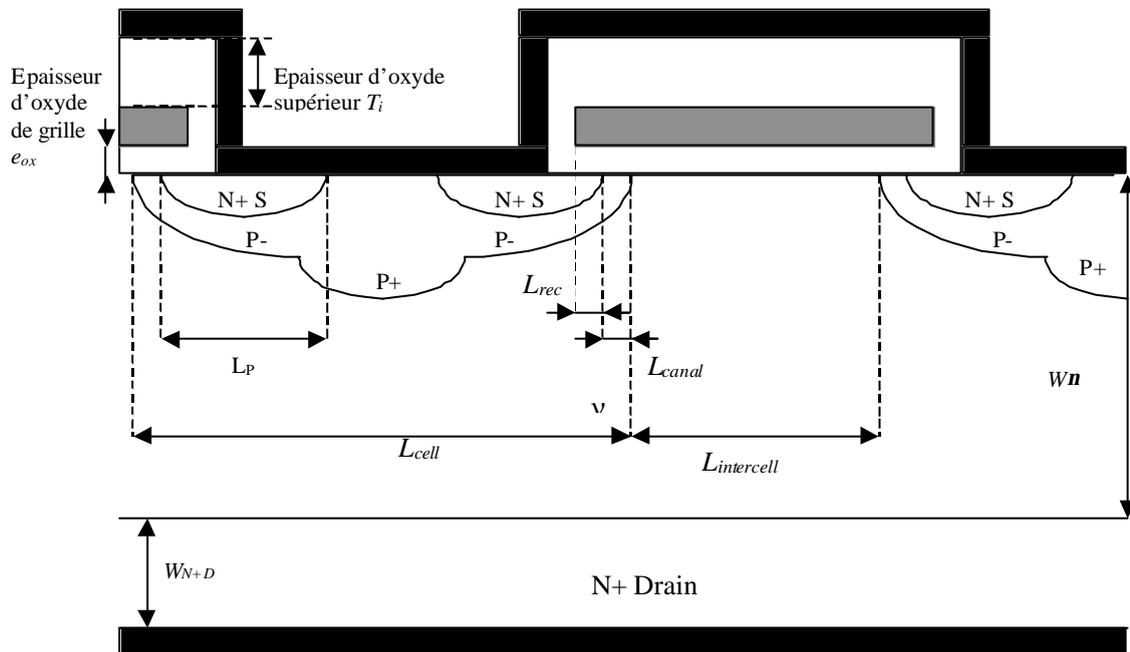


Figure 1-33 : Cotation des différentes variables géométriques pour un motif élémentaire du MOSFET. Les cotations indiquées sont celles après diffusion.

1.5.2. Capacité C_{DS}

Nous choisissons d'étudier le cas de la capacité C_{DS} en premier, parce que, sous l'hypothèse que chacune des capacités dynamiques inter-électrodes du MOSFET ne dépend que du potentiel appliqué à ses bornes, nous devons exprimer une relation de la forme : $C_{DS}=f(V_{DS})$. De plus, dans la commutation du MOSFET, que ce soit à l'amorçage ou au blocage, la variation de la tension V_{DS} est continue dans le temps, c'est-à-dire qu'elle se produit durant 2

phases successives (phases 5 et 6), la variation de la capacité drain source est donc elle aussi continue.

Rendre compte du comportement dynamique de la diode inverse ou diode Body intrinsèque au composant permet de décrire cette relation $C_{DS}=f(V_{DS})$.

En dynamique, la diode Body est modélisée par la capacité C_{DS} , sous la forme d'une somme d'une capacité de diffusion et d'une capacité de transition ([BEYDOUN]).

$$C_{DS}=C_{diff}+C_{tr}.$$

La capacité de diffusion correspond à la charge stockée en direct dans une jonction; elle s'exprime sous la forme :

$$C_{diff} = \frac{q}{k \cdot T} \cdot t_p \cdot I_{Sat} \cdot \exp\left(\frac{-V_{DS}}{n \cdot \frac{k \cdot T}{q}}\right),$$

où t_p est la durée de vie des porteurs minoritaires, I_{Sat} le

courant de saturation inverse et n un facteur d'idéalité. Toutefois, cette capacité n'existe pas dans le fonctionnement normal du MOSFET, où la tension V_{DS} est toujours positive. Ceci permet d'écrire alors : $C_{DS}=C_{tr}$.

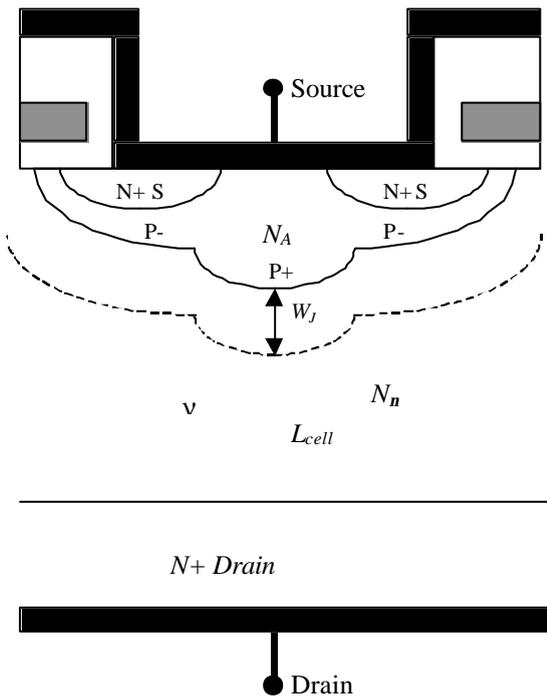


Figure 1-34 : Considérations pour l'extension de la zone de charges d'espace définissant la capacité C_{DS}

La capacité de transition traduit la variation de la zone de charges d'espace w_j . Dans l'hypothèse d'une jonction P+v plane abrupte et fortement dissymétrique, cela donne le résultat suivant :

$$C_{tr} = N_{cell} \cdot S_{cell} \cdot \sqrt{\frac{q \cdot Na \cdot Nn \cdot e_{Si} \cdot e_0}{2 \cdot (Na + Nn) \cdot (f_{DS} + V_{DS})}} \quad \text{éq. 24}$$

où $f_{DS} = \frac{k \cdot T}{q} \cdot \ln\left(\frac{Na \cdot Nn}{n_i^2}\right)$, potentiel de diffusion de la jonction et S_{cell} et N_{cell} la surface unitaire et le nombre de cellules élémentaires.

Nous retiendrons donc :

$$C_{DS}(V_{DS}) = N_{cell} \cdot S_{cell} \cdot \sqrt{\frac{q \cdot Na \cdot Nn \cdot e_{Si} \cdot e_0}{2 \cdot (Na + Nn) \cdot (f_{DS} + V_{DS})}} \quad \text{éq. 25}$$

ou sous forme plus compacte :

$$C_{DS}(V_{DS}) = \frac{C_{DS0}}{\sqrt{1 + \frac{V_{DS}}{f_{DS}}}}, \quad \text{avec } C_{DS0} = N_{cell} \cdot S_{cell} \cdot \sqrt{\frac{q \cdot Na \cdot Nn \cdot e_{Si} \cdot e_0}{2 \cdot (Na + Nn) \cdot f_{DS}}} \quad \text{éq. 26}$$

Nous pouvons donc décrire la variation de cette capacité dynamique tout au long de la commutation ; ainsi pour l'amorçage, nous avons, dans l'ordre chronologique des phases :

Phases	Expression $C_{DS}=f(V_{DS})$
1→4	$C_{DS}=cte=C_{DSmin}=C_{DS}(V_0)$
5&6	$C_{DS}(V_{DS}) = \frac{C_{DS0}}{\sqrt{1 + \frac{V_{DS}}{f_{DS}}}}, \quad \text{avec } C_{DS0} = N_{cell} \cdot S_{cell} \cdot \sqrt{\frac{q \cdot Na \cdot Nn \cdot e_{Si} \cdot e_0}{2 \cdot (Na + Nn) \cdot f_{DS}}}$ <p style="text-align: right;">et</p> $f_{DS} = \frac{k \cdot T}{q} \cdot \ln\left(\frac{Na \cdot Nn}{n_i^2}\right)$
7	$C_{DS}=cte=C_{DSmax}=C_{DS}(V_{DSon})$

Tableau 1-2 : Tableau récapitulatif des expressions pour la capacité C_{DS} durant les différentes phases de la commutation.

1.5.3. Capacité C_{DG}

Nous allons maintenant décrire la dynamique de la capacité C_{DG} , ou capacité de rétroaction C_{rss} . Cette étude est primordiale pour la description de la décroissance de la tension V_{DS} durant l'amorçage du MOSFET, car cette capacité intervient fortement sur cette phase.

Pour étudier cette capacité, nous allons tout d'abord étudier phase par phase les charges de l'électrode de grille durant la commutation ; une fois l'expression de la capacité de réaction par unité de surface établie, nous décrirons la modulation de surface correspondante pour cette capacité.

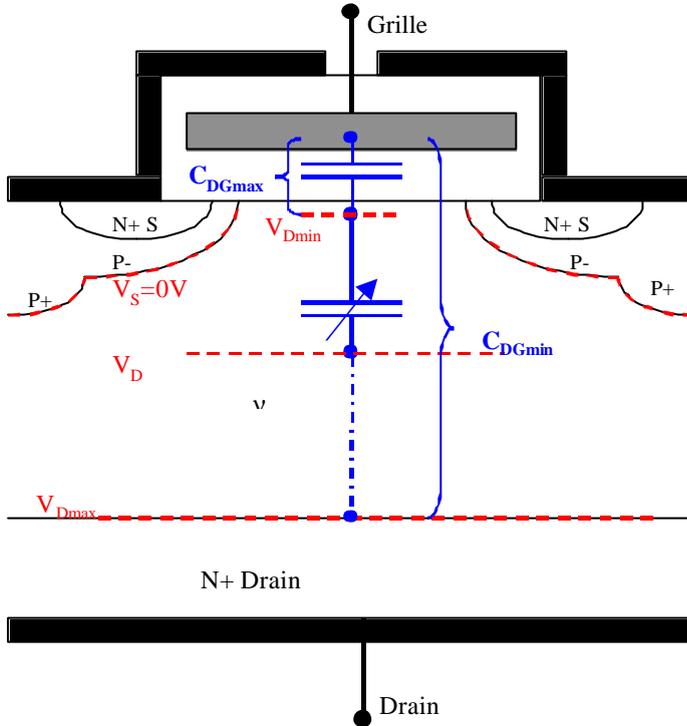


Figure 1-35 : Considérations pour l'évolution de la capacité surfacique de rétroaction.

Etude de la capacité surfacique de rétroaction :

Durant la première phase, la zone intercellulaire v est inversée ; ces charges d'inversion proviennent des caissons P (soit la source). L'évolution de la tension de grille durant toute la phase 1 traduit un courant de source, la charge Q_{DG} reste alors constante, ce qui se traduit au final par : $C_{DG}=0$.

Pour les phases 2 à 5, sous l'hypothèse que le phénomène est quasiment unidimensionnel, en appliquant les expressions classiques des capacités MOS pour l'extension de zone de déplétion, nous obtenons pour les charges par unité de surface:

$$Q_{DG}^* = q \cdot Nn \cdot W = \frac{q \cdot Nn \cdot esi \cdot e_0}{C_{ox}^*} \cdot \left(\sqrt{1 + \frac{2 \cdot C_{ox}^{*2}}{q \cdot Nn \cdot esi \cdot e_0} \cdot (V_{DG} + V_{FB})} - 1 \right) \quad \text{éq. 27}$$

Ce qui conduit à l'expression suivante pour la capacité surfacique :

$$C_{DG}^* = \frac{\partial Q_{DG}^*}{\partial V_{DG}} = \frac{C_{ox}^*}{\sqrt{1 + \frac{2 \cdot C_{ox}^{*2}}{q \cdot Nn \cdot esi \cdot e_0} \cdot (V_{DG} + V_{FB})}} \quad \text{éq. 28}$$

Cette expression se simplifie comme suit pour les forts V_{DG} :

$$C_{DG}^* = \sqrt{\frac{q \cdot Nn \cdot esi \cdot e_0}{2 \cdot V_{DG}}} \quad \text{éq. 29}$$

Enfin pour les phases 6 et 7, la zone intercellulaire v étant accumulée, les charges sont concentrées sur une très faible épaisseur, il est alors possible de démontrer, via un développement limité (en effet V_{DG} est alors faible) de l'expression de Q_{DG}^* , que : $C_{DG}^* = C_{ox}^*$.

Etude de la modulation de surface :

Durant la commutation, il y a modulation des surfaces des capacités ayant la grille pour électrode. En effet, les charges de grille doivent être réparties entre la capacité C_{DG} et la capacité C_{GS} . Pour cela, nous définissons une frontière relative aux potentiels permettant de séparer les charges de ces 2 capacités.

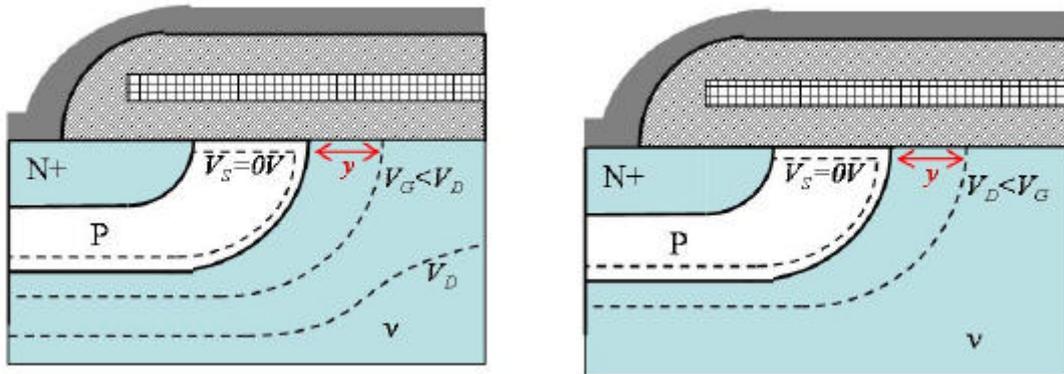


Figure 1-36 : Illustration de la frontière relative y pour la modulation de surface.

La distance « y » mentionnée sur le schéma permet de définir cette frontière. Il est possible ensuite de montrer que la surface cherchée pour la capacité C_{DG} peut s'exprimer sous la forme d'un polynôme du 2nd degré en y . Il suffit donc de déterminer les coefficients de ce polynôme d'une part, et d'autre part d'établir pour chaque phase de la commutation l'expression de la frontière y .

En notant S_0 la surface intercellulaire, il vient :

$$S_0 = S_{intercell} = N_{cell} \cdot \left[(L_{cell} + L_{intercell})^2 - L_{cell}^2 \right] \quad \text{éq. 30}$$

La surface modulée s'écrit alors :

$$S_{DG} = S_0 \cdot (1 - \mathbf{a} \cdot y - \mathbf{b} \cdot y^2) \quad \text{éq. 31}$$

Les paramètres \mathbf{a} et \mathbf{b} sont des grandeurs constantes qui ne dépendent que de la géométrie des cellules. Nous obtenons alors dans le cas de cellules carrées :

- $\mathbf{a} = 4 \cdot L_p / S_0 \approx 0$ (avec L_p largeur de l'îlot de source N+),
- et $\mathbf{b} = 4 / S_0$.

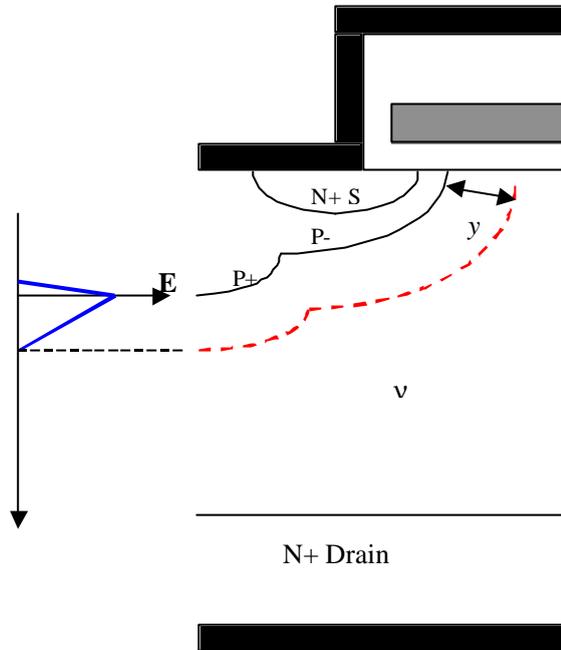


Figure 1-37 : Lien entre le paramètre y définissant la modulation de surface et l'extension de la zone de charge d'espace en fonction des potentiels considérés.

De plus, il est possible de démontrer que :

- durant les phases 1 à 5, y représente la distance entre la jonction métallurgique et l'équipotentielle de grille V_G ; ce qui permet d'écrire alors la relation :

$$y = \sqrt{\frac{2 \cdot \epsilon_0 \cdot \epsilon_{si}}{q \cdot N_n}} \cdot (\sqrt{V_D} - \sqrt{V_D - V_G + V_{FBn}}) \quad \text{éq. 32}$$

- durant les phases 6 et 7, y représente l'extension de la zone de charge d'espace à partir de la jonction métallurgique, soit la relation :

$$y = \sqrt{\frac{2 \cdot \epsilon_0 \cdot \epsilon_{si} \cdot V_D}{q \cdot N_n}} \quad \text{éq. 33}$$

De plus, des relevés expérimentaux montrent que dans le cas de cellules carrées (les plus courantes), durant les phases 6 et 7, peut être observée une dépendance linéaire de C_{rSS} , donc

de S_{DG} , en fonction de V_{DS} , ce qui confirme l'approximation mentionnée plus haut, à savoir $a \gg 0$. Alors : $S_{DG} = S_0 \cdot (1 - c \cdot V_{DS})$.

En procédant alors par identification, nous obtenons les relations suivantes :

- $\alpha \approx 0$,
- et $c = b \cdot \frac{2 \cdot e_0 \cdot esi}{q \cdot N_n} = \frac{4}{S_0} \cdot \frac{2 \cdot e_0 \cdot esi}{q \cdot N_n}$

Expression finale retenue pour le modèle :

Les expressions qui décrivent alors la capacité C_{DG} sont les suivantes (en tenant compte de la variation d'état et de la modulation de surface) :

Phases	Expression $C_{DG}=f(V_{GS}, V_{DS})$
1	$C_{DG}(V_{GS}, V_{DS}) \approx 0$
2 → 5	$C_{DG}(V_{GS}, V_{DS}) = \frac{S_0 \cdot C_{ox}^* \cdot [1 - 2 \cdot c \cdot V_{DS} + c \cdot (V_{GS} - V_{FBn}) + 2 \cdot c \cdot \sqrt{V_{DS}} \cdot (V_{DS} - V_{GS} + V_{FBn})]}{\sqrt{1 + \frac{2 \cdot C_{ox}^{*2} \cdot (V_{DS} - V_{GS} + V_{FBn})}{q \cdot N_n \cdot e_0 \cdot esi}}}$
6&7	$C_{DG}(V_{GS}, V_{DS}) = S_0 \cdot C_{ox}^* \cdot (1 - c \cdot V_{DS})$

Tableau 1-3 : Tableau récapitulatif des expressions pour la capacité C_{DG} durant les différentes phases de la commutation.

1.5.4. Capacité C_{GS}

En considérant les différentes composantes localisées de la capacité C_{GS} , nous obtenons la représentation suivante :

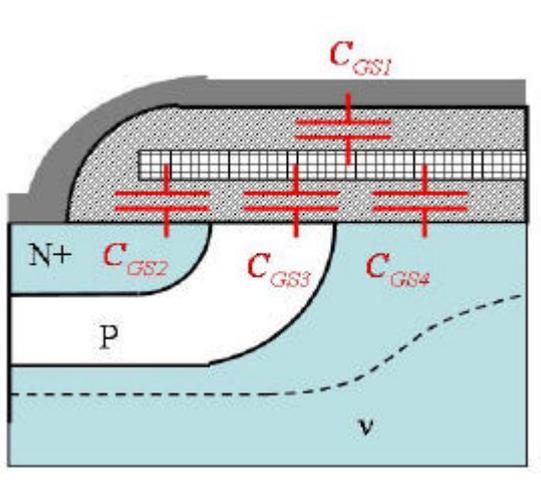


Figure 1-38 : localisation des différentes composantes de la capacité C_{GS}

Il est possible de distinguer :

- C_{GS1} est la capacité due à la métallisation de source, elle ne dépend pas des grandeurs de polarisation. Sa valeur est :

$$C_{GS1} = \frac{\epsilon_0 \cdot \epsilon_{ox} \cdot S_{rec}}{T_i} \quad \text{éq. 34}$$

- C_{GS2} correspond au recouvrement de grille au dessus des îlots de source N+, ou plus précisément, à l'avancée du N+ sous la grille lors de la diffusion latérale. Son expression est constante et vaut :

$$C_{GS2} = \frac{\epsilon_0 \cdot \epsilon_{ox}}{e_{ox}} \cdot (S_{rec} - S_0 - L_{canal} \cdot Z) \quad \text{éq. 35}$$

- C_{GS3} correspond à la zone de canal. Son expression dépend de l'état de celle-ci. Pendant la phase 2, cette capacité est en régime d'accumulation, et vaut :

$$C_{GS3} = C_{ox}^* \cdot L_{canal} \cdot Z \quad \text{éq. 36}$$

où, rappelons-le, Z représente le périmètre des cellules. En régime de déplétion (phase 3), cette capacité est très faible donc négligeable devant les précédentes. Enfin, en régime de conduction, l'expression de cette capacité est couplée avec celle décrivant la modulation de surface analogue à celle décrite précédemment.

- C_{GS4} : durant la phase 1, la zone intercellulaire est déplétée, et C_{GS4} vaut :

$$C_{GS4} = S_0 \cdot C_{ox}^* = C_{D0} \quad \text{éq. 37}$$

Durant les phases de conduction (phases 4 à 7), cette capacité subit une modulation de surface. Toutefois, ce n'est plus le paramètre c qui décrit cette modulation de surface, il s'agit du paramètre c_G , qui décrit cette évolution de la frontière relative y , en fonction de la tension V_{GS} .

Comme au paragraphe précédent, nous obtenons les expressions qui décrivent alors la capacité C_{GS} (en tenant compte de la variation d'état et de la modulation de surface) :

Phases	Expression $C_{GS}=f(V_{GS})$
1	$C_{GS} = C_{GS0} + C_{D0}$, où $C_{GS0} = \frac{\epsilon_0 \cdot \epsilon_{ox} \cdot S_{rec}}{T_i} + \frac{\epsilon_0 \cdot \epsilon_{ox} \cdot (S_{rec} - S_0)}{e_{ox}}$
2&3	$C_{GS} = C_{GS1} + C_{GS2} + C_{GS3} = C_{GS0}$
4&5	$C_{GS} = C_{GS0} \cdot [1 + c_G \cdot (V_{GS} - V_{Th})]$
6&7	$C_{GS} = C_{GS0}$

Tableau 1-4 : Tableau récapitulatif des expressions pour la capacité C_{GS} durant les différentes phases de la commutation.

1.6. Implantations du modèle

Une fois le modèle établi, nous l'avons implanté sous différents environnements, en fonction de l'utilisation voulue.

1.6.1. Implantation sur Mathcad

Le modèle implanté sous MATHCAD se présente sous la forme d'une feuille de calcul. Ce logiciel, d'une prise en main facile, présente l'avantage d'une interface d'utilisateur visuelle conviviale, puisque la notation des formules est similaire aux écritures papier ([MATHCAD]). Deux programmes (cf. annexe B) ont été réalisés : l'un permet de simuler les formes d'onde à l'amorçage du composant, et l'autre les formes d'onde au blocage. Le synoptique ci-dessous présente le principe de fonctionnement des programmes MATHCAD réalisés.

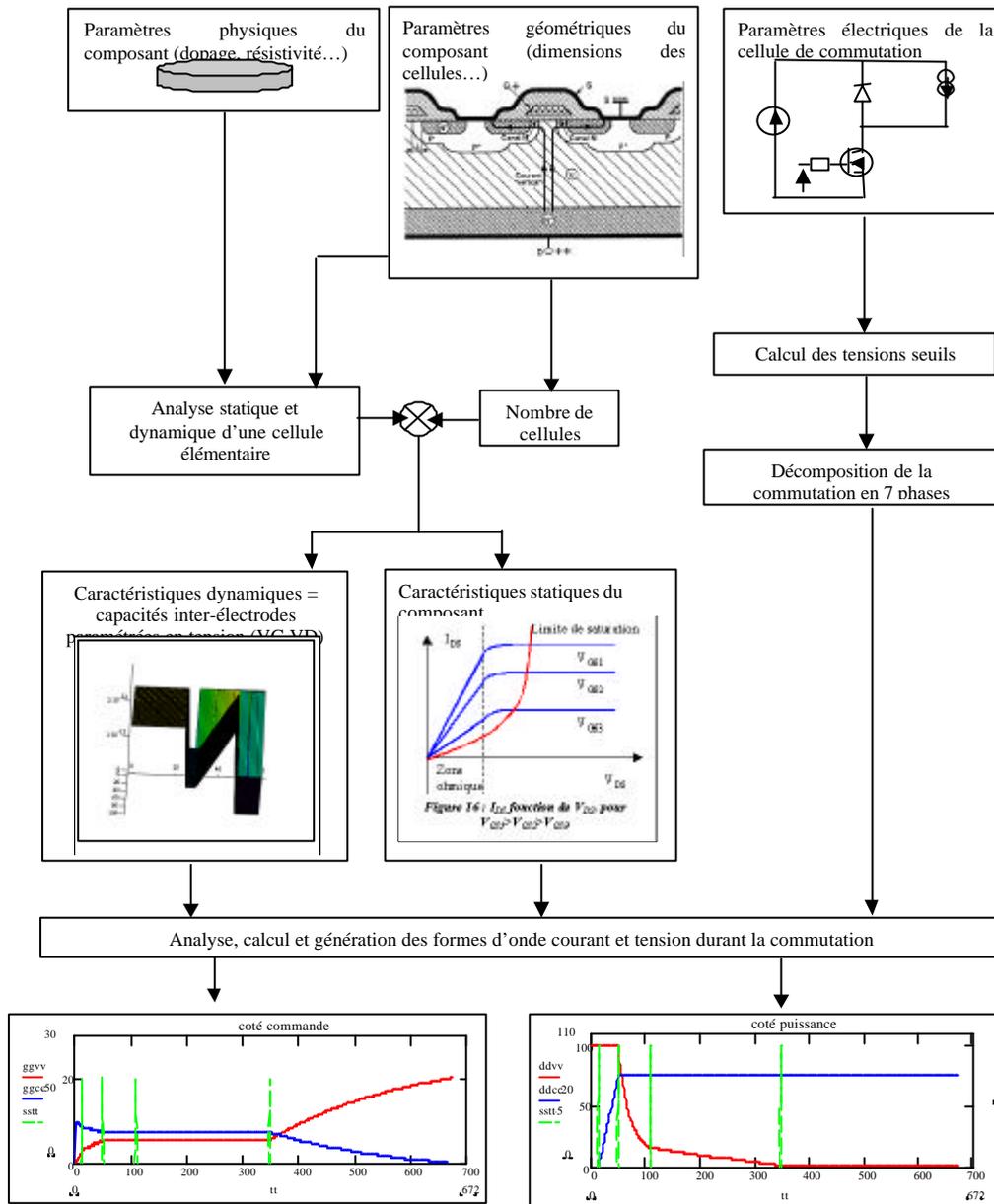


Figure 1-39 : Principe de fonctionnement du programme MATHCAD pour l'amarçage.

Ainsi, à partir des données physiques et géométriques d'un composant, nous pouvons retracer les formes d'onde en commutation de ce composant dans un hacheur série (diode parfaite), sous une tension V_0 et un courant I_0 . Ces deux programmes permettent de simuler une commutation ON ou OFF prenant compte des variations des capacités inter-électrodes en fonction des potentiels appliqués. L'approche utilisée est « linéaire » : à partir des conditions initiales, le programme calcule pas à pas l'évolution des capacités inter-électrodes et des tensions et courants. Le passage d'une phase de la commutation à la suivante s'effectue par comparaison vis-à-vis des tensions seuils précédemment définies, comme l'illustre la figure suivante.

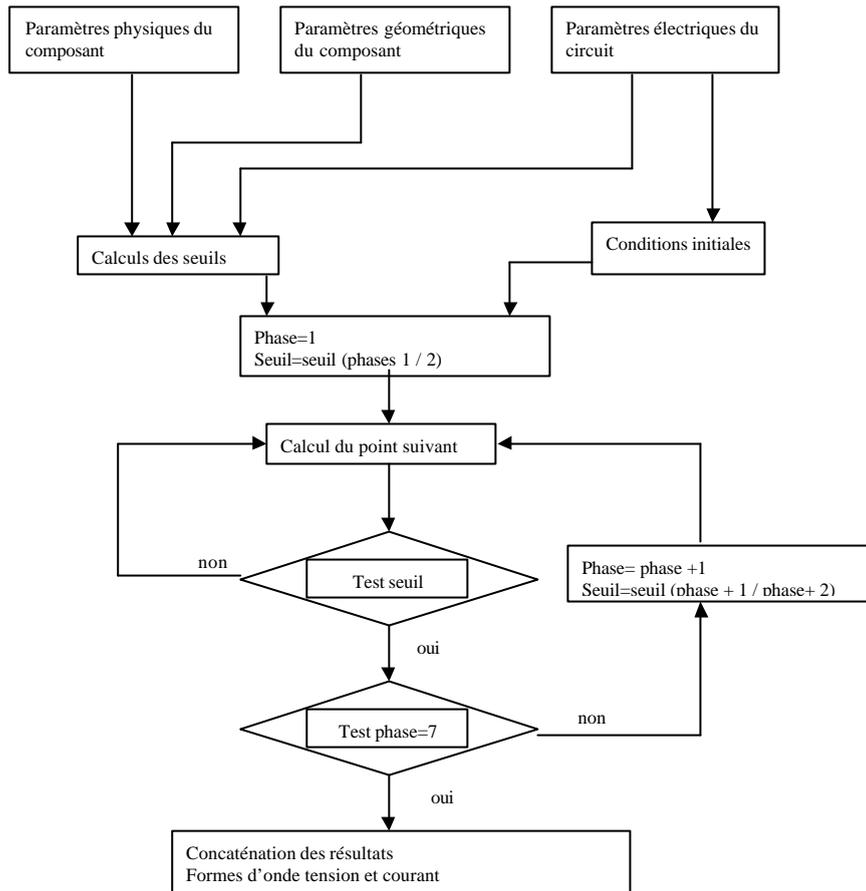


Figure 1-40 : Diagramme de fonctionnement du programme MATHCAD pour l'amorçage.

Il est ainsi possible, à l'issue de telles simulations, d'étudier les variations des capacités C_{GS} , C_{DS} et C_{DG} (ou C_{iss} , C_{oss} , et C_{rss}) durant la commutation (au blocage ou à l'amorçage). Cela permet aussi de rendre compte de l'influence des divers paramètres physiques (dopages et résistivités) et géométriques (taille et nombre de cellules élémentaires) sur différentes caractéristiques de la commutation, comme la dynamique des courants et tensions (tant au niveau commande que puissance), les tensions de seuil séparant les différentes phases de la commutation, ou encore les valeurs atteintes par les capacités durant la commutation.

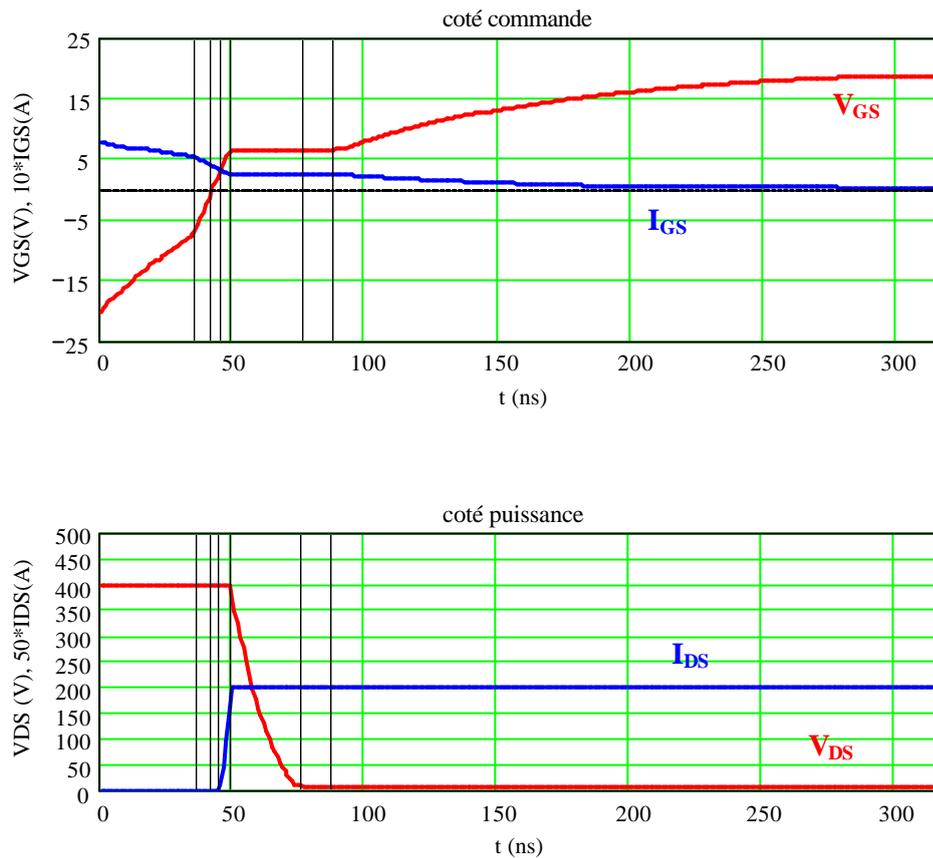


Figure 1-41 : Exemple de formes d'onde à l'amorçage obtenues sous Mathcad, avec marquage des différentes phases de la commutation.

Toutefois, l'utilisation de ces feuilles de calcul peut s'avérer rapidement fastidieuse, notamment lors d'études de sensibilité : le changement de paramètres s'effectue en feuille 1, et les résultats s'obtiennent en feuille 21. Il faut donc parcourir l'ensemble du programme pour observer la répercussion d'une variation d'un des paramètres.

1.6.2. Implantation sous Pspice

Reconnu comme un standard industriel, le logiciel PSPICE propose un environnement de simulation intuitif pour concevoir les projets analogiques. Cependant, le modèle de MOSFET de puissance proposé est basé sur celui du TMOS latéral auquel ont été ajoutés des éléments passifs extérieurs (résistance de grille et résistance à l'état passant, capacités inter-électrodes) ; ce modèle s'avère souvent insuffisant dans la description du comportement dynamique du MOSFET de puissance. Plusieurs fabricants et de nombreux laboratoires ont conçu leur propre modèle de MOSFET de puissance ([SANCHEZ], [TARDIVO],

[NAPIERALSKA], [MAXIM], [HANCOCK]). Notre implantation sous PSPICE fait suite aux travaux de thèse de [AUBARD], basés sur ce modèle analytique du MOSFET basé sur l'analyse des mouvements de charge au sein du composant durant la commutation. Ces travaux portaient sur des composants du commerce. Compte tenu de l'absence totale d'informations sur les paramètres géométriques et physiques des composants sur les données des constructeurs, ce modèle analytique était complété par une caractérisation expérimentale, permettant d'extraire des paramètres empiriques pouvant se substituer aux dopages, dimensions des motifs, etc. ([AUBARD-2], [ST-4]). L'implantation de notre modèle a donc repris une approche similaire, mais en ayant cette fois-ci accès aux données géométriques et physiques du composant. Compte tenu de la description des différents éléments du circuit équivalent au MOSFET, nous avons implanté le modèle à l'aide de modules blocs-diagrammes ABM. Ces modules comprennent des entrées (les potentiels V_G , V_D et V_S dans notre cas), ainsi que des formules analytiques fonctions de ces entrées. En sortie, sont obtenus les courants grille, drain et source du MOSFET.

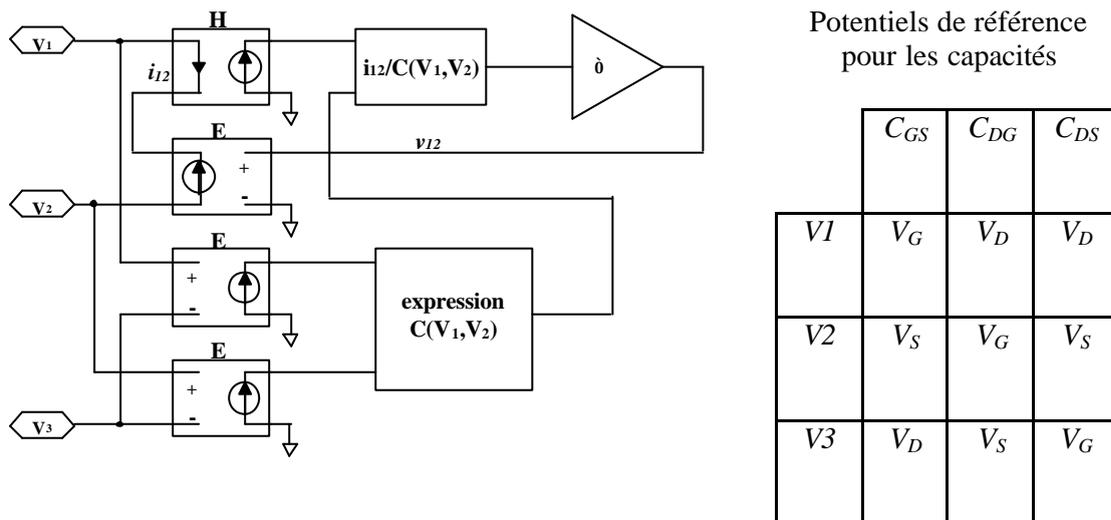


Figure 1-42 : Principe de mise en œuvre des modules ABM sous PSPICE.

Ainsi, sous PSPICE, le schéma du MOSFET se présente sous la forme suivante :

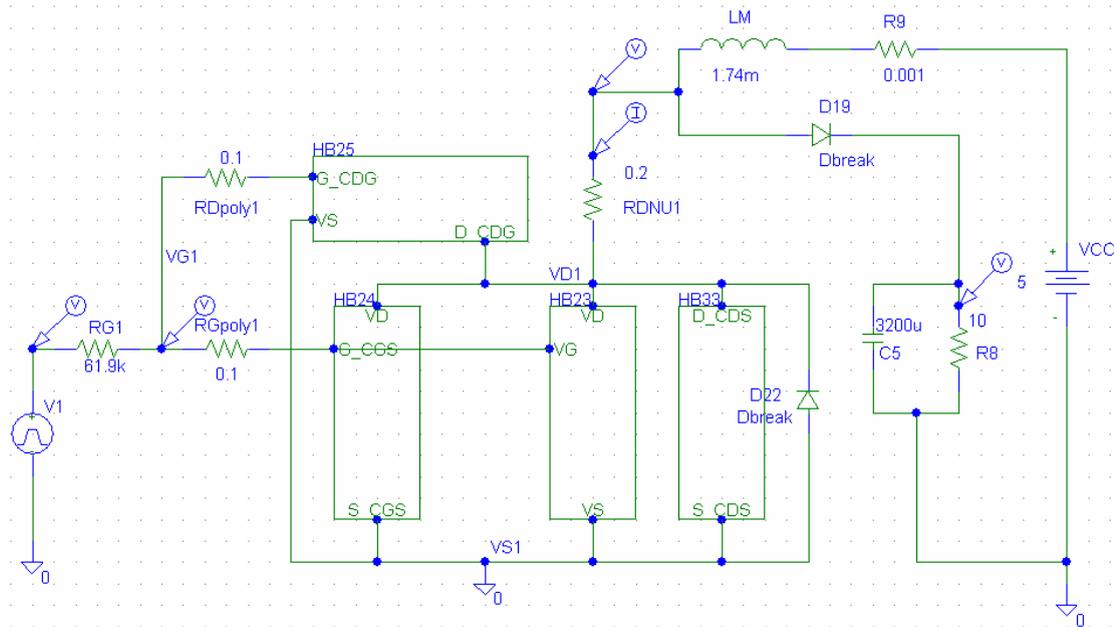


Figure 1-43 : Schéma PSPICE d'un hacheur parallèle avec notre modèle de MOSFET.

La figure suivante présente chacun des blocs ABM (C_{GS} , C_{DG} , C_{DS} et I_{MOS}) séparément :

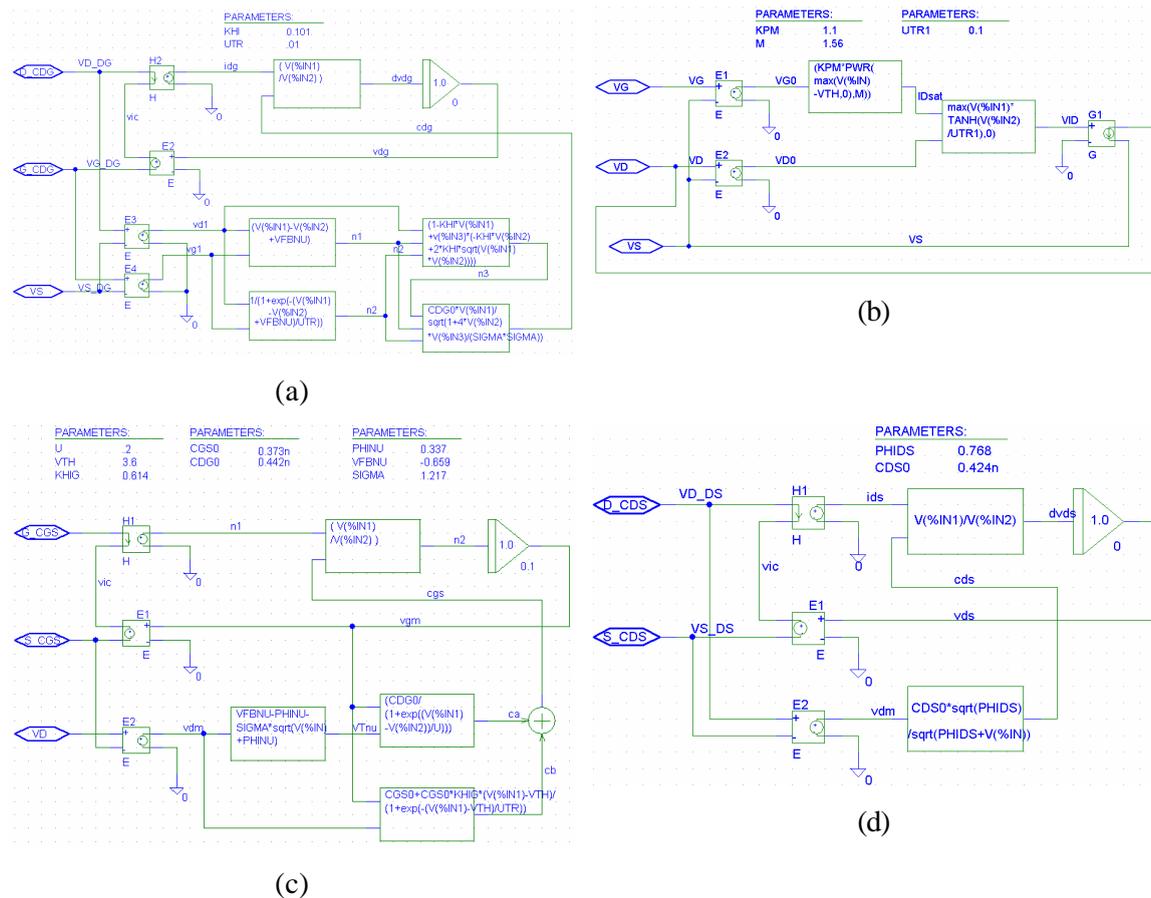


Figure 1-44 : Modules ABM pour la capacité C_{GS} (a), la source de courant I_{MOS} (b), la capacité C_{DG} (c) et la capacité C_{DS} (d).

L'avantage de ce modèle est qu'il offre la possibilité de simuler le comportement d'un MOSFET dans n'importe quelle structure de conversion d'énergie, alors que le modèle Mathcad se limitait à une description au sein d'un hacheur série comportant une diode de roue libre idéale. Toutefois, ce modèle nécessite une phase importante de caractérisation dans le cas de l'utilisation de MOSFETs du commerce ([VERNEAU]). Malgré des problèmes de convergence propres à PSPICE, les résultats obtenus sont satisfaisants, et une bonne concordance existe entre les relevés expérimentaux et notre modèle. Celui-ci s'avère même être plus précis, notamment sur la tension de commande V_{GS} , que celui fourni par les constructeurs dans le cas de composants du commerce. Ceci peut s'avérer intéressant, notamment dans le cas de calculs prédictifs de pertes (point important dans une démarche d'intégration), ainsi que dans le cadre d'études CEM.

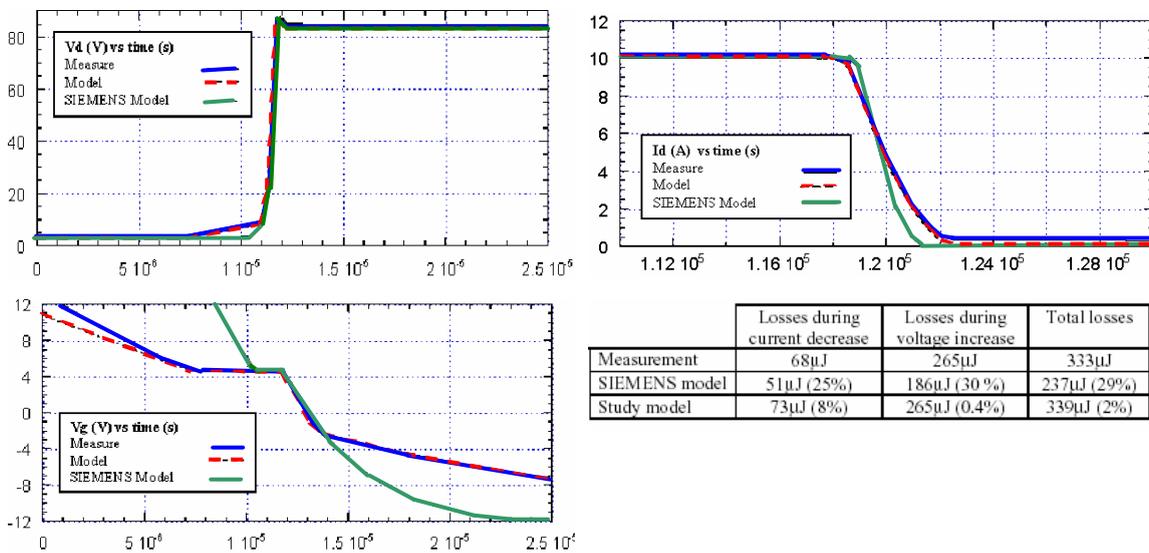


Figure 1-45 : Comparaison entre des relevés expérimentaux, notre modèle et le modèle fabricant sur un composant SIEMENS BUZ338 commutant 10A/85V au blocage.

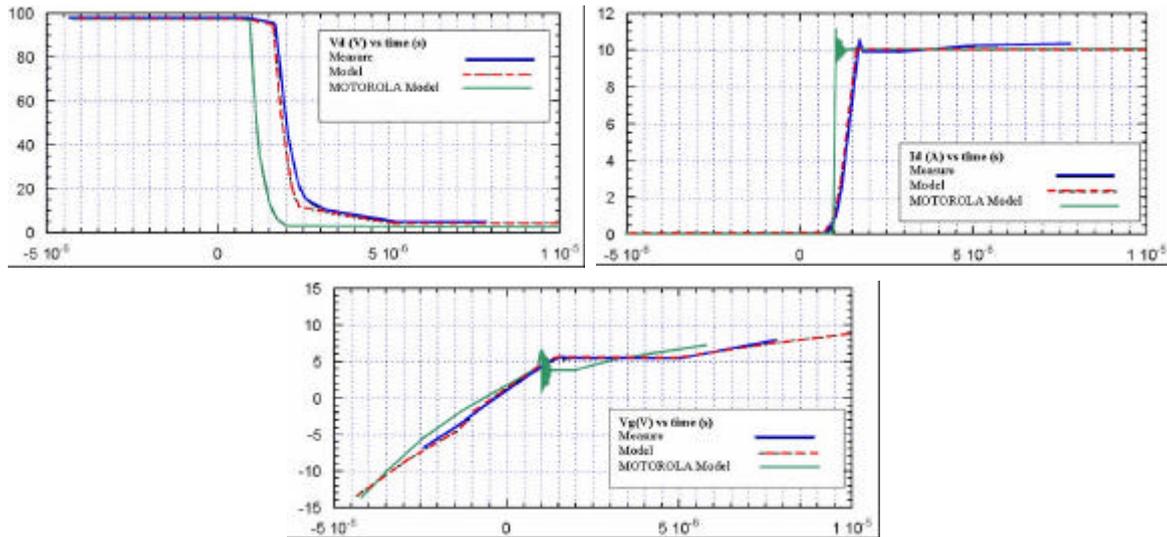


Figure 1-46 : Comparaison entre des relevés expérimentaux, notre modèle et le modèle fabricant sur un composant MOTOROLA MTW14N50E commutant 10A/100V à l'amorçage.

1.6.3. Implantation sous MATLAB

Notre modèle a été implanté dans un troisième environnement, à savoir Matlab. Cette démarche avait pour but de pallier les inconvénients des deux autres environnements, à savoir :

- le côté « fastidieux » de l'utilisation des feuilles de calcul Mathcad pour l'étude de sensibilité aux différents paramètres physiques, géométriques et électriques ;
- le problème de convergence rencontré sous PSPICE.

L'environnement MATLAB gère de nombreuses tâches de calcul en ingénierie et sciences, depuis les acquisitions et les analyses de données jusqu'au développement d'applications. Il intègre le calcul mathématique, la visualisation graphique et un puissant langage technique, pouvant intégrer des routines externes écrites en C, C++, Fortran et Java ([MATLAB]). Nous avons donc repris l'approche utilisée sous Mathcad grâce à un programme Matlab. Complété par une IHM (Interface Homme Machine), ceci nous permet d'avoir sur un même écran une fenêtre où il est possible de modifier les différents paramètres, et les formes d'onde en commutation du MOSFET. Il est ainsi possible de voir « en direct » l'influence des variations de paramètres sur le comportement du composant.

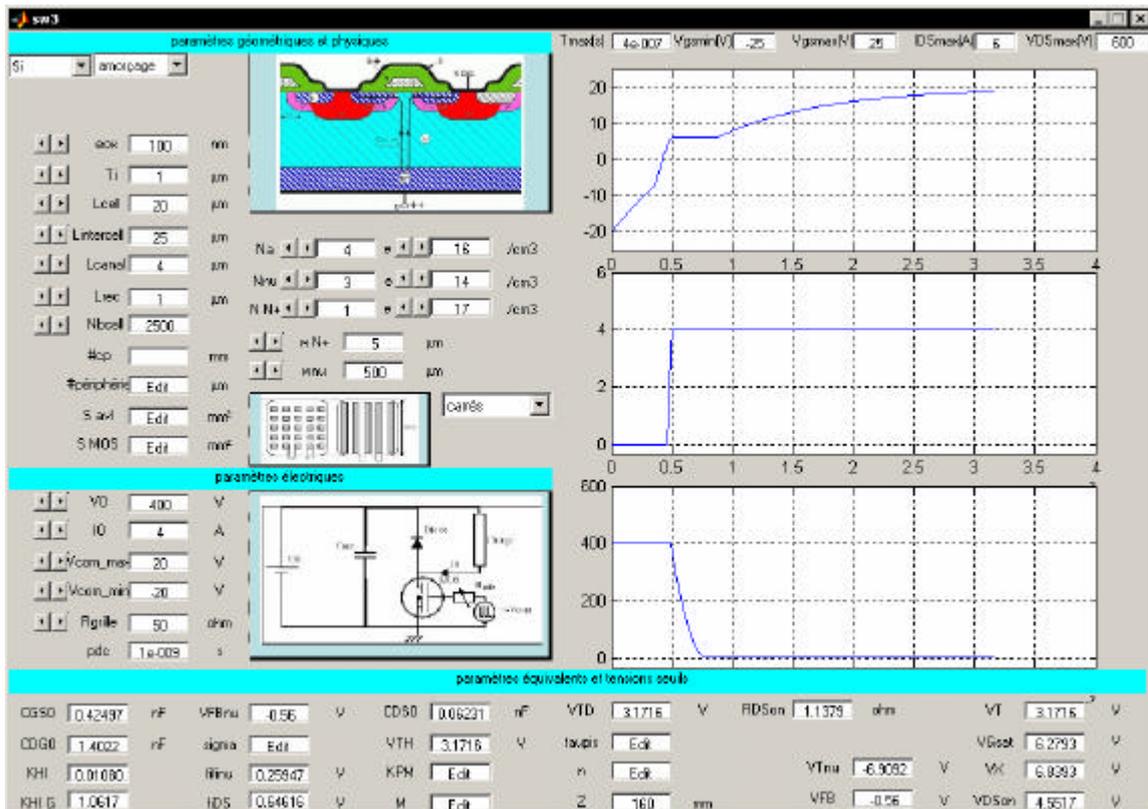


Figure 1-47 : Fenêtre principale de l'IHM développée sous MATLAB pour la simulation d'un MOSFET au sein d'une cellule de commutation d'un hacheur série.

De plus, au sein de MATLAB est intégré SIMULINK, outil interactif de modélisation, de simulation et d'analyse de systèmes dynamiques, mettant en œuvre des schémas-blocs ([SIMULINK]). Grâce à Simulink, nous avons pu reprendre le modèle développé sous PSPICE.

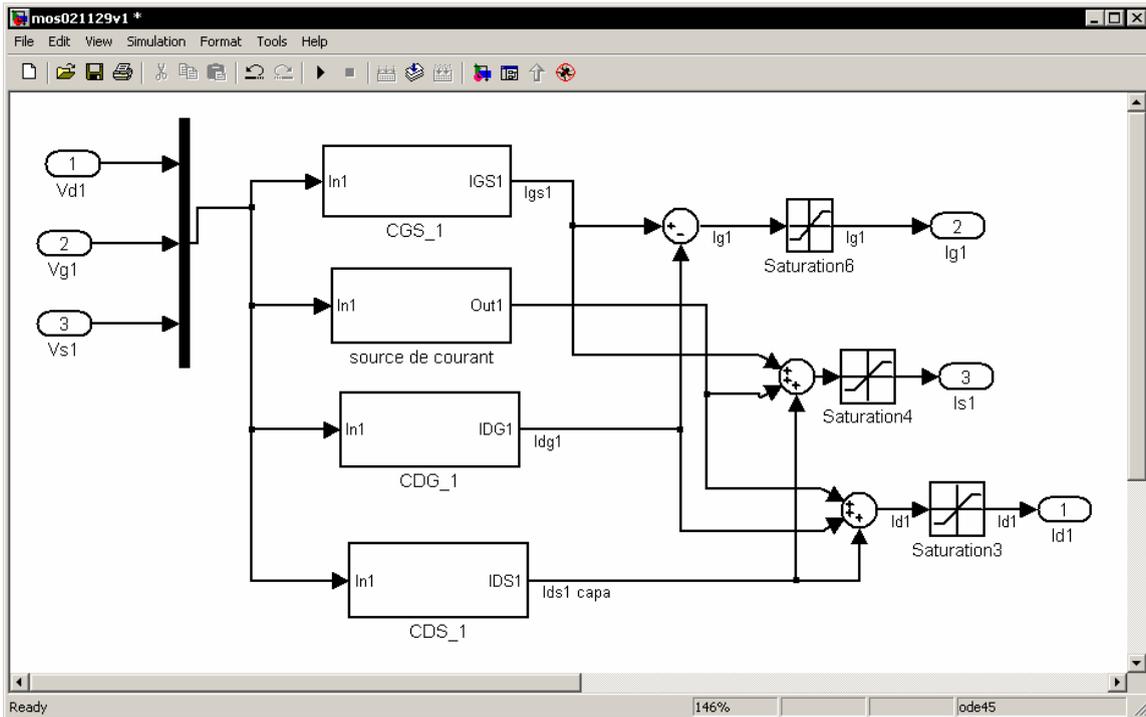


Figure 1-48 : Modèle développé sous SIMULINK pour le MOSFET.

Les résultats obtenus confirment une bonne concordance entre notre modèle et les relevés expérimentaux ; toutefois, des problèmes de convergence persistent, notamment à cause de boucles algébriques sous SIMULINK. Ces problèmes peuvent toutefois être résolus en ajoutant des blocs de saturation, et en diminuant le pas de calcul.

De plus, après avoir complété ce modèle pour pouvoir rendre compte du comportement du MOSFET dans le 3^{ème} quadrant $I_{DS}-V_{DS}$, nous avons pu le mettre en œuvre et le valider sur une structure de redresseur synchrone ([VERNEAU-2]). Les résultats obtenus montrent là encore une relativement bonne concordance entre expérience et modèle, et même si certains points d'étude nécessitent d'être approfondis (notamment en ce qui concerne le 3^{ème} quadrant), ces résultats semblent confirmer l'intérêt et la validité de notre approche.

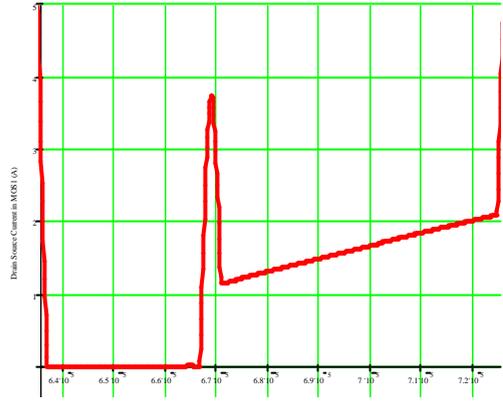
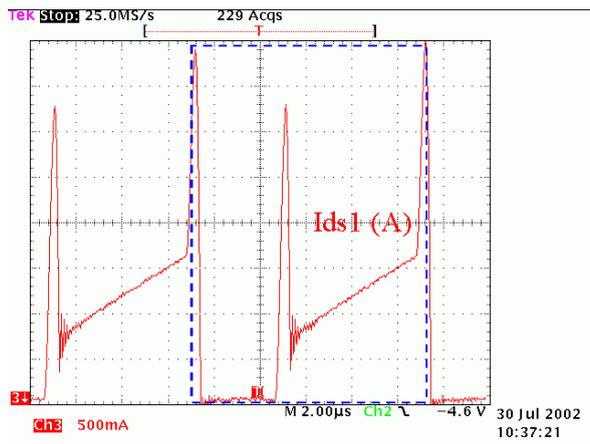
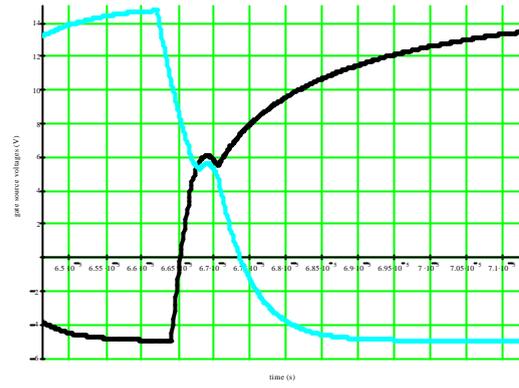
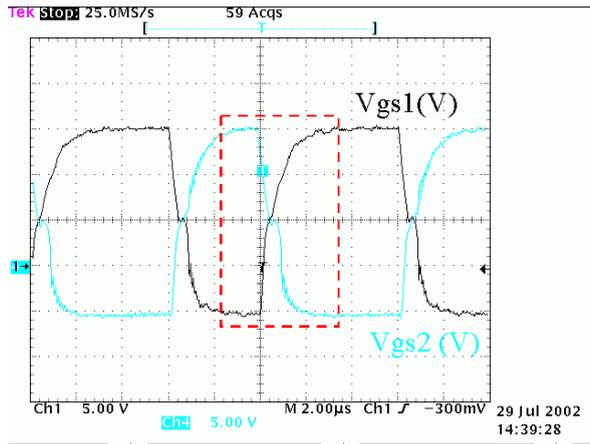


Figure 1-49 : Comparaison entre courbes expérimentales et simulation dans une structure redresseur synchrone utilisant notre modèle de MOSFET sous Simulink.

Conclusion

Dans ce premier chapitre, nous avons présenté un bref historique sur les structures MOSFETs. Après en avoir expliqué le principe de fonctionnement, nous nous sommes penchés sur la structure verticale double diffusée, en abordant rapidement son principe de réalisation, ainsi que ses variantes de structures les plus efficaces. Nous avons poursuivi cette étude en considérant la modélisation dite classique de ce type de composant, modélisation que nous avons complétée par une approche basée sur une analyse physique des mouvements de porteurs au sein de la structure lors de la commutation. Nous avons finalisé cette approche déjà validée auparavant sur des composants du commerce en y incluant la prise en compte de paramètres physiques et géométriques du composant, tels que les dopages et les dimensions des motifs élémentaires. Disposant alors d'un modèle du MOSFET sous forme de circuit électrique équivalent (une source de courant et trois capacités inter-électodes non linéaires), nous l'avons implanté sous différents environnements (PSPICE, MATLAB) afin de le valider. Par ailleurs, ce modèle permet de simuler (de manière cohérente avec l'expérimentation) le fonctionnement du composant dans le troisième quadrant IV, ce qui n'est pas le cas des modèles disponibles sous PSPICE ou SABER. Pour poursuivre cette étude, nous proposons dans le chapitre suivant de comparer ce modèle avec un composant «fait maison », afin de valider notre modélisation quant aux paramètres physiques et géométriques du composant. Ce point doit permettre de disposer d'un modèle de MOSFET complet, afin de pouvoir mener des études de sensibilité aux différents paramètres (dopages, cotations des motifs élémentaires) à l'aide d'outils de simulation, permettant ainsi de s'affranchir de la réalisation de prototypes trop coûteuse en temps. L'approche analytique menée permettra alors de régler certains paramètres du composant, et ce sans passer par de longues campagnes de simulation type éléments finis.

2. Chapitre 2 – Réalisation technologique de MOSFETs

Introduction

Ce second chapitre, intitulé «Réalisation technologique de MOSFETS », présente de manière détaillée la réalisation effective des prototypes (choix des wafers, diagramme de cheminement suivi, tests de process...), ainsi que le jeu de masques utilisé. Il s'en suit une caractérisation électrique des dispositifs mis en boîtier, tant du point de vue statique que dynamique. Cette démarche a pour but d'établir les relations entre les paramètres physiques (dopages) et géométriques (dimensions des cellules élémentaires) et les performances électriques d'un composant de type MOSFET. Cette analyse ouvre alors la voie à l'optimisation de ces paramètres pour le dessin et la conception d'un composant destiné à une application spécifique ou un mode opératoire particulier. Ce chapitre se termine en dressant un tableau résumant les influences des différents paramètres géométriques et physiques sur les performances électriques du composant en commutation. Ces résultats seront exploités par la suite dans le chapitre III.

La réalisation a été effectuée durant la première année de thèse au CIME (Centre Inter universitaire de Micro Electronique) à l'aide du jeu de masques nommé « **Masque13** », fourni par J.Arnould [ARNOULD-2]. Cette réalisation, menée en étroite collaboration avec le personnel de salle blanche (J.M. Terrot, B. Gonzales, I. Pheng et C. Uzel), possède différents objectifs selon le niveau de considération :

- pour la thèse, il s'agit de réaliser des composants pour lesquels nous avons accès aux paramètres de réalisation, tant du point de vue physique (dopage, résistivités) que du point de vue géométrique (dimensions et nombre des cellules élémentaires constitutives du composant de puissance), nous offrant ainsi la possibilité, après caractérisation électrique en statique et en commutation des dispositifs, de valider notre modèle établi au chapitre précédent, ainsi que de proposer un retour d'expérience des circuiteurs vers les concepteurs ;
- Pour le LEG, et plus en particulier pour l'équipe Electronique de Puissance, il s'agit de tester les capacités de la plate-forme du CIME (plus habituée à des réalisations de type microélectronique que d'électronique de puissance), afin de disposer ainsi à Grenoble d'un laboratoire capable de réalisations de tels dispositifs.

2.1. Présentation matérielle

2.1.1. Présentation du lot de wafers

Le choix des wafers ne s'est pas fait de manière classique ; nous ne sommes pas passés par des fournisseurs, pour des raisons d'ordre financier mais aussi temporel, compte tenu des délais et des difficultés d'approvisionnement. Nous avons donc récupéré d'anciens wafers non processés, issus d'études antérieures.

Ainsi, nous disposons initialement d'une cinquantaine de wafers, provenant de trois origines différentes. Les caractéristiques de ces tranches (orientation cristalline, diamètre, épaisseur, substrat, résistivité, origine) sont consignées dans le tableau suivant.

Quantité initiale	Quantité processée	Diamètre	Type	Orientation	Epaisseur	Résistivité	Dopage	Etat de surface	Wafers fournis par
25	6	4 pouces	N	<111>	335 μ m +/-15 μ m	50 Ω .cm (42.8 à 52.3 Ω .cm)	8.80 ^e 13 cm ⁻³	Polies double face	J. Arnould (lot A)
20	6	3 pouces	N	<111>	350 μ m +/-15 μ m	140 Ω .cm	3.20 ^e 13 cm ⁻³	Polies double face	CIME (lot T)
9	6	4 pouces	N	<100>	525 μ m +/-15 μ m	32.2 à 37.8 Ω .cm	1.38 ^e 14 cm ⁻³	Polies simple face	LETI (lot L)

Tableau 2-1 : caractéristiques des différents wafers utilisés pour l'étude.

Le lot de wafers retenu pour la réalisation comprenait donc initialement 18 tranches, réparties en trois sous-lots de 6 tranches, avec un wafer témoin prévu pour chaque sous-lot.

2.1.2. Présentation du jeu de masques

Les masques nous ont été fournis par J. Arnould. Le jeu de masques se nomme « **Masque13** » ; réalisé dans les années 80, il a déjà été utilisé par d'autres laboratoires, notamment le CNM et l'ESIEE ([HAZARD], [MERCIER] & [BOUCHET]). Dimensionné initialement pour des wafers 4 pouces (100mm), il reste, compte tenu du positionnement des motifs d'alignement, adapté pour un diamètre inférieur de 3 pouces (75mm). Ce masque présente l'avantage d'offrir une large matrice de composants 3*3mm². Ainsi, pour un wafer 4 pouces, nous disposons de 32 lignes de composants, chaque ligne étant constituée de 10 à 32 motifs élémentaires. Dans le cas d'un wafer 3 pouces, 25 lignes (allant de 5 à 25 motifs élémentaires) sont disponibles.

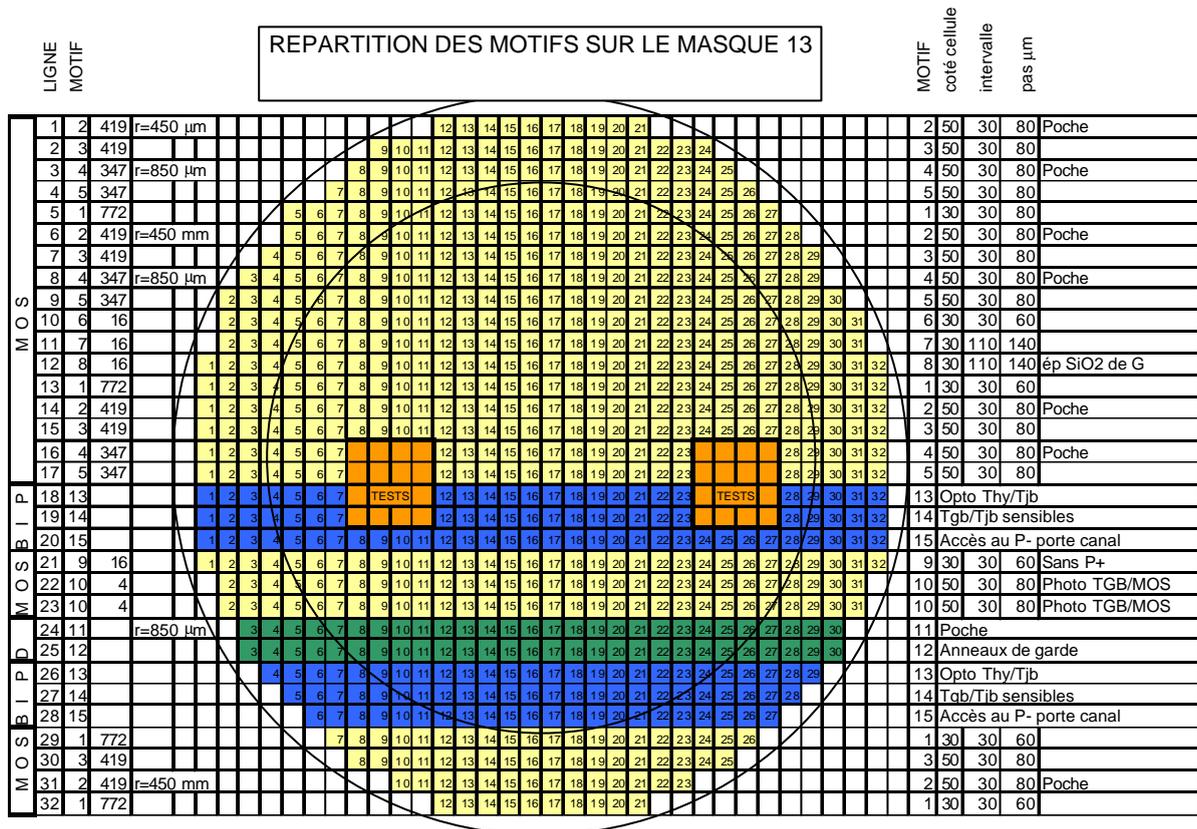


Figure 2-1 : Répartition des motifs sur le Masque13. Les deux cercles correspondent aux empreintes de wafers 3 et 4 pouces.

Le process complet de réalisation fait appel à 8 niveaux de masquage, répertoriés dans le tableau ci-dessous :

Niveau	Sigle	Signification	n° de plaque
1	OPCH	Ouverture périphérie PoChé π	1301
2	OPPB	Ouverture Périphérie P+ de Base	1302
3	OZUT	Ouverture Zone UTile	1303
4	OBAS	Ouverture de diffusion BASE P-	1304
5	OEME	Ouverture de diffusion EMetteur N+	1305
6	OCN	Ouverture CONTACTS	1306
7	GALU	Gravure de l'ALUminium	1307
8	OSCO	Ouverture Soudure COntact	1308

Tableau 2-2 : Récapitulatif des différents niveaux de masquage.

2.1.3. Présentation des motifs

Le Masque13 comporte 15 motifs différents : 10 d'entre eux sont destinés à l'étude de composants à grille isolée MOSFETs ou IGBTs (motifs n°1 à 10), 2 motifs concernent des diodes destinées à l'étude des périphéries de tenue en tension (motifs n°11&12), et 3 motifs

sont des transistors bipolaires à jonction (motifs n°13 à 15). Les motifs de composants à grille isolés sont toutefois majoritaires sur la matrice, et représentent environ 75% de la surface du wafer. Le grand nombre de motifs permet d'étudier les différences d'ordre géométrique (dimensions, nombre de cellules élémentaires) ou structurel (périphérie en anneaux de garde ou en poche) ; les différences physiques sont quant à elles assurées par les dopages initiaux des wafers, et leur orientation cristalline. Le tableau suivant résume pour les 10 motifs de composants à grille isolée ces différences géométriques ou structurelles, et présente les enjeux de l'étude initiale pour chaque motif.

motif	lignes	périphérie	A Rc horizontal (μm)	B L1=dim. cellules (μm)	C d=dist. inter cellules (μm)	D L1+d= pas (μm)	E Nb cellules	F E*D²= surface de drain (mm²)	G H*E= périmètre total (Z) de canal (cm)	H 4*B= périmètre d'une cellule (μm)	I E*B²= surface de P- (cm²)	objectifs visés
1	5,13,29,32	AdG	450	30	30	60	772	2,8	9,23	120	6,90E-03	intégration la plus importante de cellules
2	1,6,14,31	Poche	450	50	30	80	419	2,7	8,19	200	1,05E-02	influence du rayon de courbure horizontal de la périphérie pour la tenue en tension
3	2,7,15,30	AdG	450	50	30	80	419	2,7	8,19	200	1,05E-02	comparaison des 2 techniques de garde latérale
4	3,8,16	Poche	850	50	30	80	347	2,2	6,91	200	8,70E-03	cellules de dimensions importantes pour une réalisation facile
5	4,9,17	AdG	850	50	30	80	347	2,2	6,91	200	8,70E-03	influence de la taille des cellules sur la tenue en tension
6	10	AdG	850	30	30	60	16	5,80E-02	0,191	120	1,40E-04	influence de l'écartement des cellules sur la tenue en tension et la chute de tension directe
7	11	AdG	850	30	110	140	16	0,31	0,191	120	1,40E-04	vérification de l'hypothèse d'autoblindage de la grille
8	12	AdG	850	30	110	140	16	0,31	0,191	120	1,40E-04	structure à 2 niveaux d'oxyde, réduction de capacité de grille
9	21	AdG	850	30	30	60	16	5,80E-02	0,191	120	1,40E-04	structure sans P+ dans les cellules, influence sur le courant maximal
10	22,23	AdG	850	50	30	80	4	2,60E-02	0,076	200	1,00E-04	intégration d'une photo-diode et d'un MOS sur le même dispositif

Tableau 2-3 : Récapitulatif des motifs n°1 à 10, de leurs différences géométriques et structurelles. Les dimensions indiquées correspondent aux cotations des masques.

2.2. Réalisation

2.2.1. Principales étapes de fabrication

2.2.1.1. Oxydation

L'oxydation du silicium peut être effectuée de plusieurs manières :

- oxydation anodique électrolytique (température ambiante) ;
- oxydation assistée par plasma (220-800°C) ;
- oxydation thermique.

Pour l'oxydation thermique, les plaquettes sont placées dans un four sous flux d'oxygène pur (oxydation sèche) ou d'oxygène chargé en vapeur d'eau (oxydation humide).

Oxydation sèche : $\text{Si} + \text{O}_2 \Leftrightarrow \text{SiO}_2$

Oxydation humide : $2 \text{H}_2\text{O} + \text{Si} \Leftrightarrow \text{SiO}_2 + 2\text{H}_2$

L'oxydation humide est plus rapide que l'oxydation sèche, mais produit un oxyde de moins bonne qualité. Aussi, l'oxydation humide est réservée à la fabrication d'oxydes épais de protection. L'oxydation sèche est utilisée pour la fabrication des oxydes minces de grille, dont la qualité (notamment pour l'interface Si/SiO₂) est déterminante pour le fonctionnement des circuits.

Il faut aussi noter que durant l'oxydation, il y a consommation de Si, et déplacement de l'interface Si-SiO₂ ($e_{\text{Si}} = 0.44 * e_{\text{SiO}_2}$).

L'oxydation humide peut être faite de 2 manières :

- par barbottage,
- par synthèse pyrogénique de l'eau.

La cinétique de croissance d'un oxyde thermique dépend :

- du type d'oxydation,
- de la température,
- de la durée d'oxydation,
- de l'orientation cristalline,
- de l'état (cristallin ou polycristallin) du substrat,
- de la pression partielle de l'espèce dopante,
- du dopage du substrat,
- de la procédure de nettoyage avant oxydation.

Des abaques permettent de déterminer en fonction des 4 premiers facteurs l'épaisseur d'oxyde en fonction du temps d'oxydation. Enfin, il est possible, par observation de la plaquette perpendiculairement sous lumière blanche, de déterminer l'épaisseur d'une couche de SiO₂ en fonction de sa couleur.

2.2.1.2. Dépôt chimique en phase vapeur

Le dépôt chimique en phase vapeur (LPCVD – low pressure chemical vapor deposition) est utilisé pour déposer sur les plaquettes soit du silicium polycristallin, soit de la silice (LTO low temperature oxide). Les 2 dépôts sont obtenus à partir du gaz silane SiH_4 :

Si poly : $\text{SiH}_4 \rightarrow \text{Si} + 2\text{H}_2$ (600 à 650°C)

LTO : $\text{SiH}_4 + 2\text{O}_2 \rightarrow \text{SiO}_2 + 2\text{H}_2\text{O}$ (400 à 450°C)

Ce sont des dépôts basse température et basse pression (environ 1 torr dans les fours). Ils peuvent être assistés par plasma, et dopés par introduction dans le four d'arsine, de phosphine ou de diborane. Le dopage se fait ultérieurement par implantation ou diffusion.

2.2.1.3. Photolithographie

Cette opération consiste à graver selon un certain motif une couche mince d'un matériau donné. Le motif se trouve initialement (en positif ou négatif) sur un support, le masque, qui est une plaque de verre comportant une couche de chrome. Le transfert du motif sur la couche à graver se fait par l'intermédiaire d'une résine photosensible, qui est étalée sur la plaquette, séchée puis insolée par UV. La résine est ensuite développée pour éliminer les parties inutiles. Après contrôle, la résine restante est durcie. Enfin, la gravure est réalisée en plongeant la plaquette recouverte de résine durcie dans un mélange d'attaque spécifique à la couche à graver. Ensuite, la plaquette est nettoyée en enlevant la résine.

2.2.1.4. Gravure

Comme expliqué plus haut, la méthode de gravure est spécifique de la couche à graver. Il est possible de distinguer :

- la gravure humide (gravure de la silice, de l'aluminium),
- la gravure sèche (plasma en mode RIE)

La gravure humide s'effectue avec des mélanges spécifiques, dont les concentrations et les durées déterminent la cinétique et la profondeur de la gravure.

La gravure sèche permet de graver une couche mince en utilisant un plasma d'espèces qui réagissent chimiquement avec la couche mince en question et un bombardement ionique qui aura un effet d'érosion mécanique.

Les caractéristiques de gravure les plus souvent retenues sont :

- la sélectivité (rapport des vitesses de gravure de 2 couches de matières différentes),
- le contrôle de pente (ou l'anisotropie),
- la vitesse de gravure,
- l'uniformité.

2.2.1.5. Implantation ionique

L'implanteur du CIME est un VARIAN EXTRION. Son schéma est présenté ci-dessous. Il est constitué de 3 zones qui peuvent être isolées entre elles :

- la zone I comporte la source d'ions, constituée d'une chambre d'ionisation dans laquelle on envoie un gaz contenant l'impureté désirée (BF_3 pour le Bore, AsH_3 pour l'arsenic, PH_3 pour le phosphore, SiF_4 pour le silicium),
- la zone II est un tube accélérateur donnant aux ions l'énergie choisie, et comporte des plaques de balayage électrostatiques qui assurent une bonne homogénéité de l'implantation sur la plaque,
- la zone III est la chambre de cible contenant la plaque à implanter.

Un système de pompage assure pour toutes les opérations un vide inférieur à 10^{-6} torr dans les 3 zones et les sas d'entrée et de sortie des plaques.

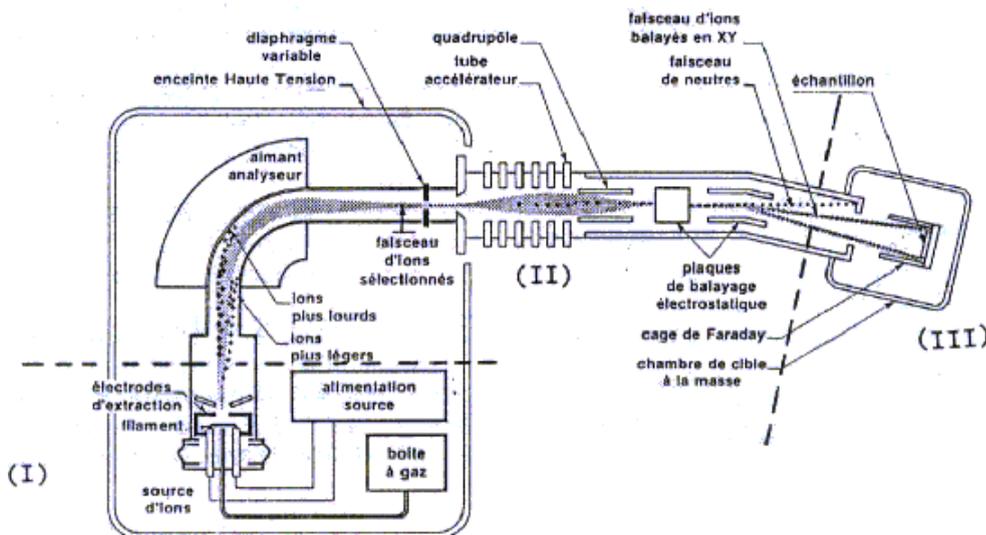


Figure 2-2 : Schéma de l'implanteur, d'après [ENSERG].

Remarque : Il nous faut à ce niveau apporter une précision quant aux doses d'implantation, aux dopages et aux paramètres de diffusion que nous mentionnerons par la suite dans le diagramme de cheminement. Lorsque nous parlons d'implantation, nous mentionnons des doses surfaciques (en atomes/cm²) qui correspondent aux surfaces soumises à l'implantation, et cette implantation est réalisée avec une certaine énergie (en keV). Ces étapes de process sont généralement suivies d'une diffusion ayant un cycle thermique et une durée définies. Cette diffusion conduit alors à une profondeur de diffusion x_j et un profil de diffusion, profil qui existe tant dans le sens de la profondeur que latéralement, compte tenu du phénomène de diffusion latérale. Aussi, nous considérons après diffusion la concentration de surface (exprimée en atomes/cm³), mesurée par SRP (cf. paragraphe §2.2.2.2). De plus, suivant le type d'impuretés implantées, et suivant l'environnement de diffusion, la redistribution des espèces dopantes peut être soumise à plusieurs phénomènes négatifs (tels que l'exodiffusion) et peut être accompagnée d'une consommation de silicium lors d'une oxydation. Aussi, nous précisons pour les diffusions leur rendement. L'étude de ces différents paramètres (doses et énergie d'implantation, temps et environnement de diffusion) a été précédemment étudié ([NGO]), et c'est en s'appuyant sur ces travaux ainsi que sur les précédentes réalisations ayant mis en œuvre le Masque 13 ([HAZARD], [MERCIER] & [BOUCHET]) que nous avons choisi nos doses et énergies d'implantation, ainsi que les rendements d'implantation et concentrations surfaciques annoncées dans le diagramme de cheminement présenté paragraphe §2.2.3.

2.2.1.6. Métallisation

La métallisation consiste à déposer sur la surface de la plaquette une couche conductrice qui sera ensuite gravée pour réaliser les interconnexions entre les divers composants du circuit. Le métal utilisé doit satisfaire à un grand nombre de conditions, parmi lesquelles:

- ohmicité des contacts avec le silicium quelque soit son dopage,
- conductivité élevée,
- stabilité (le métal ne doit plus réagir ni avec le silicium, ni avec la silice, ni avec son environnement après le dépôt),

- adhésion : le métal doit adhérer correctement aussi bien au silicium qu'à la silice, même après gravure,
- lithographie : le métal doit pouvoir être gravé à l'aide des procédés courants de lithographie,
- recouvrement de marches : les irrégularités du circuit doivent pouvoir être recouvertes sans discontinuité de la couche métallique.

Le meilleur compromis entre ces exigences est l'aluminium. Il s'agit d'un dopant P pour le silicium. Le dépôt se fait soit par évaporation sous vide (filament en creuset chauffé par effet Joule), soit par pulvérisation cathodique (processus de condensation de la vapeur de métal à déposer sur le substrat à recouvrir, le tout s'effectuant en enceinte sous vide).

2.2.2. Étapes de caractérisation physique

2.2.2.1. Mesure de résistance carrée (méthode des 4 pointes)

Cette méthode simple permet de mesurer la résistivité d'une couche homogène, connaissant son épaisseur. La mesure s'effectue à l'aide d'un banc de mesure 4 pointes. Ce banc se compose :

- d'une tête de mesure munie de 4 pointes équidistantes en carbure de tungstène, montées sur des systèmes amortisseurs de façon à assurer une pression constante sur la surface étudiée ;
- d'un support permettant d'abaisser la tête au contact de la surface à étudier ;
- d'un générateur de courant permettant d'injecter le courant I désiré entre les 2 pointes extrêmes ;
- d'un voltmètre à haute impédance d'entrée permettant de mesurer la tension U entre les 2 pointes centrales.

A partir de ces 2 paramètres U et I , la résistance carrée s'écrit : $R_{\square} = 4.53 * U / I = r / X$, avec respectivement r et X la résistivité et l'épaisseur de la couche analysée. Il est ensuite possible, à partir d'abaques, de déterminer le dopage en fonction de la résistivité déduite.

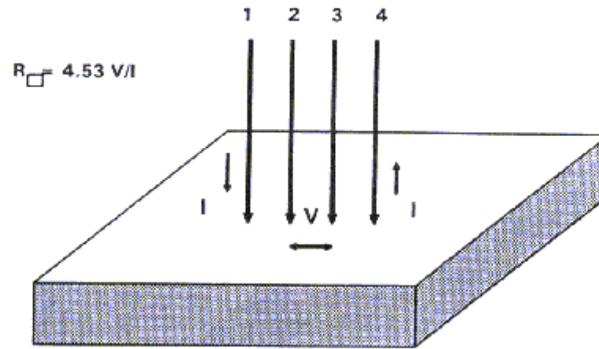


Figure 2-3 : Illustration du principe de mesure 4 pointes, d'après [ENSERG].

2.2.2.2. Spreading Resistance Probe

La mesure par spreading resistance probe (ou résistance de constriction) permet, après réalisation d'un biseau, de mesurer un profil électrique de dopage, ne prenant en compte que les impuretés actives électriquement. Cette méthode consiste à mesurer la résistance à la surface d'un biseau pratiqué sur un échantillon, à l'aide de 2 pointes se déplaçant le long de ce biseau.

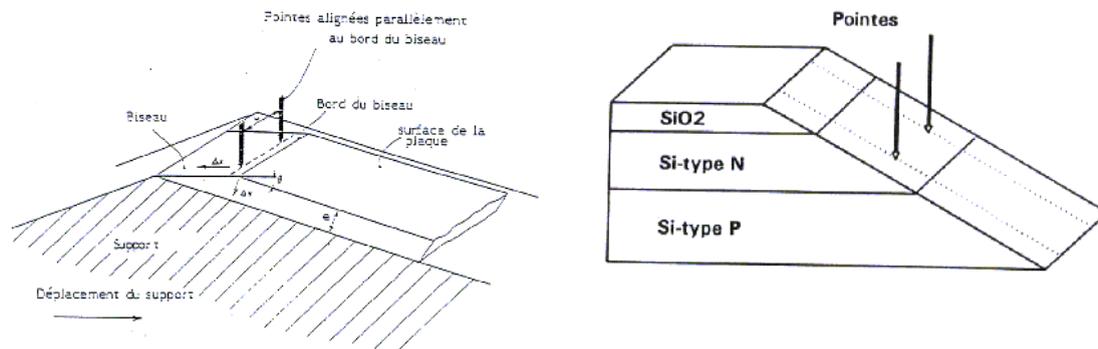


Figure 2-4 : Principe de mesure de spreading resistance, d'après [ENSERG].

En mesurant le courant et la tension appliquée, l'angle du biseau, le rayon des pointes et leur écartement, il est possible de déduire la résistance de la couche à une profondeur donnée, puis successivement un profil de résistivité et un profil de concentration. Un calcul informatique se charge de transformer le profil de résistance en fonction de la profondeur en un profil de concentration de dopants, avec les valeurs de profondeur de jonction, concentration maximum et dose implantée.

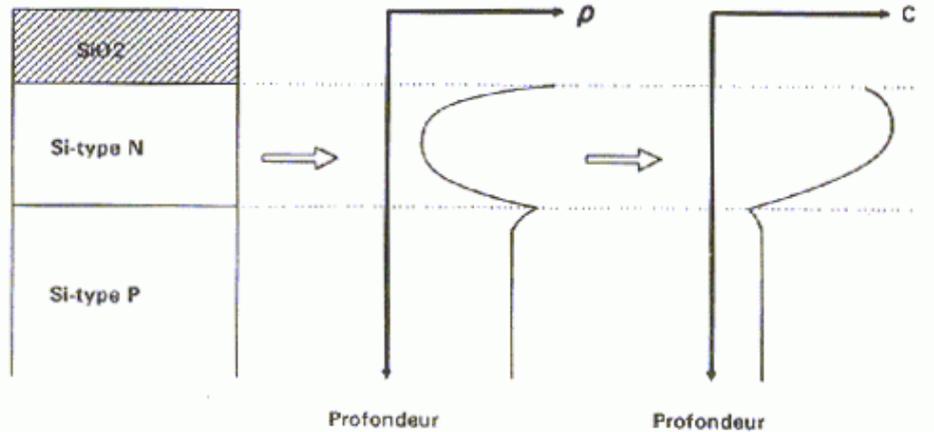


Figure 2-5 : Allures de profils de résistivité et de concentration obtenus par SRP, d'après [ENSERG].

2.2.2.3. Alpha-Step

Il s'agit d'une machine qui mesure de manière automatisée un profil de surface. Il suffit pour cela de placer la plaquette sur le support, de faire descendre le stylet de mesure au contact de celle-ci, et de choisir la zone de mesure ; cette opération permet ainsi de contrôler les diverses gravures effectuées.

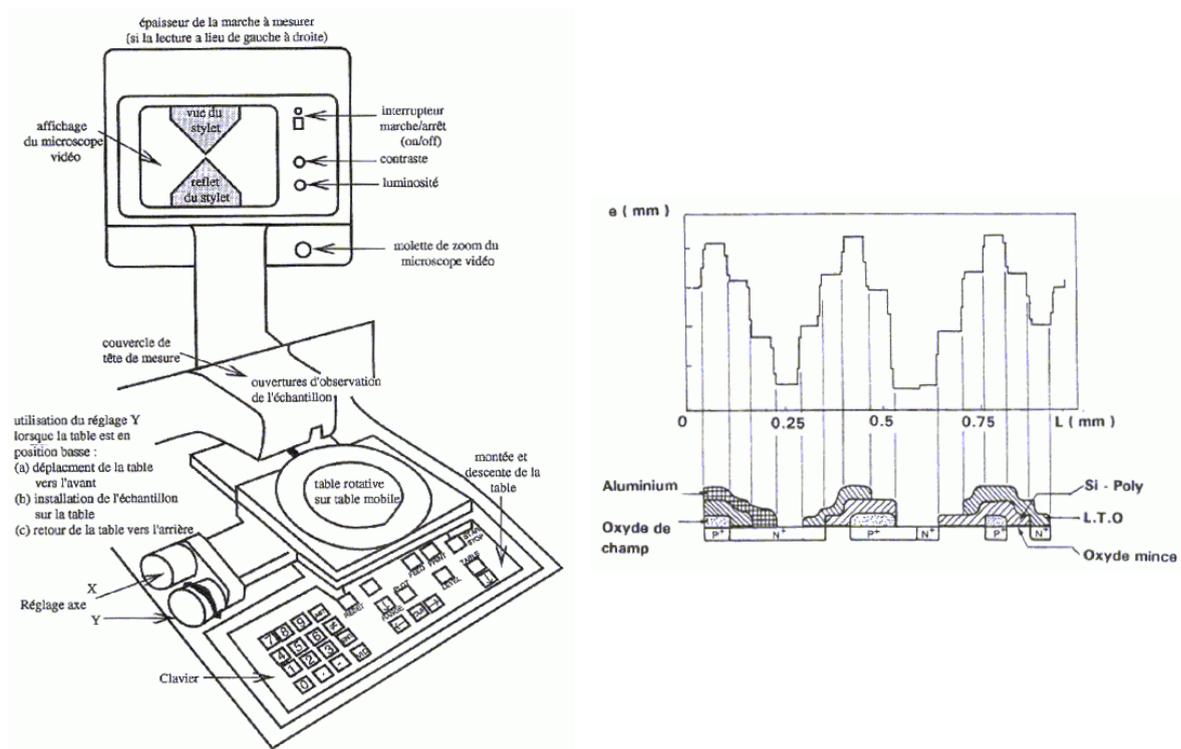


Figure 2-6 : Schéma de l'Alpha-Step et exemple de résultat obtenu, d'après [ENSERG].

2.2.2.4. Ellipsométrie

L'ellipsométrie est une méthode non destructive de mesure de l'épaisseur et de l'indice de très fines couches diélectriques. Son principe repose sur l'analyse de la polarisation elliptique de la lumière émergente issue de réflexions multiples sur les interfaces Air-SiO₂ et SiO₂-Si (coefficients de réflexion et de transmission différents) d'une onde monochromatique plane, polarisée rectilignement. Des mesures et des analyses effectuées, il est possible de déduire l'épaisseur de la couche e et l'indice n de la couche diélectrique, à l'aide d'un abaque. En pratique, il est préférable d'envoyer une lumière polarisée elliptiquement et obtenir une lumière émergente rectiligne.

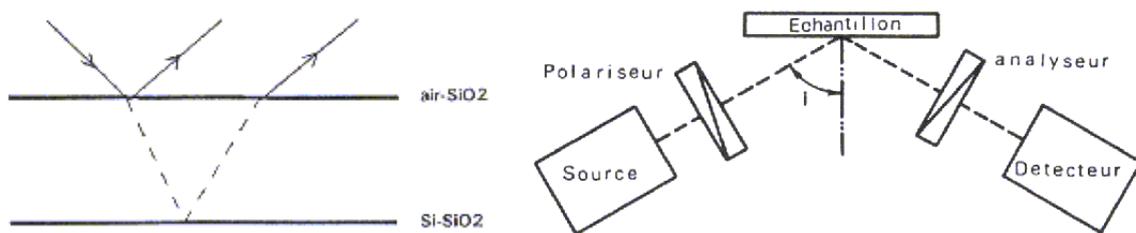


Figure 2-7 : Illustration du principe de fonctionnement de l'ellipsométrie et schéma des éléments constitutifs d'un ellipsomètre, d'après [ENSERG].

En pratique, un ellipsomètre se constitue de :

- une source lumineuse monochromatique de longueur d'onde connue,
- un polariseur « P » permettant de polariser la lumière incidente selon un angle variable,
- une lame quart d'onde introduisant un déphasage entre les 2 composantes (onde p et onde n) de la lumière incidente,
- un porte-échantillon,
- un analyseur « A » permettant d'éteindre la lumière émergente lorsqu'elle est polarisée rectilignement,
- un photomultiplicateur jouant le rôle de détecteur d'extinction.

Il faut noter qu'une difficulté peut apparaître lorsque l'ordre de grandeur de l'épaisseur de la couche est inconnu ; en effet, les abaques d'ellipsométrie donnent des résultats périodiques, en ce qui concerne l'épaisseur du diélectrique, la période étant fonction de l'indice considéré.

2.2.2.5. Microscope Electronique à Balayage

Le Microscope Electronique à Balayage (MEB) constitue un complément au microscope optique (MO) et au microscope électronique à transmission (MET). Le MO est idéal pour des observations d'objets où le pouvoir de résolution et la profondeur de champ ne sont pas critiques ; le MET est indispensable pour les observations à haut pouvoir de résolution, il nécessite néanmoins, de par son principe de fonctionnement, des échantillons d'une épaisseur inférieure à 1µm. Le MEB offre un pouvoir de résolution intermédiaire entre le MO et le MET, et permet l'observation d'échantillons « épais » ; de plus, la profondeur de champ assez grande permet d'effectuer des observations en 3D. Le principe de fonctionnement est basé sur le balayage de la surface de l'échantillon par un faisceau d'électrons ; les électrons rétro-diffusés sont alors analysés (vitesse, direction...) ; ces signaux sont, après amplification, analysés puis envoyés vers l'écran de contrôle qui, après synchronisation du balayage électronique et de celui de l'écran, permet d'obtenir une image du relief de la surface. Différents détecteurs (CCd, rayons X,...) fournissent des informations complémentaires sur l'échantillon.

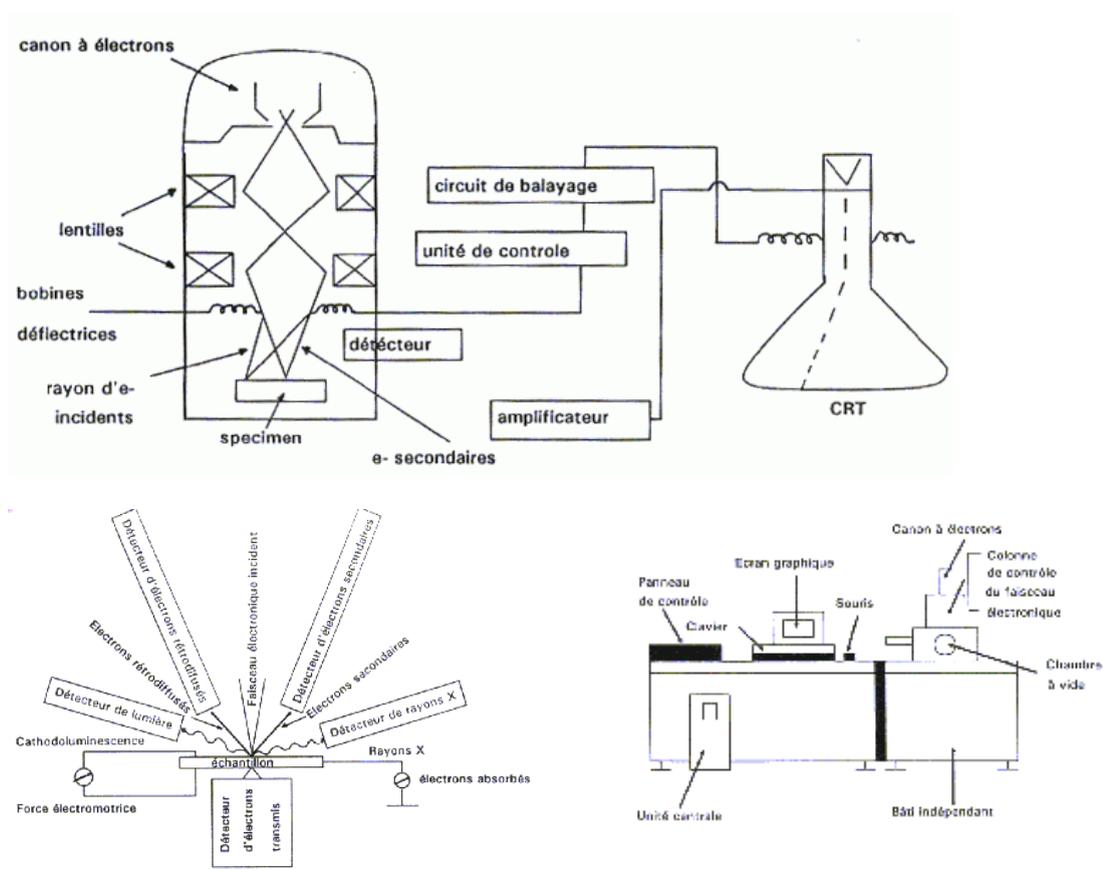


Figure 2-8 : Schémas explicatifs relatifs au fonctionnement du Microscope Electronique à Balayage, d'après [ENSERG].

2.2.3. Diagramme de cheminement

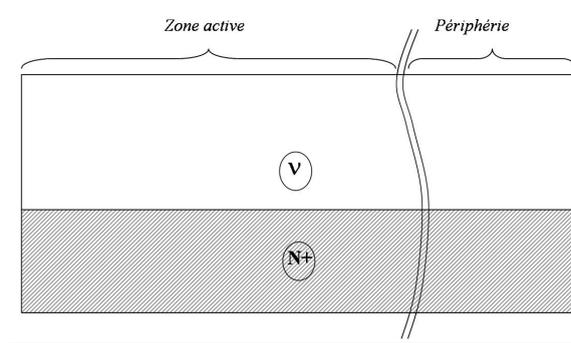


Figure 2-9 : Etat initial du wafer (après E015).

2.2.3.1. Préparation du substrat

E014 : Les tranches sont tout d'abord marquées en face arrière.

E015 : Elles sont ensuite nettoyées de leur oxyde natif. Plongées 30s dans une solution HF5%, puis rincées à l'eau (contrôle de résistivité supérieure à 15MO.cm), elles sont ensuite immergées dans un mélange $H_2SO_4+H_2O_2$ (50%+50%), et rincées à l'eau de nouveau. Les wafers sont ensuite replongés dans la solution HF 5% durant 30s, puis rincés à l'eau (même contrôle de résistivité). Enfin, les tranches sont séchées en centrifugeuse.

E016 : L'étape suivante consiste à réaliser un oxyde de champ, d'une épaisseur de 0.25 μ m, destiné à supporter la première photolithographie. Il s'agit d'une oxydation humide, réalisée en face avant et face arrière, qui sera réutilisée ensuite pour l'oxyde de champ périphérique. Cette opération s'avère indispensable, notamment pour les croix de centrage et autres motifs destinés à l'alignement des masques. Cette oxydation est réalisée par le cycle suivant :

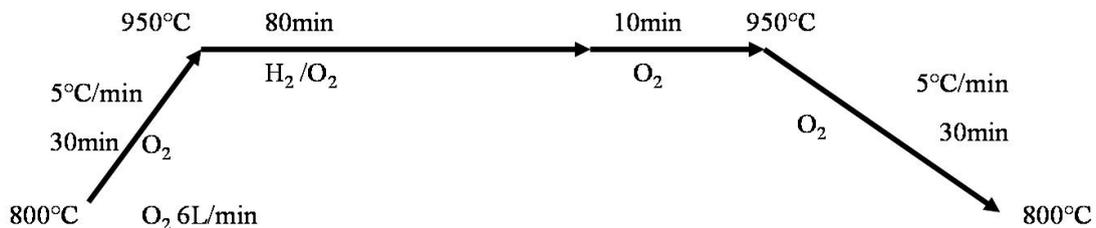


Figure 2-10 : Cycle thermique d'oxydation de champ.

Cette étape est ensuite contrôlée à l'ellipsomètre.

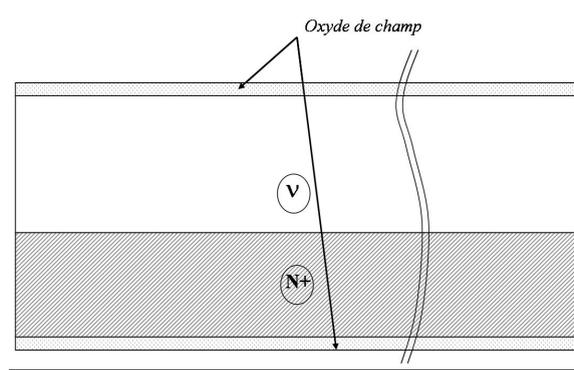


Figure 2-11 : Etat du wafer après E016.

2.2.3.2. Réalisation de la périphérie de poche

E101 : La première étape consiste à réaliser la photolithographie. Après dépôt de promoteur HMDS en face avant du wafer, une couche de résine JSR1813 de $1.5\mu\text{m}$ est déposée et recuite sur plaque chauffante ou en étuve, durant 2 min à 110°C . Le wafer est ensuite exposé au masque 1, OPCH, puis la résine est développée durant 1min. Suit ensuite un second recuit de 2min sur plaque chauffante à 130°C .

E102 : L'oxyde de champ réalisé précédemment est ensuite gravé lors de l'immersion des wafers dans un mélange FH/ FNH_4 (4 volumes FH 50% + 1 volume FNH_4), jusqu'à "démouillage +5s". Les wafers sont ensuite rincés selon la procédure habituelle. Les différentes épaisseurs sont contrôlées avant et après gravure à l'alpha-step.

E103 : Après cette gravure, la résine subit un recuit à 115°C pendant 60min. Une tranche témoin est ajoutée au lot avant de subir une implantation de Bore à $3\text{E}12\text{ cm}^{-2}$ sous 160keV , dans l'idée d'un rendement à 30%. L'opération de contrôle est réalisée sur le témoin, par mesure de résistance carrée.

E104 : La résine est ensuite retirée du wafer, par immersion dans un mélange $\text{H}_2\text{SO}_4+\text{H}_2\text{O}_2$ à 130°C .

E105 : Les tranches sont ensuite, de la façon décrite précédemment, nettoyées, rincées, puis séchées en centrifugeuse.

E106 : Les wafers entrent ensuite dans le four pour réaliser la diffusion de la poche, pour une profondeur de diffusion de $12\mu\text{m}$.

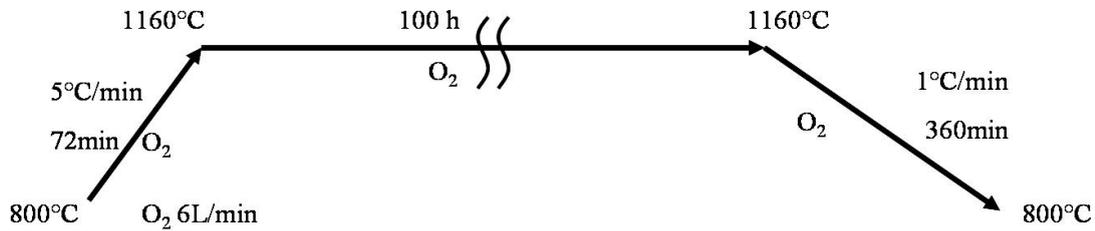


Figure 2-12 : Cycle thermique de diffusion de la périphérie en poche.

Après la diffusion, l'épaisseur d'oxyde est mesurée ($1.9\mu\text{m}$), ainsi que la résistance carrée de la poche, via un motif test. Un dernier contrôle par mesure SRP sur la tranche témoin permet d'obtenir la profondeur de diffusion ($12\mu\text{m}$), la dose active de Bore ($1.2\text{E}12\text{cm}^{-2}$) et la concentration de surface Cs ($4\text{E}15\text{cm}^{-3}$) [NGO].

E107 : L'oxyde ayant vu son épaisseur augmenter durant cette diffusion, il est réduit à une valeur inférieure (de $1.9\mu\text{m}$ à $0.8\mu\text{m}$) par attaque de SiO_2 par mélange FH/ FNH_4 (4 volumes FH 50% + 1 volume FNH_4), jusqu'à "démouillage +5s". Les wafers sont ensuite rincés selon la procédure habituelle.

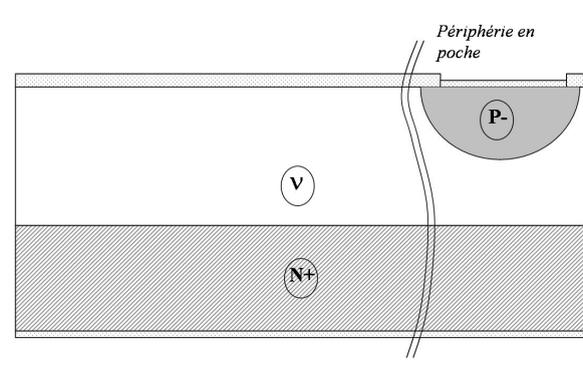


Figure 2-13 : Etat du wafer après E107.

2.2.3.3. Réalisation du P+ central et des Anneaux de Garde de la périphérie

E201 : La première étape consiste à réaliser la photolithographie, similaire en tout point à la précédente, mais avec le masque 2, OPPB.

E202 : L'oxyde de champ, réduit précédemment, est gravé par attaque de SiO_2 par mélange FH/FNH_4 comme précédemment, aux endroits définis par la lithographie.

E203 : Après cette gravure, la résine subit un recuit à 115°C pendant 60min. Une tranche témoin est ajoutée au lot avant de subir une implantation de Bore à $1\text{E}15 \text{ cm}^{-2}$ sous 160keV, dans l'idée d'un rendement à 30% ([NGO]).

E204 : La résine est ensuite retirée du wafer, par immersion dans un mélange $\text{H}_2\text{SO}_4+\text{H}_2\text{O}_2$ à 130°C .

Les tranches sont ensuite, de la façon décrite précédemment, nettoyées, rincées, puis séchées en centrifugeuse.

E205 : Les wafers entrent ensuite dans le four pour réaliser la pré-diffusion $\text{P}+$, qui sera complétée ultérieurement par la double diffusion du canal MOS:

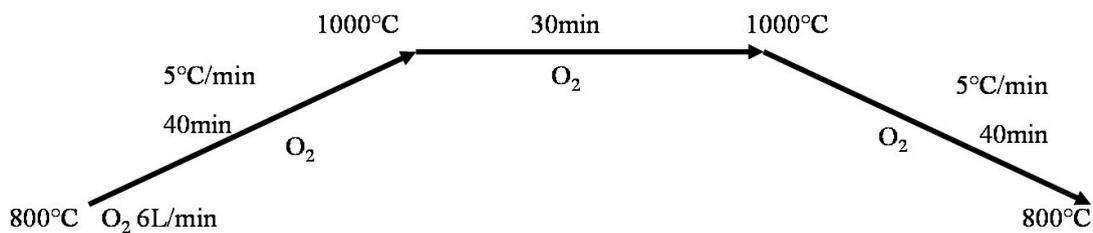


Figure 2-14 : Cycle thermique de pré-diffusion $\text{P}+$ central et de la périphérie en Anneaux de Garde.

Après la diffusion, l'épaisseur d'oxyde ajoutée est mesurée (moins de $0.1\mu\text{m}$), ainsi que la résistance carrée de la poche, via un motif test. Un dernier contrôle par mesure SRP sur la tranche témoin permet d'obtenir la profondeur de diffusion (200nm), et la concentration de surface C_s ($1\text{E}18 \text{ cm}^{-3}$).

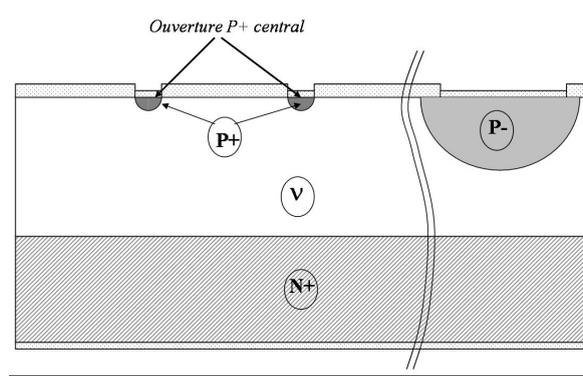


Figure 2-15 : Etat du wafer après E205 (cas d'une périphérie en poche).

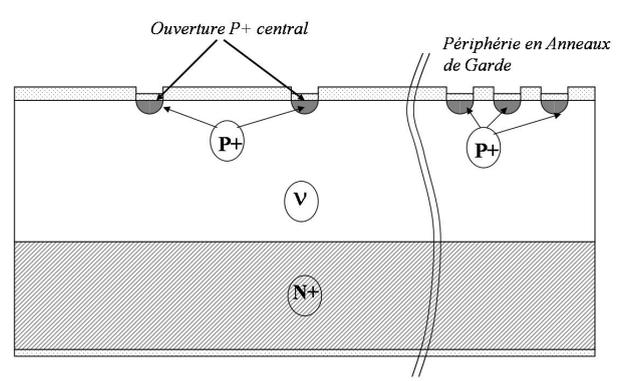


Figure 2-16 : Etat du wafer après E205 (cas d'une périphérie en anneaux de garde).

2.2.3.4. Réalisation de la grille

E301 : La première étape consiste à réaliser la photolithographie, similaire en tout point à la précédente, mais avec le masque 3, OZUT.

E302 : L'oxyde de champ, réduit précédemment, est gravé par attaque de SiO_2 par mélange FH/ FNH_4 comme précédemment, aux endroits définis par la lithographie. Cette opération est suivie d'un contrôle.

E303 : La résine est ensuite retirée du wafer, par immersion dans un mélange $\text{H}_2\text{SO}_4 + \text{H}_2\text{O}_2$ à 130°C .

E304 : Les tranches sont ensuite, de la façon décrite précédemment, nettoyées, rincées, puis séchées en centrifugeuse.

E305 : L'oxyde fin de grille est ensuite réalisé par oxydation thermique, selon le cycle:

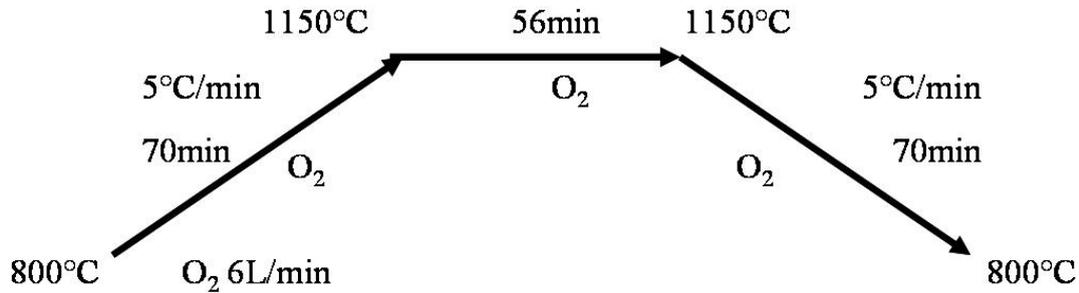


Figure 2-17 : Cycle thermique d'oxydation de grille.

L'épaisseur de l'oxyde de grille réalisé est ensuite mesurée (100nm).

E306 : Un wafer témoin est ensuite ajouté au lot, avant de réaliser le dépôt de PolySilicium sur une épaisseur de 600nm. Cette étape est réalisée par dépôt LPCVD de SiH₄ sous 630°C, durant 40min.

E307 : Après ce dépôt, les wafers sont, de la façon décrite précédemment, nettoyés, rincés, puis séchés en centrifugeuse.

E308 : Le Polysilicium est ensuite dopé en subissant le cycle suivant:

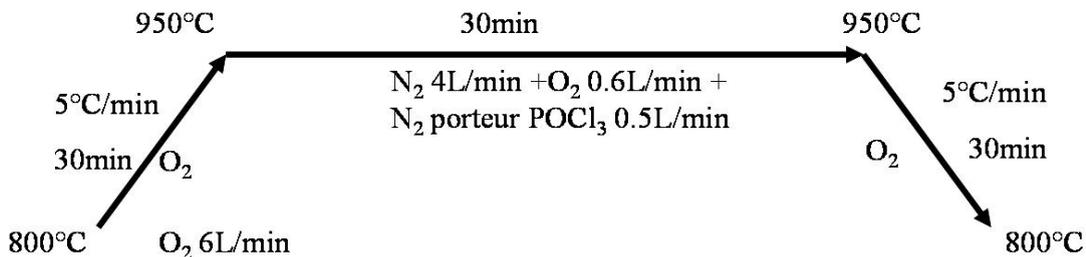


Figure 2-18 : Cycle thermique de dopage du Polysilicium.

Le wafer témoin est alors utilisé pour une mesure de la résistance carrée.

E309 : Il est ensuite nécessaire de retirer l'oxyde PSG, créé durant le dopage par POCl_3 du PolySilicium. Cette étape est réalisée par attaque FH à 10% durant 15s.

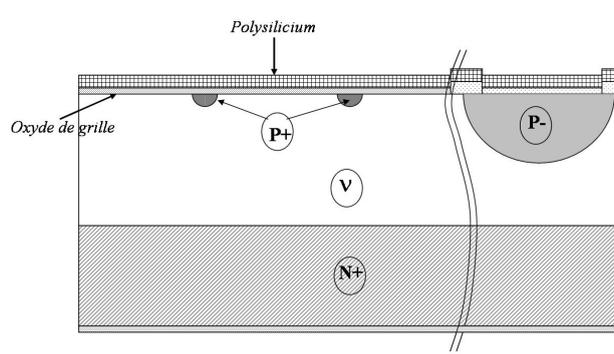


Figure 2-19 : Etat du wafer après E309.

2.2.3.5. Réalisation du porte-canal.

E401 : Une photolithographie similaire à la précédente est réalisée à l'aide du masque 4 OBAS.

E402 : Le PolySilicium est ensuite gravé aux endroits non protégés par la résine, par attaque plasma RIE (attaque ionique réactive).

E403 : Après recuit de la résine à 115°C durant 1h, l'implantation de Bore est réalisée à $6 \times 10^{13} \text{ cm}^{-2}$ sous 160keV.

E404 : La résine est ensuite retirée par plasma O_2 .

E405 : Les wafers sont nettoyés avant la diffusion, de manière classique (HF, rinçage H_2O , mélange $\text{H}_2\text{SO}_4 + \text{H}_2\text{O}_2$, rinçage, HF et rinçage H_2O).

E406 : La diffusion P- est ensuite assurée par le cycle suivant:

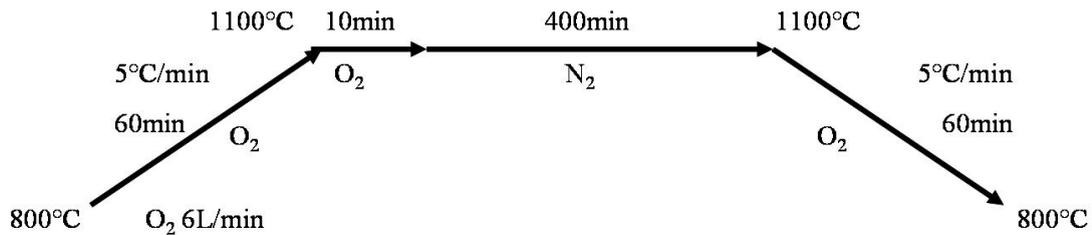


Figure 2-20 : Cycle thermique de diffusion P- porte canal.

E407 : L'oxyde de silicium réalisé durant la diffusion est retiré par attaque partielle, afin de ne laisser que $0.04\mu\text{m}$. un contrôle par résistance carrée et mesure SRP permet de contrôler la profondeur de diffusion ($2\mu\text{m}$) et la concentration de surface ($2\text{E}17\text{ cm}^{-3}$).

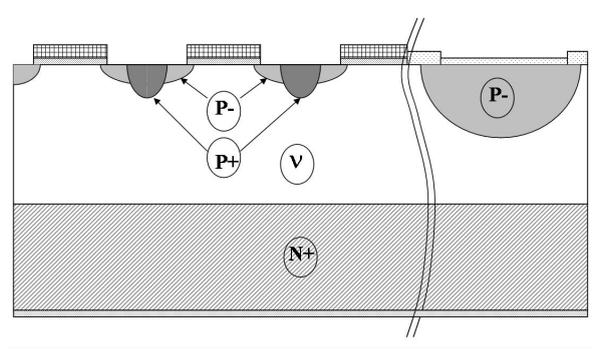


Figure 2-21 : Etat du wafer après E407.

2.2.3.6. Réalisation des zones N+ de source en face avant et N+ de drain en face arrière

E501 : Une photolithographie, réalisée selon la procédure décrite précédemment, permet de définir les zones à doper N+ en face avant (îlots de source et PolySilicium de grille), à l'aide du masque 5 OEME.

E502 : L'oxyde, partiellement retiré précédemment, est conservé.

E503 : L'implantation de Phosphore en face avant est réalisée à $5\text{E}15\text{ cm}^{-2}$ sous 100keV .

E504 : La résine est ensuite retirée par plasma O_2 .

E505 : Une nouvelle couche de résine est appliquée en face avant, pour la protéger durant les prochaines étapes destinées à la réalisation du drain en face arrière.

E506 : Le PolySilicium et l'oxyde accumulé en face arrière durant les précédentes étapes sont retirés par attaque plasma RIE.

E507 : L'implantation de Phosphore en face arrière est réalisée à $5E15 \text{ cm}^{-2}$ sous 100keV.

E508 : La résine de protection de la face avant est ensuite retirée par plasma O_2 .

E509&510 : Les wafers sont nettoyés avant la diffusion, de manière classique (HF, rinçage H_2O , mélange $H_2SO_4+H_2O_2$, rinçage, HF et rinçage H_2O), avant de subir une passivation (isolation).

E511 : La diffusion du Phosphore N^+ en face avant et face arrière est réalisée de la manière suivante:

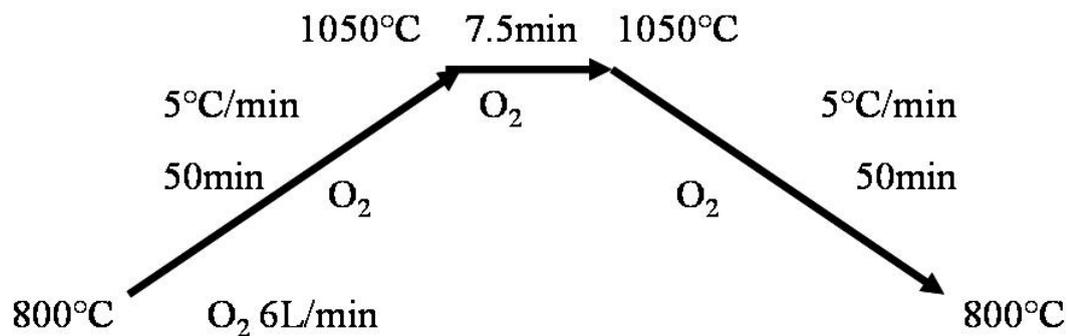


Figure 2-22 : Cycle thermique de diffusion N^+ .

Après diffusion, la profondeur est mesurée ($0.7\mu\text{m}$), ainsi que la concentration en surface ($6E19 \text{ cm}^{-3}$).

E512 : Un dépôt d'oxyde APCVD Pyrox est ensuite réalisé à 400°C , à l'aide d'un mélange SiH_4, O_2, P_2H_3 (épaisseur de $1\mu\text{m}$).

E513 : S'en suit une étape de refusion, à 950°C durant 15min.

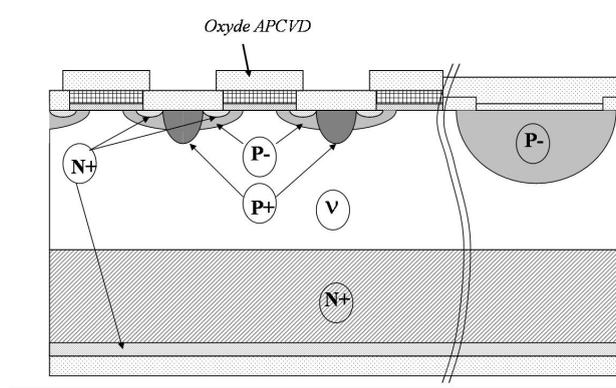


Figure 2-23 : Etat du wafer après E513.

2.2.3.7. Réalisation des contacts

E601 : La photolithographie, effectuée de manière classique, est réalisée avec le masque 6, OCON.

E602 : Les zones d'oxyde ainsi définies sont ensuite gravées par attaque plasma RIE.

E603 : La résine est ensuite retirée par attaque plasma O₂.

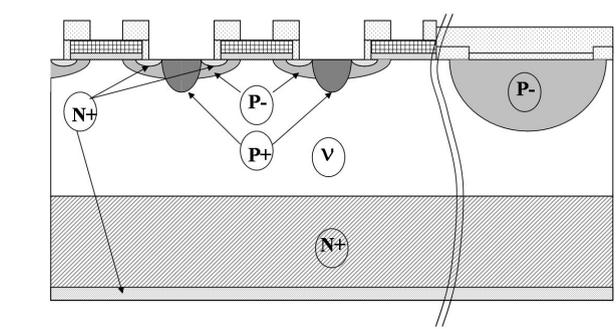


Figure 2-24 : Etat du wafer après E603.

2.2.3.8. Dépôt de l'aluminium

E701&702 : Après une étape de désoxydation (identique à celle décrite plus haut), le dépôt Al/Si est réalisé sous 350°C, sur une épaisseur de 1µm.

E703 : S'en suit une étape de photolithographie à l'aide du masque 7, GALU, pour la gravure de l'aluminium déposé en face avant, afin d'isoler source et grille.

E704 : Une fois la résine insolée, et après contrôle du développement, l'aluminium est gravé par attaque plasma RIE.

E705 : La résine est ensuite retirée par attaque plasma O_2 .

E706 : L'aluminium subit ensuite un recuit sous N_2 , à $450^\circ C$ durant 20min.

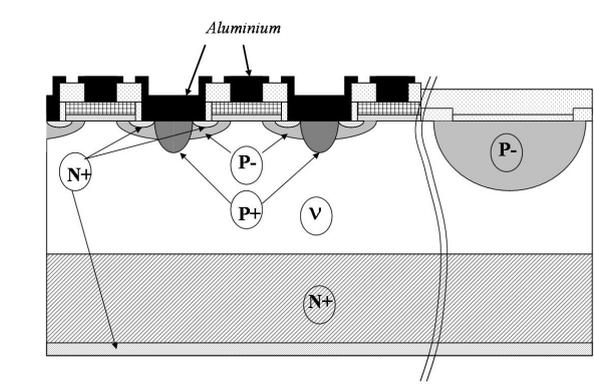


Figure 2-25 : Etat du wafer après E706.

2.2.3.9. Passivation et soudure

E801 : Une étape de passivation est assurée par dépôt de SiH_4/NH_3 , par la technique PECVD ASM, à $380^\circ C$, sur une épaisseur de $1\mu m$.

E802 : Une étape de photolithographie est ensuite réalisée à l'aide du masque 8, OSCO, pour définir les zones de prises de contact de bondings en face avant pour la source et la grille.

E803 : La gravure de l'oxyde de passivation définie par la lithographie est réalisée par attaque plasma RIE.

E804 : La résine est ensuite retirée par attaque plasma O₂.

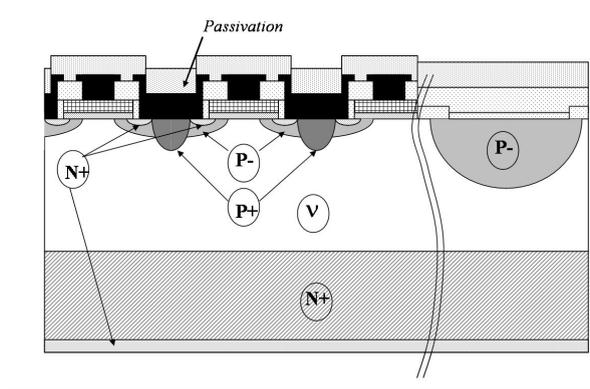


Figure 2-26 : Etat du wafer après E804.

2.2.3.10. Réalisation des contacts de face arrière

E901 : Une couche de résine protectrice est appliquée en face avant.

E902 : La face arrière est nettoyée, puis un dépôt de Ti/Ni/Ag est réalisé (Ti=100nm; Ni=100nm; Ag=1μm).

E903 : La résine protectrice en face avant est retirée par attaque plasma O₂.

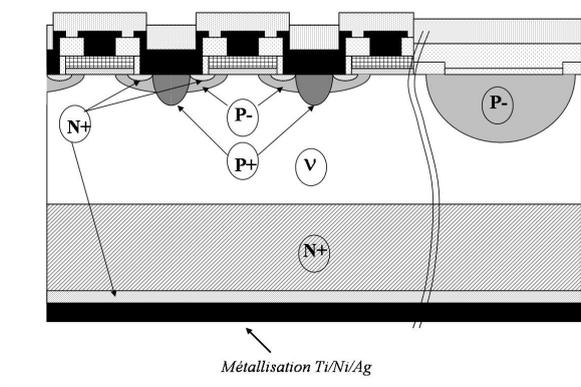


Figure 2-27 : Etat du wafer après E903.

2.2.4. Exemple du jeu de masques du motif n°7

Nous présentons ici à titre d'exemple, le jeu de masques détaillé pour le motif n°7 ([MERCIER-2]), constitué de 16 cellules élémentaires de $30\mu\text{m}$, espacées de $110\mu\text{m}$. La périphérie de tenue en tension est constituée d'anneaux de garde. Les cotations indiquées correspondent aux masques, et ne tiennent pas compte des avancées latérales de diffusion.

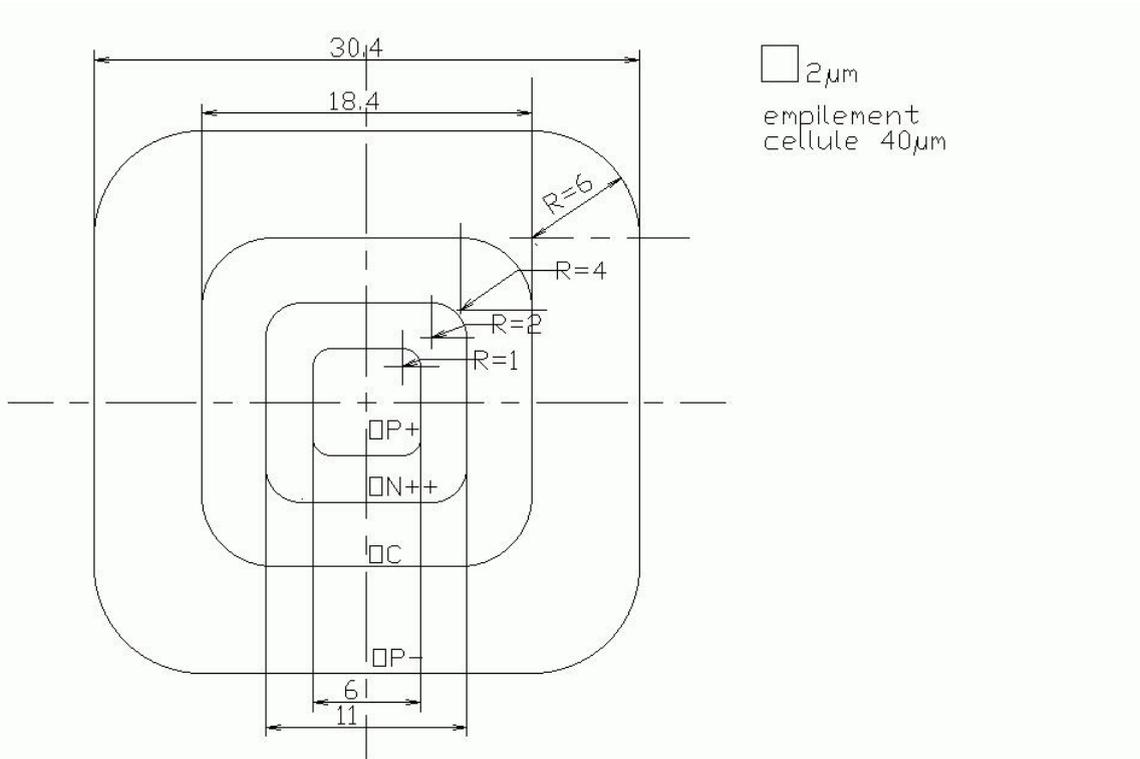


Figure 2-28 : Empilement des différents niveaux de masquage pour une cellule élémentaire.

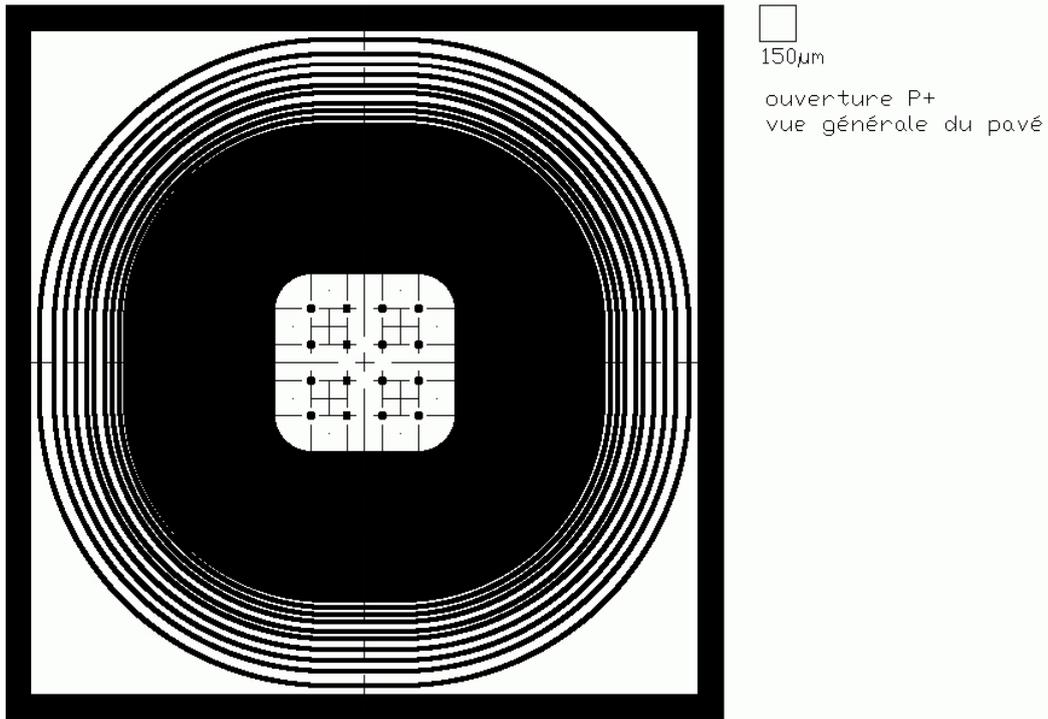


Figure 2-29 : Masque OPPB (niveau 2), ouverture du P+ central et des anneaux de garde de périphérie, vue générale.

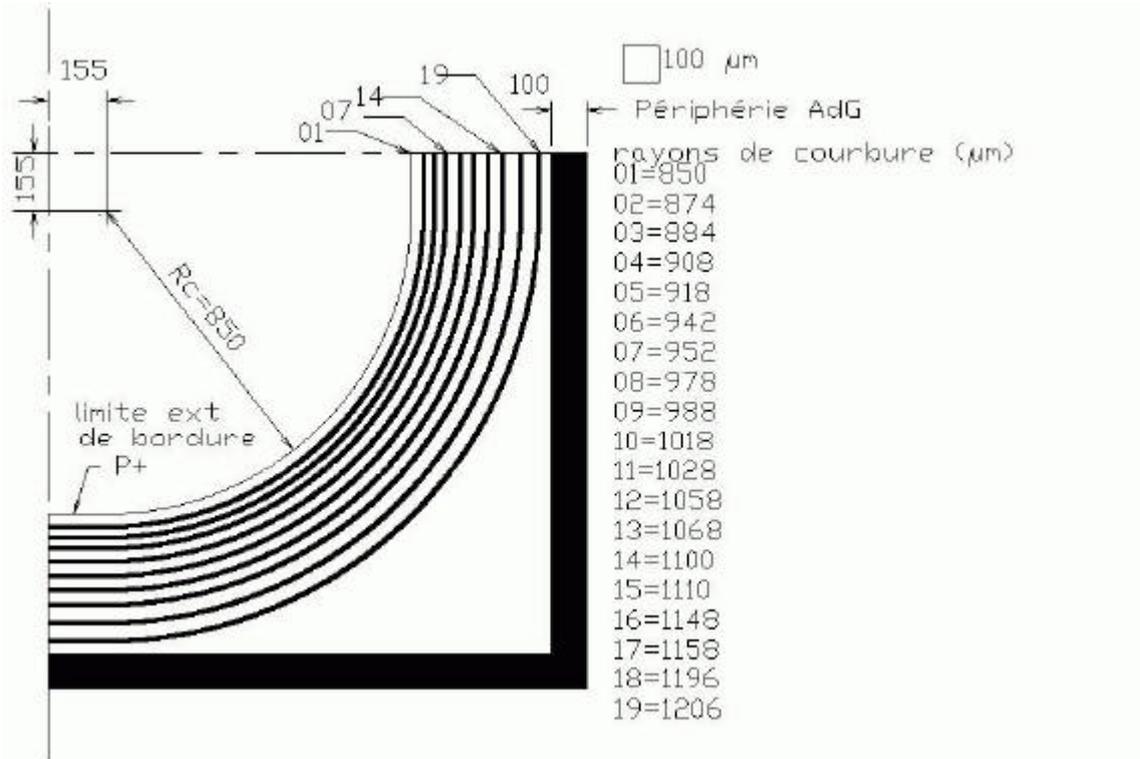


Figure 2-30 : Masque OPPB (niveau 2), ouverture des anneaux de garde de périphérie, vue détaillée.

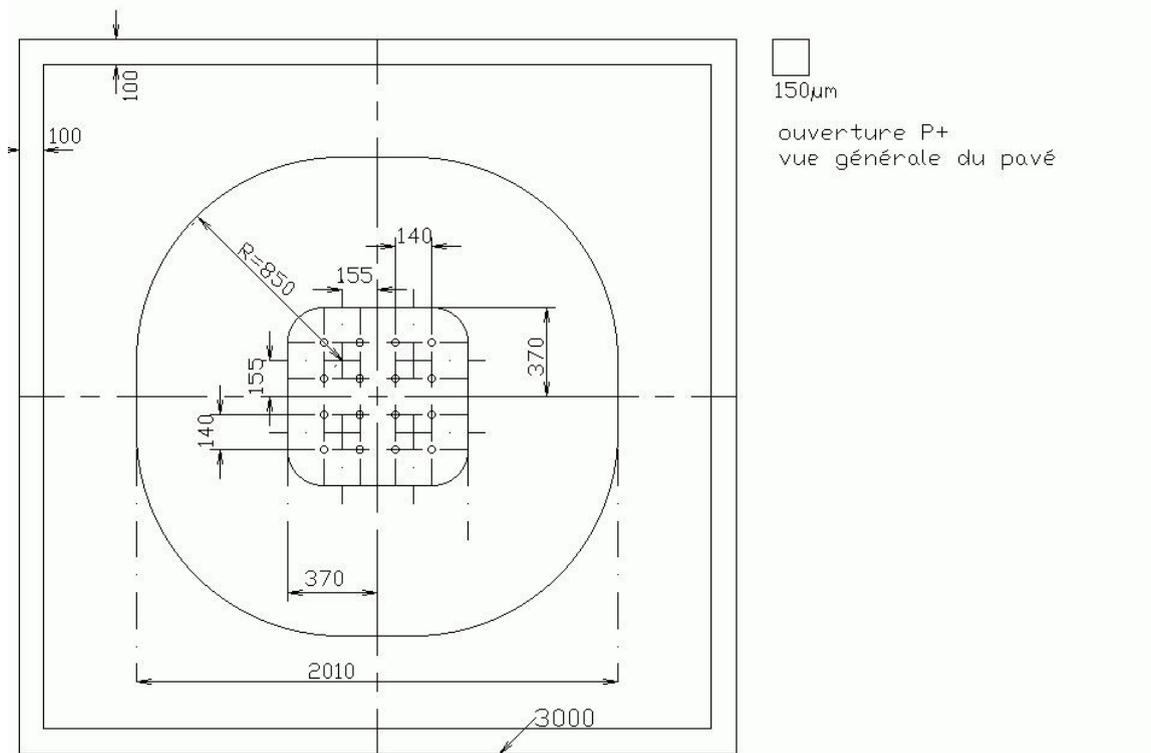


Figure 2-31 : Masque OPPB (niveau 2), ouverture du P+ central, vue détaillée de la zone active.

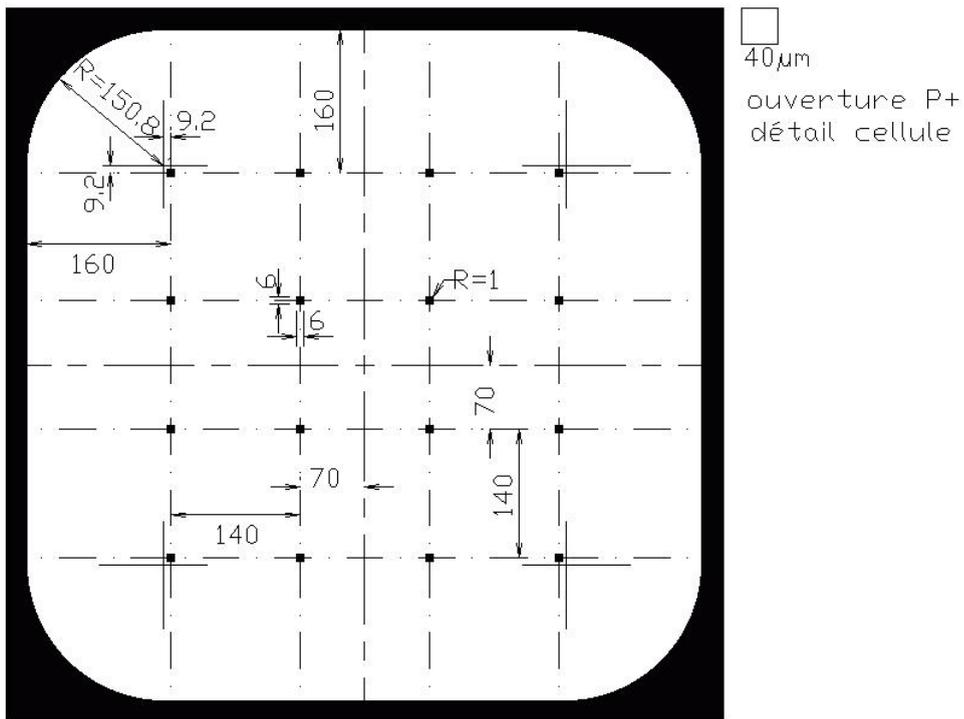


Figure 2-32 : Masque OPPB (niveau 2), ouverture du P+ central, vue détaillée des cellules.

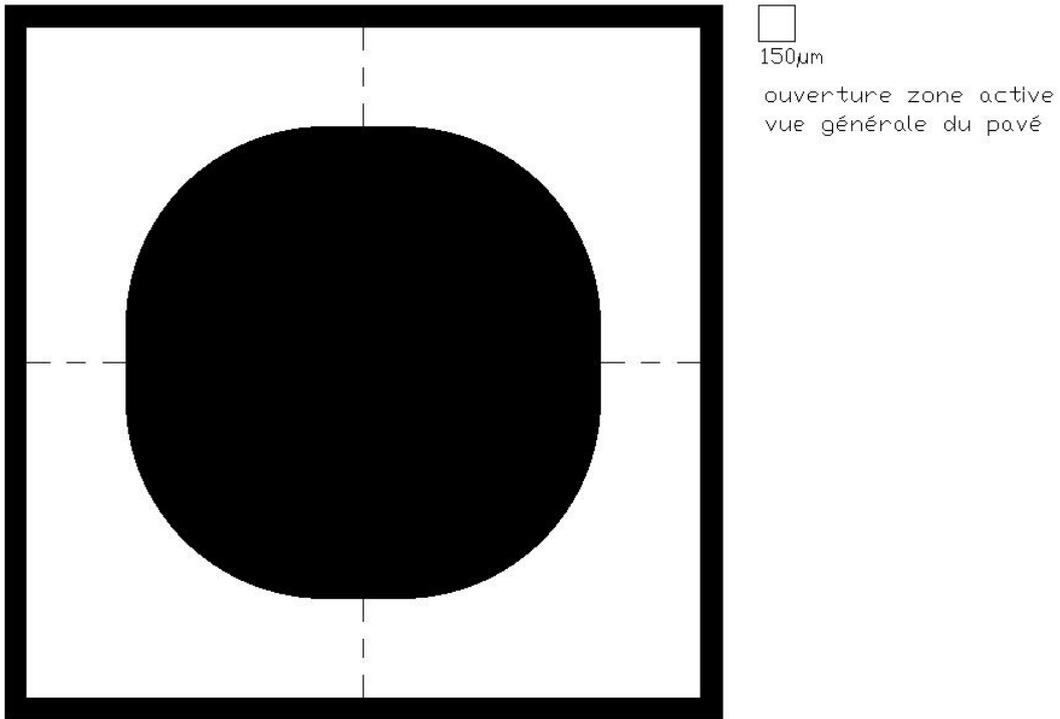


Figure 2-33 : Masque OZUT (niveau 3), ouverture de la zone active, vue générale.

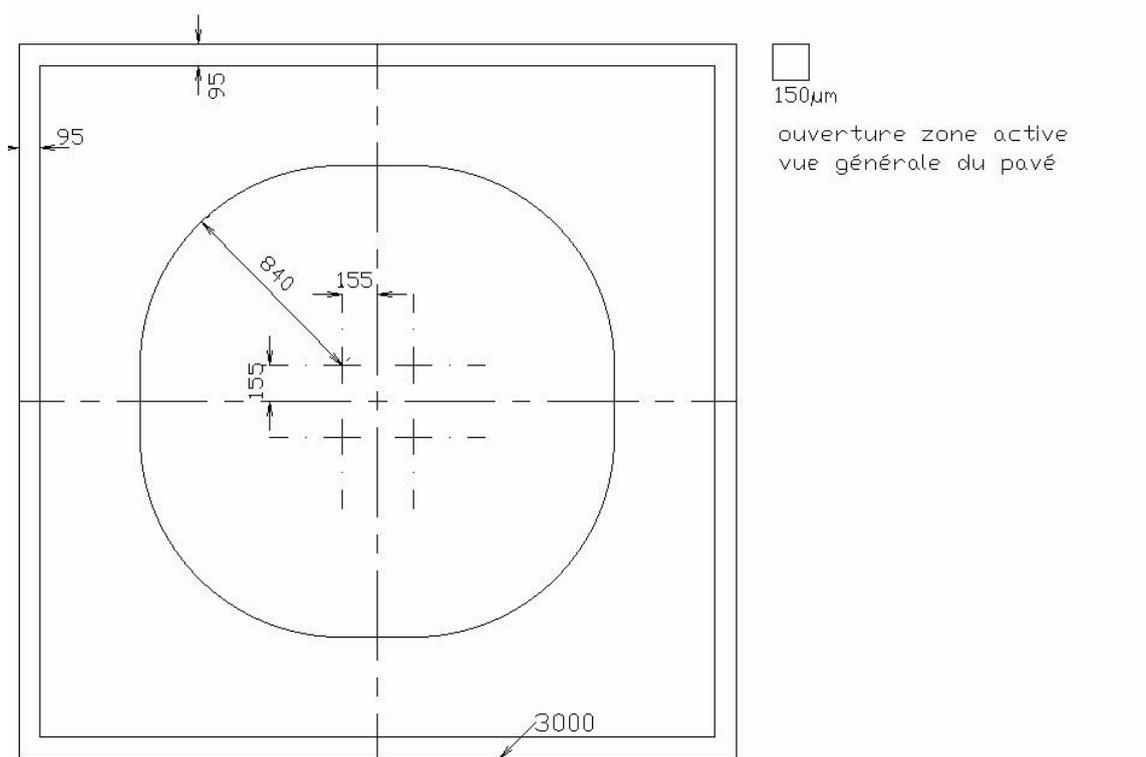


Figure 2-34 : Masque OZUT (niveau 3), ouverture de la zone active, vue générale avec cotations.

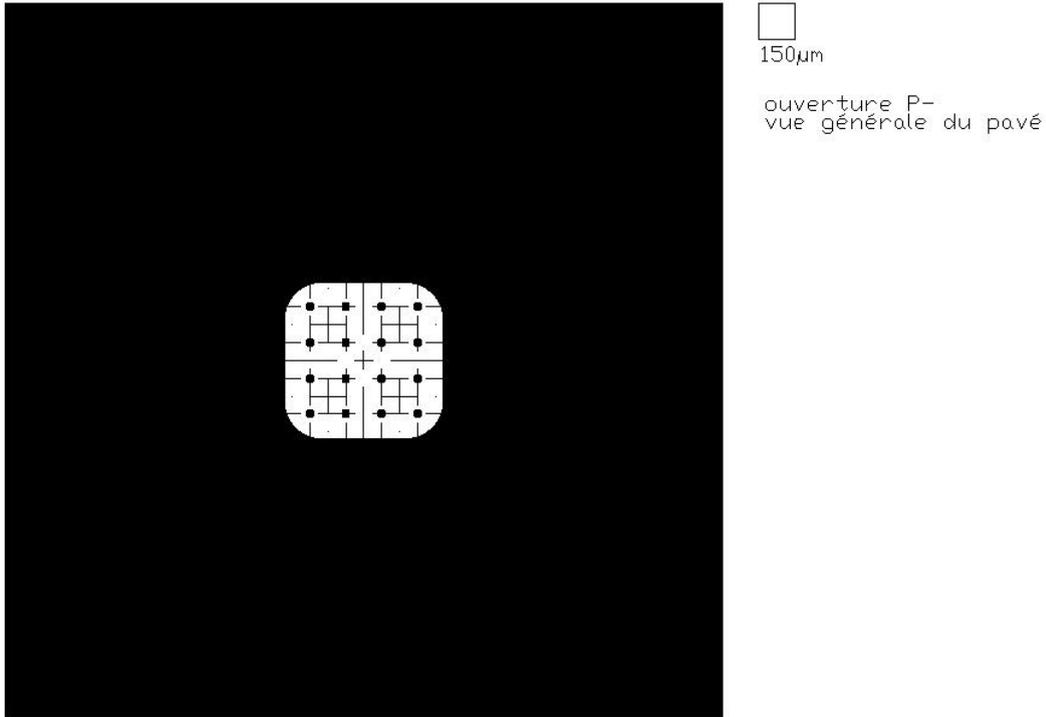


Figure 2-35 : Masque OBAS (niveau 4), ouverture pour la diffusion de base P-, vue générale.

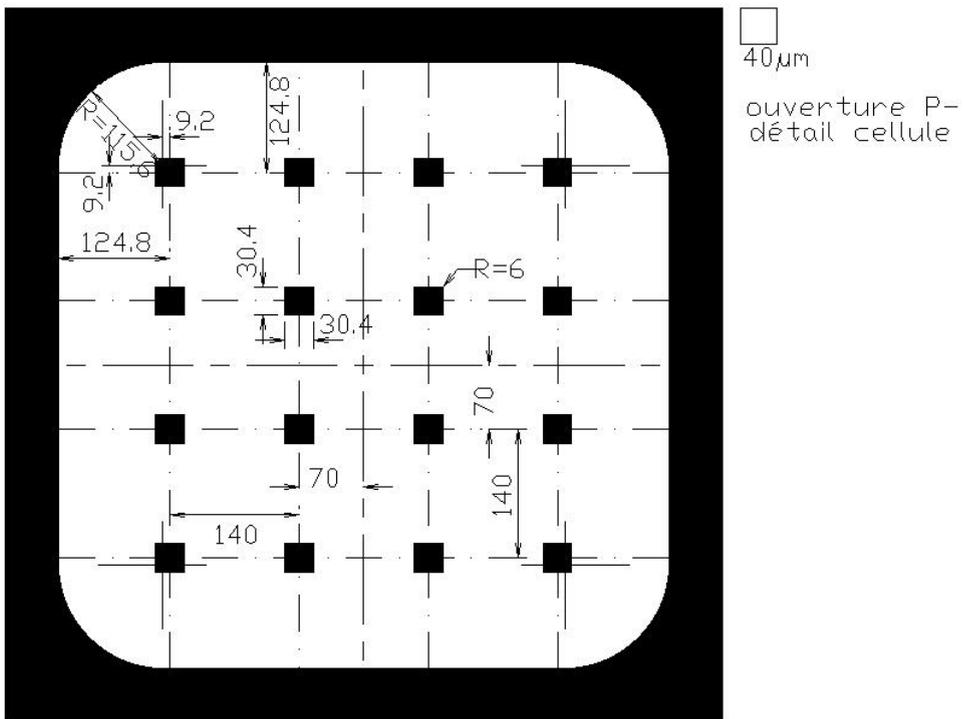


Figure 2-36 : Masque OBAS (niveau 4), ouverture pour la diffusion de base P-, vue détaillée.

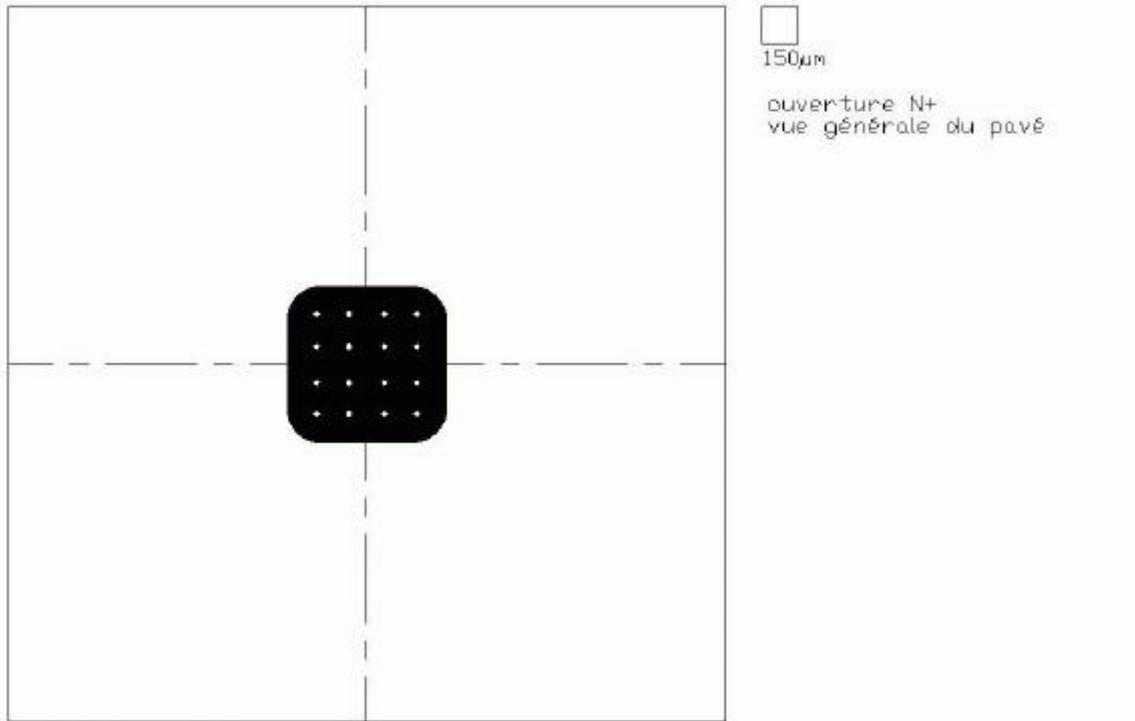


Figure 2-37 : Masque OEME (niveau 5), ouverture pour la diffusion N+, vue générale.

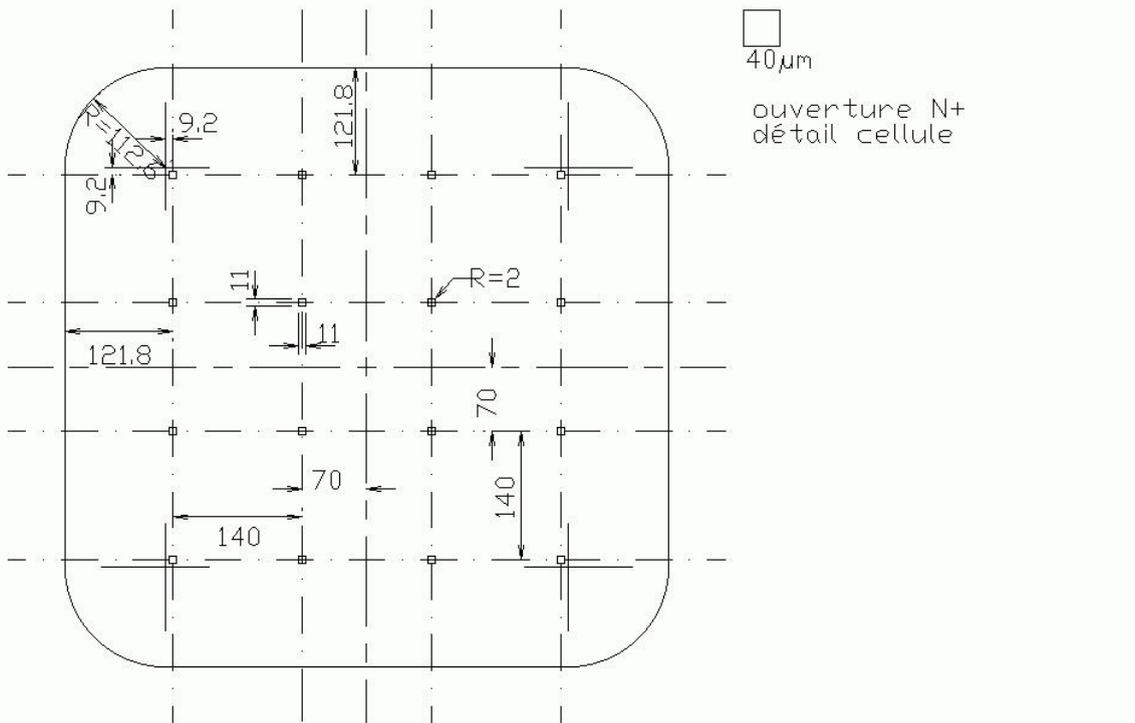


Figure 2-38 : Masque OEME (niveau 5), ouverture pour la diffusion N+, vue détaillée.

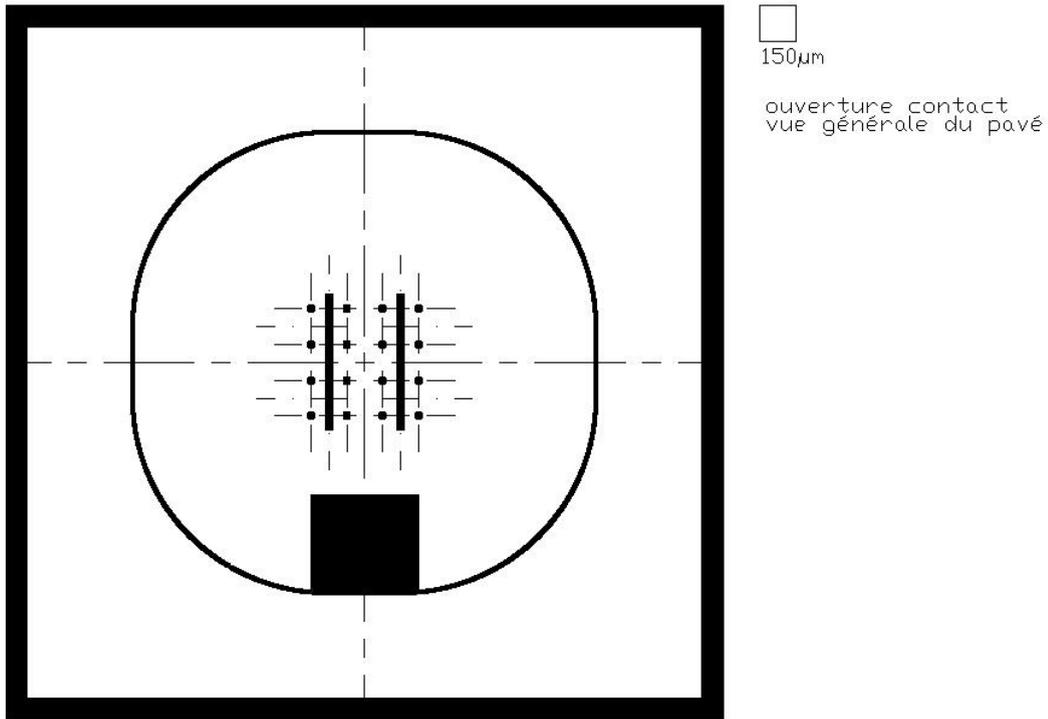


Figure 2-39 : Masque OCON (niveau 6), ouverture des contacts, vue générale.

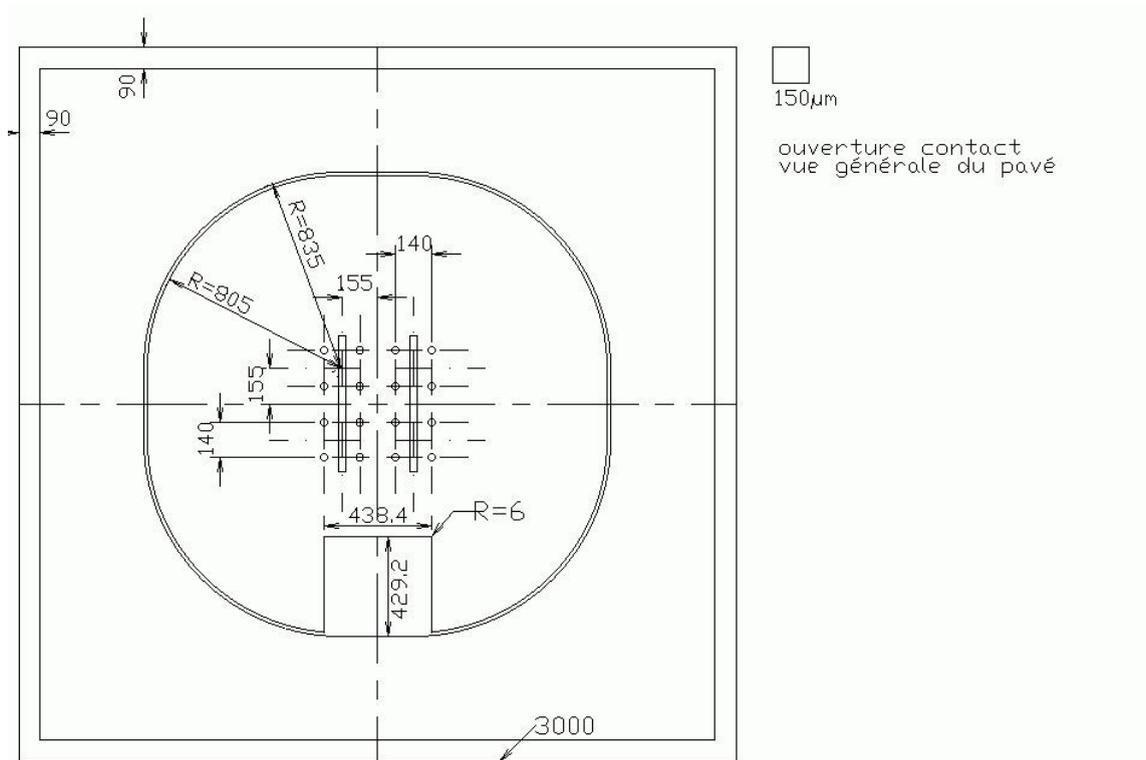


Figure 2-40 : Masque OCON (niveau 6), ouverture des contacts, vue générale avec cotations.

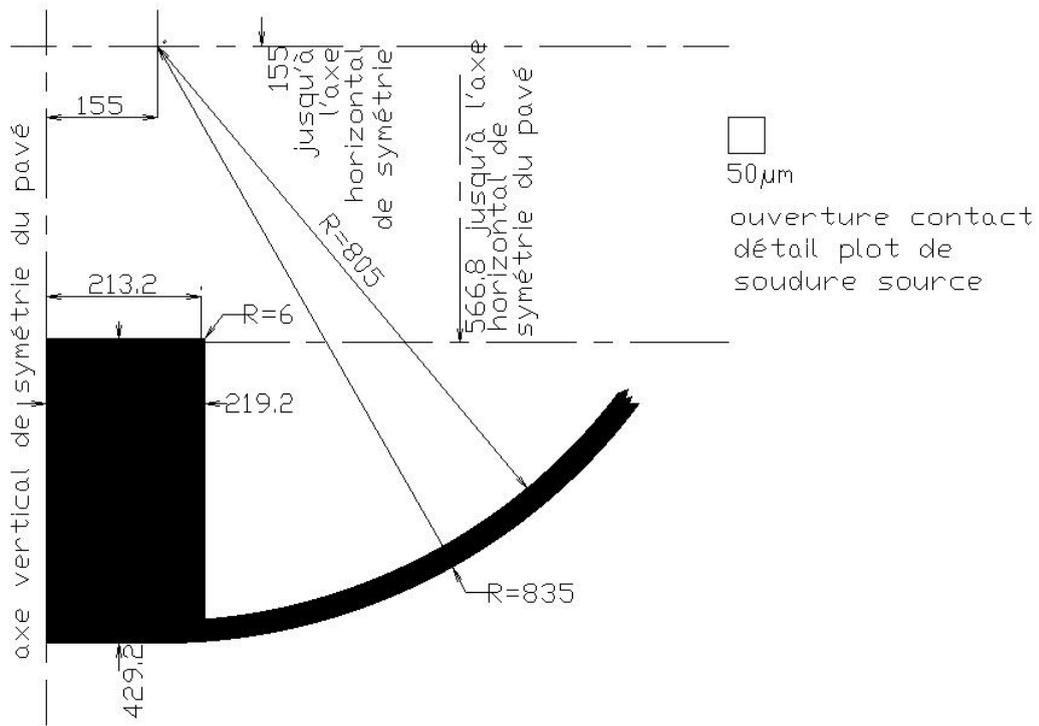


Figure 2-41 : Masque OCON (niveau 6), ouverture des contacts, détail du plot de soudure.

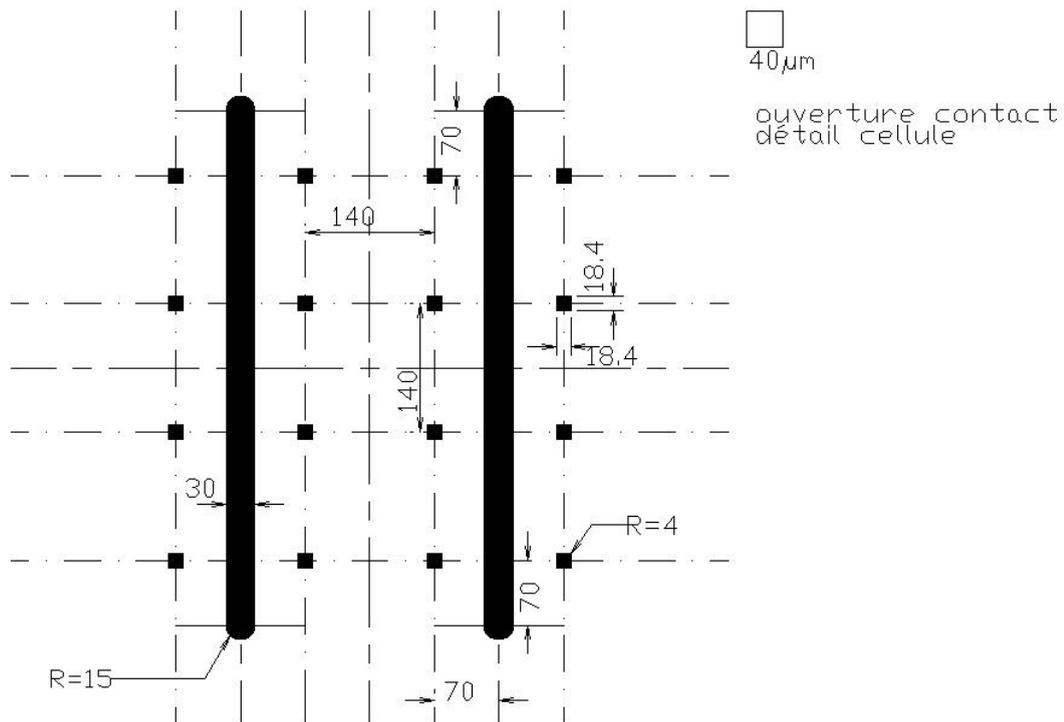


Figure 2-42 : Masque OCON (niveau 6), ouverture des contacts, vue détaillée.

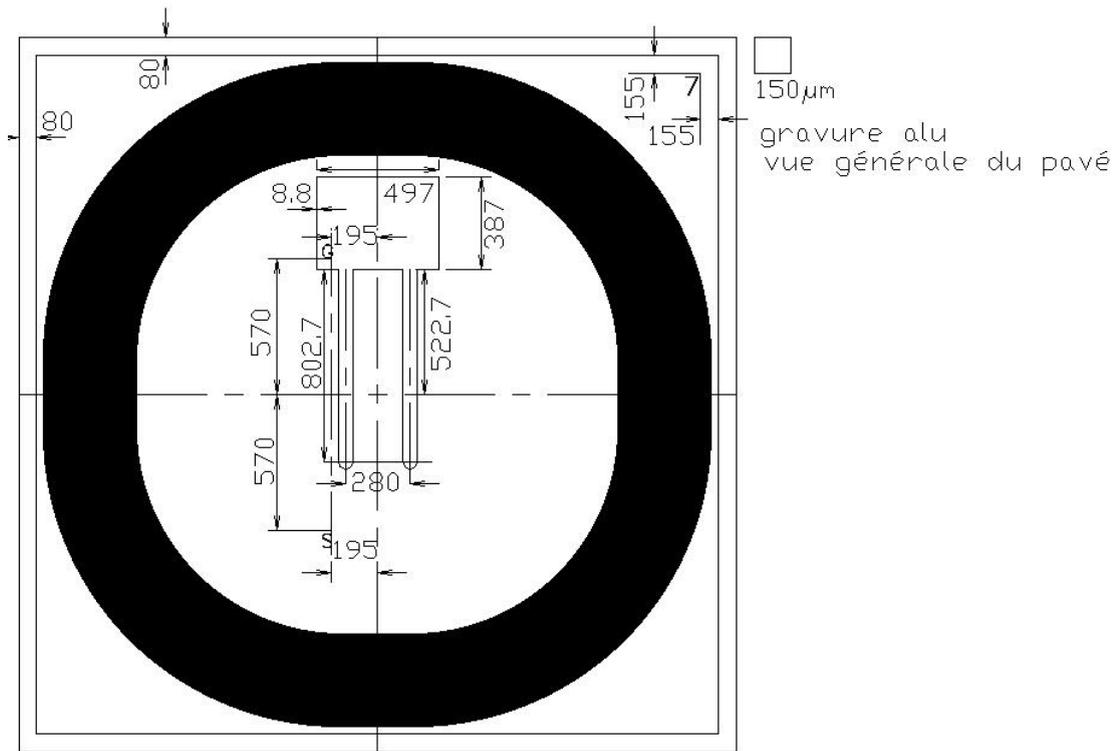


Figure 2-43 : Masque GALU (niveau 7), gravure aluminium, vue générale.

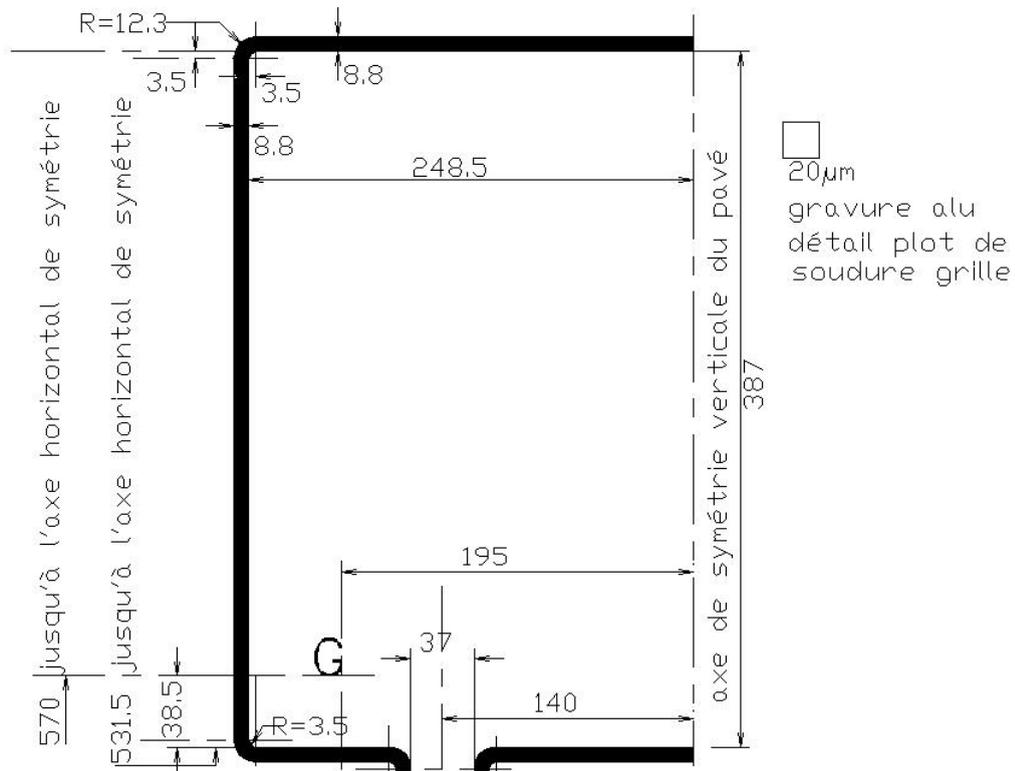


Figure 2-44 : Masque GALU (niveau 7), gravure aluminium, détail du plot de soudure de grille.

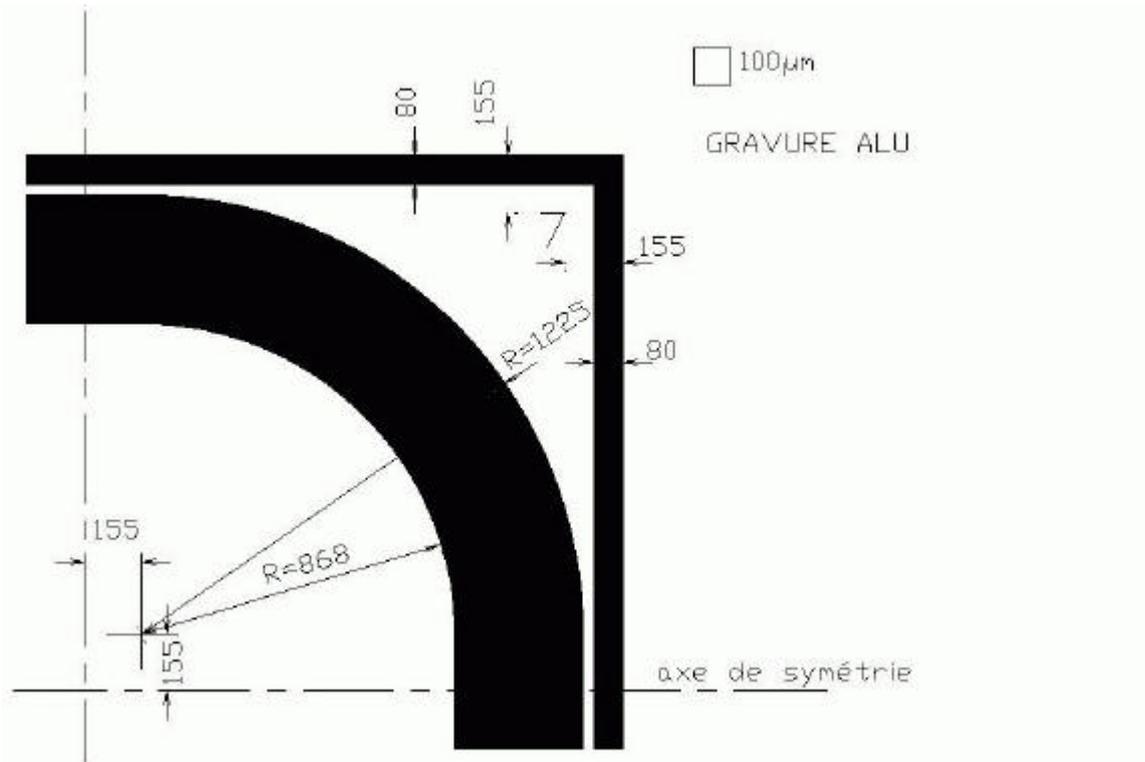


Figure 2-45 : Masque GALU (niveau 7), gravure aluminium, détail de la périphérie.

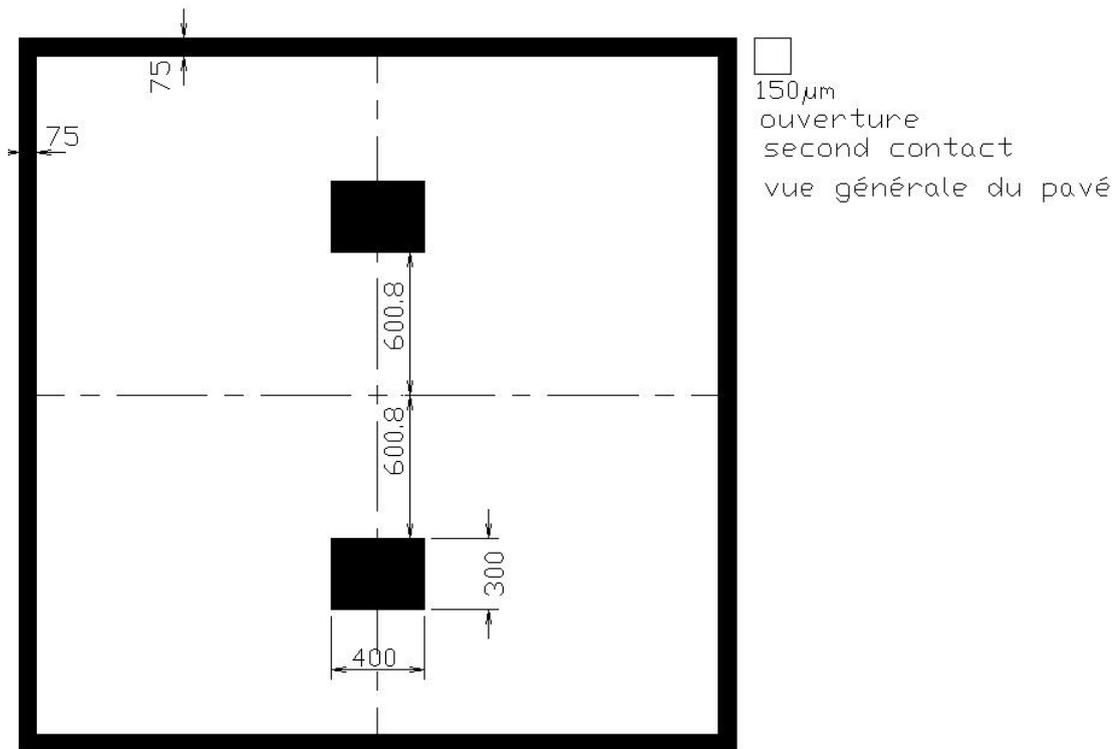


Figure 2-46 : Masque OSCO (niveau 8), ouverture des seconds contacts, vue générale.

2.3. Caractérisation électrique

Après la réalisation effective de ces prototypes, nous avons mené une caractérisation de ces derniers, par l'intermédiaire de tests électriques. Cette caractérisation, menée à la fois sur les wafers (tests sous pointes), et sur des composants montés en boîtier, doit servir d'étape de validation, tant au niveau réalisation technologique qu'au niveau modélisation du composant.

2.3.1. Tri des composants

Il nous a tout d'abord fallu mené une large campagne de sélection des composants sur une même tranche, afin d'éviter de monter en boîtier des composants défectueux. Cette caractérisation a été effectuée au CIME, à l'aide d'une machine de tests sous pointes KarlSuss, et d'un pont de mesures HP4155. Le support pour le wafer est polarisé au potentiel de drain, et nous venons poser, par observation au moyen de lunettes binoculaires, deux pointes sur les zones de contacts de Grille et de Source en face avant du composant. Il suffit en suite de lancer la mesure sur le pont, en choisissant de tracer soit la caractéristique de transfert $I_{DS}=f(V_{GS})$, soit la caractéristique de réseau statique $I_{DS}=f(V_{DS}@ V_{GS}=cte)$. C'est ensuite par observation du résultat obtenu que nous décidons si le composant est défectueux ou non.

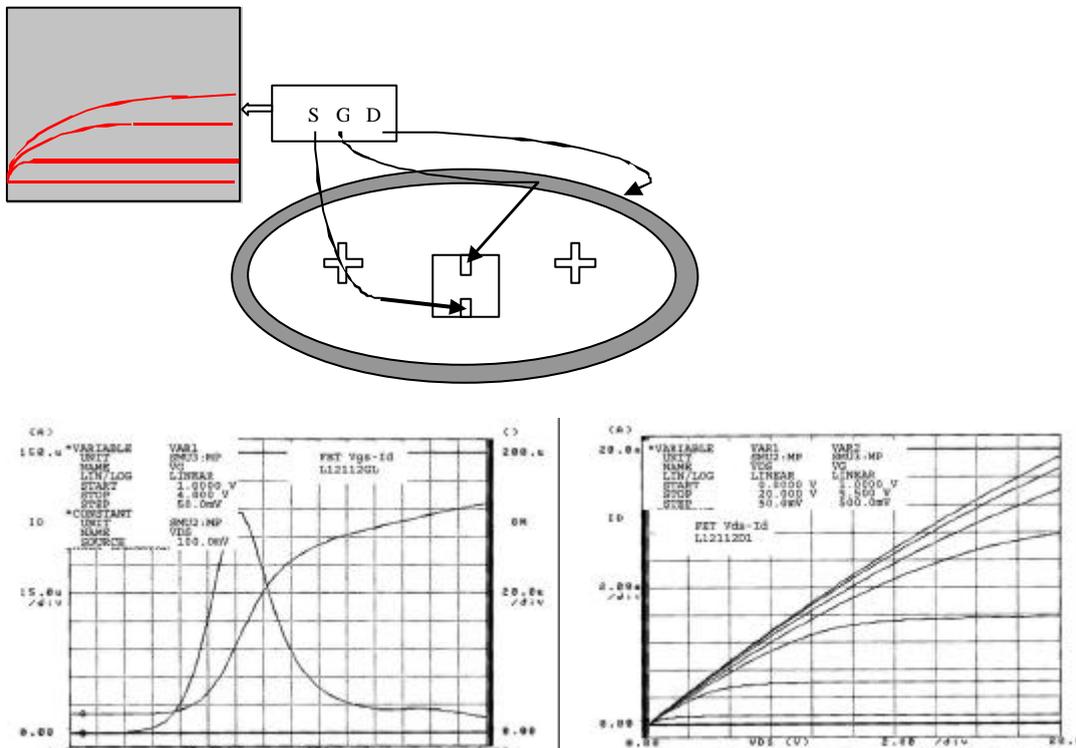


Figure 2-47 : Principe de mesure sous pointes, et exemples de caractéristiques obtenues.

En répétant ce travail sur l'ensemble des composants d'une même tranche, nous obtenons une cartographie du wafer présentant les composants susceptibles de fonctionner ou non. Ce travail a été mené sur les 3 lots de wafers. Les résultats de ces campagnes de mesures se trouvent en *Annexe C*. Nous présentons ci-dessous à titre d'exemple, la cartographie d'une tranche du lot A :

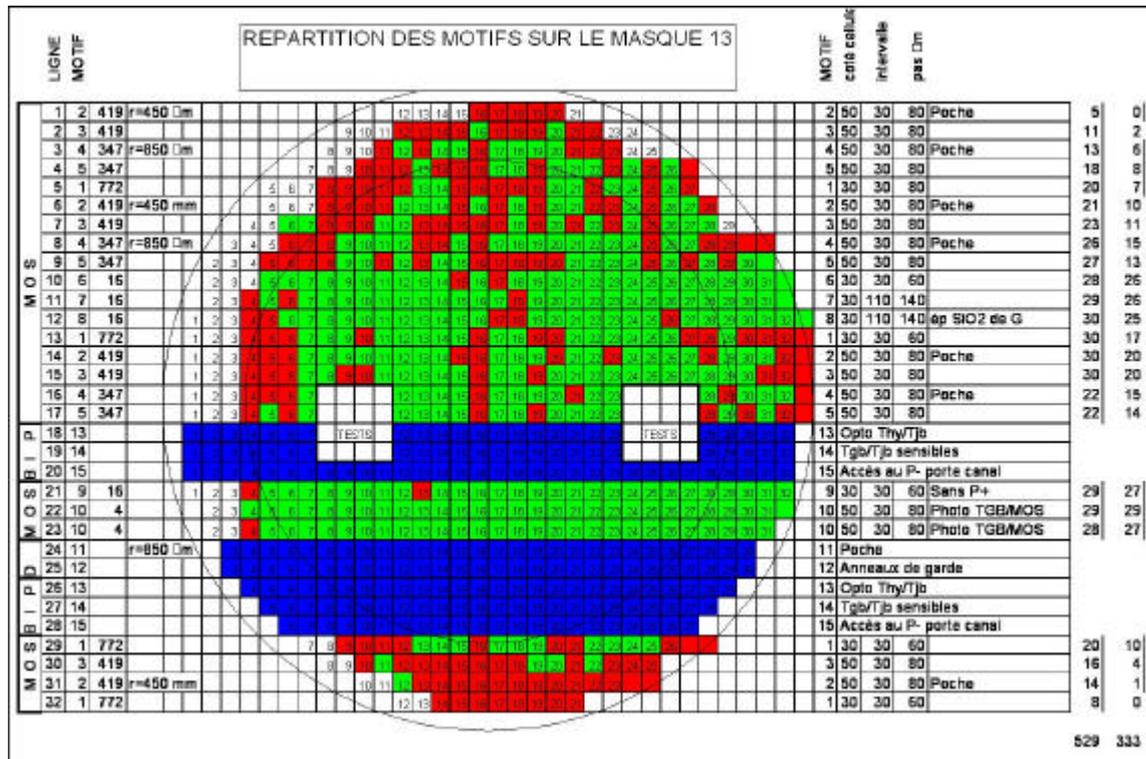


Figure 2-48 : Cartographie de la tranche A17. En bleu (noir en N&B), les composants hors étude, en rouge (gris foncé) les composants présentant un défaut de fonctionnement, en vert (gris clair) ceux susceptibles de fonctionner.

Ainsi, à l'issue de ces premières mesures, nous sommes en mesure de déterminer la tension de seuil V_{GSTh} , ainsi que la transconductance g_m ou encore la mobilité de surface μ_{ns} , via le paramètre K .

Ce type de test nous a permis de rejeter, au vu des caractéristiques obtenues au pont de mesure, certains composants défectueux, ou présentant des comportements inattendus. Ainsi, plusieurs phénomènes ont pu être observés :

- certains composants, notamment ceux du lot T, présentent une tension de seuil V_{GSTh} négative (aux alentours de $-1V$). Ceci est très ennuyeux pour la mise en œuvre des composants, puisque ces MOSFETs sont alors Normally ON. Il semblerait que ceci

soit dû au fait que ces tranches proviennent d'un ancien lot, ayant peut-être subi une étape technologique avant notre process. Aussi, nous avons abandonné les travaux sur ce lot de composants ;

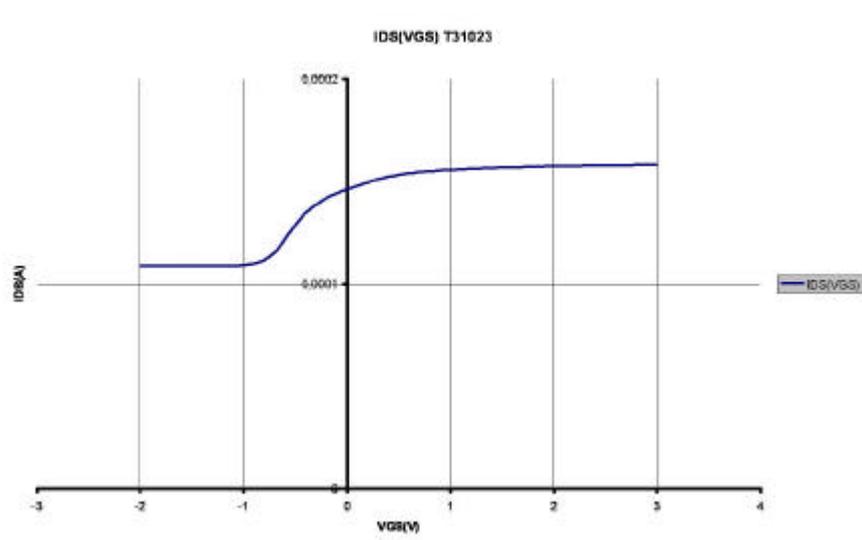


Figure 2-49 : Exemple de caractéristique d'un composant du lot T, illustrant le résultat de $V_{TH} < 0$.

- les composants du lot L présentent un très faible rendement ; seuls les motifs avec un faible nombre de cellules (motifs 6 à 10, comportant 4 ou 16 cellules élémentaires) semblent fonctionner. C'est une observation au microscope qui nous a permis de découvrir l'origine de ce mauvais résultat : de nombreux motifs, notamment ceux comportant beaucoup de cellules élémentaires, sont incomplets, voire décalés, et les structures de tenue en tension en anneaux de garde sont incomplètes, ratées voire même inexistantes. Tout ceci laisse à croire que le développement de la résine après insolation lors du second niveau de masquage s'est accompagné d'un décollement de cette résine. La résine insolée est alors soit partie entièrement (comme pour les anneaux de garde), soit s'est re-déposée un peu plus loin. Le fait que ce phénomène soit observé essentiellement pour des motifs à forte densité de cellules élémentaires s'explique en considérant qu'après insolation et développement, la résine restante présente un grand nombre de trous et de motifs très fins et longilignes (comme les anneaux de garde), et n'offre pas une grande adhérence au wafer (ce problème d'adhérence avait d'ailleurs été observé lors de la réalisation technologique du second niveau de masquage). Aussi, nous avons préféré porter nos efforts sur le dernier lot (lot A), qui lui présente des résultats de rendement beaucoup plus intéressants ;

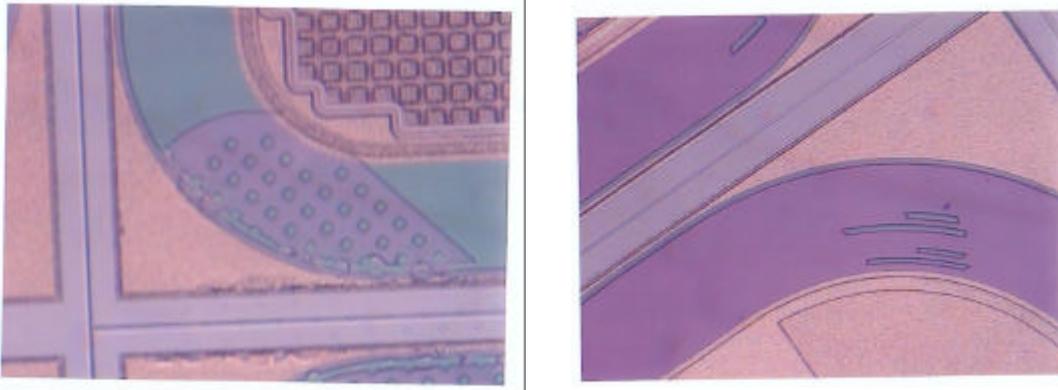


Figure 2-50 : Photographies illustrant le problème dû au décollement de la résine (à gauche, la résine a glissé et les motifs ont été réalisés au mauvais endroit, à droite les anneaux de garde n'ont pas tenu).

- les composants du dernier lot (lot A) ont quant à eux des comportements plus conformes à ce que nous attendions. Certes nous avons retrouvé des problèmes similaires à ceux du lot L sur 2 tranches, mais les autres wafers présentent quant à eux des rendements supérieurs à 60%, avec d'excellents résultats sur les motifs à faible densité de cellules élémentaires. Toutefois, nous avons pu noter deux types de défauts sur les composants de ce lot. Premièrement, un phénomène d'incurvation a pu être noté sur les caractéristiques $I_{DS}=f(V_{DS}@ V_{GS}=cte)$. Deux hypothèses sont avancées quant à cette incurvation : certains courts-circuits N+/P+ au niveau de la source ont pu être ratés (en raison d'un problème d'alignement des masques ou d'un problème d'insolation de la résine), et dans ce cas certaines cellules élémentaires du MOSFET ne fonctionnent pas, ou alors il s'agit éventuellement d'un problème d'homogénéité au niveau de la face arrière, susceptible d'entraîner de telles déformations. Deuxièmement, certains composants présentent une rupture abrupte de leur caractéristique $I_{DS}=f(V_{DS}@ V_{GS}=cte)$, lorsque la tension de commande V_{GS} augmente, comme illustré par la figure 239 (b). Ce second type de défauts est relativement inquiétant, puisque, d'une part, les limitations du pont de mesures HP4155, destiné à la micro-électronique (tension V_{DS} inférieure à 35V et courant I_D inférieur à 100mA), ne nous permet de tester nos composants que dans une très petite fenêtre du réseau statique (tension V_{DS} allant normalement jusqu'à 1000V et courant I_D de l'ordre de 5A), et d'autre part la limitation en courant du pont HP4155 peut masquer ce type de défauts s'il intervient à des niveaux de courant supérieurs à 100mA. Ainsi, il ne faut pas voir cette campagne de mesures comme une évaluation du rendement des wafers, mais plutôt comme un dénombrement (non exhaustif) des composants défectueux.

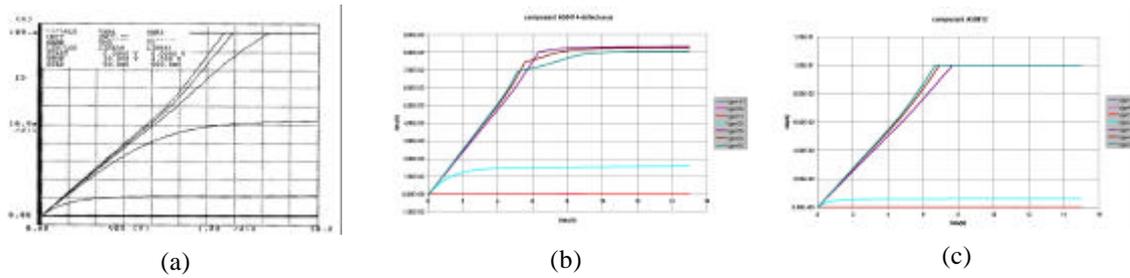


Figure 2-51 : Défauts observés sur le lot A – (a) phénomène d'incuration, (b) rupture abrupte, (c) composant supposé fonctionnel à cause de la limitation en courant du pont de mesures.

Les résultats complets (cartographie, rendement par tranche, par motif...) sont présentés en *Annexe C*.

Comme nous l'avons mentionné plus haut, ces tests nous permettent aussi d'obtenir des premiers résultats quand aux performances électriques des composants. Plusieurs techniques existent pour extraire à partir de tels relevés des paramètres tels que la tension de seuil V_{GSTh} , la transconductance g_m , le facteur K ou encore la mobilité de surface μns .

Une première méthode consiste à exploiter le réseau statique $I_{DS}=f(V_{DS}@ V_{GS}=cte)$ dans la zone de plateau, le courant I_{DS} vérifie la relation $I_{DS} = K \cdot (V_{GS} - V_{GSTh})^2 = \frac{C_0}{2} \cdot (V_{GS} - V_{GSTh})^2$.

En traçant la courbe $\sqrt{I_{DS}} = f(V_{GS})$, le calcul de la pente et l'abscisse à l'origine permettent de déterminer la valeur de K (et donc de la mobilité μns , connaissant la largeur et la longueur de canal), ainsi que la tension de seuil V_{GSTh} .

Une seconde méthode ([FIFRY]) exploite la caractéristique de transfert $I_{DS}=f(V_{GS})$ à faible valeur de tension V_{DS} (en l'occurrence 0,1V). En effet, en traçant la fonction

$$Y = \frac{I_{DS}}{\sqrt{\left(\frac{\partial I_{DS}}{\partial t}\right)_{V_{DS}=cte}}} = \sqrt{C_0 \cdot V_{DS}} \cdot (V_{GS} - V_{TH}),$$

il est possible d'obtenir par régression linéaire les valeurs de V_{GSTh} et de C_0 (et donc μns).

Les deux méthodes offrent des résultats équivalents, tant en terme de tension seuil que de mobilité surfacique. Les valeurs obtenues pour la tension seuil se situent entre 1.2 et 2V, avec une moyenne de 1.59V (la plupart des valeurs se situe entre 1.4 et 1.6V). La valeur théorique pour V_{GSTh} est donnée par la formule du chapitre 1 :

$$V_{GSTh} = \left(V_{FB} + 2 \cdot \frac{k \cdot T}{q} \cdot \ln \left(\frac{Na}{ni} \right) \right) + \frac{\sqrt{2 \cdot q \cdot Na \cdot \epsilon_0 \cdot \epsilon_{Si}} \cdot \sqrt{2 \cdot \frac{k \cdot T}{q} \cdot \ln \left(\frac{Na}{ni} \right)}}{\epsilon_0 \cdot \epsilon_{ox}}$$

soit avec $Na = 1.4 \cdot 10^{16} / \text{cm}^3$ et $\epsilon_{ox} = 100 \text{nm}$, une valeur théorique de $V_{GSTh} = 1.55 \text{V}$.

En revanche, les résultats obtenus pour la mobilité de surface sont nettement moins en accord avec la théorie. Les valeurs classiquement présentées dans la littérature situent cette mobilité entre 600 et 1000 cm^2/Vs , valeur inférieure à la mobilité des électrons dans le silicium (de l'ordre de 1400 cm^2/Vs , cette valeur étant fonction du dopage). Nos composants présentent quant à eux des valeurs de mobilité bien plus faibles : les composants du lot L semblent avoir des mobilités comprises entre 50 et 100 cm^2/Vs , et celles des composants du lot A se situent entre 100 et 300 cm^2/Vs (avec une mobilité moyenne de 220 cm^2/Vs). Nous obtenons donc pour ce dernier lot des valeurs qui sont du même ordre de grandeur que celles données dans la littérature, mais avec tout de même un rapport 3 ou 4. Ce résultat devra donc être pris en compte ultérieurement pour la comparaison entre les résultats expérimentaux et les courbes issues de la modélisation, notamment en ce qui concerne les réseaux statiques $I_{DS} = f(V_{DS} @ V_{GS} = \text{cte})$.

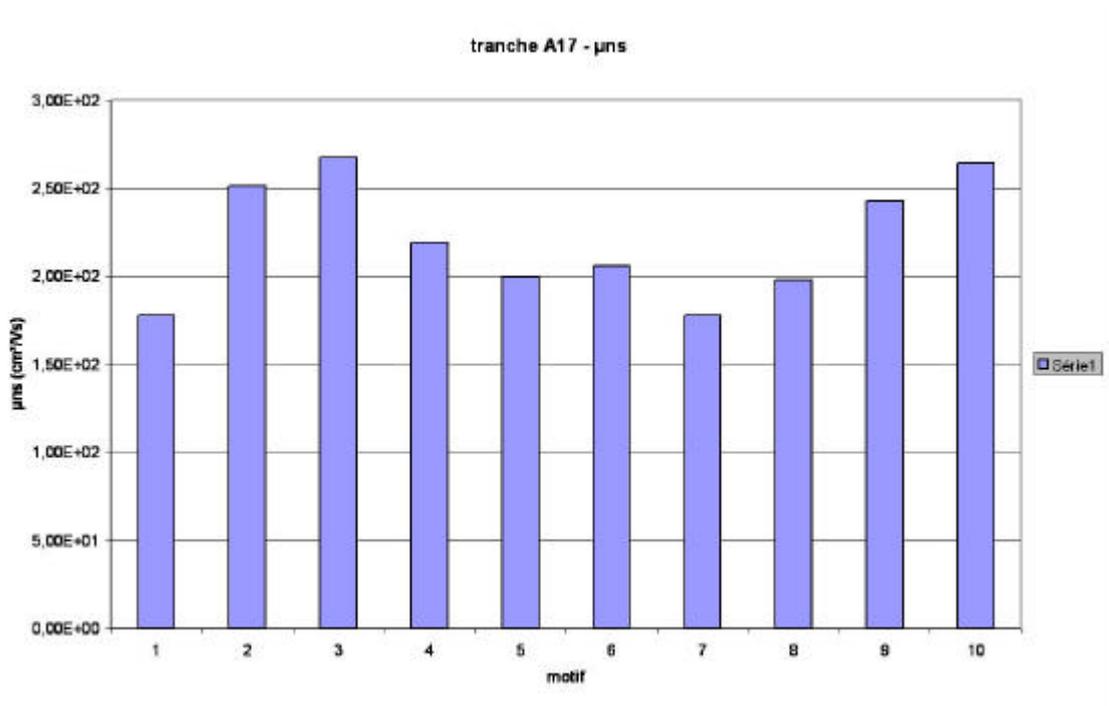


Figure 2-52 : Mobilités de surface observées en fonction du motif, pour la tranche A17 (étude menée sur un total de 333 motifs).

2.3.2. Caractérisation statique

Disposant d'une cartographie des composants fonctionnels pour chaque wafer, nous en avons monté quelques uns en boîtier, afin de pouvoir poursuivre le travail de caractérisation électrique. Pour la caractérisation statique, c'est-à-dire la détermination de paramètres tels que la tension de seuil, le facteur K , et la résistance à l'état passant R_{DSon} , nous avons utilisé un traceur Curve Tracer 371A. Nous avons pu ainsi confronter notre modèle de source de courant aux mesures. Les résultats présentés ici se limitent à l'exemple d'un motif n°4, mais cette étape de validation du modèle a bien sûr été effectuée sur d'autres motifs.

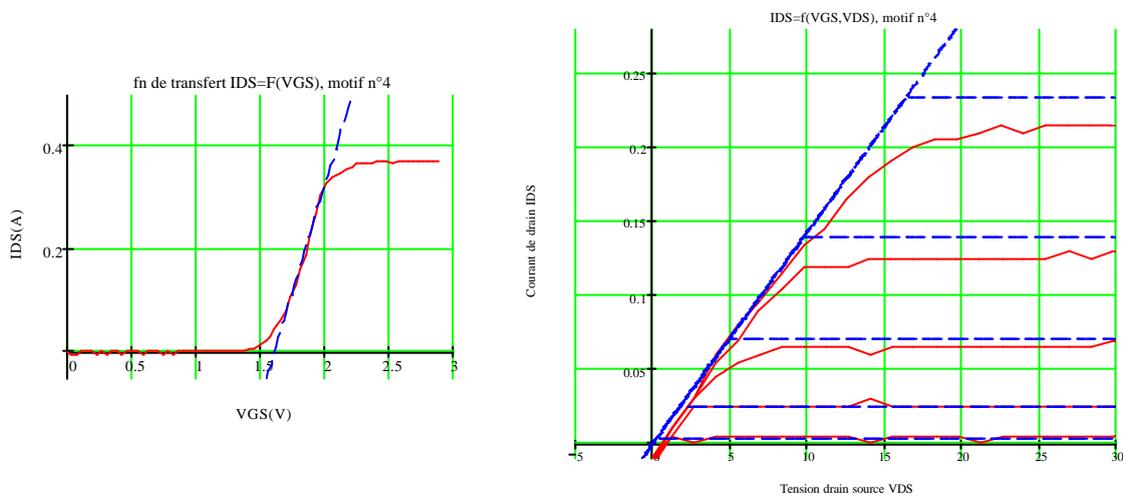


Figure 2-53 : Exemples de relevés au traceur 371A, sur un motif n°4, et comparaison avec le modèle (avec $\mu ns=300cm^2/Vs$).

Les résultats obtenus sont assez satisfaisants, puisque le relevé indique une valeur de R_{DSon} de 67Ω , pour une valeur théorique de 74Ω (cf. chap1 éq. 16). La tension de seuil V_{GSTh} relevée se situe vers $1.6V$, ce qui correspond bien à la valeur du modèle ($1.55V$). Les niveaux des plateaux de courant sont quant à eux décrits avec un peu moins de précision, le modèle semble légèrement surestimer les valeurs du courant I_{DS} , cette imprécision provient éventuellement de la difficulté à évaluer avec précision la mobilité de surface μns .

Le traceur 371A reste toutefois limité, puisque son fonctionnement se fait à puissance constante. Ainsi, tout comme le pont HP4155, son utilisation ne nous permet d'avoir une description du comportement des composants que dans certaines plages de tension V_{DS} et de courant I_{DS} . Aussi ces mesures ont été complétées, notamment par des mesures effectuées sur tranches à l'aide d'un générateur impulsionnel Velonex, permettant de tester les composants

sous pointes jusqu'à des tensions V_{DS} de 1000V (test impulsionnel de $2\mu s$). Nous présentons ici les résultats sur un motif n°2 (d'autres caractéristiques $I_{DS}=f(V_{DS}@ V_{GS}=cte)$ pour des motifs différents sont présentés en *Annexe D*).

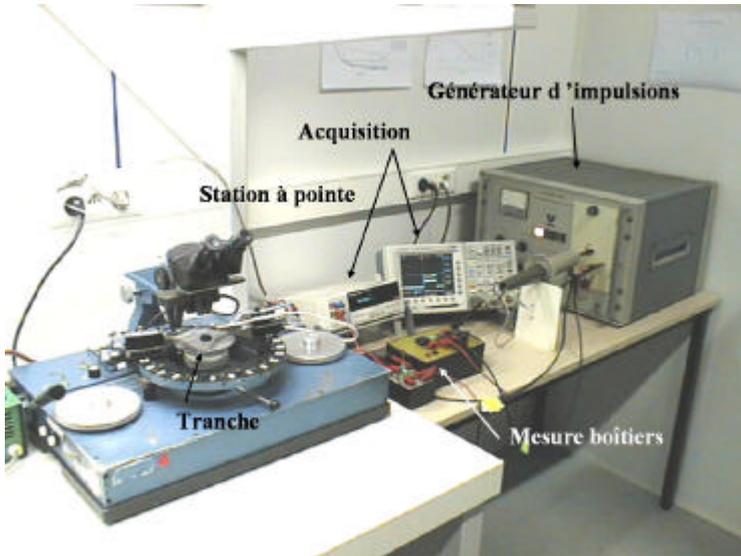


Figure 2-54 : Banc de mesures sous pointes et générateur d'impulsion ($2\mu s$) Velonex ([BOUCHET]).

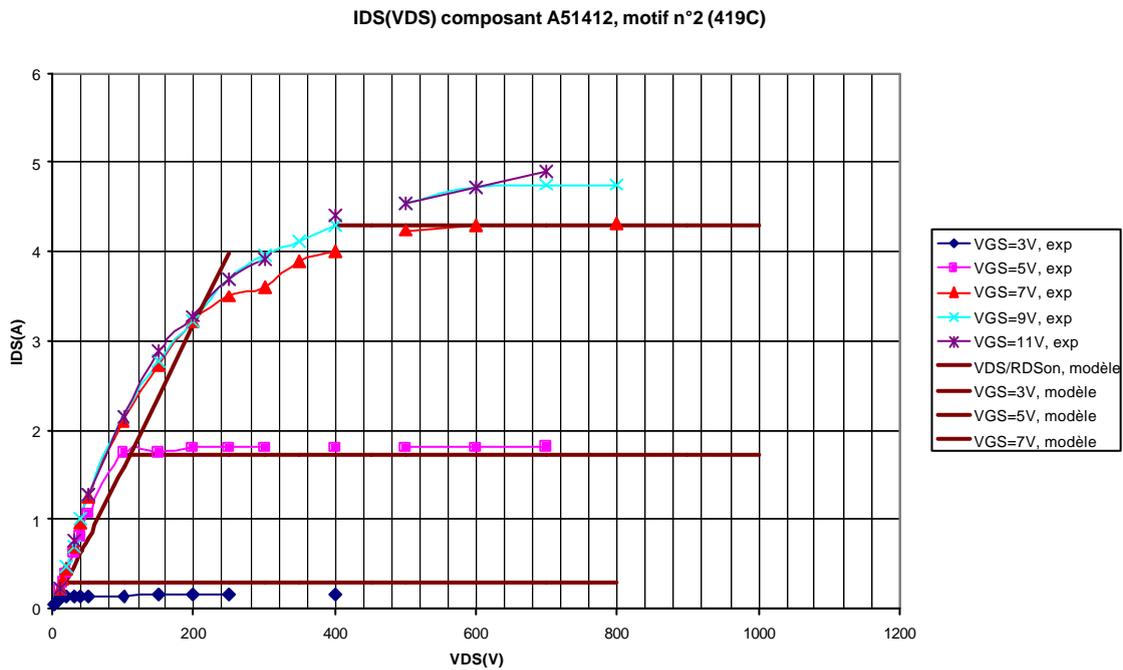


Figure 2-55 : Exemple de réseau statique $I_{DS}=f(V_{DS}@V_{GS}=cte)$, pour un motif n°2, et comparaison avec le modèle (avec $\mu ns=300cm^2/Vs$).

Là encore, nous observons une bonne concordance entre modèle et relevé expérimental, comme le résume le tableau suivant :

	V_{TH} (V)	R_{DSon} (W)	I_D (A) à $V_{GS}=3V$	I_D (A) à $V_{GS}=5V$	I_D (A) à $V_{GS}=7V$	I_D (A) à $V_{GS}=9V$
Expérience	1.55	45	0.16	1.8	4.3	4.75
modèle	1.55	63	0.305	1.726	4.307	8.048

De plus, en traçant à partir de ces relevés la caractéristique $\sqrt{I_{DS}} = f(V_{GS})$, nous obtenons une valeur de mobilité de surface $\mu_{ns}=308 \text{ cm}^2/Vs$, ce qui d'une part confirme les observations réalisées lors du tri des composants, et d'autre part justifie les écarts entre expérience et modèle, puisque nous avons alors supposé une valeur $\mu_{ns}=300 \text{ cm}^2/Vs$. Il faut de plus noter au passage le niveau de courant atteint par ce composant, presque 5A sous une tension $V_{DS}=700V$ et une tension de commande $V_{GS}=11V$; une telle caractérisation aurait été inenvisageable à l'aide du CurveTracer 371A. Toutefois, il faut noter un écart non négligeable sur la valeur de R_{DSon} (25%), ainsi qu'un facteur 2 sur la valeur du courant pour une tension de grille de 9V. Cet écart s'accroît de manière critique avec l'augmentation de V_{GS} .

L'erreur sur la valeur de la résistance à l'état passant peut être corrigé en tenant compte de l'épanouissement du courant entre la face avant et la face arrière du composant : en effet, si la dernière correspond à l'ensemble du pavé de silicium, la surface effective de la face avant est quant à elle amputée des zones de tenue en tension latérale, ainsi que des surfaces destinées aux prises de contact. Un calcul plus approfondi, tenant compte de ces considérations, conduit à une valeur théorique de 47Ω .

Le second écart, concernant les valeurs du courant pour des tensions de grille élevées, s'avère plus critique mais aussi plus compliqué à expliquer dans le cadre de ce chapitre. Nous observons de manière expérimentale un affaissement de la résistance apparente, ainsi qu'un resserrement des courbes de courant lorsque V_{GS} augmente. Ce phénomène de saturation du courant I_{DS} vis-à-vis de la tension de commande V_{GS} a fait l'objet de plusieurs études, études qui ont permis de montrer l'influence et l'importance de la zone inter-cellulaire dans le comportement des MOSFETs (en particulier pour des composants haute tension). L'analyse et la compréhension des phénomènes en jeu ont donné lieu à plusieurs publications successives dans le congrès national EPF ([NALLET], [BOUCHET-2], [VERNEAU-3]) et ont été présentées dans une thèse ([BOUCHET]). Nos deux plus récents articles sur ce sujet constituent l'Annexe E, et décrivent l'analyse et la modélisation de ce phénomène de saturation. Ils présentent aussi les considérations d'épanouissement du courant pour le calcul

de la résistance à l'état passant, et introduisent la notion de résistance dynamique. Nous présentons sur la figure suivante un résumé des principaux résultats obtenus quant à la modélisation de ce phénomène de saturation du courant I_{DS} :

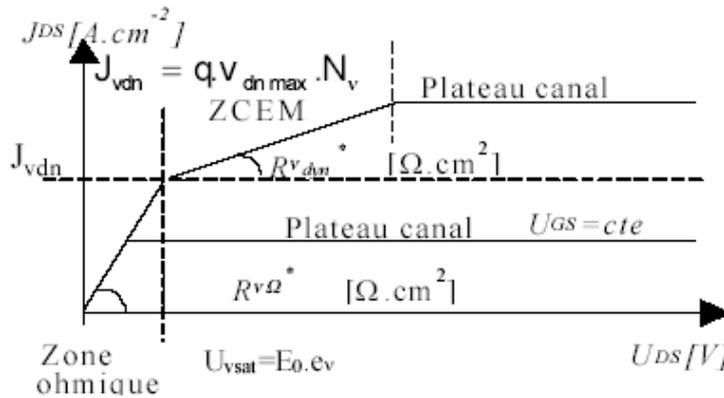


Figure 2-56 : Modèle à 3 segments pour le réseau $J_{DS}=f(V_{DS})$.

Nous avons pu vérifier sur nos relevés expérimentaux une assez bonne concordance entre les mesures et le modèle présenté en Annexe E.

Nous pouvons à l'issue de ces tests valider notre modèle quant aux performances statiques, tout en gardant à l'esprit les remarques concernant les différents écarts (mobilité de surface, résistance à l'état passant, et notion de résistance dynamique).

2.3.3. Caractérisation dynamique

Pour valider notre modélisation en dynamique, un banc de caractérisation a été élaboré, reprenant le même principe que [AUBARD].

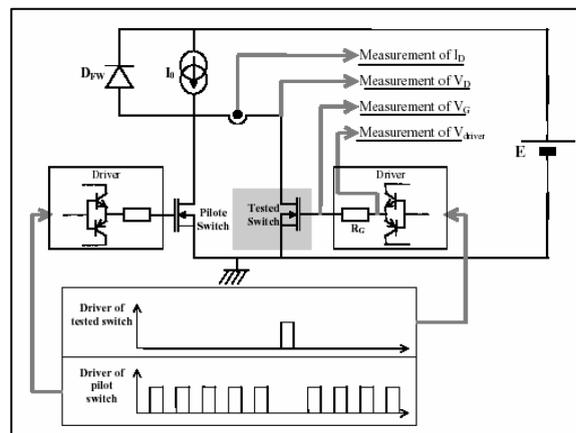
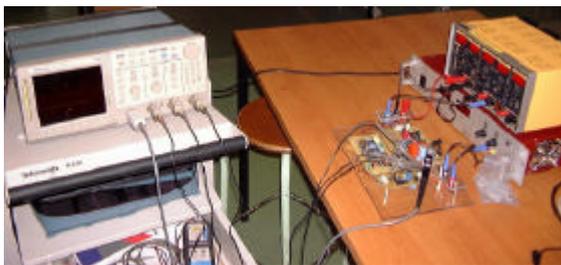


Figure 2-57 : Photos du banc de mesures, et schéma illustrant le principe de fonctionnement.

Nous avons choisi d'effectuer des relevés de commutations lentes, afin de pouvoir distinguer les différentes phases que nous avons décrites au chapitre 1. Pour cela, nous utilisons une forte résistance de grille ($R_g=1k\Omega$) ; de plus, pour s'affranchir de la dépendance de certains paramètres à la température, le composant sous test se trouve en parallèle avec un autre interrupteur de puissance, et ne commute qu'une fois sur 1024. Les mesures de courant et de tension sont effectuées à l'aide de sondes et les relevés sont réalisés sur un DSA Tektronix602.

Nous présentons ci-dessous la comparaison pour les tensions V_{GS} et V_{DS} entre les relevés expérimentaux d'un composant motif n°4, et notre modèle. Les paramètres utilisés pour la simulation sont résumés dans le tableau 2-4.

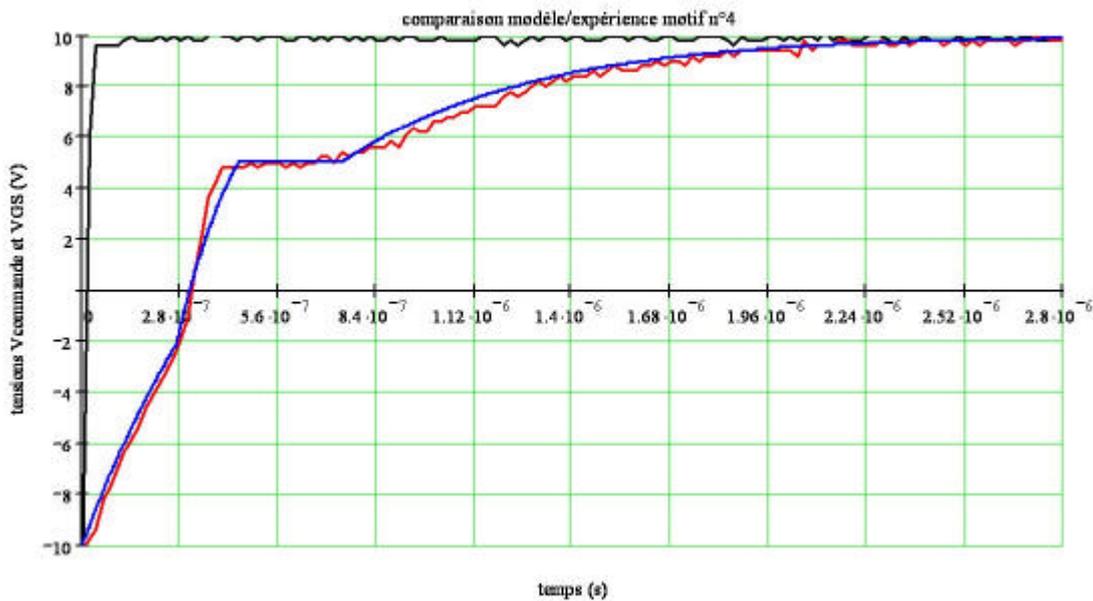


Figure 2-58 : Evolution de la tension V_{GS} lors de la commutation à l'amorçage, comparaison entre expérience et modèle.

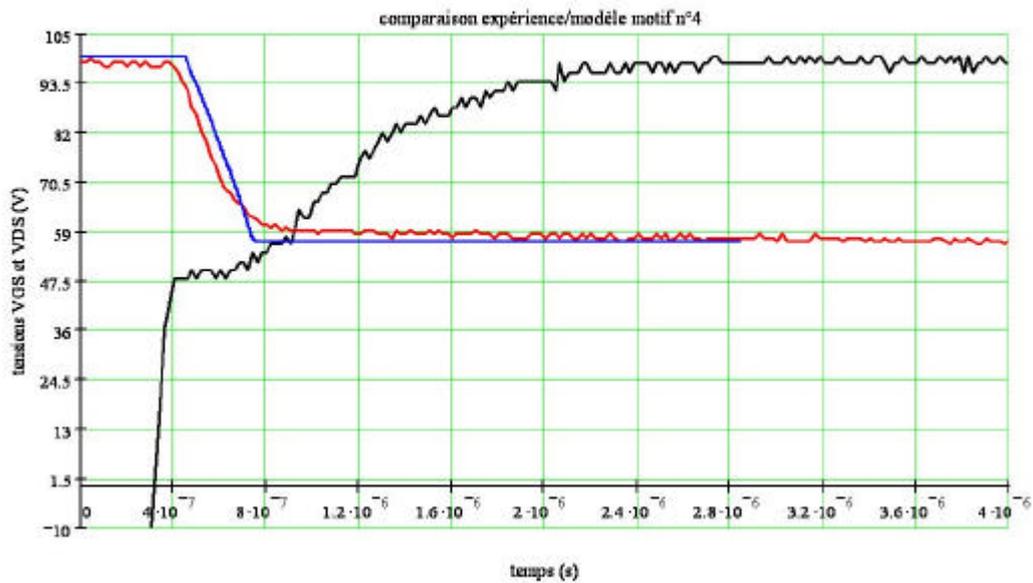


Figure 2-59 : Evolution de la tension V_{DS} lors de la commutation à l'amorçage, comparaison entre expérience et modèle (la tension V_{GS} est ici multipliée par un facteur 10).

N_a (cm^{-3})	N_v (cm^{-3})	e_{ox} (μm)	t_i (μm)	L_{cell} (μm)	$L_{intercell}$ (μm)	L_{canal} (μm)	L_{rec} (μm)	N_{cell}
$3.9 \cdot 10^{16}$	$8.8 \cdot 10^{13}$	0.1	1	60	20	2	1	347

Tableau 2-4 : Paramètres pour la simulation.

Les résultats obtenus montrent une bonne concordance entre expérience et modèle, notamment au niveau de la courbe de tension V_{GS} . Le modèle semble rendre compte de l'ensemble des phénomènes observés expérimentalement (rupture de pente dû aux variations des capacités inter-électrodes, plateau Miller, tensions de seuil séparant les différentes phases). Les résultats obtenus sur la tension V_{DS} sont quant à eux satisfaisants, même si l'écart existant entre mesure et modèle est plus important que dans le cas de la tension de commande. Il faut noter que nos composants ont toutefois un mode de fonctionnement différent de celui présenté dans le chapitre 1. En effet, comme ces composants ont été réalisés sur un substrat faiblement dopé, ils présentent à l'état passant des résistances R_{DSon} relativement élevées. Aussi, dans notre cas le seuil entre les phases 5 et 6 (normalement égal à V_X) n'existe pas, puisque la tension à l'état passant V_{DSon} lui est supérieure. Ceci explique pourquoi le relevé de la figure précédente ne présente qu'une seule phase de décroissance de la tension V_{DS} : le composant passe directement de la phase 5 à la phase 7. Notre modèle dynamique semble donc validé, excepté en ce qui concerne la phase 6.

Toutefois, les bons résultats obtenus sur différents composants du commerce, tels que ceux présentés au chapitre 1 pour des composants MOTOROLA et SIEMENS (figures 1-44&45), nous permettent de considérer que notre modélisation du MOSFET en commutation est valide sur l'ensemble des 7 phases de la commutation, même si nos prototypes ne nous permettent pas une validation effective de la phase 6. La décomposition de la commutation en phases successives, correspondant aux différents états des 2 structures MIS, permet donc de décrire avec précision l'évolution des tensions et courants durant la commutation.

2.4. Relations paramètres électriques / paramètres physiques

Notre modélisation développée au chapitre 1 étant maintenant validée tant du point de vue statique que du point de vue dynamique, nous nous sommes intéressés à des études de sensibilité aux différents paramètres, qu'ils soient physiques (dopages), géométriques (motifs) ou électriques (tensions et courants appliqués). Notre étude, effectuée à partir du modèle, s'est penchée sur 2 types de paramètres, à savoir les tensions seuils séparant les différentes phases, et les paramètres pour la modélisation des capacités inter-électrodes. Le but de cette analyse (qui porte sur un composant à cellules carrées, mais peut être adaptée à un MOSFET interdigité) est de dégager des règles de conception d'un composant MOSFET nécessitant, à l'amorçage, de faibles apports énergétiques au niveau de la grille, et ce dans une perspective d'intégration. Il s'agit donc d'adapter les niveaux des tensions seuils de façon à pouvoir appliquer une commande d'amplitude restreinte, tout en conservant des valeurs de capacités inter-électrodes acceptables quant à la dynamique du composant. Nous souhaitons, à travers cette étude, déterminer sur quels paramètres géométriques ou physiques nous avons la possibilité de jouer afin d'ajuster les formes d'onde en commutation (notamment au niveau de la tension de commande V_{GS}) de manière à disposer d'un composant pouvant satisfaire des conditions de fonctionnement spécifiques.

2.4.1. Etude des dépendances des tensions seuils pour la commutation en 7 phases.

Nous allons maintenant étudier plus en détail les expressions analytiques des différentes tensions de seuil séparant les phases de commutation, en fonction des paramètres « composant » (niveaux de dopage, géométrie) et des paramètres électriques.

Seuil phases 1 / 2 : $V_{GS} = V_{Tn}$.

Nous rappelons la formule établie au chapitre 1 :

$$V_{Tn} = \left(V_{FBn} - 2 \cdot \frac{k \cdot T}{q} \cdot \ln \left(\frac{N_n}{n_i} \right) \right) - \frac{\sqrt{2 \cdot q \cdot N_n \cdot e_0 \cdot e_{si}} \cdot \sqrt{V_0 + 2 \cdot \frac{k \cdot T}{q} \cdot \ln \left(\frac{N_n}{n_i} \right)}}{e_0 \cdot e_{ox}} \quad \text{éq. 38}$$

avec : $V_{FBn} = \Phi_{ms}$.

Les paramètres sont donc : N_n (dopage zone v), e_{ox} (épaisseur d'oxyde de grille), et V_0 (tension commutée).

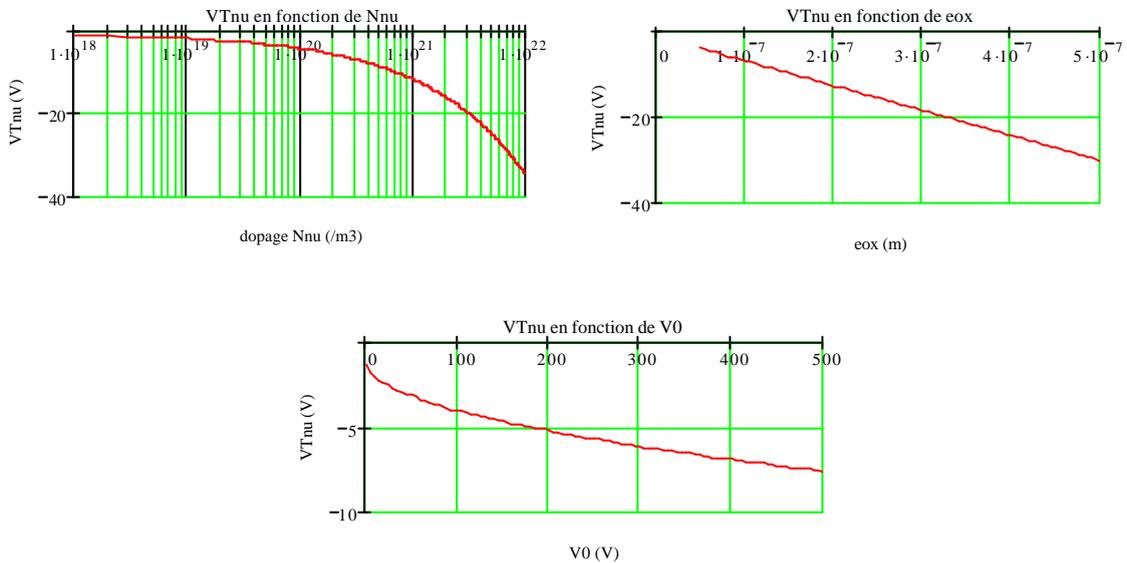


Figure 2-60 : Sensibilité du paramètre V_{Tn} au dopage N_n , à l'épaisseur d'oxyde de grille e_{ox} , et à la tension commutée V_0 .

Ces résultats permettent de voir que cette tension V_{Tn} diminue avec l'augmentation de chacun des paramètres. Toutefois, dans la mesure où le dopage N_n est fixé par la tenue en tension du composant (cf. chapitre 1), et compte tenu du fait que la tension commutée V_0 est un paramètre extérieur au composant, nous retiendrons que c'est essentiellement sur l'épaisseur d'oxyde de grille e_{ox} que nous pourrions agir afin d'influencer le niveau de ce seuil.

Seuil phases 2 / 3 : $V_{GS} = V_{FB} = \Phi_{ms}$.

Pour cette tension seuil, égale à la différence des travaux de sortie du métal et du semi-conducteur, il n'existe pas de paramètres à étudier. Ce niveau est en fait fixé par le choix de la technologie (Silicium dans cette étude) et du métal de grille (Aluminium).

Seuil phases 3 / 4 : $V_{GS} = V_T$.

Nous rappelons la formule établie au 1^{er} chapitre pour la tension de mise en conduction du canal du MOSFET :

$$V_T = \left(V_{FB} + 2 \cdot \frac{k \cdot T}{q} \cdot \ln \left(\frac{N_a}{n_i} \right) \right) + \frac{\sqrt{2 \cdot q \cdot N_a \cdot e_0 \cdot e_{Si}} \cdot \sqrt{2 \cdot \frac{k \cdot T}{q} \cdot \ln \left(\frac{N_a}{n_i} \right)}}{e_{ox}} \quad \text{éq. 39}$$

Les paramètres sont donc : N_a (dopage zone P), e_{ox} (épaisseur d'oxyde de grille).

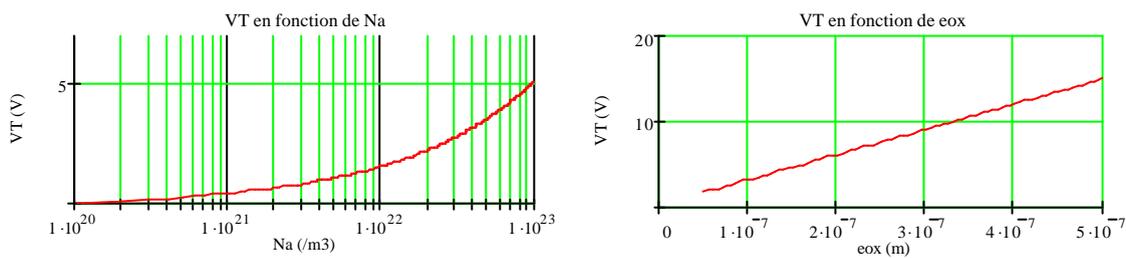


Figure 2-61 : Sensibilité du paramètre V_T au dopage N_a et à l'épaisseur d'oxyde de grille e_{ox} .

Ainsi, la tension de seuil $V_T = V_{GSTh}$ augmente avec le dopage N_a et l'épaisseur d'oxyde de grille e_{ox} . Il est donc possible de choisir cette tension de seuil en intervenant sur au choix sur un des 2 paramètres. La dépendance vis-à-vis du dopage N_a nous laisse ainsi un degré de liberté dans le cas où l'épaisseur e_{ox} serait imposée par une autre contrainte.

Remarque : il faut noter que pour cette analyse de sensibilité des tensions de seuils au paramètre de dopage N_a , le dopage considéré est une valeur moyenne. En effet, compte tenu du fait que le canal est obtenu par double diffusion, le profil de dopage le long de celui-ci n'est pas uniforme, mais diminue au fur et à mesure que nous nous éloignons de l'îlot de source N^+ . la variable N_a considérée dans ces calculs correspond donc à une valeur moyenne,

calculée à partir des données d'implantation (dose et énergie d'implantation) et de diffusion (concentration en surface C_S et profondeur de diffusion x_j).

Seuil phases 4 / 5 : $V_{GS} = V_{Gsat} = V_{plateau}$.

Ce seuil correspond au niveau de tension du plateau Miller, c'est-à-dire quand le MOSFET voit passer le plein courant I_0 . Il dépend donc directement du courant commuté I_0 , et donc du facteur de pente K du MOSFET, qui lui dépend de la géométrie du composant. En tenant compte de tous ces paramètres, la formule pour cette tension seuil est la suivante :

$$V_{Gsat} = \sqrt{2 \cdot I_0 \cdot \frac{L_{canal}}{4 \cdot N_{cell} \cdot (L_{cell} - L_{canal})} \cdot \frac{1}{m_{ns}} \cdot \frac{e_{ox}}{e_0 \cdot e_{ox}}} + \left(V_{FB} + 2 \cdot \frac{k \cdot T}{q} \cdot \ln \left(\frac{N_a}{n_i} \right) \right) + \frac{\sqrt{2 \cdot q \cdot N_a \cdot e_0 \cdot e_{Si}} \cdot \sqrt{2 \cdot \frac{k \cdot T}{q} \cdot \ln \left(\frac{N_a}{n_i} \right)}}{e_{ox}} \quad \text{éq. 40}$$

Les paramètres sont donc : I_0 (courant commuté), N_a (dopage zone P), e_{ox} (épaisseur d'oxyde de grille), N_{cell} (nombre de cellules élémentaires), L_{cell} (côté d'une cellule), L_{canal} (longueur de canal).

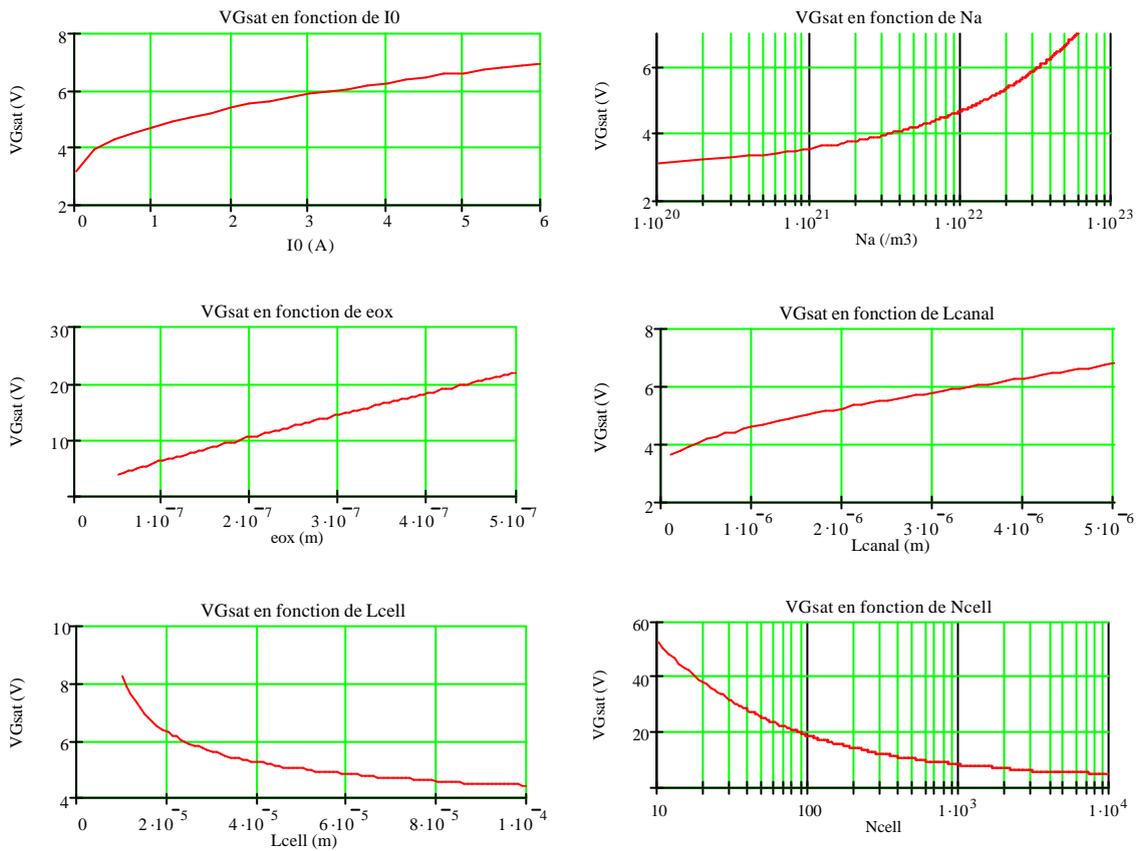


Figure 2-62 : Sensibilité du seuil V_{Gsat} aux différents paramètres.

Compte tenu du fait que le niveau V_{Gsat} correspond au plateau Miller, il est préférable de commander le composant avec un niveau de tension haut légèrement supérieur à V_{Gsat} . En effet, le courant de grille vaut alors $V_{commax} - V_{Gsat} / R_G$. En minimisant l'écart entre V_{Gsat} et V_{commax} , il est possible de diminuer la quantité de charges de grille durant la phase de plateau. Nous pouvons donc, selon les degrés de liberté sur le composant et ceux sur le circuit de commande, choisir d'abaisser la tension haute de commande, ou d'augmenter le niveau V_{Gsat} . (en intervenant par exemple sur les largeur et nombre de cellules élémentaires).

Seuil phases 5 / 6 : $V_{DS} = V_X$.

La formule établie au chapitre 1 est :

$$V_X = V_{Gsat} - V_{FBn} \tag{eq. 41}$$

La dépendance de V_X est donc la même que celle de V_{Gsat} , à V_{FBn} près.

Les paramètres sont donc les mêmes que précédemment (phases 4/5), dans la mesure où le potentiel de bande plate de la zone v est fixé par le choix des matériaux (Silicium et Aluminium).

Seuil phases 6 / 7 : $V_{DS} = V_{DSon} = R_{DSon} \cdot I_0$.

Ce dernier seuil, correspondant à la chute de tension à l'état passant, est directement proportionnel au courant commuté I_0 . Dans la mesure où cette tension intervient dans l'expression des pertes en conduction du composant, il est légitime de vouloir le minimiser, en essayant d'avoir la résistance à l'état passant la plus faible possible. Nous présentons ici l'expression de cette chute de tension dans le cas de composants haut tension (dans ce cas la résistance de la zone v est prépondérante au sein de R_{DSon}) :

$$V_{DSon} = \frac{6.94 \cdot 10^{-9} \cdot \left[\left(\frac{1.47 \cdot 10^{18}}{10^{-6} \cdot N_n} \right)^{0.75} \right]^{2.5} \cdot 10^{-4}}{N_{cell} \cdot (L_{cell} + L_{intercell})^2} \cdot I_0 \quad \text{éq. 42}$$

Les paramètres sont donc : I_0 (courant commuté), N_n (dopage zone v destinée à la tenue en tension), N_{cell} (nombre de cellules élémentaires), L_{cell} (côté d'une cellule), $L_{intercell}$ (dimension d'espace inter-cellulaire).

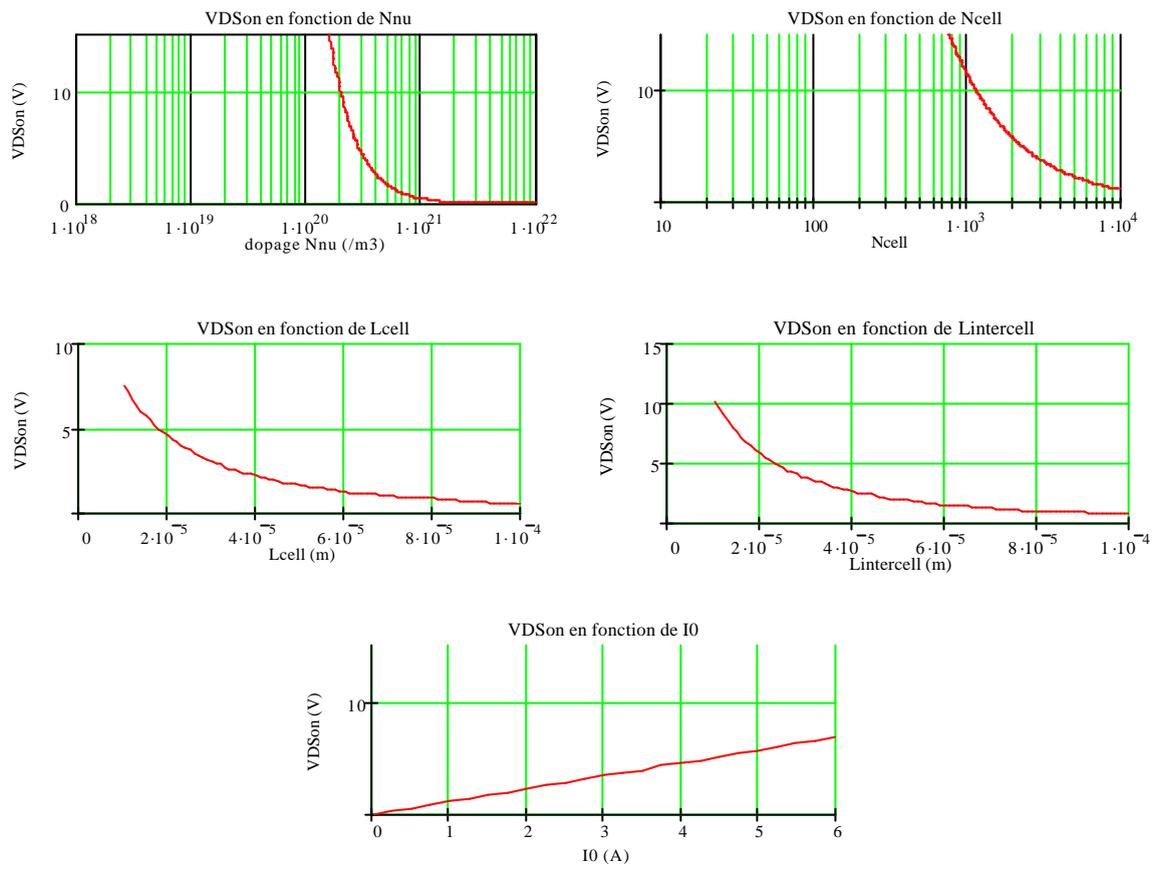


Figure 2-63 : Sensibilité du seuil V_{DSon} aux différents paramètres.

Nous retrouvons sur ces résultats le compromis entre tenue en tension et état passant. Si nous ne pouvons pas jouer sur le dopage de la zone v, il nous reste la possibilité d'augmenter, au choix, le nombre de cellules, leur largeur ou leur espacement. C'est donc essentiellement sur des paramètres géométriques que nous pourrions agir pour diminuer cette tension V_{DSon} .

Nous résumons dans le tableau 2-5 les tendances observées (tendances données pour des augmentations de la valeur du paramètre en question) :

Seuil\paramètre	V_0	I_0	N_a	N_n	e_{ox}	L_{cell}	$L_{intercell}$	L_{canal}	N_{cell}
V_{Tn}	--	0	0	-	--	0	0	0	0
V_{FB}	0	0	0	0	0	0	0	0	0
V_T	0	0	+	0	++	0	0	0	0
V_{Gsat}	0	+	+	0	++	-	0	+	--
V_X	0	+	+	0	++	-	0	+	--
V_{DSon}	0	+	0	--	0	-	-	0+	--

Tableau 2-5 : Résumé des sensibilités des seuils aux différents paramètres.

Optimisation des tensions seuils pour la commande de grille :

Il est possible d'optimiser la commande de grille. Classiquement, une commande en $\pm 20V$ est choisie. Toutefois, nous venons de montrer qu'il est possible de limiter cette commande, de manière non nécessairement symétrique.

En effet, en deçà de la tension notée V_{Tn} , l'auto-écrantage de la grille est assuré ; c'est-à-dire que le composant ne risque aucune remise en conduction intempestive due à une éventuelle rétroaction de la puissance sur la commande. De même qu'il existe une tension seuil inférieure, il est possible de trouver pour un composant une tension seuil supérieure ; celle-ci notée V_{Gsat} , correspond en fait au courant commuté par le MOSFET. Cette tension de grille correspond au plateau Miller durant lequel le courant drain reste constant et la tension drain-source décroît (dans le cas de l'amorçage du composant). Dans le cas de l'amorçage, une fois la décroissance de la tension puissance terminée, la tension grille source croît alors de V_{Gsat} à $+V_{commax}$, sans réelle influence sur le composant. Ainsi, durant la commutation, la phase 1 (où V_{GS} croît de V_{commin} à V_{Tn}), et la phase 7 (où V_{GS} croît de V_{Gsat} à V_{commax}) ne servent pas à la commutation du MOSFET proprement dite.

Nous pouvons donc faire le choix d'une commande non pas en $-/+20V$, mais en V_{Tn} / V_{Gsat} (dans le cas où la structure d'utilisation du composant est parfaitement déterminée, et en se munissant éventuellement d'un facteur de sécurité). Une telle commande présente l'avantage de faire appel à une plage de tension moins large (ce qui peut s'avérer utile dans certains cas, notamment dans le cas d'une alimentation intégrée), mais cela se fera alors au détriment de la dynamique et des pertes du système. En effet, la dynamique d'évolution de la tension V_{GS} est liée à l'amplitude de l'échelon de la commande appliquée. En considérant une structure commandée en $-/+20V$ commutant en 432ns et perdant 0.24mW coté grille et 24mW coté puissance, notre modélisation nous montre, par le calcul, que cette même structure présenterait dans le cas d'une commande $-15/+5V$ (avec $V_{Tn}=-14.5V$ et $V_{Gsat}=4.5V$) une commutation en 1914ns, des pertes coté grille évaluées à 0.02mW et coté puissance à 778mW. Une telle commande devient alors presque 5 fois plus lente et environ 30 fois plus dissipatrice dans le cas de cette structure. C'est donc en considérant attentivement les performances souhaitées et les possibilités offertes par une éventuelle commande de grille auto-alimentée que nous pouvons songer à utiliser une telle commande. Ainsi, si la commande

rapprochée auto-alimentée offre une plage de tension limitée, mais ne s'avère pas trop contraignante du point de vue dynamique et du point de vue des pertes, ce point d'étude mérite d'être approfondi.

Nous pouvons aussi dans cette optique envisager une commande « intelligente », permettant d'avoir les phases 2 à 6 de la commutation rapides grâce à la différence d'amplitude, et des phases 1 et 7 extrêmement courtes. Là encore, ce point peut s'avérer intéressant pour la suite, mais nécessite une nouvelle réflexion vis à vis de la commande.

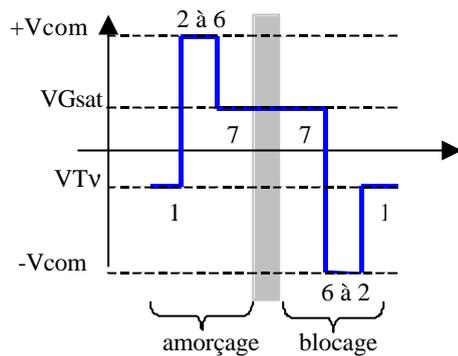


Figure 2-64 : Exemple de commande « intelligente ».

2.4.2. Etude des dépendances des paramètres capacitifs

Nous allons maintenant étudier la sensibilité des capacités inter-électrodes en fonction des paramètres physiques et géométriques du composant. Nous rappelons les expressions réduites des 3 capacités inter-électrodes en fonction des phases de la commutation :

	Phase 1	Phase 2	Phase 3	Phase 4	Phase 5	Phase 6	Phase 7
C_{DS}	$C_{DS} = \frac{C_{DS0} \cdot \sqrt{\Phi_{DS}}}{\sqrt{\Phi_{DS} + V_{DS}}}$						
C_{DG}	$C_{DG0} \cdot \frac{[1 - 2 \cdot \chi \cdot V_{DS} + \chi \cdot (V_{GS} - V_{FBV}) + 2 \chi \cdot \sqrt{V_{DS} \cdot (V_D - V_G + V_{FBV})}]}{\sqrt{1 + \frac{4}{\sigma^2} \cdot (V_D - V_G + V_{FBV})}}$					$C_{DG0} \cdot (1 - ? \cdot V_{DS})$	
C_{GS}	$C_{GS0} + C_{DG0}$	C_{GS0}			$C_{GS0} \cdot [1 + ?_G \cdot (V_{GS} - V_{th})]$		C_{GS0}

Tableau 2-6 : expressions réduites des 3 capacités selon la phase considérée.

Nous n'allons pas ici étudier les 2 paramètres de modulation de surface c et c_G , parce qu'ils s'avèrent être d'importance moindre que des termes comme f_{DS} , C_{DS0} , C_{DG0} , s , C_{GS0} pour la description des capacités.

Etude du paramètre f_{DS} :

Il s'agit du potentiel de diffusion de la jonction. Son expression est :

$$f_{DS} = \frac{k \cdot T}{q} \cdot \ln\left(\frac{N_a \cdot N_n}{n_i^2}\right) \tag{eq. 43}$$

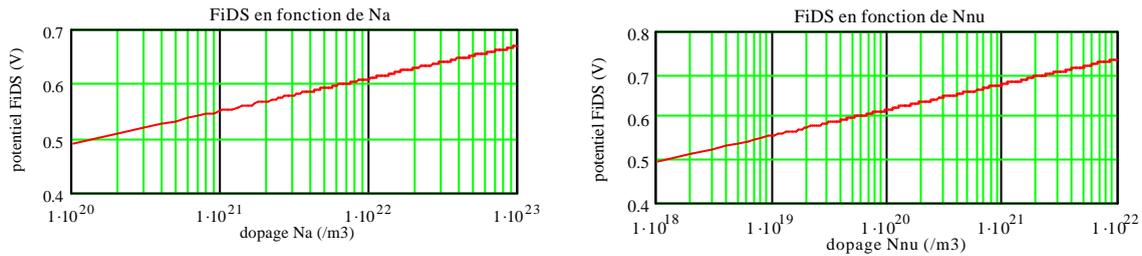


Figure 2-65 : Sensibilité du paramètre f_{DS} aux dopages N_a et N_n .

Il est préférable pour avoir une dynamique rapide du composant et donc de faibles valeurs de capacités inter-électrodes, de choisir une valeur élevée pour f_{DS} , afin d'abaisser la valeur de la capacité C_{DS} . Toutefois, ce paramètre est très peu sensible aux dopages, et sa valeur n'excède pas 1V.

Etude du paramètre C_{DS0} :

Ce paramètre représente la valeur maximale de la capacité C_{DS} , obtenue pour une tension $V_{DS}=0V$. Son expression est :

$$C_{DS0} = N_{cell} \cdot L_{cell}^2 \cdot \sqrt{\frac{q \cdot N_n \cdot N_a \cdot \epsilon_0 \cdot \epsilon_{Si}}{2 \cdot (N_a + N_n) \cdot \left(\frac{k \cdot T}{q} \cdot \ln\left(\frac{N_a \cdot N_n}{n_i^2}\right)\right)}} \tag{eq. 44}$$

et dépend donc de N_a, N_n, L_{cell} et N_{cell} .

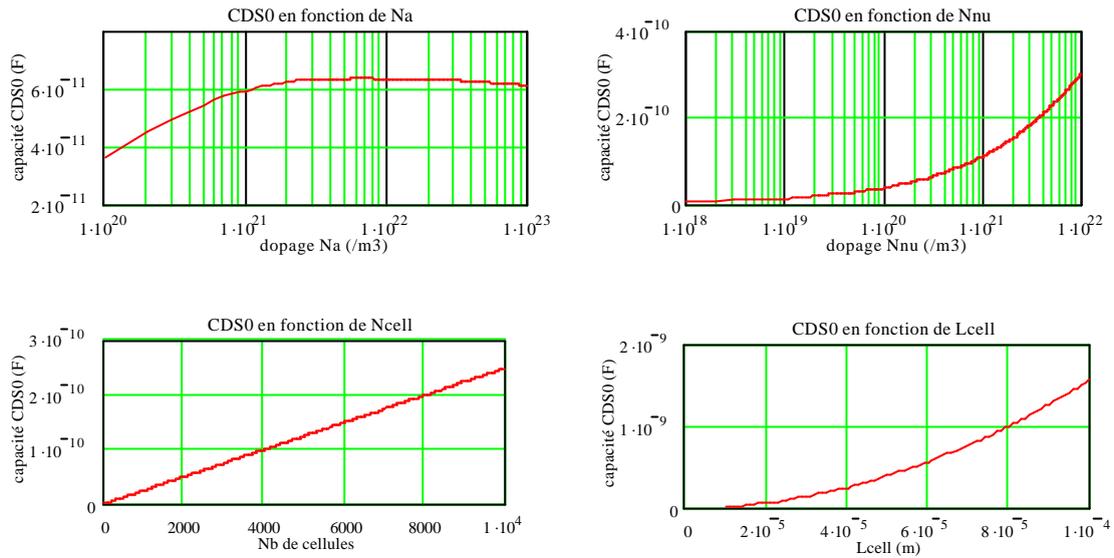


Figure 2-66 : Sensibilité du paramètre C_{DS0} aux dopages N_a et N_n , et au nombre et largeur de cellules.

Si nous regardons les ordres de grandeur obtenus, le paramètre C_{DS0} apparaît être beaucoup plus sensible au dopage N_n qu'au dopage N_a . De plus, ce paramètre augmente logiquement avec le nombre et la largeur des motifs élémentaires.

Etude du paramètre C_{DG0} :

Ce paramètre traduit la valeur maximale atteinte par la capacité C_{DG} . Son expression est la suivante :

$$C_{DG0} = N_{cell} \cdot \left[(L_{cell} + L_{intercell})^2 - (L_{cell})^2 \right] \cdot \frac{\epsilon_0 \cdot \epsilon_{ox}}{\epsilon_{ox}} \quad \text{éq. 45}$$

et dépend donc de 4 paramètres : ϵ_{ox} , N_{cell} , L_{cell} et $L_{intercell}$.

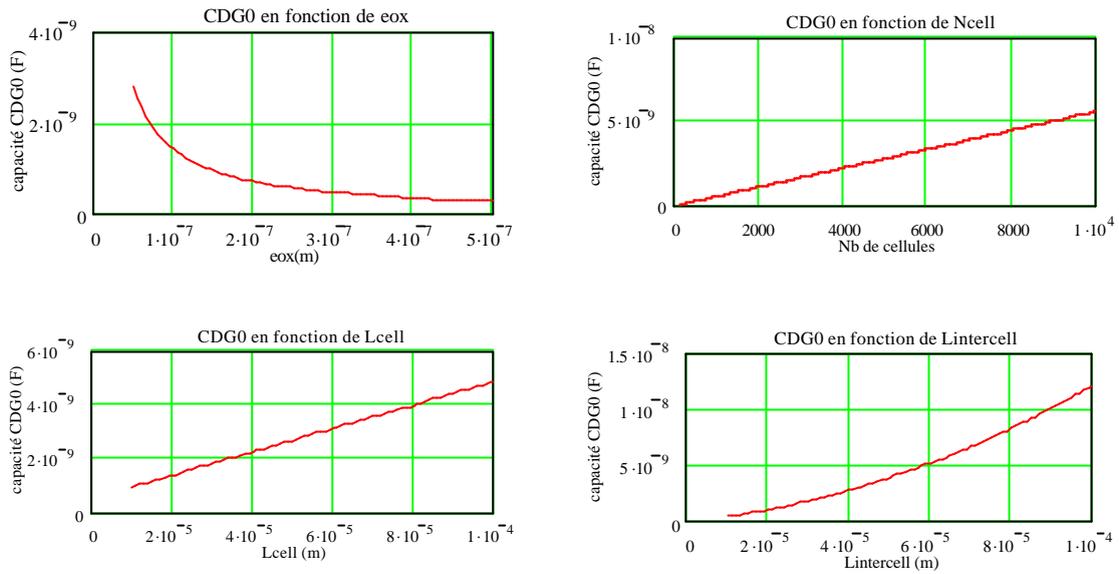


Figure 2-67 : Sensibilité du paramètre C_{DG0} à l'épaisseur d'oxyde de grille e_{ox} ; au nombre et largeur de cellules, et à l'espace inter-cellule.

De manière assez logique, il nous faut, pour avoir une valeur de C_{DG0} faible en vue d'une dynamique rapide, choisir une forte épaisseur d'oxyde et des dimensions faibles pour les cellules et intercellules, ainsi qu'un nombre restreint de motifs élémentaires. Ces résultats présentent une tendance contraire (augmentation de e_{ox}) à celle souhaitée pour minimiser l'amplitude de la tension de commande.

Etude du paramètre s :

Son expression est :

$$s = \frac{\sqrt{2 \cdot q \cdot N_n \cdot e_{Si} \cdot e_0}}{e_0 \cdot e_{ox} / e_{ox}} \quad \text{éq. 46}$$

Ce paramètre dépend donc du dopage N_n et de l'épaisseur d'oxyde de grille e_{ox} .

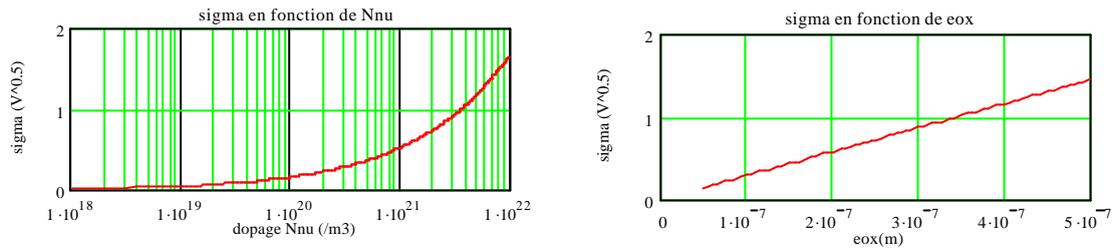


Figure 2-68 : Sensibilité du paramètre s au dopage N_n et à l'épaisseur d'oxyde de grille e_{ox} .

Pour disposer d'une dynamique rapide au niveau de C_{DG0} , il est préférable d'avoir une faible valeur pour s , et donc de nouveau une faible valeur d'épaisseur d'oxyde de grille e_{ox} .

Etude du paramètre C_{GS0} :

Le paramètre C_{GS0} représente la valeur minimale de la capacité d'entrée. Son expression analytique est la suivante :

$$C_{GS0} = S_{rec} \cdot \frac{\epsilon_0 \cdot \epsilon_{ox}}{T_i} + (S_{rec} - S_0) \frac{\epsilon_0 \cdot \epsilon_{ox}}{e_{ox}},$$

$$\text{où } S_0 = N_{cell} \cdot [(L_{cell} + L_{intercell})^2 - L_{cell}^2]$$

et

$$S_{rec} = 4 \cdot N_{cell} \cdot \left\{ \left[\frac{L_{cell} + L_{intercell}}{2} \right]^2 - \left[\frac{L_{cell} + L_{intercell}}{2} - \left(\frac{L_{intercell}}{2} + L_{canal} + L_{rec} \right) \right]^2 \right\}$$

éq. 47

Ainsi, C_{GS0} dépend en tout et pour tout de 7 paramètres.

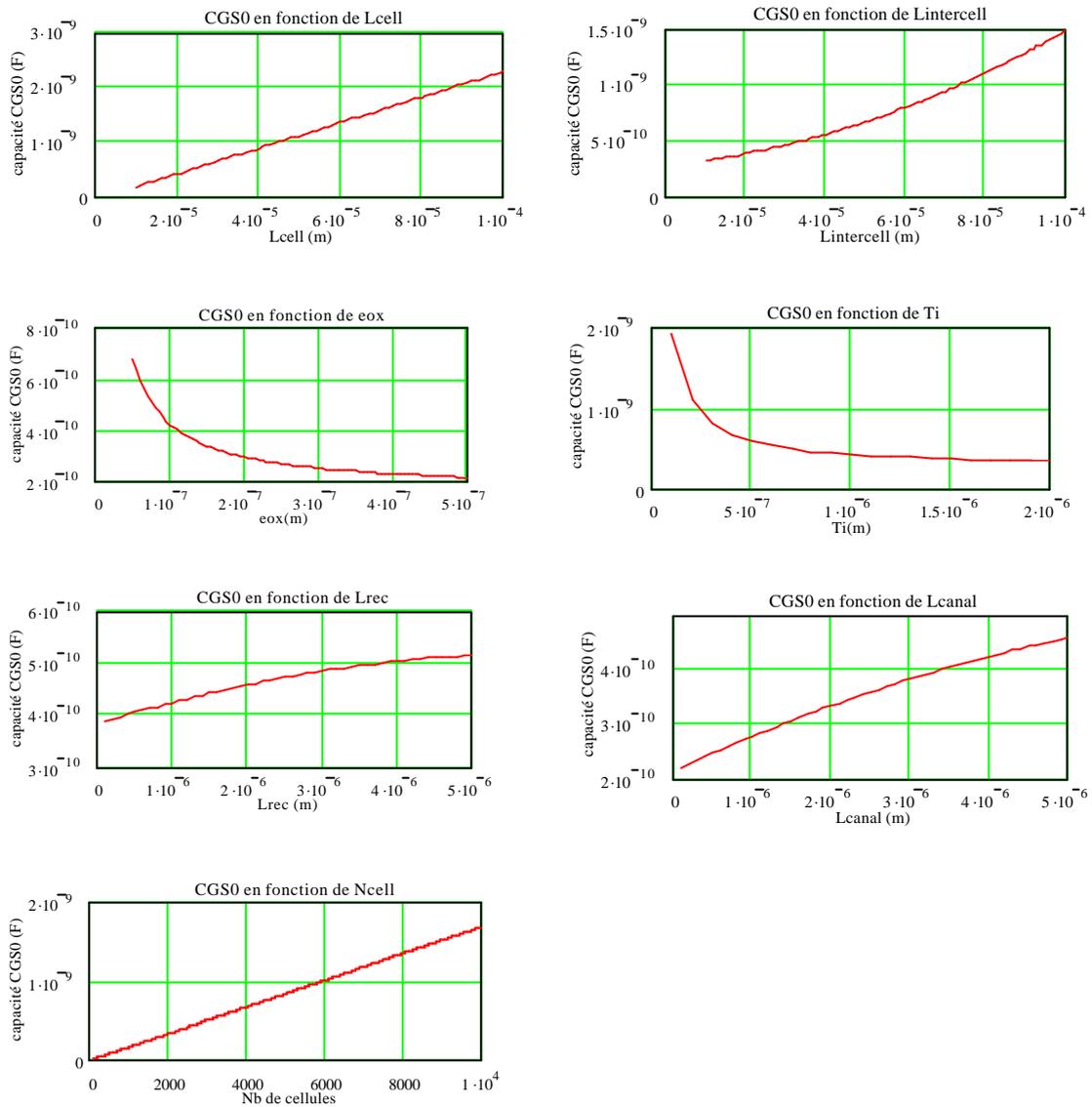


Figure 2-69 : Sensibilité du paramètre C_{GS0} aux différents paramètres.

De nouveau, nous pouvons observer que la diminution de cette capacité C_{GS0} passe par une augmentation des épaisseurs d'oxyde e_{ox} et T_i , et une diminution des dimensions des motifs (L_{cell} , $L_{intercell}$, L_{rec} et L_{canal}), ainsi que de leur nombre.

Nous résumons l'ensemble de ces tendances dans le tableau 2-7 (évolutions données pour une augmentation des paramètres physiques ou géométriques) :

	N_a	N_n	e_{ox}	T_i	L_{cell}	$L_{intercell}$	L_{canal}	$L_{=}$	N_{cell}
f_{DS}	+	+	0	0	0	0	0	0	0
C_{DS0}	0+	+	0	0	++	0	0	0	+
C_{DG0}	0	0	--	0	++	++	0	0	+
s	0	0+	+	0	0	0	0	0	0
C_{GS0}	0	0	--	--	++	++	0+	0+	+

Tableau 2-7 : Résumé des sensibilités des paramètres du modèle.

La comparaison de ce tableau avec le tableau 2-6 nous permet d'isoler les effets antagonistes entre la volonté d'une commande de grille d'amplitude restreinte (tendance à diminuer e_{ox}) et une dynamique du composant rapide (tendance à diminuer les dimensions des motifs et à augmenter e_{ox}). De plus, les contraintes pour obtenir une dynamique rapide, à savoir la diminution des dimensions des motifs élémentaires et l'augmentation de l'épaisseur d'oxyde de grille, vont à l'encontre d'un composant performant en courant (puisque le calibre en courant du MOSFET est proportionnel au périmètre cumulé des cellules et inversement proportionnel à cette épaisseur d'oxyde de grille e_{ox}). Aussi, il semble impossible de concevoir un composant à la fois rapide, performant et peu exigeant du point de vue énergétique en ce qui concerne la commande de grille, sans entreprendre de démarche d'optimisation.

Conclusion

Dans ce second chapitre, nous nous sommes attachés à deux points d'étude. Le premier concernait la réalisation technologique de prototypes de MOSFETs. Nous avons pour cela présenté en détail les moyens techniques de la filière technologique du CIME, tant du point de vue process de réalisation que du point de vue caractérisation et méthodes de mesures en électronique et micro-électronique. En complément de cette présentation, nous avons détaillé le diagramme de cheminement suivi, ainsi qu'un jeu de masques complet concernant la réalisation d'un des motifs de MOSFETs étudiés. Après tri et caractérisation électrique des prototypes réalisés, nous avons pu nous consacrer au second point d'étude, concernant la validation et l'exploitation de la modélisation établie au chapitre I. La relativement bonne concordance entre relevés expérimentaux et résultats de simulation nous a permis de valider notre modèle, tant du point de vue statique que dynamique. Nous nous sommes alors servis des diverses expressions analytiques de cette modélisation (tensions seuils pour la décomposition de la commutation en 7 phases, paramètres réduits des modèles des expressions pour les capacités inter-électrodes) afin de déterminer les sensibilités de ces variables aux différents paramètres physiques (dopages) et géométriques (cotation des motifs) Cette analyse montre des effets antagonistes sur le dimensionnement et le réglage de certains paramètres du MOSFET. La complexité des relations, ainsi que le fait que bon nombre de ces paramètres soient interdépendants font qu'il est impossible de tirer des règles simples de dimensionnement pour le composant. L'analyse effectuée permet toutefois de dégager certaines tendances, les degrés de sensibilité apparaissent beaucoup plus élevés pour certains paramètres. Nous allons, dans le chapitre III, utiliser cette modélisation afin de proposer une démarche d'optimisation du dimensionnement d'un MOSFET, démarche s'inscrivant dans la perspective d'intégrer l'alimentation de l'étage de commande du composant.

3. Chapitre 3 – intégration d'une alimentation pour l'étage de commande

Introduction

Les résultats des précédents chapitres montrent qu'il est possible de concevoir et de dimensionner les géométries d'un composant MOSFET de manière à maîtriser les valeurs et les variations des capacités inter-électrodes. L'étude précise de ces capacités et de leur évolution au cours des commutations du composant permet d'évaluer avec précision ses besoins énergétiques lorsqu'il passe de l'état bloqué à l'état passant. Ce résultat permet d'envisager l'intégration non seulement de la commande rapprochée du MOSFET, mais aussi celle de son alimentation, afin de disposer d'un composant « autonome » sur le plan énergétique. Cette démarche d'intégration est directement liée à la volonté de miniaturisation et d'amélioration des composants de la part des fabricants. L'intégration, qu'elle soit monolithique ou hybride, permet non seulement un gain de volume et de coût, mais aussi une augmentation de la qualité et de la fiabilité du composant, d'une part en supprimant les problèmes de connectique, et d'autre part en proposant des fonctionnalités additionnelles pour le composant, dispositifs de protection, étages de commande ou circuits auxiliaires... Si cette démarche d'intégration présente de nombreux avantages, elle n'est pas dénuée de contraintes, telles que les interactions pouvant exister entre les différents éléments. De plus, l'intégration pose des problèmes de faisabilité, notamment dans la technologie monolithique, où les caractéristiques des composants sont souvent limitées par les possibilités de réalisation. Enfin, un problème majeur apparaît : quand bien même un circuit auxiliaire s'avèrerait intégrable et compatible avec la filière technologique du composant principal, comment assurer l'alimentation des différents éléments actifs le constituant ? C'est dans cette optique que nous avons mené une démarche d'intégration d'une alimentation pour l'étage de commande, que nous appellerons par la suite « auto-alimentation ». Nous commencerons par souligner les contraintes liées à cette démarche d'intégration. Après avoir présenté succinctement l'étage de commande rapprochée d'un composant à grille isolée, nous expliquerons le principe général retenu pour son auto-alimentation. Nous exposerons ensuite deux solutions basées sur des structures compatibles du point de vue technologique avec la filière MOSFET vertical double diffusé (retenue pour la puissance). Enfin, nous terminerons ce chapitre en proposant une pré-étude technologique (diagramme de cheminement, ébauche qualitative des différents niveaux de masquage pour les lithographies) de ces solutions pour des composants à motifs élémentaires carrés ou inter-digités ; cette étude s'inscrit dans le cadre d'une réalisation future de prototypes.

3.1. Contraintes de l'intégration

Nous avons vu précédemment qu'en électronique de puissance, les dispositifs semi-conducteurs sont utilisés en tant qu'interrupteurs au sein de convertisseurs d'énergie. Mais ils sont aussi exploités dans d'autres structures, notamment les circuits de protection d'équipements électriques. Les larges gammes de puissance maintenant couvertes par les interrupteurs à grille isolée font que ces composants se retrouvent au sein d'applications spécifiques telles que l'automobile, la domotique (électroménager, éclairage)... Les marchés industriels ont alors motivé, pour des raisons de gain de volume, de coût, mais aussi de performances et de fiabilité, une volonté commune de miniaturisation, et, a fortiori d'intégration. Nous avons pu assister, au cours des deux dernières décennies, à l'émergence de « composants de puissance évolués » et de « modules de puissance intelligents » ; suivant les niveaux de puissances et contraintes liées, mais aussi selon les fonctions envisagées, les solutions adoptées peuvent être l'intégration hybride ou l'intégration monolithique.

3.1.1. Intégration hybride

L'intégration hybride consiste à mettre dans un boîtier plusieurs puces différentes. Elle est le plus généralement rencontrée dans le cas d'applications où les gammes de courant-tension sont élevées (plusieurs dizaines voire centaines d'ampères, et des tensions pouvant aisément atteindre le kilovolt). Ces gammes de puissance nécessitent d'une part une isolation galvanique de qualité entre les différentes fonctions du module, et d'autre part un bon système de refroidissement, compte tenu des puissances mises en jeu. Le principe consiste alors à utiliser, selon le cas, plusieurs composants identiques en parallèle ou en série, ou encore d'associer au sein du même boîtier les différents éléments constitutifs d'une cellule de commutation ou d'un bras de convertisseur. Les modules de puissance regroupant ainsi un (ou plusieurs) interrupteur(s) (en général des MOSFETs ou des IGBTs) et leur(s) diode(s) de roue-libre constituent un exemple classique d'intégration hybride. L'assemblage de ces modules reste classique, avec une ou plusieurs puces reposant sur un même substrat DBC, et disposant de contacts en surface réalisés par des bondings en aluminium, soudés par ultrasons. L'ensemble est ensuite généralement noyé dans un gel, permettant une protection sommaire contre les risques d'arcage et contre les contraintes thermiques sur les bondings. Si le module complet peut bénéficier d'un refroidissement efficace compte tenu de sa surface, les contraintes thermiques au sein du module sont suffisamment importantes pour pouvoir endommager (par dilatation thermique) l'empilement des supports des puces. De plus,

l'agencement des différentes puces doit être réalisé en tenant compte des problèmes de compatibilité électromagnétique (mode commun et mode différentiel) pouvant apparaître au sein du module. Cette intégration, qui peut paraître simpliste dans son principe (mettre plusieurs composants d'un même bras de convertisseur dans un même boîtier), illustre certains des problèmes élémentaires inhérents à une telle « démarche d'encapsulation ».

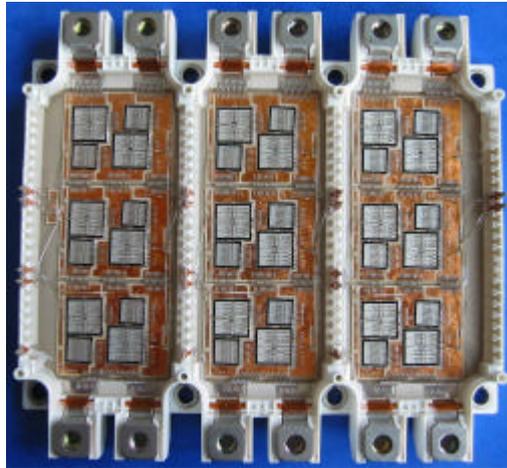


Figure 3-1 : Exemple d'intégration hybride sur un module de puissance EUPECFS450R12KE3 (1200V/450A) [EUPEC].

L'intégration hybride est aussi rencontrée au cours de l'évolution d'un interrupteur ; en effet, cette étape se situe à mi-chemin entre le montage en éléments discrets et l'intégration monolithique. Dans ce cas, ce type d'intégration consiste à inclure dans un même boîtier, généralement de taille conséquente, l'interrupteur principal et d'autres composants, et ce en ayant recours à l'utilisation simultanée de matériaux appropriés et de méthodes et procédés d'assemblage adéquats. Il est ainsi possible d'envisager d'intégrer au sein du même boîtier un interrupteur et son circuit de commande, ou encore des fonctions de protection (surintensités, sursensions...). Ce type d'intégration relève essentiellement de la miniaturisation, puisqu'il consiste à mettre dans un boîtier des fonctionnalités qui étaient auparavant à l'extérieur du composant, en reliant les différentes puces (puissance et commande) à l'aide de bondings en aluminium. L'avantage de cette démarche est qu'elle permet l'intégration d'un bon nombre de composants, notamment les passifs tels que capacités et inductances (dans la mesure des possibilités de réalisation de ces éléments dans des dimensions restreintes). Ces composants évolués sont parfois appelés IPM pour Intelligent Power Module, et sont réservés à des gammes plus restreintes en tension (entre 600 et 1200V) et en courant (moins de 100A). Cette idée est directement issue de la course à la miniaturisation débutée à la fin des années 1980 : il s'agit d'inclure un maximum de fonctions sur un minimum de surface. L'effort d'intégration à

ce niveau est de plus en plus poussé, notamment dans le cas de convertisseurs utilisés pour le contrôle-commande de moteurs : les nouveaux IPM comprennent non seulement des circuits ASIC (Application Specific Integrated Circuit) basses tensions, mais aussi des circuits HVIC (High Voltage Integrated Circuit), permettant de disposer de modules de plus en plus autonomes, intégrant de plus en plus d'étages de commande.

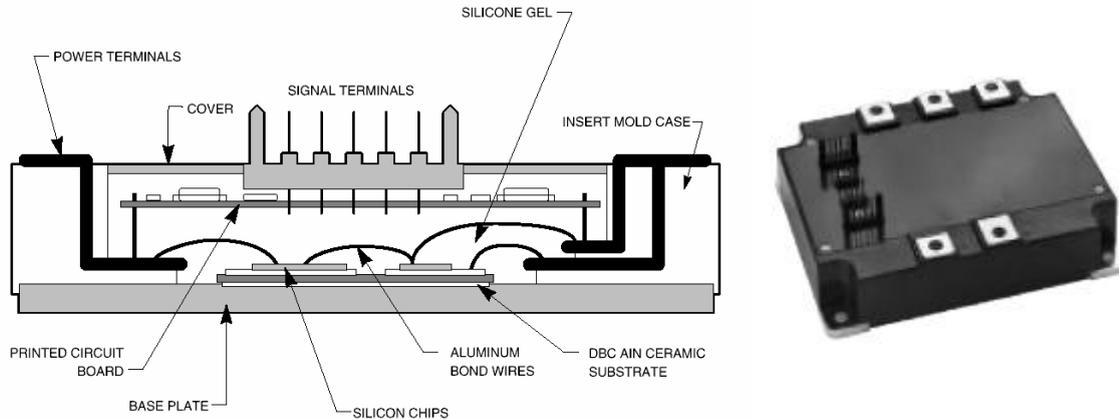


Figure 3-2 : Exemple d'intégration hybride sur un module IPM de type Powerex PM150CVA120 [POWEREX].

Pour finir, l'intégration hybride, qu'elle concerne les modules de puissance ou les composants évolués, offre de nombreux avantages :

- réduction des coûts,
- réduction des volumes,
- simplicité accrue du montage,
- augmentation des fréquences permettant une diminution des composants passifs,
- amélioration de l'échange thermique
- généricité de la démarche.

3.1.2. Intégration monolithique

L'intégration monolithique, contrairement à l'intégration hybride, repose essentiellement sur une réflexion axée autour de l'interrupteur de puissance. Le principe consiste à réaliser sur la même puce que le composant principal (et donc sur un substrat silicium unique) les fonctionnalités à intégrer. A ce niveau, il peut s'agir d'autres composants de puissance ou encore de fonctions destinées à la commande de l'interrupteur ou à sa protection. Il faut dans

ce cas prêter attention au problème d'isolation entre les différentes fonctionnalités, ainsi qu'aux problèmes de tenue en tension. Ces derniers peuvent, sur silicium, être résolus par différentes méthodes, notamment en ayant recours à des périphéries adaptées (terminaison en jonction, terminaison résistive, anneaux de garde, électrode de champ).

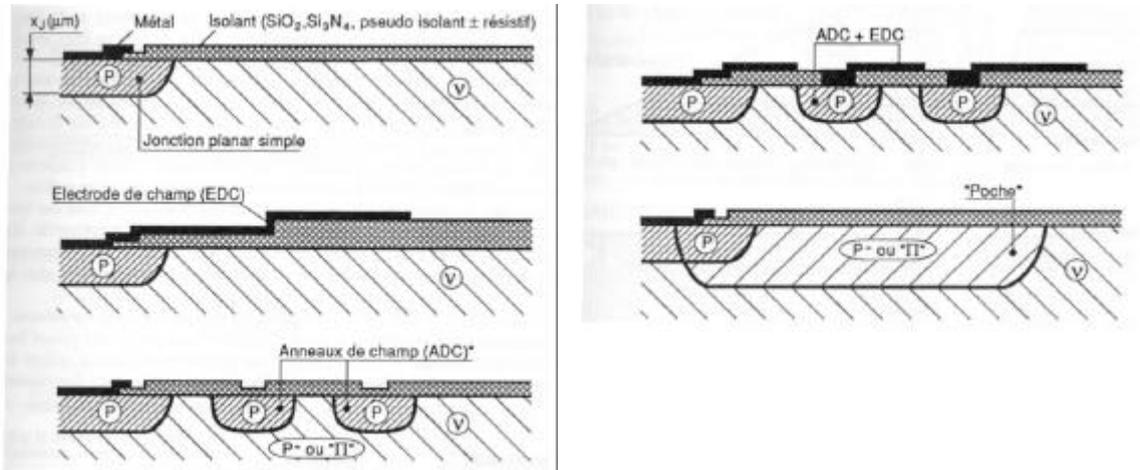


Figure 3-3 : Périphéries de tenue en tension, d'après [ARNOULD]. De haut en bas, et de gauche à droite : jonction planar, électrode de champ, anneaux de champ, électrode de champ + anneaux de champ, et périphérie en poche.

Il est possible d'assurer l'isolation galvanique entre les composants verticaux (composants de puissance) et les composants latéraux (fonctions auxiliaires) grâce à des techniques dont le principe repose soit sur une isolation par jonction, soit sur une auto-isolation (par jonctions inverses), soit encore sur une isolation par diélectrique [DARTIGUES].

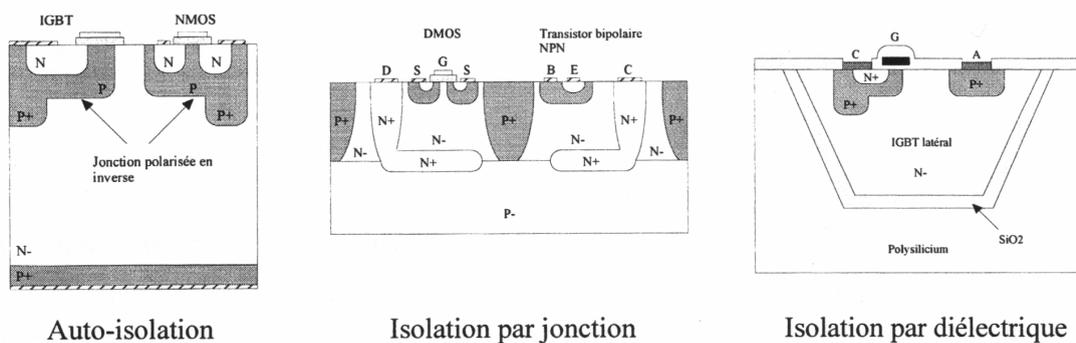


Figure 3-4 : Techniques d'isolation en intégration monolithique, d'après [MARMOUGET].

La filière de réalisation des composants à grille isolée (MOSFET et IGBT) est actuellement bien maîtrisée. Les efforts actuels des concepteurs de composants s'orientent soit vers des structures innovantes (de par leur géométrie ou de par l'utilisation de nouvelles techniques,

comme les CoolMOS [INFINEON], les IGBT Trenchgate [PHILIPS], les MeshMOS [ST], les MBS [ST]), soit vers l'intégration de circuits auxiliaires (commande et/ou protection). L'intégration monolithique nécessite que l'ensemble des fonctions à intégrer puisse rester compatible du point de la réalisation avec la filière technologique de l'interrupteur principal, sous peine sinon de nuire au bon fonctionnement de celui-ci, ou dans une moindre mesure, d'augmenter le nombre de niveaux de masquage pour la réalisation des composants. Pour la réalisation des « circuits intégrés de puissance », plusieurs technologies peuvent être envisagées. Dans le cas de la technologie HVIC (High Voltage Integrated Circuit), le composant de puissance est latéral, ce qui d'une part ne permet pas une intégration poussée, et d'autre part limite les performances en courant et en tension (600V pour les composants latéraux de puissance). La technologie « Smart Power » est quant à elle utilisée avec un composant vertical, ce qui permet d'augmenter la densité d'intégration, ainsi que les calibres en courant et tension de l'interrupteur principal. Les circuits auxiliaires sont réalisés à l'aide de technologies VLSI (Very Large Scale Integration), et isolés de la puissance par des techniques d'isolation par jonction et par diélectrique (Figure 3-5). Ce type d'isolation limite la mise en œuvre de la technologie Smart Power à des gammes de puissance restreintes, couvrant toutefois des marchés importants tels que l'automobile et les télécommunications.

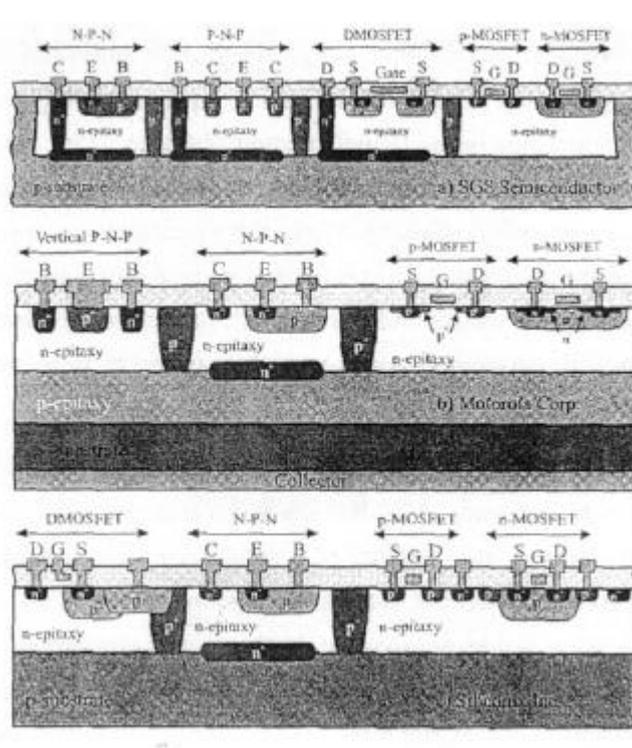


Figure 3-5 : Exemple d'intégration Smart-Power, d'après [MARMOUGET].

Une alternative à ces techniques est l'intégration fonctionnelle ([MARMOUGET]), qui constitue le niveau le plus poussé de l'intégration monolithique (Figure 3-6). Dans ce cas, les fonctionnalités résultent des interconnexions de surface et des diverses interactions électriques entre les différentes couches de semiconducteur. Ce type d'intégration nécessite une étude approfondie de l'agencement et du dimensionnement des différentes régions semiconductrices lors de la conception du composant. A l'heure actuelle, l'intégration fonctionnelle est en pleine évolution, tant sur le plan de la conception de nouvelles fonctions monolithiques de puissance que sur le développement de nouvelles solutions technologiques. Ce mode d'intégration est particulièrement adapté aux interrupteurs destinés à fonctionner au sein d'applications de moyenne puissance connectées au réseau de distribution de l'énergie électrique.

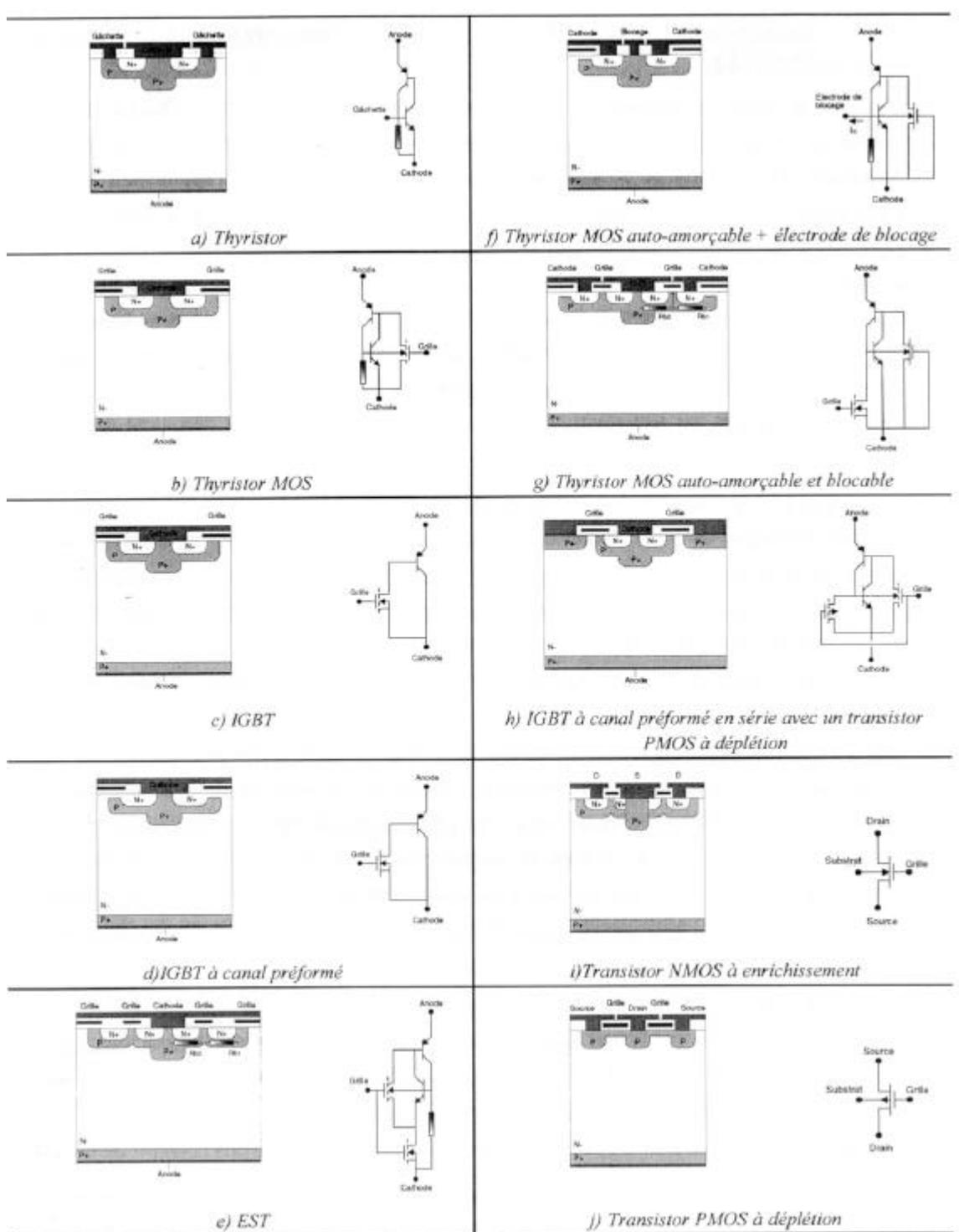


Figure 3-6 : Exemples d'intégration fonctionnelle, d'après [MARMOUGET].

L'intégration monolithique pose cependant problème au niveau des composants passifs. La réalisation de résistances, de capacités ou d'inductances sur silicium n'est pas chose évidente, et l'association de couches semiconductrices P/N ne donne pas toujours la fonctionnalité

espérée. De plus, les caractéristiques intrinsèques du silicium imposent des limites technologiques qui font que l'intégration de composants passifs (tels que ceux utilisés en électronique de puissance) demeure complexe et coûteuse en surface de silicium. Les résistances ne permettent pas de dissiper des puissances importantes (moins d'un quart de watt), et il est difficile d'obtenir des valeurs supérieures à 200k Ω . Les capacités restent limitées (5nF/mm² pour des capacités en jonction sous 20V), et l'intégration d'inductance reste à l'heure actuelle extrêmement complexe et au stade de prototypes, à l'image des réalisations du LETI, qui présente même des prototypes de transformateurs intégrés sur silicium.

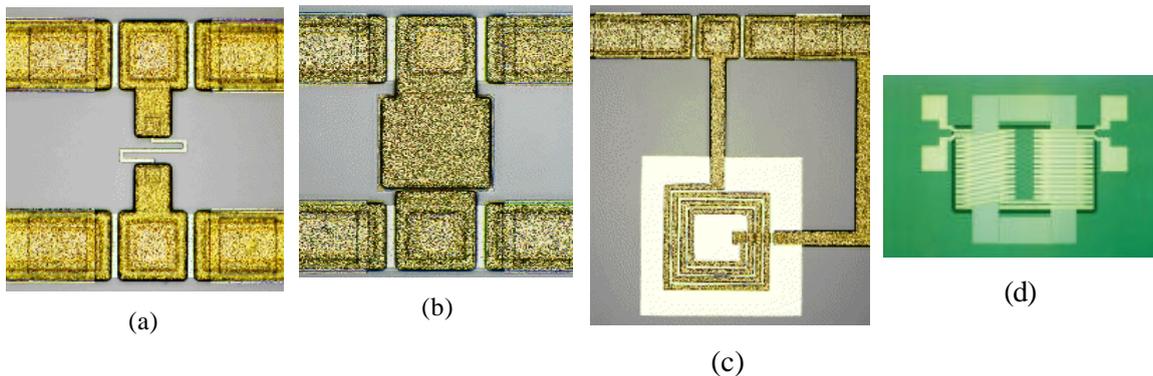


Figure 3-7 : Exemples de passifs intégrés sur Silicium : résistance (a), capacité (b), inductance (c), et micro-transformateur (d) [LETI].

Si l'intégration monolithique semble présenter bon nombre d'avantages, en s'affranchissant de problèmes de connectique et en proposant une diminution sérieuse du volume du convertisseur, elle est en contrepartie accompagnée d'inconvénients non négligeables, tels que les problèmes d'isolation, les problèmes de compatibilité de niveaux de tension et de courant, et nécessite un effort important au niveau de la conception de la filière technologique de réalisation du composant. Cette démarche d'intégration entraîne inévitablement la transposition de problèmes auparavant rencontrés par les utilisateurs de composants vers leurs concepteurs, nécessitant une collaboration accrue de ces personnes.

3.2. La commande rapprochée d'un composant à grille isolée

L'étage de commande rapprochée d'un composant de type MOSFET ou IGBT assure la mise en forme des signaux issus de l'étage de commande éloignée, de manière à disposer d'une commande adaptée à l'interrupteur et au convertisseur au sein duquel il est mis en œuvre. La commande éloignée, indépendante de la technologie des interrupteurs, génère des signaux

logiques (deux niveaux de tension correspondant à l'état passant ou bloqué) ; ces signaux sont ensuite mis en forme par la commande rapprochée. Un MOSFET de puissance maintenu en régime saturé ou bloqué nécessite un courant de commande nul (grille isolée), ce qui lui permet d'être commandé directement en tension, contrairement à un transistor bipolaire qui nécessite une commande en courant. Ainsi, une commande rapprochée de composant à grille isolée s'avère moins complexe et moins coûteuse en énergie (au niveau des charges à apporter à la grille) qu'une commande de transistors bipolaires (où il faut maintenir un courant de commande sur toute la commutation) ; elle permet aussi d'augmenter la fréquence de fonctionnement du convertisseur associé à l'interrupteur (MOSFET ou IGBT).

Plusieurs types de commande rapprochée de composant à grille isolée existent ([ST-5], [ST-6]), nous allons ici présenter les plus simples, en expliquant succinctement le principe de fonctionnement utilisé pour contrôler l'état du transistor, tout en mettant en évidence certains éléments parasites ayant une influence sur les performances de l'interrupteur.

La commande la plus basique est une commande de type unipolaire, dont le schéma de principe et le montage associé (structure Push Pull) sont présentés ci-dessous :

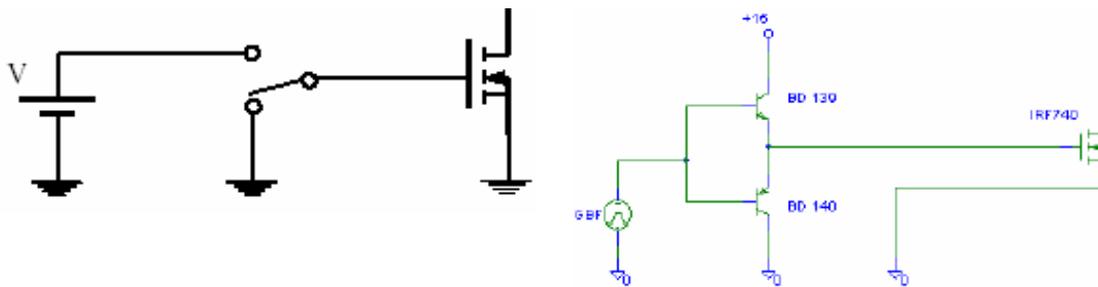


Figure 3-8 : Commande unipolaire : schéma de principe et schéma de montage.

En considérant les différents éléments parasites du montage, à savoir l'inductance de câblage L_C entre le MOSFET et la commande, l'inductance de grille L_G , la résistance de grille R_G (résistance interne du composant ou résistance de grille du circuit de commande, cf. Fig.3-12&13), et la capacité d'entrée C_{ISS} du MOSFET, il apparaît un modèle équivalent constituant un circuit oscillant ([FARJAH]).

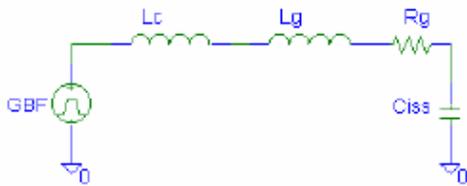


Figure 3-9 : Circuit oscillant équivalent.

Le circuit n'est toutefois pas totalement livré à lui-même, puisque le MOSFET de la fig.3-8entre en régime linéaire (conduction) dès que la tension de grille dépasse la tension de seuil V_{TH} . Ainsi, le courant de grille oscille, mais est limité par les transistors de la commande. Il faut toutefois noter qu'avec ce type de commande rapprochée, dans le cas d'une cellule de commutation MOSFET-Diode par exemple, des perturbations issues du circuit de puissance peuvent se répercuter sur la commande. En effet, à l'amorçage du MOSFET, la diode se bloque ; si le courant de recouvrement de cette dernière est trop important, il peut entraîner une variation de la tension de grille via la capacité de rétroaction C_{DG} . De trop fortes oscillations de la tension de grille sont alors susceptibles de provoquer le blocage du MOSFET, si cette tension V_{GS} devient inférieure à V_{TH} . De même, au blocage du MOSFET, si les oscillations de la tension de grille sont trop importantes (supérieures à V_{TH}), elles peuvent occasionner une remise en conduction du composant.

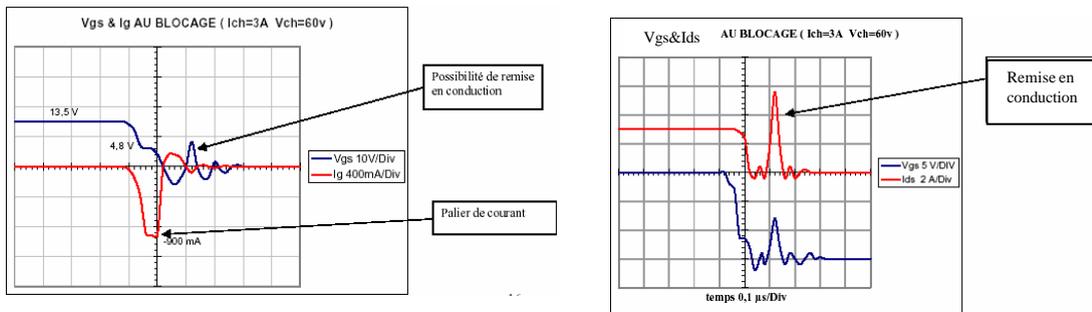


Figure 3-10 : Phénomène de remise en conduction du MOSFET.

Afin d'éviter ce risque de remise en conduction ou d'extinction intempestives, il est possible d'utiliser une commande bipolaire, dont le schéma de principe et le montage correspondant sont illustrés ci-dessous :

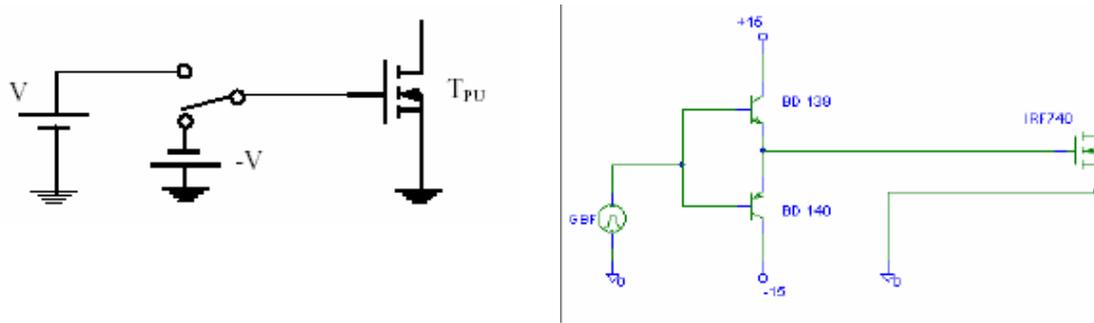


Figure 3-11 : Commande bipolaire : schéma de principe et schéma de montage.

Le fonctionnement reste identique à celui du montage précédent ; cette commande permet simplement de charger et de décharger la capacité d'entrée du MOSFET plus rapidement en imposant des fronts de tension d'amplitude deux fois plus importante que dans le cas de la commande unipolaire. Cependant, ces échelons peuvent venir amplifier les effets d'oscillations. Au blocage du MOSFET, la tension V_{GS} va osciller autour de $-15V$: la remise en conduction est donc moins probable, puisqu'il faudrait alors que les oscillations atteignent une amplitude de $19V$ pour atteindre V_{TH} , soit environ $4V$. Cette commande possède un autre avantage puisqu'elle permet de faire passer la tension de grille en dessous de V_{TH} , la tension de seuil d'auto-écrantage (phénomène d'accumulation de la zone intercellulaire sous la grille, permettant de considérer $C_{DG} \gg 0$, cf. chapitre 1). Toutes choses étant égales par ailleurs, cette commande bipolaire est plus lente que la commande unipolaire (puisque les échelons de tension voient leur amplitude doubler) sur l'ensemble de la commutation de la tension V_{GS} entre $-V_{com}$ et $+V_{com}$, mais peut s'avérer plus rapide que la précédente sur les phases de la zone utile de commutation (phases 2 à 6 dans notre décomposition en 7 étapes). De plus, si les risques de remise en conduction sont évités, cette commande reste assez perturbatrice, notamment au niveau de la compatibilité électromagnétique.

Il est aussi possible de rajouter une résistance de grille au blocage (Figure 3-12). Celle-ci permet de limiter le courant de grille lors du blocage du MOSFET, ce qui entraîne une atténuation des oscillations du potentiel de grille, évitant ainsi les remises en conduction intempestives. Cette résistance influe directement sur le temps de décharge de la capacité d'entrée du MOSFET, impliquant une augmentation du temps de blocage.

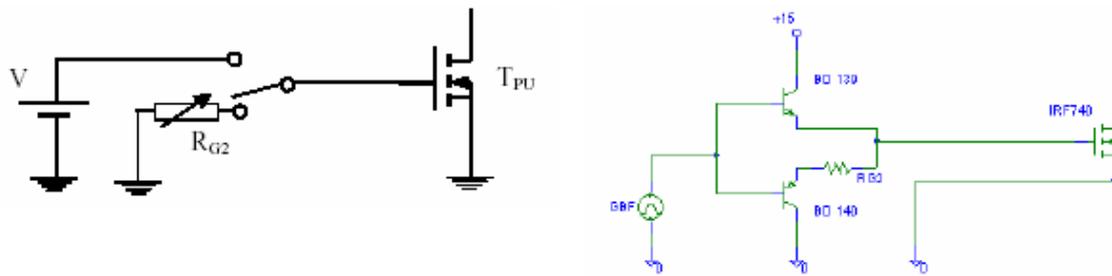


Figure 3-12 : Ajout d'une résistance de grille au blocage.

De même, il est possible d'ajouter une résistance de grille R_{G1} limitant le courant de grille à l'amorçage, afin d'atténuer les oscillations de la tension de grille. Cette résistance a aussi pour effet d'augmenter le temps de mise en conduction du MOSFET; ainsi, en limitant la dynamique de montée du courant dans le MOSFET, il est possible de limiter le courant de recouvrement de la diode de roue libre.

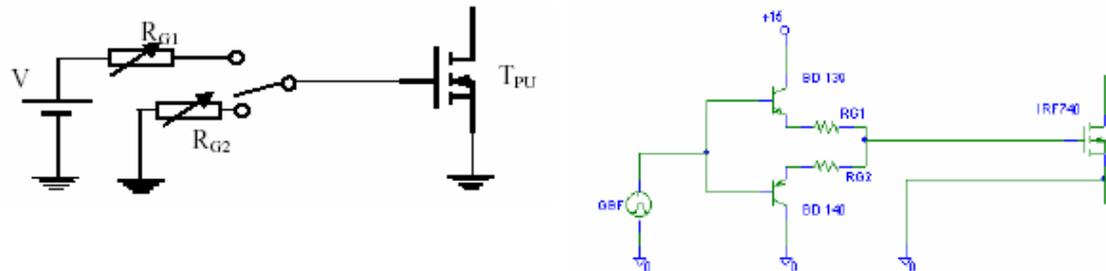


Figure 3-13 : Ajout d'une résistance de grille à l'amorçage.

Enfin, l'étage de commande rapprochée de grille est souvent isolé, afin d'une part d'assurer la protection entre le circuit de commande et le circuit de puissance, en cas de court-circuit ou d'autres problèmes destructeurs, et d'autre part de permettre des potentiels dans le cas de points flottants. Cette isolation peut être réalisée de différentes manières, que ce soit par l'usage d'un transformateur, d'un optocoupleur ou encore d'organes piézoélectriques ([VASIC]).

3.3. Principe général de l'auto-alimentation

Chacune des commandes rapprochées présentées au paragraphe précédent nécessite au moins une alimentation $[0,+15V]$, voire $[-15V,0V,+15V]$. Nous avons vu dans le premier chapitre que ce choix de 15V reste arbitraire, et qu'il suffit d'assurer une commande d'amplitude

supérieure à la différence $V_{Gsat} - V_{Tn}$. Nous allons toutefois conserver dans ce paragraphe cette valeur de 15V pour expliquer le principe de fonctionnement de l'auto-alimentation que nous allons mettre en œuvre. Ce procédé consiste à stocker de l'énergie, prélevée aux bornes du transistor principal, afin de pouvoir la restituer pour assurer l'alimentation de la commande rapprochée. Dans cette perspective particulière d'intégration, il peut être extrêmement intéressant de « remonter » le niveau du seuil de tension V_{Tn} , ainsi que celui de la tension V_{TH} . Ces points seront abordés plus en détail ultérieurement (cf. chapitre 3).

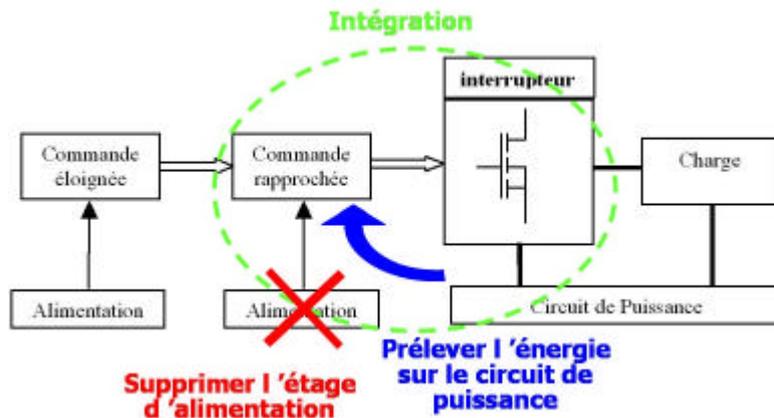


Figure 3-14 : Principe d'auto-alimentation de la commande rapprochée.

La solution la plus simple pour stocker cette énergie consiste à utiliser un condensateur ou une inductance. Les contraintes inhérentes à l'intégration et les perspectives (à long terme) d'intégration monolithique sur support silicium nous ont conduit au choix d'une solution avec stockage capacitif, parce que ces structures capacitives sont à la base de nombreuses technologies de semiconducteurs. L'auto-alimentation doit nous permettre d'éviter d'avoir recours à une alimentation isolée pour alimenter le circuit de commande rapprochée d'un transistor à grille isolée non référencé à la masse. Le principe général de mise en œuvre de cette auto-alimentation par stockage capacitif est expliqué sur la Figure 3-15; il consiste à prélever l'énergie aux bornes du composant de puissance lorsque celle-ci est disponible.

Lorsque l'interrupteur principal est ouvert, le circuit R-C est alimenté sous la tension tenue par le composant. En choisissant de manière adaptée la tension de la diode Zener située en parallèle sur le condensateur C, il est possible de charger ce dernier sous la tension V_{Charge} , tension disponible pour alimenter le circuit de commande rapprochée. La diode D, quant à elle, empêche toute décharge du condensateur C dans le circuit de puissance lors de la mise en conduction du composant principal.

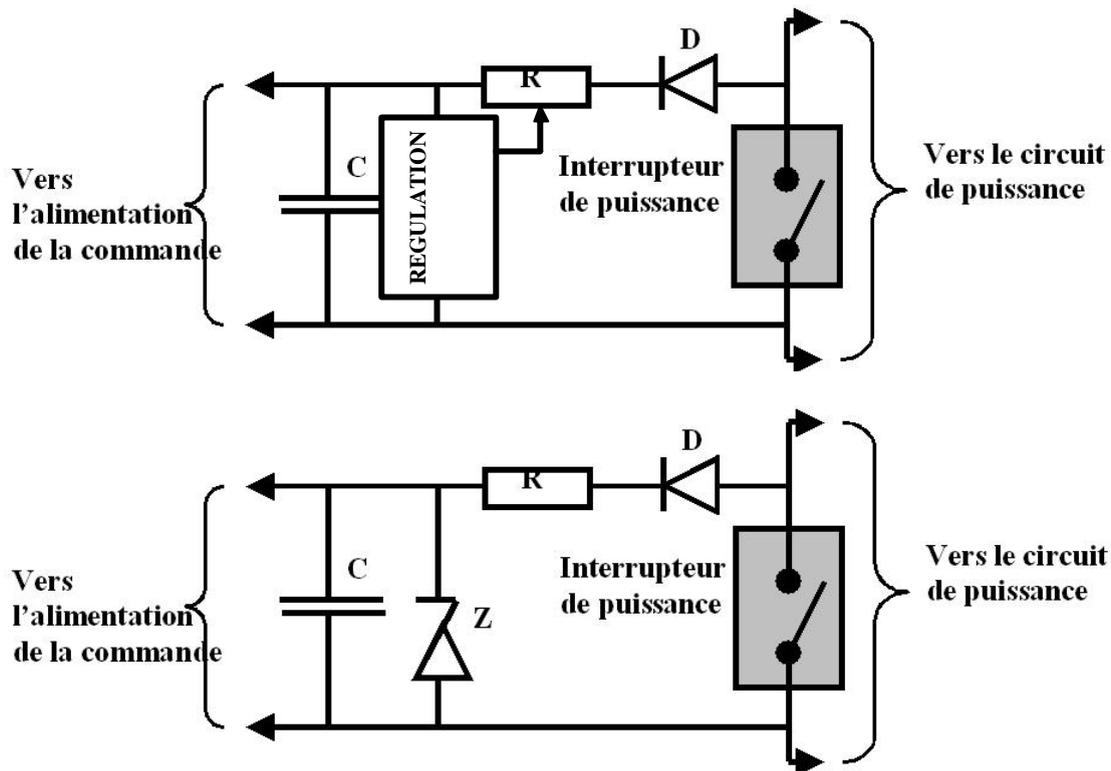


Figure 3-15 : Principe général d'auto-alimentation et structure R-C-Z.

Des études menées en simulation et des réalisations effectuées à l'aide de composants discrets montrent la faisabilité et le bon fonctionnement de ce dispositif d'auto-alimentation. Néanmoins, la validation pratique a montré que l'alimentation du circuit de commande rapprochée pouvait faire chuter de moitié la tension de charge du condensateur C. Si nous souhaitons que celui-ci se recharge dans un temps acceptable vis-à-vis de la dynamique du transistor principal, il est alors nécessaire de contrôler la constante de temps du circuit RC, et donc diminuer la résistance R. une trop faible valeur de R conduit à augmenter le courant de charge, et donc les pertes dissipées. Une telle augmentation des pertes ne peut s'inscrire dans une perspective d'intégration ([ST-7]), qui doit tenir compte du rendement de la structure d'auto-alimentation. Par ailleurs, le fait que la diode Zener dévie une partie du courant de charge constitue un autre inconvénient de ce dispositif. Une structure permettant la régulation de la tension aux bornes du condensateur s'avère donc indispensable, afin de pallier ces problèmes de pertes.

3.4. Structures de régulations compatibles du point de vue technologique avec la filière

Afin de résoudre ce problème de régulation, plusieurs solutions ont été étudiées. Une première approche en composants discrets a montré qu'il était possible d'obtenir une auto-alimentation régulée sur une large gamme de fréquence de commutation du MOSFET principal, mais nécessitait un effort d'intégration trop poussée, même si la structure proposée ne mettait en œuvre que des composants intégrables de manière monolithique et compatibles avec la filière technologique du MOSFET vertical double diffusé. Cette solution présentait toutefois l'avantage de pouvoir faire fonctionner le composant principal en interrupteur statique, et ce grâce à une régulation permettant de shunter la commande durant un court instant sans toutefois perturber le bon fonctionnement du circuit de puissance.

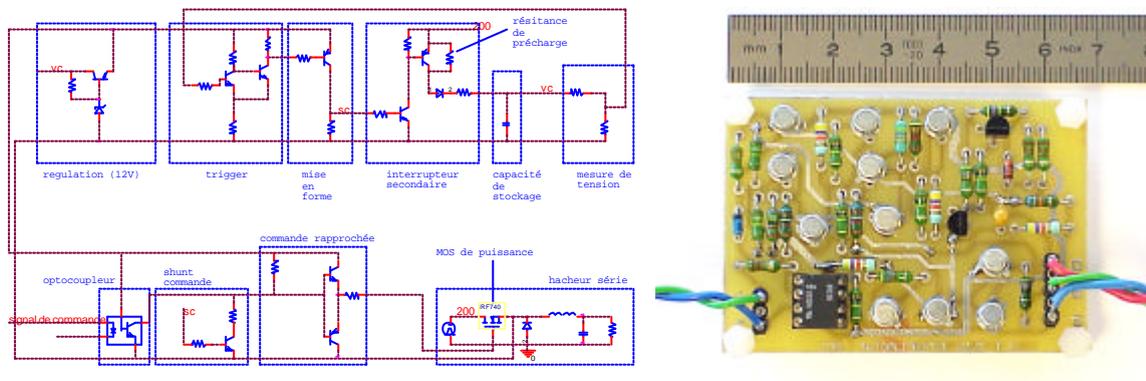


Figure 3-16 : Auto-alimentation régulée en composants discrets [ROUX].

Cette approche, bien qu'envisageable dans le cas d'une intégration hybride, a donc été abandonnée, en raison du trop grand nombre de paramètres (gains des différents transistors bipolaires, valeurs des résistances...). Nous nous sommes alors orientés vers d'autres solutions, où la régulation était assurée par un interrupteur auxiliaire, dont la fermeture ou l'ouverture contrôlée via la tension de la diode Zener devait permettre la régulation de la tension de charge du condensateur. La principale contrainte que nous nous sommes fixée était, outre le fait que la solution ne devait faire appel qu'à des fonctions intégrables sur silicium, que l'interrupteur auxiliaire assurant la régulation devait être totalement compatible avec la filière technologique du MOSFET vertical double diffusé. Nous avons retenu deux solutions :

- une solution MOSFET/MOSFET,
- et une solution MOSFET/JFET.

3.4.1. MOSFET/MOSFET

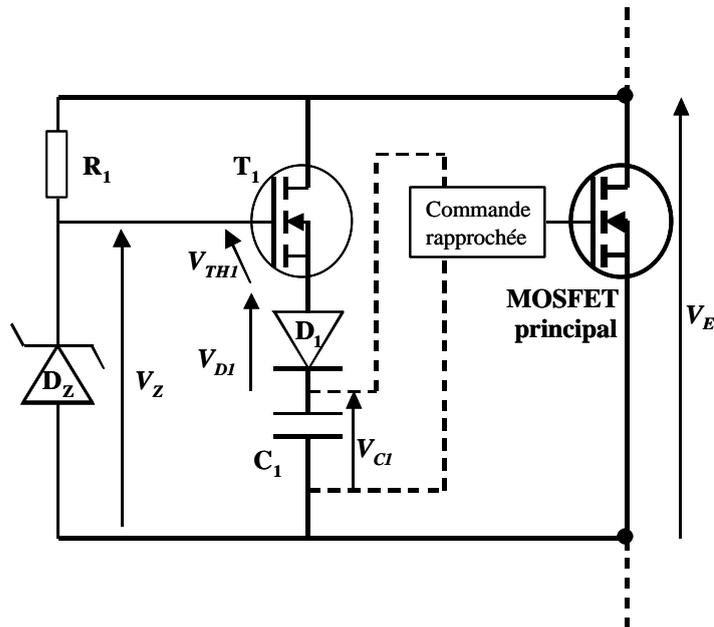


Figure 3-17 : Auto-alimentation régulée MOSFET/MOSFET.

Lorsque le transistor (MOSFET ou IGBT) principal est bloqué, il existe à ses bornes une certaine tension V_E . Le circuit illustré sur cette figure est alors alimenté ; la diode Zener D_Z est parcourue par un courant inverse, ce qui fait apparaître une tension V_Z à ses bornes. Cette tension est alors appliquée à la grille du transistor T_1 , qui devient passant si $V_Z - V_{DI} - V_{CI} > V_{TH}$. Le condensateur C_1 se charge alors jusqu'à une tension constante qui est égale à la tension de la diode Zener moins la somme des chutes de tension de la diode D_1 et du transistor T_1 . Quand la tension du condensateur atteint cette valeur, le régime de maintien est atteint. Dès lors, si un courant est consommé par la commande rapprochée, celui-ci proviendra du transistor T_1 et non du condensateur. Par la suite, il est possible d'arrêter l'alimentation du circuit d'auto-alimentation, et avoir recours à l'énergie stockée dans le condensateur pour alimenter la commande du MOSFET principal: il s'agit à proprement parler de la période d'auto-alimentation. La diode D_1 sert à empêcher la décharge du condensateur à travers le transistor T_1 (ou plutôt à travers sa diode Body) lorsque le transistor principal est passant.

Nous allons dimensionner de manière qualitative cette structure d'auto-alimentation de la commande rapprochée dans le cas d'une commande unipolaire $[0, +15V]$. Dans ce cas, le condensateur C_1 doit être chargé sous 15V. Sa valeur ne peut être choisie qu'en fonction de

l'énergie à stocker, qui dépend essentiellement du composant à piloter, ainsi que du schéma et des composants choisis pour la commande rapprochée. La diode Zener D_Z devra quant à elle avoir une tension Zener égale à la somme de la tension de charge de C_I , de la chute de tension D_I (de l'ordre de 0.6V), et de la tension V_{GS1} , tension de conduction du transistor T_I , légèrement supérieure à sa tension de seuil V_{TH1} . Si nous supposons que cette tension de seuil se situe aux alentours de 34V, ceci conduit au choix d'une diode Zener de tension 19V. La résistance R_I devra être dimensionnée de manière à supporter la tension ($V_E - V_Z$). Nous verrons plus loin que cette résistance (dont le rôle est de permettre de créer artificiellement une source de courant pour charger la capacité C_I) posera des difficultés quant à son intégration, en raison de sa valeur et des pertes par effet Joule à son niveau. Le courant circulant dans cette résistance R_I devra être suffisant pour assurer la charge de grille du transistor T_I et pour polariser la diode D_Z . Enfin, le transistor T_I doit pouvoir tenir une tension identique à celle tenue par l'interrupteur principal; toutefois, il ne sera pas parcouru par un fort courant. La diode D_I devra tenir le même courant, mais ses contraintes en tension sont nettement moins critiques (15V).

L'intérêt de cette première solution de régulation réside dans la totale compatibilité des deux transistors quant à la réalisation technologique : les deux composants sont des MOSFETs verticaux à double diffusion qui doivent avoir la même tenue en tension. Dans la mesure où un tel MOSFET est constitué d'une matrice de cellules élémentaires identiques, il suffira de réserver un certain nombre de ces cellules au transistor de régulation, de manière à assurer un courant de charge suffisant pour le condensateur. Les deux transistors peuvent donc être réalisés sur le même composant, au sein de la même structure de périphérie de tenue en tension. Il suffira juste de ré-agencer les prises de contact en face avant du composant, et il faudra réfléchir à l'agencement des cellules dédiées à l'auto-alimentation vis-à-vis des cellules de l'interrupteur principal. De plus, la modélisation électrique d'un tel système ne nécessitera pas d'effort supplémentaire, les deux composants étant des MOSFETs.

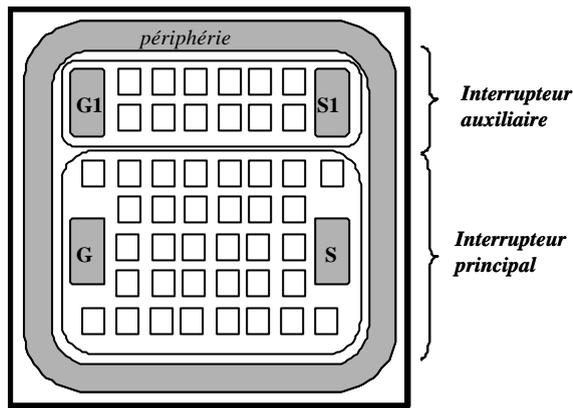


Figure 3-18 : Disposition schématique.

Cette solution MOSFET/MOSFET présente cependant un inconvénient majeur, concernant la résistance R_I . En effet, si dans le cas de cette première structure d'auto-alimentation, nous supposons que le MOSFET principal a une tenue en tension de 600V, et que le courant de charge est de 2mA, alors la résistance R_I doit valoir : $R_I = (600-20)/2^e-3 = 290k\Omega$. Cette valeur n'est pas aisément intégrable sur silicium, et si nous la diminuons en augmentant le courant de charge, ceci entraîne une augmentation critique des pertes. De plus, cette structure de régulation nécessite 3 composants pour fonctionner (MOSFET auxiliaire T_I + Diode Zener D_Z + Résistance R_I). L'intégration de ces composants risque donc d'être problématique, et même si l'un d'entre eux (T_I) semble aisément intégrable avec le composant principal, la complexité de cette structure et les considérations énergétiques font que la réalisation de cette solution dans le cadre d'une intégration monolithique risque d'être fortement compromise.

3.4.2. JFET/MOSFET

Une alternative intéressante à la solution précédente consiste à réaliser cette régulation à l'aide d'un composant JFET, composant qui présente l'avantage d'être compatible avec la filière technologique du MOSFET vertical double diffusé. De plus, comme nous le verrons plus loin, cette seconde structure de régulation présente l'avantage de ne nécessiter qu'un composant au lieu de trois dans le cas de la première structure de régulation. Le JFET est un composant unipolaire qui peut être utilisé comme résistance variable en fonction d'une tension (dans la zone linéaire des caractéristiques), ou comme commande d'un courant par une tension (dans la zone de saturation des caractéristiques).

3.4.2.1. JFET horizontal

Expliquons tout d'abord brièvement le principe de fonctionnement de ce composant ([BOITTIAUX]). Un JFET (Junction Field Effect Transistor) comporte comme le MOSFET trois électrodes : la source injecte les porteurs dans la structure, le drain les recueille, et la grille constitue l'électrode de commande où est appliquée une tension permettant de contrôler l'état de l'interrupteur. Comme pour un MOSFET, la zone active, située sous la grille, est appelée « canal ». Pour cette étude qualitative de l'analyse comportementale du composant, nous allons considérer un JFET horizontal canal N.

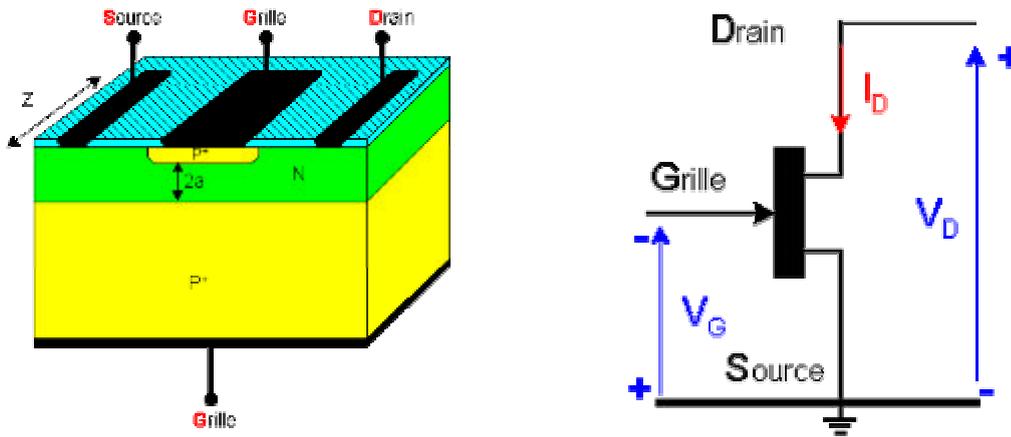


Figure 3-19 : Structure horizontale et symbole d'un JFET canal N.

Pour limiter le courant grille-source, la jonction grille-canal doit être polarisée en inverse, et la grille doit être à un potentiel négatif par rapport à la source pour que le courant puisse circuler entre drain et source. Les figures suivantes permettent de suivre l'évolution des zones de charges d'espace et des caractéristiques I_D - V_D sous polarisation nulle de grille. A faible tension V_{DS} , le JFET se comporte comme une résistance constante. Si la tension V_{DS} augmente, l'élargissement des ZCE côté Drain entraîne une augmentation de cette résistance. Si les deux ZCE se rejoignent côté drain, il y a pincement du canal lorsque $V_{DS} > V_P$ (tension de pincement), et le courant I_D atteint sa valeur de saturation I_{Dsat} , et n'évolue plus, même si V_{DS} continue d'augmenter.

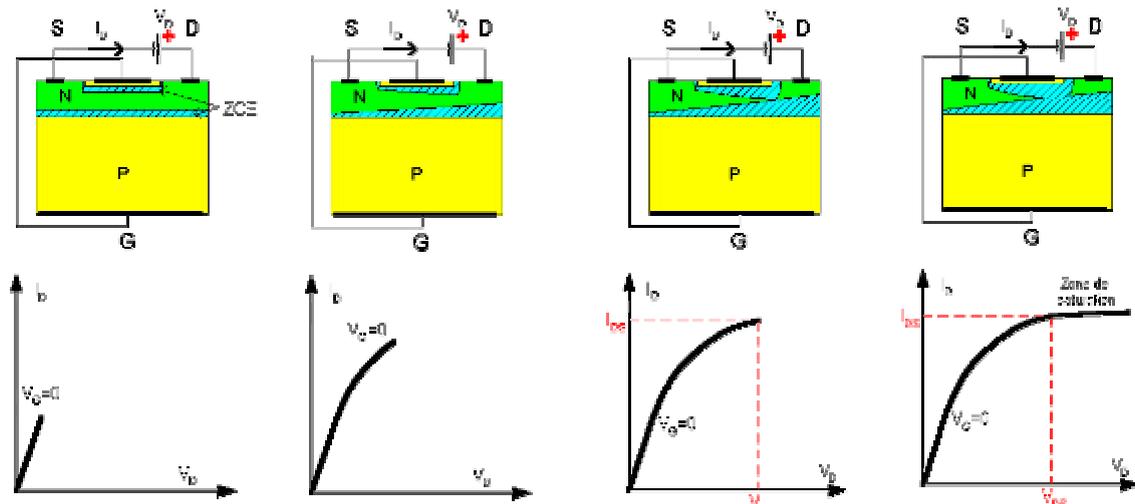


Figure 3-20 : Fonctionnement d'un JFET sous polarisation nulle de grille.

Considérons maintenant une polarisation négative de l'électrode de grille par rapport à celle de source. Plus la tension V_{GS} est négative, plus la résistance présentée par le JFET augmente. A faible tension V_{DS} , et pour une tension de grille vérifiant $0 > V_{GS} > -V_P$, le JFET se comporte comme une résistance commandée en tension. Si la tension V_{DS} augmente, l'extension des ZCE côté drain restreint le canal où circulent les électrons. Il apparaît comme précédemment un phénomène de pincement du canal, qui se produit toutefois à une tension V_{DS} inférieure à la tension V_P . Le courant atteint alors une valeur de saturation qui dépend de la tension de grille appliquée. Plus V_G est négative, plus cette saturation s'effectue à faible valeur de V_{DS} . Enfin, si $V_{GS} = -V_P$, les deux ZCE se rejoignent sur la totalité du canal, et le JFET est bloqué.

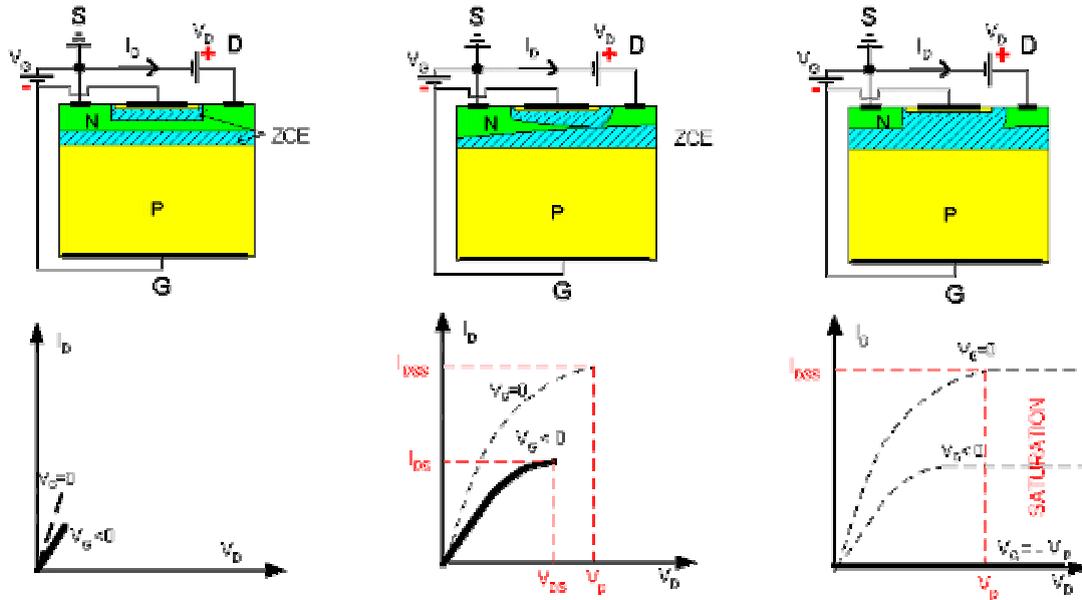


Figure 3-21 : Fonctionnement d'un JFET avec polarisation de grille.

La figure suivante présente la caractéristique classique I - V d'un JFET, en précisant les différentes valeurs limites de fonctionnement.

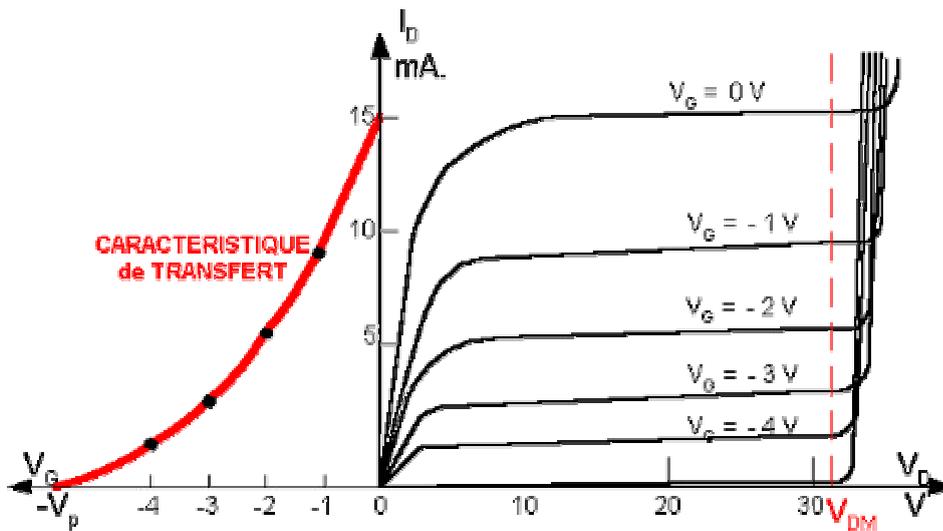


Figure 3-22 : Caractéristique classique I - V d'un JFET.

Nous présentons enfin la structure d'un JFET vertical (Figure 3-23):

conception de manière à ce que sa tension de pincement soit d'environ 15.6V. Ceci permet de charger C_I à une tension constante de 15V. Le JFET T_I est ensuite automatiquement ouvert et voit à ses bornes la tension : $V_E - V_{GISI}$. La diode D_I joue le même rôle que dans la structure précédente. Le principe même de fonctionnement du JFET assure de manière autonome la régulation de la tension V_{CI} . Ainsi, si la tension de charge vient à diminuer, la tension de grille remonte, ce qui fait que le JFET redevient passant, le courant drain-source du JFET augmente et recharge le condensateur C_I . Cette solution est intéressante dans la mesure, où d'une part le JFET vertical se montre entièrement compatible avec la filière technologique du MOSFET vertical double diffusé (cf. paragraphe §3.5), et d'autre part cette solution ne nécessite pas de résistance de charge contrairement à la solution MOSFET/MOSFET. Cette solution JFET/MOSFET présente enfin l'avantage de pouvoir réaliser la fonction de régulation avec un seul composant (JFET) là où la solution MOSFET/MOSFET en nécessite trois. En contrepartie, il nous faut mener une étude quant aux différents paramètres électriques permettant de rendre compte du comportement du JFET vertical, notamment afin de pouvoir caler sa tension de pincement à une valeur appropriée. Chacune de ces solutions offre donc des avantages et des inconvénients, et nous avons préféré garder les deux structures, afin de pouvoir exploiter au mieux les possibilités de chacune.

3.4.2.2. Modèle de JFET vertical

Le modèle de JFET vertical que nous avons développé est basé sur celui du JFET horizontal. Notre schéma équivalent comporte donc une source de courant commandée en tension I_{JFET} , une résistance pour la zone de tenue en tension, et deux capacités inter-électrodes C_{GS} et C_{DG} , rendant compte du comportement en dynamique du composant et obtenues en établissant les expressions des capacités de transition et de diffusion des jonctions P+/N+ entre grille et source d'une part, et P+/v/N+ entre grille et drain d'autre part.

Nous considérons dans notre approche une cellule carrée dont les cotations sont présentées Figure 3-25 :

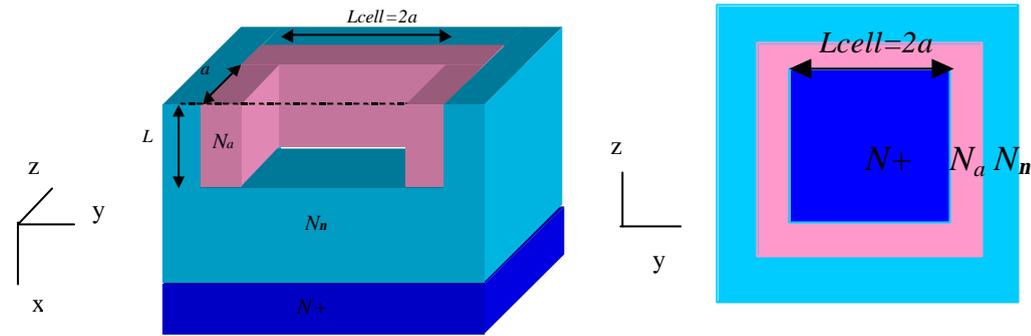


Figure 3-25 : Cellule élémentaire du JFET vertical (demi vue en coupe et vue de dessus).

Nous supposons tout d'abord que le champ électrique (Figure 3-26) est dirigé selon Oy (perpendiculaire à la jonction) dans la zone désertée et qu'il est parallèle à Ox dans la zone neutre du canal (approximation de Shockley).

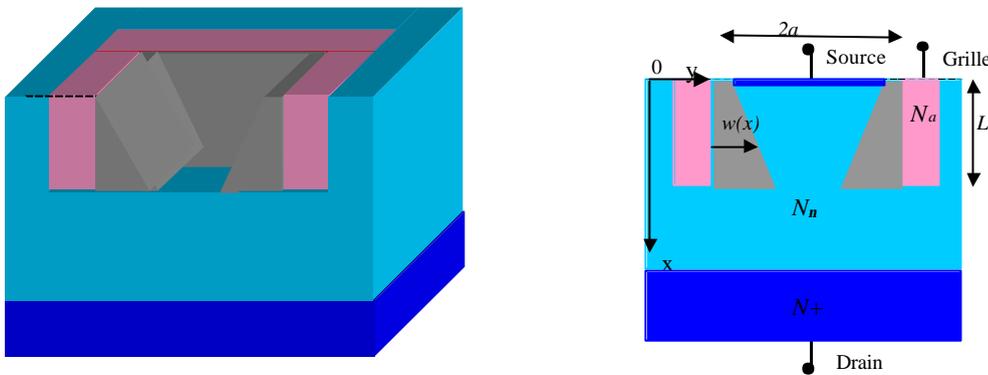


Figure 3-26 : Extension des zones désertes sous l'effet de la polarisation.

L'application d'une tension drain-source est à l'origine d'un potentiel V dans le canal tel que : $V(0)=0$ à la source, $V(L)=V_D$ au drain et $V=V(x)$ à la profondeur x . En conséquence, l'épaisseur w de la ZCE de la jonction P+/v entre la grille et la zone v est fonction de la profondeur x . En l'absence de tension de grille, son expression est :

$$w(x) = \sqrt{\frac{2 \cdot e}{q \cdot N_n} \cdot (V_b + V(x))} \quad \text{Eq.48}$$

où V_b est la tension de barrière de la jonction grille/canal et vaut :

$$V_b = \frac{k \cdot T}{q} \cdot \ln\left(\frac{N_a \cdot N_n}{n_i^2}\right) \quad \text{Eq.49}$$

Si une tension V_G est appliquée sur la grille, cette expression devient, en supposant que $N_a \gg N_n$:

$$w(x) = \sqrt{\frac{2 \cdot e}{q \cdot N_n} \cdot (V_b + V(x) - V_G)} \quad \text{Eq.50}$$

Considérons maintenant la résistance présentée par une tranche de canal située à la profondeur x , et d'épaisseur dx :

$$dR = \frac{1}{q \cdot N_n \cdot m_n} \cdot \frac{dx}{(2 \cdot a - 2 \cdot w(x))^2} \quad \text{Eq.51}$$

(Remarque : il faudrait en toute rigueur considérer un terme $a(x)$ pour tenir compte du profil de diffusion. Nous cherchons toutefois ici à dégager un modèle simple, basé sur des hypothèses de jonction abrupte et sans profil de diffusion, et nous considérons donc le terme a comme étant constant.)

Le passage du courant I_{DS} dans cette tranche entraîne une différence de potentiel dV dont l'expression est :

$$dV = I_D \cdot dR = \frac{I_D}{q \cdot N_n \cdot m_n} \cdot \frac{dx}{4 \cdot \left(a - \sqrt{\frac{2 \cdot e}{q \cdot N_n} \cdot (V_b + V(x) - V_G)} \right)^2} \quad \text{Eq.52}$$

En intégrant de $x=0$ à $x=L$, nous obtenons :

$$\int_0^{V_b} \left[a - \sqrt{\frac{2 \cdot e}{q \cdot N_n} \cdot (V_b + V(x) - V_G)} \right]^2 \cdot dV = \int_0^L \frac{I_D}{4 \cdot q \cdot N_n \cdot m_n} \cdot dx = \frac{I_D \cdot L}{4 \cdot q \cdot N_n \cdot m_n} \quad \text{Eq.53}$$

Nous posons alors :

$$G_0 = \frac{4 \cdot q \cdot N_n \cdot m_n \cdot a^2}{L}, \text{ la conductance du canal sans zone déserte ;} \quad \text{Eq.54}$$

$$V_{p0} = \frac{q \cdot N_n \cdot a^2}{2 \cdot e}, \text{ la tension interne de pincement du canal.} \quad \text{Eq.55}$$

Nous obtenons alors pour le résultat de l'intégration :

$$\frac{I_D}{G_0} = V_D + \frac{1}{2 \cdot V_{p0}} \cdot \left[(V_b + V_D - V_G)^2 - (V_b - V_G)^2 \right] - \frac{4}{3 \cdot \sqrt{V_{p0}}} \cdot \left[(V_b + V_D - V_G)^{3/2} - (V_b - V_G)^{3/2} \right]$$

Eq.56

Cette expression est valable tant que $V_D \leq V_{Dsat}$. Le pincement du canal intervient pour :

$$V_{Dsat} = V_{p0} - V_b + V_G$$

Eq.57

Le courant drain-source vaut alors :

$$I_{Dsat} = G_0 \cdot \left(V_{p0} - V_b + V_G + \frac{[V_{p0}^2 - (V_b - V_G)^2]}{2 \cdot V_{p0}} - \frac{4 \cdot [V_{p0}^{3/2} - (V_b - V_G)^{3/2}]}{3 \cdot \sqrt{V_{p0}}} \right)$$

Eq.58

Le courant de saturation maximum est donné pour une polarisation de grille nulle :

$$I_{Dsatmax} = G_0 \cdot \left(V_{p0} - V_b + \frac{[V_{p0}^2 - (V_b)^2]}{2 \cdot V_{p0}} - \frac{4 \cdot [V_{p0}^{3/2} - (V_b)^{3/2}]}{3 \cdot \sqrt{V_{p0}}} \right)$$

Eq.59

L'allure de cette expression est donnée par la figure suivante :

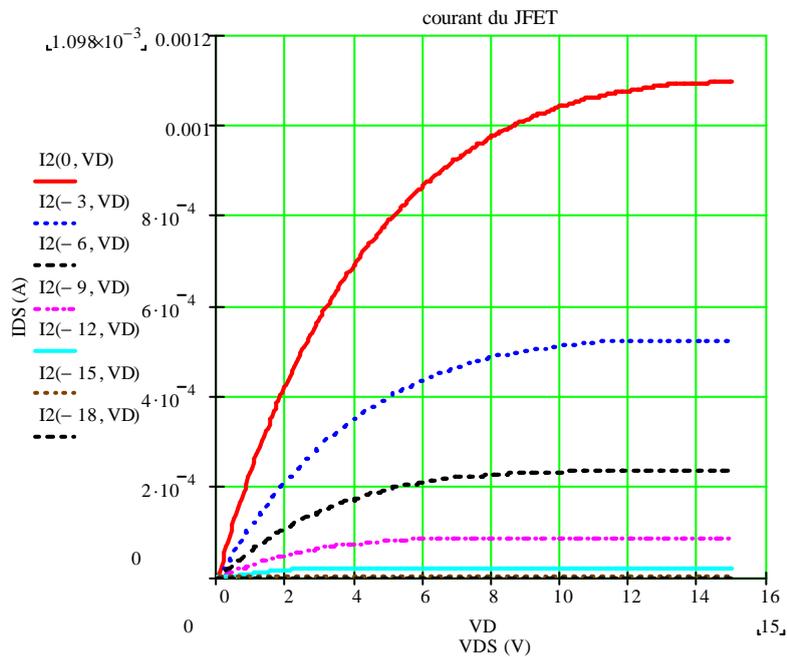


Figure 3-27 : Source de courant du JFET en cellules carrées (ici pour une seule cellule carrée).

Notre approche suppose que la tension à la sortie du canal soit égale à la tension de drain, ce qui implique une chute de tension nulle dans la zone v située sous le canal. Cette zone est pourtant résistive, puisque c'est elle qui assure la tenue en tension du composant, son dopage est donc relativement faible. Pour tenir compte de la chute de tension dans cette zone, il faut remplacer V_D par $V_J = V_D - R_n \cdot I_D$, où V_J est la valeur de la tension à la sortie du canal du JFET, et où R_n est la résistance de la zone v sous le canal (Figure 3-28), avec :

$$R_n = \frac{w_n - L}{q \cdot N_n \cdot m_n \cdot S}, \text{ où } S \text{ est la surface sous la cellule.} \quad \text{Eq.60}$$

L'expression du courant devient alors :

$$\frac{I_D}{G_0} = V_D - R_n \cdot I_D + \frac{1}{2 \cdot V_{p0}} \cdot \left[(V_b + V_D - R_n \cdot I_D - V_G)^2 - (V_b - V_G)^2 \right] - \frac{4}{3 \cdot \sqrt{V_{p0}}} \cdot \left[(V_b + V_D - R_n \cdot I_D - V_G)^{3/2} - (V_b - V_G)^{3/2} \right] \quad \text{Eq.61}$$

Il n'est pas possible de résoudre de manière analytique cette équation, c'est-à-dire qu'il est impossible d'obtenir une formule nous donnant $I_D = f(V_G, V_D)$; nous pouvons toutefois en première approche considérer que la figure précédente correspond à la représentation $I_D = f(V_G, V_J)$, et que la représentation $I_D = f(V_G, V_D)$ peut être obtenue en effectuant un décalage de $R_n \cdot I_D$ sur l'axe des abscisses pour l'ensemble du réseau de courbes (Figure 3-28).

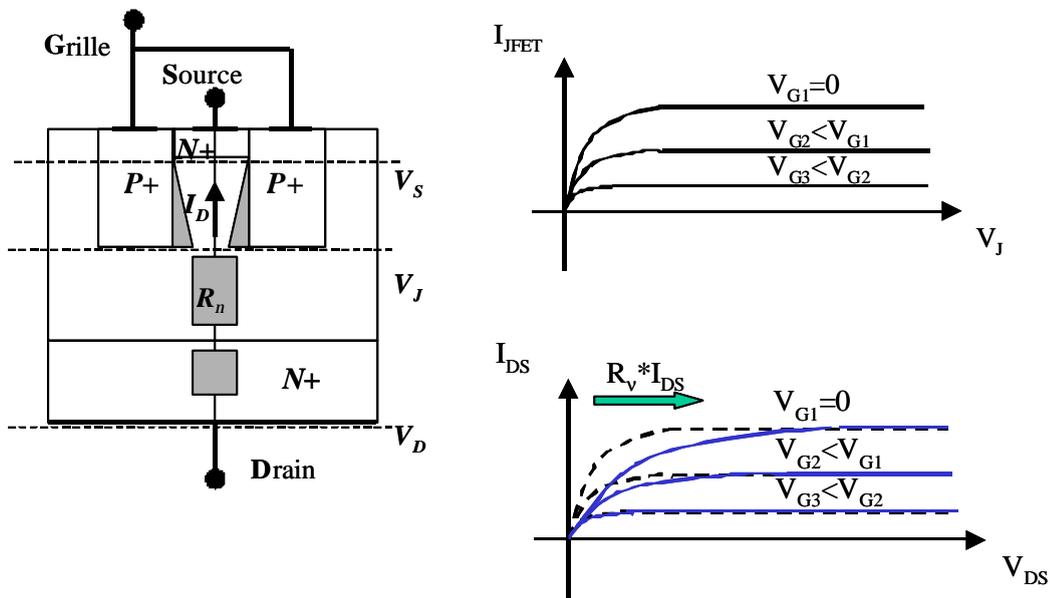


Figure 3-28 : Explications du décalage sur les caractéristiques I-V.

Dans le cas d'un JFET non plus en cellule carrée mais en bande de longueur Z, un raisonnement analogue au précédent conduit à l'expression suivante :

$$\frac{I_D}{G_0} = V_D - \frac{2}{3 \cdot \sqrt{V_{p0}}} \cdot [(V_D + V_b - V_G)^{3/2} - (V_b - V_G)^{3/2}] \quad \text{Eq.62}$$

dans le cas où la tension à la sortie du canal vaut V_D , avec cette fois-ci :

$$G_0 = \frac{2 \cdot q \cdot N_n \cdot m_n \cdot a \cdot Z}{L} \quad \text{et} \quad V_{p0} = \frac{q \cdot N_n \cdot a^2}{2 \cdot e} \quad \text{Eq.63}$$

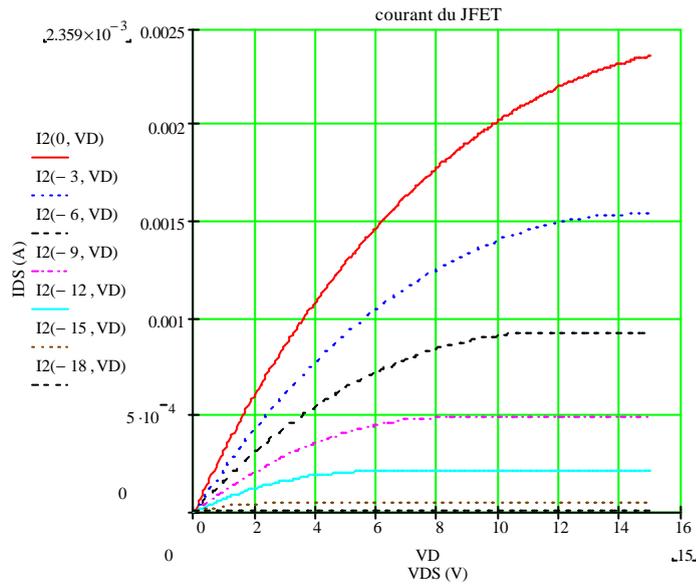


Figure 3-29 : Source de courant du JFET en bandes (avec ici $Z=2a$).

Nous pouvons constater que le JFET en bandes est a priori deux fois plus performant en terme de courant que son homologue à cellules carrées, et ce pour des dimensions de motifs équivalentes. Ceci est dû au fait que dans le cas d'un motif carré, le canal est pincé sur les 4 côtés, alors que dans le cas d'un motif en bandes, le pincement ne s'effectue que sur 2 côtés. Ce résultat transparait au travers des expressions du courant I_D dans le cas du JFET en cellules carrées et dans le cas du JFET en bandes.

De la même manière que précédemment, si nous considérons la chute de tension dans la zone de tenue en tension, nous obtenons :

$$\frac{I_D}{G_0} = V_D - R_n \cdot I_D - \frac{2}{3 \cdot \sqrt{V_{p0}}} \cdot [(V_D - R_n \cdot I_D + V_b - V_G)^{3/2} - (V_b - V_G)^{3/2}] \quad \text{Eq.64}$$

Il est possible d'exprimer analytiquement I_D en fonction de V_D et V_G , en résolvant un polynôme du 3^{ème} degré à l'aide des formules de Tartaglia Cardan, mais les 3 expressions obtenues sont fonctions des valeurs respectives de V_{p0} , G_0 , R_n et V_b , et la distinction de la solution physique de l'équation ne peut se faire qu'avec des valeurs numériques.

De plus, le nombre important de paramètres (dopage N_a de la grille, profondeur de diffusion L , dimensions du canal, dopage de la zone de tenue en tension v) nécessiterait une approche approfondie de ces expressions, afin de voir leur influence respective sur les performances statiques du composant. Si les allures obtenues avec ce modèle semblent cohérentes avec ce que présente la littérature quant au fonctionnement de type pentode du JFET vertical, nous n'avons pas réussi à obtenir de fonctionnement de type triode à l'aide de ce modèle, alors que des simulations éléments finis (SILVACO) permettent de visualiser ces deux comportements.

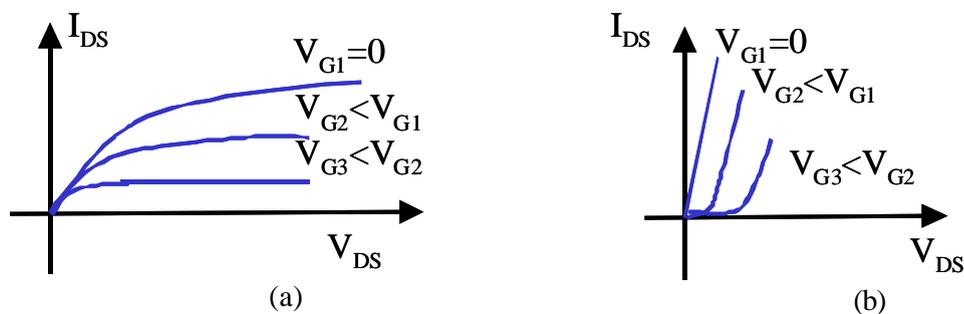


Figure 3-30 : JFET ayant un fonctionnement de type pentode (a), et de type triode (b).

Cependant, après avoir mené plusieurs simulations éléments finis (SILVACO), il semblerait que notre modèle ne rende pas compte du fonctionnement de type triode pour deux raisons :

- nous avons fait l'hypothèse de jonctions verticales pour la grille, alors qu'il s'agit de zones diffusées présentant une avancée latérale qu'il faut prendre en compte pour l'étude du pincement du canal,
- dans le cas de JFETs verticaux, l'influence de la tension V_{DS} est à prendre en compte, puisque dans ces structures, le canal ne tient pas toute la tension V_{DS} , mais seulement une partie, contrairement à la structure horizontale.

Néanmoins, il est difficile de trouver à l'heure actuelle de modèle de JFET vertical : bien que ce composant existe depuis plusieurs décennies ([MORENZA], [YAMAGUCHI]), le fait qu'il soit «Normally On» a conduit à un rapide délaissement de cette structure au profit d'autres, qui étant «Normally Off», s'avèrent d'usage moins risqué pour les applications d'électronique de puissance. Ce type de composant redevient de nouveau d'actualité avec l'apport du Carbure de Silicium ([TOURNIER], [GUPTA], [ZHAO]). En effet, la structure du

JFET vertical est beaucoup plus facilement réalisable d'un point de vue technologique que celle des composants à grille isolée. Ces prototypes sont alors utilisés en cascade avec un MOSFET en silicium. Les publications actuelles quant au JFET vertical s'attachent plus à souligner les performances de ces prototypes qu'à dégager un modèle physique du composant.

Concernant la résistance de la zone v, la détermination de son expression analytique se fait en appliquant la formule :

$$R_n = \frac{1}{q \cdot N_n \cdot m_n} \cdot \frac{w_n - L}{S} \tag{Eq.65}$$

où, selon le degré de précision souhaité, la surface S correspond à la surface de sortie du canal, ou à la surface de la cellule carrée du JFET, ou encore à une surface équivalente tenant compte d'un épanouissement du courant à la sortie du canal.

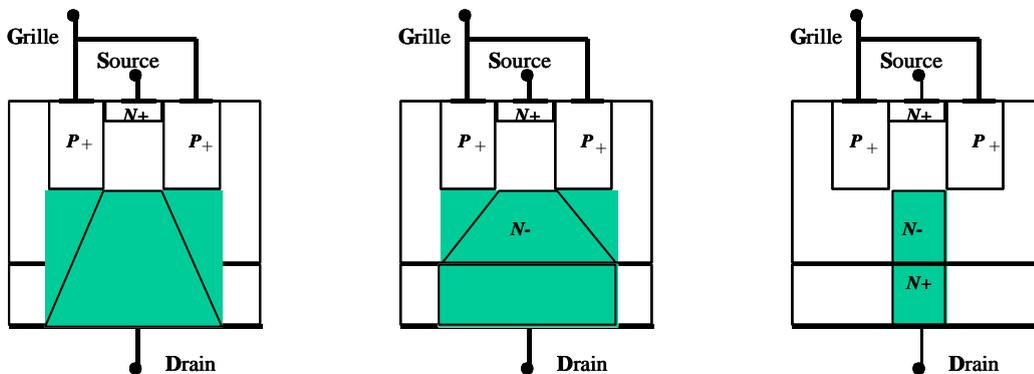


Figure 3-31 : Considérations pour le calcul de la résistance R_n à V_D faible (avec et sans épanouissement).

Enfin concernant les deux capacités inter-électrodes C_{GS} et C_{DG} , il suffit d'établir l'expression générale de la capacité d'une jonction P/N polarisée sous la tension V .

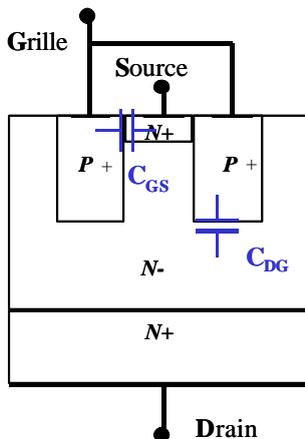


Figure 3-32 : Capacités inter-électrodes du JFET vertical.

Nous remarquons qu'en fonctionnement normal du JFET, les deux jonctions correspondantes (P+/N+ pour C_{GS} , et P+/V/N+ pour C_{DG}) sont polarisées en inverse, puisque : $V_G \leq V_S \leq V_D$. Ainsi, si la capacité d'une jonction P/N est normalement constituée de deux termes, un pour la capacité de diffusion, et un pour la capacité de jonction, dans le cas présent, le terme pour la capacité de diffusion est négligeable. Seul le terme de la capacité de jonction est à prendre en compte, ce qui permet d'obtenir les formules suivantes :

$$C_{GS} = \frac{C_{GS0}}{\sqrt{1 + \frac{V_{GS}}{V_{GS0}}}}, \text{ où } C_{GS0} = S_{GS} \cdot \sqrt{\frac{q \cdot e}{2} \cdot \frac{N_a \cdot N_n}{N_a + N_n} \cdot \frac{1}{V_{GS0}}}, \text{ avec } N_n \text{ le dopage de l'îlot}$$

Eq.66

de source et $V_{GS0} = \frac{k \cdot T}{q} \cdot \ln\left(\frac{N_a \cdot N_n}{n_i^2}\right)$, tension de barrière de la jonction grille-

source ;

$$C_{DG} = \frac{C_{DG0}}{\sqrt{1 + \frac{V_{DG}}{V_{DG0}}}}, \text{ où } C_{DG0} = S_{DG} \cdot \sqrt{\frac{q \cdot e}{2} \cdot \frac{N_a \cdot N_n}{N_a + N_n} \cdot \frac{1}{V_{DG0}}}, \text{ avec}$$

Eq.67

$$V_{DG0} = \frac{k \cdot T}{q} \cdot \ln\left(\frac{N_a \cdot N_n}{n_i^2}\right), \text{ tension de barrière de la jonction grille-drain.}$$

Toutefois, ce modèle n'a pas pu être validé par une démarche expérimentale, faute de disposer de prototypes ou de composants de ce type. De plus, il est basé sur l'adaptation du modèle du JFET horizontal, où la longueur de canal L est supposée deux fois supérieure à sa largeur, hypothèse difficilement réalisable dans notre cas à moins d'envisager une diffusion profonde des caissons P+ (même si le canal voit sa largeur augmenter avec la profondeur de diffusion de la jonction). Ce modèle devra donc être complété ultérieurement, notamment par une approche empirique menée sur des prototypes. Il nous permet néanmoins d'obtenir dans un premier temps la possibilité d'étudier les paramètres permettant de fixer de manière adéquate la tension de pincement du composant, ainsi qu'une estimation de la surface à allouer au JFET pour pouvoir assurer la charge du condensateur destiné à l'auto-alimentation de l'étage de commande rapprochée.

Dans la mesure où la tension de pincement V_{p0} ne dépend que du dopage N_n et de la demi-largeur de canal du JFET, et compte tenu du fait que le dopage N_n est fixé par la tenue en tension du composant, nous pouvons estimer la valeur de la demi-largeur de canal JFET dans le cadre d'un composant 600V (soit un dopage $N_n = 3 \cdot 10^{14} \text{ cm}^{-3}$ dans le cas d'une jonction tronquée optimisée) :

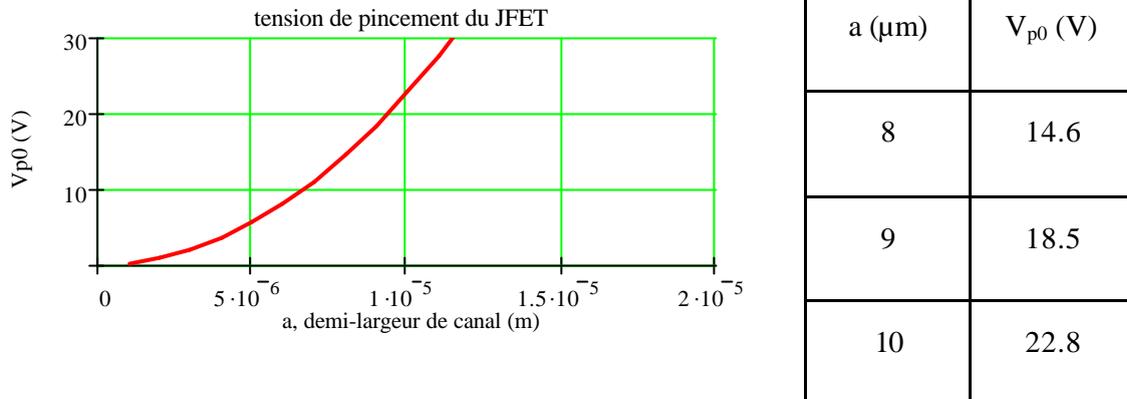


Figure 3-33 : Evolution de la tension de pincement en fonction de la largeur du canal.

Dans la mesure où nous avons choisi de charger le condensateur de l'auto-alimentation à 15V, nous voyons qu'il nous faudra choisir un canal JFET de 18 μm de large.

3.4.3. Dimensionnement surfacique

Nous souhaitons avoir une estimation de la surface à allouer à la partie auto-alimentation en fonction des besoins énergétiques du composant principal en commutation, et des besoins énergétiques du circuit de commande rapprochée ([IR-2], [ST-8]), et ce quelle que soit la solution de régulation adoptée (MOSFET/MOSFET ou JFET/MOSFET). Cette estimation s'avère problématique, pour plusieurs raisons :

- Premièrement, nous ne connaissons pas a priori le circuit de commande rapprochée. Dans le cas d'une intégration hybride de celui-ci, une solution simpliste consiste à avoir recours à un optocoupleur et une structure push-pull constituée de deux transistors (NPN et PNP), dont il est néanmoins difficile d'estimer la consommation moyenne ou au cours des commutations du composant principal ([DARTIGUES]);
- Deuxièmement, dans le cas d'une intégration monolithique de l'interrupteur principal et de l'interrupteur de régulation, la mise en équations du problème constitue une boucle. En effet, pour connaître la surface à allouer à l'interrupteur de régulation, il faut connaître le courant que doit pouvoir fournir cet interrupteur, il faut donc

connaître, entre autres, les besoins énergétiques du composant principal, il faut pour cela connaître la surface qui lui est allouée afin d'estimer ses capacités inter-électrodes, et il faut donc connaître la surface allouée en contrepartie à l'interrupteur de régulation. Bien sûr, il est possible de prendre le problème en sens inverse, c'est-à-dire partir d'un composant principal ayant une certaine surface, en déterminer les capacités et les besoins énergétiques, pour ensuite dimensionner la partie destinée à l'interrupteur de régulation d'auto-alimentation. Nous avons toutefois souhaité conserver la matrice du wafer présentée dans le chapitre 2, c'est-à-dire des puces carrées de 3mm de côté, et ce choix nous contraint à un dimensionnement plus difficile des surfaces à allouer à chaque fonction ;

- Enfin, il nous faut connaître certaines données du cahier des charges de l'interrupteur principal, telles que sa fréquence de fonctionnement, mais aussi d'autres données concernant le condensateur, telles que sa valeur (qui dépendra fortement du type d'intégration envisagée), mais aussi la chute de tension maximale tolérable aux bornes de ce condensateur lors de la conduction de l'interrupteur principal. En effet, lorsque le composant principal est fermé, le circuit d'auto-alimentation n'est plus alimenté, et le circuit de commande rapprochée consomme une certaine quantité de courant, et contribue donc à la décharge du condensateur. Ce condensateur se rechargera au début de la prochaine phase de blocage de l'interrupteur principal, et la dynamique de cette recharge sera conditionnée par les contraintes sur le convertisseur.

Compte tenu de toutes ces remarques, il nous semble donc difficile pour l'instant de proposer, dans le cas de composants dont la taille de puce est fixée, une démarche générale de dimensionnement du ratio entre les surfaces interrupteur principal / interrupteur de régulation.

Néanmoins, nous avons pu réaliser, pour la structure d'auto-alimentation MOSFET/MOSFET, une maquette en composants discrets. Cette maquette (hacheur série) nous a permis d'une part de valider le principe de fonctionnement, et d'autre part de disposer d'une estimation des besoins du circuit de commande rapprochée.

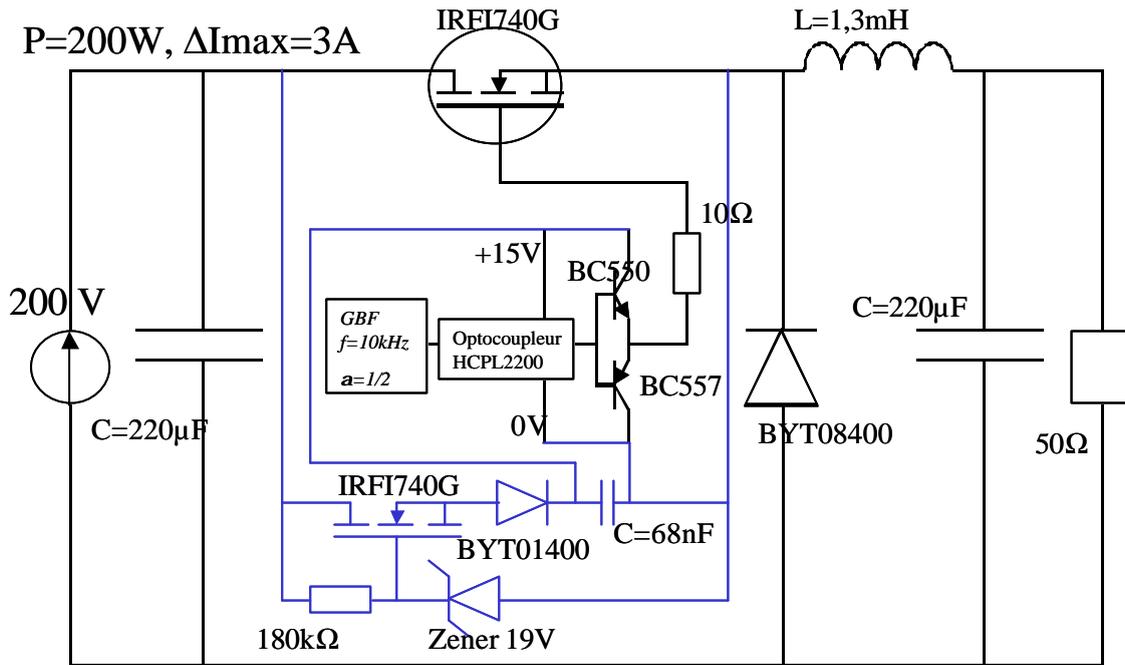


Figure 3-34 : Paramètres de la maquette de test hacheur série, d'après [VINCENT].

Dans ces conditions, nous avons pu estimer que la consommation moyenne de la commande était inférieure à 5mA.

Par la suite, nous avons considéré la disposition suivante pour la puce de silicium :

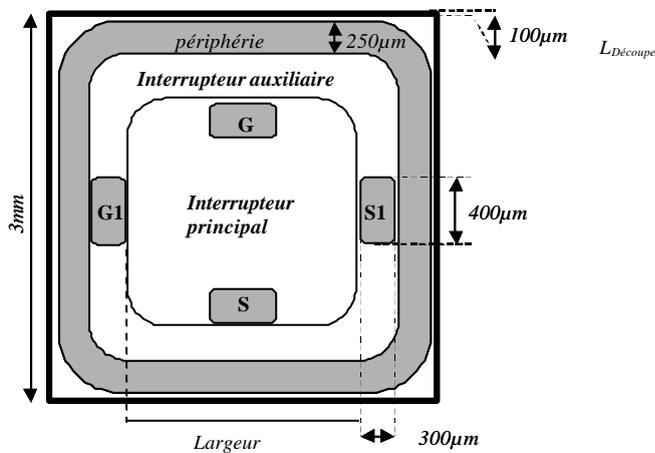


Figure 3-35 : Disposition des zones pour le composant principal et le composant auxiliaire sur la puce.

Nous avons choisi de réaliser pour l'interrupteur auxiliaire une bande entourant l'interrupteur principal. Ce choix provient d'un souci de conserver une certaine symétrie dans le dessin du composant, afin d'éviter tout risque de déséquilibre thermique lié à une concentration du courant à un endroit restreint du pavé de silicium. Des éléments d'étude bibliographique ([MONDAL]) nous ont permis de dimensionner la surface pour la périphérie de tenue en

tension dans le cas d'anneaux de garde ; il faut, dans le cas d'un composant avec une tenue en tension de 600V, réserver 250 μ m de chaque côté de la puce, auxquels il faut ajouter 100 μ m de part et d'autre pour le trait de découpe. Si nous considérons un composant réalisé sur un pavé de silicium 3mm*3mm, nous pouvons comparer (Figure 3-36) les surfaces respectivement allouées à l'interrupteur principal et à l'interrupteur d'auto-alimentation en fonction de y, la largeur de la bande destinée au second interrupteur :

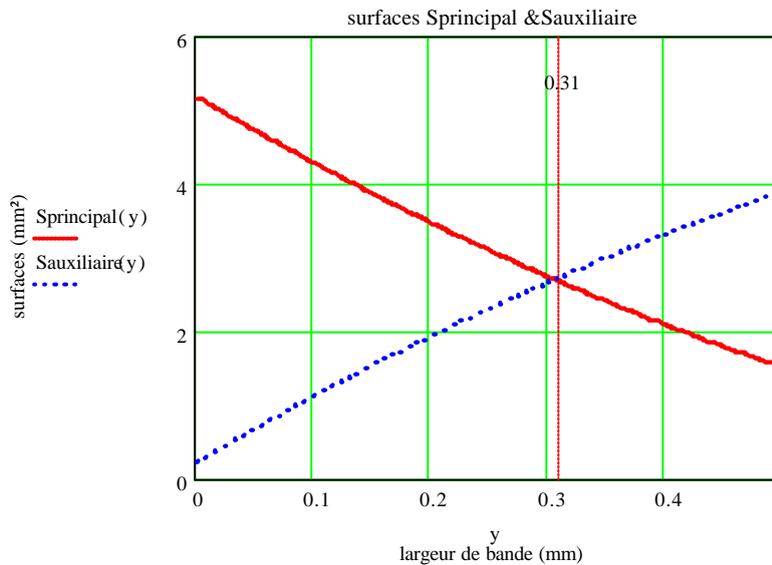


Figure 3-36 : Etude des surfaces allouées au composant principal et au composant auxiliaire en fonction de la largeur de bande, avec prise en compte des surfaces de contact.

Ces deux surfaces sont dans ce cas égales pour une largeur de bande de 310 μ m. La valeur que nous avons initialement prévue pour cette bande était légèrement supérieure à 300 μ m, et ce afin de pouvoir y loger les prises de contacts des bondings (qui se font sur une zone de 300 μ m*400 μ m pour l'interrupteur principal). Dans la mesure où l'interrupteur auxiliaire sera moins sollicité en courant que le composant principal, cette comparaison nous permet de conclure que, dans le cas de la régulation MOSFET/MOSFET, la surface allouée à l'interrupteur auxiliaire est ici amplement suffisante. Dans le cas de la régulation JFET/MOSFET, nous avons évalué le périmètre moyen de cette bande. Pour une bande de 300 μ m de large, ce périmètre moyen est de 7.2mm. L'étude de la formule analytique du courant maximal du JFET $I_{Dsatmax}$ obtenu pour une polarisation de grille nulle et de la formule de la conductance du canal G_0 nous permet d'écrire pour un JFET constitué d'une bande de longueur Z:

$$I_{Dsatmax} = G_0 \cdot \left(V_{p0} - V_b - \frac{2 \cdot [V_{p0}^3 - (V_b)^3]}{3 \cdot \sqrt{V_{p0}}} \right) \text{ et } G_0 = \frac{2 \cdot q \cdot N_n \cdot \mu_n \cdot a \cdot Z}{L} \tag{Eq.68}$$

Ceci permet d'écrire la relation entre la longueur Z et le courant maximal $I_{Dsatmax}$:

$$Z(I_{Dsatmax}) = \frac{L}{2 \cdot q \cdot N_n \cdot \mu_n \cdot a} \cdot \frac{I_{Dsatmax}}{\left(V_{p0} - V_b - \frac{2 \cdot (V_{p0}^3 - V_b^3)}{3 \cdot \sqrt{V_{p0}}} \right)} \tag{Eq.69}$$

Nous obtenons pour une tension $V_{p0} = 18.5V$ et une profondeur $L = 5\mu m$ l'évolution suivante :

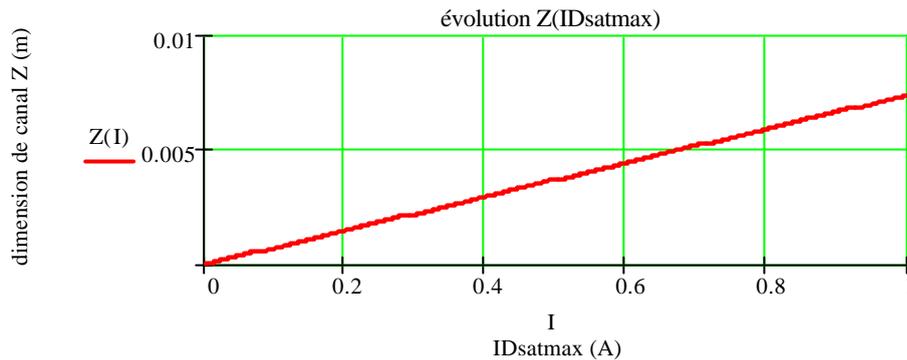


Figure 3-37 : Etude du canal Z en fonction du courant maximal admissible du JFET.

Ce résultat permet d'envisager un courant maximal de presque 1A pour les 7.2mm de périmètre moyen précédemment établis, pour une polarisation de grille nulle. Le calibre en courant du JFET semble donc suffisant pour assurer l'auto-alimentation, et, quand bien même ce ne serait pas le cas, il est encore possible d'envisager, pour augmenter ce courant, de mettre plusieurs canaux en parallèle, ou encore de «denteler» le canal central du JFET, comme illustré Figure 3-38 :

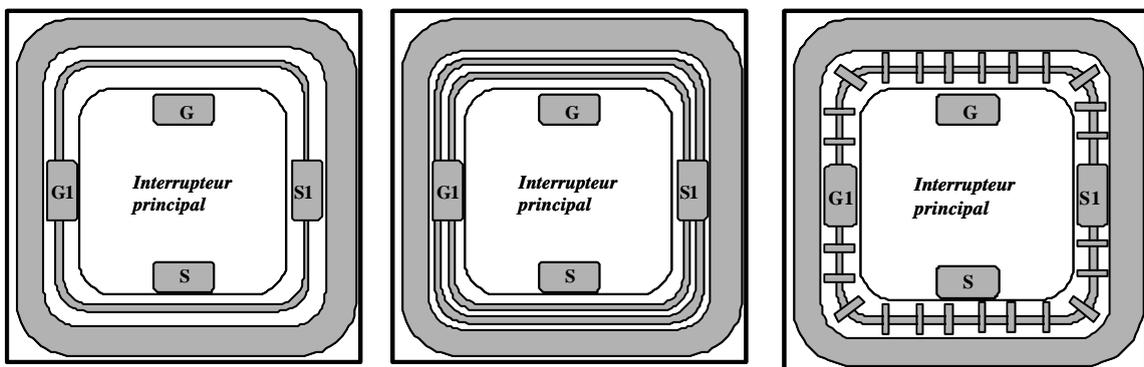


Figure 3-38 : Canal simple, multiple, dentelé pour un JFET vertical.

La surface allouée dans le cas de la régulation JFET/MOSFET semble là aussi suffisante pour assurer l'auto-alimentation.

Plusieurs tests de dimensionnement menés sous MATLAB ont permis d'évaluer l'ordre de grandeur de la charge de grille Q_G à apporter pour amorcer le MOSFET principal (commutant 2A sous 400V, avec une commande effectuée en 0/+20V). Les valeurs obtenues sont généralement inférieures à 500nC. Nous avons choisi par mesure de précaution de doubler ce majorant et de considérer une valeur de $1\mu\text{C}$, ce qui permet d'avoir à ce niveau un majorant très large, puisque, par la suite, nous envisagerons des MOSFETs optimisés, notamment au niveau de cette charge de grille (cf. chapitre 4). Là encore, l'évaluation du courant que devra fournir l'auto-alimentation dépend fortement du cahier des charges du composant principal, ainsi que des tolérances sur la décharge et la recharge du condensateur (Figure 3-39).

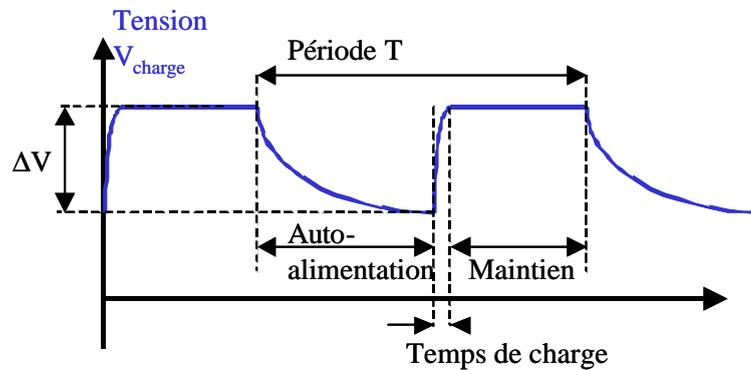


Figure 3-39 : Phase de charge & décharge sur une période.

Si nous prenons comme exemple le cas de la régulation JFET/MOSFET précédemment envisagée (tension de pincement $V_{p0}=18.5\text{V}$, profondeur de diffusion du P+ $L=5\mu\text{m}$ et périmètre moyen de canal JFET $Z=7.2\text{mm}$), nous obtenons les performances en courant suivantes pour le JFET :

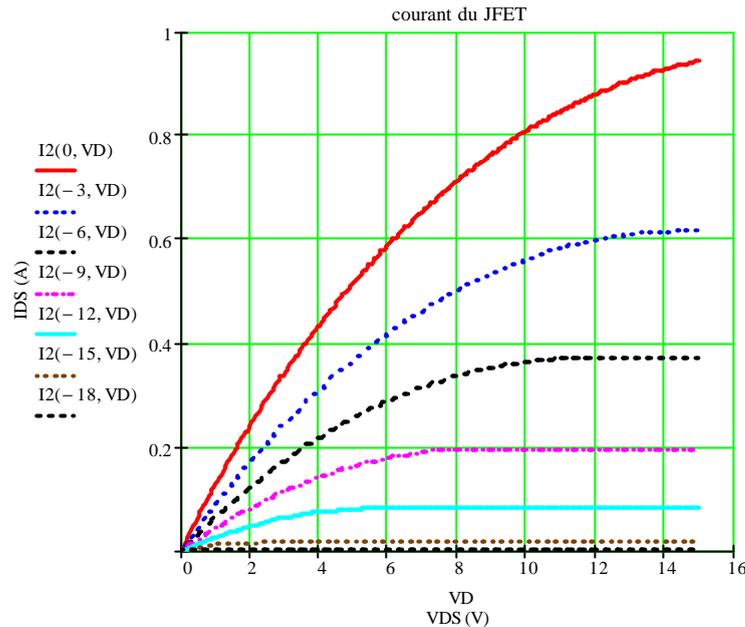


Figure 3-40 : Performances estimées en courant du JFET.

Ainsi, si nous tolérons une décharge du condensateur de 9V (soit quasiment la moitié de sa tension maximale) durant la phase de conduction de l'interrupteur principal, nous voyons sur ces courbes que la recharge débutera sous un courant maximal de 200mA. Si nous envisageons maintenant l'utilisation d'un condensateur de 20nF, nous obtenons le temps de recharge minimal: $\Delta t = \frac{C \cdot \Delta V}{i} = \frac{20 \cdot 10^{-9} \cdot (18.5 - 9)}{0.2} = 0.95 \mu s$. Le condensateur se rechargera donc en un peu moins d'une micro-seconde. Ce temps de recharge est en réalité inférieur au temps de charge réel, puisque dans cette équation, le courant est en réalité dépendant de la tension de charge, nous devrions donc considérer un terme $i(v)$, rendant compte du fait que plus la capacité se recharge, plus le courant de charge est faible. Cependant, en conservant à l'esprit cette valeur d'une micro-seconde pour le temps de recharge, et si nous nous fixons que le temps de recharge ne doit pas dépasser 10% du temps de conduction de l'interrupteur principal, et si nous supposons que la commande de cet interrupteur s'effectue avec un rapport cyclique de 0.5, nous en déduisons que la fréquence de fonctionnement maximale du composant sera de 5kHz. Néanmoins, il faut garder à l'esprit d'une part que ce dimensionnement repose sur un modèle qui n'a pas encore été validé expérimentalement (du moins pour le JFET), et d'autre part que nos composants auront plus la vocation de prototypes que celle de composants censés répondre à un cahier des charges strict. Cependant, la surface

allouée au composant de régulation semble amplement suffisante dans les deux cas de figure pour assurer le bon fonctionnement des structures d'auto-alimentation.

3.4.4. Dimensionnement thermique

Nous avons voulu nous assurer que la structure d'auto-alimentation comportant sur la même puce l'interrupteur principal et l'interrupteur auxiliaire de régulation ne présentait pas de risques du point de vue thermique du composant. En effet, il y a au sein de la même puce co-existence de deux fonctions générant des pertes à des niveaux et des instants différents. Cette analyse est basée sur une approche de type éléments finis et sur un modèle thermique constitué d'un réseau de résistances et capacités thermiques. Les résultats de cette étude montrent que les pertes de l'auto-alimentation sont localisées dans le volume défini par la surface allouée au composant auxiliaire multipliée par l'épaisseur de la puce. Compte tenu du fait que la recharge de la capacité se fera de manière impulsionnelle, et compte tenu des phénomènes de propagation latérale de la chaleur, il faut prendre en compte la surface totale de silicium pour le dimensionnement thermique. La zone allouée à l'interrupteur auxiliaire bénéficie donc d'un environnement thermique extrêmement favorable, et il en est de même pour les pertes en commutation de l'interrupteur principal. L'intégration au sein de la même puce de silicium de l'interrupteur principal et de l'interrupteur auxiliaire ne devrait donc pas poser de problèmes quant à la thermique du composant, et ce malgré des pertes se produisant à des niveaux et des instants différents.

3.4.5. Points d'étude particuliers

Au cours de notre progression dans notre réflexion sur ces structures d'auto-alimentation, nous nous sommes intéressés à deux points d'étude particuliers. Le premier concerne l'éventualité d'une tension $V_{T?}$ positive ou nulle. En effet, cette tension permet de garantir l'auto-écrantage de la grille, et permet donc de préserver l'état bloqué du MOSFET de tout réamorçage intempestif (immunité aux dV/dt trop importants). Dans la mesure où notre solution d'auto-alimentation ne nous permettra pas de réaliser une commande de grille allant d'une tension négative à une tension positive, nous avons donc cherché par quel moyen et à quel prix nous pouvions, en jouant sur différents paramètres physiques et géométriques du composant, rendre cette tension $V_{T?}=0$, en espérant réaliser une sorte de translation de la fenêtre de commande (Figure 3-41). Le second point d'étude résulte d'une part des résultats

d'optimisation (cf. chapitre 4), et d'autre part de cette translation des différents seuils : nous avons donc étudié les possibilités et les conséquences d'une augmentation de la tension de seuil V_{TH} .

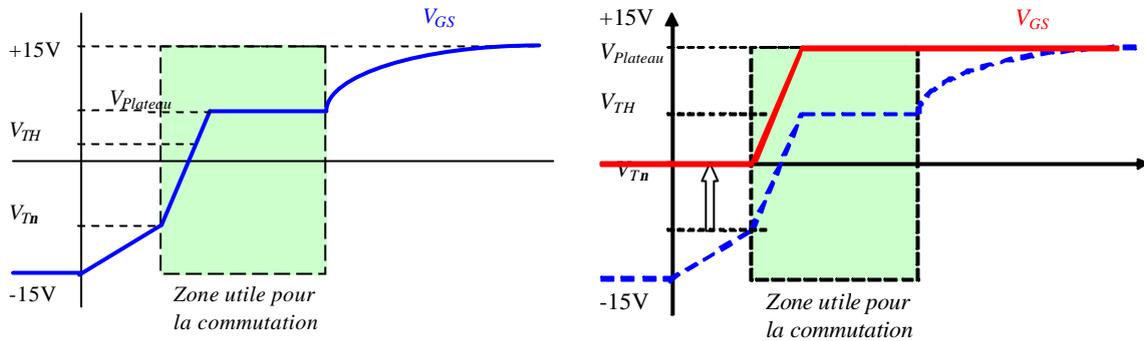


Figure 3-41 : Commande de grille classique et commande souhaitée dans le cadre de l'auto-alimentation.

3.4.5.1. Tension d'auto-écrantage V_{Tn} .

Le phénomène d'auto-écrantage apparaît lorsque le composant est bloqué, et que la tension V_G est inférieure à ce seuil V_{Tn} . Nous rappelons ici la formule analytique du chapitre 1 :

$$V_{Tn} = V_{FBn} + \frac{2 \cdot k \cdot T}{q} \cdot \ln\left(\frac{N_n}{n_i}\right) - \frac{q \cdot N_n}{\epsilon_0 \cdot \epsilon_{ox} / e_{ox}} \cdot \sqrt{\frac{4 \cdot \epsilon_0 \cdot \epsilon_{Si} \cdot \left[V_0 + \frac{k \cdot T}{q} \cdot \ln\left(\frac{N_n}{n_i}\right) \right]}{q \cdot N_n}}$$

Dans cette formule, la tension de bandes plates V_{FBn} s'exprime selon la relation suivante :

$$V_{FBn} = f_m - \left(c + \frac{E_g}{2} \right) + \frac{k \cdot T}{q} \cdot \ln\left(\frac{N_n}{n_i}\right) - \frac{Q_{ox}}{\epsilon_0 \cdot \epsilon_{ox} / e_{ox}}$$

Avec :

- f_m =travail de sortie du métal ;
- c =affinité électronique du silicium intrinsèque ;
- E_g =largeur de bande interdite ;
- N_n =dopage d la zone v ;
- e_{ox} =épaisseur de l'oxyde de grille ;
- Q_{ox} = densité de charges piégées à l'interface Si/SiO₂ ;
- V_0 =tension nominale drain-source du composant.

Ceci conduit à la formule suivante pour la tension d'auto-écrantage :

$$V_{Tn} = f_m - \left(c + \frac{E_g}{2} \right) + \left[3 \cdot \frac{k \cdot T}{q} \cdot \ln \left(\frac{N_n}{n_i} \right) \right] - \frac{q \cdot Q_{ox}}{e_0 \cdot e_{ox} / e_{ox}} - \left[\frac{q \cdot N_n}{e_0 \cdot e_{ox} / e_{ox}} \cdot \sqrt{\frac{4 \cdot e_0 \cdot e_{Si} \cdot \left[V_0 + \frac{k \cdot T}{q} \cdot \ln \left(\frac{N_n}{n_i} \right) \right]}{q \cdot N_n}} \right]$$

Dans cette formule, nous avons la possibilité de jouer sur différents paramètres, à savoir :

- f_{ms} (différence entre le travail de sortie du métal de grille et le silicium) ;
- N_n ;
- V_0 ;
- e_{ox} .

Le premier terme de la formule, $f_m - \left(c + \frac{E_g}{2} \right)$, est une constante, qui dépend du choix du métal de grille. Le second terme, positif, $3 \cdot \frac{k \cdot T}{q} \cdot \ln \left(\frac{N_n}{n_i} \right)$, dépend du dopage de la zone v.

Ensuite, viennent 2 termes négatifs :

$$- \frac{q \cdot Q_{ox}}{e_0 \cdot e_{ox} / e_{ox}} \text{ et } - \left[\frac{q \cdot N_n}{e_0 \cdot e_{ox} / e_{ox}} \cdot \sqrt{\frac{4 \cdot e_0 \cdot e_{Si} \cdot \left[V_0 + \frac{k \cdot T}{q} \cdot \ln \left(\frac{N_n}{n_i} \right) \right]}{q \cdot N_n}} \right].$$

Il faut savoir que les charges piégées Q_{ox} dans l'oxyde de grille sont de manière générale positives, et leur influence est telle que le 3^{ème} terme abaisse la tension V_{Tn} d'environ 1V. (Q_{ox} = typiquement 1E10 - 1E11 e.cm⁻², où e est la charge élémentaire. Nous avons choisi pour l'étude $Q_{ox}=5 \text{ E}10 \text{ e.cm}^{-2}$)

Etude en fonction du métal de grille.

Le paramètre f_{ms} correspond à la différence entre le travail de sortie f_m du métal de grille et l'affinité électronique du silicium f_s .

Le tableau 3-1 propose quelques valeurs pour f_{ms} :

Electrode métallique	Aluminium	Polysilicium N+	Polysilicium P+
f_{ms}	-0.41V	-0.56V	+0.56V

Tableau 3-1 : Différentes valeurs de f_{ms} .

Nous présentons aussi dans le tableau 3-2 les valeurs de travaux de sortie de différents métaux et les affinités électroniques de certains semiconducteurs :

	Métaux à faible travail de sortie						Métaux à fort travail de sortie							
	Li	Na	K	Rb	Cs	Fr	Cr	Fe	Ni	Al	Cu	Ag	Au	Pt
(eV.)	2.3	2.3	2.2	2.2	1.8	1.8	4.6	4.4	4.4	4.3	4.4	4.3	4.8	5.3
Affinité électronique (hors dopage)														
	Si		Ge		GaP		GaAs		GaSb		SiO ₂			
(eV.)	4.01		4.13		4.3		4.07		4.06		1.1			

Tableau 3-2 : Travaux de sortie et affinités électroniques..

Le paramètre f_{ms} étant un des deux termes positifs, il faudra sans aucun doute changer de métal de grille si nous souhaitons rendre la tension $V_{Th} \geq 0$ (garantissant un auto écranage de la grille pour une tension positive voire nulle). Une augmentation de ce paramètre f_{ms} aura pour conséquence une augmentation de la tension d'amorçage V_{Th} du composant.

Ne sachant pas si tous les métaux sont compatibles avec une filière MOSFET de puissance, nous nous sommes limités dans cette étude aux 3 possibilités suivantes : Aluminium (travail de sortie de 4,1eV), Polysilicium N (4,15eV), et Polysilicium P (5,27eV).

De plus, le tableau 3-3 montre l'influence du dopage sur l'affinité électronique du Si:

Dopage (cm ⁻³)	1 ^e 15	1 ^e 16	1 ^e 17	1 ^e 18	1 ^e 19	1 ^e 20
N type (eV)	4.42	4.36	4.30	4.24	4.18	4.12
P type (eV)	5.04	5.10	5.15	5.21	5.27	5.33

Tableau 3-3 : Influence du dopage sur l'affinité électronique.

Ce tableau est déduit du calcul suivant :

$$\text{Affinité électronique du Silicium: } W_s = f_s = c + \frac{E_g}{2} + j_B, \text{ avec à l'ambiante : } j_B = \pm \frac{k \cdot T}{q} \cdot \ln\left(\frac{N}{n_i}\right).$$

Où : $c = 4.05 \text{ eV}$; $E_g = 1.12 \text{ eV}$; $n_i = \text{concentration intrinsèque} = 1 \text{E}10 \text{ cm}^{-3}$ à l'ambiante; $N = \text{dopage}$; (+) = type p; & (-) = type n.

Soit numériquement : $f_s = 4.05V + 0.56V \pm 0.0259 \cdot \ln\left(\frac{N}{1E10}\right) = 4.61 \pm 0.0259 \cdot \ln\left(\frac{N}{1E10}\right)$

Toutefois, dans notre formule, cette dépendance vis-à-vis du dopage n'apparaît pas dans le premier terme. Elle est en fait couplée au potentiel de forte inversion :

$f_{si} = 2 \cdot j_B = \frac{2 \cdot k \cdot T}{q} \cdot \ln\left(\frac{N}{n_i}\right)$, et apparaît dans le second terme de la formule de V_{Tn} .

Nous avons donc tout intérêt à travailler avec du PolySilicium dopé P, ou du Platine (si compatibilité). Ce choix présente cependant un inconvénient, compte tenu du fait que le Bore (P) diffuse dans l'oxyde, et risque de modifier la valeur de Q_{ox} .

La suite de l'étude suppose donc une **grille en polysilicium P**, avec $f_m = 5.27eV$. Les courbes présentées ont pour but premier de donner des tendances plus que des résultats numériques. Nous nous attacherons donc plus à l'aspect qualitatif des courbes qu'à l'aspect quantitatif.

Etude en fonction du dopage.

Nous posons ici $e_{ox} = 100nm$ et $V_0 = 400V$. Nous obtenons alors la courbe suivante :

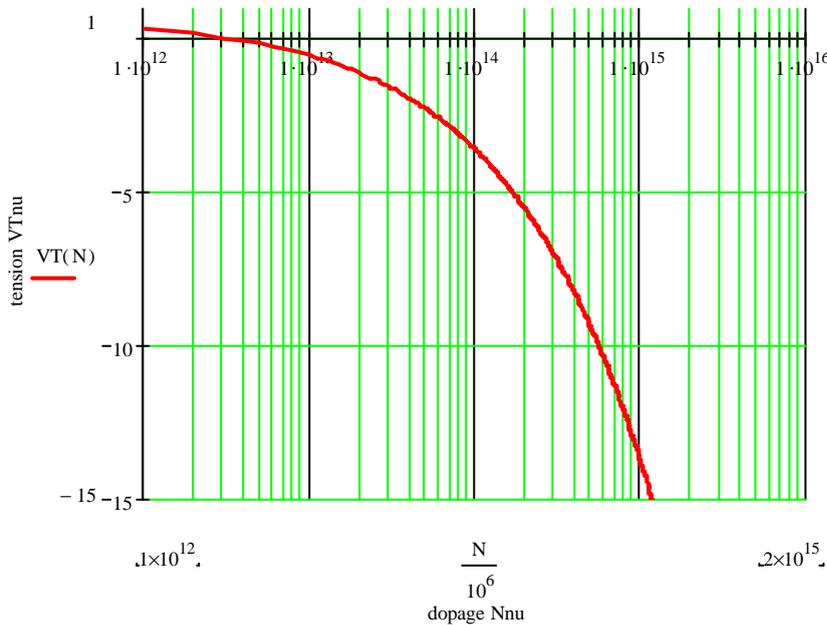


Figure 3-42 : Courbe représentant la tension d'autoécrantage $V_m(V)$ en fonction du dopage $N_n (cm^{-3})$.

Il semble donc théoriquement possible de rendre cette tension positive pour de très faibles valeurs de dopage. Nous avons donc tout intérêt à travailler à faible dopage pour la zone v. Cela aura pour conséquences:

- une augmentation de la tenue en tension (peu intéressant dans notre cas),
- une augmentation de la résistivité r_n , ce qui s'avère nuisible dans notre cas, puisque nous aurons une résistance à l'état passant (dont 80% sont dans la zone v) plus élevée, et donc une chute de tension à l'état passant V_{DSon} élevée,
- une augmentation de l'extension de la zone déserte W_{ZD} ,
- de manière globale, une diminution des capacités inter-électrodes (ou du moins de leur niveau maximal).

Etude en fonction de l'épaisseur d'oxyde de grille.

Nous supposons ici $N_n=4.4 \times 10^{13} \text{ cm}^{-3}$ et $V_0=400\text{V}$. Nous obtenons alors la courbe suivante :

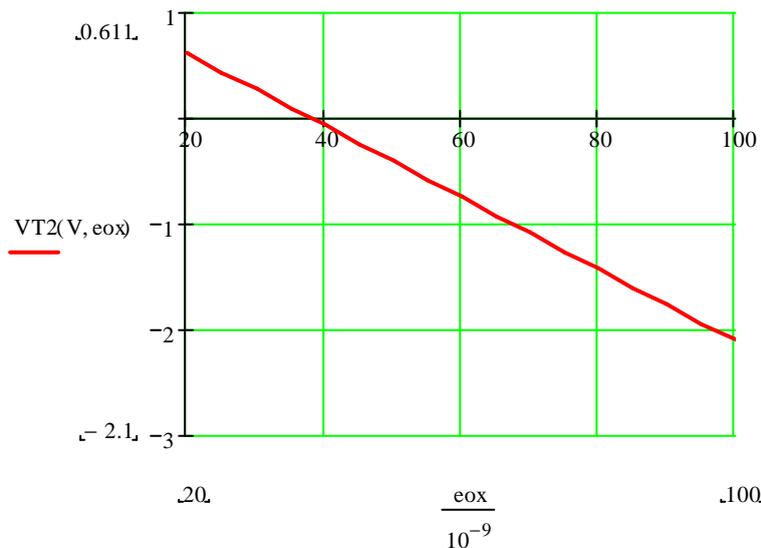


Figure 3-43 : Courbe représentant la tension d'autoécrantage $V_{Tn}(V)$ en fonction de l'épaisseur d'oxyde de grille e_{ox} (m).

Il semble donc possible de rendre $V_{Tn}>0$ pour de faibles épaisseurs d'oxyde de grille. Cette diminution de e_{ox} aura pour conséquences principales:

- augmentation générale des capacités inter-électrodes;

- diminution de la tension V_{Th} d'amorçage du composant.

Etude en fonction de la tension du circuit de puissance.

Nous supposons ici $N_n=4.4 \times 10^{13} \text{ cm}^{-3}$ et $e_{ox}=100\text{nm}$. Nous obtenons alors la courbe suivante :

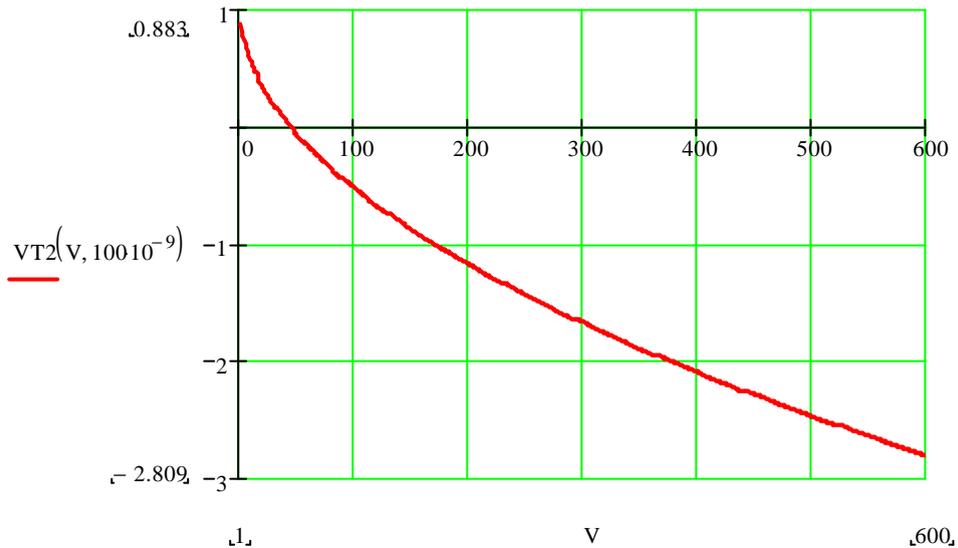


Figure 3-44 : Courbe représentant la tension d'autoécrantage $V_{Tn}(V)$ en fonction de la tension commutée $V_g(V)$.

Nous constatons que la condition $V_{Tn} > 0$ n'est possible qu'à faible tension drain-source (moins de 50V). Cette courbe montre qu'il sera plus facile d'avoir un V_{Tn} proche de zéro pour des composants utilisés pour de faibles tensions de drain. Il semble que ce paramètre soit un des plus influents, une fois le dopage de la zone v fixé.

En diminuant l'épaisseur d'oxyde, ceci entraîne un décalage de la courbe vers la droite, augmentant ainsi les tensions drain/source acceptables ($e_{ox}=100, 80, 50$ et 30 nm):

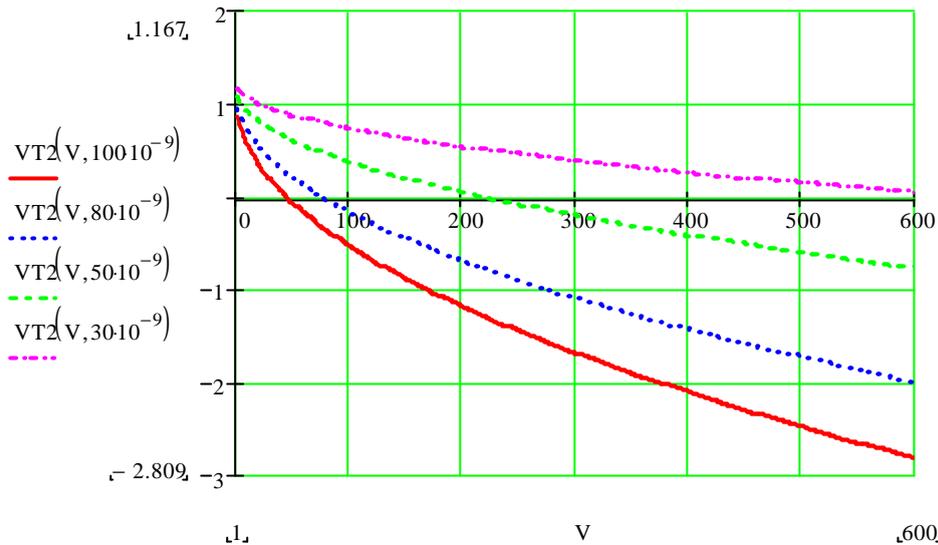


Figure 3-45 : Courbes représentant la tension d'autoécrantage $V_{Tn}(V)$ en fonction de la tension commutée V_0 (V), pour différentes épaisseurs d'oxyde.

Conclusions & Perspectives quant à l'augmentation du seuil V_{Tn} :

Nous retiendrons en conclusion la figure suivante, résumant les tendances observées :

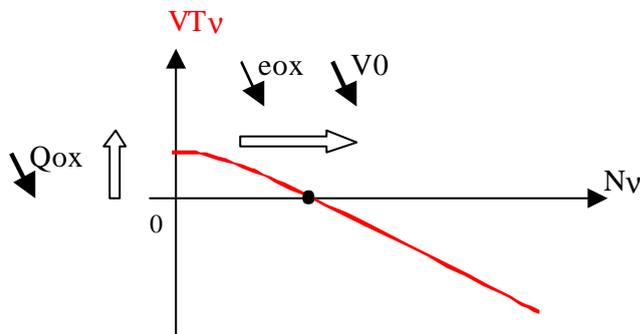


Figure 3-46 : Courbe représentant l'évolution de la tension d'autoécrantage V_{Tn} en fonction des différents paramètres.

Nous voyons donc qu'il semble théoriquement possible de rendre cette tension de seuil positive, en jouant sur les charges piégées dans l'oxyde, l'épaisseur d'oxyde de grille et le dopage de la zone N_D . Ceci ne semble toutefois possible que pour des faibles dopages N_D et pour de faibles tensions commutées V_0 , et en favorisant des épaisseurs d'oxyde de grille faibles. Ceci aura pour répercussion notable l'augmentation des capacités inter-électrodes, et la dégradation de l'état passant du composant. Ce n'est donc qu'en examinant avec précision et au cas par cas qu'il est possible de déterminer s'il est réellement intéressant de disposer

d'une tension d'auto-écrantage positive, quitte à dégrader les performances principales du composant (état passant, dynamique de commutation...).

Cette étude pose par ailleurs une problématique intéressante : en effet, les conditions classiques d'auto-écrantage sont telles que , lorsque le composant est bloqué, les caissons P sont de véritables sources de trous pour la zone intercellulaire, compte tenu des champs électriques existants. L'inversion de la zone v est alors quasi instantanée. Si l'étude analytique n'est pas erronée, nous sommes en droit de nous demander ce qui se passe pour une tension $V_{Tn} > 0$. Y-a-t'il, compte tenu des champs électriques (champ horizontal inversé), un phénomène d'inversion très lent ? Comment pourrait se maintenir un état où, dans la zone intercellulaire, au niveau de l'interface, les trous sont peu nombreux, apparaissent lentement et ont en plus tendance à fuir la zone intercellulaire pour rejoindre ceux des caissons P (où ils sont déjà en surnombre...)? Ce point nécessiterait une analyse plus poussée, avec éventuellement recours à des logiciels de simulation éléments finis, afin d'éclaircir les mouvements des porteurs dans un tel cas, et pourrait constituer une perspective d'étude intéressante.

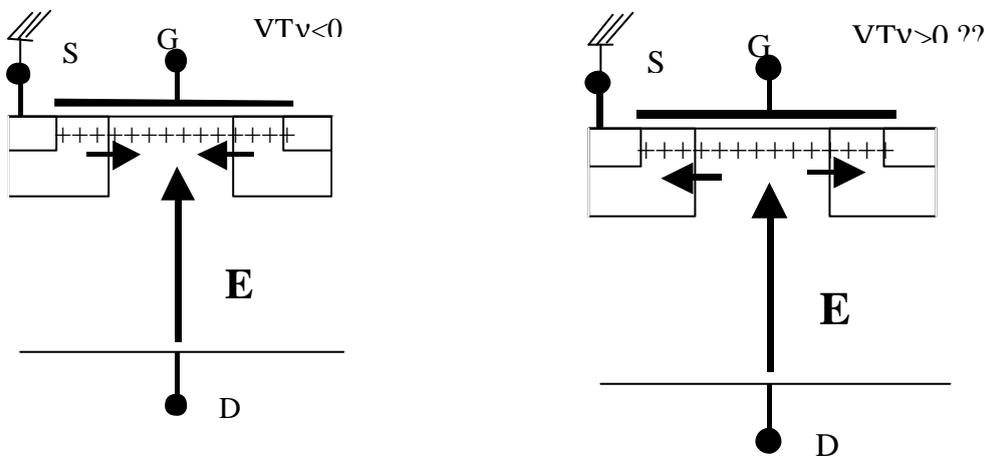


Figure 3-47 : Illustration des champs électriques dans le cas $V_{Tn} < 0$ et dans le cas $V_{Tn} > 0$.

3.4.5.2. Tension de seuil V_{TH} .

De manière similaire à l'analyse précédente, nous avons étudié l'influence des différents paramètres intervenant dans la formule de la tension de seuil V_{TH} , dont nous rappelons l'expression :

$$V_{TH} = V_{FB} + \frac{2 \cdot k \cdot T}{q} \cdot \ln\left(\frac{N_a}{n_i}\right) + \frac{q \cdot N_a}{e_0 \cdot e_{ox} / e_{ox}} \cdot \sqrt{\frac{4 \cdot e_0 \cdot e_{Si} \cdot \frac{k \cdot T}{q} \cdot \ln\left(\frac{N_a}{n_i}\right)}{q \cdot N_a}}$$

Dans cette expression, nous pouvons exprimer la tension de bandes plates :

$$V_{FB} = f_m - \left(c + \frac{E_g}{2} \right) - \frac{k \cdot T}{q} \cdot \ln\left(\frac{N_a}{n_i}\right) - \frac{Q_{ox}}{e_0 \cdot e_{ox} / e_{ox}}$$

Avec la formule précédente, nous obtenons l'expression complète pour la tension de seuil :

$$V_{TH} = f_m - \left(c + \frac{E_g}{2} \right) + \frac{k \cdot T}{q} \cdot \ln\left(\frac{N_a}{n_i}\right) - \frac{Q_{ox}}{e_0 \cdot e_{ox} / e_{ox}} + \frac{q \cdot N_a}{e_0 \cdot e_{ox} / e_{ox}} \cdot \sqrt{\frac{4 \cdot e_0 \cdot e_{Si} \cdot \frac{k \cdot T}{q} \cdot \ln\left(\frac{N_a}{n_i}\right)}{q \cdot N_a}}$$

Nous pouvons donc jouer sur 2 paramètres, à savoir le dopage de la zone porte canal N_a et l'épaisseur d'oxyde de grille e_{ox} . Nous avons donc étudié la sensibilité de V_{Th} à l'évolution de ces paramètres. (Rappel : nous considérons pour cette étude une valeur moyenne et homogène le long du canal pour le dopage N_a).

L'augmentation de l'épaisseur e_{ox} et celle du dopage N_a permettent d'augmenter V_{Th} . Les courbes 3D topographiques ci-dessous permettent une visualisation de ces niveaux de tension, comparés à 5V (ainsi le 0 topographique correspond à $V_{Th}=5V$) :

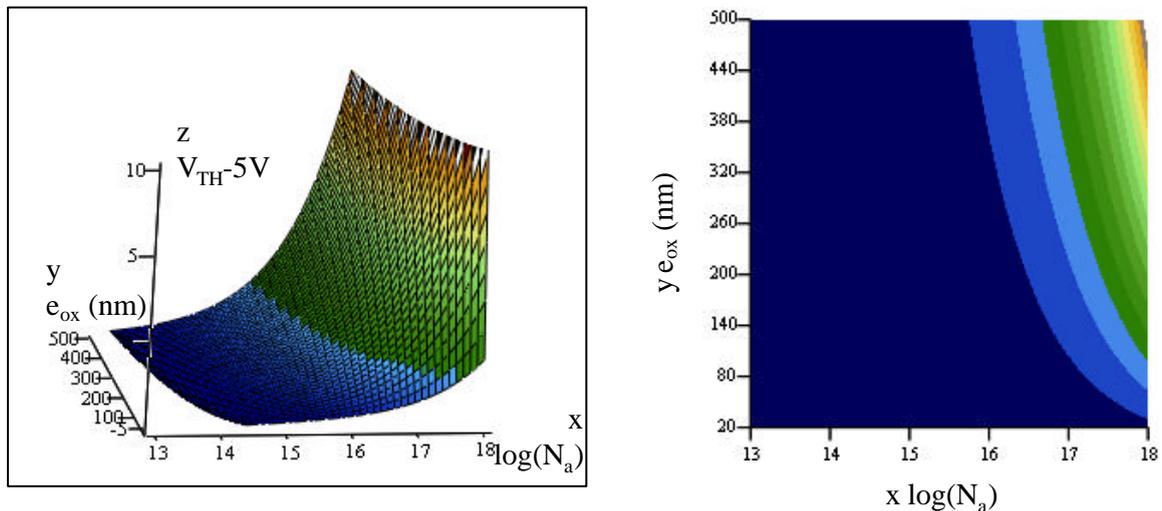


Figure 3-48 : Différence entre V_{TH} et 5V en fonction du dopage N_a allant de 10^{13} à 10^{18} cm^{-3} (sur l'axe des x, les graduations correspondent à l'exposant du dopage), et en fonction de l'épaisseur d'oxyde de grille e_{ox} allant de 20 à 500nm (sur l'axe des y).

Nous constatons ainsi que pour un dopage variant de 10^{13} à 10^{18} atomes.cm⁻³, et une épaisseur d'oxyde variant de 20 à 500 nm :

- (presque) rien n'est possible pour des dopages inférieurs à 10^{16} atomes.cm⁻³, valeur pour laquelle 345nm d'oxyde de grille sont nécessaires, ce qui représente déjà une épaisseur d'oxyde thermique considérable pour un oxyde de qualité ;
- par contre, un facteur 10 sur le dopage (passant ainsi à 10^{17} atomes.cm⁻³) rend les choses nettement plus réalisables, puisque toutes valeurs d'épaisseur d'oxyde supérieures à 100nm conviennent ;
- enfin, pour un dopage de 10^{18} atomes.cm⁻³, 30nm d'oxyde suffisent.

Il faut donc à ce niveau tenir compte de 2 limites :

- l'épaisseur maximale d'oxyde thermique de qualité réalisable avec les filières technologiques envisagées ;
- le dopage du P+ central (et des Anneaux de Garde par la même occasion) qui doit être supérieur (facteur 10 ?) à celui du P-, c'est-à-dire le dopage N_a ici considéré. Le dopage du P+ est fixé à 10^{18} atomes.cm⁻³ dans le diagramme de cheminement actuel. Nous pouvons peut-être augmenter en conséquence les 2 dopages P+ et P-, dans les limites de l'implanteur utilisé.

Il nous faut aussi considérer les conséquences d'une augmentation de V_{Th} par augmentation de e_{ox} ou de N_a sur les différentes caractéristiques du composant.

Augmentation du dopage N_a :

Au vu des formules analytiques, une augmentation du dopage N_a se répercutera sur la valeur du paramètre C_{DS0} pour la modélisation de la capacité C_{DS} , dont nous rappelons la formule :

$$C_{DS0} = N_{cell} \cdot S_{cell} \cdot \sqrt{\frac{q \cdot N_n \cdot N_a \cdot \epsilon_{Si} \cdot \epsilon_0}{2 \cdot (N_a + N_n)}} \cdot f_{DS}$$

Toutefois, cette augmentation n'a que peu d'influence, puisque passer d'un dopage de 10^{16} à 10^{18} atomes.cm⁻³ (soit 10^{22} à 10^{24} atomes.m⁻³) n'entraîne qu'une augmentation inférieure à 2% de C_{DS0} , comme l'illustre la Figure 3-49 :

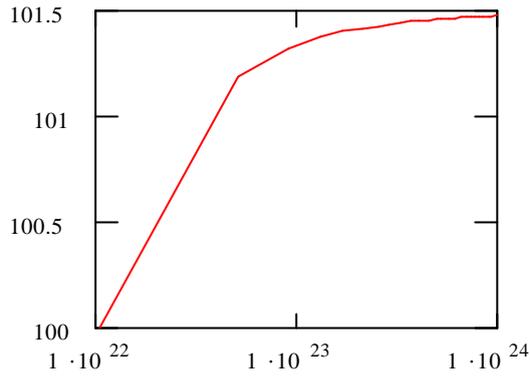


Figure 3-49 : Evolution en % de la valeur de C_{DS0} en fonction du dopage N_a (en atomes. m^{-3})

Augmentation de l'épaisseur d'oxyde e_{ox} :

Cette variation est nettement plus conséquente que la précédente, puisqu'elle se répercute directement sur les valeurs des capacités inter-électrodes C_{GS} et C_{DG} , et donc sur la dynamique du composant :

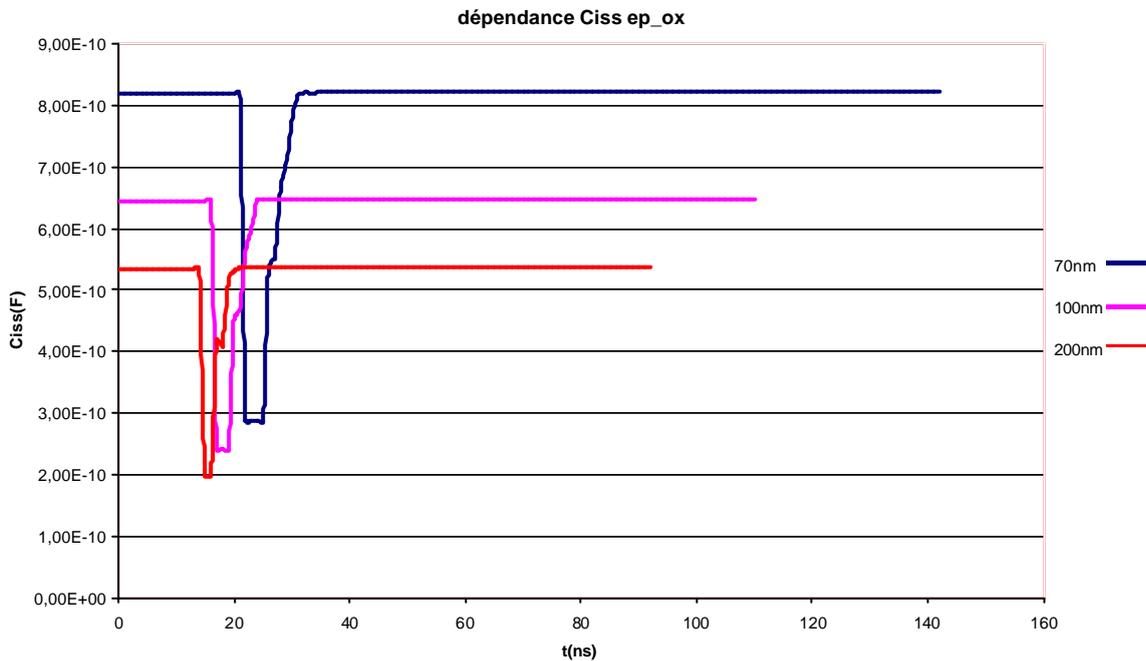


Figure 3-50 : Evolution de la capacité C_{ISS} lors d'une commutation OFF-ON pour différentes valeurs d'épaisseurs d'oxyde de grille e_{ox} (70, 100, 200nm).

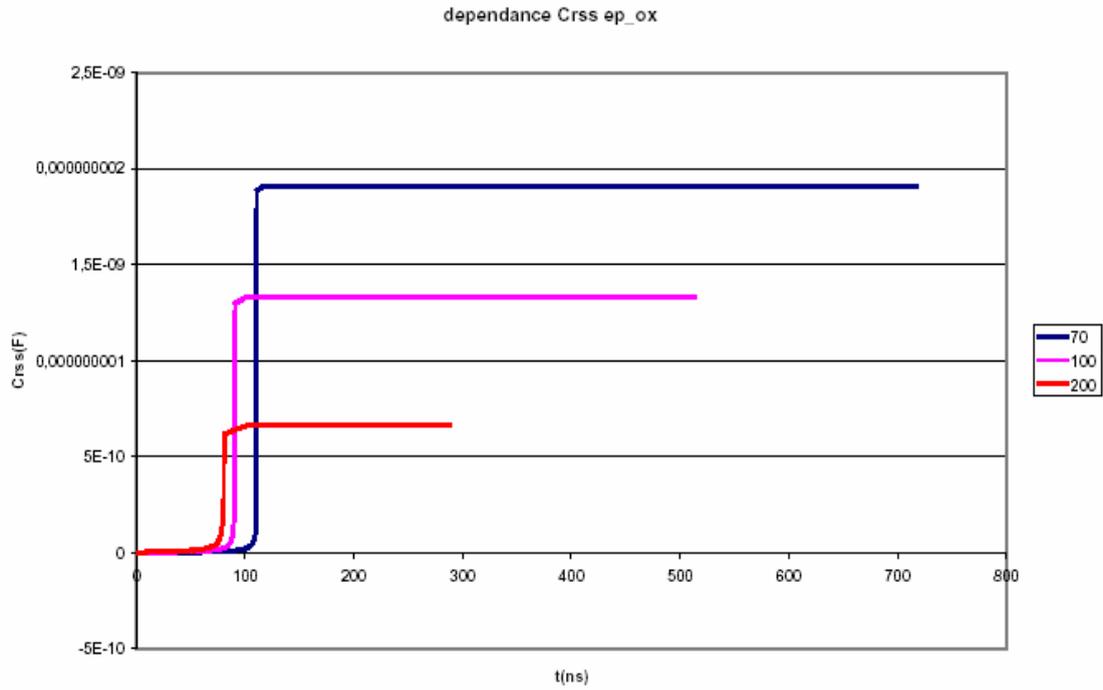


Figure 3-51 : Evolution de la capacité C_{RSS} lors d'une commutation OFF-ON pour différentes valeurs d'épaisseurs d'oxyde de grille e_{ox} (70, 100, 200nm).

Les graphes précédents montrent l'évolution des capacités $C_{ISS} (=C_{GS}+C_{DG})$ et $C_{RSS} (=C_{DG})$ au cours d'une commutation OFF-ON pour 3 valeurs d'épaisseur d'oxyde (70, 100 et 200nm). De manière logique, une augmentation de e_{ox} entraîne une diminution inversement proportionnelle des capacités et des constantes de temps du composant.

Une autre modification conséquente concerne le courant I_{MOS} , dont le niveau en fonction de la tension de grille V_{GS} est donné par la formule :

$$I_{MOS} = \frac{1}{2} \cdot m_s \cdot \frac{e_0 \cdot e_{ox}}{e_{ox}} \cdot \frac{Z}{L_{canal}} \cdot (V_{GS} - V_{Th})^2$$

Il ne faut pas oublier que dans cette formule, V_{Th} est aussi une fonction de e_{ox} .

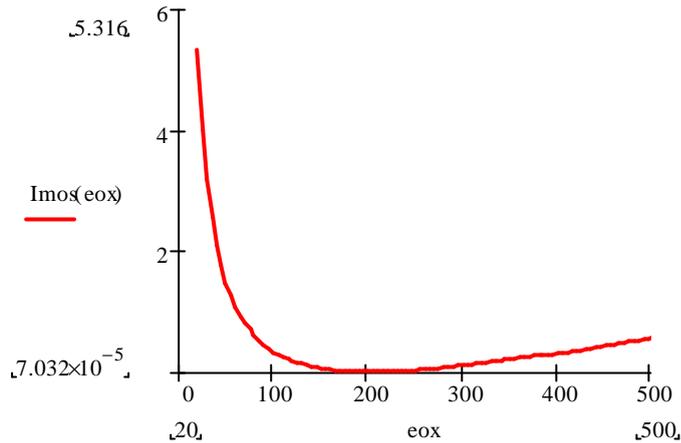


Figure 3-52 : Evolution du courant I_{MOS} (en Ampères) en fonction de l'épaisseur e_{ox} (en nm), pour L_{canal} , Z , et V_{GS} fixés.

La Figure 3-52 illustre, pour une longueur de canal L_{canal} et un périmètre Z , à un niveau de tension de commande V_{GS} fixé, l'évolution du courant I_{MOS} en fonction de l'épaisseur e_{ox} (ici en nm). Nous constatons tout d'abord une décroissance rapide du niveau de courant, puis une remontée lente de ce courant, à partir d'une certaine valeur.

Une augmentation de l'épaisseur e_{ox} d'un facteur n se répercute, selon la valeur initiale de e_{ox} (20,50,80 ou 110nm) et la valeur de n , par une amélioration ou une dégradation des performances en courant du composant, comme l'illustre la Figure 3-53 :

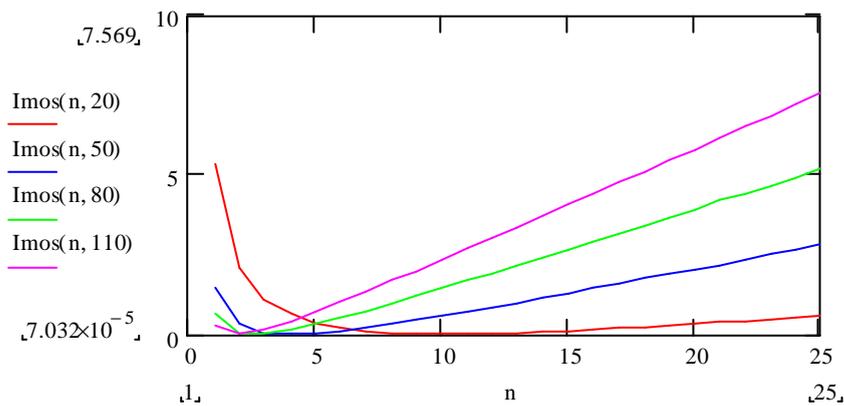


Figure 3-53 : Evolution du courant I_{MOS} (en Ampères) pour différentes valeurs de e_{ox} , en fonction du facteur n d'accroissement de cette épaisseur.

Ainsi, si nous considérons un certain niveau de courant, 2A par exemple, obtenu pour un oxyde de 41nm d'épaisseur, et que nous triplons cet oxyde (soit 123nm, ce qui fait passer V_{Th}

de 2,24 à 6,19V), il faut, pour retrouver le même courant, avec la même tension de commande V_{GS} (10V dans notre cas), multiplier par 12 le rapport Z/L_{canal} , comme l'illustre la Figure 3-54:

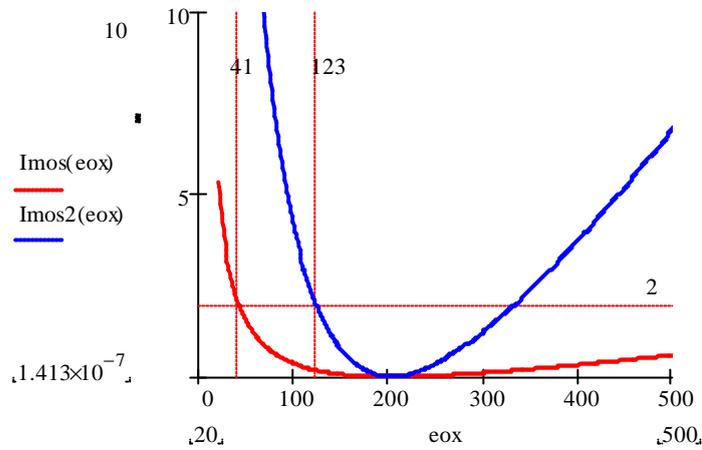


Figure 3-54 : Evolutions du courant I_{MOS} (en Ampères) pour $e_{ox}=41$ et 123 nm, après correction du ratio Z/L_{canal}

Ainsi, passer de e_{ox} à $e_{ox}'=n.e_{ox}$ nécessite de multiplier le ratio (Z/L_{canal}) par un facteur, que nous exprimons comme suit:

$$facteur = \frac{n}{\left[1 - \frac{(n-1)}{(V_{GS}-V_{Th}) \cdot e_0 \cdot e_{ox}} \cdot e_{ox}' \cdot \sqrt{4 \cdot q \cdot N_a \cdot e_{Si} \cdot e_0 \cdot \frac{k \cdot T}{q} \cdot \ln\left(\frac{N_a}{n_i}\right)} \right]^2}$$

où V_{Th} est la tension de seuil pour e_{ox} . Nous présentons Figure 3-55 l'évolution de ce *facteur* en fonction de n , pour un e_{ox} initial de 60nm, et un dopage $N_a=10^{17}$ atomes/cm³, et une tension $V_{GS}=10$ V :

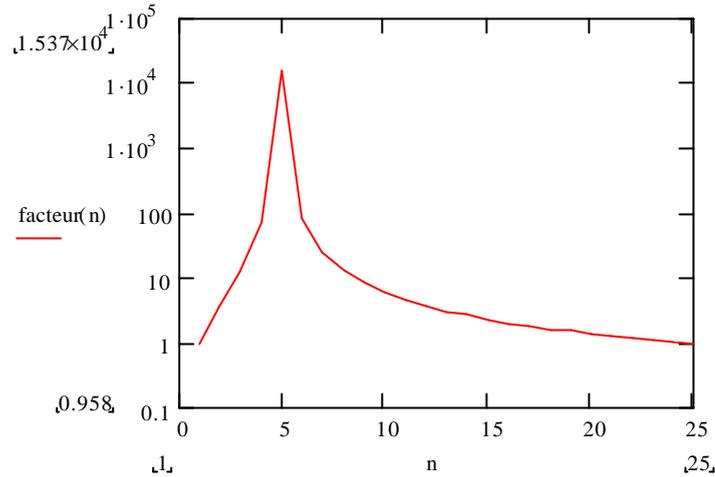


Figure 3-55 : Evolution du facteur multiplicatif du ratio Z/L_{canal} pour conserver les performances en courant du MOSFET lors de la multiplication de l'épaisseur d'oxyde de grille e_{ox} par un facteur n .

Nous constatons que l'accès au facteur multiplicatif du ratio (Z/L_{canal}) n'est pas immédiat, et que celui-ci est extrêmement dépendant des conditions de départ (e_{ox} initial, V_{GS} , niveau de courant...), et fortement non linéaire : si une multiplication de e_{ox} par 3 se traduit par un facteur 12, une multiplication par 5 se traduit quant à elle par un facteur 15000, alors qu'une multiplication de e_{ox} par 10 ne nécessite plus qu'un facteur 6. L'évolution de ce facteur en fonction de l'épaisseur initiale e_{ox} montre que plus celle-ci est faible, plus le facteur correctif sur le ratio (Z/L_{canal}) est élevé (de manière globale) :

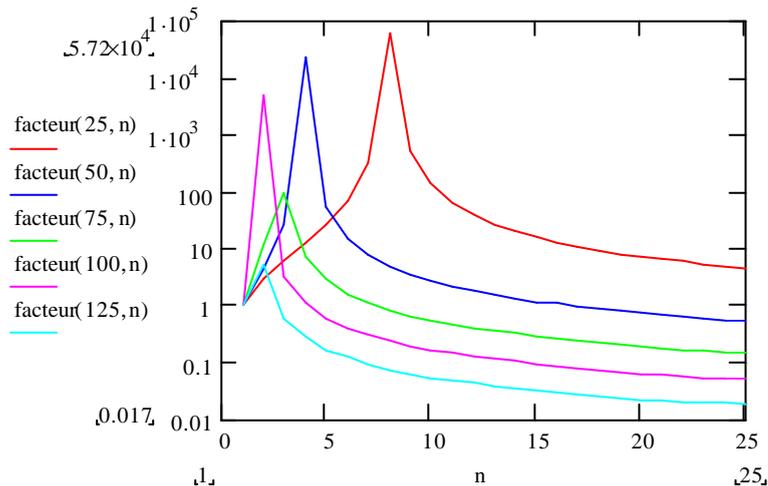


Figure 3-56 : Evolution du facteur multiplicatif du ratio Z/L_{canal} pour conserver les performances en courant du MOSFET lors de la multiplication de l'épaisseur d'oxyde de grille e_{ox} par un facteur n , pour différentes valeurs initiales de e_{ox} (25, 50, 75, 100, 125nm).

L'étude de ce facteur apparaît trop complexe pour pouvoir dégager des règles précises, d'autant plus que la correction sur le ratio (Z/L_{canal}) peut intervenir à de nombreux niveaux (nombre et dimensions de cellules, longueur de canal...) et se répercute directement sur les surfaces mises en jeu dans l'évaluation des capacités inter-électrodes.

Conclusions sur l'augmentation de la tension V_{TH} :

Nous retiendrons que l'augmentation de la tension de seuil V_{Th} par l'augmentation du dopage N_a s'avère sans influence notable, alors que celle via l'augmentation de e_{ox} conduit à des capacités inter-électrodes plus faibles (favorisant la dynamique du composant), mais nécessite soit d'accepter une modification des performances en courant du MOS, soit de modifier complètement le design cellulaire de ce dernier, afin de retrouver après modification de l'épaisseur d'oxyde de grille des performances en courant équivalentes. Là encore, il est impossible d'apporter une conclusion générale quant à l'impact de l'augmentation de la tension de seuil d'un MOSFET ; ce n'est que dans le cas d'études précises et d'applications spécifiques qu'il est possible de déterminer si cette augmentation de V_{TH} est intéressante, et si oui, à quel prix.

3.5. Etude technologique

Pour terminer ce chapitre sur l'intégration de l'alimentation de la commande rapprochée, nous proposons une étude technologique qualitative pour la réalisation et la mise en œuvre des solutions précédemment présentées pour réaliser la régulation de la tension du condensateur de charge. Les solutions proposées ne concernent pour l'instant que l'intégration de l'interrupteur principal et de l'interrupteur auxiliaire au sein de la même puce. Ceci constitue une première étape, et ce travail devra ultérieurement être complété par une réflexion quant à l'intégration de la capacité de charge, ou encore de la diode qui permet d'éviter la décharge de celle-ci dans le circuit de puissance.

Nous présentons donc un diagramme de cheminement, ainsi que les différents niveaux de masquage permettant la réalisation sur la même puce de silicium d'un MOSFET vertical de puissance et d'un JFET vertical de puissance. Nous ne détaillerons pas la solution MOSFET/MOSFET dans la mesure où la seule subtilité d'une telle réalisation est, une fois effectuée l'allocation des surfaces respectives pour le composant principal et le composant auxiliaire, la réalisation des prises de contacts sur chacun des motifs élémentaires (cellules carrées ou bandes) de manière à disposer au final de quatre zones de contacts en face avant : deux pour le MOSFET principal (Grille et Source), et deux pour le MOSFET auxiliaire (Grille et Source).

3.5.1. Diagramme de cheminement

Nous présentons ici un synoptique de filière technologique permettant la réalisation simultanée d'un MOSFET et d'un JFET verticaux qui est indépendant du choix de la périphérie de tenue en tension (poche ou anneaux de garde), et ne concerne que les deux zones actives du composant. Le JFET vertical apparaît comme étant a priori extrêmement compatible avec la filière technologique du MOSFET, puisque, comme ce dernier, il nécessite une double implantation P puis N afin de réaliser d'une part les zones de grille et d'autre part les zones de source (en effet, si dans le principe même du JFET, les grilles P- implantées et diffusées sur un substrat v suffisent, la qualité des prises de contacts métalliques nécessitent une fine implantation N^+ en face avant sur la zone de source). Notre première idée a donc été d'utiliser l'implantation P- de la zone de porte-canal du MOSFET pour réaliser la grille du JFET, et d'utiliser ensuite l'implantation N^+ des zones de source du MOSFET pour réaliser les zones de source du JFET. Toutefois, ceci nécessite d'insérer une étape de

photolithographie entre l'implantation de la zone de porte-canal P- et celle des îlots de Source N+ qui est normalement auto-alignée avec la précédente dans le diagramme de cheminement classique du MOSFET vertical double diffusé. Aussi, nous avons préféré ne pas modifier ces deux étapes de la filière classique du MOSFET, qui constituent un point crucial dans la réalisation de tels composants. Dès lors, nous avons eu le choix de réaliser le JFET avant ou après le MOSFET. Dans le cas où la réalisation du JFET est placée après celle du MOSFET, nous aurions obtenu des grilles peu profondes pour le JFET, ce qui est peu intéressant dans notre application. Si nous effectuions à ce niveau de longues diffusions, cela aurait conduit à l'obtention de MOSFETs profonds, ce qui est totalement inutile puisque la zone active du composant se situe en surface. De plus, cela aurait nécessité l'utilisation de 2 niveaux de masque supplémentaires (un pour chaque implantation). Dans la mesure où la filière classique du MOSFET nécessite une implantation P+ en début de process pour réaliser les plots P+ centraux et les anneaux de garde de la périphérie de tenue en tension, nous avons trouvé plus intéressant de réaliser simultanément les zones de grille du JFET. Ces zones étant implantées en début de process, elles subiront l'ensemble des diffusions, ce qui permettra aux grilles du JFET d'avoir une profondeur de diffusion non négligeable. Cette solution présente aussi l'avantage de faire l'économie d'un niveau de masquage. Il n'est pas intéressant de réaliser immédiatement après cette implantation P+ l'implantation N+ de source du JFET, car cette zone n'a aucunement besoin d'être profonde pour assurer son bon fonctionnement. Cette implantation N+ peut donc être faite après la double implantation du MOSFET, ce qui fait que la réalisation du JFET ne nécessite, au final, qu'un seul niveau de masquage supplémentaire. La solution que nous avons retenue consiste donc à réaliser le JFET en deux étapes séparées, afin de bénéficier pour les zones de grilles de l'ensemble des cycles de diffusion. Le diagramme de cheminement technologique présenté ci-dessous illustre les principales étapes d'un tel process dans le cas de structures interdigitées :

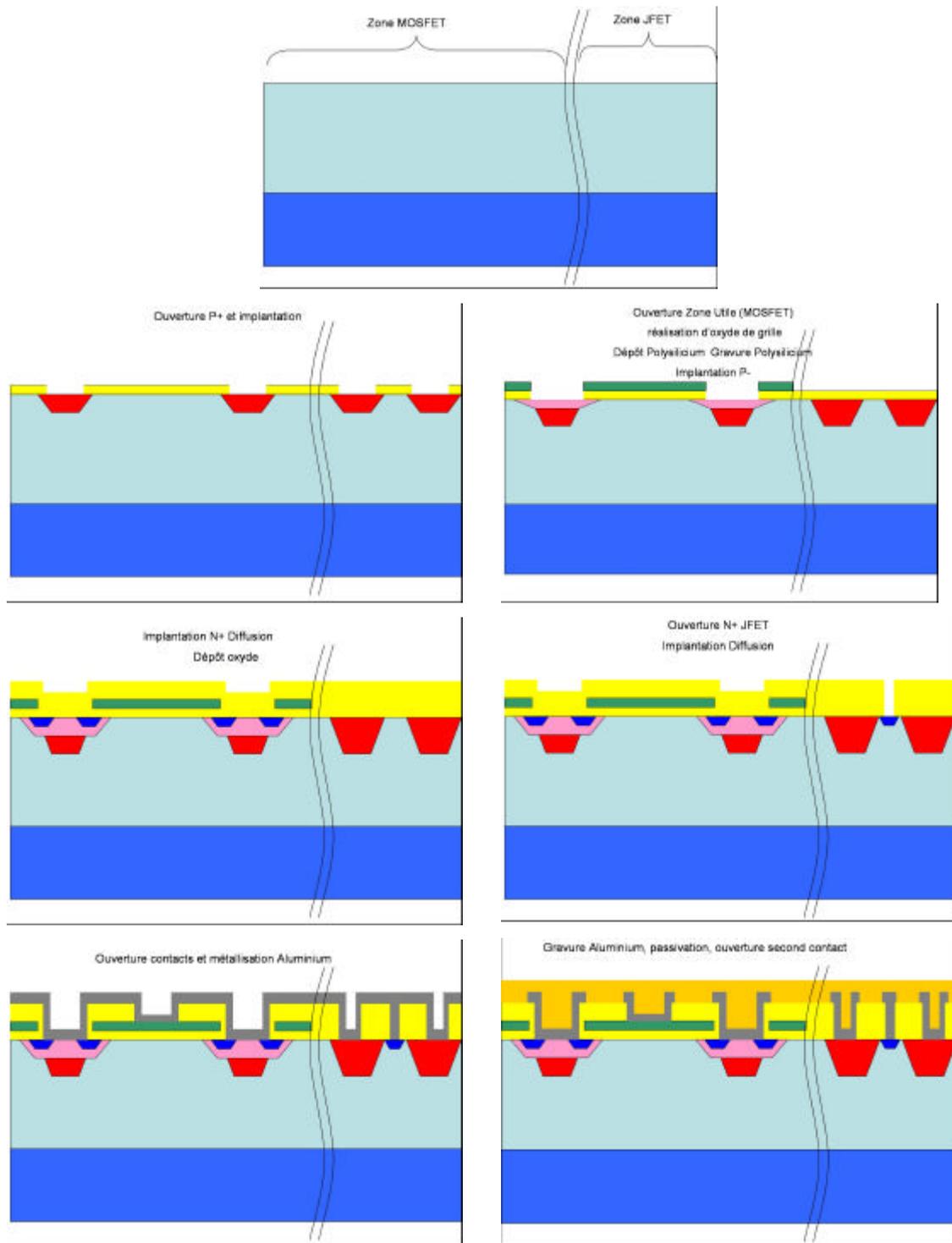


Figure 3-57 : Diagramme de cheminement technologique MOSFET+JFET (structures inter-digitées).

Nous proposons ci-dessous une alternative pour la réalisation des ouvertures de contacts et des gravures aluminium (Niveaux de masque 6 et 7, cf. Figure 3-59) dans le cas de structures cellulaires (cf. paragraphe 3.5.2) :

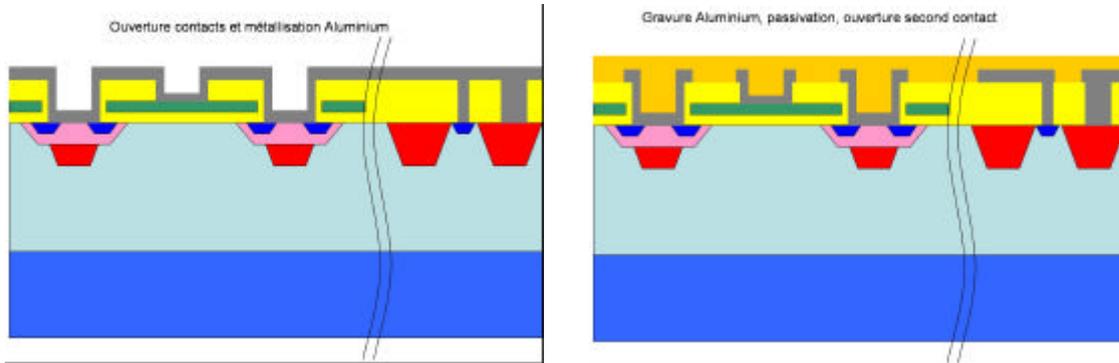


Figure 3-58 : Diagramme de cheminement technologique MOSFET+JFET (alternative pour des structures cellulaires).

Dans cette approche, nous avons supposé que la périphérie de tenue en tension était réalisée par des anneaux de garde et non par des poches. En effet, les structures de poche ne sont pas les plus appropriées pour les faibles calibres en tension (moins de 600V). Cependant, si ces structures s'avéraient nécessaires pour une autre raison, il pourrait être intéressant de réaliser les grilles du JFET en même temps, ce qui permettrait de disposer de zones P- relativement profondes (de l'ordre de la dizaine de microns).

3.5.2. Niveaux de masquage

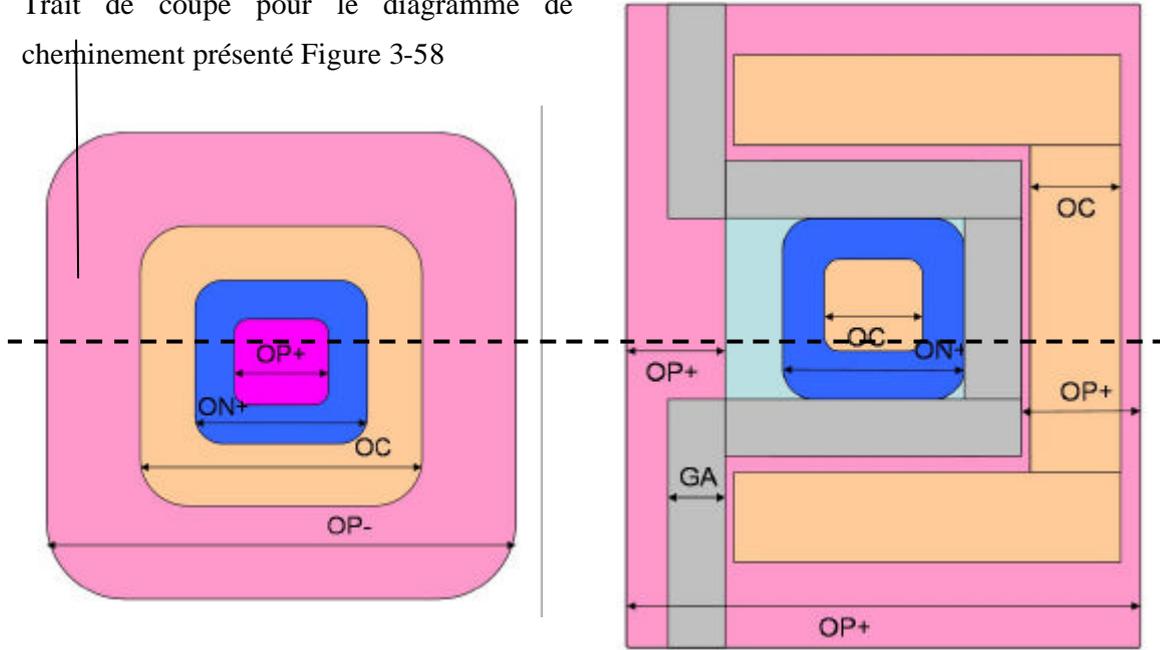
Nous proposons maintenant les huit niveaux de masquage permettant la réalisation de structures MOSFET/JFET verticaux avec périphérie en anneaux de garde, dans le cas de structures cellulaires et dans le cas de structures en bandes.

niveau	sigle	signification	MOSFET	JFET	Périphérie
1	OPPL	ouverture P+	oui	oui	oui
2	OZUT	ouverture zone utile du MOSFET	oui	non	non
3	OPMN	ouverture P-	oui	non	non
4	ONPL	ouverture N+ du MOSFET	oui	non	non
5	ONJF	ouverture N du JFET	non	oui	non
6	OCON	ouverture des contacts	oui	oui	non
7	GALU	gravure de l'aluminium	oui	oui	oui
8	OSCO	ouverture des seconds contacts	oui	oui	non

Figure 3-59 : Niveaux de masquage.

Les masques présentés ci-après se résument à un aspect qualitatif, et non quantitatif. Sans réel respect des échelles, notamment aux niveaux des motifs élémentaires, représentés bien plus gros qu'en réalité, ils permettent toutefois d'avoir une idée générale des motifs et des masques de photolithographie à réaliser.

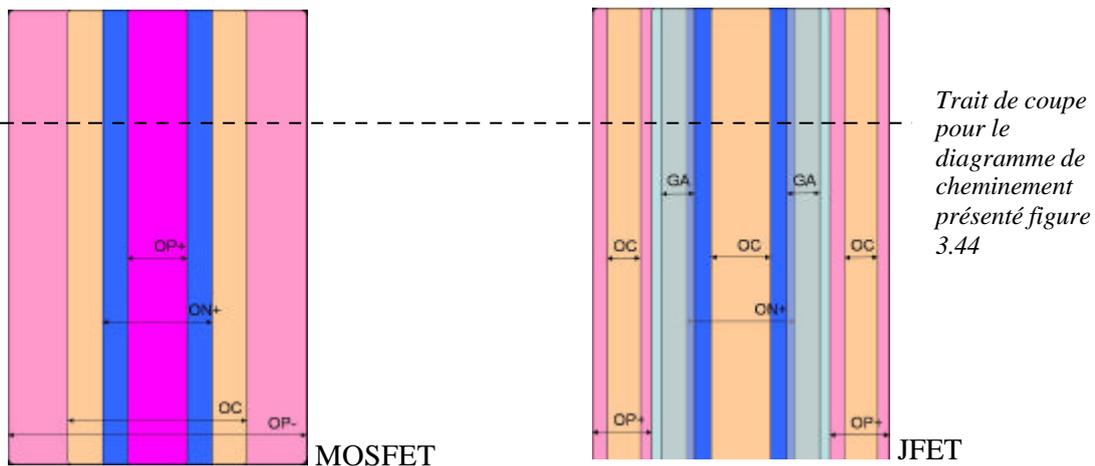
Trait de coupe pour le diagramme de cheminement présenté Figure 3-58



MOSFET

JFET

Figure 3-60 : Présentations des motifs élémentaires pour des structures en cellules carrées MOSFET/JFET.



MOSFET

JFET

Figure 3-61 : Présentations des motifs élémentaires pour des structures en bandes MOSFET/JFET.

Le premier jeu de masques correspond à la réalisation d'un MOSFET 16 cellules carrées et d'un JFET 20 cellules carrées, avec une périphérie en anneaux de garde.

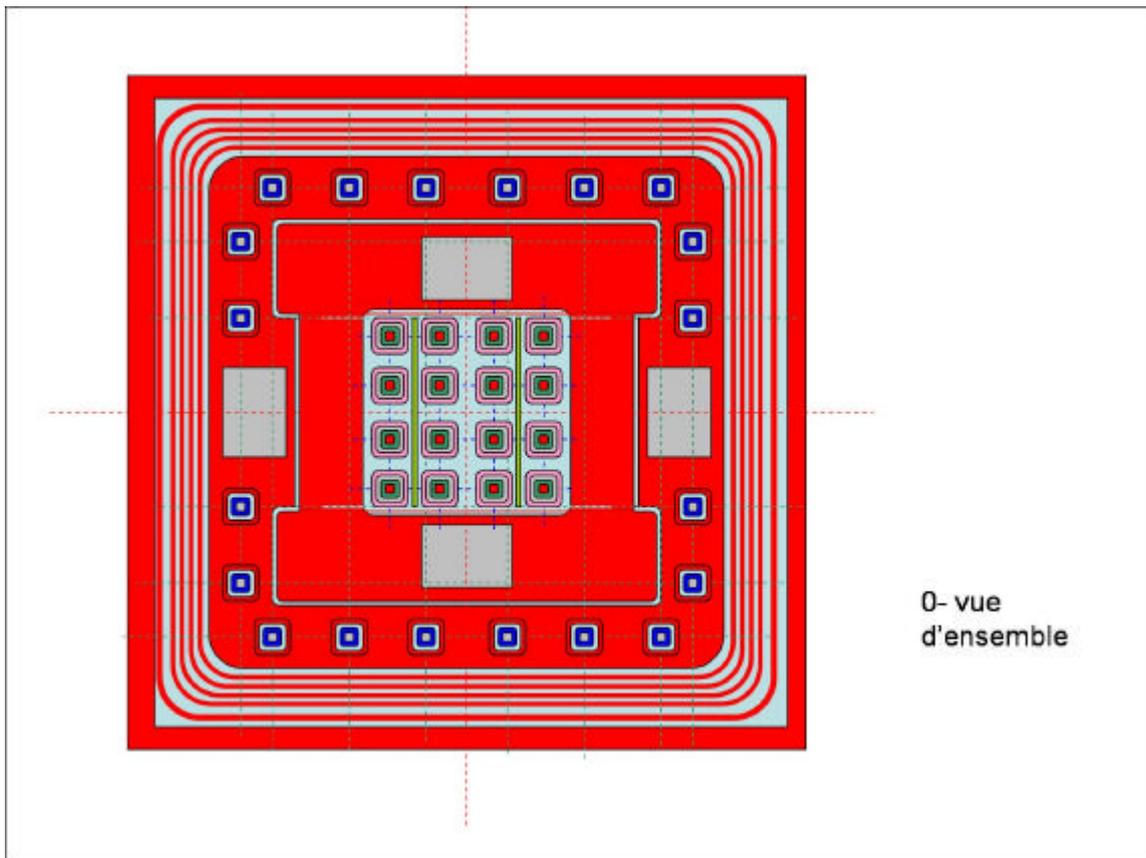


Figure 3-62 : Vue d'ensemble des masques pour un composant MOSFET+JFET en cellules carrées.

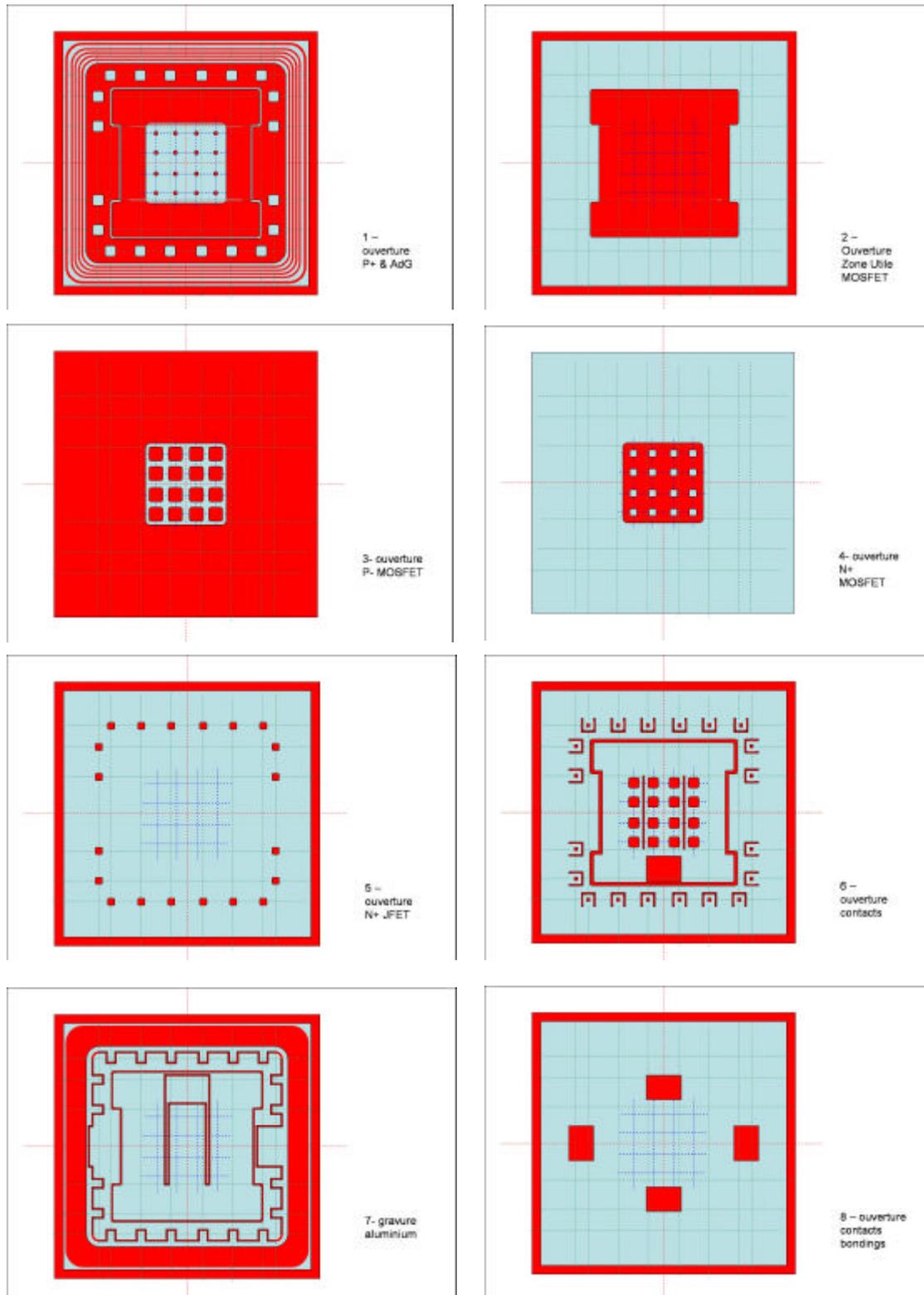


Figure 3-63 : Détail des masques pour un composant MOSFET+JFET en cellules carrées.

Le second jeu de masques présente quant à lui une structure MOSFET interdigitée (10 bandes) et un JFET en bandes (une seule bande représentée), avec toujours une périphérie en anneaux de garde :

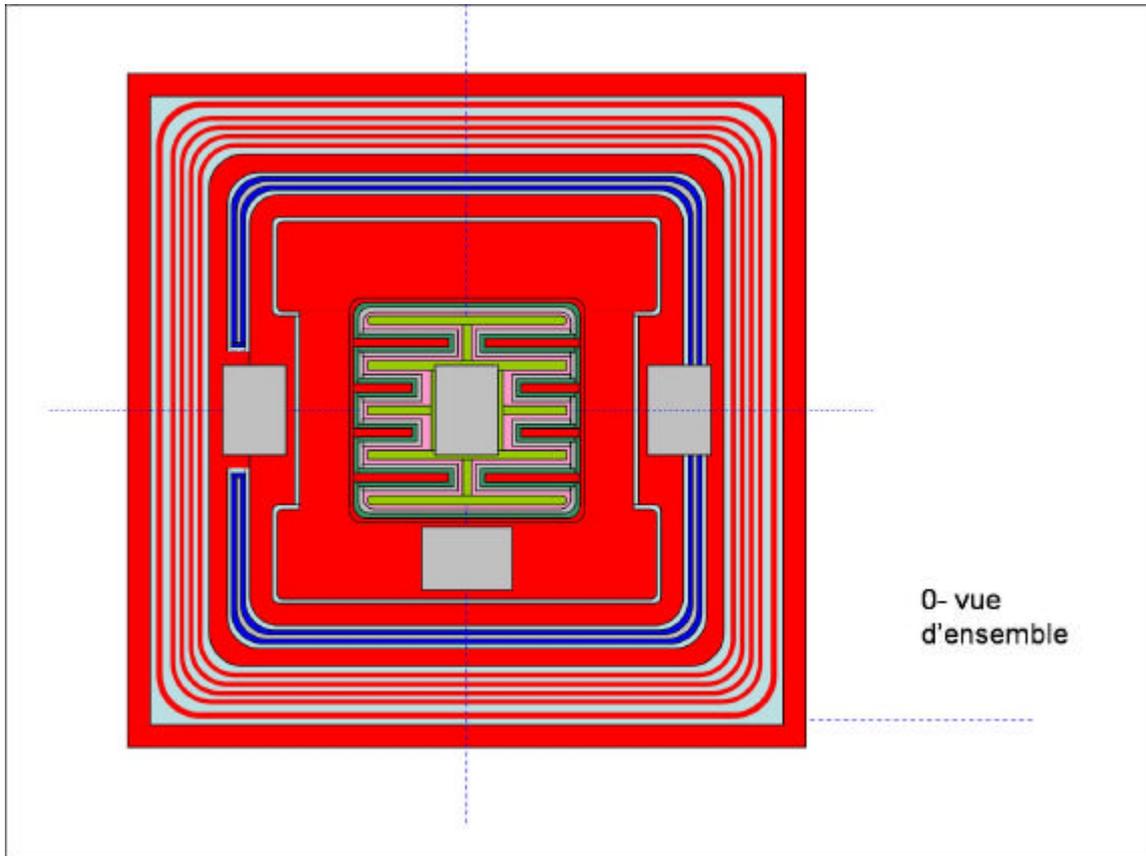


Figure 3-64 : Vue d'ensemble des masques pour un composant MOSFET+JFET en bandes.

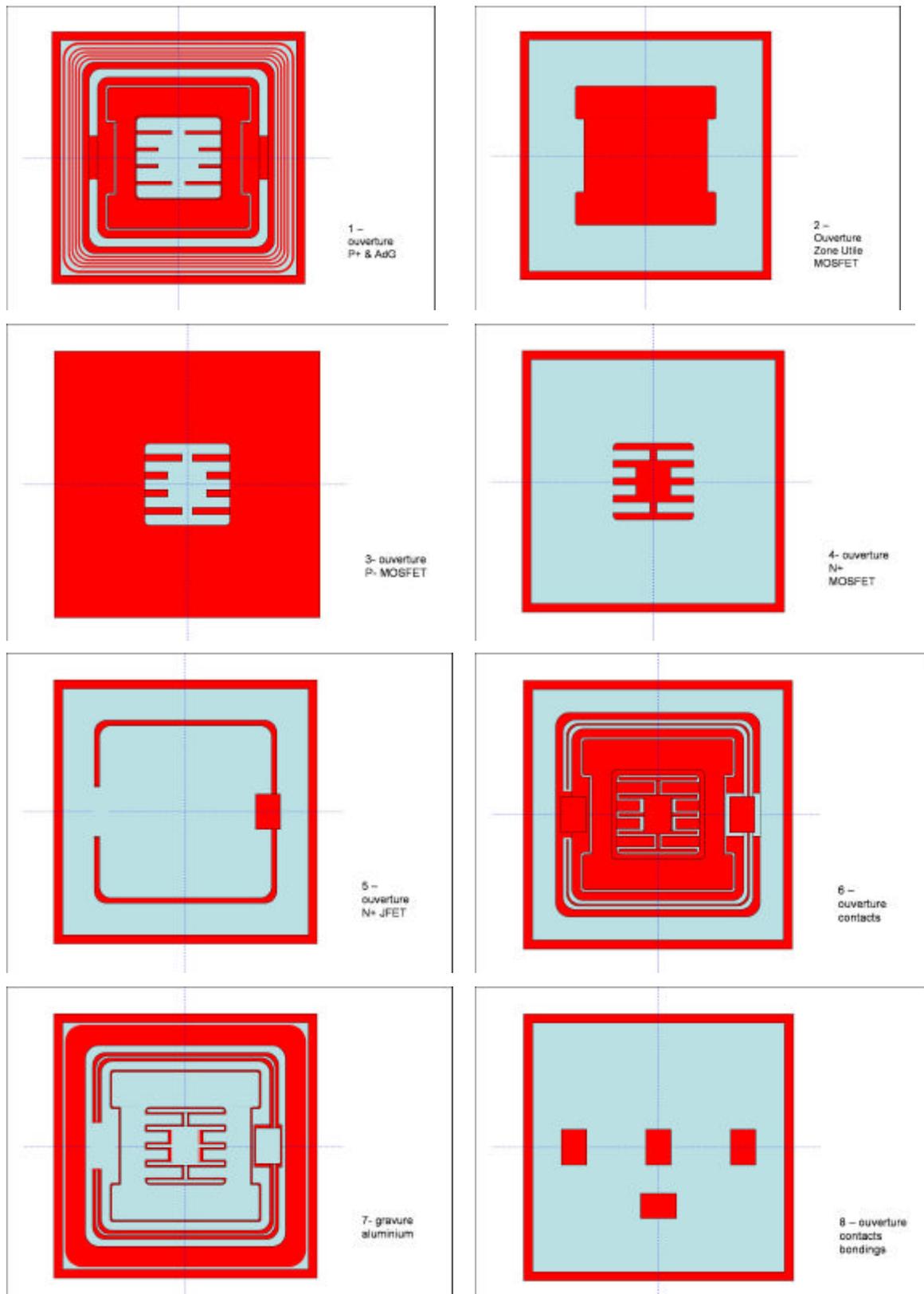


Figure 3-65 : Détail des masques pour un composant MOSFET+JFET en bandes.

Il faut noter que les deux jeux de masques sont interchangeables au niveau des géométries, il est ainsi possible, en adaptant le design des masques, de réaliser un MOSFET à cellules carrées et un JFET en bandes, et vice-versa.

3.6. Réalisation technologique

La réalisation de prototypes mettant en œuvre les structures précédemment présentées n'a pas pu être envisagée dans cette thèse, faute de temps. En effet, si les masques sont prêts d'un point de vue qualitatif, il nous reste encore à dimensionner certains paramètres, tels que les profondeurs de diffusion, les niveaux de dopage, etc. Ce travail nécessite d'effectuer une approche inverse du problème : connaissant la structure que nous souhaitons obtenir, il nous faut remonter le diagramme de cheminement pour régler l'ensemble de ces paramètres, et en déduire les cotations des masques. Ce travail est à réaliser pour les deux structures (MOSFET et JFET), mais aussi pour les anneaux de garde de la périphérie. Des simulations éléments fins à l'aide d'outils tels que SILVACO (modules Athena et Atlas en particulier) devraient permettre d'obtenir un dimensionnement quantitatif des cotations masques pour les différents niveaux présentés. Le dessin des masques pourra alors être effectué sous Cadence. Ce travail s'inscrit dans le cadre de la thèse de Radoslava Mitova, thèse débutée au LEG en partenariat avec le CIME en octobre 2002, qui devrait conduire à la réalisation de ces prototypes. La caractérisation et la validation du fonctionnement de ces structures devraient par la suite permettre un dimensionnement plus judicieux de l'interrupteur auxiliaire assurant la régulation de la tension de charge, où la démarche d'optimisation présentée ici pourrait trouver sa place. Par ailleurs, des réflexions menées sur la réalisation de capacités intégrées sur silicium, notamment sur des structures enterrées, pourraient permettre de franchir une nouvelle étape dans l'intégration de la structure d'auto-alimentation présentée.

Conclusion

Dans ce troisième chapitre, nous nous sommes intéressés à l'intégration de l'alimentation de la commande rapprochée. Pour cela, nous avons étudié les principales solutions d'intégration (hybride et monolithique), afin de connaître leurs avantages et leurs inconvénients, mais aussi les contraintes d'une telle démarche (compatibilité de filière, problèmes d'isolation). Nous avons ensuite considéré les structures de commande rapprochée les plus communes, puis nous avons introduit le concept d'auto-alimentation en présentant son principe. Différentes solutions ont alors été étudiées, pour finalement retenir deux structures : MOSFET/MOSFET et JFET/MOSFET. Ces deux structures présentent l'avantage d'être compatibles avec la filière technologique du MOSFET vertical double diffusé, et permettent l'intégration des deux interrupteurs (principal et auxiliaire) au sein d'une même puce. Dans cette optique de dimensionnement de ces structures, nous avons été amenés à développer un modèle pour le JFET vertical, modèle qui devra être validé ou complété ultérieurement par simulation (type éléments finis SILVACO) et par expérimentation. Il faut noter que l'utilisation du JFET n'est en aucun cas préjudiciable quant au bon fonctionnement du convertisseur, puisqu'il est ici utilisé en série avec une capacité. Par ailleurs, la bonne cohérence constatée entre les courbes expérimentales et celles issues de notre modèle de MOSFET nous a permis d'utiliser ce dernier pour mener ensuite une analyse de sensibilité aux diverses variables physiques et technologiques. Nous avons pu ainsi étudier les possibilités et les conséquences de l'augmentation de deux tensions seuils (augmentation se révélant intéressante dans le cas de notre réflexion sur l'intégration de l'auto-alimentation de la commande rapprochée). Pour terminer, nous avons présenté une étude technologique qualitative permettant la réalisation commune des deux interrupteurs (principal et auxiliaire) des deux structures d'auto-alimentation retenues. Les travaux menés proposent un diagramme de cheminement et les niveaux de masquage associés pour la réalisation de tels dispositifs, notamment la structure JFET/MOSFET. Ces travaux devront toutefois être complétés par une étude quantitative sous SILVACO, qui permettra la réalisation de masques et de prototypes, réalisation s'inscrivant dans le cadre d'une thèse commencée en octobre 2002.

4. Chapitre 4 – optimisation géométrique de MOSFET de puissance

Introduction

Nous terminons cette étude en présentant dans ce dernier chapitre une démarche d'optimisation sous contrainte de la géométrie de l'interrupteur principal. Nous avons en effet souhaité exploiter les travaux de modélisation sur les capacités inter-électrodes du MOSFET et les transferts de charge ayant lieu durant la commutation en proposant une démarche d'optimisation géométrique du composant ayant pour but de minimiser cet apport de charges nécessaire à la mise en conduction. Vis-à-vis des structures d'auto-alimentation précédemment décrite, ce travail peut manquer d'intérêt en apparence (d'autant plus que notre démarche d'optimisation ne porte que sur l'interrupteur principal et en aucun cas sur l'interrupteur auxiliaire de régulation), mais il ne faut pas oublier qu'à terme, la démarche ici entreprise vise l'intégration du composant de puissance, de sa commande et de l'auto-alimentation de cette dernière. Dans cette optique, l'idée de vouloir optimiser un composant vis-à-vis de ses besoins énergétiques en commutation semble intéressante, et la démarche d'optimisation ici présentée devrait, même si elle semble prématurée à l'heure actuelle, porter ses fruits dans les années à venir. Il est important de noter que nous cherchons ici à mettre en valeur plus une démarche que les résultats proprement dits de cette optimisation (en soulignant ses avantages et ses inconvénients), même si la suite de ce chapitre présente un nombre important de ces résultats d'optimisation. Nous commencerons donc cette étude avec une introduction sur les différentes méthodes d'optimisation et la formulation d'un problème d'optimisation sous contraintes. Nous poursuivrons en présentant la fonction objectif retenue, les variables et les contraintes étudiées. Nous poursuivrons en présentant de manière chronologique les résultats des différentes démarches d'optimisation entreprises, ainsi que l'évolution du problème tant au niveau des variables que des contraintes, compte tenu des résultats obtenus. Enfin nous terminerons cette analyse en concluant sur l'intérêt d'une telle démarche, et en soulignant le fait que les résultats obtenus doivent être interprétés avec les précautions qui s'imposent, tant du point de vue du problème analysé que de la méthode d'optimisation mise en œuvre.

4.1. Introduction à l'optimisation

Lors de la conception d'un système devant répondre à un cahier des charges spécifique, il est possible de distinguer deux types d'approche : d'une part, les méthodes de types essai/erreur, et d'autre part, les méthodes basées sur la résolution de problème inverse ([BERGEON]). Le premier type de méthode regroupe le prototypage et l'utilisation de simulateurs informatiques ; il s'agit d'effectuer plusieurs essais en se référant à ceux-ci de manière à modifier les caractéristiques du système, afin de satisfaire les spécifications du cahier des charges. Le second type de méthode consiste à partir du cahier des charges, pour en déduire le dimensionnement des composants constitutifs de l'application. Cette approche se fait alors via l'utilisation de formules analytiques ou empiriques et de divers modèles rendant compte des différents comportements physiques (électrique, statique ou dynamique, thermique) du système ou de ses sous-éléments. Ce type d'approche est rarement possible de manière directe, car cela suppose l'utilisation de formules inversibles, ce qui est peu rencontré dans l'ensemble des phénomènes physiques pré-cités. Le problème est alors résolu par une démarche d'optimisation sous contraintes ([JOURDAN]). Les techniques mathématiques d'optimisation ([HORST]) permettent une approche méthodique de la conception. De plus, la mise en œuvre de méthode d'optimisation permet souvent une meilleure compréhension des interactions entre les différents phénomènes physiques mis en jeu, et révèle parfois des implications a priori négligées. Afin de résoudre un problème de conception, plusieurs types d'algorithmes d'optimisation peuvent être appliqués ([CALDORA COSTA]). Les algorithmes déterministes sont essentiellement mis en œuvre dans la résolution de problèmes à variables continues, et font appel au calcul des gradients des différentes fonctions (fonctions contraintes et fonction objectif). Ces gradients peuvent être formulés de manière symbolique par l'utilisateur (ce qui améliore la convergence du système), ou directement calculés par l'algorithme. D'autres algorithmes, dits stochastiques, ne sont pas basés sur des calculs de gradient. De telles méthodes (Monte Carlo, algorithmes génétiques) permettent de résoudre des problèmes de conception avec des variables continues et/ou discrètes. Toutefois, l'un des problèmes essentiels de ces deux types d'algorithme est qu'ils ne garantissent qu'un minimum local de la fonction objectif, et non un minimum global, à moins de disposer soit d'un espace de solutions restreint, soit d'un quadrillage suffisamment fin de cet espace des solutions.

4.2. Définitions

4.2.1. Mise en équations mathématiques d'un problème d'optimisation

De manière générale, nous écrivons un problème d'optimisation de dimension n :

$$(P) \left\{ \begin{array}{l} \text{Minimiser} \quad F(x) \\ x \in \mathfrak{R}^n \\ g_i(x) = 0 \quad \forall i \in [1 \dots p] \\ h_j(x) \leq 0 \quad \forall j \in [1 \dots q] \\ x_{k \min} \leq x_k \leq x_{k \max} \quad \forall k \in [1 \dots n] \end{array} \right. \quad \text{Eq.70}$$

Où :

- $F(x)$ est la fonction objectif à minimiser ;
- x est un vecteur à n variables x_k , représentant les différents paramètres du problème à optimiser ;
- $g_i(x)$ et $h_j(x)$ représentent respectivement les contraintes d'égalité et d'inégalité ;
- $x_{k \min}$ et $x_{k \max}$ désignent les contraintes de domaine pour chaque variable x_k de l'espace des réels \mathfrak{R} .

L'optimisation d'un problème consiste donc à parcourir l'espace de recherche afin de trouver le point (x^*) qui vérifie l'ensemble des contraintes et minimise la fonction objectif.

4.2.2. Minimum local, minimum global

Le point (x^*) représente un minimum local s'il existe un voisinage $V(x^*)$ tel que : $\forall x \in V(x^*), F(x) \geq F(x^*)$. Si $V(x^*)$ peut être étendu à \mathfrak{R}^n , alors (x^*) est dit minimum global de F .

4.2.3. Problème non contraint

Si les fonctions g et h ne sont pas définies, alors le problème (P) est dit non contraint, et s'écrit :

$$(P) \left\{ \begin{array}{l} \text{Minimiser} \quad F(x) \\ x \in \mathcal{R}^n \\ x_{k\min} \leq x_k \leq x_{k\max} \quad \forall k \in [1..n] \end{array} \right. \quad \text{Eq.71}$$

En notant ∇F le gradient de la fonction objectif, et H la matrice Hessien (matrice des dérivées secondes partielles de F), nous obtenons sur (P) la condition nécessaire suivante pour que (x^*) soit un minimum local de F :

$$\left\{ \begin{array}{l} \nabla F(x^*)=0 \\ H(x^*) \text{ non négatif} \end{array} \right. \quad \text{Eq.72}$$

De même, nous obtenons une condition suffisante pour que (x^*) soit un minimum local :

$$\left\{ \begin{array}{l} \nabla F(x^*)=0 \\ H(x^*) \text{ positif} \end{array} \right. \quad \text{Eq.73}$$

4.2.4. Méthodes d'optimisation stochastiques

Ces méthodes s'appuient sur des théories de calcul de probabilité ; ainsi les exécutions successives de telles méthodes conduisent souvent à des résultats différents et ce pour une même configuration du problème d'optimisation. Toutefois, ces méthodes s'avèrent avantageuses, car elles ne nécessitent pas de point de départ, et ne s'arrêtent pas sur des minima locaux. Elles nécessitent généralement un nombre important d'évaluation avant d'accéder à la solution du problème. Les principales méthodes de cette famille sont : la méthode de Monte Carlo, le recuit simulé, la recherche Tabu, et les méthodes évolutionnistes (parmi lesquelles se trouvent les algorithmes génétiques, les stratégies d'évolution, et les programmations évolutionniste et génétique).

4.2.5. Méthodes d'optimisation déterministes

Ces méthodes permettent lors d'exécutions successives d'aboutir toujours au même résultat pour une configuration initiale identique du problème, et ne laissent pas de place au hasard. Il est possible de distinguer les méthodes d'ordre 0, ou méthodes directes, qui n'utilisent que l'évaluation de la fonction objectif, et les méthodes d'ordre 1, qui nécessitent le calcul des

gradients des fonctions F , g et h . Si les méthodes d'ordre 0 sont peu précises et convergent lentement, elles présentent toutefois l'avantage de ne pas nécessiter de calcul de gradient, ce qui peut s'avérer intéressant dans le cas de variables discrètes. Les principales méthodes de cette famille sont : la méthode de simplex, la méthode de Rosenbrock, et la méthode de variations locales de Hookes et Jeeves. Les méthodes d'ordre 1 quant à elles utilisent le calcul de gradient des fonctions objectif et de contraintes afin d'accélérer le processus de convergence en privilégiant une direction de recherche. Ces méthodes présentent toutefois l'inconvénient de ne pouvoir être appliquées qu'à des fonctions de classe C^1 , c'est-à-dire continûment dérivable. Les principales méthodes de cette famille sont : la méthode de la plus grande pente, la méthode du gradient conjugué, la méthode de Newton, et la méthode de quasi-Newton.

4.2.6. Problème contraint

(P) est dit contraint s'il comprend au moins une équation $g(x)$ ou $h(x)$ dans sa formulation. Une simplification usuelle consiste à transformer les contraintes d'égalités $g_i(x)=0$ en contraintes d'inégalités $g_i(x)\leq 0$ et $-g_i(x)\leq 0$. Ceci permet de ne résoudre que des problèmes avec contraintes d'inégalité :

$$(P) \left\{ \begin{array}{l} \text{Minimiser} \quad F(x) \\ x \in \mathcal{R}^n \\ h_j(x) \leq 0 \quad \forall j \in [1..q+2 \cdot p] \\ x_{k \min} \leq x_k \leq x_{k \max} \quad \forall k \in [1..n] \end{array} \right. \quad \text{Eq.74}$$

Il est alors possible de définir la fonction de Lagrange associée à (P) par :

$$L(x, I) = F(x) + \sum_{j=1}^{q+2 \cdot p} I_j \cdot h_j(x) \quad \text{Eq.75}$$

Où I est le multiplicateur de Lagrange, défini positif ou nul. Les équations de Kuhn-Tucker fournissent alors une condition nécessaire pour que (x^*) soit minimum local de (P) :

$$\left\{ \begin{array}{l} \nabla_x L(x^*, I^*) = 0 \\ I_{j^*} \cdot h_j(x^*) = 0, \forall j \in [1..q+2 \cdot p] \end{array} \right. \quad \text{Eq.76}$$

Une solution minimisant la fonction objectif ne sera valable que si les contraintes existantes sont vérifiées. Ainsi, (x^*) est un optimum local de (P) si et seulement si :

- les fonctions F et h sont convexes au voisinage de (x^*) ;
- les conditions de Kuhn-Tucker sont vérifiées en (x^*) .

A ce niveau, il est possible de distinguer deux types de problèmes contraints : ceux pouvant s'écrire sous la forme d'un système linéaire $A \cdot x \leq b$, et ceux qui nécessitent des formulations non-linéaires. C'est ce dernier cas qui nous intéresse ici. Trois familles de méthodes de résolution peuvent alors être employées : les méthodes de transformation, les méthodes primales et les méthodes stochastiques précédemment décrites. Les méthodes de transformation modifient le problème original contraint en un sous-problème équivalent sans contrainte, en introduisant les contraintes de conception au sein de la nouvelle fonction objectif sous forme de fonction de pénalité (méthode de pénalités intérieures ou extérieures, méthode du Lagrangien augmenté). Ces méthodes s'avèrent efficaces du point de vue pratique. Les méthodes primales travaillent quant à elles directement sur le problème contraint original, en le remplaçant par une suite de sous-problèmes approchés, comme la méthode séquentielle de programmation quadratique, la méthode du gradient réduit, ou celle du gradient projeté. Si ces méthodes ne nécessitent aucune contrainte de convexité sur les fonctions utilisées, elles présentent l'inconvénient de pouvoir perdre l'admissibilité d'une solution en passant d'une itération à la suivante.

4.3. Première fonction objectif

Nous cherchons ici à élaborer une démarche d'optimisation géométrique et physique d'un MOSFET de puissance afin d'assurer l'auto-alimentation de la commande rapprochée, et à plus long terme, afin d'intégrer ce dispositif d'auto-alimentation et la commande rapprochée dans le même boîtier que l'interrupteur principal. Il s'agit donc d'évaluer quelle est la géométrie de motifs élémentaires la mieux adaptée à cette démarche. Les travaux décrits dans les chapitres précédents nous permettent de connaître les besoins énergétiques au niveau de la grille d'un MOSFET de puissance en commutation, et ce, en évaluant les apports de charges

nécessaires aux changements d'états des capacités inter-électrodes. Notre fonction objectif devait donc se baser sur le calcul de cette charge de grille Q_G ; afin de disposer d'un composant présentant un bon état passant, nous avons choisi d'intégrer la résistance R_{DSon} à la fonction objectif. La fonction objectif que nous avons utilisée pour cette optimisation est donc :

$$f_{obj} = Q_G \cdot R_{DSon}, \text{ et s'exprime en } \text{Cb} \cdot \Omega.$$

Pour cette première fonction objectif, nous avons fait le choix d'affecter le même poids à la charge de grille Q_G et la résistance à l'état passant R_{DSon} . Ce choix n'est peut-être pas le plus judicieux. Suivant le but recherché dans la démarche d'optimisation, il peut en effet être intéressant d'affecter une puissance α sur le terme Q_G et d'une puissance $(1-\alpha)$ sur R_{DSon} , car cela permet de privilégier l'un des deux termes par rapport à l'autre. Cependant, il faut rappeler que notre objectif principal est de montrer l'intérêt d'une telle démarche quant au dimensionnement d'un composant.

4.4. Variables

Pour réaliser cette optimisation, nous avons envisagé le cas d'un MOSFET de puissance à cellules élémentaires carrées, ayant une tenue en tension de 600V, commutant 2A sous 400V au sein d'un hacheur série comprenant une diode de roue libre idéale (sans recouvrement), et piloté par une commande de grille en 0/+20V, avec une résistance de grille choisie par l'utilisateur. Le choix de la résistance de grille est en effet un paramètre important puisqu'il conditionne la dynamique de commutation, et donc influe sur celle de la charge de grille. Dans la mesure où la charge de grille fera partie intégrante de la fonction objectif, et compte tenu du fait qu'une de nos contraintes porte justement sur la dynamique de commutation, nous avons préféré exclure la résistance de grille des variables d'optimisation, ce qui est d'autant plus justifié que cette optimisation porte sur la géométrie du composant et non sur son circuit d'exploitation.

L'optimisation géométrique du MOSFET de puissance a donc été menée sur le dessin de puce intégrant l'interrupteur auxiliaire de régulation pour l'auto-alimentation, sans tenir compte du type de régulation envisagée.

Le wafer utilisé a une épaisseur de 500 μm , sur un substrat N+ dopé à $2 \cdot 10^{19} \text{ cm}^{-3}$, et une zone épitaxiée v de dopage N_n et d'épaisseur w_n adaptée à la tenue en tension souhaitée. La puce de

silicium est un pavé de 3mm*3mm ; l'espace réservé de chaque côté pour le trait de découpe est de 100µm ; la périphérie de tenue en tension s'étend sur 250µm de large, et la zone destinée à l'interrupteur auxiliaire de régulation de la tension d'auto-alimentation fait 300µm de large. Les plots de contacts sont constitués de rectangle de 400µm*300µm.

Les paramètres de l'optimisation sont les suivants :

- N_a : dopage de la zone P porte canal;
- N_n : dopage de la zone N de tenue en tension ;
- e_{ox} : épaisseur de l'oxyde de grille ;
- T_i : épaisseur de l'oxyde de grille supérieur ;
- L_{cell} : largeur du motif cellulaire élémentaire ;
- $L_{intercell}$: espacement entre deux motifs élémentaires ;
- L_{canal} : longueur du canal;
- L_{rec} : longueur du recouvrement de la grille sur la source ;
- N_{cell} : nombre de motifs élémentaires.

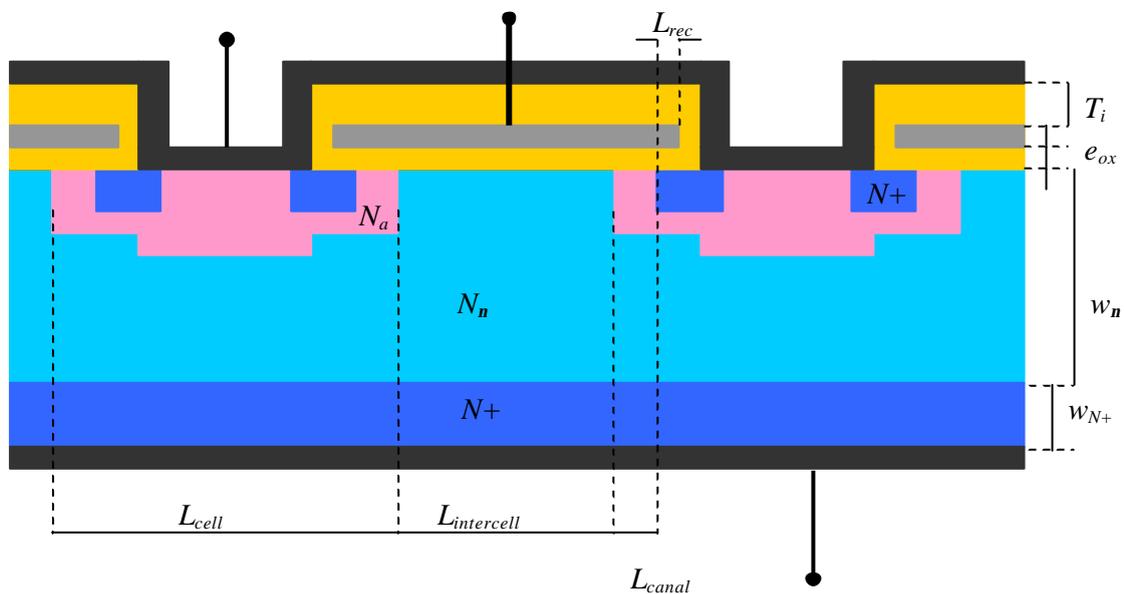


Figure 4-1 : Illustration des différentes variables d'optimisation.

Les domaines d'exploration pour les différentes variables sont les suivants pour la méthode SQP (Sequential Quadratic Programming) :

variable	Min	Max
N_a (cm ⁻³)	10 ¹²	10 ²⁰
N_n (cm ⁻³)	10 ¹²	10 ²⁰
e_{ox} (nm)	40	200
T_i (nm)	100	2000
L_{cell} (μm)	5	100
$L_{intercell}$ (μm)	10	200
L_{canal} (μm)	1	5
L_{rec} (μm)	0.1	3
N_{cell}	4	1000

Tableau 4-1 : Domaines d'exploration pour les variables d'optimisation.

Comme expliqué plus loin, nous avons finalement retenu une méthode d'ordre 0 pour cette optimisation. Nous avons donc effectué un quadrillage grossier de l'espace des variables d'optimisation afin de déterminer les régions susceptibles de présenter un optimum local pour ensuite resserrer le quadrillage sur chacune de ces régions. Le premier quadrillage correspond au tableau suivant :

Na	Nnu	eox	ti	Lcell	Lintercell	Lcan	Lrec	Ncell
*10 ¹⁵ cm-3	*10 ¹⁵ cm-3	nm	μm	μm	μm	μm	μm	
0,0316	0,0316	40	1	5	10	1	1	9
0,316	0,316			7	13			25
3,16	3,16			13	22			49
31,62	31,62	80		23	37	2		81
316,2	316,2			37	58			121
3162	3162			55	85			169
31623	31625	120		77	118	3		225
316230	316230			103	157			289
								361
		160				4		441
								529
								625
						729		
						841		
						961		
						1089		

Tableau 4-2 : Premier quadrillage considéré pour l'optimisation.

Compte tenu de la diversité des amplitudes des domaines de variations des différents paramètres, certaines progressions sont linéaires, d'autres sont exponentielles (notamment les dopages). De plus, certains paramètres sont fixés, étant donné leur faible influence dans la fonction objectif. Ce premier parcours permet toutefois de balayer un espace d'étude constitué de 2²⁰=1048576 points. A l'issue de ce premier parcours, l'espace des solutions (c'est-à-dire

l'ensemble des points satisfaisant les contraintes du problème) est stocké dans une matrice. Nous passons alors d'un espace d'étude de plus d'un million de points à un espace nettement plus restreint (dans notre cas, cet espace comporte moins de 1500 points, ce qui représente un gain considérable). Dans cet espace des solutions, nous recherchons ensuite l'optimum de la fonction objectif, ainsi que les autres points proches de cet optimum à un certain pourcentage près (pourcentage laissé au choix de l'utilisateur). Nous verrons plus loin que, pour une tolérance de 5%, cela revient à retenir parfois moins d'une dizaine de points.

4.5. Contraintes et paramètres imposés

Les contraintes que nous avons imposées pour cette démarche d'optimisation sont de quatre types :

- les contraintes liées au cahier des charges du MOSFET principal: tenue en tension, calibre en courant (même si à surface donnée, il est possible de majorer le courant I_{DS} ou la densité de courant J_{DS}),... ;
- les contraintes liées au dimensionnement géométrique du MOSFET dans la surface allouée à l'interrupteur principal;
- les contraintes de viabilité technologique et physique, afin d'obtenir des solutions réalisables ;
- enfin, les contraintes de bon sens que l'utilisateur doit spécifier à Matlab (dimensions et temps positifs...). Si ces contraintes sont évidentes pour nous, elles doivent être formulées dans notre démarche d'optimisation, sous peine d'obtenir des résultats optimisés d'un point de vue mathématique mais en aucun cas physique.

Ces contraintes ont évolué au fur et à mesure de la progression de notre démarche d'optimisation ; chaque résultat nous a permis de resserrer ou de relâcher certaines d'entre elles, et nous avons dû aussi en ajouter de nouvelles pour tenir compte de certains phénomènes. Le premier jeu de contraintes que nous avons utilisé était le suivant :

- contrainte n°1 : $L_{cell} \geq (2 \cdot L_{canal}) + 20\mu m$. La valeur de $20\mu m$ constitue une limite technologique, compte tenu des autres niveaux de masquage (P+ central, N+ de source...). L'inégalité provient quant à elle de considérations géométriques.

- Contrainte n°2: $V_{Th} \geq 1.5V$. Il s'agit d'une considération électrique, pour avoir un composant dont la tension d'amorçage n'est pas trop faible (pour éviter toute commutation intempestive).
- Contrainte n°3: $Largeur \leq D_{pavé} - 2 \cdot L_{poche} - 2 \cdot L_{régulation} - 2 \cdot L_{Découpe}$ où $Largeur = \sqrt{N_{cell}} \cdot (L_{cell} + L_{intercell}) - L_{intercell}$ et $L_{poche} = \frac{BV_{DS}}{5} \mu m$ [NGO]. Il s'agit de considérations géométriques : il faut pouvoir loger dans le pavé de silicium les structures de tenue en tension latérales et le nombre conséquent de cellules et d'intercellules.
- Contrainte n°4: $Z \geq Z_{mini}$, avec $Z_{mini} = \frac{2 \cdot I_0 \cdot L_{canal}}{m_{nS} \cdot \frac{e_0 \cdot e_{ox}}{e_{ox}} \cdot (V_{com} - V_{Th})^2}$. Il s'agit d'une contrainte électrique et géométrique, il faut que Z , le périmètre total des cellules, puisse assurer le passage du courant I_0 imposé par la structure.
- Contrainte n°5: $S_{nG} \geq \frac{I_0}{J_C}$, équation qui équivaut à $J_C \geq \frac{I_0}{S_{nG}}$. Cette contrainte traduit le fait que la densité de courant dans la zone épitaxiée (v) sous la grille (en fait, il s'agit de l'espace intercellulaire dans sa globalité) doit être inférieure à la densité critique de courant J_C dans le silicium.
- Contrainte n°6: $L_{intercell} \leq L_{n\max}$ où $L_{n\max} = 2 \cdot m_{nS} \cdot \frac{e_0 \cdot e_{ox}}{e_{ox}} \cdot (V_{com} - V_{Th})^2 \cdot \frac{Z}{I_0}$. Cette contrainte tient ici compte de résultats de précédentes études sur l'influence de l'espace inter-cellulaire sur les performances en courant du composant ([BOUCHET-2], [VERNEAU-3]).
- Contrainte n°7: $BV_{DS} \geq V_0$. Il faut bien évidemment que la tenue en tension du composant soit supérieure à la tension V_0 de l'application. (NB : par la suite nous fixerons le calibre en tension et donc le dopage N_D , cette contrainte n'aura donc plus lieu d'être).
- Contrainte n°8 : $\frac{I_0}{t_{ri}} \leq 200 A \cdot \mu s^{-1}$. Nous imposons ici que la dynamique du composant soit telle que la croissance du courant lors de l'amorçage s'effectue à moins de

200A/μs. Cette valeur correspond à une limite qui tient compte du fait que le composant sera amené à commuter avec une diode réelle, susceptible de présenter des phénomènes de recouvrement, qui seront ici limités par cette valeur maximale de dynamique du courant ;

- Contrainte n°9: $V_{Th} \leq V_{plateau} \leq V_{com}$. Il s'agit d'une évidence pour l'utilisateur, mais il faut le préciser pour Matlab, qui dans un souci d'optimisation, peut choisir (sans cette contrainte) de placer V_{Th} supérieure à $V_{plateau}$ (pour rendre la différence négative et minimiser d'autant plus la fonction objectif).
- Contrainte n°10: $Q_G \geq 0$. Là encore, il s'agit 'une contrainte de bon sens. Sans cette contrainte, Matlab minimise la fonction objectif avec des valeurs négatives.
- Contrainte n°11: $R_{DSon} \geq 0$. Sans cette contrainte, Matlab additionne les 3 résistances d'épanouissement et "réalise" un épanouissement hors tranche, donc une hauteur négative (et donc une, résistance négative).
- Contrainte n°12: $L_{cell} \leq L_{intercell}$. Cette contrainte est là pour donner une valeur minimale à l'intercellule. Une contrainte thermique permettrait sans doute une définition minimale de la surface intercellulaire (et ainsi de l'espace intercellulaire).
- Contrainte n°13: $w_n \leq w_{tr}$. Là encore, il s'agit d'éviter à Matlab de "réaliser" une épaisseur w_n supérieure à la tranche (ce qui conduirait à une résistance à l'état passant négative...).

Certaines contraintes sont donc des contraintes réelles, d'autres traduisent des conditions évidentes pour l'utilisateur, mais pas pour le logiciel. Comme mentionné précédemment, ces contraintes ont évolué au cours de l'étude. Ces évolutions seront mentionnées lors de la présentation des différents résultats (cf. paragraphe §4.7).

En plus de ces contraintes, nous avons fixé certains paramètres, notamment pour notre démarche d'optimisation d'ordre 0. Ainsi, l'épaisseur d'oxyde de grille T_i a été fixée à 1μm, et il en a été de même pour la longueur du recouvrement de grille L_{rec} . Même si ces paramètres interviennent dans l'expression de la capacité C_{GS} , leurs valeurs (épaisseur d'oxyde importante et faible largeur de recouvrement), en comparaison des autres paramètres, font que leur contribution dans l'expression de cette capacité est minime devant celles des

autres termes. Ces deux paramètres qui ne sont donc pas d'une influence majeure pour notre étude pourront être étudiés ultérieurement. De plus, le fait de diminuer le nombre de variables à optimiser (passant ainsi de 9 à 7) permet un gain de temps non négligeable. Un autre paramètre imposé est la valeur de la résistance de grille R_G , qui est laissée au choix de l'utilisateur pour des raisons déjà mentionnées plus haut.

4.6. Méthodes choisies

Après avoir étudié les différentes solutions qui s'offraient à nous pour entreprendre une démarche d'optimisation portant sur la géométrie du composant, et, après avoir mis en équations nos différentes contraintes, nous avons tout d'abord envisagé d'utiliser la fonction « fmincon » de Matlab, basée sur l'utilisation d'une méthode SQP (Sequential Quadratic Program). Cette méthode déterministe imite pour l'optimisation contrainte la méthode de Newton qui est normalement utilisée pour les problèmes non contraints. Le principe de la méthode SQP est de transformer le problème contraint en un sous-problème basé sur une approximation quadratique du Lagrangien du problème initial. Le choix de faire appel à la fonction « fmincon » a été initialement guidé par le fait que les fonctions mises en jeu dans la formulation de notre problème et dans celle de la fonction objectif étaient de manière générale de classe C^2 , condition sine qua non pour pouvoir appliquer cette méthode. Cette fonction implantée sous Matlab possède un formalisme bien défini, notamment au niveau de la formulation des contraintes linéaires et non-linéaires. Cet aspect nécessite une reformulation des contraintes, mais aussi des domaines d'étude pour les différentes variables. Il est ainsi préférable voire nécessaire de tout ramener à l'unité (que ce soit pour les variables ou pour les contraintes), et ce afin d'améliorer la convergence vers un optimum. De plus, nous avons dû compléter les descriptions des différentes variables discrètes (telles que le nombre de motifs élémentaires) en procédant soit à des linéarisations, soit à des interpolations, soit encore en faisant appel à des fonctions sigmoïdes, qui permettent une formulation adéquate des fonctions en escalier. Il est aussi nécessaire de fournir à cette fonction « fmincon » un point de départ x_0 . Après quelques essais, plusieurs inconvénients sont apparus pour cette méthode :

- l'optimum trouvé dépend du point de départ fourni par l'utilisateur. La fonction « fmincon » fournit donc un minimum local et non global, et il est donc nécessaire de lancer plusieurs optimisations pour obtenir un résultat fiable ;

- le temps de calcul, même sur un domaine d'étude restreint à 4 variables au lieu de 9, est non négligeable et peut facilement atteindre les cinq minutes ;
- les résultats obtenus sont parfois incohérents : ainsi Matlab propose, pour certains points de départ, des optima situés dans l'espace complexe. Il semble après analyse du problème, que ce défaut provienne du fait que certaines de nos formulations font appel à des fonctions logarithmes et exponentielles. Une de nos contraintes porte sur le temps de commutation du composant. Dans la mesure où nous considérons des charges de capacités suivant une loi exponentielle pour la tension V_{GS} , les temps de charge sont donc des expressions logarithmiques. Puisqu'il s'agit de minimiser certaines expressions, l'algorithme de Matlab va chercher des valeurs dans les réels négatifs ou dans le plan complexe, afin d'obtenir un minimum mathématique, mais en aucun cas physique. Il est difficile d'ajouter un test de signe ou de partie imaginaire nulle sur les formules que nous avons utilisées dans notre problème d'optimisation, d'une part parce que cette erreur peut intervenir sur des variables intermédiaires du calcul et être masquée dans le résultat final, et d'autre part parce que le test de signe dans Matlab ne se fait que sur la partie réelle d'un nombre complexe.

L'utilisation de ce type de formulation semble donc extrêmement hasardeuse et risquée, à moins d'effectuer pour chaque variable (y compris les variables intermédiaires) des tests de signe, de partie imaginaire nulle, en plus des tests de domaines et de ceux de contraintes. L'ajout de ce type de tests nous est apparu trop fastidieux et trop coûteux en temps de simulation ; nous avons donc choisi d'abandonner l'utilisation d'une fonction préprogrammée de Matlab pour finalement d'opter pour une méthode d'ordre 0, qui se contente d'évaluer la fonction objectif, en effectuant un balayage de l'espace complet des variables d'optimisation. L'espace des variables est toutefois maillé de manière à pouvoir effectuer une localisation rapide des différentes régions présentant un optimum local; l'espace d'étude est ensuite recentré autour de ces régions avec un quadrillage plus fin. Cette méthode est appelée « clustering » ([HORST]). Dans la mesure où les fonctions utilisées dans nos formules analytiques pour le calcul ne présentent pas de discontinuités, et compte tenu du fait que nous avons linéarisé les fonctions discontinues, nous pouvons nous permettre ce type d'approche en deux temps, avec un quadrillage grossier pour isoler les régions favorables, et ensuite un quadrillage plus fin recentré sur ces régions. De plus, l'avantage d'une telle méthode est qu'elle permet non seulement de trouver l'optimum global, mais aussi les autres optima proches de cet optimum global. L'utilisateur peut ainsi choisir de retenir les régions qui

présentent un optimum local supérieur à 95% de l'optimum global, pour redéfinir un quadrillage plus fin sur ces régions. Le problème à ce niveau est le choix de la tolérance vis-à-vis de l'optimum : 5% est une valeur totalement arbitraire. Toutefois, l'augmentation de cette tolérance est inévitablement accompagnée d'une augmentation du nombre des régions candidates au second quadrillage, et donc du temps de calcul et de recherche de l'optimum.

Cependant, si cette approche s'avère *a priori* beaucoup plus coûteuse en temps qu'une méthode élaborée, il ne faut pas oublier qu'elle permet d'obtenir l'évaluation de la fonction objectif sur l'ensemble de l'espace d'étude, garantissant ainsi non seulement l'optimum global, mais aussi les optima locaux, laissant la possibilité à l'utilisateur de choisir un optimum qu'il juge plus facilement réalisable, tout en connaissant les concessions qu'il accepte d'effectuer en abandonnant l'optimum global au profit d'un optimum local un peu moins bon. De plus, dans le cas d'une fonction d'optimisation telle que «fmincon», le nombre accru de tests sur les variables, la nécessité de réitérer la démarche afin de s'assurer de la validité d'un optimum et le fait que l'optimum trouvé ne soit en aucun cas garanti comme global font qu'au final, les deux méthodes sont équivalentes du point de vue temps de simulation (environ 30 minutes).

4.7. Résultats

Nous présentons ici les résultats que nous avons obtenus dans l'ordre chronologique pour la démarche d'ordre 0 (puisque les résultats de la fonction «fmincon» n'étaient pas satisfaisants), en mentionnant les évolutions apportées sur les contraintes, les domaines d'étude...

4.7.1. Première démarche d'optimisation

Un second parcours est réalisé successivement autour des points retenus à l'issue de l'étude réalisée sur le premier quadrillage. Si nous indexons «*opt*» les coordonnées de l'optimum considéré, les domaines d'explorations sont les suivants :

- Dopage N_a : 8 valeurs entre $N_{aopt}/10$ et $10.N_{aopt}$, progression exponentielle ;
- Dopage N_n : 8 valeurs entre $N_{nopt}/10$ et $10.N_{nopt}$, progression exponentielle ;
- Epaisseur d'oxyde e_{ox} : 8 valeurs centrées sur e_{oxopt} , progression linéaire par pas de 10nm ;

- Epaisseur d'oxyde supérieur T_i : maintenue constante à $1\mu\text{m}$;
- Largeur de cellule L_{cell} : 8 valeurs entre $L_{cellopt}/2$ et $2.L_{cellopt}$, progression exponentielle ;
- Largeur d'intercellule $L_{intercell}$: 8 valeurs entre $L_{intercellopt}/2$ et $2.L_{intercellopt}$, progression exponentielle ;
- Longueur de canal : 4 valeurs, progression identique au premier parcours ;
- Longueur de recouvrement : maintenue constante à $1\mu\text{m}$;
- Nombre de cellules N_{cell} : 4 valeurs centrées sur $N_{cellopt}$.

Ce second parcours nous amène donc à un espace d'étude de $2^{19}=524288$ points, et ce pour chaque optimum toléré étudié (les optima tolérés correspondant dans cette étude aux points proches de l'optimum global, à la tolérance près du pourcentage choisi par l'utilisateur). Cette démarche est ainsi répétée pour chaque optimum toléré. L'étude des voisinages respectifs de ces points permet alors d'en déterminer l'optimum local. Il est possible de réitérer cette démarche, en recentrant l'espace des solutions sur l'optimum global, ou sur les différents optima tolérés, et en redéfinissant la matrice d'étude autour de ce(s) point(s). Toutefois, il faut faire attention à ne pas trop entrer dans le détail, et aller au delà des limites technologiques.

L'ensemble de cette étude a donc été mené pour 3 valeurs de résistances de grille : 10Ω , 50Ω et 100Ω .

(Remarque : sur cette première optimisation, la contrainte de tenue en tension de 600V n'existait pas, ceci explique pourquoi le dopage N_D varie pour les différents optima trouvés.)

4.7.1.1. Résultats pour $R_g=10\text{W}$

Le premier parcours conduit à l'optimum suivant, pour un espace des solutions comportant 128 points:

Na	Nnu	eox	ti	Lcell	Lintercell	Lcan	Lrec	Ncell	fonction objectif
10^{15} cm^{-3}	10^{15} cm^{-3}	nm	μm	μm	μm	μm	μm		
31,62	0,316	120	1	55	118	4	1	289	5,21E-08

Tableau 4-3: Optimum à l'issue du premier parcours, $R_g=10\text{W}$.

Le nombre d'optima tolérés (par rapport au minimum) est alors :

tolérance	5%	25%	50%	100%
nb optima	4	9	46	46

Tableau 4-4 : Tolérance sur les optima.

Nous présentons sur les figures ci-dessous les optima à 50%, et dans l'encadré les optima à 5%, qui sont ici situés dans la même région :

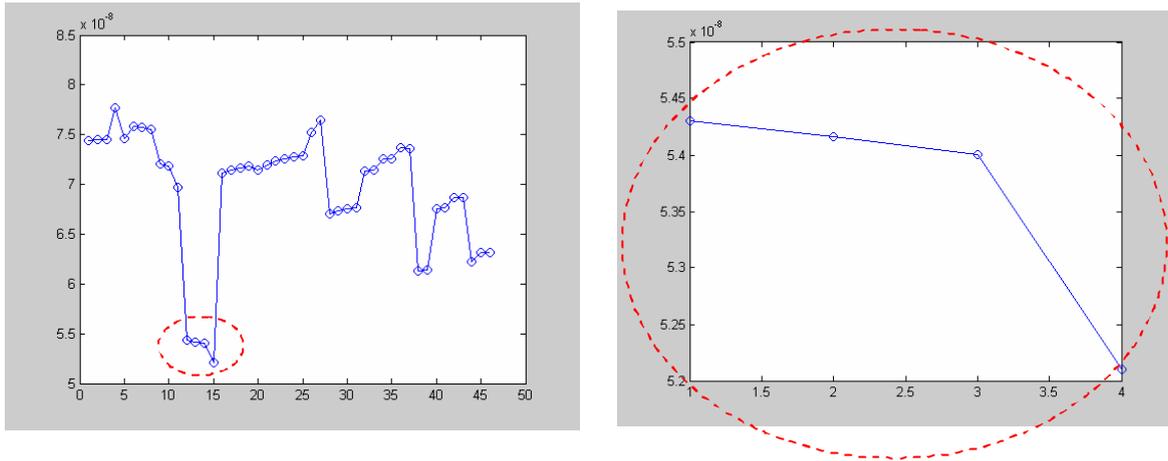


Figure 4-2 : Optima de la fonction objectif à 50% et à 5%.

Ces 4 optima tolérés à 5% sont nommés dans la suite de l'étude X1 à X4 (X4 étant à l'issue du premier parcours l'optimum global). Le second parcours conduit aux résultats suivants :

	Na *10 ¹⁵ cm ⁻³	Nnu *10 ¹⁵ cm ⁻³	eox nm	ti µm	Lcell µm	Lintercell µm	Lcan µm	Lrec µm	Ncell	fonction objectif
X1	31.6	0.316	120	1	23	85	4	1	529	5.44E-08
X2	31.6	0.316	120	1	23	85	4	1	625	5.42E-08
X3	31.6	0.316	120	1	23	85	4	1	729	5.41E-08
X4	31.6	0.316	120	1	55	118	4	1	289	5.21E-08
X1opt	163.7	0.061	100	1	31	77	3	1	625	2.66E-09
X2opt	163.7	0.061	100	1	31	77	3	1	625	2.66E-09
X3opt	163.7	0.061	120	1	31	63.2	3	1	784	1.64E-09
X4opt	84.8	0.439	140	1	74	87.7	4	1	324	2.32E-08

Tableau 4-5 : Optima à l'issue du second parcours.

Ces résultats montrent tout d'abord l'amélioration globale des optima (d'un facteur 10) et justifient l'intérêt du second parcours. Nous constatons aussi que les points X1 et X2 convergent vers le même optimal, ce qui semble justifié puisque les 2 points de départ ne diffèrent que d'un paramètre, à savoir le nombre de cellules. Toutefois, ceci ne constitue pas une règle absolue, puisque nous voyons le point X3 converger vers un autre optimum, alors que X3 et X2 ne diffèrent que par N_{cell} . De plus, l'optimum issu de X3 est meilleur que celui

de X1 et X2. Enfin, nous remarquons que l'optimum issu de X4 est le plus mauvais. Cela signifie qu'au cours du premier parcours, X4 se situait très près de son optimum local (près de son sommet), alors que les points X1, X2 et X3 étaient plus éloignés de leurs optima locaux (à flanc de montagne, mais encore loin du sommet). Il faut aussi noter que les résultats du second parcours offrent des optima relativement proches : il n'y a pas, à ce niveau, d'optimum global absolu, devant de loin les autres points.

4.7.1.2. Résultats pour Rg=50W

Le premier parcours conduit à l'optimum suivant, pour un espace des solutions de 1119 points :

Na	Nnu	eox	ti	Lcell	Lintercell	Lcan	Lrec	Ncell	fonction objectif
*10 ¹⁵ cm ⁻³	*10 ¹⁵ cm ⁻³	nm	µm	µm	µm	µm	µm		
31,62	0,316	160	1	23	37	3	1	361	2,99E-08

Tableau 4-6 : Optimum à l'issue du premier parcours, Rg=50W.

Les optima tolérés sont alors les suivants :

tolérance	5%	25%	50%	100%
nb optima	8	94	221	450

Tableau 4-7 : Tolérance sur les optima.

Nous présentons sur les figures ci-dessous les optima à 50%, et dans l'encadré les optima à 5%, qui sont cette fois-ci situés dans des régions différentes :

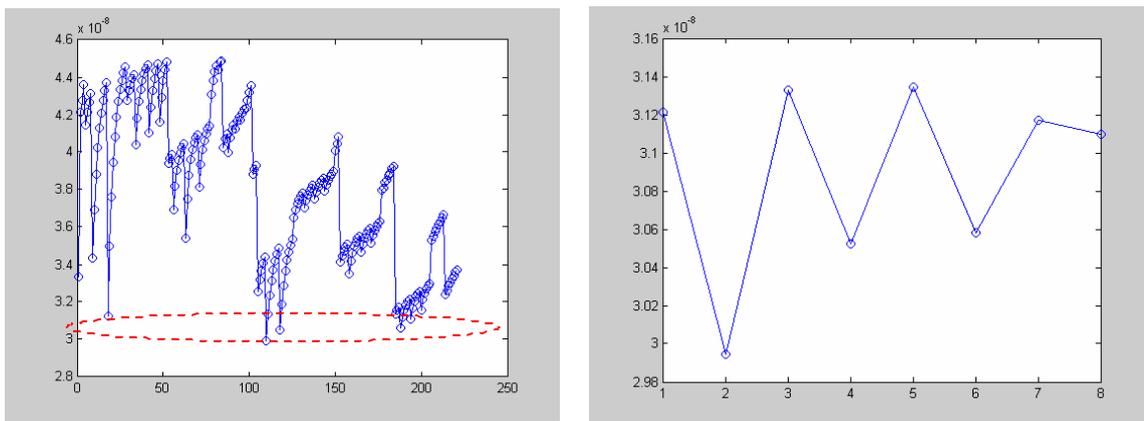


Figure 4-3 : Optima de la fonction objectif à 50% et à 5%.

Les 8 optima tolérés à 5% sont nommés dans la suite de l'étude L1 à L8 (L2 étant à l'issue du premier parcours l'optimum global). Le second parcours conduit aux résultats suivants :

	Na	Nnu	eox	ti	Lcell	Lintercell	Lcan	Lrec	Ncell	fonction objectif
	*10 ¹⁵ cm ⁻³	*10 ¹⁵ cm ⁻³	nm	µm	µm	µm	µm	µm		
L1	31,6	0,316	120	1	23	37	4	1	225	3,12E-08
L2	31,6	0,316	160	1	23	37	3	1	361	2,99E-08
L3	31,6	0,316	160	1	23	37	3	1	441	3,13E-08
L4	31,6	0,316	160	1	23	37	4	1	361	3,05E-08
L5	31,6	0,316	160	1	55	58	1	1	441	3,13E-08
L6	31,6	0,316	160	1	55	58	2	1	225	3,06E-08
L7	31,6	0,316	160	1	55	58	2	1	289	3,11E-08
L8	31,6	0,316	160	1	55	58	3	1	225	3,11E-08
L1opt	22,7	0,118	90	1	37,7	49,8	4	1	256	4,47E-10
L2opt	6,1	0,118	160	1	37,7	60,7	3	1	196	4,12E-10
L3opt	11,8	0,118	90	1	25,4	40,9	4	1	441	2,22E-11
L4opt	11,8	0,118	90	1	25,4	40,9	4	1	441	2,22E-11
L5opt	43,9	0,061	140	1	33,5	78,1	4	1	529	1,06E-11
L6opt	11,8	0,118	140	1	33,5	52,5	3	1	256	4,90E-11
L7opt	6,1	0,061	160	1	40,9	95,2	4	1	361	1,19E-11
L8opt	11,8	0,118	140	1	33,5	52,2	3	1	256	4,93E-11

Tableau 4-8 : Optima à l'issue du second parcours.

Là encore, ces résultats montrent de nettes améliorations du second parcours par rapport au premier (d'un facteur allant de 100 à 1000). De nouveau, nous constatons que des points peuvent converger vers le même optimum local (L3 et L4), et que les résultats du premier parcours ne donnent qu'une tendance : le point L2, optimum global du premier parcours, converge vers le point L2opt qui est avant-dernier sur le second parcours. Enfin, force est de constater que, là encore, il n'y a pas de réel optimum global bien meilleur que les autres qui se dégage. Cette méthode laisse donc une possibilité de choix pour la personne chargée de réaliser le dessin des masques pour la réalisation des composants, en tenant compte d'une part de la précision des lithographies dont il dispose, et aussi de l'importance de la matrice de motifs élémentaires qu'il peut dessiner. Il faut aussi noter que, même si $R_g=50W$, les optima proposés sont meilleurs que pour $R_g=10W$. Même si le courant de grille est plus faible (ce qui aurait tendance à ralentir la charge de grille), il est possible d'obtenir, en jouant sur les paramètres de dopage et les géométries, des composants présentant une meilleure fonction objectif.

4.7.1.3. Résultats pour $R_g=100W$

L'optimum du premier parcours est le suivant (parmi les 1250 points de l'espace solution) :

Na	Nnu	eox	ti	Lcell	Lintercell	Lcan	Lrec	Ncell	fonction objectif
*10 ¹⁵ cm ⁻³	*10 ¹⁵ cm ⁻³	nm	µm	µm	µm	µm	µm		
31,6228	0,316	160	1	23	37	1	1	361	2,85E-08

Tableau 4-9 : Optimum à l'issue du premier parcours, $R_g=100W$.

Les optima tolérés sont :

tolérance	5%	25%	50%	100%
nb optima	7	110	250	481

Tableau 4-10 : Tolérances sur les optima.

Nous présentons sur les figures ci-dessous les optima à 50%, et dans l'encadré les optima à 5%, qui sont cette fois-ci situés dans des régions différentes :

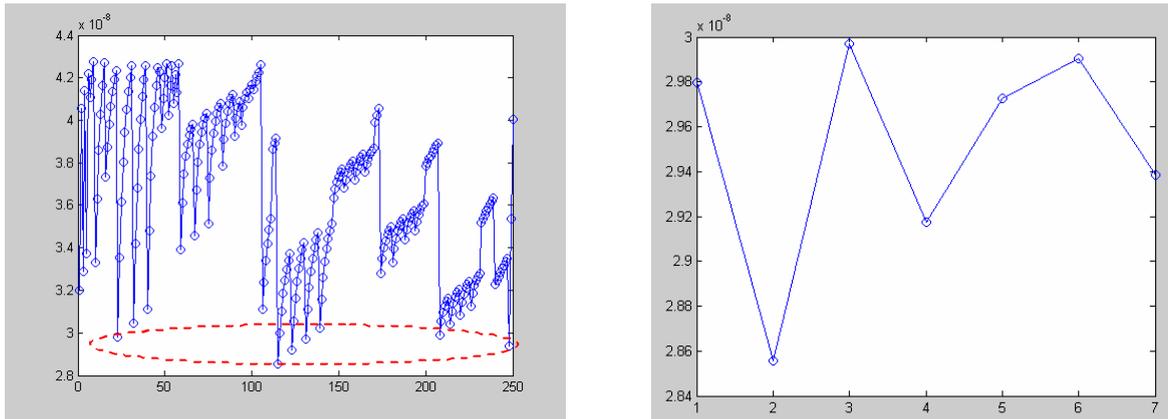


Figure 4-4 : Optima de la fonction objectif à 50% et à 5%.

Les 7 optima tolérés à 5% seront désignés C1 à C7 (C2 étant l'optimum global du premier parcours). Les résultats du second parcours donnent :

	Na	Nnu	eox	ti	Lcell	Lintercell	Lcan	Lrec	Ncell	fonction objectif
	*10 ¹⁵ cm-3	*10 ¹⁵ cm-3	nm	µm	µm	µm	µm	µm		
C1	31,6	0,316	120	1	23	37	2	1	225	2,98E-08
C2	31,6	0,316	160	1	23	37	1	1	361	2,85E-08
C3	31,6	0,316	160	1	23	37	1	1	441	3,00E-08
C4	31,6	0,316	160	1	23	37	2	1	361	2,92E-08
C5	31,6	0,316	160	1	23	37	3	1	361	2,97E-08
C6	31,6	0,316	160	1	55	58	1	1	225	2,99E-08
C7	316,2	0,316	80	1	13	22	1	1	441	2,94E-08
C1opt	11,8	0,118	150	1	46	49,8	4	1	196	2,44E-11
C2opt	43,9	0,118	110	1	31	33,5	2	1	441	2,21E-11
C3opt	84,8	0,118	120	1	25,4	33,5	1	1	529	1,75E-11
C4opt	43,9	0,118	110	1	31	33,5	2	1	441	2,21E-11
C5opt	43,9	0,118	110	1	31	33,5	2	1	441	2,21E-11
C6opt	43,9	0,118	110	1	33,5	52,5	4	1	253	3,07E-11
C7opt	117,8	0,118	70	1	26	44	3	1	400	5,10E-11

Tableau 4-11 : Optima à l'issue du second parcours.

Le second parcours permet une nette amélioration des optima (d'un facteur 1000). Là encore, certains points convergent vers le même optimum local (C2, C4 et C5 convergent vers le même point). De même, l'optimum global du premier parcours (C2), ne converge pas vers le

meilleur optimum du second parcours (obtenu à partir de C3). Par contre, les optima obtenus pour $R_g=100W$ sont du même ordre de grandeur que pour $R_g=50W$; et, comme précédemment, nous ne constatons pas l'apparition d'un optimum global bien meilleur que les autres optima locaux.

Cette première démarche d'optimisation a donc permis d'une part de valider notre approche d'ordre 0 en deux temps (le principe du clustering repose en effet sur un quadrillage grossier pour isoler les régions recelant des minima locaux puis un quadrillage plus fin centré sur ces régions), et d'autre part de montrer l'influence que pouvait avoir le choix de la résistance de grille. De plus, cela nous a permis d'étudier quelques-unes des influences respectives des différentes contraintes (non présentées ici); l'exploitation de ces résultats a été mise en œuvre dans les démarches ultérieures d'optimisation. Enfin, nous avons pu resserrer le domaine d'exploration de certaines variables en tenant compte de certaines règles de dimensionnement et des nouvelles contraintes que nous nous sommes imposées.

4.7.2. Seconde démarche d'optimisation

Pour cette seconde démarche d'optimisation, nous avons adopté le cahier des charges suivant (toujours dans le cas d'une cellule de commutation MOSFET/Diode idéale):

- tension commutée $V_0=400V$, courant commuté $I_0=2A$.
- composant présentant une tenue en tension de $BV_{DS}=600V$.
- commande de la grille en $0/+20V$, avec une résistance de grille $R_G=10W$.

Les données pour le wafer et la puce de silicium sont les suivantes (le dopage de la zone ν et son épaisseur sont déduits de la tenue en tension exigée, et deviennent donc des paramètres imposés):

- Epaisseur $w_{ir}=500\mu m$; épaisseur zone ν $w_{\nu}=50\mu m$.
- Dopage $N_{+FAR}=2e19\text{ cm}^{-3}$; dopage $N_{\nu}=3e14\text{ cm}^{-3}$.

4.7.2.1. Résultats avec un dopage N_a et une épaisseur d'oxyde de grille e_{ox} libres.

Nous avons, dans un premier temps, choisi de reprendre l'approche d'ordre 0 précédente, mais avec cette fois-ci certaines variables imposées. Nous avons donc profité de cette réduction du nombre de variables pour augmenter le nombre de valeurs testées pour d'autres

variables. Nous avons aussi utilisé les résultats de la précédente étude pour considérer au final le quadrillage suivant :

Dopage N_a	$3.16^{15} \text{ cm}^{-3}$, $3.16e16 \text{ cm}^{-3}$, $3.16e17 \text{ cm}^{-3}$ et $3.18e18 \text{ cm}^{-3}$.
Épaisseur d'oxyde de grille e_{ox}	16 valeurs par pas de 20nm, de 40 à 340nm.
Largeur de cellule L_{cell}	20 valeurs par pas de 5 μm , de 20 μm à 115 μm .
Largeur d'intercellule $L_{intercell}$	20 valeurs par pas de 5 μm , de 20 μm à 115 μm .
Longueur de canal L_{can}	1 ou 2 μm .
Nombre de cellules N_{cell}	progression en carré de $3^2=9$ à $25^2=625$ cellules.

Tableau 4-12 : Domaines d'exploration pour les variables d'optimisation.

Les autres paramètres sont maintenus constants, à savoir :

- Epaisseur d'oxyde de grille supérieur $T_i= 1\mu\text{m}$
- Longueur du recouvrement de grille $L_{rec}= 1\mu\text{m}$.

Nous avons repris les contraintes de la première démarche d'optimisation, en y ajoutant quelques modifications. La contrainte n°7, $BV_{DS} \geq V_0$, a été supprimée ; nous avons remplacé la contrainte n°6 par $L_{intercell} \leq 3 \cdot L_{cell}$ (cette majoration est arbitraire), et la contrainte n°11 par $0 \leq R_{Dson} \leq 3\Omega$, afin de majorer la résistance à l'état passant à 3Ω . Nous avons de plus ajouté deux nouvelles contraintes :

- contrainte n°14 : $t_{on} \leq 200ns$, la commutation d'amorçage du MOSFET doit se faire en moins de 200ns ;
- contrainte n°15 : $L_{cana} \geq L_{crit}$, la longueur de canal doit être supérieure à la longueur critique de claquage ;

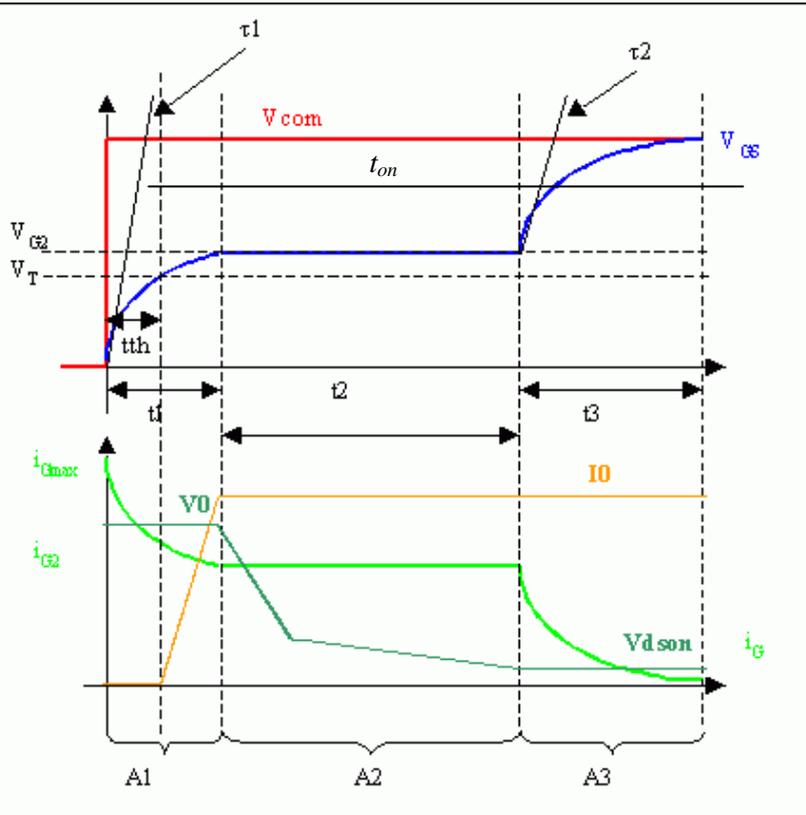


Figure 4-5 : Commutation à l'amorçage pour l'optimisation.

Dans ces conditions, l'espace des solutions testées (soit un peu moins de 1.2 millions de points) présente 28 points satisfaisant l'ensemble des contraintes et le cahier des charges. L'ensemble des contraintes apparaît donc très sévère à ce niveau.

La figure suivante présente l'évolution de la fonction objectif $Q_G \cdot R_{DSon}$ sur ces 28 points :



Figure 4-6 : Fonction objectif, charge de grille et résistance à l'état passant.

Ainsi la charge de grille reste globalement inférieure à 100nC, et la résistance $R_{DS(on)}$ est comprise entre 2 et 3Ω. Observons maintenant l'évolution des divers paramètres d'optimisation :

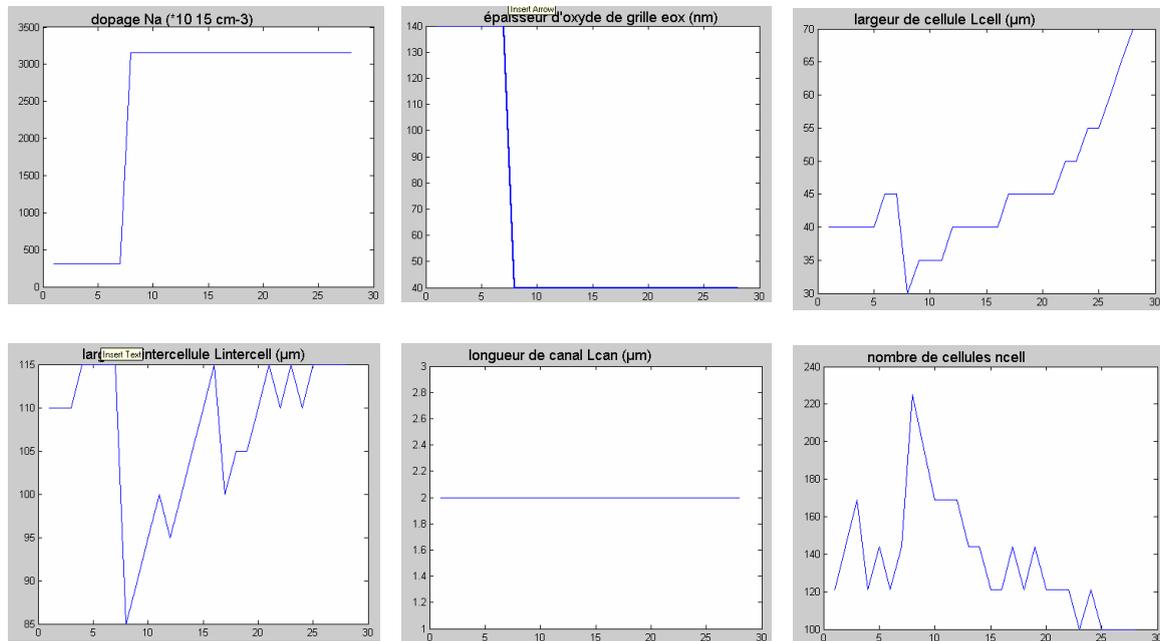


Figure 4-7 : Evolutions des différents paramètres (N_a , e_{ox} , L_{cell} , $L_{intercell}$, L_{canal} , N_{cell}) pour les 28 solutions.

Nous pouvons effectuer plusieurs remarques à ce niveau :

- dopage N_a et épaisseur d'oxyde e_{ox} sont fortement liés, par la formule de la tension de seuil V_{Th} . Dans la mesure où le programme ne teste que 4 valeurs pour le dopage N_a , et compte tenu de l'évolution de la tension V_{Th} en fonction de ces 2 paramètres (N_a & e_{ox}), les résultats sont «complémentaires» un accroissement de N_a permet une diminution de e_{ox} (même si de prime abord, l'optimisation de Q_G suggère de faibles capacités et donc une forte épaisseur de e_{ox})
- Les largeurs de cellules sont assez grandes (de 30 à 70µm), il en est de même pour les largeurs d'intercellules (de 85 à 115µm).
- La seule longueur de canal acceptable est de 2µm. Rappelons tout de même que le programme ne teste que 2 valeurs (1 ou 2µm), il aurait peut-être fallu permettre un choix plus large de valeurs, avec éventuellement un pas plus fin (dans la mesure du technologiquement possible).
- Le nombre de cellules reste raisonnable, sans être trop faible, ni trop important (entre 100 et 225 cellules, pour une plage allant de 9 à 625 cellules). Il est possible de relier les pics

de N_{cell} aux faibles valeurs de L_{cell} et/ou $L_{intercell}$: en effet, il faut satisfaire la condition de périmètre $Z > Z_{mini}$, avec la relation $Z = 4 \cdot N_{cell} \cdot L_{cell}$. Il est donc possible à ce niveau de jouer sur 2 paramètres, le nombre de cellules ou leur taille. Il s'en suit une répercussion sur le paramètre $L_{intercell}$, puisqu'il faut loger le nombre adéquat de cellules dans une surface qui, elle, est conditionnée par les périphéries et la surface allouée à l'auto-alimentation. Toutefois, la seule évolution du périmètre ne suffit pas à tirer des conclusions ou des tendances, puisque les capacités, elles, évoluent avec le carré des dimensions L_{cell} et $L_{intercell}$.

Nous présentons maintenant d'autres paramètres sensibles de l'optimisation, concernant cette fois-ci les performances électriques du composant en statique et en dynamique :

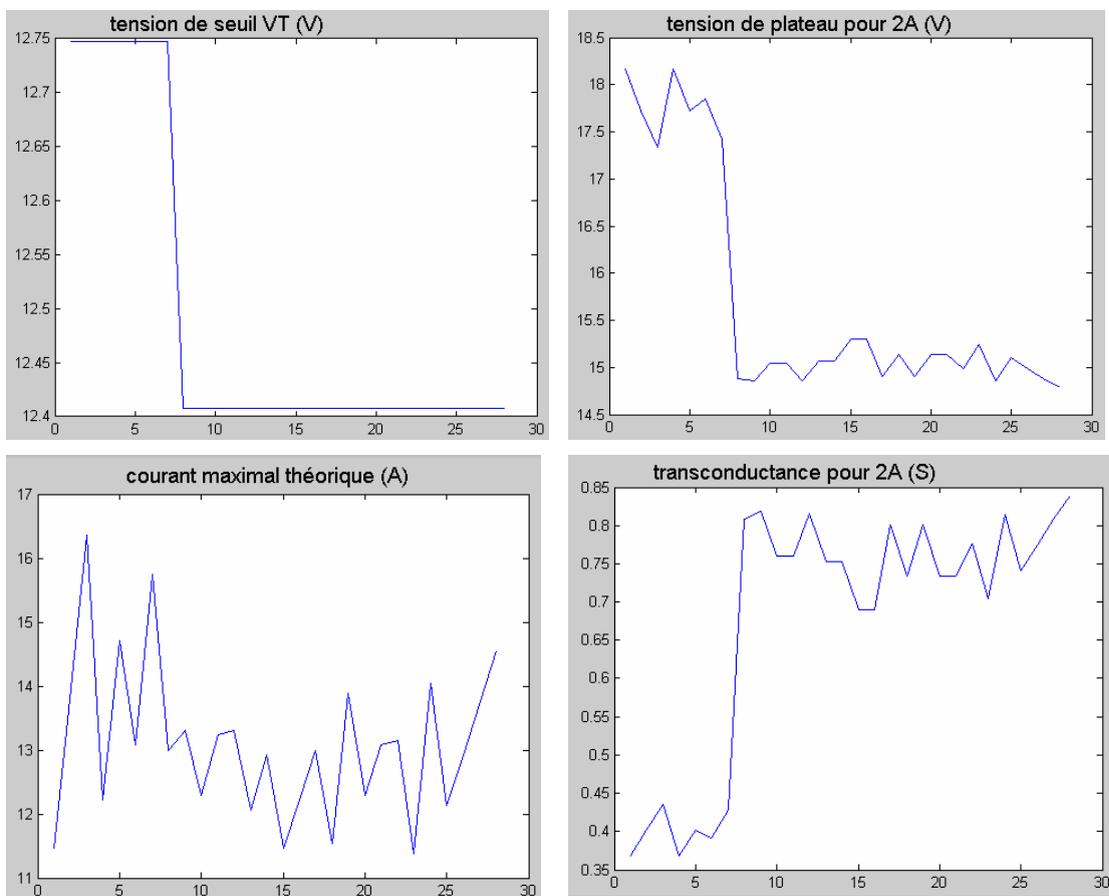


Figure 4-8 : Evolutions des performances électriques (V_{Th} , $V_{plateau}$, I_{MAX} , G_m) pour les 28 solutions.

Là encore, nous pouvons faire plusieurs remarques :

- les tensions V_{Th} et $V_{plateau}$ (pour 2A) sont élevées (plus de 12V pour V_{Th} , et plus de 14V pour $V_{plateau}$). Compte tenu du but visé, à savoir la minimisation de la charge de grille Q_G ,

et sachant que les phases t_2 (plateau Miller) et t_3 (croissance de V_{GS} de $V_{plateau}$ à V_{commax}) constituent généralement la majeure partie du temps t_{on} , le programme cherche à minimiser ces durées en rapprochant (tant que faire se peut) ces tensions de la valeur V_{commax} . Ce point est relativement intéressant, puisque la structure d'auto-alimentation est « autonome » après la phase de plateau ;

- Le courant maximal indiqué (supérieur à 11A) est calculé par la formule $J_C \cdot S_{MOS}$, hypothèse optimiste puisqu'elle suppose que toute la surface (cellule+intercellule) est utilisée pour le passage du courant. Toutefois, compte tenu des dimensions L_{cell} et $L_{intercell}$ présentées plus haut, il est raisonnable de penser que le facteur d'atténuation de ce courant maximal dû au ratio de surfaces ne dépassera pas 3, ce qui laisse espérer un courant maximal d'environ 3.5A.

Enfin, les figures ci-dessous présentent les différents temps de commutation pour les 28 solutions de l'optimisation :

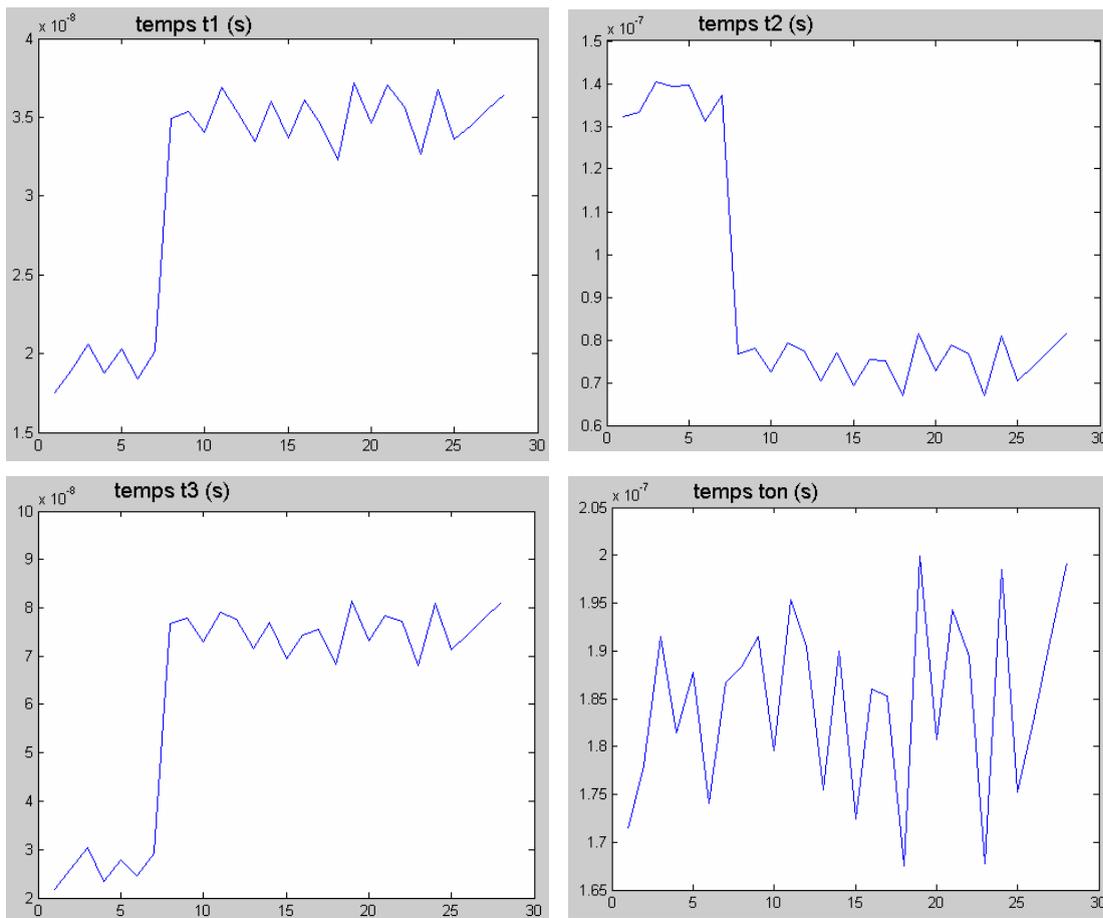


Figure 4-9 : Evolutions des temps de commutation (t_1, t_2, t_3, t_{on}) pour les 28 solutions.

Le temps t_{on} reste compris entre 165ns et 200ns (contrainte supérieure citée plus haut). L'optimisation ajuste les 3 autres temps, compensant une forte valeur de t_2 par des valeurs faibles de t_1 et t_3 , et vice-versa (conséquence de l'évolution de la tension de seuil V_{Th} , elle-même conséquence de l'augmentation du dopage N_a). Le temps t_1 reste compris entre 15ns et 40ns, t_2 lui est compris entre 60 et 150ns, et t_3 varie entre 20 et 90ns. Malgré la diminution des tensions de seuils et de plateau lors du changement de dopage N_a (solution n°8), le temps t_1 ne diminue pas mais au contraire augmente : l'optimisation de la charge de grille Q_G semble préférer une diminution du niveau de plateau Miller et de sa durée, quitte à rallonger les 2 autres phases de la commutation.

Au final, l'optimum de la fonction objectif parmi ces 28 candidats correspond aux paramètres suivants (solution n°3) :

Dopage N_a	Epaisseur d'oxyde e_{ox}	Largeur de cellule L_{cell}	Largeur d'intercellule $L_{intercell}$	Longueur de canal L_{can}	Nombre de cellules N_{cell}
$3.16^{e17} \text{ cm}^{-3}$	140nm	40 μm	115 μm	2 μm	121

Tableau 4-13 : Optimum pour cette seconde démarche d'optimisation.

Les performances estimées sont les suivantes :

$Q_G=41\text{nCb}$	$R_{DSon}=2.75\Omega$	$V_{Th}=12.74\text{V}$	$V_{plateau}=18.17\text{V}$	$I_{max}=12.21\text{A}$	$G_m=0.369\text{S}$
$t_1=18.7\text{ns}$	$t_2=139.2\text{ns}$	$t_3=23.3\text{ns}$	$t_{on}=182\text{ns}$		
$C_{DGmin}=7\text{pF}$	$C_{DGmax}=668\text{pF}$	$C_{GSmin}=108\text{pF}$	$C_{GSmax}=777\text{pF}$	$f_{DS}=0.7\text{V}$	$C_{DS0}=11\text{pF}$

Tableau 4-14 : Performances estimées pour cet optimum.

4.7.2.2. Résultats pour N_a et e_{ox} fixés

Compte tenu des résultats de l'étude précédente, notamment au niveau du dopage N_a , de l'épaisseur e_{ox} et de la tension V_{Th} (relativement élevée puisque supérieure à 12V), nous avons choisi de recommencer cette optimisation en fixant ces deux paramètres. La tension V_{Th} est alors imposée à 7V, en essayant 3 couples dopage N_a -épaisseur e_{ox} , et en enlevant ces paramètres de la liste de variables d'optimisation. Toutefois, après quelques essais, il nous a fallu étendre le domaine de recherche des solutions, de la manière suivante :

- Largeur d'intercellule $L_{intercell}$: 40 valeurs par pas de 5 μm , de 20 μm à 215 μm
- Largeur de canal L_{canal} : 1, 2, ou 3 μm .

Résultats pour $N_a=5 \times 10^{16} \text{ cm}^{-3}$ et $e_{ox}=210 \text{ nm}$:

L'optimisation propose seulement 3 solutions possibles. Les résultats pour la fonction objectif sont présentés sur la figure ci-dessous, les 2 suivantes donnent les valeurs correspondantes pour la charge de grille Q_G et la résistance à l'état passant R_{DSon} :

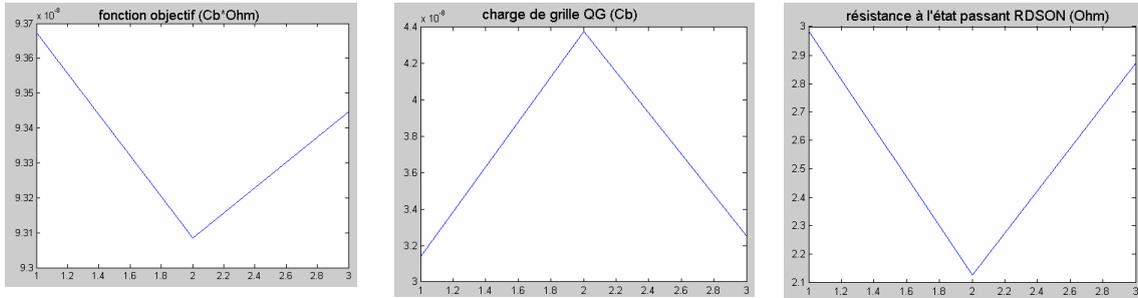
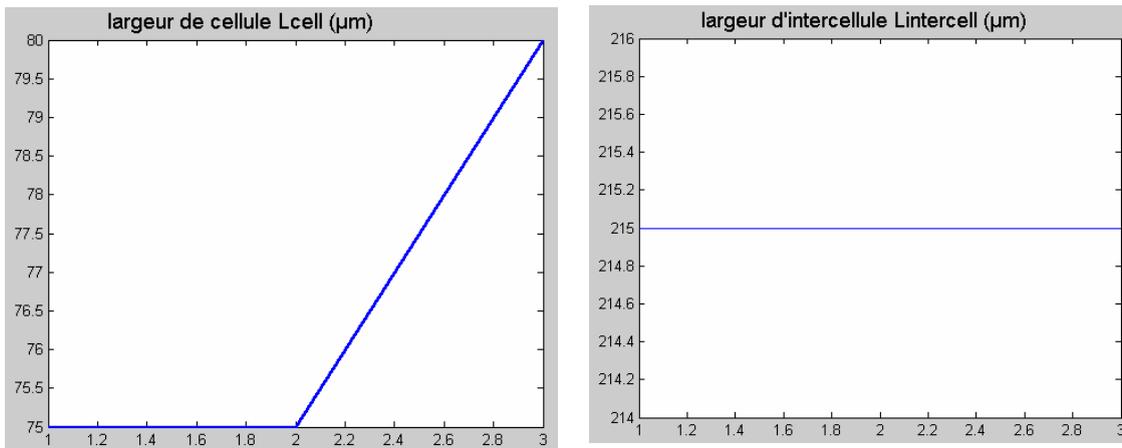


Figure 4-10 : fonction objectif, charge de grille et résistance à l'état passant pour les 3 solutions.

La charge de grille est comprise entre 30 et 45 nCb, et la résistance R_{DSon} reste comprise entre 2 et 3Ω . Les figures suivantes présentent les évolutions des variables d'optimisation :



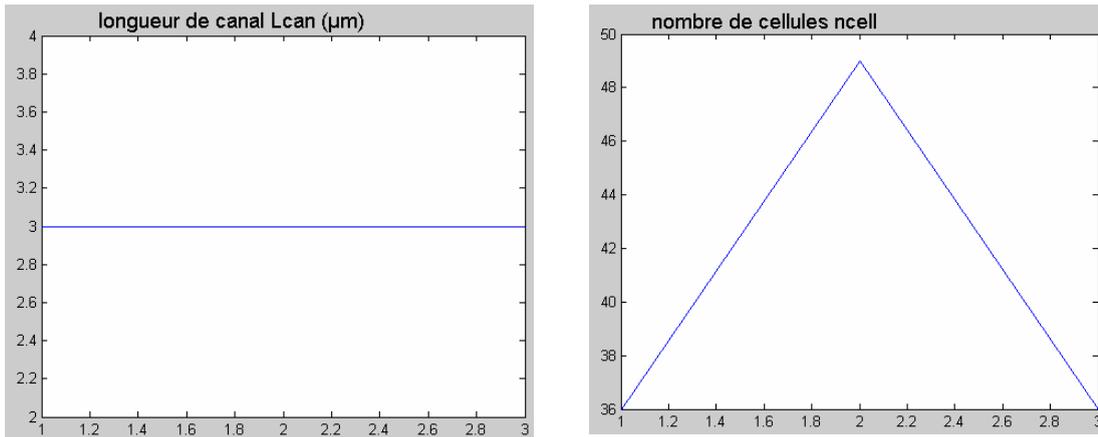


Figure 4-11 : évolutions des paramètres géométriques (L_{celb} , $L_{intercelb}$, L_{canal} , N_{cell}) pour les 3 solutions.

Deux dimensions de cellule (75 et 80µm) sont proposées, la largeur d’intercellule est constante (215µm, soit la valeur maximale proposée dans l’optimisation), la longueur de canal est de 3µm dans tous les cas, et le nombre de cellules est relativement faible (36 ou 49). L’optimisation semble dans ce cas favoriser des dimensions (L_{cell} , $L_{intercell}$) importantes et une faible densité de cellules plutôt qu’une multitude de petites cellules.

Les figures suivantes présentent les estimations des performances électriques :

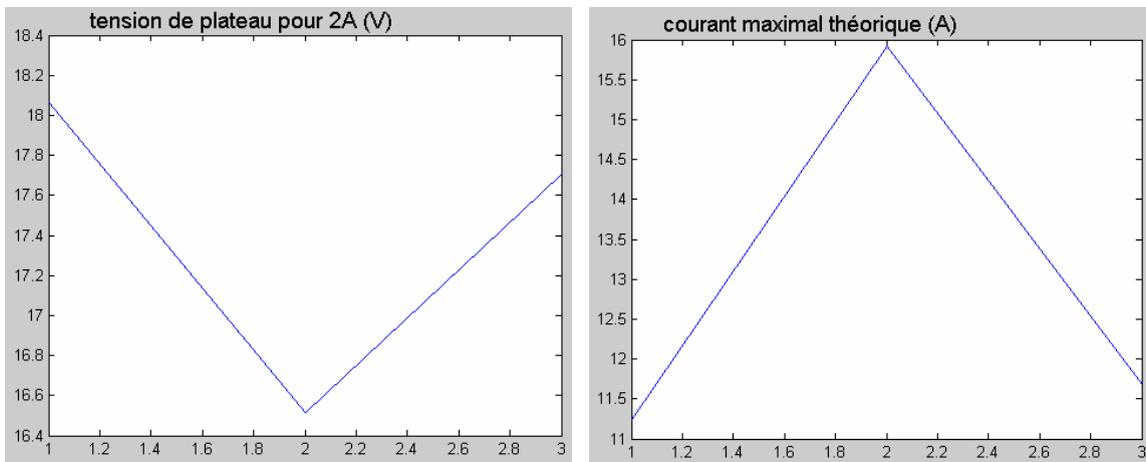


Figure 4-12 : évolution de V_{TH} et $V_{plateau}$ pour les 3 solutions.

La tension de plateau reste élevée (supérieure à 16V), l’optimisation cherchant toujours à ce niveau à minimiser la durée des phases t_2 et t_3 . le courant maximal théorique reste du même ordre de grandeur que dans le précédent paragraphe (entre 11 et 16A).

Les performances temporelles estimées sont les suivantes :

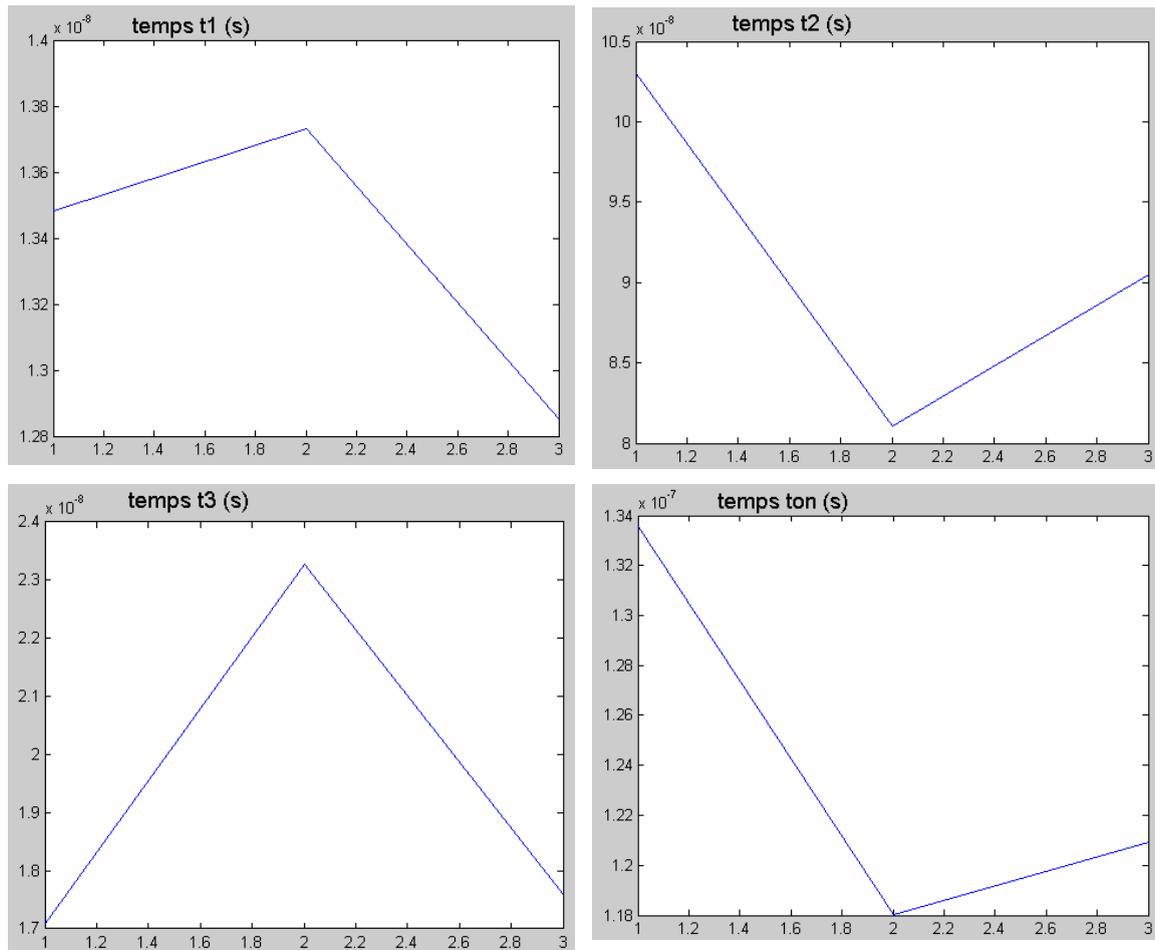


Figure 4-13 : évolution des temps de commutation (t_1, t_2, t_3, t_{on}) pour les 3 solutions.

Le temps t_2 (entre 80 et 105ns) représente la majeure partie de t_{on} (entre 118 et 134ns). Les temps t_1 et t_3 restent faibles (moins de 25ns). Au final, l'optimum de la fonction objectif parmi ces 3 candidats correspond aux paramètres suivants (solution n°2) :

Dopage N_a	Épaisseur d'oxyde e_{ox}	Largeur de cellule L_{cell}	Largeur d'intercellule $L_{intercell}$	Longueur de canal L_{can}	Nombre de cellules N_{cell}
$5e16 \text{ cm}^{-3}$	210nm	$75\mu\text{m}$	$215\mu\text{m}$	$3\mu\text{m}$	49

Tableau 4-15 : Optimum parmi les 3 candidats.

Les performances estimées sont les suivantes :

$Q_G=44\text{nCb}$	$R_{DSon}=2.13\Omega$	$V_{Th}=7.22\text{V}$	$V_{plateau}=16.5\text{V}$	$I_{max}=15.9\text{A}$	$G_m=0.21\text{S}$
$t_1=13.7\text{ns}$	$t_2=81\text{ns}$	$t_3=23.3\text{ns}$	$t_{on}=118\text{ns}$		
$C_{DGmin}=9.9\text{pF}$	$C_{DGmax}=632\text{pF}$	$C_{GSmin}=144\text{pF}$	$C_{GSmax}=776\text{pF}$	$f_{DS}=0.65\text{V}$	$C_{DSO}=17\text{pF}$

Tableau 4-16 : Performances estimées pour cet optimum.

Résultats pour $N_a=2 \times 10^{17} \text{ cm}^{-3}$ et $e_{ox}=100 \text{ nm}$:

Il y a cette fois ci 5 solutions possibles. Les résultats pour la fonction objectif sont présentés sur la figure ci-dessous, les 2 suivantes donnent les valeurs correspondantes pour la charge de grille Q_G et la résistance à l'état passant R_{DSon} :

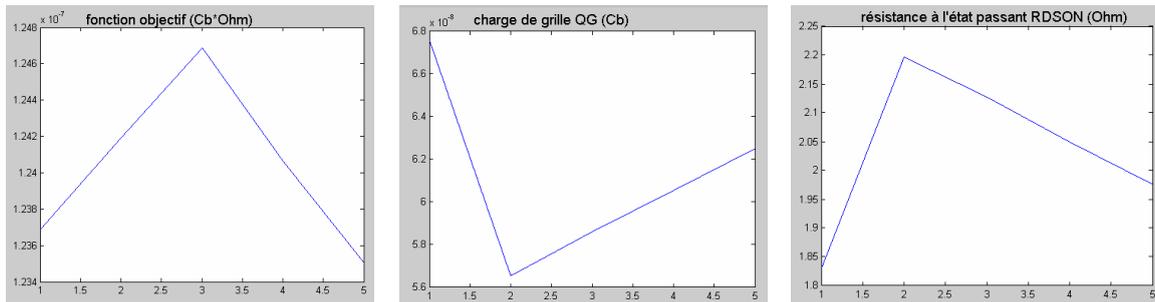


Figure 4-14 : Fonction objectif, charge de grille et résistance à l'état passant pour les 5 solutions.

La charge de grille est comprise entre 56 et 68 nCb (plus élevée que dans le cas précédent, ce qui est logique compte tenu que e_{ox} est plus faible), et la résistance R_{DSon} reste comprise entre 1.8 et 2.2Ω. Les figures suivantes présentent les évolutions des variables d'optimisation :

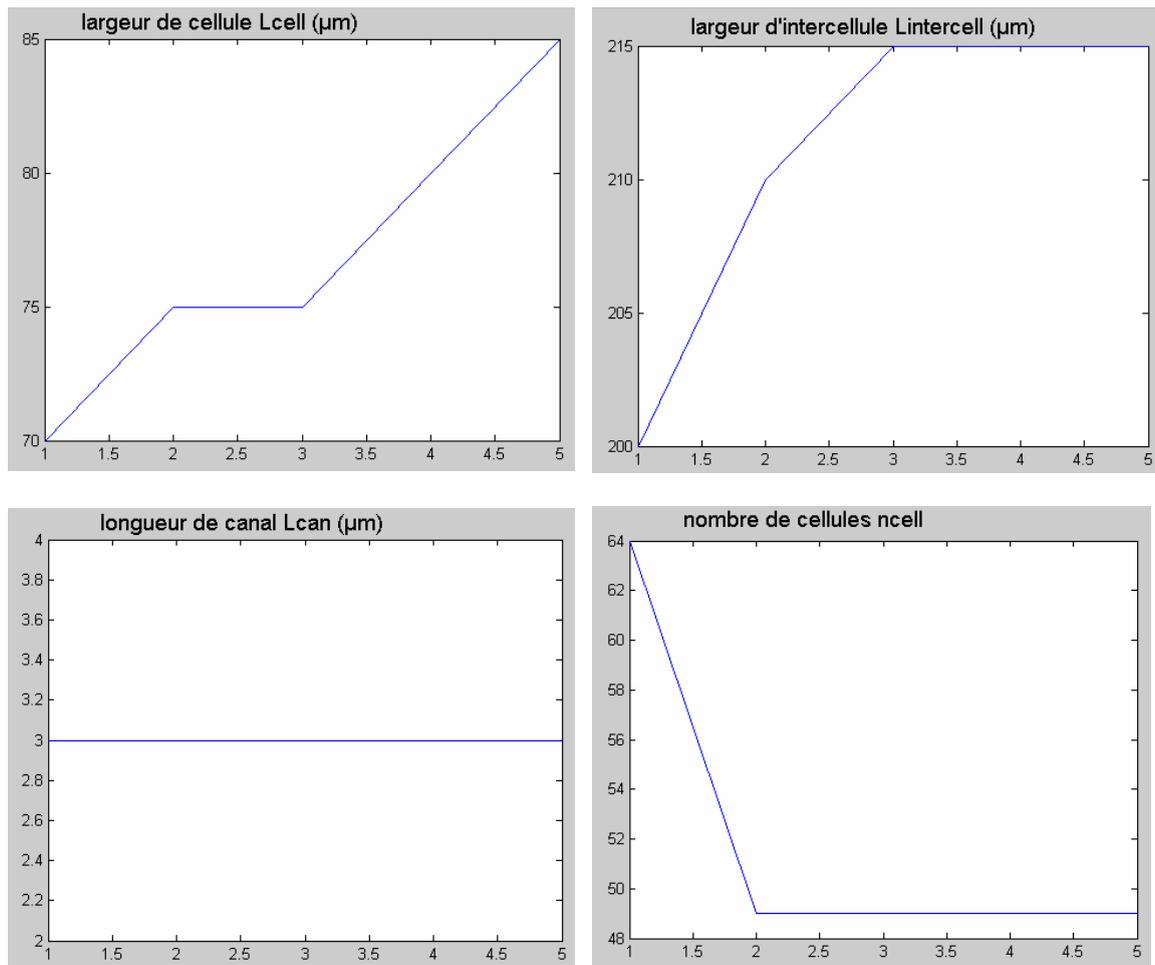


Figure 4-15 : Evolution des paramètres géométriques (L_{cell} , $L_{intercell}$, L_{canal} , N_{cell}) pour les 5 solutions.

Les dimensions de cellule proposées sont relativement grandes (supérieures à $70\mu\text{m}$), la largeur d'intercellule est elle aussi importante (supérieure à $200\mu\text{m}$), la longueur de canal est de $3\mu\text{m}$ dans tous les cas, et le nombre de cellules est encore relativement faible (49 ou 64). L'optimisation semble de nouveau favoriser des dimensions (L_{cell} , $L_{intercell}$) importantes et une faible densité de cellules plutôt qu'une multitude de petites cellules.

Les figures suivantes présentent les estimations des performances électriques :

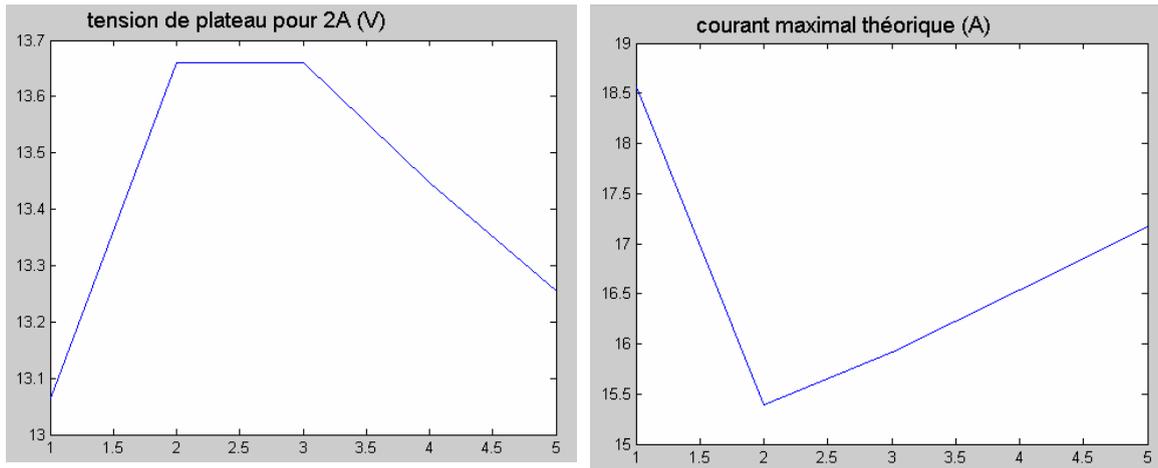


Figure 4-16 : Evolution de V_{TH} et $V_{plateau}$ pour les 5 solutions.

La tension de plateau est moins élevée que précédemment (entre 13 et 14V), et correspond à une valeur plus raisonnable pour une tension de seuil à 7V. Le courant maximal théorique est lui plus important qu'avant (entre 15 et 19A).

Les performances temporelles estimées sont les suivantes :

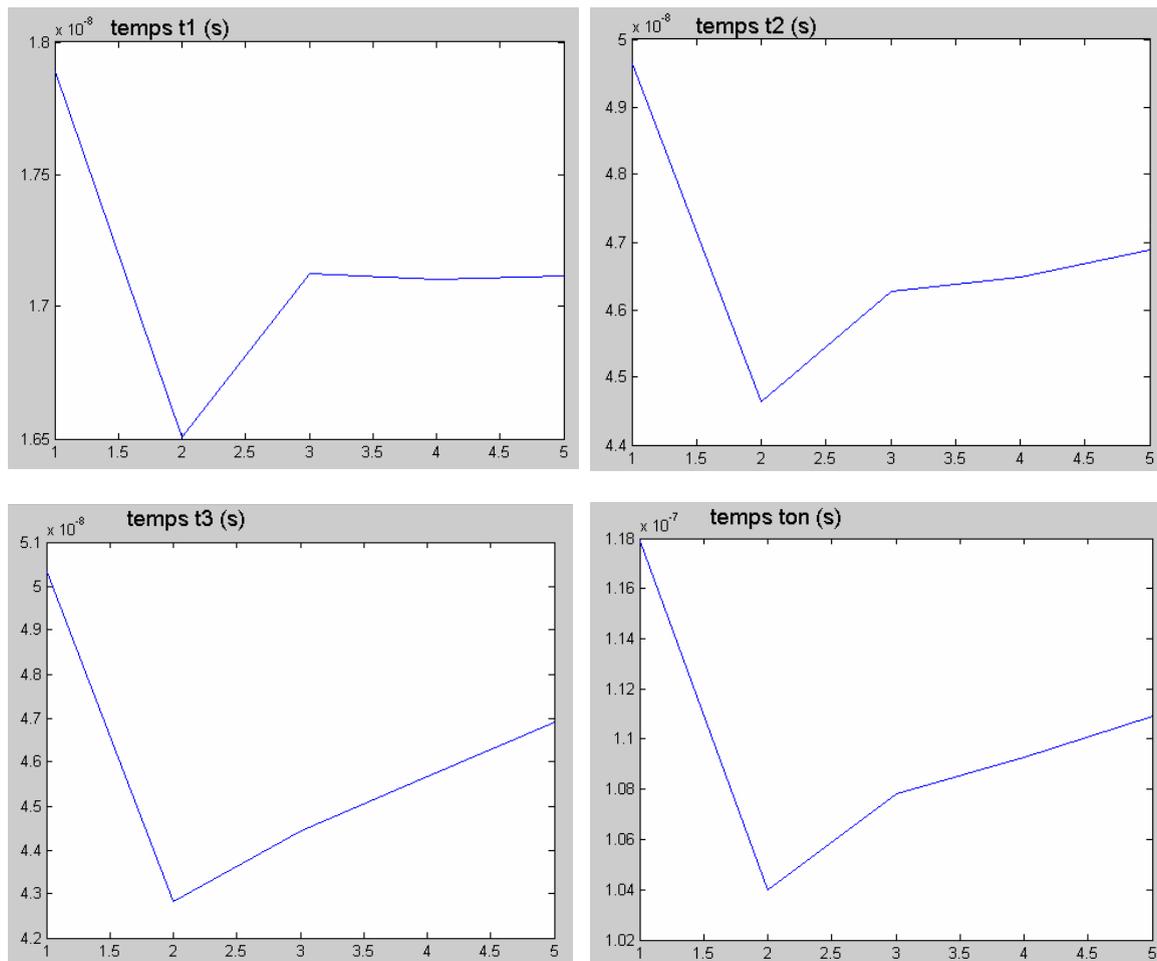


Figure 4-17 : Evolution des temps de commutation (t_1 , t_2 , t_3 , t_{on}) pour les 5 solutions.

Si le temps t_1 reste faible devant t_{on} (16 à 18ns devant une centaine de ns), les temps t_2 et t_3 sont cette fois-ci similaires (entre 40 et 50ns). Dans l'ensemble, t_{on} est plus faible (entre 104 et 118 ns) que précédemment (118 à 134ns), et bien plus faible que la contrainte des 200ns.

Au final, l'optimum de la fonction objectif parmi ces 5 candidats correspond aux paramètres suivants (solution n°5) :

Dopage N_a	Epaisseur d'oxyde e_{ox}	Largeur de cellule L_{cell}	Largeur d'intercellule $L_{intercell}$	Longueur de canal L_{can}	Nombre de cellules N_{cell}
$2e17 \text{ cm}^{-3}$	100nm	85 μm	215 μm	3 μm	49

Tableau 4-17 : Optimum parmi les 5 candidats.

Les performances estimées sont les suivantes :

$Q_G=62\text{nCb}$	$R_{DSon}=1.97\Omega$	$V_{Th}=7.26\text{V}$	$V_{plateau}=13.26\text{V}$	$I_{max}=17.2\text{A}$	$G_m=0.33\text{S}$
$t_f=17\text{ns}$	$t_2=47\text{ns}$	$t_3=47\text{ns}$	$t_{on}=111\text{ns}$		
$C_{DGmin}=10.4\text{pF}$	$C_{DGmax}=1400\text{pF}$	$C_{GSmin}=164\text{pF}$	$C_{GSmax}=1564\text{pF}$	$f_{DS}=0.69\text{V}$	$C_{DSO}=21\text{pF}$

Tableau 4-18 : Performances estimées pour cet optimum.

Résultats pour $N_a=5^{e17}\text{ cm}^{-3}$ et $e_{ox}=60\text{ nm}$:

Il y a cette fois ci 45 solutions possibles. Les résultats pour la fonction objectif sont présentés sur la figure ci-dessous, les 2 suivantes donnent les valeurs correspondantes pour la charge de grille Q_G et la résistance à l'état passant R_{DSon} :

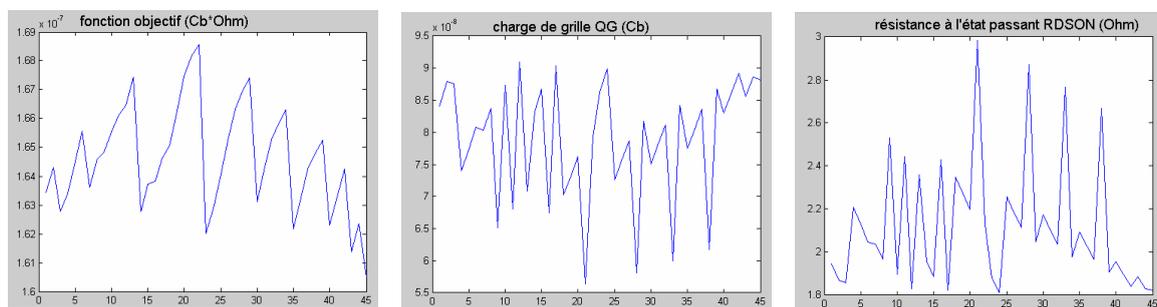


Figure 4-18 : Fonction objectif, charge de grille et résistance à l'état passant pour les 45 solutions.

La charge de grille est comprise entre 55 et 95 nCb (de nouveau plus élevée que dans le cas précédent, ce qui est logique compte tenu que e_{ox} est plus faible), et la résistance R_{DSon} reste comprise entre 1.8 et 3Ω. Les figures suivantes présentent les évolutions des variables d'optimisation :

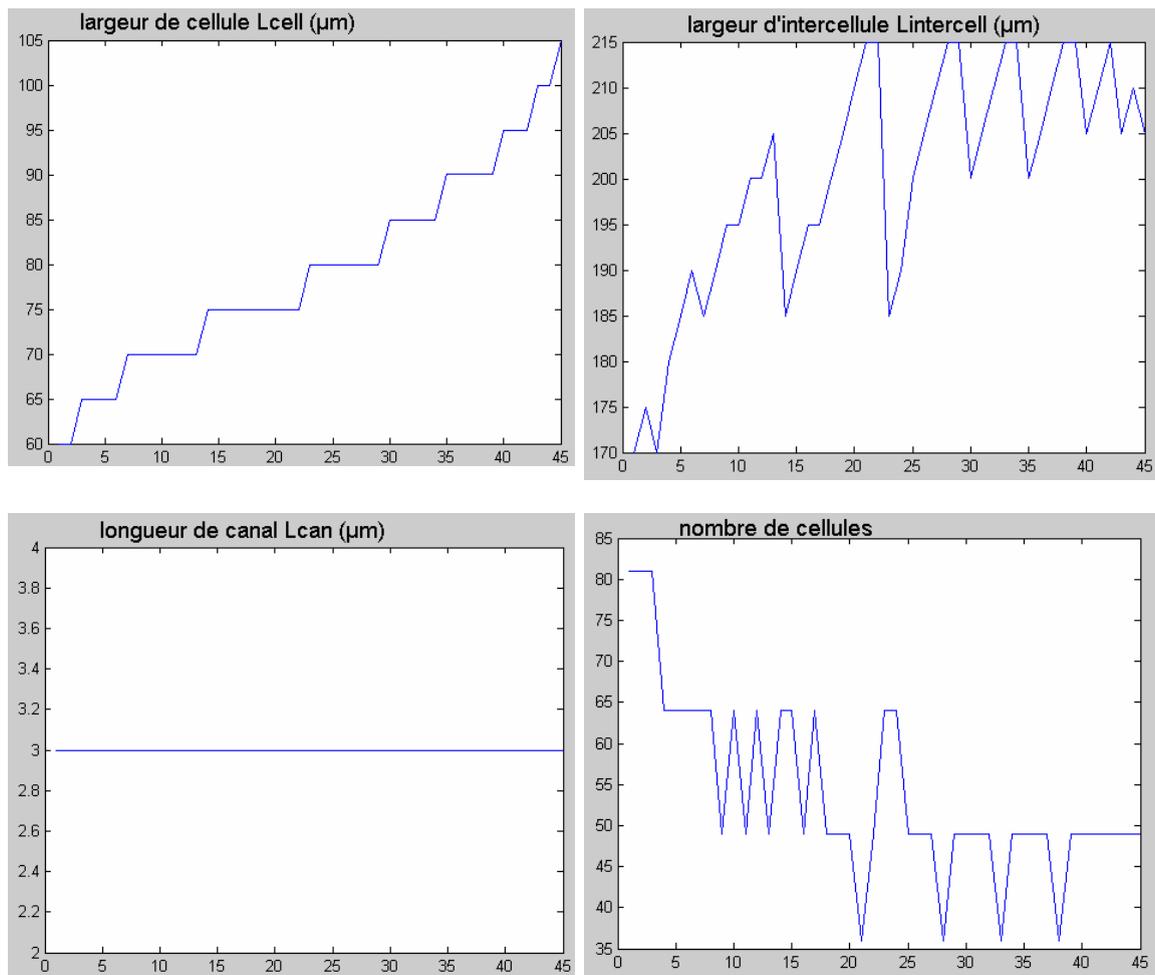


Figure 4-19 : Evolution des paramètres géométriques (L_{cell} , $L_{intercell}$, L_{can} , N_{cell}) pour les 45 solutions.

La longueur de canal est toujours de $3\mu\text{m}$. Les tailles de cellule (entre 60 et $105\mu\text{m}$) et d'intercellule (entre 170 et $215\mu\text{m}$) demeurent importantes, et le nombre de cellules reste faible (entre 36 et 81). De manière logique, nombre de cellules et dimensions de celles-ci évoluent de manière opposée.

Les figures suivantes présentent les estimations des performances électriques :

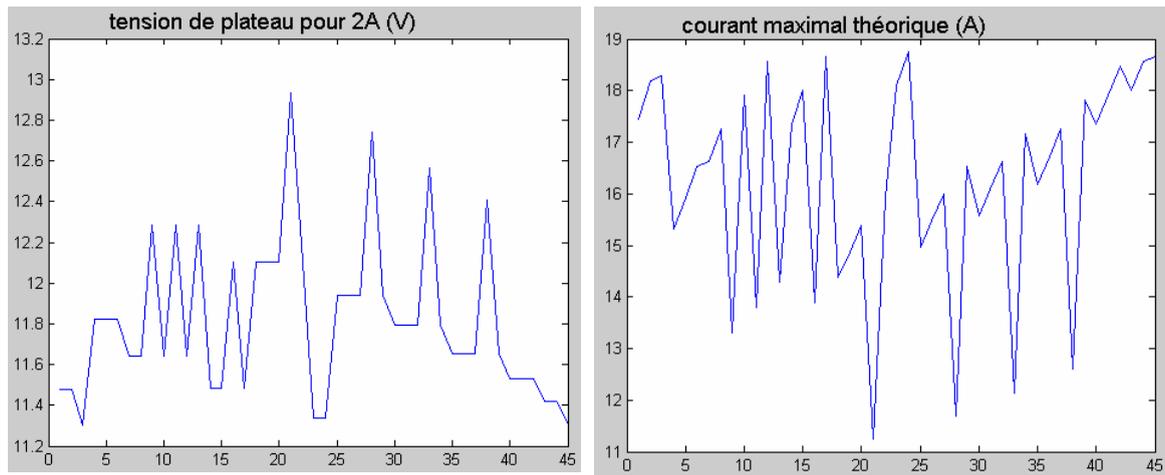


Figure 4-20 : Evolution de V_{TH} et $V_{plateau}$ pour les 45 solutions.

La tension de plateau est moins élevée que précédemment (entre 11 et 13V), et correspond à une valeur plus raisonnable pour une tension de seuil à 7V. Le courant maximal théorique est lui plus important qu'avant (entre 11 et 19A). Les performances temporelles estimées sont les suivantes :

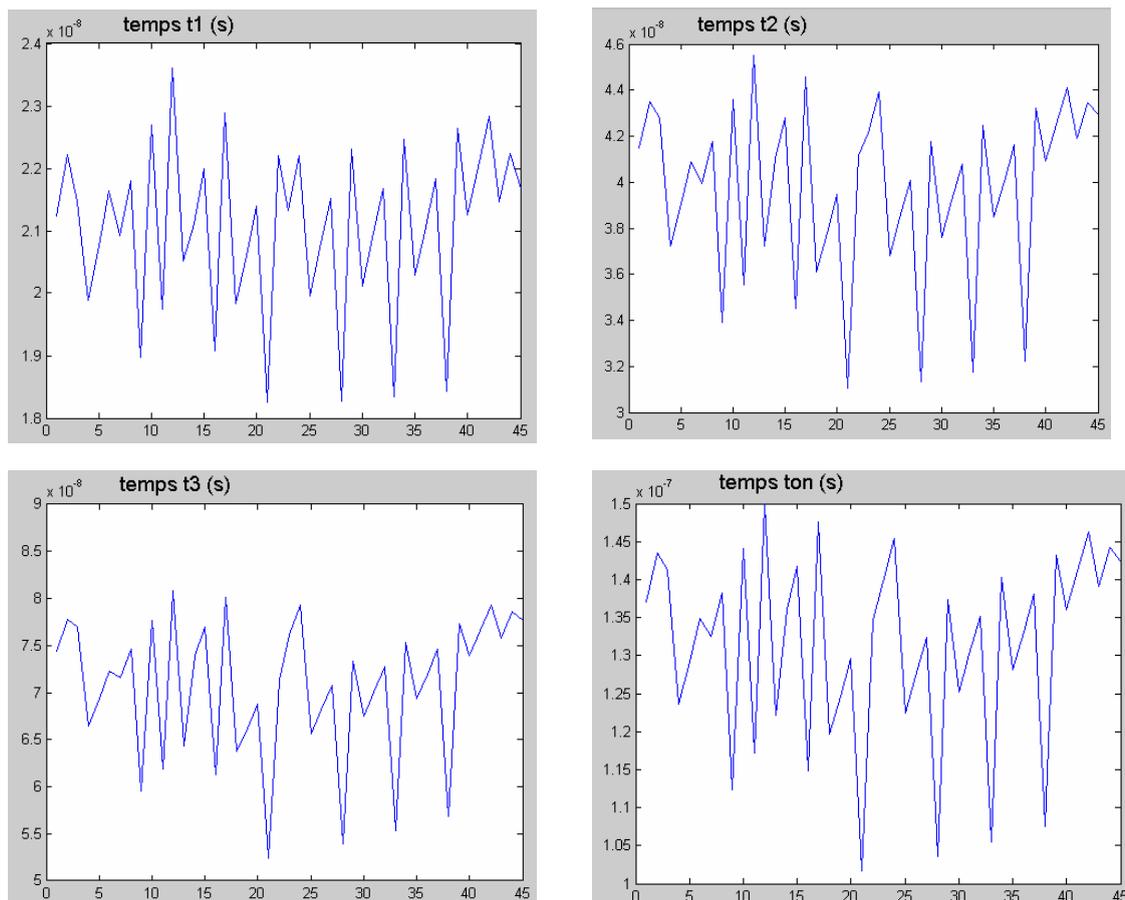


Figure 4-21 : Evolution des temps de commutation (t_1 , t_2 , t_3 , t_{on}) pour les 45 solutions.

Si le temps t_1 demeure faible (entre 18 et 24ns), et que le temps t_2 reste globalement inchangé (entre 30 et 46ns), le temps t_3 a augmenté par rapport au paragraphe précédent (entre 50 et 80ns). Le temps total de commutation demeure tout de même compris entre 100 et 150ns.

Au final, l'optimum de la fonction objectif parmi ces 45 candidats correspond aux paramètres suivants (solution n°45) :

Dopage N_a	Epaisseur d'oxyde e_{ox}	Largeur de cellule L_{cell}	Largeur d'intercellule $L_{intercell}$	Longueur de canal L_{can}	Nombre de cellules N_{cell}
$5e17 \text{ cm}^{-3}$	60nm	105 μm	205 μm	3 μm	49

Tableau 4-19 : Optimum parmi les 45 candidats.

Les performances estimées sont les suivantes :

$Q_G=88\text{nCb}$	$R_{DSon}=1.82\Omega$	$V_{Th}=7.13\text{V}$	$V_{plateau}=11.3\text{V}$	$I_{max}=18.6\text{A}$	$G_m=0.48\text{S}$
$t_1=21\text{ns}$		$t_2=43\text{ns}$		$t_3=78\text{ns}$	
$t_{on}=142\text{ns}$					
$C_{DGmin}=10.7\text{pF}$	$C_{DGmax}=2400\text{pF}$	$C_{GSmin}=192\text{pF}$	$C_{GSmax}=2590\text{pF}$	$f_{DS}=0.71\text{V}$	$C_{DS0}=32\text{pF}$

Tableau 4-20 : Performances estimées pour cet optimum.

Les figures suivantes présentent pour les 45 solutions l'évolution des paramètres capacitifs :

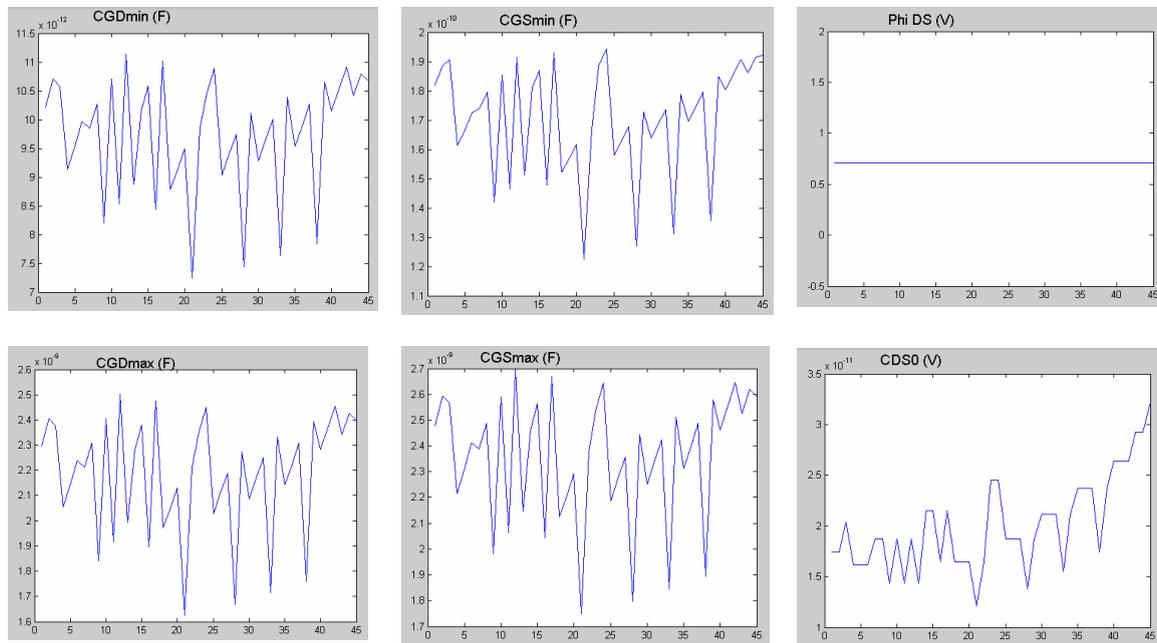


Figure 4-22 : Evolutions des paramètres du modèle capacitif (C_{DGmin} , C_{DGmax} , C_{GSmin} , C_{GSmax} , f_{DS0} , C_{DS0}) pour les 45 solutions.

4.7.2.3. Conclusions sur la seconde démarche d'optimisation

Compte tenu de ces résultats, il nous est possible de tirer quelques conclusions:

- dans l'ensemble, les résultats obtenus pour la fonction objectif sont du même ordre de grandeur;
- la faible population de candidats potentiels, notamment pour les 2 premières épaisseurs d'oxyde, ne permet pas de dégager un réel optimum qui soit bien meilleur que les autres candidats;
- cette tendance est due au grand nombre de contraintes imposées lors de l'optimisation : les candidats retenus ne sont pas seulement « acceptables » (au sens du cahier des charges), ils sont « bons » (au sens des contraintes de l'optimisation et de la fonction objectif) rien qu'à l'issue du premier tri;
- si la charge de grille est effectivement plus faible pour les épaisseurs d'oxyde les plus importantes (ce qui est logique compte tenu des expressions des capacités), la sévérité des contraintes mène alors à un nombre très réduit de solutions potentielles. Le gain au niveau de la fonction objectif n'est alors pas aussi évident : peut-être vaut-il mieux privilégier la diversité des solutions (pour $e_{ox}=60\text{nm}$, 45 solutions possibles), plutôt que se concentrer sur le résultat de la fonction objectif (pour $e_{ox}=210\text{nm}$, seulement 3 solutions pour une fonction objectif à peine moitié meilleure);
- la démarche d'optimisation a tendance à privilégier les hautes tensions de plateau, proches de V_{commax} . Peut-être faudrait-il rajouter une contrainte supplémentaire au niveau de la tension de plateau en la majorant par une certaine valeur ;
- enfin, les résultats obtenus montrent que la fonction objectif choisie n'est peut-être pas la plus adaptée à notre problème. Il semblerait en effet que le côté capacitif et charge de grille Q_G l'emporte sur l'aspect résistance à l'état passant R_{DSon} . L'optimisation de cette résistance est peut-être noyée sous le poids de sa composante R_v , et c'est peut-être pour cette raison que les dimensions obtenues pour L_{cell} et $L_{intercell}$ sont si importantes. Une solution pour éviter ce phénomène pourrait être de considérer une autre fonction objectif définie par $f_{obj} = Q_G \cdot (R_{DSon} - R_n)$, définissant alors une optimisation d'ordre surfacique. Une autre solution pourrait être d'affecter des puissances à chacun des termes, comme expliqué précédemment.

4.8. Seconde fonction objectif

Une des conclusions de l'étude précédente concernait le fait que parmi tous les candidats potentiels, aucun ne se dégageait du lot en présentant une fonction objectif bien meilleure que les autres points. Nous avons donc repris les 3 précédents cas d'étude, à savoir les 3 couples (N_a, e_{ox}) pour une tension de seuil $V_{Th}=7V$, et nous avons considéré la nouvelle fonction objectif : $f_{obj2} = \frac{Q_G \cdot R_{DSon}}{Z}$, où Z représente le périmètre total de l'ensemble des cellules élémentaires. Nous cherchons donc à minimiser la charge de grille et la résistance à l'état passant, mais aussi à augmenter le calibre en courant du composant.

Nous présentons donc, pour les 3 cas d'étude précités, les deux fonctions objectifs ainsi que le périmètre de canal Z :

Résultats pour $N_a=5^{e16} \text{ cm}^{-3}$ et $e_{ox}=210 \text{ nm}$:

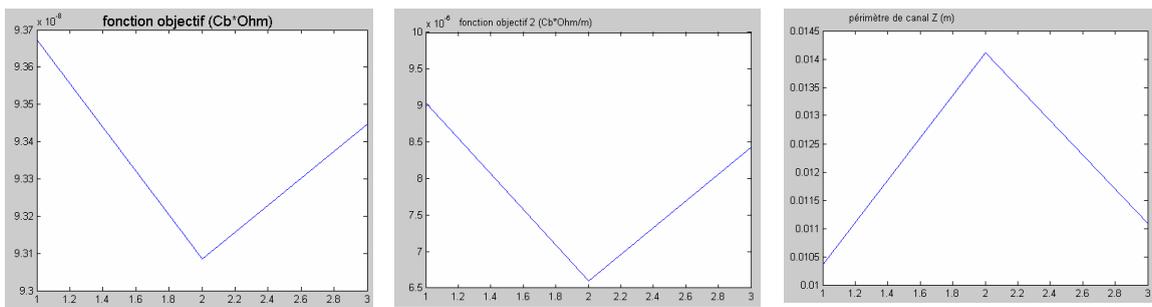


Figure 4-23 : Fonctions objectifs 1 et 2, périmètre de canal pour les 3 solutions.

Résultats pour $N_a=2^{e17} \text{ cm}^{-3}$ et $e_{ox}=100 \text{ nm}$:

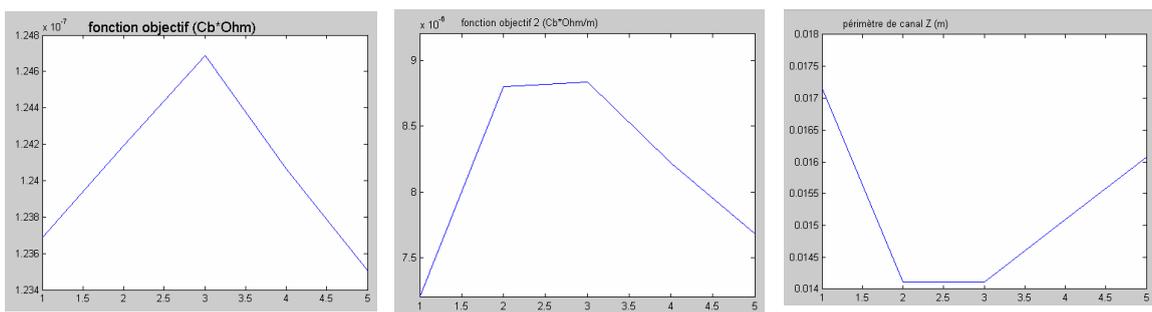


Figure 4-24 : Fonctions objectifs 1 et 2, périmètre de canal pour les 5 solutions.

Résultats pour $N_a=5^{e17} \text{ cm}^{-3}$ et $e_{ox}=60 \text{ nm}$:

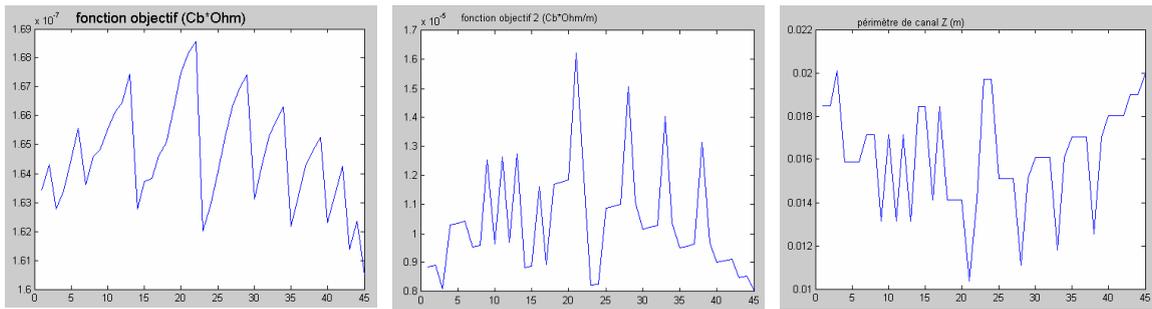
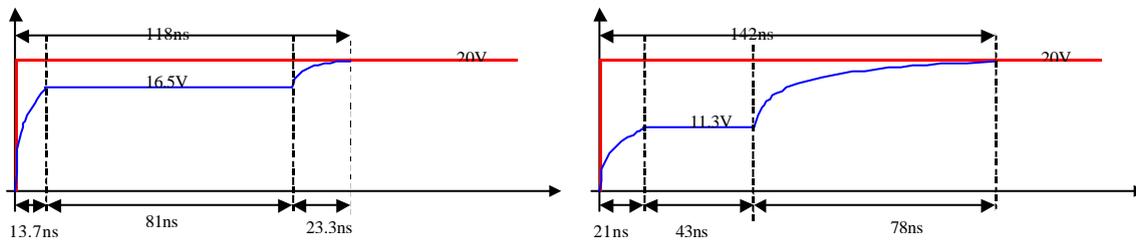


Figure 4-25 : Fonctions objectifs 1 et2, périmètre de canal pour les 45 solutions.

C'est sur ce dernier exemple que l'importance du périmètre de canal apparaît : si la fonction objectif n°1 ne permettait pas de distinguer de réel optimum, le fait de diviser par Z (pour obtenir la fonction objectif n°2) permet de faire apparaître que certains candidats sont susceptibles de présenter des canaux presque 2 fois plus longs que d'autres, ce qui laisse supposer des performances en courant 2 fois meilleures. Cette constatation permet de conclure ceci : si la précédente étude montrait une dégradation de la fonction objectif n°1 avec la diminution de l'épaisseur d'oxyde de grille ($90 \text{ nCb} \cdot \text{O}$ pour $e_{ox}=210 \text{ nm}$ contre $160 \text{ nCb} \cdot \text{O}$ pour $e_{ox}=60 \text{ nm}$), les résultats au niveau des formes d'onde, notamment pour la tension de grille, apparaissaient plus intéressants pour les faibles épaisseurs d'oxyde de grille, en présentant des tensions plateau plus faibles :



Evolution de V_{GS} pour $e_{ox}=210 \text{ nm}$

Evolution de V_{GS} pour $e_{ox}=60 \text{ nm}$

Figure 4-26 : Résultats d'optimisation selon les épaisseurs e_{ox} retenues.

De plus, la fonction objectif n°2 montre que cette fois-ci la dégradation de l'optimum avec la diminution de l'épaisseur d'oxyde de grille n'est pas très importante ($6.5 \cdot 10^{-6} \text{ Cb} \cdot \text{O/m}$ pour $e_{ox}=210 \text{ nm}$ contre $8 \cdot 10^{-6} \text{ Cb} \cdot \text{O/m}$ pour $e_{ox}=60 \text{ nm}$). Par ailleurs, le gain sur les performances en courant est non négligeable : l'épaisseur e_{ox} est divisée par 3.5, et le périmètre de canal est multiplié par 1.4, soit presque un facteur 5 au final sur les performances en courant. L'ensemble des simulations et l'analyse des résultats obtenus conduisent vers un **choix d'une**

épaisseur d'oxyde faible, choix qui n'aurait certainement pas été immédiat avec la seule considération de minimiser les capacités inter-électrodes (pour minimiser Q_G) et donc d'augmenter e_{ox} .

Sur le dernier exemple, pour $N_a=5^{e17} \text{ cm}^{-3}$ et $e_{ox}=60 \text{ nm}$, l'optimum pour la seconde fonction objectif est obtenu pour le point suivant :

Dopage N_a	Épaisseur d'oxyde e_{ox}	Largeur de cellule L_{cell}	Largeur d'intercellule $L_{intercell}$	Longueur de canal L_{can}	Nombre de cellules N_{cell}
5^{e17} cm^{-3}	60 nm	105 μm	205 μm	3 μm	49

Tableau 4-21 : Optimum pour la seconde fonction objectif.

Et ses performances estimées sont les suivantes :

$Q_G=88\text{nCb}$	$R_{DSon}=1.82\Omega$	$V_{Th}=7.13\text{V}$	$V_{plateau}=11.3\text{V}$	$I_{max}=18.6\text{A}$	$G_m=0.48\text{S}$
$t_1=21\text{ns}$		$t_2=43\text{ns}$	$t_3=78\text{ns}$		$t_{on}=142\text{ns}$
$C_{DGmin}=10.7\text{pF}$	$C_{DGmax}=2400\text{pF}$	$C_{GSmin}=192\text{pF}$	$C_{GSmax}=2590\text{pF}$	$f_{DS}=0.71\text{V}$	$C_{DS0}=32\text{pF}$

Tableau 4-22 : Performances estimées pour cet optimum.

(Remarque : il s'agit du même point qu'au paragraphe précédent, mais qui cette fois-ci est bien meilleur que les autres compte tenu de la nouvelle fonction objectif considérée).

Conclusion

Dans cette partie, nous avons présenté une démarche d'optimisation de la géométrie d'un composant à grille isolée de type MOSFET de puissance. Pour cela, nous avons, après avoir rappelé les bases mathématiques de l'optimisation, mis en œuvre plusieurs approches. La première consiste à utiliser une fonction d'optimisation disponible sous Matlab. Celle-ci, bien qu'efficace, a montré des désavantages (convergence incertaine, optima locaux et non globaux) qui ont attiré notre attention sur l'importance de la mise en forme d'un problème contraint non linéaire, mettant en jeu des paramètres ayant des amplitudes de variation extrêmement différentes (les dopages s'étendent sur plusieurs ordres de grandeur, alors que d'autres variables telles que la longueur du canal ne peuvent prendre qu'un nombre très restreint de valeurs). Nous avons alors choisi d'opter pour une approche d'optimisation d'ordre 0, coûteuse en temps de calcul mais nettement plus sûre quant aux réponses obtenues. Les différentes optimisations alors menées ont permis d'obtenir des résultats intéressants :

- la première optimisation a montré l'intérêt d'une approche en deux temps, avec tout d'abord un premier quadrillage grossier de l'espace des solutions, puis un second, plus fin, recentré sur les régions optimales du précédent espace ;
- la seconde optimisation a montré l'impact de contraintes serrées par un nombre restreint de solutions ; ceci nous a amené à diminuer le nombre de variables d'optimisation, en choisissant les valeurs du dopage N_a et de l'épaisseur d'oxyde de grille e_{ox} avant optimisation parmi des couples de solutions possibles. Les résultats obtenus ont alors montré que nous pouvions obtenir, selon ce choix, un échantillon de solutions plus ou moins large (3,5 ou 45 solutions) ;
- enfin, une dernière réflexion nous a conduit à changer de fonction objectif, et nous a permis d'isoler un optimum réellement intéressant parmi les solutions de la précédente optimisation. Ce dernier point illustre l'importance du choix de la fonction objectif dans une telle démarche.

Par ailleurs, les résultats obtenus au cours des différentes démarches d'optimisation nous ont conduits à réfléchir sur certains points d'étude particuliers, et nous ont aussi permis d'étudier quelles étaient les contraintes les plus restrictives dans notre approche, et quelles étaient les variables les plus sensibles.

Cette démarche d'optimisation peut paraître incomplète, notamment dans la mesure où elle ne porte que sur la géométrie du composant principal, sans tenir compte de celle du composant

auxiliaire destiné à assurer la régulation de l'auto-alimentation de la commande rapprochée. Ceci est en partie dû au fait que nous n'avons pas de réelles connaissances quant à la modélisation et au dimensionnement géométrique d'une des solutions (JFET vertical), et aussi parce que nous n'avons pas encore, à l'heure actuelle, de prototypes de tels composants, la validation de la structure n'ayant été faite qu'en éléments discrets et en simulation. Les derniers résultats obtenus conduisent à un dimensionnement optimal allant à l'encontre d'un choix intuitif d'une épaisseur d'oxyde de grille importante afin de diminuer les capacités inter-électrodes et par là même la charge de grille Q_G (choix qui aurait été naturel sans optimisation *a priori*).

Notre prospective sur l'optimisation nous a donc permis de souligner les avantages d'une telle démarche quant au dimensionnement géométrique d'un composant. Les résultats obtenus doivent cependant être interprétés avec les précautions qui s'imposent, tant du point de vue du problème analysé que de la méthode d'optimisation mise en œuvre. Ce type de démarche, compte tenu du nombre croissant de composants d'électronique de puissance intégrés et dédiés à des applications spécifiques (composants ASD), devrait être mis en œuvre pour le dimensionnement de tels dispositifs de plus en plus fréquemment durant les prochaines années.

Conclusion Générale

L'objectif de cette thèse était d'étudier et d'analyser l'influence des différents paramètres physiques et géométriques d'un composant de puissance de type MOSFET vertical double diffusé sur les besoins énergétiques en commutation.

Pour cela, nous avons, dans le premier chapitre de ce mémoire, examiné le comportement du composant en commutation, en basant notre réflexion sur une analyse physique des mouvements de charges au sein du dispositif, pour ensuite en déduire une modélisation sous forme de circuit électrique équivalent. Les différents éléments du modèle (source de courant, capacités inter-électrodes) sont paramétrés en fonction des tensions drain-source et grille-source, ce qui permet une description relativement précise de leur évolution au cours de la commutation. La modélisation effectuée ne prend pas en compte tous les paramètres technologiques (profils de dopage), mais permet cependant d'obtenir une représentation assez fidèle des formes d'onde en commutation, comme le démontre la validation expérimentale de notre modèle (implanté sous PSPICE et sous Matlab/Simulink) sur des composants du commerce.

Nous avons poursuivi cette étude dans le second chapitre en réalisant des prototypes de MOSFETs verticaux double diffusés, prototypes conçus à partir de masques déjà existants. Cette réalisation a nécessité un important travail sur les techniques de salle blanche (process de réalisation, mesures). Malgré de multiples problèmes d'ordre technologique, les prototypes réalisés ont permis de parachever la validation de notre modélisation, en tenant compte de l'ensemble des paramètres physiques et géométriques du composant, puisque nous disposons de l'ensemble des données technologiques, en ayant accès aux masques de lithographie et au diagramme de cheminement. La bonne cohérence entre les courbes expérimentales et celles issues de notre modèle nous a permis d'utiliser ce dernier pour mener ensuite une analyse de sensibilité de différents paramètres aux diverses variables physiques et technologiques. Cette analyse fait apparaître de multiples dépendances entre tous ces paramètres et variables, et l'imbrication des relations entre elles est telle qu'il est difficile de déduire de cette analyse des règles simples quant au dimensionnement d'un composant de type MOSFET.

Dans le troisième chapitre, nous nous sommes intéressés à l'intégration de l'alimentation de l'étage de commande rapprochée du MOSFET. Pour cela, après avoir dressé un rapide état de l'art sur les différentes techniques d'intégration (monolithique et hybride) et après avoir rappelé les principes de commande rapprochée d'un composant à grille isolée, nous avons exposé le principe d'auto-alimentation retenu, principe qui consiste à prélever une partie de

l'énergie transitant dans le circuit de puissance (où travaille l'interrupteur principal) pour alimenter l'étage de commande rapproché. Le principe de stockage capacitif présenté nécessite une régulation de tension. Nous proposons à ce niveau deux structures susceptibles de pouvoir réaliser cette régulation tenant compte des perspectives d'intégration. La première, appelée MOSFET/MOSFET, présente l'avantage d'utiliser un interrupteur auxiliaire du même type que l'interrupteur principal, donc totalement compatible du point de vue de la filière technologique, mais présente par ailleurs des inconvénients parce qu'elle nécessite des composants additionnels qui sont sources de pertes et qui sont en outre susceptibles de poser problème quant à leur intégration. Cette structure a pu être validée en composants discrets avec des résultats intéressants, ce qui permet déjà de souligner son intérêt. La seconde structure, baptisée JFET/MOSFET, ne nécessite qu'un seul composant pour réaliser cette régulation, composant qui de plus apparaît compatible avec la filière technologique du MOSFET vertical double diffusé. Le problème de cette structure est l'absence de modèles de JFET vertical, bien que la structure et le principe de fonctionnement soient connus depuis plusieurs décennies. Cette absence est due au fait que ce composant est Normally ON, ce qui fait qu'il a très vite été abandonné par les électroniciens de puissance pour qui ce type de fonctionnement n'est ni intéressant, ni sécurisant pour les convertisseurs. Nous avons donc développé un modèle pour ce JFET vertical, en nous basant sur l'analyse comportementale de celui-ci. Ce modèle n'a cependant pas pu être validé, et peut montrer des différences si nous le comparons à des résultats issus de simulation de type éléments finis (SILVACO). Il reste à adapter ce modèle aux composants haute tension. Ceci laisse à penser qu'un important travail reste à faire quant à la modélisation du JFET vertical et à l'analyse des différents phénomènes physiques intervenant dans son fonctionnement. Ces réflexions sur l'auto-alimentation de la commande rapprochée nous ont amenés à étudier les possibilités et les conséquences de l'augmentation de certains paramètres de notre modélisation (tensions seuils notamment). Pour terminer ce chapitre, nous avons proposé une étude qualitative quant à la réalisation technologique des deux solutions de régulation précitées, en présentant un diagramme de cheminement ainsi que des masques de lithographie. Cette réalisation s'inscrit dans le cadre d'une thèse, débutée en octobre 2002, qui devrait aboutir sur la conception de ces masques et la réalisation de prototypes mettant en œuvre les deux solutions de régulations retenues. Par ailleurs, cette réalisation devrait nous permettre de compléter la modélisation du JFET vertical.

Pour terminer ce mémoire, nous avons présenté une démarche d'optimisation. Pour cela, nous avons rappelé les principes et les définitions de diverses techniques d'optimisation, puis nous avons détaillé les variables et les contraintes retenues pour l'optimisation de la fonction objectif retenue, à savoir le produit charge de grille et résistance à l'état passant. L'étude effectuée repose sur le principe de «clustering» ; présentée de manière chronologique, elle nous a permis de faire évoluer notre optimisation, en affinant nos contraintes et en réduisant au fur et à mesure les variables, pour ne considérer au final que celles d'ordre géométrique. Les résultats montrent qu'il peut être intéressant, suivant la fonction objectif considérée, de retenir un dimensionnement du composant avec une épaisseur d'oxyde de grille faible, ce qui va à l'encontre de simples considérations capacitives. Cette démarche d'optimisation se révèle donc attrayante puisque les résultats obtenus sont assez originaux. Il faut cependant garder à l'esprit que lorsqu'une optimisation est entreprise, il faut choisir judicieusement la fonction objectif, les contraintes et les variables, mais il faut aussi savoir garder un œil critique sur les résultats obtenus et leur interprétation, ce qui nécessite de la part de l'utilisateur une connaissance accrue du composant et de son mode de fonctionnement. Ce type d'approche devrait de plus en plus être utilisé dans les années à venir, notamment dans le cas de composants ASD (Application Specific Discrete) où une des fonctionnalités du composant est mise en avant et valorisée, parfois au détriment d'autres moins cruciales pour l'application envisagée.

Les perspectives d'un tel travail sont multiples :

- notre modélisation du MOSFET permet maintenant de relier les performances électriques du composant à ses caractéristiques physiques et géométriques, et de proposer un retour sur expérience quant au procédé de réalisation ;
- les formules analytiques développées sont facilement implantables sous différents environnements (Matlab, PSPICE, Saber...). Notre modélisation du fonctionnement du composant dans le 3^{me} quadrant I-V constitue une innovation intéressante, notamment pour l'utilisation du MOSFET dans certaines structures de conversion telles que le redressement synchrone ;
- l'approche envisagée (analyse des phénomènes et modèles physiques) peut être appliquée à d'autres structures de MOSFETs (CoolMOS, MeshMOS, TrenchMOS...) voire à d'autres composants (IGBTs, Transistors Bipolaires...). Ce travail nécessitera toutefois un

effort important au niveau de l'analyse physique du comportement (statique et dynamique) du composant et de sa structure physique ;

- l'étude des deux structures d'auto-alimentation élaborées devrait se poursuivre fin 2003 avec la réalisation de prototypes dans le cadre de la thèse de Radoslava Mitova. De plus, la réalisation simultanée de composants de type JFET vertical devrait permettre de compléter notre modélisation de ce dispositif ;
- ultérieurement, l'adjonction de ce modèle de JFET à celui du MOSFET devrait permettre de proposer un dimensionnement complet du composant principal et du composant auxiliaire de régulation pour l'auto-alimentation. A plus long terme, il s'agit de proposer un dimensionnement complet du composant, de sa commande rapprochée et de son auto-alimentation, et ce dans le cadre d'une intégration monolithique ;
- enfin, la démarche d'optimisation présentée a montré son intérêt, par ses résultats originaux, notamment dans le cas d'applications spécifiques. L'utilisation de telles méthodes nécessite cependant de prendre certaines précautions, non seulement au niveau de la formulation du problème (fonction objectif, variables et contraintes), mais aussi au niveau de l'interprétation et de l'exploitation des résultats obtenus.

Annexe A

Rappels de physique des semiconducteurs : diagramme des bandes

Lorsqu'il s'agit de considérer un matériau (métal, isolant ou semiconducteur) au niveau cristallin, il est classique de décrire son état via la notion de bandes d'énergie. La structure de bande permet de définir une relation entre l'énergie E d'une particule et son vecteur \vec{k} . La bande d'énergie totalement remplie d'énergie la plus élevée s'appelle la **Bande de Valence (BdV)** (*valence band*). L'énergie maximale de cette bande permise est notée E_V . La bande d'énergie totalement vide ou partiellement remplie d'énergie la plus élevée s'appelle la **Bande de Conduction (BdC)** (*conduction band*). Son énergie minimale est notée E_C . La différence entre le point le plus bas de la bande supérieure et le point le plus haut de la bande inférieure est quant à elle notée $E_G = E_C - E_V$, c'est la **hauteur de la bande interdite** (Bandgap, Energy Gap). Une bande d'énergie pleine ne conduit pas l'électricité, car elle ne peut accueillir les charges en mouvement. Tout cristal ne possédant que des bandes d'énergie permises entièrement pleines suivies de bandes entièrement vides est un isolant. Les phénomènes de transport électrique se produisent dans les bandes supérieures, c'est-à-dire Bande de Valence et Bande de Conduction (les électrons se trouvant dans les bandes inférieures sont trop liés aux noyaux pour pouvoir se déplacer dans le cristal). Si la bande permise est presque vide, la conduction de l'électricité est proportionnelle à la densité des électrons libres. Si la bande permise est presque pleine, la conduction de l'électricité est proportionnelle à la densité des trous. La figure suivante illustre la différence entre un matériau conducteur et un isolant de ce point de vue:

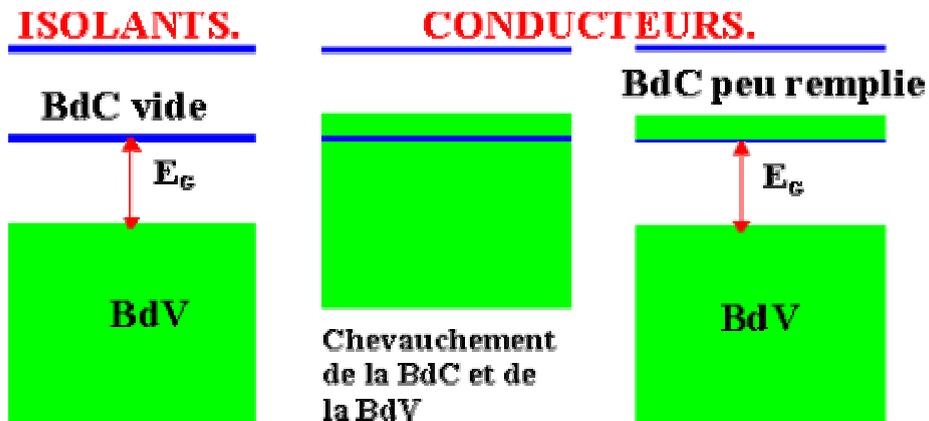


Figure A-1 : Bandes de Valence et de Conduction pour des Isolants et pour des Conducteurs.

Toujours dans cette approche, il faut savoir que la probabilité d'occupation F à la température T d'un niveau d'énergie E par un électron est donnée par la formule de Fermi-Dirac :

$$F(E) = \frac{1}{1 + \exp\left(\frac{E - E_F}{k_B \cdot T}\right)} \quad \text{éq. 1}$$

où E_F est le niveau de Fermi, k_B la constante de Boltzmann et T la température en Kelvin. Cette probabilité est tracée sur la figure suivante en fonction du niveau d'énergie E pour deux valeurs de température T .

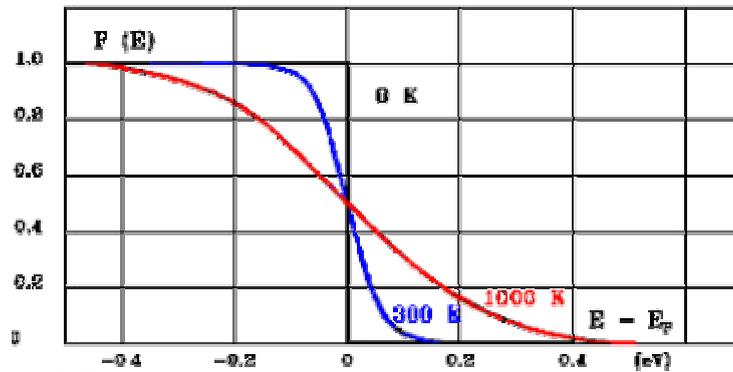


Figure A-2 : Fonction de Fermi-Dirac.

Sans entrer dans le détail des calculs et de cette théorie, nous résumons ici quelques points importants pour la suite :

- la densité des porteurs dans la Bande de Conduction et la Bande de Valence ainsi que les deux types de fonctionnement qui en découlent (dégénéré et non dégénéré) dépendent exponentiellement de la position du niveau de FERMI;
- le produit de la densité des porteurs négatifs e^- par la densité des porteurs positifs e^+ est une caractéristique fondamentale du matériau, elle dépend exponentiellement de la hauteur de la bande interdite (E_G) et de la température (T), selon la relation suivante :

$$n_i^2 = N_C \cdot N_V \cdot \exp\left(\frac{-E_G}{k_B \cdot T}\right) \quad \text{éq. 2}$$

où n_i est la densité de porteurs intrinsèque, et N_C , N_V les densités équivalentes d'états de la Bande de Conduction et de la Bande de Valence.

- les matériaux à faible hauteur de bande interdite $E_G < 2 \text{ eV}$ ont, à la température ambiante (T_0), des densités de porteurs suffisantes pour qu'ils ne puissent plus être considérés comme des isolants, ils sont appelés **semiconducteurs**.

Définissons maintenant la notion de semiconducteur intrinsèque, c'est-à-dire un semiconducteur pur, sans défaut de structure. Dans un tel matériau, à chaque électron de la Bande de Conduction correspond un trou dans la Bande de Valence donc : $n = p = n_i$

En remplaçant n par $n = N_C \cdot \exp\left(-\frac{E_C - E_F}{k_B \cdot T}\right)$ et p par $p = N_V \cdot \exp\left(-\frac{E_F - E_V}{k_B \cdot T}\right)$, nous obtenons :

$$E_{Fi} = \frac{E_C + E_V}{2} + \frac{k_B \cdot T}{2} \cdot \text{Log}\left(\frac{N_V}{N_C}\right) \quad \text{éq. 3}$$

où E_{Fi} : position du niveau de FERMI dans un semiconducteur intrinsèque.

A $T = 0 \text{ K}$, le niveau de FERMI dans un semiconducteur intrinsèque est exactement au milieu de la bande interdite : $E_{Fi} = \frac{E_C + E_V}{2}$.

Il est possible en introduisant les notions de niveau intrinsèque et de niveau de FERMI d'écrire :

$$n = n_i \cdot \exp\left(-\frac{E_F - E_{Fi}}{k_B \cdot T}\right), \text{ et } p = n_i \cdot \exp\left(-\frac{E_{Fi} - E_F}{k_B \cdot T}\right) \quad \text{éq. 4}$$

Dans les semiconducteurs intrinsèques, la génération (apparition) et la recombinaison (disparition) des porteurs s'effectuent toujours par paire électron-trou. La densité des électrons est donc égale à la densité des trous et le niveau de FERMI se situe très près (quelle que soit T) du milieu de la bande interdite.

Considérons à présent le cas d'un semiconducteur extrinsèque, c'est-à-dire ayant subi un dopage d'impuretés donneuses N_A ou accepteuses d'électrons N_D . Il est alors important de noter les résultats suivants :

- Le dopage permet de s'affranchir de l'égalité de densité des porteurs négatifs et des porteurs positifs observée dans le semiconducteur intrinsèque.
- L'introduction d'impuretés pentavalentes donneuses d'électrons (N_D) permet de rendre les porteurs négatifs beaucoup plus nombreux que les porteurs positifs : le semiconducteur est dit de type "N". Son niveau de FERMI est plus proche de la Bande de Conduction que de la Bande de Valence et sa conductivité dépend essentiellement des la mobilité des porteurs négatifs et de leur densité.

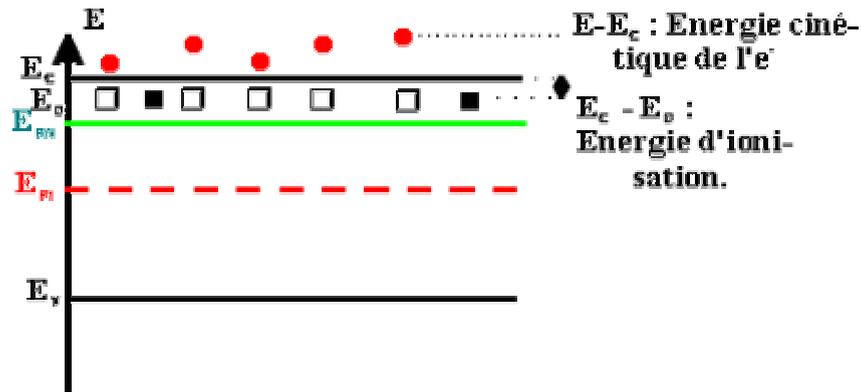


Figure A-3 : niveaux d'énergie pour un semiconducteur dopé N.

- Plus un semiconducteur est dopé N, plus la différence entre la densité des porteurs majoritaires négatifs et la densité des porteurs minoritaires positifs (trous) est importante. Plus un semiconducteur est de type "N", plus son niveau de FERMI se rapproche du minimum de la Bande de Conduction. Plus N_D (la densité de donneurs) est grande, plus la conductivité est grande donc plus la résistivité est faible.
- L'introduction d'impuretés trivalentes (N_A) permet de rendre les trous beaucoup plus nombreux que les électrons libres : le semiconducteur est dit de type "P". Son niveau de FERMI est plus proche de la Bande de Valence que de la Bande de Conduction et sa conductivité dépend de la mobilité des porteurs positifs et de leur densité.

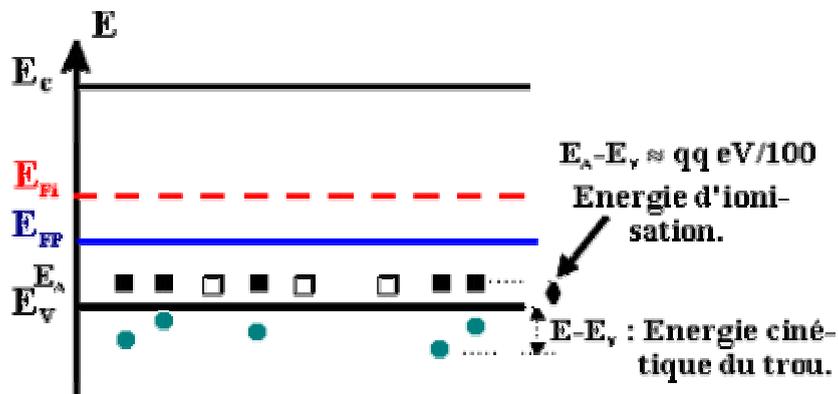


Figure A-4 : niveaux d'énergie pour un semiconducteur dopé P.

- Plus un semiconducteur est dopé P, plus la différence entre la densité des porteurs majoritaires positifs (trous) et la densité des porteurs minoritaires négatifs est importante. Plus un semiconducteur est de type "P", plus son niveau de FERMI se rapproche du maximum de la Bande de Valence. Plus N_A (la densité d'accepteurs) est grande, plus la conductivité est grande donc plus la résistivité est faible.
- L'effet du dopage est diminué lorsque la température de l'échantillon augmente et au delà d'une certaine valeur, le semiconducteur retrouve un comportement intrinsèque.

Annexe B

Feuilles de calcul MATHCAD pour l'amorçage du MOSFET

etude vectorielle des formes d'onde pendant les commutations

A / définitions des différents paramètres physiques et géométriques

charge élémentaire(Cb) $q = 1.6 \cdot 10^{-19}$ permittivité absolue du vide (F/m) $\epsilon_0 = (8.85 \cdot 10^{-12})$
 permittivité relative du Si $\epsilon_{Si} = 11.9$ permittivité relative du SiO2 $\epsilon_{ox} = 3.9$

constante k $k = 1.386667 \cdot 10^{-23}$ température(K) $T = 300$

$$k \frac{T}{q} = 0.02600000625 \quad (\text{en } \text{V})$$

concentration intrinsèque du silicium $n_i = 3.87 \cdot 10^{16} \cdot T^{1.5} \cdot \exp\left(\frac{-7018}{T}\right) \cdot 10^6$ en atomes/m3

$n_i = 1.39250661555711 \times 10^{16}$ en atomes/m3

data :=	{	$4 \cdot (10)^{16} \cdot 10^6$	dopage zone P- en atomes/m3
		$3 \cdot (10)^{14} \cdot 10^6$	dopage zone n
		$100 \cdot 10^{-9}$	épaisseur d'oxyde de grille inférieur (m)
		$1 \cdot 10^{-6}$	épaisseur d'oxyde de grille supérieur
		$20 \cdot 10^{-6}$	largeur de cellule
		$25 \cdot 10^{-6}$	espace inter-cellulaire
		$4 \cdot 10^{-6}$	longueur canal
		$1 \cdot 10^{-6}$	longueur de recouvrement
		2500	nb de cellules

$N_a := \text{data}_0$ $N_D := \text{data}_1$ $\epsilon_{ox} := \text{data}_2$ $T_i := \text{data}_3$

mobilité des électrons ($\text{m}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$) $\mu_{ns} := 600 \cdot 10^{-4}$ (en surface)

calcul des surfaces mises en jeu pour les capas, et calcul du canal

largeur de cellule $L_{\text{cell}} := \text{data}_4$ espace intercellulaire $L_{\text{intercell}} := \text{data}_5$ en m, m2

longueur de canal $L := \text{data}_6$

$$\text{pas} := L_{\text{cell}} + L_{\text{intercell}}$$

surfaces $S_0 := (L_{\text{cell}} + L_{\text{intercell}})^2 - L_{\text{cell}}^2$ $S_2 := S_0$ $L_{\text{rec}} := \text{data}_7$ $S_{\text{cell}} := L_{\text{cell}}^2$

largeur moyenne de canal $Z := 4 \cdot (L_{\text{cell}} - L)$ $S_0 = 1.625 \times 10^{-9}$

$$S_{\text{rec}} = 4 \left[\left(\frac{\text{pas}}{2} \right)^2 - \left[\frac{\text{pas}}{2} - \left(\frac{L_{\text{intercell}}}{2} + L + L_{\text{rec}} \right) \right]^2 \right] \quad S_{\text{rec}} = 1.925 \times 10^{-9}$$

tous les calculs de cette page sont valables pour une cellule élémentaire

$N_{\text{cell}} := \text{data}_8$ $Z := N_{\text{cell}} \cdot Z$

tenue en tension (en V): $\text{BUDS} := \left(\frac{1.47 \cdot 10^{18}}{10^{-6} \cdot N_D} \right)^{\frac{3}{4}}$ $\text{BUDS} = 585.662018573853$

résistance carrée zone nu (en $\text{ohm} \cdot \text{m}^2$): $R_{\text{nu}} := 6.94 \cdot 10^{-9} \cdot (\text{BUDS})^{2.5} \cdot 10^{-4}$

surface mos active (en m2): $\text{SMOS} := \text{pas}^2 \cdot N_{\text{cell}}$

resistance a l'etat passant (en ohm): $R_{\text{dson}} = \frac{R_{\text{nu}}}{\text{SMOS}}$

$R_{\text{dson}} = 1.137920926665$

vitesse de saturation $v_d := 10^7 \cdot 10^{-2}$ en m/s
 $Z = 0.16$ $SMOS = 5.0625 \times 10^{-6}$ $IMAX := q \cdot Nv \cdot v_d \cdot SMOS$
 courant maximal calculé par densité critique **IMAX = 24.3**

B / définitions des parametres de la cellule de commutation

la tension de commande de grille bascule entre:

Vcom_min = -20 et **Vcom_max = 20** en volts

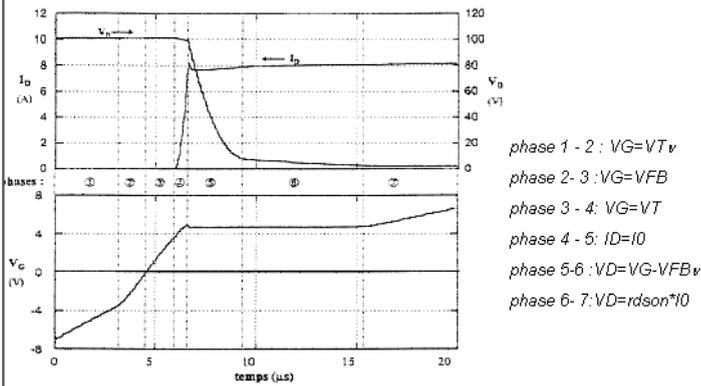
la résistance de grille vaut **Rg = 50** en ohm

données puissance: **si on tient compte de tout le mos**

pleine tension commutée (V) **V0 = 400**

plein courant commuté (A) **I0 = 4**

C / définitions des references delimitant les 7 phases de commutation



C -1/ expression du potentiel VFB potentiel de bande plate

$\phi_{ms} := -0.56$ volts

VFB = ϕ_{ms}

C -2/ expression du potentiel VFBv potentiel de bande plate dans la zone inter cellulaire v

VFBv = ϕ_{ms}

C-3/ expression du potentiel VT

$$CC_{ox} := \frac{\epsilon_{ox} \cdot \delta l}{e_{ox}} \text{ capacité surfacique d'oxyde} \quad \phi_{Fi} := \frac{k \cdot T}{q} \cdot \ln\left(\frac{N_A}{n_i}\right)$$

$$V_T := V_{FB} + 2 \cdot \phi_{Fi} + \frac{\sqrt{4 \cdot q \cdot N_A \cdot \epsilon_{Si} \cdot \delta l \cdot \phi_{Fi}}}{CC_{ox}}$$

C-4/ expression du potentiel VTv

$$\phi_{Fiv} := \frac{k \cdot T}{q} \cdot \ln\left(\frac{N_D}{n_i}\right)$$

$$V_{Tv} := (V_{FBv} - 2 \cdot \phi_{Fiv}) - \frac{\sqrt{2 \cdot q \cdot N_D \cdot \delta l \cdot \epsilon_{Si} \cdot \sqrt{V_0 + 2 \cdot \phi_{Fiv}}}}{CC_{ox}}$$

remarque: on aura besoin de VTv quand VD=V0 pleine tension.....

C- 5 / expression de la relation ID=f(VG,VD)

$$V_{Gsat} := \sqrt{2 \cdot I_0 \cdot \frac{L}{Z} \cdot \frac{1}{\mu_{ns}} \cdot \frac{e_{ox}}{\epsilon_{ox} \cdot \delta l}} + V_T$$

VGsat correspond au moment où le courant drain atteint la valeur I0

C- 6 / expression de VD=VG-VFBnu

$$V_X := V_{Gsat} - V_{FBv}$$

C- 7 / expression de VDson

$$V_{dson} := R_{dson} \cdot I_0$$

C- 8 / résumé des limites

- limite 12 VTv = -6.90906000700941
- limite 23 VFB = -0.56
- limite 34 VT = 3.17135472314426
- limite 45 VGsat = 6.27902857608972
- limite 56 VX = 6.83902857608972
- limite 67 Vdson = 4.55168370666002

D / lois de variations des capacités inter electrodes

D-1 / etude de la capacité CGD

$$X := \frac{4 \cdot 2 \cdot \delta l \cdot \epsilon_{Si}}{S_0 \cdot q \cdot N_D}$$

$$cdg0 := CC_{ox} \cdot S_0$$

$$\text{phase 1 : } CGD1(VG, VD) := 0$$

phase 2 : expression complète:

$$CGD2(VG, VD) := \frac{S_0 \cdot \left[\left[(1 - 2 \cdot X \cdot VD + X \cdot (VG - V_{FBv})) + 2 \cdot X \cdot \sqrt{VD \cdot (VD - VG + V_{FBv})} \right] \right] \cdot CC_{ox}}{\sqrt{1 + 2 \cdot \frac{CC_{ox}^2 \cdot (VD - VG + V_{FBv})}{q \cdot N_D \cdot \epsilon_{Si} \cdot \delta l}}}$$

=> expression simplifiée:

$$CGD2(VG, VD) := S_0 \cdot \sqrt{\frac{q \cdot N_D \cdot \epsilon_{Si} \cdot \delta l}{2 \cdot (VD - VG)}}$$

phase 3 :

$$CGD3(VG, VD) := S_0 \cdot \sqrt{\frac{q \cdot N_D \cdot \epsilon_{Si} \cdot \delta l}{2 \cdot (VD - VG)}}$$

phase 4 :

$$CGD4(VG, VD) := S_0 \cdot \sqrt{\frac{q \cdot N_D \cdot \epsilon_{Si} \cdot \delta l}{2 \cdot (VD - VG)}}$$

phase 5 : VD décroissant ID=I0 VG=cte

$$CGD5(VG, VD) := \frac{S0 \cdot \left[(1) - 2 \cdot \chi \cdot VD + \chi \cdot (VG - VFBV) + 2 \cdot \chi \cdot \sqrt{VD \cdot (VD - VG + VFBV)} \right] \cdot CCox}{\sqrt{1 + 2 \cdot \frac{CCox^2 \cdot (VD - VG + VFBV)}{q \cdot Nv \cdot \epsilon Si \cdot \epsilon 0}}}$$

phase 6 : VD décroissant < Vx ID=I0 VG=cte

$$CGD6(VG, VD) := [CCox \cdot S0 \cdot (1 - \chi \cdot VD) \cdot (VX > Vdson)] + (VX \leq VD) \cdot CGD5(VG, VD)$$

phase 7 : VD=Vdson ID=I0 VG croissant

$$CGD7(VG, VD) := [CCox \cdot S0 \cdot (1 - \chi \cdot VD) \cdot (VX > Vdson)] + (VX \leq VD) \cdot CGD5(VG, VD)$$

D-2 / etude de la capacité CGS

mise en parallèle de cgs1, cgs2, cgs3, cgs4 $CGS0 := Srec \cdot \frac{\epsilon 0 \cdot \epsilon ox}{Ti} + (Srec - S0) \cdot \frac{\epsilon 0 \cdot \epsilon ox}{\epsilon ox}$

$cgs4 = CCox \cdot S0$ $CGD0 := cgs4$

$cgs0 = cgs1 + cgs2 + cgs3$ ■ *juste pour info...*

$\chi G = \frac{CGD0}{CGS0 \cdot (VGsat - VT)}$ $\chi G = 1.06172415186347$

phase 1 : $CGS1(VG, VD) := CGS0 + CGD0$

phase 2 : $CGS2(VG, VD) := CGS0$ *discontinuité bizarre...*

phase 3 : $CGS3(VG, VD) := CGS0$

phase 4 : $CGS4(VG, VD) := CGS0 \cdot [1 + \chi G \cdot (VG - VT)]$

toute cette page correspond à une etude monocellulaire

phase 5 : $CGS5(VG, VD) := CGS0 \cdot [1 + \chi G \cdot (VG - VT)]$

phase 6 : $CGS6(VG, VD) := CGS0$

phase 7 : $CGS7(VG, VD) := CGS0$

D-3 / etude de la capacité CDS

$S_{cell} = 4 \times 10^{-10}$ en m2 pour une seule cellule

potentiel de diffusion de la jonction $\phi_{DS} := \frac{k \cdot T}{q} \cdot \ln \left(\frac{Na \cdot Nv}{ni \cdot ni} \right)$

capacité cds0: $c_{ds0} := S_{cell} \cdot \frac{q \cdot Nv \cdot Na \cdot \epsilon Si \cdot \epsilon 0}{2 \cdot (Na + Nv) \cdot \phi_{DS}}$

$c_{ds0} \cdot N_{cell} = 6.23147685948037 \times 10^{-11}$

formule retenue pour une cellule: $CDS(VD) := \frac{c_{ds0}}{\sqrt{1 + \frac{VD}{\phi_{DS}}}}$

E / lois de variations tensions et courants

pas de calcul en s:

$$pdc = \frac{10^{-9}}{1}$$

étude de la phase 1 $V_{com_min} = -20$

$$t_0 := 0 \quad VTv = -6.90906000700941$$

$$IG_0 := 0 \quad ID_0 := 0 \quad V0 = 400$$

$$VG_0 := V_{com_min} \quad VD_0 := V0$$

```

phase1(VTv, VG, VD, ID) := ⎣ j ← 0
                          while VG_j < VTv
                              ⎣ t_{j+1} ← j + 1
                                VG_{j+1} ← Vcom_min + (Vcom_max - Vcom_min) ⋅ ⎣ 1 - exp ⎣  $\frac{-pdc \cdot t_{j+1}}{N_{cell} R_g (CGS1(VG_j, VD_j))}$  ⎣ ⎣ ⎣
                                  ID_{j+1} ← ID_j
                                  VD_{j+1} ← VD_j
                                  j ← j + 1
                              ⎣ ⎣ ⎣
                                ⎣ t
                                  VG
                                  VD
                                  ID
                                ⎣ ⎣ ⎣

```

$$VTv = -6.90906000700941 \quad me := phase1(VTv, VG, VD, ID) \quad phase1(VTv, VG, VD, ID) = \begin{pmatrix} (38,1) \\ (38,1) \\ (38,1) \end{pmatrix}$$

$$temps1 := \begin{bmatrix} (one^T)^{(0)} \\ \vdots \end{bmatrix}_0 \quad tensiongrille1 := \begin{bmatrix} (one^T)^{(1)} \\ \vdots \end{bmatrix}_0$$

$$tensionpuissance1 := \begin{bmatrix} (one^T)^{(2)} \\ \vdots \end{bmatrix}_0 \quad courantpuissance1 := \begin{bmatrix} (one^T)^{(3)} \\ \vdots \end{bmatrix}_0$$

$$\text{durée de cette phase 1: } d1 := temps1_{lignes(temps1)-2} - temps1_0 \quad d1 = 36$$

$$ind1 := lignes(temps1) - 2$$

$$\text{limite de phase 1/2 total2} := temps1_{lignes(temps1)-2} \quad total2 = 36$$

$$tensiongrille1_{ind1} = -6.97257228622852$$

```

etude de la phase 2 VFB = -0.56 VTv = -6.90906000700941
t0 := temps1_ind1 ID0 := courantpuissance1_ind1 VD0 := tensionpuissance1_0
VG0 := tensiongrille0 VG0 := VTv

phase2(VFB, VG, VD) :=
  j ← 0
  while VG_j < VFB
    t_{j+1} ← j + 1 + tetal2
    VG_{j+1} ← VG_0 + [ (Vcom_max - VG_0) [ 1 - exp [  $\frac{-pdc \cdot (t_{j+1} - tetal2)}{Rg \cdot Ncell \cdot (CGS2(VG_j, VD_j) + CDG2(VG_j, VD_j))}$  ] ] ]
    VD_{j+1} ← VD_j
    j ← j + 1
  (
    t
    VG
    VD
  )

phase2(VFB, VG, VD) = (7,1) two := phase2(VFB, VG, VD)
temps2 := [ (two^T)^{(0)} ]_0 tensiongrille2 := [ (two^T)^{(1)} ]_0
tensionpuissance2 := [ (two^T)^{(2)} ]_0

on rattrape les CI temps2_0 := temps1_ind1 tensiongrille2_0 := tensiongrille1_ind1
tensionpuissance2_0 := tensionpuissance1_ind1

durée de cette phase 2: d2 := temps2_lignes(temps2)-2 - temps2_0 d2 = 5 t0 = 36
limite de phase 2/3: teta23 := temps2_lignes(temps2)-2 teta23 = 41
courant du cote puissance: j := 0..lignes(temps2) - 1 lignes(temps2) - 1 = 6
ind2 := lignes(temps2) - 2 ID_j := ID_0 courantpuissance2_j := ID_0

etude de la phase 3 VT = 3.17135472314426 VG0 := VFB
t0 := temps2_ind2 ID0 := courantpuissance2_ind2 VD0 := tensionpuissance2_ind2

phase3(VT, VG, VD) :=
  j ← 0
  while VG_j < VT
    t_{j+1} ← j + 1 + teta23
    VG_{j+1} ← VG_0 + [ (Vcom_max - VG_0) [ 1 - exp [  $\frac{-pdc \cdot (t_{j+1} - teta23)}{Rg \cdot Ncell \cdot (CGS3(VG_j, VD_j) + CGD3(VG_j, VD_j))}$  ] ] ]
    VD_{j+1} ← VD_j
    j ← j + 1
  (
    t
    VG
    VD
  )

```

```

phase3(VT, VG, VD) =  $\begin{pmatrix} \{6,1\} \\ \{6,1\} \\ \{6,1\} \end{pmatrix}$  three := phase3(VT, VG, VD) VT = 3.17135472314426

temps3 :=  $\begin{bmatrix} \{three^T\}^{(0)} \\ \{three^T\}^{(1)} \\ \{three^T\}^{(2)} \end{bmatrix}_0$  tensiongrille3 :=  $\begin{bmatrix} \{three^T\}^{(1)} \\ \{three^T\}^{(2)} \end{bmatrix}_0$ 
on rattrape les CI temps3_0 := temps2_ind2 tensiongrille3_0 := tensiongrille2_ind2
tensionpuissance3_0 := tensionpuissance2_ind2

j := 0..lignes(temps3) - 1 ID_j := ID_0 courantpuissance3_j := ID_0
durée de cette phase 3: d3 := temps3_lignes(temps3)-2 - temps3_0 d3 = 4
ind3 := lignes(temps3) - 2
limite de phase 3/4: teta34 := temps3_lignes(temps3)-2 teta34 = 45

tensiongrille3_ind3 = 2.89234666551357
    
```

```

etude de la phase 4 VGsat = 6.27902857608972 VT = 3.17135472314426
t_0 := temps3_ind3 ID_0 := courantpuissance3_ind3 VD_0 := tensionpuissance3_0 I0 = 4
VG_0 := tensiongrille_0 VG_0 := VT

phase4(I0, VG, VD, ID) :=  $\begin{cases} j \leftarrow 0 \\ \text{while } (ID_j < I0) \cdot 1 \\ \quad t_{j+1} \leftarrow j + 1 + teta34 \\ \quad VG_{j+1} \leftarrow VG_0 + \left[ (Vcom\_max - VG_0) \cdot \left[ 1 - \exp \left[ \frac{-pdc \cdot (t_{j+1} - teta34)}{Rg\_Ncell \cdot (CGS4(VG_j, VD_j) + CGD4(VG_j, VD_j))} \right] \right] \right] \\ \quad ID_{j+1} \leftarrow \frac{Z}{L} \cdot \frac{\mu ns \cdot \epsilon ox}{\epsilon ox} \cdot \frac{(VG_{j+1} - VT)^2}{2} \\ \quad VD_{j+1} \leftarrow VD_j \\ \quad j \leftarrow j + 1 \end{cases}$ 
 $\begin{pmatrix} t \\ VG \\ VD \\ ID \end{pmatrix}$ 

phase4(I0, VG, VD, ID) =  $\begin{pmatrix} \{20,1\} \\ \{20,1\} \\ \{20,1\} \\ \{20,1\} \end{pmatrix}$  four := phase4(I0, VG, VD, ID)
    
```

```

temps4 := [ (fourT)^(0) ]_0   tensiongrille4 := [ (fourT)^(1) ]_0
tensionpuissance4 := [ (fourT)^(2) ]_0   courantpuissance4 := [ (fourT)^(3) ]_0
on rattrape les CI   temps4_0 := temps3_ind3   tensiongrille4_0 := tensiongrille3_ind3
                    tensionpuissance4_0 := tensionpuissance3_ind3

durée de cette phase 4: d4 := temps4_lignes(temps4)-2 - temps4_0   d4 = 18   t_0 = 45

limite de phase 4/5:   teta45 := temps4_lignes(temps4)-2   teta45 = 63

etude de la phase 5   VGsat = 6.27902857608972   VX = 6.83902857608972
last := lignes(temps4) - 2   last = 18

t_0 := temps4_last   teta45 = 63   ID_0 := courantpuissance4_last   VD_0 := tensionpuissance4_last

VG_0 := tensiongrille4_last
VG_0 := VGsat   chi = 0.010801538461538   Vcom_min = -20
IG_0 := (Vcom_max - 0 - Vcom_min - VG_0) / Rg

t_0 = 63   ID_0 = 3.92170160983934   VD_0 = 400   VG_0 = 6.27902857608972   IO = 4
IG_0 = 0.274419428478206   VT = 3.17135472314426   ID_0 := IO

ph5(VX, VG, VD, ID) := test ← 1
                       j ← 0
                       while (VD_j > 1 - VX) · (test)
                           t_{j+1} ← j + 1 + teta45
                           VG_{j+1} ← VG_j
                           ID_{j+1} ← ID_j
                           VD_{j+1} ← VD_j + (pdc [ IO + (IO / (VGsat - VT)) · (VT - Vcom_max) ] /
                                                Ncell [ (1 + Rg · (IO / (VGsat - VT))) · CGD5(VG_j, VD_j) + CDS(VD_j) ])
                           test ← VD_{j+1} < VD_j
                           j ← j + 1
                       ( t
                       VG
                       VD
                       ID )

ph5(max(VX, Vdson), VG, VD, ID) = ( {29,1}
                                   {29,1}
                                   {29,1}
                                   {29,1} )   five := ph5(max(VX, Vdson), VG, VD, ID)

VG_0 := VGsat   IG_0 := (Vcom_max - 0 - Vcom_min - VG_0) / Rg   IG_0 = 0.274419428478206
    
```

```

temps5 := [(fiveT)^(0)]_0   tensiongrille5 := [(fiveT)^(1)]_0
tensionpuissance5 := [(fiveT)^(2)]_0   courantpuissance5 := [(fiveT)^(3)]_0
on rattrape les CI   temps5_0 := temps4_last   tensiongrille5_0 := VG_0
                    tensionpuissance5_0 := tensionpuissance4_last
durée de cette phase 5: d5 := temps5_lignes(temps5)-2 - temps5_0   d5 = 27

limite de phase 5/6:   teta56 := temps5_lignes(temps5)-2   teta56 = 90   t0 = 63

last5 := lignes(temps5) - 2
etude de la phase 6   VX = 6.83902857608972   Vdson = 4.55168370666002
t0 := temps5_last5   teta56 = 90   ID_0 := courantpuissance5_last5   VD_0 := tensionpuissance5_last5
VG_0 := tensiongrille5_last5   VD_0 := max(Vdson, VX)   VD_1 := max(Vdson, VX)

t0 = 90   ID_0 = 4   VD_0 = 6.83902857608972
IG_0 = 0.274419428478206   VG_0 = 6.27902857608972

```

```

ph6(Vdson, VG, VD, ID) := | j ← 0
                          | while (VD_j ≥ 1 · Vdson) ∧ [ pdc [ IO + (IO / (VGsat - VT)) · (VT - Vcom_max) ]
                          |                               | Ncell [ (1 + Rg · (IO / (VGsat - VT))) · (CGD6(VG_j, VD_j)) + CDS(VD_j) ] ] ≤ 0
                          |                               |
                          |   t_{j+1} ← j + 1 + teta56
                          |   VG_{j+1} ← VG_j
                          |   ID_{j+1} ← ID_j
                          |   VD_{j+1} ← VD_j + [ pdc [ IO + (IO / (VGsat - VT)) · (VT - Vcom_max) ]
                          |                               | Ncell [ (1 + Rg · (IO / (VGsat - VT))) · (CGD6(VG_j, VD_j)) + CDS(VD_j) ] ]
                          |   j ← j + 1
                          | ( t
                          |   VG
                          |   VD
                          |   ID )

```

```
six := ph6(Vdson, VG, VD, ID)
```

```

temps6 := [(sixT)^(0)]_0   tensiongrille6 := [(sixT)^(1)]_0   tensionpuissance6 := [(sixT)^(2)]_0
courantpuissance6 := [(sixT)^(3)]_0

```

```

on rattrape les CI
temps6_0 := temps5_last5   tensiongrille6_0 := VG_0   tensionpuissance6_0 := tensionpuissance5_last5

durée de cette phase 6: d6 := | 1 if lignes(temps6) ≤ 2
                             | (temps6_lignes(temps6)-2 - temps6_0) otherwise   d6 = 11

limite de phase 6/7: teta67 := | (t_0 + 1) if lignes(temps6) ≤ 2   t_0 = 90
                              | temps6_lignes(temps6)-2 otherwise   teta67 = 101

last6 := lignes(temps6) - 1
temps6 := | ( ( ( t_0 ) ) ) if d6 = 1   tensiongrille6 := | ( ( tensiongrille6_0 ) ) if d6 = 1
           | ( ( t_0 + 1 ) ) otherwise   | ( tensiongrille6_0 ) otherwise
           | temps6 otherwise           | tensiongrille6 otherwise

courantpuissance6 := | ( ( courantpuissance6_0 ) ) if d6 = 1
                    | ( courantpuissance6_0 ) otherwise
                    | courantpuissance6 otherwise

tensionpuissance6 := | ( ( tensionpuissance6_0 ) ) if d6 = 1
                    | ( tensionpuissance6_0 ) otherwise
                    | tensionpuissance6 otherwise
    
```

etude de la phase 7

```

t_0 := temps6_last6   teta67 = 101   Vdson = 4.55168370666002
ID_0 := courantpuissance6_last6   VD_0 := tensionpuissance6_last6   VD_0 = 4.47634840431412
VG_0 := tensiongrille6_last6   VD_0 := Vdson
t_0 = 102   ID_0 = 4   VD_0 = 4.55168370666002   VG_0 = 6.27902857608972
IG_0 = 0.274419428478206
    
```

```

ph7(Vcom_max, VG, VD, ID) := | j ← 0
                             | while (VG_j < 0.95·Vcom_max)
                             |   t_{j+1} ← j + 1 + teta67
                             |   VG_{j+1} ← VG_0 + (Vcom_max - VG_0) [ 1 - exp [ ( -pdc·(t_{j+1} - teta67) ) / ( Rg·Ncell·(CGS7(VG_j, VD_j) + CGD7(VG_j, VD_j)) ) ] ]
                             |   ID_{j+1} ← ID_j
                             |   VD_{j+1} ← VD_j
                             |   j ← j + 1
                             | ( t
                             |   VG
                             |   VD
                             |   ID )
    
```

```

seven := ph7(Vcom_max, VG, VD, ID)

temps7 := [ (seven.T)^(0) ]_0   tensiongrille7 := [ (seven.T)^(1) ]_0
tensionpuissance7 := [ (seven.T)^(2) ]_0   courantpuissance7 := [ (seven.T)^(3) ]_0

on rattrape les CI   tensiongrille7_0 := VG_0   temps7_0 := temps6_last6
                    tensionpuissance7_0 := tensionpuissance6_last6

durée de cette phase 7: d7 := temps7_lignes(temps7)-2 - temps7_0   d7 = 229
limite de phase 7:   teta78 := temps7_lignes(temps7)-2   teta78 = 331   t_0 = 102

last7 := lignes(temps7) - 1

RESUME des temps critiques:
teta12 = 36   teta23 = 41   teta34 = 45   teta45 = 63
teta56 = 90   teta67 = 101   teta78 = 331

t12 := teta12   t23 := teta23   t34 := teta34   t45 := teta45   t56 := teta56   t67 := teta67
t78 := teta78

t12 = 36   t23 = 41   t34 = 45   t45 = 63   t56 = 90   t67 = 101   t78 = 331
d1 = 36   d2 = 5   d3 = 4   d4 = 18   d5 = 27   d6 = 11   d7 = 229
    
```

compilation des matrices

```

timeON(t12, t23, t34, t45, t56, t67, t78, time) := | j ← 0
                                                    | while j < t78
                                                    |   time_j ← temps1_j   if (j ≤ t12)
                                                    |   time_j ← temps2_{j-t12}   if (t12 < j) (j ≤ t23)
                                                    |   time_j ← temps3_{j-t23}   if (t23 < j) (j ≤ t34)
                                                    |   time_j ← temps4_{j-t34}   if (t34 < j) (j ≤ t45)
                                                    |   time_j ← temps5_{j-t45}   if (t45 < j) (j ≤ t56)
                                                    |   time_j ← temps6_{j-t56}   if (t56 < j) (j ≤ t67)
                                                    |   time_j ← temps7_{j-t67}   if (t67 < j) (j < t78)
                                                    |   j ← j + 1
                                                    | time
tt := timeON(t12, t23, t34, t45, t56, t67, t78, time)
    
```

```

dv0 := 0
drainvoltageON(t12,t23,t34,t45,t56,t67,t78,dv) :=
  j ← 0
  while j < t78
    dvj ← tensionpuissance1j if (j ≤ t12)
    dvj ← tensionpuissance2j-t12 if (t12 < j)·(j ≤ t23)
    dvj ← tensionpuissance3j-t23 if (t23 < j)·(j ≤ t34)
    dvj ← tensionpuissance4j-t34 if (t34 < j)·(j ≤ t45)
    dvj ← tensionpuissance5j-t45 if (t45 < j)·(j ≤ t56)
    dvj ← tensionpuissance6j-t56 if (t56 < j)·(j ≤ t67)
    dvj ← tensionpuissance7j-t67 if (t67 < j)·(j < t78)
    j ← j + 1
  dv

ddvv := drainvoltageON(t12,t23,t34,t45,t56,t67,t78,dv)

g0 := 0
gatevoltageON(t12,t23,t34,t45,t56,t67,t78,g) :=
  j ← 0
  while j < t78
    gj ← tensiongrille1j if (j ≤ t12)
    gj ← tensiongrille2j-t12 if (t12 < j)·(j ≤ t23)
    gj ← tensiongrille3j-t23 if (t23 < j)·(j ≤ t34)
    gj ← tensiongrille4j-t34 if (t34 < j)·(j ≤ t45)
    gj ← tensiongrille5j-t45 if (t45 < j)·(j ≤ t56)
    gj ← tensiongrille6j-t56 if (t56 < j)·(j ≤ t67)
    gj ← tensiongrille7j-t67 if (t67 < j)·(j < t78)
    j ← j + 1
  g

ggvv := gatevoltageON(t12,t23,t34,t45,t56,t67,t78,g)

```

```

dc0 := 0
draincurrentON(t12, t23, t34, t45, t56, t67, t78, dc) :=
    j ← 0
    while j < t78
        dcj ← courantpuissance1j if (j ≤ t12)
        dcj ← courantpuissance2j-t12 if (t12 < j) · (j ≤ t23)
        dcj ← courantpuissance3j-t23 if (t23 < j) · (j ≤ t34)
        dcj ← courantpuissance4j-t34 if (t34 < j) · (j ≤ t45)
        dcj ← courantpuissance5j-t45 if (t45 < j) · (j ≤ t56)
        dcj ← courantpuissance6j-t56 if (t56 < j) · (j ≤ t67)
        dcj ← courantpuissance7j-t67 if (t67 < j) · (j < t78)
        j ← j + 1
    dc

ddcc := draincurrentON(t12, t23, t34, t45, t56, t67, t78, dc)

```

st₀ := 0 la fonction stage permet de séparer les différentes étapes

```

stageON(t12, t23, t34, t45, t56, t67, t78, st) :=
    j ← 0
    while j ≤ t78
        stj ← 20 if (j = t34) + (j = t45) + (j = t56) + (j = t67) + (j = t78) + (j = t12) + (j = t23)
        stj ← 0 otherwise
        j ← j + 1
    st

shtt := stageON(t12, t23, t34, t45, t56, t67, t78, st)
ggcc :=  $\frac{V_{com\_max} - ggvv}{R_g}$ 

```

t34

t45

t56

t67

t78

ajout des calculs de puissance instantanées

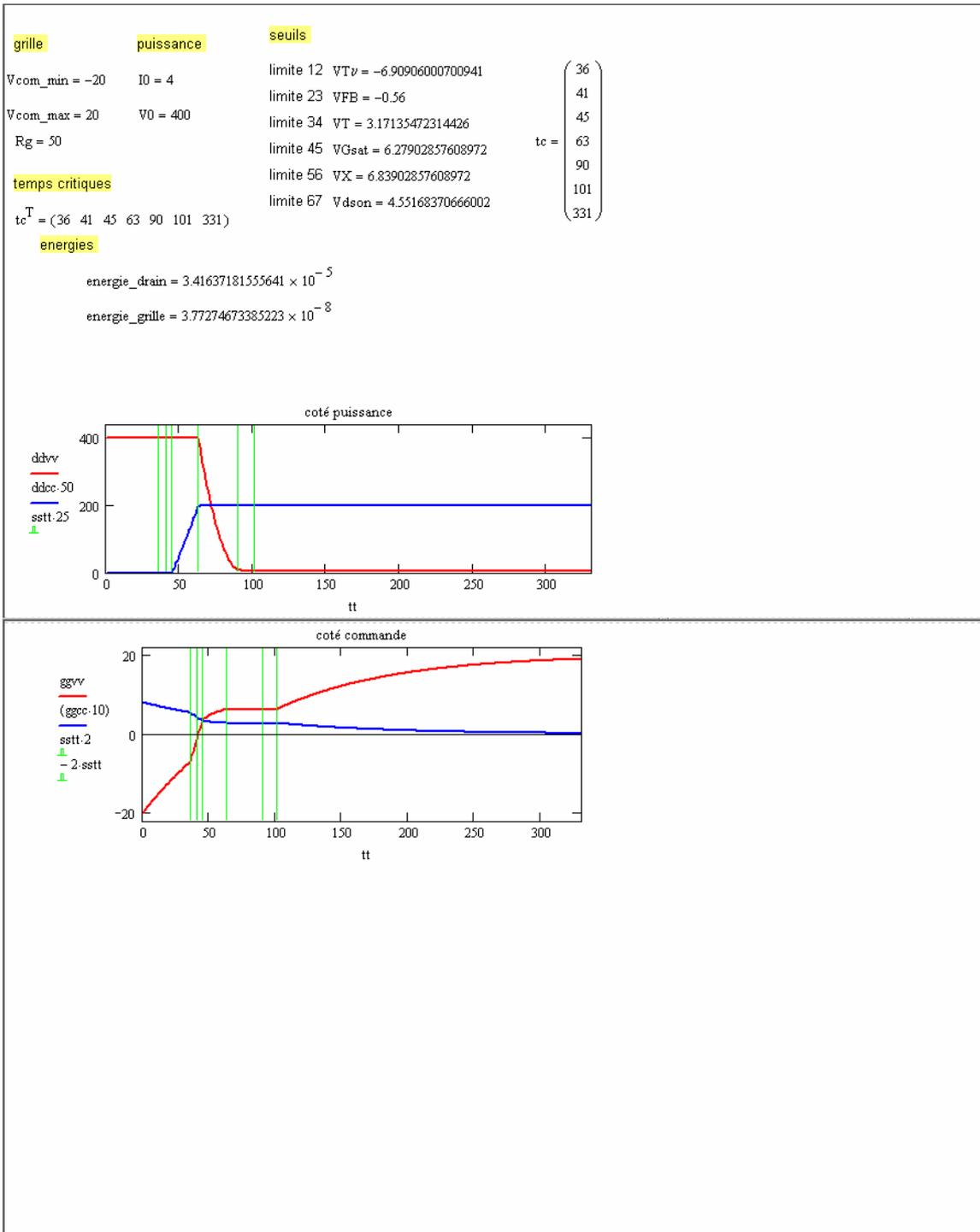
```

j := 0..t78 - 1
pi_grillej := ggvvj · ggccj; i_drainj := ddvvj · ddccj

energie_grille := pdc ·  $\sum_{k=0}^{t78-1} pi\_grille_k$ 
energie_grille = 3.77274673385223 × 10-8

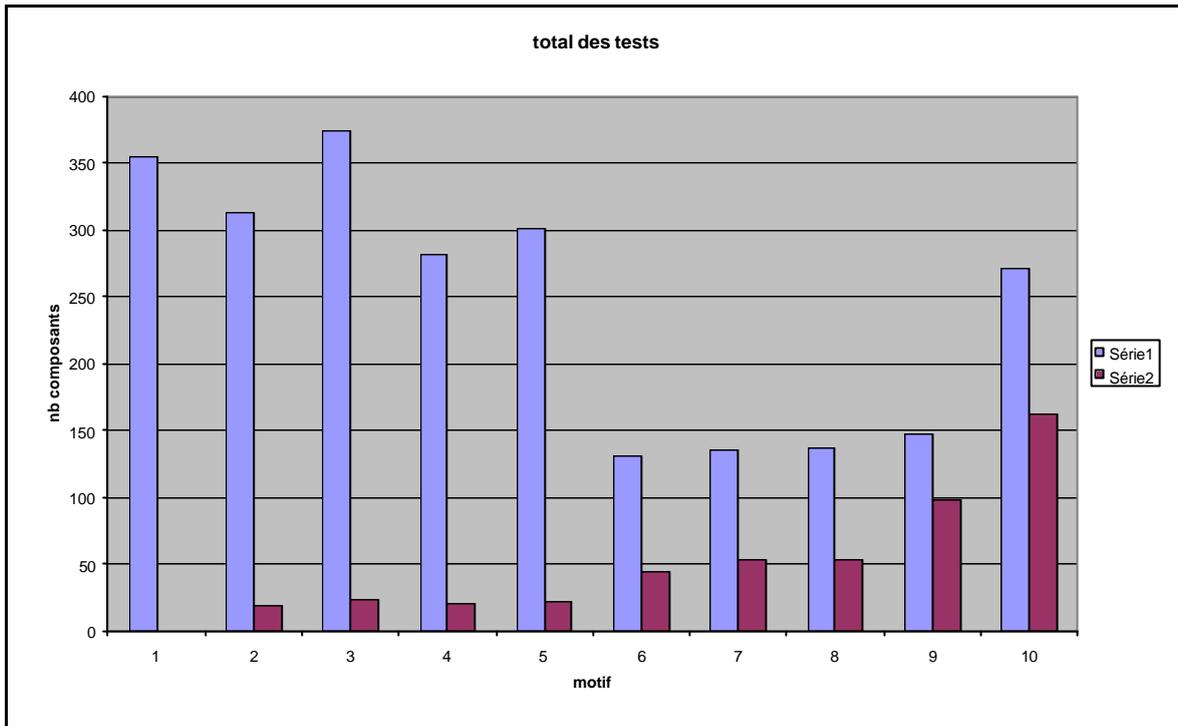
energie_drain := pdc ·  $\sum_{k=0}^{t78-1} pi\_drain_k$ 
energie_drain = 3.41637181555641 × 10-5

```



Annexe C

Cartographies et rendement des tranches des différents lots.



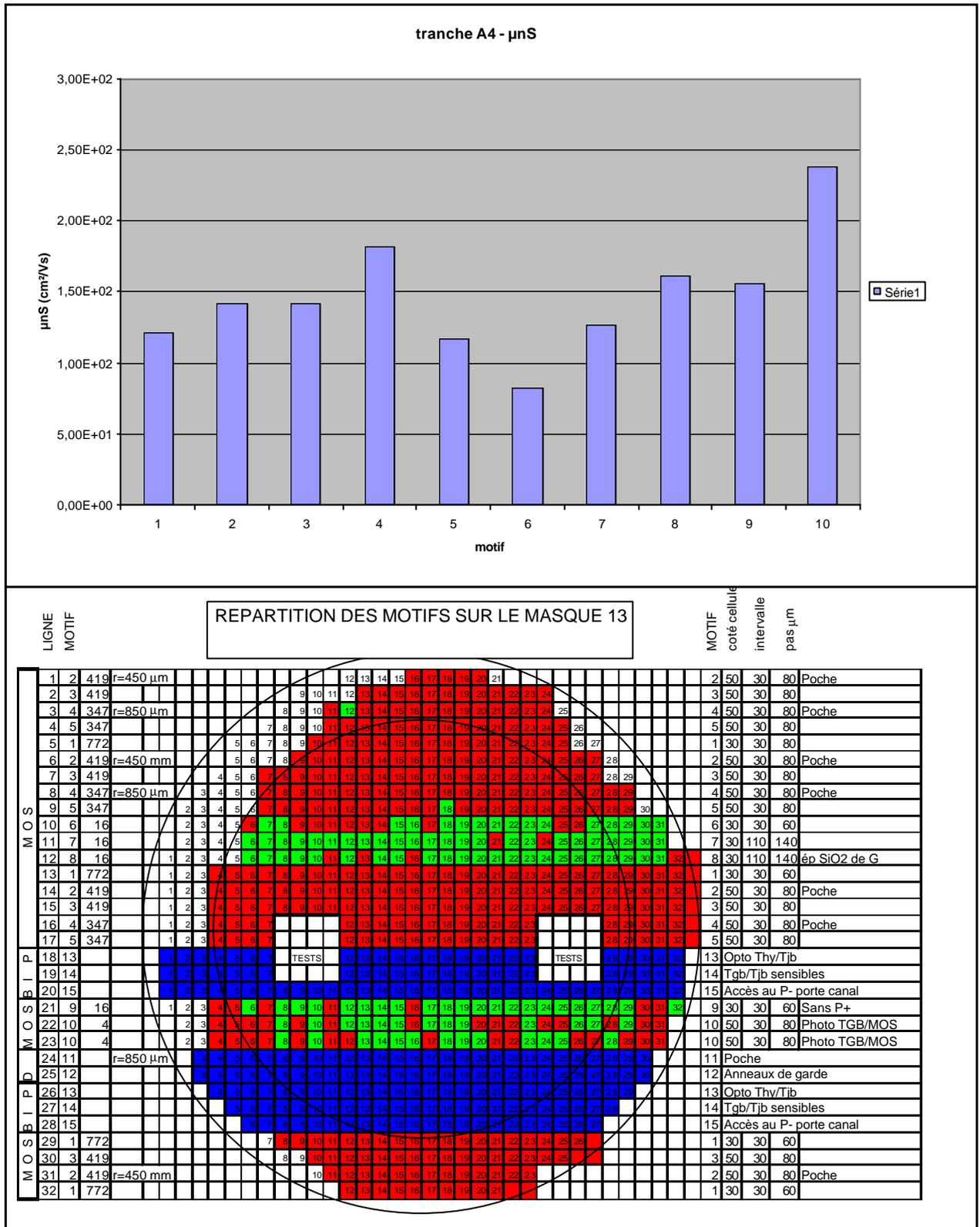
Rendement de chaque wafer.

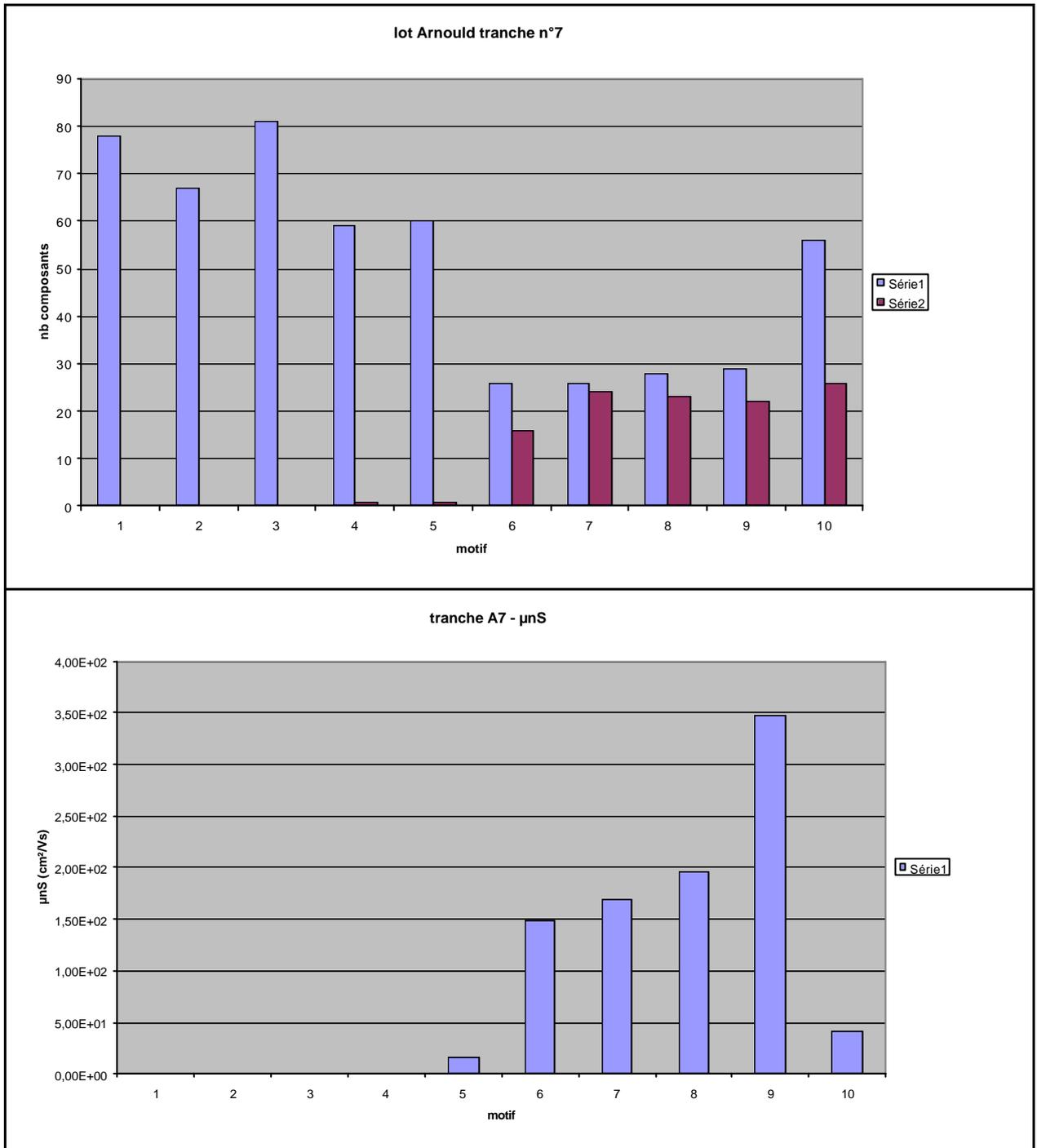
wafer	0412	0512a	0512b	0512c	0612	Total
Nb cp testés	457	499	493	502	498	2449
Nb cp fonctionnels	58	94	140	132	75	499
rendement %	12.7	18.8	28.4	26.3	15.1	20.4

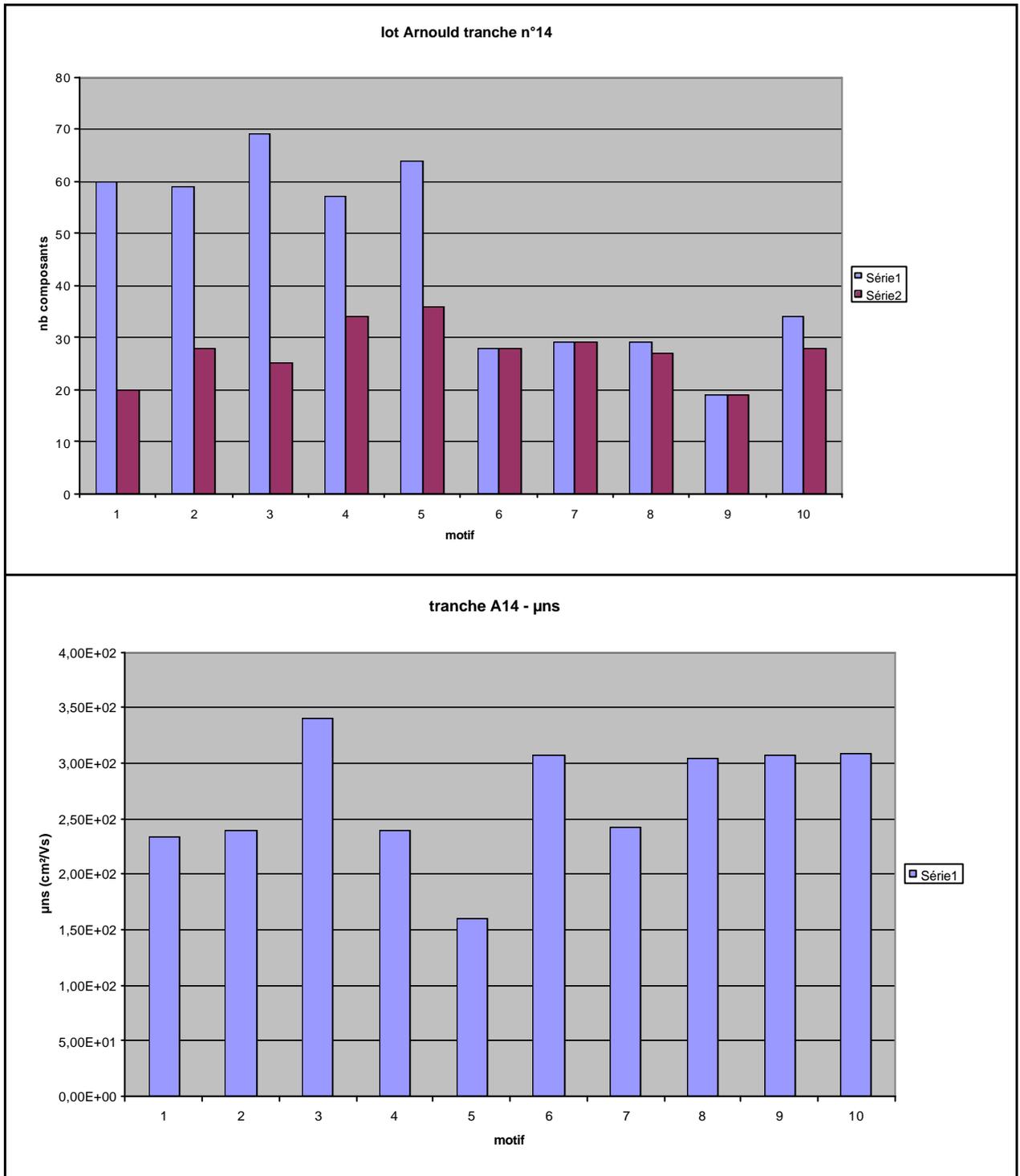
Répartition des motifs fonctionnels.

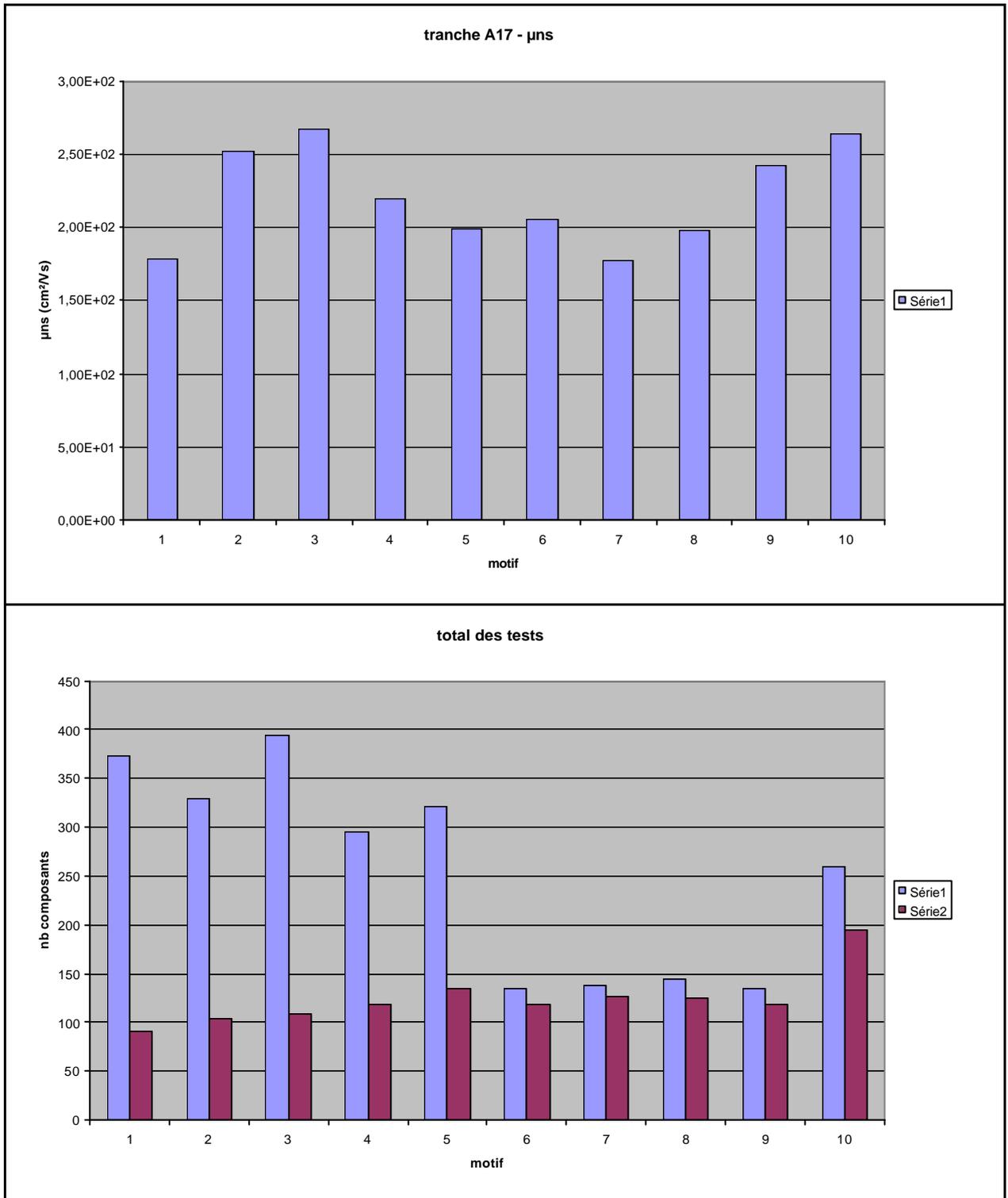
Les motifs fonctionnels se répartissent comme suit:

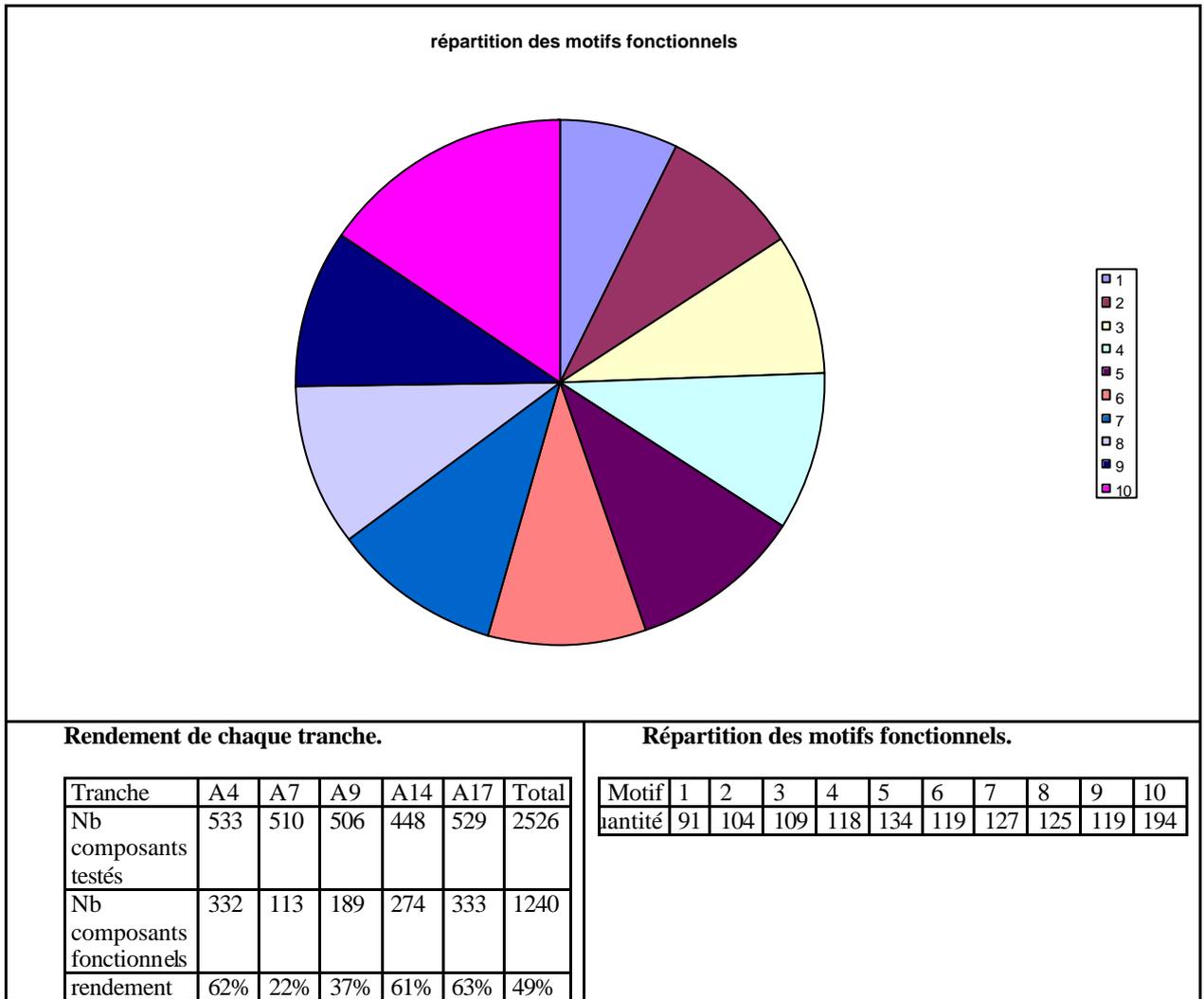
motif	1	2	3	4	5	6	7	8	9	10
qté	0	2	2	2	2	4	5	5	9	16
		0	4	1	2	5	4	3	8	2





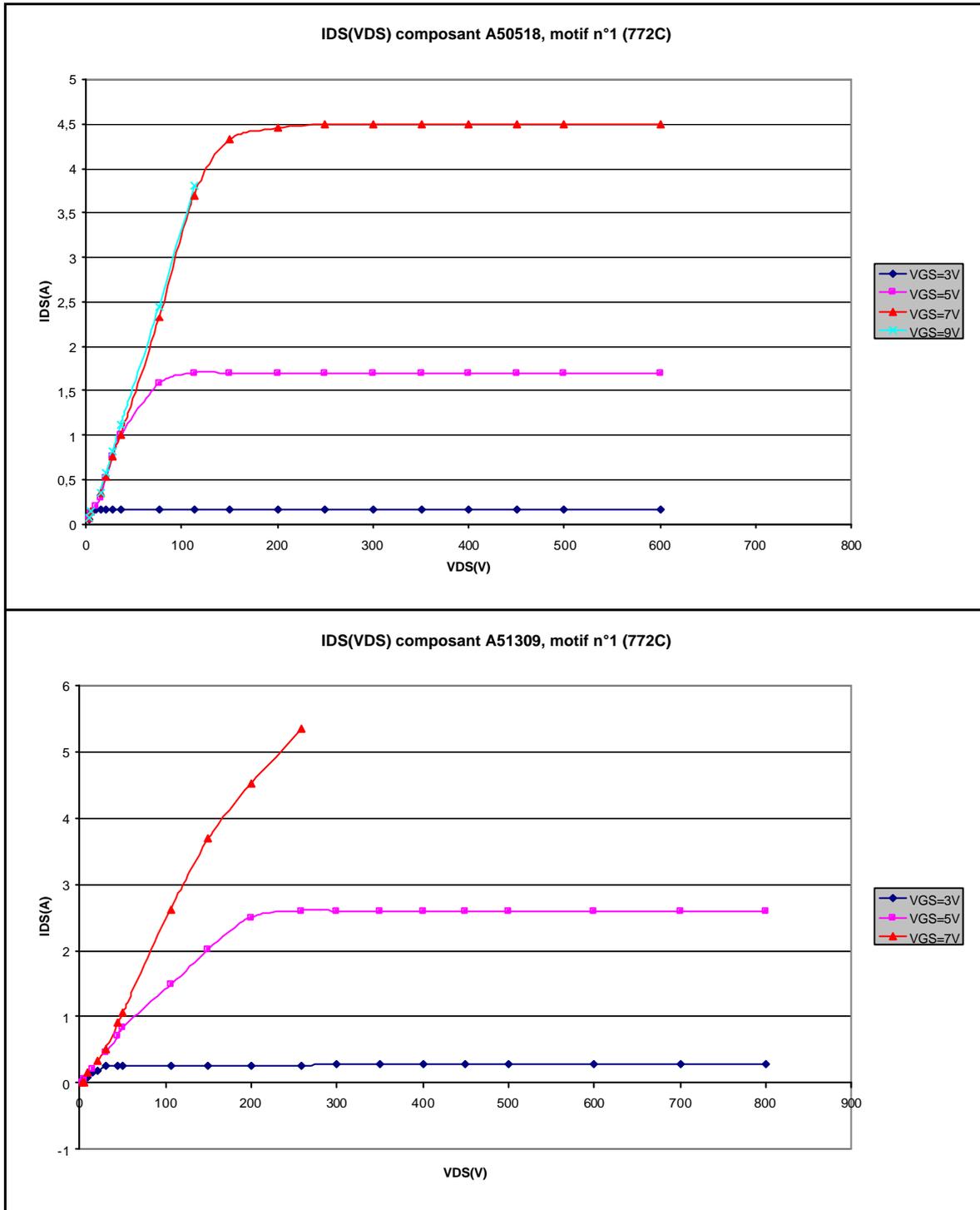


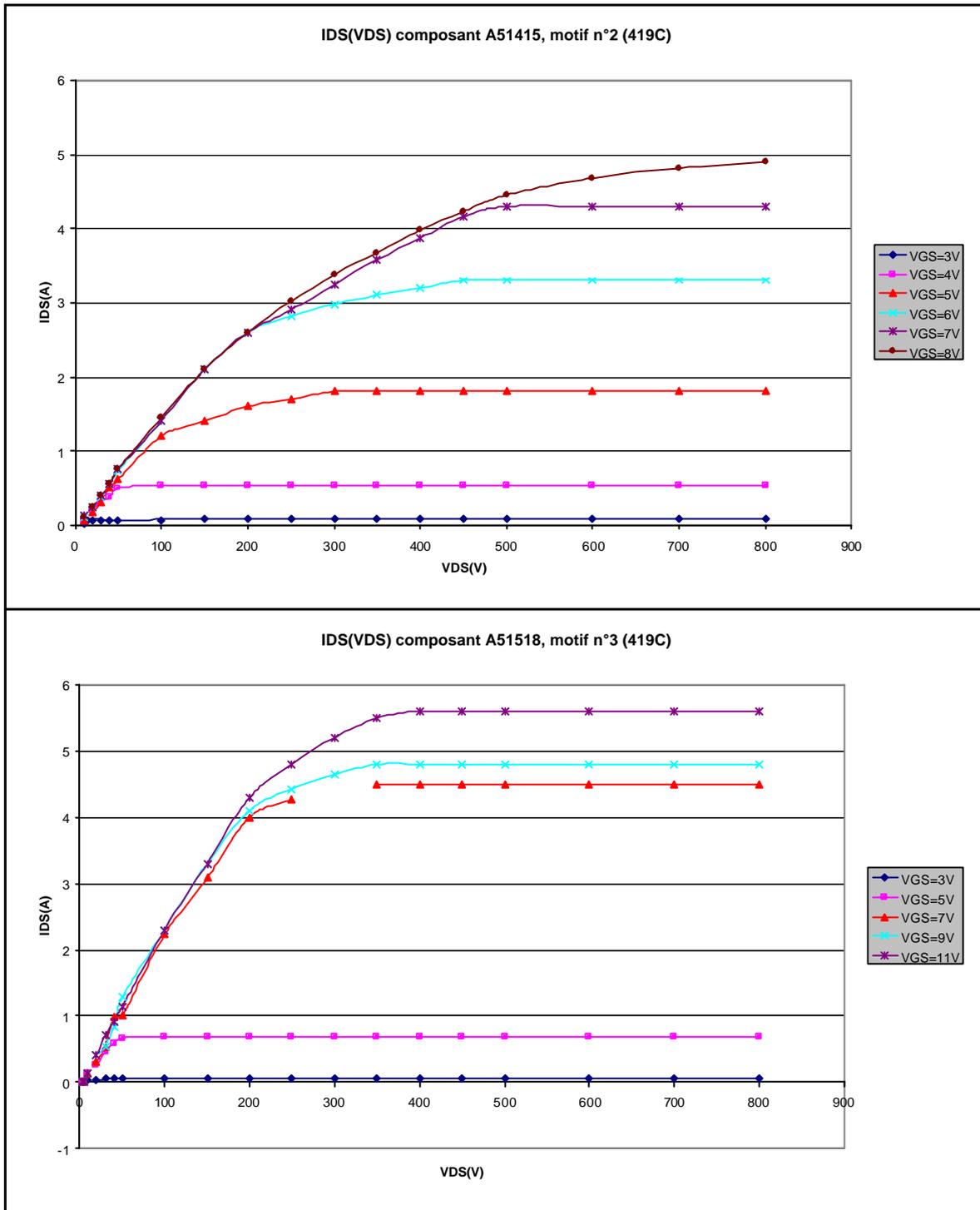


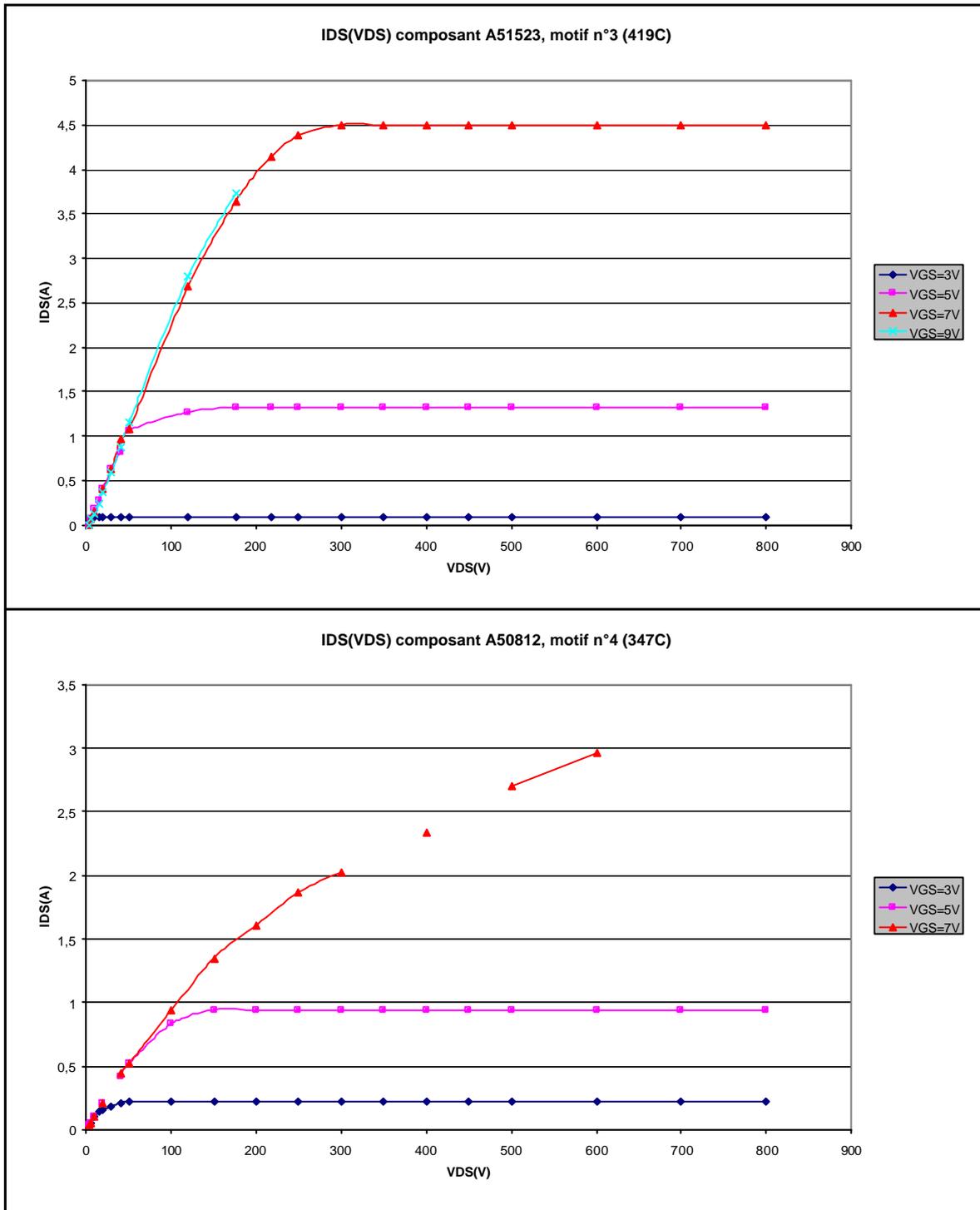


Annexe D

Réseaux statiques $I_{DS}=f(V_{DS}, V_{GS})$







Annexe E

Articles sur le modèle ZCEM

STRICTION UNICELLULAIRE DANS LES MOS HAUTE TENSION. MODELE ZCEM EN REMPLACEMENT DE CELUI DU TEC A JONCTION PARASITE VERTICAL

Thierry BOUCHET *, Guillaume VERNEAU **,
Frank TORREGROSA ***, Jacques ARNOULD ***

* TECSSEN – Faculté des Sciences et Techniques de S¹ Jérôme
Avenue Normandie Niemen 13397 MARSEILLE cedex 20

** Laboratoire d'Electrotechnique de GRENOBLE
UMR 5529 INPG/UJF - CNRS
ENSIEG - BP 46 - 38402 Saint-Martin-d'Hères Cedex

*** Ion Beam Services
Z.I. Peynier Rousset
Rue Gaston Imbert prolongée
13790 PEYNIER

Résumé : La famille des interrupteurs de puissance commandables dispose d'une grande variété de membres tant au niveau du type (Thyristors, Transistor à Effet de Champ - TECMOS -, TGB, TJB) qu'au niveau des performances électriques (de 10V à 1kV pour un composant). Cet article présente les résultats issus de la mise au point d'un transistor VDMOS de tenue en tension relativement élevée pour cette structure ; les exigences électriques demandées au composant (notamment 2 kV et capacité de sortie limitée) ont conduit à des choix technologiques particuliers. Les phénomènes observés sur les réseaux $I_{DS}=f(U_{GS}, U_{DS})$, à la fois de manière expérimentale sur composants réels et par simulation, sont à l'origine d'un nouveau modèle pour le MOS quant au phénomène de saturation de la tension de grille. Il est basé sur l'analyse d'une Zone de Charge d'Espace Mobile (ZCEM) située sous la grille, dans la partie à forte résistivité de la région v inter-cellulaire.

1 INTRODUCTION

Les transistors MOS de puissance (Fig.1) les plus performants disponibles actuellement sur le marché présentent une tenue en tension maximale limitée (de l'ordre de 1 à 1,5kV) ; ils possèdent aussi des capacités de sortie élevées, conséquence directe de forts calibres en courant. Il s'avère donc nécessaire, pour des applications haute tension (supérieure à 2kV), de mettre ces composants en série, entraînant par là une complexité et un volume du bloc interrupteur importants. Ceci est incompatible avec les exigences actuelles de haute intégration. De plus, les capacités de sortie limitent les puissances commutables et le domaine de fréquence de travail.

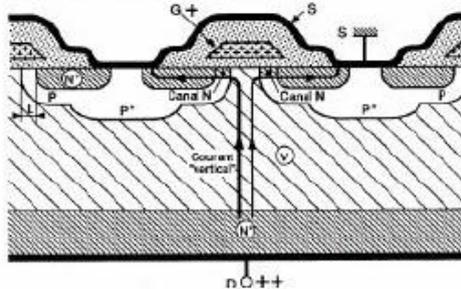


Figure 1 : Coupe d'une partie d'un transistor MOS de puissance.

Dans le cadre d'un contrat DGA, les sociétés IBS et THOMSON-CSF DETEXIS ont étudié un commutateur à base de transistor MOS de puissance [1] pour améliorer le compromis haute tension et capacités parasites. L'analyse d'essais menés sur ces composants a révélé un comportement sinon inhabituel du moins peu évoqué pour ces gammes de tension. Il apparaît notamment une désaturation du courant I_{DS} (sur le plateau) vis-à-vis de la tension U_{GS} . Usuellement, on l'attribuait à l'intervention d'un transistor à effet de champ par jonction (TECJ), parasite, vertical, situé entre les cellules du MOS. Ce n'est que récemment (dans [7] par exemple) qu'un autre mécanisme a été envisagé. Cet article propose quelques développements sur le sujet, dans la mouvance directe de [5].

2 RESULTATS EXPERIMENTAUX ET SIMULATIONS ELECTRIQUES

La réduction de la capacité parasite passe par celle de la surface utile du transistor, et ce, pour un calibre en courant donné. En l'occurrence, plusieurs structures ont été étudiées : toutes les cellules ont une largeur de 30 μ m, en revanche, les espaces inter-cellulaires peuvent prendre trois valeurs : 30, 110 ou 650 μ m. Seules les deux premières ont donné lieu à des réalisations concrètes. Toutes les trois par contre ont été simulées.

2.1 Saturation par rapport à U_{GS} . Faits expérimentaux

La première étude visait à caractériser d'un point de vue statique les performances électriques de tels composants. Les réseaux $I_{DS}=f(U_{DS}, U_{GS})$ ont donc été tracés suite à des campagnes de mesures effectuées simultanément au Laboratoire d'Electrotechnique de Grenoble (LEG) et à la société Ion Beam Services (IBS) en complément de celles déjà disponibles ([7]).

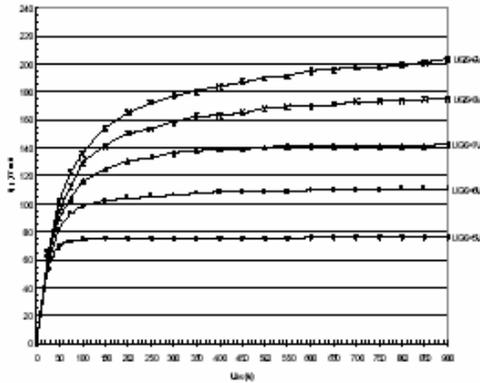


Figure 2 : Réseau $I_{DS}=f(U_{DS})$ structure 30-110 à 16 cellules carrées. Mesures impulsionnelles sur tranche 13-01P Lot 1 n°15-11.

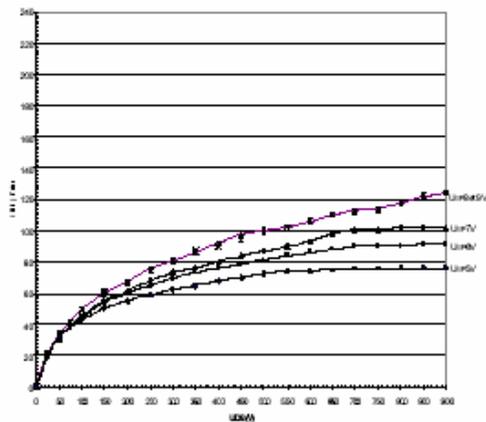
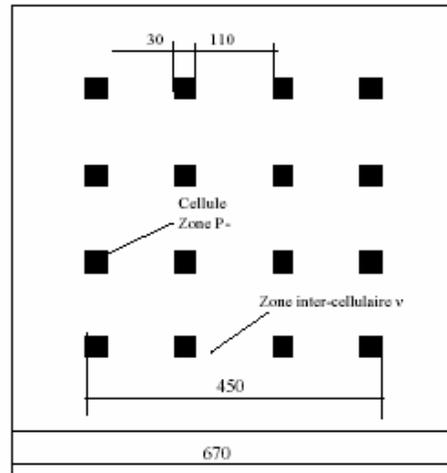


Figure 3 : Réseau $I_{DS}=f(U_{DS})$ structure 30-30 à 16 cellules carrées. Mesures impulsionnelles sur tranche 13-01P Lot 1 n°15-12.

Si le premier réseau (correspondant à des cellules carrées de $30\mu\text{m}$ de côté espacées de $110\mu\text{m}$) présente un comportement classique - du moins dans le domaine U_{GS} mis en œuvre -, on constate sur le second (pour des cellules de $30\mu\text{m}$ de côté espacées de $30\mu\text{m}$) des performances en courant bien moindres pour des conditions de polarisation de grille identiques.

2.2 Striction des tubes de courant. Simulation

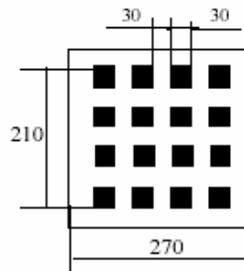
Les différentes structures simulées (en 2 D) correspondent pour des raisons de symétrie, à une demi-cellule et un demi espace inter-cellulaire, et ce sur une épaisseur de $1\mu\text{m}$. Trois structures ont été étudiées par IBS au CEGELY [5]: '30-30', '30-110' et '30-650'. Les simulations confirment l'effet de saturation par rapport à U_{GS} observé expérimentalement :



$$S(\Phi 30) = 0,9 \cdot 10^{-5} \text{ cm}^2$$

$$S(\Phi 450) = 200 \cdot 10^{-5} \text{ cm}^2$$

$$S(\Phi 670) = 450 \cdot 10^{-5} \text{ cm}^2$$



$$S(\Phi 30) = 0,9 \cdot 10^{-5} \text{ cm}^2$$

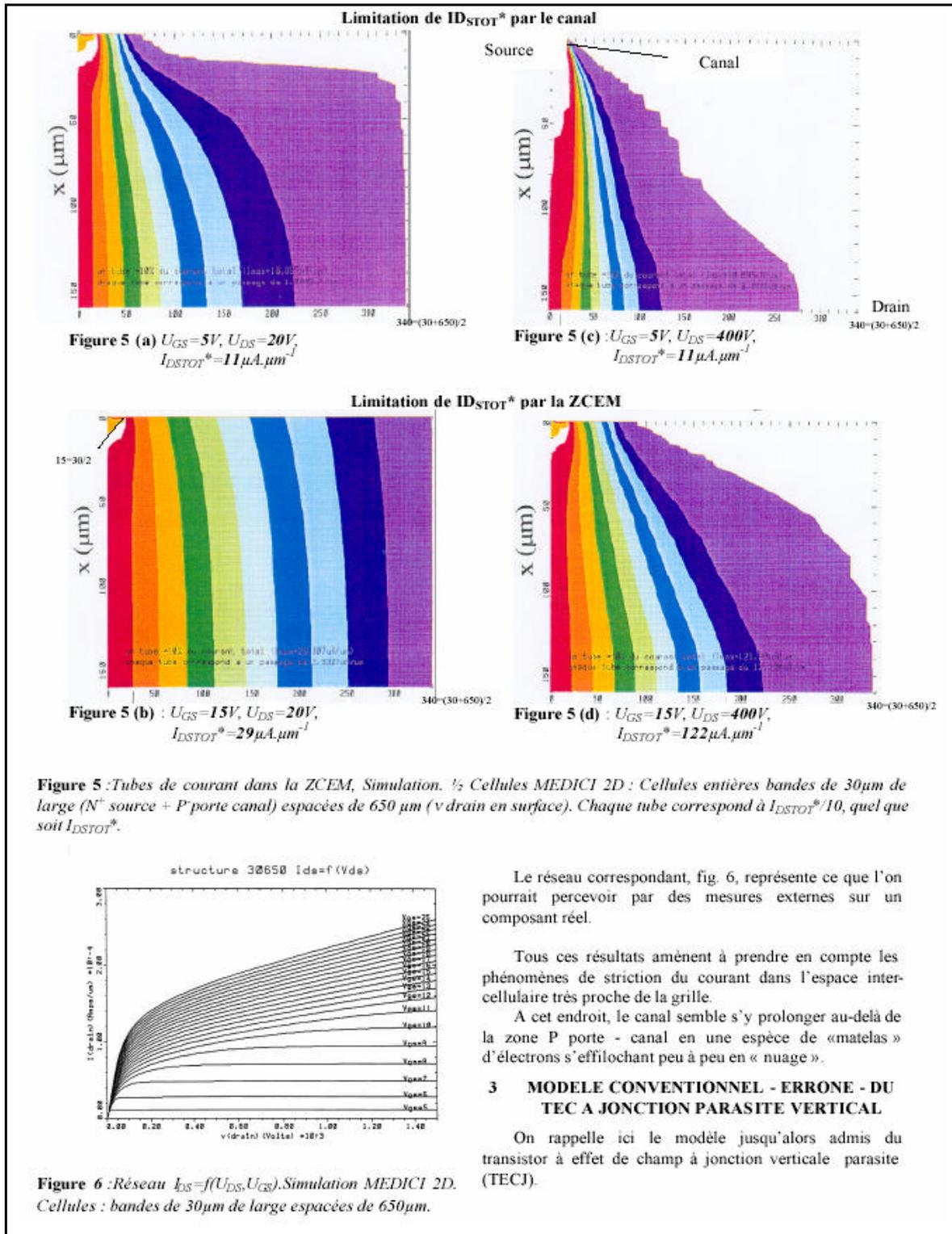
$$S(\Phi 210) = 44 \cdot 10^{-5} \text{ cm}^2$$

$$S(\Phi 270) = 73 \cdot 10^{-5} \text{ cm}^2$$

Figure 4 : Représentation des 16 cellules : cas 30-110 et 30-30, (cotes en μm).

Un autre résultat intéressant de la simulation concerne l'accès à la répartition « interne au silicium » de la densité de courant en volume : on constate une striction des tubes de courant plus ou moins importante selon la position relative des cellules, mais aussi selon les tensions appliquées, tant au niveau puissance qu'au niveau commande.

Cet effet est encore plus troublant sur la structure '30-650', bien que l'on puisse la considérer comme cellule isolée à part entière (sans vis-à-vis tant l'espace inter-cellulaire de $650\mu\text{m}$ est important). Les quatre figures suivantes montrent l'influence des tensions U_{GS} et U_{DS} sur la répartition des tubes de courant



Principal élément perturbateur affectant les caractéristiques statiques et imposant des choix de conception, le TECJ était censé modifier l'épanouissement du courant dans le MOS en créant un goulot d'étranglement au niveau de la zone (zone située sous le polysilicium de grille fig. 7).

La région porte canal P jouait le rôle de grille à jonction et la zone de charge d'espace du v celui de canal vertical entre la source et le drain.

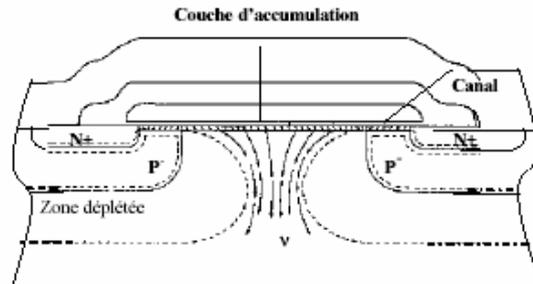


Figure 7 : Principe sur lequel le modèle du TEC à jonction verticale parasite était supposé fonctionner.

L'effet parasite devenait d'autant plus important que la tenue en tension était élevée. Ainsi pour des dispositifs de tenue en tension 500V, la résistance perturbatrice liée à l'effet TECJ pouvait représenter 25% du R_{DSON} .

Bien qu'apparaissant quantitativement correct, cette conception ne semble pas refléter la réalité physique du comportement du composant.

Pour s'en convaincre, voir les simulations présentées au paragraphe 2.2. Aussi, il faut lui substituer un nouveau schéma, tenant compte à la fois des phénomènes de saturation, de striction et d'épanouissement du courant : il s'agit du modèle de Zone de Charge d'Espace Mobile, ou ZCEM.

Si nous essayons d'appliquer le modèle du TECJ pour la cellule 30-650 μm simulée au §2.2, la zone déplétée se prolonge à l'infini puisqu'il n'y a pas influence de la cellule voisine. Le courant ne peut donc circuler entre la source et le drain = absurde.

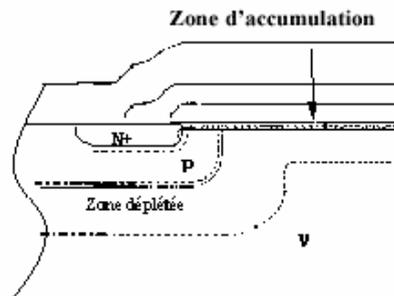


Figure 8 : Répartition des équipotentielles pour une cellule seule avec le modèle erroné du TECJ parasite vertical.

4 ZONE DE CHARGE D'ESPACE MOBILE

4.1 Modèle à trois segments

La zone de charge d'espace mobile a déjà été partiellement modélisée auparavant en premier lieu dans [7] puis sous une forme publiée, par le même collectif dans [5]. On en rappelle ici très brièvement, les principales conclusions de ce premier parcours.

4.1.1 Hypothèse d'une répartition uniforme de la densité de courant en volume.

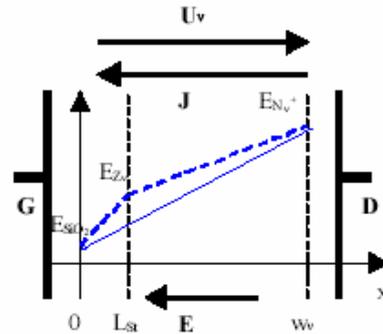


Figure 9 : Représentation schématique du champ électrique suivant l'épaisseur de dopage N_v lorsque $J > J_C$. Les traits pleins correspondent à 4.1.1, les pointillés à 4.1.2 (approche avec striction du courant).

Densité de courant en fonction du champ électrique dans le substrat : $J_{SUB} = q \cdot n \cdot \mu \cdot E$

Si le champ électrique dépasse 20 $\text{kV}\cdot\text{cm}^{-1}$, les électrons atteignent la vitesse de déplacement limite $v_{dmax} = 10^7 \text{ cm}\cdot\text{s}^{-1}$, la relation devient :

$$J = q \cdot n \cdot v_{dmax} \text{ et la densité de charges volumique totale vaut :}$$

$$N_{chtotale} = N_v - \frac{J}{q \cdot v_{dmax}} \text{ avec}$$

$$\frac{dE}{dx} = \frac{q}{\epsilon_{Si}} \cdot \left(N_v - \frac{J}{q \cdot v_{dmax}} \right) \approx - \frac{J}{\epsilon_{Si} \cdot v_{dmax}}$$

En posant :

densité critique de courant $J_C = q \cdot N_v \cdot v_{dmax}$, pour $J \gg J_C$ et $J = \text{cte}$, alors :

$$\frac{dE}{dx} = \frac{q}{\epsilon_{Si}} \cdot \left(N_v - \frac{J}{q \cdot v_{dmax}} \right) \approx - \frac{J}{\epsilon_{Si} \cdot v_{dmax}}$$

De plus, supposant que $E_{N+v} \gg E_{SiO2}$, on a :

$$U_v = \frac{E_{N+v} \cdot w_v}{2} = \frac{J \cdot w_v^2}{2 \cdot \epsilon_{Si} \cdot v_{dmax}}$$

d'où la résistance spécifique série :

$$R_v^* = \frac{w_v^2}{2 \cdot \epsilon_{Si} \cdot v_{dmax}} \quad (\Omega \cdot \text{cm}^2), \text{ relation devenant avec } \epsilon_{Si} \# 10^{-12} \text{ F} \cdot \text{cm}^{-1} \text{ et } v_{dmax} \# 10^7 \text{ cm} \cdot \text{s}^{-1} :$$

$$R_v(\Omega \cdot \text{cm}^2) = 5 \cdot 10^{-4} [W_v (\mu\text{m})]^2$$

4.1.2 Prise en compte de la striction du courant.

On pose pour la suite :

$$St = \frac{\text{surfacetotale}}{\text{surface de striction}}$$

Comme St représente aussi le rapport des pentes dE/dx, on a, en négligeant ϵ_{SiO2} et N_v :

$$R_{Sr}^* = \frac{(St \cdot L_{St}^2 + 2 \cdot St \cdot L_{St} \cdot (w_v - L_{St}) + (w_v - L_{St})^2)}{2 \cdot \epsilon_{Si} \cdot v_{dmax}}$$

Partant de cette base, réf [7] perfectionne encore ce résultat.

Avec les coefficients :

$$A_1 = \frac{L_{St} \cdot \left(w_v - \frac{L_{St}}{2} \right)}{\epsilon_{Si} \cdot v_{dmax}} \quad \text{et} \quad A_2 = \frac{1}{2} \cdot \frac{(w_v - L_{St})^2}{\epsilon_{Si} \cdot v_{dmax}}$$

et

la vitesse et la mobilité variant avec E, [7] en déduit entre autres :

$$J_{DS} = \frac{q \cdot N_v \cdot \mu_{Sn} \cdot U_{DS}}{St \cdot A_1 + A_2} \cdot \frac{w_v}{\sqrt{1 + \frac{\mu_{Sn} \cdot U_{DS}}{w_v \cdot v_{dsat}}}}$$

4.1.3 Réseau statique.

A partir des équations évoquées précédemment on construit un modèle simple dit « à 3 segments » :

Constantes :

- $v_{dn} \# 10^7 \text{ cm} \cdot \text{s}^{-1}$
- $E_0 \# 7000 \text{ V} \cdot \text{cm}^{-1}$
- $\epsilon_{Si} \# 10^{-12} \text{ F} \cdot \text{cm}^{-1}$
- $\mu_{n0} \# 1400 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$
- $q \# 1,6 \cdot 10^{-19} \text{ C}$
- $(\epsilon_{Si} \cdot v_{dn})^{-1} \# 10^5 \Omega$

Données :

- $N_D [\text{cm}^{-3}] = \text{dopage zone } v$
- $e_v [\text{cm}] = \text{épaisseur zone } v$
- $\rho_v [\Omega \cdot \text{cm}] = \text{résistivité zone } v$

Zone Ohmique :

$$U_{DS} = R_{v\Omega}^* \cdot J_{DS}$$

$$E = \frac{U_{DS}}{e_v} = \frac{J_{DS}}{q \cdot \mu_{n0} \cdot N_D} = cte \quad \forall x$$

$$R_{v\Omega} = \rho_v \cdot e_v = \frac{e_v}{q \cdot \mu_{n0} \cdot N_D}$$

$$= \frac{U_C}{J_C} = \frac{E_0 \cdot e_v}{q \cdot v_{dn} \cdot N_D}$$

Formules approchées Zone Ohmique / ZCEM :

$$v_n(E) = -\mu_n(E) \cdot E = \frac{-\mu_{n0} \cdot E_0}{E_0 + E} \cdot E$$

$$v_n(E) = \frac{v_{dn}}{E_0 + E} \cdot E \quad v_{dn} = -\mu_{n0} \cdot E_0$$

ZCEM :

$$U_{DS} = U_C + R_{v_{dyn}}^* \cdot (J_{DS} - J_C)$$

$$E(e_v) = -E_0 - \frac{(J_{DS} - J_C) \cdot e_v}{\epsilon_{Si} \cdot v_{dn}}$$

$$R_{v_{dyn}}^* = \frac{e_v^2}{2 \cdot \epsilon_{Si} \cdot v_{dn}}$$

Formule classique du plateau de désaturation :

$$J_{DS} [A \cdot \text{cm}^{-2}] = \frac{C_0^* [AV^{-2} \cdot \text{cm}^{-2}]}{2} \cdot (U_{GS} - U_{TH} [V])^2$$

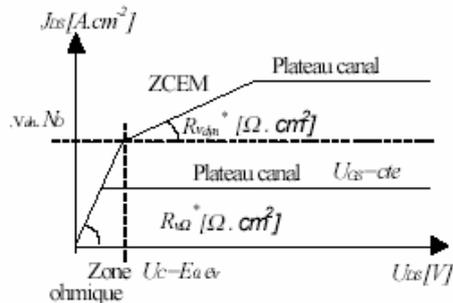


Figure 10 : Réseau statique : modèle à 3 segments.

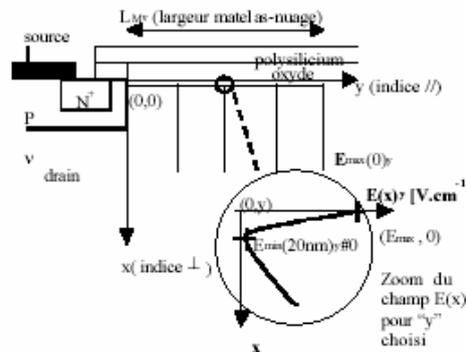


Figure 11 : Coupe symbolique « au droit du matelas-nuage ».

4.2 Modèle du matelas-nuage

4.2.1 Hypothèses

A – Entre le matelas ($//$) et le début des tubes (\perp): $E_{mat} = 0$.

B – Selon Oy, pour les tubes de courant : $J[A.cm^{-2}] = cste$.

C – 2 domaines: matelas ($0 < y < \infty$, $0 < x < 20$ nm) et Zone de Charge d'Espace ($0 < y < \infty$, 20 nm $< x < 2$ μ m).

D – Différents modes possibles de transport du courant électronique :

- 2 vitesses ($v = \mu_n E$ ou $v = 10^7 cm.s^{-1} \forall E$);
- 3 densités [cm^{-3}]: $n < N_D$ (ZCE Déserte); $n = N_D$ (ohmique neutre); $n > N_D$ (ZCE Mobile);

soit 6 combinaisons entre v et n ou, pour 6 dans chacune des directions $//$ et \perp , un total de 36 configurations.

E – Indépendance des comportements des zones $//$ et \perp .

F – Régime stationnaire, c'est-à-dire $(n, v) = cste$.

G – On adopte les notations : $n^*[cm^{-2}]$ et $I^*[A.cm^{-1}]$ ainsi que $n[cm^{-3}]$ et $J[A.cm^{-2}]$. Pour l'interface Si/SiO₂, on note indice Si le côté silicium et Ox l'autre, dans l'oxyde.

H – on suppose le transport ohmique tant dans le matelas que dans les tubes limités à une longueur de 2 μ m selon l'hypothèse « C » : $J_{\perp} = q \cdot n_{\perp} \cdot \mu_n \cdot E_{\perp}$ et

$$I_{//}^* = q \cdot n_{//}^* \cdot \mu_{ns} \cdot E_{//s}.$$

4.2.2 Mise en équations

De la loi d'Ohm dans le matelas et des hypothèses G et H découle :

$$I_{//MATL}^*(y) = \mu_{ns} \cdot q \cdot n_{//MATL}^*(y) \cdot E_{//MATL}(y) \quad (1)$$

- La conservation des débits de charges entre les flux $//$ et \perp (hypothèse F) s'écrit :

$$dI_{//MATL}^*(y) = J_{\perp}(y) \cdot dy.$$

L'hypothèse B donne : $J_{\perp}(y) = cste \forall y = \frac{I_{DS}^*}{L_{MV}}$. En intégrant et en tenant compte des conditions aux limites on obtient :

$$I_{//MATL}^*(y) = I_{DS}^* \cdot \left(1 - \frac{y}{L_{MV}}\right) \quad (2)$$

- Ensuite, successivement, on peut écrire :

$$\text{champ/tension : } E_{//MATL}(y) = \frac{-dU_{//MATL}(y)}{dy} \quad (3)$$

charges / tension :

$$(i) U_{GS}^* = U_{GS} - U_{TH}$$

$$(ii) C_{Ox}^* = \frac{\epsilon_{Ox}}{e_{Ox}}$$

$$(iii) U_{GS}^* - U_{//MATL}(y) = e_{Ox} \cdot E_{LOx}(0, y)$$

$$(iv) \epsilon_{Si} \cdot E_{SMATL}(y) = e_{Ox} \cdot E_{LOx}(0, y)$$

$$(v) \epsilon_{Si} \cdot E_{LSMATL}(y) \approx q \cdot n_{//MATL}^*(y)$$

Tout ceci conduit à :

$$E_{LSMATL}(0) = C_{Ox}^* \cdot \frac{U_{GS}^*}{\epsilon_{Si}} \quad (4)$$

$$q \cdot n_{//MATL}^*(y) = C_{Ox}^* \cdot \left[U_{GS}^* - U_{//MATL}(y) \right] \quad (5)$$

4.2.3 Résolution

Les données d'entrée sont ici : I_{DS}^* , U_{GS}^* et U_{DS} ; les inconnues sont, quant à elles, $I_{//MATL}(y)$, $n_{//MATL}(y)$, $E_{//MATL}(y)$, et $U_{//MATL}(y)$, ainsi que L_{MV} .

Pour le courant, l'équation (2) ne peut être plus claire.

En introduisant les équations (2), (3) et (5) dans (1), on obtient :

$$I_{DS}^* \cdot L_{MV} \cdot \left(1 - \frac{y}{L_{MV}}\right) \cdot dy = L_{MV} \cdot \mu_{ns} \cdot C_{Ox}^* \cdot U_{GS}^{*2} \cdot \left[1 - \frac{U_{//MATL}(y)}{U_{GS}^*}\right] \cdot \frac{dU_{//MATL}(y)}{U_{GS}^*} \quad (6)$$

et aussi :

$$U_{//MATL}(L_{MV}) = U_{GS}^* \quad (7 a)$$

$$\frac{U_{//MATL}(y)}{U_{GS}^*} = \frac{y}{L_{MV}} \quad (7 b)$$

On en déduit avec l'équation (3) :

$$E_{//MATL}(y) = \frac{U_{GS}^*}{L_{MV}} = E_{//s} \forall y \quad (8)$$

On accède ainsi à la valeur de la longueur du matelas :

$$L_{MV} = \mu_{ns} \cdot C_{Ox}^* \cdot \frac{U_{GS}^{*2}}{I_{DS}^*} \quad (9)$$

et avec (4) et (7 b) aux résultats sur les porteurs de charges :

$$n_{//MATL}^*(y) = C_{Ox}^* \cdot \frac{U_{GS}^*}{q} \cdot \left(1 - \frac{y}{L_{MV}}\right) \quad (10 a)$$

$$n_{//MATL}^*(0) = C_{Ox}^* \cdot \frac{U_{GS}^*}{q} \quad (10 b)$$

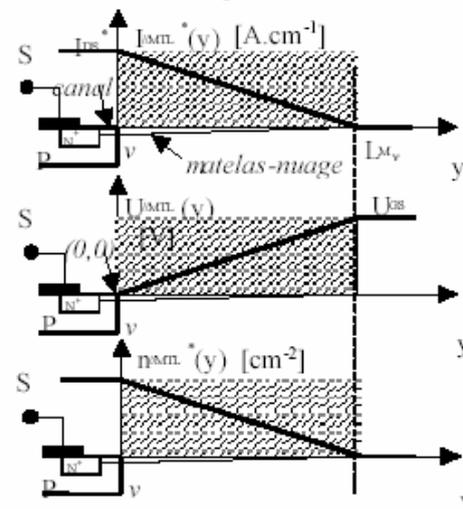


Figure 12 : Courant, tension et charge le long du canal-matelas – attention à l'origine (0,0) : le premier 0 est celui de y sur les 3 figurines; le second 0 est relatif successivement à I , U , n .

4.2.4 Comparaison expérience/modèle

On effectue tout d'abord un premier calcul afin de tester les ordres de grandeur. On se place donc dans une situation raisonnable où :

U_{DS} (V)	20			400		
U_{GS} (V)	5	15	25	5	15	25
I_{DS} (A.cm ⁻²)	0,1	0,3	0,3	0,1	1,2	1,7
L_{Mv} (µm)	40	86	307	5	60	111
$n_{//SMTL}(0)$ (cm ⁻²) simul	5,8	6	18	1,3	16	18
L_{Mv} (µm) modèle	30	90	530	30	50	100
$n_{//SMTL}(0)$ (cm ⁻²) modèle	6	7	48	6	27	48

Figure 13 : Caractéristiques du matelas. Tableau comparatif expérience / modèle.

$U_{GS}^* = 15 V$; $I_{GS}^* = 1 A.cm^{-1}$; $e_{Ox} = 0,1 \mu m$;
 $\mu_{nS} = 1000 cm^2.V^{-1}.s^{-1}$.

On ajoute une série de données numériques :
 $q = 1,6 \cdot 10^{19} C$; $\epsilon_{Ox} = 0,33 \cdot 10^{-12} F.cm^{-1}$; $\epsilon_{Si} = 10^{-12} F.cm^{-1}$.

Avec (9), (8), (4) et (10) on obtient alors :

$L_{Mv} = 75 \mu m$; $n_{//SMTL}(0) = 3 \cdot 10^{12} cm^{-2}$;
 $E_{//S} = 2 kV.cm^{-1}$; $E_{\perp SMTL}(0) = 500 kV.cm^{-1}$

Les quatre valeurs obtenues semblent plausibles, on généralise un peu plus en confrontant le modèle précédent à des résultats de simulation. Le tableau de la fig. 13 résume les résultats obtenus :

La structure étudiée correspond à la cellule MOS de 30µm et d'espace inter-cellulaire 650 µm déjà vu § 2.2. Les simulations ont été effectuées pour deux tensions U_{DS} et trois tensions de commande U_{GS} . Pour les calculs, la tension de seuil a été choisie : $U_{TH} = 2V$.

A l'issue de ces calculs, on obtient d'assez bons résultats, dans la mesure où les ordres de grandeur sont respectés. Néanmoins, on constate 2 cas d'écarts significatifs :

- $L_{Mv} = 307\mu m$ simulation contre $530\mu m$ modèle = insuffisance des 325 (=650/2) du demi-espace inter-cellulaire offert à la simulation.
- $L_{Mv} = 5\mu m$ simulation contre $30\mu m$ modèle = pincement complet du canal = suppression du matelas.

Ceci montre deux imperfections du modèle. Il ne prend en compte :

- ni l'influence de la tension U_{DS} ,
- ni la variation de la mobilité $\mu_{nS} = f(n^*)$ en fonctions des concentrations.

(avec $\mu_{nS} = 250 cm^2.V^{-1}.s^{-1}$, on obtient $L_{Mv} \text{modèle} = 7,5\mu m$ au lieu de $30\mu m$ actuellement).

Pour les densités de porteurs, les ordres de grandeur sont corrects, mais on a en général des valeurs modèles supérieures aux valeurs expériences. L'hypothèse $U_{//MTL}(0) = 0 V$ s'avère trop optimiste.

5 INFLUENCE DE L'ÉPAISSEUR D'OXYDE SUR LE COMPORTEMENT DU MATELAS-NUAGE

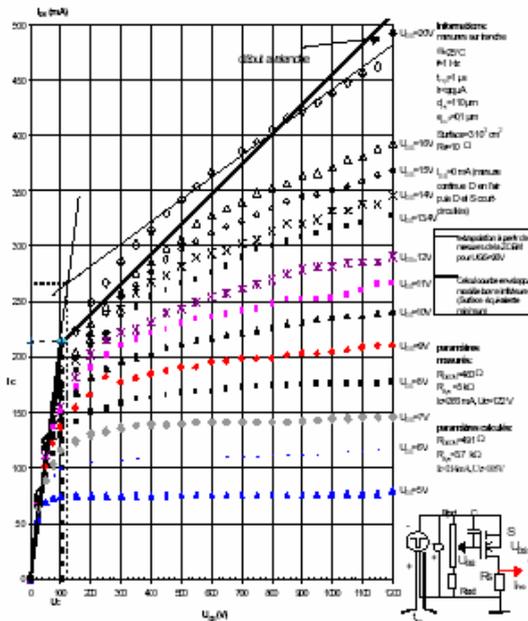


Figure 14 : Réseau IDS=f(UGS) direct passant, motif 8 ($e_{oxv} = 0,1 \mu m$) à 16 cellules (30-110).

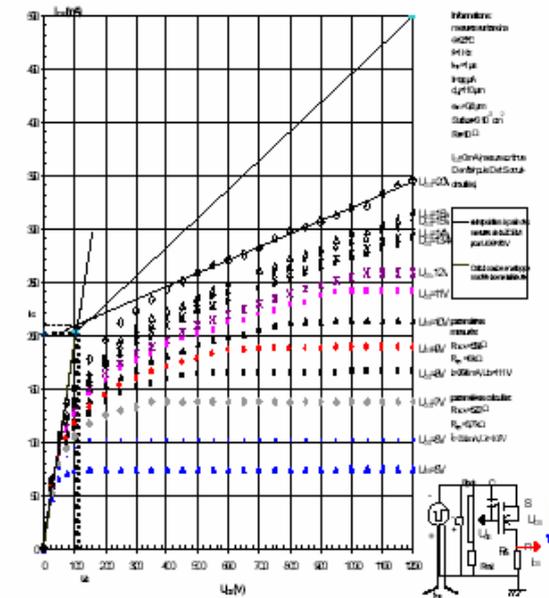


Figure 15 : Réseau IDS=f(UGS) direct passant, motif 7 ($e_{oxv} = 0,8 \mu m$) à 16 cellules (30-110).

Les fig. 14 et 15 confrontent, à travers leurs réseaux $I_{DS} = f(U_{GS}, U_{DS})$, les comportements de 2 configurations déjà présentées en tête de §2. Il s'agit encore d'une micro-

matrice de $4 \times 4 = 16$ cellules carrées de côté $30 \mu\text{m}$. Le profil de concentration est toujours le même puisque issu de composants regroupés sur la même tranche. Décrit par ailleurs réf [5] et [7], on rappelle que pour l'essentiel :

- $W_V = 150 \mu\text{m}$
- $\rho_V = 100 \Omega \cdot \text{cm}$

soit $N_V = 4,4 \cdot 10^{13} \text{ cm}^{-3}$ et donc une densité de courant critique : $J_c = N_V \cdot q \cdot v_d \approx 70 \text{ A} \cdot \text{cm}^{-2}$.

Le courant critique I_c ainsi que la résistance dynamique sont déduits de la surface optimisée c'est à dire en supposant un épanouissement du courant à 45° et en prenant en compte l'influence :

- des cellules voisines
- du bord du pavé.

On minimise volontairement cette surface afin d'avoir une limite inférieure de la courbe enveloppe. En outre elle est prise constante quelles que soient les variations d'épaisseurs d'oxyde pour obtenir un point de repère sur cette courbe enveloppe.

On calcule ainsi $S_{\text{min}} = 3 \cdot 10^3 \text{ cm}^2$.

Entre les fig. 2 et 3, n'apparaissait de différence qu'entre les écartements cellulaires L_{M_V} . En clair :

- fig. 2 $L_{M_V} = 110 \mu\text{m}$ ($e_{OX_P} = e_{OX_V} = 0,1 \mu\text{m}$)
- fig. 3 $L_{M_V} = 30 \mu\text{m}$ ($e_{OX_P} = e_{OX_V} = 0,1 \mu\text{m}$)

Ici on aura :

- fig. 14 $L_{M_V} = 110 \mu\text{m}$ ($e_{OX_P} = e_{OX_V} = 0,1 \mu\text{m}$)
- fig. 15 $L_{M_V} = 110 \mu\text{m}$ ($e_{OX_P} = 0,1 \mu\text{m}$
 $e_{OX_V} = 0,8 \mu\text{m}$)

Les tendances sont les mêmes. La configuration de base $30-100$ et $0,1 \mu\text{m}$ d'oxyde partout ($e_{OX_P} = e_{OX_V} = 0,1 \mu\text{m}$) est la meilleure.

Par contre « resserrer le matelas » en passant de $L_{M_V} = 100 \mu\text{m}$ à $L_{M_V} = 30 \mu\text{m}$ (fig.2 à fig.3) ou « l'amincir » avec $e_{OX_V} = 0,1 \mu\text{m}$ devenant $e_{OX_V} = 0,8 \mu\text{m}$ (fig.14 à fig.15 revient qualitativement au même.

Une sorte de « Rmatelas » $\propto (S^{-1} \cdot n_{VS} \cdot s^{-1})$ avec S (cm^2) et n_{VS} (cm^{-2}) pourrait être proposable. Dans cette hypothèse, elle augmente :

- Si $S \downarrow$ par \downarrow de L_{M_V} quand les cellules se rapprochent (fig.3 par rapport à fig.14).
- Ou si $n_{VS} \downarrow$ via $E_V \perp \downarrow$ lorsque $e_{OX_V} \uparrow$ (fig. 15 par rapport à fig. 14).

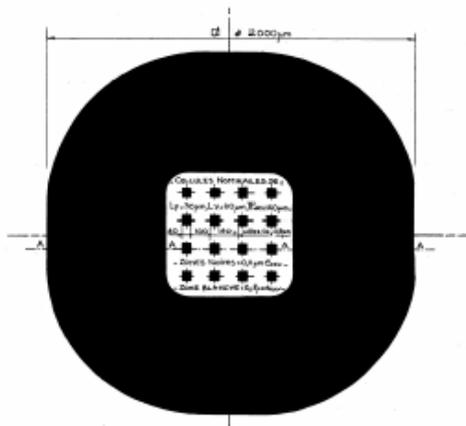


Figure 16 : Ouverture Zone Utile (OZUT) pour $e_{OX_V} = 0,8 \mu\text{m}$.

On peut ainsi noter sur les fig. 14 et 15 que pour une même tension U_{GS} , la valeur mesurée $R_{dyn}(e_{OX_V} = 0,8 \mu\text{m}) = 8 \text{ k}\Omega > R_{dyn}(e_{OX_V} = 0,1 \mu\text{m}) = 5 \text{ k}\Omega$.

Point important : dans tous les cas, le canal, y compris son oxyde, reste le même, c'est à dire $e_{OX_P} = 0,1 \mu\text{m}$.

Pour les fig.16 et 17 il aura fallu néanmoins ménager des retraits de centrage amenant une très faible région ($\approx 5 \mu\text{m}$ par rapport $110 \mu\text{m}$) à $e_{OX_V} = 0,1 \mu\text{m}$ pour le cas « officiel » $e_{OX_V} = 0,8 \mu\text{m}$.

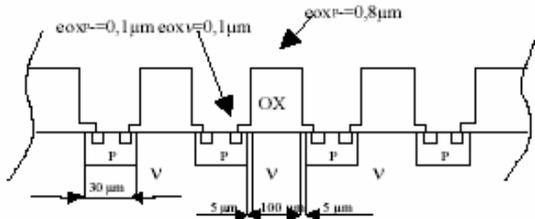


Figure 17 : coupe AA (symbolique. Voir fig.16).

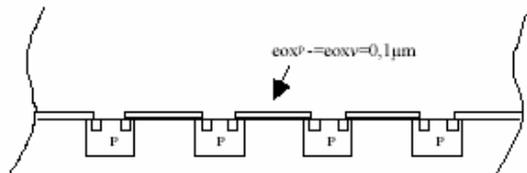


Figure 18 : même coupe que fig.17 mais dans le cas où $e_{OX_P} = e_{OX_V} = 0,1 \mu\text{m}$.

La représentation de la fig. 19 est dans un système d'axe particulier, explicité par la légende. Il permet d'abord

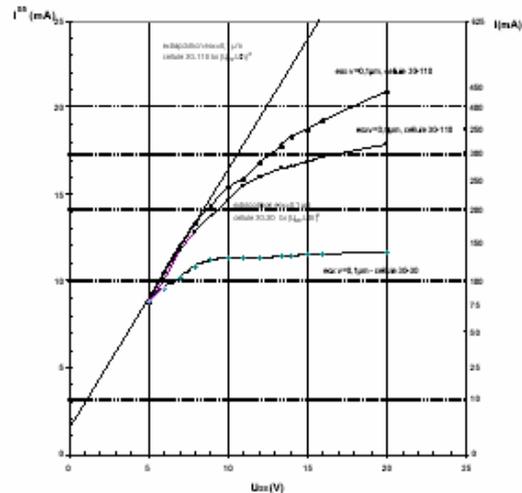


Figure 19 : Réseau $I_{DS} = f(U_{GS})$ direct passant MOS masque 13 motif 7, à 16 cellules - $U_{DS} = 1000 \text{ V}$.

d'apprécier, pour $U_{GS} = 15 \text{ V}$ par exemple, qu'en extrapolant une loi MOS en $(U_{GS} - U_{th})^2$, on devrait avoir

#580mA pour 350 mA ou 280 mA selon e_{ox} . Soit # 2 fois plus sans ZCEM.

Par ailleurs cette représentation confirme l'effet de saturation observé pour $e_{ox}=0,8\mu m$ puisque l'on tend vers une asymptote $I_{DSmax}=cte$.

Une troisième courbe, correspondant aux 16 cellules 30-30 de fig. 4 est tracée fig. 19. Les valeurs affichées sont en accord avec celles disponibles – mais non reportées – avec celles disponibles de fig .3. Il est clair que le rapprochement des cellules est très pénalisant vis à vis de I_{DS} . Toujours pour $U_{GS}=15 V$, on a # 140 mA contre 580 mA escomptables. On constate aussi, passé 8 à 10 V, une perte complète de la commande par U_{GS} (désaturation).

On notera aussi pour terminer ce §, que le modèle à TECJ vertical parasite ne devrait pas être sensible à e_{ox} (étant entendu que e_{ox} reste invariant). Cette fois l'expérimentation sur composant réel suffit pour instruire le dossier même si une simulation sur ordinateur reste bienvenue (non faite ici pour e_{ox} variable)

6 CONCLUSIONS

- Le modèle fournit des ordres de grandeurs raisonnablement comparables à l'expérience par simulation - seule pour l'instant à être capable de donner des résultats de l'intérieur du silicium -
- Le matelas-nuage est de un à deux ordres de grandeur plus long que le canal (normal) d'inversion
- A la limite cellule/espace inter-cellulaire, il y a cohabitation des champs électriques E_y et E_x dans un rapport 250. Ces énormes contraintes fortement dissymétriques ne peuvent pas être sans influence sur les mobilités, diffusions et autres vitesses limites gouvernant les transports de porteurs de charges.
- Il faut encore améliorer le modèle. Notamment:
 - prendre en compte l'influence de la tension U_{DS} ;
 - mettre en place des mobilités de porteurs plus justes ;
 - se pencher sur le problème des champs électriques au voisinage de la limite cellule/espace inter-cellulaire ;
 - trouver une explication justifiant l'hypothèse - assez conforme cependant à l'expérience - d'équirépartition des tubes de courant.
 - bâtir un schéma 2D simple sachant mettre en série des ZCEM de $R_{dyn} (\Omega) = e_v^{-2} (2 \cdot \epsilon_{si} \cdot v_{dn} \cdot S)^{-1}$ d'épaisseurs e et de section S différentes, c'est à dire hors loi d'Ohm.
 - En tant que perspectives, on peut songer à exploiter la ZCEM à partir d'une structure plus simple qu'un transistor MOS de puissance. Exemples d'application : protection, limiteur ou source de courant.

7 REMERCIEMENTS

Les auteurs remercient le journal ECRIN et la DGA pour avoir permis de reproduire des résultats issus de l'article intitulé « commutateur haute tension haute fréquence à base de transistors MOS de 2000V » de décembre 1997.

Ne seront pas oubliés le CEGELY – INSA de Lyon (en particulier Franck Nallet) et aussi pas mal de personnalités suffisamment intéressées par le sujet pour avoir eu la gentillesse d'en discuter, souvent longuement. Parmi elles, Elizabeth RULLIERE, et Laurent AUBARD tout deux du LEG, et bien entendu Stéphane LEFEBVRE, du LESIR – le co-équipier de la première heure, pour l'un d'entre nous du moins.

Enfin une pensée « émue » pour Nathalie GAY (LPDSO devenu TECSN aujourd'hui) et Mohamad ELCHEIK (CEGEMA), tous deux de la Faculté des Sciences et Techniques de St Jérôme à MARSEILLE. Ils participèrent activement, en mars 96, aux relevés (sur tranche, avec les moyens du moment), des réseaux pseudo-désaturés des premiers MOS haute tension IBS. Rétrospectivement un grand merci pour leur aide désintéressée.

8 REFERENCES

- [1] Journal ECRIN, la lettre électronique de puissance, pp.11-14, No.4. Décembre 1997
- [2] E. CAQUOT, G. GUEGAN, M. GAMBOA, H. TRANUDUC et P. ROSSEL, Phénomène de « quasi-saturation » dans les transistors MOS, Revue Phys. Appl. N°15, pp.1445-1450, Sept. 1980
- [3] TMA (Technology Modeling Associates, Inc.) MEDICI : Two dimensional semiconductor device simulation, Version 2.2, Vol.1, Vol.2, 1996
- [4] J.ARNOULD, P. MERLE, Dispositifs de l'électronique de puissance, Vol.1, Vol.2, Ed. HERMES, 1992
- [5] F. NALLET, J. ARNOULD, D. PLANSON, L. ROUX, J.P. CHANTE, Zone de Charge d'Espace Mobile dans un transistor VDMOS haute tension 2000V, EPF'98 – Belfort, pp.47-52, 1998
- [6] A. BLIEK, J. GUERIN, M.K. EL CHEIKH et M. THOLOMIER, le transistor VDMOS en régime de quasi-saturation : étude analytique et modélisation, J. Phys. III France 7, pp.1851-1868, 1997
- [7] Commutateur à base de transistor MOS de puissance. Rapport final contrat 96/420 DGA -TH.CSF RCM – IBS.

COMPOSANT NvN POUR L'ETUDE DE LA ZCEM (ZONE DE CHARGE D'ESPACE MIXTE) DES TRANSISTORS MOS

Guillaume VERNEAU, Laurent AUBARD
Laboratoire d'Electrotechnique de Grenoble, UMR 5529 INPG/UJF - CNRS
BP 46
38402 ST-MARTIN D'HERES CEDEX - France

Thierry BOUCHET, Jacques ARNOULD
Ion Beam Services
Avenue Gaston Imbert Prolongée
13790 ZONE PEYNIER-ROUSSET - France

Pierre BROSELARD, Franck NALLET, Dominique PLANSON
Centre de Génie Electrique de Lyon, UMR5005 CNRS
20, Avenue Albert Einstein
69621 VILLEURBANNE CEDEX - France

Résumé : L'étude du composant NvN, censé représenter la zone intercellulaire, explique le phénomène de retournement observé en ZCEM sur des MOSFETs de puissance verticaux. Il trouve son origine dans l'ionisation par impact, au niveau de l'accumulation d'électrons sous la grille. Il est ainsi possible d'affiner la définition de l'Aire de Sécurité (SOA) de fonctionnement du composant, en fournissant la limite du point de retournement. Ceci ouvre la voie à la possibilité d'une optimisation de la distance intercellulaire au niveau des motifs élémentaires.

I. INTRODUCTION

Dans le cadre d'un contrat DGA, les sociétés IBS et THALES-SA ont été amenées à développer un composant de type transistor MOS de puissance haute tension (>2kV), destiné à améliorer le compromis entre haute tension et capacités internes parasites.

Après réalisation, l'étude et l'analyse d'essais ont montré un comportement inhabituel, traduisant une saturation du courant drain I_{DS} vis-à-vis de la tension de commande V_{GS} (Fig.1), et confirmé par des résultats de simulation avec des logiciels type éléments finis (ATLAS / MEDICI).

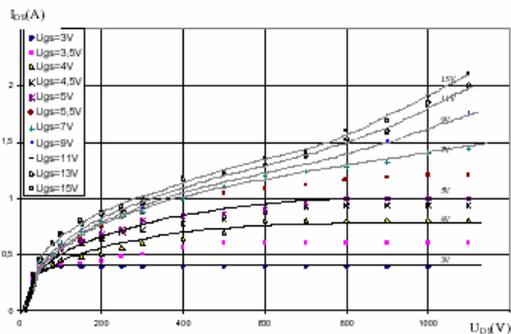


Figure 1 : Effets de saturation et d'inflexion montante sur un réseau statique expérimental $I_{DS}=f(V_{DS}, @ V_{GS}=cte)$.

Les précédents travaux [1], [2] ont alors mis en défaut un modèle erroné (faisant intervenir un Transistor à Effet de Champ vertical parasite), remplacé par celui propre à la Zone de Charge d'Espace Mixte (ZCEM ou modèle à 3 segments, cf. Fig.2). Ensuite les mêmes études soulignèrent l'influence et l'importance de la zone intercellulaire, tant dans le comportement électrique du composant que dans sa conception, compte tenu des observations précédentes.

La présente analyse vise à approfondir notre compréhension du phénomène de Zone de Charge d'Espace Mixte dans les transistors MOS de puissance verticaux. A ce niveau, deux points sont à souligner :

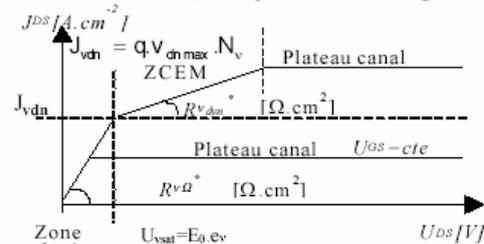


Figure 2 : Modèle ZCEM (ou modèle à 3 segments).

- la saturation (#quasi-indépendance) du courant drain I_{DS} vis-à-vis de la tension de commande V_{GS} ,
- l'inflexion "vers le haut" des courbes de courant à partir d'une certaine tension de drain, semblant traduire une avalanche dans le composant.

Ces deux phénomènes ont été observés tant sur des prototypes d'étude que sur des composants du commerce (APT, MOTOROLA), et confirmés par des simulations à l'aide de logiciels type éléments finis (SILVACO, ATLAS). Il ne s'agit donc pas d'une particularité inhérente aux prototypes étudiés. Si le premier point a déjà fait l'objet de recherches antérieures, le second n'a pas encore été abordé et n'est pas retranscrit par l'actuel modèle de source de courant du MOS de puissance.

2. STRUCTURE NvN

2.1. Origines de la structure

Rappelons tout d'abord l'importance de la zone intercellulaire du MOS dans le mécanisme de ZCEM, que ce soit au niveau des dimensions, du dopage ou de l'épaisseur d'oxyde au dessus de cette zone. Il est

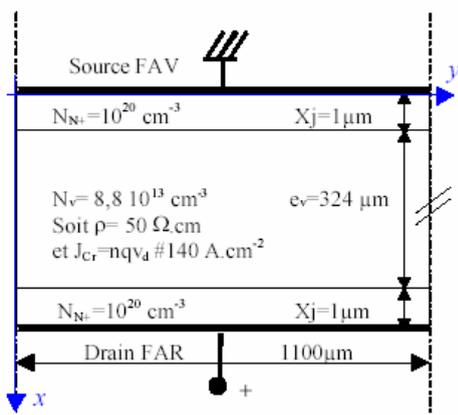


Figure 7 : Structure NvN pour la simulation 1D.

précédemment décrits sont repérés Fig.8 par des points :

- 1 : zone ohmique ;
- 2&3 : zone de résistance dynamique, ou ZCEM ;
- 4 : point d'inflexion ;
- 5 : point de retournement ;
- 6&7 : zone de résistance négative.

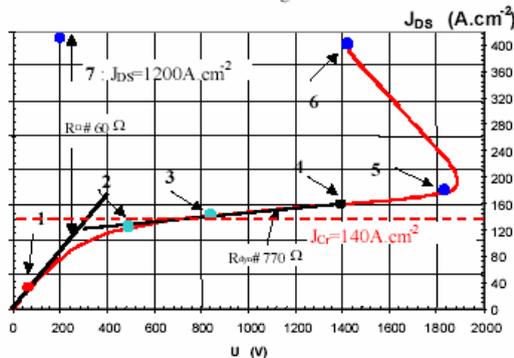


Figure 8 : Caractéristique $J_{DS}=f(U_{DS})$ pour la structure NvN 1D ($V_D=500V$).

Les points 4 à 7 n'existent que si au moins l'un des deux coefficients d'ionisation est pris en compte. Le point d'inflexion 4, vérifié mathématiquement, est représentatif du début d'ionisation. Les points suivants montrent un emballement dû à l'ionisation, suffisante à partir du point 5 pour provoquer un retournement de la caractéristique $I_{DS}=f(U_{DS})$, synonyme de résistance négative ($R<0$). D'un point de vue pratique, ce retournement signifie la fin prochaine du composant, par striction filamentaire fusionnante et dévastatrice. Seule l'ionisation semble permettre de justifier ce retournement. Cette hypothèse pouvait être rejetée au vu des faibles champs; mais il ne faut pas oublier qu'étant en ZCEM, il y a alors beaucoup d'électrons imposés par le courant existant.

Afin de préparer une modélisation, nous avons étudié l'évolution du champ électrique E_x à la verticale (axe x de Fig.7) de la structure, ainsi que les différentes concentrations (électrons, trous, et somme algébrique des

porteurs) des 7 points indiqués sur la Fig.8 et répertoriés dans le tableau suivant :

Tableau 1 : Points d'étude de la Fig.8.

Point	1	2	3	4	5	6	7
$J_{DS}(A.cm^{-2})$	20	120	140	160	180	400	1200
$U_{DS}(V)$	50	500	850	1400	1850	1410	200

Les figures suivantes (Fig.9 à 12) présentent les résultats de simulation 1D.

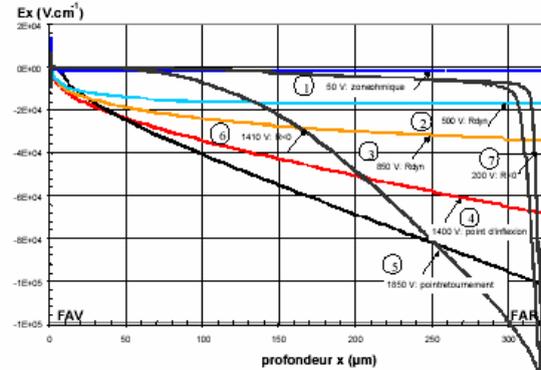


Figure 9 : Champ électrique dans la structure complète.

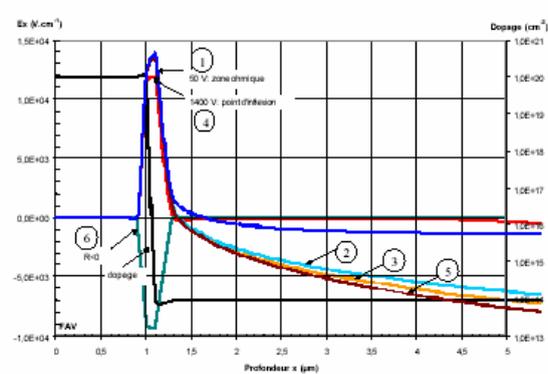


Figure 10 : Détail du champ électrique en Face Avant.

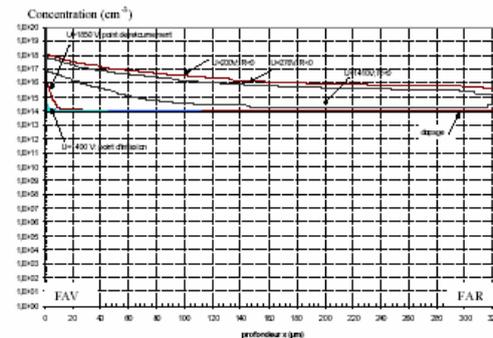


Figure 11 : Concentrations d'électrons dans la structure complète.

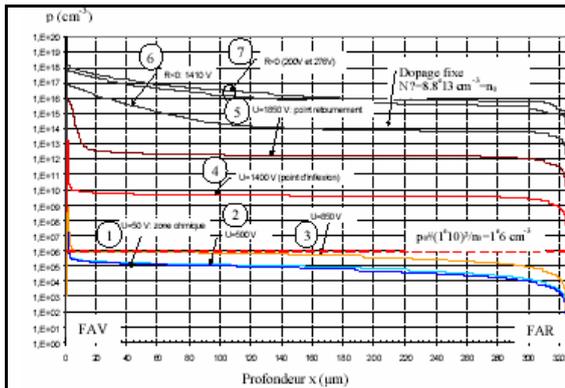


Figure 12 : Densité de trous dans la structure complète.

Les Fig.9 et 10 montrent un retournement du champ E_x . Le champ devient maximal en face arrière, dès le régime dynamique (points 2 à 7). La Fig.10 révèle un passage à 0 du champ E_x en face avant, au niveau de la jonction N+/v. Les Fig.11 à 13 mettent en évidence qu'à partir du régime de ZCEM, la densité d'électrons vérifie la relation: $n(x) > N_D$, ou sous une autre forme: $N_D - n(x) + p(x) \neq 0$. La Fig.12 montre aussi qu'à partir du point d'inflexion, la densité de trous augmente de façon importante (10^5 trous. $cm^{-3} < p(x) < 10^6$ trous. cm^{-3} pour $U_{DS} < 800V$, et 10000 fois plus pour $U_{DS} = 1400V$). Le point d'inflexion semble bien traduire le début de l'ionisation, avec génération de paires électron/trou conduisant au delà du point de retournement à l'avalanche.

3.2. Simulations 2D

La structure simulée en 2D est présentée Fig.13. Son comportement électrique (Fig.14) quant à la caractéristique $I_{DS} = f(U_{DS})$ est analogue à celui obtenu en simulation 1D et de manière expérimentale. Il faut toutefois constater une amélioration de la tenue en tension (point de retournement à 2450V au lieu de 1850V) pour une tenue en courant moindre (2,8A contre 7A en 1D). L'épanouissement des lignes de courant au sein de la structure 2D impose des densités de courant variables, donc des résistances différentes.

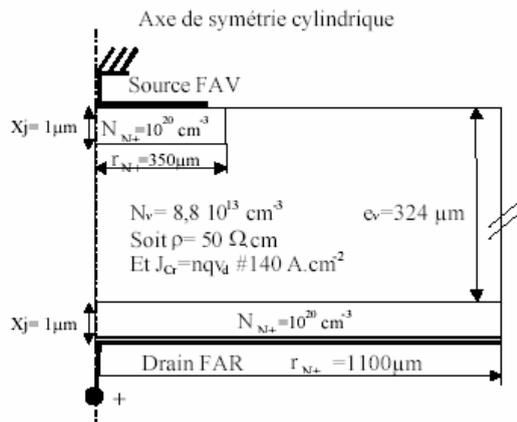


Figure 13 : Structure NvN pour la simulation 2D.

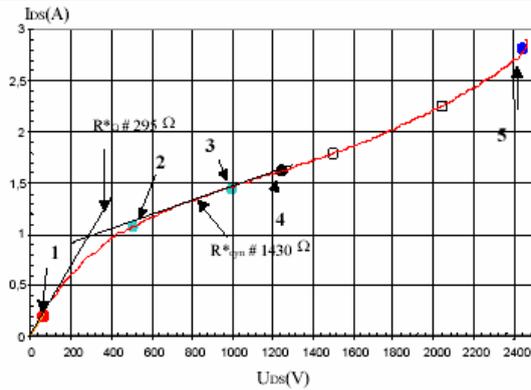


Figure 14 : Caractéristique $I_{DS} = f(U_{DS})$ pour la structure NvN 2D.

Tableau 2 : Points d'étude de la Fig.14.

Point	1	2	3	4	5
I_{DS} (A)	0.2	1.1	1.5	1.6	2.8
U_{DS} (V)	50	500	1000	1260	2450

De manière analogue aux simulations 1D, l'étude du champ électrique (Fig.15) et celle de la densité de courant dans la structure (Fig.16) ont été réalisées.

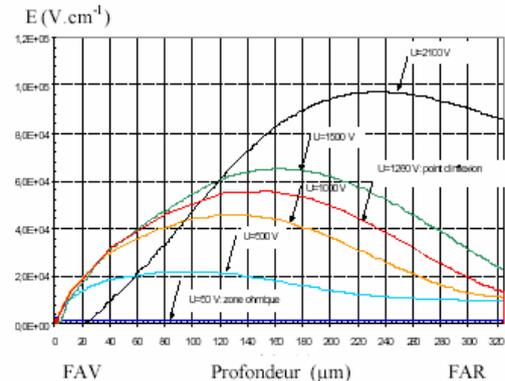


Figure 15 : Module du champ électrique dans la structure NvN 2D.

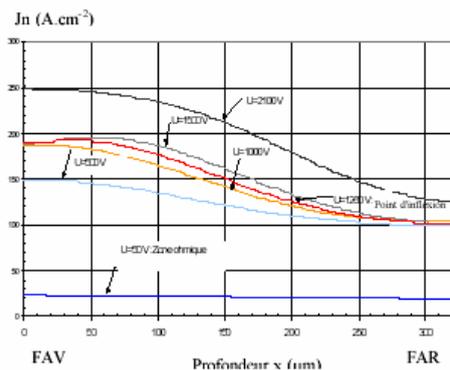


Figure 16 : Densité de courant d'électrons J_n dans la structure 2D.

Le champ maximal dans la structure 2D (Fig.15) est identique à celui relevé pour le dispositif 1D ($\approx 10^5 \text{ V.cm}^{-1}$). Par contre, ce maximum de champ atypique n'est plus en face arrière du composant, mais se déplace de la face avant vers la face arrière (Fig.9) lorsque la tension U_{DS} augmente. De plus, la densité de courant d'électrons n'est plus constante. Il y a donc compétition entre densité de courant et champ électrique maximal à l'intérieur de la structure.

La comparaison entre les simulations 1D et 2D permet de déduire quelques influences qualitatives de certains paramètres de la structure NvN :

- amélioration de la tenue en tension avec l'augmentation de l'épaisseur de la zone v (point de retournement obtenu pour des valeurs plus élevées de U_{DS});
- indépendance de la résistance dynamique (notamment en 2D) vis-à-vis de l'épaisseur e_v à partir d'une certaine valeur;
- augmentation de la tenue en tension avec la réduction du rayon N^+ en face avant.

4. MODELISATION

Des réseaux expérimentaux $I_{DS}=f(U_{DS}, U_{GS})$ obtenus sur les composants MOS de puissance émergent 5 régions :

- 1 : zone ohmique ;
- 2 : ZCEM ;
- 3 : plateau de canal ;
- 4 : ionisation à faible champ ;
- 5 : ionisation à fort champ entraînant le retournement.

Les 3 premières zones mentionnées ont déjà fait l'objet de travaux de modélisation. Notre étude s'est donc portée sur les zones 4 et 5 (ionisation), avec épanouissement 2D.

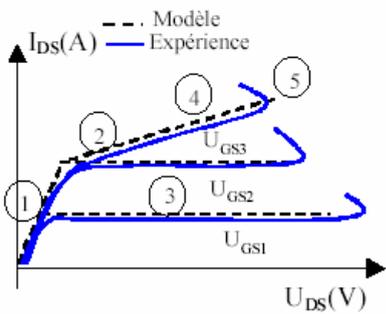


Figure 17 : Schéma des 5 zones pour la modélisation du MOS.

Ces structures ne possédant pas d'électrodes de commande sont indépendantes d'une éventuelle tension U_{GS} . La première étape est l'application du modèle ZCEM issu des précédentes études. Ayant ainsi défini les résistances de zone ohmique $R\Omega$ et de ZCEM $R_{v,dyn}$, nous avons ajouté l'effet de saturation de la vitesse des porteurs en présence d'un champ électrique longitudinal E_l intense [REF CAQ] :

$$(1) \quad \mu_n = \mu_{0n} / \sqrt{1 + (E_l/E_0)^2}$$

où $\mu_{0n} \approx 1420 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ correspond à la mobilité en champ faible. Ceci conduit à :

$$(2) \quad J_{DS} = \frac{\mu_{0n} \cdot J_0 \cdot U_v}{\sqrt{(v_{sat} \cdot e_v)^2 + (\mu_{0n} \cdot U_v)^2}} + \frac{U_v}{R_{dyn}^*}$$

où $U_v=U_{DS}$ à la chute de tension du canal près, et $J_0=N_D \cdot q \cdot v_d$, densité de courant critique.

Viennent ensuite les équations d'ionisation. Pour une structure NvN, supposant que seule l'ionisation par des électrons intervient pour générer des paires électron/trou, ceci conduit à :

$$(3) \quad \alpha_n = A \cdot E^\delta = 3 \cdot 10^{-35} \cdot E^7 \quad \text{et} \quad \alpha_p \approx 0$$

La simulation 1D vérifie effectivement qu'au point de retournement, les trous représentent 1% de la population des charges fixes du substrat.

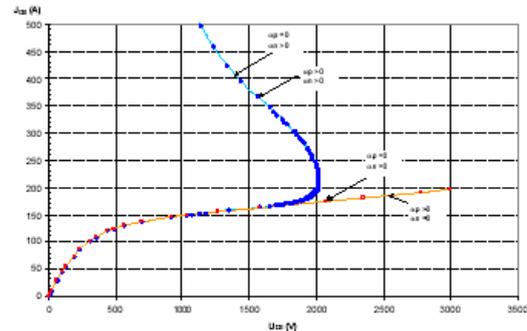


Figure 18 : Caractéristique $I_{DS}=f(U_{DS})$ pour différents coefficients d'ionisation α_p & α_n .

De plus, la Fig.18 montre que le coefficient d'ionisation des trous ne modifie pas la caractéristique $I_{DS}=f(U_{DS})$. Réciproquement, $\alpha_n \neq 0$ s'avère être une condition suffisante pour observer ionisation et retournement de la caractéristique. (NB: pour $\alpha_n=0$ et $\alpha_p \neq 0$, le retournement s'effectue pour une tension U_{DS} plus importante, voisine de 4000V).

Une seconde hypothèse est de considérer une ionisation effective sur une zone réduite à 10% de l'épaisseur e_v , avec un champ effectif E_{eff} , équivalent, constant, et égal au champ maximal E_M (Fig.19).

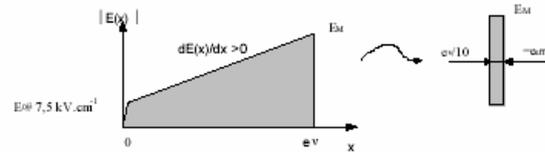


Figure 19 : Hypothèse simplificatrice de la zone d'ionisation.

Ces hypothèses conduisent alors à l'équation analytique :

$$(4) \quad J_{DS} = \frac{\mu_{0n} \cdot J_0 \cdot U_v}{\sqrt{(v_{sat} \cdot e_v)^2 + (\mu_{0n} \cdot U_v)^2}} + \frac{U_v}{R_{dyn}^*} - J_0 + n_0 \cdot (1 + e_{eff} \cdot A \cdot ((2 \cdot U_{DS} / e_v) - E_0)^7) \cdot q \cdot v_{sat}$$

Enfin, il faut passer de cette expression de la densité de courant J_{DS} à celle du courant I_{DS} avec son épanouissement, qui, pour commencer, peut être simplifié à 45°, avec une

section équivalente égale à la moyenne géométrique des 2 surfaces en regard (Fig. 20).

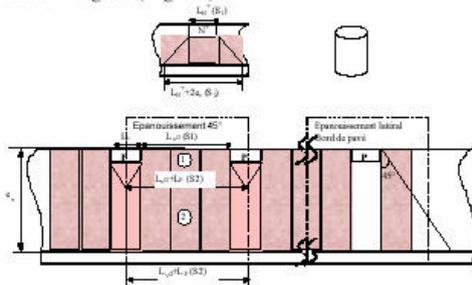


Figure 20 : Epanouissement dans la structure.

Par contre, un épanouissement plus réaliste avec un angle arbitraire α nécessite de redéfinir les résistances $R\Omega$ et R_{vdyn} , au moyen des résistances équivalentes de zone. De cette manière, la résistance totale d'une cellule est la somme de ces 2 résistances : $R_{Tc} = R_1 + R_2$, et la résistance totale du composant R_T correspond à la mise en parallèle de ces résistances R_{Tc} . Il est important à ce niveau de dissocier $R\Omega$ (fonction linéaire de l'épaisseur ev) de R_{vdyn} (variation avec le carré de ev). L'ensemble "modèle ZCEM+modèle de mobilité+ionisation+épanouissement" conduit aux résultats des Fig.21 pour la structure NvN et Fig.22 pour le MOS.

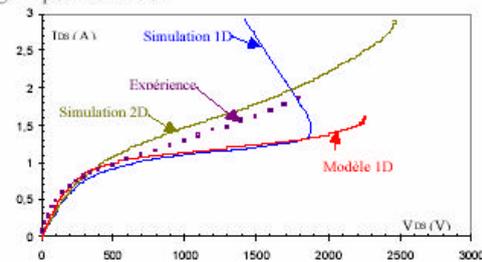


Figure 21 : Comparaisons simulations / modèle / expérience sur une structure NvN.

La Fig.21 montre un bon accord entre simulation 2D et mesures, et entre simulation 1D et modèle. Le décalage entre 2D et 1D résulte d'un choix de surface inadéquat dans le cas dynamique. La Fig.22 montre pour le MOS un bon accord entre la mesure et le modèle ; le décalage provient

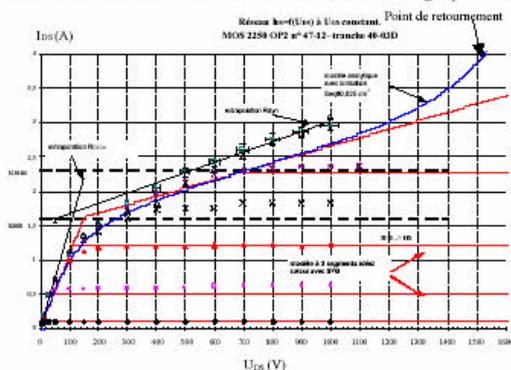


Figure 22 : Comparaison modèle / expérience sur une structure MOS.

d'une erreur d'estimation des surfaces mises en jeu (notamment au niveau des cellules périphériques).

5. CONCLUSION

Ce travail sur les structures NvN permet une meilleure compréhension de la ZCEM, en montrant l'importance de paramètres physiques tels que :

- l'effet de saturation de la vitesse des porteurs de charges n et p,
- l'ionisation par impact,
- la distance inter-cellulaire,
- et l'épanouissement vertical du courant à travers le composant MOS vertical de puissance.

De plus, cette étude se révèle intéressante dans la mesure où elle a permis de comprendre et d'isoler le retournement ($R < 0$) de la caractéristique $I_{DS} = f(U_{DS}, U_{GS})$ pour des valeurs élevées de tensions U_{DS} . L'introduction des points de retournement et d'inflexion permet de définir de manière plus précise l'Aire de Sécurité (SOA) des transistors MOS (Fig.23), augmentant ainsi la fiabilité de mise en œuvre de ces derniers. D'autres développements existent dans la thèse de l'un d'entre nous [4]; elle constitue la charpente de la synthèse présentée ici.

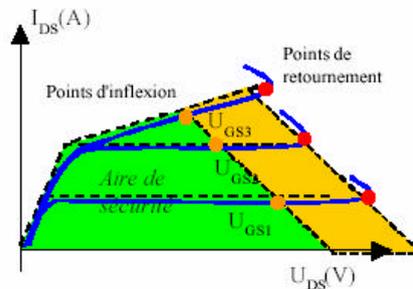


Figure 23 : Nouvelle Aire de Sécurité du composant.

6. REFERENCES

- [1] F. NALLET, J. ARNOULD, D. PLANSON, L. ROUX, J.P. CHANTE, Zone de Charge d'Espace Mobile dans un transistor VDMOS haute tension 2000V, EPF'98 – Belfort, pp.47-52, 1998.
- [2] T. BOUCHET, G. VERNEAU, F. TORREGROSA, J. ARNOULD, Striction unicellulaire dans les MOS Haute Tension. Modèle ZCEM en remplacement de celui du TEC à jonction parasite vertical, EPF'00 - Lille, pp.83-91, 2000.
- [3] L. AUBARD, "Modélisation des transistors MOS de puissance pour l'électronique de commutation", thèse de doctorat INPG, 1999.
- [4] T. BOUCHET, "Zone de Charge d'Espace Mixte (ZCEM) dans le drain des MOS haute tension", thèse de doctorat de l'Université des Sciences d'Aix-Marseille III, 2001.

Bibliographie

[AKHBARI] : M. Akhbari, «Modèle de cellule de commutation pour les études de pertes et performances CEM », thèse INPG, 2000.

[ARNOULD] : J. Arnould & P. Merle, « Dispositifs de l'électronique de puissance », volumes 1&2, traité des nouvelles technologies, 1992.

[ARNOULD-2] : J. Arnould, « Masque 13 », document interne IBS.

[AUBARD] : L. Aubard, « Modélisation des transistors MOS pour l'électronique de commutation », thèse INPG, 1999.

[AUBARD-2] : L. Aubard, G. Verneau, J.C. Crébier, Ch. Schaeffer, “ Power MOSFET swtiching waveforms :an empirical model based on a physical analysis of charge locations”, PESC'02, Cairns, 2002.

[BERGEON] :S. Bergeon, “Contribution à une méthodologie de dimensionnement des convertisseurs statiques”, Thèse de doctorat del'INPG, 1998.

[BEYDOUN] : B. Beydoun, «Simulation et conception de transistors MOS de puissance », thèse de 3^{ème} cycle, n°1780, Université Paul Sabatier, Toulouse, 1994.

[BOITTIAUX] : B. Boittiaux, «De l'atome au circuit intégré », cours en ligne de Polytech'Lille, <http://www.eudil.fr/eudil/bbsc/sc00a.htm>, 2000.

[BOUCHET] : T. Bouchet, «Zone de Charge d'Espace Mixte (ZCEM) dans le drain des MOS haute tension », thèse de doctorat de l'Université des Sciences d'Aix-Marseille III, 2001.

[BOUCHET-2] : T. Bouchet, G. Verneau, F. Torregrossa, J. Arnould, « Striction unicellulaire dans les MOS haute tension. Modèle ZCEM en remplacement de celui du TECà jonction parasite vertical», EPF'00 Lille, 2000.

[BUDIHardJO]: I. Budihardjo, P.O. Lauritzen, “the lumped-charge power MOSFET model including parameter extraction”, IEEE transactions vol. 10 n°3, pages : 379-387, 1995.

[CALDORA COSTA] : M. Caldora Costa, “Optimisation de dispositifs électromagnétiques dans un contexte d’analyse par la méthode des éléments finis”, Thèse INPG, 2001.

[COYAUD] : M. Coyaud, «Etude des échanges d’énergie dans mes semi-conducteurs de la cellule de commutation », rapport interne LEG, 2001.

[CHANTE] : J.-P. Chante et al., « les composants de puissance : état de l’art et évolutions », Revue Internationale de Génie Electrique, Vol.1 n°2, 1998, pp :225-255.

[DARTIGUES] : A. Dartigues, « Etude des interactions dans un circuit de puissance monolithique », thèse de doctorat de l’INPG, 2001.

[ENSERG] : “Travaux Pratiques de micro-électronique”, ENSERG 3ème année.

[EUPEC] : EUPEC, www.eupec.com

[FAIRCHILD] : Fairchild Semiconductors, K.S. Oh, « MOSFET Basics », AN9010, 2000.

[FARJAH] : E. Farjah, « Contribution aux caractéristiques électrique et thermique des transistors de puissance à grille isolée », thèse de doctorat de l’INPG, 1994.

[FIFRY] : w. Fifry, G. Ghibaud, H. Haddara, S. Cristoloveanu, M. Dutoit, “Method for extracting deep submicrometer MOSFET parameters”, Electronics Letters vol.31 n°9, 1995.

[GUPTA] : R.N. Gupta, H.R. Chang, “a 600V SiC trench JFET”, technical digest of international conference on SiC and related materials, ICSCRM’01, Tsukuba, 2001.

[HANCOCK] : J.M. Hancock, « A hierarchical cross-platform physics based MOSFET model for PSPICE and SABER », Siemens, 2001.

[HAZARD] : P. Hazard, “Conception et réalisation d’un composant de commande dispositif de puissance, utilisation d’une filière MOS-Bipolaire”, mémoire CNAM, 1988.

[HORST] : R. Horst, P.M. Pardalos, «handbook of global optimisation », Kluwer academic publishers.

[INFINEON] : Infineon Technologies, High Voltage MOSFETs, http://www.infineon.com/cgi/ecrm.dll/ecrm/scripts/prod_cat.jsp?oid=8176

[IR] : International Rectifier, <http://www.irf.com/product-info/hexfet/>

[IR-2] : International Rectifier, «Use gate charge to design the gate drive circuit for Power MOSFETs and IGBTs », application note IR.

[ISHIHARA] : T. Ishihara, S.I. Takagi, M. Kondo, “quantitative understanding of electron mobility limited by Coulomb scattering in metal oxide semiconductor effect transistors with N₂O and NO oxynitrides”, Jpn. J. Appl. Phys. Vol.40 (2001) pp:2597-2602, part.1, n°4B.

[JEANNIN] : P.O. Jeannin, « Le transistor MOSFET en commutation : application aux associations série et parallèle de composants à grille isolée », thèse INPG, 2001.

[JOURDAN] : L. Jourdan, « Stratégie de pré-dimensionnement de convertisseurs statiques : application à une alimentation 42V-14V réversible pour l’automobile », thèse INPG 2002.

[LEMBEYE] : Y. Lembeye, « Métrologie de la commutation de puissance rapide. Contribution à la caractérisation et à la recherche d’un modèle d’IGBT », thèse INPG, 1997.

[LETI] : LETI, composants passifs intégrés, <http://www-leti.cea.fr/LETI/FR/Pages/micro techno/mtech44.htm>

[LETURCQ] : Ph. Leturcq, «Composants semiconducteurs de puissance », les Techniques de l’Ingénieur, 1999.

[MARMOUGET] : M. Marmouget, « contribution au développement d'outils d'aide à la conception de dispositifs de puissance basés sur le mode d'intégration fonctionnelle », thèse de doctorat du LAAS, Toulouse, 2000.

[MATLAB] : <http://www.mathworks.fr/products/matlab/>

[MATHCAD] : <http://www.sigmaplus.fr/Produits/Mathsoft/Mathcad/mathcad.htm>

[MATHIEU] : H. Mathieu, « Physique des semiconducteurs et des composants électroniques », 5^{ème} édition, Dunod.

[MAXIM] : A. Maxim, D. Andreu, J. Boucher, “High performance power MOSFET SPICE macromodel”, Industrial Electronics, ISIE'97, Proceedings of the IEEE International Symposium on, Vol.2, pp:189-194, 1997.

[MERCIER] : B. Mercier, “Conception et réalisation d'un composant de commande dispositif de puissance, utilisation d'une filière DMOS”, mémoire CNAM, 1988.

[MERCIER-2] : B. Mercier, P. Hazard, « Masques – étude μ DMOS/IGBT 1300V, Récapitulatif », document interne, 1987.

[MOHAN] : N. Mohan, T.M. Underland, W.P. Robbins, “ Power Electronics – Converters, Applications and Design”, John Wiley & Sons, 1995 second edition.

[MONDAL] : K. Mondal, G. Pandey, T.P. Chow, “Design and fabrication of integrated DMOSFET/MPS rectifier”, CPES, 2002.

[MORENZA] : J.L. Morenza, D. Estève, “Entirely diffused vertical channel JFET : theory and experiment”, Solid State Electronics, 1978; vol.21, pp:739-746.

[NALLET] : F. Nallet, J. Arnould, D. Planson, L. Roux, J.P. Chante, « Zone de charge d'espace mobile dans un transistor VDMOS haute tension de 2000V », EPF'98, Belfort, 1998.

[NAPIERALSKA] : M. Napieralska, “modélisation du transistor VDMOS pour simulation de circuits en électronique de puissance”, thèse de doctorat de l’université Paul Sabatier, Toulouse 1991.

[NGO] : L.T. Ngo, « optimisation et réalisation d’une périphérie Planar haute tension à poche », thèse INPG, 1997.

[ONG] : C.K. Ong, P.O. Lauritzen, I. Budihardjo, “mathematical model for power MOSFET capacitances”, Power Electronics Specialists Conference, 1991, PESC’91 Record, 22nd annual IEEE, 1991, pages:423-429.

[POWEREX] : Powerex Inc. 200 Hillis Street Youngwood, PA 15697 724-925-7272, www.pwr.com.

[PHILIPS] : Philips, <http://www.semiconductors.philips.com/>

[ROUX] : C. Roux, « Etude et conception d’une commande rapprochée auto-alimentée », DEA INPG, 2001.

[SANCHEZ] : J.L. Sanchez, “Propriétés à l’état passant des transistors DMOS de puissance coplanaires et verticaux », Thèse de Docteur-Ingénieur, n°138, INSA , Toulouse, 1984.

[SCOFIELD] : J.H. Scofield et al., “correlation between preirradiation channel mobility and radiation-induced interface-trap charge in metal oxide semiconductor transistors”, Applied Physics Letter 58, 2782-4, 1991.

[SILARD] : A.P. Silard, M.J. Duta, “ Correct analytical model of the output characteristics of vertical power MOSFETs”, Industrial Applications Society Annual Meeting, 1992, Conference record of the 1992 IEEE, 1992, pages: 1120-1121, vol.1.

[SIMULINK] : <http://www.mathworks.fr/products/simulink/>

[ST] : STMicroelectronics, <http://eu.st.com/stonline/index.shtml>

[ST-2] : STMicroelectronics, «Understanding LDMOS devices fundamentals», J. Pritikutch, B. Hanson, ST application note.

[ST-3] : STMicroelectronics, “ Power Transistors – Devices and Datasheets”, V. Sukumar, ST application note AN656/0295.

[ST-4] : STMicroelectronics, “Power MOS in switching: an evaluation method and a practical example”, ST technical note.

[ST-5] : STMicroelectronics, “drive circuits for Power MOSFETs and IGBTs”, B. Maurice, L. Wuidart, ST Application Note AN524/0994.

[ST-6] : STMicroelectronics, “influence of gate and base drive on power switch behaviour”, P. Fichera, ST Application Note AN509/1293.

[ST-7] : STMicroelectronics, “Drive circuits for integration with IGBTs”, C. Licitra, S. Musumeci, A. Raciti, ST Application Note AN472/0692.

[ST-8] : STMicroelectronics, “study of a model for power MOSFET gate charge”, ST Technical Note.

[SUBRAMANIAN] : Subramanian, Lauritzen, Green, “A compact model for an IC lateral diffused MOSFET using the lumped-charged methodology”.

[SZE] : S.M. Sze, « Physics of semiconductor devices », Wiley International edition.

[TARDIVO] : G. Tardivo, « le transistor DMOS vertical en amplification haute fréquence de puissance », thèse de 3^{ème} cycle, Université Paul Sabatier, Toulouse, 1987.

[TOURNIER] : D. Tournier, P. Godignon, J. Montserrat, D. Planson, C. Raynaud, J.P. Chante, « limiteur de courant à forte densité de puissance en carbure de silicium », EPF'02, Montpellier, 2002.

[VASIC] : D. Vasic, F. Costa, E. Sarraute, « Commande de transistors à grille isolée par transformateur piézo-électrique : bras complet », EPF'02, Montpellier, 2002.

[VERNEAU] : G. Verneau, L. Aubard, J.-C. Crébier, Ch. Schaeffer, “Empirical Power MOSFET modeling : practical characterization and simulation implantation”, IAS'02, Pittsburgh, 2002.

[VERNEAU-2] : G. Verneau, J.-M. Boggetto, Y. Lembeye, J.-P. Ferrieux, « Study of a buck synchronous rectifier using an empirical Power MOSFET model », EPE'03, à paraître, 2003.

[VERNEAU-3] : G. Verneau, L. Aubard, T. Bouchet, J. Arnould, P. Brosselard, F. Nallet, D. Planson, « composant NvN pour l'étude de la ZCEM des transistors MOS », EPF'02, Montpellier, 2002.

[VINCENT] : L. Vincent, « Réalisation d'un gradateur à commande forcée auto-alimentée », Rapport de stage IUT GEII option EEP, juin 2002.

[WINTON] : Winton, Bandy, “A simple, continuous, analytical charge/capacitance model for the short-channel MOSFET”, IEEE, 1998.

[YAMAGUCHI] : K. Yamaguchi, H. Kodera, “Optimum design of triode-like JFET's by two-dimensional computer simulation”, IEEE transactions on electron devices, vol. ed-24, n°8, 1977.

[ZHAO] : J.H. Zhao, X. Li; et al. « a novel high voltage normally off 4H-SiC vertical JFET », technical digest of international conference on SiC and related materials, ICSCRM'01, Tsukuba, 2001.

Les composants à grille isolée, omniprésents dans les structures de conversion d'énergie, sont soumis à des exigences de plus en plus poussées : performances électriques, intégrabilité, fiabilité... Nous avons modélisé le comportement électrique dynamique de MOSFETs de puissance à partir de leurs caractéristiques physiques et géométriques. Cette modélisation, validée par la réalisation de prototypes, permet un dimensionnement des besoins énergétiques du composant en commutation, autorisant ainsi l'étude de solutions permettant l'intégration de l'alimentation de l'étage de commande. Deux structures d'auto-alimentation, compatibles avec la filière technologique du composant principal, ont été développées. Enfin, des travaux d'optimisation, portant sur la géométrie du composant, montrent qu'il est possible de dimensionner ce dernier de manière à minimiser ses besoins énergétiques en commutation, perspective intéressante pour l'intégration.

Mots clés : Composants à grille isolée, MOSFET de puissance, Modélisation dynamique, Auto-alimentation, Optimisation géométrique, Intégration

Geometrical optimization of Power MOSFETs in order to integrate the driver supply

The insulated gate components are omnipresent in power converters, and are subjected to increasing requirements: electrical performances, integrability, reliability...we developed a model of the electrical dynamic behaviour of Power MOSFETs based on physical and geometrical characteristics. This model has been validated through the realization of prototypes. It allows evaluating the energy needs for the component during switching transitions, thus permitting the study of solutions allowing the integration of the driver supply. We developed two structures of self-supply, compatible with the technological die of the principal component. Lastly, we have shown through a work of geometrical optimization of the component that it is possible to size it with a minimization of its energy requirements during switching transitions; it represents an interesting outlook for integration.

Keywords : insulated gate components, PowerMOSFET, Dynamic Model, Self-supply, Geometrical optimization, Integration

L.E.G. – Laboratoire d'Electrotechnique de Grenoble – UMR 5529 INPG/UJF-CNRS

E.N.S.I.E.G. – B.P. 46

38402 Saint Martin d'Hères