



**HAL**  
open science

# CONTRIBUTION A L'INTEGRATION D'UNE INDUCTANCE SUR SILICIUM ET ETUDE DE SON CONVERTISSEUR SYNCHRONES ASSOCIE

Jean-Marc Boggetto

► **To cite this version:**

Jean-Marc Boggetto. CONTRIBUTION A L'INTEGRATION D'UNE INDUCTANCE SUR SILICIUM ET ETUDE DE SON CONVERTISSEUR SYNCHRONES ASSOCIE. Sciences de l'ingénieur [physics]. Université Joseph-Fourier - Grenoble I, 2003. Français. NNT : . tel-00380957

**HAL Id: tel-00380957**

**<https://theses.hal.science/tel-00380957>**

Submitted on 4 May 2009

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

**Université Joseph Fourier**

N° attribué par la bibliothèque

/ / / / / / / / / / / / / / / /

**THESE**

pour obtenir le grade de

**DOCTEUR DE L'UJF**

**Spécialité : « Génie Electrique »**

Préparée au **Laboratoire d'Electrotechnique de Grenoble**  
UMR 5529

Dans le cadre de l'école doctorale « **Electronique, Electrotechnique, Automatique,  
Télécommunication, Signal** »

présentée et soutenue publiquement  
par

**Jean-Marc BOGGETTO**

Le Jeudi 16 Octobre 2003

**Titre :**

**CONTRIBUTION A L'INTEGRATION D'UNE INDUCTANCE SUR SILICIUM ET  
ETUDE DE SON CONVERTISSEUR SYNCHROME ASSOCIE**

**Directeur de thèse : Jean-Paul FERRIEUX**  
**Co-encadrant : Yves LEMBEYE**

**JURY**

M. JAMES ROUDET  
M. JEAN-LOUIS SANCHEZ  
M. FRANÇOIS FOREST  
M. BERTRAND RIVET  
M. YVES LEMBEYE  
M. JEAN-PAUL FERRIEUX

, Président  
, Rapporteur  
, Rapporteur  
, Examineur  
, Co-encadrant de thèse  
, Directeur de thèse



*A mes parents  
A Celui qui m'a Sauvé  
A mon épouse Chloé*

*« Supposons que je possède la connaissance ...  
Si je n'ai pas l'amour, je ne suis rien »  
La Bible*



# REMERCIEMENTS

Trois années sont passées, déjà ... Elles ont vu des joies intenses (mon mariage !), et les peines immenses dans le sillon du départ d'êtres proches. Alors, je tiens à remercier qui de droit, dans une liste non exhaustive.

Je souhaite tout d'abord remercier le L.E.G pour m'avoir accueilli en son sein. En particulier, un énorme merci à Robert Perret et James Roudet, responsables de l'équipe Electronique de Puissance dans laquelle j'ai travaillé. Un merci tout particulier à ce dernier de m'avoir honoré en acceptant la présidence du jury.

Merci à Jean-Louis Sanchez et François Forest d'avoir accepté de rapporter mon travail et participé à mon jury.

Merci aussi à Bertrand Rivet, de la société ST Microelectronics, pour sa participation au jury et ses éclairages techniques sur le redresseur synchrone.

J'aimerais remercier à leur juste valeur Yves Lembeye et Jean-Paul Ferrieux, mes encadrants ... mais comment ?

Ma seule arme étant les mots, je voudrais les utiliser pour exprimer la joie que j'ai eue à être conseillé, dirigé et aidé par Yves. Les discussions nombreuses et variées que nous avons engagées (et pas que sur les inductances !) ont rendu ces trois années agréables à souhait, au-delà même de mes espérances. J'en profite pour lui signaler que, le quai de déchargement étant l'un des lieux privilégiés pour ces discussions, cela ne fait pas une bonne raison pour continuer à fumer ...

Pour Jean-Paul, le mot qui s'impose à moi est « respect » : respect du scientifique, respect du technicien et, peut-être encore plus, respect de l'homme ! Merci d'avoir été mon modèle dans tous ces domaines depuis l'IUT (10 ans déjà), et d'avoir encadré mes travaux avec un calme et une disponibilité toujours plus étonnante !

Je tiens à remercier le personnel technique et administratif du L.E.G, avec un coup de chapeau tout particulier à l'équipe informatique de Patrick Eustache, sans qui le laboratoire serait sérieusement handicapé (...).

Pour finir avec le laboratoire, comment oublier les thésards et, en particulier, ceux de la salle EPTE ... Alors merci aux vieux : Martin Le Coy, P'tit Lu (dont le grand frère est à l'ENSIEG), Jimmy, POJ, Cécile, Yvan Avenazzz, Khaled, Jean-Mich, Karim, Max, Bertrand Legrand, Ledhi et

Stéphane ; aux moins vieux, comme mon Goubs (si vous ne le connaissez pas, vous avez loupé quelque chose ! Tout le monde devrait avoir son Goubs chez lui), Guybrush et la forêt de Sherwood, Hervé Chazal (le Seigneur des Nano), Bébert (dont l'identité de l'oncle reste floue), Guillaume (Kazuya pour les intimes), Kikounette, Francky, Flower, Roger Souchard, Rico, Seb Gréhant, Raph, Grain, JPeG, Valdo, David, Marie, Adi, Djidji, ...

Merci à tous les stagiaires qui ont contribué à l'avancement (ou au recul) de mon travail : Serkan Afsar (musique synchrone et redresseur turc), Pierre Clot (âge canonique) et Cédric Lens (comme le FC), Sébastien Vieillard (maniaque)

J'aimerais aussi associer à ce doctorat ceux et celles qui sont mes collègues enseignants à l'IUT. Un grand merci tout d'abord au département GEII1 dans lequel j'ai été moniteur deux ans durant. Merci en particulier à Marc Oddon pour l'exemple d'enseignant investi qu'il est. Merci surtout au département GEII2 dans lequel je suis enseignant aujourd'hui : merci d'avoir osé le pari de m'avoir recruté en cours de thèse, merci d'avoir patienté et compris la nécessité de me construire un emploi du temps tenant compte de ma recherche. Que le département soit sûr qu'il n'aura pas à faire à un ingrat.

Pour les remerciements moins sérieux, je dirais merci également à Messieurs Joyeux Dowell et Maxwell (his name is Well, ... Max Well) pour leurs équations précieuses, relevant souvent du mystère. Sacré Max : il en aura séché des thésards !!

Merci à SportForFun, Blobby-Volley, Cotcot, Oye, Eggs, BoulderDash, Fly the Copter, Uzinagaz, Cat-a-pult, aux Barbapapas, à Méganimations, à Grumly, à Terence Hill et Bud Spencer, aux foutaises, au GF38, à Patrick Topaloff, à Eric et Ramzy, et autres compagnons du thésard. Merci au fabuleux inventeur du Monaco et du Panaché. Merci aux conférences Ecrire Par Ennui, Ecrire Pour du Flan, PrESC 2002, aux revues Enseigner Enseigner Enseigner Infiniement, et LA revue de l'INPG ; dans le désordre, merci au corbeau, Flux35D, cailloux méchant et tortue géniale, PAF le chien, etc ...

Finalement, vous comprendrez que je remercie mes parents pour leur patience (je confirme : il a du y avoir un défaut de fabrication !), ainsi que l'ensemble de ma famille et des amis de l'ECE

Enfin, merci à la femme que j'aime, qui était pourtant au courant (avant même notre mariage) de mon état alors déjà gravement atteint ! Merci Chloé pour ton sourire, ton aide et ton soutien : tout le monde n'a pas la chance de tenir un soleil dans ses bras.

Mon dernier remerciement ira à mon Dieu.





# *Sommaire*

<b>Introduction Générale .....</b>	<b>13</b>
<b>PARTIE 1. L'INDUCTANCE .....</b>	<b>17</b>
<b>Introduction sur l'inductance.....</b>	<b>19</b>
<b><i>CHAPITRE 1 - INTEGRATION DE L'INDUCTANCE SUR SILICIUM.....</i></b>	<b>23</b>
1.1 Technologie et matériaux.....	25
1.1.1 Technologies de dépôt des matériaux .....	25
1.1.2 Les matériaux magnétiques.....	27
1.2 Choix de la topologie d'inductance.....	31
1.2.1 Les topologies de composants magnétiques .....	31
1.2.2 Les besoins de la topologie étudiée.....	38
1.2.3 Dimensionnement de la structure en spirale .....	39
1.2.4 Dimensionnement de l'inductance correspondant au cahier des charges.....	47
1.2.5 Conclusion .....	50
<b><i>CHAPITRE 2 - ETUDE DES PERTES DANS L'INDUCTANCE .....</i></b>	<b>53</b>
2.1 Etude des pertes cuivre .....	55
2.1.1 Justification de l'étude .....	55
2.1.2 Calcul des pertes cuivre : méthode de Dowell .....	58
2.1.3 Calcul des pertes cuivre : méthode de Dowell modifiée et adaptée.....	65
2.1.4 Conclusion sur les pertes cuivre.....	71
2.2 Etude des pertes fer.....	72
2.2.1 Etude qualitative des pertes fer par courants induits et par hystérésis.....	72
2.2.2 Modélisation analytique des pertes fer par courants induits .....	77
2.2.3 Comparaison du modèle analytique avec les simulations éléments finis 2D .....	82
2.2.4 Conclusion sur les pertes fer .....	86
<b>Conclusion sur l'inductance.....</b>	<b>87</b>

<b>PARTIE 2. LE REDRESSEMENT SYNCHROME .....</b>	<b>93</b>
<b>Introduction sur le redresseur synchrone.....</b>	<b>95</b>
<b><i>CHAPITRE 3 - ETUDE FINE D'UN REDRESSEUR SYNCHROME .....</i></b>	<b><i>103</i></b>
3.1 Modèle de MOSFET semi empirique dans le 1 <sup>er</sup> quadrant du plan I(V) .	105
3.1.1 Schéma électrique équivalent .....	105
3.1.2 Banc de caractérisation dynamique .....	108
3.1.3 Banc de caractérisation statique (HP4194A) .....	116
3.1.4 Banc de mesures de confirmation (curve tracer 371A).....	122
3.2 Modèle de MOSFET semi empirique dans le 3 <sup>ème</sup> quadrant du plan I(V) ....	126
.....	126
3.2.1 Les différences avec le 1 <sup>er</sup> quadrant .....	126
3.2.2 Caractérisation du MOSFET dans le 3 <sup>ème</sup> quadrant .....	127
3.3 Implantation du modèle sous Spice® puis Matlab Simulink® .....	131
3.3.1 Implantation dans Spice® .....	131
3.3.2 Implantation dans Matlab Simulink® .....	133
<b><i>CHAPITRE 4 - INFLUENCE DES PARAMETRES DU CONVERTISSEUR SUR LE</i></b>	
<b><i>RENDEMENT.....</i></b>	<b><i>139</i></b>
4.1 Validation du modèle de MOSFET et du logiciel .....	142
4.2 Evolution du rendement .....	144
4.2.1 Rendement du redresseur synchrone en fonction de la fréquence de travail .....	144
4.2.2 Rendement du redresseur synchrone en fonction du temps mort .....	148
4.2.3 Cas du cahier des charges INDUCSIL.....	153
4.3 Comparaison du rendement d'un redresseur synchrone avec celui d'un	
hacheur série .....	154
<b>Conclusion sur le redressement synchrone.....</b>	<b>157</b>
<b>Conclusion Générale.....</b>	<b>161</b>
<b>Annexes.....</b>	<b>167</b>
<b>Bibliographie .....</b>	<b>259</b>





## **INTRODUCTION GENERALE**

Le marché de l'électronique de puissance doit répondre à une demande de plus en plus pressante de la part des constructeurs d'équipements portables. Ces systèmes électroniques en pleine expansion dans le domaine grand public trouvent leurs applications dans les matériels de communication tels que téléphones cellulaires, agendas électroniques ou encore ordinateurs portables.

Les besoins en autonomie de ces outils s'accroissent, ce qui draine notamment la recherche sur les batteries d'alimentation de ces appareils, mais incite aussi à l'optimisation du rendement des convertisseurs DC/DC interfaçant la batterie et les circuits intégrés à alimenter. En ajoutant à cela les fortes contraintes en volume inhérentes aux équipements portables, il devient évident que la thématique de l'intégration en électronique doit occuper une place primordiale dans les développements actuels.

Ces convertisseurs doivent de plus s'adapter aux futures tensions d'alimentation des circuits intégrés qui, actuellement comprises entre 2 volts et 3 volts, seront inférieures à 1 volt en 2010. Depuis quelques années, cette nouvelle problématique, associée à des puissances appelées de plus en plus fortes, a conduit ce marché réservé pendant longtemps à l'électronique analogique à évoluer vers l'acquisition de compétences en électronique de puissance. En effet, les niveaux de courant augmentant, de nombreux concepteurs d'alimentations de puissance ont orienté leurs travaux vers le développement de convertisseurs DC/DC faibles tensions forts courants. Dans ce domaine d'application, les convertisseurs les plus utilisés sont de type redresseurs synchrones.

Le développement de tels convertisseurs nécessite une double compétence, sur les composants actifs et passifs. Ainsi, le hacheur série, convertisseur DC/DC abaisseur de tension nécessaire à l'alimentation des équipements précités, comporte à la fois des interrupteurs semi-conducteurs et un filtre de sortie inductance / condensateur.

C'est dans ce contexte que mes travaux de thèse se sont déroulés au Laboratoire d'Electrotechnique de Grenoble. L'objectif à long terme est la conception d'une alimentation DC/DC intégralement réalisée sur silicium, afin de répondre aux drastiques critères d'intégration précédemment évoqués.

Ce mémoire de thèse se compose en deux parties principales.

La première est consacrée à l'étude de l'intégration d'une inductance sur silicium, destinée à être intégrée dans le convertisseur redresseur synchrone final. Cette étude a été menée dans le cadre du projet *INDUCSIL*, financé par le Ministère de l'Industrie. Ce travail a été mené en collaboration avec deux laboratoires universitaires : le LAAS (Laboratoire d'Analyse et d'Architecture des Systèmes) et le CEGELY (CEntre de Génie Electrique de LYon), et avec deux entreprises représentatives et actives dans le marché de l'intégration : ST Microelectronics, et Microspire.

Dans un premier chapitre seront analysées les technologies et matériaux envisageables pour l'élaboration d'une telle inductance. Sans pour autant être un guide de conception à part entière, ce chapitre dégagera un certain nombre de critères d'utilisation des matériaux présentés, et analysera leur compatibilité avec les process technologiques microélectroniques de dépôt sur silicium.

Compte tenu de cette étude des outils disponibles et du cahier des charge de l'inductance, sa topologie pourra être fixée après avoir effectué un état de l'art des structures déjà réalisées dans les laboratoires de recherche nationaux et internationaux. La structure en spirale retenue dans cette étude fera alors l'objet d'un dimensionnement détaillé, dans un cas général, puis un autre appliqué directement au cahier des charges du projet *INDUSCIL*.

Afin de prédéterminer au mieux le comportement de l'inductance dimensionnée dans le premier chapitre, une étude fouillée des pertes cuivre et fer sera alors réalisée dans le second chapitre.

Les pertes cuivre seront prédéterminées par simulations éléments finis et analytiquement à partir des travaux du Professeur Dowell. La démarche employée par ce dernier pour calculer les pertes dans un transformateur sera modifiée et appliquée au cas de l'inductance en spirale.

Les pertes fer par courants induits, quant à elles, seront modélisées analytiquement et comparées aux simulations éléments finis menées en parallèle. Au préalable, les données électriques et magnétiques des matériaux utilisés auront été extraites à partir de tests de caractérisation effectués sur des échantillons fournis par le LAAS.

Par cette approche, il sera montré que les pertes globales dans l'inductance peuvent aussi bien être calculées par simulations que par modélisation analytique, et que cette dernière méthode présente des avantages non négligeables.

Cette partie se conclura par quelques réalisations effectuées sur la base du dimensionnement présenté dans cette première partie.

Dans une seconde partie sera étudié la cellule précédent l'inductance : le redresseur synchrone. Cette section se séparera aussi en deux chapitres.

Après une introduction sur les intérêts et inconvénients du redresseur synchrone, le troisième chapitre de cette thèse sera consacré à une étude fine de la cellule de commutation MOSFET/MOSFET de ce convertisseur. Pour se faire, un modèle semi empirique de MOSFET déjà développé lors de travaux antérieurs sera utilisé pour une étude dans le 1<sup>er</sup> quadrant du plan I(V), et complété dans le 3<sup>ème</sup> quadrant, utile au fonctionnement du redresseur synchrone. Ce chapitre, sans entrer profondément dans la physique du semi-conducteur, insistera particulièrement sur les méthodes d'extraction des différents paramètres nécessaires à l'établissement du modèle.

L'implantation de ce modèle dans deux logiciels sera alors présentée, et un choix entre ces deux outils sera effectué. Pour des raisons de stabilité du modèle, Matlab Simulink ® sera choisi pour développer une interface homme / machine et un logiciel de simulation de redresseurs synchrones à part entière.

A partir de ce logiciel, une étude d'influence des paramètres du convertisseur sur le rendement est présentée dans le quatrième et dernier chapitre de ces travaux. En particulier, après avoir validé le logiciel et le modèle de MOSFET implanté, une étude du rendement est effectuée en fonction du courant de charge, du temps mort imposé entre la commande des deux MOSFETs, et de la fréquence de commutation du convertisseur.

Une extension de cette étude à des convertisseurs de plus forte puissance a alors été possible, pour le compte de la société ST Microelectronics. Dans ce cadre, l'interface homme / machine a été complétée par la possibilité de comparer un hacheur série traditionnel (MOS / Diode Schottky) avec un redresseur synchrone. Ainsi, quelques pistes de comparaison sont évoquées au terme de ces développements.

Cette partie se termine par une conclusion sur les résultats obtenus en particulier dans le dernier chapitre, et sur quelques règles de commande des redresseurs synchrones ayant été mises en évidence dans cette partie.

Enfin, un bilan accompagné des perspectives des travaux présentés font l'objet de la conclusion générale de ce document.



# **PARTIE 1. L'INDUCTANCE**



## INTRODUCTION SUR L'INDUCTANCE

Le filtre de sortie des convertisseurs DC/DC abaisseurs de tension, dont le hacheur série est un exemple représentatif, contient dans la plupart des cas une inductance associée à un condensateur. Ce dernier composant, dont l'intégration sur silicium nécessite à elle seule une étude complète, ne sera pas traité dans cette thèse.

L'étude de l'intégration de cette inductance est menée dans le cadre du projet *INDUCSIL*, labellisé par le RMNT (Réseau Micro et Nano Technologies) dans lequel le LAAS est le partenaire technologique, le CEGELY le laboratoire devant fournir le modèle et les caractéristiques des matériaux, et les sociétés ST Microelectronics et Microspire apportant leurs compétences et connaissances des marchés dans le domaine de l'intégration des composants passifs sur silicium.

Pour sa part, le LEG est chargé du dimensionnement de cette inductance et de son étude comportementale en terme de rendement.

Une étude de marché poussée sur les composants inductifs intégrés sur silicium a montré que, pour les faibles niveaux de tensions ( 1V) et des puissances aux environs du watt, les valeurs d'inductances envisagées dans l'avenir seront de l'ordre du microHenry à des fréquences de commutation comprises entre 500kHz et 1MHz.

Compte tenu de ces perspectives d'évolution, le cahier des charges de l'inductance a été établi sur la base d'un convertisseur dont les caractéristiques sont les suivantes :

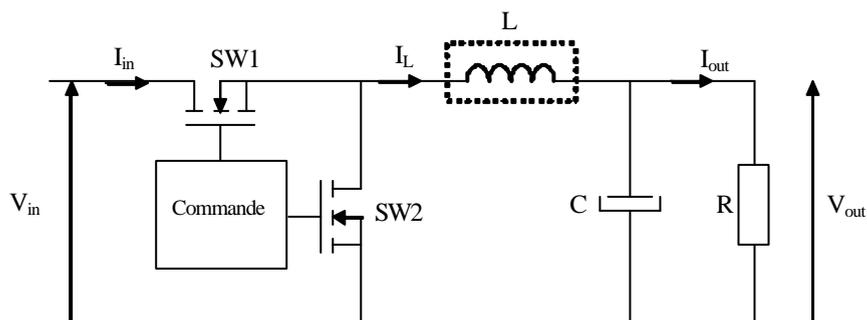
*Tension d'entrée  $V_{in}=3,3V$*

*Tension de sortie  $V_{out}=1,5V$*

*Puissance de sortie  $P_{out}=1W$*

*Fréquence de commutation  $f=500kHz$*

Le convertisseur étudié est un redresseur synchrone tel que le présente la figure suivante.



Afin d'optimiser le volume de l'inductance tout en évitant les problèmes CEM inhérents à la conduction discontinue des convertisseurs de l'électronique de puissance, ce convertisseur est dimensionné pour fonctionner à la limite de la conduction continue et discontinue.

A partir de ces données, il est possible de calculer les deux paramètres du composant inductif qui seront déterminants dans son dimensionnement : son inductance et le courant maximum le traversant. D'autres grandeurs électriques peuvent aussi être calculées, ce qui permet d'approcher les contraintes qui règneront sur l'ensemble du convertisseur.

En effet, tout d'abord, le rapport cyclique  $\alpha$  du convertisseur sera :

$$\alpha = \frac{1.5}{3.3} = 0.455$$

En considérant un rendement unitaire, le courant moyen à l'entrée du convertisseur résultant du rapport entre la puissance et la tension d'entrée, il vient :

$$I_{in\ moy} = \frac{P_{out}}{V_{in}} = \frac{1}{3.3} = 0.303A = \alpha \cdot \frac{I_{in\ max}}{2}$$

Le courant d'entrée maximum sera donc de 1,33A. Ce courant sera aussi le courant maximum dans l'inductance. Donc :

$$I_{Lmax} = 1,33A$$

La valeur efficace du courant sera alors proche de 0,8A. Par la suite, cette valeur sera souvent prise égale à 1A afin de garantir la bonne tenue magnétique de l'inductance.

La valeur de l'inductance se calcule alors simplement en prenant en compte le fait que le convertisseur fonctionne à la limite de la conduction continue / discontinue :

$$L = \frac{V_{in} - V_{out}}{I_{Lmax}} \cdot \alpha \cdot T \quad \text{avec } T = \text{période de découpage} = 1/f.$$

$$L = 1,23\mu H$$

L'énergie à stocker dans cette inductance sera donc :

$$W = \frac{1}{2} \cdot L \cdot I_{Lmax}^2 \approx 1\mu J$$

Vus les faibles niveaux de tensions et de puissances mis en jeu dans ce convertisseur, il est important d'ajouter une contrainte électrique sur l'inductance concernant sa résistance série. En effet, en considérant un courant efficace de 1A dans l'inductance placée dans le convertisseur 1W, alors une résistance série de 1 $\Omega$  imposera un rendement maximum égal à 50%. De la même manière, cette résistance provoquera une chute de tension aux bornes de l'inductance avoisinant le volt, ce qui est critique dans un convertisseur dont la tension de sortie est de 1,5V.

Compte tenu de ces différentes remarques, la résistance série de l'inductance sera fixée à 0,20 en continu, ce qui limitera déjà le rendement à 83%.

Afin de respecter l'ensemble de ces contraintes au mieux, le premier chapitre de cette thèse débutera par une analyse des aspects conditionnant directement l'intégration de l'inductance, à savoir les matériaux envisageables et les technologies disponibles pour les déposer sur un wafer silicium, ce qui permettra de proposer une topologie pour ce composant. Le deuxième chapitre validera les choix du précédent par une étude fine des pertes.

---

---

# **Chapitre 1 - Intégration de l'inductance sur silicium**



## 1.1 Technologie et matériaux

La technologie de fabrication de ces composants détient souvent la clef du succès ou de l'échec d'un tel projet. Elle conditionne et limite la géométrie du composant, le choix des matériaux utilisables ; puis, une fois le composant réalisé, la technologie utilisée apportera encore des limites d'utilisation au composant (thermiques, par exemple, si la technologie a nécessité l'utilisation de moules en résine dont la tenue mécanique est fortement dépendante de la température).

De plus, cette technologie doit être compatible avec celles utilisées pour fabriquer les composants actifs.

L'intégration sur silicium de composants inductifs couramment répandue peut se faire grâce à 2 procédés : l'électrodéposition et le sputtering ([Boggetto1]). Ces inductances sont de dimensions géométriques millimétriques.

### 1.1.1 Technologies de dépôt des matériaux

#### 1.1.1.a) L'électrodéposition

Cette méthode repose sur une croissance du matériau par simple électrolyse. Le courant servant à l'électrolyse est conduit par des pistes de cuivre (appelées amenées de courant). Ces pistes aboutissent sur une fine couche d'accroche conductrice (en or, le plus souvent) fixant la largeur désirée pour notre matériau à électrodéposer (Figure 1-1).

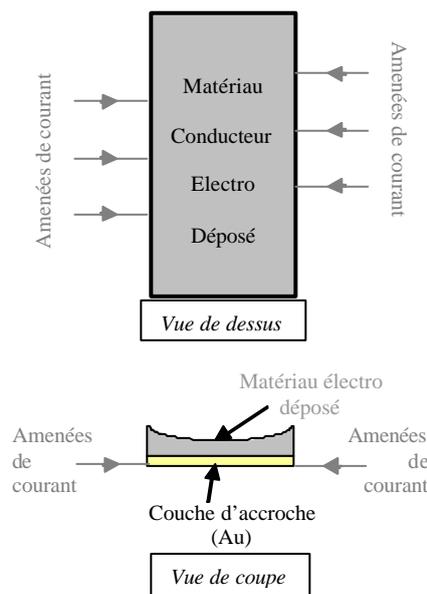


Figure 1-1 : Principe de l'électrodéposition

Ce dispositif est placé dans un bain d'électrolyse : une électrode est connectée à un échantillon de matériau à déposer, l'autre sur le motif sur lequel sera déposé le matériau ([Troussier]).

Cette méthode présente deux gros inconvénients. Tout d'abord, le profil des matériaux formés est peu régulier sur des hauteurs importantes et dépend fortement de la valeur et de l'allure du courant servant à l'électrolyse (impulsionnel, créneau, ...). Le matériau présente souvent une allure creusée comme le montre la figure précédente, ce qui faussera la section de passage du flux magnétique (pour un matériau magnétique) ou la section de passage du courant (dans le cas d'un conducteur). Les hauteurs de dépôt seront donc limitées à une cinquantaine de microns pour deux raisons : conserver un profil le plus régulier possible et envisager une superposition de couches au-dessus de celle de 50µm. Le second problème de cette méthode est qu'elle ne pourra être envisagée que pour la formation de matériaux conducteurs ! Les ferrites ne pourront donc pas être formées par ce procédé. Seuls les alliages métalliques (dont la résistivité est faible) pourront être les matériaux magnétiques envisageables.

En contrepartie, cette méthode est la plus simple d'application car les principes de l'électrolyse sont bien connus et elle ne nécessite pas de recuit, laissant ainsi la possibilité de garder compatibles les processus de fabrication des composants actifs et passifs.

#### 1.1.1.b) Le sputtering

Dans cette méthode, un substrat silicium, un matériau magnétique (appelé cible) et un masque (destiné à reproduire la forme de circuit magnétique désirée) sont placés dans une chambre où le vide total a été établi. Le matériau magnétique est placé à un potentiel fortement négatif  $V$  (de l'ordre du kV). De l'argon est introduit et se ionise positivement dans la chambre où se trouvent la cible et le substrat. Ces ions positifs accélèrent en direction de la charge négative (cible) et la bombarde suffisamment violemment pour détacher des morceaux de matériau magnétique sous forme de fine poussière (les atomes d'argon ne s'encastrent pas dans la cible). Cette poussière de matériau se dépose partout dans la chambre, notamment sur le substrat, aux endroits désirés (Figure 1-2).

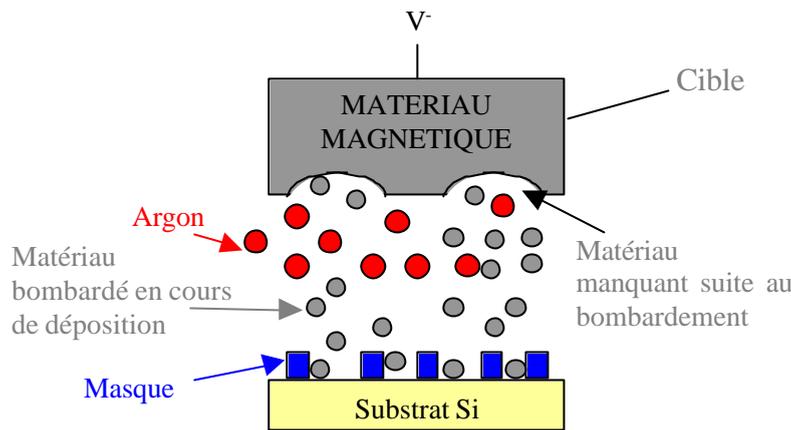


Figure 1-2 : Principe du sputtering

Cette méthode permet normalement de déposer des ferrites et d'autres matériaux magnétiques, mais ne pourra pas être utilisée pour les ferrites dans notre cas. En effet, lorsque la cible est un morceau de ferrite, le substrat est sorti de sa chambre et doit être soumis à un recuit à haute température (>1000°C) afin de reformer un ferrite de bonne qualité. Un convertisseur tout intégré devant garder la compatibilité des process entre la réalisation des composants actifs et passifs, ce recuit serait fatal aux interrupteurs semi-conducteurs.

De plus, les épaisseurs déposables en utilisant le sputtering sont trop faibles pour les applications en électronique de puissance.

Cette méthode n'est donc pas envisageable dans le cas où les composants actifs sont diffusés avant l'inductance (ce qui interdit une structure empilée avec les interrupteurs placés sous l'inductance). Par contre, si les matériaux nécessitant un recuit à haute température sont réalisés en premier, cela n'altèrera pas le silicium et permettra donc de réaliser les composants semi-conducteurs dans un second temps.

### 1.1.2 Les matériaux magnétiques

#### 1.1.2.a) Les divers matériaux magnétiques envisageables en Génie Electrique.

Dans cette partie, seuls les matériaux magnétiques doux utilisés couramment par le monde du génie électrique seront abordés.

##### i. Les ferrites

Ces matériaux sont aujourd'hui très répandus en électronique de puissance, même si leur domaine de prédilection reste celui des télécommunications.

Les ferrites sont, à la base, des oxydes de fer ( $\text{Fe}_2\text{O}_3$ ) qui en pratique sont mélangés avec d'autres constituants tels que le manganèse Mn, le nickel Ni ou le zinc Zn. Les proportions de ces additifs sont choisies pour optimiser les propriétés magnétiques du matériau final. Pour la fabrication des pots ferrites, le mélange composé est chauffé puis finement broyé (jusqu'à quelques microns). La poudre ainsi obtenue est séchée avant qu'un liant lui soit ajouté. La mixture obtenue est alors constituée de grains conducteurs isolés les uns des autres. Afin de solidifier l'ensemble, une opération de frittage est menée à haute température (au delà de  $1000^\circ\text{C}$  ; [Sullivan1]). Cette opération va déterminer la microstructure de la ferrite, c'est-à-dire notamment la taille des grains. Cette opération de frittage induit des modifications géométriques importantes et difficilement contrôlables. Ainsi, si l'utilisateur désire obtenir un entrefer de valeur précise, il lui faudra faire une rectification mécanique à la meule diamant.

En ce qui concerne leurs propriétés magnétiques, l'induction à saturation est très modeste ( $0,3\text{T}$  très souvent ;  $0,5\text{T}$  dans des cas exceptionnels). Leur résistivité électrique est un atout de tout premier ordre. Les ferrites MnZn ont des résistivités au-delà de  $100\text{O.m}$ , ceux contenant du lithium Li (utilisées en haute fréquence) atteignent des résistivités de l'ordre de  $10^5\text{O.m}$  ([Park]). Ces valeurs de résistivité font que les courants induits dans ces matériaux sont souvent négligeables.

Par contre, du point de vue technologique, les ferrites n'étant que très peu conducteurs, ils ne pourront être déposées que par sputtering et jamais par électrodéposition. Le cahier des charges de cette étude se serait bien prêté à l'utilisation de ferrites, mais la technologie de dépôt n'est pas disponible chez notre partenaire technologique : le Laboratoire d'Architecture et d'Analyse des Systèmes (LAAS). Ces matériaux ne pourront donc pas être utilisés ici.

### *ii. Les alliages ferreux*

Les alliages ferreux couramment utilisés en électrotechnique et électronique de puissance sont nombreux, mais seuls les trois plus communs seront étudiés ici : les alliages fer-silicium (SiFe), fer-nickel (NiFe) et fer-cobalt (CoFe).

L'alliage SiFe est une variante du fer pur particulièrement adaptée aux fréquences industrielles ( $50\text{ Hz}$ ). L'alliage idéal est constitué d'au plus  $3,2\%$  de silicium en poids dans du fer pur. L'effet négatif de cet ajout de silicium est de diminuer l'aimantation à saturation par rapport au fer pur. En effet, l'induction à saturation du SiFe classique ( $3,2\%$  de Si) est de l'ordre de  $1$  à  $1,5\text{T}$  au mieux, alors que celle du fer pur est supérieure à  $2\text{T}$ .

Par contre, trois avantages majeurs se dégagent :

- le fer pur est un métal mou non manipulable industriellement sous forme de tôles ; l'ajout de silicium rigidifie l'alliage,
- le recuit et le laminage du fer pur induisent toujours de nombreux défauts de réseau cristallin perturbant ainsi les caractéristiques attendues, ceci de manière assez aléatoire ; la présence de silicium va stabiliser le réseau dans des conditions de hautes températures,
- la présence d'atomes de Si augmente considérablement la résistivité du métal; la résistivité du fer pur à température ambiante est de  $11 \cdot 10^{-8} \text{O.m}$  alors que celle du SiFe à 3,8% de Si est de  $48 \cdot 10^{-8} \text{O.m}$ .

Les CoFe sont des alliages exceptionnels en qualité puisque leur point de Curie dépasse celui du fer (soit supérieur à  $1050^\circ\text{K}$ ) et leur induction à saturation s'approche sans problème de 2,4T. Ils sont souvent fabriqués sous forme de tôles de faible épaisseur afin de pallier les inconvénients dus à leur faible résistivité ( $40 \cdot 10^{-8} \text{O.m}$ ).

Par contre, les propriétés de cet alliage se dégradent avec la température et son coût le disqualifie souvent pour une utilisation grand public puisque le cobalt est un matériau atteignant souvent 50€/kg, ce qui place la tôle FeCo au moins 20 fois plus chère que la meilleure tôle SiFe.

Enfin, les alliages NiFe sont les composés les plus utilisés dans le domaine grand public, puisqu'on les retrouve dans les têtes de lecture de magnétophones et baladeurs, disjoncteurs différentiels, etc. Les seuls alliages intéressants sont ceux dont la composition est comprise entre 30% et 80% de Ni. En effet, au dessous de 30% de Ni, les propriétés magnétiques sont très mauvaises ; et au-delà de 80% de Ni, les valeurs caractéristiques de l'alliage (induction à saturation, perméabilité relative, ...) évoluent dans le mauvais sens ([Sullivan1]). Le nickel étant un matériau onéreux, il n'y a donc aucun intérêt à en mettre dans l'alliage plus que nécessaire.

L'aimantation à saturation ne peut pas être reliée simplement à celle du fer et celle du nickel. Elle passe par un maximum à 1,6T pour l'alliage NiFe 50-50 (50% de fer et 50% de Ni) et décroît de part et d'autre, très vite du côté des faibles concentrations en Ni.

La température de Curie est à peine supérieure à l'ambiante pour les alliages à 30% de Ni et elle atteint un maximum voisin de  $600^\circ\text{C}$  vers 70% de Ni.

Les familles de NiFe utilisées en électronique et électronique de puissance peuvent être séparées en trois groupes :

- les invar (36% de Ni) : ils sont intéressants pour leur grande valeur d'induction à saturation (1,3T) et surtout leur relativement grande résistivité électrique ( $80 \cdot 10^{-8} \text{O.m}$ ). Ils sont surtout utilisés en téléphonie et dans les transformateurs fonctionnant à fréquence élevée (transformateurs d'impulsions). Leur perméabilité relative ne dépasse pas 10000,

- les NiFe 50-50 : ils possèdent l'aimantation à saturation la plus élevée (1,6T). Leur perméabilité relative est exceptionnellement élevée jusqu'à une induction très élevée ( $\mu_r$  possible au-delà de 100000),
- la famille des permalloys (entre 70% et 80% de Ni) : Une très grande perméabilité relative peut être espérée (300000 par exemple). Ils sont très sensibles aux traitements métallurgiques et leur aimantation à saturation est un peu faible (0,85T). Mais, surtout, leur résistivité électrique est médiocre ([Xu]). Pour y remédier, il est possible d'ajouter du cuivre, du chrome, du molybdène pour amener la résistivité vers  $60 \cdot 10^{-8} \text{O.m}$ .

### iii. Les alliages amorphes

Ces alliages ont été découverts dans les années 60 et ont commencé à être commercialisés vers 1975. Les atomes constituant ces alliages sont complètement désordonnés, ce qui les différencie des cristaux. Leur désordre les rendra très faciles à aimanter et rendra leurs pertes faibles (faible énergie anisotropique).

Par construction, ces matériaux sont, dans la plupart des cas, obtenus directement sous forme de rubans minces, par refroidissement très rapide (à partir de l'état liquide) sur une roue froide en cuivre. L'épaisseur de ces rubans est, en général, de  $50 \mu\text{m}$ .

Leur aimantation à saturation peut atteindre, pour les plus performants, 2T ; pour cela, il est nécessaire de combiner du fer, du bore, du silicium et du carbone, ce qui rend l'alliage complexe.

La résistivité électrique des amorphes est très élevée, de l'ordre de  $120$  à  $160 \cdot 10^{-8} \text{O.m}$  à température ambiante ([Mehas]).

Par contre, ce sont des alliages à base de matériaux souvent onéreux (présence régulière de cobalt).

### iv. Les nanocristallins

Ces nouveaux alliages, dérivés des amorphes, ont été découverts dans les années 80 par Hitachi. La première phase de leur élaboration est identique à celle des amorphes (trempe ultra rapide), la seconde consiste en un recuit thermique entre  $500^\circ\text{C}$  et  $600^\circ\text{C}$ . Ce recuit active la cristallisation de grains FeSi de dimensions nanométriques (environ 10nm) et leur confère leurs propriétés magnétiques finales ([Perron]).

Les alliages nanocristallins les plus répandus sont de type *finemet*, de composition fer, silicium, cuivre, niobium et bore.

Ces matériaux présentent *in fine* une induction à saturation élevée (de l'ordre de 1,2T) et une résistivité comparable à celle des amorphes ( $160 \cdot 10^{-8} \text{O.m}$ ) : ils seront donc siège de faibles pertes dynamiques.

Technologiquement, les propriétés magnétiques de ces alliages peuvent être grandement adaptées et modifiées par les conditions de recuit. L'application d'un champ magnétique transversal ou longitudinal, des températures de recuit plus ou moins élevées ou encore un recuit sous contraintes concourent à adapter leurs pertes et leur perméabilité relative dans de larges plages (de quelques milliers aux millions).

La ductilité importante de ces alliages favorise l'obtention de poudres permettant la réalisation de matériaux composites à entrefers répartis et, donc, de faible perméabilité.

Les propriétés « nanocristallines » sont alors exploitables pour un grand nombre d'applications, que ce soit en transformateur ou en inductance.

Le coût de tels matériaux se situe entre ceux des ferrites et des amorphes, ce qui fait des nanocristallins des alliages d'avenir dans les applications de l'électronique de puissance.

#### 1.1.2.b) Choix du matériau

Le matériau à sélectionner sera un matériau conducteur afin de pouvoir le déposer avec la technologie disponible au LAAS, partenaire technologique de ce projet. Ce critère discrédite rapidement l'utilisation de ferrites et d'amorphes. Le matériau utilisé sera alors un alliage ferreux. Afin de conserver des rapports qualité prix respectables, et afin de travailler avec des matériaux connus du LAAS, le choix de cet alliage se portera vers la famille des NiFe et, en particulier, vers les NiFe 80-20. Leurs performances en terme d'aimantation à saturation laissent présager un bon avenir, mais leur faible résistivité reste inquiétante.

Si le choix du matériau restait entièrement entre les mains du concepteur sans contrainte technologique, la ferrite serait le matériau, *a priori*, le plus approprié à la fabrication du composant désiré.

## **1.2 Choix de la topologie d'inductance**

### **1.2.1 Les topologies de composants magnétiques**

Les topologies d'inductances magnétiques classiques déjà réalisées dans les laboratoires de microélectronique sont au nombre de trois. Chacune d'elles possédant avantages et inconvénients, il est possible de se risquer à leur associer certaines applications. Bien entendu, cette association est non exhaustive et susceptible de changer avec l'évolution de la technologie de fabrication et de dépôt des matériaux constituant l'inductance.

Par la suite, le terme *couche* sera régulièrement employé : ne seront appelées par ce nom que les couches contenant soit du cuivre, soit du matériau magnétique (voire les deux). Les zones de résine servant de moules au dépôt de ces matériaux ne seront donc pas considérées.

#### 1.2.1.a) Le tore

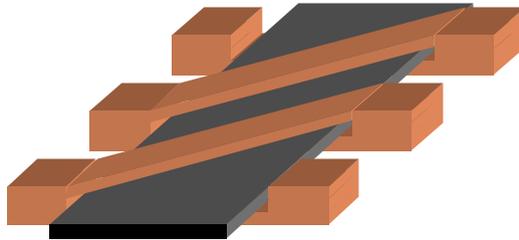


Figure 1-3 : Vue partielle d'un tore

Cette topologie en tore est sans doute la géométrie la mieux connue et la plus répandue pour des applications non intégrées ([Park], [Xu]).

Le tore est une structure pouvant se présenter sous forme circulaire (cas le plus courant), carrée ou rectangulaire. Pour faciliter la représentation et la compréhension, seule une vue partielle d'un tore intégré est schématisée sur la Figure 1-3.

Ce tore se présente en 3 niveaux :

- couche cuivre 1 (Figure 1-4)

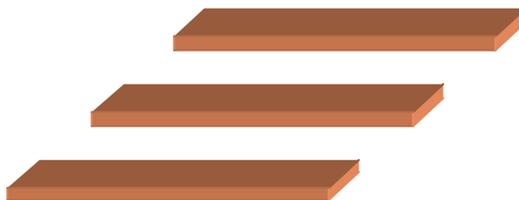


Figure 1-4 : Couche 1 de fabrication d'un tore

Cette couche ne contient que du cuivre, sous forme de bandes permettant de réaliser une première partie des spires autour du circuit magnétique. C'est la couche qui est la plus proche du substrat silicium servant de support.

- couche cuivre / matériau magnétique 2 (Figure 1-5)

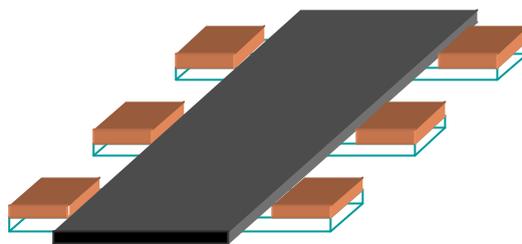


Figure 1-5 : Couche 2 de fabrication d'un tore

La seconde couche est mixte : elle comprend le circuit magnétique sous forme de bande et, si  $N$  est le nombre de spires de l'inductance,  $2.N$  plots de cuivre nécessaires à la remontée du courant pour lier électriquement les couches 1 et 3. Ces remontées de courant seront appelées *vias*, de la même manière que pour la technologie PCB (circuits imprimés). Ces vias seront la source de nombreux problèmes qui seront explicités par la suite.

- couche cuivre 3 (Figure 1-6)

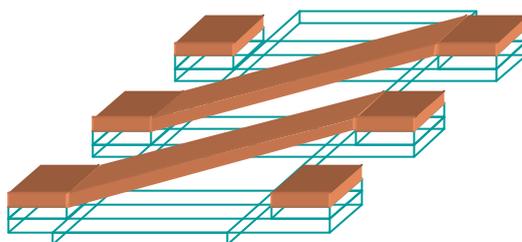


Figure 1-6 : Couche 3 de fabrication d'un tore

Enfin, la dernière couche ne contiendra que du cuivre afin de permettre au courant de se reboucler, achevant ainsi les spires de l'inductance.

De par sa construction, le tore présente un certain nombre d'inconvénients :

- il nécessite trois couches de matériaux, ce qui rendra son coût de fabrication assez élevé,
- les vias électriques réalisant les remontées de courant posent de nombreux problèmes de réalisation. En effet, le contact entre le cuivre des couches 1, 2 et 3 ne se fait jamais de manière parfaite. Une couche d'oxydation apparaît et rajoute un élément résistif en série avec la résistance des enroulements. Ces zones seront donc susceptibles de chauffer et de provoquer des points chauds augmentant les pertes cuivre (et fer puisque le matériau magnétique est à proximité). Il reste, certes, possible de réaliser un traitement de surface sur ces vias électriques, mais sa mise en place est onéreuse et allonge le temps de fabrication du composant ([Sullivan1], [Sullivan2]) ;

- les grands entrefers sont difficiles à réaliser. La tenue mécanique de telles inductances à entrefer large n'est plus correctement assurée, et le champ magnétique dans cet entrefer traverse les spires avoisinantes et engendre des pertes cuivre prohibitives ;
- enfin, en partie à cause de l'inconvénient précédent, les tores ne peuvent stocker qu'une faible énergie volumique. Seule la partie magnétique pouvant emmagasiner de l'énergie, l'induction dans ce matériau atteint des valeurs importantes, engendrant de fortes pertes fer et risquant de faire entrer l'inductance en saturation ([Daniel]).

En contre partie, cette structure avance deux avantages principaux :

- le dimensionnement des tores est bien connu et de mise en œuvre aisée,
- par construction, les tores ne présentent pas de via magnétique : le circuit magnétique est réalisé sur une seule couche.

Aux vues de ces caractéristiques, les topologies en tore pourront être utilisées de manière avantageuse pour réaliser des transformateurs (avec un circuit magnétique sans entrefer et la possibilité d'obtenir des rapports de transformation élevés). L'usage de telles topologies en inductance ne pourra être satisfaisant que pour des composants faible courant, le niveau de pertes devenant alors respectable.

#### 1.2.1.b) Le méandre

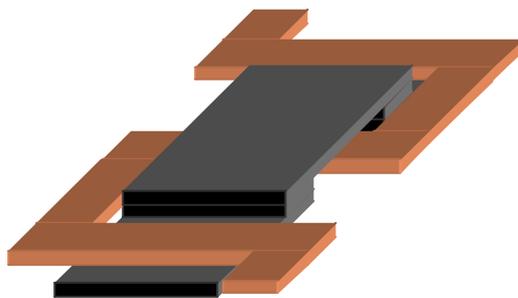


Figure 1-7 : Vue partielle d'un méandre

Cette topologie, bien moins connue que le tore, est représentée sur une vue partielle sur la Figure 1-7. Le champ circule dans le matériau magnétique et passe donc de la couche du bas à la couche du haut. Les spires sont réalisées par du cuivre, sur une seule couche, en méandres autour du matériau magnétique ([Ahn]). Trois couches servent à réaliser un tel composant :

- couche matériau magnétique 1 (Figure 1-8)

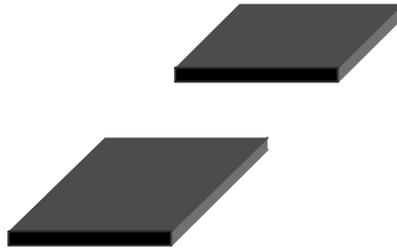


Figure 1-8 : Couche 1 de fabrication d'un méandre

Cette couche contient le matériau magnétique le plus proche du substrat silicium qui permet au champ magnétique de circuler sous le cuivre.

- couche mixte matériau magnétique / cuivre 2 (Figure 1-9)

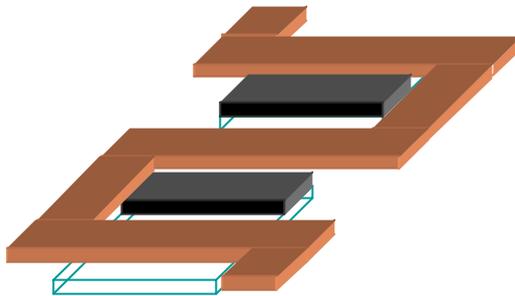


Figure 1-9 : Couche 2 de fabrication d'un méandre

De même que pour le tore, la seconde couche est mixte : elle contient à la fois le cuivre et des plots de matériau magnétique. Ces plots permettent au champ magnétique de circuler de la couche 1 à la couche 3. Ces plots sont appelés vias magnétiques.

- couche matériau magnétique 3 (Figure 1-10)

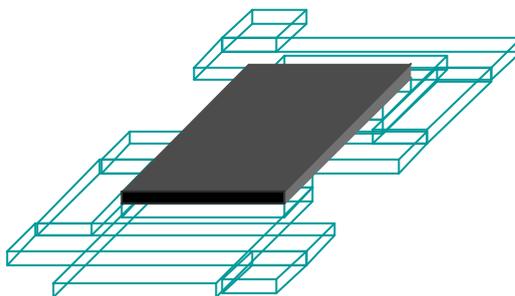


Figure 1-10 : Couche 3 de fabrication d'un méandre

Cette couche ne contient que le matériau magnétique nécessaire à la fermeture du chemin de circulation du flux. De fait, ce matériau repose sur les vias magnétiques.

Tout comme la structure torique, cette topologie présente un certain nombre d'inconvénients à prendre en compte pour lui associer les bonnes applications :

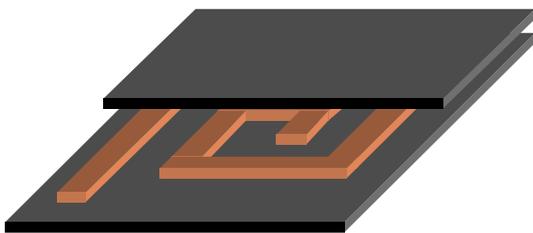
- trois couches sont nécessaires à la fabrication de cette structure, rendant le coût de fabrication élevé ;
- la présence des plots magnétiques est gênante car ces vias introduisent des entrefers parasites difficilement contrôlables (il sera donc délicat de s'en servir en guise d'entrefers réguliers pour stocker l'énergie magnétisante) ;
- la création d'entrefers localisés de fortes dimensions est difficile, les entrefers verticaux étant peu contrôlables, et les entrefers horizontaux provoquant les mêmes problèmes que pour les tores ;
- l'énergie volumique stockable dans un tel composant est faible puisqu'elle doit être emmagasinée dans le matériau magnétique.

En revanche, deux avantages se dégagent nettement :

- le dimensionnement est aisé : son principe est identique à celui utilisé pour les tores,
- le méandre ne présente pas de via électrique, évitant par là la présence de résistances parasites non maîtrisables.

Le méandre pourra donc être utilisé avantageusement dans des structures de type transformateur, même si son utilisation en inductance est moins à prohiber que pour le tore (le méandre contenant des entrefers parasites diminuant légèrement l'induction dans le fer et permettant un stockage local de l'énergie). Toutefois, l'utilisation en inductance reste à éviter pour des courants importants car alors les mêmes types de problème que ceux déjà cités pour les tores peuvent apparaître.

### 1.2.1.c) La spirale



**Figure 1-11 : Vue complète d'une spirale à spires enfermées**



**Figure 1-12 : Vue complète d'une spirale à spires sorties**

Il est possible de réaliser deux variantes d'inductances en spirale ([Inoue]) : les spirales dont les spires ne dépassent pas des deux plaques magnétiques (Figure 1-11 ; [Katayama]) et les spirales dont les entrées et sorties sont en dehors du capot magnétique (Figure 1-12). L'avantage de la seconde structure est qu'il n'est pas nécessaire de percer le circuit magnétique pour amener et faire ressortir le courant. Par contre, cette topologie occupera une surface plus importante (son coût de

réalisation sera donc plus élevée que celui de la spirale à spires enfermées) et générera un champ magnétique dans l'air, pouvant perturber le fonctionnement des composants voisins. Cette structure s'assimile à certaines réalisations discrètes mieux connues sous le nom de *planars*.

Leur réalisation se fera, encore une fois, en trois couches :

- couche matériau magnétique 1 (Figure 1-13)



Figure 1-13 : Couche 1 de fabrication d'une spirale à spires sorties

Cette couche ne comportera que le matériau magnétique servant de passage au flux d'induction.

- couche cuivre 2 (Figure 1-14)

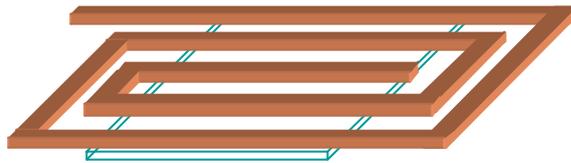


Figure 1-14 : Couche 2 de fabrication d'une spirale à spires sorties

Cette couche réalise une spirale en cuivre, servant de conducteur du courant électrique et d'inducteur du champ magnétique. Cette couche sera dans l'entrefer du composant, ce qui permet un gain de place, mais génère beaucoup de pertes, comme cela sera montré plus loin.

- couche matériau magnétique 3 (Figure 1-15)

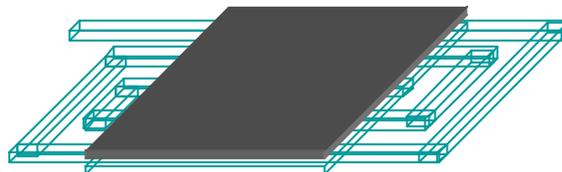


Figure 1-15 : Couche 3 de fabrication d'une spirale à spires sorties

Cette dernière couche est identique à la première et permet le rebouclage du flux d'induction.

Les inconvénients de cette structure sont au moins au nombre de quatre :

- comme les deux précédentes topologies, le composant se fabrique en trois couches ;
- le flux d'induction traverse les conducteurs en cuivre en passant de la plaque magnétique supérieure à la plaque inférieure, ce qui provoque des pertes cuivre importantes ;
- la hauteur des pistes en cuivre (et donc leur section) conditionne la hauteur de l'entrefer. En électronique de puissance, les courants étant élevés, l'entrefer sera imposé à des valeurs importantes, ce qui limitera la valeur de l'inductance du composant ;
- le dimensionnement de ce composant s'avère plus complexe que celui des 2 précédentes topologies.

Mais en contrepartie :

- la valeur de l'inductance surfacique est élevée (ce qui permettra, à inductance donnée, de minimiser la surface du composant et donc son coût),
- il n'y a ni via électrique, ni via magnétique.

Cette structure en spirale sera donc très avantageuse pour une utilisation en inductance, l'utilisation en transformateur, elle, s'avérera peu judicieuse puisqu'un entrefer existe par construction. Mais des structures proches, à enroulements en spirale, peuvent tout de même être de bons transformateurs ([Yamaguchi]).

### ***1.2.2 Les besoins de la topologie étudiée***

Tout d'abord, dans notre étude, le composant magnétique est une inductance, ce qui éclaircit considérablement le choix de la topologie. En effet, dans notre cas, les structures n'offrant pas la possibilité de stocker l'énergie dans l'air seront à proscrire : le niveau de pertes dans le fer sera trop élevé et le volume de circuit magnétique devra être très important pour emmagasiner toute l'énergie nécessaire à la magnétisation de l'inductance.

Un simple calcul d'énergie permet d'éliminer les solutions à stockage d'énergie uniquement dans le circuit magnétique. Ce calcul admet pour hypothèse que le champ magnétique est homogène dans l'inductance.

Prenons le cas d'un matériau de faible perméabilité égale à 800 (qui est pourtant le meilleur des cas pour la fabrication des inductances) et d'induction à saturation de 600mT. Ce cas n'est pas anodin, puisqu'il s'agit des caractéristiques classiques d'un matériau type fer nickel NiFe 80/20 (80% de nickel et 20% de fer).

La puissance de notre convertisseur est de 1W, avec une fréquence de 500kHz. L'énergie nécessaire à la limite entre la conduction continue et discontinue est alors de 1µJ. Le matériau utilisé est capable de stocker une énergie volumique égale à :

$$E_v = \frac{B^2}{2\mu_0\mu_r} = 179J/m^3$$

Compte tenu des contraintes imposées par le cahier des charges du convertisseur et des capacités énergétiques du matériau, le volume magnétique nécessaire au stockage de l'énergie serait de 5.5mm<sup>3</sup>.

En considérant les contraintes technologiques concernant la hauteur maximum de dépôt possible en électrodéposition dans des moules en résine SU8 (hauteur proche de 100µm), la surface minimale de notre inductance serait donc de 55mm<sup>2</sup> ce qui induirait un coût par composant trop élevé pour envisager une industrialisation ultérieure.

En reprenant le même calcul en admettant que l'énergie est stockée exclusivement dans l'air, le volume d'air nécessaire est µ fois plus faible, puisque l'induction dans l'air reste égale à 600mT (en considérant que le vecteur induction est normal aux surfaces qu'il traverse : hypothèse de conservation de la composante normale de l'induction à l'interface entre deux matériaux). Ce calcul conduit à une surface d'inductance proche de 0,07mm<sup>2</sup>.

Ainsi, la topologie d'inductance la plus adaptée au cas étudié sera la spirale. Comme cela a été dit précédemment, cette structure présente une forte inductance surfacique mais son dimensionnement reste complexe.

### ***1.2.3 Dimensionnement de la structure en spirale***

Le dimensionnement d'une telle structure imposera une grande rigueur quant à l'utilisation des équations de Maxwell. Un rappel de ces équations est fait en Annexe 1.

#### **1.2.3.a) Calcul du champ dans la fenêtre de bobinage**

Ce calcul est mené à partir de la structure spirale vue en coupe ci-dessous (Figure 1-16). Elle consiste en deux plaques de matériau magnétique prenant en sandwich une spirale en cuivre. Cette structure peut être circulaire ou rectangulaire, mais le calcul est effectué sur une structure à circuit magnétique circulaire (et donc à spires enfermées circulaires).

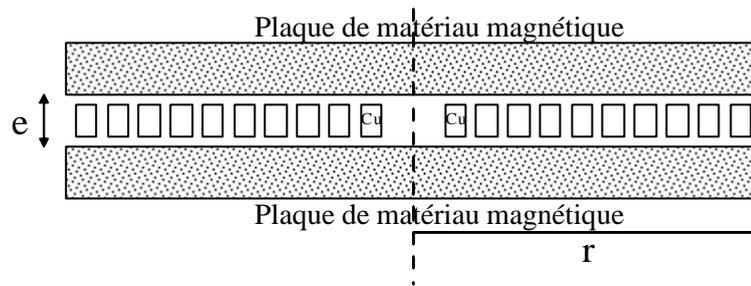


Figure 1-16 : Inductance spirale en sandwich

L'épaisseur du cuivre n'est pas prise en compte (hypothèse de conducteurs filaires) ; la circulation du champ H dans le fer est considérée nulle ( $\mu_r \gg \mu_0$ ).

Ce calcul est basé sur le théorème de superposition : l'expression du champ magnétique est calculée pour une seule spire de rayon  $r_i$ , puis la somme des champs générés par toutes les spires est effectuée.

Le champ H créé par une spire de rayon  $r_i$  peut se calculer à partir de la figure ci-dessous (Figure 1-17).

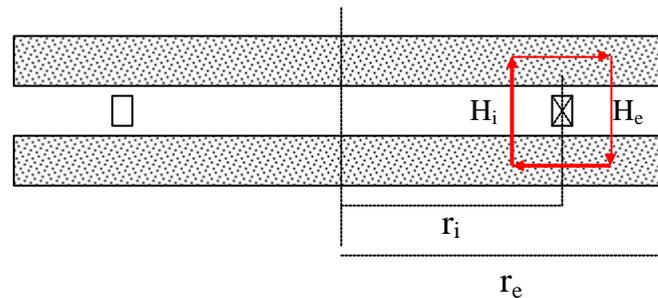


Figure 1-17 : Inductance en spirale à un seul conducteur

La circulation de H dans le fer étant nulle, le théorème d'Ampère appliqué sur le chemin rouge donne :

$$H_i \cdot e + H_e \cdot e = I \quad \text{Équation 1-1}$$

Cette équation possède deux inconnues à déterminer :  $H_i$ , champ intérieur à la spire et  $H_e$ , champ extérieur à la spire. Pour obtenir une seconde équation liant les champs, la conservation du flux est appliquée à cette inductance à une spire. En effet, le flux sortant de la spire est égal au flux entrant, ce qui implique pour une structure circulaire, en considérant que toutes les lignes de champ se referment dans l'entrefer :

$$B_i \cdot \pi \cdot r_i^2 = B_e \cdot \pi \cdot (r_e^2 - r_i^2) \quad \text{Équation 1-2}$$

*Remarque* : Pour une structure plane (nom attribué dorénavant aux inductances à circuit magnétique rectangulaire et, donc, non axisymétrique), le calcul reste identique, aux sections de passage du flux près.

Ainsi, une seconde relation entre  $H_i$  et  $H_e$  peut être déterminée :

$$H_i \cdot r_i^2 = H_e \cdot (r_e^2 - r_i^2) \quad \text{Équation 1-3}$$

La résolution de ce système d'équations donne :

$$H_i = \frac{I}{e} \cdot \left( \frac{r_e^2 - r_i^2}{r_e^2} \right) \quad \text{Équation 1-4}$$

$$H_e = \frac{I}{e} \cdot \left( \frac{r_i^2}{r_e^2} \right) \quad \text{Équation 1-5}$$

A partir de ces expressions, l'allure du champ magnétique dans l'entrefer peut être déterminée en fonction de la géométrie des spires.

Dans l'exemple suivant, les spires sont numérotées de 1 (spire au  $r_i$  le plus faible) à 10, en prenant  $e=100\mu\text{m}$ ,  $r_e=2\text{mm}$ . Si l'on répartit les spires uniformément, alors le  $r_i$  de la spire 1 vaut 0,18mm. Le tableau suivant donne les valeurs du champ magnétique dans l'entrefer, engendrées par un courant de 1A. Les grandeurs de ce tableau représentent les contributions de chacune des spires prise seule, jusqu'à la dernière ligne qui représente le champ total.

	Entre spires 10 et ext	Entre spires 9 et 10	Entre spires 8 et 9	Entre spires 7 et 8	Entre spires 6 et 7	Entre spires 5 et 6	Entre spires 4 et 5	Entre spires 3 et 4	Entre spires 2 et 3	Entre spires 1 et 2	Entre spires 0 et 1
Spire 1	-81	-81	-81	-81	-81	-81	-81	-81	-81	-81	9919
Spire 2	-324	-324	-324	-324	-324	-324	-324	-324	-324	9676	9676
Spire 3	-729	-729	-729	-729	-729	-729	-729	-729	9271	9271	9271
Spire 4	-1296	-1296	-1296	-1296	-1296	-1296	-1296	8704	8704	8704	8704
Spire 5	-2025	-2025	-2025	-2025	-2025	-2025	7975	7975	7975	7975	7975
Spire 6	-2916	-2916	-2916	-2916	-2916	7084	7084	7084	7084	7084	7084
Spire 7	-3969	-3969	-3969	-3969	6031	6031	6031	6031	6031	6031	6031
Spire 8	-5184	-5184	-5184	4816	4816	4816	4816	4816	4816	4816	4816
Spire 9	-6561	-6561	3439	3439	3439	3439	3439	3439	3439	3439	3439
Spire 10	-8100	1900	1900	1900	1900	1900	1900	1900	1900	1900	1900
Champ Total (A/m)	-31185	-21185	-11185	-1185	8815	18815	28815	38815	48815	58815	68815

Tableau 1-1 : Répartition du champ magnétique dans une inductance en spirale de 10 spires

Le champ H peut être tracé en concordance avec la géométrie étudiée (Figure 1-18). Rappelons que l'hypothèse de conducteurs sans épaisseur (conducteurs filaires) a été prise.

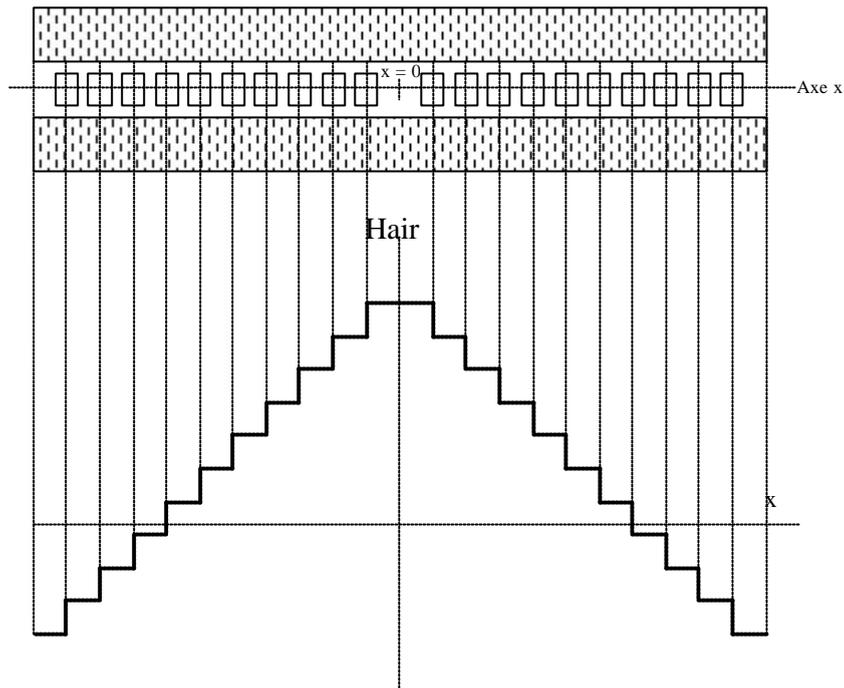


Figure 1-18 : Champ dans la fenêtre de bobinage (hypothèse de conducteurs filaires)

Vues les faibles dimensions du système, une linéarisation de la courbe ci avant peut-être effectuée. Ainsi, dans l'exemple ci-dessus, pour  $x > 0$ , le champ s'exprime par :

$$H(x) = -50000.10^3.x + 68000 \quad \text{Équation 1-6}$$

1.2.3.b) Expression de l'induction dans le matériau magnétique

Grâce à cette expression linéarisée, le champ peut se calculer dans le fer, en considérant l'inductance sans fuite et en admettant que le champ entrant dans le matériau magnétique se rabat immédiatement dans la direction de l'axe x. Le matériau magnétique est considéré linéaire. Ainsi, le flux peut être exprimé en un point R quelconque du matériau (flux passant dans l'épaisseur de peau  $\delta$ ) en égalant ce flux à la somme des flux étant entrés dans le matériau pour  $0 < x < R$ . Uniquement la composante horizontale  $B_x$  de l'induction dans le matériau magnétique est prise en compte.

$$\Phi(R) = B_x . 2.\pi.R.\delta = \int_0^R \mu_0 . 2.\pi.x.d x.H(x) \quad \text{Équation 1-7}$$

$$B_x . 2.\pi.R.\delta = \mu_0 . 2.\pi. \int_0^R (-50000.10^3.x^2 + 68000.x).dx$$

$$B_x \cdot 2 \cdot \pi \cdot R \cdot \delta = \mu_0 \cdot 2 \cdot \pi \cdot \left( -\frac{50000}{3} \cdot 10^3 \cdot R^3 + \frac{68000}{2} \cdot R^2 \right)$$

Finalement, l'induction en un point x du matériau vaut :

$$B_x = \frac{\mu_0 \cdot \left( -\frac{50000}{3} \cdot 10^3 \cdot R^2 + \frac{68000}{2} \cdot R \right)}{\delta} \quad \text{Équation 1-8}$$

La Figure 1-19 représente la répartition de l'induction en fonction du rayon, pour une épaisseur de peau de 10µm (correspondant à un matériau NiFe 80/20 fonctionnant à 500kHz).

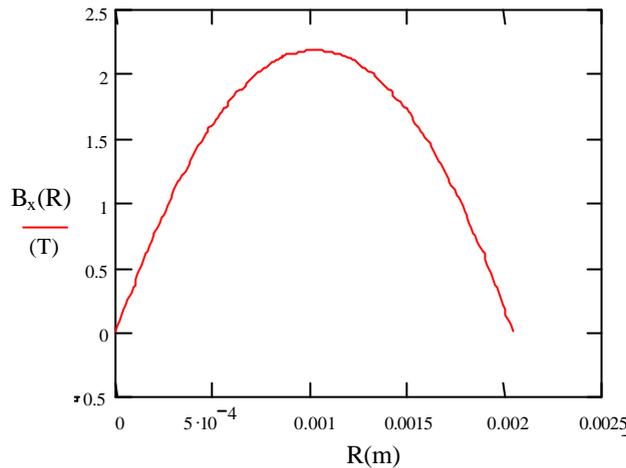


Figure 1-19 : Répartition de l'induction dans le fer

L'avantage de ce calcul réside dans la possibilité de le systématiser. Il permet de prédéterminer l'induction maximale dans le matériau magnétique et donc de vérifier l'hypothèse de linéarité du matériau magnétique. Ici, il est clair que le matériau magnétique ne fonctionnera pas dans sa zone linéaire mais qu'il sera saturé ( $B_{\max} = 2,2T$  !).

En ce qui concerne la valeur de l'inductance, son calcul est fait en partant de l'hypothèse que toute l'énergie est stockée dans l'entrefer e. Alors, cette énergie peut s'exprimer de la manière suivante :

$$W = \iiint_V \frac{1}{2} \cdot \frac{B^2}{\mu_0} \cdot dV$$

Son calcul conduit à :

$$W = \frac{1}{2} \cdot \mu_0 \cdot 2 \cdot \pi \cdot e \cdot \int_0^{2 \cdot 10^{-3}} (2,5 \cdot 10^{15} \cdot x^3 + 4,624 \cdot 10^9 \cdot x - 6,8 \cdot 10^{12} \cdot x^2) \cdot dx$$

Finalement, l'énergie qui sera stockable dans l'entrefer de cette structure vaudra :

$$W = 1,052 \cdot 10^{-12} \text{ J}$$

Or, la valeur d'une inductance et l'énergie qu'elle est capable de stocker sont directement liées par :

$$W = \frac{1}{2} \cdot L \cdot I^2$$

Ainsi, la valeur de l'inductance sera :

$$L = 0,88\mu\text{H}$$

Cette inductance aura donc quasiment la valeur désirée en théorie, mais saturera en pratique, ce qui ramènera l'inductance à des valeurs beaucoup plus faibles. De plus, ses pertes seront prohibitives, ce qui disqualifie une inductance avec de telles dimensions. Ce calcul peut donc être inséré dans une boucle informatique, avec des conditions sur l'induction maximale et la valeur de l'inductance, et donner ainsi les dimensions approximatives d'une inductance satisfaisant le cahier des charges.

Toutefois, ce calcul seul ne sera pas satisfaisant pour déterminer les dimensions d'une inductance répondant à un cahier des charges donné. En effet, aux fréquences de travail de l'inductance objet de notre étude, les pertes dans les matériaux (cuivre et NiFe) interviendront très fortement sur le dimensionnement. Ces pertes seront étudiées ultérieurement.

*Remarque* : ce calcul appliqué au cas d'une inductance spirale à circuit magnétique circulaire est facilement extensible au cas inductance spirale à circuit magnétique rectangulaire et spires sorties. Par contre, le cas rectangulaire à spires enfermées sera beaucoup plus complexe à calculer : en effet, le champ dans le matériau magnétique de cette topologie d'inductance n'admet aucune symétrie (Figure 1-22).

Le calcul précédent, tel qu'il est présenté, ne permet pas de déterminer l'impact d'un changement des dimensions de l'inductance sur les grandeurs magnétiques et électriques. Moyennant certaines approximations légitimes, ce calcul peut être effectué afin de guider la conception et de faciliter le dimensionnement d'un tel composant.

### 1.2.3.c) Analyse des variations de l'induction et de l'énergie avec les dimensions géométriques

Afin de garder une base de comparaison, la topologie d'inductance sur laquelle le calcul sera mené sera la spirale à circuit magnétique circulaire.

Les spires de cette spirale seront considérées jointives, et, afin de garder un paramètre référence, la densité de courant (notée  $J$  en  $\text{A}/\text{mm}^2$ ) sera considérée constante.

Ainsi, la structure d'étude vue de coupe sera celle présentée sur la Figure 1-20.

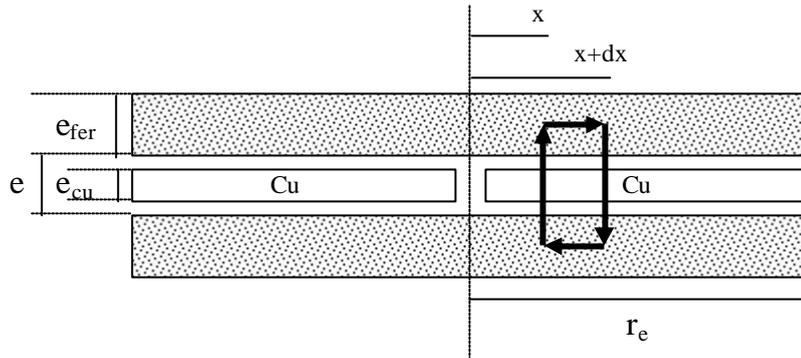


Figure 1-20 : Structure d'étude de l'influence des grandeurs géométriques

Une partie des calculs est identique aux précédents ; c'est pourquoi les calculs suivants seront menés plus rapidement qu'avant.

Il a été vu précédemment que l'énergie  $W$  peut s'exprimer par :

$$W = \iiint_V \frac{B^2}{2\mu_0} \cdot dV$$

Donc, dans le cas d'un pot circulaire stockant toute l'énergie dans l'entrefer  $e$  :

$$W = \frac{\mu_0 \cdot e \cdot 2 \cdot \pi}{2} \int_0^{r_e} H(x)^2 \cdot x \cdot dx$$

En appliquant le théorème d'Ampère sur le contour noir dessiné sur la figure ci-avant, contour allant de  $x$  à  $x+dx$ , la relation suivante peut être déterminée :

$$\frac{H(x+dx) - H(x)}{dx} = -\frac{e_{cu} \cdot J}{e} = \frac{dH(x)}{dx}$$

Après intégration, l'expression devient :

$$H(x) = -\frac{e_{cu} \cdot J}{e} \cdot x + K$$

Afin de déterminer la constante  $K$ , considérons une distribution de courant répartie sur la longueur du rayon  $r_e$  ; le champ dans l'air s'annule au point  $2 \cdot r_e/3$ . Donc  $H(2 \cdot r_e/3) = 0$ .

En effet, en injectant l'expression de  $H(x)$  précédente dans l'Équation 1-7, il est possible d'exprimer  $B_x$ , induction dans le matériau magnétique en un point  $R$  :

$$B_x \cdot 2 \cdot \pi \cdot R \cdot \delta = \int_0^R \mu_0 \cdot 2 \cdot \pi \cdot x \cdot dx \cdot \left( -\frac{e_{cu} \cdot J}{e} \cdot x + K \right)$$

En considérant ce calcul en basse fréquence ( $d=e_{fer}$ ), alors :

$$B_x(R) = \frac{1}{2 \cdot \pi \cdot R \cdot e_{fer}} \left[ \mu_0 \cdot 2 \cdot \pi \cdot \left( -\frac{e_{cu} \cdot J}{e} \cdot \frac{R^3}{3} + K \cdot \frac{R^2}{2} \right) \right] = \frac{\mu_0}{e_{fer}} \cdot \left[ -\frac{e_{cu} \cdot J}{e} \cdot \frac{R^2}{3} + K \cdot \frac{R}{2} \right]$$

Ainsi, en  $R=0$ , l'induction dans le fer est nulle ; de la même manière, en  $R=r_e$ , l'induction doit aussi être nulle. Cela permet d'exprimer la constante  $K$  :

$$K = \frac{2}{3} \cdot \frac{e_{cu} \cdot J \cdot r_e}{e}$$

Or, la quantité  $e_{cu} \cdot J \cdot r_e$  représente le courant  $I$  circulant dans l'inductance. Donc :

$$K = \frac{2}{3} \cdot \frac{I}{e}$$

L'expression du champ sera donc :

$$H(x) = -\frac{e_{cu} \cdot J}{e} x + \frac{2 \cdot e_{cu} \cdot J \cdot r_e}{3 \cdot e}$$

$$H(x) = \frac{e_{cu} \cdot J}{e} \left( \frac{2}{3} r_e - x \right)$$

Cette expression s'annulera donc toujours en  $x=2 \cdot r_e/3$ .

En intégrant  $H^2(x) \cdot x \cdot dx$ , l'énergie est trouvée égale à :

$$W = \frac{\mu_0}{36 \cdot e} \cdot \pi \cdot r_e^4 \cdot e_{cu}^2 \cdot J^2$$

L'énergie volumique et l'inductance vaudront donc :

$$W_v = \frac{\mu_0}{36} \cdot r_e^2 \left( \frac{e_{cu}}{e} \right)^2 \cdot J^2 \quad \text{Équation 1-9}$$

$$L = \frac{\mu_0}{18} \cdot r_e^2 \left( \frac{e_{cu}}{e \cdot I} \right)^2 \cdot J^2 = \frac{\mu_0}{18} \left( \frac{1}{e} \right)^2 \quad \text{Équation 1-10}$$

L'induction dans le fer est obtenue par la conservation du flux :

$$B(x) = \frac{\mu_0 \cdot e_{cu} \cdot J}{e \cdot e_{fer}} \left( \frac{1}{3} \cdot r_e \cdot x - \frac{x^2}{3} \right) \quad \text{Équation 1-11}$$

$$B_{max} = \frac{\mu_0 \cdot e_{cu} \cdot J \cdot r_e^2}{12 \cdot e \cdot e_{fer}} \quad \text{Équation 1-12}$$

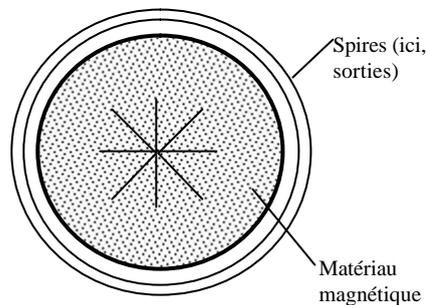
Une analyse de ces différentes formules permet de dire qu'à densité de courant constante, si toutes les dimensions sont multipliées par 10, l'énergie est multipliée par 100.000, l'énergie volumique par 100, l'induction maximale par 10 et l'inductance sera divisée par 100. Ces réflexions pourront aider au dimensionnement de l'inductance.

## 1.2.4 Dimensionnement de l'inductance correspondant au cahier des charges

### 1.2.4.a) Positionnement des spires de l'inductance

L'inductance en spirale choisie est une inductance rectangulaire à spires sorties. Ce choix s'explique de trois manières :

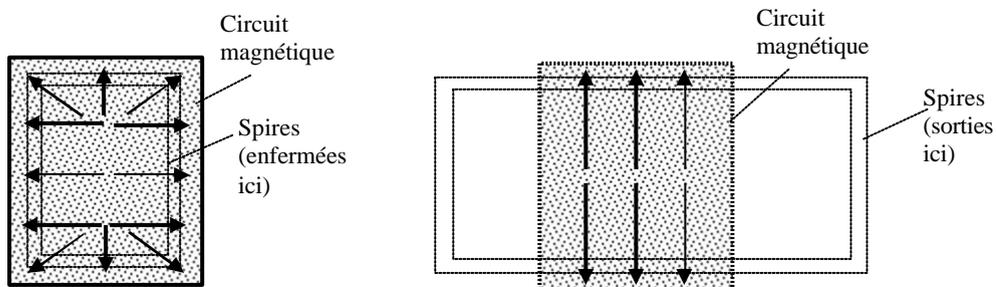
- une inductance en spirale circulaire à spires sorties ou enfermées (Figure 1-21), génèrera toujours une induction radiale dans le matériau magnétique (voir figure ci-dessous). Le fait que l'induction ait plusieurs directions ne permettrait pas, le cas échéant, un feuilletage simple du circuit afin de couper les courants de Foucault ;



*Flèches en gras = direction de l'induction*

**Figure 1-21 : Inductance en spirale circulaire**

- lors du design de l'inductance, il est toujours beaucoup plus simple de travailler sur des surfaces rectangulaires que sur des surfaces circulaires : les logiciels de CAO sont très lents lorsqu'il s'agit de traiter les surfaces circulaires ;
- une inductance en spirale rectangulaire (dite plane) à spires enfermées génèrera aussi un champ dans plusieurs directions, ce qui n'est pas le cas de la spirale plane à spires sorties (voir Figure 1-22).



*Flèches en gras = direction de l'induction*

**Figure 1-22 : Inductance en spirale plane**

L'inductance se présentera donc de la manière suivante (Figure 1-23) :

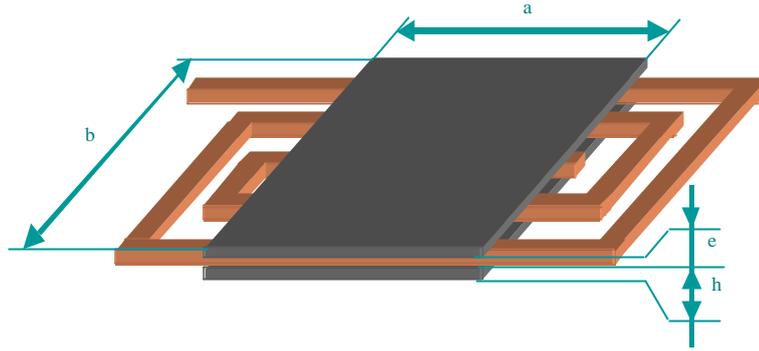


Figure 1-23 : Vue globale de l'inductance

La feuille de calcul réalisée avec le logiciel Mathcad® et réalisant le dimensionnement itératif de cette inductance est placée en Annexe 2.

Pour cette feuille de calcul, l'induction maximale à ne pas dépasser a été imposée à 0,4T dans le NiFe afin de ne pas atteindre un niveau de pertes trop important.

Les courbes de pertes données par les fabricants pour ces matériaux NiFe sont peu intéressantes car elles sont données pour des fréquences industrielles (50Hz souvent). Quoiqu'il en soit, ces pertes fer seront de valeurs élevées vues les fréquences mises en jeu.

#### 1.2.4.b) Méthode de dimensionnement

Le calcul est réalisé de manière itérative. En effet, pour dimensionner cette inductance, il est nécessaire de fixer un certain nombre de dimensions géométriques. Par exemple, la hauteur  $h$  de matériau magnétique sera souvent limitée par les contraintes technologiques. L'intérêt du concepteur d'inductance sera d'avoir une hauteur de NiFe la plus importante possible afin de reculer la valeur de courant dans L amenant à la saturation. Dans le cas de l'électrodéposition, le LAAS limitera ses dépôts de NiFe à 100 $\mu$ m pour les raisons évoquées dans le chapitre précédent.

L'entrefer,  $e$ , sera à la fois déterminé par les contraintes technologiques et par la valeur de résistance série de l'inductance à ne pas dépasser. En effet, le cuivre étant placé dans l'entrefer, la hauteur de cuivre et la valeur de  $e$  seront directement liées. Cette hauteur sera fixée à 100 $\mu$ m. Dans les calculs et simulations, le cuivre possèdera la même hauteur que l'entrefer.

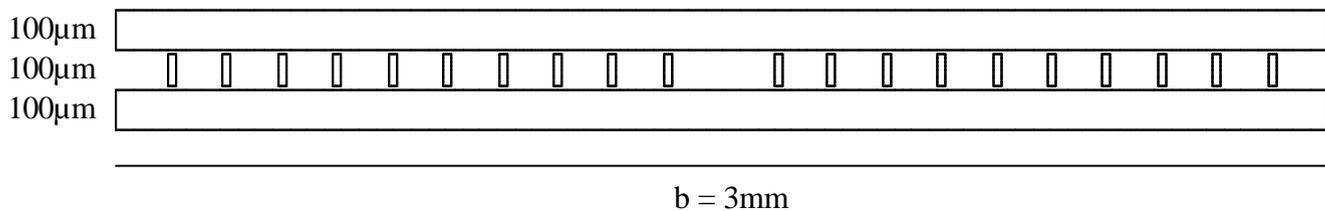
Le nombre de spires  $N$  est le paramètre le plus sensible. Il influence à la fois la valeur de L, de  $B_{\max}$ , et la résistance série de l'inductance. Il est important de fixer ce paramètre. Toutefois, la valeur de la résistance série étant liée directement aux valeurs de  $e$  et  $N$ , la dimension  $e$  sera prise à son maximum afin de laisser à  $N$  une marge de variations possibles importante. Le nombre de spires sera fixé à 10 dans un premier temps.

Après cela, les calculs peuvent être lancés : la dimension  $a$  imposera la valeur de  $B_{\max}$ , et  $b$  celle de  $L$ .  $a$  et  $b$  sont donc les deux paramètres sur lesquels le concepteur pourra jouer (Figure 1-23).

Afin de garantir ces calculs, des simulations éléments finis ont été menées en deux dimensions avec le logiciel Flux2D®. En effet, les simulations deux dimensions seront suffisantes puisque les effets de bords ainsi que le champ créé par les spires hors des plaques magnétiques seront négligés. La simulation a été réalisée en magnétodynamique (prise en compte des effets fréquentiels) mais à basse fréquence afin que les pertes dans la structure ne perturbent pas la valeur statique de l'inductance.

*Remarque : l'inductance aurait pu se mesurer sous Flux2D® en magnétostatique, mais pour préparer d'autres simulations, il a été plus pratique de simuler directement en magnétodynamique.*

La structure simulée vue de coupe est la suivante (Figure 1-24) :



**Figure 1-24 : Structure simulée**

Elle possède une profondeur de 4mm et le courant injecté vaut 1A efficace (comme prévu par le cahier des charges).

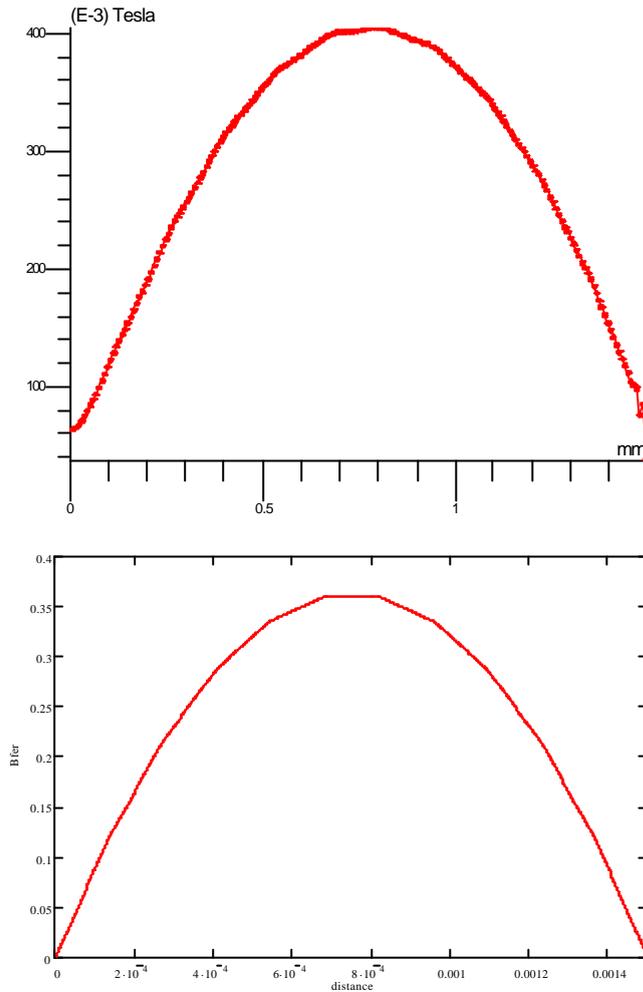
Les spires sont très fines afin de rapprocher la structure simulée des hypothèses faites lors du calcul analytique (conducteurs filaires).

Ci-dessous est présentée une brève comparaison des résultats déterminés en simulation avec ceux déterminés en analytique.

	<i>Simulation 2D</i>	<i>Calcul analytique</i>
<i>Induction maximale <math>B_{\max}</math> (mT)</i>	400	360
<i>Valeur de <math>L</math> (<math>\mu\text{H}</math>)</i>	1,6	1,5

Vues les approximations faites lors du calcul analytique de ces grandeurs, la concordance des résultats sont tout à fait acceptables (erreur inférieure à 12%).

Les courbes d'induction dans le fer obtenues après simulation et après calcul sont comparées ci après (Figure 1-25).



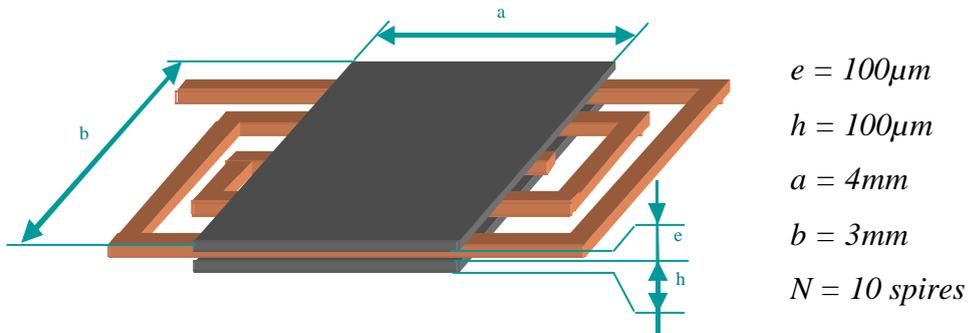
*Module de  $B(T)$  dans le fer en simulation*

*Module de  $B(T)$  dans le fer en analytique*

**Figure 1-25 : Comparaison de l'induction dans le fer déterminée par simulation et par calcul analytique**

### 1.2.5 Conclusion

L'inductance répondant au cahier des charges aura les dimensions indiquées ci-après (Figure 1-26). Le dessin ci-dessous n'est pas à l'échelle afin de faire ressortir toutes les dimensions de l'inductance.



**Figure 1-26 : Géométrie de l'inductance suite au dimensionnement**

La hauteur de cuivre étant imposée à  $100\mu\text{m}$ , la largeur des pistes devra à la fois permettre aux  $N$  spires de rentrer correctement dans la fenêtre de bobinage et à la résistance série d'être inférieure ou égale à la valeur demandée par le cahier des charges.

Ainsi, pour obtenir une résistance série inférieure à  $0,2\Omega$  avec 10 spires, en statique, il faudra une largeur de conducteurs égale à  $100\mu\text{m}$ . Les spires seront donc de section carrées, traversées par une densité de courant en statique égale à  $100\text{A}/\text{mm}^2$ . Cette valeur de densité de courant est inadmissible pour les inductances discrètes ; mais pour les inductances sur silicium, plates de par leur construction, cette densité de courant n'a rien d'anormal car l'échange thermique est favorisé. Certaines universités (au Japon notamment) ont dépassé les  $1000\text{A}/\text{mm}^2$ . En effet, les pertes s'évacuent à travers le NiFe et le Si, ceci avec une surface d'échange fer/cuivre/silicium très importante. Ces surfaces d'échange conduisent à des densités surfaciques de pertes de  $2\text{W}/\text{cm}^2$  pour le cuivre à  $3\text{W}/\text{cm}^2$  pour le NiFe.

*Remarque : l'inductance choisie étant une structure spirale à spires sorties, sa surface sur silicium ne sera pas celle du noyau magnétique mais essentiellement celle du cuivre. La Figure 1-27 montre le schéma vu de dessus de la partie cuivre de l'inductance dimensionnée. Encore une fois, ce dessin n'est pas à l'échelle, mais il permet d'avoir une vue significative des positions relatives du noyau magnétique (en pointillés) et de la spirale en cuivre. Autant les dimensions des spires sous le noyau ont été dimensionnées de manière rigoureuse, autant les dimensions du cuivre hors du noyau sont empiriques. En effet, ces dimensions sont contraintes par un encombrement devant être minimal et un écartement suffisant des pistes pour ne pas perturber le champ dans l'inductance. Une telle structure aura donc un rayonnement extérieur qui conduira sans doute à un placement calculé des composants voisins de l'inductance.*

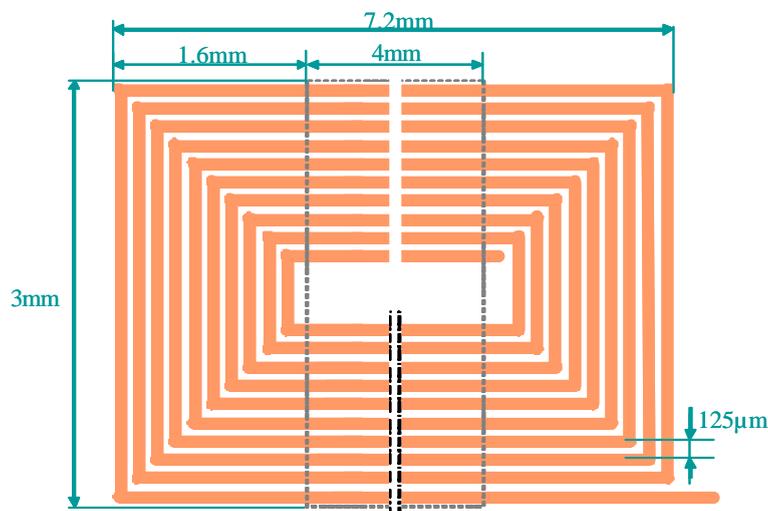


Figure 1-27 : Circuit cuivre de l'inductance dimensionnée

Les contraintes énergétiques du convertisseur dans lequel sera placée cette inductance sont telles qu'il est impossible d'ignorer les pertes dont elle sera le siège. Dans ce type d'inductance, les pertes ont deux origines : les conducteurs (pertes dites *cuivre*) et le matériau magnétique (pertes dites *fer*). Le chapitre suivant sera donc consacré à l'étude, la modélisation analytique et la simulation de ces pertes.

---

## **Chapitre 2 - Etude des pertes dans l'inductance**



## 2.1 Etude des pertes cuivre

### 2.1.1 Justification de l'étude

Cette étude pouvant s'avérer longue et fastidieuse, il est nécessaire d'en justifier l'utilité dans le cas d'une topologie d'inductance en spirale telle que celle étudiée. Pour cela, trois types de structures dites «en pot » ont été étudiées afin d'en comparer les pertes cuivre. Pour des raisons de simplicité de simulation, ces structures sont prises circulaires dans ce paragraphe. Ces trois topologies présentées ci après (vues de coupe 1/2) sont caractéristiques des structures répandues en électronique de puissance. Elles sont nommées respectivement P0J (Pot sans Jambe : Figure 2-1), P1J (Pot 1 Jambe : Figure 2-2) et P2J (Pot 2 Jambes : Figure 2-3).

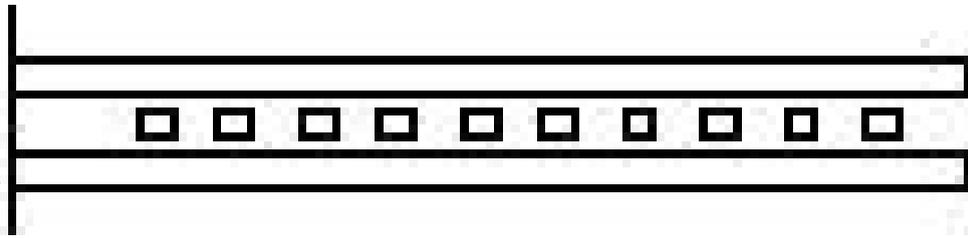


Figure 2-1 : Topologie P0J

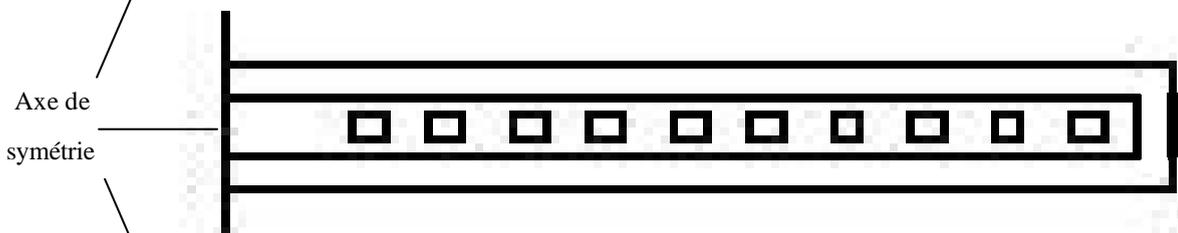


Figure 2-2 : Topologie P1J

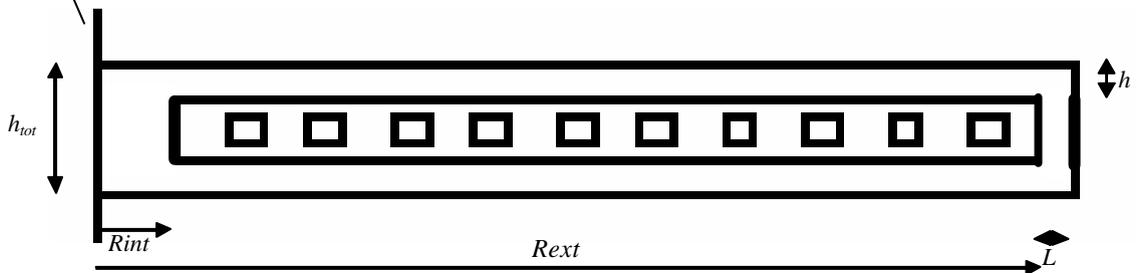


Figure 2-3 : Topologie P2J

Les dimensions données sont les suivantes :  $R_{ext} = 3\text{mm}$  ;  $R_{int} = 0.125\text{mm}$  ;  $h_{tot} = 0.42\text{mm}$  ;  $h = 0.12\text{mm}$  ;  $L = 0.05\text{mm}$ . Mais ces dimensions sont sans importance car l'objet de cette étude est d'effectuer un comparatif qualitatif de ces trois structures. Seule la hauteur  $h_{tot}$  sera limitative dans l'impact de cette étude. En effet, il faut que cette hauteur soit nettement inférieure au rayon extérieur de l'inductance ; dans le cas contraire, les structures telles que l'inductance de la topologie P2J n'auront que très peu de champ magnétique dans la fenêtre de bobinage.

Ces trois topologies circulaires ont été simulées en sinusoïdal grâce au logiciel Flux2D<sup>®</sup> en axisymétrique donnant ainsi à l'inductance la symétrie de rotation. Cette symétrie permet de simuler la topologie en deux dimensions ([Ryu]).

Afin de mener une étude plus complète, la perméabilité relative du matériau magnétique a été prise comme paramètre. En effet, ces structures sont strictement équivalentes lorsque la perméabilité relative du matériau magnétique est unitaire (matériau magnétique se comporte comme l'air vis-à-vis de l'induction). Ce matériau est considéré sans pertes (résistivité infinie) de manière à dissocier les problèmes de pertes fer et de pertes cuivre.

Les simulations ont été effectuées en statique (Figure 2-4) puis en dynamique à 500kHz (Figure 2-5). Les résultats suivants ont été obtenus.

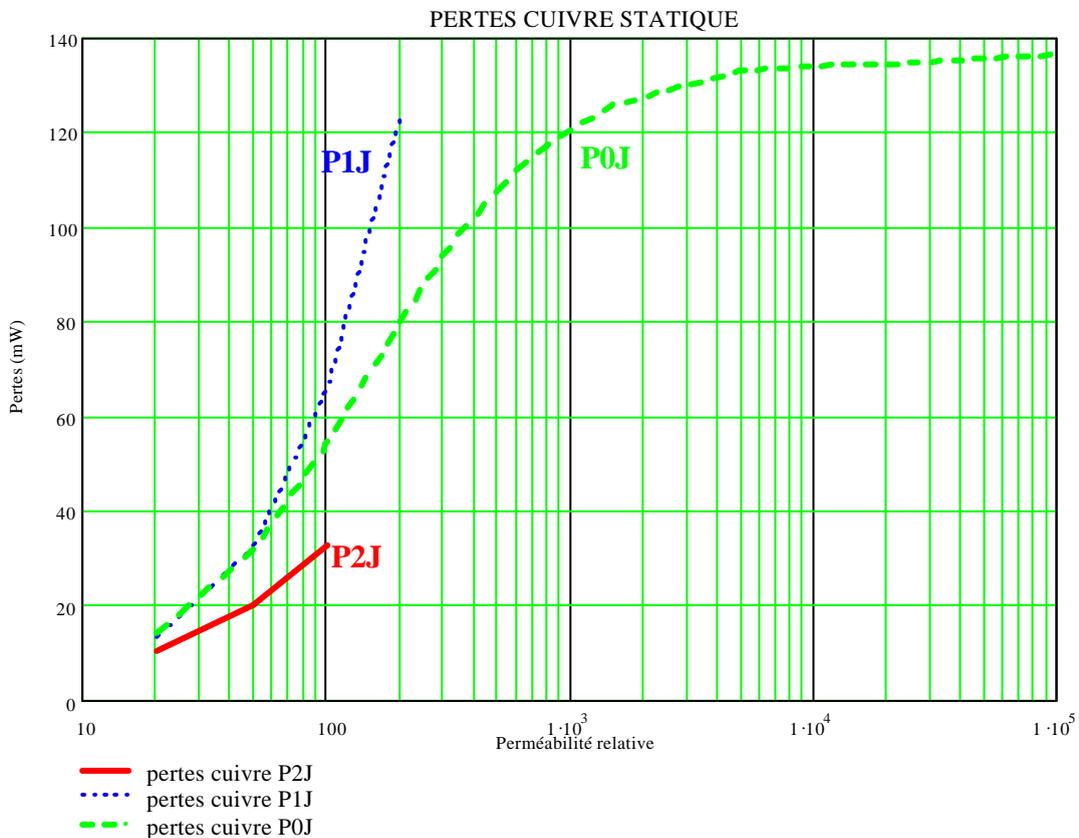
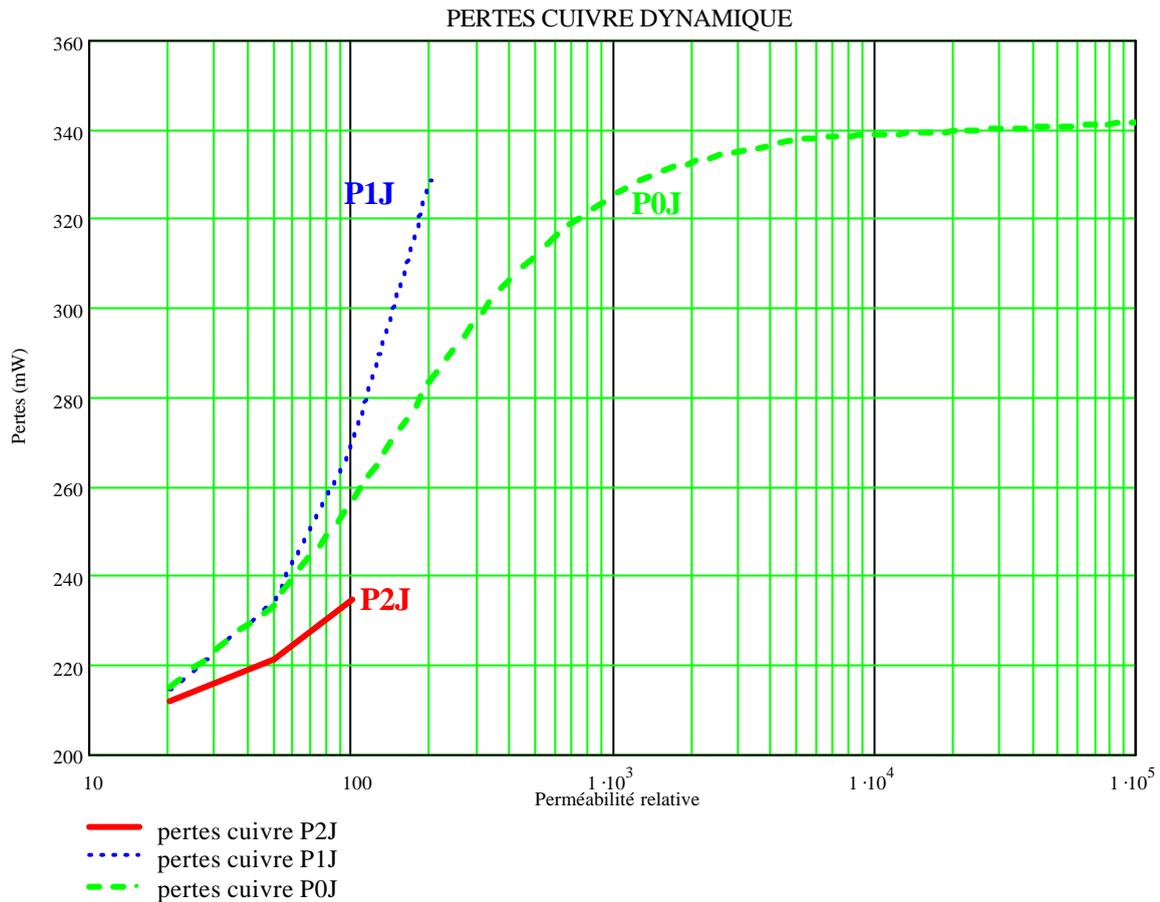


Figure 2-4 : Comparatif des pertes cuivre dans les topologies d'inductance en statique



**Figure 2-5 : Comparatif des pertes cuivre dans les topologies d'inductance en dynamique**

Il apparaît de ces simulations que le pot P1J est le pire des cas à perméabilité relative du matériau magnétique donnée. Ceci semble dû au fait que :

- pour P0J, la majorité des lignes de champ traverse les conducteurs, mais la valeur de ce champ est relativement faible par rapport aux autres structures, ce qui relativise le niveau de pertes cuivre,
- pour P2J, très peu de champ traverse les conducteurs, mais ce champ est de forte valeur ;
- pour P1J, la structure allie les 2 inconvénients d'avoir du champ qui traverse les conducteurs (comme P0J) et des valeurs d'induction relativement élevées (comme P2J).

Dans le cas étudié dans ce travail, celui de la réalisation d'une inductance, il vaut mieux raisonner à inductance constante. En statique, pour obtenir une inductance de  $1,2\mu\text{H}$ , les simulations et les calculs montrent qu'il faut :

- $\mu_r = 600$  pour P0J
- $\mu_r = 100$  pour P1J
- $\mu_r = 50$  pour P2J

Or, en se référant aux courbes de pertes tracées précédemment, en statique :

- pertes<sub>P0J</sub> = 113mW
- pertes<sub>P1J</sub> = 65mW
- pertes<sub>P2J</sub> = 20mW

A inductance donnée, ce qui avait été supposé *a priori* est vérifié, à savoir que la meilleure structure en terme de pertes cuivre est la structure P2J, puis la P1J et enfin la P0J. Un autre moyen de constater le fort niveau de pertes cuivre dans la topologie P0J consiste à regarder la répartition des courants dans cette structure. La Figure 2-6 montre cette répartition (le dégradé de couleurs représente la densité de courant avec en rouge les densités les plus fortes, et en bleu les plus faibles).

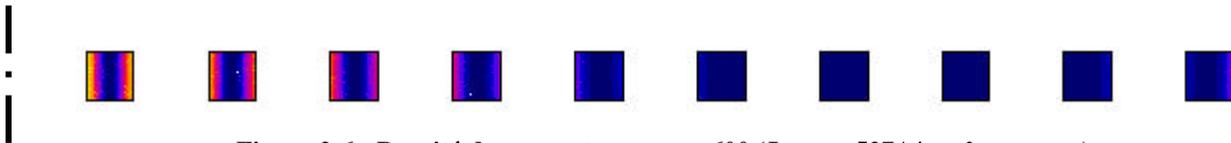


Figure 2-6 : Densité de courant pour  $\mu_r = 600$  ( $J_{max} = 527A/mm^2$  en rouge)

Certaines zones sont parcourues par un courant très fort et d'autres sont désertées. Le profil de répartition de courant laisse présager que les pertes cuivre dans les structures en spirale sont à la fois dues à des effets de peau et des effets de proximité.

Compte tenu de ces considérations, une étude sur ces pertes est totalement justifiée.

La méthode d'analyse des pertes cuivre semblant la plus adaptée à des topologies en spirale semble être celle menée par le Professeur P.L. Dowell en 1966.

### 2.1.2 Calcul des pertes cuivre : méthode de Dowell

#### 2.1.2.a) Rappel des hypothèses de travail de Dowell

A l'origine, cette méthode a été développée pour calculer les pertes cuivre à l'intérieur des transformateurs. Ce paragraphe est consacré à un rappel détaillé des calculs menés par le Professeur P.L. Dowell ([Dowell]), valables en sinusoïdal.

La structure considérée est la suivante (Figure 2-7) :

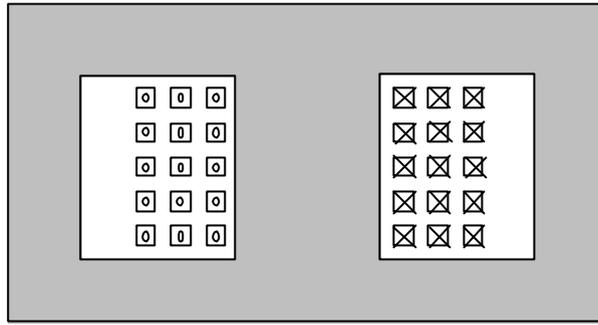


Figure 2-7 : Vue de coupe du transformateur pour l'étude de Dowell

Vues les symétries de cette structure, ce problème peut être traité dans le plan, sur la moitié de la figure précédente. Sur la Figure 2-8, cette zone est agrandie pour définir les grandeurs utiles aux calculs.

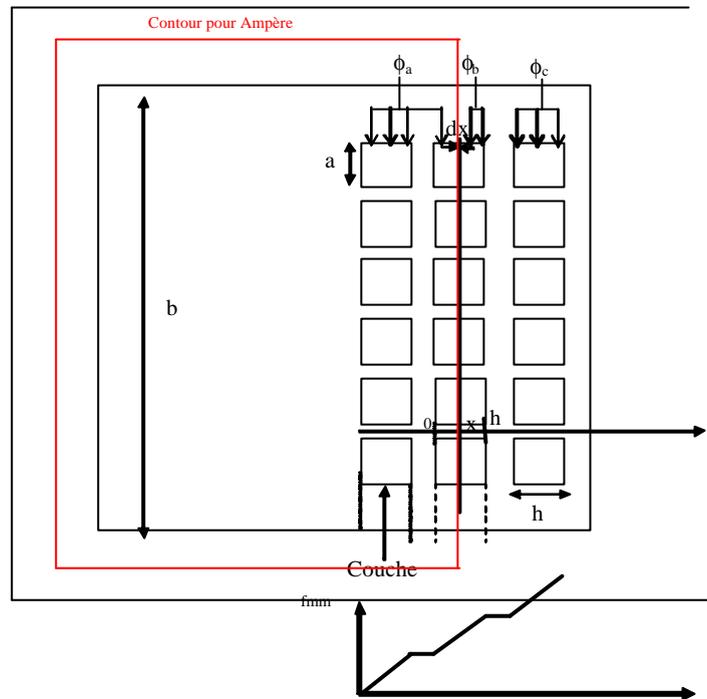


Figure 2-8 : Agrandissement de la structure de transformateur pour l'application de Dowell

Dans la première partie de ces calculs, seul le flux traversant les couches de conducteurs (créant les pertes cuivre) sera étudié. Alors :

$\phi_a$  = flux dans les conducteurs avant la position  $x$  de la couche  $p$ ,

$\phi_b$  = flux dans les conducteurs de la couche  $p$  entre la position  $x$  et la position  $h$ ,

$\phi_c$  = flux dans les conducteurs après la position  $h$ .

Vue la structure, il sera admis que le champ dans l'air n'a pas de composante horizontale. Cette hypothèse est fondamentale.

L'origine du calcul sera le bord gauche d'une couche de conducteur (cf figure précédente).

2.1.2.b) Calcul de la résistance série et de l'inductance de fuite du transformateur

Ce calcul se fera en considérant la partie élémentaire dx de la p<sup>ième</sup> couche de conducteurs. Le flux vu par cette couche élémentaire vaut  $f_b + f_c$ .

Quand x passe de x à x + dx, le flux varie de  $|\delta\phi|$ . Le flux vu en x + dx vaut  $\phi_b + \phi_c$ , celui vu en x vaut  $\phi_b + \phi_c - |\delta\phi|$ . Donc :

$$\frac{d(\phi_b + \phi_c)}{dx} = -\frac{|\delta\phi|}{\delta x} \quad \text{Équation 2-1}$$

L'induction à la position x sera appelée B. Le flux en  $\delta x$  peut donc s'exprimer :

$$\delta\phi = B \cdot l_T \cdot \delta x \quad \text{Équation 2-2}$$

$l_T$  = longueur moyenne de la spire p.

L'application du théorème d'Ampère donne :

$$\oint H \cdot dl = \sum I \quad I = \text{courant total}$$

Le champ n'ayant pas de composante horizontale, la composante verticale se conserve dans la fenêtre de hauteur b. Donc, le champ H est constant.

$$H = \frac{\sum I}{b} \quad \text{Équation 2-3}$$

Pour déterminer la somme des courants, il suffit de sommer les courants coupés par le contour.

$$\sum I = N_1 \cdot I \cdot (p-1) + N_1 \cdot \int_0^x J \cdot dx \quad N_1 = \text{nombre de spires par couche (layer)}$$

J = densité de courant

$$H = \frac{N_1 \cdot I \cdot (p-1) + N_1 \cdot \int_0^x J \cdot dx}{b} = \frac{N_1 \cdot I \cdot (p-1)}{b} + \frac{a}{b} \cdot N_1 \cdot \int_0^x J \cdot dx$$

Vu que ce calcul s'effectue dans l'air :  $B = \mu_0 \cdot H$

$$B = \mu_0 \cdot \frac{N_1 \cdot I \cdot (p-1)}{b} + \mu_0 \cdot \frac{a}{b} \cdot N_1 \cdot \int_0^x J \cdot dx$$

En réinjectant dans l'Équation 2-2 :

$$\delta\phi = \delta x \cdot l_T \cdot \left[ \mu_0 \cdot \frac{N_1 \cdot I \cdot (p-1)}{b} + \mu_0 \cdot \frac{a}{b} \cdot N_1 \cdot \int_0^x J \cdot dx \right] \quad \text{Équation 2-4}$$

A partir de là, connaissant la dérivée du flux par rapport à x, il est possible de réinjecter l'Équation 2-4 dans l'Équation 2-1 :

$$\frac{\delta\phi}{\delta x} = l_T \cdot \left[ \mu_0 \cdot \frac{N_1 \cdot I \cdot (p-1)}{b} + \mu_0 \cdot \frac{a}{b} \cdot N_1 \cdot \int_0^x J \cdot dx \right] = -\frac{\delta(\phi_b + \phi_c)}{\delta x} \quad \text{Équation 2-5}$$

Soit  $V_1$  la tension induite dans la couche élémentaire de largeur  $\delta x$  (tension entre l'entrée et la sortie de cette couche). Cette tension s'exprime alors :

$$V_1 = N_1 \cdot \frac{d(\phi_b + \phi_c)}{dt}$$

En utilisant de manière classique la notation complexe pour les tensions sinusoïdales, la tension  $V_1$  s'écrit :

$$V_1 = j \cdot \omega \cdot (\phi_b + \phi_c) \cdot N_1$$

Comme la même tension existe à travers la hauteur entière du conducteur, la différence de potentiel aux bornes de la couche de largeur  $\delta x$  ne varie pas selon  $x$  :  $\frac{\delta(V_1)}{\delta x} = 0$ . La mise en équation de la tension totale entre l'entrée et la sortie de cette couche élémentaire permet de dissocier :

- la chute de tension résistive :  $N_1 \cdot \rho \cdot l_T$                        $\rho$  = résistivité du cuivre
- la f-e-m due aux flux des autres couches (effet de proximité) :  $j \cdot \omega \cdot (\phi_b + \phi_c) \cdot N_1$

Alors :

$$\frac{\delta(V_1)}{\delta x} = 0 = j \cdot \omega \cdot N_1 \cdot \frac{\delta(\phi_b + \phi_c)}{\delta x} + N_1 \cdot \rho \cdot l_T \cdot \frac{\delta(J)}{\delta x} \quad \text{Équation 2-6}$$

$$\frac{\delta(J)}{\delta x} = \frac{-j \cdot \omega \cdot \frac{\delta(\phi_b + \phi_c)}{\delta x}}{\rho \cdot l_T} \quad \text{Équation 2-7}$$

En utilisant l'Équation 2-5 :

$$\frac{\delta(J)}{\delta x} = \frac{j \cdot \omega \cdot l_T \cdot \mu_0 \cdot \left[ \frac{N_1 \cdot I \cdot (p-1)}{b} + \frac{a}{b} \cdot \int_0^x J \cdot dx \right]}{\rho \cdot l_T} \quad \text{Équation 2-8}$$

La dérivée de l'Équation 2-8 donne :

$$\frac{\delta^2(J)}{\delta x^2} = \frac{j \cdot \omega \cdot \mu_0 \cdot \frac{a}{b} \cdot N_1 \cdot J}{\rho}$$

C'est donc une équation différentielle du second ordre qui peut s'écrire :

$$\frac{\delta^2(J)}{\delta x^2} = \alpha^2 \cdot J \quad \text{Équation 2-9}$$

$$\text{avec } \alpha^2 = \frac{j \cdot \omega \cdot \mu_0 \cdot \frac{a}{b} \cdot N_1}{\rho}$$

La solution de cette équation est :

$$J = P \cdot \cosh(\alpha \cdot x) + Q \cdot \sinh(\alpha \cdot x) \quad \text{Équation 2-10}$$

P et Q sont des constantes qui sont évaluées de la manière suivante :

- en réinjectant l'Équation 2-10 dans l'Équation 2-8 :

$$Q = \frac{a.I.(p-1)}{a}$$

L'Équation 2-10 devient alors :

$$J = P.\cosh(\alpha.x) + \frac{\alpha.I.(p-1)}{a}.\sinh(\alpha.x) \quad \text{Équation 2-11}$$

- en intégrant l'expression de la densité de courant de l'Équation 2-11 sur toute la largeur h d'une couche de conducteurs :

$$\int_0^h N_1.a.J.dx = N_1.I$$

Finalement :

$$P = \frac{\alpha}{a} \left[ \frac{I}{\sinh(\alpha.h)} - I.(p-1).\tanh\left(\frac{\alpha.h}{2}\right) \right] \quad \text{Équation 2-12}$$

Enfin, de l'Équation 2-11 et de l'Équation 2-12 est déterminée la densité de courant J :

$$J = \frac{\alpha.I}{a} \left[ \frac{1}{\sinh(\alpha.h)} - (p-1).\tanh\left(\frac{\alpha.h}{2}\right) \right] \cosh(\alpha.x) + \frac{\alpha.I.(p-1)}{a} \sinh(\alpha.x)$$

Par conséquent, sur le côté droit des conducteurs, la densité de courant  $J_h$  vaut :

$$J_h = \frac{\alpha.I}{a} \left[ \frac{1}{\sinh(\alpha.h)} - (p-1).\tanh\left(\frac{\alpha.h}{2}\right) \right] \cosh(\alpha.h) + \frac{\alpha.I.(p-1)}{a} \sinh(\alpha.h)$$

$$J_h = \frac{\alpha.I}{a} \left[ \frac{\cosh(\alpha.h)}{\sinh(\alpha.h)} - (p-1).\tanh\left(\frac{\alpha.h}{2}\right) \right] \cosh(\alpha.h) + (p-1).\sinh(\alpha.h)$$

$$J_h = \frac{\alpha.I}{a} \left[ \coth(\alpha.h) + (p-1).\tanh\left(\frac{\alpha.h}{2}\right) \right]$$

En appelant :

$$\begin{cases} M = \alpha.h.\coth(\alpha.h) = M' + j.M'' \\ D = 2.\alpha.h.\tanh\left(\frac{\alpha.h}{2}\right) = D' + j.D'' \end{cases}$$

(NB : M et D sont des complexes car  $\alpha$  est un complexe !),

il est possible alors d'exprimer la densité de courant sous la forme :

$$J_h = \frac{I}{a.h} \left[ M + \frac{(p-1)}{2}.D \right] \quad \text{Équation 2-13}$$

La tension qui apparaît en bordure droite de conducteur  $V_h$  peut être calculée car c'est la somme de la chute de tension résistive ( $V_r = N_1.r.J_h.l_T$ ) et de la tension induite  $V_i$  due au flux liant les côtés des conducteurs (proximité). Ce flux est égal à  $f_c$ . Il est donc responsable de l'apparition d'une tension induite dans chacune des couches inférieures à p (c'est à dire de la fmm = 0 à la

couche (p-1)). Donc, d'une manière générale, le flux  $f_p$  dans la p<sup>ième</sup> couche induit une tension  $V_{ip}$  dans chacune des (p-1)<sup>ières</sup> couches inférieures, tension de valeur :

$$V_{ip} = j.N_1.\omega.\phi_p$$

A partir de l'Équation 2-5, le flux dans la couche p se présente de la manière suivante :

$$\phi_p = \int_0^h (l_T \cdot [\mu_0 \cdot \frac{N_1 \cdot I \cdot (p-1)}{b} + \mu_0 \cdot \frac{a}{b} \cdot N_1 \cdot \int_0^x j \cdot dx]) \cdot dx$$

Le flux  $f_p$  peut donc être trouvé et s'exprime de la manière suivante :

$$\phi_p = \frac{\mu_0 \cdot l_T \cdot N_1 \cdot I}{b \cdot \alpha^2 \cdot h} \left[ \left( p - \frac{1}{2} \right) \cdot D \right]$$

Par conséquent :

$$\begin{cases} V_{ip} = j \cdot \omega \cdot \frac{\mu_0 \cdot l_T \cdot N_1^2 \cdot I}{b \cdot \alpha^2 \cdot h} \left[ \left( p - \frac{1}{2} \right) \cdot D \right] \\ V_{rp} = N_1 \cdot \rho \cdot l_T \cdot \frac{I}{a \cdot h} \left[ M + \frac{(p-1)}{2} \cdot D \right] \end{cases}$$

La tension aux bornes d'une couche donnée étant invariante selon x, elle peut être obtenue en sommant la chute de tension résistive et la tension induite sur les côtés de la couche. Cette dernière peut être considérée comme associée avec la couche traversée par le flux donnant naissance à cette tension. Donc, la tension induite à associer à la couche p est (p-1)  $V_{ip}$ . La chute de tension totale à associer à la couche p est donc  $(p-1) \cdot V_{ip} + V_{rp}$ . Par conséquent, la tension totale V aux bornes des m couches de conducteurs vaut :

$$V = \sum_{p=1}^m V_{rp} + \sum_{p=1}^m (p-1) \cdot V_{ip} \tag{Équation 2-14}$$

m = nombre de couches de conducteurs

$$V = \frac{\rho \cdot l_T \cdot N_1 \cdot I}{\alpha \cdot h} \left[ m \cdot M + \frac{m \cdot (m^2 - 1) \cdot D}{3} \right] \tag{Équation 2-15}$$

L'impédance série du bobinage  $Z_w$  due au flux coupant les conducteurs peut donc être donnée par :

$$Z_w = \frac{\rho \cdot l_T \cdot N_1}{a \cdot h} \cdot \left[ m \cdot M + \frac{m \cdot (m^2 - 1) \cdot D}{3} \right] \quad \text{avec :}$$

$$M = M' + j.M'' \quad \left\{ \begin{array}{l} M' = \frac{h \cdot \sqrt{\frac{A}{2}}}{(1 - C_M)^2 + S_M^2} \cdot (1 - S_M^2 + 2.S_M - C_M^2) \\ M'' = \frac{h \cdot \sqrt{\frac{A}{2}}}{(1 - C_M)^2 + S_M^2} \cdot (1 - S_M^2 - 2.S_M - C_M^2) \end{array} \right.$$

$$D = D' + j.D'' \quad \left\{ \begin{array}{l} D' = \frac{\sqrt{2} \cdot h \cdot \sqrt{A}}{(1 + C_D)^2 + S_D^2} \cdot (1 - S_D^2 - 2.S_D - C_D^2) \\ D'' = \frac{\sqrt{2} \cdot h \cdot \sqrt{A}}{(1 + C_D)^2 + S_D^2} \cdot (1 - S_D^2 + 2.S_D - C_D^2) \end{array} \right.$$

Dans ces expressions :

$$A = \frac{\omega \mu_0 \cdot N_1 \cdot a}{b \cdot \rho}$$

$$C_M = \exp(-2 \cdot h \cdot \sqrt{\frac{A}{2}}) \cdot \cos(2 \cdot h \cdot \sqrt{\frac{A}{2}})$$

$$S_M = \exp(-2 \cdot h \cdot \sqrt{\frac{A}{2}}) \cdot \sin(2 \cdot h \cdot \sqrt{\frac{A}{2}})$$

$$C_D = \exp(-h \cdot \sqrt{\frac{A}{2}}) \cdot \cos(h \cdot \sqrt{\frac{A}{2}})$$

$$S_D = \exp(-h \cdot \sqrt{\frac{A}{2}}) \cdot \sin(h \cdot \sqrt{\frac{A}{2}})$$

L'impédance totale du transformateur s'exprime donc en deux termes : un terme résistif et un terme inductif.

$$\left\{ \begin{array}{l} R_W = \frac{\rho \cdot l_T \cdot N_1}{a \cdot h} \cdot [m \cdot M' + \frac{m \cdot (m^2 - 1) \cdot D'}{3}] \\ L_W = \frac{\rho \cdot l_T \cdot N_1}{a \cdot h \cdot \omega} \cdot [m \cdot M'' + \frac{m \cdot (m^2 - 1) \cdot D''}{3}] \end{array} \right.$$

$$A = 0$$

$$C_M = 1$$

En continu :  $S_M = 0$

$$C_D = 1$$

$$S_D = 0$$

Les termes obtenus sont donc résistifs et inductifs et s'expriment :

$$\left| \begin{array}{l} R_{W0} = \frac{m \cdot \rho \cdot N_1 \cdot l_T}{a \cdot h} \\ L_{W0} = \frac{\mu_0 \cdot m^3 \cdot \rho \cdot N_1^2 \cdot l_T \cdot h}{3 \cdot b} \end{array} \right.$$

Donc :

$$\left| \begin{array}{l} R_W = R_{W0} \cdot \left[ M' + \frac{(m^2 - 1) \cdot D'}{3} \right] \\ L_W = L_{W0} \cdot \left[ \frac{3 \cdot M'' + (m^2 - 1) \cdot D''}{m^2 \cdot |\alpha^2 \cdot h^2|} \right] \end{array} \right.$$

### 2.1.3 Calcul des pertes cuivre : méthode de Dowell modifiée et adaptée

#### 2.1.3.a) Nécessité d'adapter la méthode de Dowell

Dans le cas de l'inductance étudiée, le calcul tel qu'il est développé précédemment n'est pas directement exploitable, car, comme la plupart des inductances, la nôtre possède un entrefer. Le plus gênant dans ce cas est que cette inductance ne possède pas de jambe magnétique latérale, ce qui rend le calcul de Dowell impossible en partant d'un champ nul dans la jambe latérale du transformateur.

Dans la structure d'inductance choisie, les hypothèses énoncées pour valider la méthode de Dowell (verticalité du champ dans la fenêtre de bobinage) sont pourtant assurées. Ainsi, la méthode de Dowell a été adaptée à l'inductance étudiée. Les figures ci-après présentent les allures des champs magnétiques dans les trois structures comparées au début de ce chapitre, figures permettant de vérifier la verticalité du champ dans la fenêtre de bobinage. Ces figures sont issues de simulations 2D obtenues grâce à Flux2D® en axisymétrique.

Dans ces trois simulations, les dimensions géométriques du circuit magnétique et des conducteurs, ainsi que le courant dans les conducteurs ont été gardés constants. La verticalité du champ dans la fenêtre a été vérifiée pour ces trois structures en magnétostatique comme en magnétodynamique sinusoïdal (Figure 2-9).

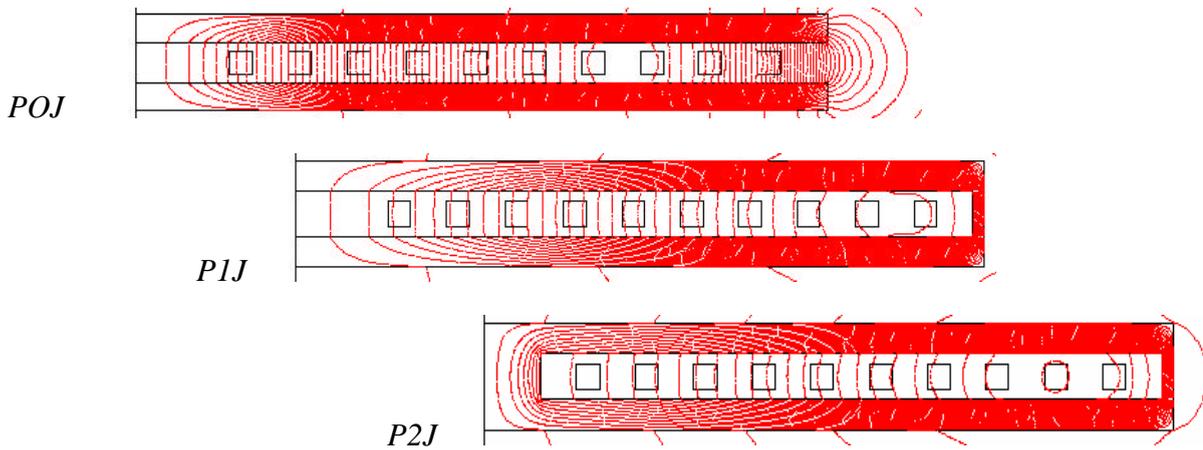


Figure 2-9 : Simulation des trois topologies d'étude afin de vérifier la verticalité du champ dans la fenêtre de bobinage

2.1.3.b) Adaptation du calcul de Dowell au cas de l'inductance en spirale

Le calcul employé par Dowell peut servir de base et être adapté à la figure suivante qui présente l'avantage d'être très générale que ce soit en terme de nombre de spires ou de nombre de couches de conducteurs (Figure 2-10). Les calculs pourront alors être appliqués de manière très simple à l'inductance POJ objet de notre étude, toujours en sinusoïdal ([Boggetto2], [Boggetto3]).

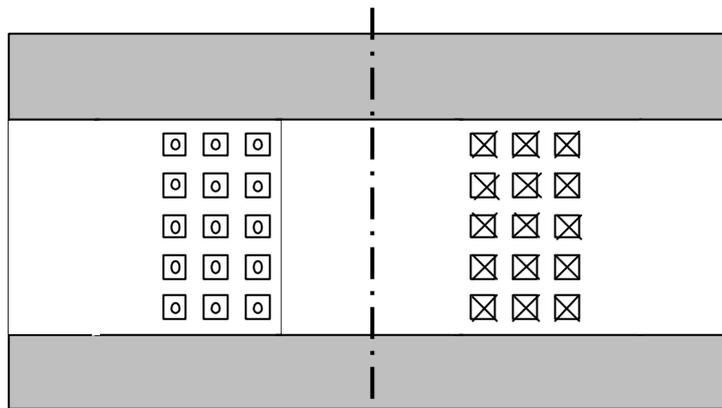


Figure 2-10 : Vue de coupe de l'inductance utilisée pour l'étude modifiée de Dowell

En zoomant sur une partie du bobinage, les grandeurs d'étude peuvent être définies par la figure suivante (Figure 2-11).

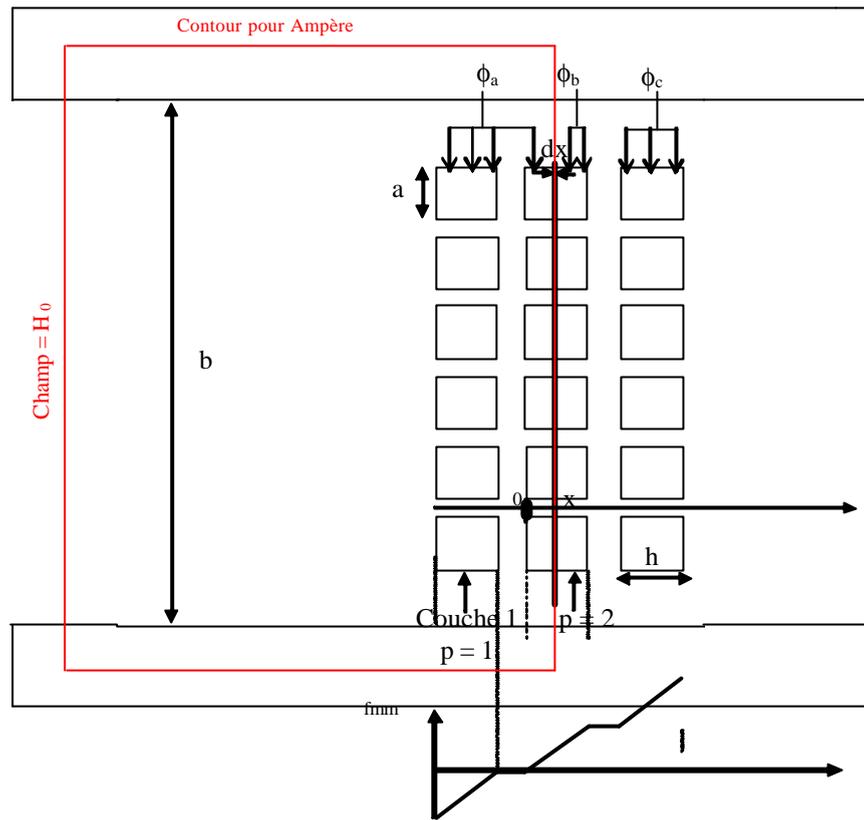


Figure 2-11 : Agrandissement de la structure d'inductance pour l'application de la méthode de Dowell modifiée

Par souci pédagogique, les notations du calcul de Dowell seront reprises.

Dans cette structure d'inductance en spirale, la force magnéto motrice (donc le champ) sera toujours positive et négative dans l'entrefer. La référence prise pour le calcul sera la couche pour laquelle le champ est nul. Un simple calcul magnétostatique de répartition du champ dans la fenêtre, basé sur le théorème d'Ampère et la conservation du flux permet de localiser l'endroit où le champ est nul dans cette fenêtre. Etant donnée la structure, le champ dans l'air hors des plaques magnétiques sera considéré négligeable et celui dans la fenêtre de bobinage sans composante horizontale.

L'astuce de ce nouveau calcul consiste à calculer le champ  $H_0$  en bordure d'inductance en statique par une simple application du théorème d'Ampère.

Alors, le calcul précédent peut alors être réutilisé à la différence près que  $H \neq \frac{\sum I}{b}$ , mais

$$H = \frac{\sum I + H_0 \cdot b}{b}, \text{ avec } H_0 = \text{champ dans la fenêtre en bordure d'inductance} = \text{constante.}$$

En associant cette nouvelle expression de  $H$  à l'Équation 2-12, il vient :

$$J = \frac{\alpha \cdot I}{a} \cdot \left[ \frac{1}{\sinh(\alpha \cdot h)} - \left\{ (p-1) + \frac{b \cdot H_0}{N_1 \cdot I} \right\} \cdot \tanh\left(\frac{\alpha \cdot h}{2}\right) \right] \cdot \cosh(\alpha \cdot x) + \left[ \frac{\alpha \cdot I \cdot (p-1)}{a} + \frac{b}{a} \cdot \frac{\alpha \cdot H_0}{N_1} \right] \cdot \sinh(\alpha \cdot x)$$

Équation 2-16

Après avoir développé le calcul tel que Dowell le présente, l'expression des pertes cuivre se présente de la manière suivante :

$$P_{cu} = I \cdot \left[ \sum_{k=1}^m (k-1) \cdot \left[ j \cdot N_1 \cdot \omega \cdot \left[ \left[ l_{t_k} \cdot \frac{\mu_0 \cdot N_1 \cdot I \cdot (k-1) \cdot h}{b} \right] - \frac{\mu_0 \cdot a \cdot l_{t_k} \cdot N_1}{b \cdot \alpha^2} \cdot (J_h + P + Q \cdot h \cdot \alpha) \right] \right] + \sum_{k=1}^m N_1 \cdot \rho \cdot (P \cdot \text{ch}(\alpha \cdot h) + Q \cdot \text{sh}(\alpha \cdot h)) \cdot l_{t_k} \right] \quad \text{Équation 2-17}$$

Avec :

$$\alpha = \sqrt{\frac{j \cdot \omega \cdot \mu_0 \cdot a \cdot N_1}{b \cdot \rho}} ;$$

$$P = \frac{\alpha \cdot I}{a} \cdot \left[ \frac{1}{\text{sh}(\alpha \cdot h)} - \left[ (k-1) + \frac{b \cdot H_0}{N_1 \cdot I} \right] \cdot \text{th}\left(\frac{\alpha \cdot h}{2}\right) \right]$$

$$Q = \frac{\alpha \cdot I \cdot (k-1)}{a} + \frac{b \cdot \alpha \cdot H_0}{a \cdot N_1}$$

$$J_h = P \cdot \text{ch}(\alpha \cdot h) + Q \cdot \text{sh}(\alpha \cdot h)$$

$j$  = nombre complexe

$I$  = courant efficace circulant dans l'inductance

$N_1$  = nombre de couches d'enroulements

$m$  = nombre de spires par couche

$\omega$  = pulsation

$\rho$  = résistivité

$\mu_0$  = perméabilité du vide

$a$  = hauteur d'un conducteur

$h$  = épaisseur d'un conducteur

$b$  = entrefer

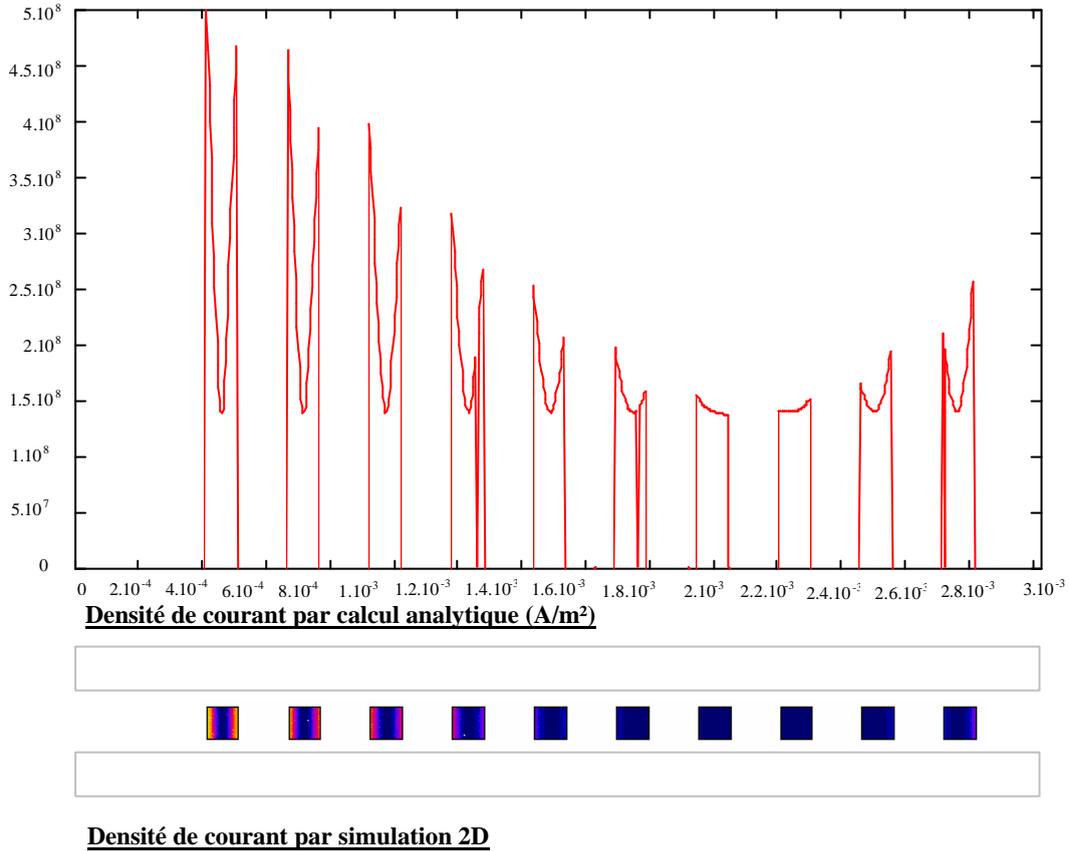
$k$  = indice des  $m$  spires par couche

$l_{t_k}$  = longueur de la spire  $k$

$H_0$  = champ magnétique dans l'air en bordure de la structure OLT

### 2.1.3.c) Comparaison entre les pertes calculées et celles simulées

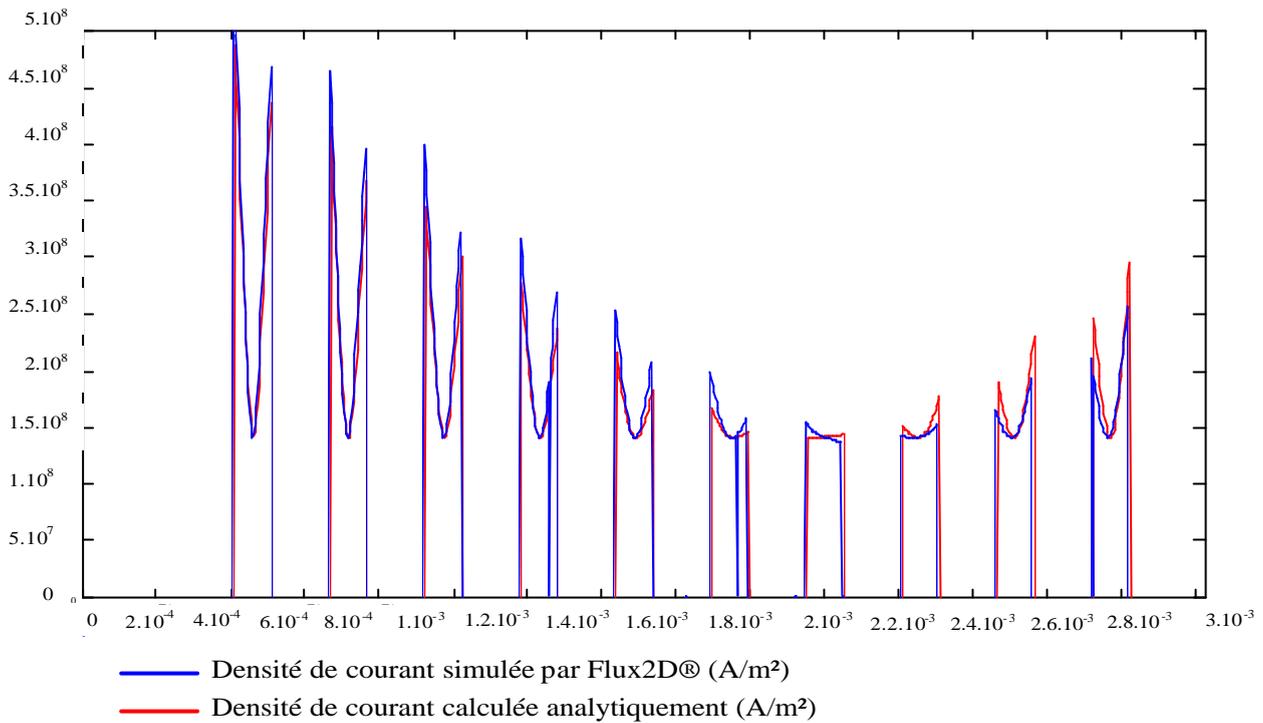
Programmées grâce au logiciel Mathcad®, ces expressions peuvent être tracées. L'exemple ci-après met en rapport la densité de courant tracée grâce à la formulation analytique et la répartition de cette densité de courant, obtenue grâce à une simulation éléments finis (Figure 2-12). La fréquence des signaux est de 500kHz.



**Figure 2-12 : Correspondance entre la densité de courant analytique et sa répartition simulée à 500kHz**

La perméabilité relative utilisée pour simuler la structure est très élevée ( $\mu_r = 10^8$ ) pour garantir la verticalité du champ dans la surface de bobinage. Dans la pratique, même avec des perméabilités proches de 1000, la verticalité du champ est garantie (en raison de la faible hauteur de l'inductance). Pour un courant efficace de 1A dans l'inductance, les pertes simulées valent  $P_{\text{simul}} = 0.341\text{W}$ . Avec la formulation de l'Équation 2-17,  $P_{\text{formul}} = 0.343\text{W}$ , ce qui représente un écart inférieur au %.

Afin de valider cette nouvelle formulation, la distribution de la densité de courant en simulation est comparée avec celle obtenue par la formule analytique à 500kHz (Figure 2-13).

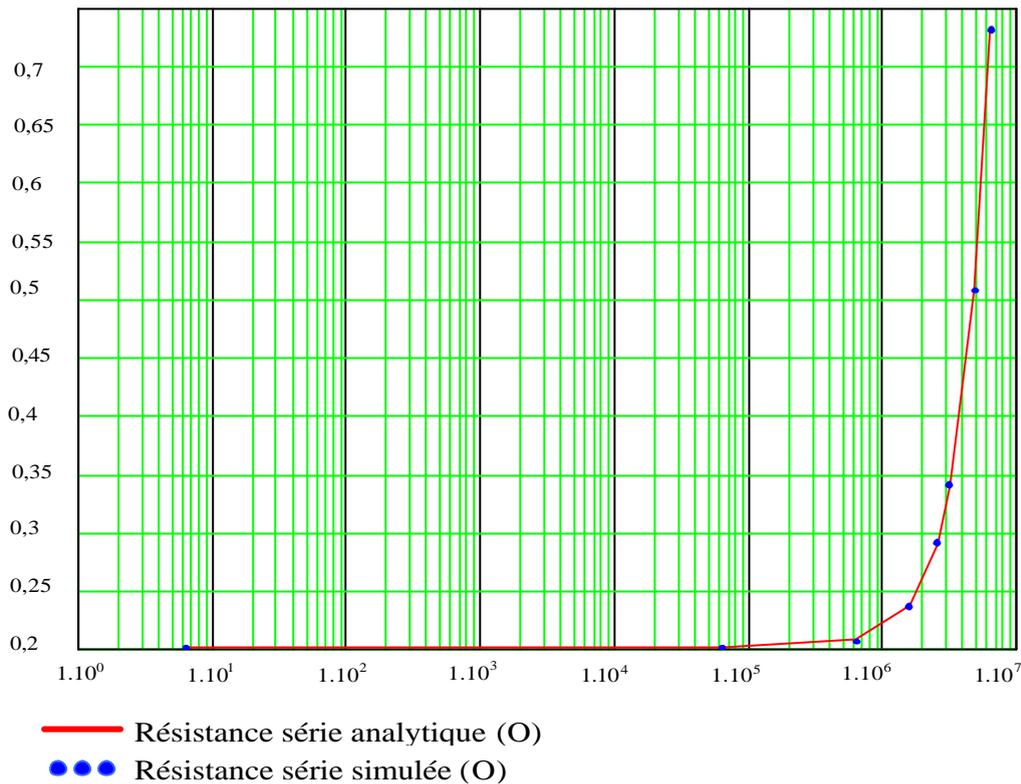


**Figure 2-13 : Comparaison des densités de courant analytique et simulée à 500kHz**

Les résultats de la simulation et de la prédétermination analytique sont proches, avec une différence inférieure à 5%. Cette différence peut être expliquée par 2 causes :

- Il est très difficile de garantir une bonne précision sur l'évaluation de  $H_0$ . Une différence de 1% entre le  $H_0$  simulé et  $H_0$  calculé induit une erreur d'au moins 1% sur la densité de courant (et les pertes).
- La totalité du champ magnétique n'est pas canalisé par le NiFe, car la perméabilité relative n'est pas infinie. Entre chaque conducteur, il y a donc une faible composante radiale de champ qui circule, induisant ainsi une erreur sur le calcul de la densité de courant.

Finalement, la résistance série simulée peut être comparée avec celle calculée, valeur reflétant les pertes cuivre. Une bonne précision est obtenue sur la résistance série (et donc les pertes cuivre). Cela est suffisant pour faire un premier dimensionnement d'une inductance de type OLT (Figure 2-14).



**Figure 2-14 : Comparaison de la résistance série calculée avec celle obtenue en simulation en fonction de la pulsation**

#### 2.1.4 Conclusion sur les pertes cuivre

La méthode de Dowell adaptée et modifiée donne des résultats en accord avec les simulations 2D effectuées. Les pertes cuivre dans l'inductance P0J étudiée atteignent le niveau de 0,34W, valeur trouvée aussi bien en simulation éléments finis qu'avec la formulation analytique basée sur la méthode de Dowell.

Avoir développé une formulation analytique présente un certain nombre d'avantages non négligeables :

- une simulation par éléments finis ne permet d'obtenir les pertes que pour des valeurs discrètes de fréquences : chaque fréquence nécessite une simulation. Grâce à la formulation analytique, l'étude des pertes peut se faire dans l'inductance de manière continue,
- avec un PC suffisamment puissant, la formulation analytique développée sous Mathcad® permet de calculer les pertes avec un bon degré de précision en un temps réduit par rapport au temps mis par la simulation éléments finis pour aboutir.

## 2.2 Etude des pertes fer

### 2.2.1 Etude qualitative des pertes fer par courants induits et par hystérésis

Le matériau magnétique électro-déposé (NiFe 80/20) est très faiblement résistif (résistivité avoisinant les  $20\mu\Omega\cdot\text{cm}$ ) ; ce matériau sera donc inévitablement le siège de pertes fer, générées ne serait-ce que par les courants induits qui circuleront dans les deux plaques magnétiques.

De la même manière que pour les pertes cuivre, les pertes fer devront faire l'objet d'une étude sérieuse car, vues les caractéristiques électriques de ce dernier, les pertes fer seront sans aucun doute les pertes majoritaires dans l'inductance.

Afin de séparer les pertes par courant induit des pertes par hystérésis, le LAAS a déposé des tores de faible dimension. La société Microspires a bobiné 100 spires autour de ce tore (fil en cuivre de  $100\mu\text{m}$  de diamètre). Une représentation schématique ainsi qu'une photographie partielle du tore réalisé sont données Figure 2-15.

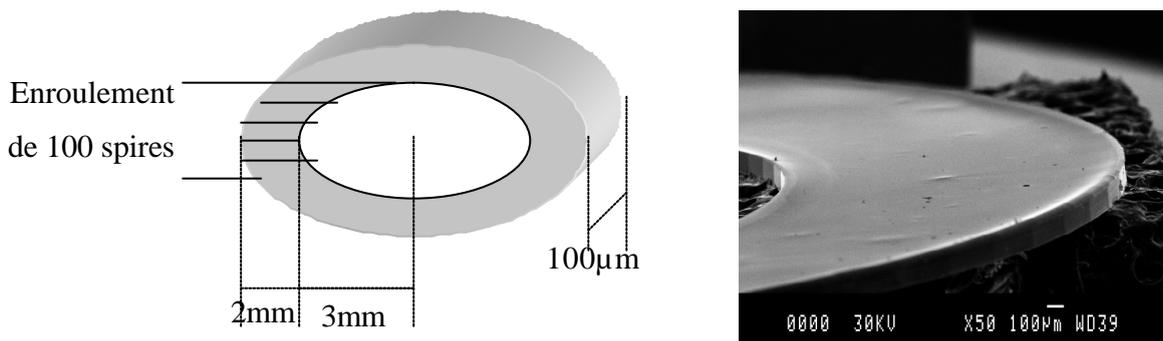


Figure 2-15 : Représentation schématique et photographie partielle du tore d'essai pour les pertes fer

Deux essais ont été réalisés sur ces tores : un essai temporel puis un essai fréquentiel.

#### 2.2.1.a) Essai temporel

L'essai temporel réalisé a consisté à appliquer un créneau de tension à l'inductance torique réalisée, et à relever le courant dans cette inductance d'essai (Figure 2-16).

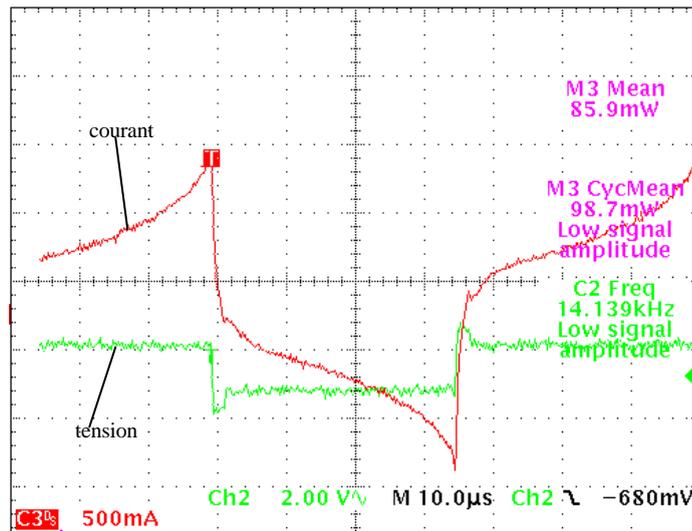


Figure 2-16 : Courant et tension dans le tore 100 spires lors de l'essai temporel

Deux conclusions peuvent être tirées de cet essai :

- le courant est rapidement non linéaire (non linéarité forte à partir de 700mA). Ensuite, la saturation classique apparaît.
- ce courant est celui circulant dans une inductance ; il est donc censé être sans discontinuité si les pertes fer sont négligeables, ce qui n'est pas le cas ici.

En considérant le modèle classique d'une inductance, consistant en une résistance série (pertes Joule) et parallèle (pertes fer), cette discontinuité peut se retrouver aisément. En effet, à la commutation, le courant dans l'élément inductif ne pouvant pas s'interrompre, le  $\Delta V$  aux bornes de l'inductance peut se traduire par un  $\Delta I$  uniquement si ce courant dispose d'un chemin pour circuler. Ce chemin lui est donné par la résistance série et la résistance parallèle.

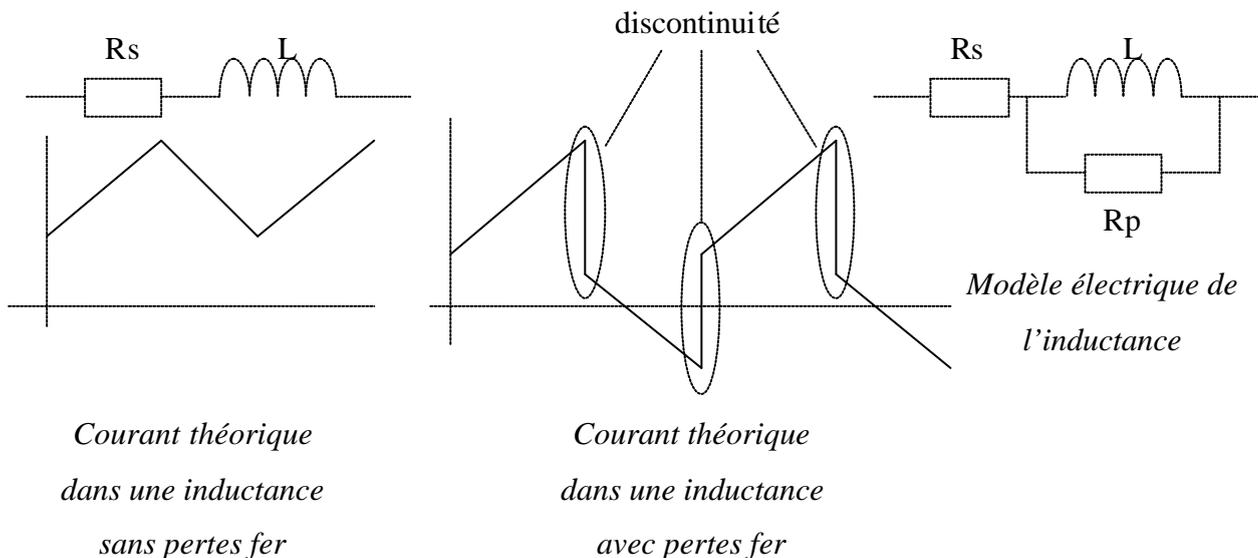


Figure 2-17 : Modélisation de l'inductance pour l'essai temporel

La résistance série a été mesurée à chaud grâce à un ohmmètre de précision à  $R_s = 1,65\Omega$ .

Théoriquement, les valeurs de  $R_s$  et de  $R_p$  peuvent être déduites de ce relevé. En effet :

$$\frac{\Delta V}{\Delta I} = R_s + R_p$$

Après avoir tenté d'appliquer cette méthode, il est impossible d'extraire précisément  $R_p$  de cette mesure. En effet, cette valeur de résistance est trop faible pour pouvoir être extraite avec une précision suffisante. Rappelons qu'une « bonne inductance » devrait avoir une valeur de  $R_p$  infinie. Dans le cas présent,  $R_p$  est extrêmement faible, ce qui signifie que le tore en NiFe est le siège de pertes fer importantes.

Avec un amplificateur de puissance de marque KEPCO, et après un retraitement avec Mathcad2000®, des cycles d'hystérésis ont été extraits à différentes fréquences (afin de calculer la perméabilité  $\mu_r$ ). Sur la Figure 2-18 et la Figure 2-19 sont représentés deux cycles d'hystérésis à deux fréquences différentes afin de bien observer l'impact des pertes par courants induits. Sur cette figure, les cycles tracés ne sont pas parfaitement symétriques en champ, ce qui est dû à un problème de compensation d'offset de la sonde de courant. En réalité, ces cycles sont en fait bien symétriques.

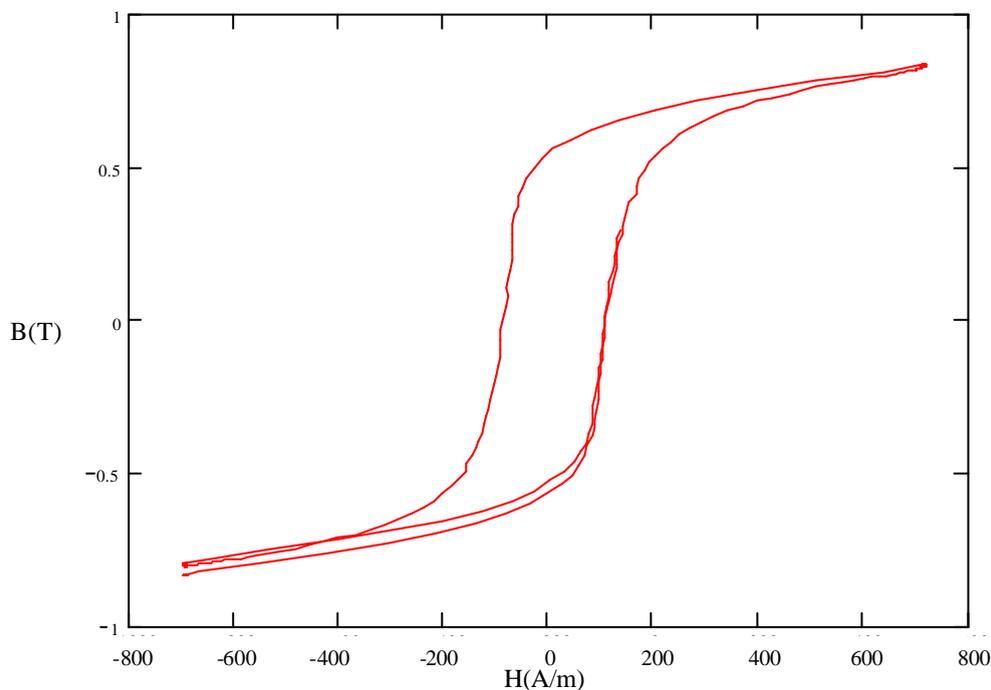


Figure 2-18 : Cycle d'hystérésis du NiFe électrodéposé mesuré à 1200Hz

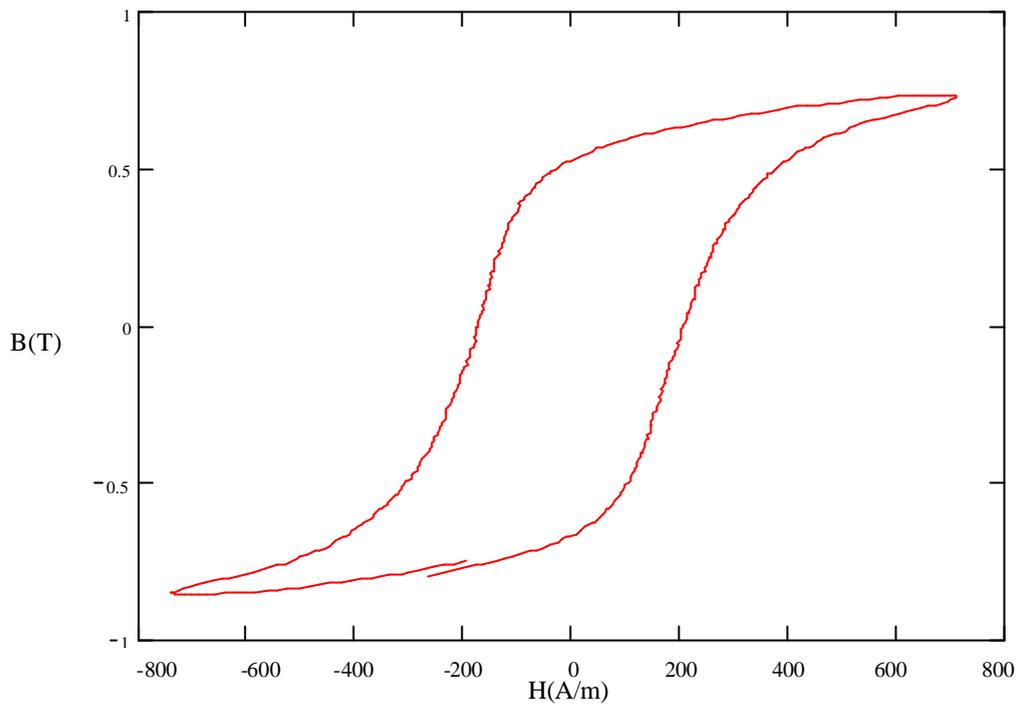


Figure 2-19 : Cycle d'hystérésis du NiFe électrodéposé mesuré à 10kHz

Quelques remarques intéressantes peuvent être extraites de ces cycles :

- l'induction à saturation semble élevée. Mais afin de rester dans le domaine linéaire, il semble bon de travailler avec des inductions inférieures à 0,5T,
- ces cycles s'élargissent très vite quand la fréquence augmente (ce qui est la signature des pertes fer),
- la perméabilité relative  $\mu_r$  diminue très vite avec la fréquence. Ainsi, à 10kHz :  $\mu_r = 3670$  et à 1200Hz :  $\mu_r = 10000$ . Ces valeurs ont été mesurées dans la partie linéaire du cycle,
- avec un calcul de pertes à partir du cycle d'hystérésis, ainsi qu'une estimation de celles-ci par la formule :

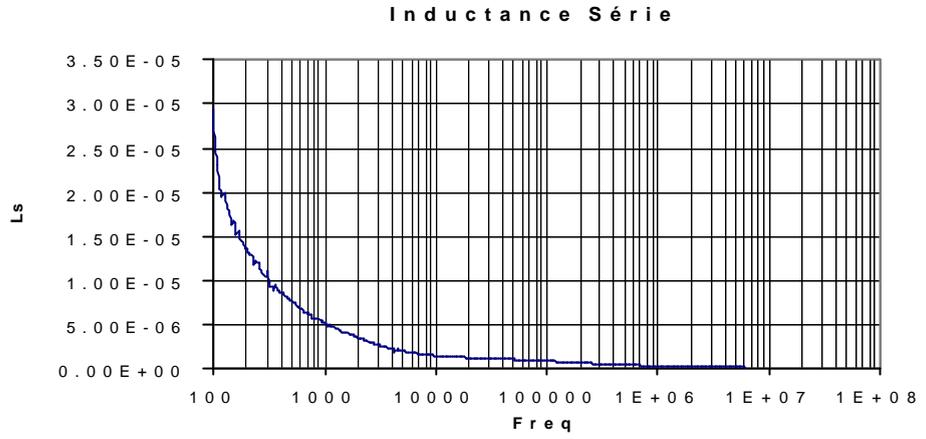
$$\frac{P}{F} = \frac{(\pi.e.B)^2.F}{6.\rho},$$

il est possible d'approcher la résistivité. Alors, on trouve :  $\rho = 60\mu\Omega.m$

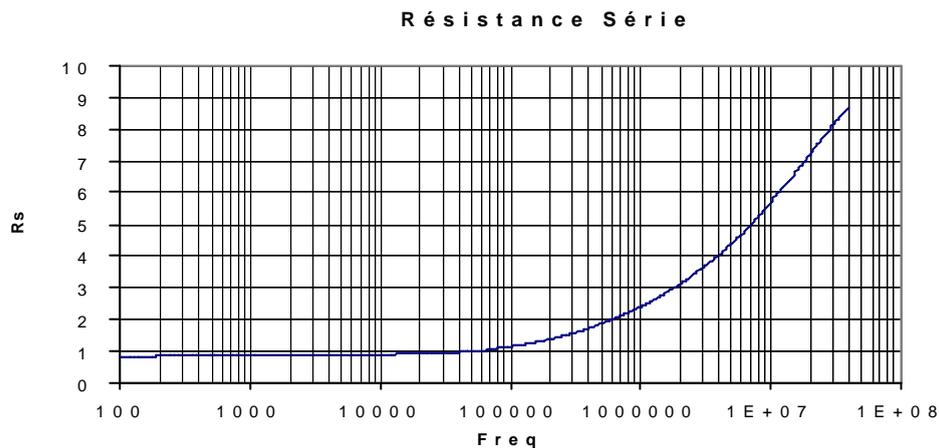
Cette valeur est purement indicative, et semble très supérieure aux valeurs attendues.

### 2.2.1.b) Essai Fréquentiel

Grâce au pont d'impédance HP4194A, les courbes  $L_s(F)$  et  $R_s(F)$  ont été relevées respectivement sur la Figure 2-20 et la Figure 2-21. Ces courbes représentent l'évolution de l'inductance série et celle de la résistance série en fonction de la fréquence.



**Figure 2-20 : Evolution de l'inductance série du tore de test (en H) en fonction de la fréquence (en Hz)**



**Figure 2-21 : Evolution de la résistance série du tore de test (en Ohm) en fonction de la fréquence (en Hz)**

Après avoir extrait les cycles d'hystérésis basse fréquence de ce matériau, ainsi que ceux aux fréquences à laquelle l'inductance sera utilisée, il est flagrant que les pertes fer dominantes seront les pertes par courants induits : les pertes par hystérésis seront négligeables.

Ces pertes peuvent être obtenues par simulation 2D ou 3D. Les inconvénients de cette méthode sont les mêmes que ceux annoncés dans la partie réservée à l'étude des pertes cuivre : les valeurs de pertes fer obtenues par éléments finis sont discrètes (une valeur par fréquence et par géométrie) et leur obtention nécessite un temps de calcul important.

Ainsi, une modélisation analytique s'avère intéressante afin de déterminer les pertes principales dans le NiFe, c'est-à-dire les pertes fer par courants induits.

### 2.2.2 Modélisation analytique des pertes fer par courants induits

La formulation développée est basée sur les équations de Maxwell, ainsi que sur quelques considérations ([Boggetto5]) :

- le champ magnétique dans l'air sera admis comme pris en sandwich par les 2 plaques magnétiques (aucun champ hors de la structure) ;
- l'épaisseur de peau sera prise au moins 2 fois plus faible que l'épaisseur d'une plaque magnétique ;
- le champ magnétique sera considéré vertical dans la fenêtre de bobinage et horizontal dans le NiFe.

Afin de calculer le champ magnétique dans les plaques et dans la fenêtre de bobinage, la topologie suivante sera considérée (Figure 2-22). Cette inductance sera constituée de deux plaques de NiFe rectangulaires et de longueur  $2 \cdot Long$  ne prenant en sandwich qu'un seul conducteur (sans son retour). Ce conducteur sera pris infiniment fin afin de clairement dissocier les effets dus au cuivre de ceux dus au matériau magnétique.

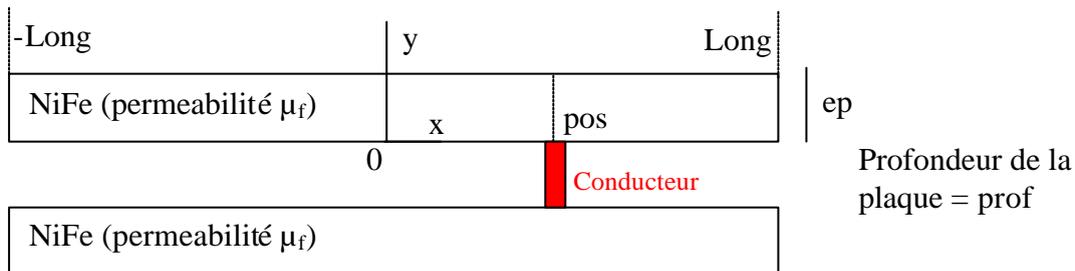


Figure 2-22 : Topologie de base pour le calcul analytique des pertes fer

Le conducteur pris en compte est linéaire et situé, sur l'axe  $x$ , à une position appelée  $pos$  par la suite. L'origine prise pour le calcul sera le milieu des plaques selon l'axe  $x$ , et le bas de la plaque supérieure selon l'axe  $y$ . Le calcul analytique peut alors être mené en utilisant les équations de Maxwell, tout d'abord dans le NiFe d'une plaque.

Le vecteur  $\vec{H}$  représentera le champ magnétique dans le NiFe. Vues les hypothèses énoncées :

$$\vec{H} = \begin{pmatrix} H_x \\ 0 \\ 0 \end{pmatrix} \quad \text{Équation 2-18}$$

$$\overline{\text{RotH}} = \begin{pmatrix} 0 \\ \frac{\delta H_x}{\delta z} = 0 \\ -\frac{\delta H_x}{\delta y} \end{pmatrix} \quad \text{Équation 2-19}$$

$$\text{Rot}(\overline{\text{RotH}}) = \begin{pmatrix} -\frac{\delta^2 H_x}{\delta y^2} \\ 0 \\ 0 \end{pmatrix} \quad \text{Équation 2-20}$$

Or il existe aussi une relation entre la répartition spatiale du champ magnétique et l'expression temporelle de l'induction :

$$\frac{\overline{\text{Rot}(\overline{\text{RotH}})}}{\sigma} = -\frac{\delta \overline{B}}{\delta t} = -j\mu.\omega.\overline{H} \quad \text{Équation 2-21}$$

$$\text{Rot}(\overline{\text{RotH}}) = \begin{pmatrix} -j\mu.\sigma.\omega.H_x \\ 0 \\ 0 \end{pmatrix} \quad \text{Équation 2-22}$$

En égalant l'Équation 2-20 avec l'Équation 2-22, il découle l'expression donnée dans l'Équation 2-23.

$$j\mu.\sigma.\omega.H_x = \frac{\delta^2 H_x}{\delta y^2} \quad \text{Équation 2-23}$$

Cette équation différentielle du second ordre admet une solution de la forme :

$$H_x = A.e^{\sqrt{j\mu.\omega.\sigma}.y} + C.e^{-\sqrt{j\mu.\omega.\sigma}.y} = C.e^{-\sqrt{j\mu.\omega.\sigma}.y} = C(x).e^{-\frac{1+j}{\sqrt{2}}.\sqrt{\mu.\omega.\sigma}.y} \quad \text{Équation 2-24}$$

Il reste à déterminer la constante C(x), ce à quoi la suite du développement va s'attacher.

En appelant la quantité  $\delta = \sqrt{\frac{2}{\mu.\sigma.\omega}}$  l'épaisseur de peau, alors l'Équation 2-24 se réduit à :

$$H_x = C(x).e^{-\frac{1+j}{\delta}.y} \quad \text{Équation 2-25}$$

En considérant l'équation de Maxwell  $\vec{J} = \overline{\text{RotH}}$ , alors l'expression du vecteur densité de courant peut être déterminé (Équation 2-26). Cette expression montre que le courant circulera selon l'axe z (dans la profondeur de la plaque), ce qui par une simple application de la loi de Lenz se justifie.

$$\vec{J} = \begin{pmatrix} 0 \\ 0 \\ C(x).\frac{1+j}{\delta}.e^{-\frac{1+j}{\delta}.y} \end{pmatrix} e^{j\omega t} = J_{\max}.e^{j\omega t}.uz \quad \text{Équation 2-26}$$

Le théorème d'Ampère indique que :

$$\int \vec{H} \cdot d\vec{l} = \sum N.I$$

Le contour utilisé pour appliquer le théorème d'Ampère entoure le conducteur et traverse la fenêtre de bobinage aux positions X et X'. Le calcul est mené pour un contour passant par la position Y et donne, quel que soit y :

$$2 \cdot \int_{X'}^X H_x(y) \cdot dx - [H_{air}(X) - H_{air}(X')] \cdot L_{air} = -N \cdot I - 2 \cdot \int_{X'}^X \int_0^Y J_z \cdot dx \cdot dy$$

où  $H_{air}$  est le champ dans l'air et  $L_{air}$  la hauteur de la fenêtre de bobinage.

$$2 \cdot e^{\frac{1+j}{\delta} \cdot Y} \cdot \int_0^X C(x) \cdot dx - [H_{air}(X) - H_{air}(X')] \cdot L_{air} =$$

$$-N \cdot I - 2 \cdot \frac{1+j}{\delta} \left( \int_{X'}^X C(x) \cdot dx \right) \cdot \left( \int_0^Y e^{\frac{1+j}{\delta} \cdot y} \cdot dy \right) = -N \cdot I + 2 \cdot \left( \int_{X'}^X C(x) \cdot dx \right) \cdot \left( e^{\frac{1+j}{\delta} \cdot Y} - 1 \right)$$

Ce développement conduit à l'expression suivante :

$$-[H_{air}(X) - H_{air}(X')] \cdot L_{air} = -N \cdot I - 2 \cdot \left( \int_{X'}^X C(x) \cdot dx \right) \cdot 1$$

Ainsi, une première équation est obtenue afin de déterminer  $C(x)$  :

$$[H_{air}(X) - H_{air}(X')] \cdot L_{air} - 2 \cdot \left( \int_{X'}^X C(x) \cdot dx \right) = N \cdot I \quad \text{Équation 2-27}$$

Après dérivation de l'Équation 2-27 découle une expression reliant le champ dans l'air et la constante C prise en X :

$$\frac{dH_{air}}{dX} \cdot L_{air} - 2 \cdot C(X) = 0 \quad \text{Équation 2-28}$$

En appelant  $\mu_f$  la perméabilité relative du matériau magnétique, la conservation du flux conduit à l'expression suivante :

$$\mu_f \cdot \int_0^{ep} H(X, y, z) \cdot prof \cdot dy = \int_{-Long}^X H_{air} \cdot prof \cdot dx = - \int_X^{Long} H_{air} \cdot prof \cdot dx$$

$$\mu_f \cdot \int_0^{ep} C(X) \cdot e^{\frac{1+j}{\delta} \cdot y} \cdot prof \cdot dy = \int_{-Long}^X H_{air} \cdot prof \cdot dx = - \int_X^{Long} H_{air} \cdot prof \cdot dx = \mu_f \cdot C(X) \cdot \frac{\delta}{1+j} \cdot prof$$

En considérant que l'épaisseur de peau est nettement plus faible que l'épaisseur des plaques ( $\delta \ll ep$ ), alors la constante C prise en X peut s'exprimer par l'Équation 2-29.

$$C(X) \approx -\frac{\frac{1+j}{\delta} \cdot \int_0^{\text{Long}} \text{Hair} \cdot dx}{\mu f} \quad \text{Équation 2-29}$$

En combinant l'Équation 2-28 avec l'Équation 2-29, une expression ne reliant plus que le champ dans l'air et des constantes se déduit :

$$\frac{d\text{Hair}}{dX} \cdot \text{Lair} + 2 \cdot \frac{\frac{1+j}{\delta} \cdot \int_0^{\text{Long}} \text{Hair} \cdot dx}{\mu f} = 0 \quad \text{Équation 2-30}$$

En dérivant l'Équation 2-30 par rapport à X, le champ dans l'air s'exprime par une équation différentielle du second ordre, donnée dans l'Équation 2-31.

$$\frac{d^2\text{Hair}}{dX^2} \cdot \text{Lair} - 2 \cdot \frac{\frac{1+j}{\delta} \cdot \text{Hair}(X)}{\mu f} = 0 \quad \text{Équation 2-31}$$

Soit :

$$\frac{d^2\text{Hair}}{dX^2} = 2 \cdot \frac{\frac{1+j}{\delta} \cdot \text{Hair}(X)}{\mu f \cdot \text{Lair}} \quad \text{Équation 2-32}$$

La résolution de cette équation différentielle conduit à l'expression suivante du champ dans l'air :

$$\text{Hair}(x) = K1 \cdot e^{-\sqrt{2 \cdot \frac{1+j}{\delta} \cdot \frac{1}{\mu f \cdot \text{Lair}}} \cdot x} + K2 \cdot e^{\sqrt{2 \cdot \frac{1+j}{\delta} \cdot \frac{1}{\mu f \cdot \text{Lair}}} \cdot x} \quad \text{Équation 2-33}$$

K1 et K2 sont les deux constantes d'intégration de l'équation différentielle de l'Équation 2-31.

En posant  $K = 2 \cdot \frac{1+j}{\delta} \cdot \frac{1}{\mu f \cdot \text{Lair}}$ , alors l'Équation 2-33 se transforme en :

$$\text{Hair}(x) = K1 \cdot e^{-\sqrt{K} \cdot x} + K2 \cdot e^{\sqrt{K} \cdot x} \quad \text{Équation 2-34}$$

A partir de ce point, le calcul doit être scindé en deux cas distincts :  $x > \text{pos}$  and  $x < \text{pos}$ .

<b>x &gt; pos</b>	<b>x &lt; pos</b>
$C(X) \approx -\frac{\frac{1+j}{\delta} \cdot \int_0^{\text{Long}} \text{Hair} \cdot dx}{\mu f}$	$C(X) \approx \frac{\frac{1+j}{\delta} \cdot \int_{-\text{Long}}^X \text{Hair} \cdot dx}{\mu f}$

<p>En appliquant l'Équation 2-28 en <math>x=Long</math> :</p> $-K1.\sqrt{K}.e^{-\sqrt{K}.Long} + K2.\sqrt{K}.e^{\sqrt{K}.Long} = 0$ <div style="border: 1px solid black; padding: 5px; width: fit-content; margin: 10px auto;"> <math display="block">K1 = K2.e^{2.\sqrt{K}.Long}</math> </div> <p>Hair(x) = <math>K1.[e^{-\sqrt{K}.x} + e^{\sqrt{K}.(x-2.Long)}]</math></p>	<p>En appliquant l'Équation 2-28 en <math>x=-Long</math> :</p> $-K1'.\sqrt{K}.e^{\sqrt{K}.Long} + K2'.\sqrt{K}.e^{-\sqrt{K}.Long} = 0$ <div style="border: 1px solid black; padding: 5px; width: fit-content; margin: 10px auto;"> <math display="block">K1' = K2'.e^{-2.\sqrt{K}.Long}</math> </div> <p>Hair(x) = <math>K1'.[e^{-\sqrt{K}.x} + e^{\sqrt{K}.(x+2.Long)}]</math></p>
--	---

En réunissant ces deux cas par l'expression de Hair(x) :

$$\int_{-Long}^{pos} K1'.[e^{-\sqrt{K}.x} + e^{\sqrt{K}.(x+2.Long)}].prof.dx + \int_{pos}^{Long} K1.[e^{-\sqrt{K}.x} + e^{\sqrt{K}.(x-2.Long)}].prof.dx = 0$$

Alors :

$$K1 = +K1' \frac{-e^{-\sqrt{K}.pos} + e^{\sqrt{K}.(pos+2.Long)}}{-e^{-\sqrt{K}.pos} + e^{\sqrt{K}.(pos-2.Long)}}$$

Équation 2-35

En appliquant le théorème d'Ampère sur un contour passant dans la fenêtre de bobinage aux positions  $x=Long$  et  $x=-Long$  :

$$- \left[ K1.[e^{-\sqrt{K}.Long} + e^{\sqrt{K}.Long}] - K1'.[e^{\sqrt{K}.Long} + e^{-\sqrt{K}.Long}] \right].Lair +$$

$$2. \int_{-Long}^{pos} \left[ \frac{1+j}{\delta.\mu f} \left\{ \int_{-Long}^X K1'.[e^{-\sqrt{K}.x} + e^{\sqrt{K}.(x+2.Long)}].dx \right\} \right].dX -$$

$$2. \int_{pos}^{Long} \left[ \frac{1+j}{\delta.\mu f} \left\{ \int_X^{Long} K1.[e^{-\sqrt{K}.x} + e^{\sqrt{K}.(x-2.Long)}].dx \right\} \right].dX = -N.I$$

Ainsi, une seconde relation reliant K1 et K1' peut être obtenue :

$$- \left[ 2.K1.e^{-\sqrt{K}.Long} - 2.K1'.e^{\sqrt{K}.Long} \right].Lair +$$

Équation 2-36

$$2. \frac{1+j}{\delta.\mu f} \left\{ \frac{K1'}{K} \left[ e^{\sqrt{K}.(pos+2.Long)} + e^{-\sqrt{K}.pos} - 2.e^{\sqrt{K}.Long} \right] - \frac{K1}{K} \left[ e^{\sqrt{K}.(pos-2.Long)} + e^{-\sqrt{K}.pos} - 2.e^{-\sqrt{K}.Long} \right] \right\} = -N.I$$

A partir de l'Équation 2-35 et de l'Équation 2-36, les constantes K1 et K1' peuvent être obtenus et les expressions de  $J_{NiFe}$  et  $H_{NiFe}$  peuvent être calculées pour une inductance à un seul conducteur. Afin d'obtenir ces expressions dans l'inductance totale, l'approche par superposition

est applicable : les expressions calculées pour chaque conducteur peuvent être sommées algébriquement.

Ainsi, chaque constante K1 et K1' peut s'obtenir pour la position de chaque spire ou de chaque couche de conducteurs k. Le résultat est placé sous forme de matrice ci-après, matrice dans laquelle K1 et K1' sont appelés respectivement K11 et K12.

$$\begin{pmatrix} K11_k \\ K12_k \end{pmatrix} := \begin{bmatrix} 1 & \frac{e^{\sqrt{K}(pos_k+2\cdot Long)} - e^{-\sqrt{K}\cdot pos_k}}{e^{\sqrt{K}(pos_k-2\cdot Long)} - e^{-\sqrt{K}\cdot pos_k}} \\ -2 \cdot e^{-\sqrt{K}\cdot Long} \cdot Lair - \frac{2 \cdot (1+i)}{\delta \cdot \mu f \cdot K} \cdot [e^{\sqrt{K}(pos_k-2\cdot Long)} + e^{-\sqrt{K}\cdot pos_k} - 2 \cdot e^{-\sqrt{K}\cdot Long}] & 2 \cdot e^{\sqrt{K}\cdot Long} \cdot Lair + \frac{2 \cdot (1+i)}{\delta \cdot \mu f \cdot K} \cdot [e^{\sqrt{K}(pos_k+2\cdot Long)} + e^{-\sqrt{K}\cdot pos_k} - 2 \cdot e^{\sqrt{K}\cdot Long}] \end{bmatrix}^{-1} \cdot \begin{pmatrix} 0 \\ -1 \end{pmatrix}$$

Les deux coefficients obtenus permettent de trouver le champ magnétique dans le NiFe et donc la densité de courant dans le matériau magnétique. De cette dernière, par une intégration volumique, les pertes par courants induits peuvent être calculées.

### 2.2.3 Comparaison du modèle analytique avec les simulations éléments finis 2D

#### 2.2.3.a) Résultats donnés par simulation 2D

La topologie d'inductance ayant servi à la comparaison des pertes obtenues par simulation avec celles calculées est celle présentée sur la Figure 2-23.

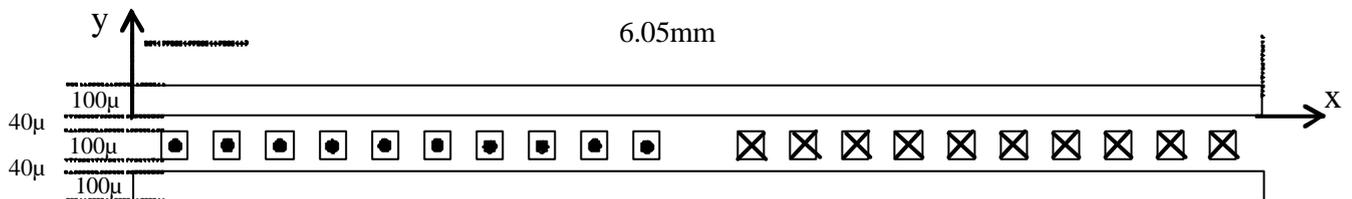
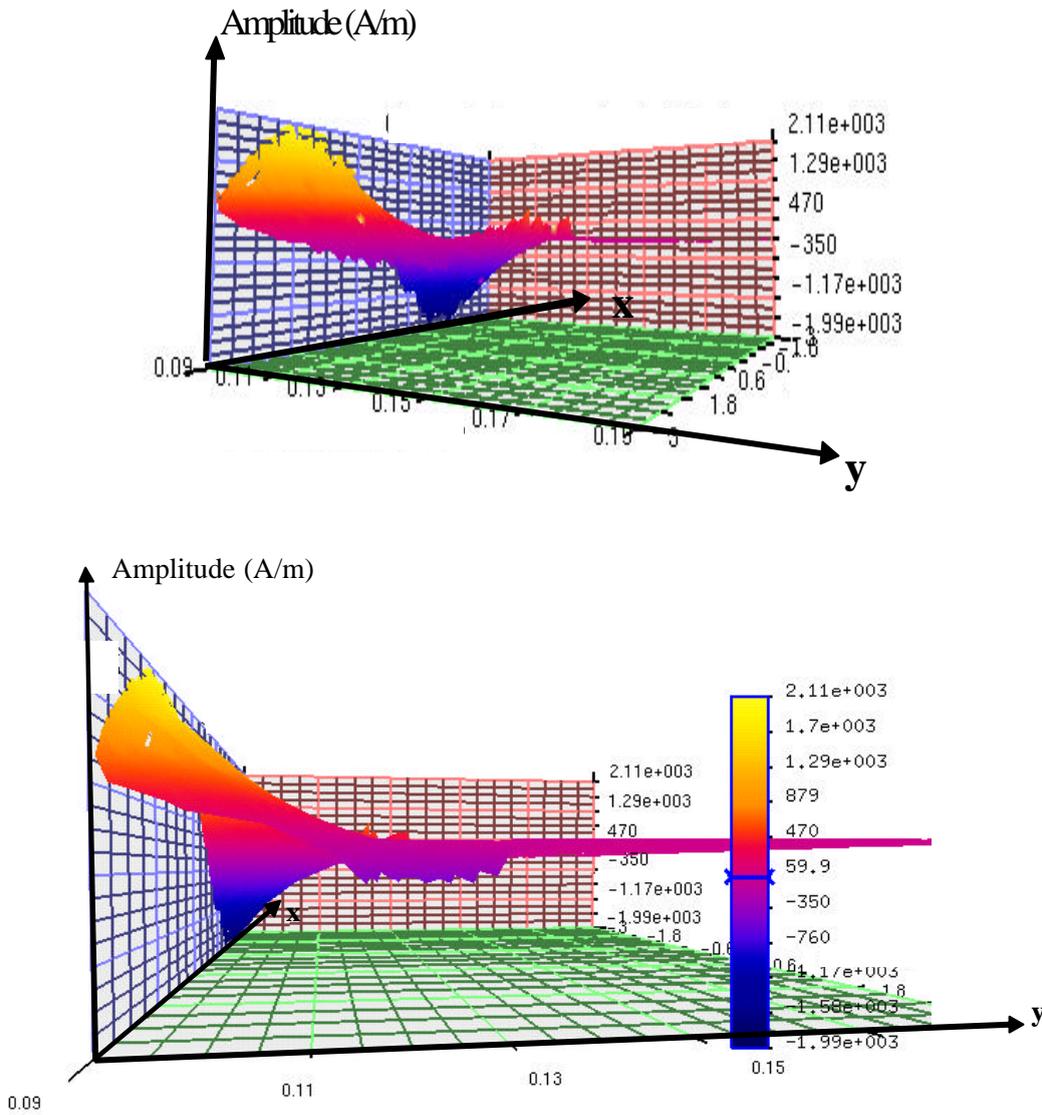


Figure 2-23 : Topologie d'inductance utilisée pour la comparaison des pertes fer calculées et simulées

Le champ magnétique dans le NiFe d'une plaque obtenu après simulation 2D par éléments finis (grâce à Flux2D®) est représenté sous deux angles sur les Figure 2-24.



**Figure 2-24 : Cartographie du champ magnétique dans le NiFe obtenu par simulation avec Flux2D**

Afin de mieux comprendre cette cartographie de champ, les axes géométriques pris pour la Figure 2-23 sont les mêmes que ceux pris pour la Figure 2-24. Cette cartographie montre très clairement que le champ magnétique ne pénètre que très peu dans le NiFe, phénomène causé par la présence de courants induits dans les plaques magnétiques.

Dans la fenêtre de bobinage, le champ magnétique se répartira de la manière suivante (Figure 2-25) :

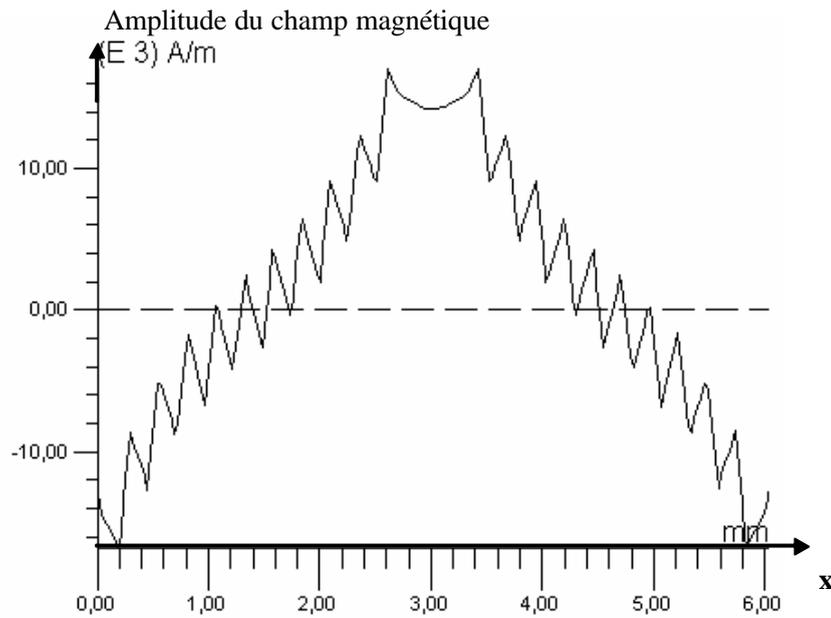


Figure 2-25 : Champ magnétique dans la fenêtre de bobinage obtenu par simulation avec Flux2D

### 2.2.3.b) Résultats donnés par calcul analytique

Par le calcul analytique effectué sous Mathcad®, les champs magnétiques dans le NiFe et la fenêtre de bobinage peuvent être représentés respectivement sur les Figure 2-26 et Figure 2-27.

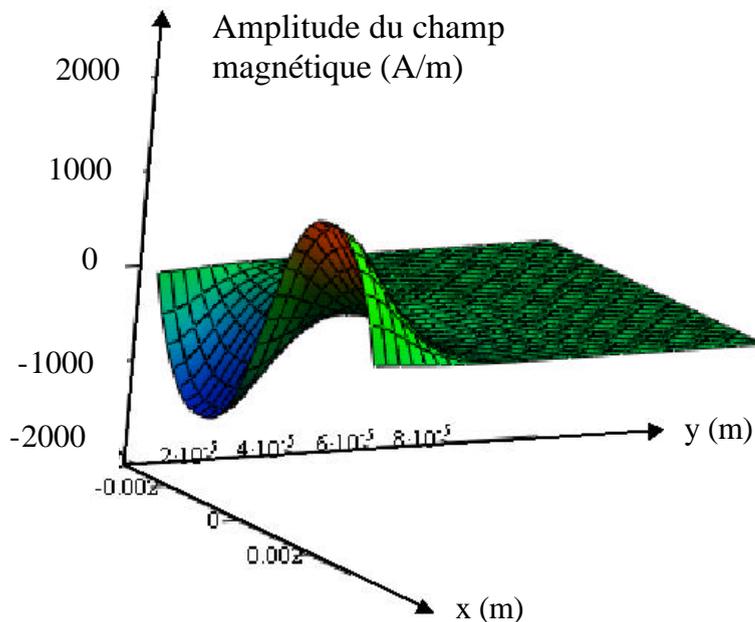


Figure 2-26 : Cartographie du champ magnétique obtenu par modélisation analytique

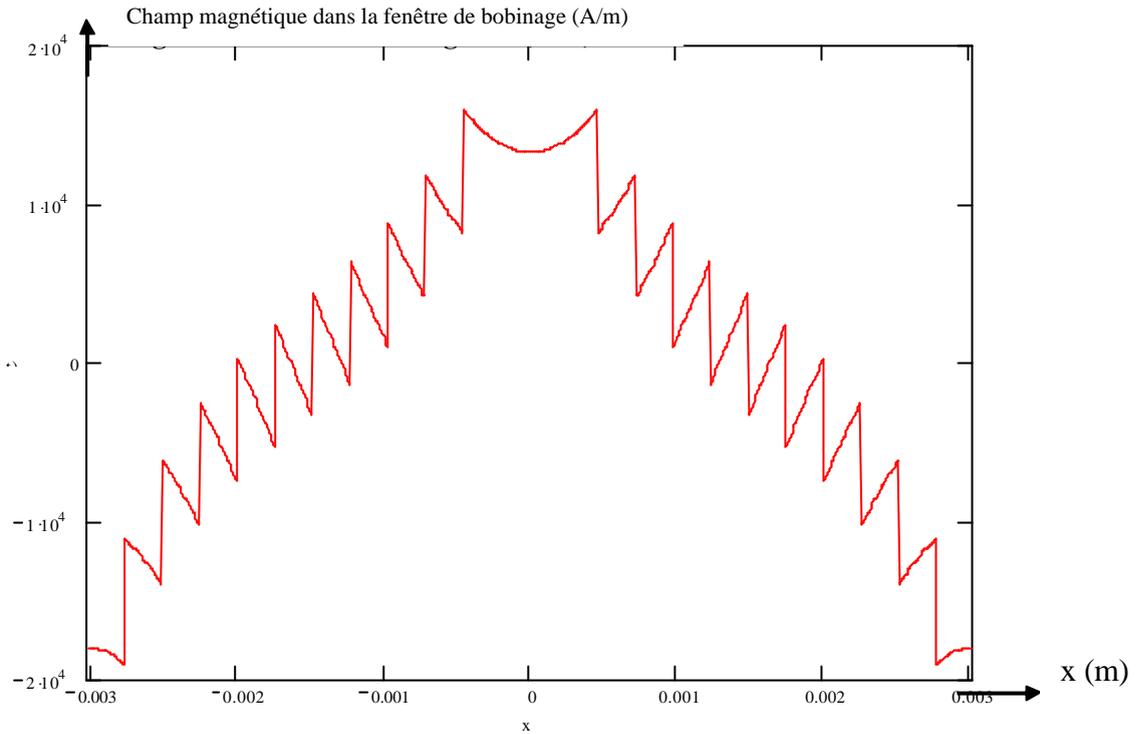


Figure 2-27 : Champ magnétique dans la fenêtre de bobinage obtenu par modélisation analytique

Ces deux méthodes donnent des résultats similaires sur la représentation des champs magnétiques. Restent à comparer les pertes fer obtenues analytiquement et par simulation. Cette comparaison est effectuée sur la Figure 2-28.

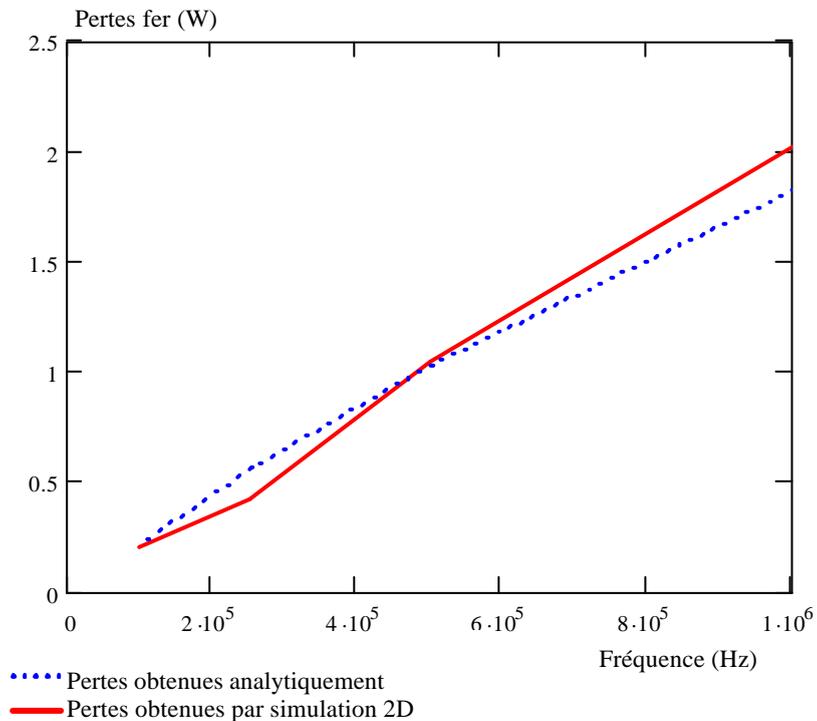


Figure 2-28 : Comparaison des pertes fer calculées par simulation 2D et analytiquement

Les résultats obtenus par les 2 méthodes concordent avec une erreur inférieure à 10%, ce qui est très appréciable vue la complexité du calcul. Cette concordance de résultat verra sa limite lorsque l'hypothèse consistant à considérer l'épaisseur de peau bien plus faible que l'épaisseur d'une plaque magnétique ne sera plus valide. Or cette hypothèse, pour un matériau magnétique de perméabilité relative 800 et une résistivité de l'ordre de dix fois celle du cuivre, verra sa fin au-delà de 100MHz, ce qui va bien au-delà des domaines d'utilisation pour l'inductance à dimensionner.

#### **2.2.4 Conclusion sur les pertes fer**

Le calcul analytique développé dans cette partie permet de calculer les pertes fer avec une bonne précision dans l'inductance en spirale. Cette formulation analytique permet de changer facilement un ou plusieurs paramètres géométriques ou électriques, ce qui n'est pas le cas de la simulation par éléments finis. Cet avantage permet à la méthode analytique d'être insérée dans un processus d'optimisation visant à minimiser les pertes fer d'une topologie d'inductance en spirale.

Concernant les niveaux de pertes trouvés, il est évident qu'ils ne satisferont pas le cahier des charges prévu : les pertes fer à 500kHz avoisineront 1W. Ces pertes sont dues au mauvais comportement magnétique et électrique du NiFe 80-20 à ces fréquences. Ceci est accentué par le fait que le matériau est massif, favorisant ainsi le développement de courants induits dans le noyau magnétique. Une structure d'inductance à noyau magnétique massif ne sera donc pas envisageable.

## CONCLUSION SUR L'INDUCTANCE

L'inductance choisie est donc une topologie en spirale ayant l'avantageuse propriété d'avoir une forte valeur d'inductance surfacique. Par contre, les pertes cuivre (inhérentes à la topologie) et les pertes fer (dus à la mauvaise qualité électrique du matériau magnétique) sont fortes. Autant le premier type de pertes est irréductible, autant un procédé de feuilletage (ou laminage) du matériau magnétique a été mis en œuvre pour réduire le second type de pertes ([Boggetto4]). En effet, un feuilletage du circuit magnétique empêche les courants de Foucault de circuler librement dans le matériau. Ainsi, les pertes Joule dans le NiFe ne sont pas supprimées, mais considérablement réduites.

Le feuilletage du circuit magnétique peut se faire dans deux directions : horizontale (Figure 2-29) et verticale (Figure 2-30).

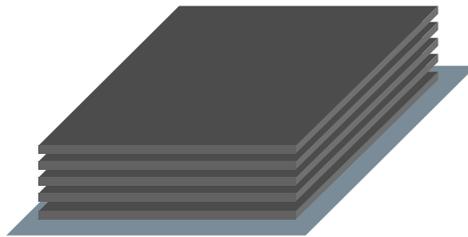


Figure 2-29 : Vue partielle d'un feuilletage horizontal de circuit magnétique

Le feuilletage horizontal autorise des épaisseurs de feuilles magnétiques très fines, rendant les courants de Foucault très faibles. Par contre, sa fabrication exige plusieurs étapes technologiques, ce qui augmente considérablement son coût de mise en œuvre.

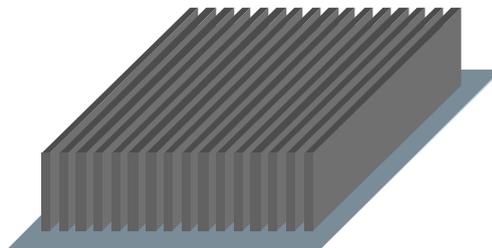


Figure 2-30 : Vue partielle d'un feuilletage vertical de circuit magnétique

Le feuilletage vertical, lui, peut se réaliser en une seule étape, mais le ratio hauteur d'une feuille / épaisseur d'une feuille ne peut dépasser la dizaine, pour des questions de tenue mécanique de la résine utilisée pour réaliser le moule du circuit magnétique.

Compte tenu de ces caractéristiques, le feuillement vertical a été retenu pour son faible coût comparé à celui du feuillement horizontal.

La largeur des feuilles sera fixée par la valeur de l'épaisseur de peau. En effet, les feuilles devront avoir une largeur inférieure à deux fois l'épaisseur de peau pour être efficaces. Cette dernière étant égale à  $11\mu\text{m}$  dans le cahier des charges traité, les feuilles seront choisies à une largeur de  $10\mu\text{m}$  (dimension technologiquement réalisable).

Ensuite, la hauteur des feuilles sera fixée de manière à autoriser le passage du flux sans saturation du matériau, tout en restant dans le ration d'une dizaine entre hauteur et largeur d'une feuille. Ainsi, dans l'inductance étudiée, la hauteur du feuillement a été choisie à  $100\mu\text{m}$ .

Une petite partie de ce feuillement a été simulée sous le logiciel Flux3D® (Figure 2-32) et a été comparée à une simulation d'un matériau massif faite sous Flux2D® (Figure 2-31). Les propriétés électriques et magnétiques des matériaux ont été gardées identiques lors des deux simulations.

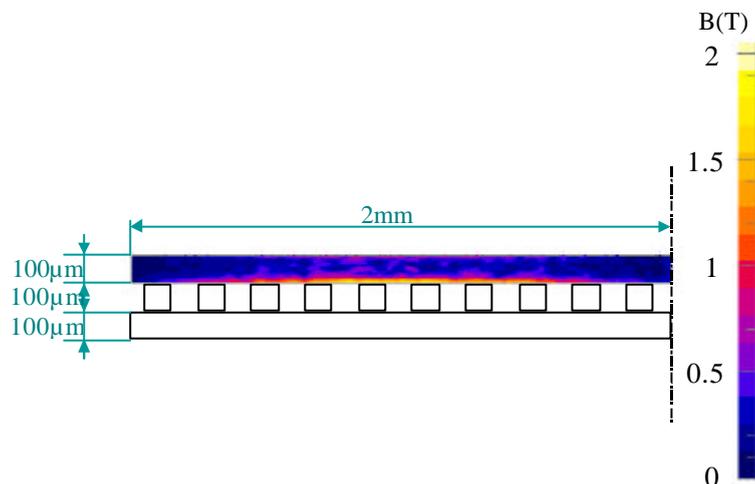


Figure 2-31 : Simulation 2D de l'induction dans un matériau NiFe massif

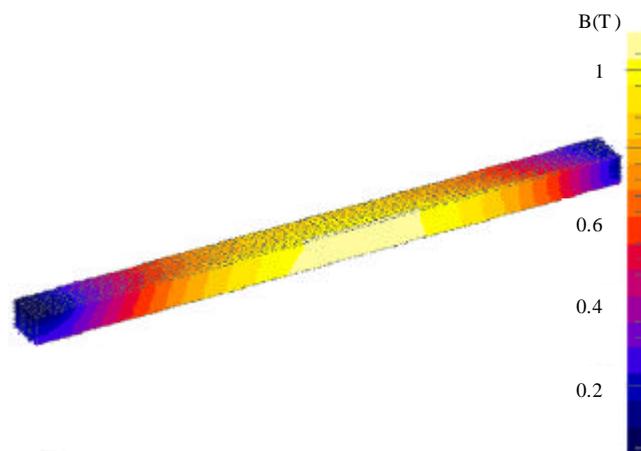


Figure 2-32 : Simulation 3D de l'induction dans un matériau NiFe feuilleté (feuilles de  $10\mu\text{m}$  de large par  $100\mu\text{m}$  de hauteur)

Il apparaît clairement sur la Figure 2-31 que l'induction est repoussée sur le bord inférieur de la plaque magnétique, par les courants de Foucault, alors que sur la Figure 2-32, l'induction est bien répartie sur toute la hauteur du circuit magnétique. Malheureusement, la simulation du feuilletage total n'a pas pu être effectuée ; en effet, le maillage à réaliser pour bien rendre compte des phénomènes dynamiques lors de l'utilisation d'un logiciel éléments finis impose au moins 2 à 3 mailles dans une épaisseur, ce qui conduit à une taille de simulation surpassant les capacités des postes de travail disponibles au LEG. L'impact chiffré du feuilletage sur les pertes n'a donc pas pu être effectué.

Au moment de la fabrication de l'inductance feuilletée, le LAAS n'a pu obtenir qu'une inductance ayant une dizaine de microns de hauteur pour le cuivre, comme le circuit magnétique. Ainsi, la valeur de cette inductance ne sera pas de  $1,2\mu\text{H}$  comme prévu, mais de  $12\mu\text{H}$ , et la valeur du courant qu'elle sera capable de transiter sans saturer sera de  $10\text{mA}$ . La Figure 2-33 présente la vue de dessus de cette inductance, la Figure 2-34 un agrandissement du feuilletage de l'une des plaques du circuit magnétique et la Figure 2-35 une coupe en biseau de l'inductance.

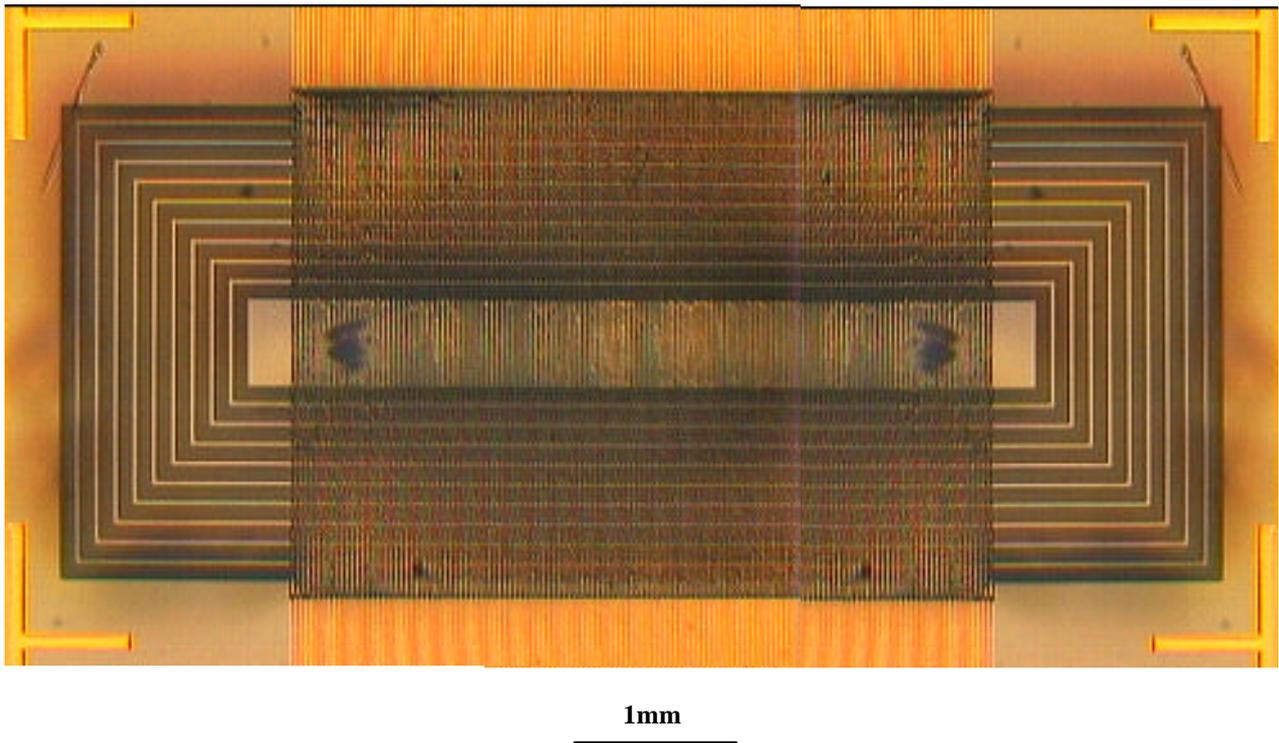


Figure 2-33 : Vue de dessus de l'inductance réalisée par le LAAS (photo prise en deux parties)

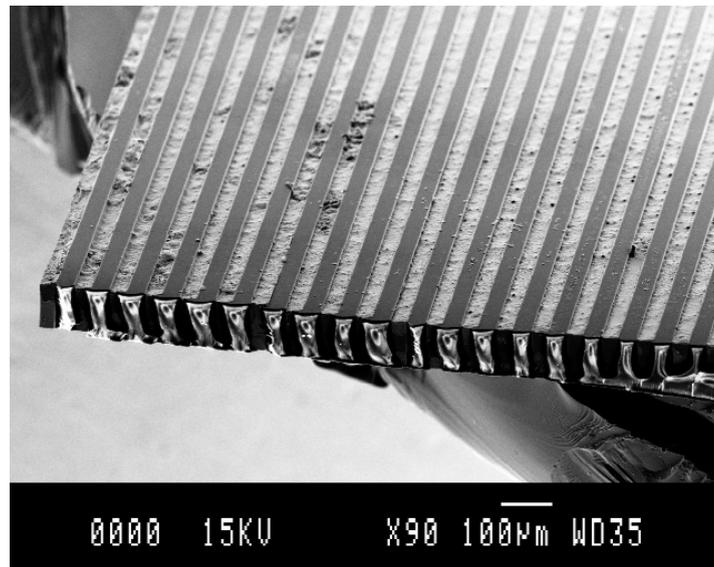


Figure 2-34 : Agrandissement d'une partie du feuilletage d'une plaque du circuit magnétique

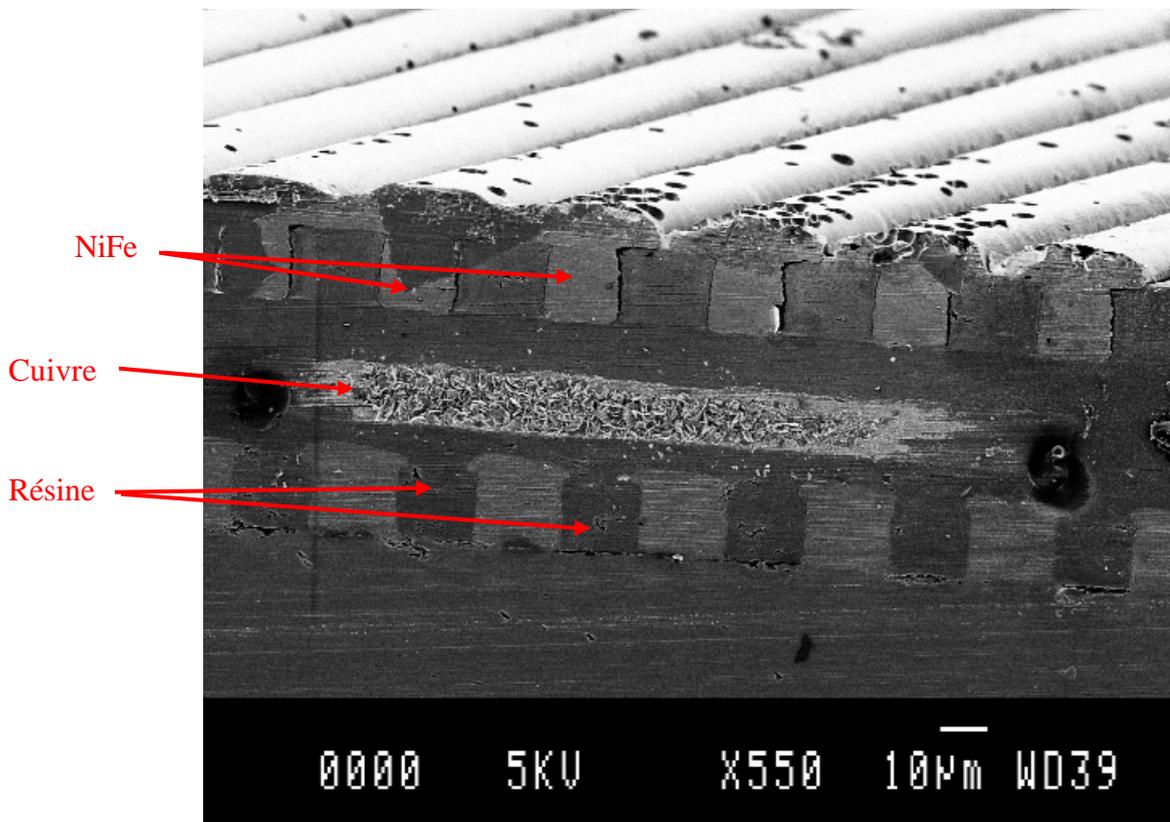


Figure 2-35 : Coupe en biseau de l'inductance

Ainsi, l'inductance réalisée, tout en ne répondant pas au cahier des charges défini au début de cette étude, représente une performance technologique de haut niveau et un bel espoir pour la suite des programmes d'intégration d'inductances de puissance sur silicium.





# **PARTIE 2. LE REDRESSEMENT SYNCHRONES**



# INTRODUCTION SUR LE REDRESSEUR

## SYNCHRONE

Les tensions d'alimentation de plus en plus basses et les besoins croissants en puissance poussent l'électronique de puissance vers le développement de convertisseurs forts courants. De plus, les caractéristiques dynamiques des charges plus exigeantes impliquent de nouvelles contraintes sur la distribution et la conversion de l'énergie. Pour répondre à cela, les concepteurs d'alimentations doivent utiliser les techniques récentes de conversion, techniques dont fait partie le redressement synchrone ([Zhou], [Cobos]).

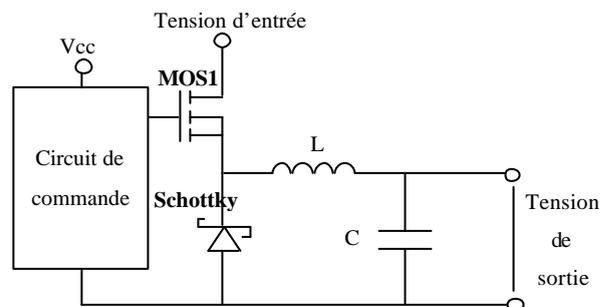
Dans les alimentations pour PC, note book ou la téléphonie mobile, la fonction «abaisseur de tension» est la plus demandée. Dans ce cadre, le hacheur série est un choix logique. Mais aux vues de la diminution des tensions de sortie, les composants de commutation et les régulateurs deviennent critiques.

La technique du redressement synchrone permet d'améliorer le rendement dans le cas de faibles tensions ([Forest]), mais en contrepartie la commande des semi-conducteurs employés devra être performante et intelligente afin de pallier les problèmes inhérents à la structure du convertisseur. Vus les forts courants envisagés pour ces convertisseurs, les semi-conducteurs utilisés sont des MOSFET verticaux afin de limiter la surface silicium occupée par ces composants.

### ***Comparaison Buck conventionnel / Buck synchrone***

#### *Le hacheur série (Buck) conventionnel*

Un Buck conventionnel faible tension utilise un MOSFET et une diode Schottky comme interrupteurs principaux (Figure 2-36). Commander le MOSFET à la fermeture permet de délivrer de l'énergie à la charge et à l'inductance. Lorsque le MOSFET est commandé à l'ouverture, l'énergie stockée par l'inductance force la circulation du courant dans



**Figure 2-36 : Hacheur série traditionnel**

la charge et dans la Schottky. Ainsi, le temps de conduction du MOS module l'énergie.

L'inductance et le condensateur servent de filtre passe-bas afin de retrouver en sortie du convertisseur une tension à peu près constante. Si  $E$  est la tension d'entrée du Buck et  $\alpha$  le rapport cyclique du MOS (temps de conduction / période), alors la valeur moyenne de cette tension de sortie vaut :  $\alpha.E$ .

Lors du dimensionnement d'un Buck conventionnel, le **MOSFET** est choisi selon 3 critères : la fréquence de commutation désirée, le rendement visé, et les contraintes thermiques. Au niveau des caractéristiques intrinsèques au MOS, ces critères seront traduits en termes de  $R_{ds_{on}}$  et charge dans la grille. Quand le rapport cyclique augmente, c'est la résistance  $R_{ds_{on}}$  qui a la plus grande influence sur le rendement du convertisseur. Typiquement, dans ce cas, ce sera un N-MOS qui sera utilisé afin de garantir une faible valeur de résistance. En effet, à calibre en tension donné, le  $R_{ds_{on}}$  d'un P-MOS est environ 1,5 fois plus important que celui d'un N-MOS (ceci à cause de la différence entre la mobilité des électrons et celle des trous). Mais l'utilisation d'un N-MOS dans un Buck traditionnel complique la commande du convertisseur (besoin d'une alimentation auxiliaire pour la commande, vue l'isolation nécessaire ; [Yee]).

La **diode Schottky**, elle, est choisie selon 2 critères : sa chute de tension à l'état passant et ses caractéristiques à l'état bloqué (tension d'avalanche, fuites). Quand la tension d'alimentation du convertisseur diminue, la chute de tension directe de la diode devient un facteur limitant notamment du point de vue du rendement.

Cette limitation force les concepteurs d'alimentations à utiliser le redressement synchrone dans les applications où le volume, le rendement et les considérations thermiques du convertisseur sont critiques (particulièrement la communication mobile et les PC ; [Djekic]).

### Le hacheur série synchrone (redresseur synchrone)

Le redressement synchrone consiste à remplacer la diode du Buck traditionnel par un MOSFET commandé afin de réaliser la fonction diode (blocage de ce MOSFET au passage par 0 du courant : Figure 2-37). Ainsi, les fabricants des produits mentionnés ci avant se tournent d'autant plus vers le redressement synchrone que les puissances mises en jeu augmentent.

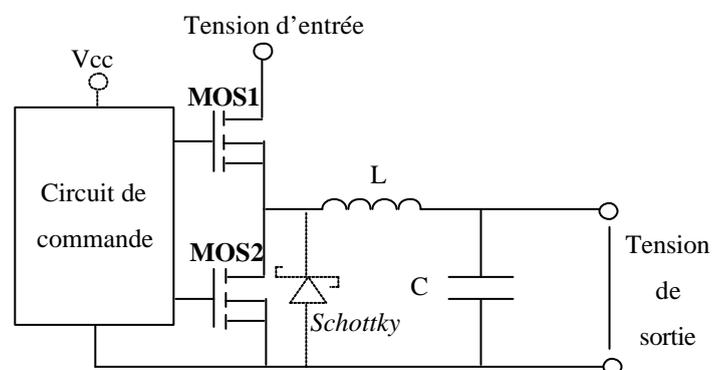


Figure 2-37 : Redresseur synchrone

### Mode de commutation des semi-conducteurs

Le mode de commutation d'un hacheur série (à cellule MOSFET/diode) est classique. On retrouve des commutations commandées (à l'amorçage et au blocage) sur le MOSFET principal, et des commutations spontanées sur la diode (Figure 2-38).

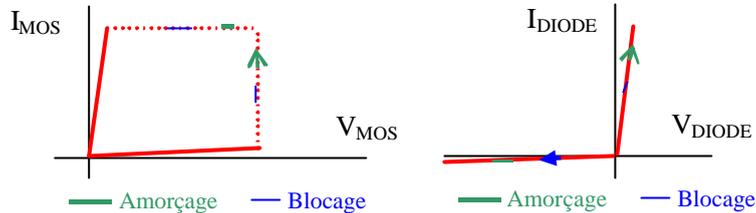


Figure 2-38 : Commutation des deux semi-conducteurs d'un hacheur série traditionnel dans le plan I(V)

Ceci a des conséquences inévitables sur les pertes en commutations qui seront, en théorie, maximales pour l'interrupteur et nulles pour la diode.

En particulier, toutes les capacités parasites des semi-conducteurs ( $C_{oss}$  pour le MOSFET,  $C_d$  pour la diode) entraîneront des pertes par commutation proportionnelles à la fréquence qui seront dissipées sur l'interrupteur commandé.

En pratique, beaucoup d'autres phénomènes interviennent lors des commutations, mais cette première approche montre que les deux MOSFETs d'un redresseur synchrone ne sont pas contraints de façon identique.

### *Effet du redressement synchrone sur le rendement*

Le redressement synchrone améliore le rendement du Buck à cause de la substitution de la Schottky par un MOS. La chute de tension résultante aux bornes du MOSFET est plus faible que celle de la diode Schottky. La Figure 2-39 compare cette chute de tension directe aux bornes d'une Schottky et d'un MOS.

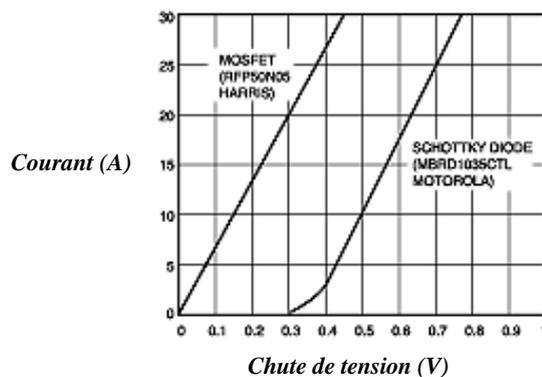


Figure 2-39 : Comparaison de la chute de tension directe aux bornes d'une Schottky dans un hacheur série et d'un MOS dans un redresseur synchrone

Ainsi, en prenant un  $R_{ds_{on}}$  de  $30m\Omega$  (cas typique des MOS faible puissance), la chute de tension à l'état passant devient égale à  $30m\Omega \cdot 1A = 30mV$  (au lieu de  $300mV$  dans le cas de la Schottky), et les pertes valent  $30m\Omega \cdot I_{eff}^2 = 15mW$  (soit 10 fois moins qu'avec la Schottky).

Pour être plus complet, il faudrait aussi comparer les pertes par commutation d'une Schottky et d'un MOSFET. Mais dans les conditions contraignantes d'utilisation du Buck cadre de cette étude, les pertes par commutation sont faibles devant les pertes par conduction. C'est pour cela qu'en basse tension, l'utilisation d'un MOSFET sera préférée.

Le MOSFET du bas de ce hacheur (MOS2 appelé « *MOS low side* ») fonctionne dans le 3<sup>ème</sup> quadrant du plan  $I_d(V_{ds})$ . En effet, son courant circulera de la source vers le drain, ce qui aura comme conséquence de créer une tension  $V_{ds}$  négative.

La tension  $V_{gs}$  de ce MOSFET étant positive (supérieure au seuil de conduction), le canal est créé et va conduire le courant (la diode de structure de ce MOSFET, dite diode Body, n'entrera en jeu que lorsque la tension  $R_{ds_{on}} \cdot I$  deviendra supérieure à  $V_{Body}$ ). Ce même MOSFET est commandé de manière à réaliser la fonction diode (ouverture déterminée par la commande).

Le fait d'utiliser des MOSFETs discrets entraîne des délais de commutation dus à la variation de la charge dans la grille et à la variation des seuils de conduction ( $V_{GS_{th}}$ ) d'un MOS à l'autre. Les circuits de commande standards remédient à cette variation en retardant la mise en conduction du MOSFET du bas tant que la tension  $V_{gs}$  du MOSFET du haut n'est pas descendue en dessous d'un certain seuil. Ce retard crée un temps mort durant lequel aucun des deux interrupteurs ne conduit. Ces circuits standards utilisent aussi la même méthode pour retarder la mise en conduction du MOS du haut. Un délai typique réalisé par les constructeurs est de  $60ns$  avec une fréquence de commutation limitée à  $500kHz$  ([Fairchild], [Analog]).

Pendant ces temps morts, le courant dans l'inductance circule à travers la diode Body du transistor du bas et crée donc une charge dans la zone de déplétion. Cette charge stockée doit être évacuée afin que la diode Body retrouve ses caractéristiques à l'état bloqué. La diode Body d'un MOSFET discret a un long recouvrement ce qui affecte défavorablement le rendement du convertisseur. Pour minimiser voire éliminer cette charge stockée, on place une diode Schottky en parallèle sur le MOSFET du bas. Cette association améliore le rendement du convertisseur. La diode Schottky peut avoir un calibre en courant plus faible que celle qui serait mise dans le cas du Buck traditionnel puisqu'elle ne conduit que durant le temps mort, ce qui diminue considérablement le courant efficace.

### Avantages de la conduction continue

La Figure 2-40 (a) montre le courant dans l'inductance d'un Buck traditionnel sous faible charge. Quand le courant s'annule, le redresseur s'ouvre (aucun interrupteur ne conduit). Alors, la tension aux bornes du redresseur oscille à une fréquence élevée correspondant au circuit englobant la capacité parasite.

Beaucoup de convertisseurs utilisent un snubber pour éliminer ce bruit haute fréquence ou émission CEM, évitant ainsi aux autres circuits d'être perturbés.

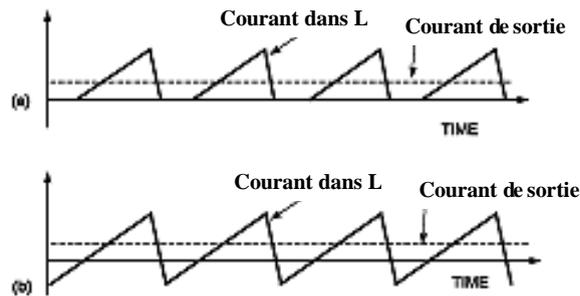


Figure 2-40 : Courant de charge dans un Buck traditionnel (a) et dans un redresseur synchrone (b)

Le problème de la conduction discontinue persiste quelles que soient les commandes de convertisseur choisies. Toutefois, les redresseurs synchrones emploient souvent délibérément la conduction discontinue pour économiser de l'énergie sous faible charge. Cette économie devient importante dans les applications où la charge est souvent en veille (microprocesseurs, téléphones portables, ...). Ceci est d'autant plus important que la source est une batterie (qui, par définition, se décharge !).

Beaucoup de concepteurs d'alimentations augmentent la valeur de l'inductance de manière à rester en conduction continue même en cas de charge minimale. Ceci a tendance à faciliter la régulation (réseau de compensation plus simple), augmente la taille et le coût de l'inductance et déplace le pôle double en basse fréquence. Ainsi la valeur élevée d'inductance limite la capacité du convertisseur à répondre à une rapide variation de charge.

Cette nécessité d'inductance de forte valeur peut être évitée en réalisant un redresseur synchrone dans lequel le *MOS low side* (MOS2) serait commandé non plus uniquement en diode mais jusqu'à la fin de la période (commande complémentaire). La conduction continue serait alors assurée quelle que soit la charge. Alors la fonction de transfert due au courant discontinu et à la contrainte de charge minimum ne contraint plus le choix de notre inductance. En effet, sous faible charge, le courant dans l'inductance peut devenir négatif (Figure 2-40 (b)). Le *MOS low side* conduit alors dans sa direction traditionnelle (du drain vers la source). La tension aux bornes de ce MOS devient positive, tirant l'énergie du condensateur de sortie. Quand le *MOS low side* s'ouvre,

celui du haut se ferme, renvoyant ainsi de l'énergie à la batterie jusqu'à ce que le courant s'inverse de nouveau.

Durant le temps où le courant dans l'inductance est négatif, le Buck agit temporairement comme un Boost, transférant son énergie de la sortie vers l'entrée en ne dissipant que des pertes Joule. Même si ces pertes diminuent le rendement sous faible charge par rapport à un Buck traditionnel, seules les spécifications de l'ondulation de sortie et de l'ESR du condensateur de sortie déterminent maintenant la valeur minimale de l'inductance de sortie. Ainsi, une inductance de faible valeur peut être utilisée pour répondre rapidement aux appels de charges provoqués par des équipements de plus en plus demandeurs à ce niveau. Alors, au prix d'un rendement sous faible charge plus faible, l'un des inconvénients majeurs de la régulation en tension peut être éliminé.

L'inconvénient réside dans l'augmentation de l'ondulation de courant dans la charge, ce qui contraindra le concepteur de l'alimentation à augmenter la valeur du condensateur de sortie. Il n'est pas rare de trouver des condensateurs de sortie de quelques mF. Pour remédier à ce problème, une structure de hacheurs entrelacés peut être envisagée.

Le Buck synchrone traditionnel (*MOS low side* commandé en diode) utilise un seul circuit intégré pour commander les deux MOSFETs externes et faire la régulation. Le temps mort limite la fréquence de commutation et la résistance de mesure de courant réduit le rendement. Mais de nouveaux circuits permettent de séparer ce circuit intégré : les circuits dits *SynchroFets*, par exemple. Le SynchroFet intègre les deux MOSFETs, leur commande rapprochée et leur logique de commande. Un tel circuit peut être associé à un simple générateur de MLI pour créer un convertisseur régulé en tension qui a quelques avantages par rapport à un convertisseur à MOSFETs discrets.

Ces avantages consistent notamment en une amélioration du rendement, une fréquence de commutation possible plus élevée, un niveau CEM réduit et un schéma thermique simplifié.

En choisissant des MOSFETs discrets à l'instar de cette approche intégrée, les avantages sont les suivants : un choix plus vaste de MOSFETs avec leurs  $R_{ds_{on}}$  associés, la possibilité de diffuser des MOSFETs dédiés à une application particulière, demandant un rendement particulier. Un autre avantage non négligeable réside dans la reproductibilité des circuits intégrés. Le pire des cas est moins sévère qu'en discret puisque la charge de grille et le seuil de conduction varient avec le process de fabrication et les conditions de préparation. De plus, la diode Body des MOSFETs intégrés présente une faible charge stockée et un temps de recouvrement inverse assez court. Ces circuits intégrés réduisent aussi les inductances de câblage dues aux connexions.

Ces améliorations permettent de dimensionner des convertisseurs avec un temps mort inférieur à 10 ns et pouvant fonctionner à des fréquences supérieures au MHz. Avec la présence d'un SynchroFet, la régulation en tension permet d'éliminer la résistance shunt de mesure du

courant nécessaire à la régulation en courant. De plus, la commande complémentaire élimine les hautes fréquences dues à la conduction continue, ainsi que l'utilisation d'un snubber. Enfin, la rapidité des commutations, la faible charge stockée des diodes Body et le faible temps mort peut permettre d'éviter l'utilisation d'une diode Schottky en parallèle.

Quand des MOSFETs discrets sont utilisés, vendus uniquement en technologie verticale, le substrat est relié au drain. Le refroidissement est donc critique (potentiel électrique sur le refroidisseur ...), ce qui n'est pas le cas avec des MOSFETs intégrés.

Pourquoi ne pas intégrer circuit de commande et de puissance dans un seul boîtier ? Ce niveau d'intégration est possible mais comporte des inconvénients comme un coût élevé, une taille supérieure, un nombre de pattes énorme, un refroidissement difficile (un point chaud va contaminer les autres circuits internes). Le SynchroFet est un circuit 8 pattes avec un environnement de MLI pouvant réaliser au choix une régulation en tension comme en courant. Le «tout intégré » ne sera donc pas forcément toujours la meilleure solution !

Cette introduction générale sur les redresseurs synchrones laisse présager que leur rendement et, donc, leur utilisation sera limitée par de nombreux paramètres du convertisseur et des MOSFETs utilisés. Aussi le chapitre suivant s'attachera à une étude fine de ces convertisseurs, en débutant par la modélisation des MOSFETs et, plus particulièrement, l'extraction des paramètres de leur modèle. Le quatrième et dernier chapitre s'attachera à l'étude de l'influence des différents paramètres du convertisseur sur le rendement.

---

---

## **Chapitre 3 - Etude fine d'un redresseur synchrone**



Le redresseur synchrone, très utilisé pour la conversion DC-DC basse tension, nécessite une étude approfondie, afin d'optimiser son rendement ou, tout du moins, de localiser les principales causes de pertes dans la structure.

Une telle étude fait intervenir deux types de paramètres : les paramètres du convertisseur lui-même (valeur de l'inductance, de la fréquence, des temps morts, etc ...) et les paramètres des MOSFETs.

Afin d'étudier l'influence des paramètres des MOSFETs, il faut leur attribuer un modèle électrique équivalent reflétant leur comportement aussi bien en commutation qu'en conduction.

### 3.1 Modèle de MOSFET semi empirique dans le 1<sup>er</sup> quadrant du plan $I(V)$

#### 3.1.1 Schéma électrique équivalent

L'objet de cette partie n'étant pas d'entrer dans le détail physique du semi-conducteur, les points présentés dans cette partie 3.1 seront basés sur les travaux effectués au LEG par Laurent Aubard, puis Guillaume Verneau sur la modélisation de MOSFETs de puissance ([Aubard], [Verneau1]). L'aspect principalement développé dans cette partie sera la méthode d'extraction des paramètres du MOSFET.

Les MOSFETs choisis seront des composants verticaux et non latéraux. En effet, la structure verticale (Figure 3-1-b) permet une tenue en tension plus forte, due à la présence d'une zone intrinsèque faiblement dopée, tout en permettant la circulation d'un courant important par la mise en parallèle de cellules élémentaires MOSFET. La structure étudiée durant ces travaux étant une structure « fort courant, faible tension », sa réalisation en MOSFET latéral (Figure 3-1-a) demanderait une surface silicium pour la réalisation des MOSFETs trop importante, les deux électrodes de puissance étant sur la même face de wafer silicium.

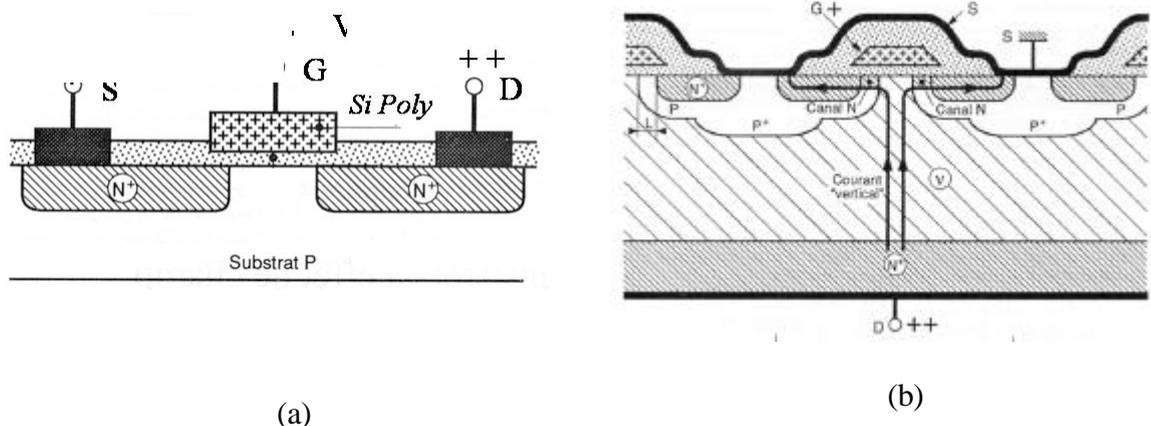


Figure 3-1 : Structure latérale (a) et verticale (b) de MOSFETs

Le modèle de MOSFET vertical choisi est basé sur l'étude des mouvements de charges dans la structure semi-conductrice, que ce soit en conduction ou bien en commutation.

Ainsi, les MOSFETs seront modélisés électriquement par 3 condensateurs inter électrodes et une source de courant (Figure 3-2). Les trois condensateurs auront des capacités non linéaires, dépendantes des différences de potentiels présentes à leurs bornes ; l'évolution de la source de courant, elle, sera liée à la valeur de  $V_{GS}$  en commutation, et aux contraintes du convertisseur en statique.

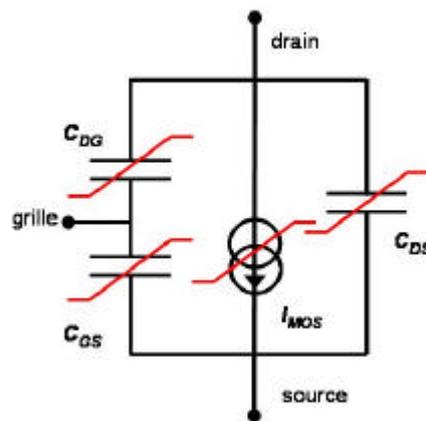


Figure 3-2 : Modèle électrique du MOSFET

En pratique, il sera possible de mesurer les différences de potentiel  $V_{GS}$ ,  $V_{DS}$  et  $V_{DG}$ , ainsi que les courants  $I_G$ ,  $I_D$  et  $I_S$ . Il ne sera donc pas possible d'obtenir directement les valeurs de capacités inter électrodes, puisque les courants traversant ces condensateurs sont non mesurables.

Ainsi, les constructeurs fournissent dans leurs documentations les capacités suivantes :

- Capacité d'entrée :  $C_{ISS} = C_{DG} + C_{GS}$ ,
- Capacité de sortie :  $C_{OSS} = C_{DG} + C_{DS}$ ,
- Capacité de rétroaction :  $C_{RSS} = C_{DG}$ .

La commutation d'un MOSFET de puissance, dont la référence sera sa source, sera découpée en sept phases : ce découpage se fait de manière à n'avoir pour chaque phase qu'un seul potentiel qui varie. La Figure 3-3 présente la commutation à l'amorçage d'un MOSFET. Afin de pouvoir observer les différentes phases de commutation, cette dernière doit être ralentie par la mise en série avec la grille d'une résistance de forte valeur.

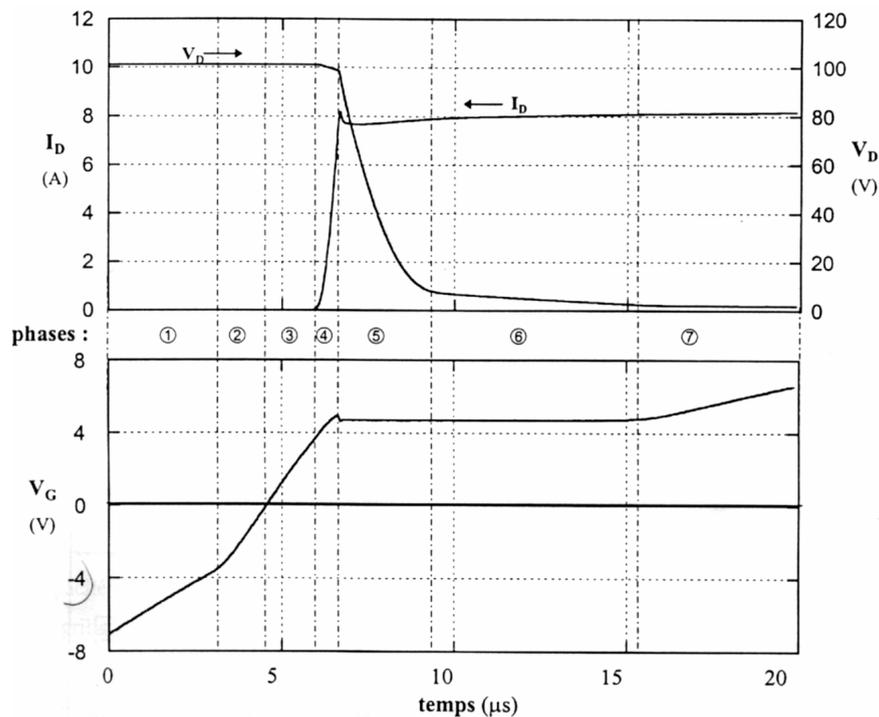


Figure 3-3 : Mise en conduction d'un MOSFET APT5024BVRX commutant 8A sous 100V

Chacune de ces phases ne voyant qu'un seul potentiel varier, il est donc possible, dans chacune des 7 zones, de négliger l'effet d'une capacité. Ainsi :

- dans les zones 1 à 4 incluse : seul  $V_G$  varie. Donc, l'effet de  $C_{DS}$  est négligeable : la capacité équivalente vue de la grille est donc  $C_{GS}/C_{DG}$ , c'est-à-dire  $C_{ISS}$ ,
- dans les zones 5 à 6 incluse : seul  $V_D$  varie. Donc, l'effet de  $C_{GS}$  est négligeable : la capacité équivalente vue du drain est donc  $C_{DG}/C_{DS}$ , c'est-à-dire  $C_{OSS}$ ,
- dans la zone 7, seul  $V_G$  varie. Donc, le schéma capacitif équivalent est le même que dans les zones 1 à 4, sans pour autant que les valeurs de capacités soient les mêmes.

Afin de définir le vocabulaire lié à certaines variables utilisées par la suite, voici quelques grandeurs caractéristiques de la commutation :

- $V_{TV}$  : Tension à partir de laquelle on observe le changement de pente sur la croissance de  $V_{GS}$
- $V_{FB}$  : Tension de bande plate,
- $V_{th}$  : Tension de seuil (*threshold*) de conduction du MOSFET à partir de laquelle le courant  $I_D$  commence à croître,
- $V_{FBV}$  : Tension de bande plate de la zone intercellulaire  $v$ .

Dans le Tableau 3-1 sont consignées les valeurs des capacités inter électrodes ainsi que celles de la source de courant en fonction des potentiels présents sur la grille, le drain et la source du MOSFET. Ces valeurs ne sont valables que dans le premier quadrant du plan I(V) du MOSFET.

	Phase 1	Phase 2	Phase 3	Phase 4	Phase 5	Phase 6	Phase 7
$V_D$	$\gg 0V$	$\gg 0V$	$\gg V_{G^-}$ $V_{FBv}$	$\gg V_{G^-}$ $V_{FBv}$	$> V_{G^-} - V_{FBv}$	$< V_{G^-} - V_{FBv}$	$= R_{DS(on)} \times I_D$
$V_G$	$< V_{Tv}$	$V_{Tv} < V_G$ $< V_{FB}$	$V_{FB} < V_G$ $< V_{th}$	$> V_{th}$	$> V_{th}$	$> V_{th}$	$> V_{th}$
$C_{DS}$	$C_{DS} = \frac{C_{DS0} \cdot \sqrt{\Phi_{DS}}}{\sqrt{\Phi_{DS} + V_{DS}}}$						
$C_{DG}$	$\frac{C_{DG0} \cdot \left[ 1 - 2 \cdot \chi \cdot V_{DS} + \chi \cdot (V_{GS} - V_{FBv}) + 2 \chi \cdot \sqrt{V_{DS} \cdot (V_D - V_G + V_{FBv})} \right]}{\sqrt{1 + \frac{4}{\sigma^2} \cdot (V_D - V_G + V_{FBv})}}$					$C_{DG0} \cdot (1 - ? \cdot V_{DS})$	
$C_{GS}$	$C_{GS0} + C_{DG0}$	$C_{GS0}$		$C_{GS0} \cdot [1 + ?_G \cdot (V_{GS} - V_{th})]$		$C_{GS0}$	
$I_D$	0			$K_{PM} \cdot (V_{GS} - V_{th})^M$			$\frac{V_D}{R_{DS(on)}}$

**Tableau 3-1 : Evolution des expressions des capacités inter électrodes et de la source de courant du MOSFET en commutation dans le premier quadrant**

Dans ce tableau résumant les expressions théoriques des 3 capacités et de la source de courant apparaissent douze paramètres à identifier expérimentalement :  $C_{GS0}$ ,  $C_{DG0}$ ,  $?$ ,  $?_G$ ,  $V_{FBv}$ ,  $s$ ,  $V_{FB}$ ,  $V_{Tv}$ ,  $F_{Fiv}$ ,  $F_{DS}$ ,  $C_{DS0}$ ,  $R_{DSon}$ ,  $V_{th}$ ,  $K_{PM}$  et  $M$ . Les parties suivantes mettront l'accent sur la caractérisation expérimentale de ces différents paramètres nécessaires à l'établissement du modèle du MOSFET.

Le MOSFET choisi pour valider l'approche expérimentale dans le 1<sup>er</sup> quadrant est un IRFU014N, MOSFET canal N pouvant correspondre au cahier des charges de l'alimentation étudiée (calibre 60V/7,7A : notice en Annexe 3).

### 3.1.2 Banc de caractérisation dynamique

La détermination expérimentale d'un premier groupe de paramètres se fera grâce à un banc de caractérisation dynamique qui sera présenté dans cette partie.

Cette mesure va permettre de déterminer les cinq paramètres suivants :

- $C_{GS0}$  : Valeur minimale de la capacité d'entrée  $C_{IN}$  (capacité vue de la grille),
- $C_{DG0}$  : Valeur maximale de la capacité de rétroaction  $C_R$  (capacité  $C_{DG}$ ),
- $\gamma$  : Paramètre de modulation de surface pour la capacité  $C_R$ ,
- $\gamma_G$  : Paramètre de modulation de surface pour la capacité  $C_{IN}$ ,
- $V_{th}$  : Seuil de la tension  $V_{GS}$  à partir duquel le courant de drain  $I_D$  se met à croître.

Le mode opératoire à suivre au cours de cette mesure ainsi que la méthode de détermination des différents paramètres sont décrits plus en détail dans le fichier Mathcad® qui est disponible en Annexe 4.

Le principe de cette caractérisation consiste à faire commuter le MOSFET à caractériser, dans une structure de l'électronique de puissance : en l'occurrence, un hacheur parallèle (boost). Afin de pouvoir observer correctement les différentes phases de sa commutation (cf Figure 3-3), le MOSFET devra passer de l'état bloqué à l'état passant de manière lente. Pour cela, la résistance  $R_G$  attaquant la grille du MOSFET caractérisé sera choisie suffisamment grande  $\approx 10k\Omega$ , valeur variable en fonction de la capacité  $C_{GS}$  à caractériser).

Afin de ne pas faire intervenir l'influence de la température dans la caractérisation du MOSFET, un second MOSFET (appelé pilote) est placé en parallèle avec le transistor sous test. Le MOSFET pilote est commandé 1023 fois sur 1024, le MOS sous test n'étant commandé qu'une seule fois sur 1024. Le semi-conducteur sous test ne dissipera donc que peu de puissance et sera donc le siège de faibles gradients de température.

Pour éviter les problèmes dus aux inductances et aux mutuelles, et afin de diminuer le courant de recouvrement de la diode, la fréquence de commande des deux MOSFETs est prise relativement faible ( $\approx 3.33kHz$ ).

Le synoptique du banc de caractérisation dynamique est représenté sur la Figure 3-4.

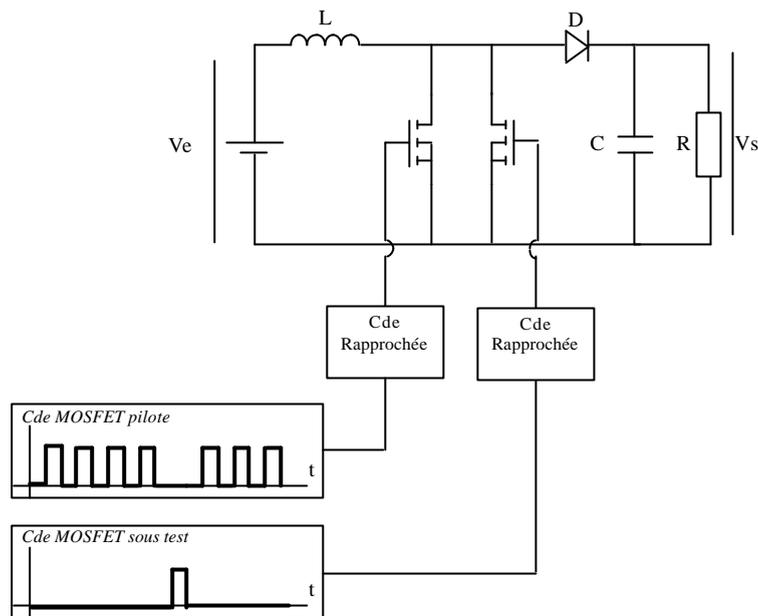


Figure 3-4 : Synoptique du banc de caractérisation dynamique

La réalisation de ce banc de caractérisation a été photographiée et reportée sur la Figure 3-5.

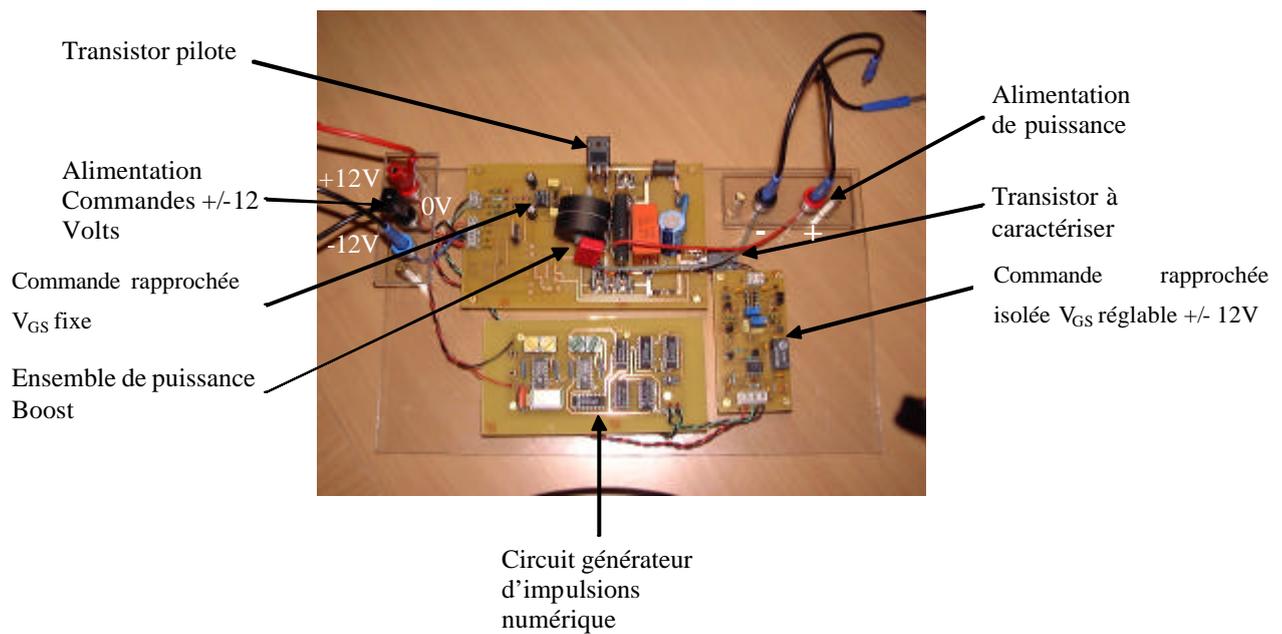


Figure 3-5 : Réalisation du banc de caractérisation dynamique

La Figure 3-6 donne un exemple des différentes courbes mesurables sur le banc de test, après retraitement sous Mathcad®.

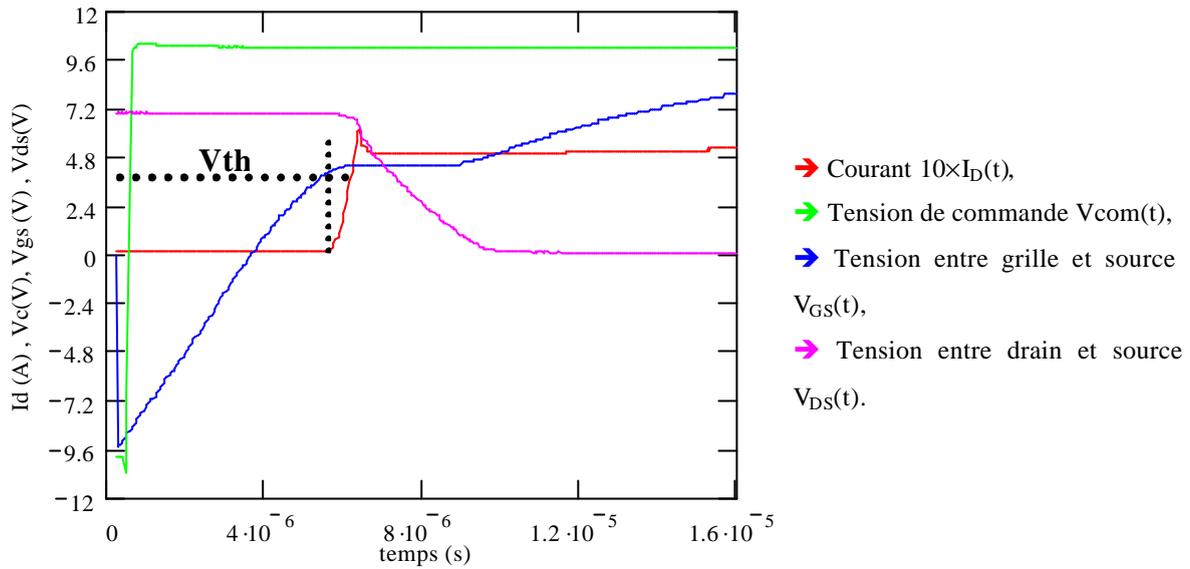


Figure 3-6 : Commutation à l'amorçage de l'IRFU014N, avec une charge de 15W

A partir de ces relevés, il est possible de déterminer l'évolution des capacités  $C_{ISS}$  (Figure 3-7),  $C_{IN}$  (Figure 3-8) et  $C_R$  (Figure 3-9) en fonction du temps, ainsi que l'évolution de la charge de grille  $Q_G$  (Figure 3-10).

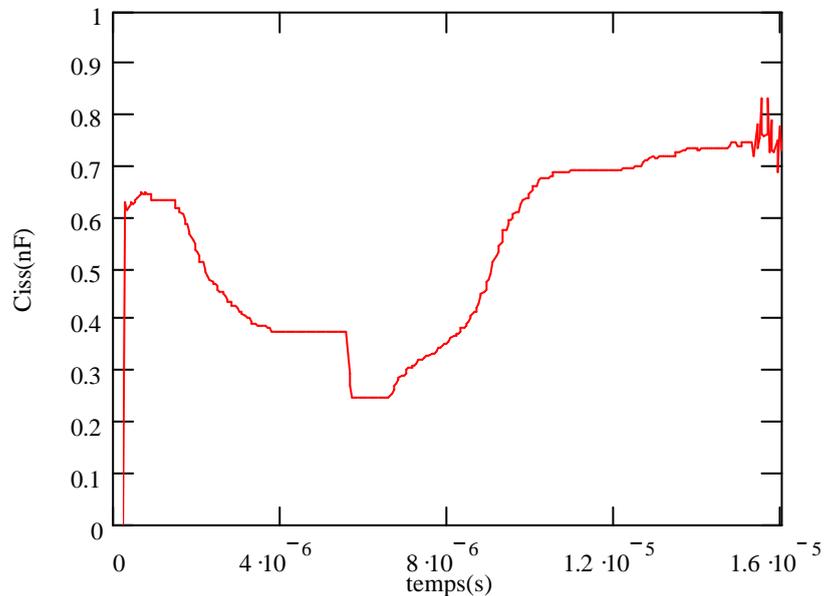


Figure 3-7 : Evolution de  $C_{ISS}$  en fonction du temps

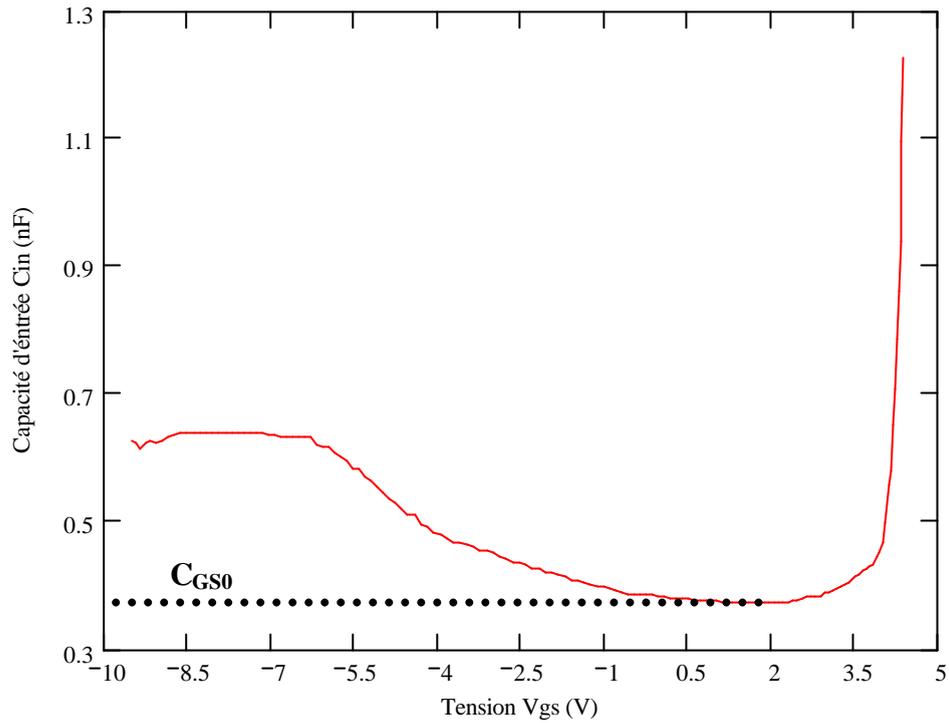


Figure 3-8 : Evolution de  $C_{IN}$  en fonction de  $V_{GS}$

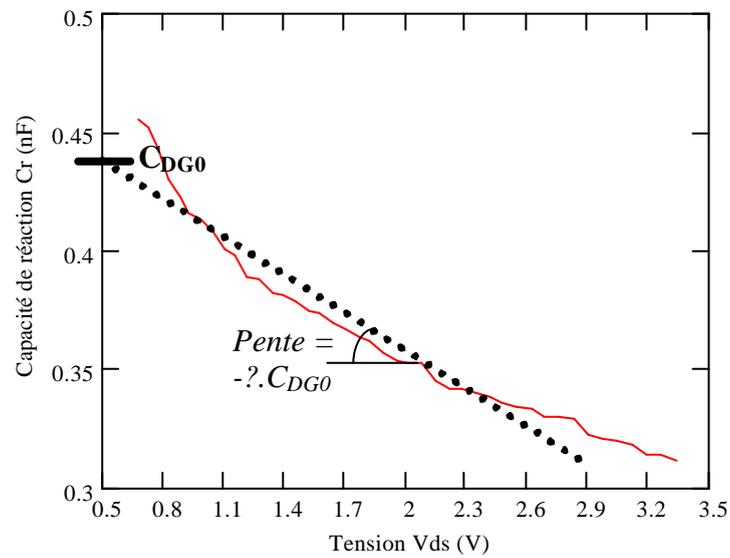
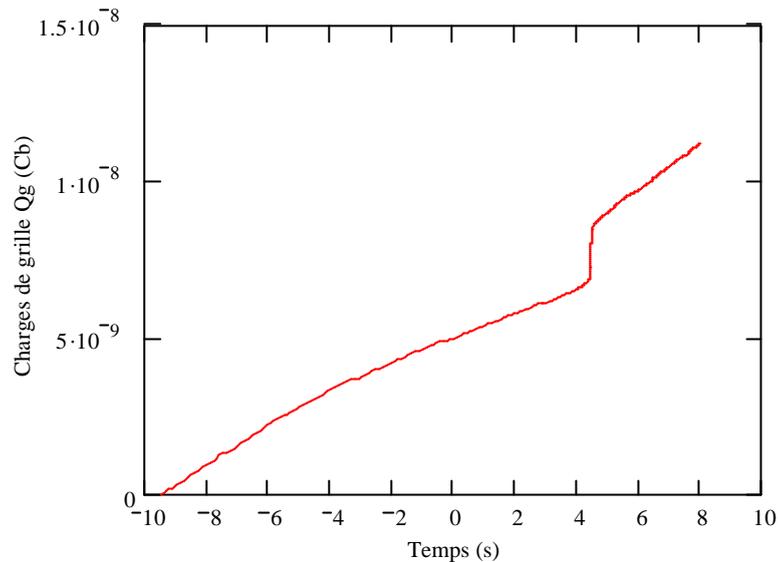


Figure 3-9 : Evolution de  $C_R$  en fonction de  $V_{DS}$



**Figure 3-10 : Evolution des charges de grille en Cb en fonction de  $V_{GS}$**

Ainsi, les cinq premiers paramètres peuvent être extraits. Les valeurs de ces paramètres pour l'IUFU014N sont reportées ci-dessous.

$$\Rightarrow C_{GS0} \approx 373 \text{ pF (Figure 3-7)}$$

$$\Rightarrow C_{DG0} \approx 442 \text{ pF (Figure 3-9)}$$

$$\Rightarrow ? \approx 0,101 \text{ V}^{-1}$$

$$\Rightarrow ?_G \approx 0,614 \text{ V}^{-1}$$

$$\Rightarrow V_{th} \approx 3,573 \text{ V (Figure 3-6)}$$

Toujours grâce au même banc de caractérisation mais avec un second essai, il est possible d'extraire deux nouveaux paramètres.

Ce second essai consiste à relever le courant  $I_D(t)$  ainsi que les tensions  $V_{DS}(t)$  et  $V_{GS}(t)$  pour trois valeurs différentes de résistance de charge  $R_{ch}$ . Ceci va permettre de déterminer la valeur des paramètres  $K_{PM}$  et  $M$  qui décrivent l'évolution du courant durant les phases 4, 5 et 6 de la commutation (Figure 3-3). Cette détermination est décrite plus en détail dans le fichier Mathcad® disponible en Annexe 5.

Sur la Figure 3-11, Figure 3-12, et Figure 3-13 sont relevés respectivement les tensions  $V_{GS}$ ,  $V_{DS}$  et le courant  $I_D$  en fonction du temps, après retraitement sous Mathcad®.

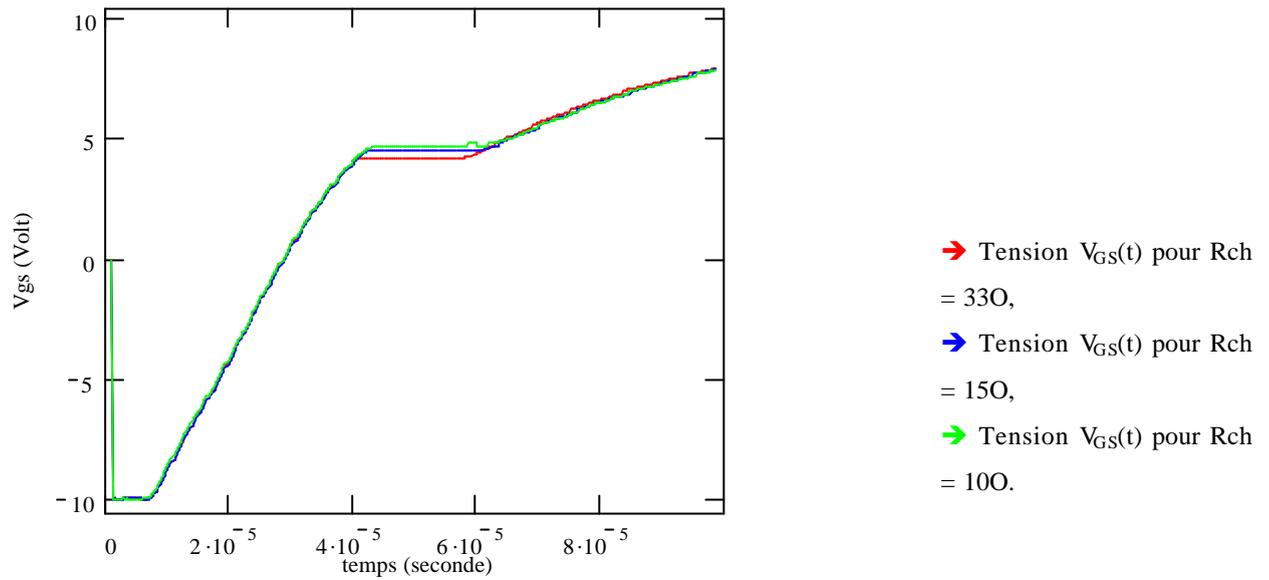


Figure 3-11 : Evolution de la tension  $V_{GS}(t)$  pour différentes charges

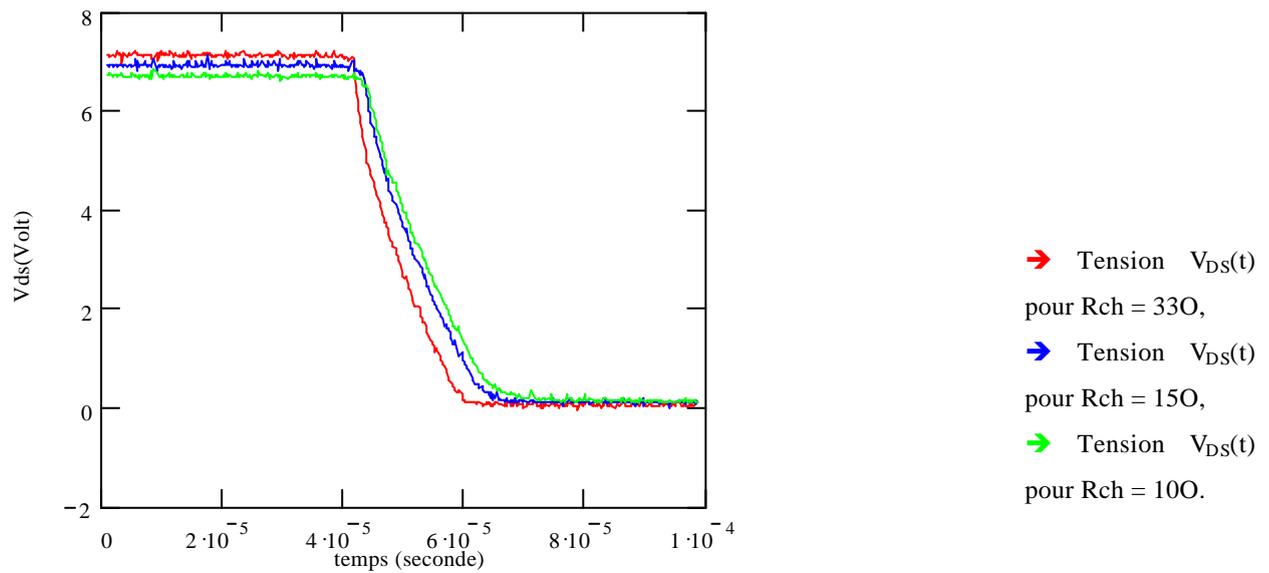


Figure 3-12 : Evolution de la tension  $V_{DS}(t)$  pour différentes charges

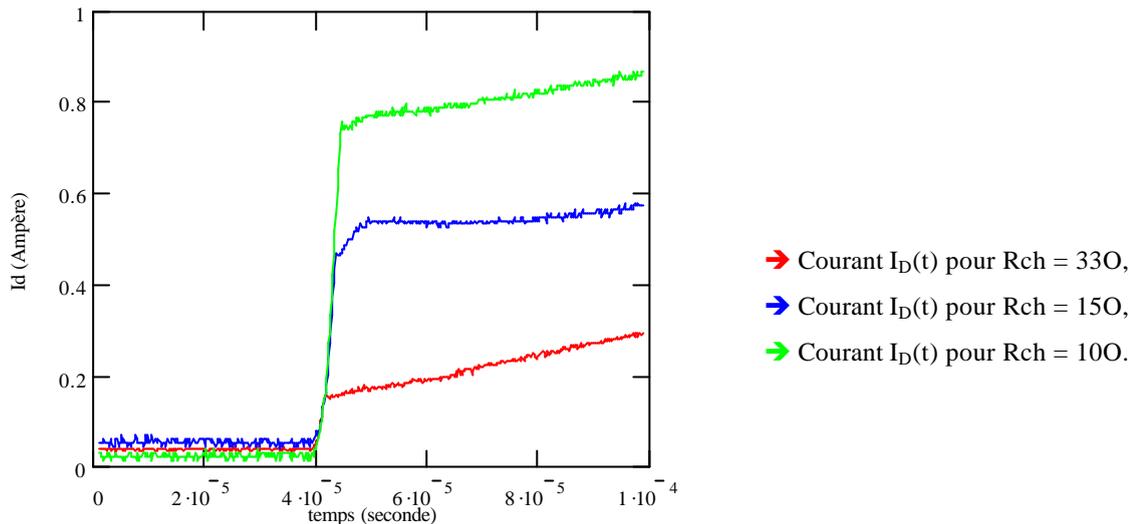


Figure 3-13 : Evolution du courant  $I_D(t)$  pour différentes charges

La Figure 3-12 montre que la tension  $V_{DS}$  du MOSFET à l'état passant, varie dans le même sens que l'amplitude du courant. Ceci se justifie par le fait que le MOSFET à l'état passant est équivalent à une résistance  $R_{DS(on)}$ . La tension  $V_{DS}$  est donc égale au produit  $R_{DS(on)} \cdot I_D$  lorsque le MOSFET est passant.

Les trois relevés précédents permettent de présenter le tableau suivant :

	$V_{GSplateau}$	$V_{th}$	$I_D$
Rch = 100	4.17 V	3.68 V	0.2 A
Rch = 150	4.48 V	3.68 V	0.54 A
Rch = 330	4.72 V	3.68 V	0.8 A

Tableau 3-2 : Relevés de  $V_{GSplateau}$ ,  $V_{th}$  et  $I_D$  pour différentes charges

Sachant que le courant  $I_D$  s'exprime " $I_D = K_{PM} \cdot (V_{GSplateau} - V_{th})^M$ " durant la phase de plateau, il est possible de tracer l'évolution de ce dernier en fonction de la différence  $V_{GSplateau} - V_{th}$  et d'en déduire par régression linéaire la valeur des paramètres  $K_{PM}$  et  $M$ .

En effet, en prenant le logarithme de l'expression du courant  $I_D$ , déterminer  $K_{PM}$  et  $M$  devient plus simple puisque alors se profile l'équation d'une droite ayant pour pente  $M$  et pour ordonnée à l'origine  $\log(K_{PM})$ . Ladite équation est la suivante :

$$\text{Log}(I_D) = M \cdot \text{Log}(V_{GSplateau} - V_{th}) + \text{Log}(K_{PM})$$

L'application de ce principe à l'IRFU014N conduit aux valeurs suivantes :

$$\Rightarrow M \sim 1,855$$

$$\Rightarrow K_{PM} \sim 1,1 \text{ O}^{-1}$$

### 3.1.3 Banc de caractérisation statique (HP4194A)

Après avoir extrait un premier jeu de paramètres grâce au banc dynamique, le pont d'impédance (HP4194A) servira de banc statique. Deux capacités seront relevées avec ce banc :  $C_{IN} = f(V_{GS})$  et  $C_{OSS} = f(V_{DS})$ .

#### 3.1.3.a) Mesure de la capacité $C_{IN}$ en fonction de $V_{GS}$ :

Le but de cette mesure est de déterminer les trois paramètres suivants :

- $V_{FB}$  : Tension de bande plate,
- $s$  : Pente de la courbe reliant  $V_T$  à la racine carré du potentiel  $V_D$ ,
- $F_{FB}$  : Potentiel de diffusion de la zone  $v$ .

Le mode opératoire à suivre au cours de cette manipulation ainsi que la méthode de détermination des différents paramètres sont décrits plus en détail dans le fichier Mathcad® qui est disponible en Annexe 6.

Les mesures de la capacité  $C_{IN}$  sont des mesures qui se font en statique sur le pont d'impédance HP 4194A. Ces mesures se font composant bloqué, c'est à dire que la tension  $V_{GS}$ , imposée par le pont de mesure, doit toujours rester inférieure au seuil de conduction  $V_{th}$ . Dans cette partie, cinq séries de mesures seront effectuées pour différentes valeurs de  $V_D$  : ce potentiel sera imposé par une source de tension continue externe.

Le schéma de principe de cette mesure est donné sur la Figure 3-14.

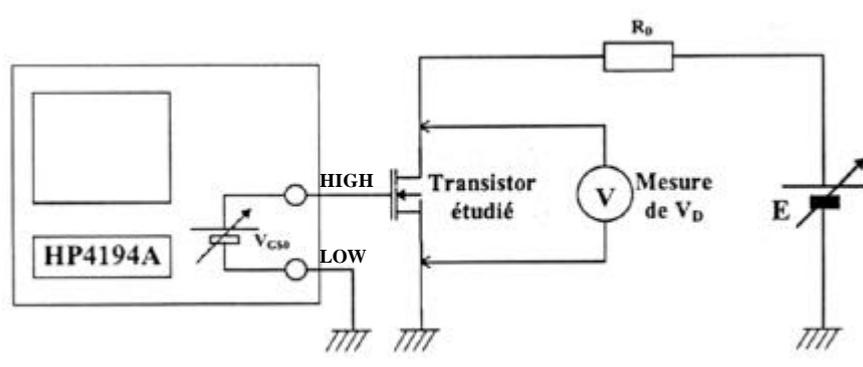


Figure 3-14 : Mesure de  $C_{IN}$  avec le pont d'impédance HP4194A

La résistance  $R_D$  présente sur la Figure 3-14 est une résistance de protection qui permet de limiter le courant au cas où le MOSFET caractérisé se mettrait en conduction.

Une précaution de mesure est à prendre afin de garantir la cohérence du résultat. En effet, il faut avant tout s'assurer que le module de l'impédance mesurée est bien capacitif : le paramètre

d'action pour placer la mesure dans une zone capacitive sera la fréquence de l'oscillateur du pont. Dans le cas de l'IRFU014N, les mesures se feront à une fréquence de 1MHz.

Les mesures effectuées sur ce pont permettent de sauver cinq fichiers qui sont ensuite exploités par l'intermédiaire du fichier Mathcad® de l'Annexe 6.

La Figure 3-15 présente l'évolution de la capacité  $C_{IN}$  en fonction de la tension  $V_{GS}$ , et ceci pour cinq valeurs du potentiel  $V_D$  :

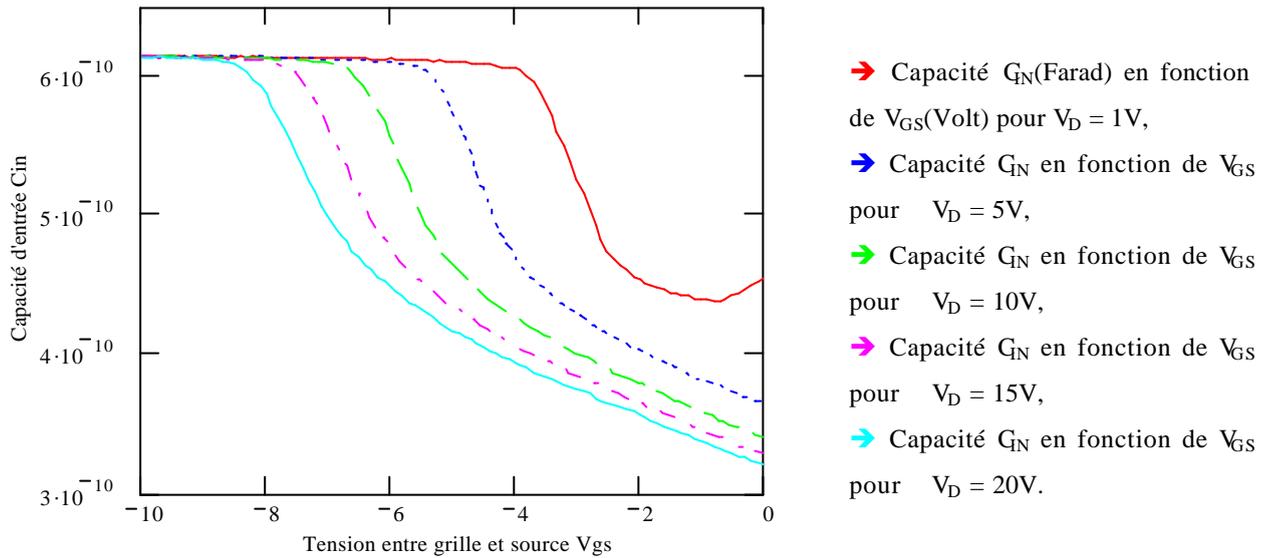


Figure 3-15 : Evolution de  $C_{IN}$  en fonction de  $V_{GS}$  pour cinq valeurs de  $V_D$

Physiquement, la tension  $V_{TV}$  correspond au passage de la phase d'inversion à la phase de déplétion de la zone inter cellulaire  $v$ . Ce paramètre dépendant de la valeur de la tension commutée, il est possible de déterminer la valeur de la tension  $V_{TV}$  pour différentes valeurs du potentiel de drain  $V_D$  à partir de ces relevés. Pour cela, il suffit de se placer à l'endroit où l'on observe une brusque variation de la capacité d'entrée  $C_{IN}$  et de mesurer le potentiel  $V_{GS}$  qui correspondra à  $V_{TV}$ .

Finalement, cette méthode appliquée à l'IRFU014N conduit au tableau suivant :

$V_{TV}$	-3,5V	-5,1V	-6,2V	-7,1V	-7,7V
$V_D$	1V	5V	10V	15V	20V

A partir de ce tableau est déduite l'évolution de la tension  $V_{TV}$  en fonction de  $\sqrt{V_D}$  (Figure 3-16).

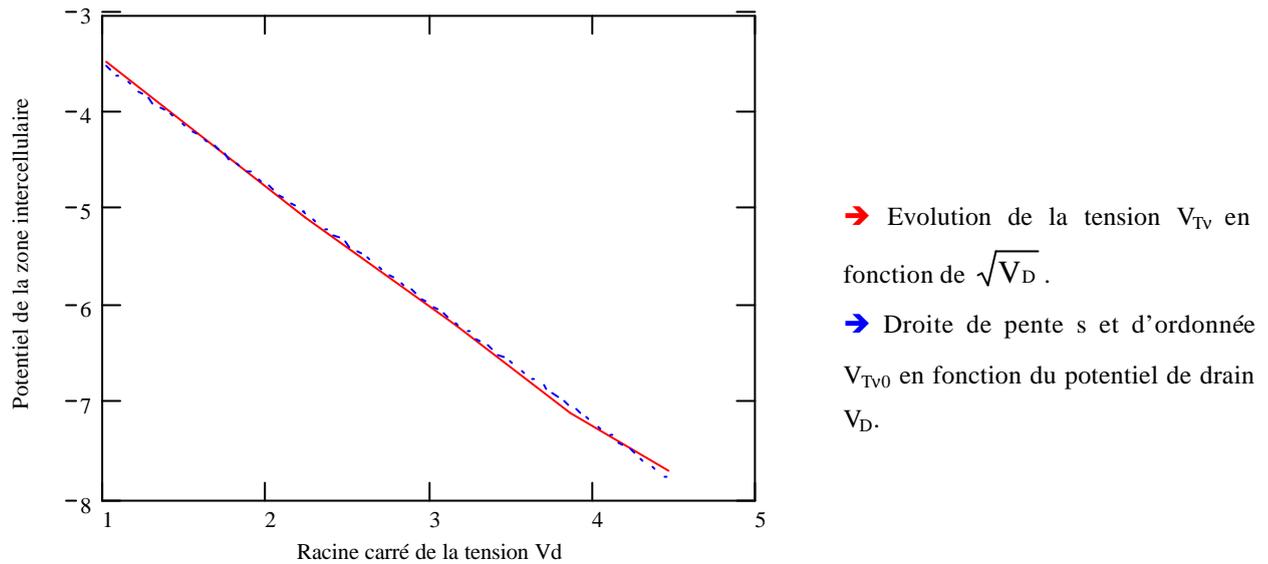


Figure 3-16 : Evolution de  $V_{Tn}$  (en V) en fonction de  $v(V_D)$

L'exploitation de la Figure 3-16 conduit aux valeurs suivantes :

$$\Rightarrow s \sim -1,217$$

$$\Rightarrow V_{Tv0} \sim -2,33 \text{ V}$$

Pour ce qui est du paramètre  $F_{FIV}$ , sa détermination ne nécessite aucune mesure mais elle impose la connaissance du calibre en tension  $V_{DSS}$  du composant.

Pour l'IRFU014N,  $V_{DSS} = 60\text{V}$ .

$$\text{De là, le dopage } N_v \text{ de la zone } v \text{ est déduit : } N_v = \frac{1,47 \times 10^{18} \times 10^6}{V_{DSS}^{4/3}}$$

$$\Rightarrow N_v \sim 6,258 \times 10^{21} \text{ atomes/m}^3$$

Le potentiel  $F_{FIV}$  se calcule alors comme suit :

$$\Phi_{FIV} = \frac{k.T}{q} \cdot \ln\left(\frac{N_v}{ni}\right) \quad \text{Équation 3-1}$$

Avec  $ni$  = concentration intrinsèque des porteurs pour le silicium =  $1,3 \cdot 10^{10} / \text{cm}^3$ .

$$\Rightarrow F_{FIV} \sim 0,337 \text{ V}$$

La tension de bande plate se détermine quant à elle de la manière suivante :

$$V_{FBv} = V_{Tv0} + 2 \cdot \Phi_{FIV} - \sigma \cdot \sqrt{2 \cdot \Phi_{FIV}} \quad \text{Équation 3-2}$$

$$\Rightarrow V_{FBv} \sim -0,659 \text{ V}$$

### 3.1.3.b) Mesure de la capacité $C_{OSS}$ en fonction de $V_{DS}$ :

Cette mesure va permettre de trouver la valeur des deux paramètres suivants :

- $F_{DS}$  : Potentiel de diffusion,
- $C_{DS0}$  : Valeur de la capacité  $C_{DS}$  lorsque  $V_{DS} = 0V$ .

La détermination de ces deux paramètres est entièrement expliquée dans le fichier Mathcad® qui est disponible en Annexe 7.

La mesure de la capacité  $C_{OSS}$  qui, rappelons-le, est égale à la somme des 2 capacités  $C_{DS}$  et  $C_{DG}$ , se fait en statique sur le pont d'impédance HP 4194A. La mesure est effectuée selon la Figure 3-17.

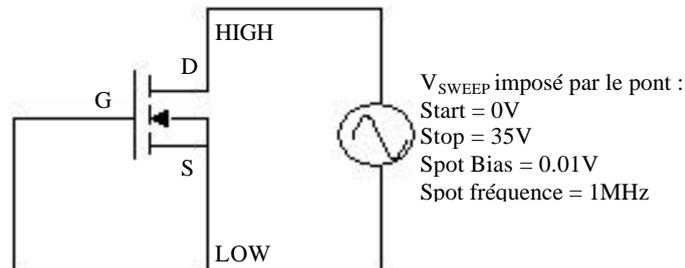


Figure 3-17 : Schéma de mesure de la capacité  $C_{OSS}$

Comme pour la capacité d'entrée, cette capacité se mesure par un balayage de la tension  $V_{DS}$  de 0V à 35V. Ce balayage est effectué par le pont d'impédance : le relevé correspondant à cette mesure sur l'IRFU014N apparaît sur la Figure 3-18.

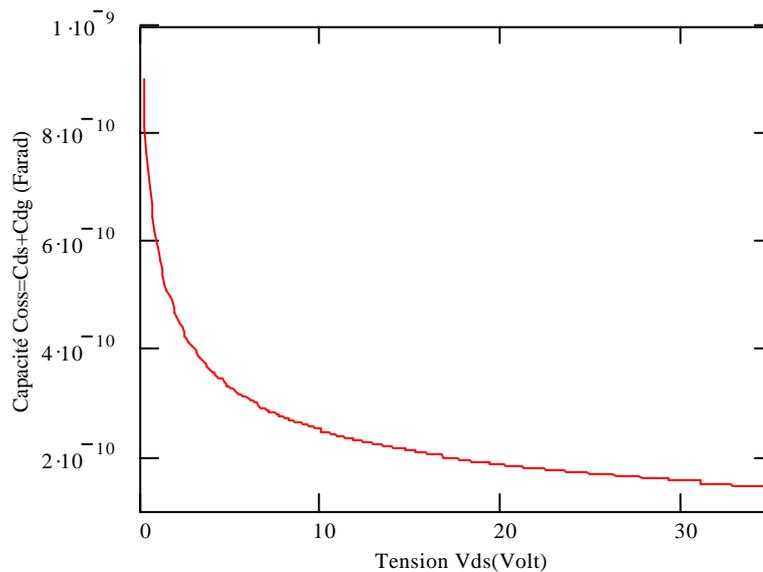


Figure 3-18 : Variation de  $C_{OSS}$  en fonction de  $V_{DS}$

Ce relevé va permettre, après avoir déterminé l'évolution de la capacité  $C_{RSS}$  en fonction de  $V_{DS}$ , de déduire l'évolution de la capacité  $C_{DS}$  en fonction de la tension drain source  $V_{DS}$ .

Connaissant la valeur de  $N_v$  et  $s$ , le calcul de la valeur de la capacité surfacique de l'oxyde de silicium notée  $C_{sox}$  peut être effectué de la manière suivante :

$$C_{sox} = \frac{\sqrt{2 \cdot q \cdot N_v \cdot \epsilon_0 \cdot \epsilon_{Si}}}{\sigma} \quad \text{Équation 3-3}$$

$$\Rightarrow C_{sox} \sim 3,774 \times 10^{-4} \text{ F/m}^2$$

Les paramètres  $C_{sox}$ ,  $V_{T0}$ ,  $F_{FIV}$  et  $V_{th}$  étant connus, le dopage de la zone P du MOS noté  $N_a$  peut donc être déduit à l'aide de l'équation donnée ci-dessous :

$$V_{th} = \alpha + \beta \cdot \ln(x) + \gamma \cdot \sqrt{x \cdot \ln(x)} \quad \text{Équation 3-4}$$

Les variables  $\alpha$ ,  $\beta$ ,  $\gamma$  et  $x$  sont définies comme suit :

$$\left\{ \begin{array}{l} \alpha = V_{T0} - 3 \cdot \Phi_{FIV} \\ \beta = \frac{k \cdot T}{q} \\ \gamma = \sqrt{q \cdot n_i} \cdot \left( \frac{\sqrt{4 \cdot \epsilon_0 \cdot \epsilon_{Si}}}{C_{sox}} \cdot \sqrt{\frac{k \cdot T}{q}} \right) \\ x = \frac{N_a}{n_i} \end{array} \right.$$

Après résolution de cette équation :  $N_a \sim 2,088 \times 10^{23}$  atomes/m<sup>3</sup>

Ceci permet par la suite de calculer le potentiel de diffusion  $\Phi_{DS}$  dont l'expression en fonction de  $N_a$  est :

$$\Phi_{DS} = \frac{k \cdot T}{q} \cdot \ln \left( \frac{N_a \cdot N_v}{n_i^2} \right) \quad \text{Équation 3-5}$$

$$\Rightarrow \Phi_{DS} \sim 0,768 \text{ V}$$

Sachant que  $C_{RSS} = C_{DG}$  et que  $C_{DG}$  s'exprime de la manière suivante :

$$C_{DG} = \frac{C_{DG0} \cdot \left[ 1 - 2 \cdot \chi \cdot V_{DS} + \chi \cdot (V_{GS} - V_{FBV}) + 2 \cdot \chi \cdot \sqrt{V_{DS} \cdot (V_{DS} - V_{GS} + V_{FBV})} \right]}{\sqrt{1 + 2 \cdot \frac{C_{sox}^2 \cdot (V_{DS} - V_{GS} + V_{FBV})}{q \cdot N_v \cdot \epsilon_0 \cdot \epsilon_{Si}}}} \quad \text{Équation 3-6}$$

il est possible de déterminer l'évolution de la capacité  $C_{RSS}$  en fonction de  $V_{DS}$  (Figure 3-19). Afin de rendre la courbe obtenue exploitable, la mesure se fera dans les mêmes conditions que pour la mesure de la capacité de sortie  $C_{OSS}$ , c'est à dire en annulant la tension grille source :  $V_{GS} = 0 \text{ V}$ .

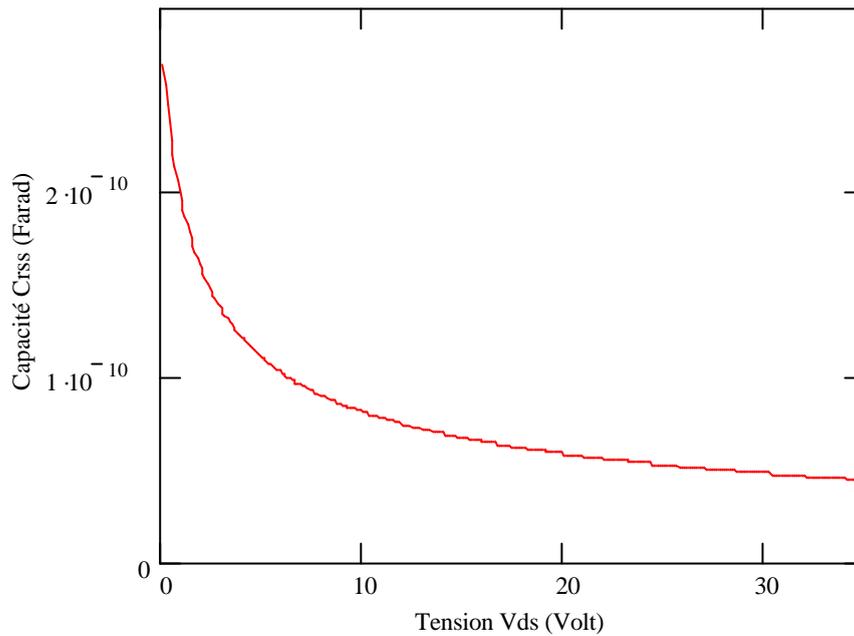


Figure 3-19 : Evolution de  $C_{RSS}$  en fonction de  $V_{DS}$

Connaissant l'évolution des capacités  $C_{OSS}$  et  $C_{RSS}$  en fonction de  $V_{DS}$ , la valeur de  $C_{DS} = f(V_{DS})$  peut être extraite en effectuant la différence suivante :  $C_{OSS} - C_{RSS}$ . Cette opération a été effectuée sur la Figure 3-20.

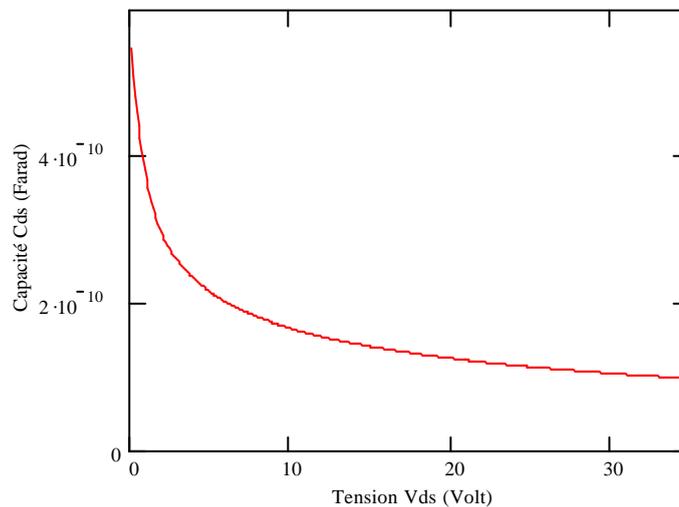


Figure 3-20 : Evolution de  $C_{DS}$  en fonction de  $V_{DS}$

Sachant qu'en théorie la loi d'évolution de la capacité  $C_{DS}$  en fonction de la tension  $V_{DS}$  est :

$$C_{DS} = C_{DS0} \cdot \frac{\sqrt{\Phi_{DS}}}{\sqrt{V_{DS} + \Phi_{DS}}}$$

Équation 3-7

la détermination du paramètre  $C_{DS0}$  passe par la recherche de l'équation de la courbe qui se trouve Figure 3-20.

La loi de variation de  $C_{DS}$  et la détermination de  $C_{DS0}$  se fera simplement en prenant le logarithme de l'équation donnant  $C_{DS} = f(V_{DS})$ . L'équation ainsi obtenue sera celle d'une droite :

$$\log(C_{DS}) = \log(C_{DS0} \cdot \sqrt{\Phi_{DS}}) - \frac{1}{2} \cdot \log(V_{DS} + \Phi_{DS})$$

La courbe Figure 3-21 permet alors de déterminer la pente et l'ordonnée à l'origine de l'équation précédente et donc de trouver  $C_{DS0}$ .

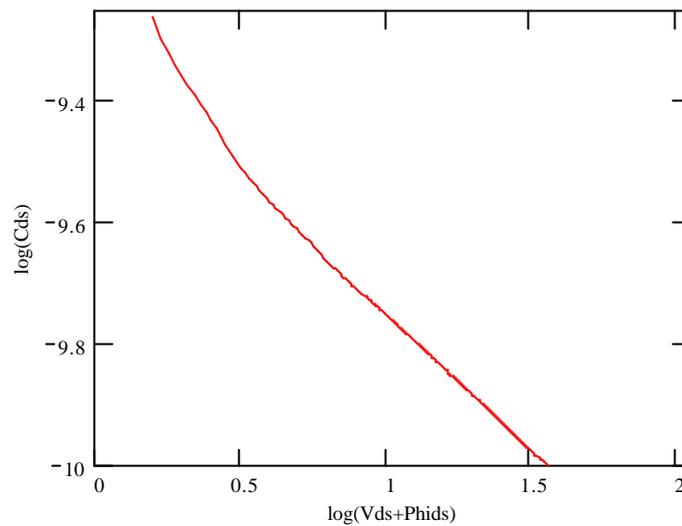


Figure 3-21 : Evolution de  $\text{Log}(C_{DS})$  en fonction de  $\text{Log}(V_{DS} + \Phi_{DS})$

Cette méthode appliquée à l'IRFU014N donne les résultats suivants :

$$\Rightarrow \log(C_{DS0} \cdot \sqrt{\Phi_{DS}}) \approx -9.43$$

$$\Rightarrow C_{DS0} = \frac{10^{-9.43}}{\sqrt{\Phi_{DS}}} \approx 424\text{pF}$$

### 3.1.4 Banc de mesures de confirmation (curve tracer 371A)

Les mesures qui suivent permettent de déterminer de nouveau des paramètres qui ont déjà été extraits à partir des mesures précédentes. Notons tout de même qu'il est plus simple de déterminer les valeurs de ces derniers par l'intermédiaire de cet appareil.

La description des mesures effectuées sur le traceur se trouve dans le fichier Mathcad® qui est disponible en Annexe 8.

### 3.1.4.a) Mesure de la caractéristique $I_D = f(V_{GS})$

Cette caractéristique permet d'obtenir le paramètre qui suit :

- $V_{th}$  : Seuil de conduction du MOSFET : tension  $V_{GS}$  à partir de laquelle le courant de drain  $I_D$  se met à croître.

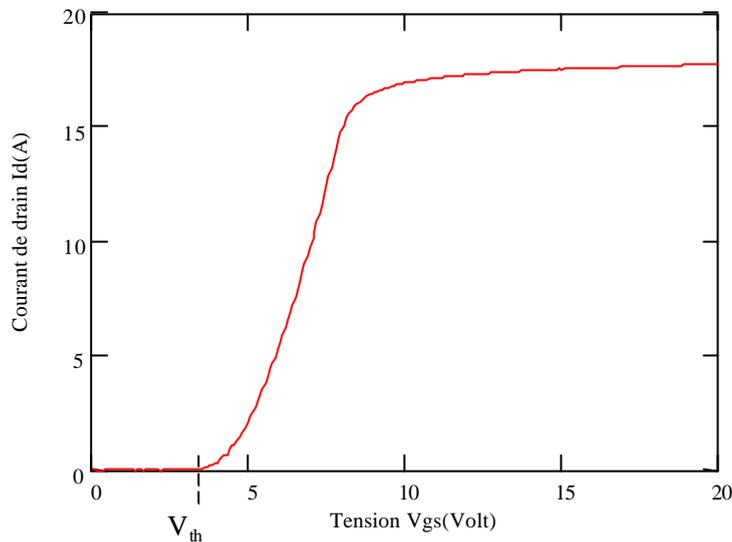


Figure 3-22 : Evolution de  $I_D$  en fonction de  $V_{GS}$  sous pleine tension de drain

La mesure de la tension  $V_{th}$  appliquée à l'IRFU014N donne :

$$\Rightarrow V_{th} \sim 3,52V$$

Le constructeur situe ce seuil entre 2V et 4V, ce qui corrobore cette mesure.

### 3.1.4.b) Mesure de la caractéristique $I_D = f(V_{DS})$

Cette mesure va permettre de vérifier les paramètres suivants :

- $K_{PM}$  et  $M$  : Paramètres décrivant l'évolution du courant durant les phases 4, 5 et 6 de la commutation.

La Figure 3-23 représente l'évolution du courant  $I_D$  en fonction de la tension  $V_{DS}$  pour des tensions  $V_{GS}$  supérieures à  $V_{th}$  et variant de 4V à 8V, ceci par pas de 0,5V, pour l'IRFU014N.

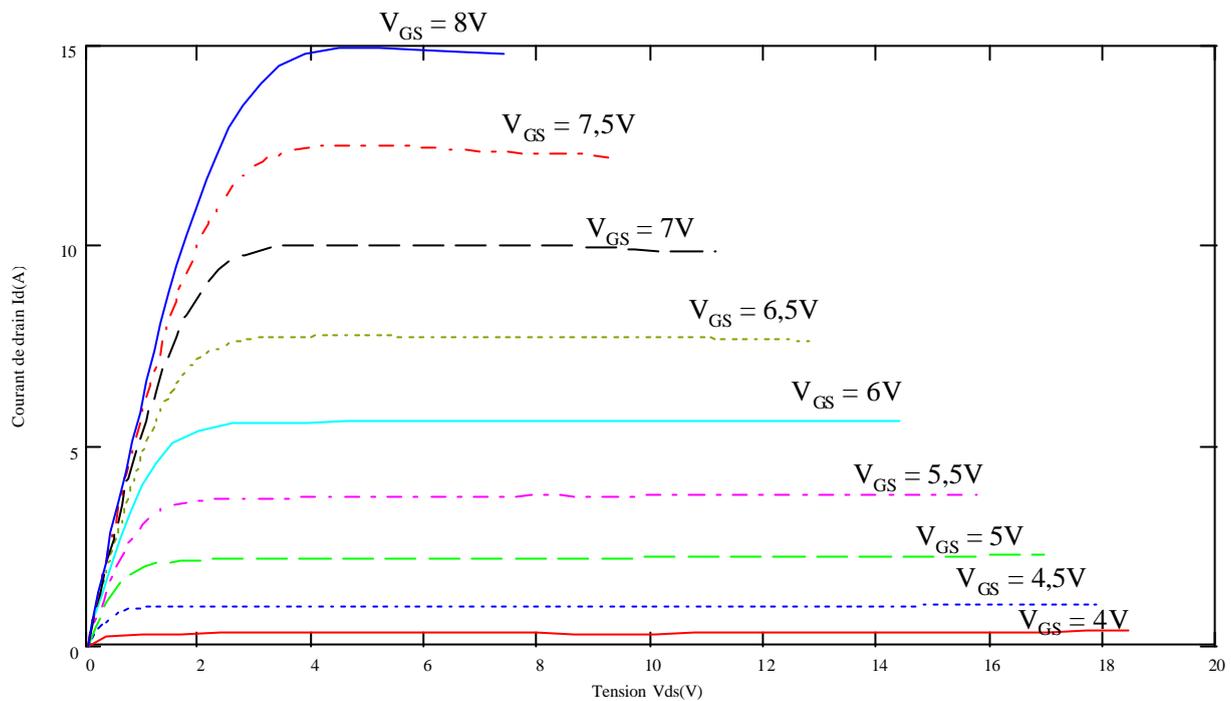


Figure 3-23 : Caractéristiques  $I_D(V_{DS})$  pour différents  $V_{GS}$

A partir de la Figure 3-23 peut être extrait un tableau (Tableau 3-3) consignait l'amplitude du courant de drain  $I_D$  en fonction de la tension grille source  $V_{GS}$  pour l'IRFU014N.

$V_{GS}(V)$	4	4,5	5	5,5	6	6,5	7	7,5	8
$I_D(A)$	0,32	1	2,18	3,74	5,6	7,72	10,02	12,46	14,9

Tableau 3-3 : Courants de plateau  $I_p$  en fonction de  $V_{GS}$

Sachant que  $I_D = K_{PM} \cdot (V_{GS} - V_{th})^M$ , la linéarisation de cette équation en échelle log-log permet donc d'extraire aisément les paramètres  $K_{PM}$  et  $M$  :

$$\Rightarrow M \sim 1,75$$

$$\Rightarrow K_{PM} \sim 1,114$$

Le Tableau 3-4 permet de faire à la fois :

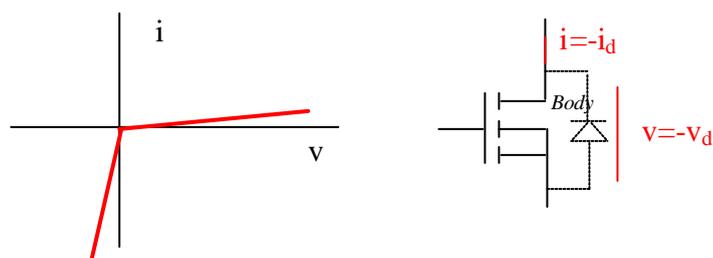
- un récapitulatif de tous les paramètres qu'il est nécessaire d'extraire avant l'implantation du modèle de MOSFET sur un quelconque logiciel de simulation électrique,
- un rappel des mesures à effectuer afin de déterminer la valeur de ces paramètres.

Type de mesure à effectuer	Valeurs des différents paramètres extraits
Essai en dynamique : Relevé de l'évolution temporelle des tensions $V_{GS}$ et $V_{DS}$ ainsi que du courant $I_D$	$C_{GS0} \approx 373 \text{ pF}$
	$C_{GD0} \approx 442 \text{ pF}$
	$\tau \approx 0,101$
	$\tau_G \approx 0,614$
Mesure en statique de la capacité $C_{IN}$	$V_{FBV} \approx -0,659 \text{ V}$
	$s \approx 1,217$
	$\tau_{FIV} \approx 0,337 \text{ V}$
Mesure en statique de la capacité $C_{OSS}$	$\tau_{DS} \approx 0,768 \text{ V}$
	$C_{DS0} \approx 424 \text{ pF}$
Relevé de la caractéristique $I_D = f(V_{GS})$	$V_{th} \approx 3,6 \text{ V}$
Relevé de la caractéristique $I_D = f(V_{DS})$	$K_{PM} \approx 1,114$
	$M \approx 1,75$

Tableau 3-4 : Résumé des différents paramètres du MOSFET IRFU014N

Grâce à ces douze paramètres, il sera possible de modéliser le MOSFET dans le 1<sup>er</sup> quadrant du plan I(V), avec un degré de finesse relativement élevé.

Or, lors du fonctionnement de deux MOSFETs dans une cellule de redresseur synchrone (Figure 3-25), le MOS1 fonctionnera généralement dans le 1<sup>er</sup> quadrant, mais le MOS2 verra son point de fonctionnement évoluer dans le 3<sup>ème</sup> quadrant puisque  $I_{MOS2} < 0$ . Le modèle du MOSFET dans le 3<sup>ème</sup> quadrant est considérablement modifié par rapport à celui du 1<sup>er</sup> : en effet, la simple présence de la diode body change les caractéristiques du modèle étudié dans le paragraphe 3.1 (Figure 3-24).

Figure 3-24 : Influence de la diode Body dans le 3<sup>ème</sup> quadrant

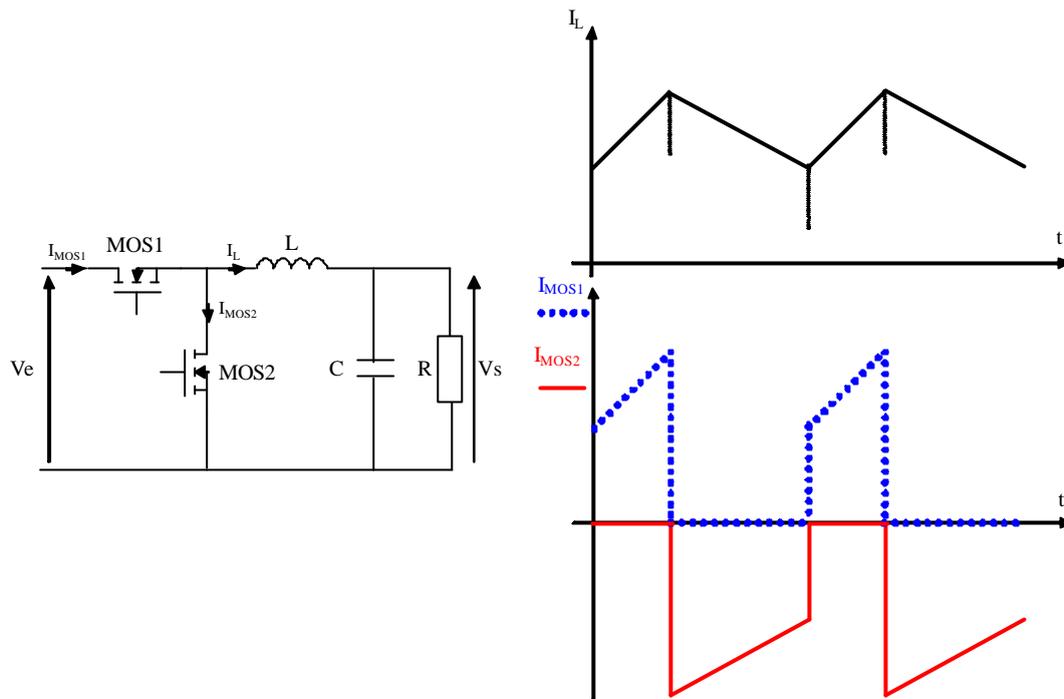


Figure 3-25 : Courants dans une cellule redresseur synchrone

Il convient donc de mener une étude du modèle du MOSFET dans le 3<sup>ème</sup> quadrant. Cette étude sera menée de la même manière que celle dans le 1<sup>er</sup> : l'accent sera mis sur les aspects liés à la méthode de caractérisation.

### 3.2 Modèle de MOSFET semi empirique dans le 3<sup>ème</sup> quadrant du plan $I(V)$

#### 3.2.1 Les différences avec le 1<sup>er</sup> quadrant

Le MOSFET en inverse (donc dans le troisième quadrant) peut conduire en tant que MOSFET (par son canal) ou en tant que diode Body. Le redressement synchrone tirera tout son avantage dans la conduction du MOSFET par son canal, ce type de conduction étant le signe d'une faible chute de tension aux bornes du composant. Bien entendu, il est possible de forcer ce mode de conduction en plaçant plusieurs MOSFETs en parallèle, diminuant ainsi la résistance  $R_{ds(on)}$  équivalente.

Le semi-conducteur possède alors une résistance de canal modulée par les potentiels  $V_{GS}$  et  $V_{DS}$ ; voici l'expression qui régit cette résistance de canal notée  $R_{canal}$  ([Verneau2]) :

$$R_{\text{canal}} = \frac{1}{2.K_{PM} \cdot (V_{GS} - V_{th})^{M-2} \cdot \left( V_{GS} - V_{th} - \frac{V_{DS}}{2} \right)} \quad \text{Équation 3-8}$$

La modélisation de la capacité  $C_{DS}$  du MOS devient très importante lorsque celui-ci travaille dans le troisième quadrant. En effet, lorsque  $V_{DS}$  devient négatif, il n'est plus possible de négliger le terme en  $e^{-V_{DS}}$  comme cela a été fait lors de la modélisation dans le 1<sup>er</sup> quadrant. L'évolution de la capacité  $C_{DS}$  sera même principalement dictée par ce terme dans le 3<sup>ème</sup> quadrant, ce qui donne l'expression suivante :

$$C_{DS} = \frac{q}{k.T} \cdot \tau_p \cdot I_S \cdot e^{-\frac{V_{DS}}{n.U_T}} \quad \text{Équation 3-9}$$

Les trois paramètres  $t_p$ ,  $I_S$  et  $n$  correspondent respectivement à la durée de vie des porteurs, au courant de saturation inverse du MOSFET et à un facteur d'idéalité.

La caractérisation du MOSFET en inverse se faisant en conduction, il est possible de considérer qu'il n'y a aucune raison pour que les capacités  $C_{GS}$  et  $C_{DG}$  évoluent.

Par contre, la source de courant décrivant le MOSFET en inverse est décrite par une équation différente de celle établie dans le 1<sup>er</sup> quadrant, à savoir :

$$I_D = \frac{V_{DS}}{R_{\text{canal}}} \quad \text{Équation 3-10}$$

En effet, ce sera la résistance du canal qui modulera la source de courant.

Finalement :

$$I_D = V_{DS} \cdot \left[ 2.K_{PM} \cdot (V_{GS} - V_{th})^{M-2} \cdot \left( V_{GS} - V_{th} - \frac{V_{DS}}{2} \right) \right] \quad \text{Équation 3-11}$$

### 3.2.2 Caractérisation du MOSFET dans le 3<sup>ème</sup> quadrant

#### 3.2.2.a) Mesures sur le pont HP4194A

A l'aide du pont d'impédance HP4194A, il est possible de faire la mesure en statique des trois capacités suivantes :

- $C_{OSS} = C_{DS} + C_{DG}$ ,
- $C_{ISS} = C_{GS} + C_{DG}$ ,
- $C_{Lemb} = C_{DS} + C_{DG}$ .

Les équations précédentes peuvent se représenter sous forme matricielle :

$$\begin{bmatrix} C_{OSS} \\ C_{ISS} \\ C_{LEmb} \end{bmatrix} = \begin{bmatrix} 0 & 1 & 1 \\ 1 & 0 & 1 \\ 1 & 1 & 0 \end{bmatrix} \begin{bmatrix} C_{GS} \\ C_{DS} \\ C_{DG} \end{bmatrix}$$

La détermination des capacités  $C_{DS}$ ,  $C_{DG}$  et  $C_{GS}$  ne nécessitera donc qu'une simple inversion de matrice  $3 \times 3$ .

La description des mesures effectuées sur le traceur se trouve dans le fichier Mathcad® qui est disponible en Annexe 9. Les fréquences auxquelles ces mesures sont effectuées sont fixées de manière à garantir la mesure dans une zone fortement capacitive.

- *Mesure de la capacité  $C_{OSS}$  :*

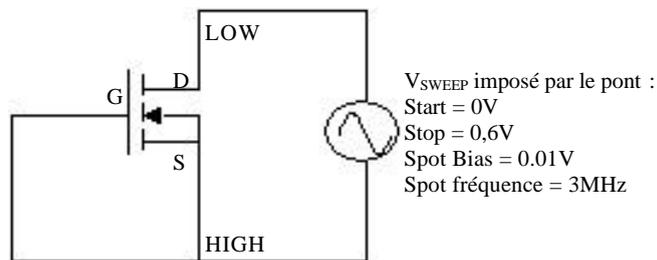


Figure 3-26 : Schéma de mesure de  $C_{OSS}$

- *Mesure de la capacité  $C_{ISS}$  :*

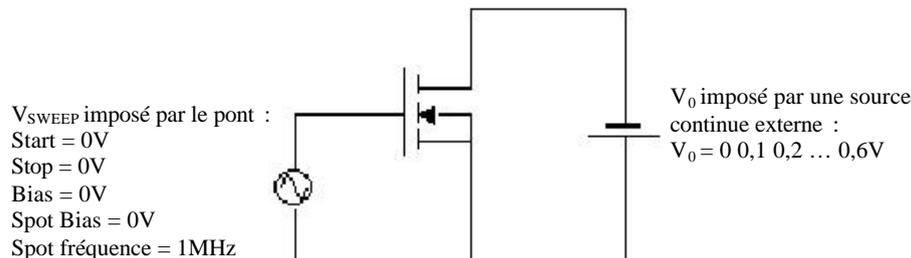


Figure 3-27 : Schéma de mesure de  $C_{ISS}$

- *Mesure de la capacité  $C_{LEMB}$  :*

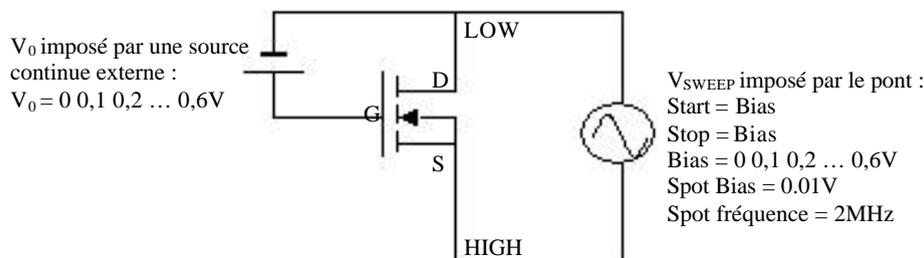


Figure 3-28 : Schéma de mesure de  $C_{LEMB}$

Suite à plusieurs tests effectués sur des MOSFETs faible tension, il a été constaté que les diodes Body possèdent un seuil de tension proche de 0.4V. La conduction par la diode Body n'étant

pas souhaitée dans les convertisseurs basse tension, la valeur de  $V_{DS}$  sera limitée à 0.4V pour chacun des commentaires et approximations faits à partir de ce point. Il est à noter également que les capacités mesurées sur le pont d'impédance sont, pour certaines, de l'ordre 500pF, ce qui reste assez faible et doit pousser le modélisateur à prendre des précautions de mesure draconiennes (compensation du banc d'impédance, câblages courts et propres, ...).

Les Figure 3-29 et Figure 3-30 montrent respectivement l'évolution des capacités  $C_{GS}$ ,  $C_{DG}$  et  $C_{DS}$  en fonction de  $V_{DS}$ .

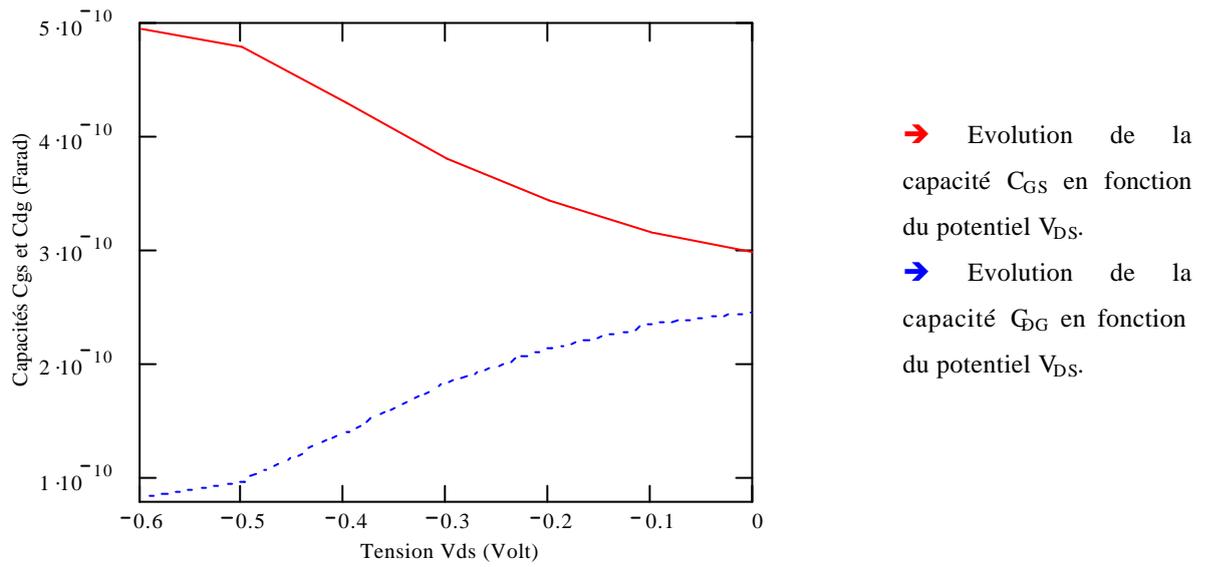


Figure 3-29 : Evolution de  $C_{GS}$  et  $C_{DG}$  en fonction de  $V_{DS}$

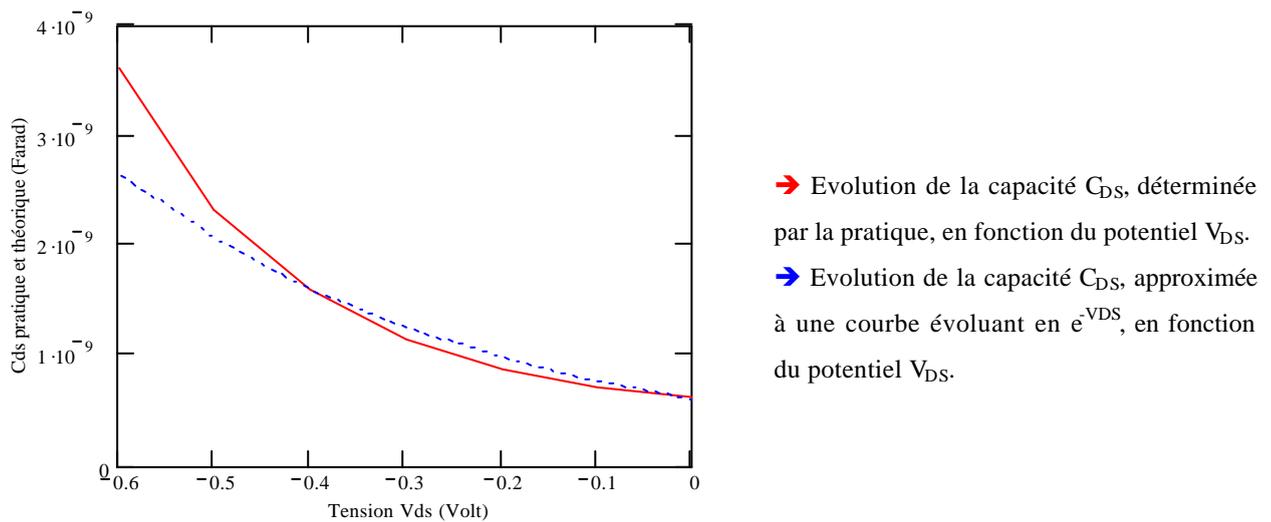


Figure 3-30 : Evolution de  $C_{DS}$  mesurée et modélisée en fonction de  $V_{DS}$

En se plaçant dans l'intervalle  $-0,4V < V_{DS} < 0V$ , les relevés de la Figure 3-29 montrent que les capacités  $C_{DG}$  et  $C_{GS}$  évoluent toutes deux d'environ 43% en valeur relative. Pour des questions

de simplification, elles seront tout de même considérées comme étant constantes et égales à  $C_{DG0}$  pour  $C_{DG}$  et à  $C_{GS0}$  pour  $C_{GS}$ .

Le résultat obtenu sur la Figure 3-30 est conforme à l'hypothèse faite en début de partie puisque la capacité  $C_{DS}$  évolue bien avec une loi en  $e^{-V_{DS}}$ .

Il est possible maintenant de déterminer l'ordre de grandeur des variables  $t_p$ ,  $I_S$  et  $n$  qui interviennent dans l'expression de  $C_{DS}$  en fonction de  $V_{DS}$  (Équation 3-9).

Après quelques lignes de calcul, les résultats suivants peuvent être trouvés :

$$\Rightarrow t_p \cdot I_S \approx 15,35 \times 10^{-12} \text{ A.s}$$

$$\Rightarrow n \approx 15,385$$

Il est difficile de commenter le résultat obtenu pour l'indice d'idéalité  $n$  puisque son ordre de grandeur n'est pas connu. Par contre, la valeur du produit  $t_p \times I_S$  semble cohérente puisque la durée de vie des porteurs  $t_p$  est de l'ordre de  $10^{-12}$  secondes et le courant de saturation  $I_S$  de l'IRFU014N est quand à lui de l'ordre de la dizaine d'Ampères.

### 3.2.2.b) Mesures sur le tracer 371A

Cette mesure permet d'obtenir l'évolution du courant  $I_D$  en fonction de la tension  $V_{DS}$ , tout ceci dans le troisième quadrant ( $V_{DS} < 0$  et  $I_D < 0$ ). Cette caractéristique est donnée Figure 3-31.

La description des mesures effectuées sur le traceur se trouve dans le fichier Mathcad® qui est disponible en Annexe 8.

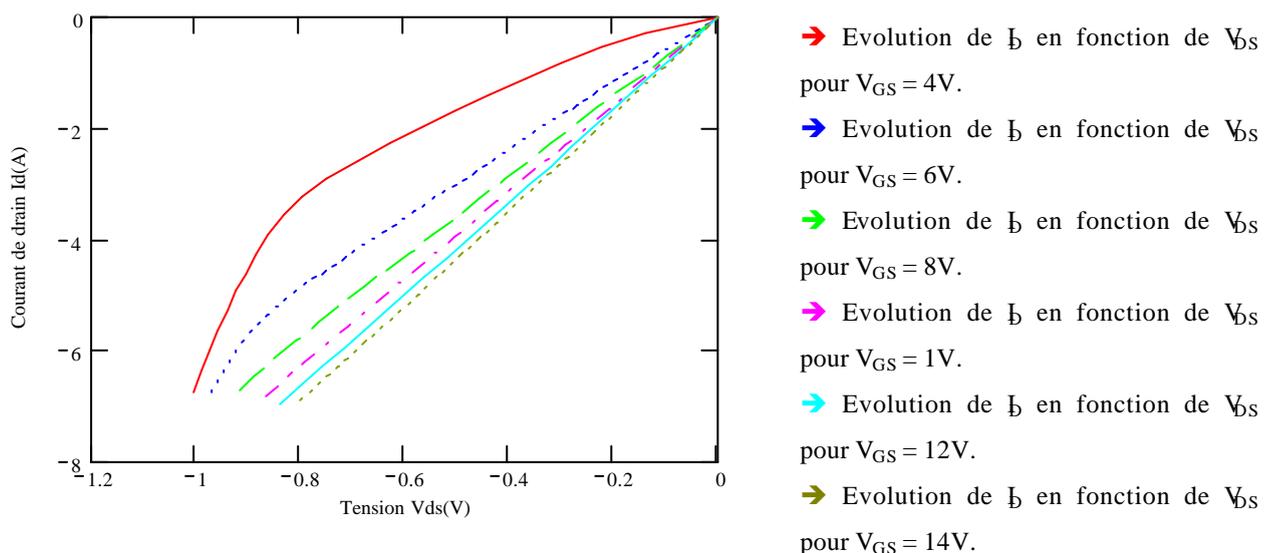


Figure 3-31 : Caractéristique  $I_D$  en fonction de  $V_{DS}$  dans le 3<sup>ème</sup> quadrant

Dans le cas où le MOS fonctionne en inverse, l'expression théorique liant le courant  $I_D$  à la tension  $V_{DS}$  est bien connue. Ceci permet de tracer la caractéristique  $I_D = f(V_{DS})$  théorique et de la comparer à celle obtenue en pratique (Figure 3-32). Il est à noter qu'il réside une certaine différence entre les courbes théoriques et pratiques, différence qui a tendance à s'atténuer lorsque la tension  $V_{GS}$  augmente. Cependant, il a été remarqué que l'ajout d'un facteur de correction permettait de rapprocher les courbes théoriques des courbes pratiques. L'inconvénient de ce facteur de correction réside dans la nécessité de le changer lorsqu'un MOSFET de calibre différent est à l'étude.

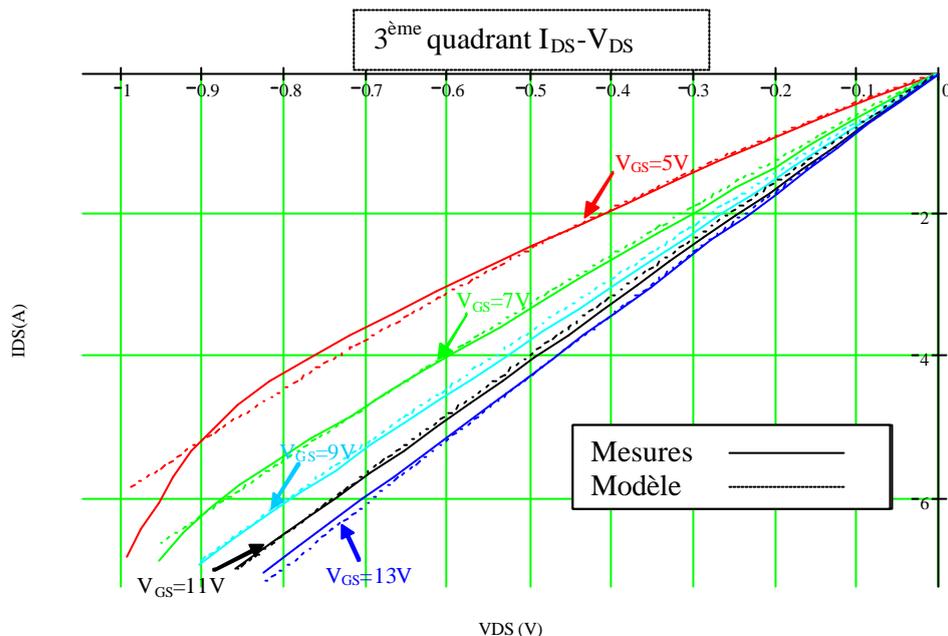


Figure 3-32 : Comparaison mesures/modèles dans le 3<sup>ème</sup> quadrant

### 3.3 Implantation du modèle sous Spice® puis Matlab Simulink®

#### 3.3.1 Implantation dans Spice®

Le modèle de MOSFET établi dans la partie précédente a été implanté tout d'abord dans le logiciel de simulation Spice®. En effet, ce logiciel permet de simuler des circuits électriques tout en permettant un certain nombre d'opérations mathématiques bien utiles dans la modélisation du MOSFET.

L'avantage d'un tel type de modélisation réside dans la possibilité d'avoir accès à toutes les grandeurs du MOSFET : les tensions et courants dans les électrodes, mais aussi l'évolution des capacités, des courants dans lesdites capacités, etc ...

Afin d'implanter l'ensemble du MOSFET, il faut reconstruire les quatre éléments de la Figure 3-2, à savoir  $C_{DG}$  (Figure 3-33),  $C_{GS}$  (Figure 3-34),  $C_{DS}$  (Figure 3-35) et  $I_D$  (Figure 3-36).

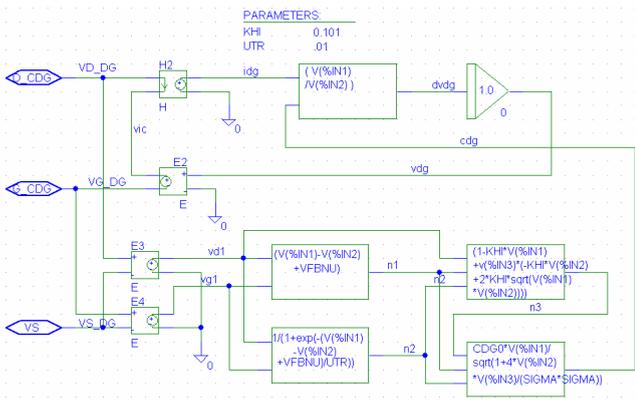


Figure 3-33 : Modèle de la capacité  $C_{DG}$  implanté dans Spice®

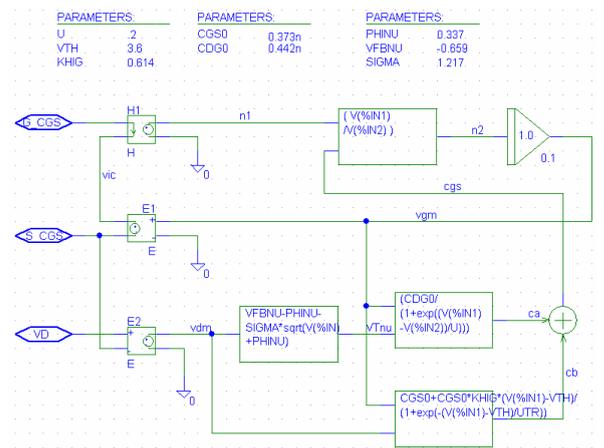


Figure 3-34 : Modèle de la capacité  $C_{GS}$  implanté dans Spice®

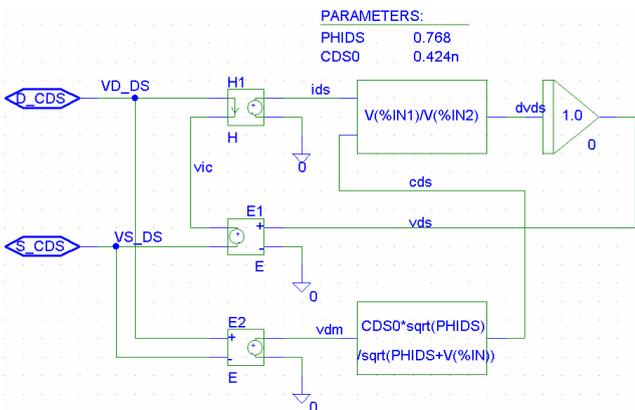


Figure 3-35 : Modèle de la capacité  $C_{DS}$  implanté dans Spice®

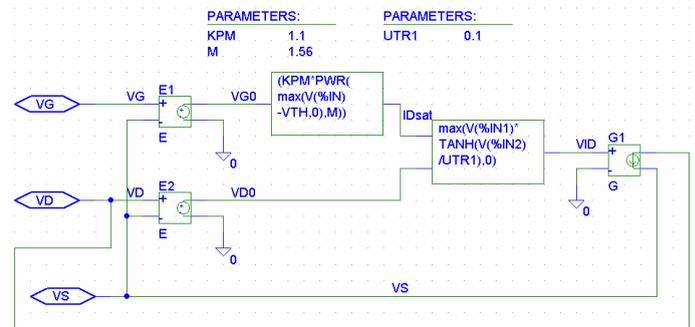


Figure 3-36 : Modèle de la source de courant  $I_D$  implanté dans Spice®

Chacun des modèles de capacités ou de la source de courant a été regroupé dans un seul bloc de Spice® afin de rendre le MOSFET plus convivial à utiliser.

La Figure 3-37 montre la réalisation de hacheur parallèle de la Figure 3-5 ayant servi au banc de caractérisation dynamique.

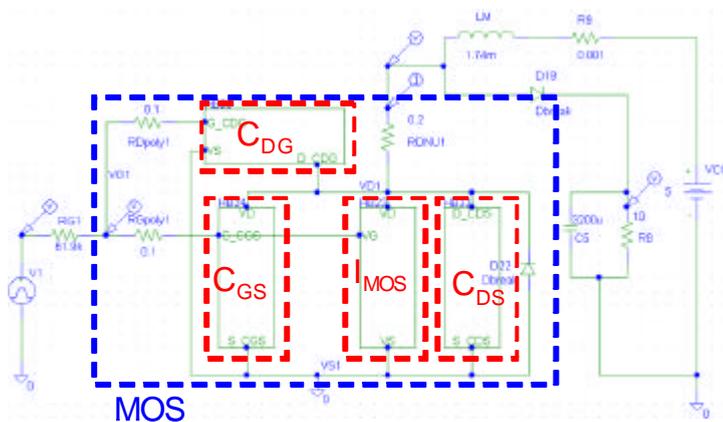


Figure 3-37 : Simulation Spice® du hacheur parallèle du banc dynamique avec le modèle de MOSFET

Ce modèle de MOSFET fonctionne bien sous Spice® lorsque le semi-conducteur est inséré dans une structure de hacheur série classique (MOS/Diode). En effet, le point de fonctionnement du MOSFET dans cette structure n'évolue que dans le 1<sup>er</sup> quadrant. Or, lorsque l'on place le MOSFET dans une structure de redresseur synchrone, aucune simulation ne converge.

Le problème majeur de Spice® lors de la simulation de structures complexes reste l'impossibilité de choisir l'algorithme de résolution. Seul le pas maximum de simulation peut être fixé, ce qui ne suffit pas à la convergence des simulations dans le 3<sup>ème</sup> quadrant.

Afin de pallier ce problème, une interface a été développée sous Matlab Simulink®, rendant ainsi le concepteur maître des paramètres physiques du modèle, mais aussi des paramètres de simulation : algorithme, pas de calcul, etc ...

### 3.3.2 Implantation dans Matlab Simulink®

Autant Spice® est un logiciel convivial du point de vue interface homme/machine (IHM), autant Matlab Simulink l'est moins pour un électricien. Partant de ce constat, un travail a été effectué sur la réalisation d'une IHM permettant de livrer un logiciel clef en main et simple d'utilisation, simulant un redresseur synchrone.

Le modèle de MOSFET a donc été implanté sous Simulink® de la même manière qu'il l'avait été sous Spice®. Ainsi, le MOSFET se présentera sous la forme d'un bloc ayant en entrée les 3 potentiels de grille, drain et source, et en sortie les courants dans ces trois électrodes (Figure 3-38).

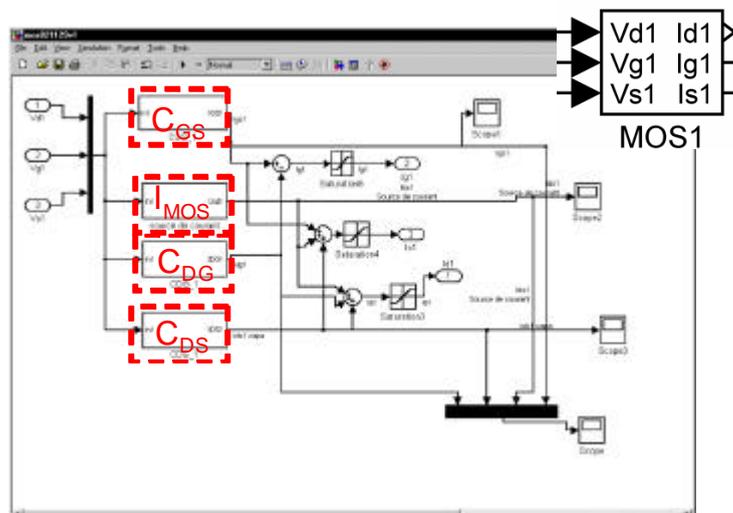


Figure 3-38 : Modèle de MOSFET sous Matlab Simulink®

L'interface créée se présente sous la forme de fenêtres dans lesquelles il est demandé à l'utilisateur de rentrer les paramètres du convertisseur, des MOSFETs et de la simulation. La

première fenêtre de cette interface est copiée sur la Figure 3-39. Il est à noter que dans les paramètres du convertisseur figure aussi l'inductance de maille. Cette inductance est indispensable à l'étude d'une commutation entre deux semi conducteurs.

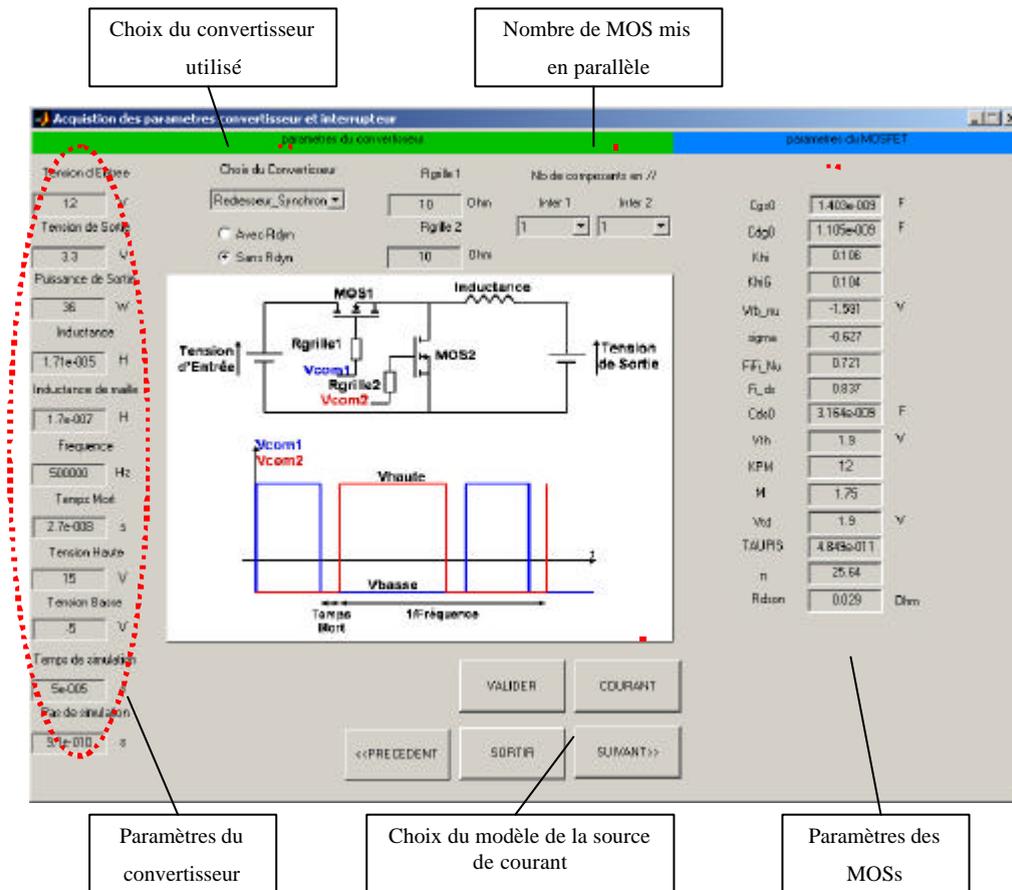


Figure 3-39 : Fenêtre d'acquisition des paramètres d'un redresseur synchrone sous Matlab Simulink®

Ce logiciel, développé dans un premier temps dans le cadre d'un approfondissement de la cellule redresseur synchrone, a fait l'objet *a posteriori* d'un contrat avec la société ST Microelectronics. En effet, ce contrat comprenait la réalisation complète de l'interface en vue de simulations du redresseur synchrone alimentant le Pentium IV®. Cette étude, tout en introduisant des courants largement supérieurs à ceux du cahier des charges de ce doctorat, permet d'élargir le raisonnement entamé à des structures similaires, mais à plus fortes puissances.

Le processus de caractérisation de MOSFETs a donc été reconduit sur un MOSFET de ST Microelectronics : le STD40NF, de calibre 30V/40A (documentation en Annexe 10).

Lors de la caractérisation de ce MOSFET a été observé un phénomène atypique : l'absence de plateaux horizontaux dans la caractéristique  $I_D(V_{DS})$  du MOSFET en linéaire. Cette caractéristique est présentée sur la Figure 3-40.

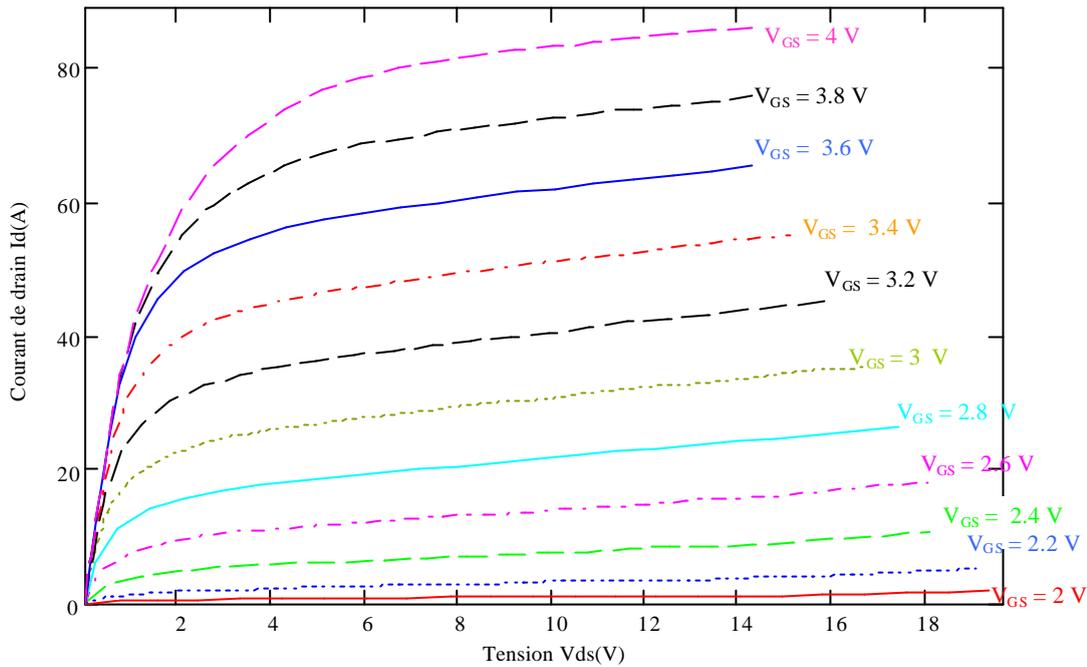


Figure 3-40 : Caractéristique  $I_D(V_{DS})$  du STD40NF

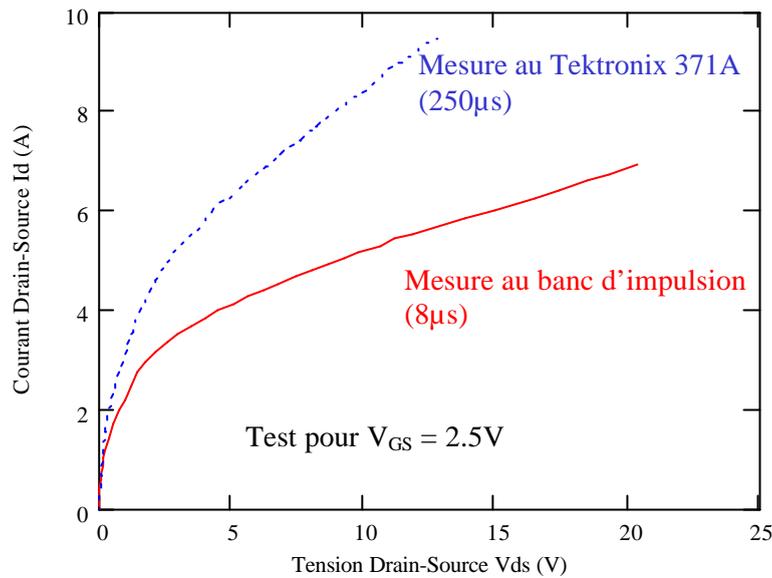
Cette observation a fait l'objet d'un ajout de 2 paramètres à la modélisation du MOSFET permettant de décrire ce qui a été appelé «résistance dynamique ». Cette résistance dynamique, représentant l'inverse de la pente de la caractéristique  $I_D(V_{DS})$ , s'exprime :

$$R_{DYN} = R_0 \left( \frac{V_{GS}}{1V} \right)^a \quad \text{Équation 3-12}$$

$R_0$  et  $a$  étant les deux paramètres permettant de modéliser cette pente.

Deux provenances possibles de cette résistance dynamique ont été mises en avant :

- la *thermique* : en effet, la caractéristique  $I_D(V_{DS})$  est effectuée grâce au tracer 371A qui, pour ce faire, envoie des impulsions d'une durée de 250 $\mu$ s. Un autre banc de caractérisation appliquant des impulsions de plus courte durée (8 $\mu$ s) a alors été mis en place. Les résultats comparatifs sont présentés sur la Figure 3-41. La comparaison ne laisse aucun doute quant au rôle de la thermique sur la caractéristique  $I_D(V_{DS})$  ; mais le phénomène thermique ne suffit pas à lui seul pour expliquer la totalité du phénomène : il y a donc un second effet.
- la *physique* : la caractéristique statique relevée ressemble fort à celle d'un JFET, effet pouvant se produire dans les MOSFETs traditionnels. Or, le STD40NF est un Stripfet® de 3<sup>ème</sup> génération, créé justement pour éliminer cet effet parasite et réduire les pertes par conduction ([ST Micro]). Autant la première cause a pu être justifiée, autant la seconde reste encore à l'état de supposition.



**Figure 3-41 : Comparaison de  $I_D(V_{DS})$  relevée avec les 2 bancs de caractérisation – mise en évidence de la thermique**

Ces constatations ont été prises en compte dans le logiciel. En effet, sur l'interface de la Figure 3-39 apparaît un bouton d'action «COURANT» qui permet de choisir entre une source de courant traditionnelle (à plateaux horizontaux) et une source de courant possédant une résistance dynamique.

Après avoir rentré les différents paramètres dans cette interface et avoir choisi le type de source de courant, une seconde fenêtre représentée sur la Figure 3-42 permet de lancer la simulation et de vérifier son état d'avancement (en cours, en erreur ou terminée). Cette fenêtre offre aussi une visualisation (sans possibilité de modification) des différents paramètres rentrés dans la première fenêtre, ainsi qu'un rappel du type de source de courant choisi précédemment.

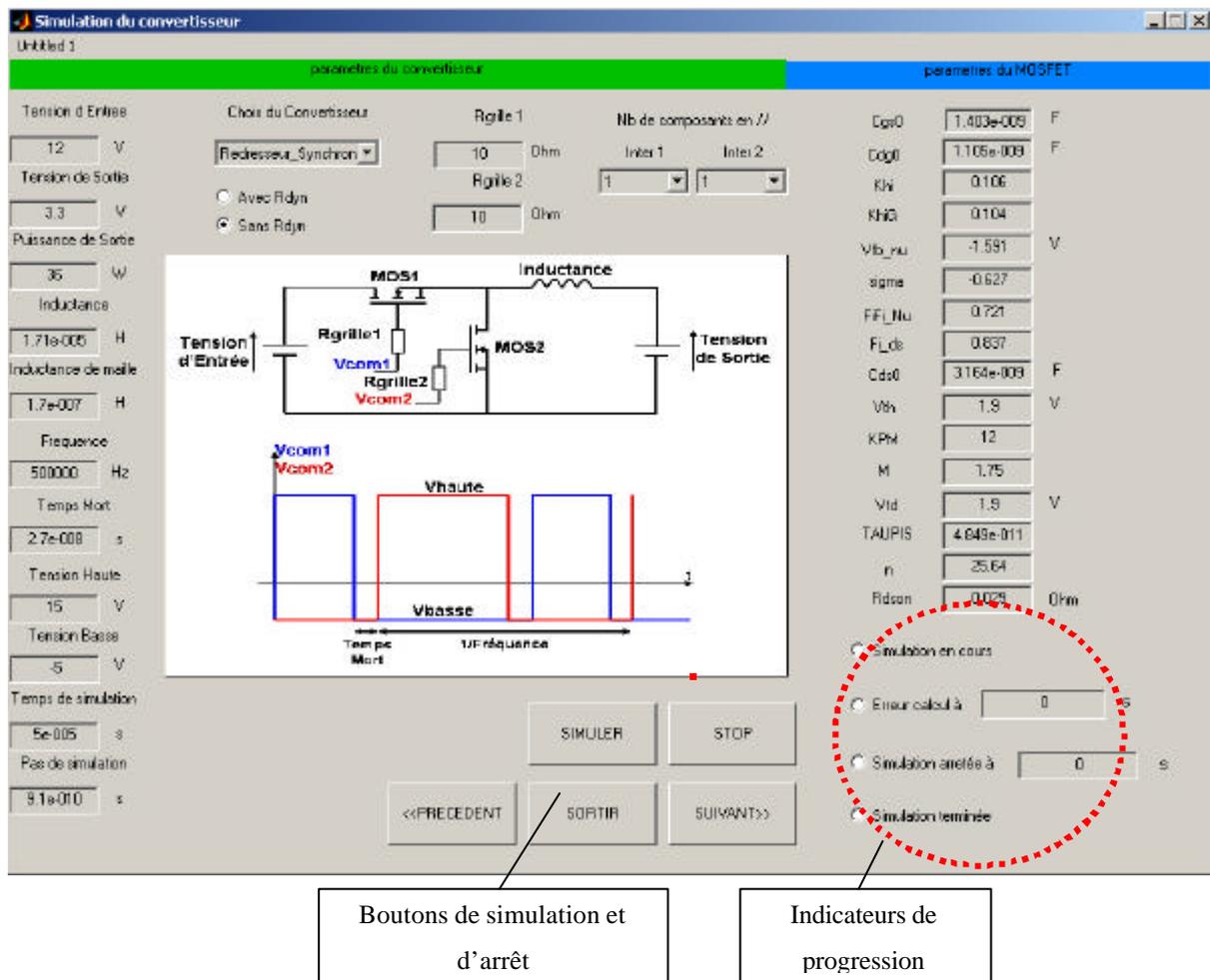
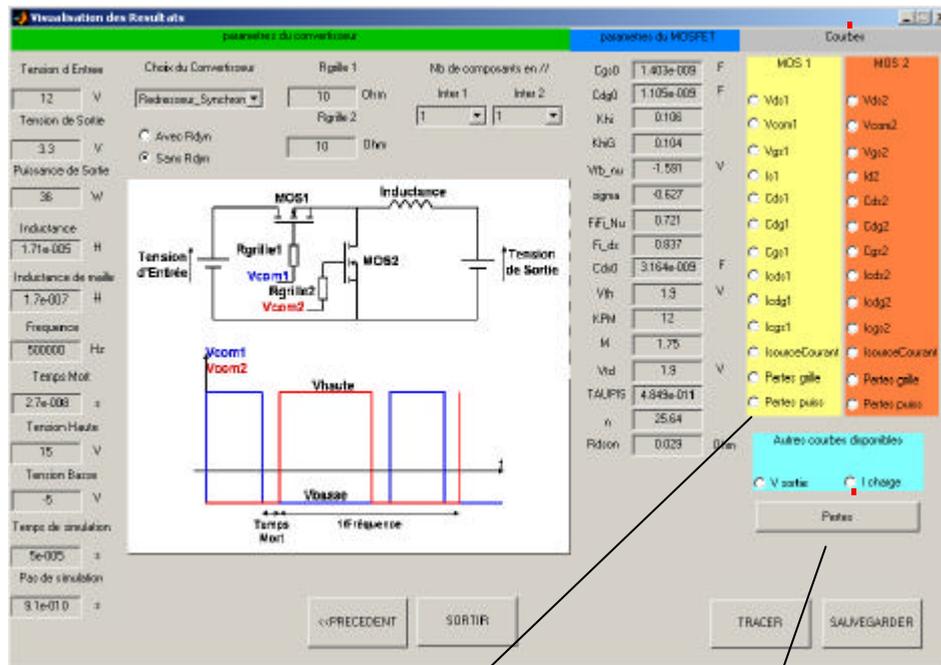


Figure 3-42 : Fenêtre de simulation des paramètres d'un redresseur synchrone sous Matlab Simulink®

Une fois la simulation terminée, les résultats peuvent être visualisés via la fenêtre Figure 3-43. Il suffit à l'utilisateur de cocher les signaux qu'il souhaite visualiser ; ces signaux peuvent être internes aux MOSFETs (courants dans les capacités inter électrodes, source de courant, etc ...) ou externes, à savoir relatifs à la cellule de commutation elle-même (courant dans l'inductance, tensions de grille, etc ...).

En plus de ces signaux peuvent être extraites les pertes dans la cellule MOS/MOS grâce à un module de pertes disponible dans le logiciel (Figure 3-44). En effet, comme cela a déjà été dit, mesurer des pertes dans une structure de l'électronique de puissance fonctionnant à haute fréquence n'est pas évident, vue l'influence des éléments parasites. Grâce à ce logiciel, les problèmes de mesure disparaissent, tout en permettant l'insertion simple d'autres composants parasites, en reprenant une partie de l'interface sous Simulink®.



Sélection des courbes désirées

Calcul des pertes

Figure 3-43 : Fenêtre de visualisation des résultats de la simulation du redresseur synchrone

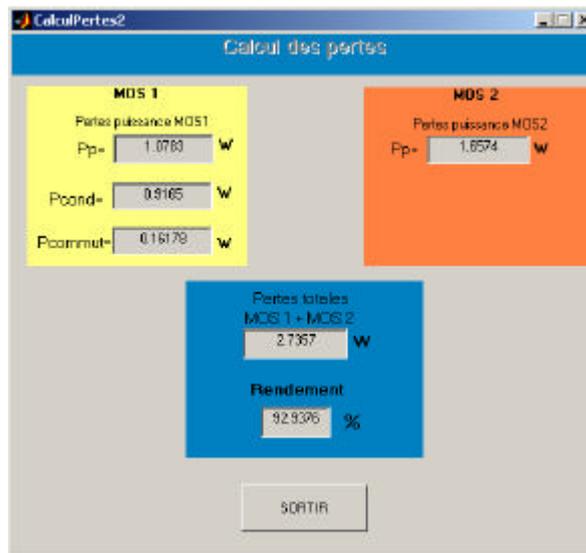


Figure 3-44 : Module de calcul de pertes

A partir de ce logiciel, il est donc possible d'effectuer des campagnes de simulations, afin par exemple de déterminer le rendement d'une structure, ou bien de faire une étude fréquentielle du convertisseur. Cette interface a été utilisée dans le cadre de ce doctorat dans le but de faire une étude plus approfondie d'un redresseur synchrone, notamment vis-à-vis de paramètres tels que le temps mort entre les commandes des MOSFETs, la fréquence de découpage, ou encore le courant délivré par cette alimentation.

---

## **Chapitre 4 - Influence des paramètres du convertisseur sur le rendement**



Le logiciel présenté dans la partie précédente offre de grandes possibilités d'études ; pourtant, certaines de ces études ne seraient que peu utiles, comme par exemple celle du rendement en fonction des capacités des MOSFETs. En effet, ces paramètres étant intrinsèquement liés aux composants fournis par les fabricants, le concepteur de l'alimentation n'aura aucun moyen d'action sur ces grandeurs. Il semble donc beaucoup plus pertinent de quantifier l'impact des paramètres accessibles par le concepteur ou l'utilisateur du convertisseur : le temps mort, la fréquence de découpage, les résistances de grille, l'inductance de charge, etc ...

Comme cela a déjà été abordé dans l'introduction de la partie concernant le redressement synchrone, la commande de ces convertisseurs sera un aspect critique qui justifiera ou non leur utilisation par rapport au hacheur série traditionnel.

La Figure 4-1 présente quelques grandeurs caractéristiques à retenir pour la suite.

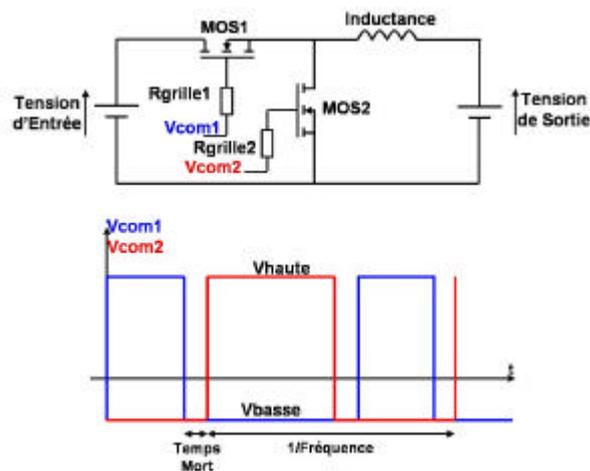


Figure 4-1 : Grandeurs caractéristiques d'un redresseur synchrone

Trois types de commutations peuvent intervenir :

- la commutation MOS/MOS idéale (Figure 4-2-a) dans laquelle les deux MOSFETs voient leurs deux plateaux de commande coïncider autant en durée qu'en instant de départ,
- la commutation MOS/Diode (Figure 4-2-b) : dans l'exemple donné, le MOS2 voit son courant décroître alors que le MOS 1 n'est pas encore conducteur. La diode body prendra donc le relais du MOS2,
- la commutation MOS/MOS avec court-circuit (Figure 4-2-c) : cette commutation est sans aucun doute la plus dangereuse pour le convertisseur. En effet, à trop vouloir se rapprocher de la commutation idéale, il est possible d'imposer au temps mort entre les deux commandes une valeur trop faible, ce qui aura pour effet de rendre passant les deux MOSFETs en même temps et, donc, de créer un court-circuit de bras. Même si ce court-circuit n'est pas franc, il trouvera sur son chemin, au pire, une résistance égale à  $2 \cdot R_{DSon}$ , ce qui n'est presque jamais suffisant au montage pour lui éviter de se détruire à court ou moyen terme.

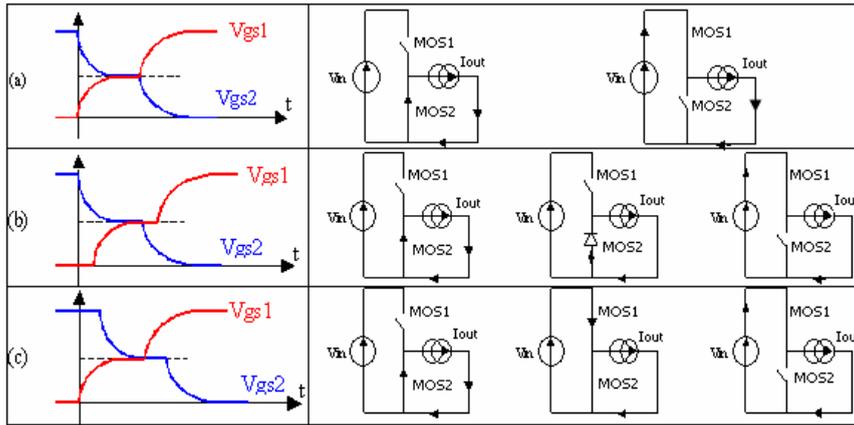


Figure 4-2 : Les trois types de commutations possibles dans un redresseur synchrone

Vu les effets néfastes de tels tests sur des prototypes, la simulation présente là encore un avantage considérable.

#### 4.1 Validation du modèle de MOSFET et du logiciel

Le modèle de MOSFET développé dans le Chapitre 3 -, ainsi que le logiciel créé pour simuler le redresseur synchrone ont pu être validés par la réalisation d'un prototype de redresseur synchrone (Figure 4-3). L'inductance de maille a été caractérisée au pont d'impédance afin de bien prendre en compte de ce paramètre dans la simulation. L'inductance de maille a été trouvée égale à 170nH et constante dans la gamme de fréquence de l'étude (pouvant s'étaler de 100kHz à 1MHz).

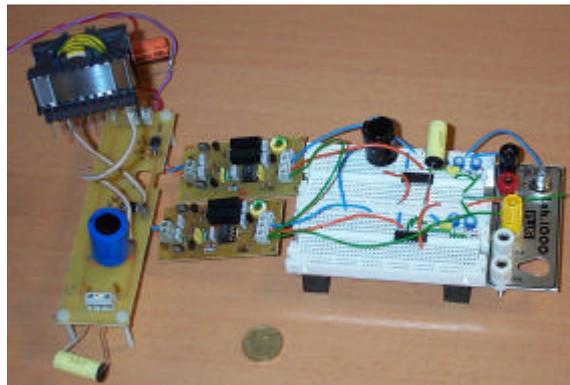


Figure 4-3 : Maquette de redresseur synchrone pour validation du modèle et du logiciel

Les résultats obtenus par simulation et ceux mesurés par l'expérience ont pu être comparés pour des fréquences de l'ordre de 110kHz, afin de s'affranchir au mieux des problèmes de mesure. Ainsi, la Figure 4-4 et la Figure 4-5 présentent la comparaison des signaux  $I_{MOS1}$  et  $V_{GS1}$  simulés et mesurés. Ces comparaisons ont été effectuées avec un redresseur synchrone constitué de deux MOSFET STD40NF, délivrant 3,2V / 0,8A.

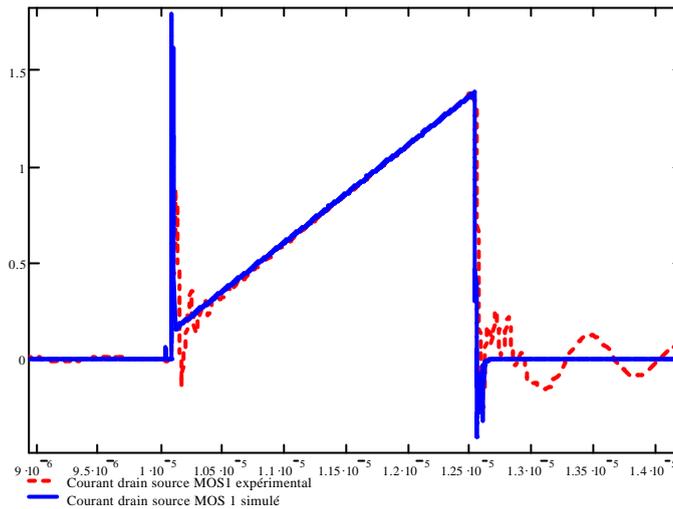


Figure 4-4 : Comparaison du courant simulé et mesuré en Ampères dans le MOS1

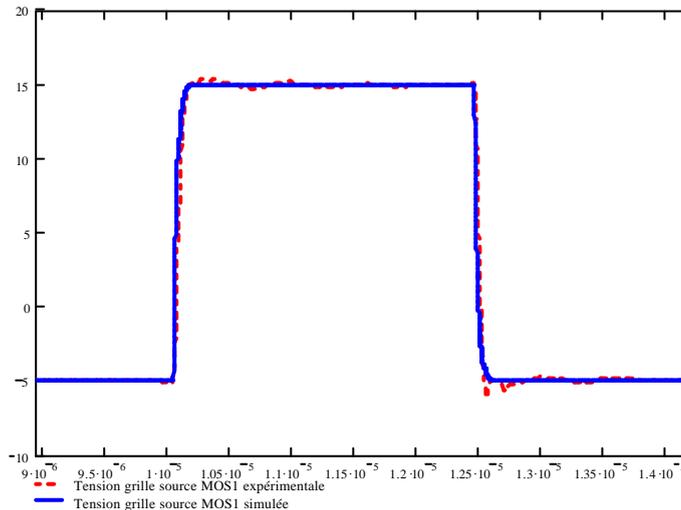


Figure 4-5 : Comparaison de la tension grille source  $V_{GS}$  simulée et mesurée pour le MOS1

A une légère erreur de réglage du rapport cyclique près, les signaux concordent bien en conduction. En commutation, la comparaison est plus délicate à réaliser car les fronts de commandes des MOSFETs du convertisseur prototype ne sont pas aussi brutaux qu'en simulation. De plus, ces commutations se faisant à fréquence équivalente élevée, de nombreux problèmes de mesure interviennent, liés à la fois aux appareils (sondes et oscilloscope) et aux capacités parasites du montage. Par exemple, la mesure à l'oscilloscope doit être moyennée de manière à atténuer les oscillations lors des commutations ; de fait, la visualisation des signaux issus du convertisseur prototype ne correspond pas parfaitement à la réalité en commutation. Ainsi, la simulation basée sur un modèle éprouvé de MOSFETs sera plus disposée à devenir la référence à laquelle il faudra se fier.

## 4.2 Evolution du rendement

Comme dans tout dimensionnement de convertisseur, l'un des critères principaux à prendre en compte est le rendement. En effet, à l'heure actuelle, les redresseurs synchrones prennent une part prépondérante du marché des convertisseurs DC-DC basse tension grâce à l'argument d'un meilleur rendement par rapport aux hacheurs série traditionnels. Or, peu d'études rigoureuses de l'évolution du rendement d'une cellule MOSFET/MOSFET ressortent de la littérature ([Tsukamoto], [Consoli], [Zhou2]).

Les études de ce paragraphe ont été menées avec un convertisseur dont les caractéristiques sont données sur la Figure 3-42. Ces données électriques correspondent à celles de l'alimentation d'une carte mère de Pentium IV®, à la puissance près. Les différentes grandeurs électriques du convertisseur sont donc :

Tension d'entrée : 12V

Tension de sortie : 3,3V

Tensions de commande : +15V/-5V.

A la vue de la tension d'entrée, les tensions de commande semblent inopportunes : des tensions de commande +12V/0V auraient probablement été celles utilisées par un concepteur de circuit de commande. Toutefois, ces tensions +15V/-5V présentent l'avantage de contenir à la fois la tension  $V_{th}$  du MOSFET (1,9V) et la tension  $V_{FB}$  (-1,59V) permettant l'étude de toutes les phases de commutation du composant.

Lors de ces études, le MOS2 ne sera pas équipé d'une diode Schottky en parallèle afin de mettre à l'épreuve la nécessité absolue de cette diode, et les interrupteurs de la structure seront unitaires (pas d'interrupteurs mis en parallèle).

### 4.2.1 Rendement du redresseur synchrone en fonction de la fréquence de travail

Cette étude est faite en prenant comme MOSFETs des STD40NF, composants présents dans les alimentations des Pentium IV®. Les pertes dans les MOSFETs ont deux origines : les pertes par conduction et par commutation.

Les pertes par conduction apparaissent lorsque le MOSFET est à l'état passant. Durant cette phase, le courant traversant le MOSFET génère une tension aux bornes du semi-conducteur : il y a donc apparition de pertes.

Les pertes par commutation sont générées lorsque l'un des MOSFETs change d'état. Par exemple, s'il passe de l'état passant à l'état ouvert, la tension à ses bornes augmente en même temps que le courant diminue. C'est durant cette phase de transition entre les deux états statiques du

MOSFET que sont définies les pertes par commutation. Elles interviennent de façon similaire lorsque le semi-conducteur passe de l'état ouvert à l'état passant.

L'étude suivante permet une prédétermination de l'évolution des pertes (et donc de l'inverse du rendement) avec la fréquence. Pour cela il faut définir au préalable quelques variables :

- ❑ **tcomu1** : temps nécessaire au MOSFET pour passer de l'état bloqué à l'état passant
- ❑ **tcomu2** : temps nécessaire au MOSFET pour passer de l'état passant à l'état bloqué
- ❑ **a** : rapport cyclique
- ❑ **V** : Tension  $V_{DS}$  aux bornes du MOSFET
- ❑ **I** : Courant traversant le MOSFET

Les pertes dans un MOSFET s'expriment par l'Équation 4-1.

$$\text{Pertes} = \frac{1}{T} \left[ \underbrace{\int_0^{tcomu1} V(t).I(t).dt}_{\text{terme 1}} + \underbrace{\int_{tcomu1}^{\alpha.T} V(t).I(t).dt}_{\text{terme 2}} + \underbrace{\int_{\alpha.T}^{\alpha.T+tcomu2} V(t).I(t).dt}_{\text{terme 3}} + \underbrace{\int_{\alpha.T+tcomu2}^T V(t).I(t).dt}_{\text{terme 4}} \right] \quad \text{Équation 4-1}$$

Or, tcomu1 et tcomu2 ne dépendent pas de la fréquence, mais sont uniquement fonctions des paramètres du MOSFET et de ceux du convertisseur. Les pertes par conduction sont représentées par les termes 2 et 4, phases durant lesquelles V et I sont presque constants. Le produit de ces deux grandeurs électriques sera donc assimilable à une constante.

Les pertes par commutation, quant à elles, sont représentées par les termes 1 et 3. Dans ces derniers, l'évolution du courant et celle de la tension sont indépendantes de la fréquence. Ainsi, seules les bornes de l'intégration seront fonctions de la fréquence. L'Équation 4-1 peut donc se résumer en l'Équation 4-2.

$$\text{Pertes} = \frac{1}{T} \left[ \underbrace{Kcom1}_{\text{terme 1}} + \underbrace{Kcond1.(k.T)}_{\text{terme 2}} + \underbrace{Kcom2}_{\text{terme 3}} + \underbrace{Kcond2.(k'.T)}_{\text{terme 4}} \right] \quad \text{Équation 4-2}$$

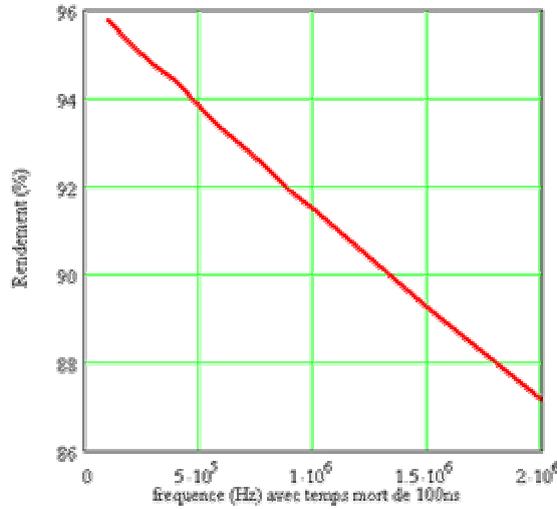
Avec Kcom1, Kcom2, Kcond1, Kcond2, k' et k constantes vis-à-vis de la fréquence.

Ainsi, la loi de pertes attendue est la suivante : les pertes par conduction seront constantes vis-à-vis de la fréquence, et les pertes par commutation seront linéairement fonctions de la fréquence.

Ainsi, une évolution du rendement avec la fréquence devrait être observée selon une loi de type :

$$\eta = \frac{Pu}{Pu + \text{Pertes}} = \frac{Pu}{Pu + K_1 + K_2.F} \quad \text{Équation 4-3}$$

Pour vérifier cela, une série de simulations visant à obtenir un tracé du rendement en fonction de la fréquence a été effectuée, avec un temps mort fixe de 100ns. Les résultats obtenus sont présentés sur la Figure 4-6.



**Figure 4-6 : Evolution du rendement d'une cellule MOSFET/MOSFET en fonction de la fréquence**

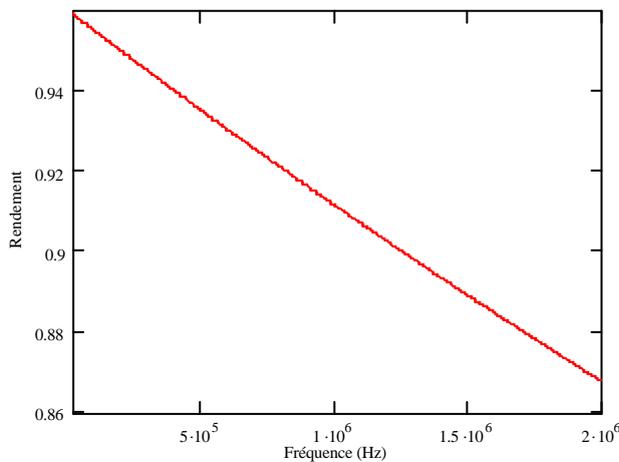
La tendance générale est bien celle attendue, malgré quelques écarts peu significatifs.

A partir de l'Équation 4-3 avec une puissance utile de 36W, il devient simple d'identifier les coefficients de cette expression et de trouver :

$$K_1 = 1,5 \text{ W}$$

$$K_2 = 2 \cdot 10^{-6} \text{ W.Hz}^{-1}$$

Ces coefficients conduisent à la courbe de la Figure 4-7, qui pourra être extrapolée en basse fréquence, mais aussi en haute fréquence tant que le temps mort additionné au temps de commutation des deux MOSFETs ne devient pas plus grand que la période de commutation.

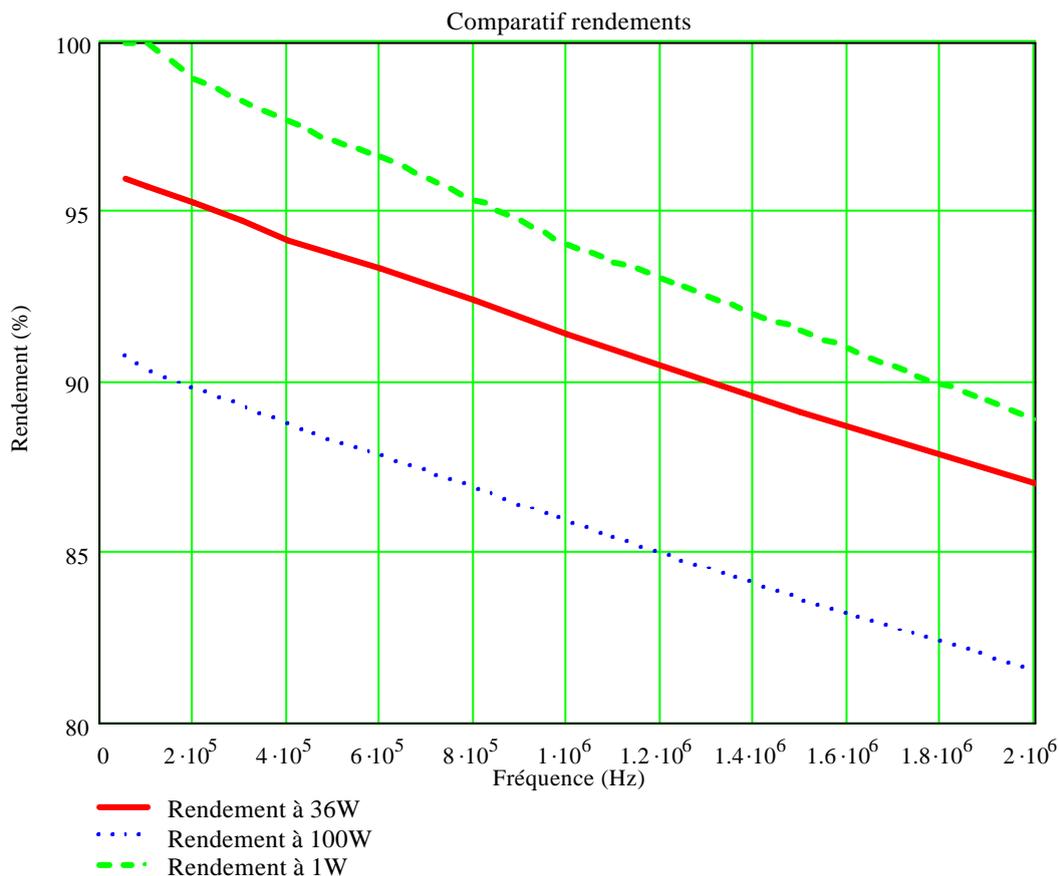


**Figure 4-7 : Courbe approchée du rendement en fonction de la fréquence (temps mort de 100ns)**

Ces coefficients montrent aussi que lorsque le temps mort est relativement important (ici 100ns), la diode Body du *MOS low side* prend une part importante des pertes de la cellule MOSFET/MOSFET : les pertes par conduction ( $K_1 = 1,5W$ ) dominent les pertes par commutation ( $K_2.F = 1W$  à 500kHz). Il devient alors primordial d'ajouter une diode Schottky en parallèle sur le MOS2 pour éviter ce désagrément.

Enfin, il est à noter que, dans cette configuration de fort temps mort à fréquence élevée, il ne sera que peu avantageux de mettre un MOSFET en parallèle sur le MOS2, puisque les pertes par conduction ne sont alors plus majoritairement provoquées par la résistance du canal, mais par la diode Body de ce composant.

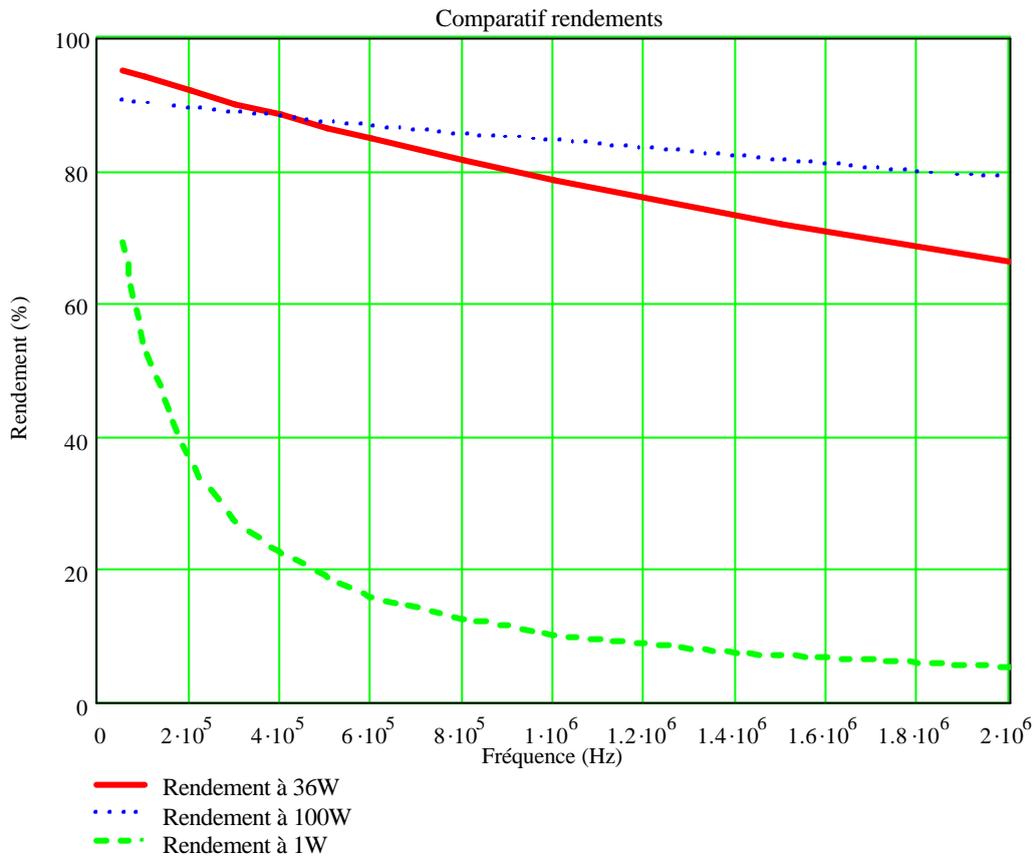
La même approche a été menée pour deux autres valeurs de charge : 100W et 1W afin d'observer l'évolution du rendement en fonction de la fréquence à faible et forte charge. L'influence du temps mort étant très forte dans ces études, les courbes de rendement ont été mesurées pour deux temps morts différents : 100ns (Figure 4-8) et 10ns (Figure 4-9).



**Figure 4-8 : Rendement en fonction de la fréquence pour différentes charges ; temps mort = 100ns**

Les courbes à 100ns de temps mort montrent que, quelle que soit la puissance de sortie, le rendement décroît avec la fréquence. Ce phénomène, également observé sur le hacheur série, est dû aux pertes par commutation. Les positions relatives des différentes courbes pour différentes

puissances de sortie peuvent s'expliquer par la présence de termes en  $K.I^2$  dans les pertes, impliquant un rendement d'autant plus faible que le courant augmente.



**Figure 4-9 : Rendement en fonction de la fréquence pour différentes charges ; temps mort = 10ns**

En ce qui concerne les courbes à 10ns de temps mort, cette tendance s'inverse. En effet, avec un temps mort aussi faible, le MOS2 se met en conduction alors que le MOS1 n'est pas encore bloqué, induisant ainsi un court-circuit de bras en dynamique. Les pertes engendrées par ce court-circuit sont d'autant plus préjudiciables au rendement que la puissance de sortie est faible, expliquant le très mauvais rendement obtenu à 1W de puissance de sortie.

#### 4.2.2 Rendement du redresseur synchrone en fonction du temps mort

Comme dans le paragraphe précédent, il est intéressant de prédéterminer l'allure de la courbe du rendement en fonction du temps mort afin de conserver un jugement critique sur les résultats.

La Figure 4-10 et la Figure 4-11 montrent respectivement les allures d'une commutation à l'ouverture du MOS2 et fermeture du MOS1, puis à la fermeture du MOS2 et l'ouverture du MOS1 pour un temps mort de 10ns. La Figure 4-12 et la Figure 4-13 montrent les mêmes allures pour un temps mort de 100ns.

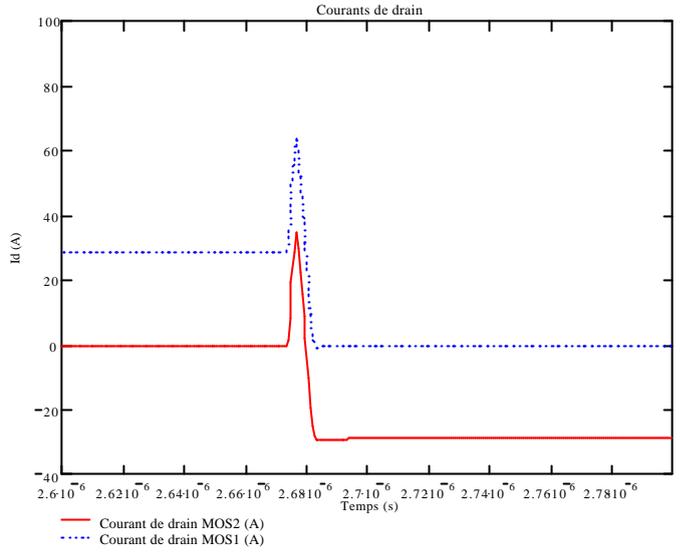
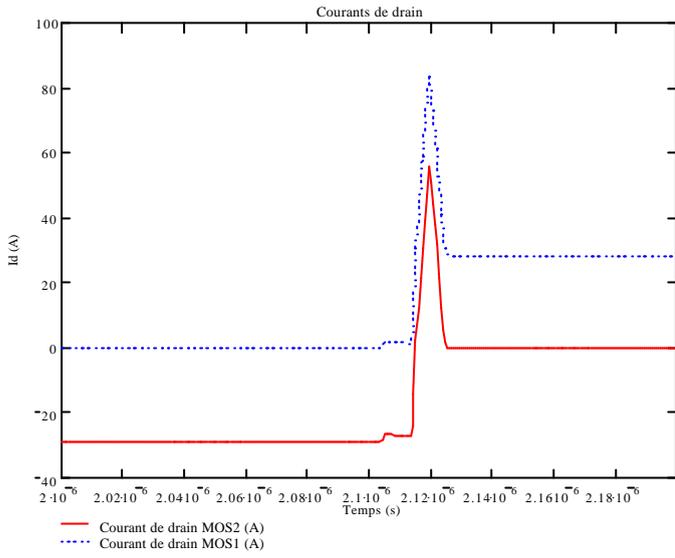


Figure 4-10 : Commutation ON du MOS1 et OFF du MOS2 avec un temps mort de 10ns

Figure 4-11 : Commutation OFF du MOS1 et ON du MOS2 avec un temps mort de 10ns

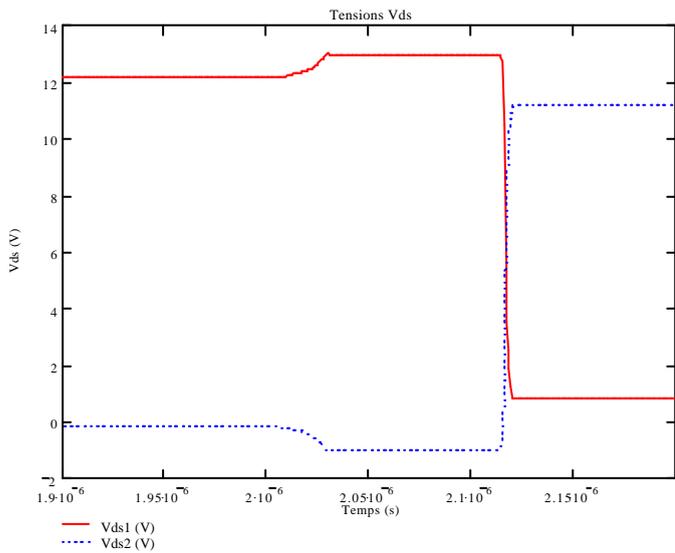
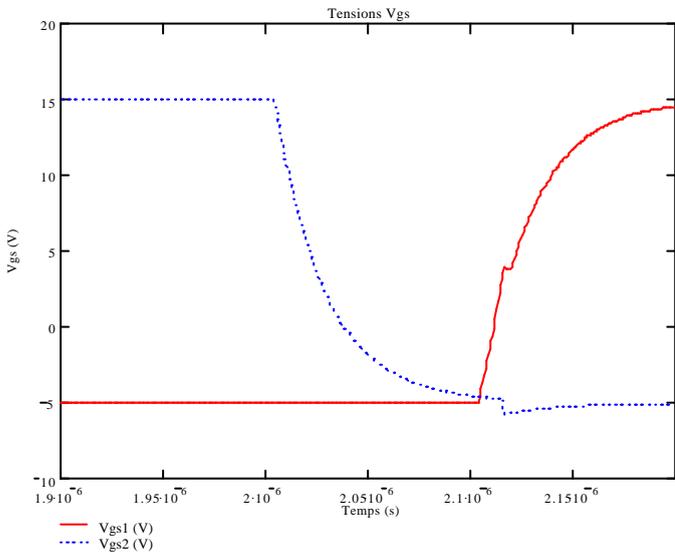
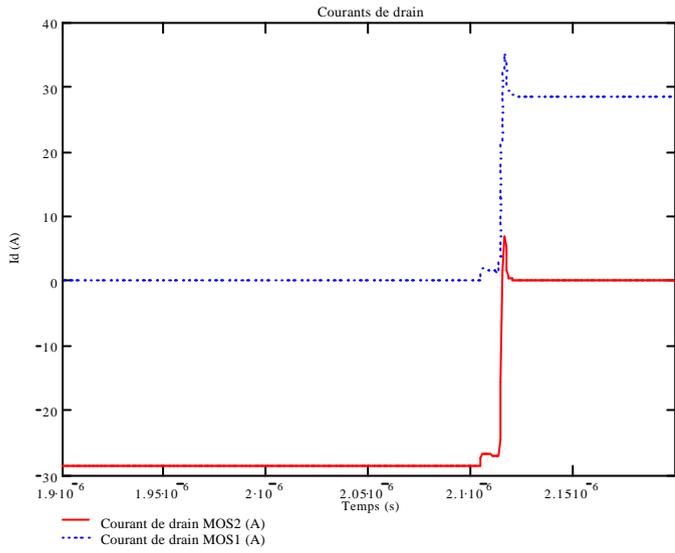


Figure 4-12 : Commutation ON du MOS1 et OFF du MOS2 avec un temps mort de 100ns

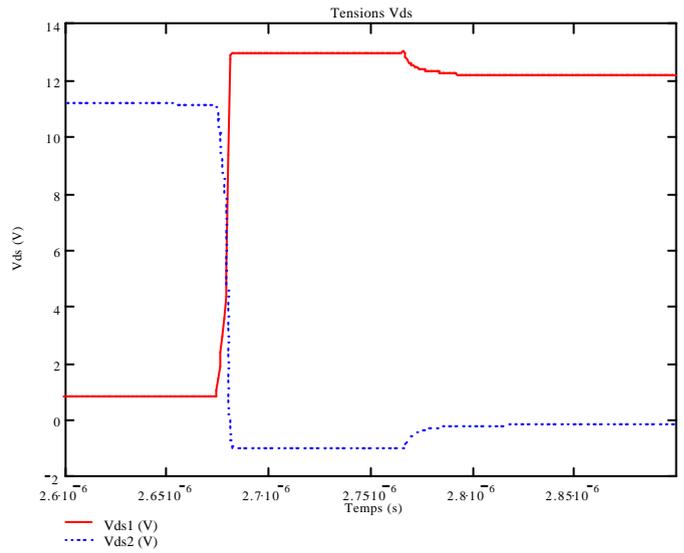
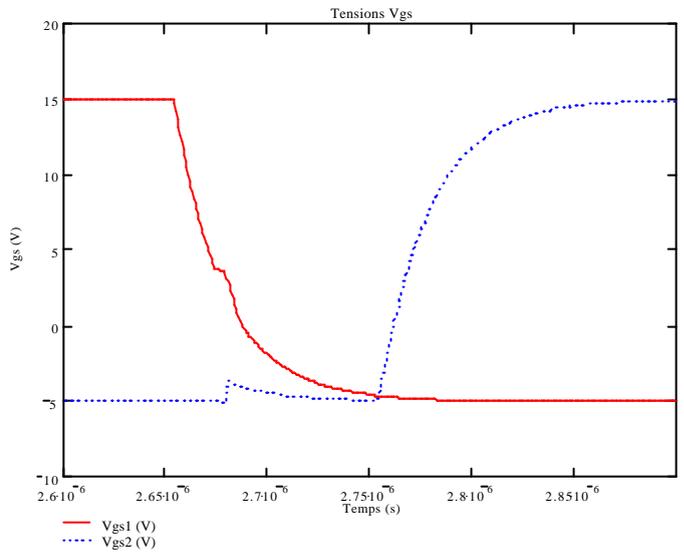
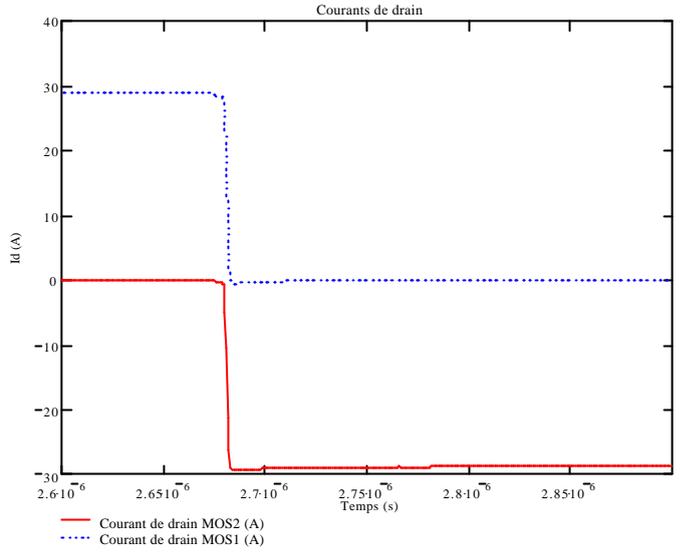


Figure 4-13 : Commutation OFF du MOS1 et ON du MOS2 avec un temps mort de 100ns

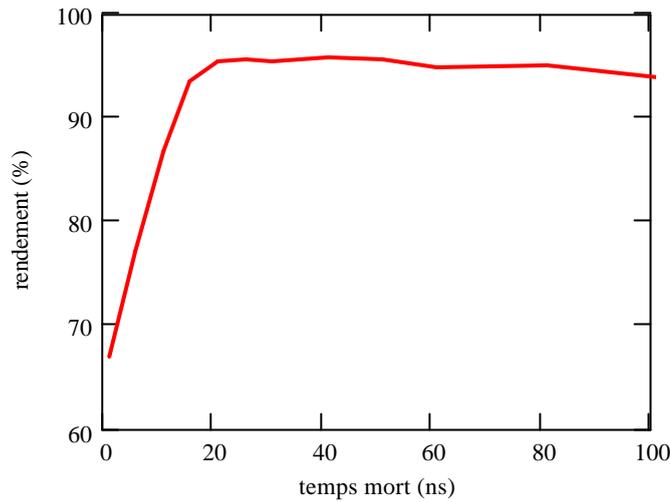
Les tensions  $V_{ds}$  des figures à temps mort égal à 100ns montrent bien la conduction de la diode Body et, de ce fait, les faibles surintensités sur les courants de drain. Le cas contraire se produit sur les courbes à temps mort de 10ns (non conduction de la diode Body, mais fortes surintensités sur les courants de drain).

Pour un temps mort très faible, l'entrée du convertisseur se retrouvera mise en « court circuit » lors de la commutation des deux MOSFETs car leurs commandes seront quasi-simultanées. En effet, un MOSFET sera en train de se bloquer alors que le second sera déjà passant. Le terme de court-circuit est employé abusivement dans cette configuration car ce sont en fait deux sources de courant contrôlées qui doivent cohabiter en dynamique. Quoiqu'il en soit, le rendement pour des valeurs très faibles de temps mort sera faible. Pour approfondir un peu cette configuration, il faut prendre en compte le fait que les MOSFETs fournis par ST Microelectronics commutent en approximativement 30ns. Ainsi, il faut s'attendre à un rendement variable et faible pour des temps morts inclus entre 0 et 30 ns. Toutefois, une augmentation de rendement avec le temps mort est prévisible dans cette zone. En effet, la diode Body ne conduisant presque pas, l'augmentation du temps mort limite les pertes par commutation : les deux sources de courant contrôlées sont en contact dynamique durant moins de temps que pour des faibles temps morts.

Pour des temps morts devenant assez grands (de l'ordre de 60ns), les pertes par commutation ne vont plus varier : seules les pertes par conduction resteront dépendantes du temps mort ; en effet, la commutation de l'un des deux MOSFET n'interviendra pas sur celle de l'autre puisque ces commutations se feront à intervalles de temps suffisamment éloignés. Or, la résistance  $R_{DSon}$  étant de très faible valeur, les pertes par conduction du canal évolueront peu. Par contre, l'augmentation de ce temps mort allongera la durée de conduction de la diode Body, ce qui entraînera inévitablement une baisse de rendement.

Le rendement en fonction du temps mort a été simulé grâce au logiciel développé à cet effet. Toutes les simulations ont été effectuées pour une fréquence de commutation de 500kHz, qui est la fréquence choisie dans l'application objet de cette étude.

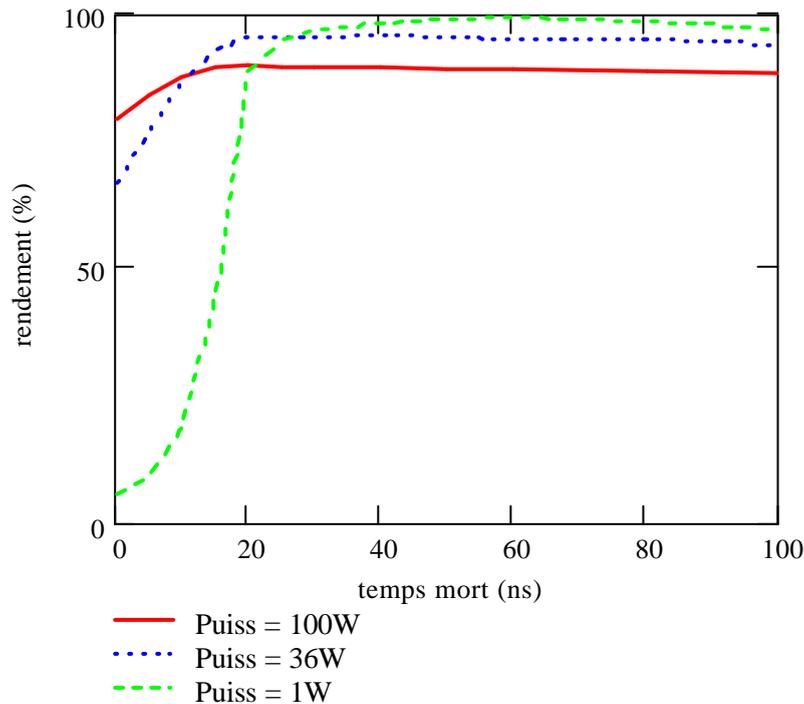
Le résultat de ces simulations à 36W est tracé sur la Figure 4-14.



**Figure 4-14 : Evolution du rendement d'une cellule MOSFET/MOSFET en fonction du temps mort**

Pour les temps morts faibles et forts, les résultats attendus et simulés concordent bien. Il existe donc un optimum de rendement qu'il sera possible de déterminer, grâce à la simulation.

La baisse de rendement dans la zone des temps morts de fortes valeurs et dans la zone des très faibles temps morts est faible car la puissance utile du convertisseur simulé est grande. Mais en simulant un convertisseur de faible puissance (1W), la chute de rendement est bien plus perceptible dans ces zones, comme le montre la Figure 4-15.



**Figure 4-15 : Rendement d'une cellule MOSFET/MOSFET en fonction du temps mort pour deux charges à 500kHz**

### 4.2.3 Cas du cahier des charges INDUCSIL

L'étude précédente, menée sur un cahier des charges de carte mère de Pentium IV® avec des MOSFETs de type STD40NF, a été reconduite sur le cahier des charges d'INDUCSIL avec les paramètres suivants :

Tension d'entrée : 3,3V

Tension de sortie : 1,5V

Puissance : 1W

Inductance : 1,22 $\mu$ H

Fréquence : 500kHz

Tension de commande : +15V/-5V

L'étude a été menée sur le temps mort, avec des MOSFETs de type IRFU014N dont le calibre en courant correspond mieux au cahier des charges que celui des STD40NF. Les tensions de commande sont encore critiquables, mais le  $V_{th}$  du MOSFET simulé étant supérieur à 3,3V, commander le MOSFET en 3,3V/0V serait insuffisant. La courbe de rendement est présentée sur la Figure 4-16.

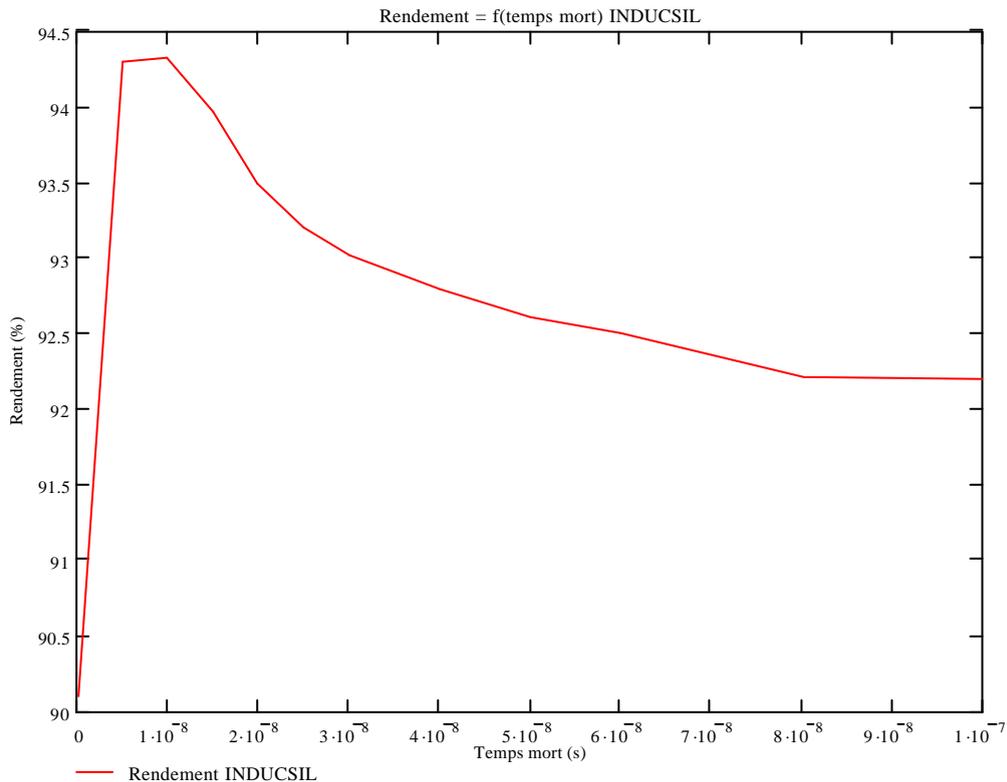


Figure 4-16 : Rendement de la cellule MOSFET/MOSFET dans le convertisseur INDUCSIL

Le rendement suit bien les évolutions constatées et commentées sur la Figure 4-15. Ainsi, l'idéal pour un tel convertisseur serait de placer un temps mort de l'ordre de 10ns entre la

commande du MOS1 et du MOS2 avec des résistances de grille de 100 : la cellule MOSFET/MOSFET atteint alors un rendement de l'ordre de 94% (pertes de 60mW).

### 4.3 Comparaison du rendement d'un redresseur synchrone avec celui d'un hacheur série

La Figure 4-17 présente l'évolution du rendement d'un hacheur série avec une diode Schottky STPS30L30CT (documentation en Annexe 11) en fonction de la fréquence. Ces courbes sont à comparer avec la Figure 4-8 et la Figure 4-9. Afin de faciliter ladite comparaison, l'ensemble des courbes est tracé sur une seule figure (Figure 4-18).

Les données du convertisseur restent les suivantes :

Tension d'entrée : 12V

Tension de sortie : 3,3V

Tensions de commande : +15V/-5V

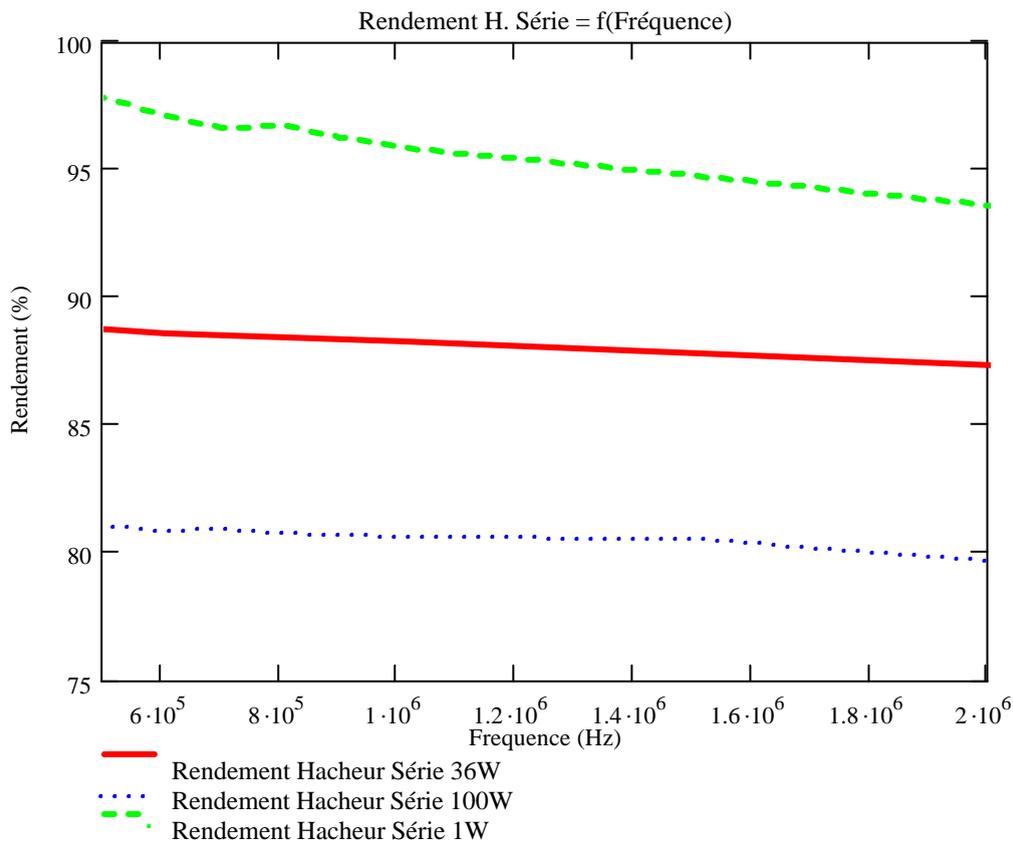
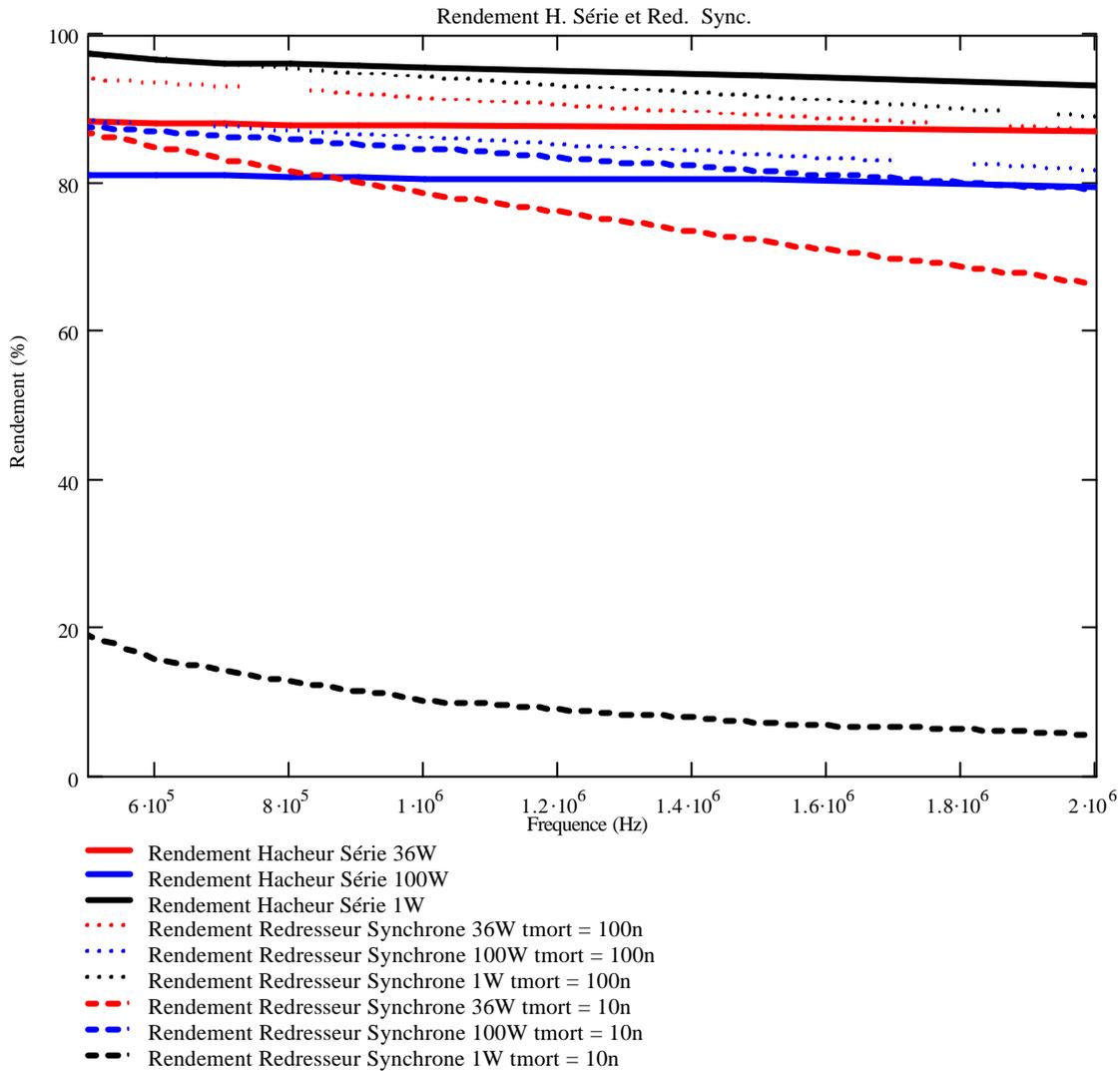


Figure 4-17 : Rendement d'un hacheur série en fonction de la fréquence pour différentes charges



**Figure 4-18 : Comparaison du rendement d'un hacheur série avec celui de redresseurs synchrones avec des temps morts de 10ns et 100ns sous différentes charges**

L'étude du hacheur série n'est exposée que pour des fréquences supérieures à 500kHz car en deçà de celles-ci, le convertisseur fonctionne en conduction discontinue, dégradant alors la puissance de sortie.

La Figure 4-17 montre une décroissance du rendement avec la fréquence due aux pertes par commutation.

Après comparaison des différentes courbes de la Figure 4-18, et en tenant compte du fait que nombre de concepteurs de redresseurs synchrones placent une diode Schottky en parallèle sur le MOS2, la compétitivité du hacheur série, même équipée d'une diode Schottky, est remise en cause.

Toutefois, le fait que les fabricants de commandes de redresseurs synchrones utilisent des circuits imposants un temps mort fixe laisse un espoir au hacheur série traditionnel. Il semble, en effet, que ce hacheur puisse trouver encore sa place dans les applications hautes fréquences. Donner

des chiffres est toujours difficile, mais il est possible de placer la barre au-delà du MHz et pour des puissances maximales de quelques watts.

Un facteur pourtant primordial n'est pas entré en compte dans cette étude : le coût ! En effet, si le coût de fabrication du convertisseur n'est pas considéré, le redresseur synchrone sera systématiquement avantageux dans les applications basse tension puisqu'il est alors possible de placer plusieurs MOSFETs en parallèle afin de diminuer leur résistance équivalente à l'état passant. Mais le facteur coût n'étant quasiment jamais négligeable, la simple présence d'une diode Schottky en parallèle sur le MOS2 et la nécessité d'une commande supplémentaire peut dissuader un utilisateur de l'achat d'un tel convertisseur, malgré l'augmentation promise du rendement. En cela aussi, le hacheur série peut encore se positionner en concurrent sérieux du redresseur synchrone.

Quoi qu'il en soit, le redresseur synchrone garde une souplesse d'utilisation et un rendement qui le rendent aujourd'hui incontournable dans les structures faibles tensions.

Enfin, l'étude énergétique montre que les pertes en conduction dans un redresseur synchrone sont réduites par rapport à celles dans un hacheur série (à cahier des charges égal), alors qu'inversement, les pertes par commutation dans un redresseur synchrone sont plus fortes que dans un hacheur série. Le redresseur synchrone sera donc un convertisseur avantageux dans les applications de fortes puissances (donc forts courants).

# **CONCLUSION SUR LE REDRESSEMENT**

## **SYNCHRONE**

La seconde partie de cette thèse s'est attachée à montrer les avantages et inconvénients liés à l'utilisation de redresseurs synchrones en tant que convertisseurs de l'électronique de puissance. Pour ce faire, une interface homme/machine a été développée à partir d'un modèle de MOSFETs établi avant le début de ces travaux. Cette interface logicielle, ainsi que le modèle de MOSFETs complété de manière à prendre en compte l'utilisation dans le 3<sup>ème</sup> quadrant, ont été validés par des mesures réalisées sur une maquette prototype développée à cet effet.

A partir de ces outils, deux études ont été menées : une sur un cahier des charges correspondant à l'alimentation de la carte mère d'un Pentium IV® et l'autre liée au projet INDUCSIL, cadre de la première partie de ce document. Une comparaison entre redresseur synchrone et hacheur série a été effectuée sur la base du cahier des charges du Pentium IV®.

Un certain nombre d'enseignements ont pu être tirés de ces études.

Tout d'abord, le réglage du temps mort entre la commande des deux MOSFETs a une influence déterminante sur le rendement du convertisseur. Dans les cas de temps morts faibles, le convertisseur entre transitoirement en court-circuit, ce qui dégrade considérablement le rendement ; dans les cas de forts temps morts, c'est alors la diode Body qui assurera la continuité du courant, diminuant le rendement. Dans ce dernier cas, placer une diode Schottky en parallèle sur le MOS2 est très utile.

La limite d'utilisation d'un hacheur série par rapport à celle d'un redresseur synchrone n'est pas simple à observer car elle dépend de nombreux paramètres dont la tension de sortie, la fréquence de commutation du convertisseur, le courant de sortie, les tensions de commande, les résistances de grille ou encore les caractéristiques des MOSFETs eux-mêmes. Il est donc difficile

de tirer des règles générales, sauf toutefois celles consistant à privilégier l'emploi de redresseurs synchrones dans les convertisseurs forts courants.

Une étude fine visant à chercher la limite exposée au point précédent devra impérativement inclure le coût de revient du convertisseur ; en effet, l'utilisation d'un redresseur synchrone ne sera pas forcément la solution à tous les problèmes, comme cela a été évoqué dans le paragraphe 4.3.

Enfin, concernant le cahier des charges d'INDUCSIL, l'utilisation d'un redresseur synchrone est impérative, vue la faible tension de sortie. Toutefois, dans ce cas aussi, le redresseur synchrone pourrait être mis en concurrence avec le hacheur série, surtout compte tenu de leurs coûts respectifs.





## CONCLUSION GENERALE

Les équipements portables, de forte ou de faible puissance, sont soumis à des critères de compacité et de performances électriques déjà importants aujourd'hui, mais qui n'iront qu'en s'accroissant dans l'avenir. Le volume des composants passifs intégrés dans les alimentations, notamment de téléphones portables, est une barrière qu'il faut lever au plus vite pour permettre le développement de convertisseurs adaptés.

Ce travail effectué au Laboratoire d'Electrotechnique de Grenoble est basé sur le cahier des charges de l'alimentation type d'un téléphone cellulaire, touche aussi bien le composant magnétique (inductance) que les composants actifs (redresseur synchrone à MOSFETs). L'intégration de l'inductance et le redresseur synchrone ont été séparés en deux parties distinctes, bien qu'à terme on peut espérer l'intégration conjointe de ces deux parties.

L'inductance, objet de la première partie, est étudiée dans le cadre du projet *INDUCSIL*, labellisé par le RMNT (Réseau Micro et Nano Technologies), visant à dimensionner et réaliser une inductance de  $1,22\mu\text{H}$  placée dans un redresseur synchrone délivrant une puissance de 1W sous 1,5V.

Le premier chapitre a commencé par dresser une liste de matériaux envisageables pour la réalisation du composant compte tenu des techniques de dépôts disponibles chez le partenaire technologique (LAAS). L'électrodéposition étant la méthode de dépôt maîtrisée par le LAAS, ce travail a abouti sur le choix du fer nickel (NiFe 80-20) pour le matériau magnétique et du cuivre pour les conducteurs. Puis une étude exhaustive des différentes topologies d'inductance déjà réalisées dans les différents laboratoires de recherche conduit à choisir la topologie d'inductance en spirale prise en sandwich entre deux plaques magnétiques, pour sa forte valeur d'inductance surfacique. Toutefois, la topologie d'inductance et le matériau magnétique choisis laissent présager des niveaux de pertes cuivre et fer élevés.

Le second chapitre, réservé à l'étude des pertes, a donc débuté par l'étude des pertes cuivre dans l'inductance. Aucune formulation analytique ne semblant satisfaisante au type d'inductance étudié, une méthode basée sur la modélisation du Professeur P.L. Dowell a été développée. Cette méthode, validée par des simulations 2D effectuées grâce à un logiciel éléments finis (Flux2D®), présente l'avantage de pouvoir mener des campagnes simples et continues d'estimation des pertes en sinusoïdal, que ce soit en fonction de la fréquence ou en fonction de la géométrie du composant.

De plus, l'obtention des résultats par rapport à un logiciel de type éléments finis s'est avérée plus rapide. Les pertes cuivre dans cette inductance ont alors été évaluées à 0,34W, ce qui fait chuter le rendement du convertisseur à 75%. Il a été montré que les pertes fer sont, quant à elles, majoritairement provoquées par les courants induits dans les plaques magnétiques de NiFe. Une modélisation de ces pertes présentant les mêmes avantages que celle des pertes cuivre, basée sur les équations de Maxwell et validée par des simulations 2D éléments finis, a conduit à évaluer ces pertes fer autour du watt pour un circuit magnétique massif. Ainsi, les pertes dans l'inductance massive seule sont de 1,34W pour une puissance utile du convertisseur égale à 1W. En ne considérant que les pertes dans l'inductance, le rendement du convertisseur est donc ramené à 42,7%.

Les pertes fer étant un point bloquant de ce travail, un feuilletage du circuit magnétique a été dimensionné de manière à limiter la circulation des courants de Foucault dans le NiFe. Cette inductance feuilletée réalisée par le LAAS en Juin 2003 ne correspond pas encore au cahier des charges puisque la technologie est actuellement limitée à 10 $\mu$ m en hauteur de dépôt de matériau magnétique et de cuivre. Cette barrière est en cours de franchissement, puisque des hauteurs de 50 $\mu$ m sont envisagées. La date tardive de réalisation de ce composant n'a pas permis de mesures de pertes ou de tenue en fréquence. Mais les outils nécessaires à son étude sont prêts.

La seconde partie de ce travail a été consacrée à l'étude énergétique des redresseurs synchrones dans deux cahiers des charges : le premier est l'alimentation d'une carte mère de PentiumIV® (étude répondant à une demande de la société ST Microelectronics) et le deuxième correspond au projet INDUCSIL. Ainsi, deux gammes de puissances ont été couvertes, permettant une étude globale de ce type de convertisseurs.

Le chapitre trois met en place les outils de simulation pour l'analyse des rendements de ces structures. Les fréquences d'utilisation des cellules MOSFET/MOSFET dans les applications portables sont telles qu'il est quasiment impossible d'effectuer des mesures fiables sur un prototype afin d'en connaître précisément le rendement ; en effet, à fréquences élevées, de gros problèmes liés aux capacités et inductances parasites de la maquette, ou même aux appareils de mesure apparaissent. C'est pourquoi, afin de s'affranchir des problèmes de mesure, ce chapitre a débuté par l'établissement d'un modèle semi empirique de MOSFET vertical. Ce modèle développé par deux précédents doctorants a conduit à une concordance fine entre les résultats pratiques et modélisés pour le MOSFET, finesse nécessaire à l'étude des commutations dans un redressement synchrone. Ainsi, ce chapitre s'est axé sur la méthode expérimentale de caractérisation des différents paramètres du modèle dans le 1<sup>er</sup> quadrant du plan I(V). Son utilisation ultérieure dans une cellule de redresseur synchrone imposant la connaissance du comportement du composant dans le 3<sup>ème</sup>

quadrant du plan I(V), ce modèle a été mis en place en collaboration avec G. Verneau du LEG pour la partie physique semi-conductrice. Ce modèle a été alors implanté dans deux logiciels : Spice® et Matlab Simulink®. Après plusieurs essais de simulation, Spice® s'est avéré être insuffisant et divergent pour la simulation de telles structures, problèmes en grande partie dus à l'impossibilité de choix de la méthode de résolution dans ce logiciel. Ainsi, Matlab Simulink® a été le logiciel retenu pour la suite. Afin de faciliter l'étude de ces convertisseurs et répondre à la demande de ST Microelectronics, une interface homme/machine a été développée, améliorant l'ergonomie de la simulation.

Le quatrième et dernier chapitre a débuté par une validation, avec succès, des outils utiles à l'étude énergétique des redresseurs synchrone développés précédemment. Cette étude a été menée en considérant trois paramètres d'action : la fréquence de travail, le temps mort imposé entre les commandes des MOSFETs et la puissance de sortie. Elle a été effectuée sur un cahier des charge de type alimentation de la carte mère d'un Pentium IV® et reconduite partiellement sur le convertisseur INDUCSIL, conduisant à des pertes de 60mW (amenant le rendement total de la structure de puissance autour de 41% avec une inductance à matériau magnétique massif). Finalement, une comparaison entre le hacheur série traditionnel et le redresseur synchrone a permis de dégager quelques critères de choix entre ces deux convertisseurs. Il a été ainsi montré que le redresseur synchrone, réduisant considérablement les pertes par conduction, trouve son utilisation dans les applications de fortes puissances, alors que le hacheur série, sièges de pertes en commutation réduites, s'avère encore concurrentiel pour des utilisations haute fréquence et faible puissance. Dans tous les cas, le prix que l'utilisateur sera prêt à investir sera un critère de choix décisif entre les deux convertisseurs.

En ce qui concerne les perspectives ouvertes par la première partie de ces travaux, elles sont nombreuses et accompagnées d'espoirs aux vues des progrès effectués par la technologie.

Tout d'abord, le choix des matériaux constituant l'inductance pourrait être remis en cause si toutefois le dépôt de couches épaisses par sputtering devenait une méthode maîtrisée par les partenaires technologues. En effet, le dépôt de matériaux magnétiques de type ferrites, ou encore nanocristallins permettrait de réduire considérablement les pertes fer et de faciliter le design de l'inductance et, donc de réduire son coût.

Une étude CEM pourrait aussi être menée ; en effet, entre la proximité des composants passifs et actifs dans une structure intégrée et les spires sorties du noyau magnétique de l'inductance, il est probable que la CEM rayonnée soit un critère à prendre en compte pour le

dimensionnement du convertisseur ou le positionnement du composant inductif par rapport aux composants actifs sur la pastille silicium.

Ces travaux ayant écarté l'étude thermique, une suite indispensable se devra d'analyser les phénomènes thermiques mis en jeu dans l'inductance (et son convertisseur). L'absence d'étude thermique dans ce document provient du fait que les caractéristiques des matériaux constituant l'inductance (résine, NiFe électrodéposé, etc ...) n'ont pas pu être fournies par leurs fabricants. Enfin, le coût de réalisation de cette inductance, et la possibilité de la réaliser en grande quantité, sont encore des inconnues à l'heure actuelle, même si les techniques employées ont été choisies de manière à permettre cette production.

De la même manière, des améliorations concernant la seconde partie peuvent être évoquées.

Le logiciel Matlab Simulink® n'étant pas un outils de simulation électrique à proprement dit, le modèle de MOSFET pourrait être implanté dans Saber®, qui semble être un bon compromis entre l'ergonomie de Spice® et la souplesse d'utilisation de Matlab Simulink®.

Le convertisseur simulé sous Matlab Simulink® contient une inductance dont le modèle est sans perte. Le modèle complet de l'inductance pourrait donc être incorporé de manière bénéfique, puisque alors la totalité des pertes serait évaluée en une seule simulation.

Le redresseur synchrone, tout comme le hacheur série, est une structure qui peut être entrelacée avec un certain nombre de bénéfices. Donner la possibilité à l'utilisateur du logiciel de choisir le nombre de bras entrelacés et les commandes associées rendrait le logiciel apte à rendre compte des effets présents dans les structures de forte puissance. Pouvoir entrelacer trois bras permettrait, par exemple, de simuler l'alimentation totale du Pentium IV® ou encore le convertisseur servant de liaison entre les batteries 42V et 14V, embarquées dans les véhicules électriques.

L'aspect réalisation de la cellule MOSFET/MOSFET devra faire l'objet d'une étude approfondie. En effet, sa réalisation sur une seule pastille silicium peut remettre en selle le MOSFET latéral, car le MOSFET vertical introduit des problèmes de connectique, les deux drains étant en face arrière du composant.

Enfin, le couplage thermique entre l'inductance et le redresseur synchrone sera probablement le point crucial qui rendra l'intégration possible ou non. Quoi qu'il en soit, il sera nécessaire d'évaluer les performances des refroidisseurs intégrés, comme les micro caloducs, sur ce type de structures.





# ANNEXES

ANNEXE 1.	Rappel des equations de Maxwell.....	169
ANNEXE 2.	Dimensionnement itératif de l'inductance .....	173
ANNEXE 3.	Documentation du MOSFET IRFU014N .....	181
ANNEXE 4.	Extraction des paramètres du MOSFET obtenus par caractérisation dynamique	189
ANNEXE 5.	Extraction des paramètres du MOSFET à charge variable .....	201
ANNEXE 6.	Extraction de la capacité $C_{in}$ du MOSFET par caractérisation statique .....	207
ANNEXE 7.	Extraction de la capacité $C_{oss}$ du MOSFET par caractérisation statique .....	213
ANNEXE 8.	Extraction des paramètres avec le Curve Tracer 371A.....	221
ANNEXE 9.	Extraction des capacités du MOSFET dans le 3 <sup>ème</sup> quadrant .....	231
ANNEXE 10.	Documentation du MOSFET STD40NF .....	243
ANNEXE 11.	Documentation de la diode Schottky STPS30L30CT .....	251



**ANNEXE 1.    RAPPEL DES EQUATIONS  
DE MAXWELL**



Rappel de quelques définitions mathématiques :

$$\text{Grad}(f) = \frac{df}{dx} \vec{i} + \frac{df}{dy} \vec{j} + \frac{df}{dz} \vec{k}$$

$$\text{Div}(A) = \frac{dA_x}{dx} + \frac{dA_y}{dy} + \frac{dA_z}{dz}$$

$$\text{Rot}(A) = \left(\frac{dA_z}{dy} - \frac{dA_y}{dz}\right) \vec{i} + \left(\frac{dA_x}{dz} - \frac{dA_z}{dx}\right) \vec{j} + \left(\frac{dA_y}{dx} - \frac{dA_x}{dy}\right) \vec{k}$$

$$\text{Div}(\text{Rot}A) = 0$$

$$\text{Laplacien Scalaire : } \Delta f = \frac{d^2 f}{dx^2} + \frac{d^2 f}{dy^2} + \frac{d^2 f}{dz^2}$$

$$\text{Laplacien Vectoriel : } \Delta A = \Delta A_x \vec{i} + \Delta A_y \vec{j} + \Delta A_z \vec{k}$$

Les équations de Maxwell sont :

- Gauss :  $\text{Div}(D) = \mathbf{r}$  = densité volumique de charges
- Faraday :  $\text{Rot}(E) = -\frac{dB}{dt}$
- Conservation :  $\text{Div}(B) = 0$
- Ampère :  $\text{Rot}(H) = J + \frac{dD}{dt}$
- Conservation des charges :  $\text{Div}(J) + \frac{d\mathbf{r}}{dt} = 0$



**ANNEXE 2.    DIMENSIONNEMENT  
ITERATIF DE L'INDUCTANCE**















**ANNEXE 3. DOCUMENTATION DU  
MOSFET IRFU014N**















**ANNEXE 4. EXTRACTION DES  
PARAMETRES DU MOSFET OBTENUS  
PAR CARACTERISATION DYNAMIQUE**























**ANNEXE 5. EXTRACTION DES  
PARAMETRES DU MOSFET A CHARGE  
VARIABLE**











**ANNEXE 6. EXTRACTION DE LA  
CAPACITE CIN DU MOSFET PAR  
CARACTERISATION STATIQUE**











**ANNEXE 7. EXTRACTION DE LA  
CAPACITE COSS DU MOSFET PAR  
CARACTERISATION STATIQUE**















**ANNEXE 8. EXTRACTION DES  
PARAMETRES AVEC LE CURVE TRACER  
371A**



















**ANNEXE 9. EXTRACTION DES  
CAPACITES DU MOSFET DANS LE 3<sup>EME</sup>  
QUADRANT**























**ANNEXE 10. DOCUMENTATION DU  
MOSFET STD40NF**















**ANNEXE 11. DOCUMENTATION DE LA  
DIODE SCHOTTKY STPS30L30CT**















---

# BIBLIOGRAPHIE

**[Ahn]** C.H Ahn, M.G Allen

« *A Comparison of Two Micromachined Inductors (Bar- and Meander-Type) for Fully Integrated Boost DC/DC Power Converters* »

IEEE transactions on Power Electronics, Vol 11, n°2, March 1996

**[Analog]** Analog Device

« *ADP3163 : 5-Bit Programmable 2-/3-Phase Synchronous Buck Controller* »

Site internet : [http://www.analog.com/productSelection/pdf/ADP3163\\_0.pdf](http://www.analog.com/productSelection/pdf/ADP3163_0.pdf)

**[Aubard]** L. Aubard

« *Modélisation des transistors MOS de puissance pour l'électronique de commutation* »

Thèse de doctorat INPG soutenue en Janvier 1999

**[Boggetto1]** J.M Boggetto, G. Verneau, Y. Avenas, P. Goubier

« *Vers un convertisseur intégré* »

La Revue 3EI, pages 29 à 39, Mars 2003

**[Boggetto2]** J.M Boggetto, Y. Lembeye, J.P Ferrieux

« *Evaluation des pertes cuivre dans une inductance intégrée sur silicium* »

Electronique de Puissance du Futur, 2002

**[Boggetto3]** J.M Boggetto, Y. Lembeye, J.P Ferrieux

« *Copper losses in power integrated inductors on silicon* »

IEEE Industry Application Society, 2002

**[Boggetto4]** J.M Boggetto, Y. Lembeye, J.P Ferrieux

« *Microfabricated inductors on silicon* »

IEEE Power Electronics Specialists Conference, 2002

- [Boggetto5]** J.M Boggetto, Y. Lembeye, J.P Ferrieux  
« *Study of iron losses in integrated spiral power inductor on silicon* »  
European conference on Power Electronics, 2003 (accepté, à paraître)
- [Cobos]** J.A. Cobos, P. Alou, O. García, R. Prieto, J. Uceda, M. Rascón  
« *Several alternatives for low output voltage on board converters* »  
IEEE Applied Power Electronics Conference, February 1998
- [Consoli]** A.Consoli, F. Gennaro, C. Cavallaro, A. Testa  
« *A Comparative Study of Different Buck Topologies for High Efficiency Low Voltage Applications* »  
IEEE Power Electronics Specialists Conference, 1999
- [Daniel]** L. Daniel, C.R Sullivan, S.R Sanders  
« *Design of Microfabricated Inductors* »  
IEEE Transactions on Power Electronics, Vol 14, n°4, July 1999
- [Djekic]** O. Djekic, M. Brkovic  
« *Synchronous Rectifiers vs Schottky Diodes in a Buck Topology for Low Voltage Applications* »  
IEEE Power Electronics Specialists Conference, 1997
- [Dowell]** P.L. Dowell  
« *Effects of eddy currents in transformer windings* »  
Proceedings of the IEE, vol 113, August 1966
- [Fairchild]** Fairchild Semiconductor  
« *FAN5093 : Two Phase Interleaved Synchronous Buck Converter for VRM 9.x Applications* »  
Site internet : <http://www.fairchildsemi.com/ds/FA/FAN5093.pdf>
- [Forest]** F. Forest  
« *Electronique de puissance basse tension, haut rendement, pour les applications portables* »  
La Revue 3EI, pages 7 à 16, Septembre 2002

- [Inoue]** T. Inoue, K. Nishijima, S. Yatabe, T. Mizogushi, T. Sato  
« *The effect of Magnetic Film Structure On the Inductance of a Planar Inductor* »  
IEEE Transactions on Magnetics, Vol 34, n°4, July 1998
- [Katayama]** Y. Katayama, S. Sugahara, H. Nakazawa, M. Edo  
« *High power density MHz-switching monolithic DC-DC converter with thin-film inductor* »  
IEEE Power Electronics Specialists Conference, 2000
- [Mehas]** G.J Mehas, K.D Coonley, C. Sullivan  
« *Design of Microfabricated Inductors for Microprocessor Power Delivery* »  
IEEE Applied Power Electronics Conference, March 1999
- [Park]** J.H Park, M.G Allen  
« *Packaging-compatible microinductors and microtransformers with screen-printed Ferrite using low temperature processes* »  
IEEE Transactions on Magnetics, Vol 34, n°4, July 1998
- [Perron]** J.C Perron  
« *Matériaux ferromagnétiques amorphes et nanocristallins* »  
Techniques de l'ingénieur, D2150
- [Ryu]** H.J Ryu, S.D Kim, J.J lee, J. Kim, S.H Han, H.J Kim, C.H Ahn  
« *2D and 3D simulations of toroidal type thin film inductors* »  
IEEE Transactions on Magnetics, n°4, July 1998
- [ST Micro]** ST Microelectronics  
« *La technologie STripFET III de ST Microelectronics réduit les pertes de conduction de la famille MOSFET* »  
Site internet : <http://eu.st.com/stonline/press/news/year2002/fra/p1208cfra.htm>
- [Sullivan1]** C.R Sullivan, S.R Sanders  
« *Design of microfabricated transformers and inductors for high-frequency power conversion* »  
IEEE Transactions on Power Electronics, Vol 11, n°2, March 1996

- [Sullivan2]** C.R Sullivan, S.R Sanders  
« *Microfabrication of transformers and inductors for high-frequency power conversion* »  
IEEE Power Electronics Specialists Conference, 1993
- [Troussier]** G. Troussier, J.L Sanchez, J.P Laur, Y. Lembeye, J.M. Boggetto, ...  
« *Etude et réalisation d'éléments inductifs sur silicium dans la perspective d'intégration de micro convertisseurs (PROJET INDUCSIL)* »  
Electronique de Puissance du Futur, 2002
- [Tsukamoto]** K. Tsukamoto, T. Sakai, T. Yachi  
« *A highly efficient buck converter with double-anti-crossover synchronous rectification using a newly developed control IC* »  
IEEE Power Electronics Specialists Conference, 1998
- [Verneau1]** G. Verneau  
« *Optimisation géométrique de MOSFETs de puissance en vue d'intégrer l'étage de commande* »  
Thèse de doctorat de l'INPG soutenue en Mai 2003
- [Verneau2]** G. Verneau, J.M Boggetto, S. Vieillard, Y. Lembeye, J.P Ferrieux, B. Rivet  
« *Study of a buck synchronous rectifier using an empirical MOSFET model* »  
European conference on Power Electronics, 2003 (accepté, à paraître)
- [Xu]** M. Xu, T.M Liakopoulos, C.H Ahn, S.H Han, H.J Kim  
« *A microfabricated transformer for high-frequency power or signal conversion* »  
IEEE Transactions on Magnetics, Vol 34, n°4, July 1998
- [Yamaguchi]** K. Yamaguchi, S. Ohnuma, T. Imagawa, J. Toriu, H. Matsuki, K. Murakami  
« *Characteristics of a Thin Film Microtransformer with Circular Spiral Coils* »  
IEEE Transactions on Magnetics, Vol 29, September 1993
- [Yee]** H.P. Yee, S. Sawahata  
« *A Balanced Review of Synchronous Rectifiers in DC-DC Converters* »  
IEEE Applied Power Electronics Conference, 1999

**[Zhou1]** X. Zhou, X. Zhang, J. Liu

« *Investigation on candidate VRM topologies for futur microprocessors* »

IEEE Applied Power Electronics Conference, March 1998

**[Zhou2]** X. Zhou

« *Low-voltage High-efficiency Fast-transient Voltage Regulator Module* »

Thèse de doctorat du Virginia Polytechnic Institute and State University, Juillet 1999