Synthèse automatique d'interfaces de communication matérielles pour la conception d'applications du domaine du traitement du signal

Cyrille CHAVET

L.E.S.T.E.R
Laboratoire d'Electronique des Systèmes TEmps Réel
UBS
CNRS FRE 2734
ST

Vue d'ensemble de la présentation

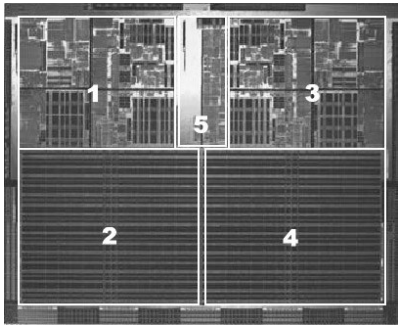
- Contexte général
- Etat de l’art
- Approche proposée
- Expérimentations
- Bilan et perspectives

Plan

- Contexte général
  - Evolutions technologiques et méthodologiques
  - Environnement de Recherche
  - Problématique générale de la thèse
- Etat de l'art
- Approche proposée
- Expérimentations
- Bilan et perspectives

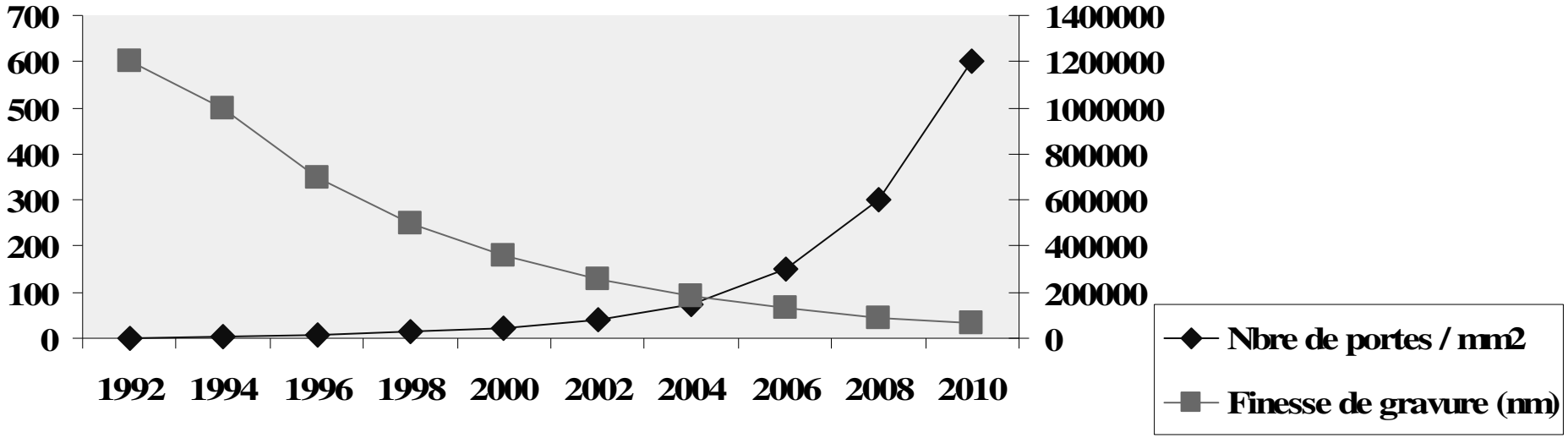
Contexte général

- Contraintes applicatives
  - Complexité algorithmique
  - Performances
  - Hétérogénéité applicative
- Objectifs à minimiser
  - Coût
  - Temps de conception
  - Consommation
  - Surface
  - …
- Hétérogénéité architecturale
  - Matériel/Logiciel
  - Contrôle/Traitement
  - Analogique/Numérique

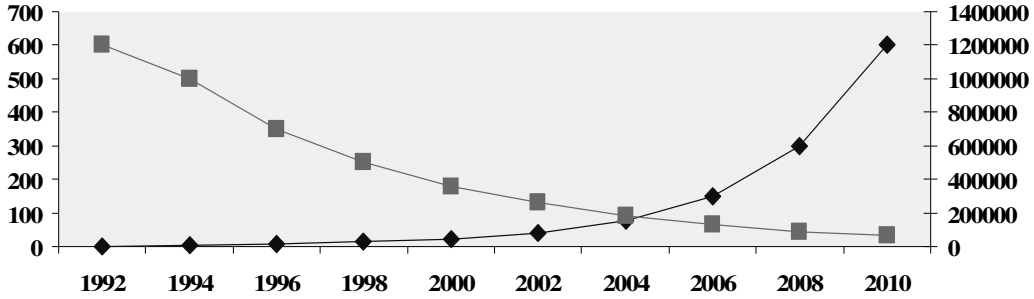


Contexte technologique

- Evolution des finesses de gravure
- Augmentation de la densité d'intégration

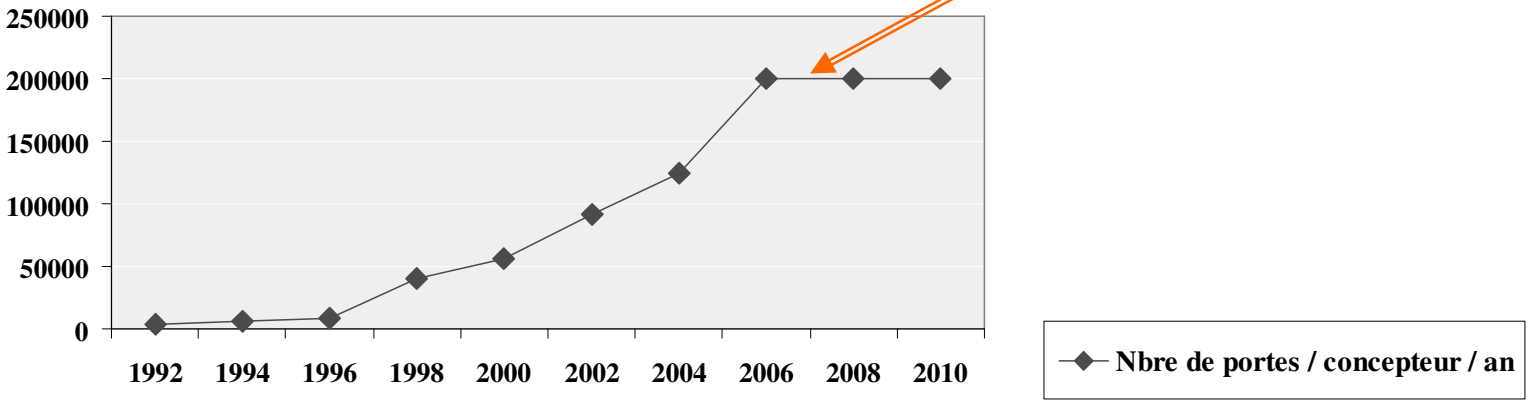


Contexte technologique

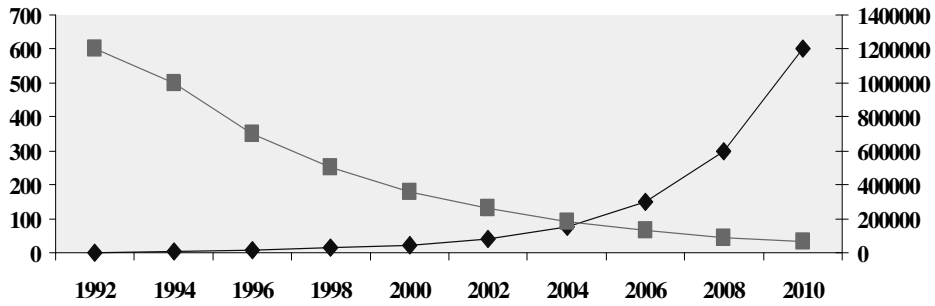


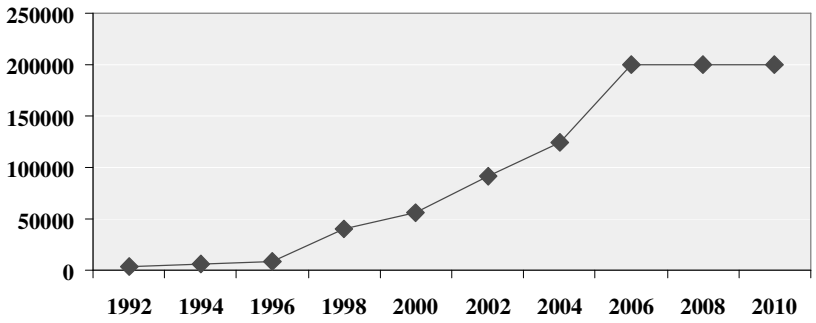
- Productivité des concepteurs

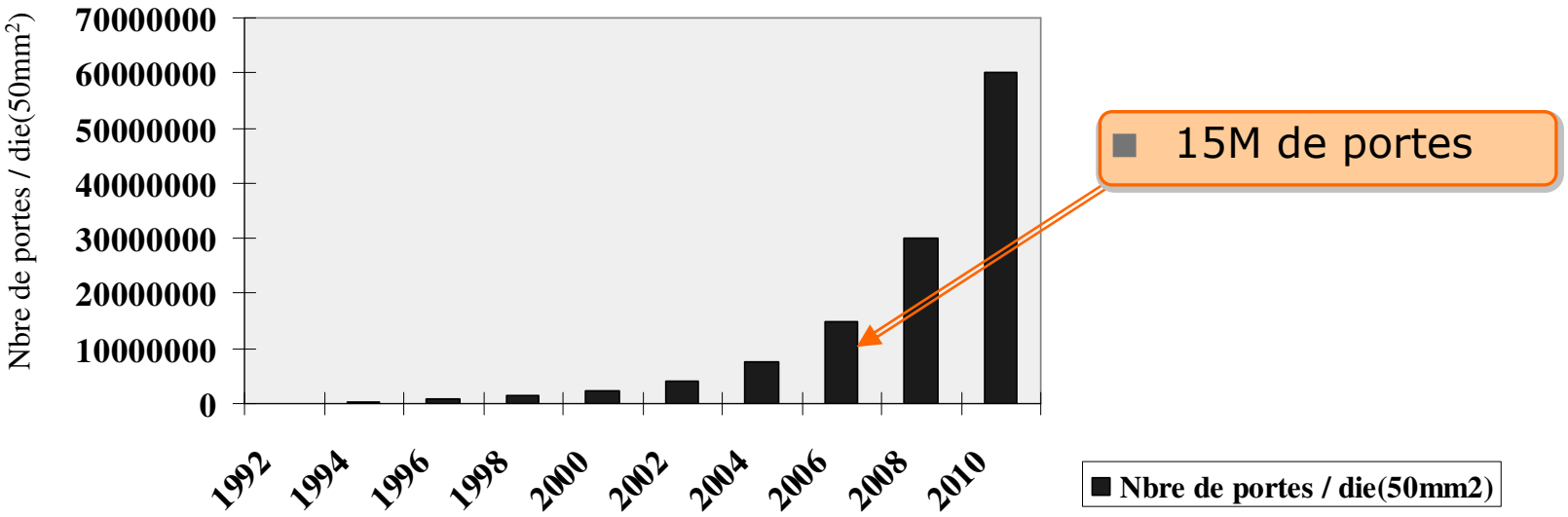
- 200 000 portes/concepteur/an



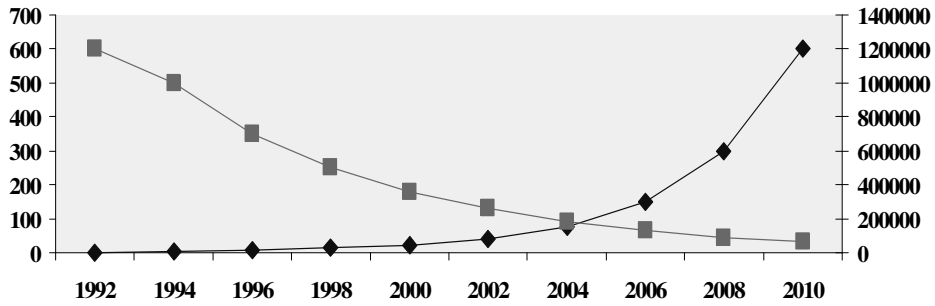
Contexte technologique

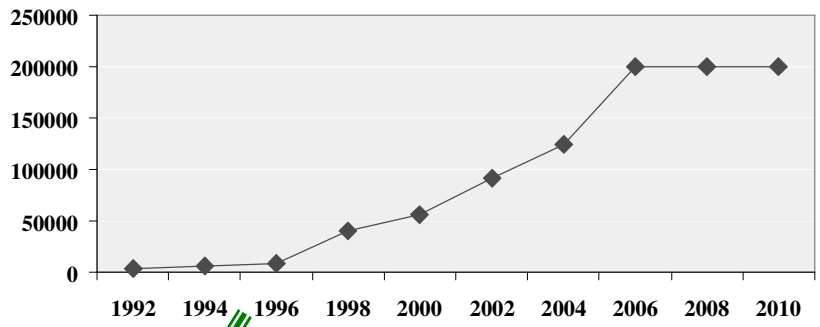


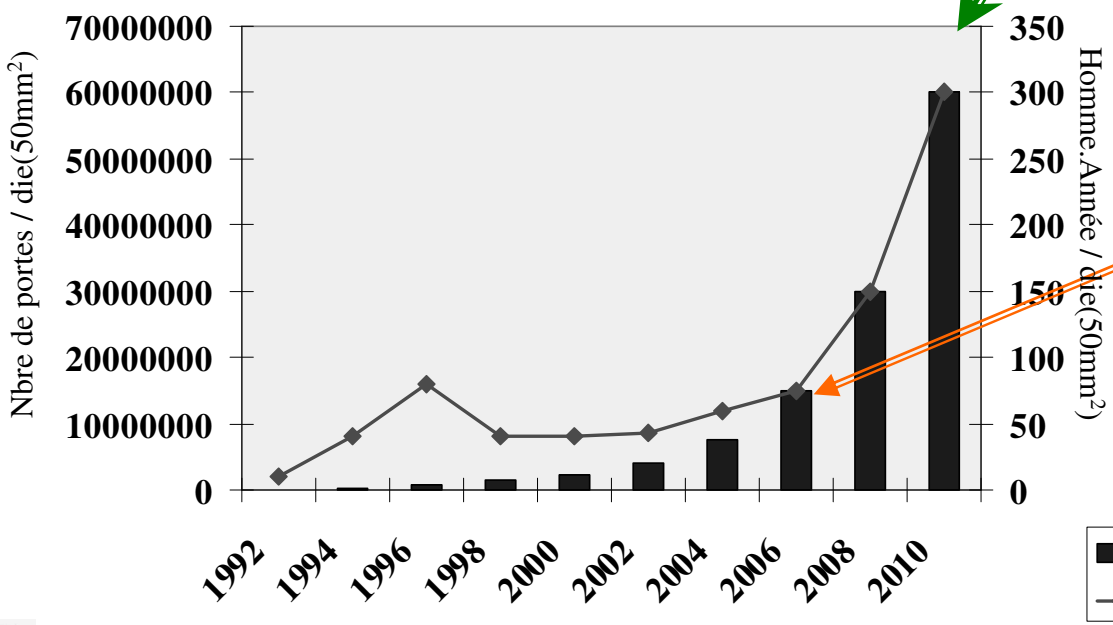




Contexte technologique

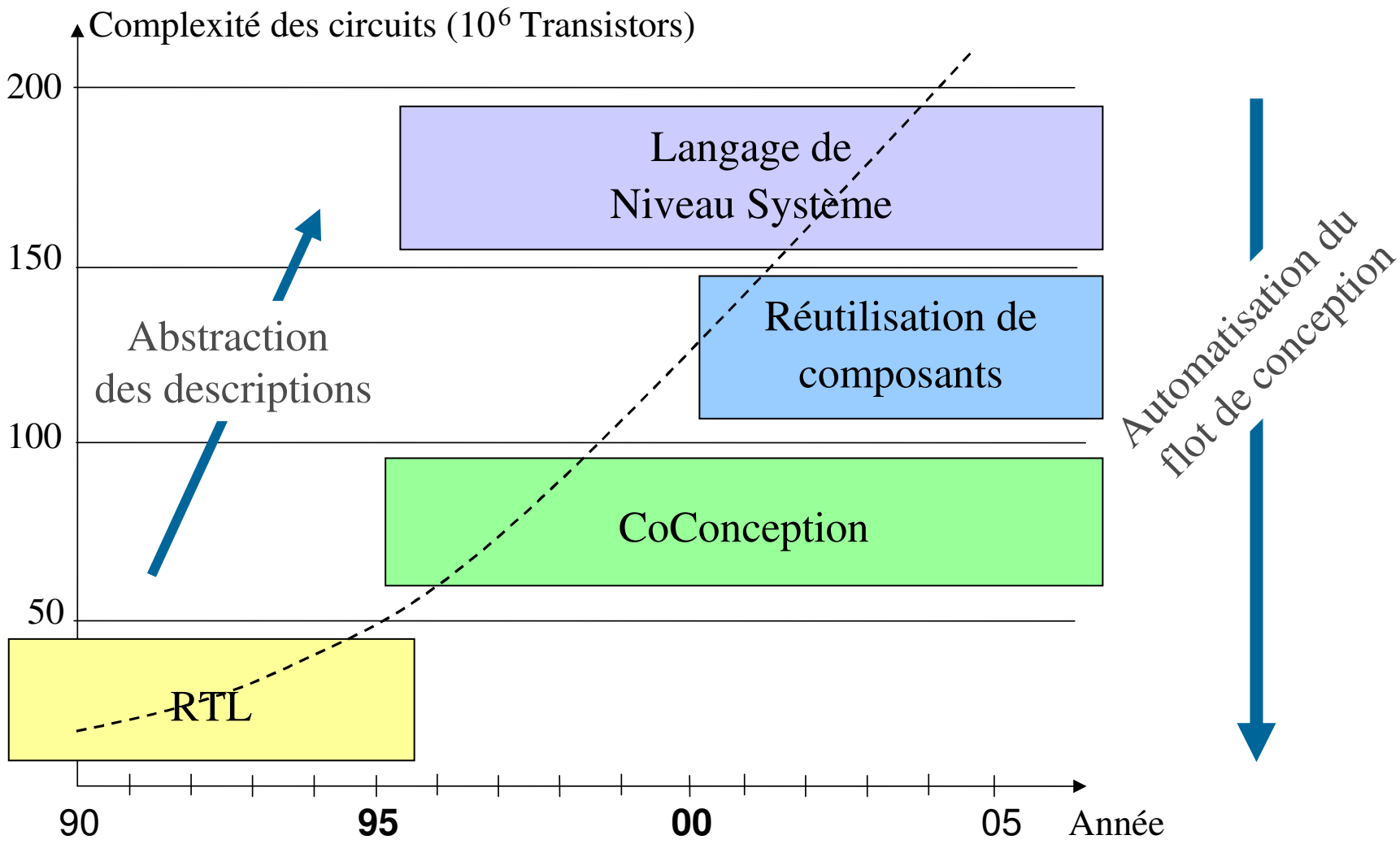






- 15M de portes
- 75 Homme.Année

Evolution des méthodologies de conception

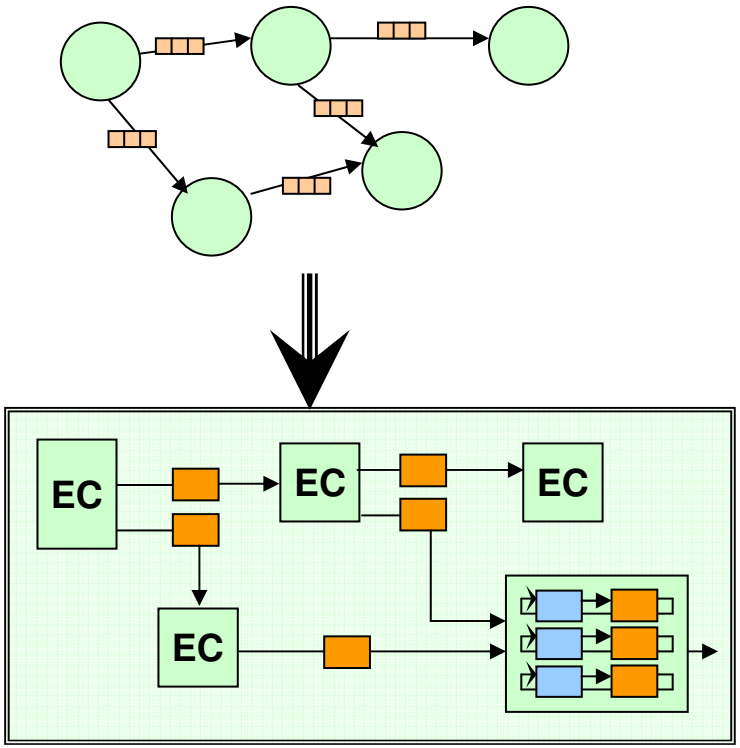


Le cadre de la thèse

- Applications
  - Traitement du signal
  - Télécommunications
- Méthodologies
  - Exploration de l'espace des solutions
  - Synthèse de haut niveau
  - Réutilisation de composants virtuels
- Architectures
  - Accélérateurs matériels
  - Eléments de calcul
  - Connexions points à points
  - Mémoires, brassage de données
- Objectifs: consommation, performances, coût…

Modèle de haut niveau

(e.g. KPN, SDF…)



Architecture résultante

Problématique générale de la thèse

- Adaptation spatiale et temporelle des échanges de données entre éléments de calcul

Problématique générale de la thèse

- Adaptation spatiale et temporelle des échanges de données entre éléments de calcul

- Domaines d'application
  - Intégration de composants virtuels
  - Génération de composants d'entrelacement
  - Synthèse de chemins de données

Problématique générale de la thèse

- Adaptation spatiale et temporelle des échanges de données entre éléments de calcul

- Domaines d'application
  - Intégration de composants virtuels
  - Génération de composants d'entrelacement
  - Synthèse de chemins de données

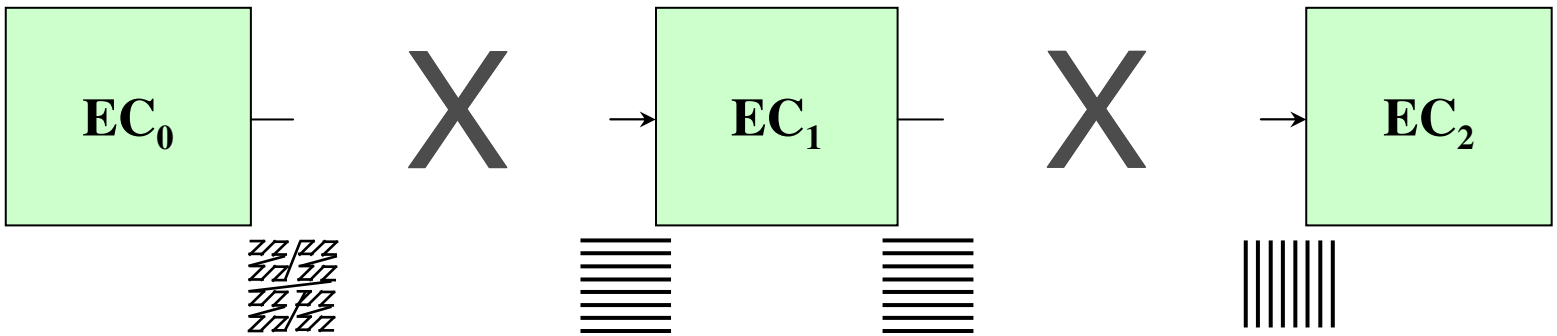
- Optimiser les interfaces de communication
  - Diminution du coût (éléments mémorisants, multiplexeurs)
  - Augmentation des débits (parallélisation)
  - Applications multi-modes/multi-standards

Plan

- Contexte général
- Etat de l'art
  - Intégration de composants virtuels
  - Génération de composants d'entrelacement
  - Synthèse de chemins de données
  - Problématique
- Approche STAR
- Expérimentations
- Bilan et perspectives

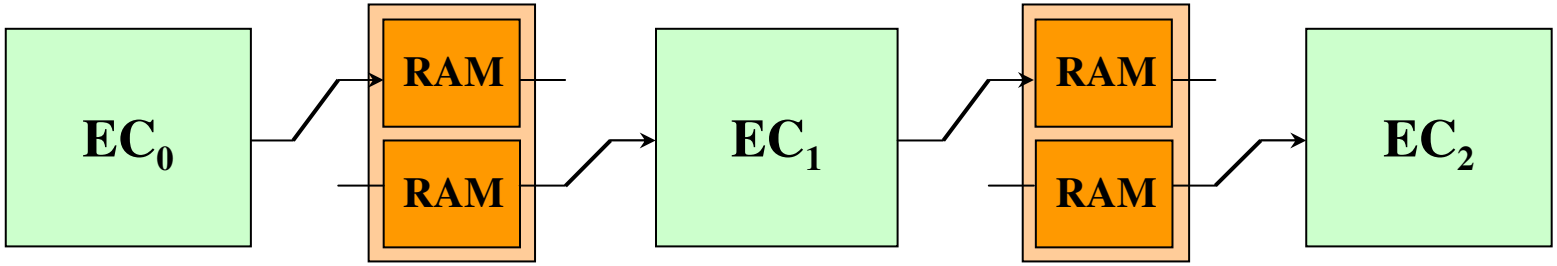
Intégration de composants virtuels

- Schémas de communication incompatibles



Intégration de composants virtuels

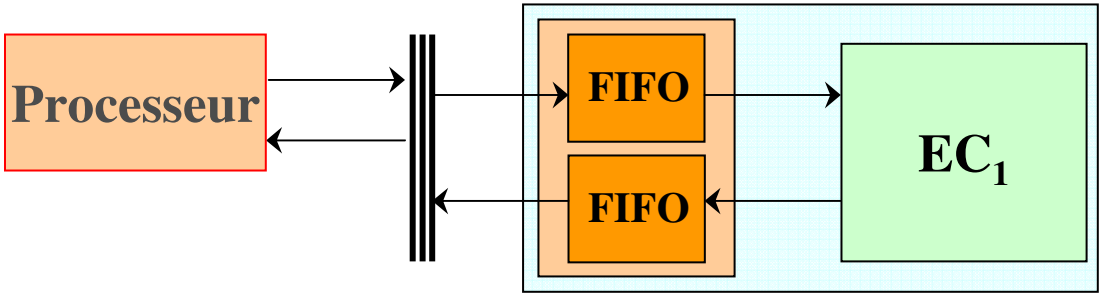
- Architectures classiques
  - Analyse à gros grain des communications



- Méthodologie
  - Mémorisation par blocs: *RAM*

Intégration de composants virtuels

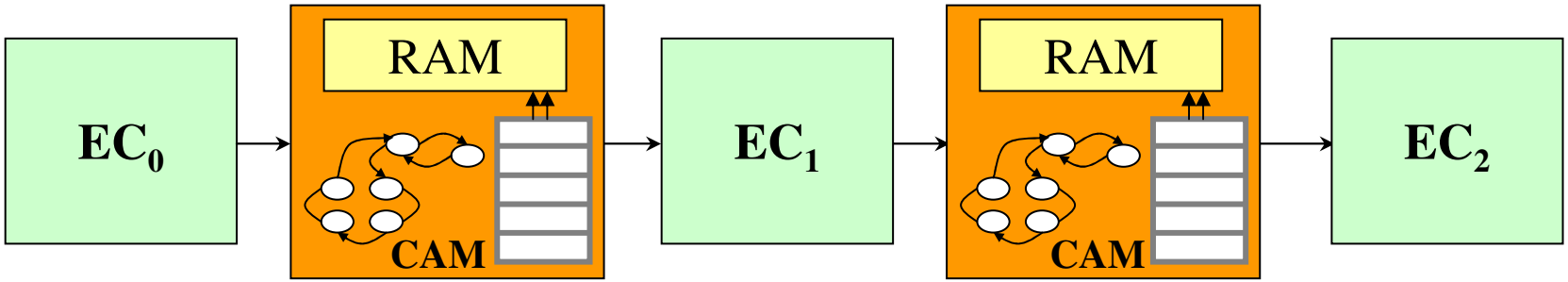
- Architectures classiques
  - Analyse à gros grain des communications
  - Interface de communication à base de FIFOs



- Méthodologie
  - Ré-ordonnancement logiciel des transferts de données

Intégration de composants virtuels

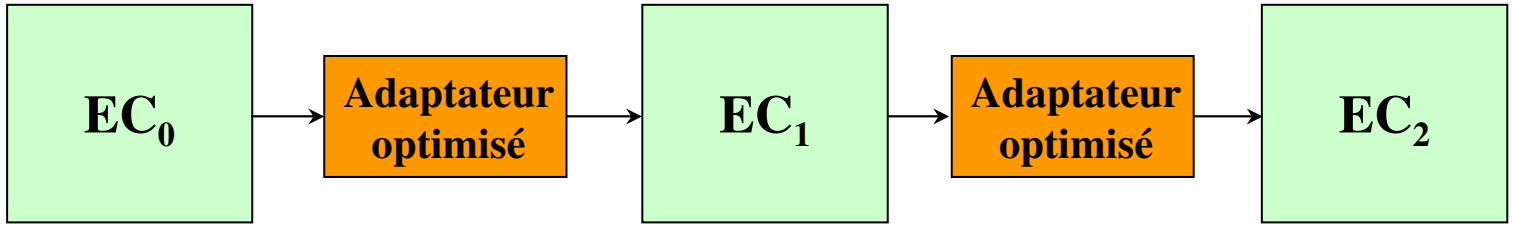
- Architectures classiques
  - Analyse à grain fin des communications
  - Architecture mémoire à base de CAMs



- Méthodologie
  - Résolution dans le canal
  - Tables de hachage
  - Sémantique FIFO et canal à grain fin

Intégration de composants virtuels

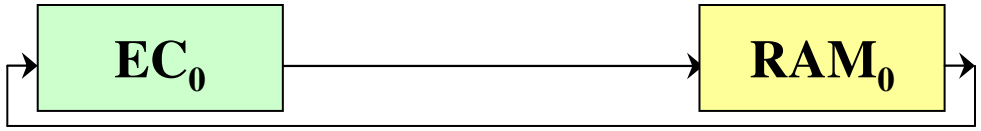
- Architectures classiques
  - Analyse à grain fin des communications



- Méthodologie
  - Optimisation du canal
  - Graphe de Compatibilité des Transferts
  - Architecture à base de FIFOs, de LIFOs et de Registres

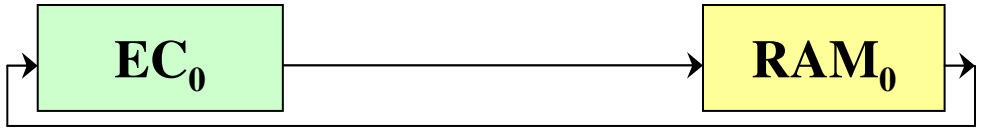
Génération de composants d'entrelacement

- Architectures classiques
  - Architecture mémoire à base de RAM
  - Performances limitées



Génération de composants d'entrelacement

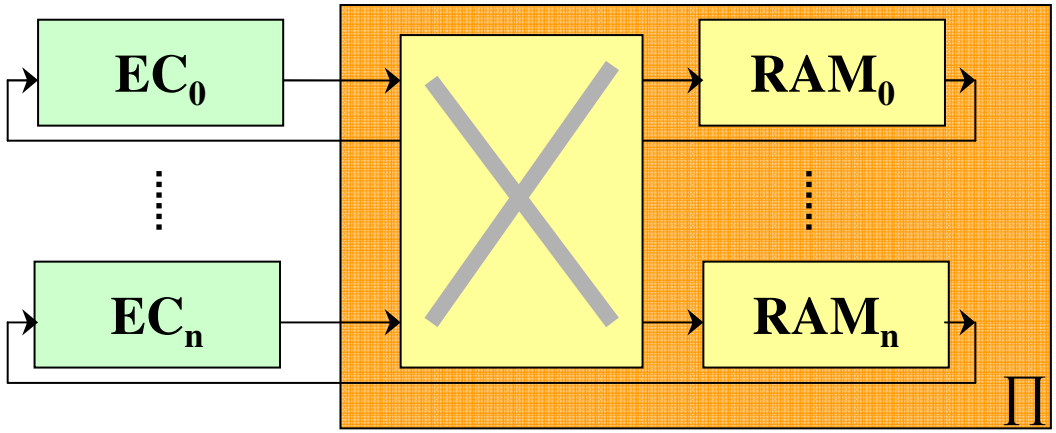
- Architectures classiques
  - Architecture mémoire à base de RAM
  - Performances limitées



- Augmenter les performances
  - Améliorer les performances temporelles
  - Modifier le parallélisme

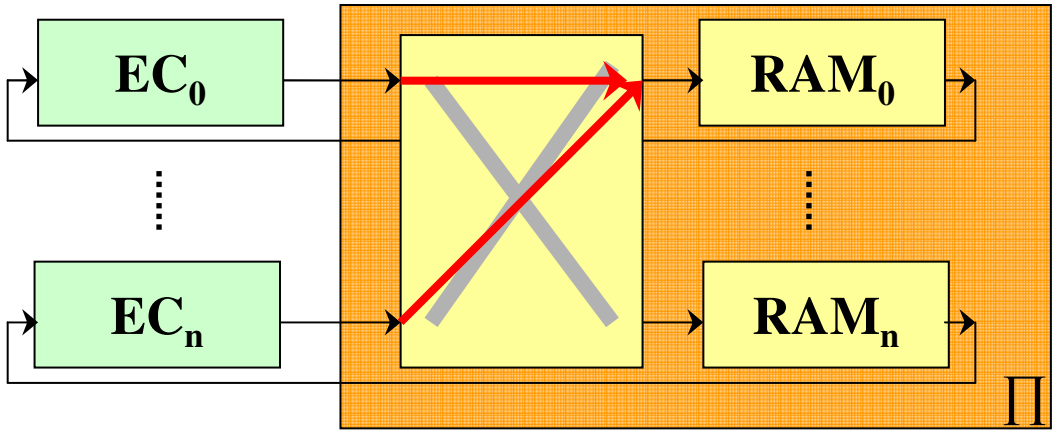
Génération de composants d'entrelacement

- Architectures classiques
  - Architecture mémoire à base de RAMs ou parfois de mers de registres
  - Réseau d'interconnexion complexe



Génération de composants d'entrelacement

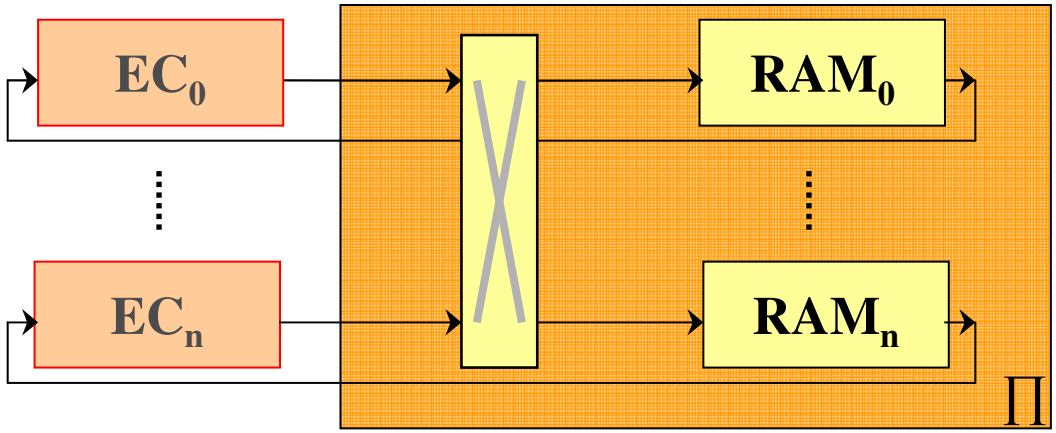
- Architectures classiques
  - Architecture mémoire à base de RAMs ou parfois de mers de registres
  - Réseau d'interconnexion complexe



- Conflit d'accès en écriture

Génération de composants d'entrelacement

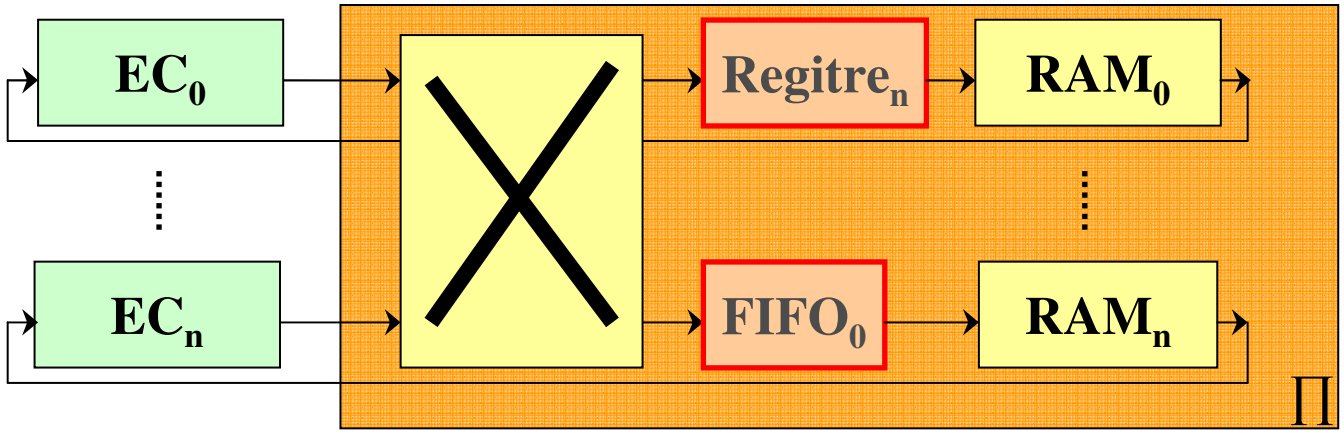
- Architectures classiques
  - Architecture mémoire à base de RAMs



- Méthodologie
  - Modification de la règle d'entrelacement
  - Réseau d'interconnexions simplifié

Génération de composants d'entrelacement

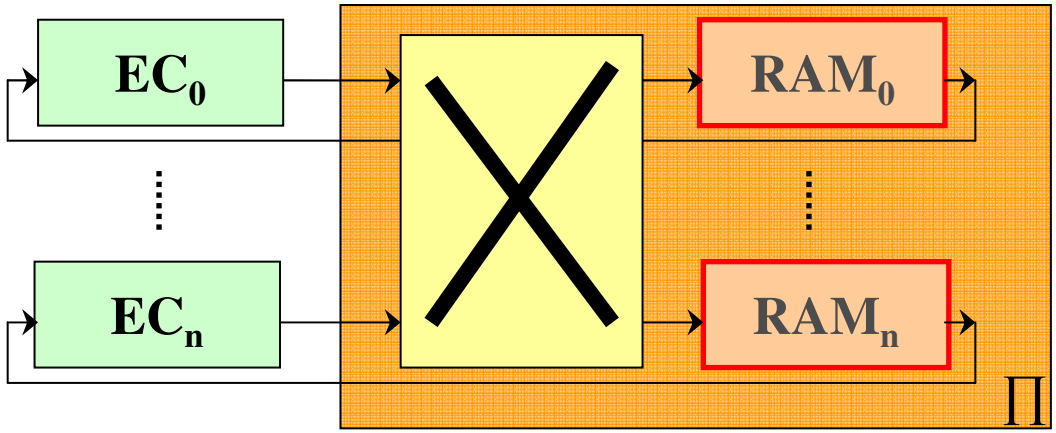
- Architectures classiques
  - Architecture mémoire à base de RAMs



- Méthodologie
  - Ajout de mémoires dans le canal
  - Canal de communication complexe

Génération de composants d'entrelacement

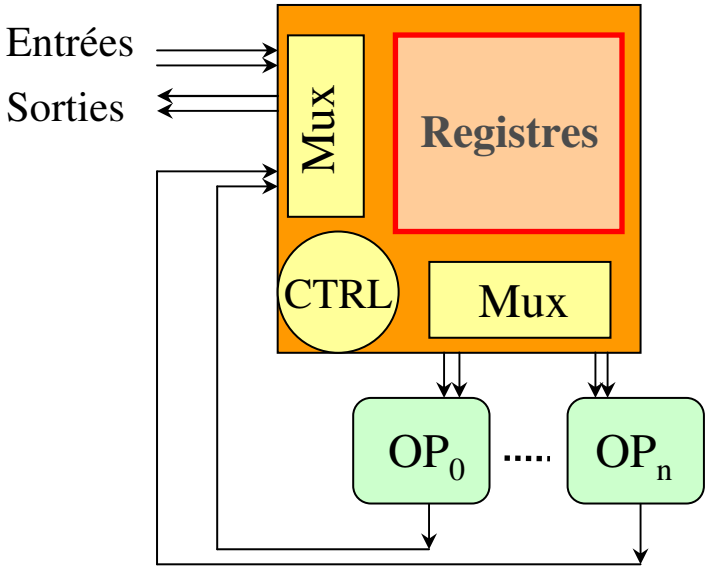
- Architectures classiques
  - Architecture mémoire à base de RAMs



- Méthodologie
  - Placement mémoire optimisé

Synthèse de chemins de données

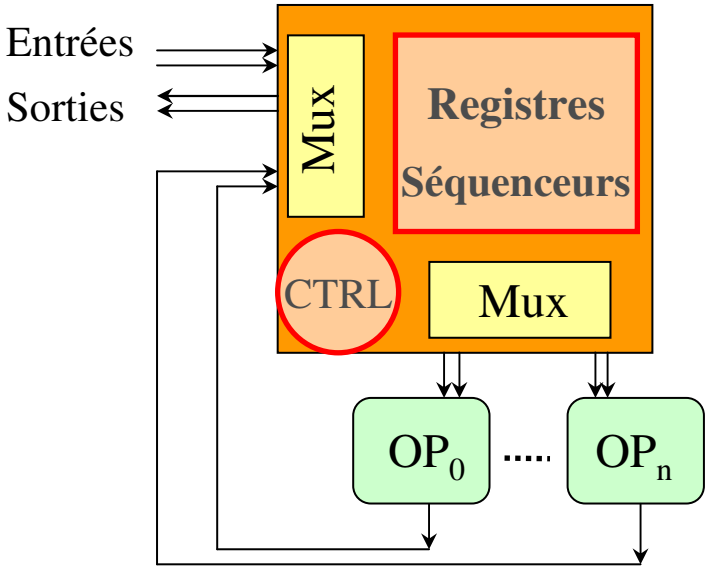
- Architectures classiques
  - Architecture mémoire de registres et de registres à décalage
  - Réseau d'interconnexion à base de multiplexeurs



- Méthodologie
  - Left-Edge (Optimisation mémoire)

Synthèse de chemins de données

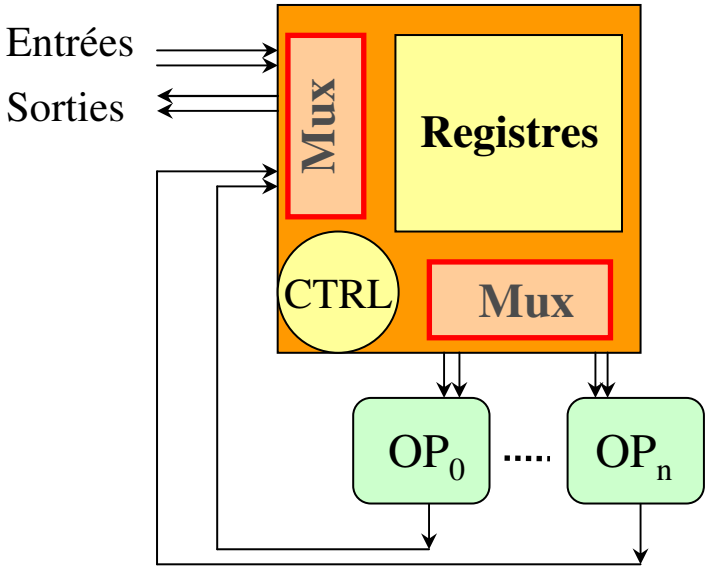
- Architectures classiques
  - Architecture mémoire de registres et de registres à décalage
  - Réseau d'interconnexion à base de multiplexeurs



- Méthodologie
  - Séquenceurs (Optimisation contrôle)

Synthèse de chemins de données

- Architectures classiques
  - Architecture mémoire de registres et de registres à décalage
  - Réseau d'interconnexion à base de multiplexeurs



- Méthodologie
  - Optimisation multiplexage

Problématique

- Adaptation des communications dans le temps (réordonnancement) et dans l'espace (aiguillage)
- Approche déterministe sur des ordres partiels de transfert

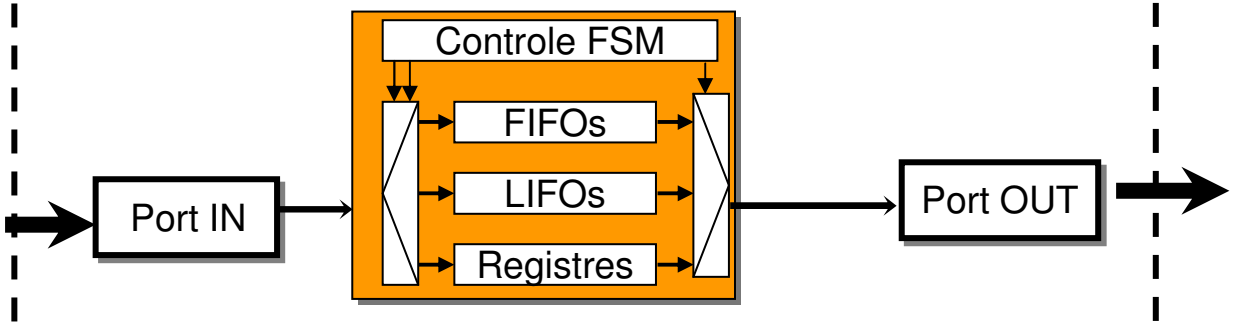
- Architecture mémoire à grain fin (scalaires)
- Eléments mémorisants à sémantique forte (FIFO, LIFO et Registre)
- Prise en compte de la complexité de l'architecture d'aiguillage
- Modélisation et exploration d'architectures multi-modes

Plan

- Contexte général
- Etat de l'art
- Approche proposée
  - Architecture STAR
  - Modélisation proposée
  - Flot de conception
- Expérimentations
- Bilan et perspectives

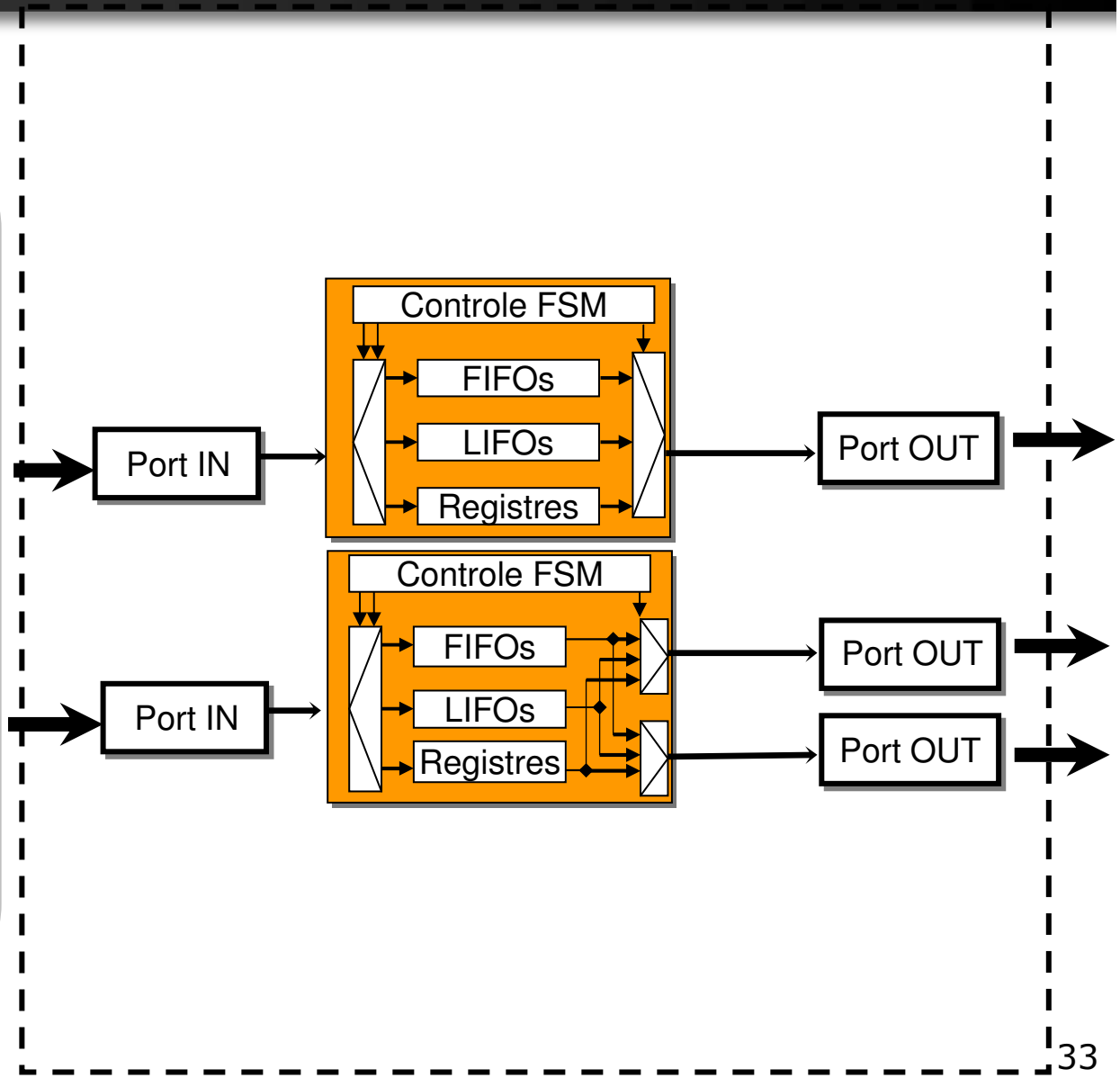
Architecture Space and Time AdapteR

- Architecture mémoire à grain fin
- Mémoires à sémantique forte
  - First In, First Out
  - Last In, First Out
- Réseau d'interconnexion
- Contrôleurs



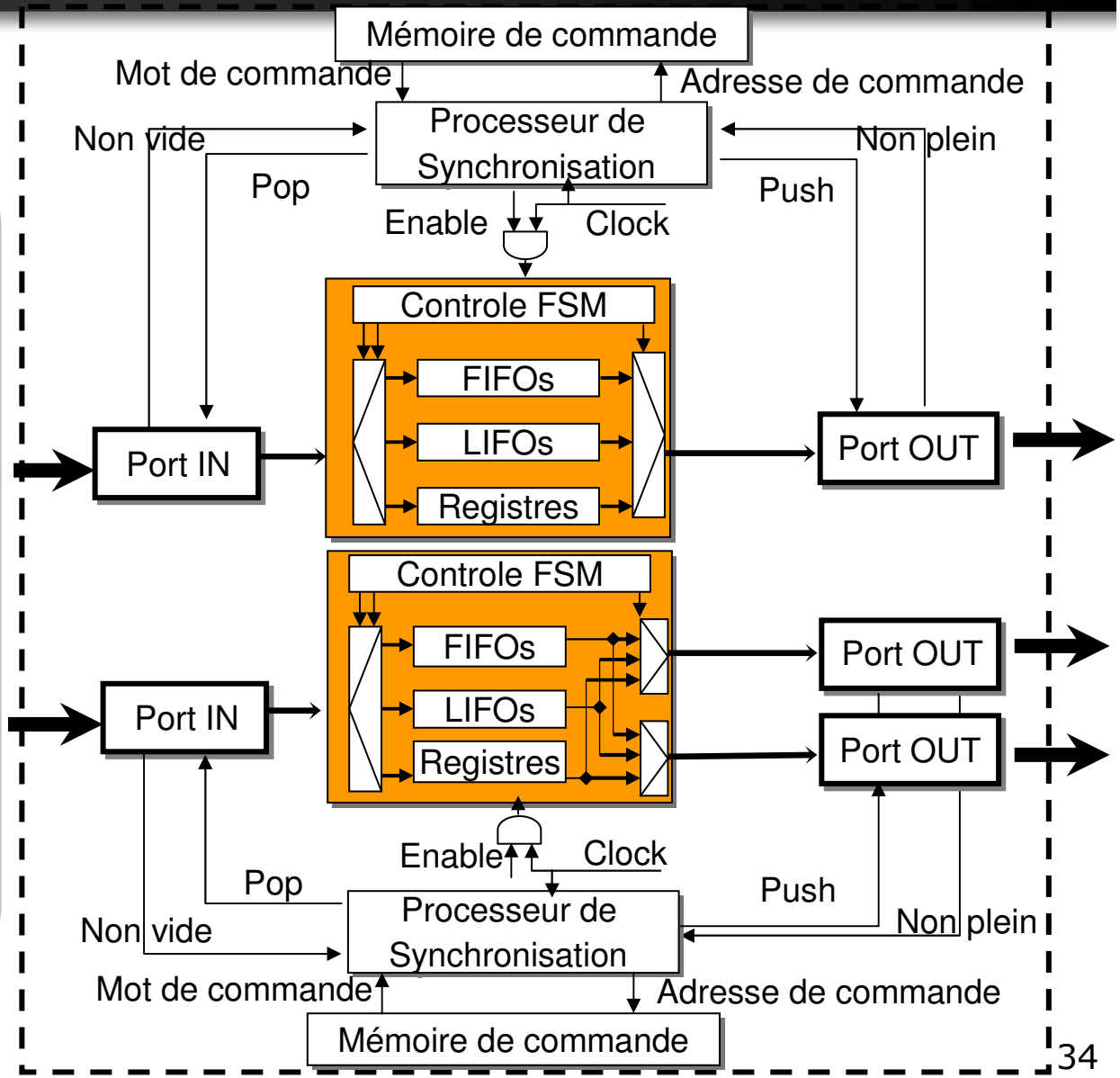
Architecture Space and Time AdapteR

- Architecture mémoire à grain fin
- Mémoires à sémantique forte
  - First In, First Out
  - Last In, First Out
- Réseau d'interconnexion
- Contrôleurs
- Un STAR par port d'entrées



Architecture Space and Time AdapteR

- Architecture mémoire à grain fin
- Mémoires à sémantique forte
  - First In, First Out
  - Last In, First Out
- Réseau d'interconnexion
- Contrôleurs
- Un STAR par port d'entrées
- Interface LIS



Formulation des échanges de données

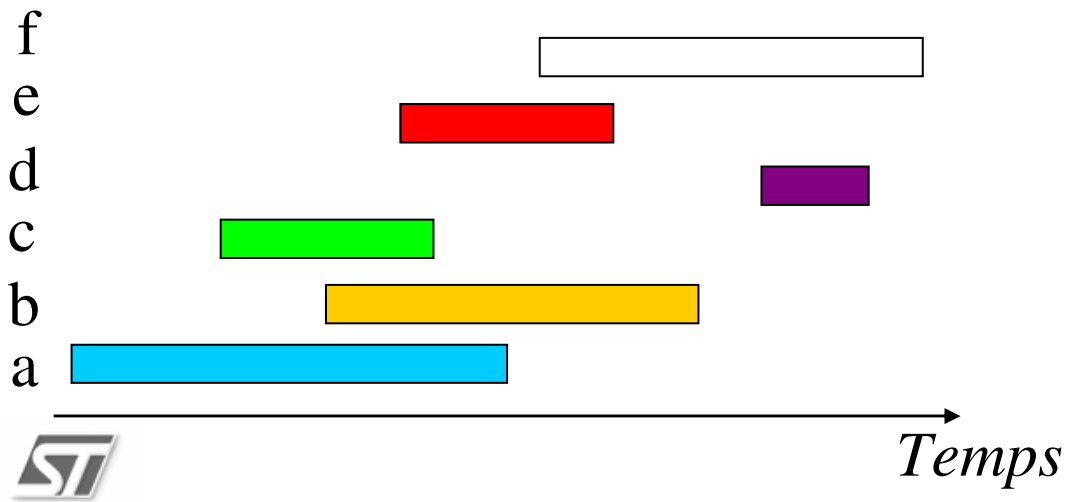
- Deux éléments de calcul interconnectés
- Ordres de production/consommation différents

- Ordre de production: a, c, b, e, f, d
- Ordre de consommation: a, c, b, e, f, d

Formulation des échanges de données

- Deux éléments de calcul interconnectés
- Ordres de production/consommation différents

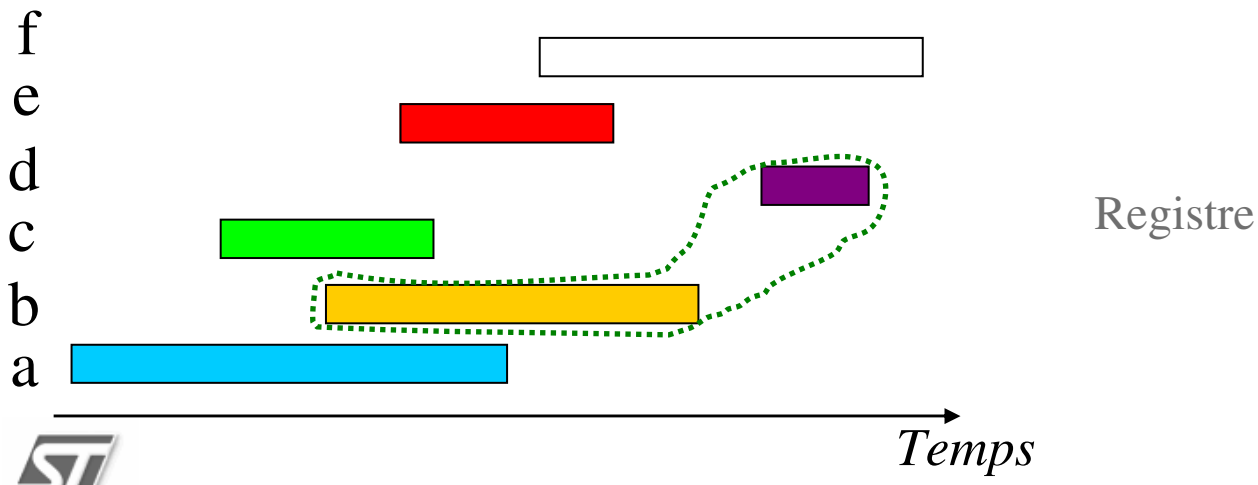
- Durée de vie des données



Formulation des échanges de données

- Deux éléments de calcul interconnectés
- Ordres de production/consommation différents

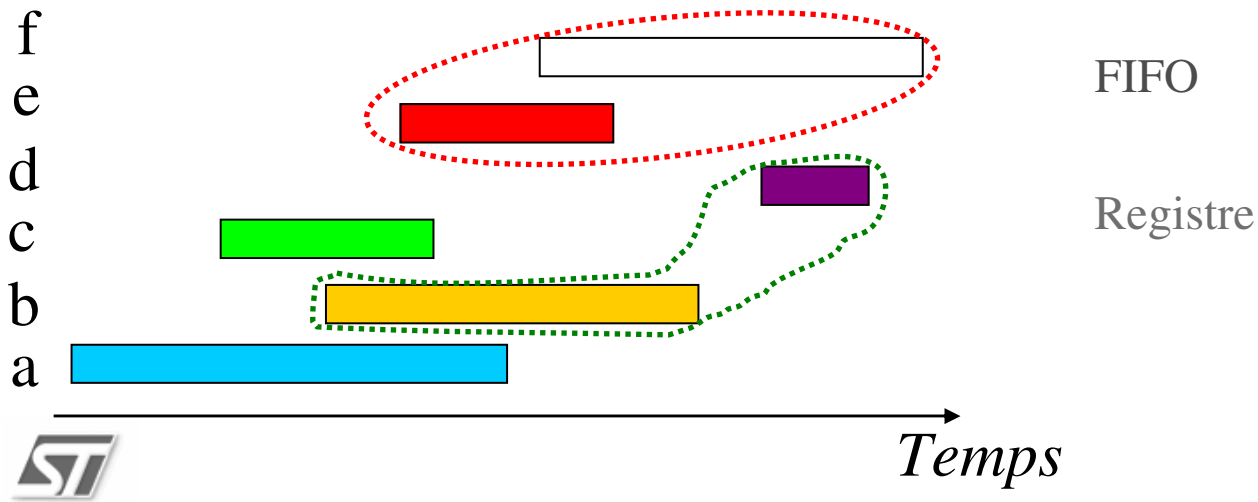
- Durée de vie des données



Formulation des échanges de données

- Deux éléments de calcul interconnectés
- Ordres de production/consommation différents

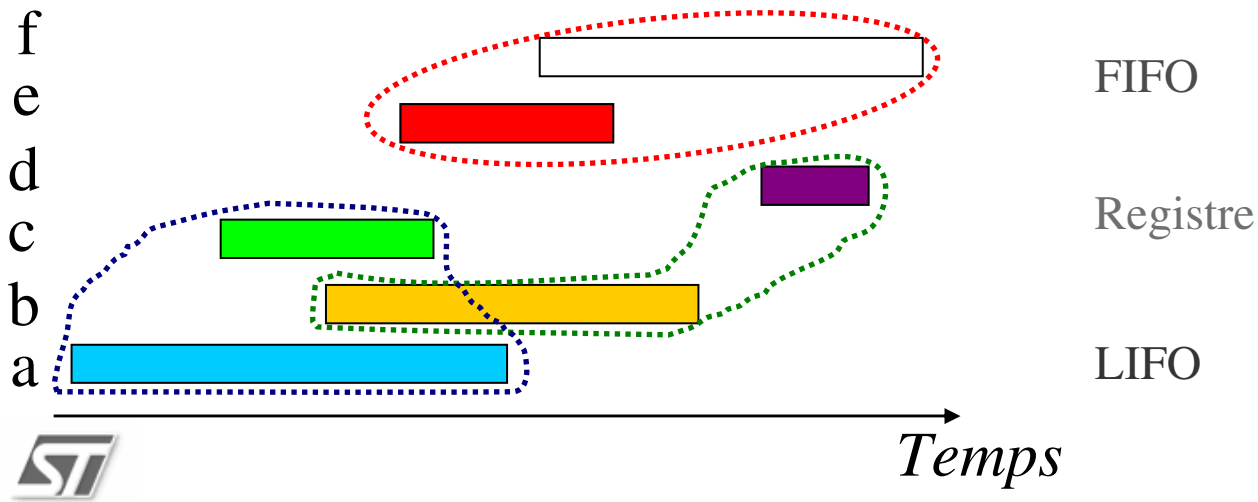
- Durée de vie des données



Formulation des échanges de données

- Deux éléments de calcul interconnectés
- Ordres de production/consommation différents

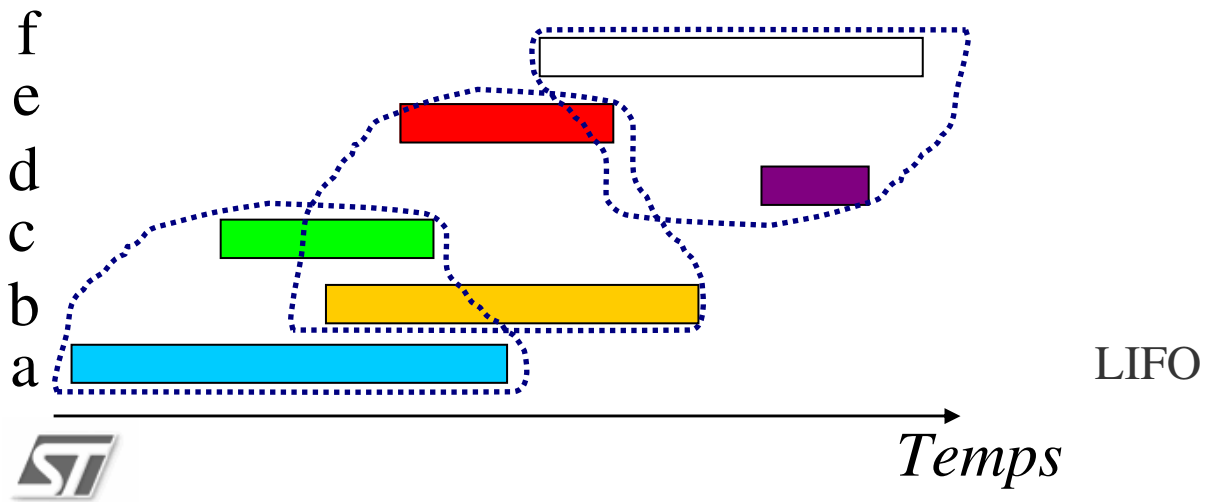
- Durée de vie des données



Formulation des échanges de données

- Deux éléments de calcul interconnectés
- Ordres de production/consommation différents

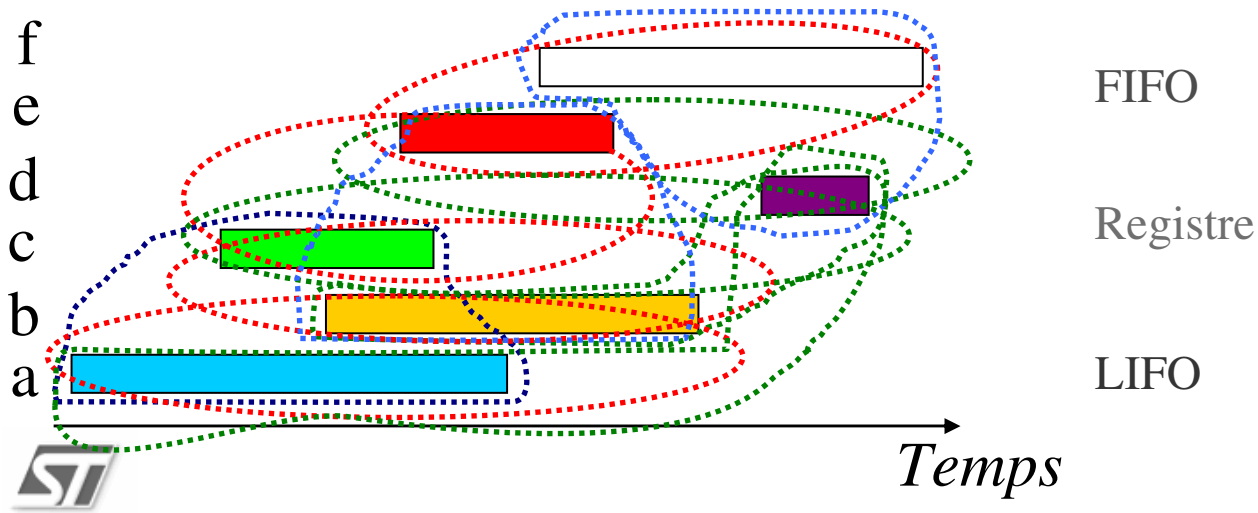
- Durée de vie des données



Formulation des échanges de données

- Deux éléments de calcul interconnectés
- Ordres de production/consommation différents

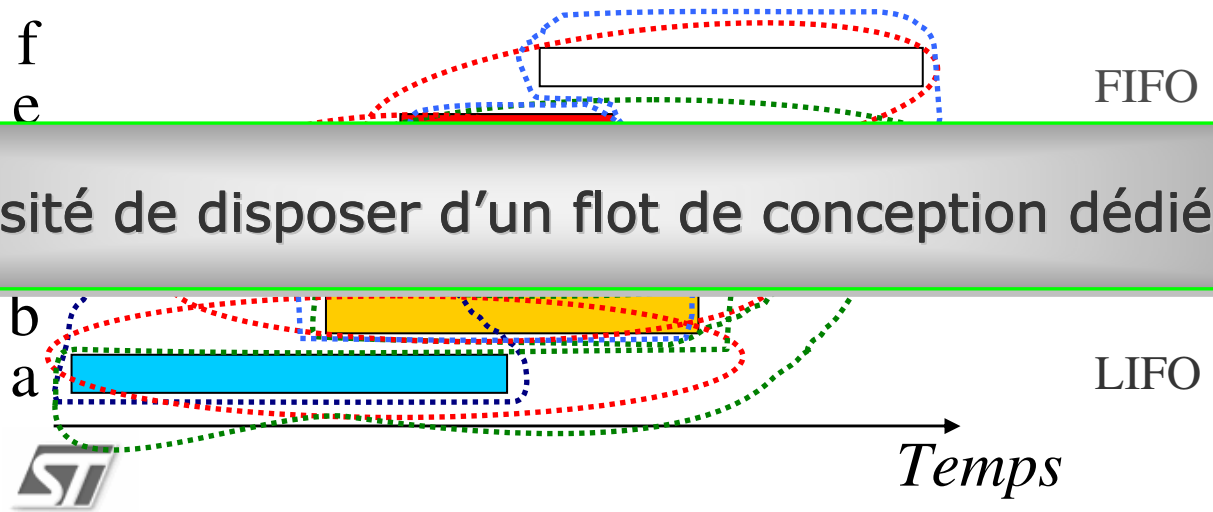
- Durée de vie des données



Formulation des échanges de données

- Deux éléments de calcul interconnectés
- Ordres de production/consommation différents

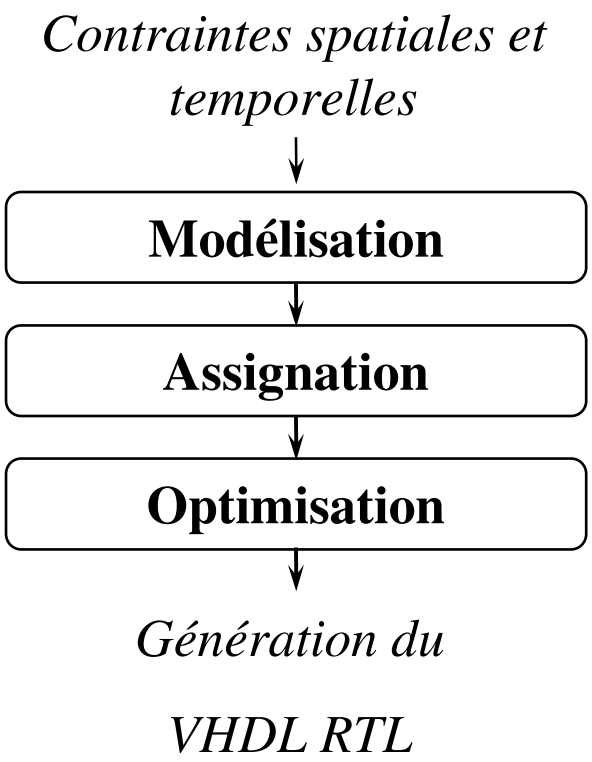
- Durée de vie des données



Nécessité de disposer d'un flot de conception dédié

Flot de synthèse

- Flot de synthèse d'un composant STAR

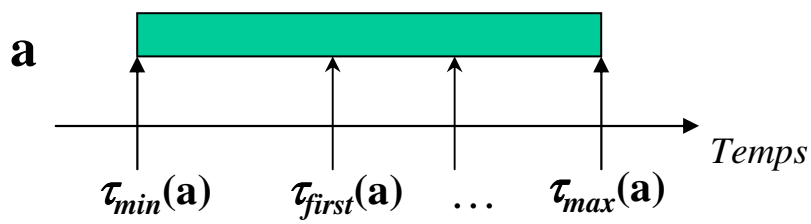


Graphe de Compatibilité des Ressources

- Soit *G(V, E)* un RCG
  - L'ensemble des **nœuds** $V=\{v_0, \ldots, v_n\}$ représente les **données**
  - L'ensemble des **arcs** $E=\{(v_i, v_j)\}$ représente les compatibilités **entre les données**
  - Une étiquette $t_{ij} \in T$ est associée à chaque arc (v_i, v_j),
    *T= {Registre **R**, FIFO **F**, LIFO **L**}*
- Construit à partir des durées de vie des données

Graphe de Compatibilité des Ressources

- Soit *G(V, E)* un RCG
  - L'ensemble des **nœuds** $V=\{v_0, \ldots, v_n\}$ représente les **données**
  - L'ensemble des **arcs** $E=\{(v_i, v_j)\}$ représente les compatibilités **entre les données**
  - Une étiquette $t_{ij} \in T$ est associée à chaque arc (v_i, v_j),
    T= {Registre R, FIFO F, LIFO L}
- Construit à partir des durées de vie des données

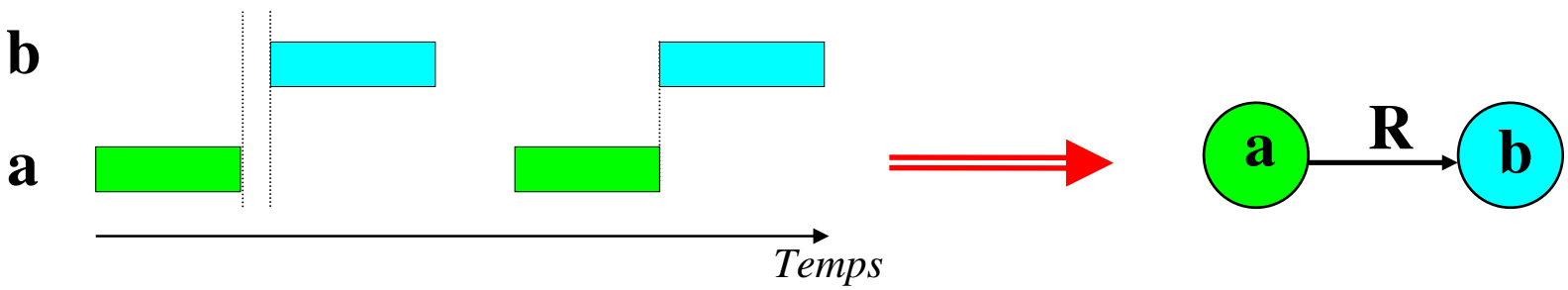


- $\tau_{min}(a)$: accès en écriture à la donnée *a* dans le STAR
- $\tau_{first}(a)$: *premier* accès en lecture à la donnée *a* dans le STAR
- $\tau_{max}(a)$: *dernier* accès en lecture à la donnée *a* dans le STAR
- $\tau_{Ri}(a)$: $i^{ième}$ accès en lecture à la donnée *a* dans le STAR
  (*first < i < max*)

Identification des types de compatibilité

- Définition formelle
  - $\tau_{min}(b) \geq \tau_{max}(a)$

    => Registre



- Durées de vie non recouvrantes

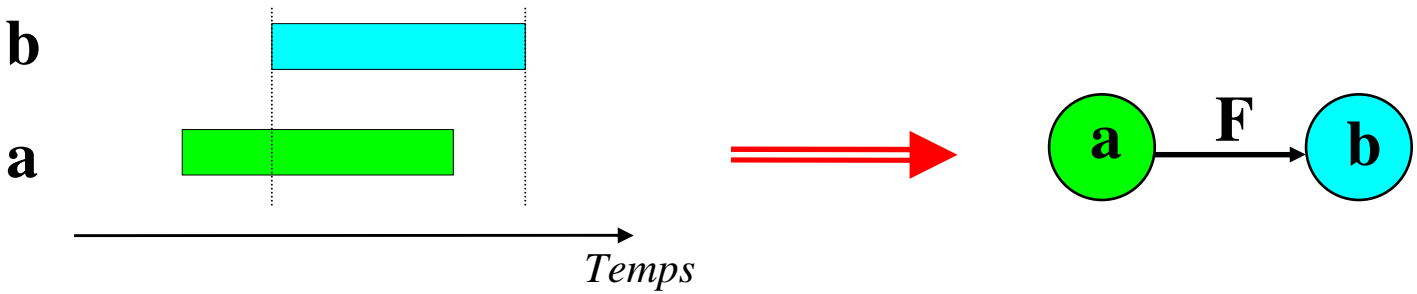
  arc étiqueté R (Registre)

Identification des types de compatibilité

- Définition formelle
  - $\tau_{min}(b) > \tau_{min}(a)$ *et* $\tau_{first}(b) > \tau_{max}(a)$

  et
  - $\tau_{min}(b) < \tau_{max}(a)$

  => FIFO



- Durées de vie partiellement recouvrantes

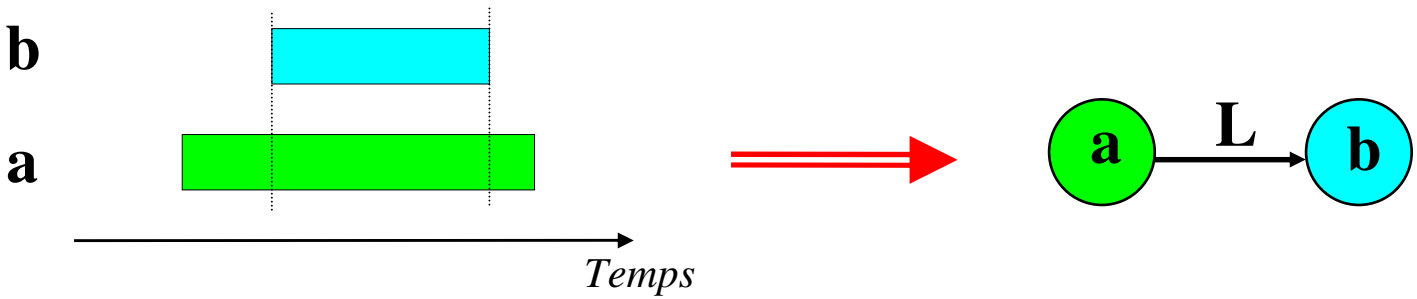
  arc étiqueté F (FIFO)

Identification des types de compatibilité

- Définition formelle
  - $\tau_{min}(b) > \tau_{min}(a)$ *et* $\tau_{first}(a) < \tau_{max}(b)$

  ou
  - $\tau_{Ri}(a) < \tau_{min}(b) < \tau_{max}(b) < \tau_{Ri+1}(a)$

  => LIFO



- Durées de vie **recouvrantes-incluantes**

  arc étiqueté **L** (LIFO)

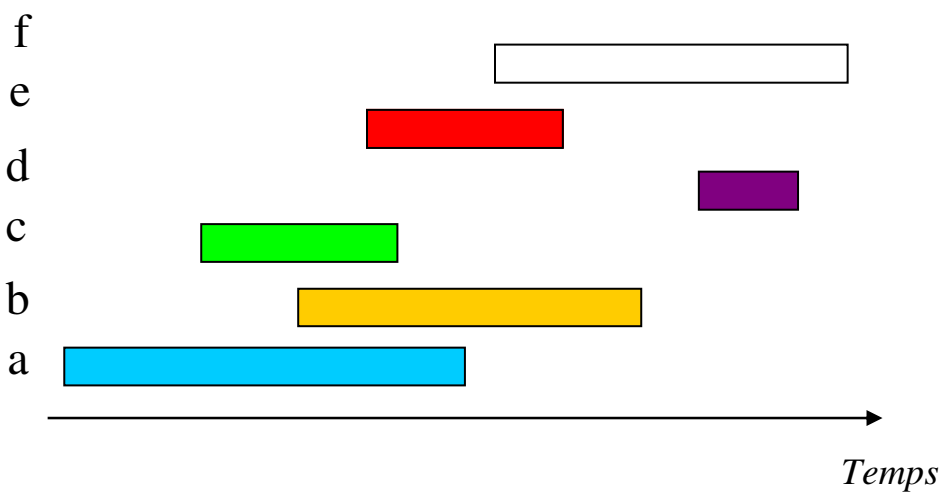
Identification des types de compatibilité

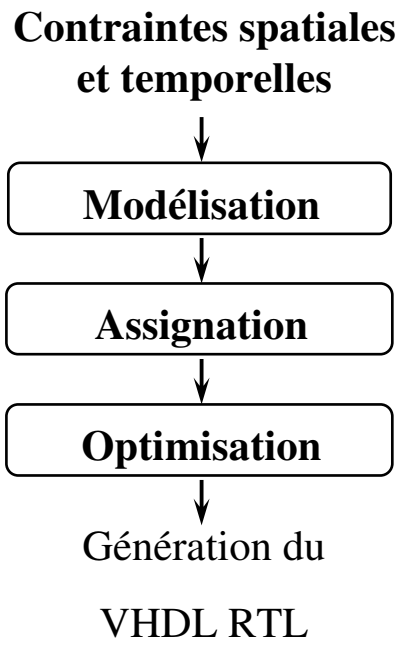
- Dans tous les autres cas

  => Deux éléments mémorisants distincts

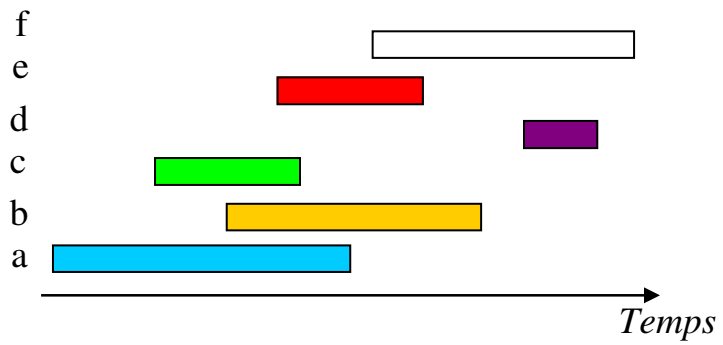
- Pas d'arc entre les noeuds

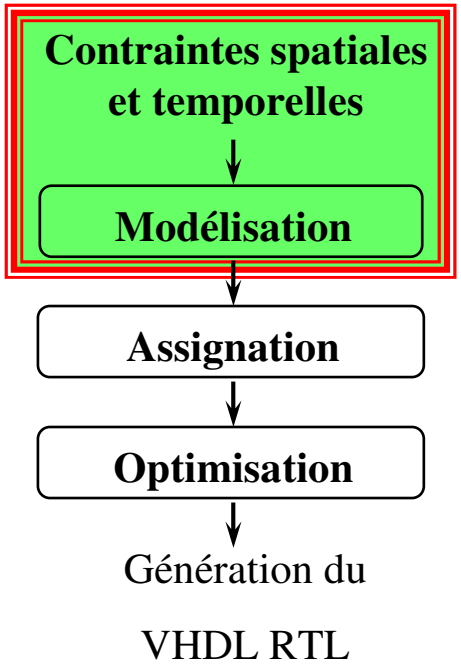
Exemple pédagogique





Construction d'un RCG



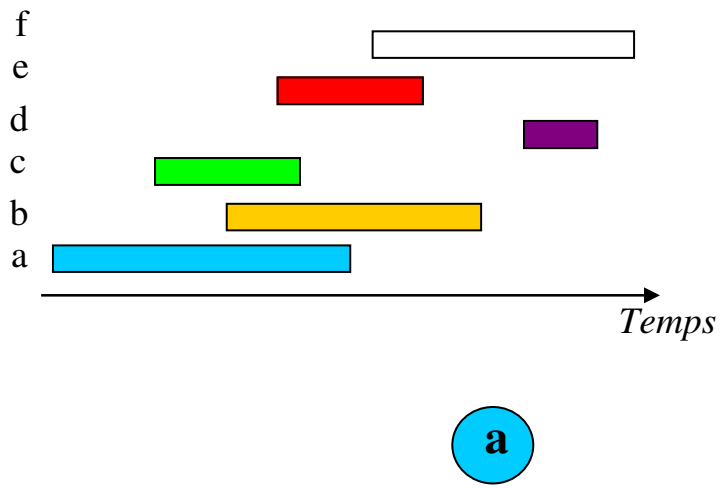


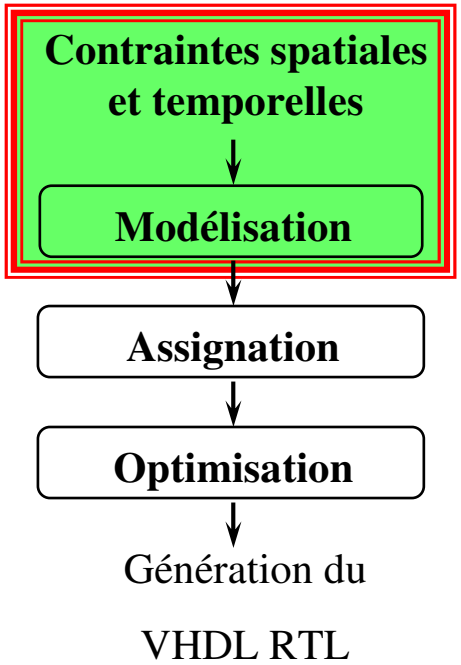
- Principe de construction du RCG
  - Construire tous les arcs de compatibilités possibles allant du noeud *n* vers tous les autres noeuds *i*,

    ssi,

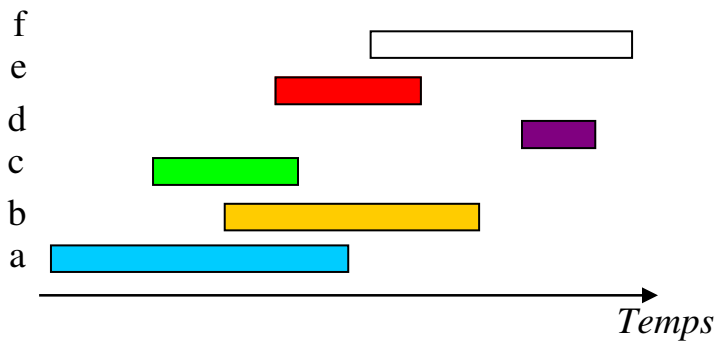
$$\tau_{min}(n) < \tau_{min}(i)$$

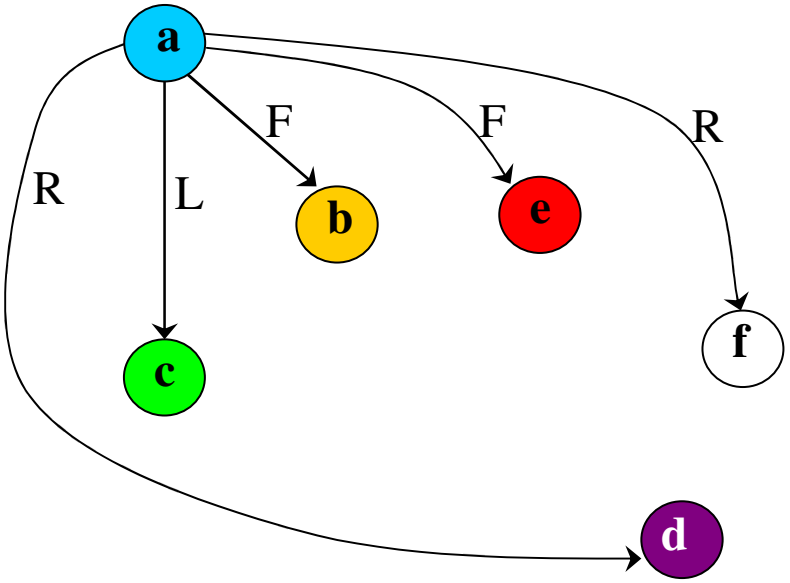
Construction d'un RCG

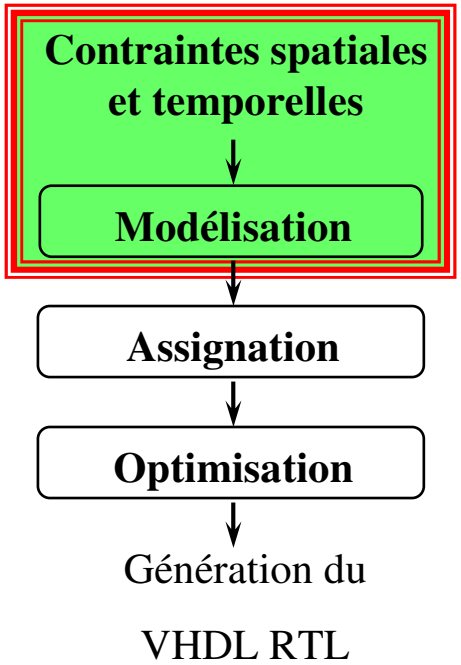




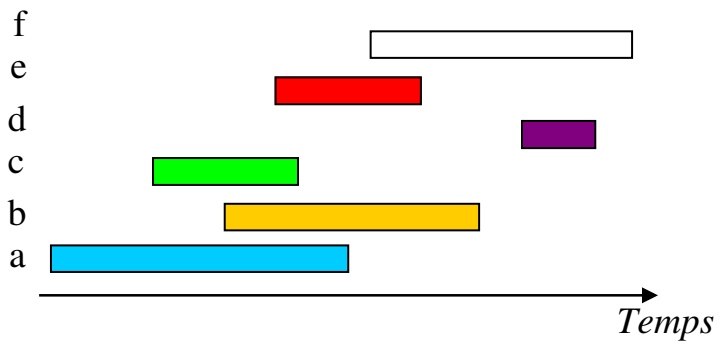
Construction d'un RCG

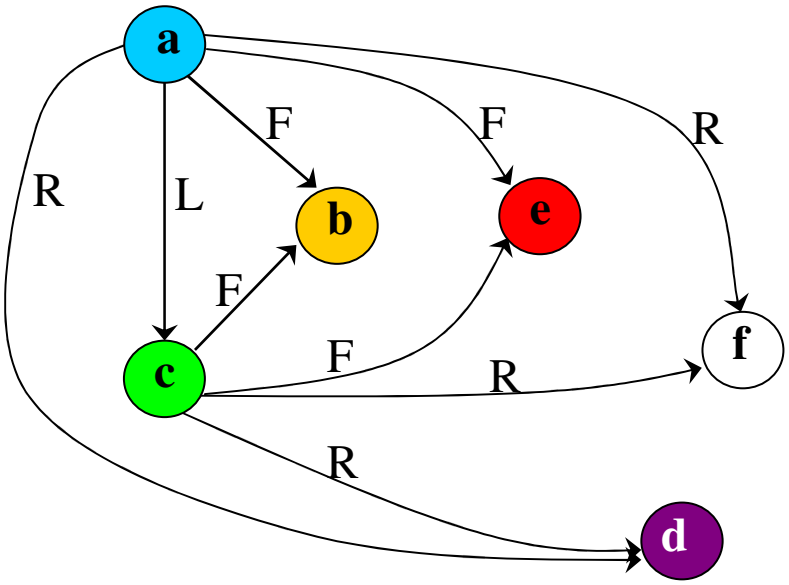


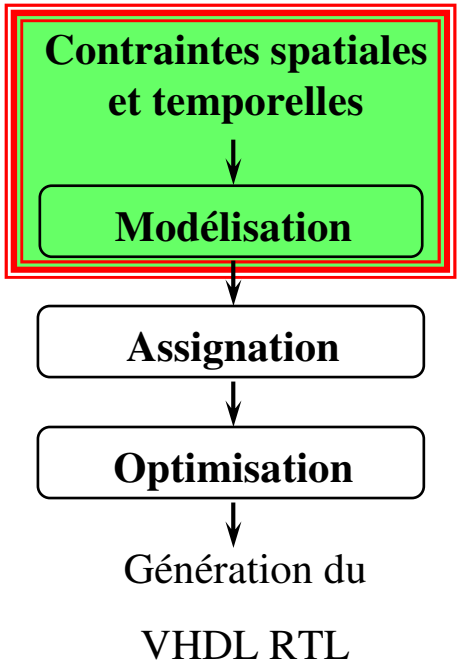




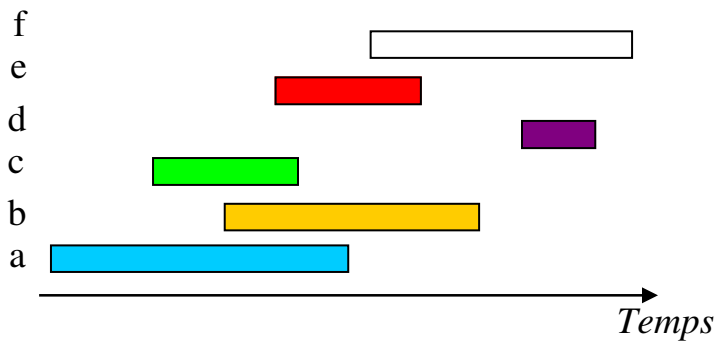
Construction d'un RCG

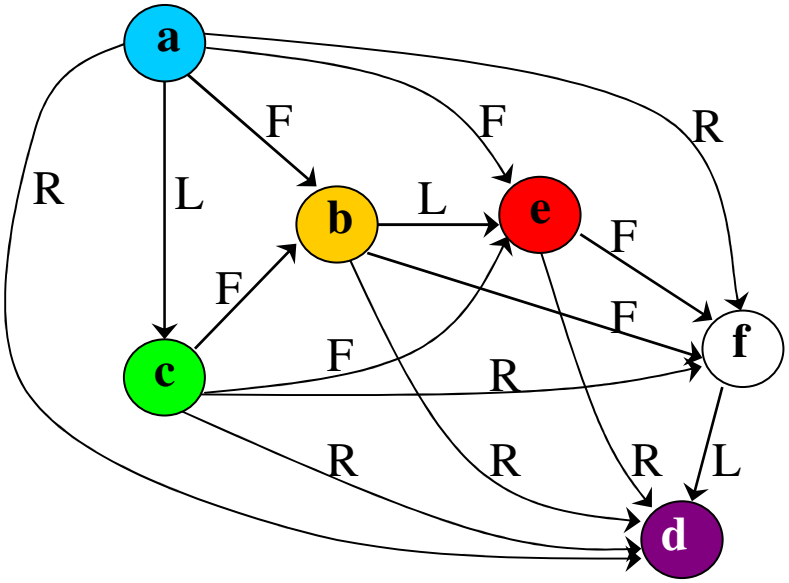


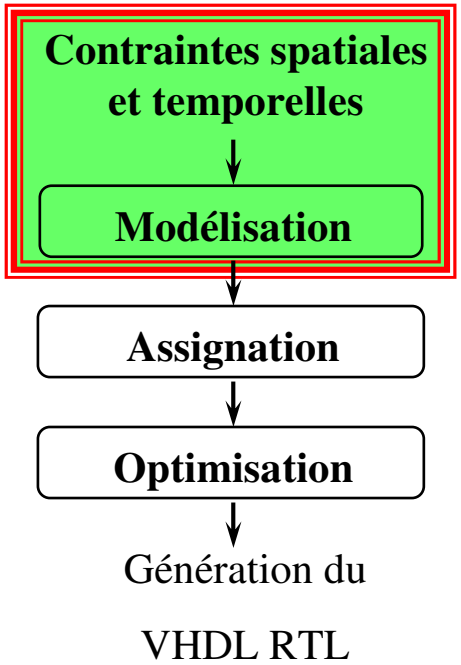




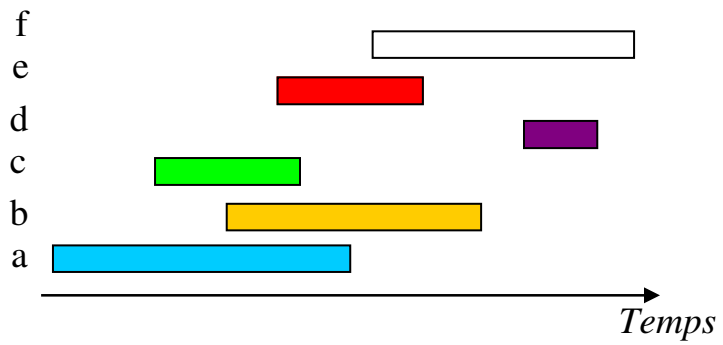
Construction d'un RCG

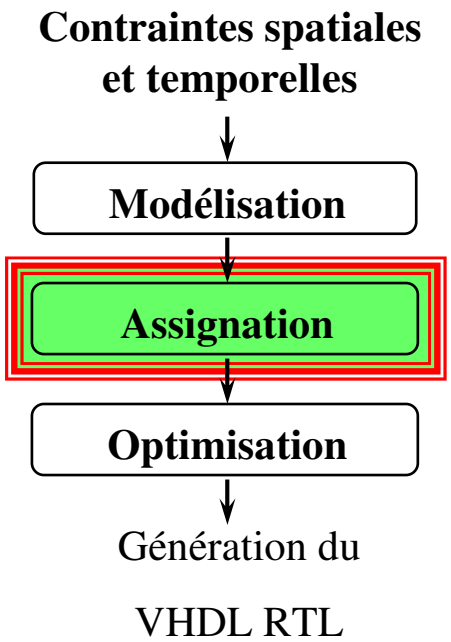






Algorithme d'assignation des éléments FIFOs/LIFOs

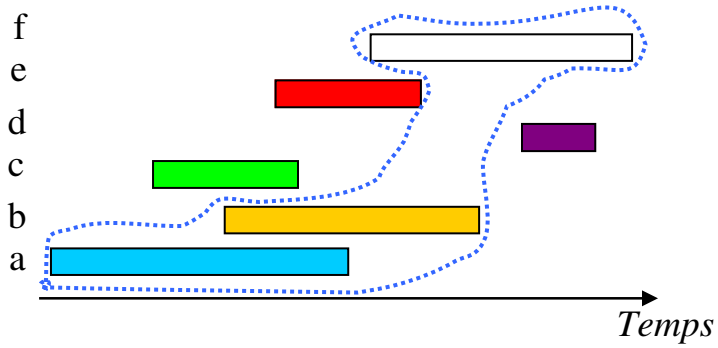


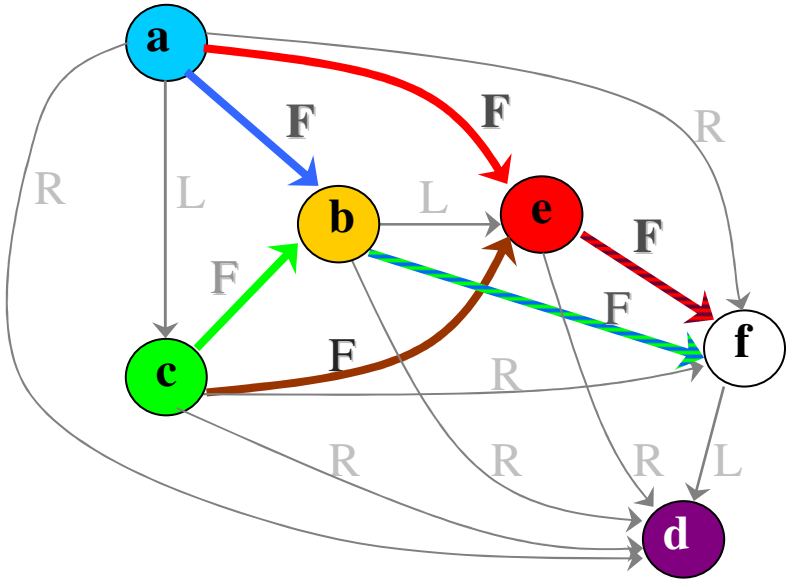


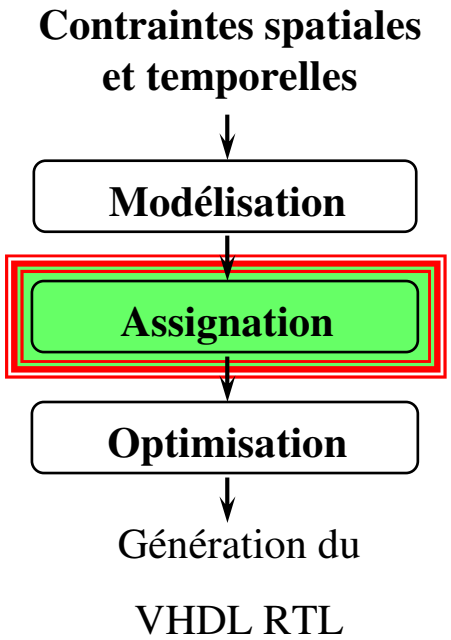
- Assignation des FIFOs/LIFOs
  - Rechercher le *meilleur* chemin FIFO/LIFO
  - Regrouper les nœuds du chemin dans un nœud hiérarchique
  - Explorer le reste du graphe

- Algorithme glouton
- Un chemin FIFO (resp. LIFO) est par construction une clique de compatibilité
  - Un algorithme de recherche de plus grande clique (NP-Complet) devient superfétatoire

Algorithme d'assignation des éléments FIFOs/LIFOs

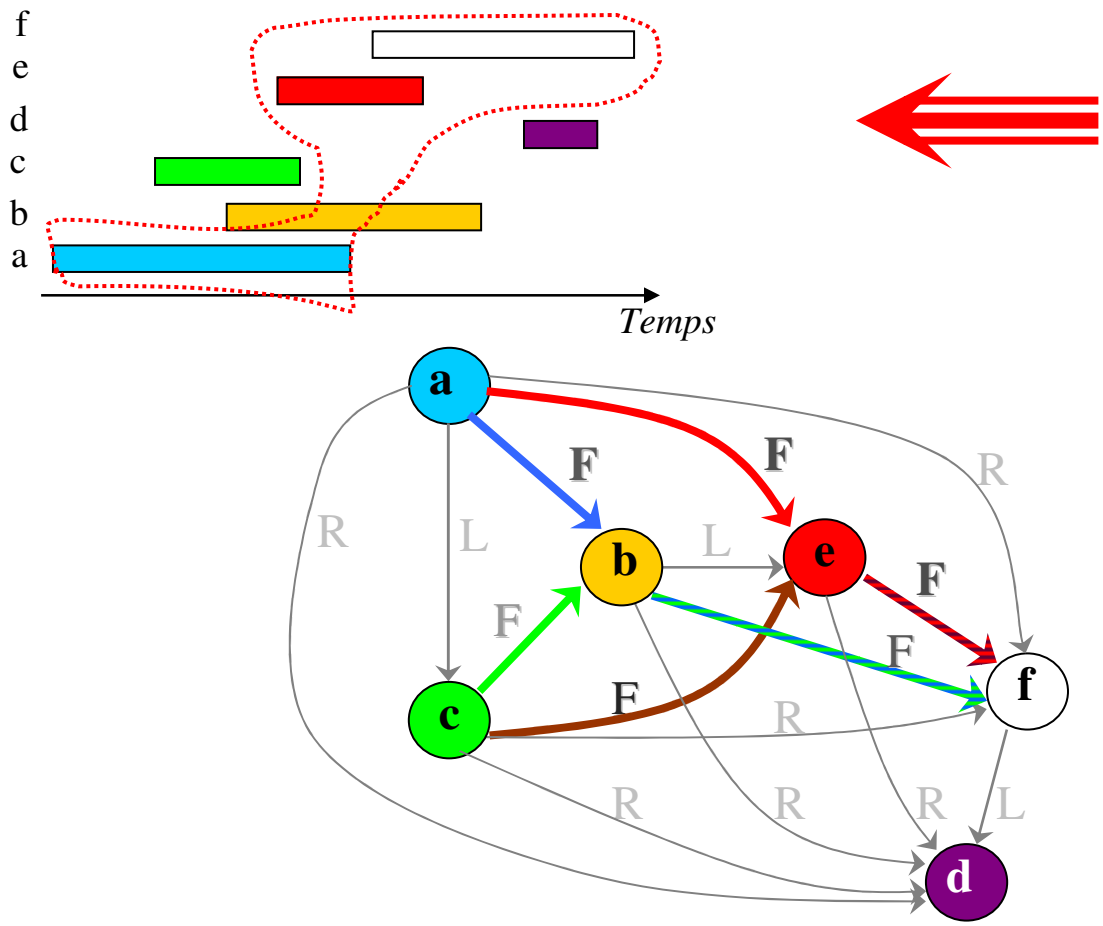


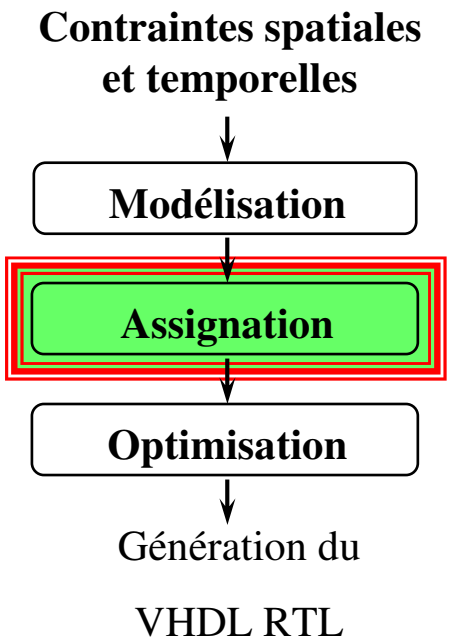




- Plusieurs solutions d'assignation (FIFO{a,b,f} ou FIFO{c,e,f} ...)

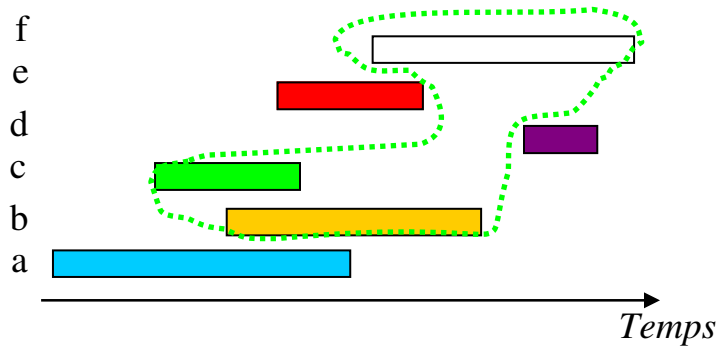
Algorithme d'assignation des éléments FIFOs/LIFOs

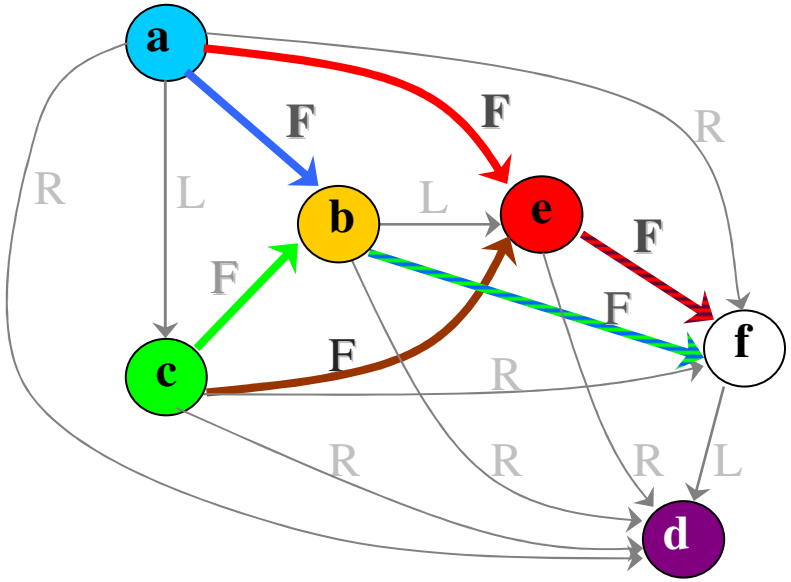


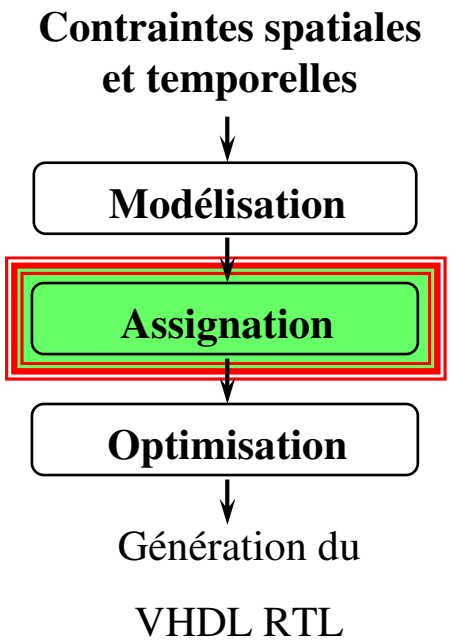


- Plusieurs solutions d'assignation (FIFO{a,b,f} ou FIFO{c,e,f} ...)

Algorithme d'assignation des éléments FIFOs/LIFOs

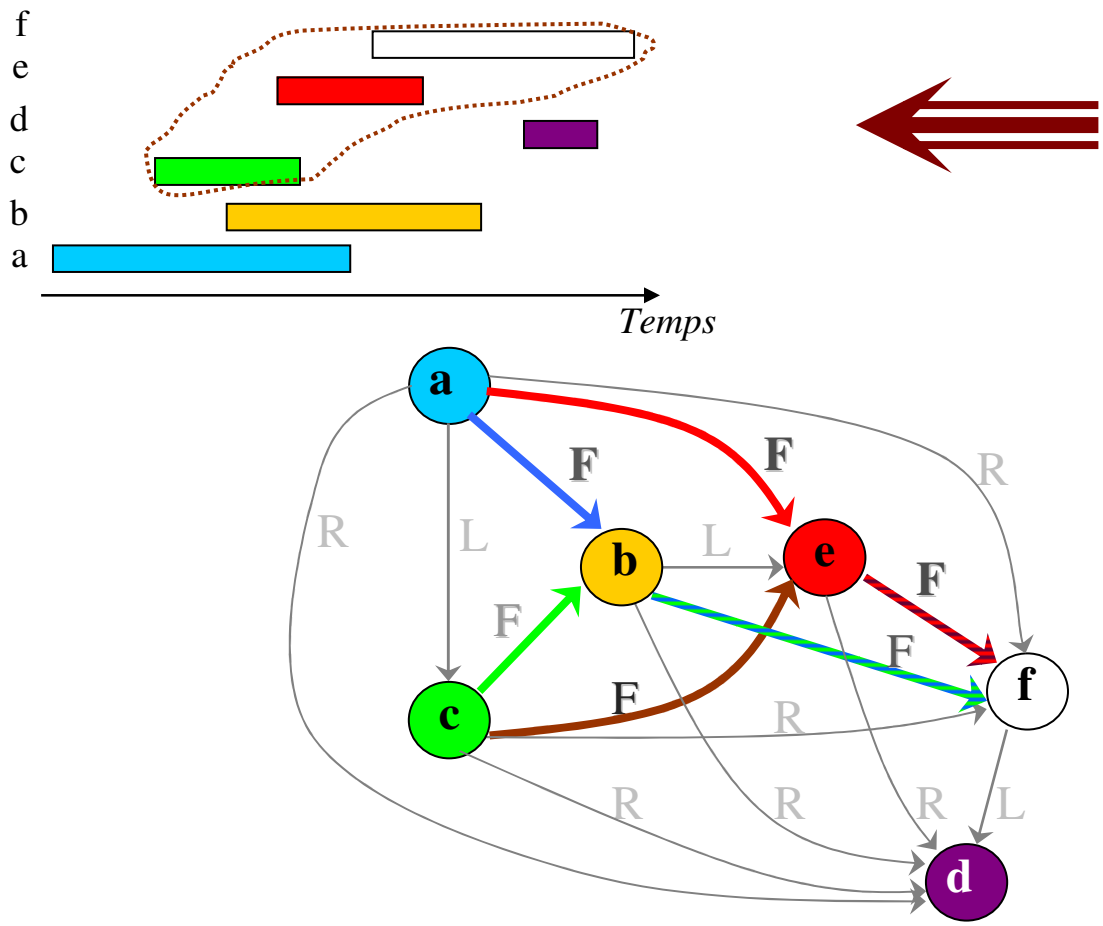


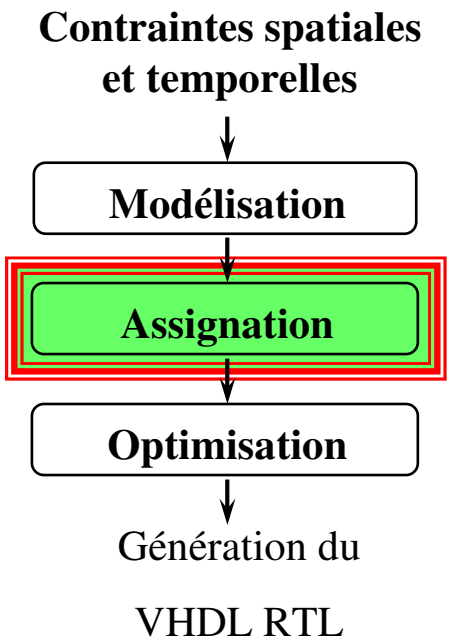




- Plusieurs solutions d'assignation (FIFO{a,b,f} ou FIFO{c,e,f} ...)

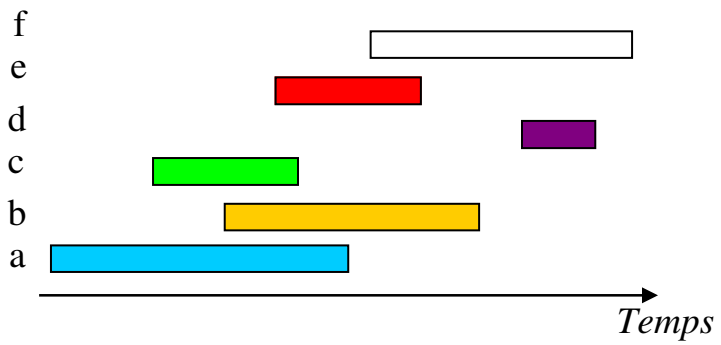
Algorithme d'assignation des éléments FIFOs/LIFOs

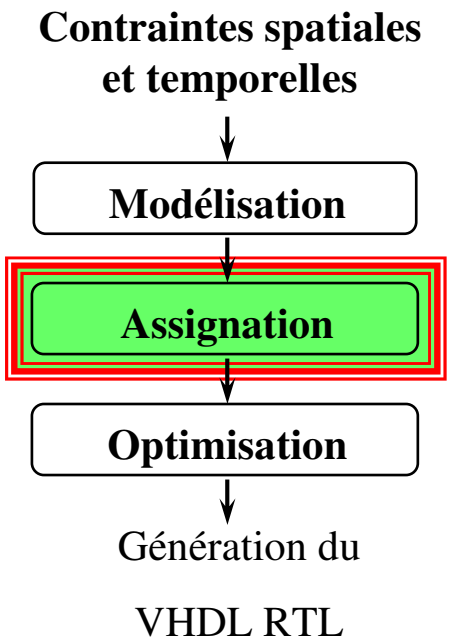




- Plusieurs solutions d'assignation (FIFO{a,b,f} ou FIFO{c,e,f} ...)

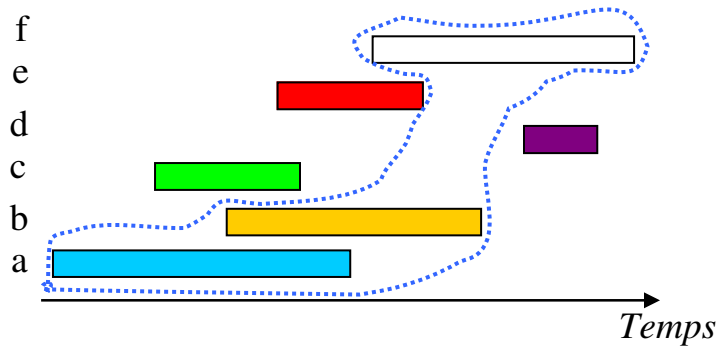
Algorithme d'assignation des éléments FIFOs/LIFOs

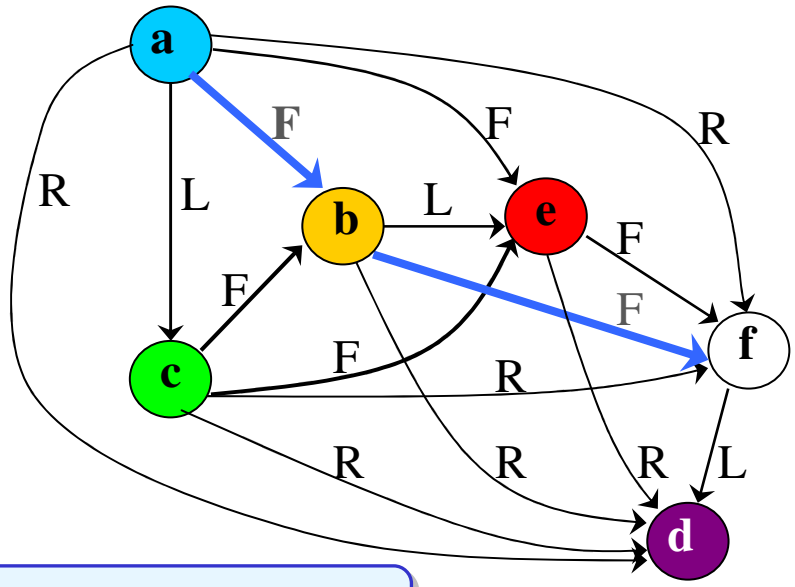


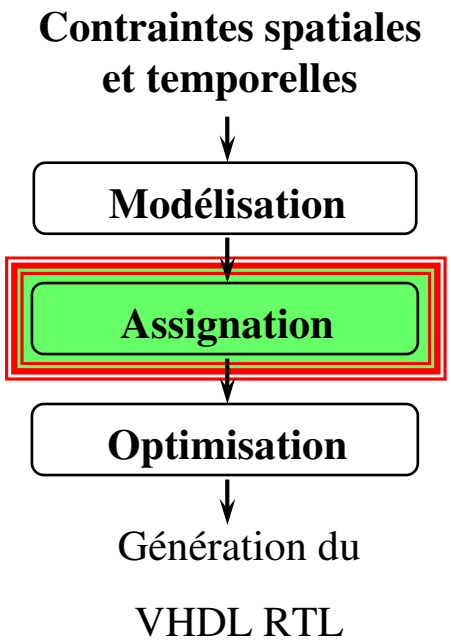


- Métriques d'exploration
  - *Taille minimale/maximale des FIFOs/LIFOs*
  - *Taux de remplissage des FIFOs/LIFOs*
  - *Facteur de complexité de multiplexage*

Algorithme d'assignation des éléments FIFOs/LIFOs

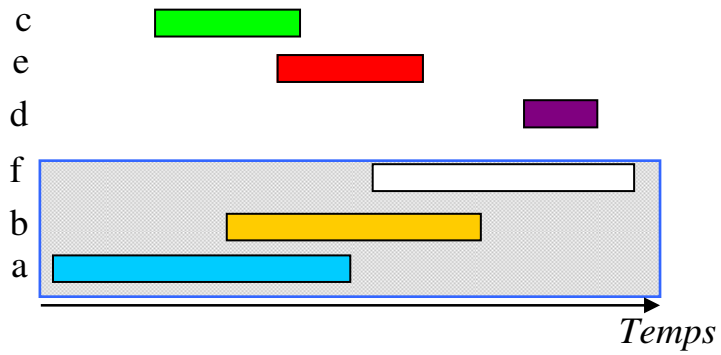


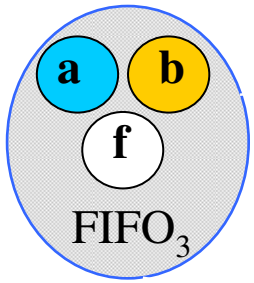


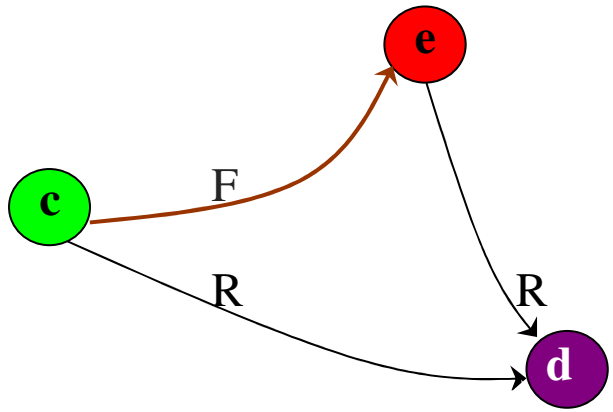


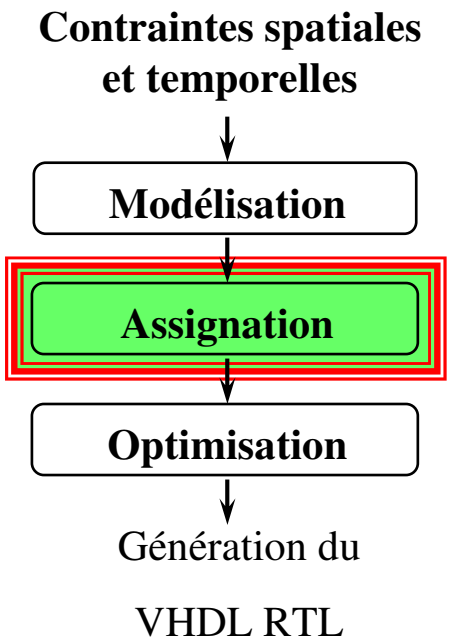
- Sélection d'un chemin: FIFO{a,b,f}

Algorithme d'assignation des éléments FIFOs/LIFOs



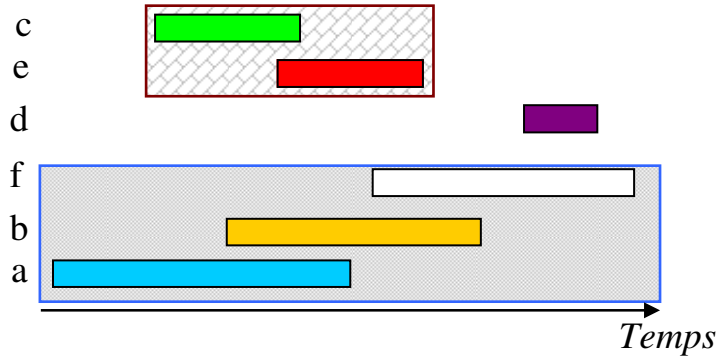


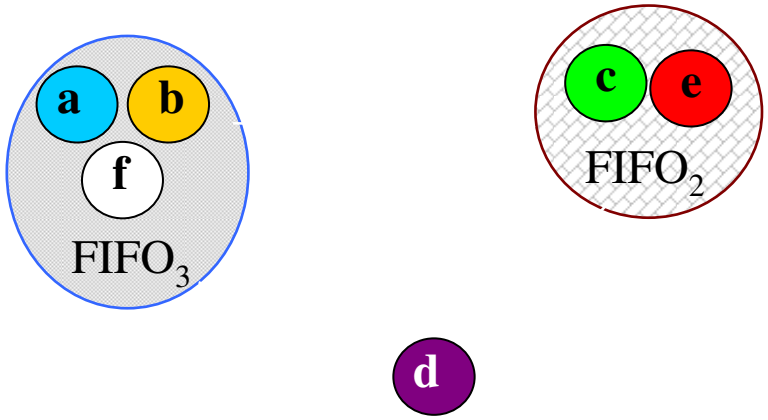


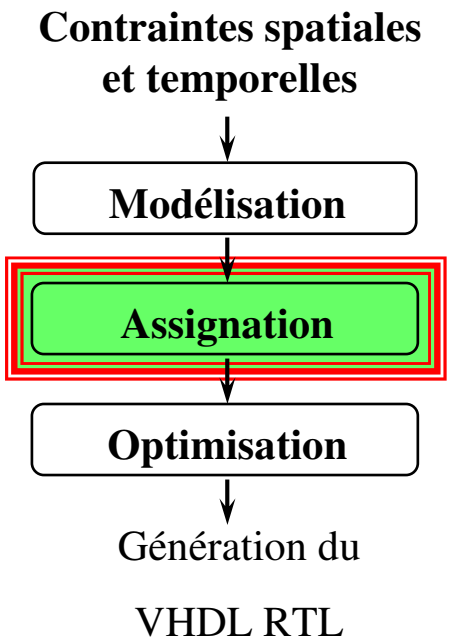


- Sélection d'un chemin: FIFO{c,e}

Algorithme d'assignation des éléments FIFOs/LIFOs

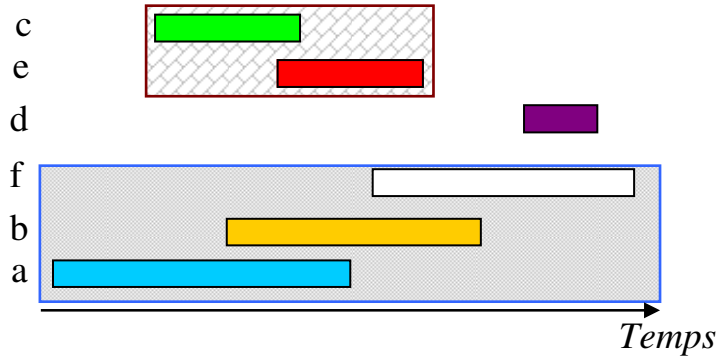


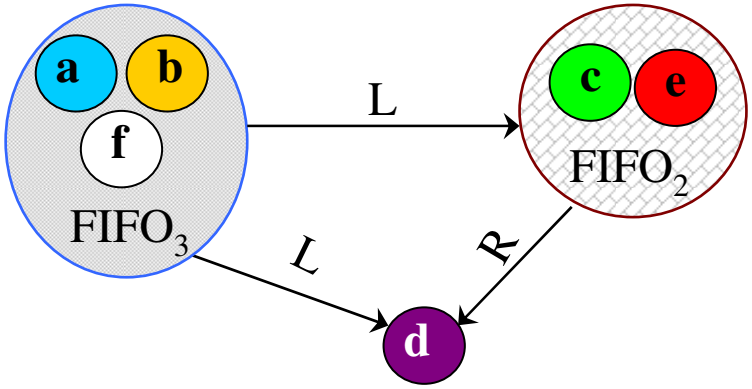


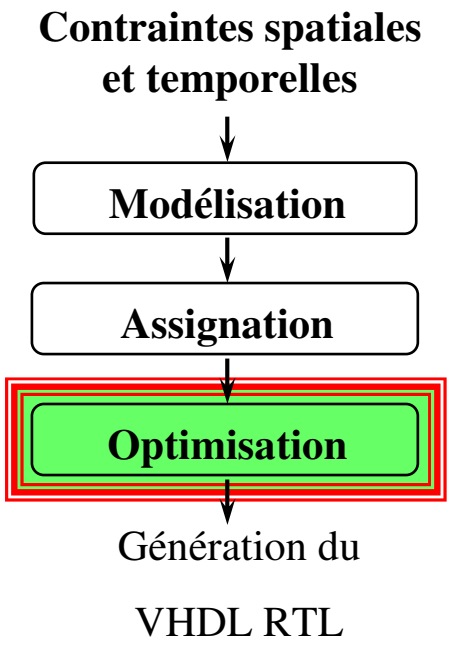


- Sélection d'un chemin: FIFO{c,e}

Algorithme d'optimisation

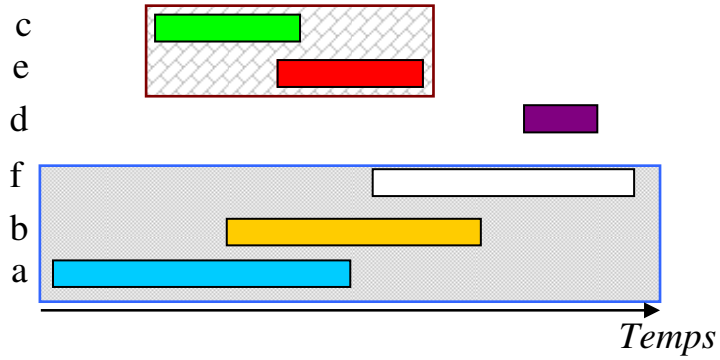


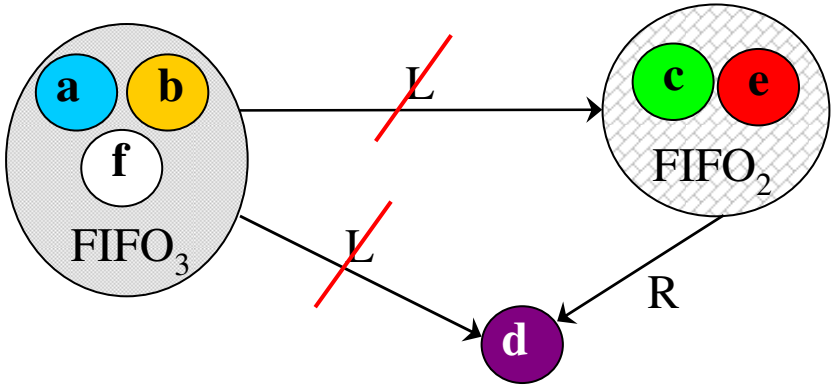


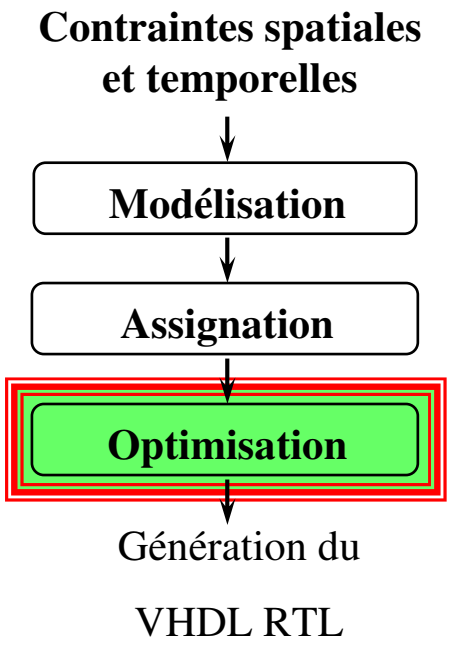


- Construction des relations de compatibilité avec les nœuds hiérarchiques

Algorithme d'optimisation

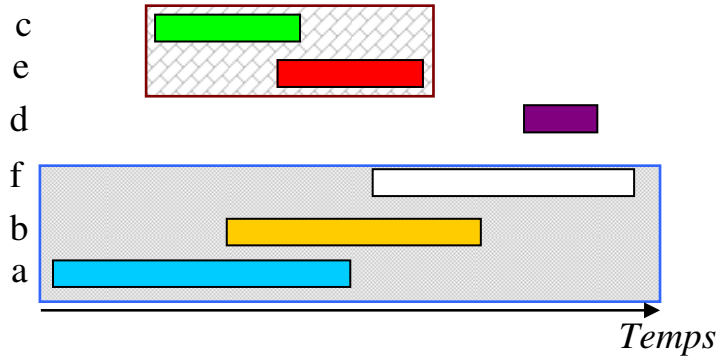


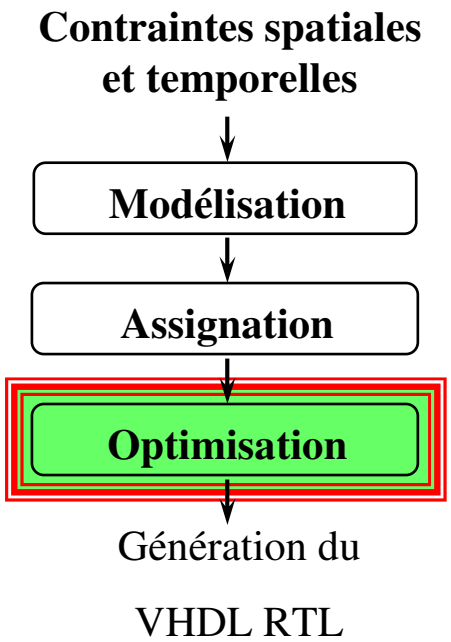




- Non génération des arcs **non pertinents**
  - *Arcs entre des nœuds hiérarchiques de types incompatibles (FIFO et LIFO)*
  - *Arcs étiquetés F ou L entre des nœuds*

Algorithme d'optimisation

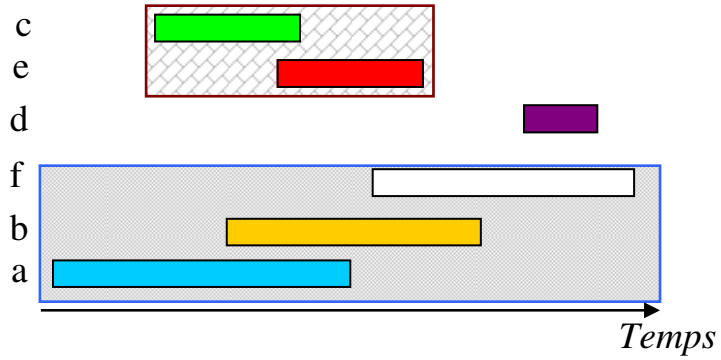


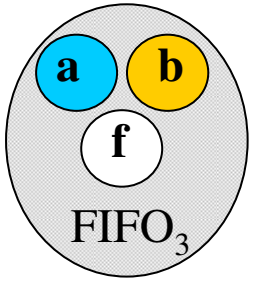


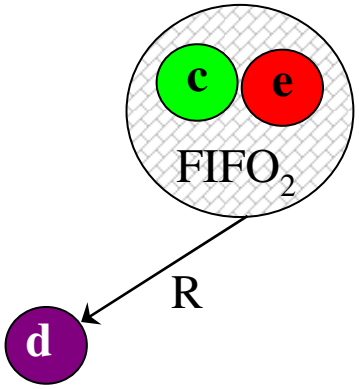
- Optimisation de l'architecture
  - Rechercher le *meilleur* chemin Registre
  - Regrouper les nœuds du chemin dans un nœud hiérarchique
  - Explorer le reste du graphe

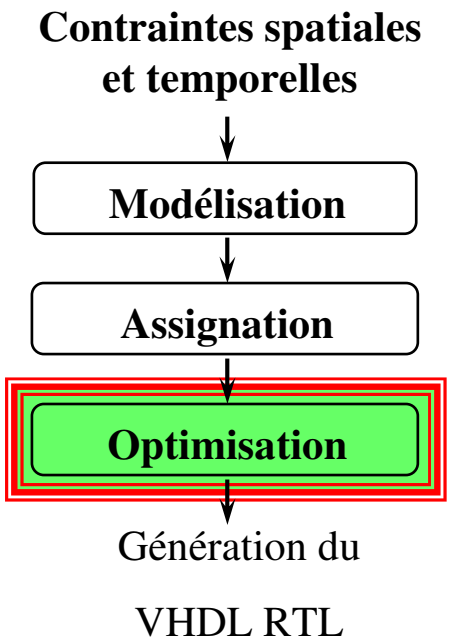
- Algorithme glouton
- Métriques d'exploration
  - *Taux d'utilisation moyen des FIFOs/LIFOs*
  - *Complexité du réseau d'interconnexions*

Algorithme d'optimisation

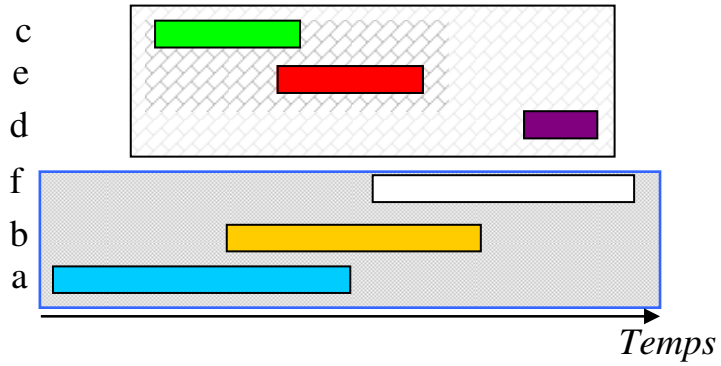


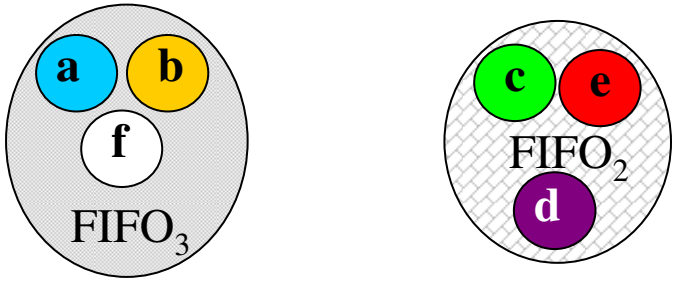


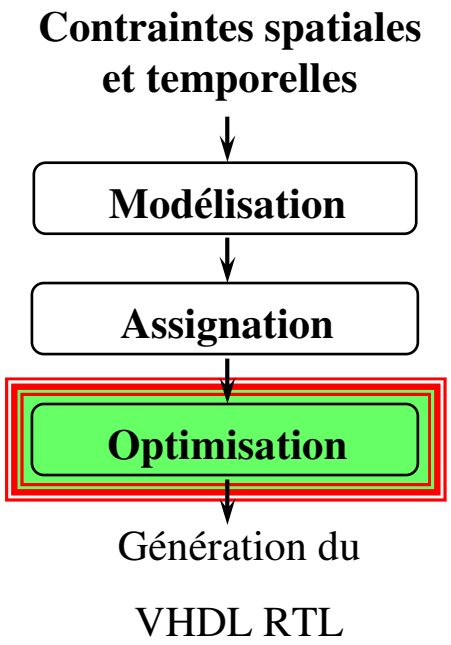




Algorithme d'optimisation







- Architecture résultante
  - Une FIFO de 3 cases qui mémorise 3 données
  - Une FIFO de 2 cases qui mémorise 3 données
  - Une case mémoire gagnée

Flot de synthèse

- Flot de synthèse d'un composant STAR

Contraintes spatiales et temporelles

↓

Modélisation

↓

Assignation

↓

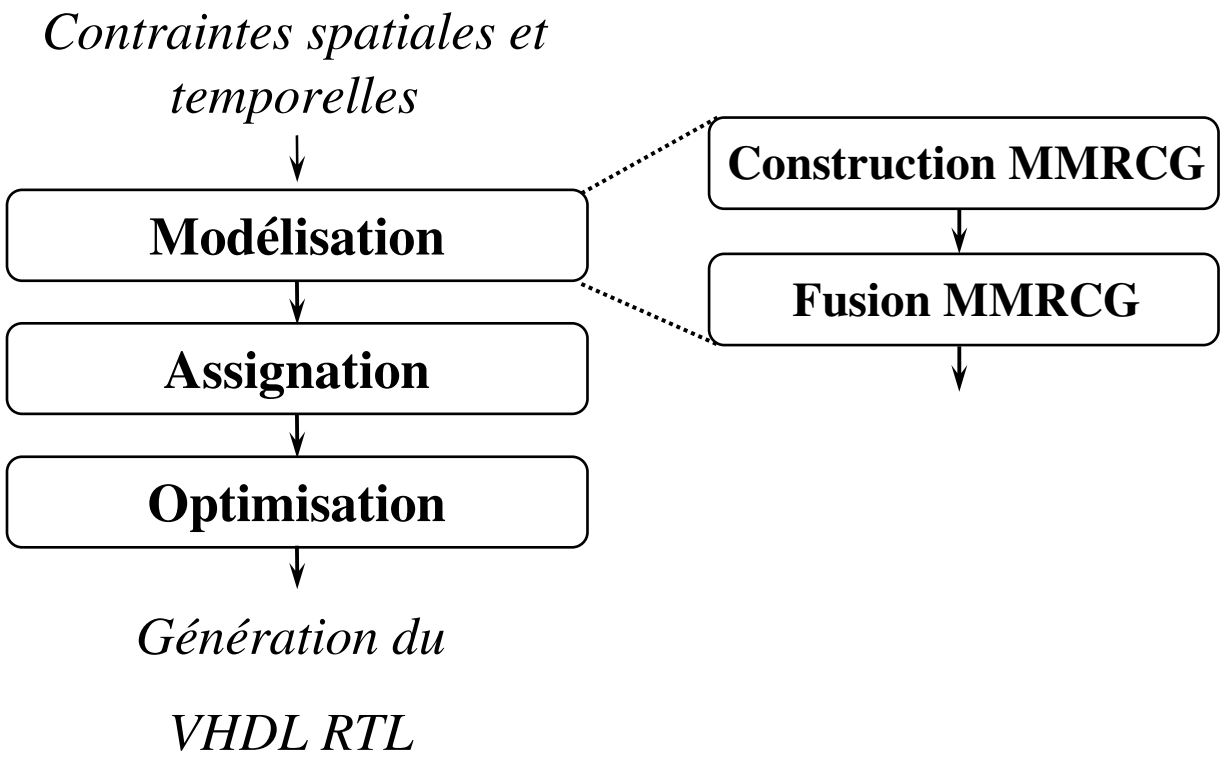
Optimisation

↓

Génération du VHDL RTL

Exploration d'architecture Multi-Mode

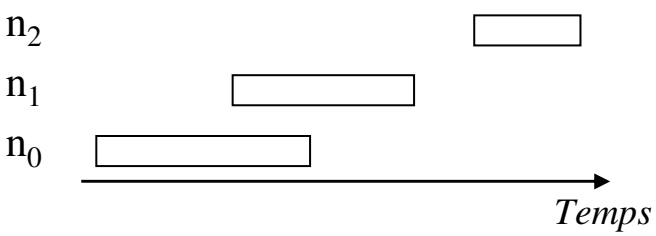
- Plusieurs de modes de fonctionnement différents
  - Modéliser les différents modes (MMRCG)
  - Fusionner les modes
  - Explorer l'espace des solutions architecturales



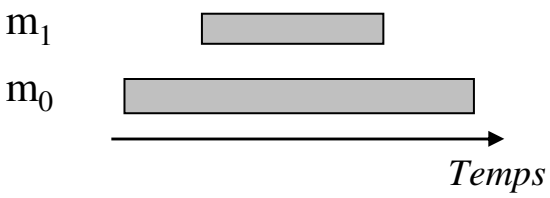
Construction d'un MMRCG

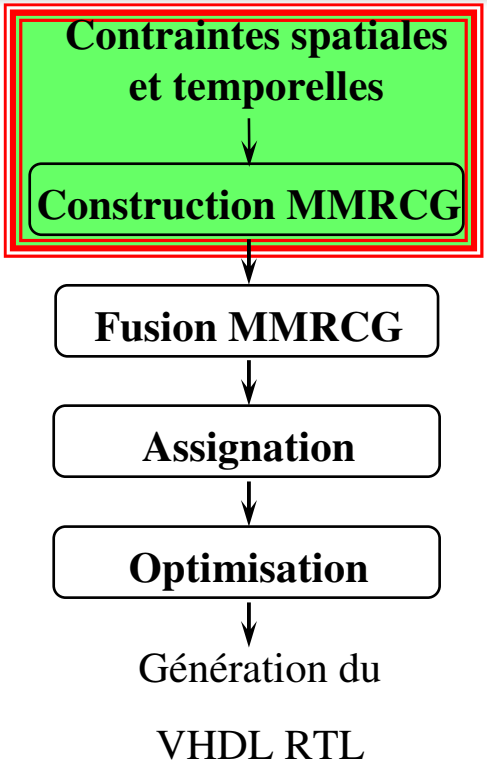
- Deux modes de fonctionnement différents

Mode 0



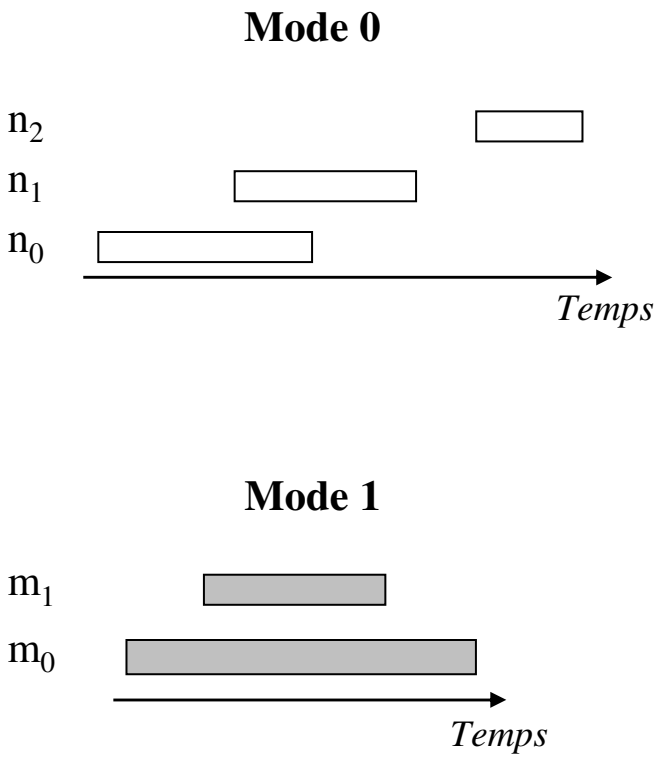
Mode 1

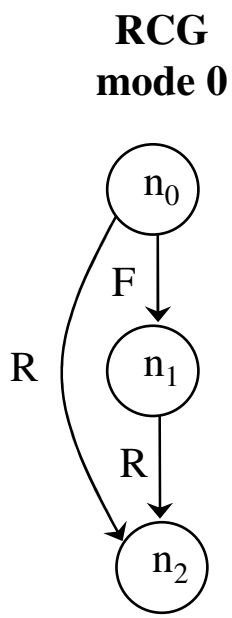


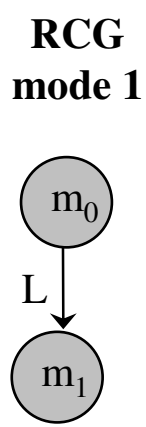


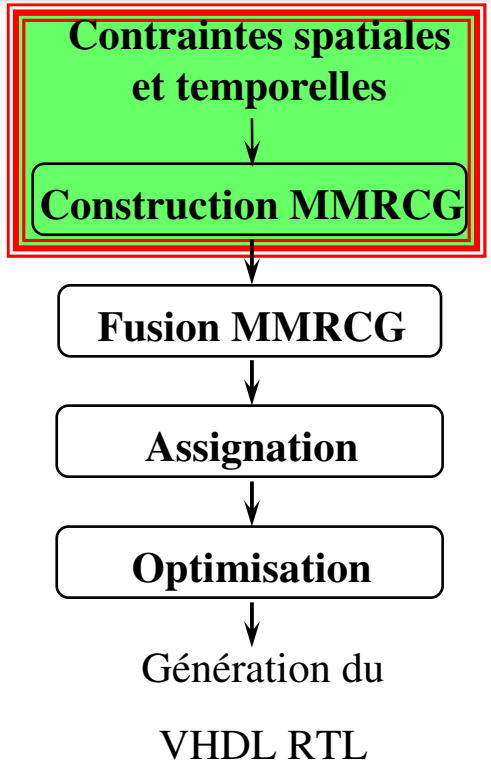
Construction d'un MMRCG

- Construction des RCGs de chaque modes



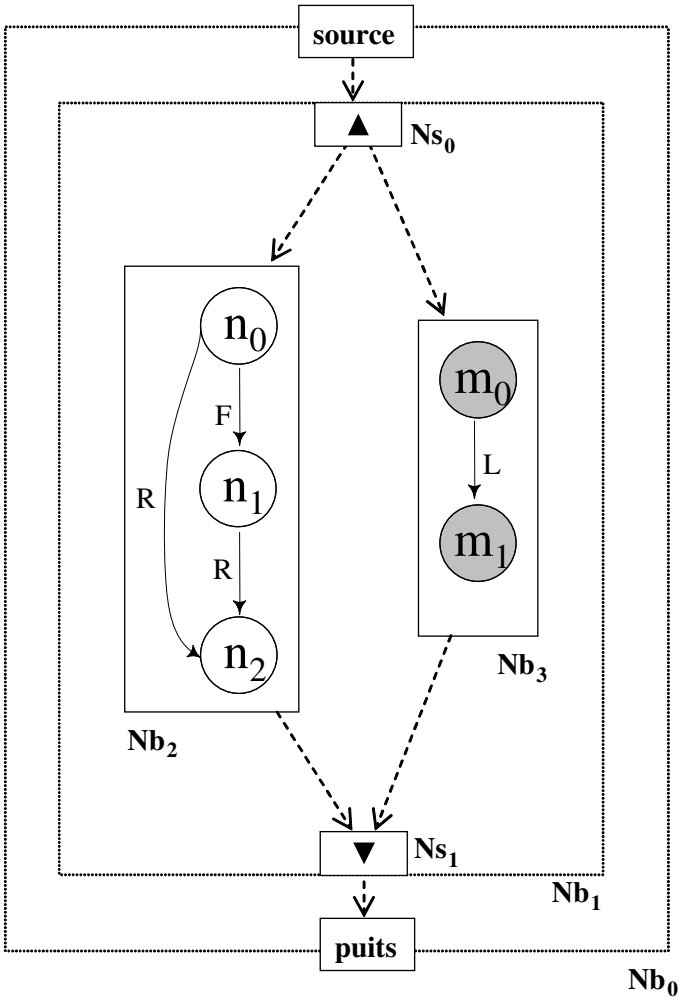






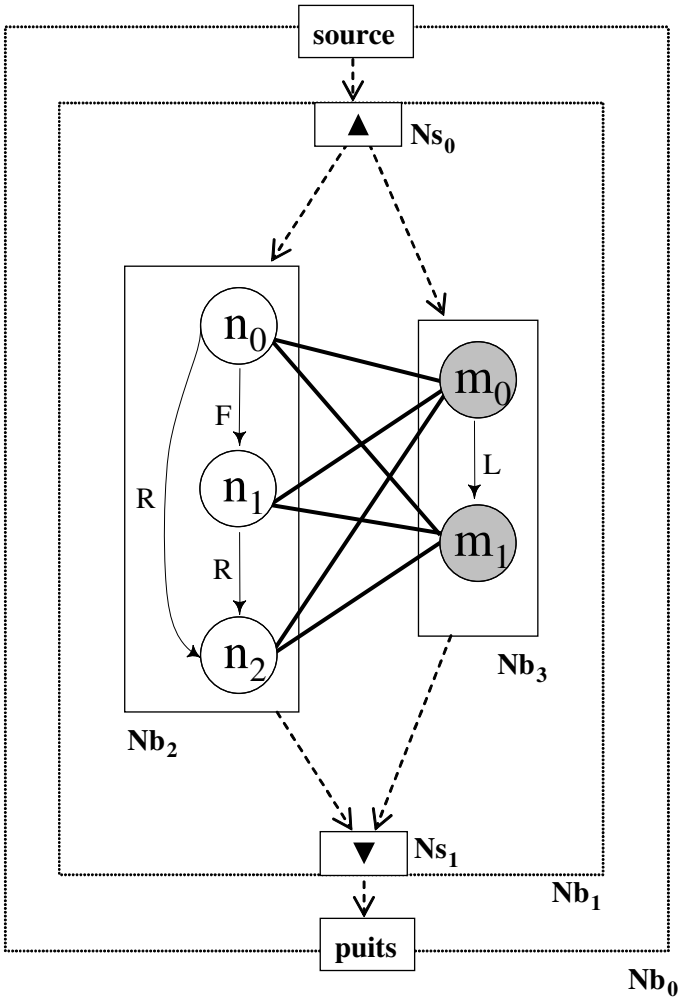
Construction d'un MMRCG

- Modéliser les différents modes
  - Hiérarchie
  - Nœuds de disjonction
  - Arcs de contrôle



Construction d'un MMRCG

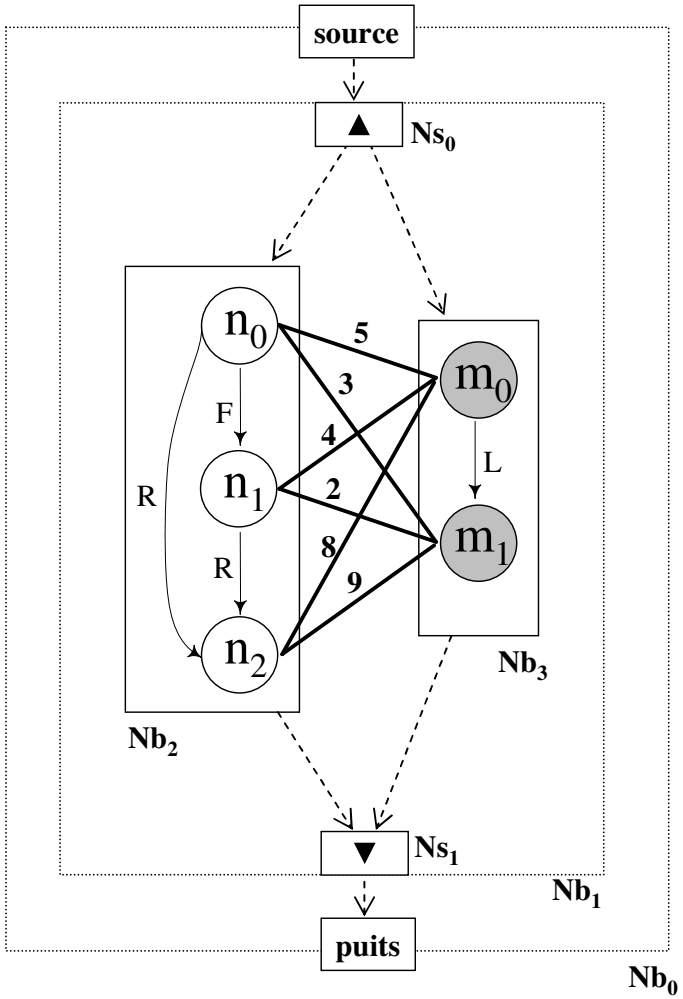
- Modéliser les différents modes
  - Hiérarchie
  - Nœuds de disjonction
- Fusionner les modes
  - Arêtes de vraisemblance
  - Coût de la fusion des noeuds



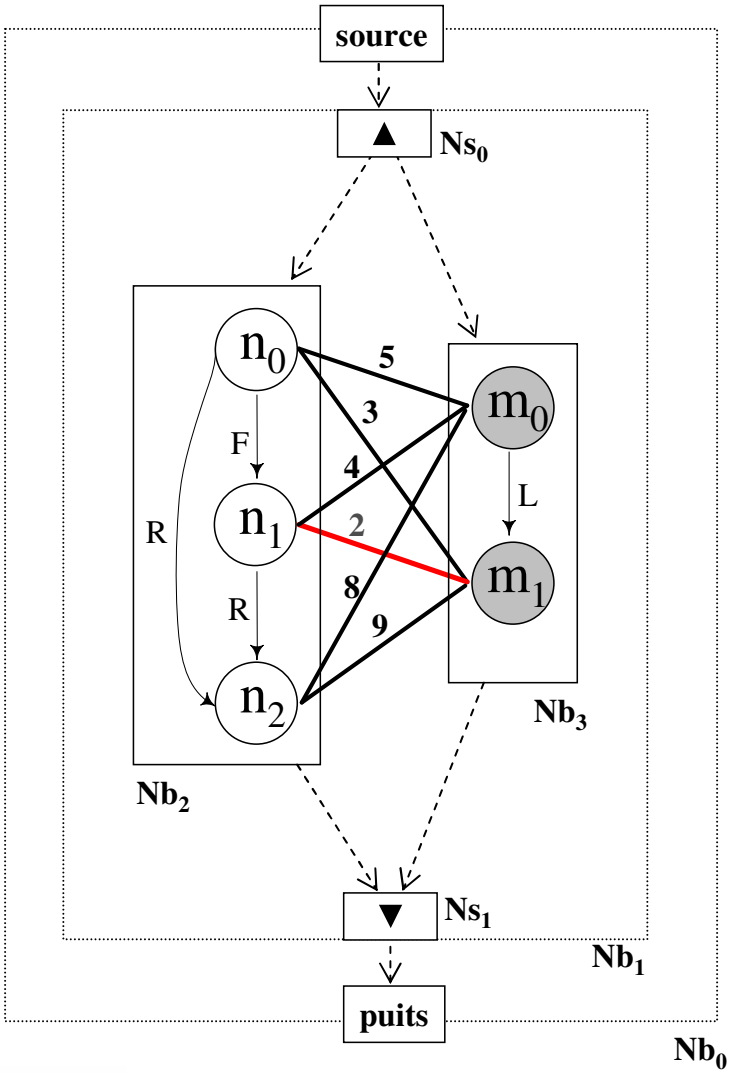
Construction d'un MMRCG

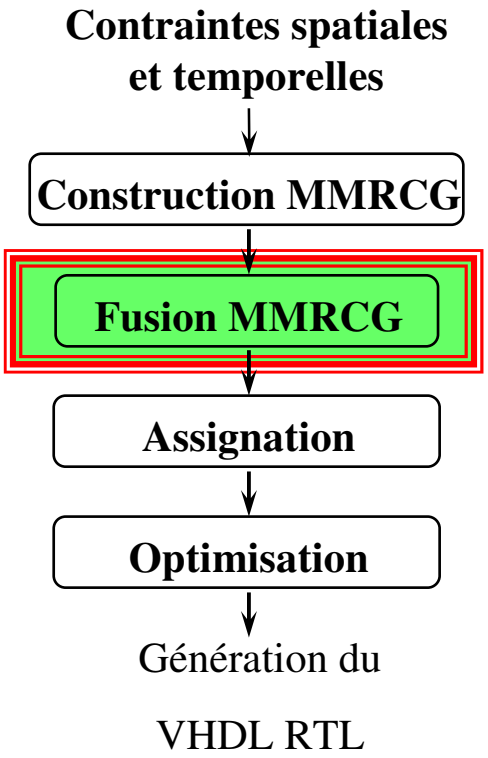
- Modéliser les différents modes
  - Hiérarchie
  - Nœuds de disjonction
- Fusionner les modes
  - Arêtes de vraisemblance
  - Coût de la fusion des noeuds

- Coût de la fusion des nœuds
  - Coût local (impacts assignation et multiplexage)
  - Coût global (impact sur la fusion)

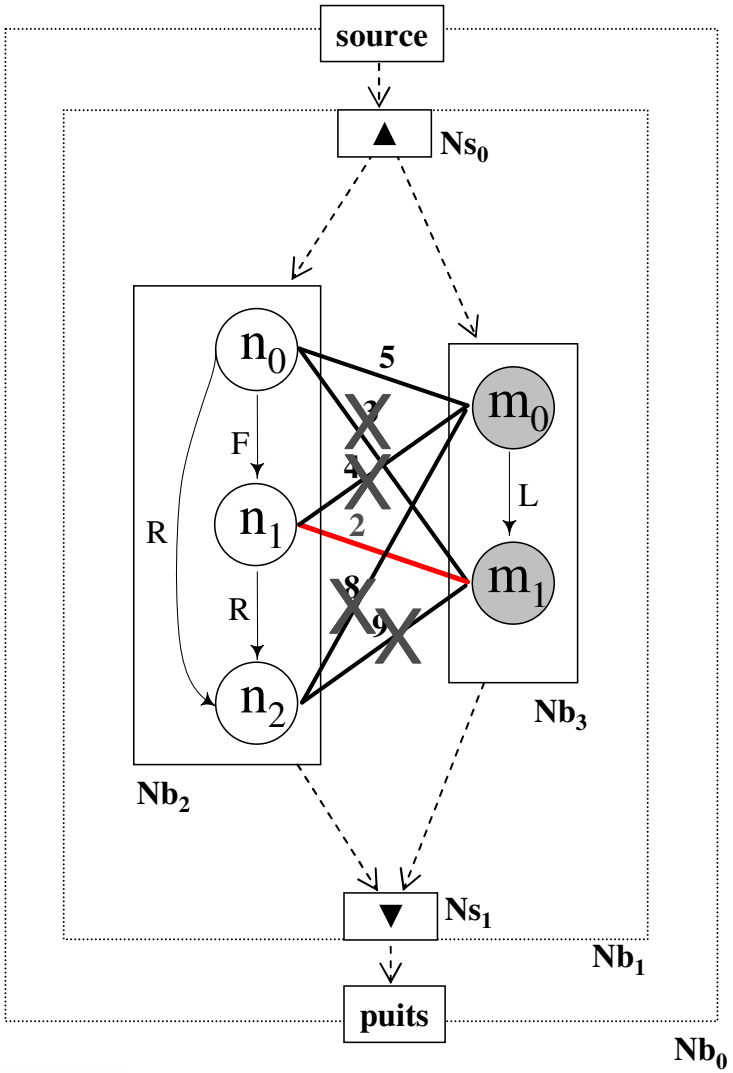


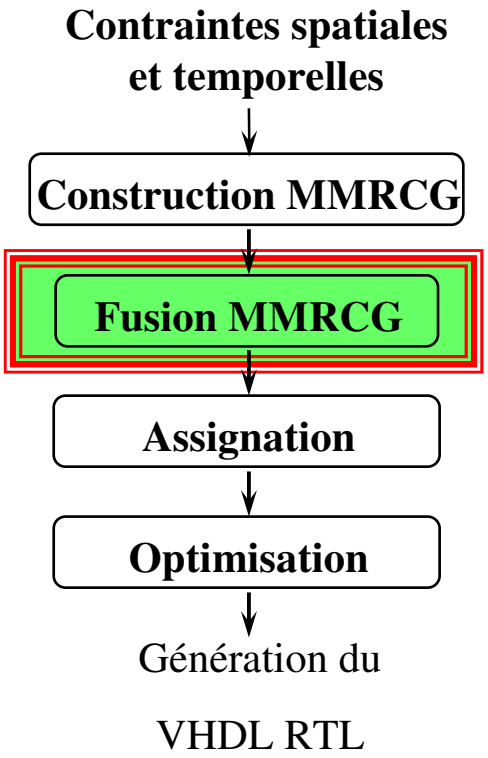
Construction d'un MMRCG



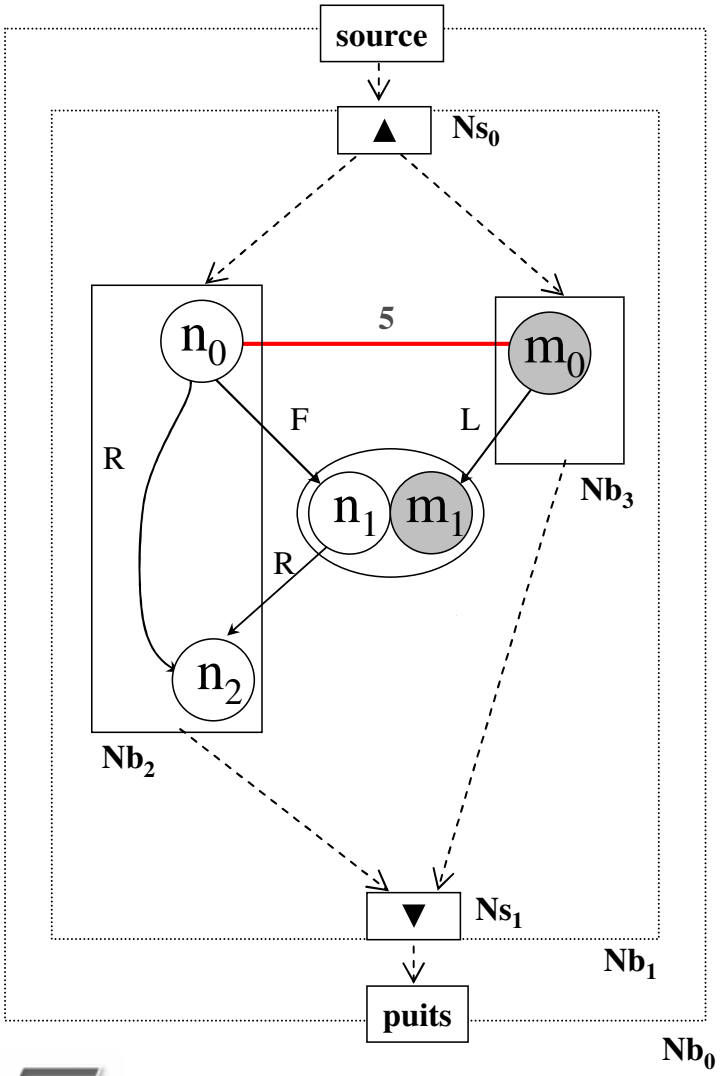


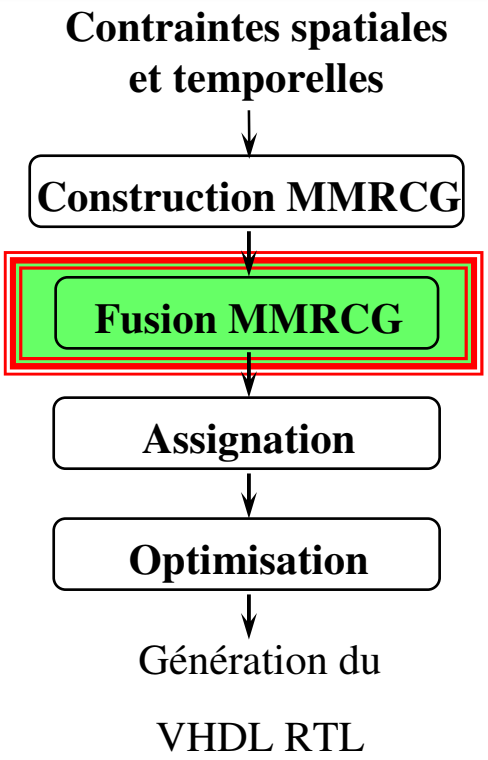
Construction d'un MMRCG



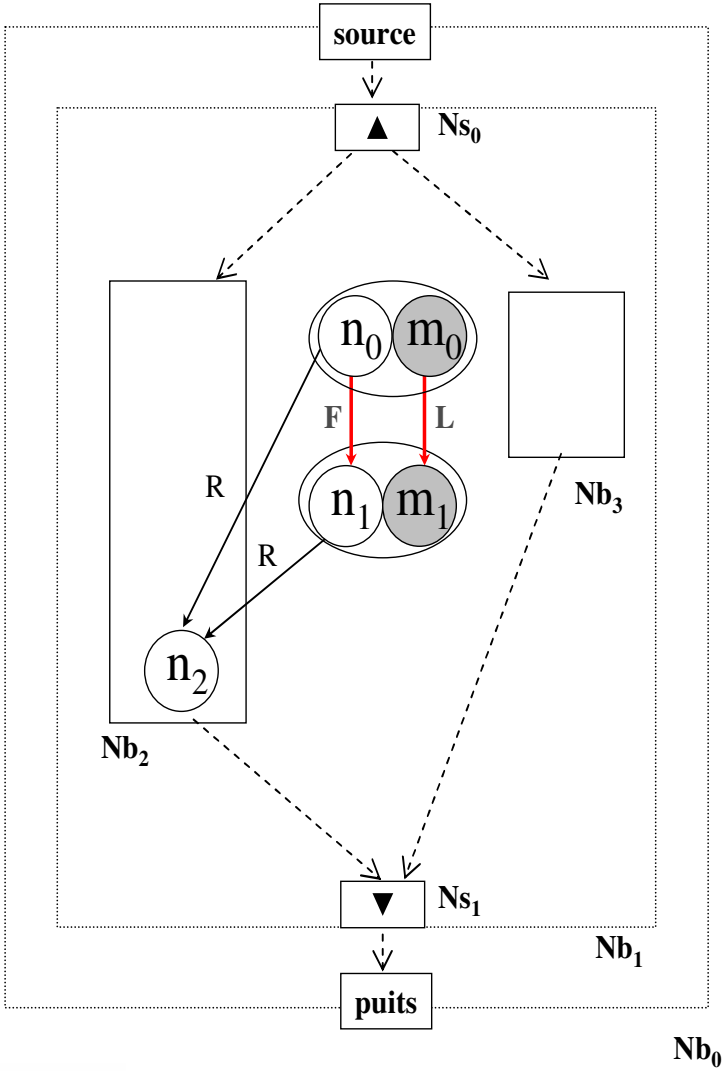


Construction d'un MMRCG





Construction d'un MMRCG



Contraintes spatiales et temporelles

↓

Construction MMRCG

↓

Fusion MMRCG

↓

Assignation

↓

Optimisation

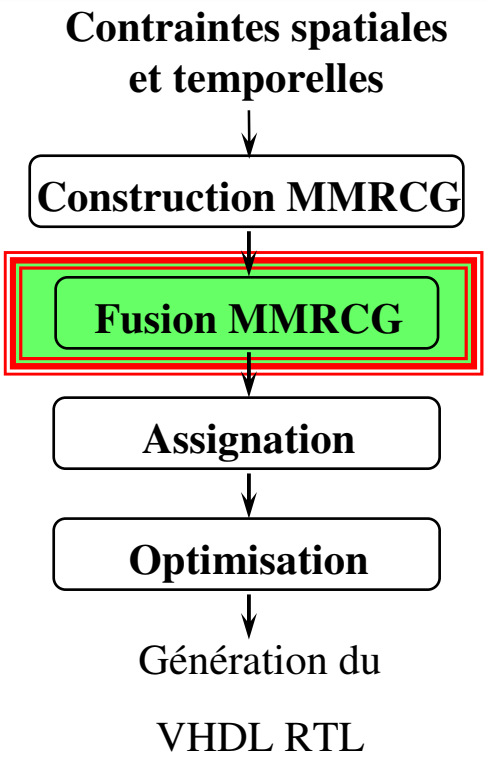
↓

Génération du VHDL RTL

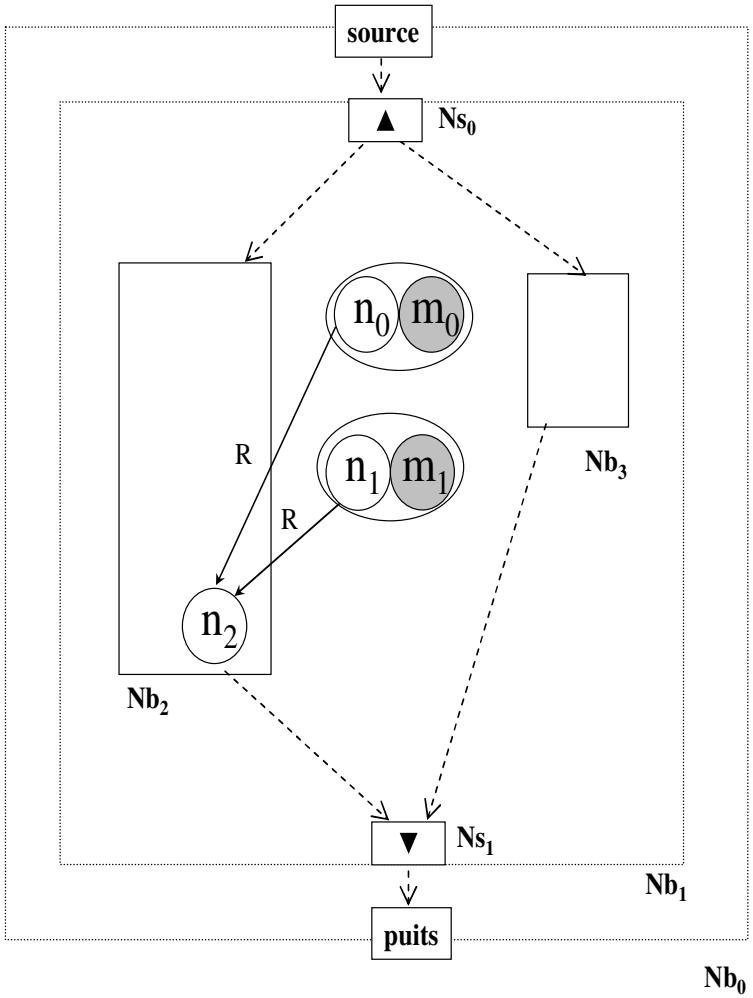
Construction d'un MMRCG

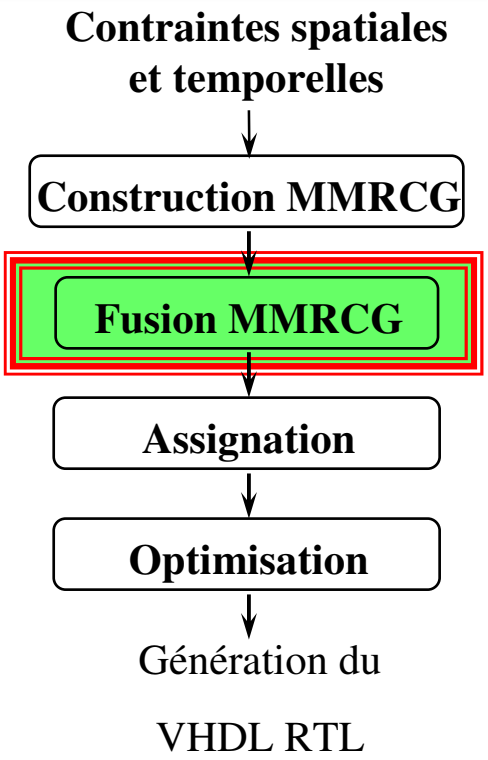
- Lois de transformation des arcs de compatibilité

RCG_1 / RCG_2	FIFO	LIFO	Reg	*Rien*
FIFO	**F**	-	**F**	-
LIFO	-	**L**	**L**	-
Reg	**F**	**L**	**R**	-
Rien	-	-	-	-

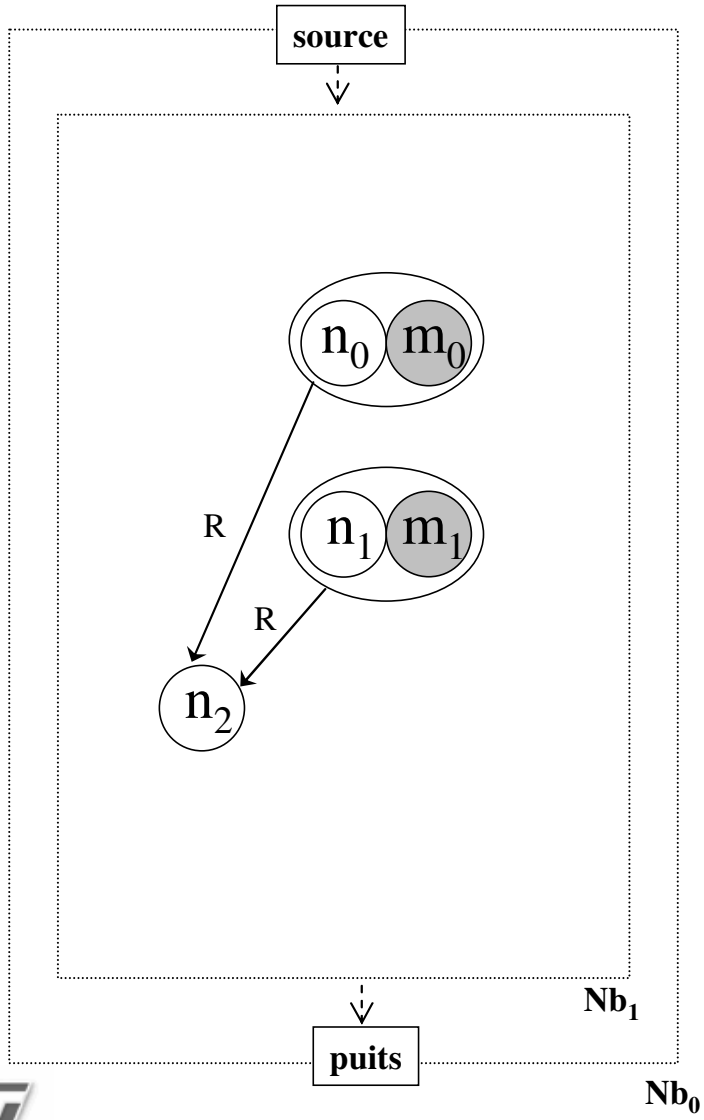


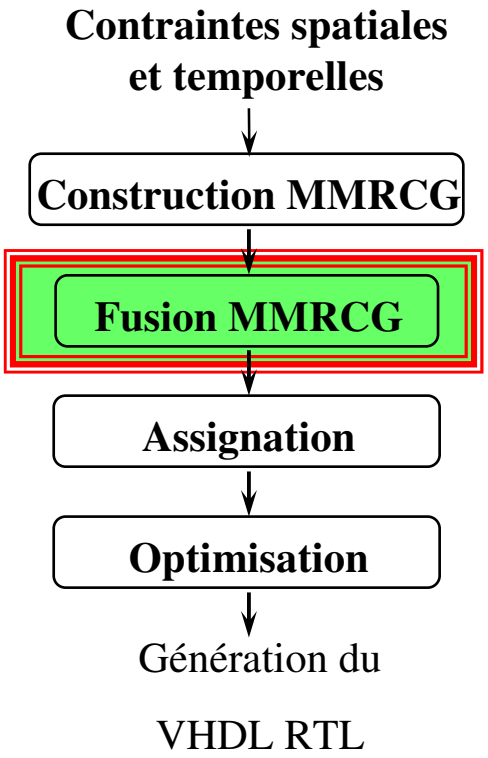
Construction d'un MMRCG



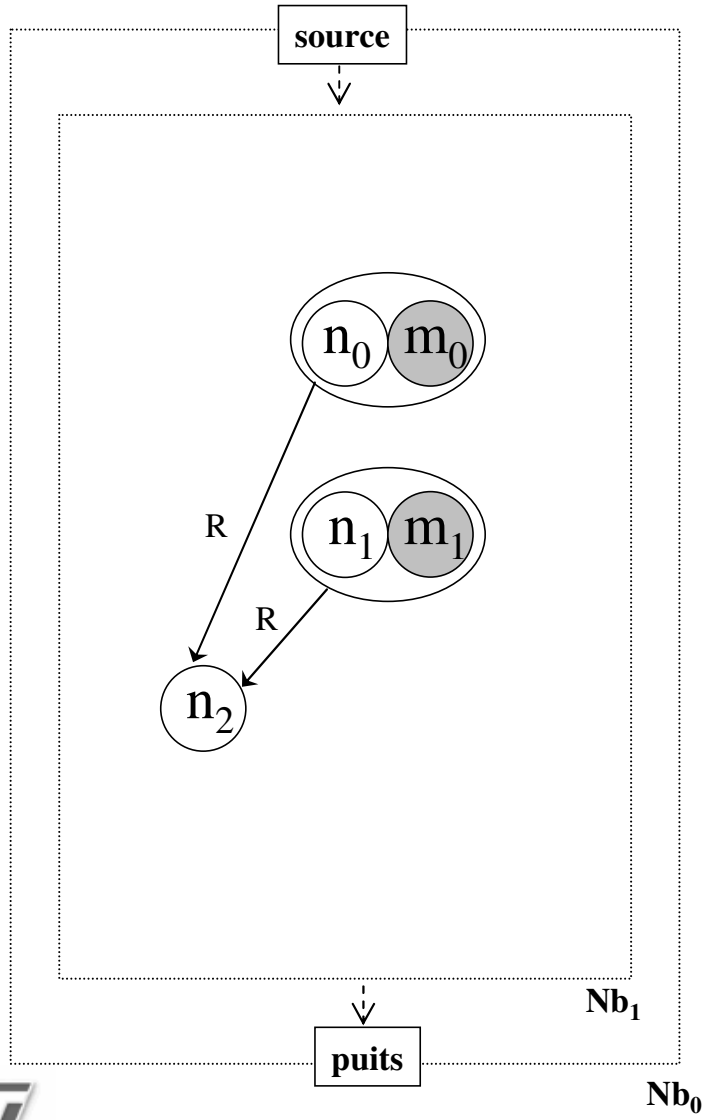


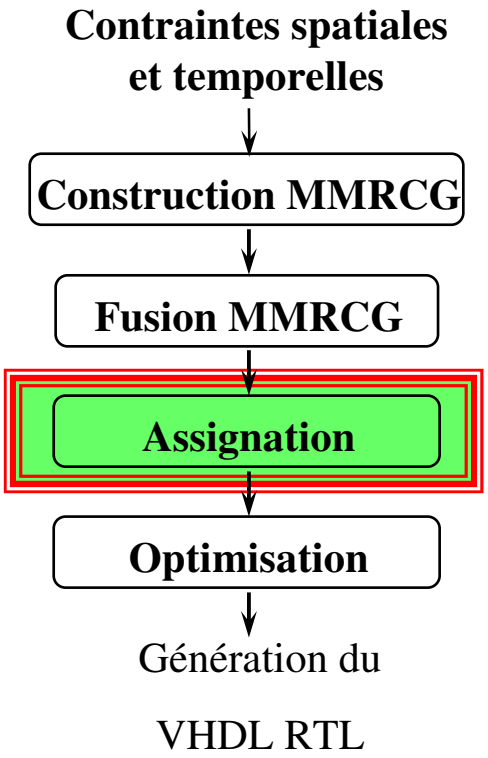
Construction d'un MMRCG



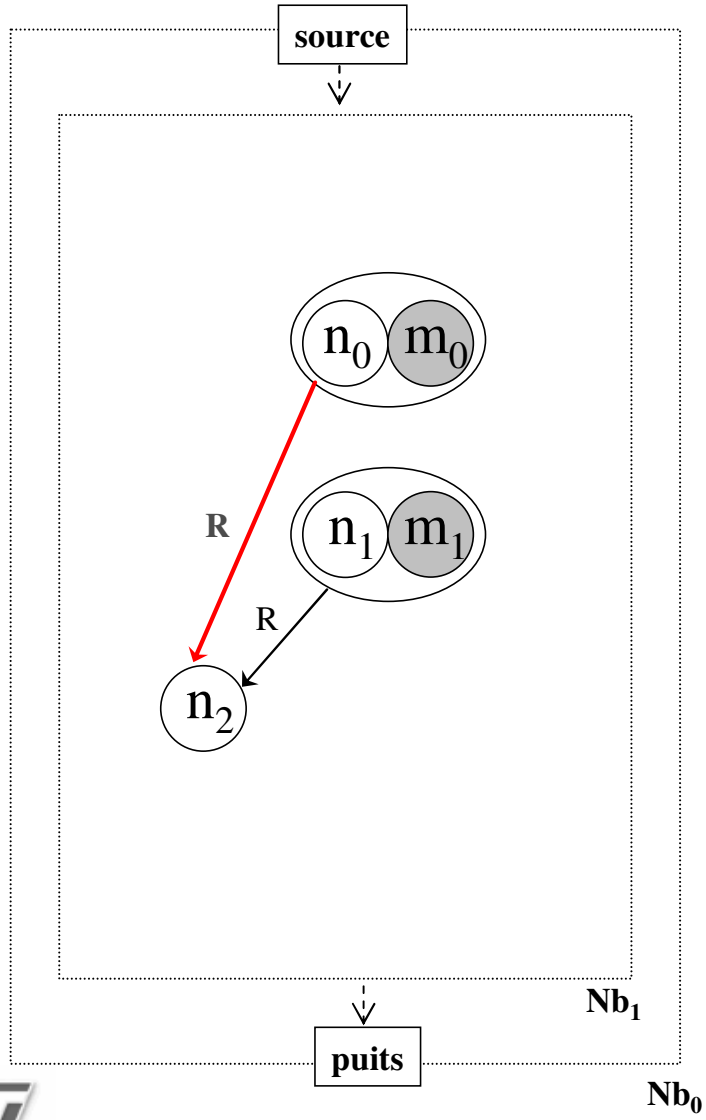


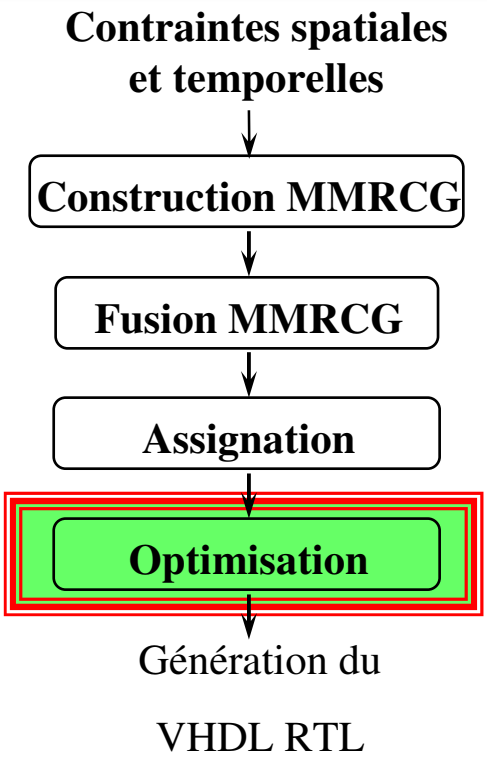
Construction d'un MMRCG





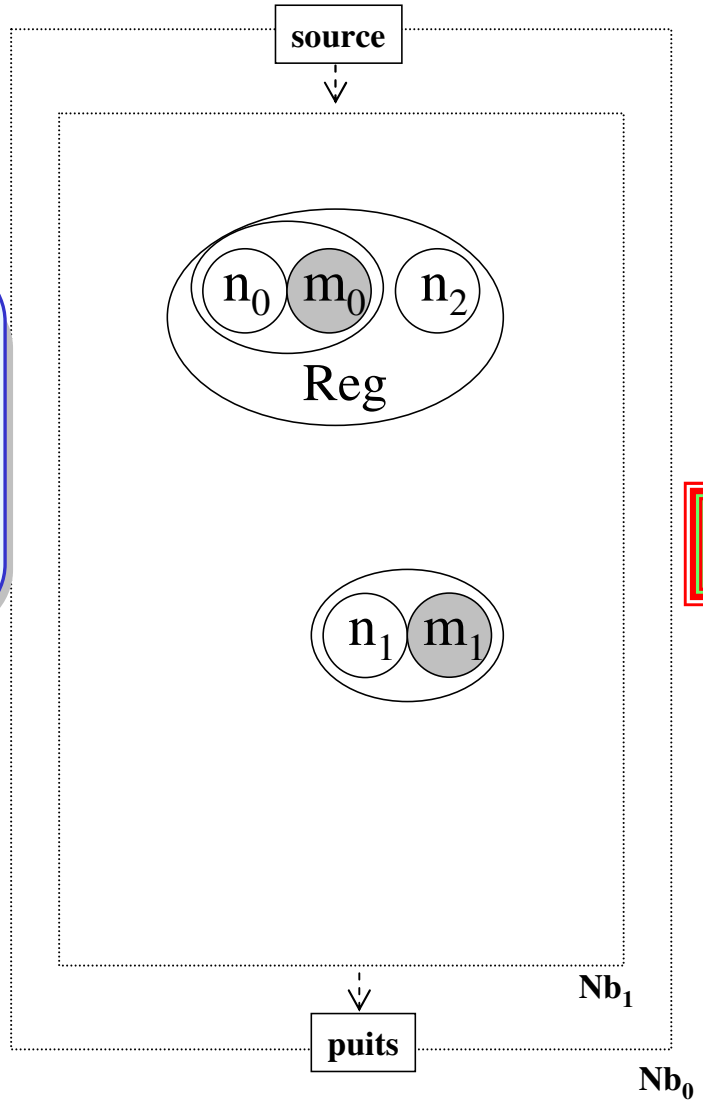
Construction d'un MMRCG

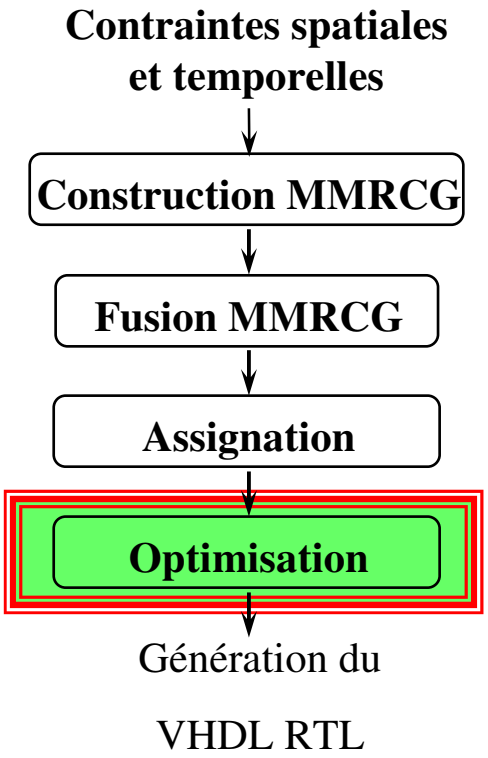




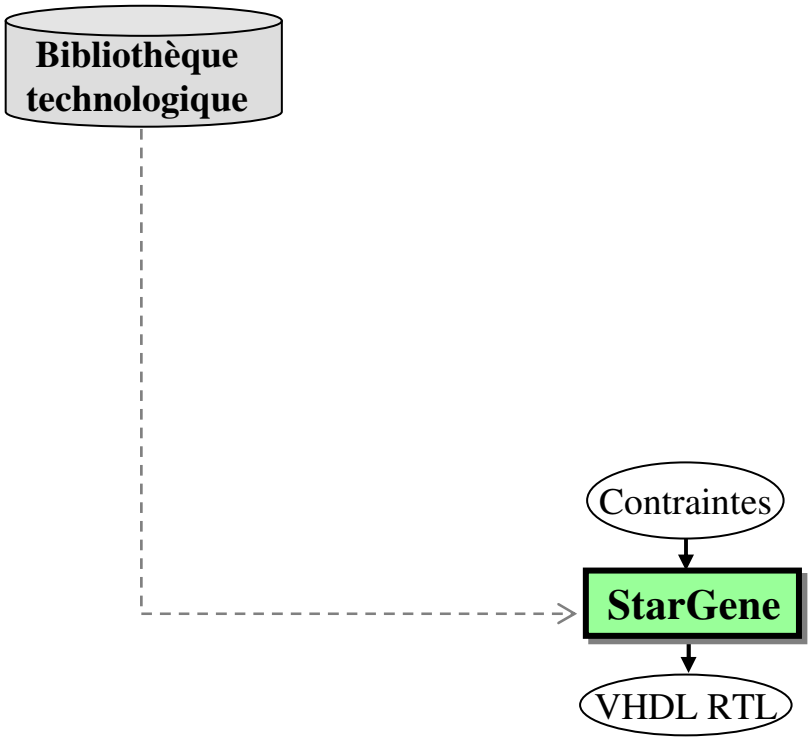
Construction d'un MMRCG

- Architecture résultante
  - Un Registre qui mémorise 1 ou 2 données (selon le mode)
  - Un Registre qui mémorise 1 données



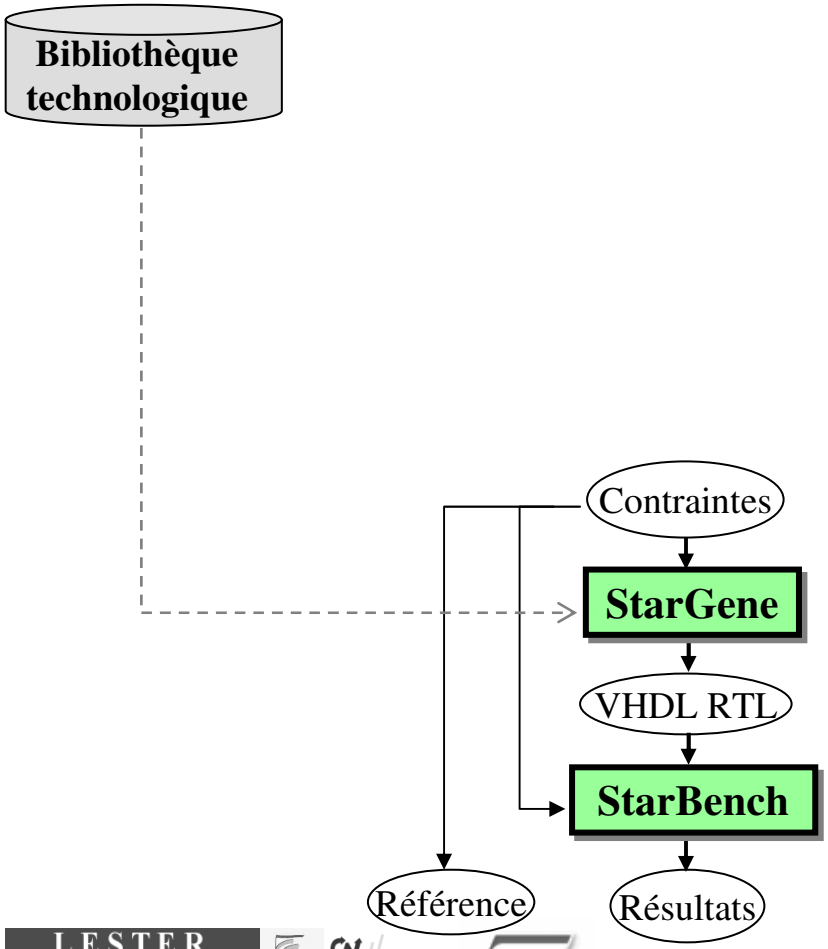


Flot de conception - *STARSystem*



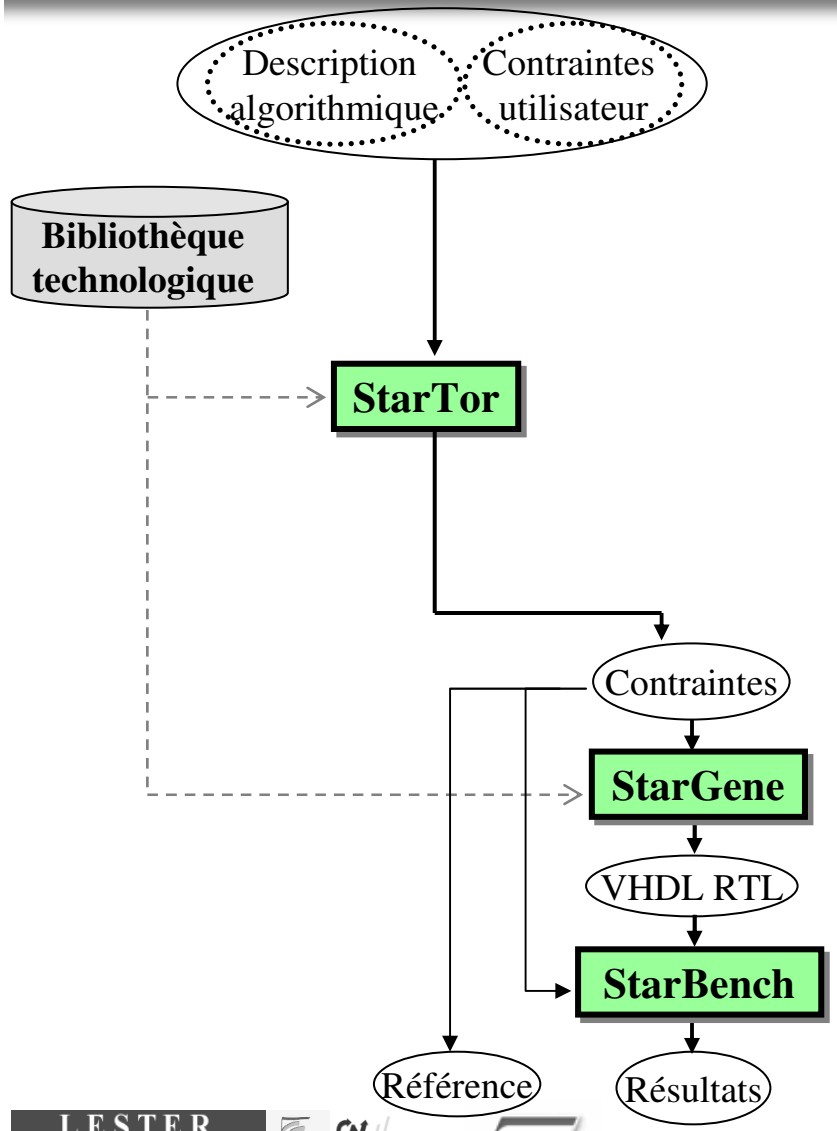
- *STARGene*
  - **Fichier de contraintes de communication** (#ports d'E/S, durée de vie des données…)
  - Analyse des contraintes, exploration de l'espace de conception et génération d'une architecture VHDL RTL
  - Environ 25k lignes de codes C

Flot de conception - *STARSystem*



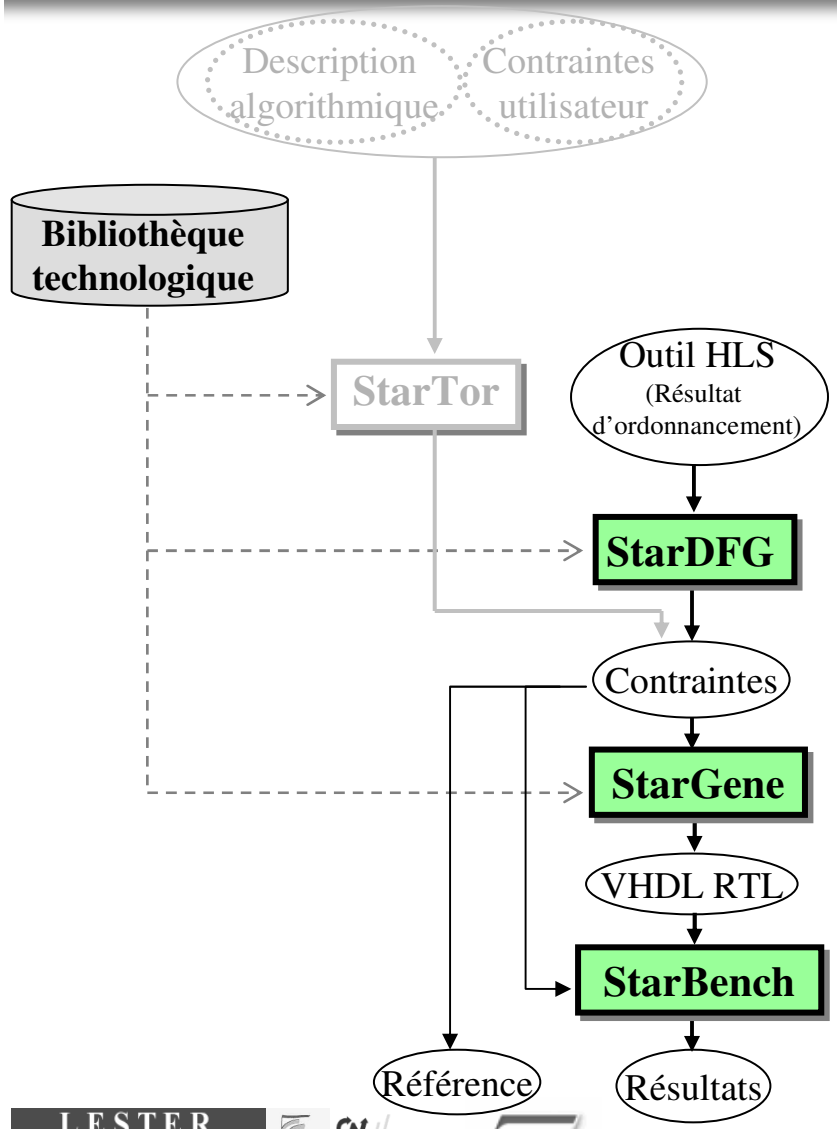
- *StarBench*
  - Contraintes de communication
  - Génération de test-bench
  - Validation de l'architecture

Flot de conception - *STARSystem*



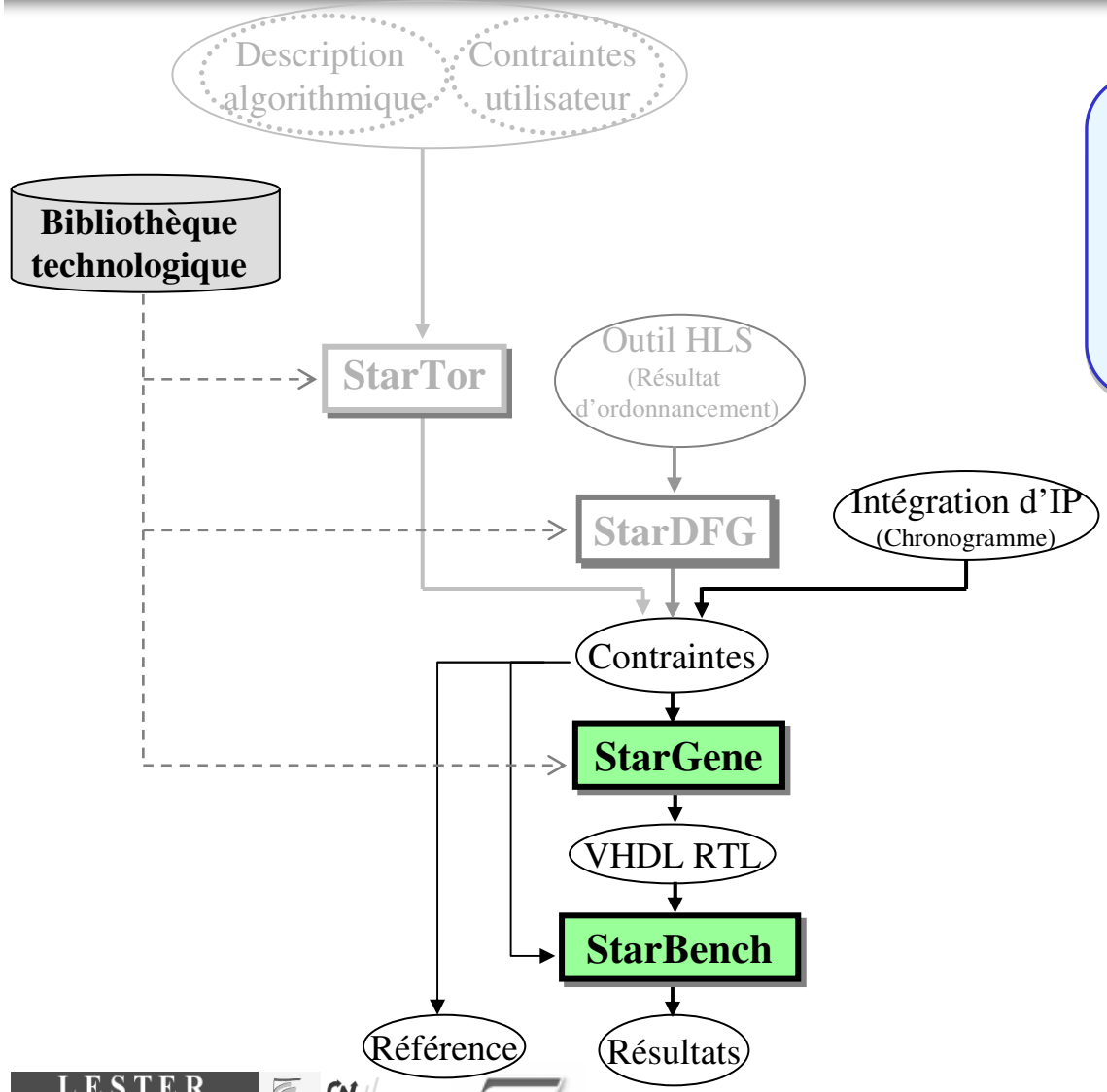
- *StarTor*
  - **Fichier C**
  - Contraintes technologiques
  - Contraintes utilisateur (latence, débits, parallélisme d'E/S,…)
  - Extraction des ordres d'échanges des données
  - Génération des contraintes

Flot de conception - *STARSystem*



- *StarDFG*
  - CDFG généré par un outil HLS
  - Contraintes technologiques
  - Contraintes utilisateur (latence, débits, parallélisme d'E/S,...)
  - Extraction des ordres d'échanges des données
  - Génération des contraintes

Flot de conception - *STARSystem*



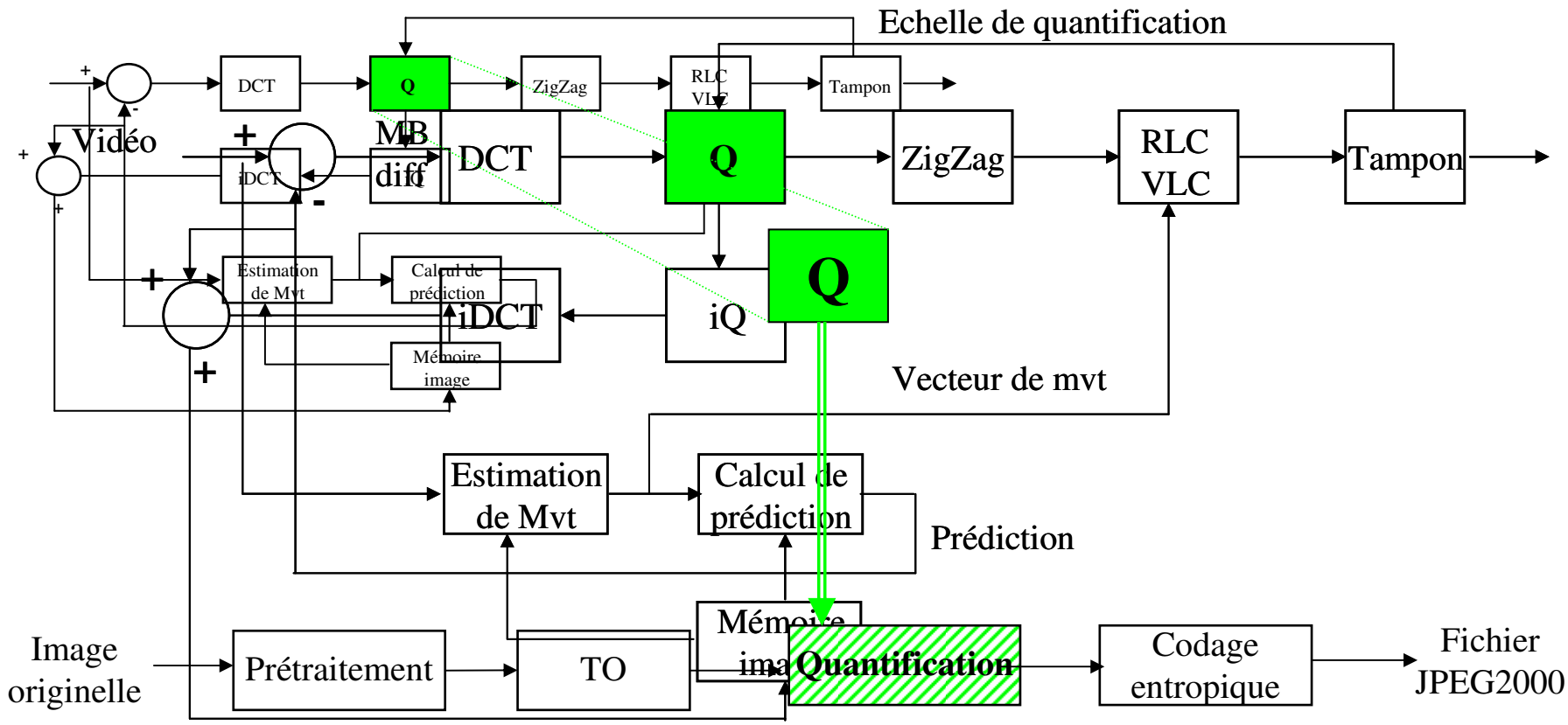
- *Chronogramme*
  - Contraintes utilisateur (latence, débits, parallélisme d'E/S,...)
  - Génération des contraintes

Plan

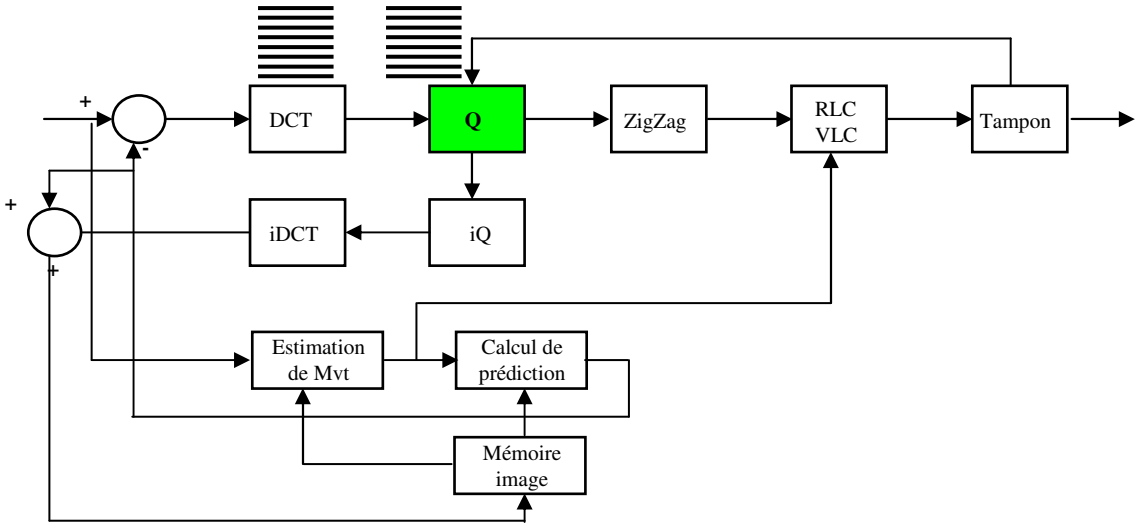
- Contexte général
- Etat de l'art
- Approche STAR
- Expérimentations
  - Expérience pédagogique
  - Entrelacement pour Ultra-Wide Band
  - Chemin de données Multi-Modes
- Bilan et perspectives

Cas d'étude: Réutilisation de blocs matériels

- Réutilisation du bloc de quantification

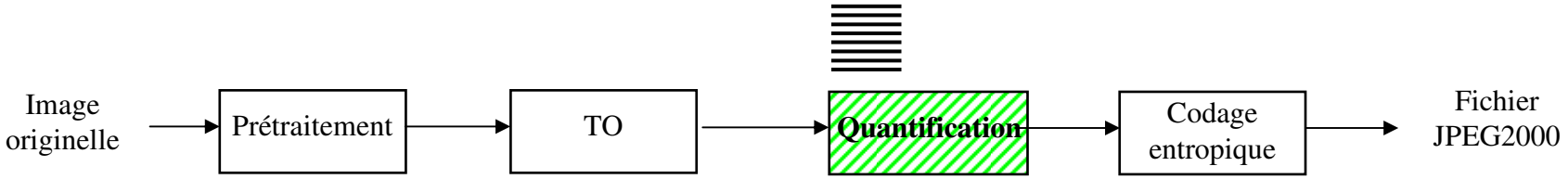


Cas d'étude: Réutilisation de blocs matériels

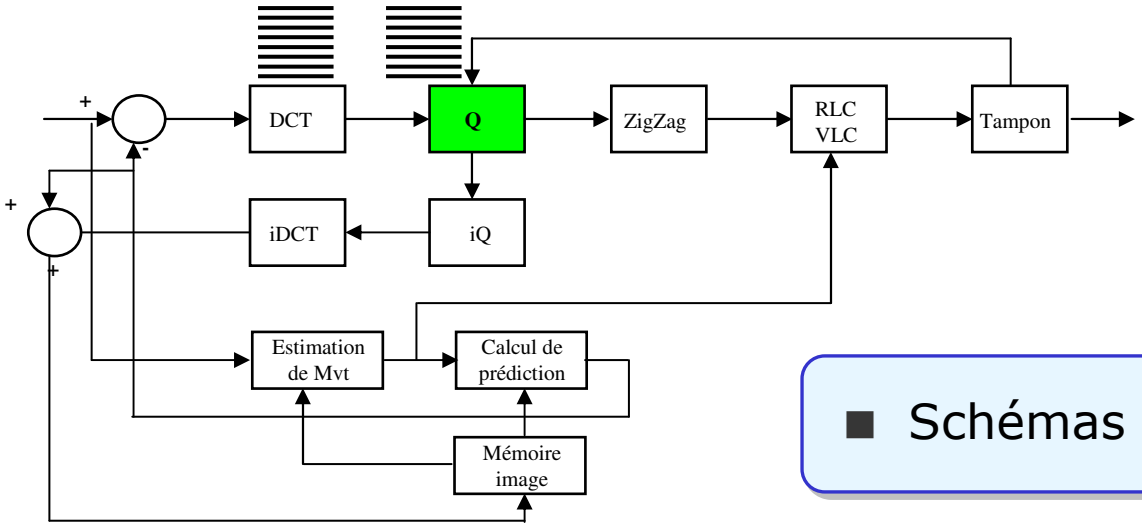


MPEG-2

JPEG2000



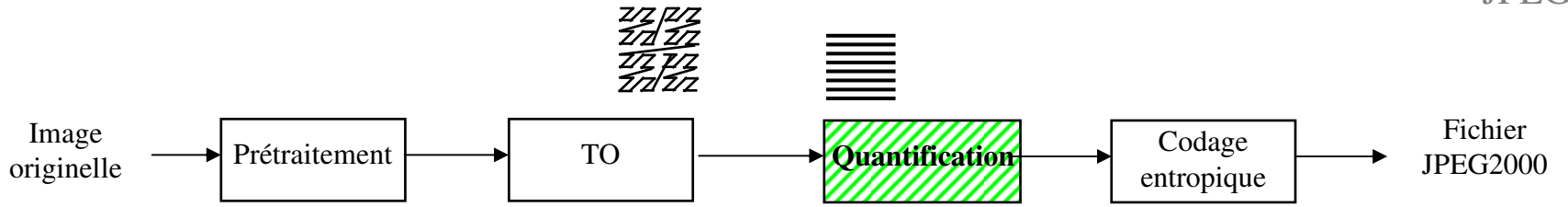
Cas d'étude: Réutilisation de blocs matériels



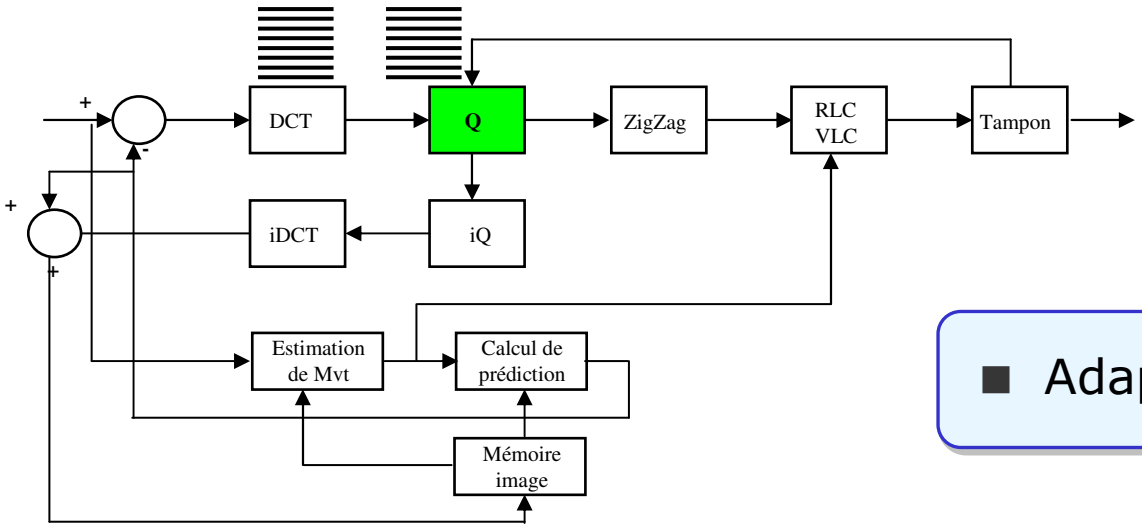
- Schémas de communication différents

MPEG-2

JPEG2000



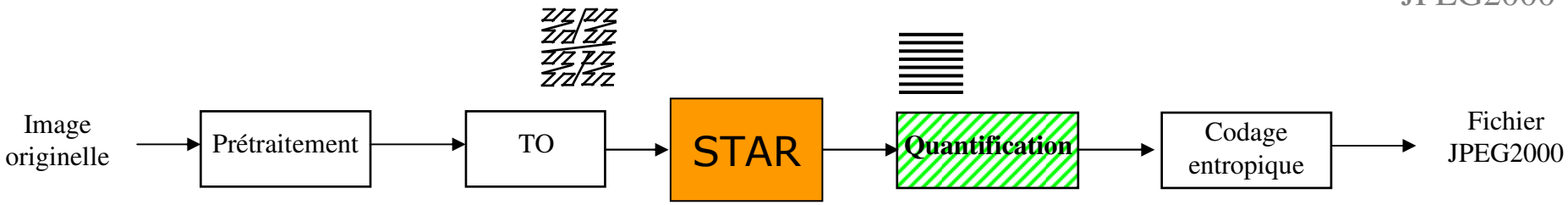
Cas d'étude: Réutilisation de blocs matériels



- Adaptation des communications

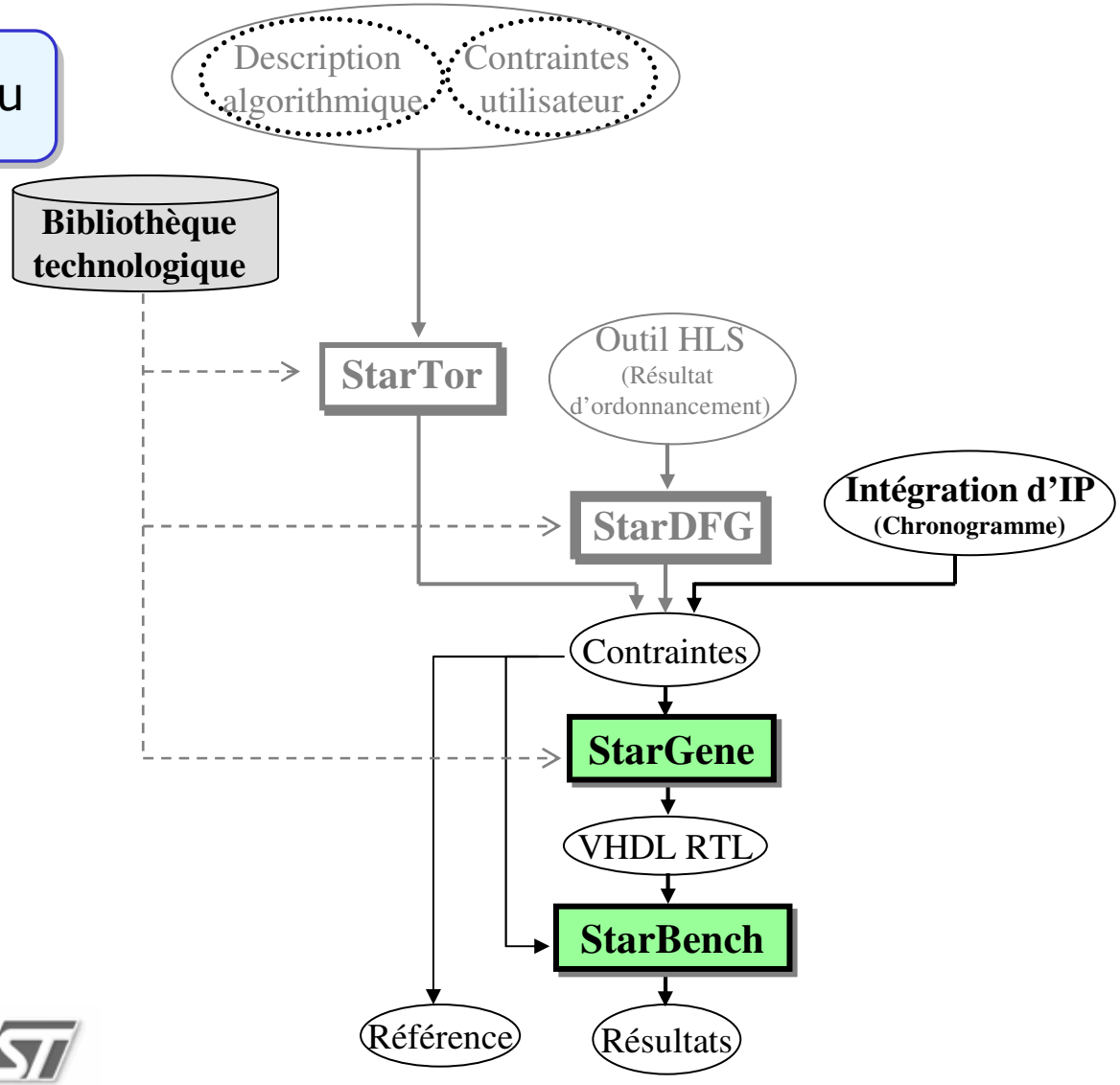
MPEG-2

JPEG2000



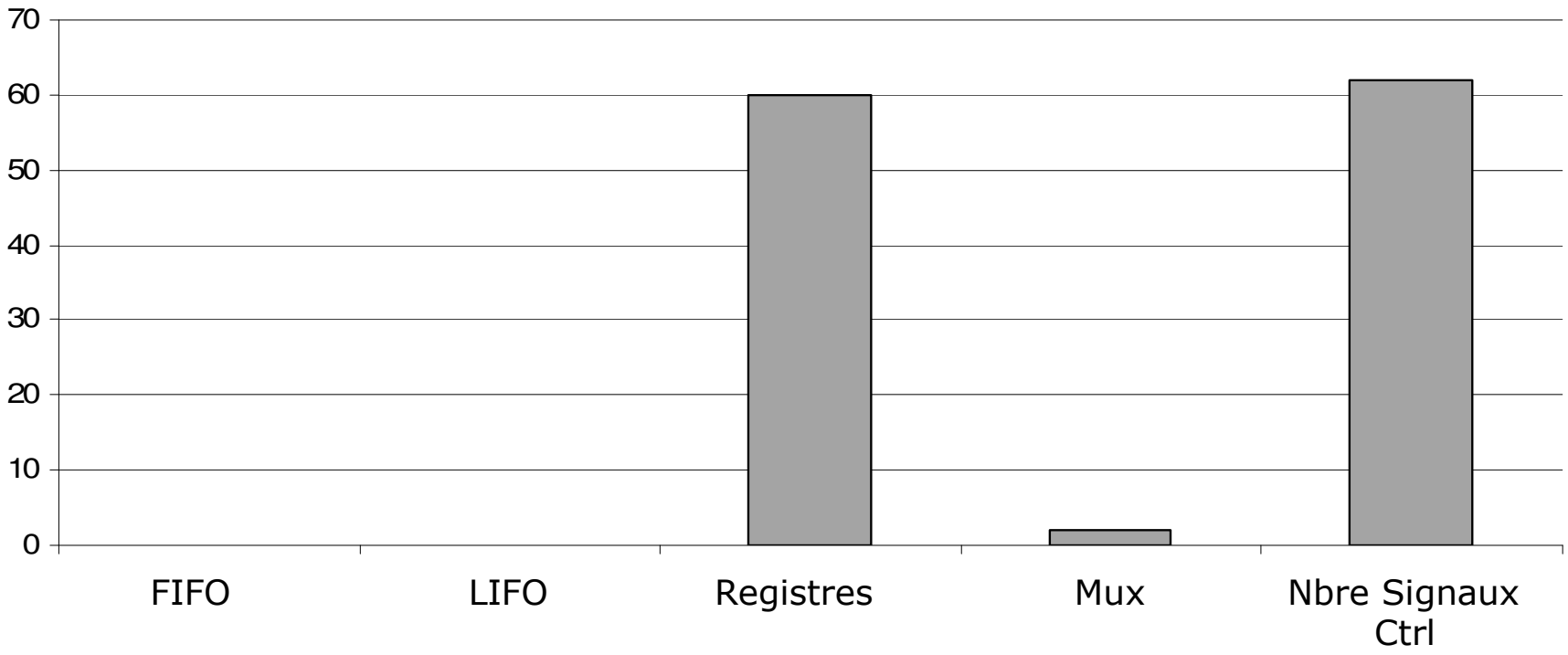
Exemple pédagogique

- Flot mis en jeu

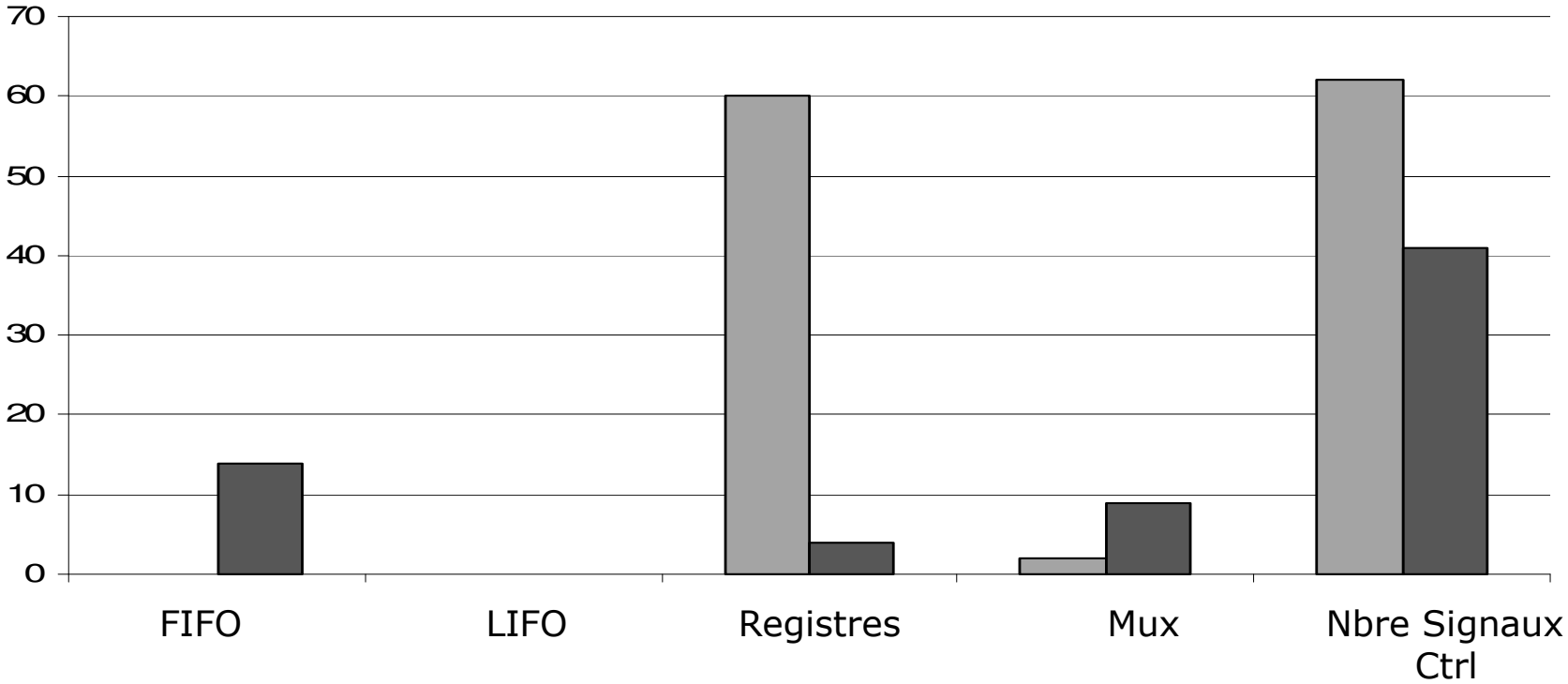


Résultats

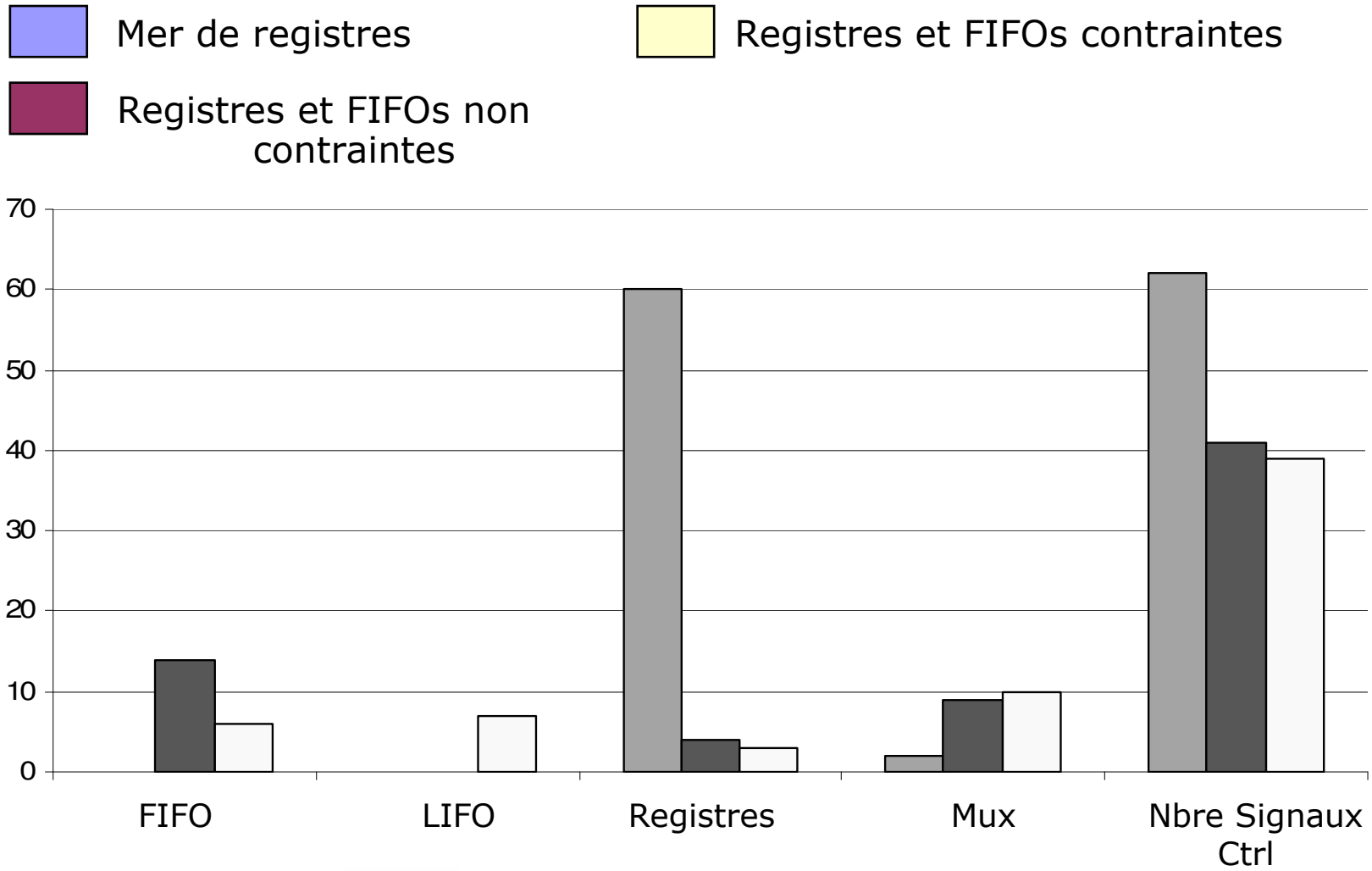
Mer de registres



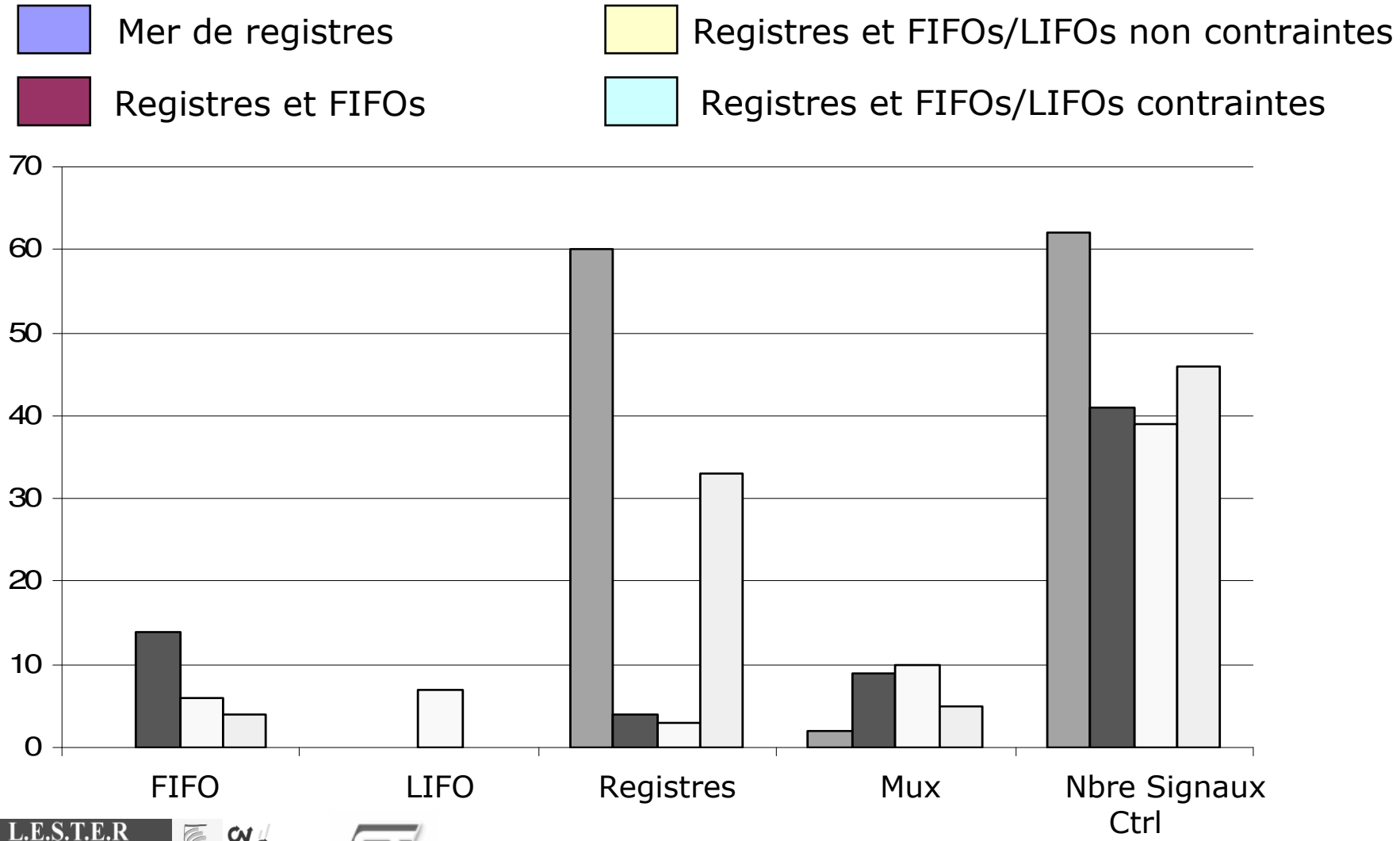
Résultats


Mer de registres
Registres et FIFOs non contraintes
70
60
50
40
30
20
10
0
FIFO
LIFO
Registres
Mux
Nbre Signaux Ctrl

Résultats

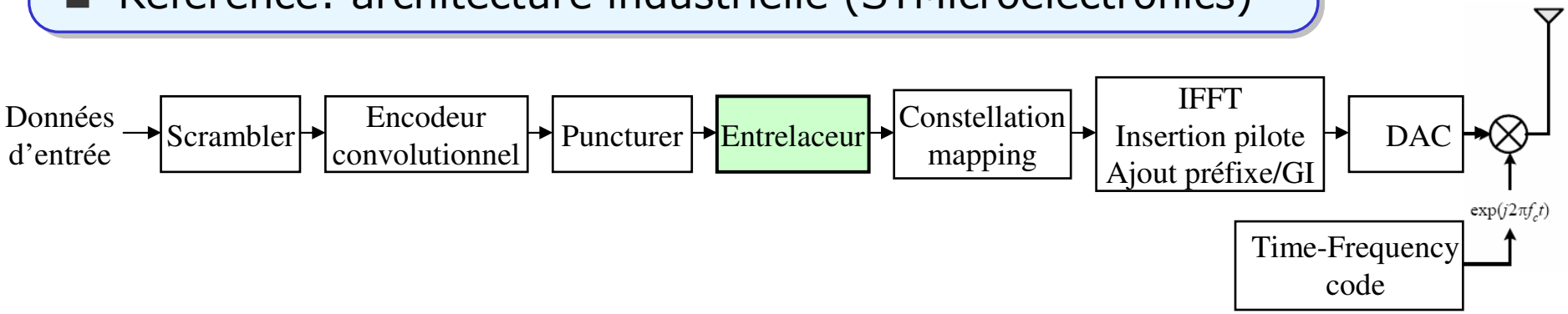

Mer de registres
Registres et FIFOs contraintes
Registres et FIFOs non contraintes
70
60
50
40
30
20
10
0
FIFO
LIFO
Registres
Mux
Nbre Signaux Ctrl

Résultats


Mer de registres
Registres et FIFOs/LIFOs non contraintes
Registres et FIFOs
Registres et FIFOs/LIFOs contraintes
70
60
50
40
30
20
10
0
FIFO
LIFO
Registres
Mux
Nbre Signaux Ctrl

Algorithme d'entrelacement pour UWB

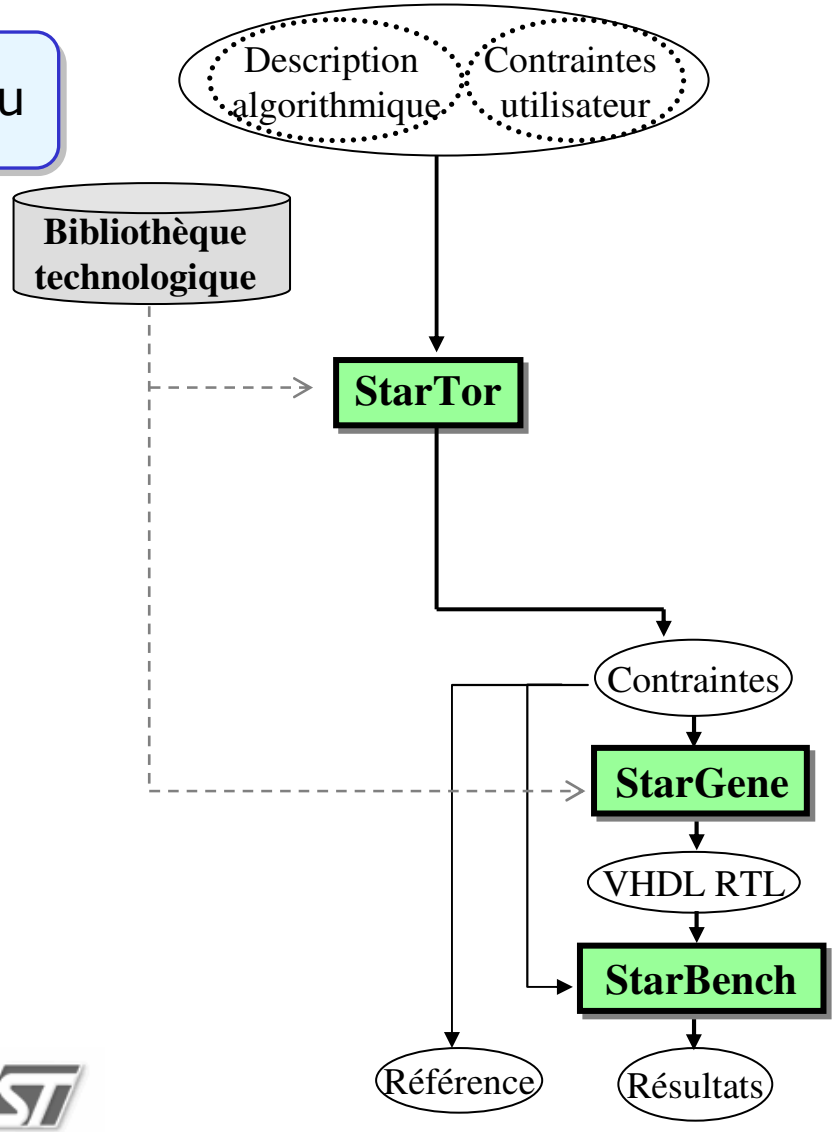
- Schéma bloc d'un système de communication large bande (Ultra-Wide Band)
- Référence: architecture industrielle (STMicroelectronics)



- Entrelaceur pour l'Ultra-Wide Band
- Deux entrelacements
  - Entrelacement des symboles
  - Entrelacement des bits dans les symboles
- Caractéristiques
  - Trois modes d'entrelacement en fonction de la longueur de la trame: 300, 600 ou 1200 données
  - Contraintes en latence et en débit.

Algorithme d'entrelacement pour UWB

- Flot mis en jeu



Algorithme d'entrelacement pour UWB

- Comparaison avec une architecture de référence

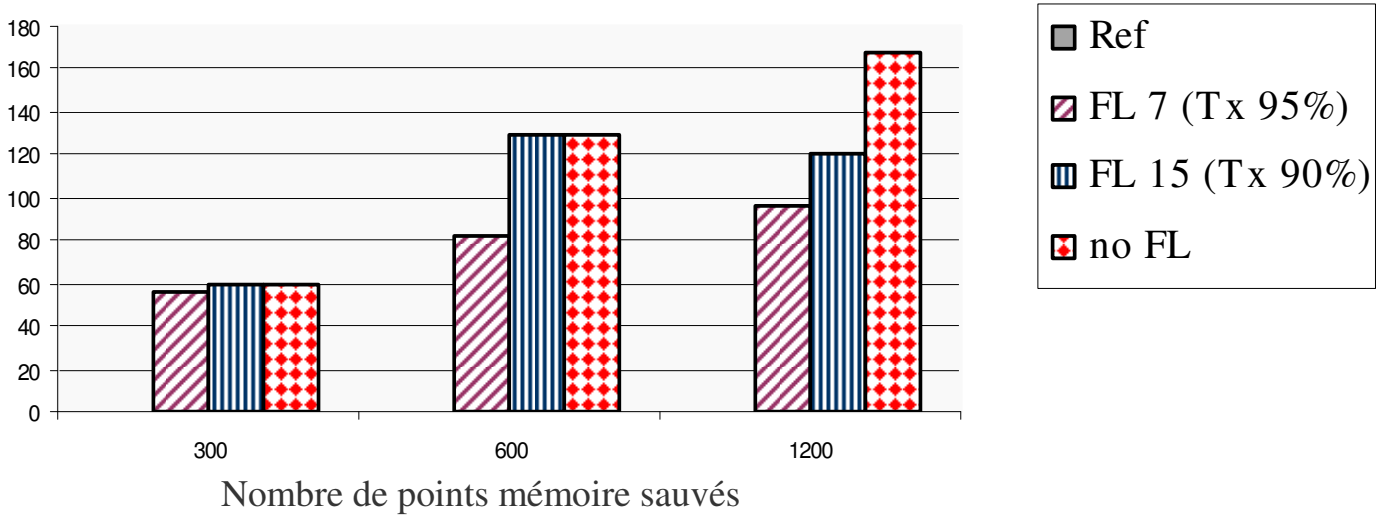
Mode	Référence		F/L (Min 7, Tx 95%)		F/L (Min 15, Tx 90%)		Registres		Débit (Mb/s)
	Gain mémoire	Ctrl	Gain mémoire	Ctrl	Gain mémoire	Ctrl	Gain mémoire	Ctrl	
300	0	300	56	77	60	240	60	240	434,8
600	0	600	83	101	130	470	130	470	438
1200	0	1200	96	117	120	609	168	1032	412,4

- Génération séparée des différents modes de fonctionnement
- Architecture de référence obtenue avec un outils HLS du commerce
- Trois architectures STAR différentes
  - Deux STARs utilisant une architecture mémoire à base de FIFOs/LIFOs
  - Un STAR à base de registres
- Comparer
  - Le nombre de points mémoires économisés
  - Le nombre de structures à contrôler

Algorithme d'entrelacement pour UWB

- Etude du nombre de points mémoires sauvés

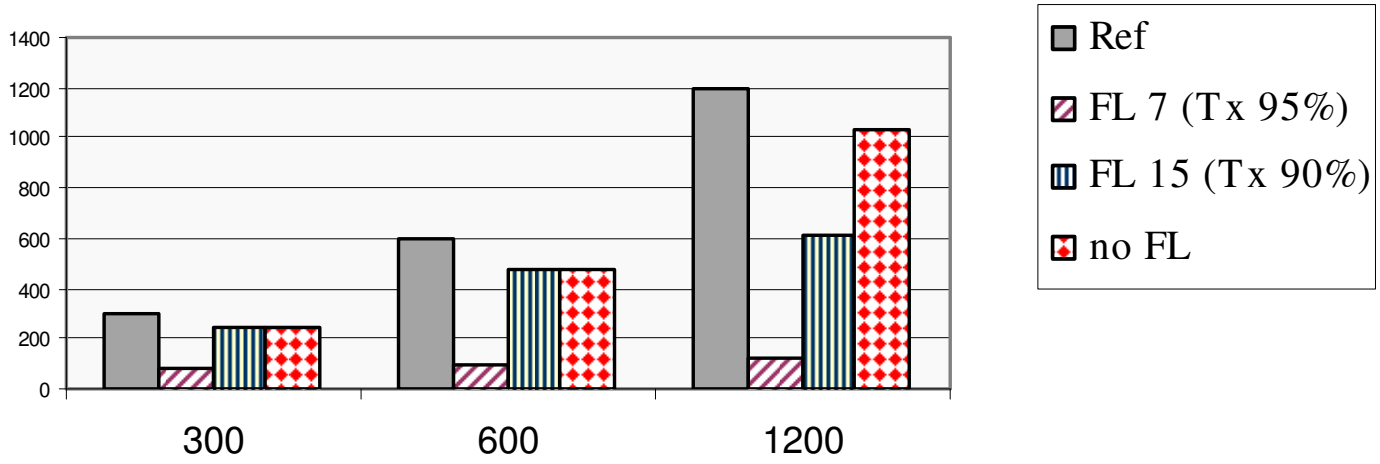
Mode	Référence		F/L (Min 7, Tx 95%)		F/L (Min 15, Tx 90%)		Registres		Débit (Mb/s)
	Gain mémoire	Ctrl	Gain mémoire	Ctrl	Gain mémoire	Ctrl	Gain mémoire	Ctrl	
300	0	300	56	77	60	240	60	240	434,8
600	0	600	83	101	130	470	130	470	438
1200	0	1200	96	117	120	609	168	1032	412,4



Algorithme d'entrelacement pour UWB

- Etude du nombre de d'éléments mémorisants à piloter

Mode	Référence		F/L (Min 7, Tx 95%)		F/L (Min 15, Tx 90%)		Registres		Débit (Mb/s)
	Gain mémoire	Ctrl	Gain mémoire	Ctrl	Gain mémoire	Ctrl	Gain mémoire	Ctrl	
300	0	300	56	77	60	240	60	240	434,8
600	0	600	83	101	130	470	130	470	438
1200	0	1200	96	117	120	609	168	1032	412,4



Nombre d'éléments mémorisants à piloter

Algorithme d'entrelacement pour UWB

Mode	Référence		F/L (Min 7, Tx 95%)		F/L (Min 15, Tx 90%)		Registres		Débit (Mb/s)
	Gain mémoire	Ctrl	Gain mémoire	Ctrl	Gain mémoire	Ctrl	Gain mémoire	Ctrl	
300	0	300	56	77	60	240	60	240	434,8
600	0	600	83	101	130	470	130	470	438
1200	0	1200	96	117	120	609	168	1032	412,4

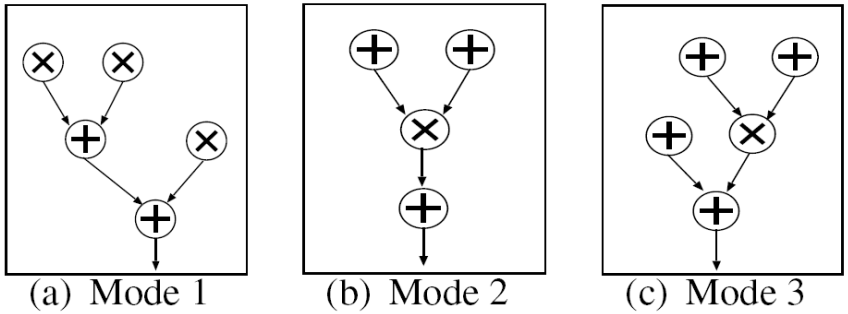
- Surface totale inférieure de 14% à la surface totale de l'architecture de référence (Obtenue avec un outil HLS du commerce)

Chemin de données multi-configurations

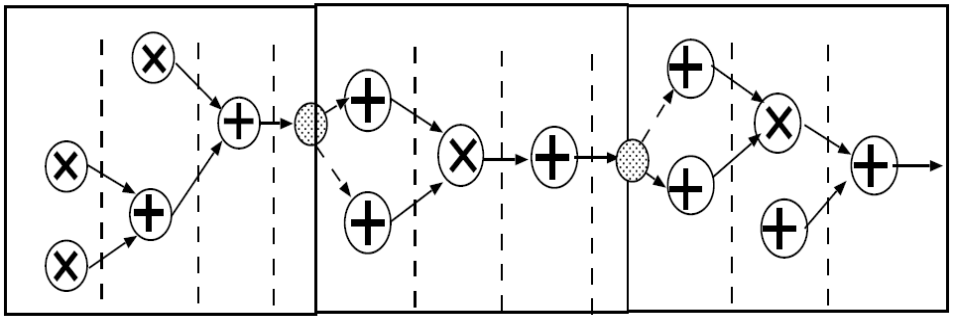
- Travail effectué en collaboration avec Caaliph Andriamissaina (doctorant LESTER)
- Synthèse de chemins de données multi-modes
- Différents éléments intégrés dans un même design
  - FIR, FFT, IFFT, DCT, Produit de matrice
- Débits applicatifs variables

Chemin de données multi-configurations

- Approche de référence: SPACT-MR



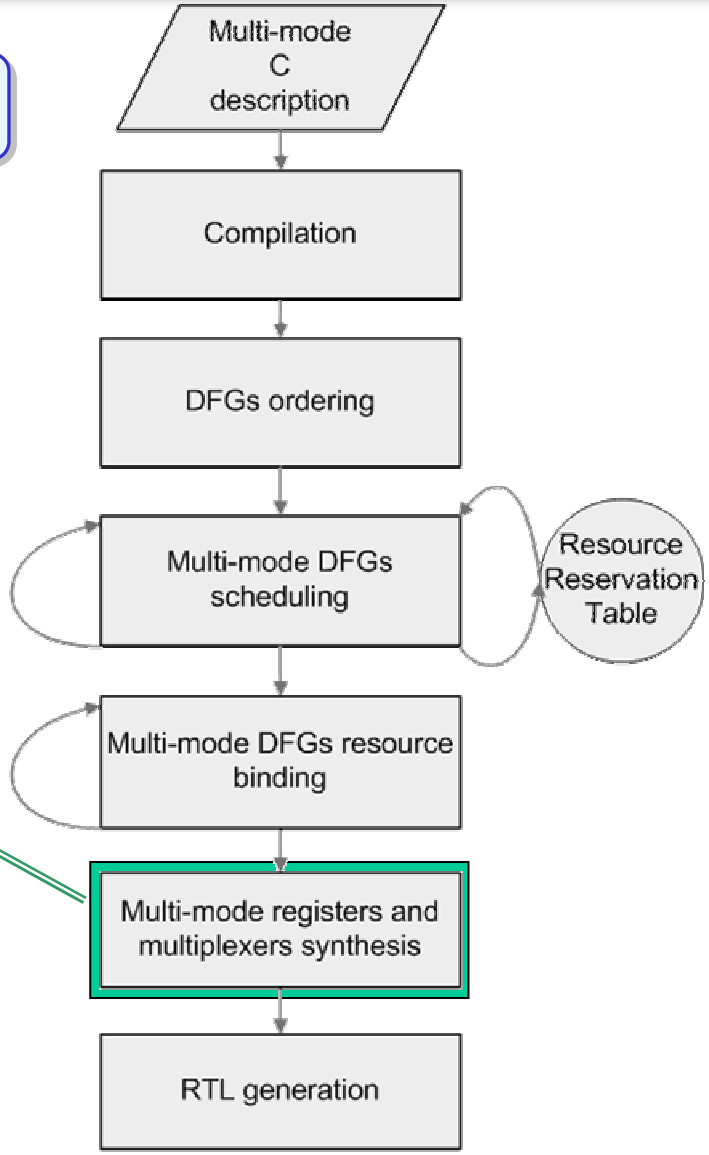
- Principe: chaînage des DFGs des différents modes



Chemin de données multi-configurations

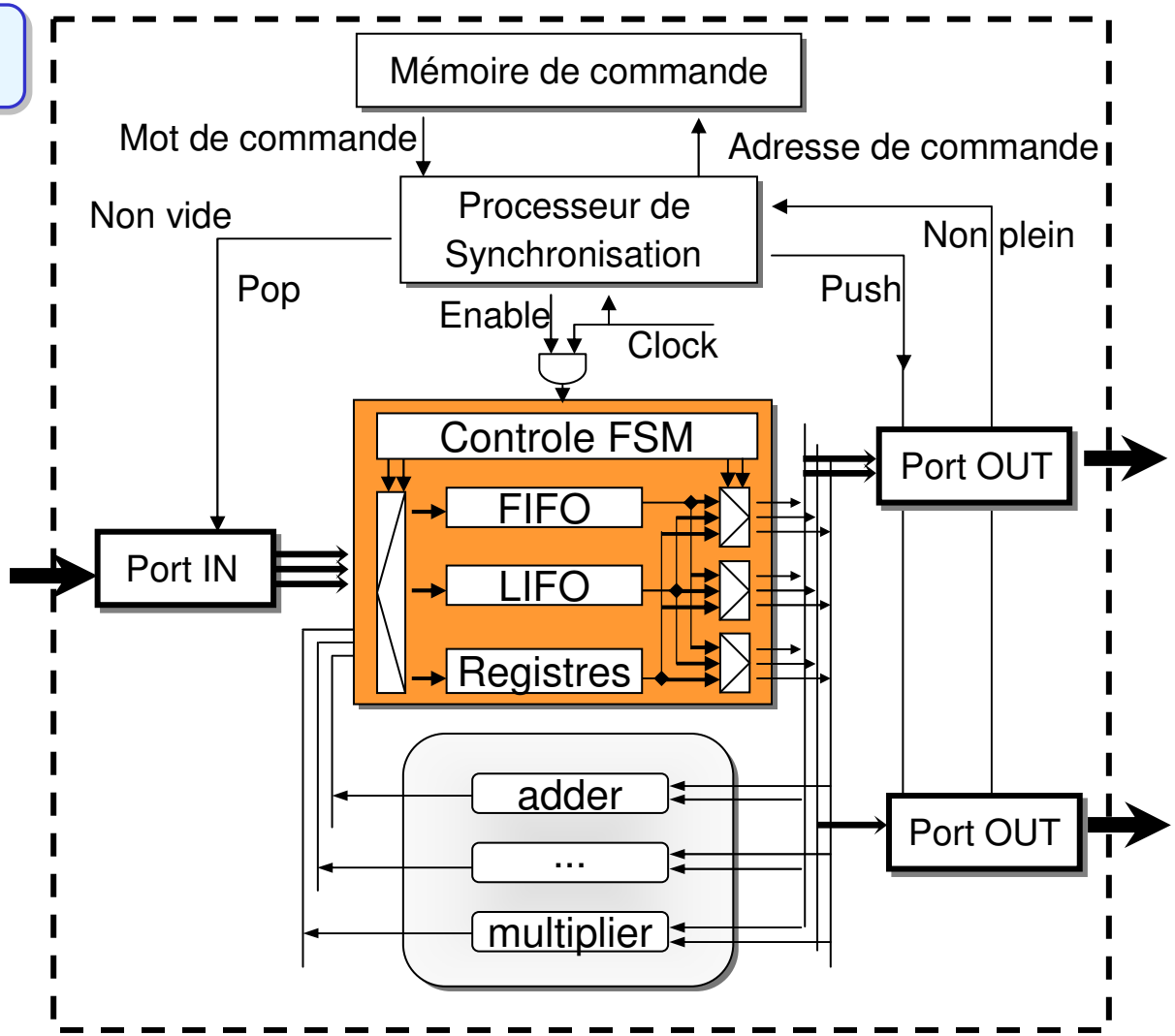
- Flot de synthèse multi-mode proposé

- Synthèse d'une architecture STAR

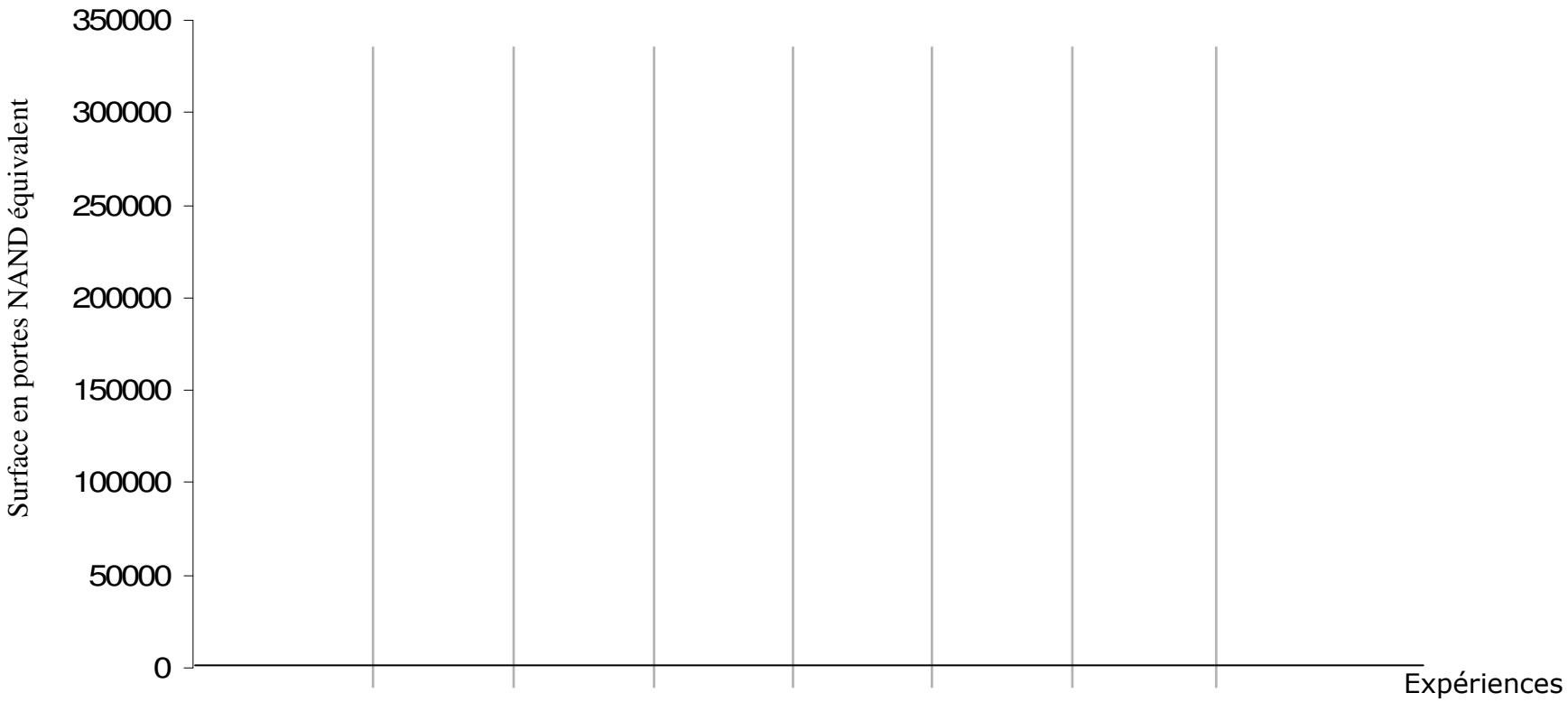


Chemin de données multi-configurations

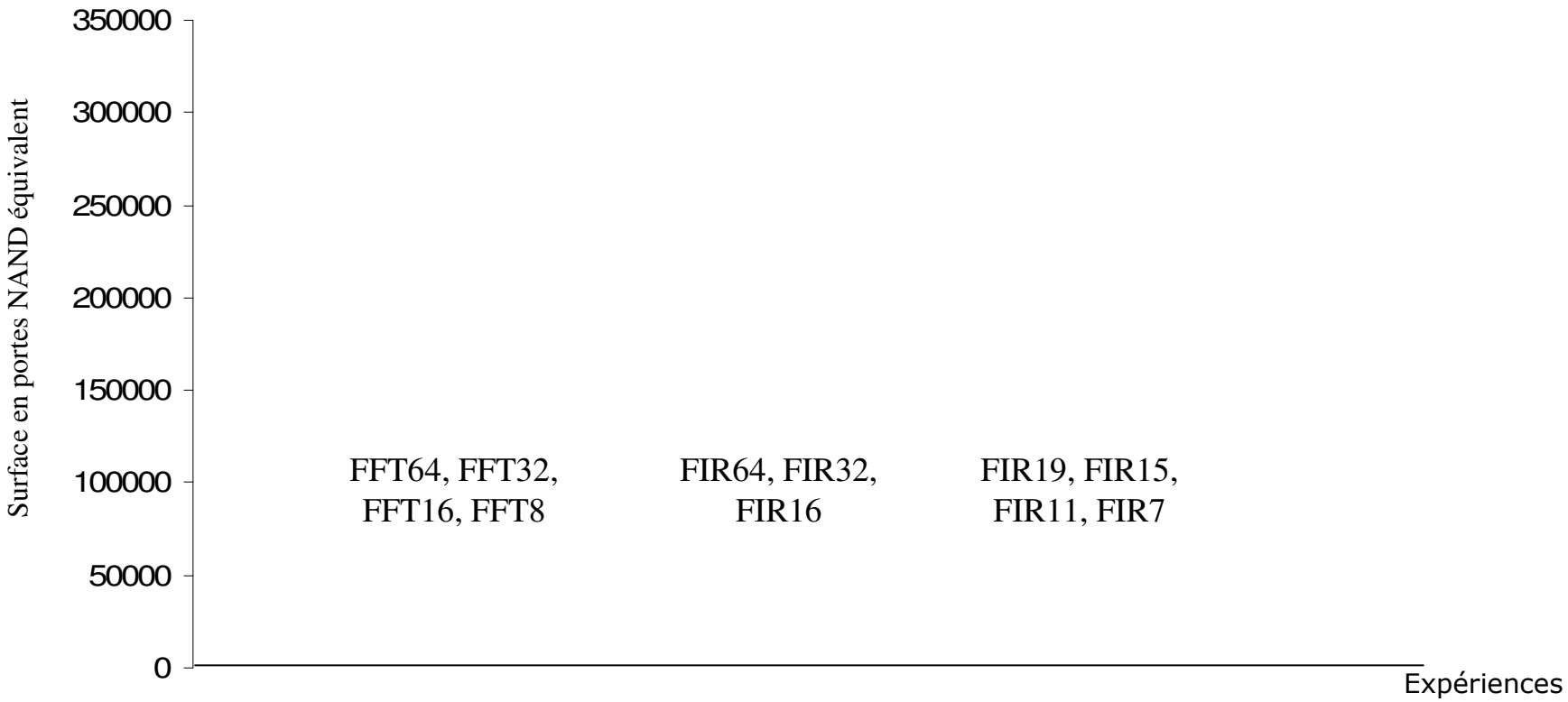
- Architecture ciblée



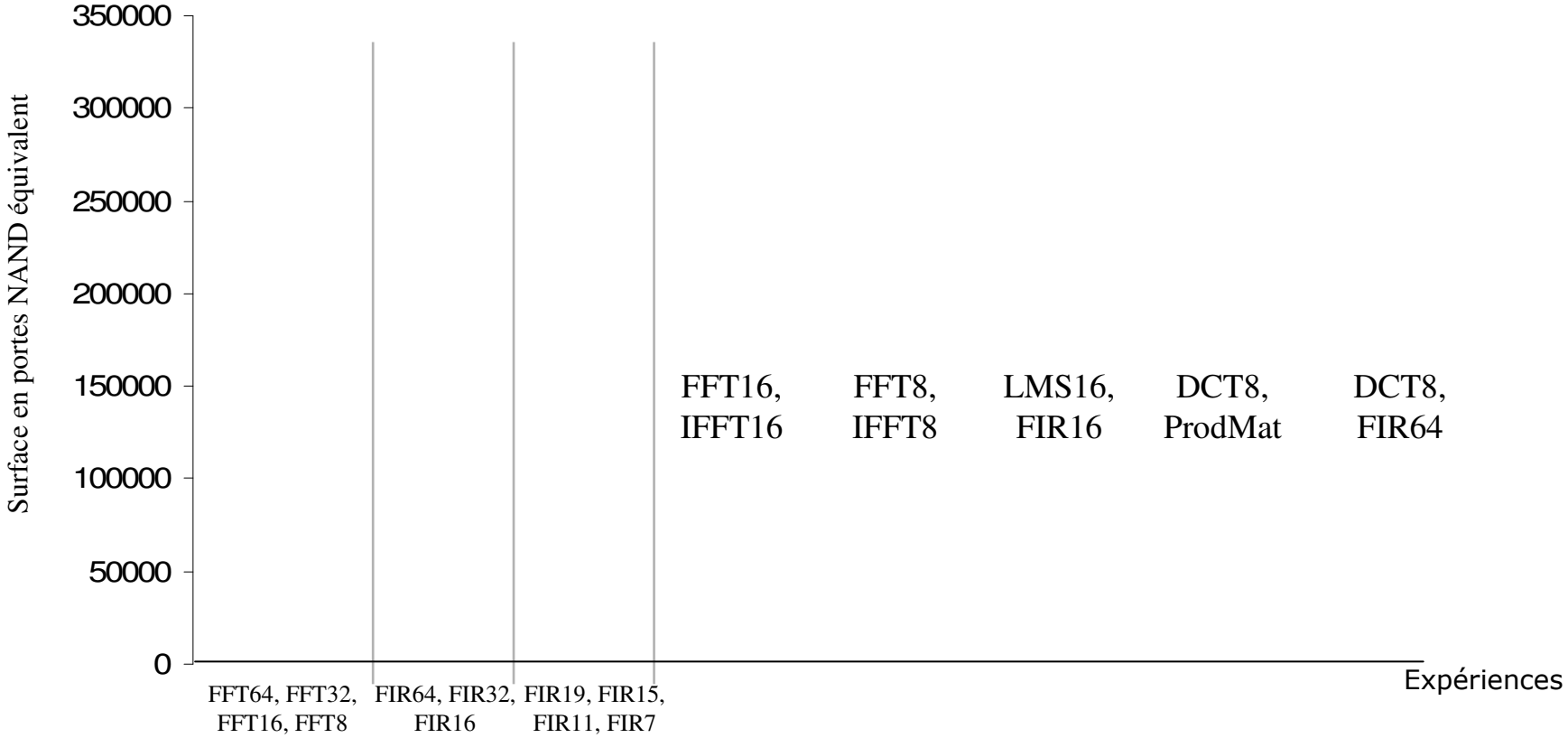
Surface cumulée (Opérateurs / Multiplexeurs / Registres)



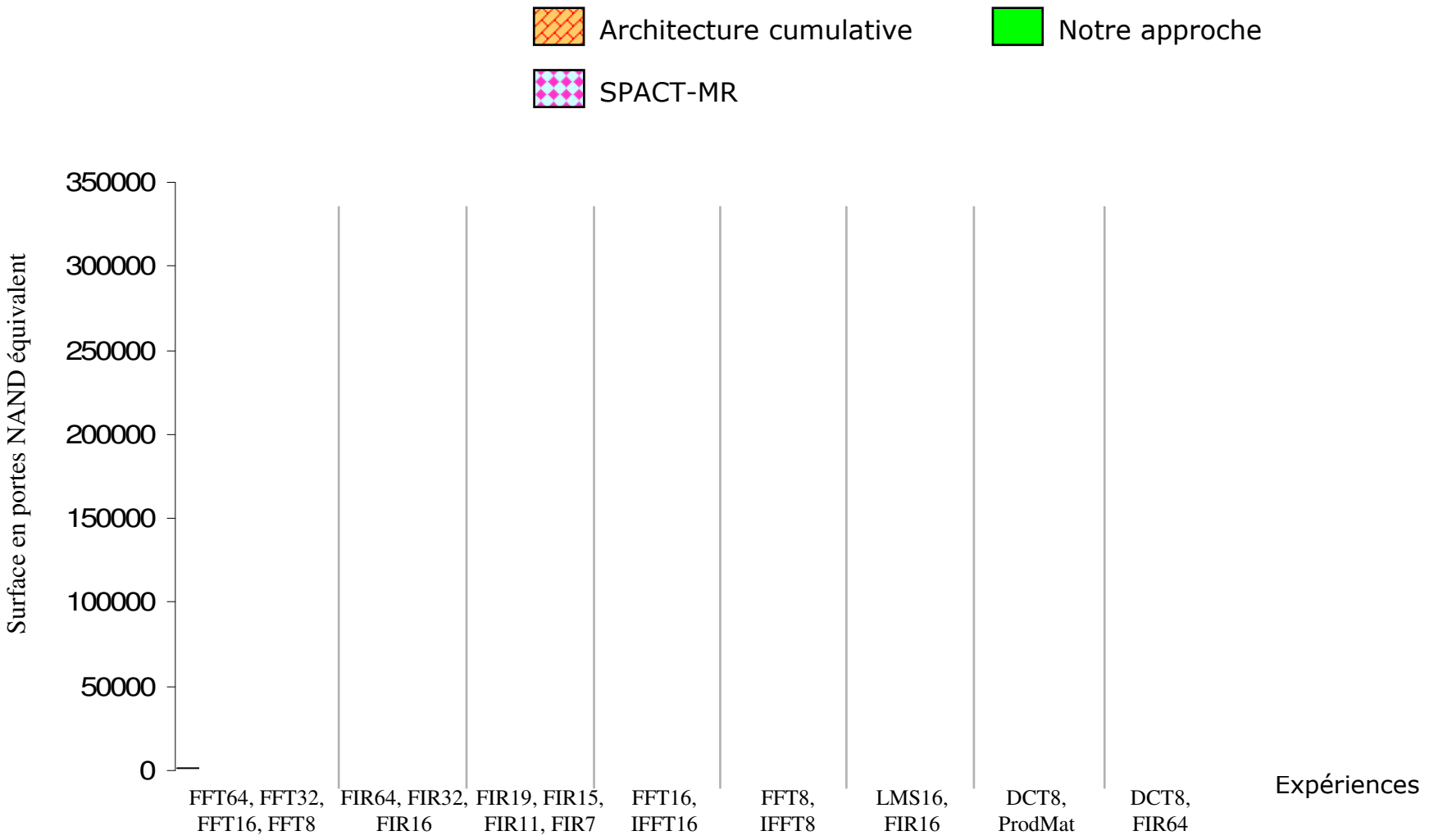
Surface cumulée (Opérateurs / Multiplexeurs / Registres)



Surface cumulée (Opérateurs / Multiplexeurs / Registres)

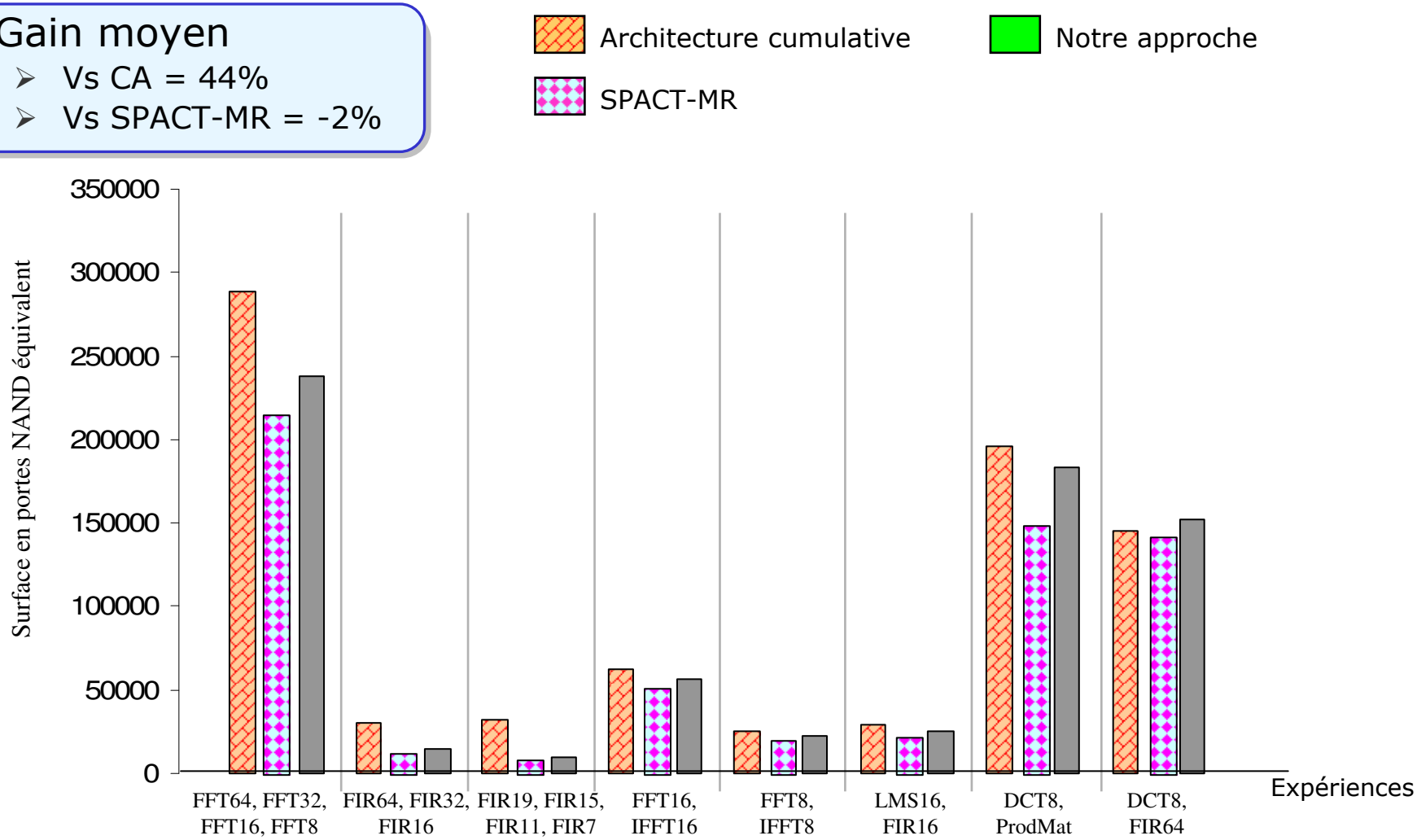


Surface cumulée (Opérateurs / Multiplexeurs / Registres)



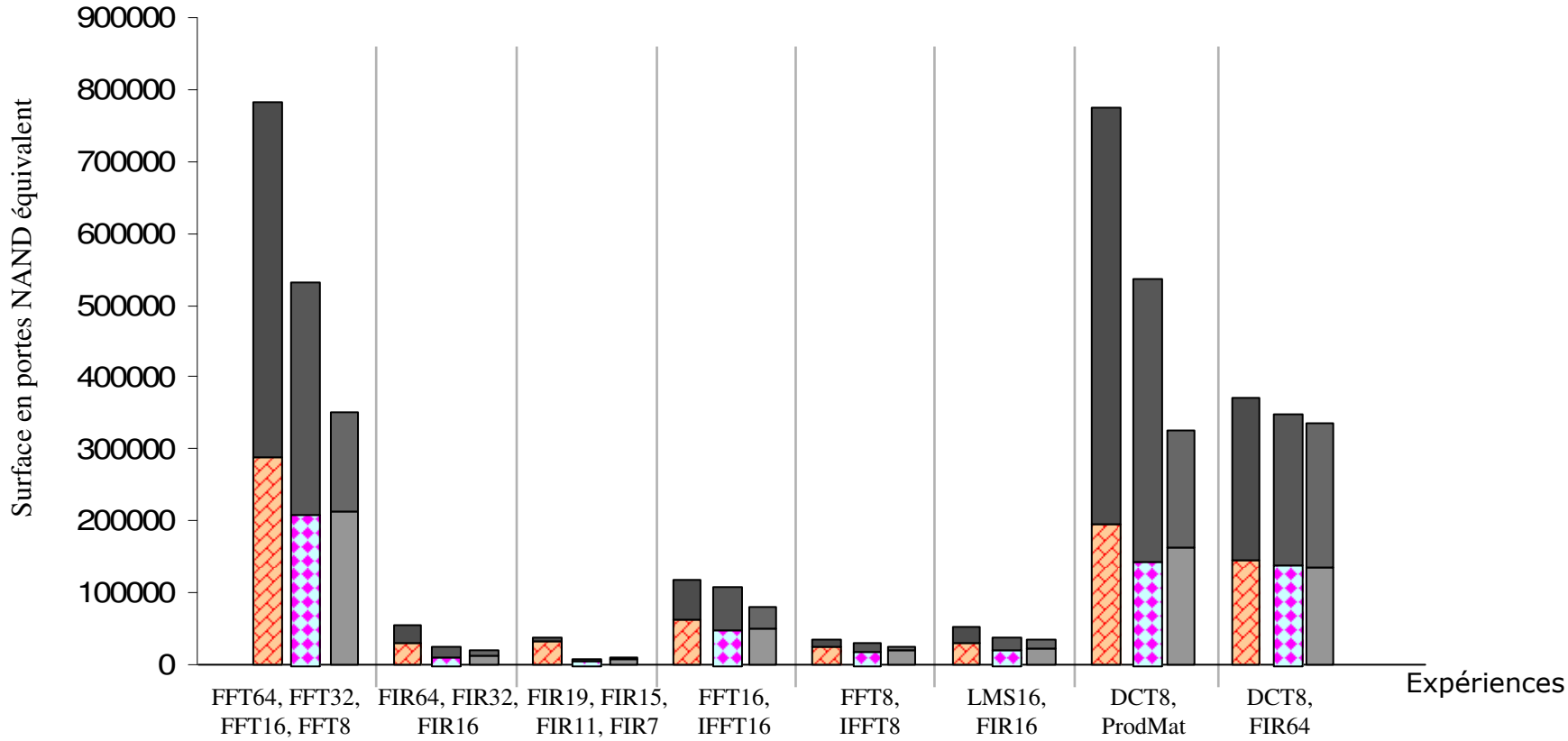
Surface cumulée (Opérateurs / Multiplexeurs / Registres)

- Gain moyen
  - Vs CA = 44%
  - Vs SPACT-MR = -2%



Surface cumulée (Opérateurs / Multiplexeurs / Registres)

- Gain moyen
  - Vs SPACT-MR = 21%



Plan

- Contexte général des travaux
- Etat de l'art
- Approche STAR
- Expérimentations
- Bilan et perspectives
  - Conclusion
  - Perspective des travaux
  - Publications

Conclusion

- Graphe de Compatibilité des Ressources Multi-Modes MMRCG
- Présentation du flot de synthèse proposé et des outils associés
- Trois domaines d'application identifiés et explorés
  - Adaptation des communications dans le cadre de l'intégration de composants
  - Génération de composant d'entrelacement
  - Synthèse de chemin de données (mono ou multi-modes)
- Expérimentations menées dans chacun de ces domaines
- Résultats prometteurs

Perspectives

- Prise en compte formelle des mécanismes de pipeline et des transformations induites sur le modèle MMRCG
- Exploration de l'espace des solutions architecturales par programmation linéaire en nombres entiers
- Prise en compte de la taille des données lors de l'exploration architecturale
- Prise en compte de relation de compatibilité nouvelles permettant la génération de RAM

Publications

- **Chapitre de livre**
  - COUSSY Philippe, CHAVET Cyrille, BOMEL Pierre, HELLER Dominique, SENN Eric, MARTIN Eric, "GAUT : A High-Level Synthesis Tool for DSP Applications", *dans "High-Level Synthesis: From Algorithm to Digital Circuit", en cours de publication,* ***Springer,*** premier trimestre 2008
- **Communications internationales avec actes**
  - CHAVET Cyrille, ANDRIAMISAINA Caaliph, COUSSY Philippe, JUIN Emmanuel, URARD Pascal, CASSEAU Emmanuel et MARTIN Eric, "A design flow dedicated to multi-mode architecture for DSP applications", *IEEE International Conference on Computer-Aided Design*, ***ICCAD 2007***
  - CHAVET Cyrille, COUSSY Philippe, URARD Pascal et MARTIN Eric, "A Methodology for Efficient Space-Time Adapter Design Space Exploration: A Case Study of an Ultra Wide Band Interleaver", *IEEE International Symposium on Circuits and Systems,* ***ISCAS 2007***
  - CHAVET Cyrille, COUSSY Philippe, URARD Pascal et MARTIN Eric, "Application of a design space exploration tool to enhance interleaver generation", *European Signal Processing Conference*, ***EUSIPCO 2007***
  - CHAVET Cyrille, COUSSY Philippe, URARD Pascal et MARTIN Eric, "A Design Methodology for Space-Time Adapter", *ACM Great Lakes Symposium on VLSI*, ***GLSVLSI 2007***

Publications

- **Communications internationales sans actes**
  - CHAVET Cyrille, MICHEL Thierry, GUIZZETTI Roberto et URARD Pascal, "Moving to System Level Design – Requirements & Challenges", *First High Level Synthesis workshop in Forum on specification & Design Languages,* **FDL 2006**
- **Communications nationales avec actes**
  - CHAVET Cyrille, COUSSY Philippe, URARD Pascal et MARTIN Eric, "Méthodologie de modélisation et d'implémentation d'adaptateurs spatio-temporels", *colloque* ***GRETSI*** **2007**
  - CHAVET Cyrille, COUSSY Philippe, URARD Pascal et MARTIN Eric, "Approche formelle pour la Conception d'Adaptateurs Spatio-Temporel", *Manifestation des Jeunes Chercheurs en STIC*, **MajecSTIC 2005**
- **Communications nationales sans actes**
  - CHAVET Cyrille, COUSSY Philippe, URARD Pascal et MARTIN Eric, "Méthodologie de synthèse d'adaptateurs spatio-temporels", *colloque National du* ***GDR SOC-SiP*** **2007**

- **Brevet**
  - CHAVET Cyrille, COUSSY Philippe, URARD Pascal et MARTIN Eric, "Apparatus for data interleaving algorithm", brevet en co-propriété STMicroelectronics/CNRS, N° *0754793* (en cours d'examen à l'INPI)

Synthèse automatique d'interfaces de communication matérielles pour la conception d'applications du domaine du traitement du signal

Cyrille CHAVET

Merci de votre attention

L.E.S.T.E.R
Laboratoire d'Electronique des Systèmes TEmps Réel
UBS
CNRS
FRE 2734

Synthèse automatique d'interfaces de communication matérielles pour la conception d'applications du domaine du traitement du signal

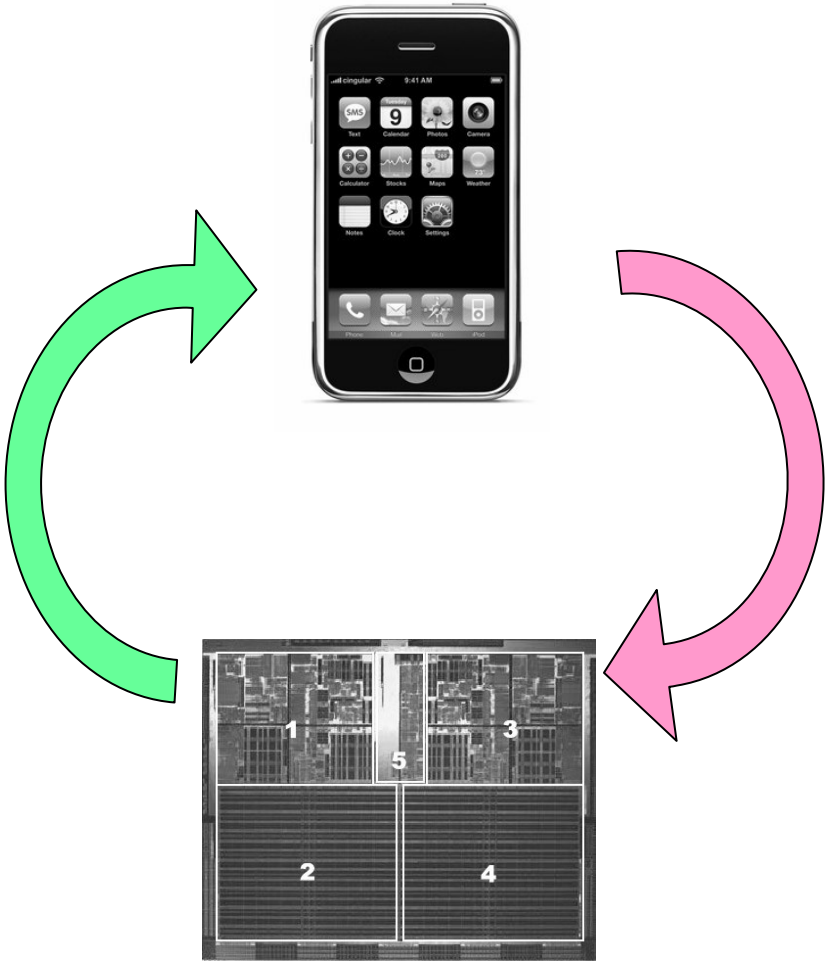
Cyrille CHAVET

Merci de votre attention

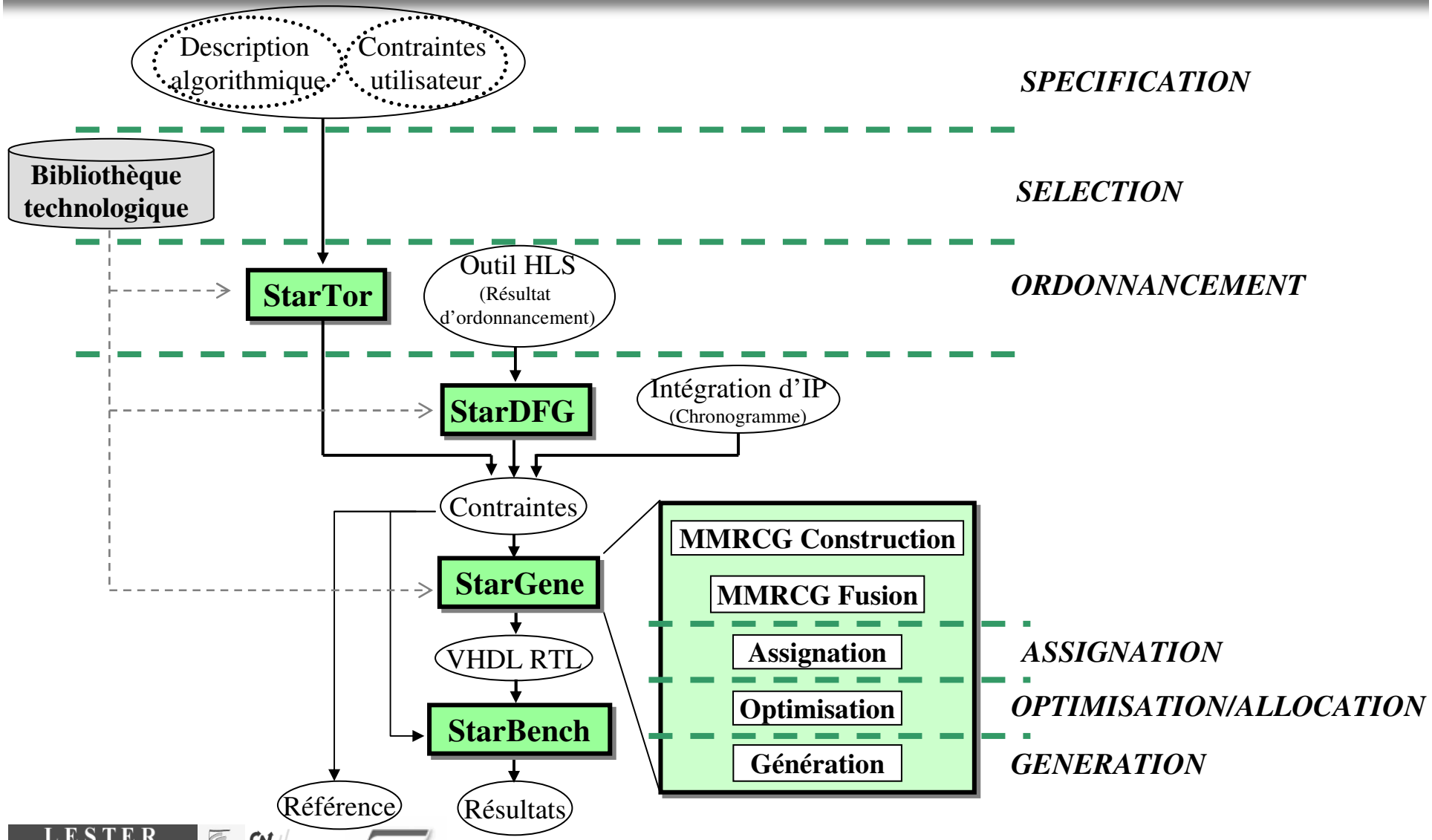
L.E.S.T.E.R
Laboratoire d'Electronique des Systèmes TEmps Réel
UBS
CNRS
FRE 2734

Contexte général

- Contraintes applicatives
  - Complexité algorithmique
  - Performances
  - Hétérogénéité applicative
- Objectifs à minimiser
  - Coût
  - Temps de conception
  - Consommation
  - Surface
  - …
- Hétérogénéité architecturale
  - HW/SW
  - Contrôle/Traitement
  - Analogique/Numérique



Flot de conception - *STARSystem*



Exemple pédagogique

Impact des métriques

Variation du débit

Débit			Registres			FIFO/LIFO/Registres				
IN	OUT	Nb Cycles	Nbre Reg	Nbre Mux	Nbre Pts Mem	Nbre FIFO	Nbre LIFO	Nbre Reg	Nbre Mux	Nbre Pts Mem
1	1	123	60	0	60	7	4	1	0	62
2	1	123	64	0	64	7	4	0	8	63
2	1	92	62	0	62	8	3	3	8	62
2	2	61	60	2	60	6	7	3	10	60

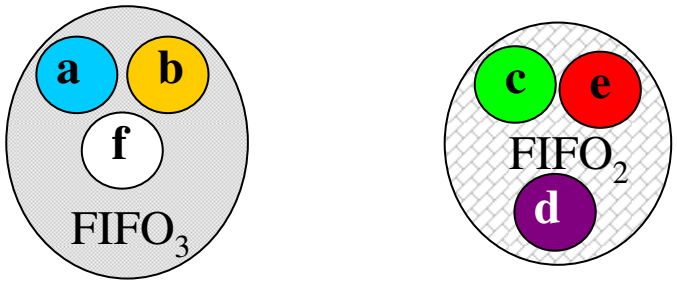
Complexité du multiplexage et Taux de remplissage moyen

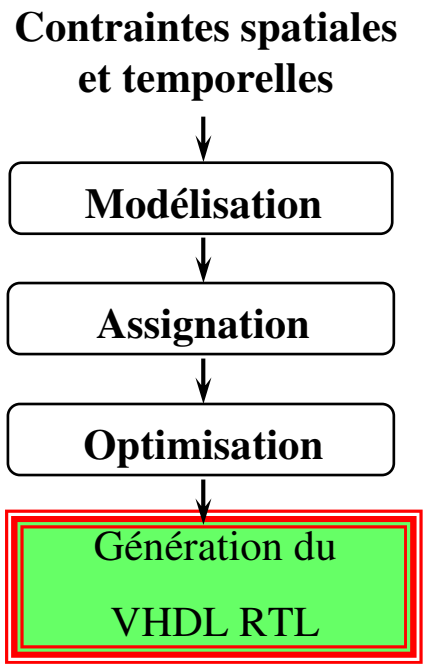
Débit			FIFO/LIFO/Registres				
IN	OUT	Nb Cycles	Nbre FIFO	Nbre LIFO	Nbre Reg	Nbre Mux	Nbre Pts Mem
1	1	123	6	3	7	0	64
2	1	123	6	3	4	6	64
2	1	92	8	2	10	6	62
2	2	61	5	5	11	7	63

Optimisation *Left-Edge*

Débit			Registres		
IN	OUT	Nb Cycles	Nbre Reg	Nbre Mux	Nbre Pts Mem
1	1	123	60	0	60
2	1	123	62	4	62
2	1	92	61	8	61
2	2	61	58	8	58

Génération de l'architecture VHDL



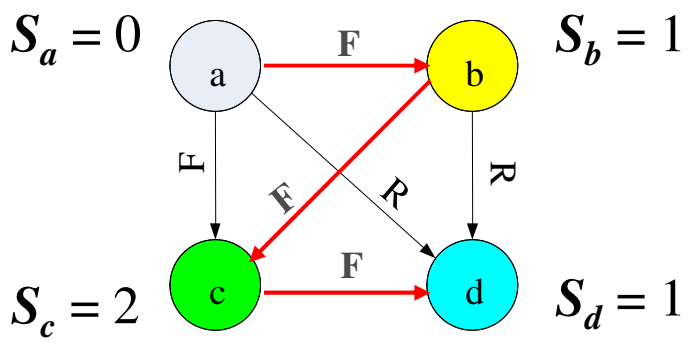


- Architecture VHDL de niveau transfert de registres
- Compatibilité IEEE-1164 et IEEE-1076.3
- Utilisation des bibliothèques technologiques de STMicroelectronics
- Outil de synthèse ciblé: Design Compiler Ultra (Synopsis)

Dimensionnement d'une FIFO

- Recherche du nombre maximum de données recouvrantes :
  - Soit C le plus grand chemin FIFO,
  - Soit i un nœuds de C,
  - Soit S_i = nombre d'arcs F incident à i à partir d'un autre nœud de C,

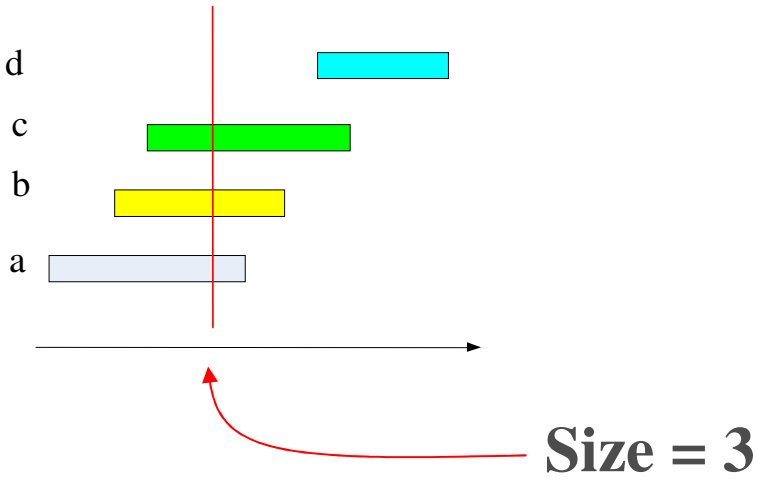
Taille = 1 + max ({ S_i | pour tout noeud i de C})

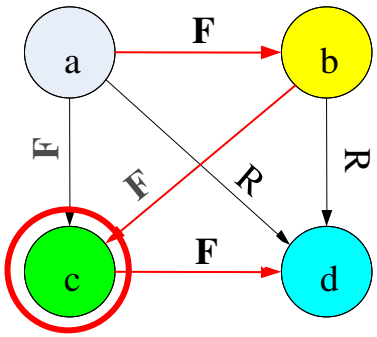


Dimensionnement d'une FIFO

- Recherche du nombre maximum de données recouvrantes :
  - Soit C le plus grand chemin FIFO,
  - Soit i un nœuds de C,
  - Soit S_i = nombre d'arcs F incident à i à partir d'un autre nœud de C,

$$\text{Taille} = 1 + \max(\{ S_i \mid \text{pour tout noeud } i \text{ de } C\})$$



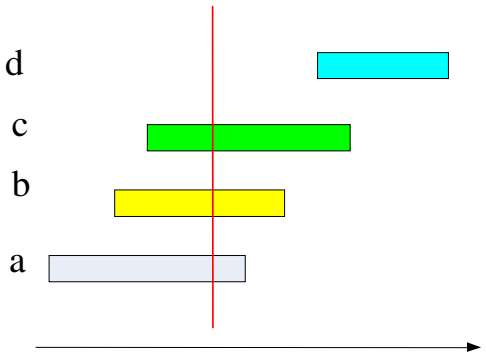


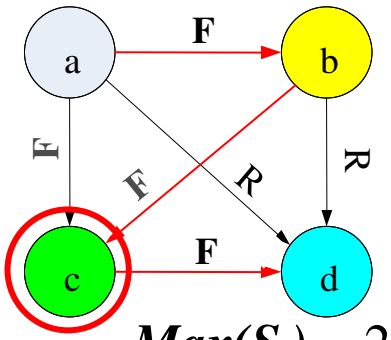
$Max(S_i) = 2$

Dimensionnement d'une FIFO

- Recherche du nombre maximum de données recouvrantes :
  - Soit *C* le plus grand chemin FIFO,
  - Soit *i* un nœuds de *C*,
  - Soit S_i = nombre d'arcs F incident à *i* à partir d'un autre nœud de *C*,

Taille = 1 + max ({ S_i | pour tout noeud *i* de *C*})



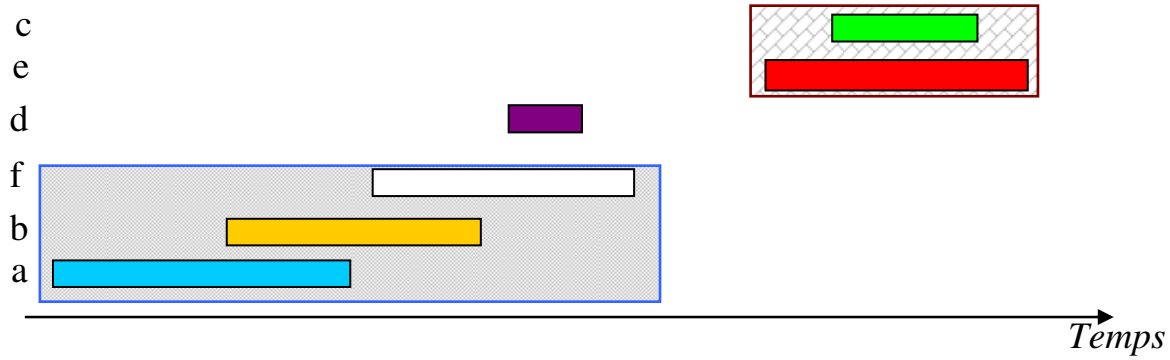


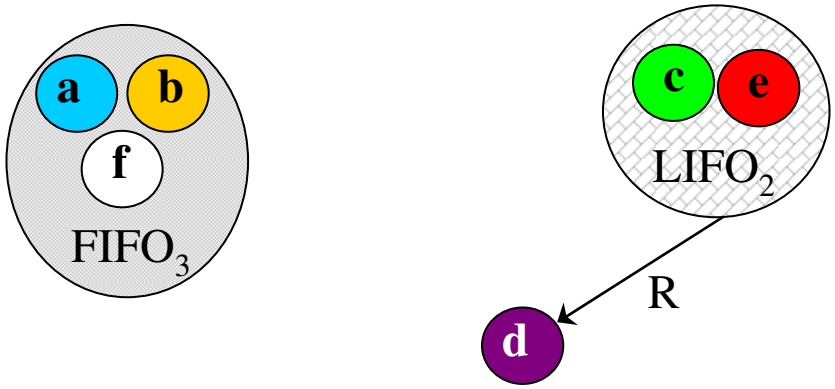
$Max(S_i) = 2$

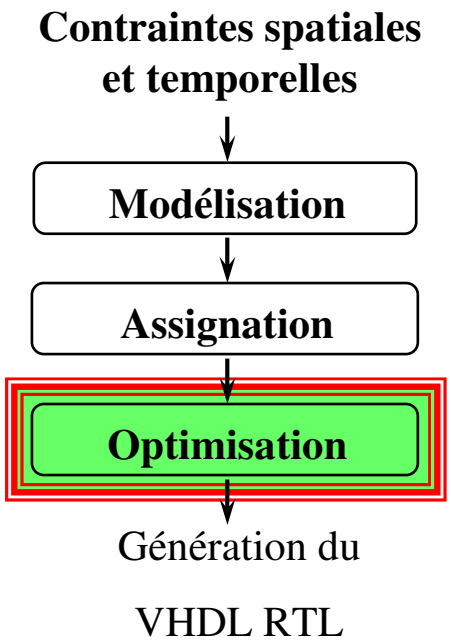
Size = 3

Size = $Max(S_i) + 1 = 3$

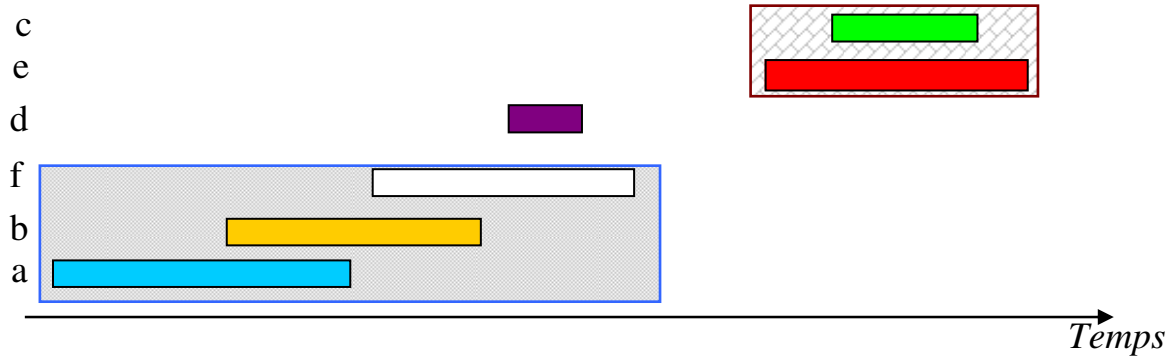
Nouveau type d'arc

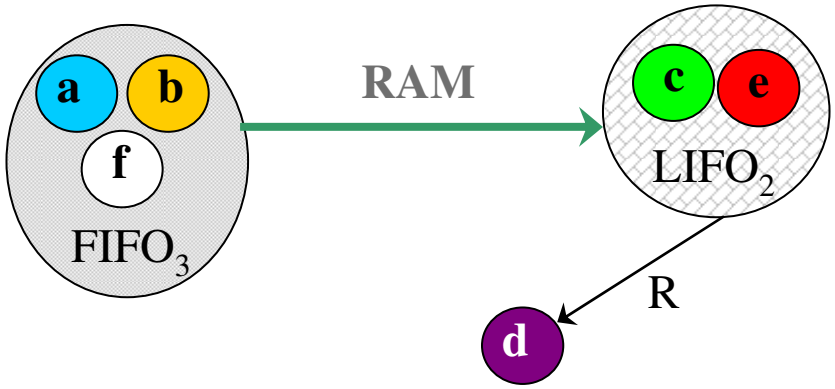


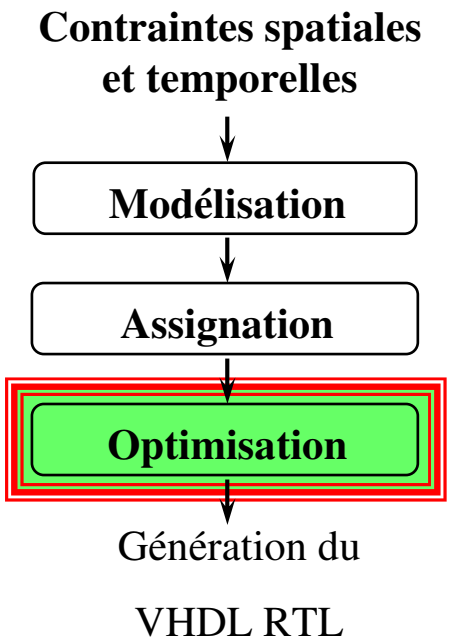




Nouveau type d'arc

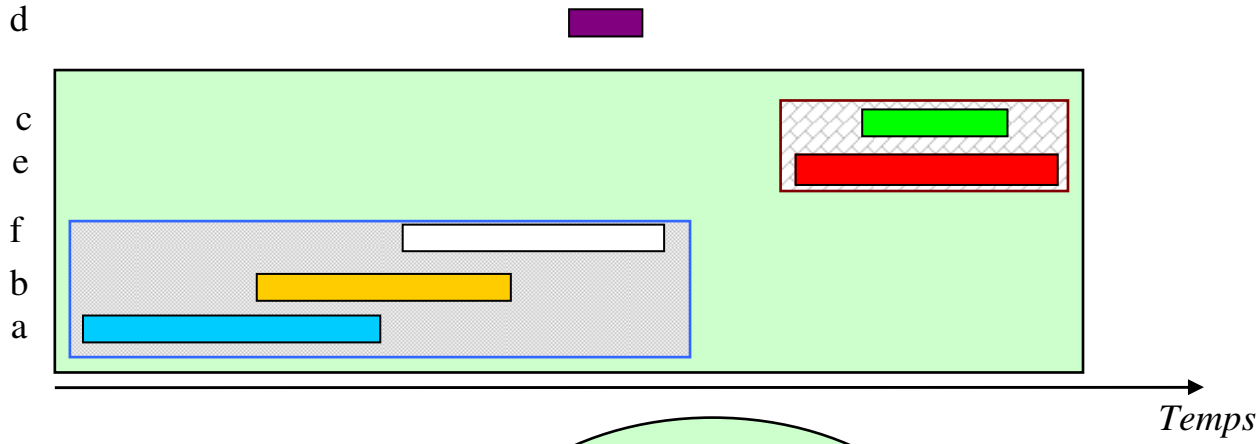


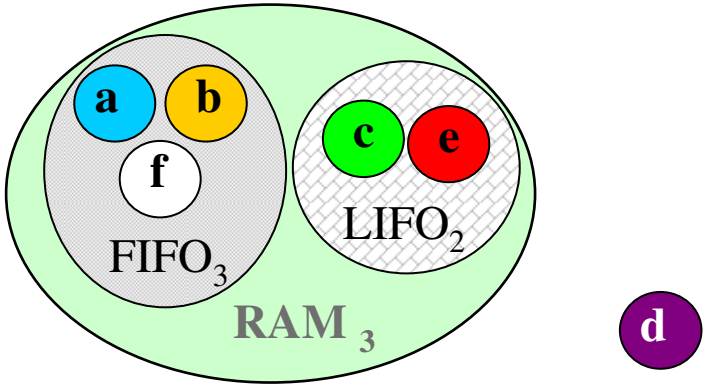


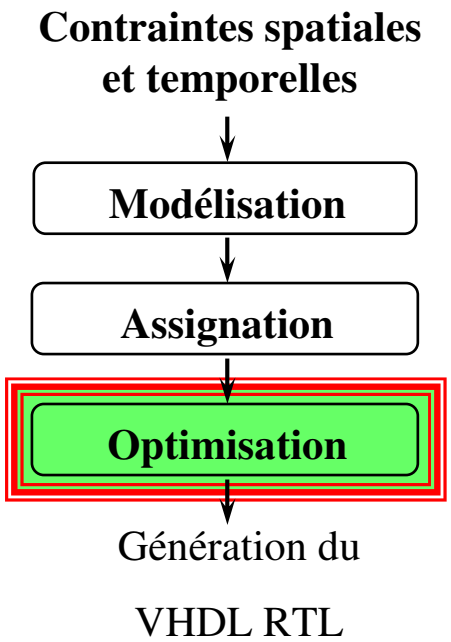


- Arc de type RAM

Nouveau type d'arc



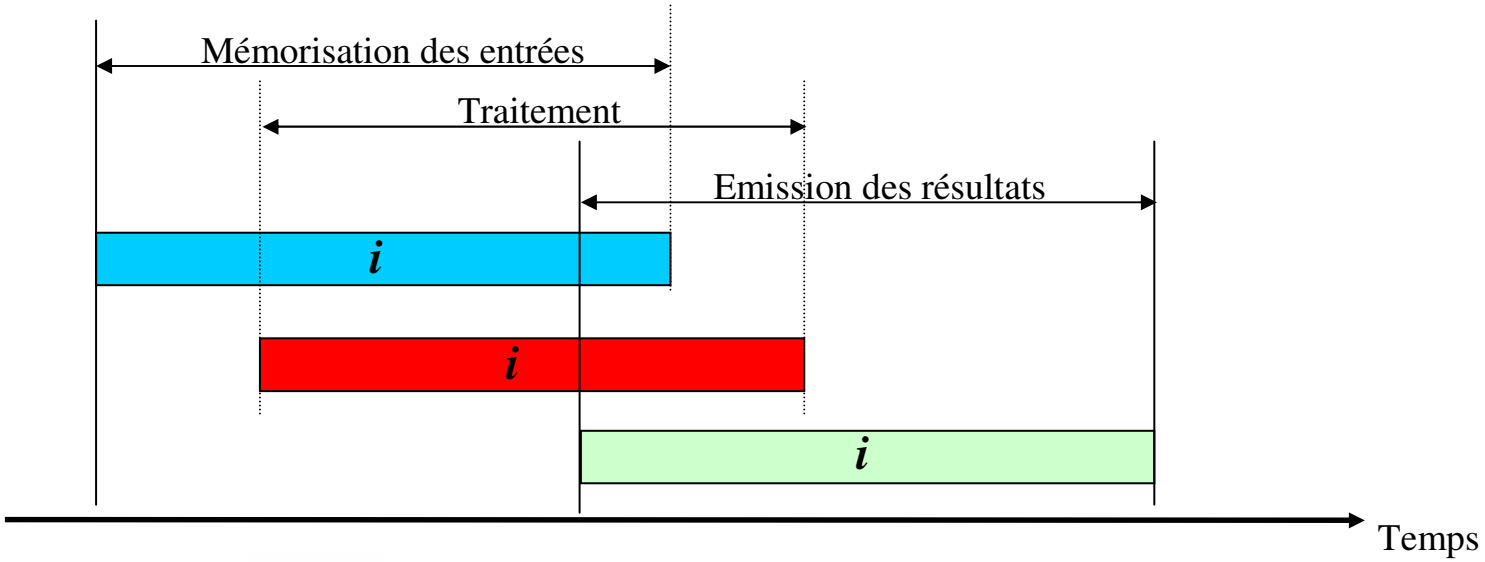




- Architecture résultante
  - Une RAM de 3 cases qui mémorise 5 données
  - Un registre
  - Une case mémoire gagnée

VIRER d'une approche à grain fin

- Lancer le traitement des données dés que possible: modèle d'analyse à grain fin (scalaires Vs matrice)
- Recouvrement entre les étapes de -*Mémorisation / Traitement / Emission*- d'une même itération ***i***
- Diminution du coût en éléments mémorisants
- Amélioration des performances (consommation, surface)

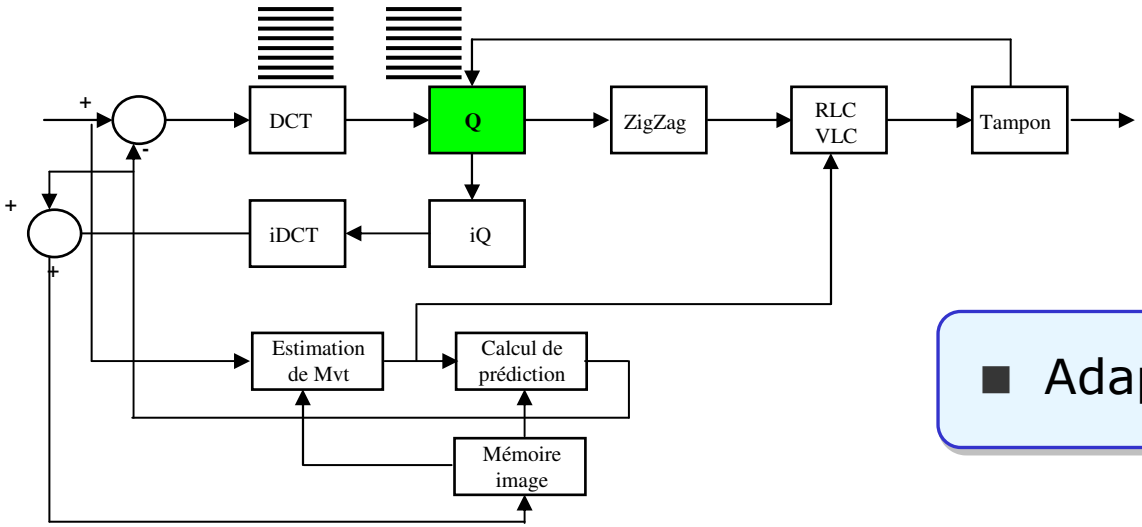


Graphe de Compatibilité des Ressources Multi-Mode

- Graphe Hiérarchique
- Dans un blocs de base:
  - Bloc de base
  - Nœud disjonction / conjonction
  - Graphe de Compatibilité des Ressources

- Soit *G(V, E)* un MMRCG :
  - L'ensemble des **nœuds** $V = \{Nb \cup Ns \cup Nv \cup Nh \cup Nm\}$; ***Nb*** blocs de base; ***Ns*** nœuds de sélection; ***Nv*** nœuds variables; ***Nh*** nœuds de structure (FIFO, LIFO, Registres); ***Nm*** nœuds multi-variables/multi-modes,
  - L'ensemble des **arêtes** E= $\{Ac \cup Av \cup As\}$; ***Ac*** arêtes orientées (ou arcs) de compatibilité entre les nœuds (n_i, n_j) tel que n_i et n_j $C = \{Nv \cup Nh \cup Nm\}$; ***Av*** arêtes de vraisemblance pondérées entre les nœuds (n_i, n_j) ssi $n_i \in Nb_k$, $n_j \in Nb_l$ *et* $Nb_k \neq Nb_l$; ***As*** arêtes orientées (ou arcs) de contrôles
  - Un poids **w** est associé à chaque arête de vraisemblance $a_v \in Av$

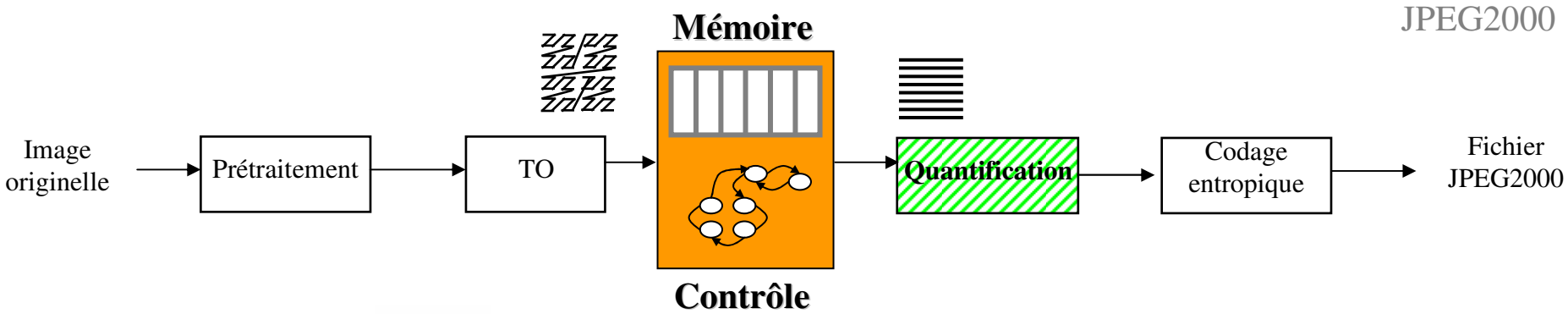
Cas d'étude: Réutilisation de blocs matériels



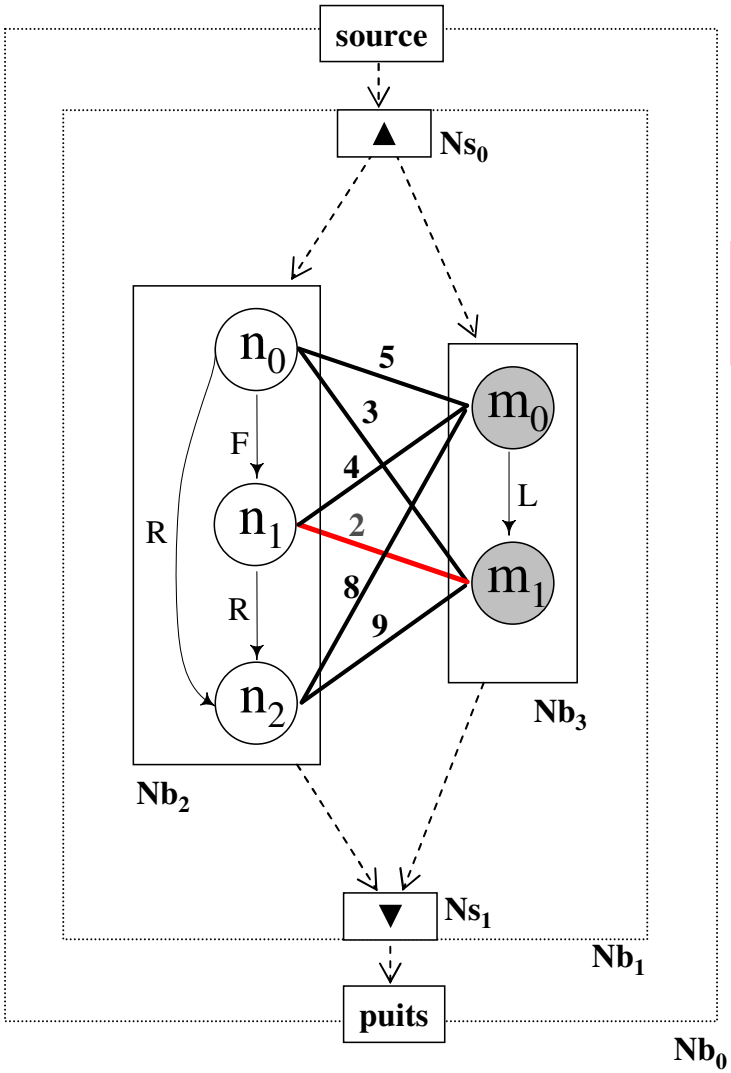
- Adaptation des communications

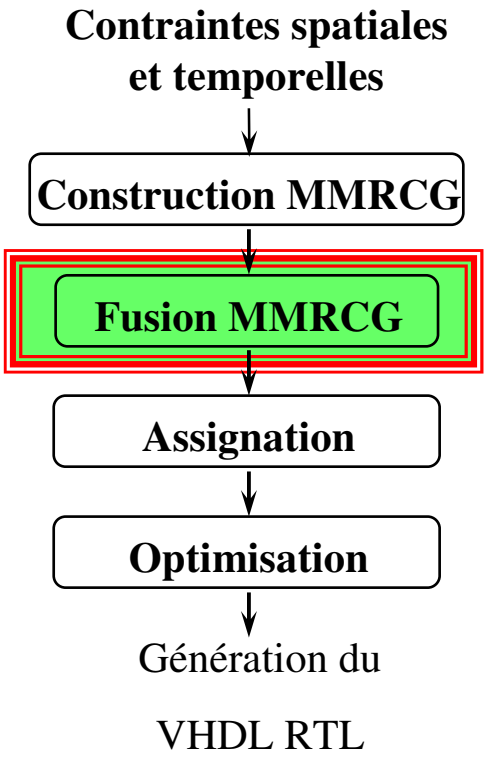
MPEG-2

JPEG2000

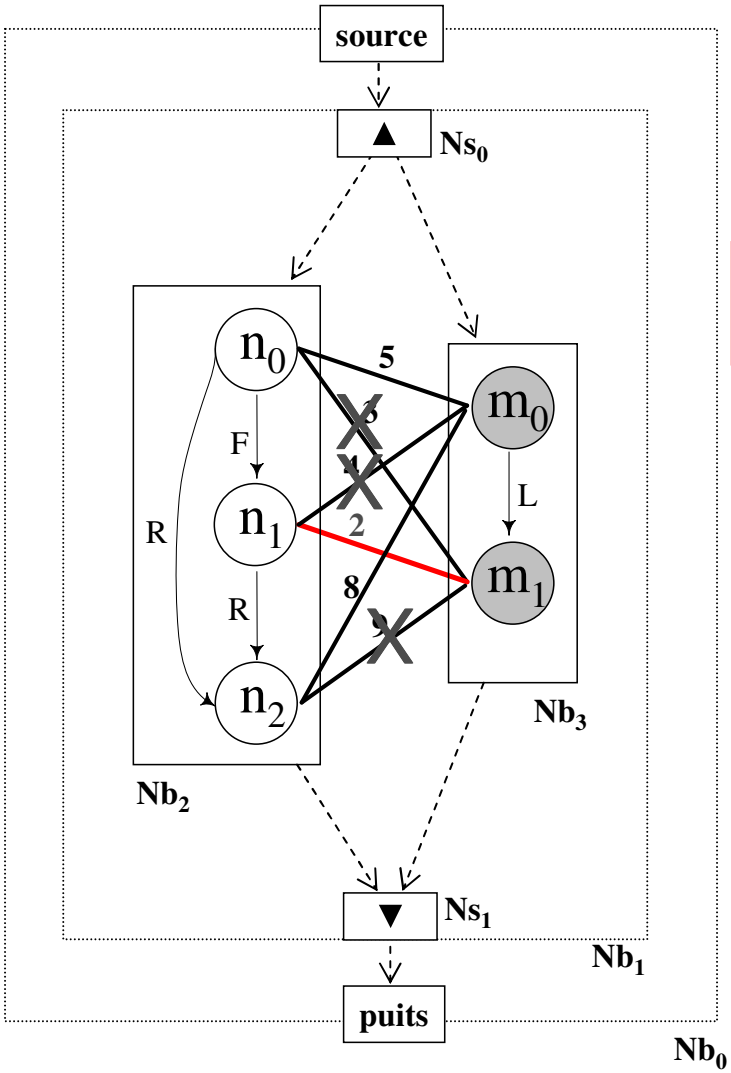


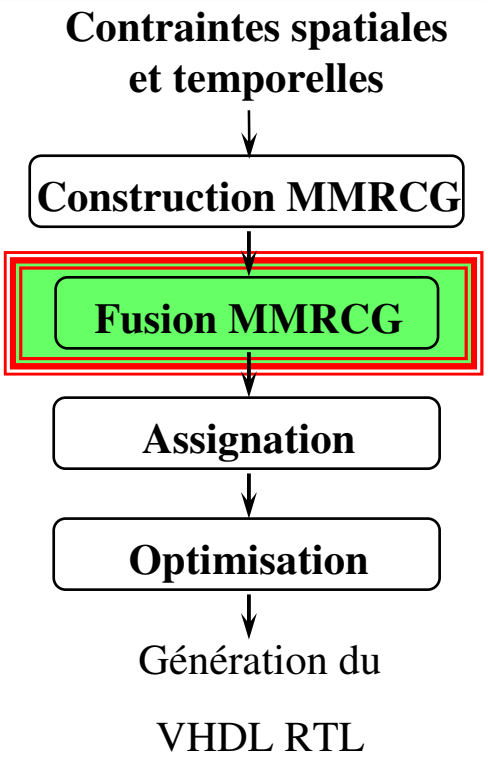
Construction d'un MMRCG





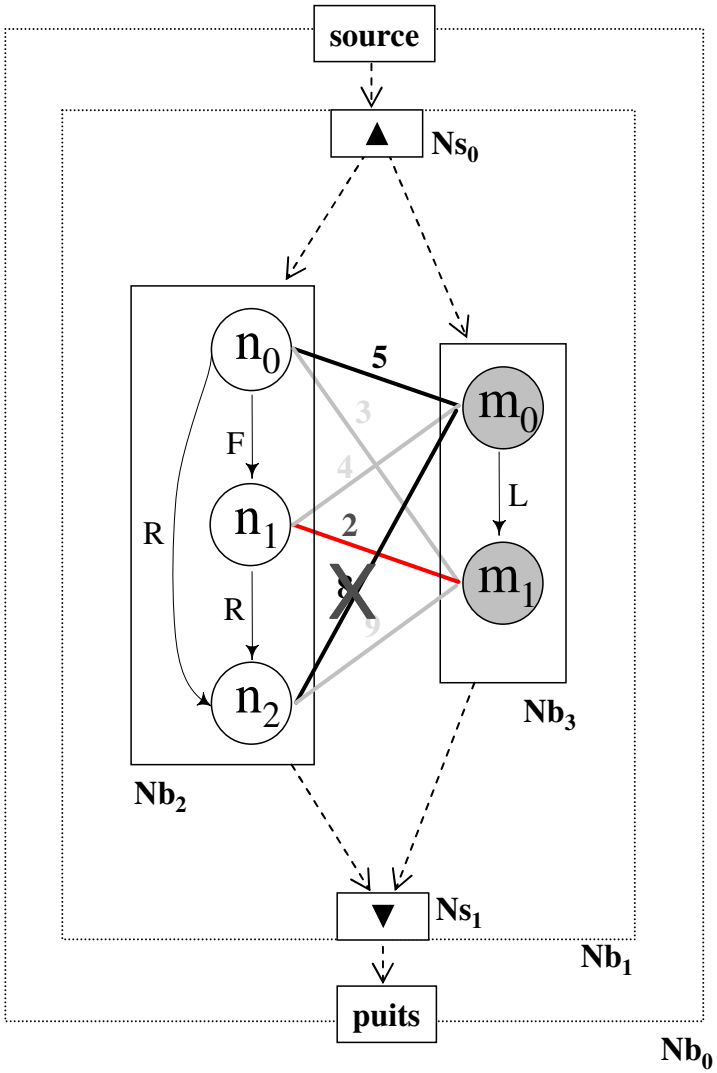
Construction d'un MMRCG

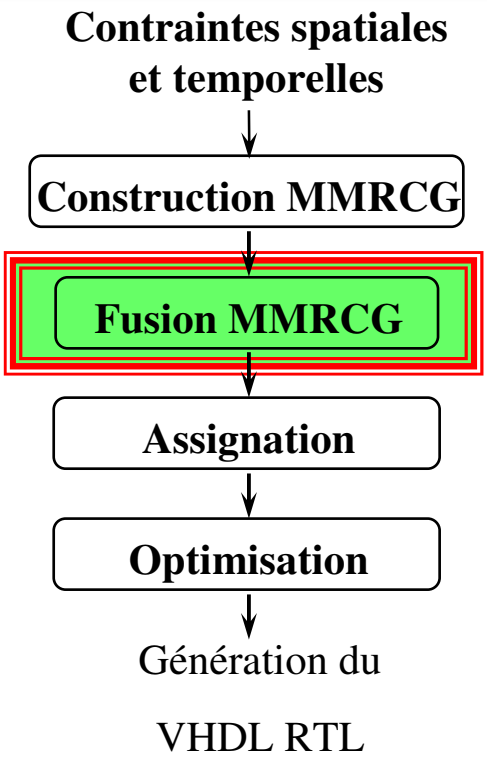




Construction d'un MMRCG

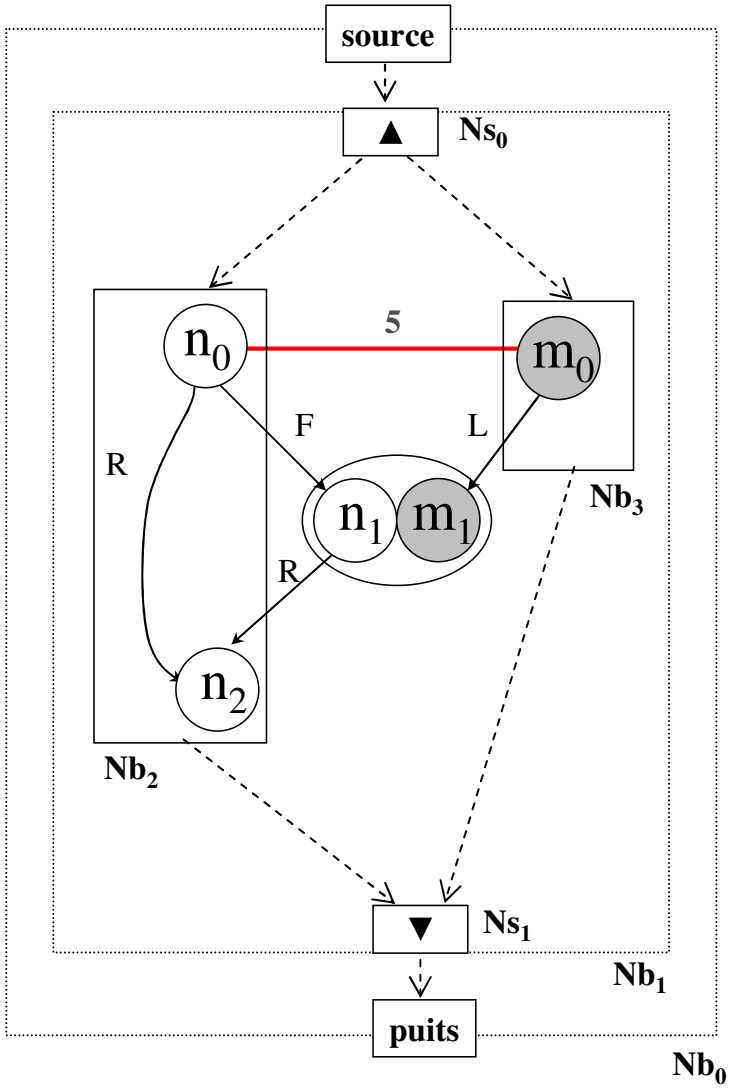
- Coût global
  - Limitation de l'espace des solutions de fusion

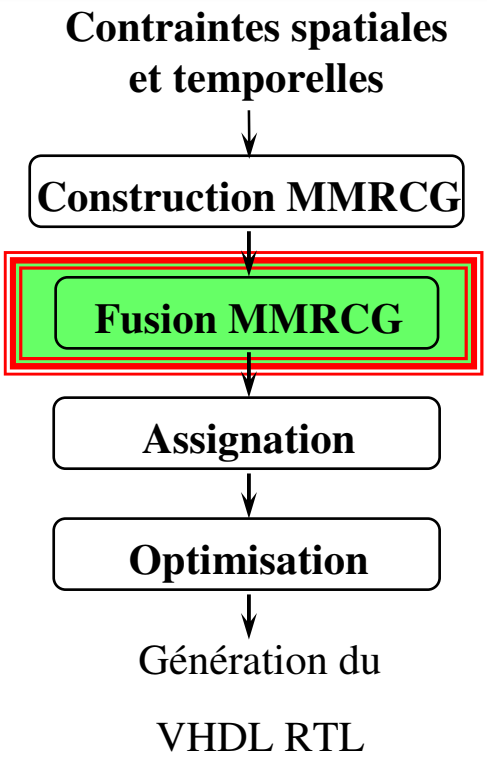




Construction d'un MMRCG

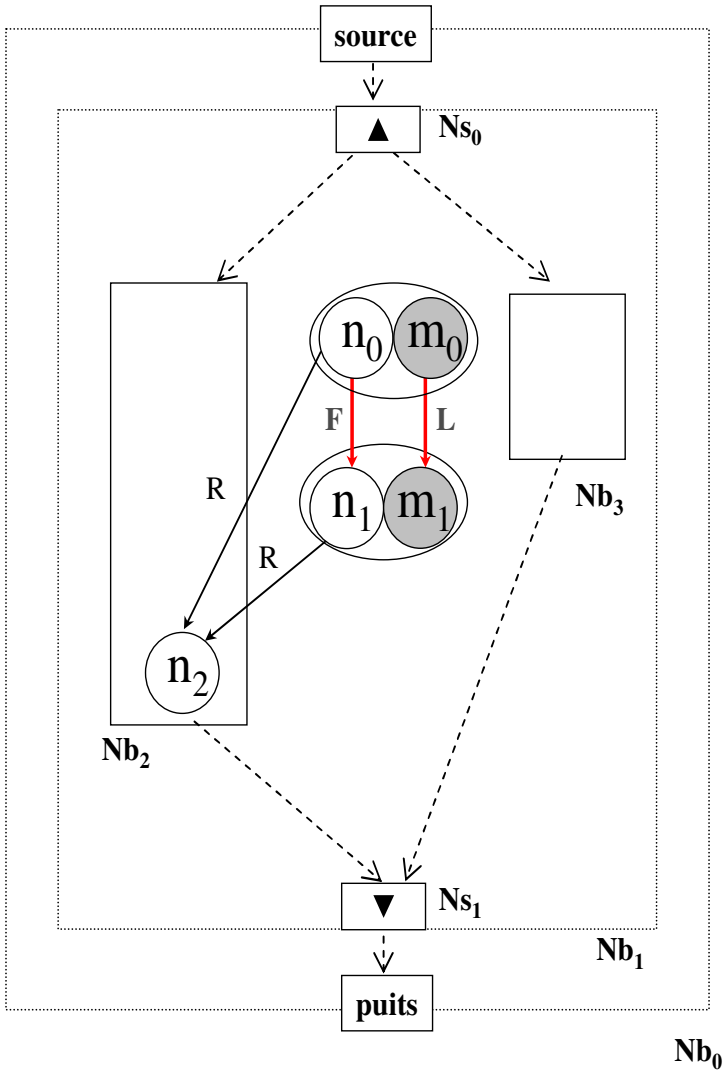
- Coût global
  - Limitation de l'espace des solutions de fusion

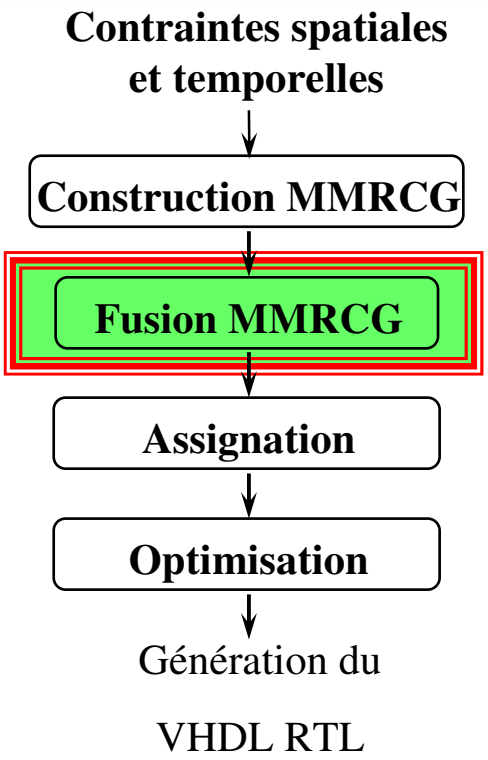




Construction d'un MMRCG

- Coût local
  - Limitation de l'espace des solutions d'assignation
  - Coût en terme de multiplexage



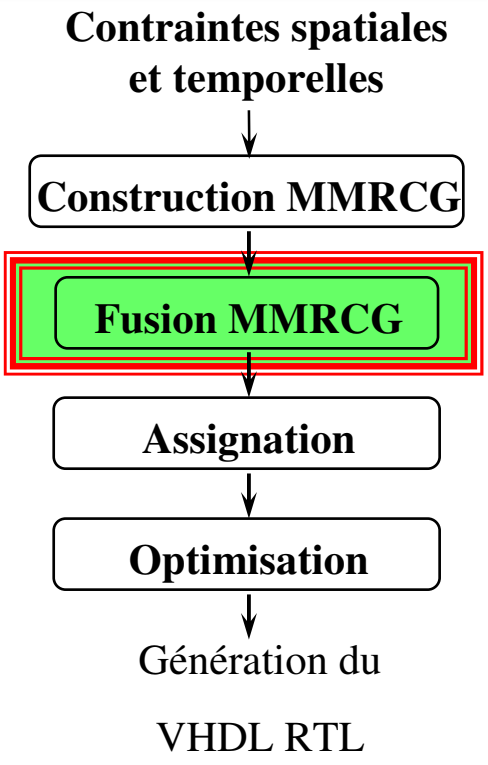


Construction d'un MMRCG

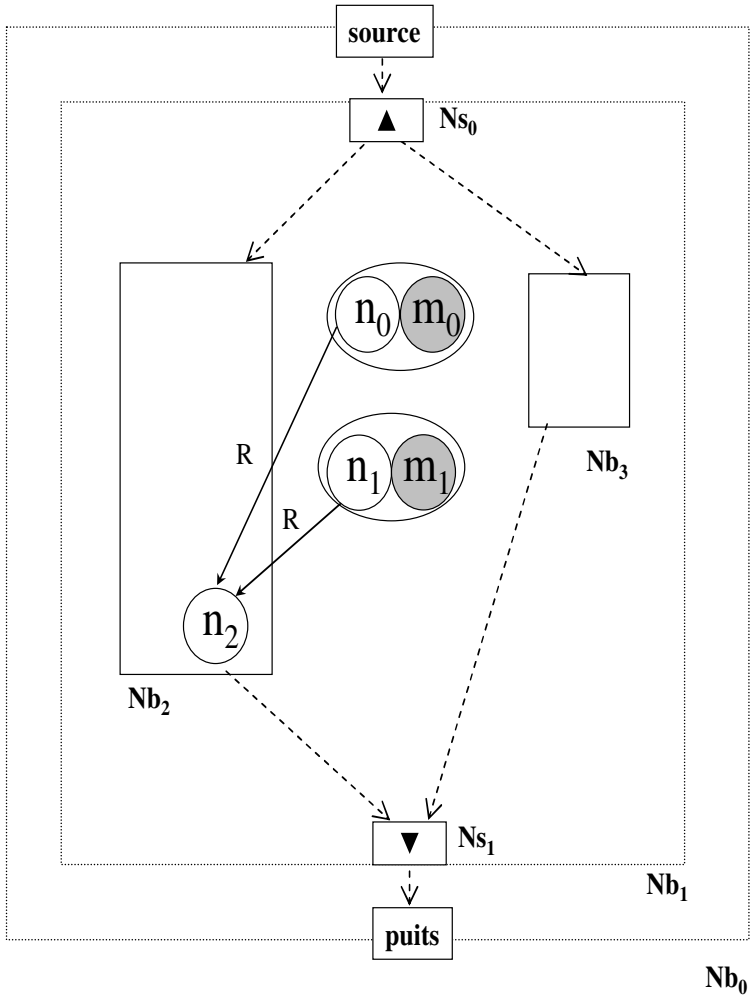
- Coût local
  - Limitation de l'espace des solutions d'assignation
  - Coût en terme de multiplexage

- Transformation des arcs de compatibilité

RCG_1 / RCG_2	FIFO	LIFO	Reg	*Rien*
FIFO	**F**	-	**F**	-
LIFO	-	**L**	**L**	-
Reg	**F**	**L**	**R**	-
Rien	-	-	-	-



Construction d'un MMRCG



Contraintes spatiales et temporelles

↓

Construction MMRCG

↓

Fusion MMRCG

↓

Assignation

↓

Optimisation

↓

Génération du VHDL RTL

Algorithme d'entrelacement pour UWB

- Première expérimentation: Exploration architecturale
- Mode: 600 données; Parallélisme d'E/S : 6/5

# min.	Usage factor	# structures					# memory points	Througput
		Mux	FIFO	LIFO	Register	Total	Used	
4	90%	48	45	5	22	174	514	272,2
7	90%	34	34	1	90	159	525	272,2
15	90%	12	12	0	391	415	581	272,2
30	90%	0	0	0	600	600	600	272,2
7	50%	28	27	2	73	130	533	272,2
7	70%	29	28	2	70	129	532	272,2
7	100%	39	38	1	84	162	522	272,2

Algorithme d'entrelacement pour UWB

- Première expérimentation: Exploration architecturale
- Mode: 600 données; Parallélisme d'E/S : 6/5

# min.	Usage factor	# structures					# memory points	Througput
		Mux	FIFO	LIFO	Register	Total	Used	
4	90%	48	45	5	22	174	514	272,2
7	90%	34	34	1	90	159	525	272,2
15	90%	12	12	0	391	415	581	272,2
30	90%	0	0	0	600	600	600	272,2
7	50%	28	27	2	73	130	533	272,2
7	70%	29	28	2	70	129	532	272,2
7	100%	39	38	1	84	162	522	272,2

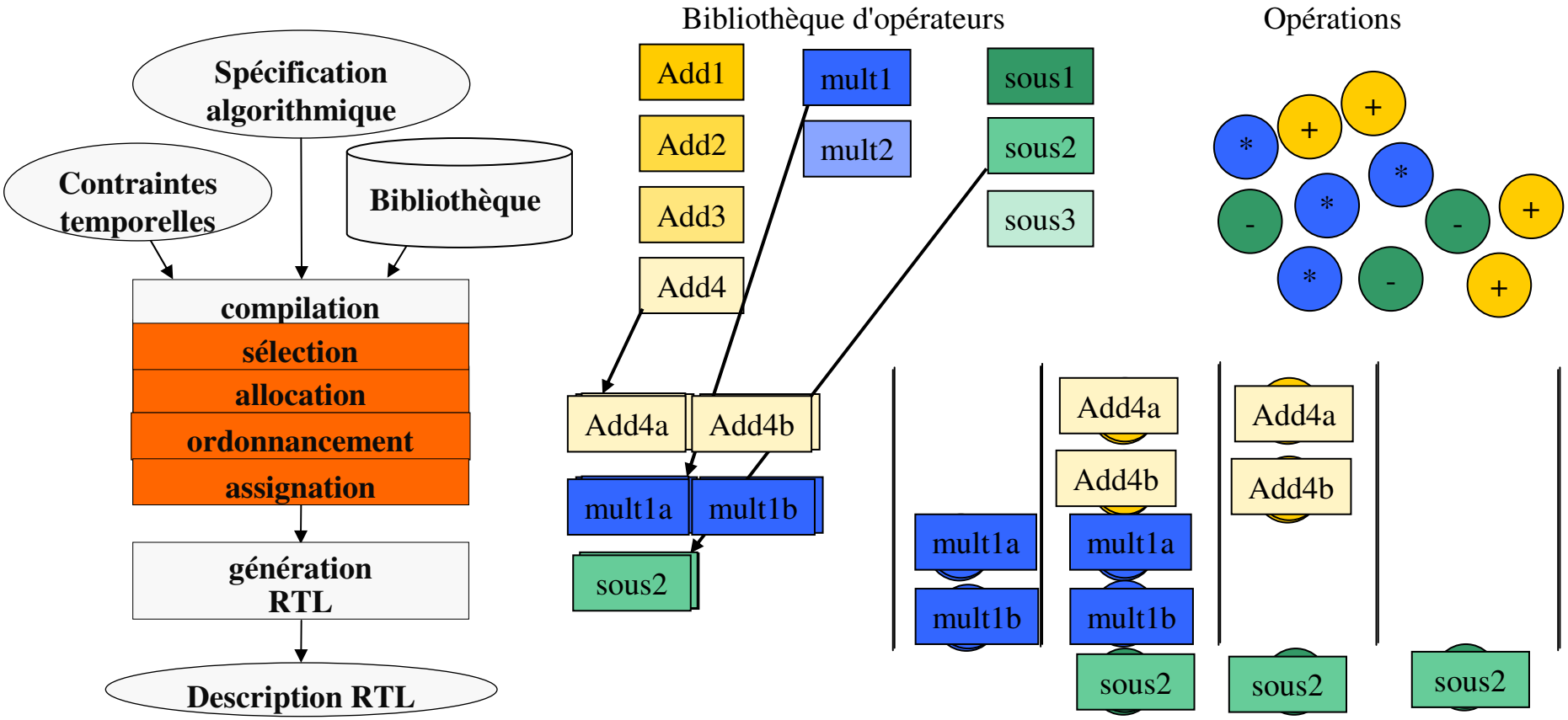
Algorithme d'entrelacement pour UWB

# min.	Usage factor	# structures					# memory points	Througput
		Mux	FIFO	LIFO	Register	Total	Used	
4	**90%**	48	45	5	22	174	**514**	272,2
7	90%	34	34	1	90	159	525	272,2
15	90%	12	12	0	391	415	581	272,2
30	90%	0	0	0	600	600	600	272,2
7	50%	28	27	2	73	130	533	272,2
7	**70%**	29	28	2	70	**129**	532	272,2
7	100%	39	38	1	84	162	522	272,2

- En fonction des objectifs du concepteur
  - Architecture 1: minimisation du nombre de points mémoire
  - Architecture 2: réduction de la complexité du contrôleur
- Exploration de l'architecture = Exploration des métriques

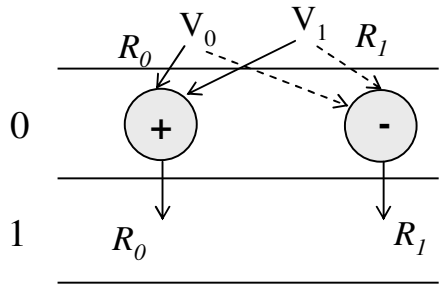
Synthèse de haut niveau

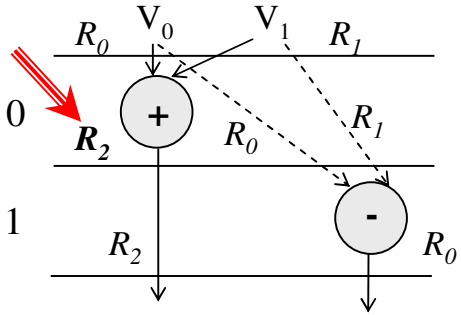
- Passage d'une spécification algorithmique à une description RTL (Register Transfert Level)



Impact de la synthèse de haut niveau

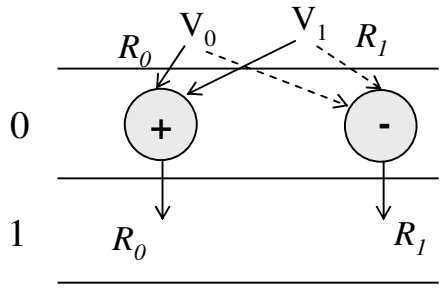
- Impact de l'ordonnancement
  - Durée de vie des registres

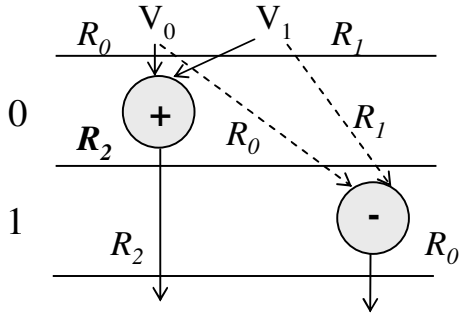




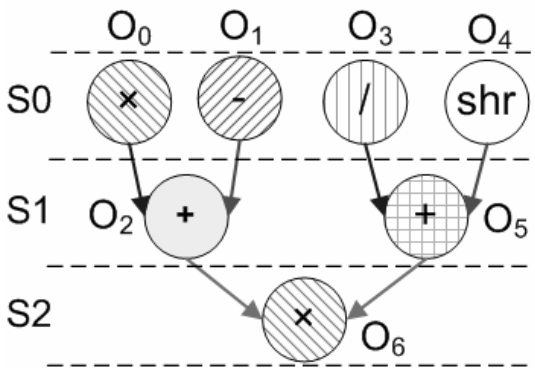
Impact de la synthèse de haut niveau

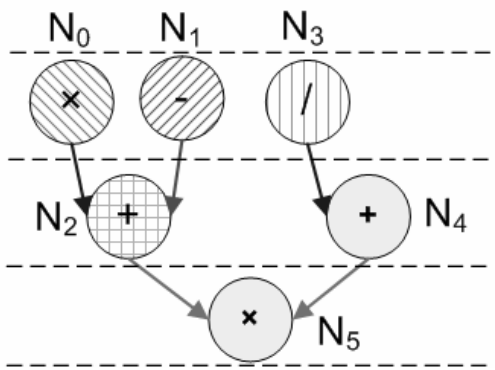
- Impact de l'ordonnancement
  - Durée de vie des registres





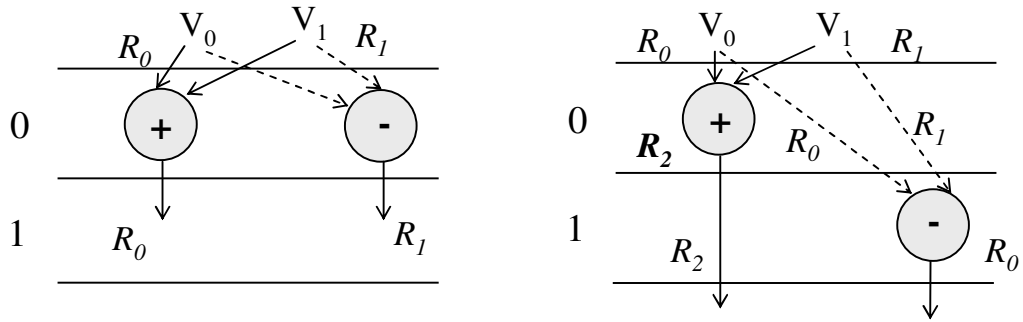
- Impact de l'assignation



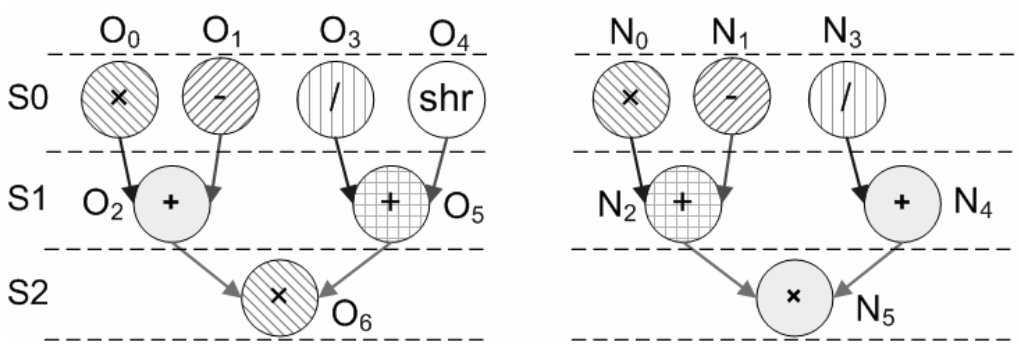


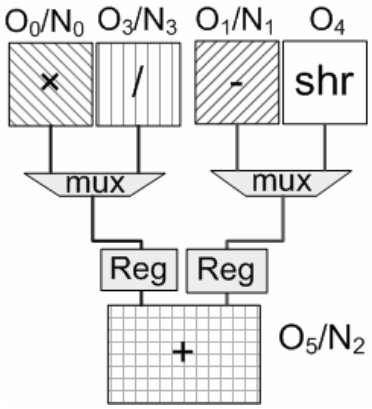
Impact de la synthèse de haut niveau

- Impact de l'ordonnancement
  - Durée de vie des registres



- Impact de l'assignation

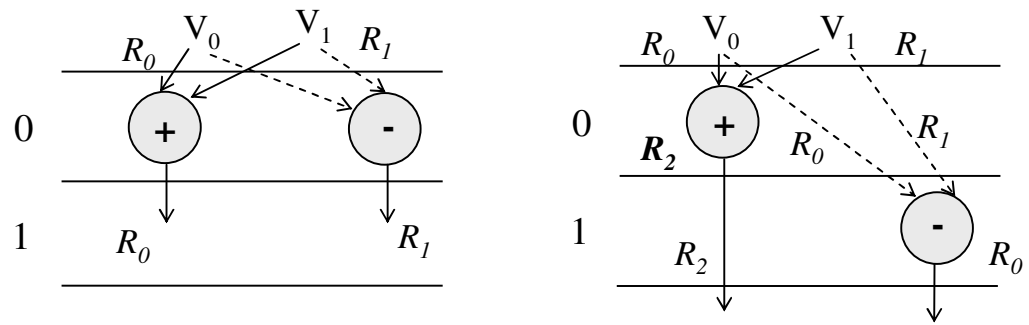




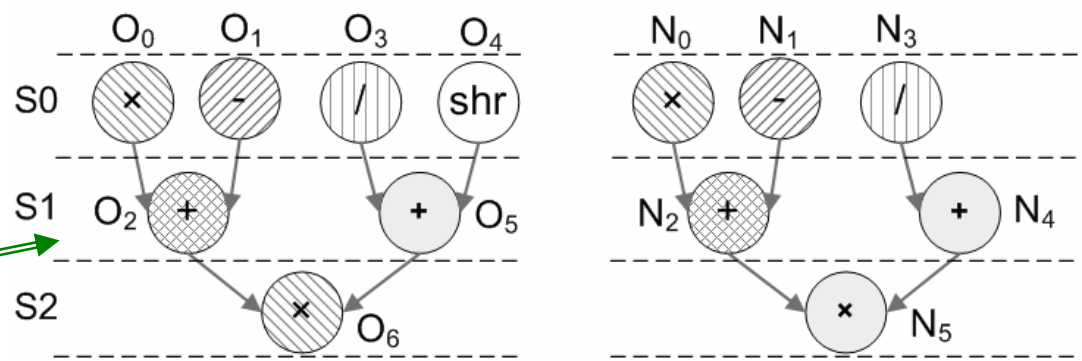
- Deux registres
- Deux multiplexeurs

Impact de la synthèse de haut niveau

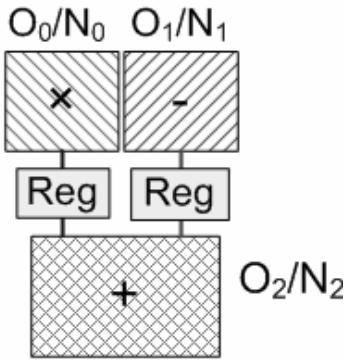
- Impact de l'ordonnancement
  - Durée de vie des registres



- Impact de l'assignation

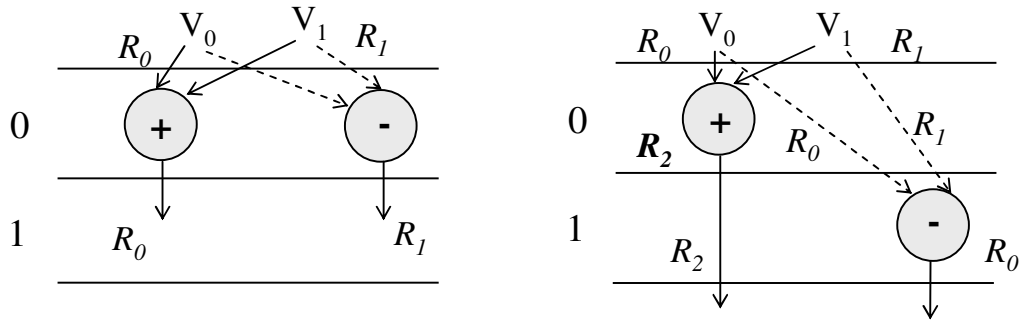


- Plus de multiplexeurs

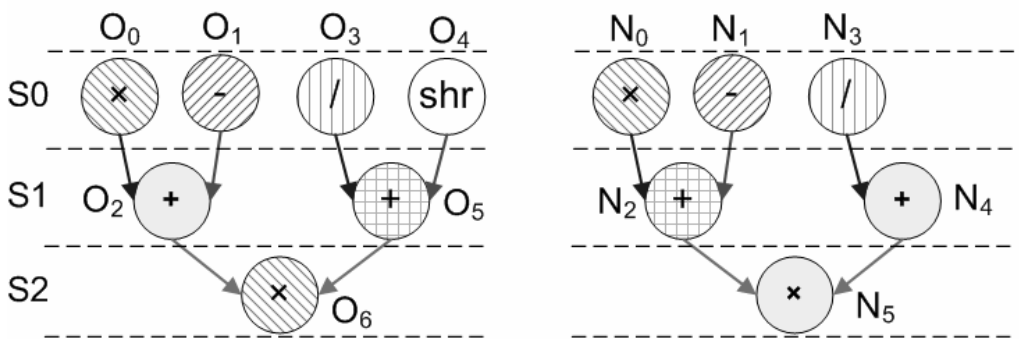


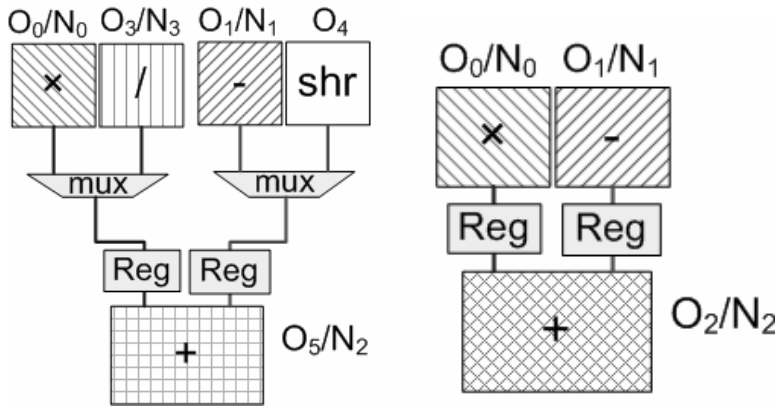
Impact de la synthèse de haut niveau

- Impact de l'ordonnancement
  - Durée de vie des registres

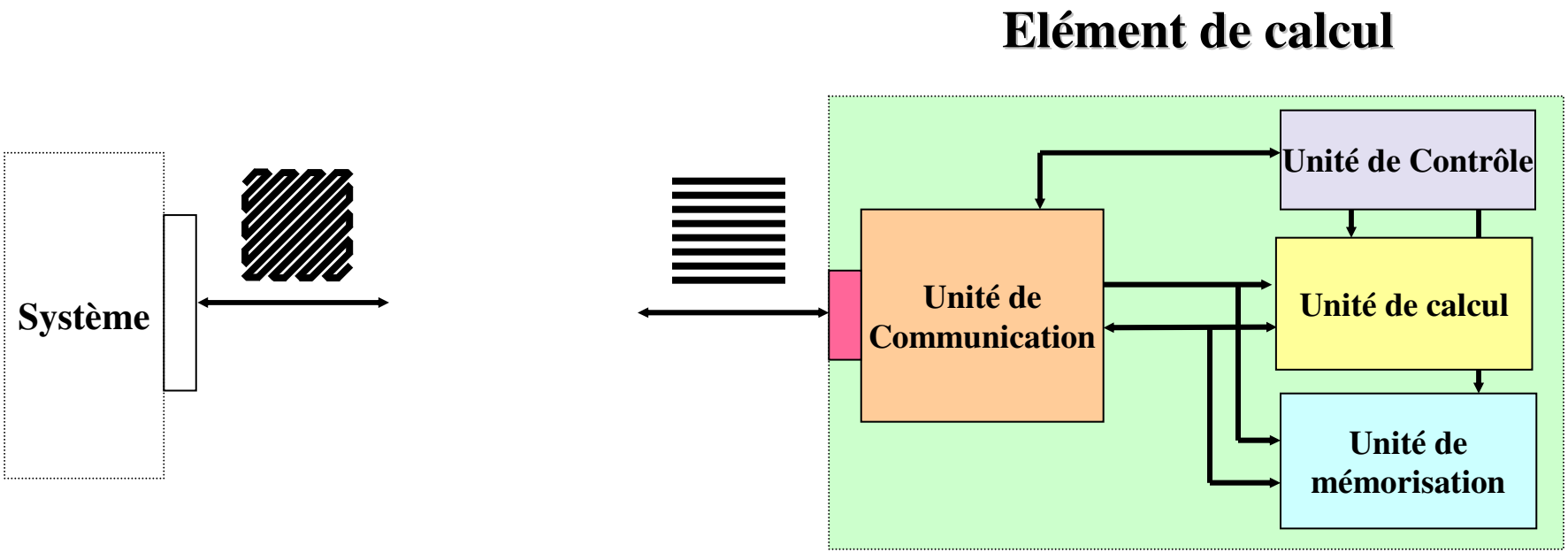


- Impact de l'assignation
  - Multiplexeurs

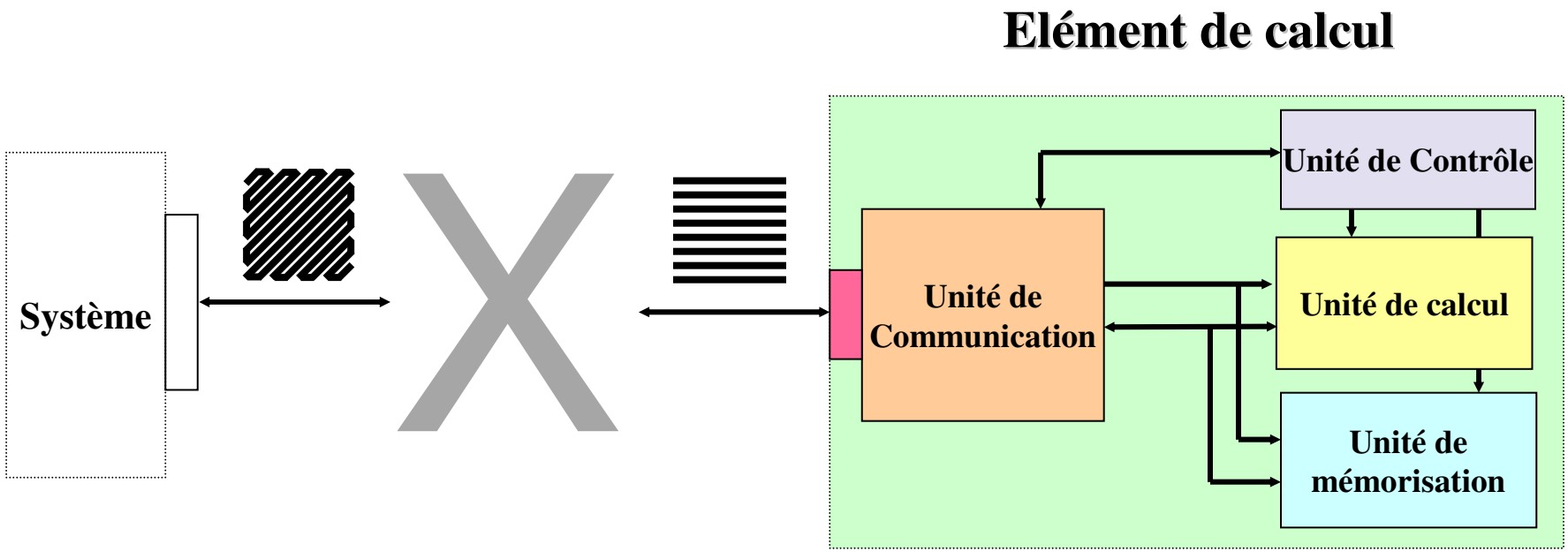




Adaptation des communications

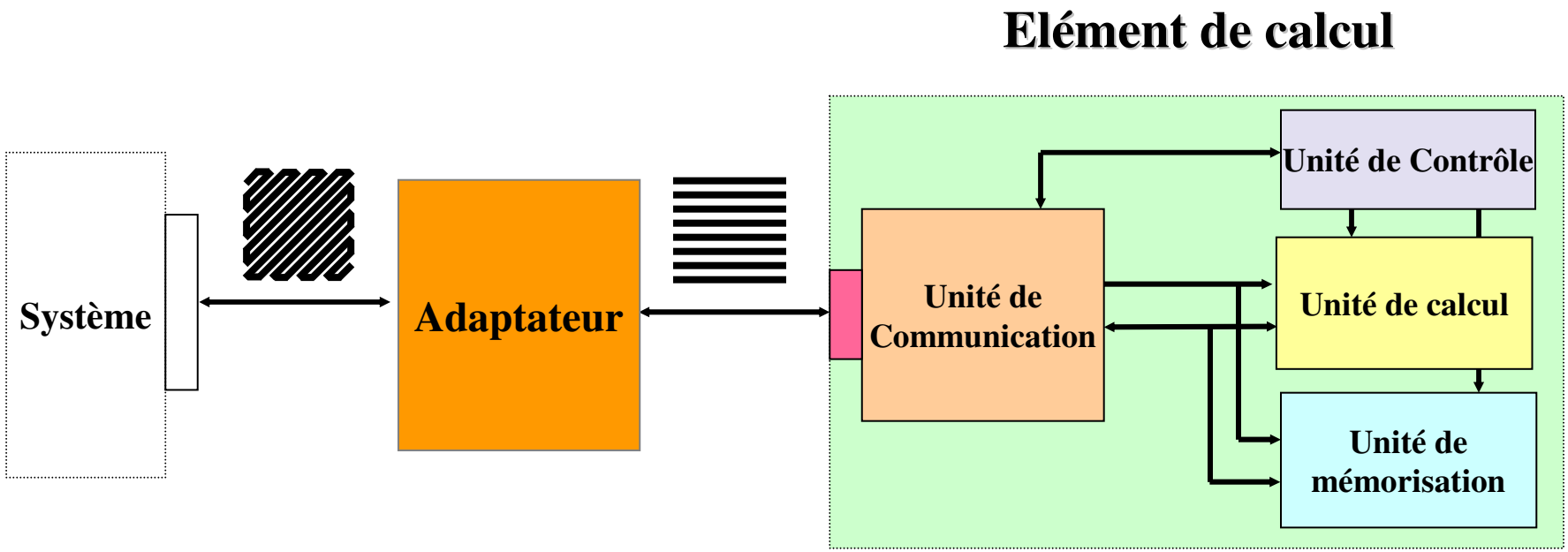


Adaptation des communications



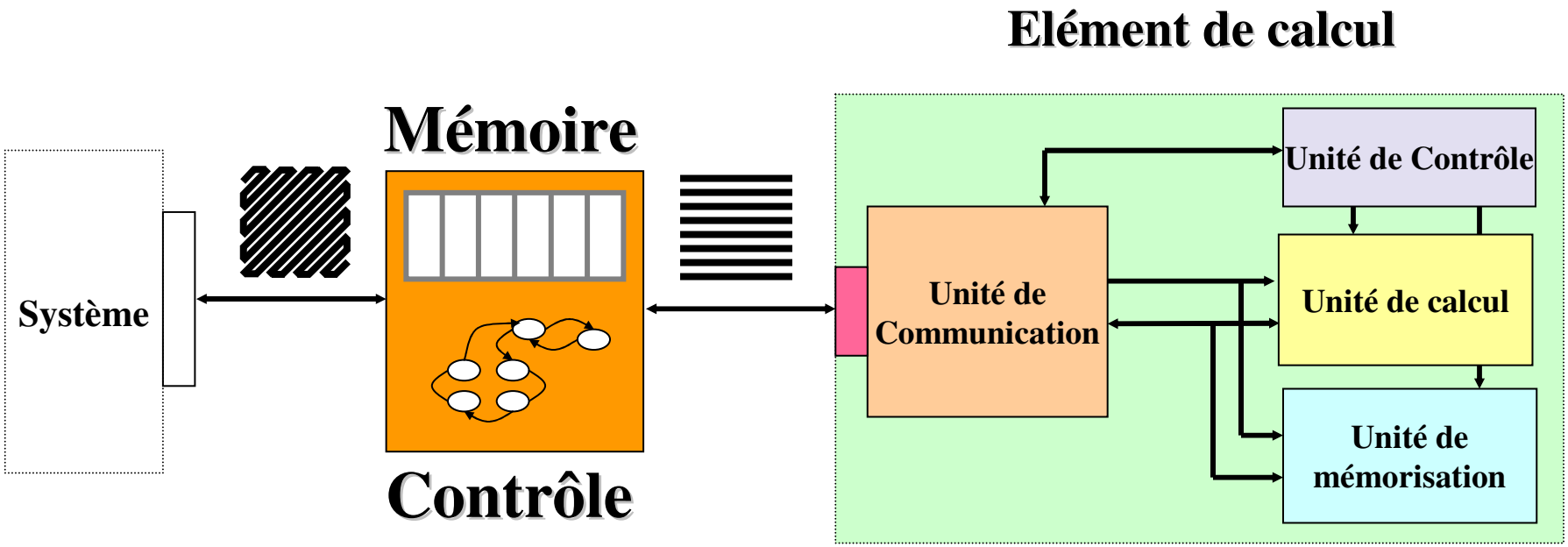
- Schémas de communication incompatibles

Adaptation des communications



- Adaptation des communication

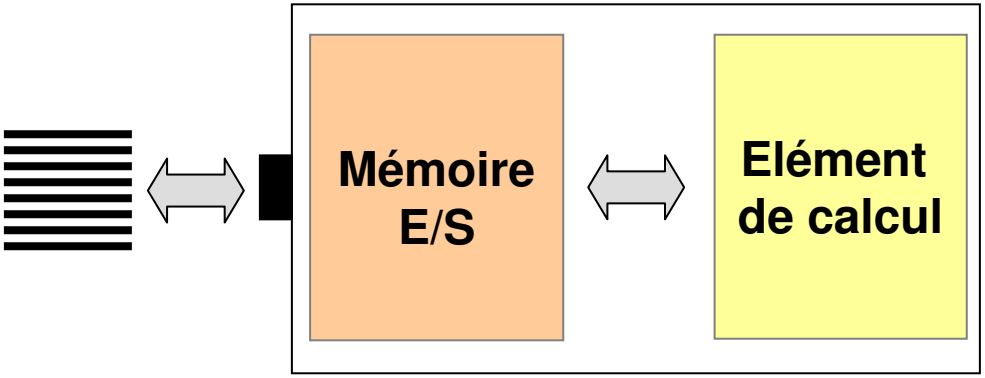
Adaptation des communications



- Adaptation des communication
  - Mémoire (temporisation des données)
  - Contrôle

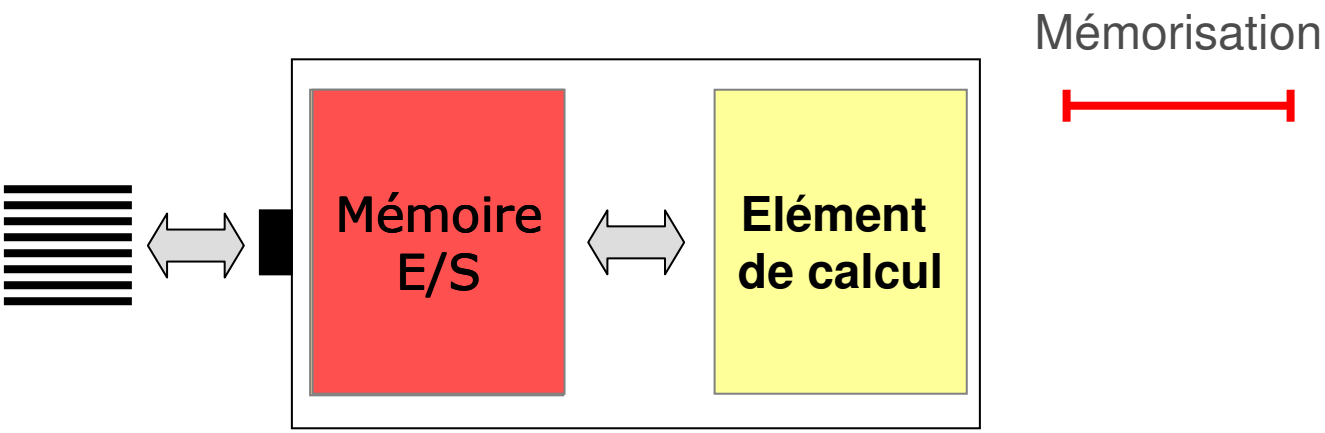
Architecture gros grain (1/2)

- Une première solution
  - Flux de communications discontinues
    - Une mémoire RAM pour les entrées/sorties
    - Pas de recouvrements entre les étapes de - *Mémorisation/Traitement/Emission* -



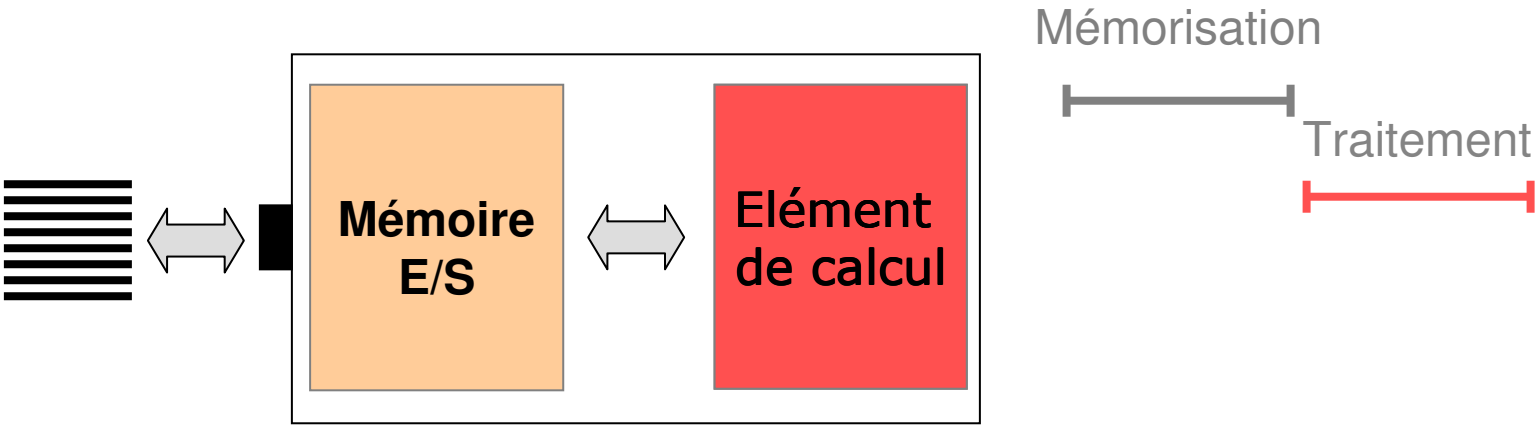
Architecture gros grain (1/2)

- Une première solution
  - Flux de communications discontinues
    - Une mémoire RAM pour les entrées/sorties
    - Pas de recouvrements entre les étapes de - *Mémorisation/Traitement/Emission* -



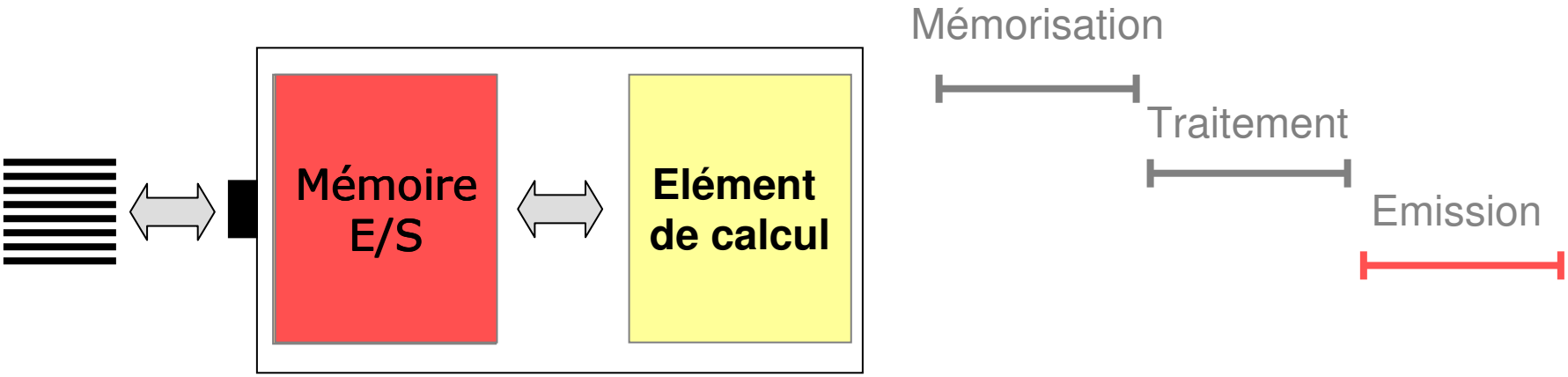
Architecture gros grain (1/2)

- Une première solution
  - Flux de communications discontinues
    - Une mémoire RAM pour les entrées/sorties
    - Pas de recouvrements entre les étapes de - *Mémorisation/Traitement/Emission* -



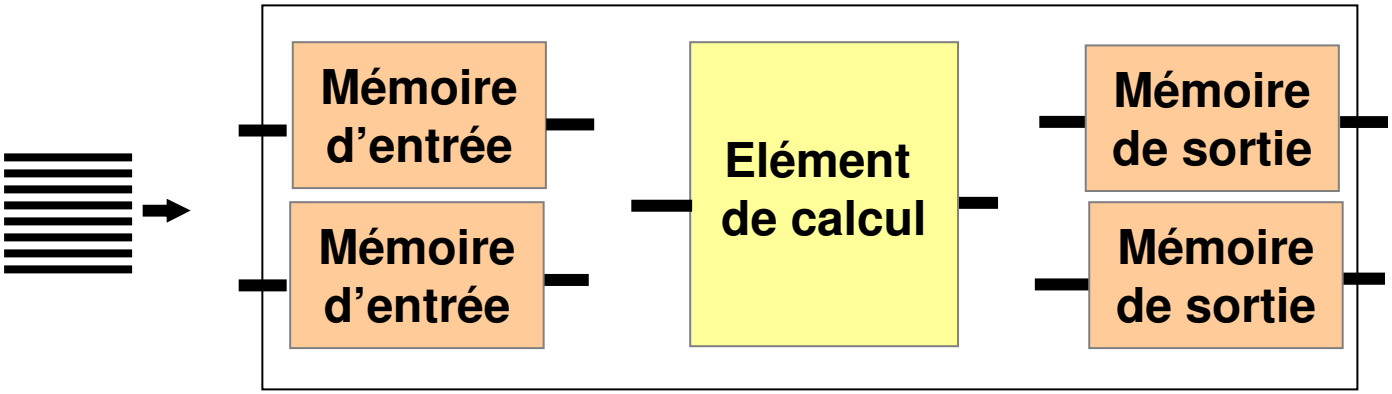
Architecture gros grain (1/2)

- Une première solution
  - Flux de communications discontinues
    - Une mémoire RAM pour les entrées/sorties
    - Pas de recouvrements entre les étapes de - *Mémorisation/Traitement/Emission* -



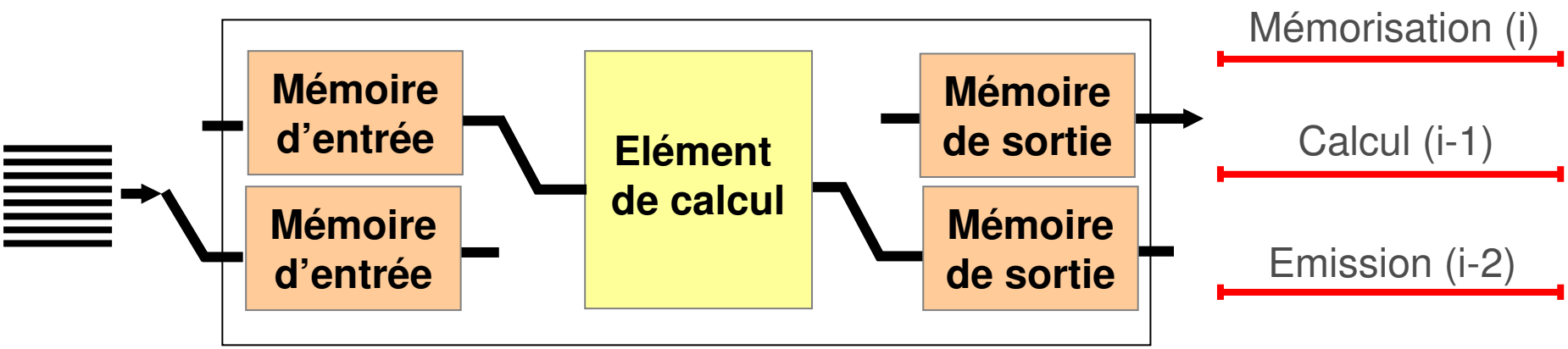
Architecture gros grain (2/2)

- Nouvelle solution
  - Flux de communications continues
    - Deux mémoires RAM pour les entrées
    - Deux mémoires RAM pour les sorties
    - Comportement pipeline
      - *Mémorisation (i+1) / Traitement (i) / Emission (i-1)*



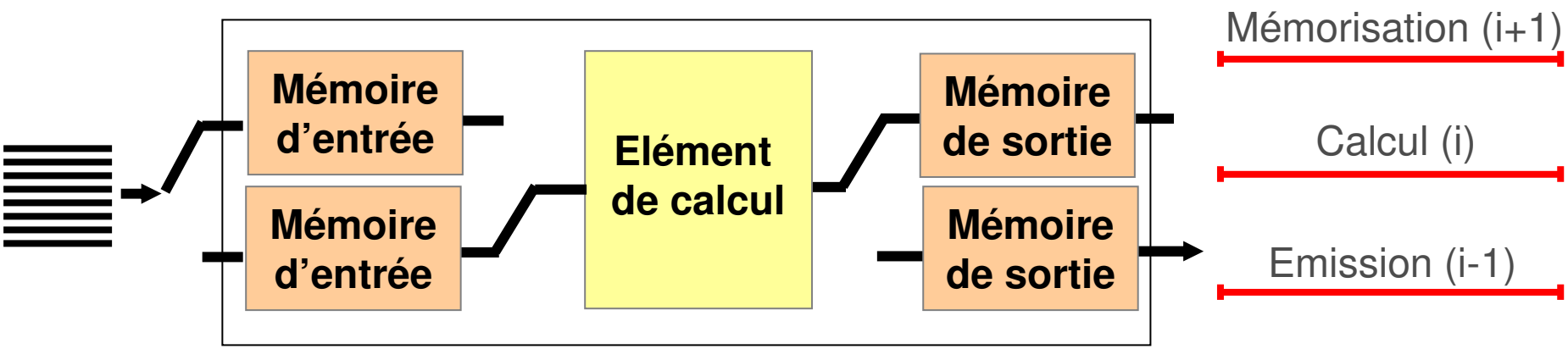
Architecture gros grain (2/2)

- Nouvelle solution
  - Flux de communications continues
    - Deux mémoires RAM pour les entrées
    - Deux mémoires RAM pour les sorties
    - Comportement pipeline
      - *Mémorisation (i+1) / Traitement (i) / Emission (i-1)*

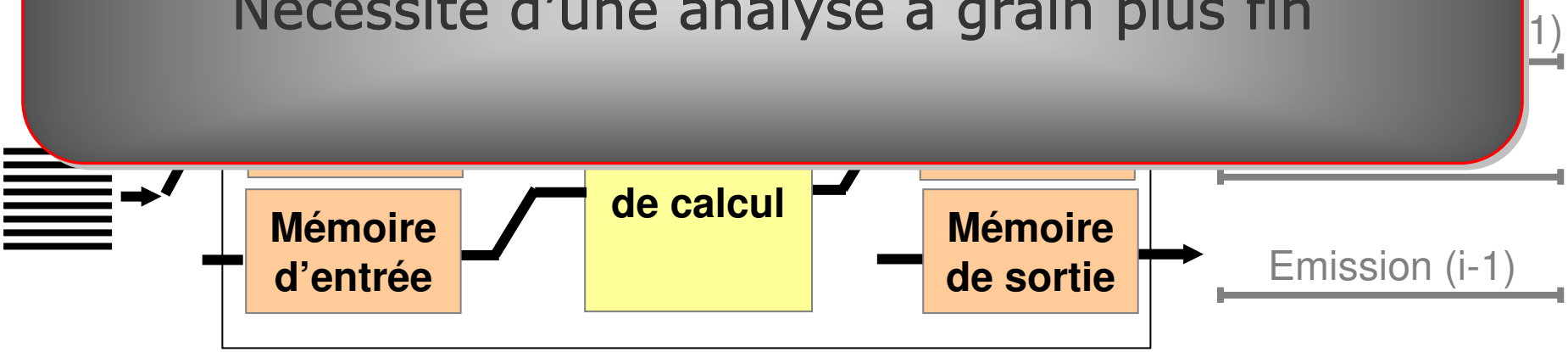


Architecture gros grain (2/2)

- Nouvelle solution
  - Flux de communications continues
    - Deux mémoires RAM pour les entrées
    - Deux mémoires RAM pour les sorties
    - Comportement pipeline
      - *Mémorisation (i+1) / Traitement (i) / Emission (i-1)*



Architecture gros grain (2/2)

- Nouvelle solution
  - Flux de communications continues
    - Deux mémoires RAM pour les entrées
    - Deux mémoires RAM pour les sorties

Coût mémoire très élevé
Nécessité d'une analyse à grain plus fin