



HAL
open science

Technique d'auto test pour les imageurs CMOS

L. Lizarraga

► **To cite this version:**

L. Lizarraga. Technique d'auto test pour les imageurs CMOS. Micro et nanotechnologies/Microélectronique. Institut National Polytechnique de Grenoble - INPG, 2008. Français. NNT : . tel-00367236

HAL Id: tel-00367236

<https://theses.hal.science/tel-00367236>

Submitted on 10 Mar 2009

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

INSTITUT POLYTECHNIQUE DE GRENOBLE

N° attribué par la bibliothèque

978-2-84813-127-6

THÈSE

pour obtenir le grade de

DOCTEUR DE L'INSTITUT POLYTECHNIQUE DE GRENOBLE

Spécialité : Micro et Nano Électronique

préparée au laboratoire **TIMA** dans le cadre de
l'École Doctorale d'Électronique, d'Électrotechnique, d'Automatique et de Traitement du Signal

présentée et soutenue publiquement par

Livier LIZARRAGA

le 27 Novembre 2008

Titre :

TECHNIQUE D'AUTO TEST POUR LES IMAGEURS CMOS

Directeur de thèse : M^r. Salvador MIR

Co-directeur : M^r. Gilles SICARD

Jury

M^r. Bernard COURTOIS,
M^r. Pierre MAGNAN,
M^{me}. Daniela DE VENUTO,
M^r. Michel ROBERT,
M^r. Thierry LIGOZAT,
M^r. Salvador MIR,
M^r. Gilles SICARD,

Président
Rapporteur
Rapporteur
Examineur
Examineur
Directeur de Thèse
Co-directeur

Table des matières

1	Introduction	1
1.1	Capteurs CCD	1
1.2	Capteurs CMOS	3
1.3	Comparaison entre les capteurs CMOS et les capteurs CCD	4
1.4	Test de capteurs de vision APS	5
1.5	Objectifs	6
1.6	Structure de la thèse	7
2	Test de circuits analogiques et mixtes	9
2.1	Concepts de base du test analogique	9
2.2	L'auto test intégré (BIST)	10
2.3	Test fonctionnel	12
2.4	Test structurel	12
2.5	Défauts et fautes analogiques	13
2.6	Modélisation des fautes analogiques	14
	2.6.1 Fautes catastrophiques	14
	2.6.2 Fautes paramétriques	16
2.7	Métriques du test	17
2.8	Calcul des métriques du test	18
	2.8.1 Cas des déviations du procédé technologique	18
	2.8.2 Cas des fautes paramétriques	19
	2.8.3 Cas des fautes catastrophiques	21
2.9	Evaluation du test	21
	2.9.1 Variables aléatoires et leurs paramètres statistiques	22
	2.9.2 Estimation de la densité de probabilité conjointe	24
	2.9.3 Limites des critères de test	25
	2.9.4 Plateforme CAT pour l'évaluation du test	27
2.10	Conclusions	31
3	Performances et tests des capteurs de vision CMOS	33
3.1	Performances du dispositif photosensible	33
	3.1.1 Courant d'obscurité	34
	3.1.2 Courant photo-généré	35
	3.1.3 Rendement quantique	36
	3.1.4 Capacité parasite	39
	3.1.5 Bruit d'une photodiode	39
3.2	Architecture d'un imageur	40
	3.2.1 Pixel	41

3.2.2	Amplificateur colonne	43
3.3	Performances d'un imageur	44
3.3.1	Bruit temporel	45
3.3.2	Bruit spatial fixe	45
3.4	Techniques de réduction du bruit	46
3.4.1	Double échantillonnage corrélé	46
3.4.2	Double échantillonnage non corrélé	47
3.4.3	Double échantillonnage delta	48
3.5	Test industriel des imageurs CMOS	48
3.5.1	Principaux défauts dans la matrice de pixels	49
3.5.2	Test au niveau wafer	51
3.5.3	Test au niveau boîtier	51
3.5.4	Correction de l'image	52
3.6	Temps et coût du test des imageurs CMOS	53
3.7	Défis du test des imageurs CMOS	53
3.8	Conclusions	54
4	Modélisation et test d'une photodiode	55
4.1	Modélisation de la photodiode	55
4.1.1	Modèle Verilog AMS	56
4.1.2	Modèle ATLAS	57
4.2	Mécanismes de défauts et d'échec dans une photodiode	58
4.2.1	Types de mécanismes simulés	58
4.2.2	Résultats des simulations	59
4.3	Fautes catastrophiques et paramétriques dans une photodiode	60
4.4	Test de la photodiode dans un capteur de vision	61
4.4.1	Performances considérées pour la photodiode	61
4.4.2	Principe d'auto test pour la photodiode	62
4.4.3	Corrélation des mesures de test avec les performances	64
4.4.4	Limites du critère de test	65
4.5	Calcul des métriques de test pour la photodiode	67
4.5.1	Cas des déviations du procédé technologique	67
4.5.2	Cas de fautes catastrophiques	67
4.5.3	Cas de fautes paramétriques	68
4.6	Conclusions	69
5	Technique d'auto test pour des capteurs de vision CMOS	71
5.1	Déviations process et mismatch	71
5.2	Auto test des capteurs de vision CMOS	72
5.2.1	Capteur de vision standard	73
5.2.2	Capteur de vision logarithmique	78
5.2.3	Conception en vue de l'auto test	84
5.3	Modélisation de fautes et estimation des métriques de test	85
5.3.1	Déviations du procédé technologique	85
5.3.2	Fautes catastrophiques	86
5.3.3	Fautes paramétriques	88
5.4	Validation de l'auto test au niveau pixel	90
5.4.1	Pixel standard	90

5.4.2	Pixel logarithmique	95
5.5	Validation de l'auto test au niveau capteur	100
5.5.1	Effets des plots du capteur	100
5.5.2	Auto test du capteur standard	101
5.5.3	Auto test du capteur logarithmique	102
5.5.4	Auto test des amplificateurs colonne	105
5.6	Conclusions	107
6	Résultats expérimentaux	109
6.1	Architecture du circuit de test	109
6.2	Environnement de test	112
6.2.1	Carte analogique	112
6.2.2	Carte numérique	114
6.2.3	L'interface visuelle	115
6.3	Mesures expérimentales du capteur logarithmique	116
6.4	Métriques de test	119
6.5	Conclusions	121
7	Conclusions et travaux futurs	123
7.1	Conclusions	123
7.2	Perspectives	125
A	Modèle de la photodiode en Verilog AMS	127
A.1	Module de source du courant	127
A.2	Module de la capacité	130
B	Modèle ATLAS de la photodiode	133
B.1	Photocourant	133
B.2	Courant d'obscurité	135
B.2.1	Courant d'obscurité dû à la diffusion des porteurs	135
B.2.2	Courant d'obscurité dû à la recombinaison	136
C	Fichier de la plateforme CAT	139
C.1	Fichier .mcf	139
C.1.1	Fichier .pcf	139
	Bibliographie	145

Liste des figures

1.1	Principe d'accumulation de charges	2
1.2	Principe de transfert de charge	2
1.3	Transfert de charge dans une matrice CCD	3
2.1	Structure du BIST analogique	11
2.2	Types d'auto test intégrés et techniques de BIST	12
2.3	Modèle de défauts GOS	15
2.4	Diagramme des entrées/sorties du test	17
2.5	Limite de la déviation d'un paramètre i	20
2.6	Fausse acceptation vs fausse rejection	27
2.7	L'architecture simplifiée de la plateforme de CAO pour le test	28
2.8	Procédure de simulation de fautes utilisée par <i>FIDESIM</i> [17].	29
2.9	Description d'un modèle de faute : (a) le modèle de faute, et (b) fichier de description de l'injection de faute FID.	30
2.10	Programme de Configuration de Test TCP.	30
3.1	Fonctionnement d'une diode	34
3.2	ZCE d'une photodiode	36
3.3	Coefficient d'absorption de la lumière par le silicium intrinsèque en échelle logarithmique	37
3.4	Structure d'un imageur	40
3.5	Pixel à intégration	42
3.6	Pixel à fonctionnement continu	43
3.7	Structure d'un amplificateur colonne	44
3.8	Technique de double échantillonnage corrélé	47
3.9	Technique de double échantillonnage non corrélé	48
3.10	Flot de test industriel simplifié d'un imageur CMOS	49
4.1	Schéma équivalent d'une photodiode	56
4.2	Effets des mécanismes de défauts sur le courant photo-généré	59
4.3	Effets des mécanismes de défauts sur le courant d'obscurité	60
4.4	Fautes catastrophiques dans une photodiode	61
4.5	Schema pour l'étude du test de la photodiode	62
4.6	Stimulus pour l'auto test	63
4.7	Distributions de la performance ΔV_{ph} et le critère de test (VC) de la photodiode	65
4.8	Limites du critère de test	66
5.1	Pixel à intégration	73
5.2	Structure de l'amplificateur colonne	74

5.3	Stimuli de test pour le pixel standard	76
5.4	Distribution des performances et des critères de test du pixel standard par rapport aux déviations <i>process</i>	77
5.5	Distribution des performances et des critères de test du pixel standard par rapport aux déviations <i>mismatch</i>	78
5.6	Structure du pixel logarithmique (a) et son fonctionnement (b)	79
5.7	Structure de l'amplificateur colonne	79
5.8	Stimuli de test pour le pixel logarithmique	81
5.9	Sequence de test considérée pour le pixel logarithmique	82
5.10	Distribution des performances et des critères de test du pixel logarithmique par rapport aux déviations <i>process</i>	82
5.11	Distribution des performances et des critères de test du pixel logarithmique par rapport aux déviations <i>mismatch</i>	83
5.12	Exemple de fabrication technologique pour le capteur standard	84
5.13	Génération d'un échantillon avec l'estimation non paramétrique	85
5.14	Layout du pixel logarithmique	86
5.15	Modèle des capacités de couplage dues aux lignes d'interconnexion	87
5.16	Modèle des défauts GOS utilisé	87
5.17	Limite de la deviation d'un paramètre i	88
5.18	Limites des critères de test pour le pixel standard	91
5.19	Métriques de test pour le cas de fautes catastrophiques du pixel standard	92
5.20	Exemple de circuit ouvert dans la photodiode	93
5.21	Limites des critères de test pour le pixel logarithmique	96
5.22	Métriques de test pour le cas de fautes catastrophiques	97
5.23	Métriques de test pour le cas de fautes catastrophiques pour le capteur logarithmique	104
5.24	Couverture de fautes catastrophiques avec les performances et les critères de test pour l'amplificateur colonne	106
6.1	Diagramme de blocs du circuit de test	110
6.2	Répartition des signaux sur la couronne de plots	111
6.3	Types de plots du circuit du test	111
6.4	Environnement de test	113
6.5	Diagramme de blocs des fonctions de la carte analogique	114
6.6	Switch analogique	114
6.7	Diagramme de blocs des entités composant le FPGA	115
6.8	Interface visuelle développée pour exploiter les données du capteur	115
6.9	Photographie de l'environnement de test	116
6.10	Distribution de chaque mesure obtenue avec les résultats expérimentaux	117
6.11	Distribution de chaque mesure obtenue avec les résultats de simulation	118
6.12	Limites des critères de test pour les mesures expérimentales	119
6.13	Localisation des pixels défectueux obtenue avec les résultats expérimentaux	120

Liste des tableaux

4.1	Performances de la photodiode	57
4.2	Performance ΔV_{ph} de la photodiode avec ses spécifications	62
4.3	Facteur de corrélation	64
4.4	Critère de test (VC) avec ses limites	66
4.5	Métriques de test pour le cas des déviations du procédé technologique	67
4.6	Détection de fautes catastrophiques	68
4.7	Limites des paramètres et probabilité	69
5.1	Valeurs des performances du pixel standard en considérant des déviations <i>process</i>	75
5.2	Valeurs des performances du pixel standard en considérant des déviations <i>mismatch</i>	75
5.3	Coefficient de corrélation entre les performances et les critères de test du pixel standard en considérant des déviations <i>process</i>	76
5.4	Coefficient de corrélation entre les performances et les critères de test du pixel standard en considérant des déviations <i>mismatch</i>	77
5.5	Valeurs des performances du pixel logarithmique en considérant des déviations <i>process</i>	80
5.6	Valeurs des performances du pixel logarithmique en considérant des déviations <i>mismatch</i>	81
5.7	Coefficient de corrélation entre les performances et les critères de test du pixel logarithmique en considérant des déviations <i>process</i>	83
5.8	Coefficient de corrélation entre les performances et les critères de test du pixel logarithmique en considérant des déviations <i>mismatch</i>	83
5.9	Valeurs des critères de test du pixel standard en considérant déviations <i>process</i>	90
5.10	Valeurs des critères de test du pixel standard en considérant déviations <i>mismatch</i>	91
5.11	Valeurs nominales et écart type de chaque paramètre considéré	94
5.12	Valeurs limites de déviation de chaque paramètre et probabilité d'un pixel standard pour qu'il ne soit pas fonctionnel	94
5.13	Valeurs limites de la déviation de chaque paramètre et probabilité d'un pixel standard d'être détecté par le BIST	95
5.14	Métriques de test pour les cas de fautes paramétriques simples	95
5.15	Valeurs des critères de test du pixel logarithmique pour les déviations <i>process</i>	96
5.16	Valeurs des critères de test du pixel logarithmique pour les déviations <i>mismatch</i>	96
5.17	Valeurs nominales et écart type de chaque paramètre considéré	98
5.18	Valeurs limites de déviation de chaque paramètre et probabilité d'un pixel logarithmique pour qu'il ne soit pas fonctionnel	99
5.19	Valeurs limites de la déviation de chaque paramètre et probabilité d'un pixel logarithmique d'être détecté par le BIST	99

5.20	Métriques de test pour les cas de fautes paramétriques simples	100
5.21	Valeurs des performances du capteur standard en considérant des déviations <i>process</i>	101
5.22	Valeurs des performances du capteur standard en considérant des déviations <i>mismatch</i>	101
5.23	Valeurs des critères de test du capteur standard en considérant déviations <i>process</i>	101
5.24	Valeurs des critères de test du capteur standard en considérant déviations <i>mismatch</i>	101
5.25	Valeurs des performances du capteur logarithmique en considérant déviations <i>process</i>	102
5.26	Valeurs des performances du capteur logarithmique en considérant déviations <i>mismatch</i>	103
5.27	Valeurs des critères de test du capteur logarithmique en considérant déviations <i>process</i>	103
5.28	Valeurs des critères de test du capteur logarithmique en considérant déviations <i>mismatch</i>	103
5.29	Valeurs limites de déviation de chaque paramètre et probabilité d'un pixel loga- rithmique pour qu'il ne soit pas fonctionnel	105
5.30	Valeurs limites de la déviation des paramètres et probabilité d'un pixel logarith- mique d'être détecté par le BIST	105
5.31	Métriques de test pour les cas de fautes paramétriques simples pour le capteur logarithmique	106
6.1	PRNU du capteur (pixel et amplificateur colonne) pour les différents niveau d'illumination	117
6.2	Coefficient de corrélation entre les performances et les critères de test obtenu avec les résultats expérimentaux	118
6.3	Coefficient de corrélation entre les performances et les critères de test obtenu avec les résultats de simulation	118
6.4	Classification des pixels obtenu avec les limites des performances à 5σ	120
6.5	Classification des pixels obtenu avec les limites des performances à $4,5 \sigma$	121

Remerciements

Je remercie le "Consejo Nacional de Ciencia y Tecnología (CONACYT)" du Mexique pour leur soutien mes premières années de thèse.

Je tiens à remercier l'ancien directeur du laboratoire M. Bernard Courtois et la nouvelle directrice Mme Dominique Borrione pour leur accueil au sein du laboratoire TIMA.

Toute ma gratitude est adressée à mon directeur de thèse Salvador Mir pour ses conseils, sa patience, sa compréhension et sa grande gentillesse. Qu'il trouve l'expression de ma sincère reconnaissance.

Je remercie également mon co-encadrant Gilles Sicard. Je le remercie pour son soutien, sa bonne humeur et sa disponibilité durant mon DEA et ma thèse.

Je remercie M. Bernard Courtois d'avoir présidé mon jury de thèse. Je remercie M. Pierre Magnan et Mme. Daniela de Venuto d'avoir accepté de rapporter cette thèse et pour le temps qu'ils ont accordé à la lecture détaillée de ce manuscrit. Je tiens à remercier M. Michel Robert et M. Thierry Ligozat d'avoir accepté de faire partie du jury.

Je tiens à remercier vivement Alexandre Chagoya pour sa gentillesse, sa disponibilité et la rapidité avec laquelle il a résolu mes soucis informatiques. Également un grand merci à Robin Rolland pour son aide précieuse.

Je souhaite remercier les personnes du CMP ainsi que le personnel administratif du TIMA, pour leur gentillesse et leur sympathie. Merci en particulier à Anne-Laure, Sophie M., Corine, Kholdoun, Isabelle, Patricia, Gregory, Lucie, Joelle.

J'ai eu la chance de faire une thèse dans deux groupes de recherche très animés (CIS et RMS). Je souhaite vous remercier tous les uns des autres. Merci à Marc et Laurent pour m'avoir laissé rester dans les couloirs du premier étage, à Emmanuel et Libor pour leur sympathie.

J'adresse mes remerciements à Ahcène pour ses outils informatiques qui m'ont beaucoup aidé, sa disponibilité qu'il m'a accordé quelque soit le moment. Je remercie également Estelle pour ses conseils, sa gentillesse et ses pixels.

Je remercie affectueusement les spécimens avec qui j'ai démarré la thèse. Je commence au hasard par Cedric " mon monstre adoré " pour tous les moments passés ensemble et pour son énorme cœur qu'il essaie de cacher dans son déguisement d'ogre. Julien avec qui j'ai commencé à trainer depuis le DEA et qui a eu beaucoup de patience. David " le petit mexicain " pour toutes ces photos, ces discussions, ces parties de poker et ces nombreuses soirées. Je suis moins expressive que toi (après tout je suis une mexicaine du nord !) mais tu sais que tu peux compter sur moi. Aurelien " mon cher bubu " ou dois je dire : Edward Norton ?, je le remercie même s'il a essayé de me jeter de mon balcon et s'il m'a cassé le dos contre une voiture. Que des bons

moments passés ensemble, et même ces incidents là sont restés des moment très rigolos (j'ai rigolé une fois que j'ai vu la kiné). Et aussi un grand merci à sa femme Audrey pour toutes les soirées, repas et toute son aide pour mon pot.

Je souhaite remercier ceux qui sont déjà partis du laboratoire mais que je continue à revoir avec plaisir : Guillaume pour son amitié, son humeur machiste et autant de moments partagés dont la liste est très longue (ski, apéros, promenades, repas, piscine, ...), Frady " mon beau black " pour les soirées dansantes, les boissons pimentées, et tous les bons moment passés ensemble. Manu pour toutes les soirées, les repas choucroute au marché de Noël, et puis comment oublier ses compiles de musique avec lesquelles on a réussi à casser mon parquet, Nico pour ses jolies photos de rêve et nos longues et agréables discussions, Bertrand " mon très cher beber " pour autant de moments partagés, son écoute, son humeur (pour moi tes blagues ne sont pas à deux balles), Yannick qui ne mérite pas un paragraphe entier pour lui tout seul mais des pages entières pour tout ce que nous avons vécu ensemble. Je me limite à quelques lignes car des fois je peux ne pas parler beaucoup moi aussi.

Un grand merci à Sophie simplement pour tout : des pauses, des soirées, tous ces conversations de tout et de rien, sa confiance. Greg avec qui j'ai encore une liste longue mais je vais dire tout bêtement pout être ce gars genial !. Au " brilliant " Haralampos pour sa disponibilité, ses conseils, les soirées partagées, son entente. Matthieu "le petit" pour son humeur et son entente. Jeanne pour être simplement Jeanne. Taha le meilleur collègue de bureau, pour sa simplicité et la très bonne entente que nous avons eu en partageant le même bureau. Oussama pour sa grande gentillesse et autant de discussions autour d'un thé. Eslam pour être si gentleman. Je veux faire un merci en mini-groupe pour des gens qui partagent les mêmes qualités grace à leur culture. Aux berbères Rafik, Nourredine et Hakim pour leur grande gentillesse et leur disponibilité. Jeremie pour son esprit cool. Khaled pour sa sympathie. Franck pour son aide avec le français. Andrei pour ces travaux sur la photodiode. Pierre pour son esprit montagnard. Hela pour ses mega repas. Merci à tous les autres membres du groupe : Saeed, Anna, Nam, Rodrigo. Et les petits nouveaux : Florent, Alex, Flavio, Mathieu, Hawraa, Louay, Yoann, Ke.

Merci énormément à François pour le soutien qu'il me montre, ses encouragements, et pour le support qu'il m'a témoigné dans les moments difficiles.

Et finalement merci à ma (grande) famille pour tout l'amour et le soutien qu'ils me donnent. Merci surtout à mes parents sans qui tout ça n'aurait pas été possible, eux qui m'ont poussé à venir en France malgré la douleur qu'ils avaient de me laisser partir.

Chapitre 1

Introduction

Depuis leur apparition, les capteurs d'image électroniques ont été introduits dans un grand nombre de dispositifs électroniques grand public (appareils photo numériques, caméscopes numériques, téléphones portables, PDAs, etc), en passant par les applications industrielles et militaires jusqu'à la biologie (micro caméras permettant d'explorer l'intérieur du corps humain).

Des travaux sur les capteurs d'image utilisant les technologies NMOS, PMOS et bipolaires ont commencé en 1960 [1]. Les premiers à apparaître ont été des capteurs d'image passifs ou PPS¹. Ils avaient l'inconvénient d'être très bruyants et de ne pas satisfaire à des applications exigeant des vitesses élevées de lecture, car le pixel n'était composé que d'une diode photosensible ainsi que d'un switch, la diode étant incapable de charger le bus de sortie rapidement.

C'est avec la parution des capteurs de type CCD² en 1970, créés par W. S Boyle et G. E Smith des laboratoires Bell [2], que les capteurs d'image ont présenté de très bonnes caractéristiques (en termes de rendement, de bruit, de précision) et sont devenus commercialisables.

1.1 Capteurs CCD

Les capteurs CCD sont un type de dispositif de stockage et de transport de charge. Ils sont basés sur une capacité MOS dont la grille est polarisée (cf. Fig. 1.1). Lorsqu'elle est polarisée à une tension élevée, il se forme une zone d'inversion à la surface, et une zone de charge d'espace (ZCE) à l'interface entre la grille et le substrat. Le *puits* de potentiel qui est formé sous la grille (indiqué par la ligne en pointillé dans la Fig. 1.1) dépend de la tension appliquée à la grille, de l'épaisseur d'oxyde, du dopage dans le substrat, etc. La profondeur du puits peut être définie par la charge contenue dans ce caisson et par la tension appliquée à la grille [3].

¹ *Passive Pixel Sensor*

² *Charge Coupled Devices*

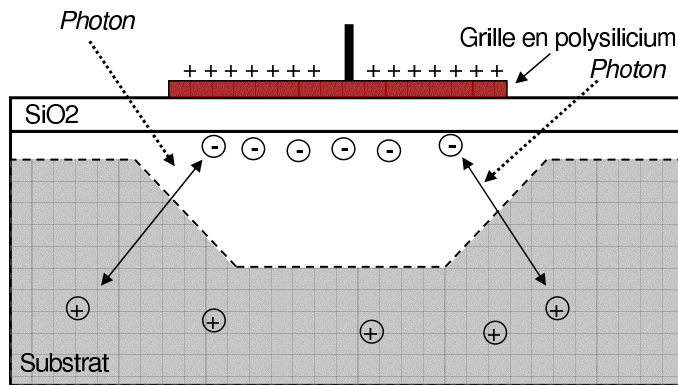


FIG. 1.1 – Principe d'accumulation de charges dans un CCD

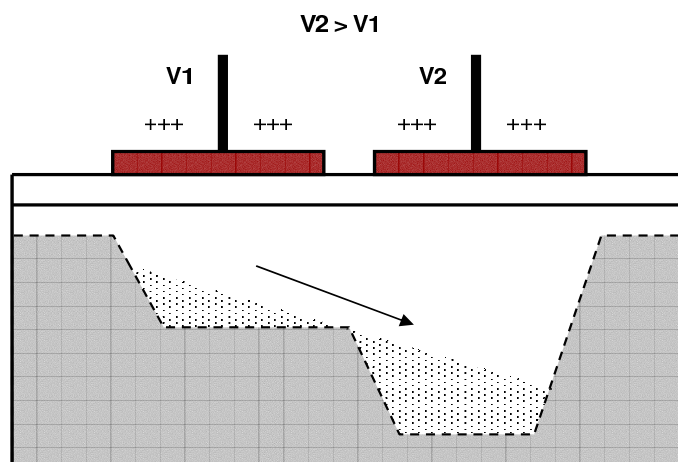


FIG. 1.2 – Principe de transfert de charges d'un pixel CCD vers un autre

Lorsque la lumière incidente traverse la grille de la capacité MOS, elle génère une paire électron - trou sous cette grille. Cette paire est séparée par le champ électrique existant, les trous sont repoussés dans le silicium et les photoélectrons restent stockés sous la grille (Fig. 1.1) dans le puits de potentiel.

La charge ainsi accumulée est proportionnelle au temps d'illumination du capteur. Pour réaliser le transfert de charges d'un pixel à l'autre, on augmente le potentiel de la grille voisine tandis que l'on réduit le potentiel appliqué sur la grille du pixel (Fig. 1.2). Ainsi les porteurs minoritaires stockés sous la grille sont transportés d'un pixel à un autre en changeant la profondeur du puits.

Cette opération est effectuée par le moyen d'une ou plusieurs phases d'horloge. Pour réaliser la lecture du capteur, les charges sont donc transmises au voisin le plus proche du pixel. On a parfois ainsi un grand nombre de transferts nécessaires (Fig. 1.3). Ce problème de transfert de charges limite l'intérêt des CCD. De plus ils sont complexes à fabriquer car ils nécessitent

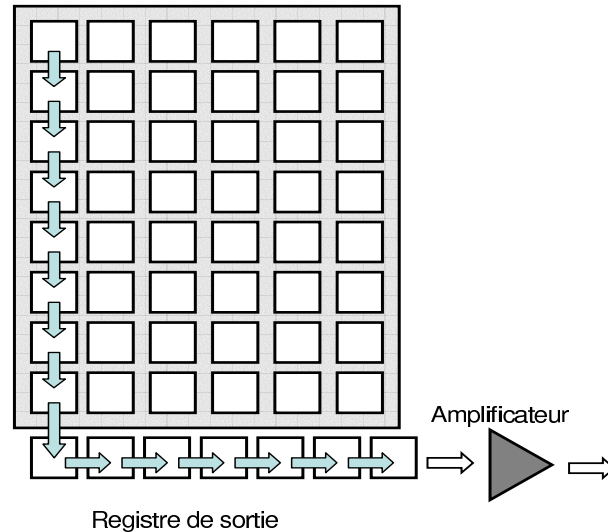


FIG. 1.3 – Transfert de charge dans une matrice CCD

une technologie spécifique (trois grilles en polysilicium) et sa résolution s'en trouve limitée. Cependant, les capteurs CCD servent de référence pour tous les autres capteurs [4]. En effet, ils présentent un faible niveau du bruit, une bonne dynamique, un bon facteur de remplissage, un faible courant d'obscurité et un bon rendement quantique³. En revanche le coût de production est élevé car ils ne sont pas faits en technologie de fabrication CMOS standard, mais en technologie CCD dédiée. En conséquence les circuits de lecture doivent être extérieurs au capteur. De plus, les capteurs CCD présentent une forte consommation et une vitesse de lecture limitée.

1.2 Capteurs CMOS

Les capteurs CMOS peuvent être divisés en deux groupes principaux, capteurs passifs (PPS) et capteurs actifs (APS⁴).

Pour améliorer les performances des capteurs passifs, l'insertion d'un amplificateur au sein du pixel a été étudiée. Néanmoins les tailles de composants semi-conducteurs à l'époque (1960) ne permettaient pas l'insertion d'un amplificateur actif dans chaque pixel. C'est à partir des années 1990 que des travaux sur des capteurs d'image actifs ou APS ont commencé à émerger [5].

Les capteurs APS sont fabriqués en technologie CMOS, ce qui permet d'intégrer sur la même puce la matrice photo-sensible et les circuits de lecture. Ces capteurs APS présentent plusieurs autres avantages par rapport aux capteurs CCD : un coût de fabrication inférieur,

³Ces concepts seront définis dans les chapitres suivants

⁴ *Active Pixel Sensor*

une vitesse de lecture plus élevée, une possibilité d'accès directe aux valeurs des pixels, une consommation plus faible, ainsi que la possibilité de profiter de l'évolution de la technologie (augmentation régulière de la finesse de la taille des transistors). Cependant les capteurs APS présentent un bruit plus fort que les capteurs CCD, et l'implantation d'un amplificateur dans le pixel diminue le facteur de remplissage du pixel.

Avec l'arrivée des technologies submicroniques, de microlentilles, et l'amélioration de leur performances, les capteurs APS sont devenus des concurrents des capteurs CCD [6, 7]. Un des principaux avantages des capteurs APS par rapport aux capteurs CCD est le procédé de technologie utilisé pour les fabriquer (CMOS). Cette technologie permet de concevoir des circuits analogiques et numériques sur la même puce. Les capteurs APS sont donc des systèmes sur puce (SoCs⁵), composés de la matrice de pixels et des circuits de lecture (amplificateur de colonne, convertisseur analogique numérique, multiplexeur).

1.3 Comparaison entre les capteurs CMOS et les capteurs CCD

Ce sujet a été évoqué par Fossum [4], on fera dans cette partie un résumé des principales différences entre les deux capteurs :

- **Coût** : C'est le principal avantage des capteurs APS par rapport aux capteurs CCD, car les capteurs CCD ne peuvent pas être produits en technologie CMOS standard.
- **Lecture des capteurs** : Le transfert de charge dans un capteur CCD se fait de pixel à pixel comme montré auparavant dans la Fig. 1.3, contrairement aux capteurs CMOS où l'adressage est fait comme une mémoire (activation d'une ligne et une colonne), augmentant ainsi la vitesse de lecture des capteurs CMOS.
- **Facteur de remplissage** : Le facteur de remplissage est le pourcentage de l'aire du pixel qui est sensible à la lumière. Les capteurs CCD ont un facteur de remplissage proche de 100%, dans les capteurs APS il reste autour de 50 à 70% [8], mais avec la diminution de la taille de transistors et l'utilisation de microlentilles, le facteur de remplissage dans les capteurs APS est amélioré.
- **Bruit** : C'est le principal désavantage des capteurs APS par rapport aux capteurs CCD, car les capteurs APS présentent du bruit temporel et du bruit spatial fixe dûs aux amplificateurs dans la matrice de pixels et dans les circuits de lecture. Cependant, des techniques

⁵*System-On-Chip*

pour la diminution de bruit son utilisées [9, 10].

- **Consommation** : Les capteurs APS sont polarisés à la tension d'alimentation de la technologie CMOS utilisée pour sa fabrication, ils consomment moins que les capteurs CCD qui ont besoin de plusieurs valeurs de tension pour réaliser le transfert de charges.

De plus, les capteurs CMOS offrent la capacité de mélanger au sein du même circuit des fonctions de nature différente (capteur d'image et traitement du signal). Ceci ouvre la voie à la possibilité de réaliser des nouvelles applications, soit sous forme de produits standards, soit sous forme de capteurs d'image dédiés.

1.4 Test de capteurs de vision APS

La réalisation des systèmes mixtes comme des capteurs APS, est possible grâce aux progrès de la technologie. Actuellement les systèmes sont de plus en plus complexes, car ils intègrent des circuits analogiques et numériques sur la même puce.

Un enjeu majeur des systèmes mixtes est leur test : le procédé qui consiste à vérifier qu'un circuit intégré (IC) répond aux spécifications pour lesquelles il a été conçu [11].

Les capteurs APS sont un type de système mixte qui présente des difficultés lors de son test, car il doit s'effectuer pour la partie électrique (amplificateurs, CAN, etc) et la partie optique (dispositif photo-sensible) [12].

Le test de la partie optique ou dispositif photo-sensible est compliqué et coûteux. Pour réaliser son test, il est nécessaire d'avoir une source de lumière très précise, car la réponse de cet élément dépend directement de la longueur d'onde, de l'intensité et de la polarisation de la lumière incident dans le pixel.

Des travaux ont été faits pour améliorer la fiabilité des capteurs APS et leur rendement [13, 14]. Cependant on ne trouve pas dans la bibliographie des travaux pour améliorer son test en termes de temps et de coût.

Dans le cadre de cette thèse une technique d'auto test est étudiée, évaluée et implémentée dans un capteur de vision APS. L'objectif principal de cette technique est de réaliser le test de la matrice de pixels et des amplificateurs de colonne du capteur de vision par le moyen de stimuli électriques, afin de diminuer les test optiques, ce qui permettra de réduire le temps de test et d'utiliser des testeurs numériques standards.

La technique d'auto test proposée dans cette thèse est basée sur un test de la structure du capteur (test structurel) au lieu du test fonctionnel (test des spécifications du circuit) habituel-

lement utilisé. Les stimuli de test sont purement électriques et une étude de la corrélation entre ces stimuli et les performances spécifiées du circuit est faite afin de connaître la faisabilité de cette technique.

Cette méthode est étudiée pour deux structures différentes de pixels, les limites des critères de test sont établies par moyen d'une analyse statistique. La qualité du test est évaluée en utilisant des métriques de test pour les différents types de fautes.

1.5 Objectifs

L'objectif principal de cette thèse est la définition et l'évaluation d'une technique de BIST⁶ pour les pixels et les amplificateurs colonne des imageurs CMOS. Cette technique utilise des stimuli électriques afin de remplacer des tests optiques. Cette technique peut être intéressante pour le test de plaquettes, afin de pouvoir diminuer le temps et le coût du test liés aux testeurs. Elle peut être aussi utilisée dans son application, afin de surveiller la dégradation des pixels de l'imageur.

Le BIST de l'imageur doit pouvoir générer les stimuli électriques et analyser la réponse de chaque pixel afin de détecter ceux qui sont défectueux. Cette fonctionnalité peut être exploitée aussi pendant la vie du produit de façon que l'imageur puisse donner au système l'information sur l'état de ses pixels.

Dans le cadre de cette thèse, nous avons travaillé sur un prototype d'imageur déjà existant. Ainsi le BIST n'est pas réalisé dans l'imageur que nous utilisons. Cependant nous avons évalué la qualité de test que peut être obtenue avec la technique de BIST proposée qui réalise un test structurel de l'imageur. Cette qualité est évaluée en considérant la capacité du BIST à distinguer des pixels fonctionnels et défectueux. Les pixels peuvent être défectueux à cause de fautes catastrophiques, paramétriques et déviations du process.

La qualité du BIST est quantifiée en utilisant des métriques de test basées sur la corrélation entre les performances (dépendantes de la source de lumière) et les critères de test (purements électriques).

⁶*Built-In-Self-Test*

1.6 Structure de la thèse

L'objectif de cette recherche est donc d'évaluer une technique d'auto test des capteurs APS afin de réduire leur coût de test. A la suite de ce *Chapitre*, cette thèse est composée par les chapitres suivants :

- *Chapitre 2* : Il présente une introduction au test analogique et mixte. Des concepts de base sur le test sont donnés ainsi que des méthodes statistiques utilisées pour son évaluation. Une description sur les différents types de fautes que nous considérons pour l'évaluation du test est aussi présentée.
- *Chapitre 3* : Dans ce chapitre les caractéristiques d'une photodiode sont exposées, elles incluent le courant d'obscurité, le courant photogénéré, le rendement quantique, etc. Ensuite nous nous intéressons à la structure des capteurs de vision (pixels et amplificateurs colonne) et aux principales caractéristiques de l'imageur. Le test industriel de ces systèmes est aussi abordé.
- *Chapitre 4* : Le modèle du dispositif photosensible est présenté dans cette chapitre. Il introduit aussi la technique de BIST que nous proposons, ainsi que les méthodes suivies pour l'évaluation du test. Dans cette chapitre cela est fait en prenant en compte uniquement la photodiode.
- *Chapitre 5* : La technique de BIST est présentée et évaluée pour deux types de structure de pixel (standard et logarithmique) et pour des amplificateurs colonnes. Les contraintes de la technique d'auto test et les effets des plots du circuit dans le BIST sont aussi exposés dans cette partie.
- *Chapitre 6* : Les résultats expérimentaux sont présentés dans cette chapitre. Le prototype fabriqué, la carte de test et l'instrumentation utilisée sont également décrits. Les résultats expérimentaux comprennent la classification de pixels obtenues avec les stimuli de test proposés dans cette thèse.

Nous finissons par les conclusions et les travaux futurs à effectuer dans ce domaine.

Chapitre 2

Test de circuits analogiques et mixtes

La réduction de la taille des transistors a permis le développement de systèmes intégrés plus complexes. De nos jours, la conception des systèmes mixtes (circuits numériques et analogiques sur une même puce) est en plein essor et permet de réduire la taille des systèmes et leur coût.

Cependant dans la production des circuits mixtes, le test de ces systèmes peut être un facteur limitant en contribuant de manière importante aux coûts de production. Actuellement le test des circuits est coûteux à cause de la durée du test, du coût important des testeurs et du manque de méthodes de test standardisés.

La conception en vue du test (DfT¹) est une technique qui consiste à ajouter des composants dans un système pour améliorer sa testabilité. Actuellement le DfT est très utilisé dans les circuits numériques. Ainsi plusieurs techniques DfT sont disponibles, telles que les techniques de scan² ou l'auto test intégré (BIST³).

Pour ce qui concerne les circuits analogiques et mixtes, les techniques DfT ont commencé à émerger ces dernières années, et notamment les techniques de BIST.

L'objectif de ces travaux de recherche est d'implémenter une nouvelle technique d'auto test intégré dans les capteurs de vision CMOS. Afin de présenter dans les chapitres suivants ces travaux et d'exposer l'évaluation de la technique d'auto test proposée, les concepts de base du test, ainsi que la méthode d'évaluation du test seront introduits dans ce chapitre.

2.1 Concepts de base du test analogique

Dans cette section, quelques concepts de base du test analogique sont présentés, ces concepts seront utilisés tout au long de cette thèse.

¹*Design for Testability*

²*Scan-path*

³*Built-In-Self-Test*

- *Performances* : elles décrivent le fonctionnement du circuit. Connaître les performances du circuit permettra de juger s’il est fonctionnel ou bien défaillant.
- *Spécifications* : ces sont les limites de chaque performance. Chaque performance possède deux spécifications, c’est à dire deux limites, une valeur limite inférieure et une valeur limite supérieure. Si une performance possède uniquement une spécification alors l’autre est fixée à l’infini.
- *Circuit fonctionnel* : c’est un circuit pour lequel les performances respectent les spécifications.
- *Circuit défaillant* : circuit pour lequel les performances sont dehors des spécifications.
- *Critères de test* : c’est un ensemble de mesures qui sont faites sur le circuit pour le tester afin de vérifier s’il possède les spécifications demandées. Les critères de test peuvent être des performances du circuit ou bien d’autres mesures qui sont bien corrélées avec celles-ci.
- *Limites de test* : ces sont les valeurs limites inférieures et supérieures des mesures du test.

2.2 L’auto test intégré (BIST)

Un des facteurs qui entraîne l’augmentation du coût de test est l’équipement nécessaire pour le réaliser (testeurs). Actuellement le prix des testeurs les plus performants peut atteindre quelques millions de dollars [15].

L’auto test intégré est une technique qui peut réduire le coût du test lié aux testeurs, car les signaux générés par les circuits de DfT peuvent être observés par des testeurs numériques standards et par conséquent plus économiques.

Les techniques d’auto test de type BIST impliquent la génération de vecteurs de test et l’analyse des réponses sur la puce. Un signal numérique du type Go/No-Go est généré par le BIST.

La Fig. 2.1 montre la structure basique du BIST analogique. Les stimuli de test peuvent être appliqués par des signaux analogiques (tension, fréquence, etc), ou par des générateurs de vecteurs de test numériques (LFSR⁴, DSP⁵, etc). Lorsque des générateurs de vecteurs de test numériques sont utilisés, un convertisseur numérique analogique (CNA) doit être implémenté dans la structure du BIST pour envoyer des stimuli analogiques au circuit analogique sous test

⁴Linear Feedback Shift Register

⁵Digital Signal Processing

(CUT⁶). La sortie du circuit sous test est convertie en un signal numérique par un CAN. Cette sortie est la signature du CUT (quelques fois la signature est compactée) et elle est comparée avec une autre signature du circuit fonctionnel qui est stockée dans une mémoire. Ainsi le comparateur des signatures classe le CUT en tant que dispositif bon ou mauvais (Go/No-Go).

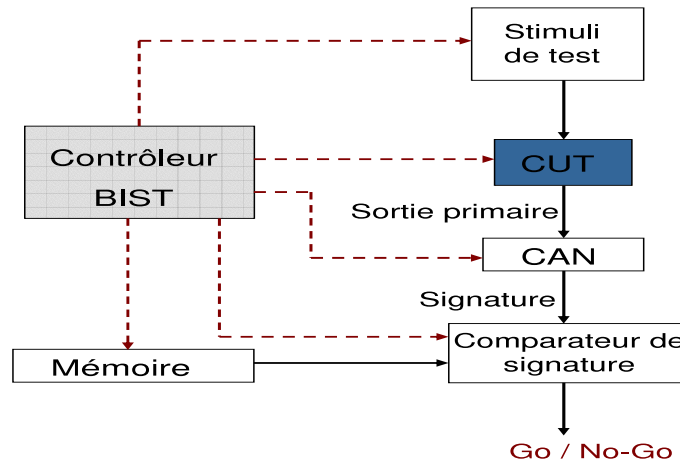


FIG. 2.1 – Structure du BIST analogique

Le BIST d'un système analogique est donc réalisé en faisant le test analogique dans la puce et en convertissant les résultats du test en signaux numériques, afin d'accéder aux résultats avec des testeurs numériques standards.

L'auto test intégré a l'avantage de réduire les coûts liés aux équipements automatiques du test (ATE⁷) et aux temps de test. Cependant il présente quelques inconvénients comme l'addition de composants supplémentaires dans le silicium et des possibles erreurs lors de la classification des circuits.

Il existe différents types d'auto test intégré. L'auto test intégré peut être réalisé pendant le mode d'opération normal du circuit (en-ligne⁸) ou lorsque ses fonctionnalités sont suspendues (hors-ligne⁹). La Fig. 2.2 présente les différents types d'auto test. Les techniques de BIST qui impliquent la génération de vecteurs de test et l'analyse des réponses sur la puce peuvent se réaliser dans le cas du test hors-ligne où dans le test en ligne non concurrentiel. Dans ce cas là, le BIST exploite les temps morts de l'application¹⁰ pour appliquer les vecteurs de test.

Le choix du BIST à appliquer dépend du circuit sous test et des fonctionnalités que l'on veut tester dans le circuit. Les travaux de cette thèse sont basés sur un type d'auto test lorsque

⁶Circuit Under Test

⁷Automatic Test Equipment

⁸On-line

⁹Off-line

¹⁰Idle time

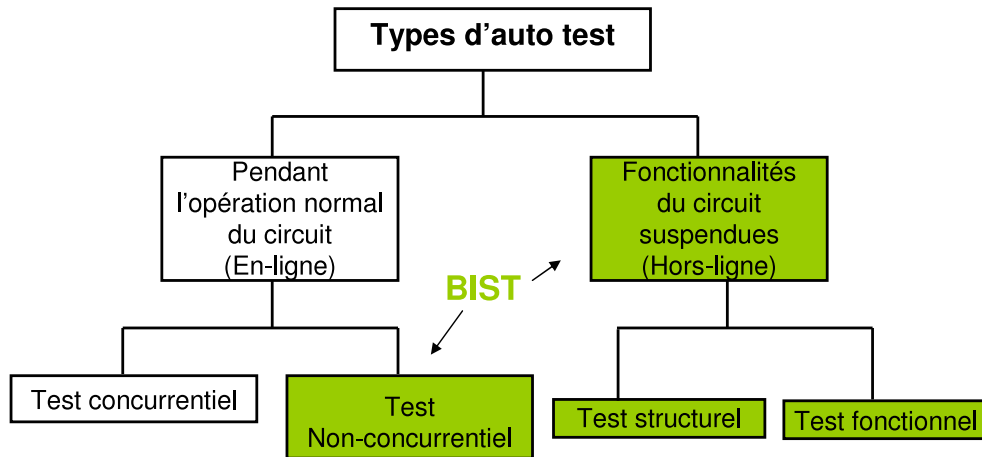


FIG. 2.2 – Types d'auto test intégrés et techniques de BIST

les fonctionnalités du circuit sont suspendues. D'après la Fig. 2.2 deux types de test peuvent être réalisés : le test fonctionnel et le test structurel. La description de ces deux types de test est présentée dans les sections suivantes.

2.3 Test fonctionnel

Le test fonctionnel est effectué pour examiner si le circuit sous test vérifie toutes les spécifications décrites dans le cahier des charges [16]. Il sert à valider le fonctionnement du circuit avant de l'envoyer en fabrication.

Les vecteurs de test précisent les valeurs qui vont varier dans chaque itération du test. Ainsi, si toutes les fonctionnalités d'un système sont testées, la détermination des vecteurs de test peut être très longue. Dans le cas de circuits numériques complexes tels que les microprocesseurs, il est pratiquement impossible de vérifier toutes ces fonctionnalités. La complexité du test augmente exponentiellement avec la taille du dispositif [17].

Le test fonctionnel représente une approche du base pour les petits puces analogiques et mixtes [16].

2.4 Test structurel

Le test structurel consiste à vérifier si il y a présence d'une faute dans la structure du circuit sous test. Ce type de test est fondé sur la structure au niveau de portes ou de transistors du système. Il est réalisé en considérant un modèle de fautes pour la structure sous test. Il est largement utilisé pour le test de circuits numériques.

Le vecteur de test structurel cible des défauts de fabrication ce qui peut réduire le temps de développement des vecteurs de test. Cependant, il nécessite une connaissance détaillée des défauts qui peuvent potentiellement affecter le comportement du circuit.

Le test structurel ne teste pas exhaustivement les fonctionnalités du circuit, mais il permet d'utiliser un ensemble optimal de vecteurs de test et nécessite un minimum de temps de test, ce qui permet de réduire efficacement le coût du test.

2.5 Défauts et fautes analogiques

Un *défaut* est une mauvaise construction du circuit au-delà des variations du processus technologique. Lorsque un défaut entraîne une irrégularité dans les caractéristiques électriques d'un circuit intégré, celles-ci ne correspondent pas aux valeurs spécifiées dans le cahier des charges. Il est dit que ce défaut entraîne une *faute*. En d'autres termes, une faute est la conséquence d'un défaut. Mais il est possible qu'il n'y ait aucune faute dans un circuit avec défaut.

Lors de la fabrication des circuits intégrés un nombre important de puces identiques est produit. Ces circuits sont supposés être exactement les mêmes, mais les performances entre deux puces peuvent être différentes à cause des variations du procédé de fabrication. Les sources majeures de ces variations sont [18] :

- Les erreurs humaines et les défaillances des équipements.
- L'instabilité dans les conditions du process, en terme de changement de valeurs de n'importe quelle variable physique supposée constante.
- L'instabilité du matériel, qui se rapporte à des petites variations dans les compositions chimiques utilisées dans la ligne du process. Par exemple, la contamination chimique venant des résidus d'un autre process.
- L'hétérogénéité du substrat, incluant les points défectueux, l'imperfection des surfaces, en particulier celles venant de l'implantation des ions.
- Les non-alignements des masques. Les erreurs dans les translations des alignements sont souvent dominantes parce qu'il y a plusieurs masques qui doivent être parfaitement alignés durant des étapes successives du process.
- Les points lithographiques, causés par des poussières dans les régions transparentes ou les rayures dans les régions opaques.

Probablement, à l'exception des erreurs humaines, les effets de toutes ces sources peuvent être modélisés comme étant des phénomènes aléatoires. Ces défauts peuvent être présents dans

un circuit comme des défauts globaux et/ou locaux :

- *Défaut globaux* : ils affectent approximativement de la même manière tous les dispositifs sur une puce, et dans la majorité de cas, toutes les puces sur une plaquette.
- *Défaut locaux* : ils affectent les dispositifs individuellement ou bien une très petite région d'une puce. Ces défauts (ou spots) sont souvent causés par des particules dans l'environnement de fabrication en affectant soit les couches individuelles, soit les interconnexions entre deux couches. Les sources de spots les plus fréquentes sont : les vides dans le polysilicium ou les lignes métalliques (généralement causés par les spots lithographiques), les trous d'oxyde, les contacts absents (souvent causé par une sous-gravure), la contamination ionique mobile qui peut être concentrée dans une région particulière du circuit quand il est biaisé, ainsi que les pipes de conduction locales formées par des imperfections dans la structure du cristal.

2.6 Modélisation des fautes analogiques

Le processus technologique est le responsable principal de la présence de fautes, qui se manifestent immédiatement après fabrication ou bien après un temps d'attente prolongé [17]. Les perturbations du process locales et globales peuvent engendrer des fautes catastrophiques et paramétriques.

La modélisation des fautes représente les effets de défauts sur le comportement du circuit. Elle permet d'évaluer l'ensemble des vecteurs de test et de déterminer la qualité du test.

2.6.1 Fautes catastrophiques

Les déformations de la structure sont normalement à l'origine des fautes catastrophiques [19]. Dans les circuits intégrés, elles sont usuellement le résultat de défauts locaux [20]. Un exemple de fautes catastrophiques peut être un circuit ouvert ou un court circuit entre deux connexions. Ces fautes sont semblables au modèle stuck-at qui sont représentatifs de la plupart des défauts des circuits numériques [21].

Les fautes catastrophiques sont typiquement modélisées par une résistance insérée entre les deux terminaux qui ont le défaut. La valeur de la résistance est de quelques ohms si la faute à modéliser est un court circuit. Dans le cas de la modélisation d'une ouverture entre deux terminaux, la valeur de la résistance peut être de l'ordre de quelques kilo-ohms, afin de modéliser un "faible" circuit ouvert (la connexion n'est pas complètement coupée mais dégradée), ou de

quelques dizaines de mega-ohms pour modéliser la déconnexion complète [22]. Cependant, il a été montré que la modélisation d'une ouverture de la grille d'un transistor CMOS nécessite un modèle plus élaboré qu'une simple résistance [22, 23]. La valeur que prend un nœud haute impédance dépend de la capacité parasite de couplage occasionnée par son voisinage. Afin de modéliser un nœud ouvert dans une grille, le layout du circuit doit être pris en compte car les métaux forment des couplages horizontaux et verticaux, et les capacités de couplage doivent ainsi être considérées.

Cependant, si l'ouverture n'est pas dans une ligne de connexion mais dans l'oxyde de grille, un autre modèle de fautes doit être considéré : le modèle de défauts qui modélise les effets de court circuit de l'oxyde de grille (GOS¹¹). En effet, la dégradation de l'oxyde de grille est un des enjeux majeurs dans les procédés de fabrication MOS [24]. L'effet de ces défauts a été étudié en [25, 26] et des modèles ont été proposés, Fig. 2.3. L'impact de ce type de défauts depends du type de transistor, de la localisation du défaut et du dopage du polysilicium.

Polysilicium dopé n			Polysilicium dopé p		
grille source	grille substrat	grille drain	grille source	grille substrat	grille drain

FIG. 2.3 – Modèle de défauts GOS

Les défauts entre la grille et la source/drain sont modélisés avec une connexion externe entre les deux terminaux. Si les deux terminaux ont le même type de dopage, la jonction qui représente le défaut est de type ohmique, et lorsque le dopage est différent entre ces deux terminaux, une jonction pn est créée (illustrés par une diode dans la Fig. 2.3).

Lorsque le défaut GOS est présent entre la grille et le substrat du transistor la structure du MOSFET est modifiée.

Les défauts GOS entre la grille et le substrat d'un transistor, qui a un dopage de substrat différent de celui du polysilicium, ont un comportement non linéaire dû à la jonction pn. Dans [25] il est montré que ce type de défaut a un comportement similaire à deux transistors de taille plus petites qui sont connectés en série. Le modèle a donc deux transistors en série avec une

¹¹ Gate-Oxyde Shorts

resistance entre la grille et le terminal en court circuit (source ou drain). La resistance est liée à la taille de la coupure de l'oxyde et la localisation du défaut est donnée par le paramètre $k = d/L$, où d est la distance du défaut depuis la source et L la longueur du canal.

Si le dopage du substrat et du polysilicium sont du même type, le défaut GOS entre la grille et le substrat crée une homo-jonction [27]. Dans ce cas un courant électrique important peut circuler de la grille au substrat, car la jonction n'a pas l'effet de rectification, c'est-à-dire qu'elle n'a pas l'effet d'une jonction pn. Lorsque le drain et la source sont polarisés, le transistor bipolaire pnp/npn (diffusion-substrat-diffusion) parasite horizontal de la structure MOS est activé et il peut rentrer en conduction. Le modèle de ce type de défaut est donc un transistor bipolaire qui représente le transistor pnp/npn parasite horizontale.

2.6.2 Fautes paramétriques

Les circuits analogiques et mixtes sont affectés par un autre type de faute : des fautes paramétriques. Elles ne changent pas la topologie du circuit, elles ont uniquement un impact sur la valeur des paramètres de la technologie, par exemple, une déviation de la valeur de l'oxyde de grille, de la longueur et de la largeur de la grille du transistor, etc.

Dans un système il peut y avoir des déviations dans les paramètres physiques et les paramètres du layout. Les paramètres physiques qui peuvent varier sont : la mobilité des porteurs, la concentration de dopage, la tension de seuil, etc. Ces variations sont considérées comme variations globales du circuit, car elles vont affecter toute la structure du circuit. Les variations du layout qui peuvent changer sont : la largeur et la longueur de la grille des transistors, la surface d'un électrode, la surface d'une capacité. Ces variations sont considérées comme variations locales car elles peuvent être différentes pour chaque transistor.

Il est impossible de modéliser toutes les fautes paramétriques qui peuvent être présentes dans un circuit. Cependant, quelques travaux de recherche ont montré que seulement un nombre réduit de paramètres doit être considéré [28, 29, 30].

Dans le cadre de cette thèse une faute paramétrique simple est définie par la déviation minimale d'un paramètre qui est à l'origine de la violation d'une ou plusieurs spécifications du circuit.

2.7 Métriques du test

Les métriques du test sont une manière de représenter ou de mesurer la qualité du test. Dans le cas des circuits numériques le paramètre le plus utilisé est la couverture de fautes¹² (F).

$$F = \frac{\text{Nombre de fautes détectées}}{\text{Nombre total de fautes}} \quad (2.1)$$

Appliquer directement les concepts numériques aux métriques du test des circuits analogiques mène à une représentation très pauvre des effets analogiques complexes. Car, dans le cas des circuits analogiques, les fautes paramétriques sont d'une part significativement les plus importantes et d'autre elles sont plus difficilement détectables. Ainsi, des paramètres distincts sont considérées pour les différents cas (fautes catastrophiques et fautes paramétriques).

Avant d'exposer les métriques de test utilisés pour chaque cas, nous présentons de manière générale les possibles classifications d'un circuit sous test (Fig. 2.4). A partir de cette figure, différents métriques de test sont définies.

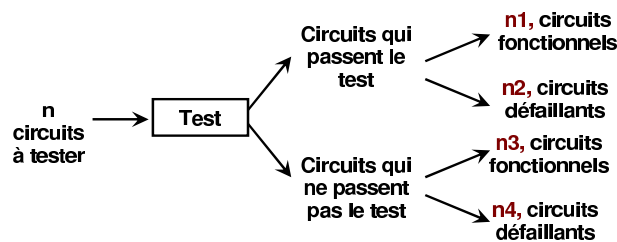


FIG. 2.4 – Diagramme des entrées/sorties du test

- *Le rendement*¹³ (Y) : c'est la proportion des circuits fonctionnels (n1+n3).

$$Y = P(\text{circuit soit fonctionnel})$$

- *Le rendement du test*¹⁴ (Y_T) : c'est la proportion des circuits qui passent le test (n1 + n2 de la Fig. 2.4)

$$Y_T = P(\text{circuit passe le test})$$

- *La couverture du rendement*¹⁵ (Y_C) : c'est la proportion des circuits qui passent le test parmi les circuits fonctionnels (n1 de la Fig. 2.4).

$$Y_C = P(\text{circuit passe le test/il est fonctionnel})$$

¹²Fault coverage

¹³Yield

¹⁴Test Yield

¹⁵Yield Coverage

- *La perte du rendement*¹⁶ (Y_L) : c'est la proportion des circuits qui ne passent pas le test parmi les circuits fonctionnels (n3 de la Fig. 2.4).

$$Y_L = P(\text{circuit ne passe pas le test/il est fonctionnel}) = 1 - Y_C$$

- *Taux de défauts*¹⁷ : c'est la proportion des circuits défectueux parmi ceux qui passent le test (n2 de la Fig. 2.4).

$$D = P(\text{circuits soit défectueux/il passe le test})$$

Ces métriques sont suffisantes pour avoir l'information nécessaire sur la qualité du test.

D'autres métriques typiquement utilisées incluent :

- *La fausse acceptation*¹⁸ (FA) : C'est une autre appellation du taux de défauts (D).
- *Le faux rejet*¹⁹ (FR) : C'est une autre appellation de la perte du rendement.

2.8 Calcul des métriques du test

Dans cette section, les métriques de test présentés dans les pages précédentes sont appliquées aux différents types de fautes.

2.8.1 Cas des déviations du procédé technologique

Afin de calculer les métriques de test dans le cas de déviations du procédé de fabrication, la modélisation statistique du circuit sous test doit être réalisée. Pour ce faire, nous utilisons des simulations Monte Carlo. Si la densité de probabilité des performances et des critères de test des circuits sous test est connue à priori, alors les métriques de test analogiques sont calculées comme suit [17] :

$$Y = \int_A f_s(s) ds \quad (2.2)$$

$$Y_T = \int_B f_T(t) dt \quad (2.3)$$

$$Y_C = \frac{\int_A \int_B f_{ST}(s, t) ds dt}{Y} \quad (2.4)$$

¹⁶Yield Loss

¹⁷Defect Level (D)

¹⁸False Acceptance

¹⁹False Rejection

$$D = 1 - \frac{\int_A \int_B f_{ST}(s, t) ds dt}{Y_T} \quad (2.5)$$

Où $A = (A_1, \dots, A_n)$ est le vecteur des spécifications, $B = (B_1, \dots, B_m)$ est le vecteur des limites de test, \int_A représente $\int_{A_1} \dots \int_{A_n}$, \int_B représente $\int_{B_1} \dots \int_{B_m}$, $f_s(s) = f_s(s_1, \dots, s_n)$ est la densité de probabilité conjointe des performances, $f_T(t) = f_T(t_1, \dots, t_m)$ est la densité de probabilité conjointe des critères de test, et $f_{ST}(s, t) = f_{ST}(s_1, \dots, s_n, t_1, \dots, t_m)$ est la densité de probabilité conjointe des performances et de critères de test.

Les estimateurs de ces métriques pour un échantillon de N circuits générés par exemple en utilisant la simulation Monte Carlo sont donnés comme suit.

$$\hat{Y} = \frac{\text{Nombre de circuits fonctionnels}}{N} \quad (2.6)$$

$$\hat{Y}_T = \frac{\text{Nombre de circuits qui passent le test}}{N} \quad (2.7)$$

$$Y_L = FR = \frac{\text{Nombre de circuits fonctionnels et qui ne passent pas le test}}{\text{Nombre de circuits fonctionnels}} \quad (2.8)$$

$$D = FA = \frac{\text{Nombre de circuits défectueux et qui passent le test}}{\text{Nombre de circuits qui passent le test}} \quad (2.9)$$

Il est à noter que la métrique couverture de fautes n'est pas utilisée ici pour le cas des déviations process. La nature défaillante d'un circuit due à des déviations process n'est pas le résultat d'une faute engendrée par un défaut.

2.8.2 Cas des fautes paramétriques

Une faute paramétrique simple est la déviation minimale d'un paramètre du procédé technologique pour laquelle au moins une des spécifications du circuit sous test est violée (cf. Fig. 2.5). Dans le cadre de cette thèse, nous considérons que les paramètres du design ont une distribution gaussienne, et nous considérons la déviation d'un seul paramètre à la fois pour calculer les métriques de test comme proposé par [21].

La Fig. 2.5 montre que la limite de la déviation d'un paramètre i pour violer une ou plusieurs spécifications (L_i^F), peut être différente de la limite de la déviation pour laquelle le test signale

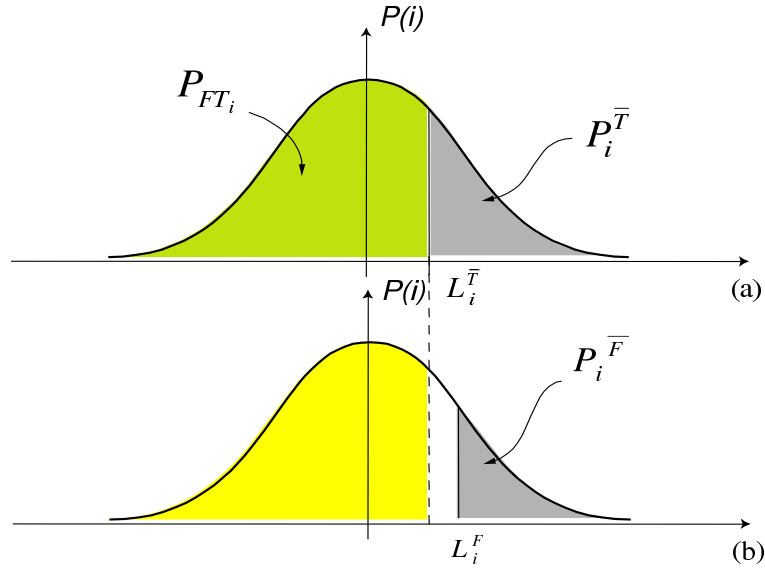


FIG. 2.5 – Limite de la déviation d'un paramètre i qui est détecté par le test (a) et/ou qui introduit la violation d'une spécification (b)

une faute (L_i^T), $L_i^F \neq L_i^T$. Ainsi, la probabilité d'avoir un circuit défaillant à cause de cette faute est donnée par $P_i^{\bar{F}}$. Également, la probabilité de détection d'une faute sur le paramètre i est donné par $P_i^{\bar{T}}$.

Ces probabilités permettent de définir les métriques de test pour le cas des fautes paramétriques simples, et elles sont calculées par :

$$P_i^{\bar{F}} = P(i > L_i^F) = \int_{L_i^F}^{+\infty} P(i) di \quad (2.10)$$

$$P_i^{\bar{T}} = P(i > L_i^T) = \int_{L_i^T}^{+\infty} P(i) di \quad (2.11)$$

Le calcul des métriques de test nécessite connaître la distribution statistique de chaque paramètre sous test. Donc, en se basant sur les probabilités $P_i^{\bar{F}}$ et $P_i^{\bar{T}}$, les métriques de test précédemment définies sont calculées comme suit :

$$Y = \prod_{i=1}^n (1 - P_i^{\bar{F}}) \quad (2.12)$$

$$Y_T = \prod_{i=1}^m (1 - P_i^{\bar{T}}) \quad (2.13)$$

$$Y_C = \frac{G_P}{Y} \quad (2.14)$$

$$D = 1 - \frac{G_P}{Y_T} \quad (2.15)$$

Où n est le nombre total de fautes et m est le nombre total de fautes qui peuvent être détectées par le test et,

$$G_P = \prod_{i=1}^n (1 - \max(P_i^{\bar{F}}, P_i^{\bar{T}})) \quad (2.16)$$

est la probabilité pour qu'un circuit soit fonctionnel et passe le test. Cette équation peut être expliquée par la Fig. 2.5. Dans ce cas, la probabilité d'un circuit pour qu'il soit fonctionnel et passe le test est donnée par l'aire P_{FT_i} , laquelle est calculée à partir de $P_i^{\bar{T}}$ car elle est plus grande que $P_i^{\bar{F}}$.

Finalement la couverture de fautes pour les déviations paramétriques simples est calculée par [21] :

$$F = \frac{\sum_{j=i}^m \ln(1 - \min(P_i^{\bar{F}}, P_i^{\bar{T}}))}{\sum_{j=i}^n \ln(1 - P_i^{\bar{F}})} \quad (2.17)$$

2.8.3 Cas des fautes catastrophiques

Dans ces travaux, le paramètre utilisé pour évaluer le test vis-à-vis des fautes catastrophiques est la couverture des fautes (Equation 2.1). Dans notre cas, ces fautes sont considérées comme équiprobables, ce qui veut dire que la probabilité d'occurrence est la même pour toutes les fautes.

2.9 Evaluation du test

L'évaluation de la qualité du test se fait par les métriques de test. Les valeurs de ces métriques dépendent des limites des critères de test. Les mesures de test peuvent être les performances du circuit ou d'autres mesures ou critères pour réaliser le test structurel ou un test alternatif. La technique d'auto test pour les capteurs de vision CMOS proposée dans ces travaux est un type de test structurel.

Dans le cadre de cette thèse, les limites de critères de test sont fixées en considérant les métriques de test pour le cas de déviations du procédé technologique, en utilisant une modélisa-

tion statistique [31, 32] pour l'estimation de la distribution de probabilité (pdf²⁰) conjointe des performances et des critères de test du circuit sous test.

Les limites de test peuvent par la suite être calculés. Cependant, cette opération nécessite un grand nombre de simulations pour assurer une précision de l'ordre de ppm (parties par million²¹).

Afin d'établir les limites de critères de test au niveau ppm, nous faisons N simulations Monte Carlo (e.g. N = 1000). A partir de ces simulations nous estimons la distribution de probabilité et ensuite a partir de la pdf un échantillon d'un million peut être généré (d'une manière plus rapide qu'en utilisant la simulation électrique Monte Carlo) par des outils mathématiques.

2.9.1 Variables aléatoires et leurs paramètres statistiques

Dans cette partie quelques concepts statistiques de base sont rappelés, afin de mieux comprendre les techniques utilisées pour établir les limites des critères de test.

Variable aléatoire : c'est une variable qui peut prendre différentes valeurs suivant une densité de probabilité associée.

Soit x_i ($i = 1, \dots, N$) N observations de la variable aléatoire X. Nous estimons la moyenne μ de X_i par :

$$\bar{x} = \frac{1}{N} \sum_{i=1}^N x_i \quad (2.18)$$

Ensuite, nous estimons l'écart-type σ de X comme suit :

$$S_x = \sqrt{\frac{1}{N-1} \sum_{i=1}^N (x_i - \bar{x})^2} \quad (2.19)$$

Soit un vecteur $X = (X_1, X_2, \dots, X_p)^T$ composé de p variables aléatoires, où X_j pour $j = 1, 2, \dots, p$, est une variable aléatoire sur une dimension. La covariance de X_i et X_j représente le taux de dépendance de ces deux variables et elle est définie comme suit :

$$\nu_{x_i x_j} = Cov(X_i, X_j) = E(X_i \cdot X_j) - E(X_i) \cdot E(X_j) \quad (2.20)$$

Où $E(\cdot)$ représente l'espérance. Si X_i et X_j sont indépendantes, la covariance $\nu_{x_i x_j}$ est nécessairement égale à zéro. La covariance de la variable aléatoire X_i avec elle même est la

²⁰Probability Density Function

²¹Parts per million

variance :

$$\nu_{x_i x_i} = Cov(X_i, X_i) = \nu_{x_i} \quad (2.21)$$

Le coefficient de corrélation entre deux variables X_i et X_j est défini à partir de la covariance comme suit :

$$\rho_{x_i x_j} = \frac{\nu_{x_i x_j}}{\sigma_{X_i} \sigma_{X_j}} \quad (2.22)$$

Où l'écart type σ_{X_i} est égal à $\sqrt{\nu_{x_i}}$

L'avantage du coefficient de corrélation est qu'il est indépendant de l'échelle utilisée. C'est à dire, changer d'échelle de mesure de variables ne change pas la valeur du coefficient de corrélation. Par conséquent, le coefficient de corrélation est plus utile comme mesure de l'association entre deux variables que la covariance. Le coefficient de corrélation en valeur absolue est toujours inférieur ou égal à 1. Elle est proche de zéro si les variables aléatoires X_i et X_j sont indépendantes.

L'estimation empirique de ces quantités nécessite un certain nombre d'observations. Supposons que $\{x_i\}_{i=1}^n$ est un ensemble de n observations du vecteur de variables X dans \mathbb{R}^p . Chaque observation x_i a p dimensions : $x_i = (x_{i_1}, x_{i_2}, \dots, x_{i_p})$, et elle correspond à une valeur observée du vecteur $X \in \mathbb{R}^p$. La covariance entre deux variables aléatoires est ainsi estimée par :

$$V_{X_i X_j} = \frac{1}{n-1} \left(\sum_{k=1}^n x_{i_k} x_{j_k} - n \bar{x}_i \cdot \bar{x}_j \right) \quad (2.23)$$

Et la variance d'une variable aléatoire est estimée par :

$$V_{X_i} = \frac{1}{n-1} \left(\sum_{k=1}^n x_{i_k}^2 - n \bar{x}_i^2 \right) \quad (2.24)$$

Le coefficient de corrélation entre deux variables aléatoires est ainsi estimé par :

$$r_{X_i X_j} = \frac{V_{X_i X_j}}{s_{x_i} s_{x_j}} \quad (2.25)$$

Avec $s_{x_i} = \sqrt{V_{x_i}}$

Les covariances théoriques entre toutes les variables aléatoires peuvent être représentées par une matrice Σ appelée la matrice Variance-Covariance :

$$\Sigma = \begin{pmatrix} v_{x_i} & \cdots & v_{x_i x_p} \\ \vdots & \ddots & \vdots \\ v_{x_i x_p} & \cdots & v_{x_p} \end{pmatrix} \quad (2.26)$$

L'estimation (empirique) de la matrice variance-covariance est alors donnée par :

$$S = \begin{pmatrix} V_{x_i} & \cdots & V_{x_i x_p} \\ \vdots & \ddots & \vdots \\ V_{x_i x_p} & \cdots & V_{x_p} \end{pmatrix} \quad (2.27)$$

2.9.2 Estimation de la densité de probabilité conjointe

Une probabilité conjointe se définit comme la probabilité de co-occurrence de deux ou plusieurs événements. Pour la distribution de ces événements, ou dans notre cas, pour la distribution des performances et des critères de test nous considérons deux cas : la densité de probabilité est une distribution multinormale et la distribution de probabilité est inconnue (non-paramétrique).

2.9.2.1 Cas d'une distribution Gaussienne (loi multinormale)

Soit X une variable aléatoire à p dimensions de moyenne $\mu = (\mu_{i_1}, \mu_{i_2}, \dots, \mu_{i_p})^T$ et de matrice de variance-covariance Σ . Si la distribution de X suit une loi multinormale, alors la fonction densité de probabilité $f(x)$ est définie par :

$$f(x) = \frac{1}{\sqrt{\det(2\pi \Sigma)}} \cdot \exp \left[-\frac{(x - \mu)^T \Sigma^{-1} (x - \mu)}{2} \right] \quad (2.28)$$

La probabilité d'un ensemble $A \in \mathbb{R}^p$ est donné par la formule d'intégrales multiples suivante :

$$P(A) = \frac{1}{\sqrt{\det(2\pi \Sigma)}} \int_{A_1} \cdots \int_{A_p} \exp \left[-\frac{(x - \mu)^T \Sigma^{-1} (x - \mu)}{2} \right] dx_1 dx_2 \cdots dx_p \quad (2.29)$$

Basé sur le concept de la loi multinormale nous pouvons calculer les métriques de test des équations (2.2), (2.3), (2.4), (2.5). Cependant, si le nombre de performances spécifiées et de critères de test est grand, l'intégration de l'équation 2.29 s'avère pratiquement impossible.

Afin de calculer ces métriques de test, nous utilisons l'approche présentée dans [31]. Puis nous appliquons les équations (2.6), (2.7), (2.8), (2.9) pour calculer les métriques de test à partir des fréquences relatives. Une population d'un million de circuits est générée en échantillonnant la densité de probabilité de l'Équation 2.28 en utilisant une approche Monte Carlo.

2.9.2.2 Cas d'une distribution non-paramétrique

Lorsque la densité de probabilité des performances et des critères de test n'est pas considérée comme une loi multinormale, nous utilisons l'estimation de la densité par un estimateur de noyaux²². Cette méthode a été proposée en [32].

L'estimateur de noyaux multivariable avec un noyau k est défini par :

$$\tilde{f}(x) = \frac{1}{nh^d} \sum_{i=1}^n K \left(\frac{1}{h}(X - x_i) \right) \quad (2.30)$$

Où d est la dimension de la variable aléatoire X (dans notre cas le vecteur qui comprend les performances et les mesures de test), x_i est la $n^{ième}$ observation de X , $i = 1, \dots, n$ et h est un paramètre appelé bande passante. Dans [32] le noyau Epanechnikov a été utilisé :

$$K_e(t) = \begin{cases} \frac{1}{2} C_d^{-1} (d+2) (1-t^T t) & \text{Si } t^T t < 1 \\ 0 & \text{autrement} \end{cases} \quad (2.31)$$

Où $c_d = 2\pi^{d/2}/(D \cdot \Gamma(d/2))$ est le volume de l'unité d est le volume d'une sphère unitaire de d dimensions.

Les concepts donnés dans cette section servent donc à estimer la densité de probabilité conjointe d'un ensemble de variables aléatoires. Et comme dans le cas de la distribution multinormale, une fois que la distribution est estimée, elle est échantillonnée pour générer une population plus grande d'observations qui est ensuite utilisé pour calculer les métriques de test pour le cas des déviations du process, et enfin établir les limites des critères de test.

2.9.3 Limites des critères de test

Afin d'évaluer la qualité du test par les métriques de test présentés dans ce chapitre, les limites de critères de test doivent être établies.

²²Kernel estimator

Dans les pages précédentes, nous avons présenté deux méthodes statistiques qui sont basés sur la distribution de probabilité d'une variable, avec p dimensions, pour générer un ensemble de valeurs plus grand qui a la même distribution que la variable d'origine.

Avec ce nouvel ensemble de valeurs, nous pouvons calculer les métriques de test pour les cas de déviations du process. Ces métriques de test sont ensuite utilisées pour établir les critères de test.

La procédure suivie afin d'établir les limites des critères de test est la suivante :

- Premièrement, N simulations Monte Carlo pour les différents banc de test²³ de chaque performance et de chaque critère de test sont faites. A chaque instance de la simulation Monte Carlo, des valeurs des performances et des mesures de test sont enregistrés.
- Grâce à ces valeurs, la distribution de probabilité conjointe des performances et des critères de test est estimée.
- D'après l'estimation de la distribution de probabilité conjointe des performances et des critères de test, une population plus grande de circuits est générée.
- Grâce à cette population, les métriques de test pour les cas des déviations du process sont calculées, Équations (2.6), (2.7), (2.8), (2.9).
- Nous nous basons sur les métriques de test du fausse acceptation (FA) et la fausse rejection (FR) pour fixer les limites des critères de test. La Fig. 2.6 montre un exemple de la fausse acceptation et la fausse rejection en fonction des limites des critères de test. L'axe horizontal de cette Figure donne le limite des critères de test. Si par exemple les critères de test sont établis à 4 dans la Fig. 2.6 ça sera la valeur moyenne (μ) \pm 4 fois son écart type. L'axe vertical donne les valeurs des métriques en ppm. Il faut noter que si les limites des critères de test sont larges, alors la probabilité pour qu'un circuit passe le test et qu'il soit défaillant augmente, c'est à dire la FA augmente. Au contraire, la probabilité pour qu'un circuit ne passe pas le test et qu'il soit fonctionnel diminue, c'est à dire le FR diminue contrairement à la FA.
- Basé sur la Fig 2.6 nous faisons donc un compromis entre la fausse acceptation et le faux rejet. Par exemple, nous utilisons la règle de dix [33], qui suggère qu'il soit dix fois plus cher d'expédier un circuit défaillant que de rejeter un qui soit fonctionnel. C'est à dire $Y_L = 10 D$ ou $FR = 10 FA$.

Une fois que les limites de test sont choisis, ils sont utilisés pour calculer les différents

²³*Test bench* : environnement utilisé pour vérifier un design ou un modèle

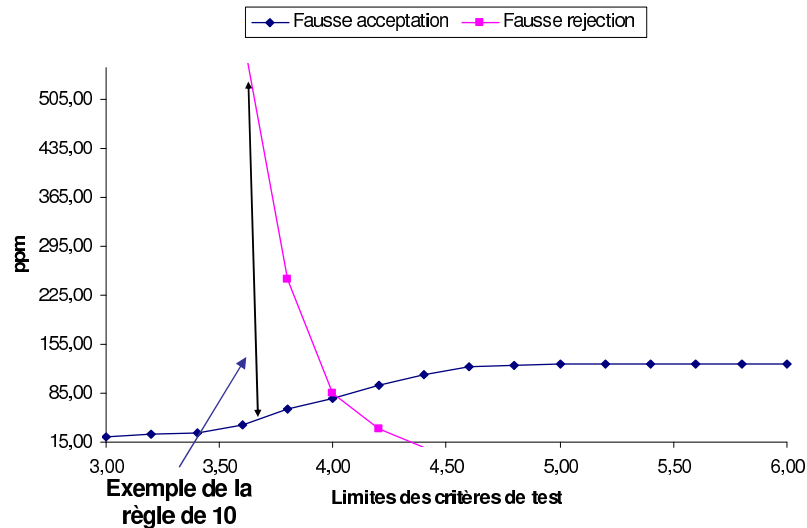


FIG. 2.6 – Fausse acceptation vs fausse rejection

métriques du test sous la présence de fautes à l'aide d'une plateforme logiciel de test.

2.9.4 Plateforme CAT pour l'évaluation du test

Nous allons présenter dans ce qui suit les outils de modélisation, d'injection et de simulation de fautes analogiques et mixtes composant la plateforme de CAT développée au sein du groupe RMS. Cette plateforme est intégrée dans le logiciel de conception de circuits microélectroniques *Cadence*. La Figure 2.7 montre l'architecture de celle-ci. Elle est composée d'un ensemble de trois outils séparés. La modélisation de fautes, l'injection et la simulation de fautes sont effectuées en utilisant l'outil *FIDESIM*. Les résultats sont sauvegardés dans une base de données qui pourra être consultée par les autres outils, en particulier, l'outil *OPTEVAL* pour l'évaluation de test et l'outil *OPTEGEN* pour la génération et l'optimisation des vecteurs de test.

Ces outils seront ensuite utilisés pour évaluer les métriques de test sous les fautes catastrophiques et paramétriques simples, une fois les limites de test des critères de test potentiels sont fixées pour le cas des déviations process.

2.9.4.1 Outils de simulation de fautes

Plusieurs outils de modélisation, d'injection et de simulation de fautes pour les circuits mixtes et RF sont apparus dans la littérature. En [34] est présenté un outil où les modèles de fautes sont ajoutés directement, avant simulation, dans la vue schématique du circuit sous *Cadence*, et les fautes sont injectées en modifiant les différents paramètres de chaque modèle de fautes ajouté. Ce même principe d'ajout de modèles de fautes a été aussi considéré dans l'outil

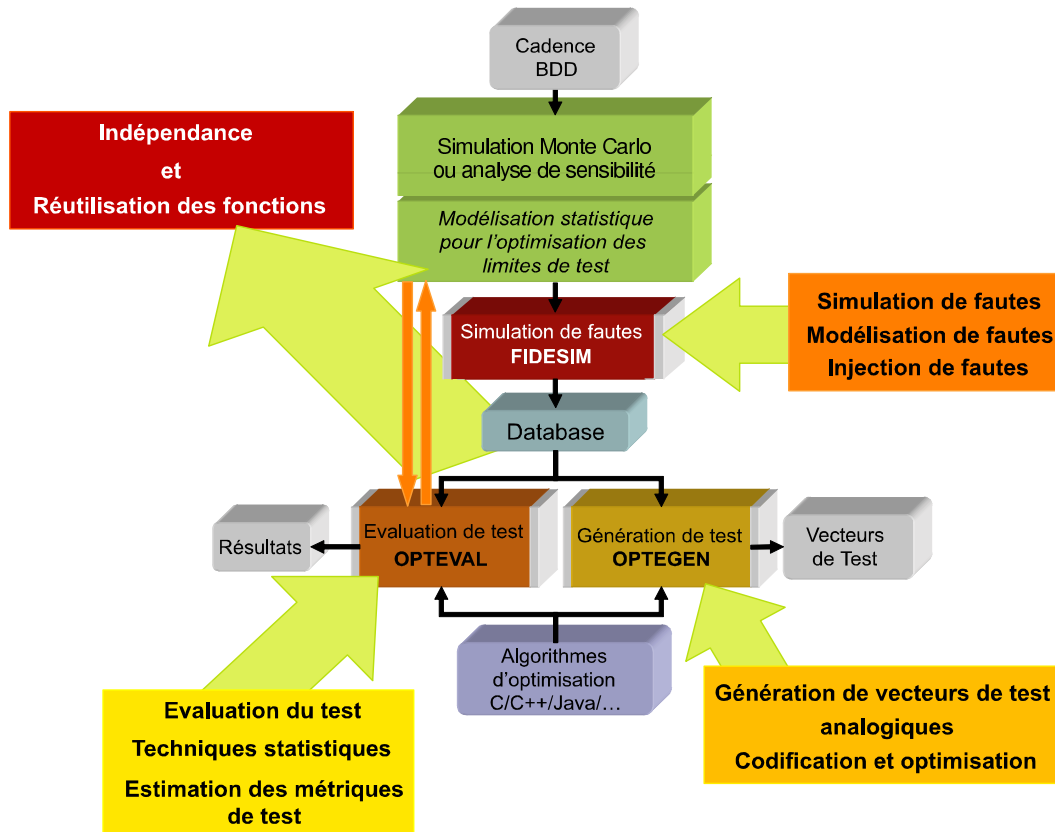


FIG. 2.7 – L’architecture simplifiée de la plateforme de CAO pour le test.

décrit par [35]. La netlist est ainsi générée après avoir injecté les modèles de fautes dans la vue schématique. Par conséquent, ce type de simulateurs de fautes devient totalement indépendant du simulateur utilisé.

L’outil de simulation de fautes *FIDESIM* que nous avons utilisé est basé sur ce dernier principe. Le détail sur le principe utilisé pour modéliser des fautes a été décrit dans [35]. Cette modélisation se fait de manière manuelle où le circuit à simuler ne doit pas être modifié une fois conçu. Ce principe a été modifiée par [17] afin de pouvoir rendre la modélisation ainsi que l’injection de fautes robustes. D’où donc le développement d’un pseudo-langage FID²⁴ qui permet de décrire comment injecter une faute dans un circuit. Celui-ci est décrit en détail dans [17]. La procédure de simulation de fautes utilisée est présentée par la Figure 2.8.

Les ingénieurs de test doivent créer des circuits représentant les différents modèles de fautes sous l’environnement DFII²⁵ de *Cadence*. Ces modèles seront ensuite enregistrés dans une librairie comme toute cellule *Cadence* tout en respectant certaines règles utiles pour l’automatisation de l’injection de fautes. Par exemple, utiliser des ports spécifiques qui servent à lier le

²⁴*Fault Injection Description*

²⁵*Design Framework 2*

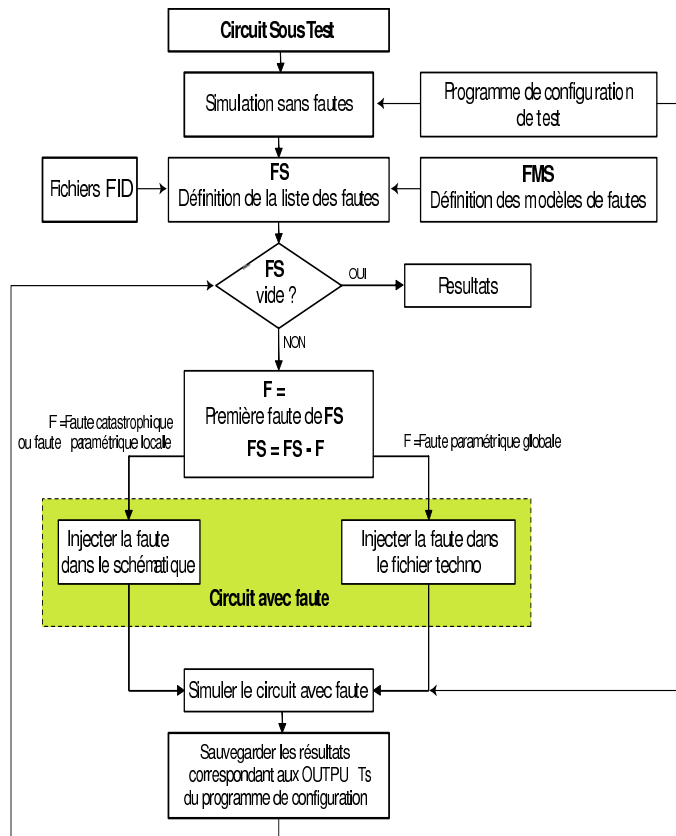


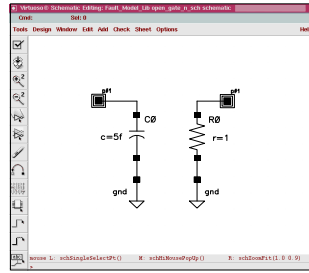
FIG. 2.8 – Procédure de simulation de fautes utilisée par *FIDESIM* [17].

modèle de faute au circuit à simuler. Ensuite, des fichiers FIDs seront créés (en utilisant implicitement le langage FID) où sera décrit comment chacun des modèles de fautes créé sera injecté. Le cas des fautes paramétriques locales et globales est aussi considéré. Par exemple, la Figure 2.9(a) décrit le circuit représentant le modèle de faute d'un circuit-ouvert à la grille d'un transistor NMOS. Le fichier FID décrivant comment l'injecter est montré par la Figure 2.9(b). Ce modèle de faute est une cellule enregistrée dans la librairie "Fault_Model_Lib".

Le calcul des performances et des mesures (ou sorties) de test ou des critères de test doit être décrit comme étant un pseudo-programme appelé TCP²⁶. La Figure 2.10 montre un exemple d'un TCP où une performance, deux mesures de test et un critère de test sont décrits. La mesure de test est utilisée pour décrire l'ensemble des performances et des critères de test avec leur tolérances (appelés spécifications pour les performances et limites de test pour les critères de test).

Souvent le calcul de toutes les performances du circuit sous test nécessite plusieurs bancs de test. D'autres bancs de test peuvent être considérés pour calculer les critères de test de ce

²⁶Test Configuration Program ou bien Programme de Configuration de Test



(a)

```
(((1 "Fault_Model_Lib" "OpenN"))
  ((1 (4) ("inst" "tran" ("M1" "M2"))
    (nil 1 2) )))
```

(b)

FIG. 2.9 – Description d’un modèle de faute : (a) le modèle de faute, et (b) fichier de description de l’injection de faute FID.

```
SPECIFICATIONS
pr1: (70, 85)
TC_TOLERANCES
tc1: (200M, 260M)
OUTPUTS
tm1 = dB20 (VF ("/out1") - VF ("/out2"))
tm2 = phase (VF ("/out1") - VF ("/out2"))
PERFORMANCES
pr1 = value (tm1 100)
TEST_CRITERIA
tc1 = root (tm2 0 1)
```

FIG. 2.10 – Programme de Configuration de Test TCP.

même circuit. Différentes analyses de simulations peuvent être considérées pour chaque banc de test. Par conséquent, il est nécessaire d’effectuer plusieurs simulations pour pouvoir calculer toutes les performances et tous les critères de test du circuit. L’outil *FIDESIM* est capable d’effectuer une telle opération juste en écrivant un fichier définissant le MTP²⁷. L’outil *FIDESIM* permet de gérer cette caractéristique particulière pour le cas des simulations de type Monte Carlo puisqu’une instance générée doit être la même pour chaque banc de test considéré.

2.9.4.2 Evaluation de la qualité du test avec la plateforme CAT

Toutes les simulations faites pour chaque banc de test sont enregistrées, puis les valeurs des simulations avec l’injection d’une faute sont comparées avec les spécifications et les limites des critères de test. Ceci permet de détecter les fautes qui occasionnent à une performance d’être au delà de ces limites, et également les fautes qui occasionnent à un critère de test d’être au delà de ces limites. En d’autres termes, cela permet de trouver les fautes qui seront détectés par les performances et les critères de test.

Pour le cas de fautes catastrophiques, cette détection de fautes permet de calculer la couver-

²⁷ *Multi Testbench Program*

ture de fautes du test. Ce type de simulation permet aussi de connaître les fautes qui ne seront pas détectés par le test, et ainsi les limites de critères de test peuvent être changés pour améliorer la couverture de fautes ou de considérer d'autres vecteurs de test si les métriques de test ne sont pas satisfaisantes.

Pour le cas de fautes paramétriques, la limite de la déviation d'un paramètre qui fait violer une spécification et/ou un critère de test est trouvée. Puis grâce à ces limites, les différentes métriques de test pour le cas de fautes paramétriques sont obtenues.

2.10 Conclusions

Nous avons présenté dans ce chapitre quelques concepts de base du test analogique ainsi que quelques techniques pour l'évaluation du test pour ce type de circuits. Nous avons expliqué que la qualité du test est évaluée par les métriques du test et que nous considérons des métriques de test pour différents types de fautes. Les types et la modélisation des fautes analogiques ont été également présentés. Nous avons exposé une méthode statistique qui nous permet d'établir les limites des critères de test. Ces critères de test sont évalués par la détection des fautes. Pour ce faire, nous utilisons une plateforme de test qui nous permet de faire la modélisation, l'injection de fautes automatiquement, et l'évaluation des vecteurs de test.

Chapitre 3

Performances et tests des capteurs de vision CMOS

Un capteur de vision est composé d'une partie optique qui transforme le flux lumineux en tension, et d'une partie électrique qui amplifie et traite le signal.

La partie électrique des capteurs de vision est composée de circuits analogiques (amplificateurs), de circuits mixtes (CAN) et de circuits numériques pour faire le traitement du signal.

Du fait d'avoir dans la structure des composants optiques et électriques, deux types de test sont réalisés : un test optique pour les dispositifs photosensibles et un test électrique.

Afin de connaître les caractéristiques d'un capteur de vision CMOS et pour comprendre leur fonctionnement et leur test, nous étudions dans ce chapitre les principales caractéristiques d'un imageur CMOS, ce qui nous permettra ensuite d'expliquer leur fonctionnement, et dans un deuxième temps nous allons présenter le test réalisé pour ce type de composants.

3.1 Performances du dispositif photosensible

Le dispositif photosensible est le composant principal dans un capteur de vision. Il transforme l'énergie lumineuse en énergie électrique. Il existe différents types de composants photosensibles tels que des phototransistors, des photogrilles et des photodiodes.

La plupart des caractéristiques des dispositifs photosensibles décrites dans cette section sont communes à tous ces types de composants. Cependant, dans ces travaux, la description des caractéristiques principales du composant photosensible est focalisée sur une photodiode, car c'est le composant le plus utilisé dans les capteurs de vision CMOS, et les pixels utilisés pour faire notre étude du BIST ont une photodiode comme dispositif photosensible.

Dans cette section, les principales caractéristiques d'une photodiode sont détaillées, ce qui

nous permettra ensuite de mieux comprendre le test à effectuer pour ce composant et d'expliquer dans le chapitre suivant la modélisation et le test envisagé pour ce dispositif.

3.1.1 Courant d'obscurité

Une photodiode est une diode qui travaille dans la région inverse (Fig. 3.1). Elle est composée d'une jonction semi-conductrice PN. Lorsque la diode est polarisée en inverse et non illuminée, un courant de fuite peut être observé. Il est dû principalement aux porteurs générés par agitation thermique. Lorsqu'on parle d'éléments photosensibles ce courant est appelé courant d'obscurité (I_{dark}) car il est présent en l'absence de toute illumination.

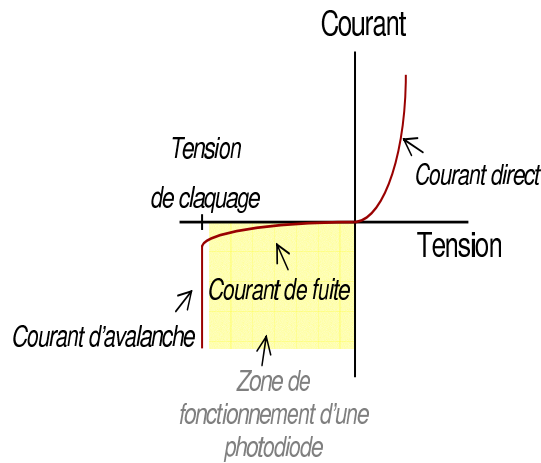


FIG. 3.1 – Fonctionnement d'une photodiode

L'Équation qui décrit le comportement du courant dans la Fig. 3.1 est donnée par :

$$I_d = I_s \times \left(e^{\frac{qV_d}{kT}} - 1 \right) \quad (3.1)$$

Où q est la charge de l'électron ($1.6 \times 10^{-19} \text{C}$), V_d est la tension aux bornes de la diode, k est la constante de Boltzman ($1.38 \times 10^{-23} \text{JK}^{-1}$), T est la température et I_s est le courant de saturation inverse de la diode qui est donné par l'équation 3.2.

$$I_s = A_d q n_i^2 \left(\frac{D_e}{L_e N_A} + \frac{D_h}{L_h N_D} \right) \quad (3.2)$$

Où A_d est l'aire de la diode, n_i est la concentration de porteurs intrinsèque, D_e est le coefficient de diffusion des porteurs minoritaires (électrons dans la région P de la jonction), D_h

est le coefficient de diffusion des porteurs minoritaires (trous dans la région N), L_e est la longueur de diffusion des électrons dans le côté P de la jonction, L_h est la longueur de diffusion des trous dans le côté N de la jonction, N_A est la concentration d'atomes accepteurs et N_D la concentration d'atomes donneurs.

Avec :

$$D_h = \left(\frac{k \cdot T}{q} \right) \cdot \mu_h \qquad D_e = \left(\frac{k \cdot T}{q} \right) \cdot \mu_e \qquad (3.3)$$

$$L_h = \sqrt{D_h \cdot \tau_h} \qquad L_e = \sqrt{D_e \cdot \tau_e} \qquad (3.4)$$

Où μ_h/μ_e est la mobilité des porteurs minoritaires et τ_h/τ_e est le temps de vie des porteurs minoritaires.

Le courant d'obscurité est très dépendant de la température et il double tous les 5 à 8 degrés [36]. Ce courant peut varier aussi selon la polarisation inverse de la diode.

3.1.2 Courant photo-généré

Le courant photo-généré est le courant généré lors de l'illumination du dispositif photosensible. Premièrement, nous allons expliquer ce qui se passe aux frontières d'une jonction semi-conductrice PN comme celle d'une photodiode, et ensuite nous allons décrire les mécanismes qui génèrent le courant photonique.

La partie semi-conductrice P a un grand nombre de porteurs positifs (trous), tandis que la partie semi-conductrice N a un grand nombre de porteurs négatifs (électrons). Lors de la jonction de deux matériaux semi-conducteurs les trous de la partie P vont essayer de se disperser vers le côté dopé N, tandis que les électrons libres du côté N vont se diffuser de côté P. Cette diffusion réduit le nombre de porteurs libres près de la jonction.

Chaque électron qui est diffusé du côté P laisse un trou du côté N près de la jonction. De la même façon, chaque trou qui est diffusé du côté N laisse un électron du côté P près de la jonction. Cette diffusion de porteurs libres génère une région de déplétion ou zone de charge d'espace (ZCE) à la jonction des deux matériaux semi-conducteurs où il y ne reste plus de porteurs libres (Fig. 3.2). La ZCE augmente avec la polarisation inverse de la diode.

Lorsque la photodiode est exposée à une source de lumière la ZCE reçoit des photons. Ces photons vont générer des paires électrons-trous qui vont être séparées par le champ électrique

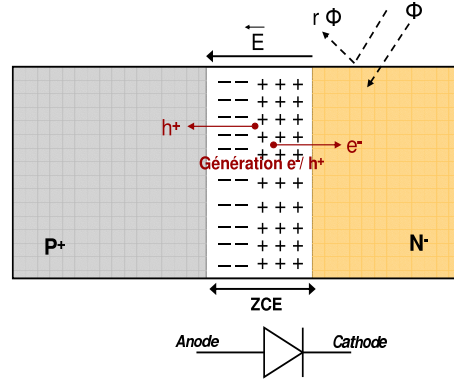


FIG. 3.2 – ZCE d’une photodiode

de la ZCE (Fig. 3.2), et un courant électrique est donc généré, il est appelé courant photonique (I_{ph}).

Le courant photonique est donné par l’équation 3.5 :

$$I_{ph} = q \times \eta \times A_d \times \phi \quad (3.5)$$

Où A_d est l’aire de la diode, ϕ est le flux de la lumière incidente ($s^{-1}m^{-2}$) et η est le rendement quantique qui est décrit en détail dans la sous-section suivante.

Le courant total dans une photodiode peut donc être décrit comme la somme de deux courants : $I_{total} = I_{ph} + I_{dark}$

3.1.3 Rendement quantique

Le rendement quantique représente la capacité du composant à séparer les paires électrons-trous créés par les photons de la lumière incidente.

Lorsque la lumière éclaire la photodiode il y a une partie du flux lumineux qui est reflété ($r\phi$ dans la Fig 3.2) et une autre partie du flux qui est absorbée par le silicium (ϕ dans la Fig 3.2).

Le coefficient d’absorption de la lumière par le silicium représente la fraction du flux lumineux qui sera absorbée par le silicium par unité de profondeur. Ceci dépend de la longueur d’onde de la lumière incidente.

La Fig 3.3 illustre la valeur du coefficient d’absorption du silicium intrinsèque en fonction de la longueur d’onde de la lumière incidente [37].

L’absorption de la lumière dans le silicium représente la quantité de paires électrons-trous qui sont générées (α). Dans le cas du silicium dopé, il faut considérer une composante d’ab-

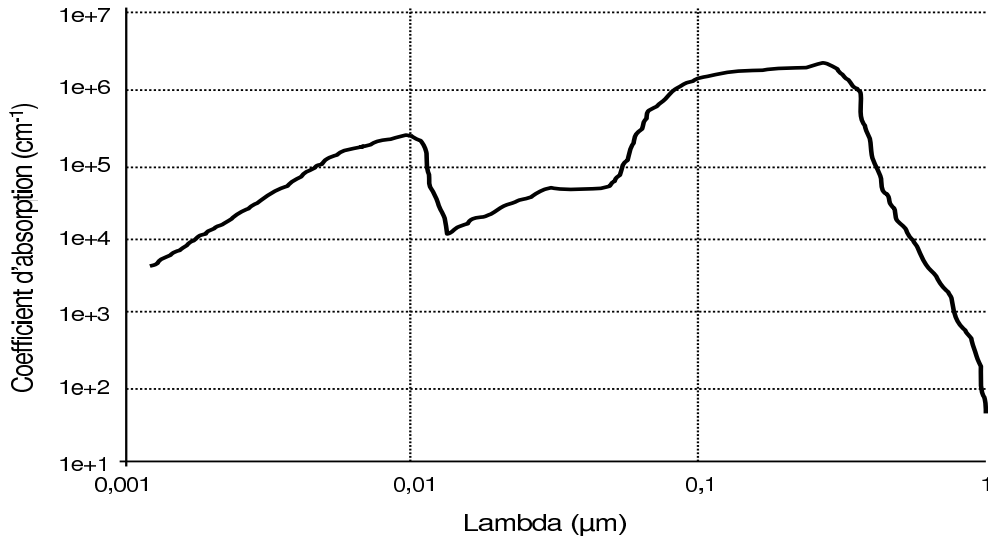


FIG. 3.3 – Coefficient d’absorption de la lumière par le silicium intrinsèque en échelle logarithmique

sorption liée au fait que certains photons sont absorbés sans créer de paire électron-trou (α_0). Cette composante est proportionnelle à la concentration de porteurs libres dans le silicium selon l’Équation suivante :

$$\alpha_0 = 7,4 \cdot 10^{-22} \times \left(\frac{q \cdot \lambda}{h \cdot c} \right)^2 \times n_d \quad (3.6)$$

Où h est la constante de planck ($6,625 \cdot 10^{-34}$ Js), c la vitesse de la lumière ($3 \cdot 10^8$ m/s), λ la longueur d’onde de la lumière incidente et n_d la concentration de porteurs libres.

La photodiode que nous prenons comme cas d’étude a une jonction entre une zone de diffusion N et le substrat de type P. Nous avons ainsi trois zones de dopages différents : la zone de charge d’espace dépourvue de porteurs libres, la diffusion N fortement dopée et le substrat P faiblement dopé.

Dans les zones N et P, la création d’électrons et de trous va déséquilibrer la relation entre les porteurs minoritaires, et de ce fait il y a une composante du courant photonique qui est due aux porteurs minoritaires des zones N et P.

Le rendement quantique de la photodiode peut être calculé comme la somme des rendements quantiques de la ZCE et des zones N et P. Il est calculé par les équations suivantes [8] :

$$\eta = \eta_{ZCE} + (\eta_{crN} \times \eta_N) + (\eta_{crP} \times \eta_P) \quad (3.7)$$

Où η_{ZCE} est le rendement quantique de la zone de charge d'espace :

$$\eta_{ZCE} = (1 - r) \cdot e^{\alpha_N X_N} \cdot (1 - e^{-\alpha W}) \quad (3.8)$$

η_N est le rendement quantique de la diffusion N :

$$\eta_N = (1 - r) \cdot \left(\frac{\alpha_N L_h}{\alpha_N^2 L_h^2 - 1} \right) \cdot \eta_{N_2} \quad (3.9)$$

Et η_{N_2} :

$$\eta_{N_2} = \frac{(\gamma_1 + \alpha_N L_h) - e^{-\alpha_N X_N} [sh(X_N/L_h) + \gamma_1 ch(X_N/L_h)]}{ch(X_N/L_h) + \gamma_1 sh(X_N/L_h)} - \alpha_N L_h e^{-\alpha_N X_N} \quad (3.10)$$

η_P est le rendement quantique du substrat P :

$$\eta_P = (1 - r) \cdot e^{-(\alpha_N X_N + \alpha W)} \cdot \left(\frac{\alpha_P L_e}{\alpha_P^2 L_e^2 - 1} \right) \cdot \eta_{P_2} \quad (3.11)$$

Et η_{P_2} :

$$\eta_{P_2} = \frac{(\gamma_2 + \alpha_P L_e) e^{-\alpha_P X_P} - [sh(X_P/L_e) + \gamma_2 ch(X_P/L_e)]}{ch(X_P/L_e) + \gamma_2 sh(X_P/L_e)} + \alpha_P L_e \quad (3.12)$$

Avec :

$$\alpha_N = \alpha + \alpha_{0N} \quad \alpha_P = \alpha + \alpha_{0P} \quad (3.13)$$

$$\gamma_1 = s_1 \cdot \frac{L_h}{D_h} \quad \gamma_2 = s_2 \cdot \frac{L_e}{D_e} \quad (3.14)$$

Et finalement η_{crN}/η_{crP} est le rendement de création de paires e^-/h^+ par un photon en région N/P. Ce coefficient est calculé par l'équation 3.15.

$$\eta_{cr} = (1 + \beta) \times \left(\frac{\alpha}{\alpha + \alpha_0} \right) \quad (3.15)$$

Dans les équations précédentes r est le coefficient du flux lumineux à la surface de la structure, X_N et X_P la largeur de la zone N/P respectivement sans prendre en compte la largeur de

la ZCE, W la largeur de la ZCE, α_N/α_P le coefficient d'absorption de la zone N/P, α le coefficient d'absorption de la ZCE (considéré comme du silicium intrinsèque), α_{0N}/α_{0P} le coefficient d'absorption de la région N/P ne créant pas de paire e^-/h^+ et β le taux de création de paires supplémentaires de porteurs libres créés par un effet de cascade d'ionisations, ce phénomène se produit lorsque la longueur d'onde de la lumière incidente est $< 35\mu m$ [8].

3.1.4 Capacité parasite

La capacité parasite n'est pas une spécification propre du capteur. Cependant elle est très importante pour la valeur du facteur de conversion (il exprime le gain du pixel) dans un pixel à integration et pour le bruit du reset (nous parlerons plus tard du pixel à intégration et du bruit du reset).

La capacité parasite est modélisée par une capacité de déplétion (C_j). Elle est générée par la variation de charge qui est stockée dans la zone de charge d'espace. La capacité d'une jonction PN est dépendante de la variation de l'épaisseur de la ZCE [38] :

$$C_j = \frac{A_d \cdot C_{surf} + P_d \cdot C_{peri}}{\sqrt{1 + \frac{V_d}{V_{th}}}} \quad (3.16)$$

Où P_d est le périmètre de la diode, C_{surf} est la capacité parasite de surface de la diode sous tension nulle (F/m^2), C_{peri} est la capacité par unité de longueur du périmètre de la diode sous tension nulle (F/m), V_d est la tension aux bornes de la diode et V_{th} est le potentiel de la jonction.

Nous avons ainsi présenté les principales caractéristiques qui sont propres au dispositif photosensible. Le courant photo-généré est lu sous forme de tension analogique à la sortie d'un pixel.

3.1.5 Bruit d'une photodiode

Dans une photodiode deux types du bruit sont présentes, le bruit thermique et le bruit de grenaille. Ce dernier est la source du bruit principale dans ce composant.

- *Bruit thermique* : il est dû au mouvement aléatoire des porteurs de charge sous l'effet de la temperature. Il est associé à la resistance ou à la partie resistive d'un composant.

La densité spectrale de puissance (DSP¹) unilatérale du bruit thermique générée par une

¹La DSP ($S_x(f)$) d'un signal aléatoire $x(t)$ est la répartition de la puissance σ^2 du processus aléatoire sur l'axe de fréquences.

résistance R est donné par :

$$\overline{i^2} = \frac{4 \cdot k \cdot T}{R} \Delta f \quad (3.17)$$

– *Bruit de grenaille*² : il est dû au fait que le courant électrique n'est pas continu mais constitué de porteurs de charge élémentaires (électrons ou trous). Sa densité est directement proportionnelle au courant qui passe à travers le composant. La DSP unilatérale de ce bruit est donnée par :

$$\overline{i^2} = 2 \cdot q \cdot I \cdot \Delta f \quad (3.18)$$

3.2 Architecture d'un imageur

La structure d'un imageur CMOS (avec sa chaîne de lecture) est montrée sur la Fig. 3.4. La matrice de pixels est composée par des millions de pixels qui ont la même structure. Les amplificateurs colonnes ont également tous la même architecture. Dans la structure d'un imageur il y a autant d'amplificateurs colonnes que de colonnes dans la matrice de pixels.

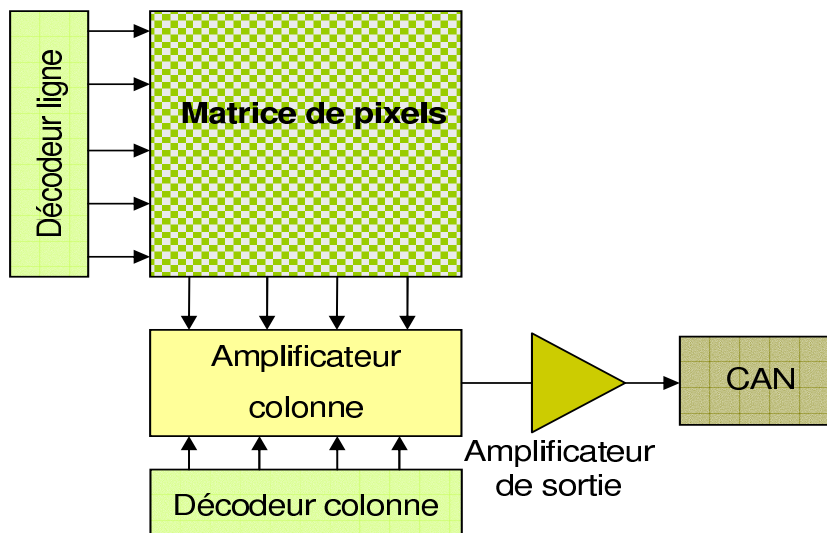


FIG. 3.4 – Structure d'un imageur

Le fonctionnement de la plupart des imageurs est le suivant : lorsque la lumière éclaire la matrice de pixels, l'élément photosensible convertit les photons en charges photo-générées, puis en courant. Via les transistors de la structure de pixels le courant photo-généré est lu sous forme

²Shot noise

de tension analogique. Les valeurs d'une ligne entière sont transmises en parallèle aux amplificateurs colonnes. Les sorties des amplificateurs sont envoyés une par une à l'amplificateur de sortie, qui envoie chaque valeur au CAN. Le CAN convertit chaque valeur de tension d'un pixel en une valeur numérique. Et finalement la valeur numérique donnée par le CAN est traitée par des processeurs d'image.

La *résolution du capteur* est le nombre total de pixels intégrés dans la matrice. Plus ces pixels sont nombreux, meilleure est la résolution du capteur. Les imageurs CMOS les plus performants comptent plusieurs millions de pixels.

Il existe deux *modes de capture* : la capture d'image progressive³ et la capture d'image instantanée⁴ [39]. La capture progressive est le mode de capture le plus répandu.

3.2.1 Pixel

La structure d'un pixel est composée par un dispositif photosensible et par des transistors. Les pixels doivent être le plus petits possibles afin de limiter la surface (et donc le coût).

La *taille des pixels* est fonction de la surface du photo-détecteur de l'architecture du pixel (c'est-à-dire du nombre de transistors intégrés dans un pixel) et de la technologie employée. De manière générale, la taille des pixels tend vers la miniaturisation afin d'intégrer le plus grand nombre possible de pixels dans un circuit de petite taille, et donc d'améliorer la résolution du capteur.

Le *facteur de remplissage*⁵ est le rapport entre la surface du pixel utilisée pour la détection de la lumière (la surface de la photodiode) et la taille du pixel. Le facteur de remplissage peut s'améliorer avec une matrice de lentilles qui est mise au dessus de la matrice de pixels. Les microlentilles concentrent le faisceau lumineux vers la partie sensible du capteur.

Il existe deux grandes familles de pixels : les pixels à intégration et les pixels à fonctionnement continu.

Dans cette partie la structure de base et le fonctionnement de ces deux types de pixels sont présentés afin d'introduire les caractéristiques de l'imageur.

Il existe des variantes de ces structures de base afin d'améliorer les performances du capteur.

³*Rolling shutter*

⁴*Global shutter*

⁵*Fill factor*

3.2.1.1 Pixel à intégration

Le pixel à intégration ou pixel standard est le plus courant. Ils comportent un dispositif photosensible et trois transistors (Cf. Fig. 3.5). Le transistor M1 permet de ré-initialiser le pixel ou d'établir une phase de reset, le transistor M2 permet l'amplification du signal de sortie du pixel (première partie d'un amplificateur suiveur) et le transistor M3 permet de sélectionner le pixel pour envoyer le signal sur le bus colonne. Le transistor qui est à l'extérieur du pixel forme la deuxième partie de l'amplificateur suiveur, ce qui permet de laisser la superficie la plus grande possible au dispositif photosensible dans un pixel, et de répéter ce transistor dans la structure par le nombre total des colonnes dans la matrice et non par le nombre total de pixels.

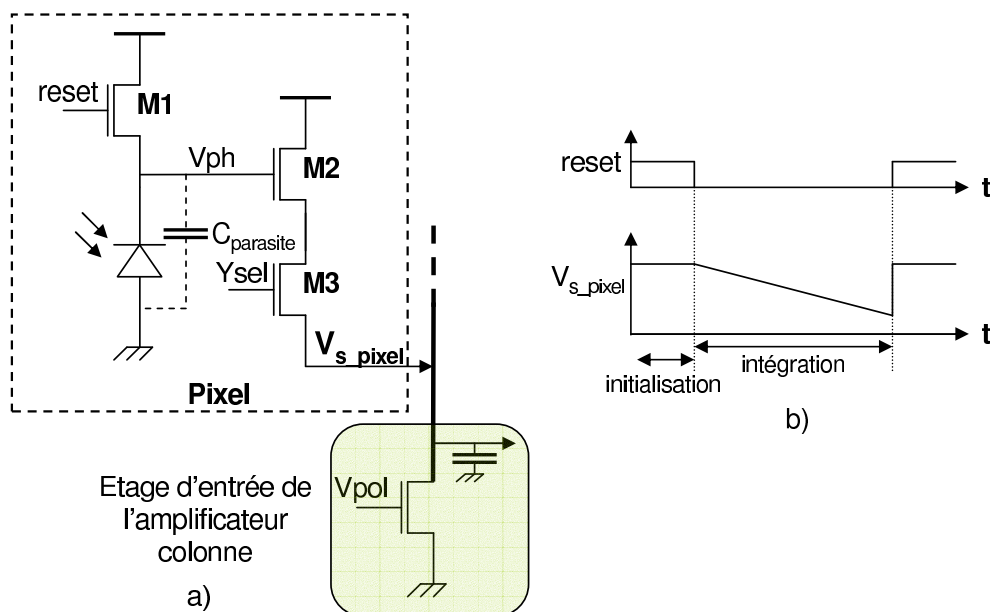


FIG. 3.5 – Structure du pixel à intégration (a) et son fonctionnement (b)

Dans le fonctionnement du pixel standard, la capacité parasite de la photodiode et la capacité d'entrée du transistor M2 sont utilisées pour l'intégration du courant photo-généré. Dans un premier temps, une tension de reset est établie dans la capacité parasite (nœud V_{ph}). Dans un deuxième temps, le flux lumineux génère un courant électrique dans la photodiode, ce courant décharge la capacité. Après un temps fixé, appelé le temps d'intégration, le signal est lu à la sortie du pixel.

3.2.1.2 Pixel à fonctionnement continu

La structure et le fonctionnement du pixel à fonctionnement continu sont montrés sur la Fig. 3.6. Contrairement aux pixels à intégration, les pixels à fonctionnement continu n'ont pas

besoin de phase de reset ni de phase d'intégration de la lumière.

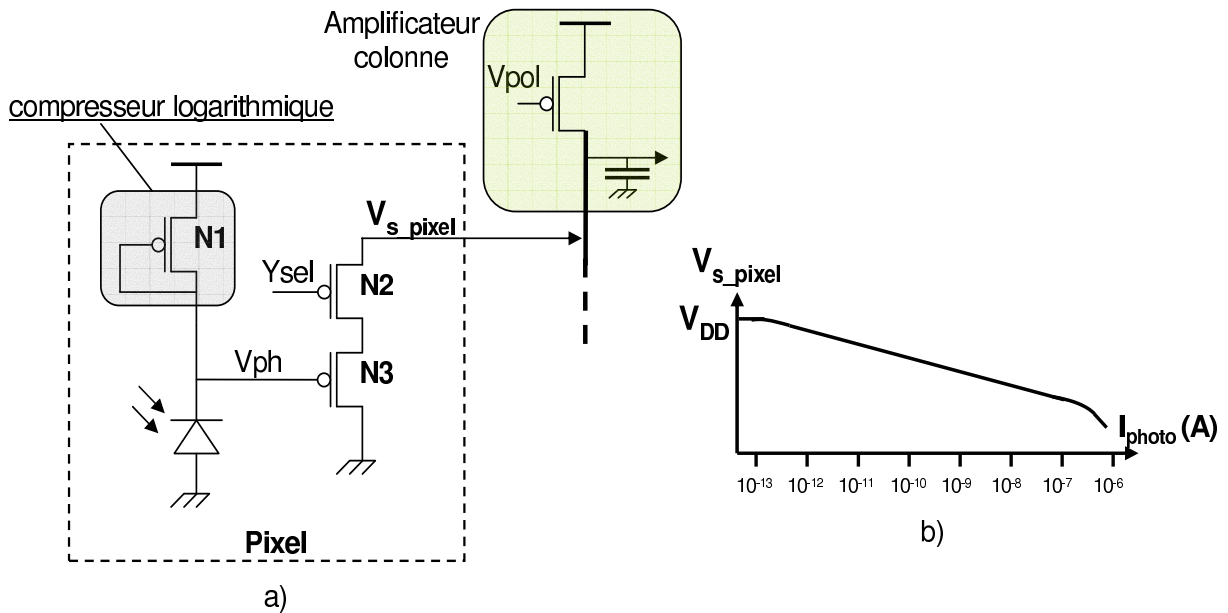


FIG. 3.6 – Structure du pixel à fonctionnement continu (a) et son fonctionnement (b)

Ce type de pixels sont aussi appelés logarithmiques car la sortie traduit la luminosité par une tension à travers une relation logarithmique (equation 3.19). Cette caractéristique permet de convertir plusieurs ordres de grandeur de courant photo-généré en un seul ordre de grandeur en tension.

$$V_{ph} = V_{dd} - n \cdot U_T \ln \left[\frac{I_{ph}}{I_0} \right] \quad (3.19)$$

Où n est un facteur qui dépend des impuretés, $U_T = \frac{kT}{q} = 26$ mV à température ambiante et I_0 dépend de certains paramètres technologiques comme la longueur et la largeur des transistors, l'épaisseur d'oxyde, etc.

3.2.2 Amplificateur colonne

Le circuit de lecture colonne est un circuit externe au pixel qui recueille l'information issue des pixels, la stocke et l'amplifie. Il y a un amplificateur par colonne de pixels.

Les amplificateurs colonne reçoivent tous en même temps les informations issues de la ligne active de pixels. Une fois les signaux échantillonnés et stockés, l'ensemble des amplificateurs colonne est parcouru séquentiellement afin de fournir les signaux amplifiés au convertisseur analogique numérique.

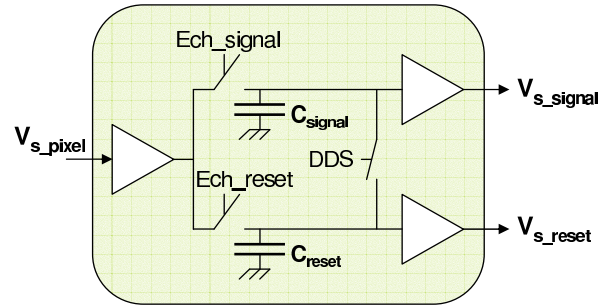


FIG. 3.7 – Structure d’un amplificateur colonne

Ce circuit permet d’échantillonner et de stocker l’information relative à l’intensité lumineuse (C_{sig}) et celle relative à l’initialisation (C_{reset}). Pour les matrices de pixels à fonctionnement continu, le circuit amplificateur colonne intègre seulement l’échantillonnage, le stockage et l’amplification du signal V_{s_signal} . L’interrupteur DDS sert à corriger le décalage en tension des amplificateurs. La technique DDS est présentée dans la section 3.4.3.

3.3 Performances d’un imageur

Dans cette section quelques performances d’un capteur de vision sont présentées.

- La *dynamique de fonctionnement*⁶ d’un capteur permet d’évaluer sa capacité à retransmettre une image comportant à la fois des parties très éclairées et des parties très sombres. Elle s’exprime en décibel et se calcule comme étant le rapport entre la plus grand signal d’entrée non saturé sur le plus petit signal d’entrée détectable (Équation 3.20).

$$DR = 20 \log \left[\frac{I_{max}}{I_{min}} \right] \quad (3.20)$$

- La *vitesse de lecture* s’exprime en nombre d’images par seconde⁷. Généralement, la vitesse du circuit sera limitée en sortie par le multiplexeur et/ou les convertisseurs.
- Le *facteur de conversion* exprime le gain du pixel, c’est à dire la différence du niveau relevé en sortie pour chaque électron généré dans la partie photosensible.

Les performances d’un capteur de vision CMOS sont très affectées par le bruit. Les différents source de bruit présentes dans ces systèmes sont décrites dans les paragraphes suivantes.

⁶Dynamique range

⁷Frames per second, fps

3.3.1 Bruit temporel

Les capteurs de vision sont affectés par le bruit temporel, qui résulte de la différence de niveau entre deux échantillons successifs d'un même pixel sous illumination constante. Il est dû aux différents éléments du pixel (photodiode, transistors, lumière reçue, etc). Les sources de bruit qui affectent le fonctionnement de la photodiode, telles que le *bruit thermique* et le *bruit de grenaille* ont été décrits dans la Section 3.1.5. Le bruit thermique et le bruit de grenaille affectent aussi les transistors du capteur de vision.

Pour les transistors, nous devons aussi considérer le *bruit de scintillement* ou *bruit en 1/f*. Ce type de bruit a plusieurs origines, telle que des impuretés dans le matériau qui libèrent aléatoirement des porteurs de charge, ou bien des recombinaisons parasites électrons-trous.

Le bruit temporel qui se manifeste lors de la remise à zéro d'un pixel est appelé *bruit de lecture*. Il a normalement une valeur de $kT/2C$ [10].

Différentes techniques sont utilisées pour réduire le bruit temporel [9, 10].

3.3.2 Bruit spatial fixe

Dans une matrice de pixels et dans les amplificateurs colonne les circuits sont identiques. En théorie, la sortie de chaque pixel de la matrice ou de l'amplificateur colonne devrait être identique. Cependant en pratique il est impossible de fabriquer deux circuits avec une sortie parfaitement égale, c'est à dire sans variation.

Les variations de la sortie des pixels ou des amplificateurs colonne sont dues aux non-uniformités du circuit. Cette non-uniformité est appelée bruit spatial fixe (FPN⁸) et elle est fortement dépendante de la technologie de fabrication employée. En d'autres termes, le bruit spatial fixe représente la variation de la sortie des pixels ou amplificateurs colonne sous illumination constante. Il est dû principalement aux non-uniformités de certains paramètres des composants, surtout celles des transistors MOS utilisés : tension de seuil, courant, transconductances, etc.

3.3.2.1 FPN pixel

Le bruit spatial fixe issu des pixels peut être divisé en deux parties, la non-uniformité de l'image obtenue en obscurité (DSNU⁹) et la non-uniformité de l'image sous illumination ho-

⁸Fixed Pattern Noise

⁹Dark Signal Non Uniformity

mogène (PRNU¹⁰)

- **DSNU** : elle est due aux non uniformités de courant d’obscurité d’un pixel à l’autre. Le courant d’obscurité est dû principalement aux porteurs générés par agitation thermique. Le taux de génération de ces charges thermiques varie beaucoup d’un pixel à l’autre. La distribution spatiale en intensité de courant d’obscurité obéit la plupart du temps à une distribution gaussienne centrée sur la moyenne du courant thermique. Les pixels ayant un courant plus élevé (qui sont en dehors de la distribution gaussienne) sont appelés pixels chauds [9].
- **PRNU** : elle résulte de la variation de réponse de pixel à pixel en considérant une intensité de lumière fixe. Normalement le PRNU est dépendant de la longueur d’onde de la lumière et de la température. Elle est obtenue en calculant la déviation standard des signaux des pixels dans la matrice.

3.3.2.2 FPN colonne

Les amplificateurs colonne ont deux branches de lecture. Une branche de lecture de signal et une branche de lecture de reset ou remise à zéro. Le FPN colonne se traduit par une variation de sortie entre ces deux branches à éclairnement nul. Ce phénomène se traduit par la présence de rayures verticales sur l’image.

3.4 Techniques de réduction du bruit

Comme nous l’avons vu, les capteurs de vision CMOS sont très affectés par le bruit. Des techniques de réduction du bruit sont donc employées pour réduire celui-ci.

3.4.1 Double échantillonnage corrélé

Le double échantillonnage corrélé¹¹ consiste à réaliser deux lectures successives d’un même pixel pendant la lecture d’une même trame (Fig. 3.8). La soustraction de ces deux niveaux permet de s’affranchir du bruit de remise à zéro du pixel, du bruit en $1/f$ et du bruit spatial fixe des pixels [40].

Bien que très efficace, cette technique n’est pas utilisée dans la majorité des cas en raison de la complexité de sa mise en œuvre. En effet, pendant le temps d’intégration, le circuit de

¹⁰ *Pixel Response Non Uniformity*

¹¹ *Correlated Double Sampling, CDS*

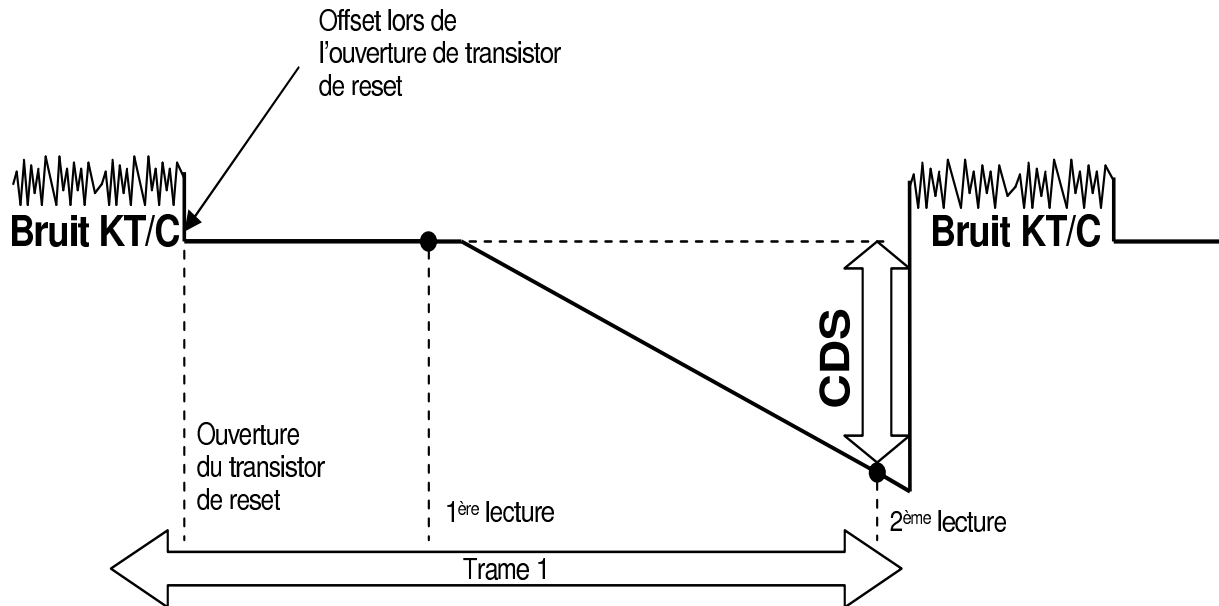


FIG. 3.8 – Technique de double échantillonnage corrélé

lecture a parcouru la matrice entière, et il faut donc que lors de la deuxième lecture d'un pixel, après intégration, il puisse soustraire la valeur de reset que ce pixel avait lors de la première lecture. Pour cela il faudrait pouvoir stocker les niveaux de reset de chaque pixel de la matrice. Cette technique nécessite donc la sauvegarde du niveau d'initialisation de chaque pixel dans une mémoire de même taille que la matrice de pixels, ce qui donne une solution très coûteuse en terme de surface et de mise en œuvre.

3.4.2 Double échantillonnage non corrélé

Le double échantillonnage non corrélé¹² est une alternative au CDS. Cette technique peut être plus facilement utilisable. Elle consiste à soustraire sur un même pixel la valeur en fin d'intégration et le niveau de reset de la trame suivante (Fig. 3.9). Cette technique permet une lecture successive de deux niveaux et donc ne requiert pas une matrice de mémoire. Par contre comme les deux échantillons ne sont pas corrélés, ils font que leurs valeurs de bruit respectives s'additionnent en puissance. En effet, la technique de NCDS double la puissance du bruit blanc en sortie car les deux échantillons ne sont pas corrélés. Comme on est en présence de phénomènes stationnaires, la puissance étant constante, on double sa valeur.

¹²Non Correlated Double Sampling, NCDS

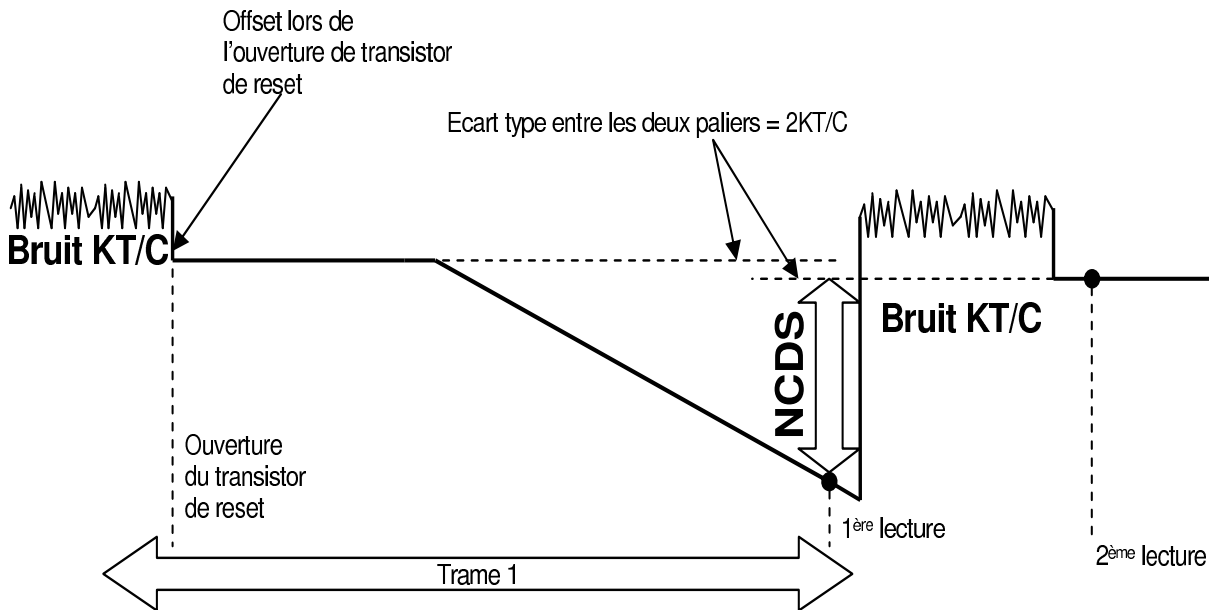


FIG. 3.9 – Technique de double échantillonnage non corrélé

3.4.3 Double échantillonnage delta

Le double échantillonnage delta¹³ permet de réduire le FPN issue des amplificateurs colonne. Cette technique a été initialement proposée par [40]. La structure des amplificateurs de la Fig. 3.7 est utilisée pour appliquer cette technique. La technique DDS consiste à court-circuiter les entrées de deux amplificateurs (V_{s_signal} et V_{s_reset}) grâce au signal DDS, puis à mesurer le décalage en tension de leur sorties. Cette technique permet de corriger les variations de décalage en tension des amplificateurs, mais pas les différences de gain de ces amplificateurs. Cette méthode induit aussi la chute de la vitesse de lecture de la matrice.

Dans la littérature on peut trouver de nombreuses autres méthodes visant à réduire l'influence d'un ou plusieurs des bruits [41, 42].

Dans les pages précédentes de ce chapitre, les principales caractéristiques d'un capteur de vision CMOS ainsi que le fonctionnement de ces systèmes ont été présentés. Dans la partie suivante de ce chapitre nous traitons les aspects de test.

3.5 Test industriel des imageurs CMOS

Le test des imageurs implique basiquement trois processus : la capture de l'image, le transfert de l'image et le traitement de l'image. Un test rapide nécessite de réaliser ces trois processus

¹³Double Delta Sampling, DDS

simultanément.

La capture de l'image implique une source lumineuse, le transfert de l'image est donné par les circuits de lecture (amplificateurs colonne, décodeurs) et le traitement de l'image est fait avec un processeur d'image qui est purement numérique.

Dans les imageurs CMOS, il y a donc trois types de circuits à tester : les circuits électro-optiques (matrice de pixels), les circuits analogiques et mixtes (circuits de lecture et CAN) et les circuits numériques (processeur d'image).

Un système est testé dès l'étape de sa conception et jusqu'à la mise en boîtier. Ainsi plusieurs étapes de test sont réalisées pour un seul système. La Figure 3.10 montre le flot de test industriel simplifié pour les capteurs de vision.

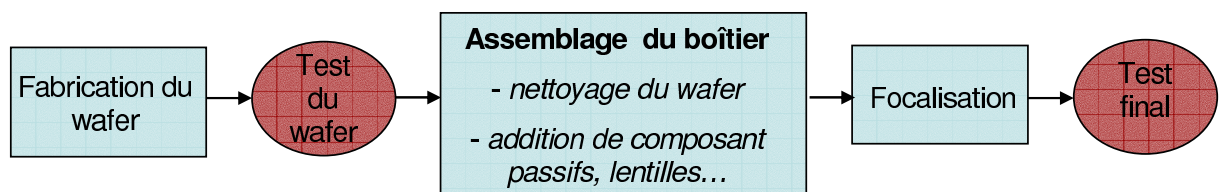


FIG. 3.10 – Flot de test industriel simplifié d'un imageur CMOS

Le test industriel est fait principalement pour vérifier que le système a bien été fabriqué et/ou pour détecter des défauts qui peuvent être présents dans l'imageur. On peut diviser les défauts les plus courants dans un imageur en défauts du silicium et en défauts résultant des particules tombées sur le wafer.

Les défauts de silicium sont introduits par le procédé de fabrication du système. Par exemple nous avons l'excès de courant d'obscurité, pixels morts (pixels collés à l'état fermé/ouvert), lignes/colonnes mortes (lignes/colonnes collées à l'état fermé/ouvert), etc. Le cas des défauts occasionnés par des particules qui tombent peut arriver à tout moment du test après la fabrication du wafer.

Ces défauts se manifestent par des imperfections de l'image. Ces imperfections varient considérablement avec les conditions du test (température, niveau d'illumination, temps d'exposition, etc).

3.5.1 Principaux défauts dans la matrice de pixels

Les défauts dans un imageur CMOS sont localisés par un test électrique et par un test optique. Certains défauts, comme des particules qui couvrent une partie de l'imageur sont consi-

dérés comme fautes optiques. Ces défauts ne sont pas considérés comme fautes dans un circuit électrique.

Basé sur la sortie d'un pixel standard (voir Fig 3.5), les défauts principaux d'un pixel dans un imageur peuvent être classifiés de la façon suivante [14, 43] :

- *Pixel collé à un niveau haut*¹⁴ : cela peut être occasionné par la mauvais fonctionnement de la photodiode, ligne du reset coupé, etc.
- *Pixel collé à un niveau bas*¹⁵ : le signal optique est absent dans le pixel. Cela peut être occasionné par la photodiode en court circuit avec la tension d'alimentation (V_{dd}), par la durée permanente d'un reset ou par un court circuit de la grille du transistor M2 avec la tension d'alimentation.
- *Pixel avec basse sensibilité* : l'élément photosensible est bloqué, par exemple par une particule de poussière.
- *Pixel chaud*¹⁶ : ils ont un signal excessif même en absence d'illumination. Les pixels chauds sont occasionnés par la présence d'un courant d'obscurité très élevé. Les pixels chauds ont une dynamique de fonctionnement réduite.

Les défauts dans un pixel peuvent être identifiés en exposant la matrice de pixels à une source lumineuse ou en condition d'obscurité.

Lorsque la matrice de pixels est illuminé à la saturation du pixel, c'est à dire jusqu'à obtenir le niveau de sortie maximale du pixel, on peut détecter des pixels qui sont collés à un niveau bas et des pixels qui ont une basse sensibilité. Une image sans illumination permet de localiser des pixels chauds et des pixels collés à un niveau haut.

Des recherches sur l'apparition dans le temps des défauts dans une matrice de pixels ont été faites. L'apparition des défauts augmente exponentiellement avec le temps [44]. D'après ces études, les pixels défectueux sont distribués uniformément dans la matrice. Il a été prouvé que ces pixels défectueux sont localisés individuellement et non pas par groupe. Il a été aussi prouvé que la taille du défaut est plus petit que la taille d'un pixel. Ainsi, des études préliminaires montrent que la radiation pourrait être la cause de ces défauts.

Afin de détecter les défauts décrits dans cette section et les défauts dans les autres composants du système, un test doit donc être effectué. Deux principaux tests sont réalisés, le test au niveau wafer et le test au niveau boîtier.

¹⁴*Stuck high*

¹⁵*Stuck low*

¹⁶*Hot pixel*

3.5.2 Test au niveau wafer

Le test au niveau wafer peut détecter des défauts introduits par le silicium. La détection de ce type de défauts ne change pas significativement entre le test au niveau wafer et le test au niveau du boîtier.

Les particules qui tombent dans le wafer occasionnent des imperfections¹⁷ dans l'image. Pour ce type de défaut il existe très peu de corrélation entre le test au niveau wafer et le test au niveau boîtier car il y a des étapes de nettoyage du wafer qui éliminent ces particules et aussi des nouvelles particules peuvent apparaître.

Le test de la structure de l'imageur est fait avec un test optique fonctionnel. Pour ce faire une source de lumière ayant une intensité lumineuse (ϕ) donnée et une longueur d'onde (λ) connue est utilisée. Plusieurs mesures avec différentes intensités lumineuses et différentes longueurs d'onde sont réalisées. La source lumineuse est placée perpendiculairement par rapport au wafer car il n'y a pas de lentille pour diriger le flux lumineux.

Une fois que la lumière éclaire la matrice de pixels une image peut être prise. La valeur de cette image est traitée numériquement et les pixels défectueux peuvent être détectés.

La valeur des pixels ou d'une image éclairée donne une information sur le bruit présent dans le système (déviation de sortie) et sur les caractéristiques de l'élément photosensible (rendement quantique).

Un autre facteur important à considérer est le niveau de courant d'obscurité car lorsque ce niveau est très élevé il est à l'origine des pixels défectueux.

Des mesures du test sont faites en l'absence de lumière. La valeur de l'image prise dans l'obscurité est utilisée pour obtenir le DSNU et pour améliorer l'image.

Le test de la partie numérique est réalisé principalement avec un test structurel en utilisant des techniques de scan traditionnelles. Cependant l'usage réservé à ce système permet de réaliser quelques tests fonctionnels [12]. Le test au niveau wafer de la partie numérique doit avoir une grande couverture (test de tous les blocks, couverture au niveau de fautes et défauts, etc) car la technique de scan peut ne pas être facile à utiliser lors du test au niveau boîtier.

3.5.3 Test au niveau boîtier

Le test au niveau boîtier doit détecter le plus possible de défauts du silicium pour éviter une perte du rendement à cause des particules qui peuvent obstruer le chemin optique transitoire-

¹⁷*Blemishes*

ment après le nettoyage du wafer.

Le test au niveau boîtier d'un imageur CMOS teste principalement les microlentilles qui sont utilisées pour concentrer le faisceau lumineux sur la photodiode.

Le test est réalisé avec différents angles de lumière. Il se focalise sur la résolution et les imperfections de l'image. Dans cette étape, les lentilles sont calibrées.

Pendant cette phase de test, les circuits numériques ne sont presque jamais testés, car les techniques de scan sont difficiles à mettre en place.

Lors du test des imageurs au niveau boîtier, la correction de pixels est faite (contrairement au test au niveau wafer quand aucune correction d'image est réalisée).

3.5.4 Correction de l'image

Les deux raisons principales de la correction d'une image d'un capteur de vision sont de diminuer le niveau du bruit et de remplacer les pixels défectueux.

Lors du test d'un imageur CMOS les deux types de bruit décrits précédemment (bruit temporel et bruit spatial fixe) sont présents. L'œil humain est plus sensible au bruit spatial fixe. Un effort special est fait pour le détecter et le corriger [12].

Une méthode pour réduire le FPN dans l'image consiste à utiliser une image noire (sous obscurité) pour connaître les offsets induits par les pixels. Cette image est soustraite à l'image que l'on veut visualiser.

Les pixels qui ne sont pas fonctionnels dans une matrice sont remplacés. Ceci est appelé redondance optique. Les pixels défectueux peuvent être remplacés en prenant une valeur en fonction de la valeur de ses pixels voisins.

Sans le remplacement des pixels défectueux il y aurait une grand perte de rendement. Les cameras numériques conventionnelles examinent généralement ces pixels pendant la phase du test. La localisation de pixels défectueux avec ses voisins fonctionnels est stockée dans une mémoire non-volatile.

Une autre façon de faire la redondance optique est de comparer l'image avec une image predictive codée en MPEG¹⁸ (norme de codage d'objets audiovisuels) [12].

¹⁸*Moving Picture Experts Group*

3.6 Temps et coût du test des imageurs CMOS

Dans le test industriel des imageurs CMOS il y a donc un test au niveau boîtier et un test au niveau plaquette. Dans cette section nous parlons du temps et du coût du test de ce dernier car la technique d'auto test proposée dans cette thèse vise principalement à réduire le coût du test au niveau plaquette.

Dans cette étape un test en obscurité et un test en éclairage sont réalisés. Le test en obscurité est fait afin d'estimer le DSNU et les point blancs. Le test en éclairage mesure le PRNU et il permet de détecter des défauts dans les filtres optiques.

Le temps et le coût du test dépendent du volume de production. Les circuits à grand volume (plus d'un million de pièces) sont plus petits que les circuits à faible volume. Dans ce cas, plusieurs imageurs peuvent être testés au même temps, car la source de lumière a l'intensité suffisante pour les éclairer uniformément. Le test au niveau plaquette de circuits à grand volume peut prendre environ 10 secondes, dont 3 secondes sont pris par le test électrique dit statique (test de courant) et 7 secondes pour le test électro-optique, qui réalise les mesures de DSNU, PRNU, etc. Ce test est limité par la vitesse de lecture du système car une image doit être acquise. A ce niveau de volume le test peut coûter 10% du prix total.

Dans le cas des imageurs à faible volume un test plus exhaustif est réalisé. Et comme ils sont plus grands, une seule pièce est testée à la fois. Le test peut prendre environ une minute par pièce et le coût du test peut varier entre 10 et 30 % du prix total de l'imageur.

Un autre facteur à considérer dans le prix du test sont les testeurs. La source de lumière d'un testeur de capteur de vision incrémente le prix de ces systèmes environ 5%.

3.7 Défis du test des imageurs CMOS

La mixité de la structure des imageurs CMOS rend ces derniers difficiles à tester. Ces systèmes ne comportent pas de spécifications définitives. Ces spécifications dépendent de la qualité de l'image qui est subjective. De plus, aucune image n'est "parfaite" et tout dépend de la déviation qui peut être tolérée.

Un autre facteur à considérer est la température du test, car la température affecte d'une manière importante le fonctionnement du système.

Étant donné que le fonctionnement des imageurs dépend de la lumière, celle-ci est un facteur fondamental pour le test des imageurs. Le test (et/ou le fonctionnement) de l'imageur est lié au

niveau d'illumination utilisé et au temps d'exposition du capteur à la source lumineuse. De plus des conditions d'illumination différentes sont nécessaires. Une source de lumière perpendiculaire au capteur est utilisée pour le test au niveau wafer car il n'y a pas de lentille. Différents angles de lumière incident sont employés pour le test de boîtier utilisant des lentilles.

L'erreur dans la classification des pixels (par exemple, classer un pixel comme bon alors qu'il est mauvais) est aussi un facteur important et à considérer lors du test des imageurs, car le traitement de l'image remplace les pixels considérés comme mauvais et par conséquent l'image est moins précise.

3.8 Conclusions

Les imageurs CMOS sont des systèmes complexes qui regroupent plusieurs types de circuits (optiques, analogiques, mixtes, numériques). Leur fonctionnement est très dépendant de la technologie (courant d'obscurité, courant photo-généré, etc), et ils sont affectés par plusieurs sources de bruit.

Étant donné la mixité de ces systèmes, leurs tests sont complexes et présentent plusieurs défis : le bon classement des pixels, la température du test, l'utilisation de plusieurs sources de lumière, etc.

Lors du test plusieurs sources de lumière sont utilisées, et plusieurs étapes sont réalisées comme le test au niveau électrique, le test au niveau de circuits optiques, le traitement de l'image, etc.

Le coût du test des imageurs CMOS dépend de la taille et du volume du circuit. Mais il reste toujours un enjeu important.

Diminuer ou éliminer les sources de lumière pendant le test peut réduire significativement la complexité et le coût du test des imageurs CMOS.

Chapitre 4

Modélisation et test d'une photodiode

Comme nous l'avons vu dans le chapitre 3, le dispositif photosensible est le composant principal dans un capteur de vision. Lors de la simulation de la structure d'un pixel, la photodiode est simulée comme une source de courant en parallèle avec une capacité. L'utilisation d'une source de courant parfaite comme celle utilisée dans les environnements de simulation électrique ne nous permet pas d'étudier le comportement de la diode et/ou le pixel sous la présence de fautes propres à la diode.

En vue d'analyser le comportement de la photodiode, et de concevoir une technique d'auto test pour les capteurs de vision, un modèle de la photodiode doit être donc défini.

Dans ce chapitre nous présentons la modélisation de la photodiode, les paramètres du modèle, la corrélation entre les performances du modèle et les mesures de test, et finalement l'évaluation de la technique de test pour la photodiode par moyen des métriques de test définies dans le chapitre 2.

Afin de mieux expliquer et de mieux comprendre l'auto test, nous commençons pour montrer avec la photodiode les étapes suivies pour réaliser et valider la technique d'auto test. Dans le chapitre suivant, cette méthode est étendue à la structure du pixel et aux amplificateurs colonne.

4.1 Modélisation de la photodiode

La modélisation d'un composant doit permettre de simuler avec précision son comportement à partir de sa structure (ou de son layout) et des paramètres technologiques de sa fabrication avant même la réalisation concrète de cette dernière.

Les différents modèles de photo-détecteurs trouvés dans la littérature sont faits pour prévoir son comportement en haute vitesse [45, 46], et son comportement dans des applications de communications ou d'interconnexions optiques - électroniques [47]. Ces types de modèles sont

faits pour étudier d'autres types de mécanismes qui sont hors de notre étude d'une technique d'auto test incorporée pour les capteurs de vision CMOS.

Une photodiode a été donc modélisée dans le langage Verilog AMS afin de l'utiliser dans les environnements de simulation électrique. Un autre modèle de la photodiode a été conçu avec l'outil de simulation technologique ATLAS [48]. Cette modélisation nous permet d'ajuster le modèle Verilog AMS, et d'étudier quelques mécanismes de défauts et d'échec dans une photodiode qui ne peuvent pas être modélisés avec le langage Verilog AMS.

4.1.1 Modèle Verilog AMS

La modélisation de composants opto-électroniques avec des simulateurs type Spice nécessite la construction de modèles à base de schémas équivalents [49]. Au niveau comportemental, les modèles contiennent une description détaillée des phénomènes physiques qui régissent le fonctionnement du composant. Les équations physiques qui régissent le comportement de la photodiode sont décrites avec un langage HDL¹ tel que Verilog-AMS (cf. chapitre 3).

La Fig. 4.1 montre le schéma équivalent de la photodiode utilisé pour la modélisation en Verilog AMS [50].

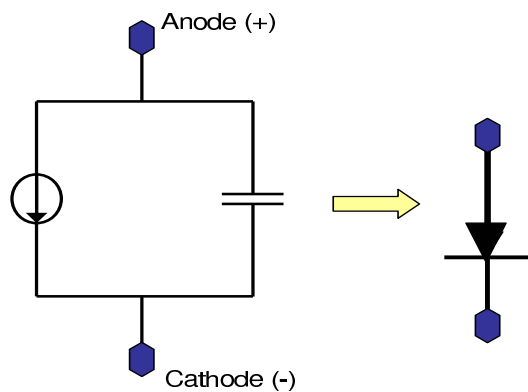


FIG. 4.1 – Schéma équivalent d'une photodiode

Ce modèle est composé d'une source de courant et d'une capacité. La source de courant dans le cas de la photodiode varie selon l'intensité de lumière reçue (dans l'environnement de conception microélectronique une source de tension est utilisée à ce propos). Afin de modéliser cette source, les équations de courant pour la diode et la photodiode présentées auparavant ont été utilisées. La capacité est modélisée par une capacité de déplétion qui varie selon la tension à ces bornes (Équation 3.16). L'annexe A décrit le modèle Verilog AMS.

¹Hardware Description Language

Les principales performances de la photodiode sont :

- *Courant photo-généré* : il peut être modélisé comme le produit d'une entrée optique et du rendement du photo-récepteur (cf. Équation 3.5).
- *Courant d'obscurité* : Le courant d'obscurité est un effet non désiré car il dégrade le rapport signal sur bruit (SNR²). Le modèle décrit ce paramètre en utilisant l'équation d'une diode idéale. (cf. Équation 3.1).

Le Tableau 4.1 donne les performances de la photodiode obtenues à partir de la simulation du modèle. La photodiode modélisée a une surface de $6 \times 6 \mu m^2$.

Performance	Condition de test	Valeur
Courant d'obscurité (I_{dark})	VR = 2,2 V	8,64 fA
Courant photo généré (I_{ph})	$\lambda = 565 \text{ nm}$ Puissance = 25 W/m^2 VR = 2,2 V	67 pA
Rendement quantique	$\lambda = 565 \text{ nm}$	16 %
Bruit	$\Delta f = 25 \text{ kHz}$	0.7 pA

TAB. 4.1 – Performances de la photodiode

Le temps de transition (TT³) est un paramètre qui n'a pas été considéré dans ce modèle. Le TT est le temps nécessaire pour que les électrons et les trous soient collectés aux bornes de la photodiode. Le TT de notre modèle est de l'ordre de la pico-seconde bien inférieure au temps de montée de l'entrée qui est de l'ordre de la nano-seconde.

4.1.2 Modèle ATLAS

La photodiode a été modélisée également avec l'outil de TCAD appelé ATLAS. Cet outil, développé par Silvaco, permet la simulation en 2D et 3D de composants semi-conducteurs. La structure étudiée est une photodiode de type diffusion N, substrat P.

Avec l'outil Atlas, il est possible d'observer la distribution de potentiel, la concentration des porteurs, et le taux de combinaison des porteurs dans la structure de la photodiode étudiée. Ces paramètres dépendent de la technologie de conception et ils ne sont pas toujours disponibles. Nous avons utilisé les paramètres trouvés en Atlas pour ajuster le modèle Verilog AMS, et ainsi avoir un modèle plus précis. L'annexe B présente le code utilisé pour le modèle ATLAS.

²Signal to Noise Ratio

³Transition Time

4.2 Mécanismes de défauts et d'échec dans une photodiode

L'étude des mécanismes de défauts et d'échec est très importante car ils peuvent réduire les performances et la fiabilité des composants.

La photodiode est le composant principal dans un pixel, ses performances sont directement corrélées avec l'énergie de la bande interdite⁴. Des changements dans l'énergie de la bande interdite dus au stress mécanique ou aux contaminants vont influencer le comportement de la diode [24]. Un autre mécanisme qui affecte le fonctionnement de la diode est la présence de pièges et de contaminants ioniques car ils peuvent affecter la région de déplétion [51].

Les mécanismes de défaut des photodiodes telles que la variation d'énergie de la bande interdite, l'injection de pièges dans le semi-conducteur, et l'impact de l'ionisation ont été simulés avec l'outil ATLAS. Cette simulation nous permet d'observer les effets de ces mécanismes dans le fonctionnement de la photodiode.

À partir des résultats obtenus avec l'outil ATLAS et en faisant l'interpolation numérique, nous avons obtenu des formules qui décrivent le comportement de la diode sous la présence de ces mécanismes de défauts. Ces formules ont été utilisées ensuite dans le langage Verilog AMS afin d'avoir un modèle de la diode avec des défauts.

4.2.1 Types de mécanismes simulés

- *Largeur de la bande interdite* : elle est la différence entre le haut de la bande de valence et le bas de la bande de conduction. Des travaux expérimentaux ont montré qu'en présence d'un fort dopage ($> 10^{18} \text{cm}^{-3}$), le produit pn (c'est-à-dire la quantité des porteurs majoritaires et minoritaires dans un material semiconducteur) devient dépendent du dopage [52]. Si le dopage augmente la largeur de la bande interdite est diminuée.

La largeur de la bande interdite est modifiée par la température. Des simulations ont été réalisées en incrémentant la température de 300K à 350K. Dans les cas de la diminution de la température (de 300K à 250K), nous avons eu de problèmes de simulation.

- *Pièges dans le semi-conducteur* : la présence de pièges dans le semi-conducteur peut affecter significativement les caractéristiques électriques des composants [48]. Les pièges influencent la statistique de recombinaison des porteurs. Ils échangent des charges avec les bandes de conduction et de valence à travers l'émission et la recombinaison d'élec-

⁴Bandgap

trons et trous. L'outil ATLAS modélise la présence des pièges en considérant un incrément dans la charge totale du semi-conducteur suivant l'Équation :

$$Q_T = q(p_t - n_t) \quad (4.1)$$

Où p_t et n_t sont des densités de charges attrapées dans les pièges des atomes donneurs et accepteurs, respectivement.

- *Impact de l'ionisation* : C'est l'effet de perte d'énergie d'un porteur énergisé dû à la création d'autres porteurs dans un matériel. Il dépend du nombre de porteurs absorbés par la photodiode. Le nombre des porteurs générés dépend des conditions de polarisation des transistors et il est dépendant du signal optique [53]. L'outil ATLAS a plusieurs modèles pour réaliser la simulation de l'impact de l'ionisation dans les semi-conducteurs. Nous avons utilisé le modèle de Concannon.

4.2.2 Résultats des simulations

Dans cette section, les résultats de la simulation obtenus avec l'outil ATLAS pour les différents mécanismes de défaut étudiés sont présentés. Les effets de ces mécanismes sur le courant photo-généré (I_{ph}) et le courant d'obscurité (I_{dark}) sont comparés avec la réponse d'une photodiode sans défauts (cf. Fig. 4.2 et Fig. 4.3).

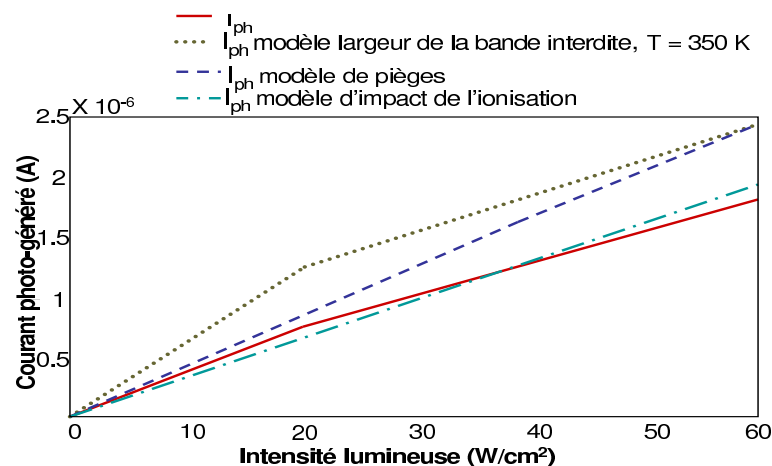


FIG. 4.2 – Effets des mécanismes de défauts sur le courant photo-généré

D'après la Fig. 4.2 et la Fig. 4.3, les courants augmentent avec l'augmentation de la température. Ces résultats peuvent être expliqués par le fait que l'augmentation de la température réduit la largeur de la bande interdite, ce qui fait augmenter la conduction électrique.

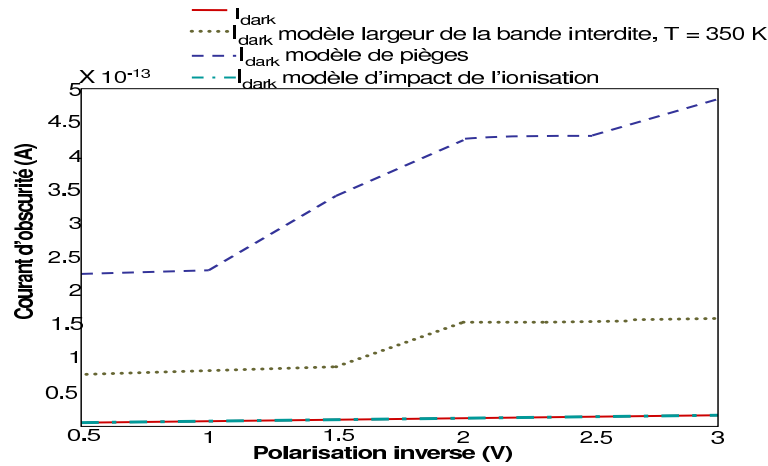


FIG. 4.3 – Effets des mécanismes de défauts sur le courant d'obscurité

Également, la présence de pièges augmente les courants de la photodiode car la charge totale du semi-conducteur est augmentée.

L'impact de l'ionisation n'affecte pas I_{dark} . Ce résultat peut s'expliquer par le fait que, comme dit précédemment, le courant généré par l'impact de l'ionisation dépend du signal optique. Donc le courant reste le même quand il n'y a pas de source de lumière (I_{dark}), et au contraire, le courant augmente lors de la présence d'une source de lumière (I_{ph}).

4.3 Fautes catastrophiques et paramétriques dans une photodiode

Dans cette section nous utilisons les concepts de fautes catastrophiques et paramétriques introduits dans le chapitre 2. Nous étudions ces types de fautes propres à la photodiode de notre design.

- *Fautes catastrophiques* : les fautes catastrophiques que nous considérons pour la photodiode sont : circuit ouvert dans les terminaux de la photodiode (Fig. 4.4(a) et Fig. 4.4(b)), et court-circuit entre l'anode et le cathode de la photodiode (Fig. 4.4(c)).
- *Fautes paramétriques* : des variations des paramètres telles que la surface, la tension de seuil et le courant d'obscurité sont effectuées, les unes après les autres afin de trouver la valeur limite pour laquelle une performance se trouve au delà de ces limites (spécifications).

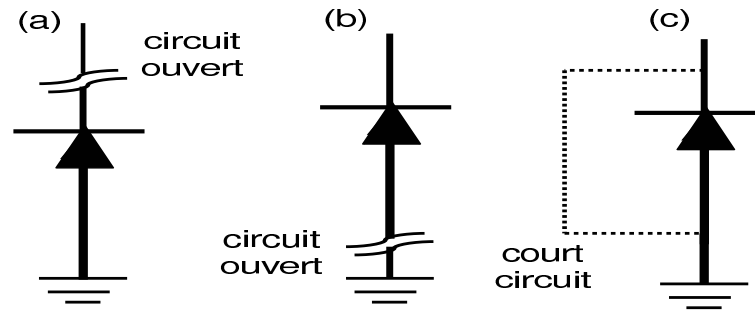


FIG. 4.4 – Fautes catastrophiques dans une photodiode

4.4 Test de la photodiode dans un capteur de vision

Lors du test d'une photodiode, ses principales performances telles que le courant d'obscurité (I_{dark}), la capacité parasite, le courant photo-généré, la dépendance de la réponse de la photodiode sur la polarisation de la lumière incidente⁵, et la réponse à plusieurs longueurs d'ondes sont mesurées.

Les systèmes de test de photodiodes doivent présenter un très bas bruit pour mesurer avec précision le courant d'obscurité et avoir une source de lumière et des éléments de mesures très précis.

Dans un capteur de vision, la photodiode est testée par la réponse observée à la sortie du capteur. Dans ce cas, toutes les performances mentionnées dans les paragraphes antérieurs ne sont pas testés, comme par exemple la réponse de la photodiode sur la polarisation de la lumière incidente. Le test de la photodiode dans un capteur de vision vise à mesurer surtout le courant photo-généré, le courant d'obscurité et le rendement quantique.

4.4.1 Performances considérées pour la photodiode

Nous allons donc commencer par considérer la photodiode comme le seul élément à tester. Dans la pratique ce n'est pas possible, car il n'y a pas d'accès direct au nœud qui contient la réponse directe de la photodiode, c'est à dire il n'y a pas d'accès direct au nœud V_{ph} de la Fig. 4.5(a). Les variations et défauts du transistor de reset ne sont pas prises en compte dans cette étude, il est étudié avec le test de la structure du pixel dans les chapitres suivants.

La performance que nous allons considérer pour décider du bon fonctionnement de la photodiode dans un capteur de vision est la décharge du nœud V_{ph} du au courant photo-généré (Fig. 4.5(b)). Une mesure est prise au debut de la décharge (V_{ph1}) et une autre à la fin de la

⁵ Direction dans lequel l'onde de lumière est en train de vibrer

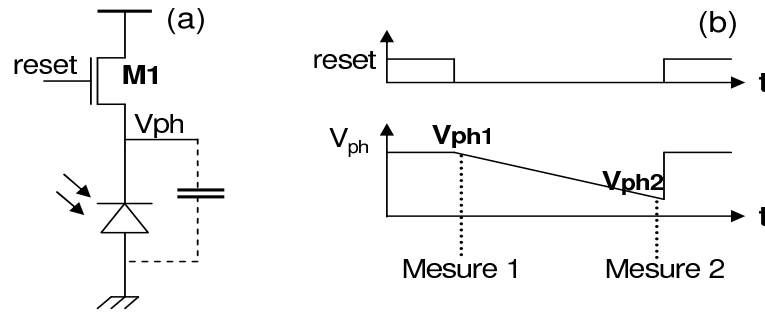


FIG. 4.5 – Schema pour l'étude du test de la photodiode (a) et performance de la photodiode (b)

décharge (V_{ph2}). Le transistor de reset est utilisé pour charger le nœud V_{ph} avec une tension de reset. Ainsi la performance ΔV_{ph} est définie comme la soustraction de la valeur de tension V_{ph1} et V_{ph2} dans la Fig. 4.5(b).

La mesure ΔV_{ph} est obtenue en utilisant une source lumineuse (dans notre cas une source de tension est utilisée pour ce propos) de $25W/m^2$ et un temps de décharge de $40\mu s$.

Les variations du process vont changer la valeur des tensions dans les points V_{ph1} et V_{ph2} . Pour observer ces variations, des simulations Monte Carlo ont été réalisées. A partir de ces simulations (1000 iterations), la valeur moyenne (μ) et la valeur de l'écart type (σ) sont trouvées.

Puis, nous avons établi les spécifications à $\mu \pm 4\sigma$ (cf. Tableau 4.2) afin d'obtenir un rendement $Y > 99.99\%$ avec un niveau de défauts de 59 ppm dans le cas d'une distribution Gaussienne.

ΔV_{ph}	Valeur
Moyenne	2,23 V
Écart type	190 mV
Limite supérieur	2,99 V
Limite inférieur	1,47 V

TAB. 4.2 – Performance ΔV_{ph} de la photodiode avec ses spécifications

4.4.2 Principe d'auto test pour la photodiode

La technique d'auto test que nous proposons pour la photodiode est de réaliser un test électrique structurel. En fonction des résultats du test nous devons déterminer si la photodiode est fonctionnelle ou bien défectueuse. La technique d'auto test utilise des pulses électriques pour faire un reset de la capacité parasite de la photodiode et pour stimuler la photodiode à partir de

son anode. Ceci permettra de réduire ou bien d'éliminer les tests optiques, et par conséquent de diminuer le temps et le coût du test.

Généralement l'anode de la photodiode est connectée à la masse. Le pulse appliqué dans ce nœud (cf. Fig. 4.6(a)) sert à tester la photodiode sans besoin de lumière, et sans besoin d'ajouter un autre composant à la structure du pixel.

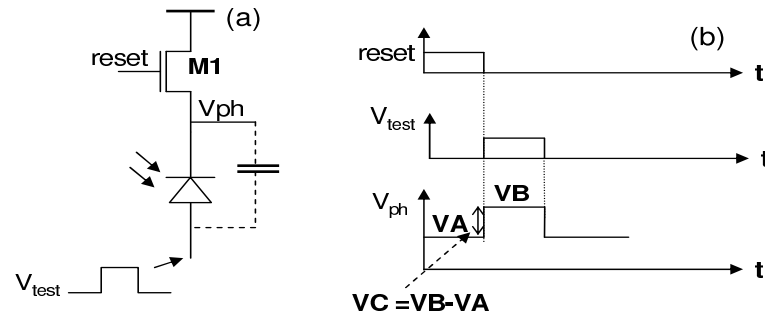


FIG. 4.6 – Stimulus pour l'auto test (a), sequence de test et mesures de test de la photodiode (b)

La sequence de test (Fig. 4.6(b)) est réalisée de la façon suivante : dans un premier temps une tension de reset est appliquée au nœud V_{ph} (point VA). Une fois la tension reset est établie dans le nœud, un pulse est appliqué dans le terminal de l'anode de la photodiode, ce qui augmente la tension dans le nœud (point VB). La tension dans le point VB peut être estimée comme :

$$V_B \sim V_A + V_{test} \quad (4.2)$$

Les mesures de test considérés peuvent donc être la mesure de la tension de reset (V_A) qui est établie sur le cathode de la photodiode, l'augmentation de la tension lors du stimulus du test (V_B) et la différence entre ces deux tensions (indiqué par V_C dans la Fig. 4.6(b)). Dans ce chapitre, cette dernière mesure est considérée comme le critère de test.

Avec la tension V_A nous pouvons obtenir information sur le fonctionnement de la photodiode, cependant cette tension ne permet pas de tester les deux nœuds de la photodiode (anode et cathode). Le pulse V_B est donc nécessaire pour bien détecter tous les circuits ouverts dans la photodiode. La tension V_B est indiquée comme approximativement égale à la tension de reset plus la tension du pulse de test (cf. Équation 4.2), car une fois que le pulse est appliqué il y a une distribution des charges dans les capacités parasités du nœud V_{ph} .

Dans cet exemple nous prenons comme critère de test V_C car elle contient V_A et V_B .

La sequence de test est très rapide et pourtant il n'y a pas de temps d'integration de la lumière. Cette sequence peut être faite en quelques centaines de nano secondes et elle est indé-

pendante des conditions lumineuses.

Un bémol à noter est qu'envoyer un pulse à la masse de la photodiode peut affecter la tension de substrat des transistors de la structure du pixel. Nous étudierons ceci dans le chapitre suivant.

Dans un pixel, la valeur de la tension de test appliquée est donnée par la tension minimale nécessaire pour pouvoir observer l'augmentation de la tension dans le nœud V_{ph} . Et, au même temps, avec cette tension ou avec la différence de tensions $V_A - V_B$, nous devons obtenir les meilleures métriques de test. Ainsi les valeurs de la tension de ce pulse sont souvent comprises entre 300 et 500 mV.

4.4.3 Corrélacion des mesures de test avec les performances

Si deux variables sont bien corrélées, les déviations des paramètres qui occasionnent une variation dans une variable, elles occasionnent aussi des variations dans une autre variable qui est bien corrélée. Ainsi si les mesures de test et les performances sont bien corrélés, des déviations du process qui affectent les performances peuvent être observées par des déviations dans les mesures de test.

Afin de calculer les corrélations entre les mesures de test et les performances, plusieurs simulations Monte Carlo ont été faites. Dans chaque cas, 1000 iterations ont été enregistrées. Dans un premier temps, tous les paramètres considérés pour la photodiode (tension de seuil, surface, dopage) ont été modifiés au même temps. Puis d'autres simulations ont été faites en faisant varier un seul paramètre à la fois.

La Fig. 4.7 montre la distribution de probabilité qui suit chaque variable et leur distribution conjointe. Le Tableau 4.3 montre la valeur absolue du facteur de corrélation obtenue en utilisant l'Équation 2.22.

	Paramètre varié	Facteur de corrélation
Cas 1	Tous les paramètres sont modifiés	0.62
Cas 2	Tension de seuil	0.85
Cas 3	Surface	0.65

TAB. 4.3 – Facteur de corrélation entre la performance et la mesure de test de la photodiode

D'après le Tableau 4.3, nous pouvons observer qu'il existe une corrélation entre la performance et le critère de test (la valeur de la corrélation se situe entre 0 et 1, si deux échantillons sont corrélés son facteur de corrélation se trouve proche de 1). Ces résultats montrent que les

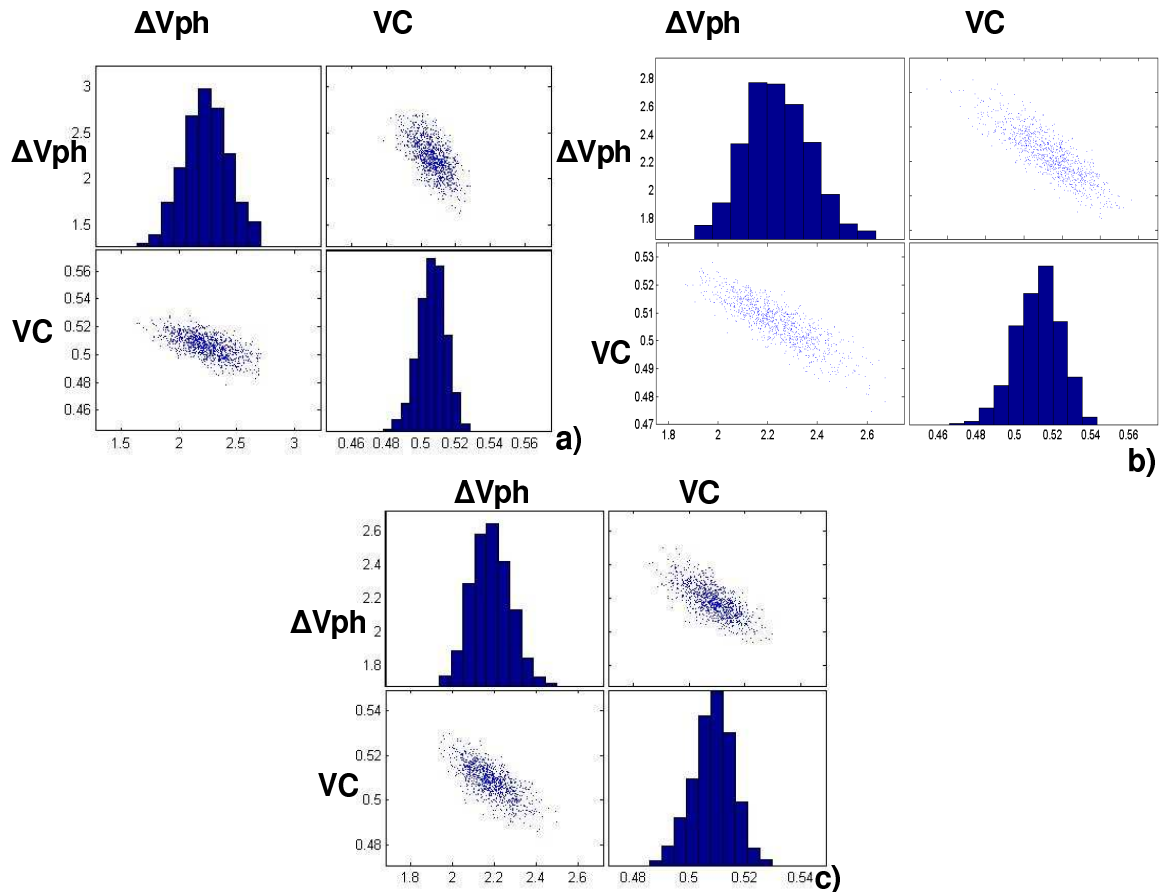


FIG. 4.7 – Distributions de la performance ΔV_{ph} et le critère de test (VC) de la photodiode lorsque tous les paramètres varient (a), lorsque la tension de seuil varie (b) et lorsque la surface de la photodiode varie (c)

deviations du process qui occasionnent des déviations dans les performances peuvent être observés aussi avec le critère de test.

Cette étude nous permet de montrer qu'avec les mesures de test, des estimations sur le fonctionnement de la photodiode peuvent être faites. Et ainsi nous pouvons donc envisager une technique d'auto test pour le capteur de vision basée sur des stimuli électriques.

Afin d'évaluer la qualité du test, les métriques de test, telles que la couverture de fautes, le niveau de défaut, etc, doivent être calculés. Cependant avant de réaliser ces calculs, les limites du critère de test doivent être établies.

4.4.4 Limites du critère de test

Nous avons comme critère de test la différence de tensions $VC = VA - VB$. Les valeurs de la moyenne et l'écart type du critère de test (cf. Tableau 4.4) et de la performance (cf. Tableau 4.2) ont été trouvées. Leur matrice de variance-covariance a été calculée. Nous utilisons

dans ce cas la loi multinormale pour estimer la densité de probabilité conjointe, car aussi bien la performance et la mesure de test ont une distribution Gaussienne (cf. Fig. 4.7). En utilisant la loi multinormale une population d'un million de circuits est générée pour pouvoir calculer les métriques de test pour le cas des déviations du process (voir section 2.9.2.1). Afin d'établir les limites de test, nous faisons un compromis entre le niveau de défaut et la perte de rendement en fonction de la deviation des mesures de test (Fig. 4.8). Ce compromis est basé sur la règle de dix (c'est-à-dire FR=10FA). Dans cette figure les spécifications de la performance ont été établies à $\mu \pm 4\sigma$ (voir Section 4.4.1). Si ces limites changent les métriques de test changent également.

VC	Valeur (V)
Moyenne	0.5
Écart type	0.007
Limite supérieur	0.524
Limite inférieur	0.475

TAB. 4.4 – Critère de test (VC) avec ses limites

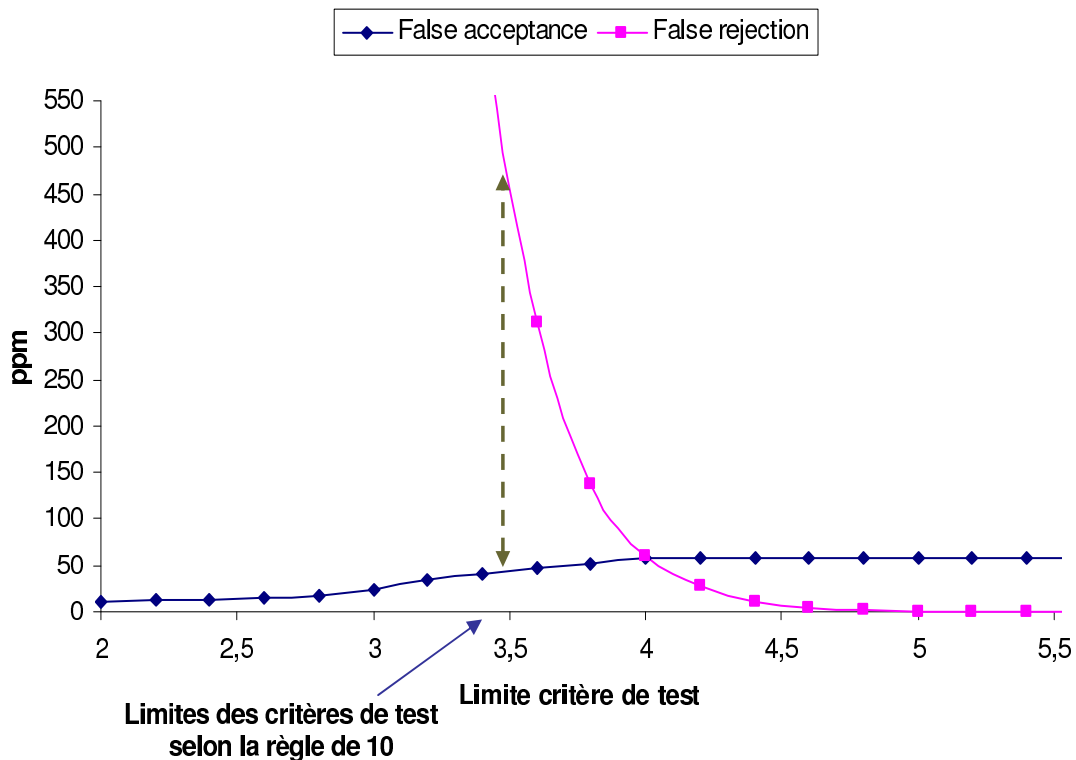


FIG. 4.8 – Limites du critère de test avec la spécification à 4σ

4.5 Calcul des métriques de test pour la photodiode

Une fois que les limites des mesures de test sont établies, la couverture de fautes pour le cas des fautes catastrophiques et la probabilité de détection pour le cas des fautes paramétriques sont trouvées.

4.5.1 Cas des déviations du procédé technologique

Les métriques de test pour le cas des déviations du procédé technologique sont liées aux spécifications. Car pour calculer la perte du rendement (Équation 2.8) il est nécessaire de connaître le nombre des circuits fonctionnels. Le nombre de circuits fonctionnels est déterminé par les spécifications d'un circuit.

Le Tableau 4.5 montre les métriques de test pour le cas des déviations du procédé technologique en fonction des limites de test choisis et en fonction de la spécification considérée pour la photodiode.

Spécifications	Y : Rendement (ppm)	Limites des mesures de test	D : Niveau de défaut (ppm)	YL : Perte de rendement (ppm)
$\mu \pm 3\sigma$	997196	$\mu \pm 2.45\sigma$	1750	17500
$\mu \pm 4\sigma$	999942	$\mu \pm 3.5\sigma$	49	490
$\mu \pm 5\sigma$	1 million	$\mu \pm 5\sigma$	0	0

TAB. 4.5 – Métriques de test pour le cas des déviations du procédé technologique

Comme nous pouvons le voir dans ce Tableau, les métriques de test dépendent des limites de test choisis. Ou encore, dans ce cas, les métriques de test servent à choisir les limites de test.

Dans le cas où les spécifications sont établis à $\mu \pm 5\sigma$ nous avons un rendement de 100%, c'est-à-dire, il n'y a pas de circuits défectueux. Et par conséquent le niveau de défaut est 0. Nous choisissons donc d'établir les mesures de test de façon à avoir une perte de rendement égale à 0, dans ce cas les limites des mesures de test se trouvent également à $\mu \pm 5\sigma$.

4.5.2 Cas de fautes catastrophiques

Pour le cas des fautes catastrophiques nous considérons la couverture de fautes (Équation 2.1). Les fautes catastrophiques propres à la photodiode sont modélisées par des résistances.

Vu la simplicité du circuit, nous pouvons trouver la résistance minimale pour laquelle un circuit ouvert est détecté par le test, et également la résistance maximale pour laquelle un court

circuit est détecté. Les résultats sont montrés dans le Tableau 4.6.

Limites des mesures de test	R_{min} circuit ouvert	R_{max} court circuit
$\mu \pm 2.45\sigma$	20 $M\Omega$	190 Ω
$\mu \pm 3.5\sigma$	25 $M\Omega$	160 Ω
$\mu \pm 5\sigma$	32 $M\Omega$	150 Ω

TAB. 4.6 – Detection de fautes catastrophiques dans la photodiode

La valeur de la résistance minimale d'un circuit ouvert qui est détectée par le test dépend de la constante de temps créé par la résistance qui modélise un circuit ouvert et la capacité parasite de la photodiode. Le temps de test que nous avons choisi dans cet exemple est de 800 nS, car il permet de charger une capacité en sortie de 800 fF, qui correspond à la capacité approximative des circuits de lecture et des capacités de stockage dans un capteur CMOS.

La valeur de la résistance maximale d'un court circuit qui est détecté par le test dépend du diviseur de tension qui est créé avec le transistor de reset (cf. Fig. 4.6) et la résistance du court circuit.

Pour les limites de test à 5σ , nous détectons des circuits ouverts pour des résistances supérieures à $32M\Omega$ et des court circuits pour des résistances inférieures à 150Ω . En pratique, ces plages couvrent les défauts les plus réalistes. Cependant, il serait intéressant de les élargir, en particulier pour la détection de court circuits jusqu'à résistances de quelques kilo-ohms. Cette étude nécessite considérer la structure exacte de pixels et du plots du circuit, afin de considérer toutes les résistances qui interviennent dans le circuit, tel que nous ferons dans le chapitre suivant.

4.5.3 Cas de fautes paramétriques

Dans cette section, nous appliquons les concepts de calcul des métriques de test pour le cas des fautes paramétriques présentées dans la Section 2.8.2.

Pour ce type de fautes, plusieurs simulations sont faites pour trouver la déviation minimale pour laquelle la spécification ou le critère de test sont violés. Avec la valeur de ces limites nous calculons la probabilité pour laquelle le circuit ne soit pas fonctionnel et la probabilité de détection de cette faute. Le Tableau 4.7 montre ces limites avec les probabilités correspondantes. Ces résultats ont été obtenus avec les spécifications à $\mu \pm 4\sigma$ et avec les limites de critère de test à $\mu \pm 3.5\sigma$.

Paramètre dévié	Valeur nominale	Limite L^F	P_i^F	Limite L^T	P_i^T
Largeur minimale	6μ	sans limite	0	4.2μ	0
Largeur maximale	6μ	sans limite	0	8μ	0
Tension de seuil minimale	0.53 V	sans limite	0	sans limite	0
Tension de seuil maximale	0.53 V	sans limite	0	0.75	0

TAB. 4.7 – Limite de la déviation d'un paramètre pour violer la spécification L^F et limite pour lequel le test signale une faute L^T et ses probabilités

Dans ce tableau, les paramètres ont été déviés entre -20% et +50% de leur valeur nominale, et nous avons considéré une déviation standard de 25 nm pour la longueur et la largeur de la photodiode, et 0.016 V pour la tension seuil. Ces valeurs ont été prises d'après le fichier technologique.

D'après ces résultats nous pouvons conclure que la photodiode n'est pas sensible aux fautes paramétriques simples que nous avons considéré. Ainsi, la technique de test exposée dans ce chapitre se focalise sur la détection des fautes catastrophiques pour le cas de la photodiode.

4.6 Conclusions

Le principe d'auto test pour les capteurs de vision CMOS a été présenté dans ce chapitre. L'auto test a été étudié et évalué pour la photodiode. Les limites des mesures de test et l'évaluation du test a été réalisé en utilisant les concepts exposés dans les chapitres précédents.

Dans le cas du test de la photodiode, les performances et les mesures de test sont bien corrélés. Cette corrélation nous permet d'envisager une technique d'auto test intégré pour toute la matrice de pixels et les amplificateurs colonne.

Dans notre étude la photodiode n'est pas sensible aux fautes paramétriques que nous considérons. Le test de la photodiode sera donc réalisé pour la détection de fautes catastrophiques.

La sensibilité du courant photogénéré et du courant d'obscurité par rapport aux différents mécanismes de défauts tels que l'impact de l'ionization, pièges dans le semiconducteur, changements dans la longueur de la bande interdite à été évalué pour notre diode de cas d'étude. Des travaux futurs doivent inclure la detection de ces défauts par le BIST.

Chapitre 5

Technique d'auto test pour des capteurs de vision CMOS

Dans les chapitres précédents nous avons présenté le principe de la technique d'auto test (BIST), la méthode pour établir les critères de test et les métriques utilisées pour son évaluation. Cette procédure a été effectuée pour le cas d'une photodiode toute seule dans le chapitre 4.

Dans ce chapitre nous présentons la technique d'auto test intégrée pour les parties analogiques et mixtes d'un capteur de vision (pixels et amplificateurs colonne), la modélisation de fautes injectés au pixel et à l'amplificateur colonne, l'estimation des métriques de test selon le type de fautes, et les résultats de simulation qui donnent l'évaluation de l'auto test.

L'auto test est étudié pour deux structures différentes des capteurs de vision. Un capteur composé par une matrice de pixels standard et un capteur composé par une matrice de pixels logarithmiques. La structure, les performances et l'auto test de ces capteurs sont présentés dans la première partie de ce chapitre.

Afin d'évaluer la technique d'auto test, dans un premier temps, les résultats de simulation sont donnés pour son évaluation au niveau pixel, c'est-à-dire en mesurant le signal directement à la sortie du pixel sans prendre en compte les amplificateurs colonne. Ceci permet de considérer des défauts qui peuvent être masqués par les amplificateurs. Dans un deuxième temps, l'évaluation du test pour les pixels est faite en prenant la mesure à la sortie des amplificateurs colonne. Le test de ces circuits est également étudié dans cette partie.

5.1 Déviations process et mismatch

Avant de décrire les capteurs de vision étudiés, leurs performances et les métriques de test obtenues, nous allons expliquer le deux types de déviations que l'on peut considérer en faisant

des simulations Monte Carlo.

En effet, les simulations Monte Carlo réalisées pour chaque capteur sont très importantes dans notre étude car elles nous permettent d'obtenir la distribution de probabilité conjointe des performances et des critères de test, et ainsi générer un échantillon plus grand qui suit la même distribution. Tout cela est afin d'obtenir des métriques de test plus précises (au niveau ppm).

Des simulations Monte Carlo de type *mismatch* (intra-die) et de type *process* (inter-die) peuvent être réalisées.

Les variations de type *intra-die* correspondent à des variations de paramètres technologiques dans une seule puce, et elles peuvent affecter différents composants dans une même puce (e.g. elles peuvent occasionner que quelques composants aient une épaisseur d'oxyde réduit par rapport au nominal, tandis que d'autres composants puissent avoir une épaisseur d'oxyde plus importante). Les variations *inter-die* sont des variations de puce à puce et elles affectent tous les composants d'une même puce de la même façon (e.g. elles peuvent générer une longueur de grille plus grande ou plus petite pour tous les transistors dans la puce) [54].

Habituellement les performances d'un circuit sont validées par rapport aux déviations du *process*. Dans notre cas, les performances du capteur sont établies en fonction des déviations du *mismatch*, car ce qui est important dans une image c'est la différence qu'il y a d'un pixel par rapport à un autre dans le même matrice (i.e. déviations intra-die). En plus, les imageurs de notre étude n'ont pas été validés en fonction des déviations *process*. Cependant, l'auto test a été étudié en prenant en compte le deux cas des déviations.

Pour le cas des déviations *process*, les performances ou mesures de test sont des valeurs absolus. Pour le cas *mismatch* on utilise des valeurs relatifs, car on enlève la moyenne des déviations obtenues pour tous les circuits.

5.2 Auto test des capteurs de vision CMOS

Les deux types de structure des capteurs de vision étudiés sont présentés dans cette section ainsi que leurs performances et la sequence d'auto test appliqué à chaque capteur.

Dans un capteur de vision, la matrice de pixels est (souvent) composée par des millions de pixels qui ont la même structure, et le nombre d'amplificateurs colonne est égal au nombre de colonnes dans la matrice de pixels.

5.2.1 Capteur de vision standard

Le capteur de vision standard est composé d'une matrice de pixels à intégration (ou pixels standards) et des amplificateurs colonne. Ce type de pixel et son fonctionnement ont été introduits dans le chapitre 3. Dans cette section, nous rappelons son fonctionnement pour des raisons pratiques. La structure du pixel à intégration est répétée dans la Fig. 5.1

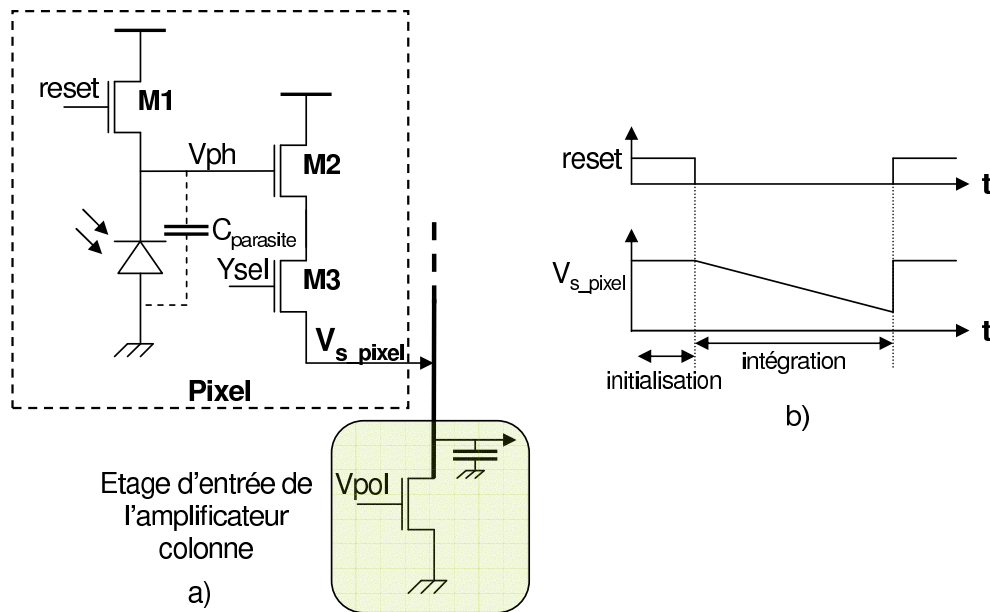


FIG. 5.1 – Structure du pixel à intégration (a) et son fonctionnement (b)

Dans le mode de fonctionnement du pixel standard, une tension de reset est établie dans le nœud V_{ph} par le transistor du reset (transistor M1 de la Fig. 5.1). La capacité parasite de la photodiode et celles des transistors M1 et M2 sont présentes dans le nœud V_{ph} . Lorsque le pixel est éclairé, le flux lumineux génère un courant électrique dans la photodiode, ce courant décharge le nœud V_{ph} . Après un temps fixé, appelé temps d'intégration, le signal est lu à la sortie du pixel. Ce signal contient la valeur de la décharge au nœud V_{ph} .

Le signal du pixel (V_{s_pixel}) est lu à travers d'un amplificateur colonne. La structure des amplificateurs colonne dans le capteur de vision standard étudié est montré dans la Fig. 5.2. Le transistor dont sa grille est nommée V_{pol_N} dans cette Figure est utilisé pour compléter la structure de l'amplificateur suiveur de la structure du pixel et au même temps il sert de charge active. Cependant ce transistor se trouve à l'étage d'entrée des amplificateurs colonne de façon à laisser la plus grande surface possible pour la photodiode dans la structure du pixel. Le transistor dont sa grille est nommée Sel_AC permet de sélectionner une colonne.

Les amplificateurs colonne fonctionnent de la façon suivante : la valeur du signal est sto-

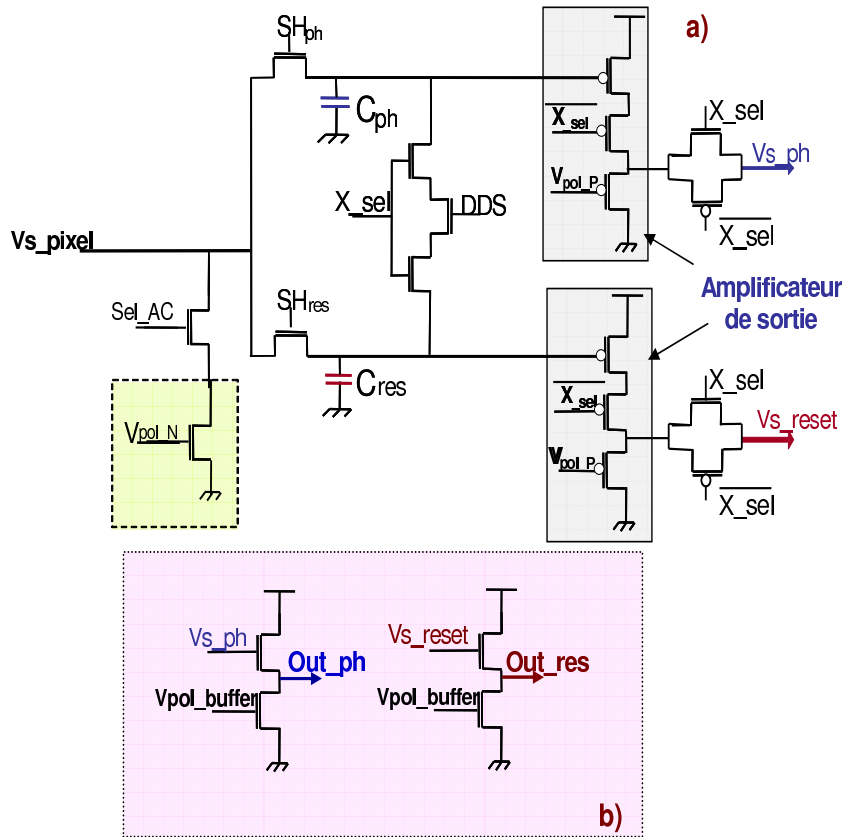


FIG. 5.2 – Structure de l’amplificateur colonne du capteur standard (a) et buffer de sortie (b)

ckée dans la capacité C_{ph} , et la tension de reset dans la capacité C_{res} . Puis ces deux valeurs sont transférées en parallèle à la sortie de l’amplificateur et des buffers. L’amplificateur de sortie est réalisé avec des transistors PMOS qui permettent de hausser le signal. A la sortie de l’amplificateur colonne des buffers sont utilisés pour augmenter le courant afin de charger les plots du circuit.

Le transistor DDS de la structure permet de réaliser la technique de double échantillonnage delta afin de réduire le FPN issue des amplificateurs colonne. Cette technique a été expliqué dans le chapitre 3.

5.2.1.1 Performances

Afin de distinguer les pixels défailants des fonctionnels, nous utilisons les performances telles que la décharge du pixel, le gain du pixel et la tension du pixel en absence de lumière (V_{dark}) pour le cas des déviations *process*. La décharge du pixel à été calculée en faisant une soustraction de la tension de reset et la tension V_{sig} (cf. Fig. 5.1(b)). Cette tension est obtenue lorsqu’une source de lumière éclaire la photodiode avec 5 W/m^2 , cela est possible grace au

modèle de la photodiode que nous avons décrit dans le chapitre 4. Le gain est calculé avec une analyse DC, pour cela le nœud V_{ph} du pixel varie de 0 à Vdd (3.3 V), puis on obtient la valeur maximale de la dérivée du signal de sortie. La tension d'obscurité a été mesurée en absence de lumière ($0W/m^2$).

Pour le cas des déviations *mismatch* nous considérons le PRNU et le DSNU. Le PRNU a été calculé de la même façon que la décharge du pixel mais en faisant une soustraction de chaque valeur avec la moyenne. Le DSNU a été calculé de la même façon que le PRNU mais en absence de lumière.

Le Tableau 5.1 montre la valeur moyenne et l'écart type des performances obtenues avec les déviations *process*, dans ce cas les performances ont été établies à $4,5 \sigma$. Le Tableau 5.2 donne les performances considérés pour le cas du *mismatch* qui sont le FPN obtenu en conditions de lumière (PRNU) et en obscurité (DSNU). Les limites des performances dans ce cas ont été mises à 5σ . Le choix de ces limites à été fait car les pixels doivent être robustes.

Performance	Valeur moyenne	Écart type	Limite inférieure	Limite supérieure
Pixel décharge	1,23 V	75 mV	892 mV	1,56 V
Gain	825 mV/V	1,8 mV/V	816 mV/V	833 mV/V
V_{dark}	2,13 V	18 mV	2,04 V	2,21 V

TAB. 5.1 – Valeurs des performances du pixel standard en considérant des déviations *process*

Performance	Valeur moyenne	Écart type	Limite inférieure	Limite supérieure
PRNU	0	22 mV	-110 mV	110 mV
DSNU	0	4.1 mV	-20,5 mV	20,5 mV

TAB. 5.2 – Valeurs des performances du pixel standard en considérant des déviations *mismatch*

5.2.1.2 Auto test du pixel standard

L'auto test du pixel standard est basé sur des stimuli électriques qui sont appliqués à l'anode de la photodiode du pixel et dans le transistor de reset de la structure du pixel standard (cf. Fig. 5.1).

La sequence de test utilisée est montrée dans la Fig. 5.3.

Afin de réaliser l'auto test, une tension de reset est établie dans le nœud V_{ph} , puis le transistor du reset est ouvert (état off) et un pulse est appliqué à l'anode de la photodiode. Un deuxième reset est appliqué pour revenir au mode de fonctionnement normal du pixel.

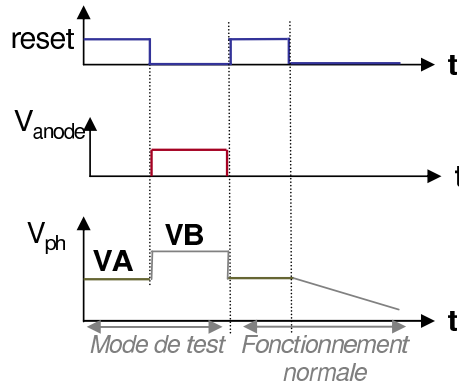


FIG. 5.3 – Stimuli de test pour le pixel standard

Les mesures de test considérées sont : la tension de reset (nommée VA dans la Fig. 5.3) et la tension après le pulse (nommée VB). La valeur de la tension après le pulse de test est approximativement égale à la valeur avant le pulse (VA) plus la tension du stimulus (voir Section 4.4.2).

La tension appliquée à l'anode de la photodiode affecte la tension du substrat des transistors NMOS du pixel, car l'anode de la photodiode est reliée au même substrat.

Lorsque le substrat des transistors NMOS a une tension positive ($> 0V$) la vitesse de fonctionnement peut diminuer et la consommation statique peut augmenter.

Le pulse appliqué au substrat des transistors NMOS dans le mode test proposé dans cette section est appliqué pendant une courte durée de temps (centaines de nano seconds) et la tension est de 300 mV. Ce pulse n'affecte donc pas de manière significative le fonctionnement du pixel en mode test. C'est-à-dire, ni la consommation ni la vitesse de fonctionnement sont affectées.

Comme il a été montré pour la photodiode, la relation entre les performances et les critères de test est donnée par le facteur de corrélation. La Fig 5.4 et la Fig. 5.5 montrent les distributions bi-variées et marginales de ces variables. Le Tableau 5.3 donne la valeur du coefficient de corrélation par rapport aux déviations *process* et le Tableau 5.4 par rapport aux déviations *mismatch*.

Critère de test	Performance		
	Pixel décharge	Gain	Vdark
VA	0,29	0,91	0,99
VB	0,36	0,91	0,99

TAB. 5.3 – Coefficient de corrélation entre les performances et les critères de test du pixel standard en considérant des déviations *process*

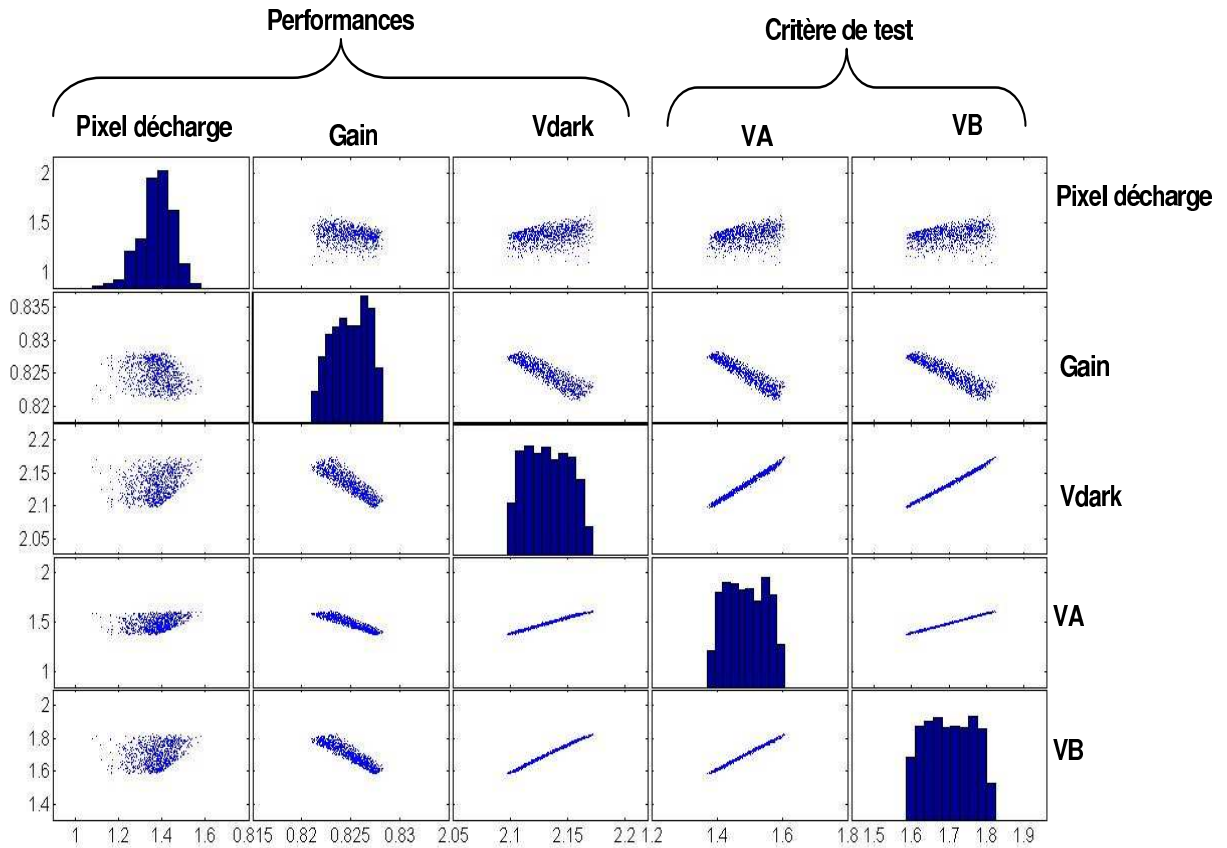


FIG. 5.4 – Distribution des performances et des critères de test du pixel standard par rapport aux déviations *process*

Critère de test	Performance	
	PRNU	DSNU
VA	0,69	0,25
VB	0,65	0,16

TAB. 5.4 – Coefficient de corrélation entre les performances et les critères de test du pixel standard en considérant des déviations *mismatch*

La corrélation entre les performances et les critères de test n'est pas la même dans les deux cas des déviations paramétriques (*process* ou *mismatch*). Les performances et les critères de test ont une bonne corrélation lorsque on prends en compte le gain et le Vdark pour le cas des déviations *process*. La corrélation avec la décharge du pixel depend de la lumière utilisée.

Les facteurs de corrélation pour le cas des déviations *mismatch* sont acceptables pour le PRNU avec les critères de test, cependant ces mesures sont moins corrélées avec le DSNU.

Les résultats de cette section nous montrent qu'il y a des mesures de test qui sont corrélées avec une ou plusieurs des performances du pixel standard.

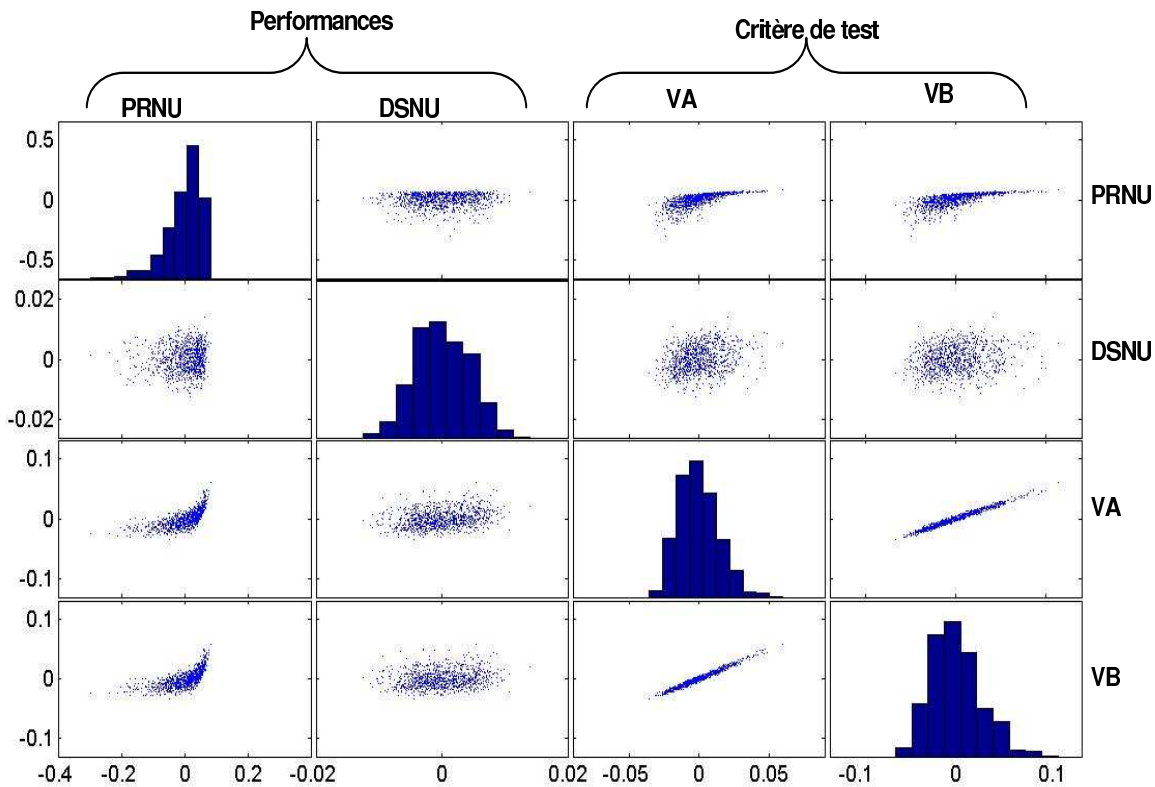


FIG. 5.5 – Distribution des performances et des critères de test du pixel standard par rapport aux déviations *mismatch*

5.2.2 Capteur de vision logarithmique

Le capteur de vision logarithmique est composé d'une matrice de pixels logarithmiques et des amplificateurs colonne. La structure du pixel logarithmique utilisée pour l'étude de la technique d'auto test est montrée dans la Fig. 5.6 (a). Ce pixel a un transistor de "calibration" (PR). La calibration dans le pixel a pour but de réduire le FPN pixel à pixel. Le FPN du pixel étudié est due principalement aux variations de la tension de seuil du transistor P2 [39]. Afin de supprimer son influence sur la tension de sortie du pixel, une mesure différentielle est mise en place : l'information issue de l'illumination est soustraite à une tension de référence issue du pixel.

Cette architecture permet de générer une tension de référence de niveau bas afin d'éviter la saturation de la sortie du pixel. Le transistor de calibration permet de court-circuiter la photodiode en forçant le nœud V_{ph} à une tension basse ce qui est équivalent à une forte illumination. La Fig. 5.6 (b) illustre le comportement du pixel logarithmique étudié dans cette section. Une

De la même manière que pour le capteur de vision standard, l'étage d'entrée de l'amplificateur colonne du capteur logarithmique est composé d'un transistors PMOS (grille vpol_P) qui complete la structure de l'amplificateur suiveur du pixel logarithmique. Un amplificateur de sortie conçu avec des transistors NMOS est utilisé pour baisser le signal des pixels. A la sortie de l'amplificateur colonne, des buffers sont utilisés pour augmenter le courant et afin de charger les plots du circuit. Le mode de fonctionnement est le même que pour les amplificateurs colonne du capteur standard.

5.2.2.1 Performances

Les performances considérées pour classer un pixel logarithmique comme défaillant ou fonctionnel sont la tension du pixel avec une source lumineuse, le facteur de conversion et la tension du pixel en absence de lumière (V_{dark}) pour le cas des déviations *process*. La tension du pixel a été calculée en faisant une soustraction de la tension de calibration et de la tension V_{sig} . Cette tension est obtenue lorsque une source de lumière éclaire la photodiode avec 10 W/m^2 . Le facteur de conversion à été obtenu en faisant varier la source lumineuse de 4 décades (de 100 mW/m^2 à 1 kW/m^2). La tension d'obscurité a été mesurée en absence de lumière.

Les performances considérées pour les déviations *mismatch* sont le PRNU et le DSNU. Le PRNU a été calculé de la même façon que la tension du pixel mais en faisant une soustraction de chaque valeur avec la moyenne. Le DSNU a été calculé de la même façon que le PRNU mais en absence de lumière.

Les Tableaux 5.5 et 5.6 montrent la valeur moyenne et l'écart type obtenus avec les déviations *process* et avec les déviations *mismatch* respectivement. Les performances ont été établies à 4σ pour le cas des déviations *process* et à 5σ pour le cas des déviations *mismatch*.

Performance	Valeur moyenne	Écart type	Limite inférieure	Limite supérieure
Tension du pixel	230 mV	30 mV	110 mV	350 mV
Facteur de conversion	39 mV/décade	13 mV	0 mV/décade	92 mV/décade
V_{dark}	3,08 V	61 mV	2,83 V	3,3 V

TAB. 5.5 – Valeurs des performances du pixel logarithmique en considérant des déviations *process*

Performance	Valeur moyenne	Écart type	Limite inférieure	Limite supérieure
PRNU	0 V	11 mV	-55 mV	55 mV
DSNU	0 V	18 mV	-90 mV	90 mV

TAB. 5.6 – Valeurs des performances du pixel logarithmique en considérant des déviations *mismatch*

5.2.2.2 Auto test du pixel logarithmique

Le principe d'auto test du pixel logarithmique est ressemblant à celui montré pour la photodiode. C'est-à-dire des stimuli électriques sont appliqués dans l'anode de la photodiode et dans le transistor de calibration (cf. Fig 5.8).

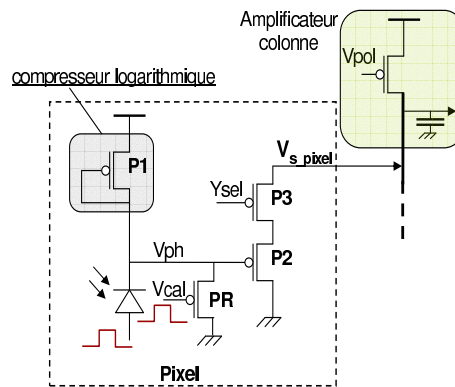


FIG. 5.8 – Stimuli de test pour le pixel logarithmique

La sequence de test étudiée est montrée dans la Fig 5.9. Lors du test, une tension de calibration est établie, puis le transistor de calibration est bloqué (état off) et le stimulus de test est appliqué. La tension après le stimulus dépend d'une tension intermédiaire. Cette tension intermédiaire est due au fait qu'une fois le transistor de calibration bloqué, le transistor P1 commence à charger le nœud V_{ph} . Le temps de charge est très long car le courant dans ce transistor qui se trouve en faible inversion est très faible. Le pulse de test est appliqué une centaine des nano seconds après la calibration. La tension finale depends du moment où le stimulus est appliqué.

Après la sequence de test un autre reset est établie pour revenir au mode de fonctionnement normal. Ce capteur à été conçu pour lire 30 images par seconde, donc une image chaque 33 mili-secondes. Ce temps est suffisant pour charger le nœud V_{ph} .

La tension du test appliquée est de 250 mV. Un critère pour choisir cette tension est que la valeur de la tension finale lorsque on applique le pulse (VB) ne doit pas saturer la sortie du pixel.

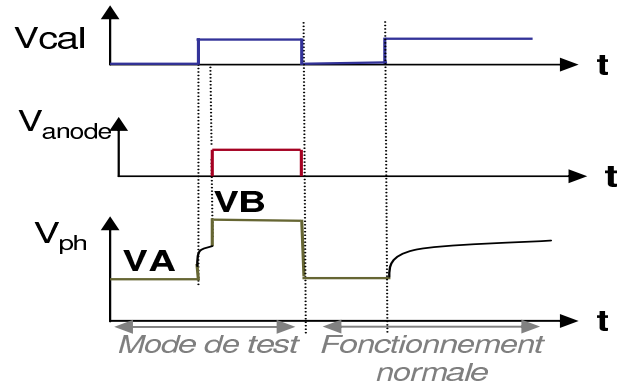


FIG. 5.9 – Sequence de test considérée pour le pixel logarithmique

Les Fig. 5.10 et 5.11 montrent les distributions marginales et bi-variées des performances et des critères de test. Les Tableaux 5.7 et 5.8 donnent les valeurs du facteur de corrélation par les déviations *process* et déviations *mismatch* respectivement.

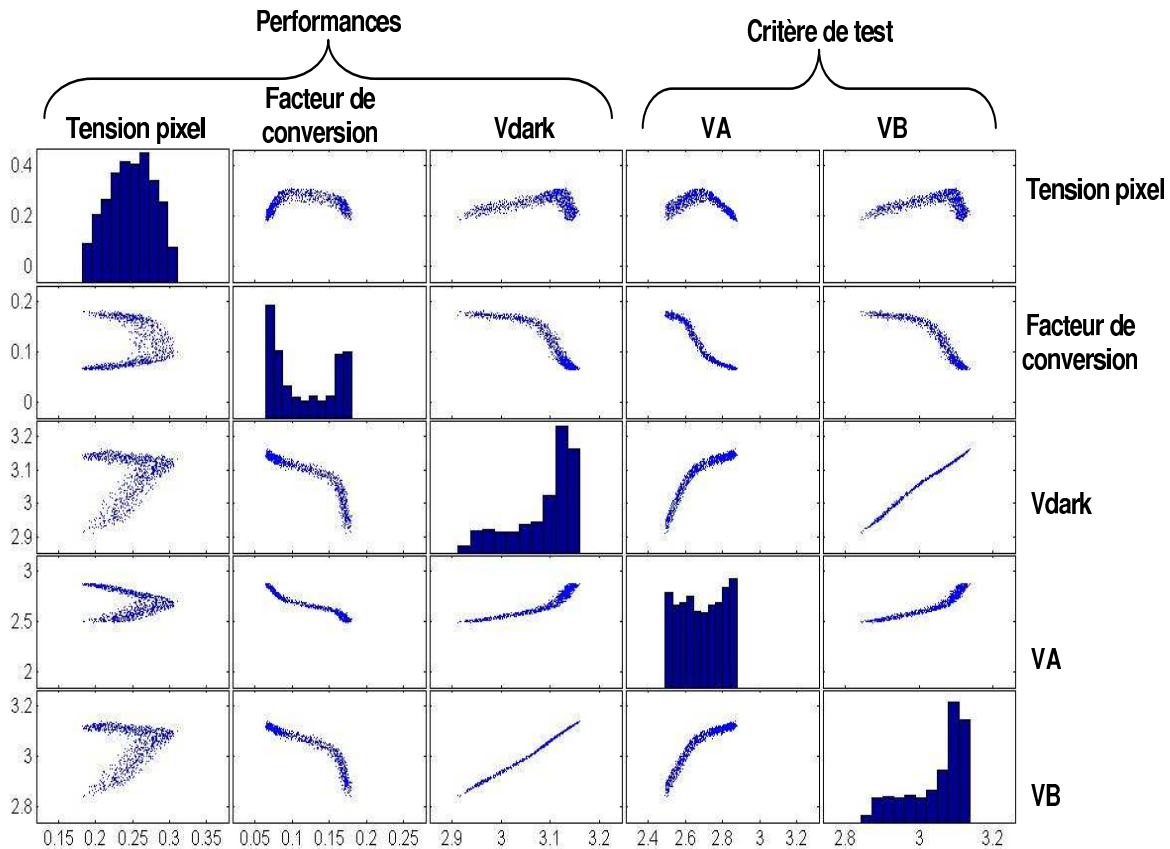


FIG. 5.10 – Distribution des performances et des critères de test du pixel logarithmique par rapport aux déviations *process*

D'après le Tableau 5.7 nous pouvons observer qu'il existe une bonne corrélation entre Vdark et les critères de test pour le cas des déviation *process*. La tension du pixel présente une faible

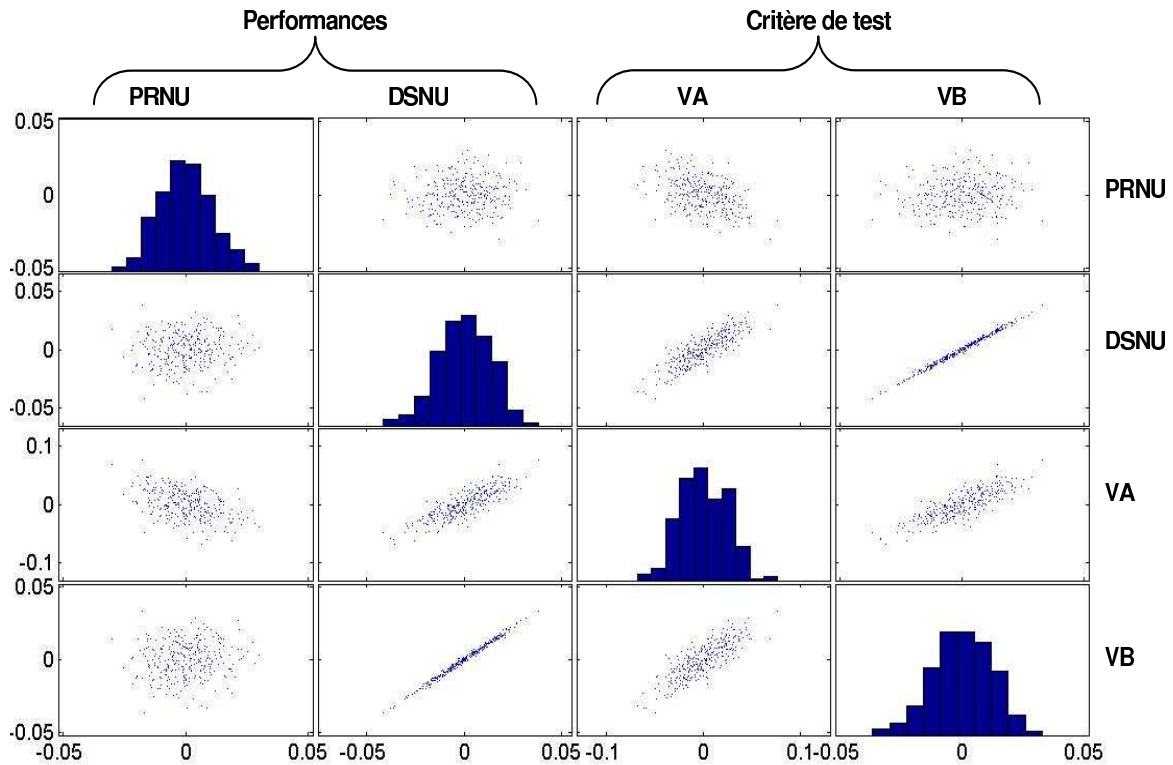


FIG. 5.11 – Distribution des performances et des critères de test du pixel logarithmique par rapport aux déviations *mismatch*

Critère de test	Performance		
	Tension pixel	Facteur de conversion	Vdark
VA	0,23	0,9726	0,91
VB	0,14	0,9279	0,99

TAB. 5.7 – Coefficient de corrélation entre les performances et les critères de test du pixel logarithmique en considérant des déviations *process*

Critère de test	Performance	
	PRNU	DSNU
VA	0,43	0,88
VB	0,11	0,93

TAB. 5.8 – Coefficient de corrélation entre les performances et les critères de test du pixel logarithmique en considérant des déviations *mismatch*

corrélation avec les critères de test, cependant cette corrélation depends de la lumière utilisée.

Le facteur de corrélation pour le cas des déviations du *mismatch* est important pour le DSNU

avec les critères de test. La corrélation des critères de test avec le PRNU dépend de la source de lumière utilisée.

5.2.3 Conception en vue de l'auto test

L'auto test du pixel standard utilise un pulse à la masse de la diode et ce pulse affecte le substrat de tous les transistors NMOS du capteur. Comme il a été dit dans la section d'auto test du pixel standard, le pulse de test n'affecte ni la vitesse ni le fonctionnement du capteur. Cependant si le pulse de test doit être plus important, la consommation du capteur peut augmenter. Cela est dû au transistor de l'étage d'entrée de l'amplificateur colonne (i.e. V_{polN} de la fig. 5.2). Afin de séparer le substrat de ce transistor, et des tous les transistors de l'amplificateur colonne, et d'affecter le minimum possible le substrats des transistors N de la structure du capteur standard, ces transistors peuvent être séparés par une isolation de type N, ainsi ce circuit ne sera pas affecté par le pulse de test qui va à la masse.

La Fig. 5.12 montre cette procédure, les amplificateurs de l'étape de sortie de l'amplificateur colonne sont conçus en PMOS, donc une isolation de type N est utilisée pour ces transistors. A l'intérieur de cette isolation, une isolation pour les transistors NMOS peut être faite. Des procédés de fabrication CMOS donnent cette option sans trop augmenter le coût de fabrication.

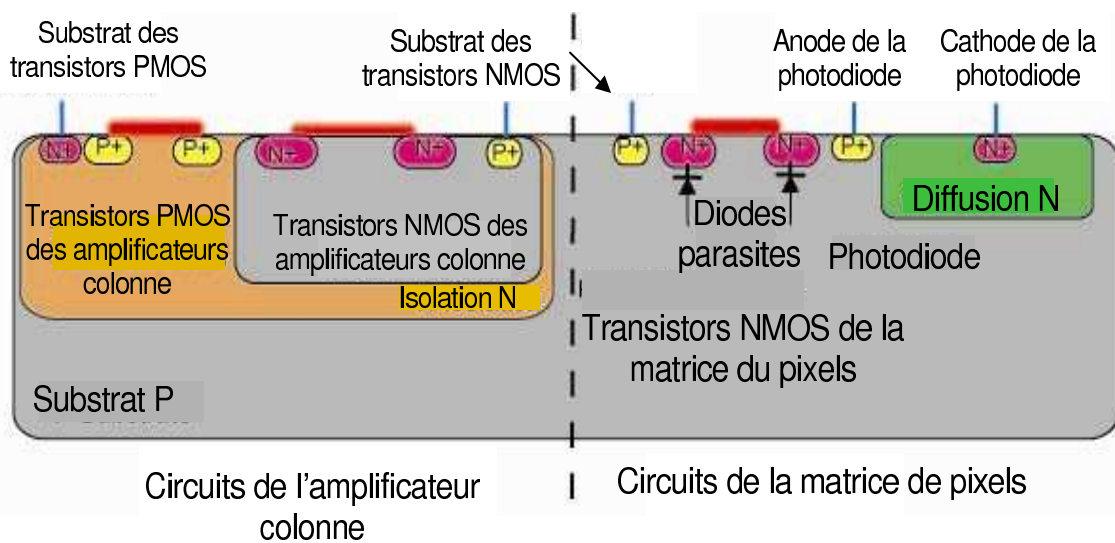


FIG. 5.12 – Exemple de fabrication technologique pour le capteur standard

5.3 Modélisation de fautes et estimation des métriques de test

Des fautes catastrophiques et paramétriques ont été modélisées et injectés au pixel et à l'amplificateur colonne, puis la technique d'auto test est évaluée par les métriques de test propres à chaque cas.

5.3.1 Déviations du procédé technologique

Les déviations de la sortie d'un circuit dues au procédé technologique sont obtenues par des simulations Monte Carlo. Ces simulations sont ensuite utilisées pour générer une population plus grande de circuits qui présentent les mêmes caractéristiques. La Fig. 5.13 montre un exemple de génération d'une population plus grande à partir des simulations où l'estimation non paramétrique a été utilisée car nos échantillons ne suivent pas une loi multinormale (voir Section 2.9.2.2).

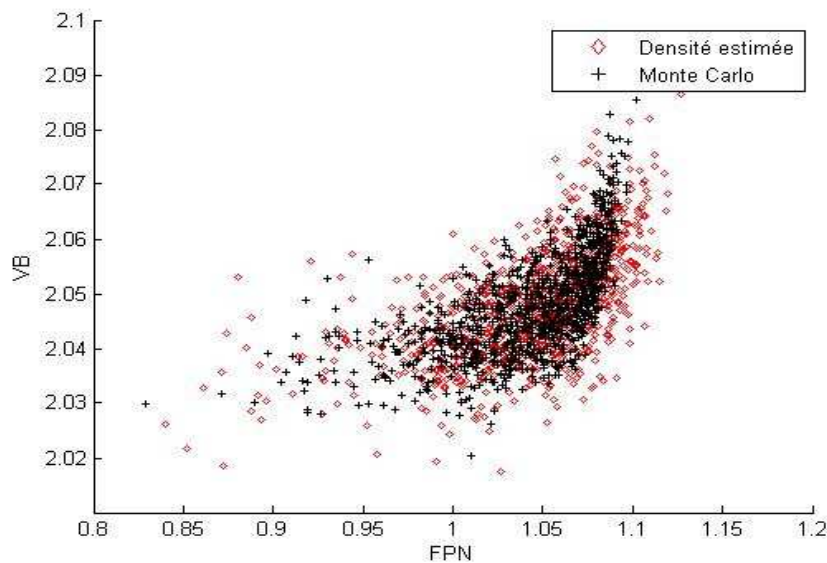


FIG. 5.13 – Génération d'un échantillon avec l'estimation non paramétrique

La population générée est ensuite utilisée pour calculer les métriques de test présentés dans le chapitre 2 pour le cas des déviations du procédé technologique. En fonction de ces métriques de test les limites des critères de test sont établies.

Cette procédure a été déjà expliquée et montrée pour le cas du test de la photodiode dans le chapitre 4.

5.3.2 Fautes catastrophiques

Des fautes catastrophiques qui comprennent des circuits ouverts et court circuits dans tous les transistors et la photodiode de la structure du pixel, et des défauts qui représentent les effets de court circuit de l'oxyde de grille (GOS) sont injectés au pixel standard et logarithmique.

La valeur de la résistance d'un circuit ouvert est de $30\text{ M}\Omega$ et pour la résistance d'un court circuit est de 170Ω . Ces valeurs de résistances ont été pris en compte l'étude faite dans le chapitre 4 pour obtenir les valeurs minimale et maximale des résistances qui sont détectables dans le cas de la photodiode toute seule.

Comme il a été expliqué dans le chapitre 2, pour les types de fautes qui modèlent un circuit ouvert dans la grille des transistors le layout du pixel doit être considéré. Comme exemple de ce type de faute, nous présentons le modèle de fautes utilisé pour la grille du transistor de calibration du pixel logarithmique (cf. Fig. 5.6). Le même type d'analyse a été faite pour le pixel standard.

La Fig 5.14 montre le layout du pixel logarithmique. La Fig 5.15 montre l'exemple du modèle de faute réalisé pour la grille du transistor de calibration. Ce modèle contient les capacités du couplage de la grille du transistor sélectionné.

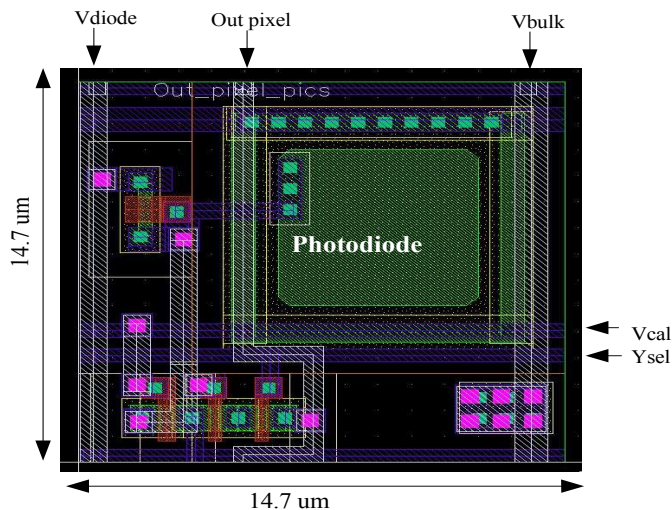


FIG. 5.14 – Layout du pixel logarithmique

Les capacités parasites du modèle sont donc obtenues à partir du layout du pixel. Dans le modèle de fautes des circuit ouvert pour la grille du transistor de calibration, deux capacités

parasites dues au couplage vertical (C_v) avec les lignes V_{diode} et V_{bulk} sont considérés. Deux autres capacités dues au couplage horizontal (C_h) sont aussi prises en compte. Une capacité est générée par le couplage de la ligne V_{cal} avec la diffusion de la photodiode, et une autre capacité de couplage horizontal est générée par la ligne de sélection qui est en parallèle avec la ligne V_{cal} (cf. Fig. 5.14).

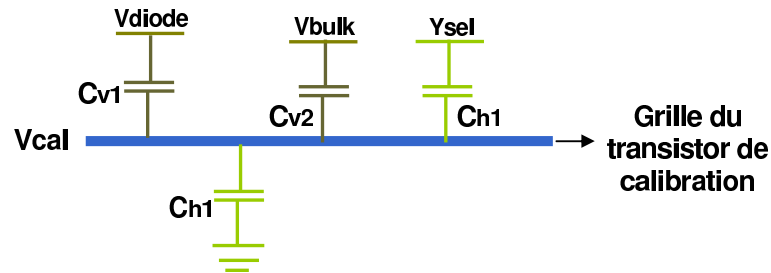


FIG. 5.15 – Modèle des capacités de couplage dues aux lignes d'interconnexion dans la grille du transistor de calibration

Dans une matrice de pixels, si nous voulons prendre le modèle de fautes pour la grille d'un pixel qui se trouve à la moitié de la matrice, les capacités parasites incluent le couplage tout au long des lignes parallèles. Dans notre cas, seulement la capacité de couplage entre V_{cal} et Y_{sel} va changer. Et par exemple, pour trouver la valeur maximale, il suffit de multiplier la valeur de cette capacité trouvée pour un pixel pour le nombre total de pixels de la matrice.

Les valeurs de capacités des couplage obtenues varient entre quelques centaines d'ato farads (aF) à quelques femto Farads (fF).

Un autre type de faute prise en compte sont des fautes catastrophiques telles que les défauts GOS qui considèrent des court circuits de l'oxyde de grille. Ainsi, nous avons un transistor qui est coupé en deux (cf. Fig 5.16). La valeur de L' et de L'' depends de la localisation de la coupure de l'oxyde (k), voir Équation 5.1. La résistance du modèle est corrélée avec l'épaisseur de la couche d'oxyde.

$$L' = kL \text{ et } L'' = (1 - k)L \quad (5.1)$$

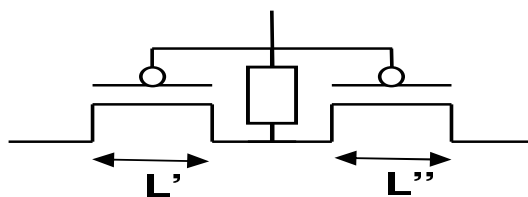


FIG. 5.16 – Modèle des défauts GOS utilisé

5.3.3 Fautes paramétriques

Les fautes paramétriques simples considérées sont : des déviations dans la largeur et la longueur de grille de chaque transistor, la largeur et la longueur de la photodiode, l'épaisseur d'oxyde, la tension de seuil et le facteur k (qui représente un facteur de gain) de tous les transistors.

Chaque paramètre considéré varie entre -20% et +50% de sa valeur nominale, afin de trouver la valeur de la déviation minimale de chaque paramètre pour laquelle une performance ou un critère de test se trouve au delà de ses limites. Ainsi, ces limites peuvent être différentes (cf. Fig. 5.17). La valeur de la déviation nous permet ensuite de calculer les métriques de test.

Afin de calculer les métriques de test pour les fautes paramétriques les définitions données dans le chapitre 2 ont été adaptées au pixel.

D'après la Fig 5.17, la probabilité d'un pixel pour qu'il ne soit pas fonctionnel à cause d'une déviation du paramètre i est donné par $P_i^{\bar{F}}$. La probabilité de détection d'une faute par le BIST sur le paramètre i est donné par $P_i^{\bar{B}}$.

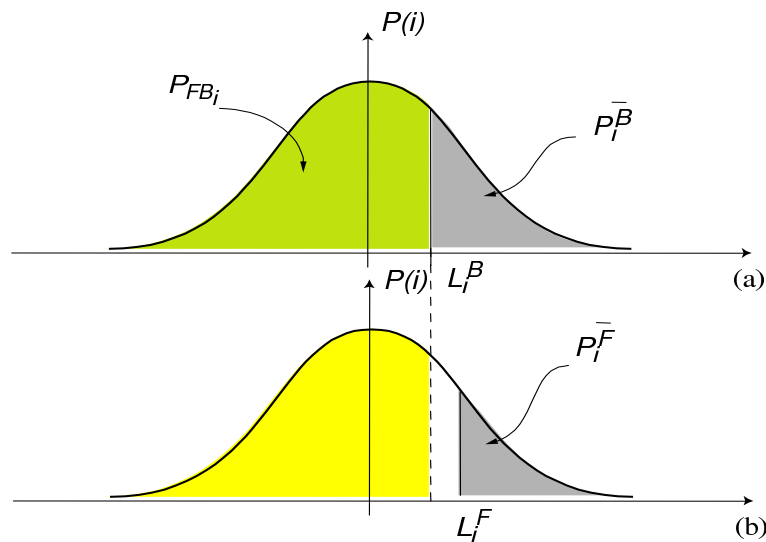


FIG. 5.17 – Limite de la deviation d'un paramètre i pour être détecté par le BIST (a), et pour la violation d'une specification (b)

Un capteur de vision est composé de millions de pixels. Notre but est de tester chaque pixel du capteur. Les différentes métriques du test considérées pour le cas de fautes paramétriques simples dans un pixel d'un imageur sont :

1.- P_{FB} : Probabilité d'un pixel d'être fonctionnel et de passer le BIST.

$$P_{FB} = \prod_{i=1}^n (1 - \max(P_i^{\bar{F}}, P_i^{\bar{B}})) \quad (5.2)$$

Où n est le nombre de fautes potentielles.

2.- $P_{\bar{F}\bar{B}}$: Probabilité d'un pixel de ne pas être fonctionnel et de passer le BIST.

$$P_{\bar{F}\bar{B}} = \text{probabilité} \left(\frac{\text{passer}}{\text{non fonctionnel}} \right) \times \text{probabilité}(\text{non fonctionnel})$$

$$P_{\bar{F}\bar{B}} = FA \times (1 - Y_I) \quad (5.3)$$

Où FA est la probabilité de Fausse Acceptation, et Y_I est la probabilité d'un pixel d'être fonctionnel, appelé ici rendement de l'imageur. Il peut être calculé par :

$$Y_I = \prod_{i=1}^n (1 - P_i^{\bar{F}}) \quad (5.4)$$

Également, la probabilité d'un pixel de passer le BIST est appelée rendement du BIST (Y_B), et elle est calculée par :

$$Y_B = \prod_{i=1}^m (1 - P_i^{\bar{B}}) \quad (5.5)$$

Où m est le nombre total de fautes qui peuvent être détectées par le BIST.

La probabilité de Fausse Acceptation peut être calculée par :

$$FA = \frac{Y_B - P_{\bar{F}\bar{B}}}{1 - Y_I} \quad (5.6)$$

3.- $P_{F\bar{B}}$: Probabilité d'un pixel d'être fonctionnel et de ne pas passer le BIST.

$$P_{F\bar{B}} = \text{probabilité} \left(\frac{\text{non passant}}{\text{fonctionnel}} \right) \times \text{probabilité}(\text{fonctionnel})$$

$$P_{F\bar{B}} = FR \times Y_I \quad (5.7)$$

Où FR est la probabilité de faux rejet. Elle est calculée par :

$$FR = \frac{1 - Y_B - P_{F\bar{B}}}{Y_I} \quad (5.8)$$

4.- $P_{\bar{F}\bar{B}}$: Probabilité d'un pixel de ne pas être fonctionnel et de ne pas passer le BIST.

$$P_{\bar{F}\bar{B}} = \prod_{i=1}^n \min(P_i^{\bar{F}}, P_i^{\bar{B}}) \quad (5.9)$$

Finalement la couverture de fautes pour les déviations paramétriques simples est calculée par [21] :

$$F = \frac{\sum_{j=i}^m \ln(1 - \min(P_i^{\bar{F}}, P_i^{\bar{B}}))}{\sum_{j=i}^n \ln(1 - P_i^{\bar{F}})} \quad (5.10)$$

5.4 Validation de l'auto test au niveau pixel

Cette section évalue les métriques de test pour le cas des deux types de pixels considérés. L'amplificateur colonne n'est pas pris en compte dans cette section car cela nous permettra en suite d'observer s'il existent des fautes qui sont masqués par les amplificateurs colonne.

5.4.1 Pixel standard

Dans un premier temps nous allons établir les critères de test et ensuite calculer les métriques de test.

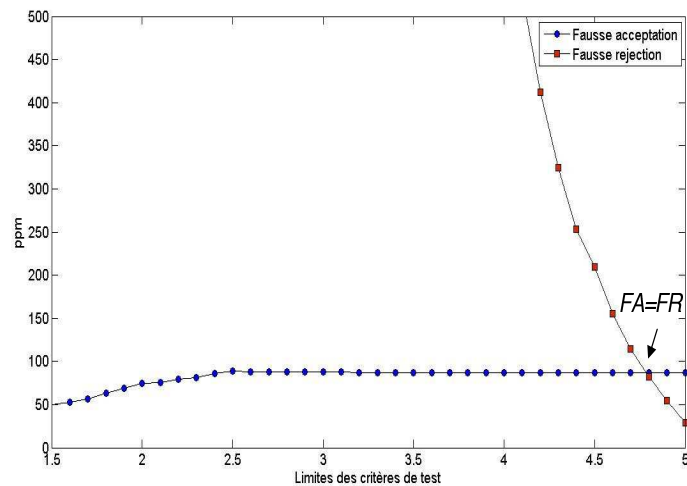
5.4.1.1 Limites des critères de test

Les limites des critères de test ont été établis en utilisant les métriques de test pour les déviations du procédé technologique. Les limites de test sont établis lorsque FA=FR. Ceci est montré dans la Fig. 5.18 pour le cas des déviations de type *mismatch*.

Les limites ont été établies à 3σ pour le cas des déviations *process* et à $4,8\sigma$ pour déviations *mismatch* (cf. Fig. 5.18). Le Tableau 5.9 et 5.10 montrent la valeur moyenne , l'écart type et les limites de chaque critère de test.

Critère de test	Valeur moyenne	Écart type	Limite inférieure	Limite supérieure
VA	1,49	61 mV	1,3 V	1,67 V
VB	1,71	61 mV	1,55 V	1,87 V

TAB. 5.9 – Valeurs des critères de test du pixel standard en considérant déviations *process*


 FIG. 5.18 – Limites des critères de test pour le pixel standard et les déviations *mismatch*

Critère de test	Valeur moyenne	Écart type	Limite inférieure	Limite supérieure
VA	0	14 mV	-67 mV	67 mV
VB	0	14 mV	-67 mV	67 mV

 TAB. 5.10 – Valeurs des critères de test du pixel standard en considérant déviations *mismatch*

5.4.1.2 Cas des fautes catastrophiques

Un total de 21 fautes catastrophiques ont été injectées au pixel standard.¹ Ces fautes sont des court circuits et des circuits ouverts entre chaque terminal des 3 transistors et de la photodiode qui composent la structure du pixel à intégration, et de fautes de type GOS.

La Fig. 5.19 montre la couverture de fautes catastrophiques obtenue avec les performances et avec les critères de test.

La couverture de fautes obtenue avec les critères de test est de 85,71%. Trois fautes ne sont pas détectés : un court circuit entre la grille et le drain du transistor M1 de la structure du pixel (cf. Fig. 5.1). Cette faute est un court circuit entre deux sources d'alimentation, la grille du transistor M1 est commandée par une source de tension qui donne les pulses afin de piloter ce transistor, le drain du transistor M1 est connecté à Vdd. Une faute de ce type augmente considérablement la consommation du pixel, cela peut être observé donc par des tests de courant. Les autres fautes non détectées sont des circuits ouverts dans le drain et la source du transistor M1. Le circuit ouvert dans le drain de ce transistor commence à être détecté à partir

¹L'annexe III donne un exemple des fichiers utilisés pour l'injection automatique de fautes en utilisant la plateforme CAT

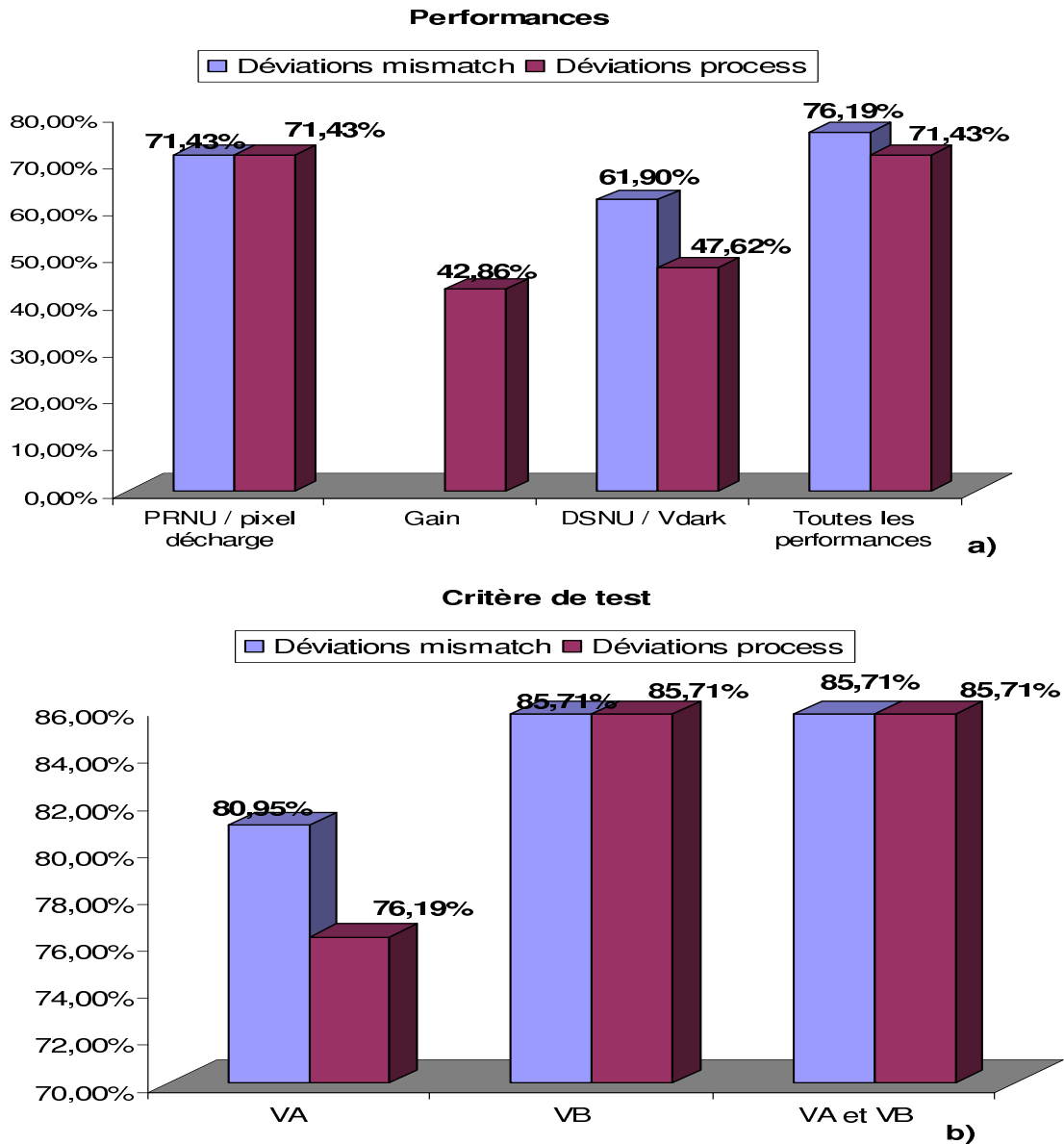


FIG. 5.19 – Couverture de fautes catastrophiques avec les performances (a) et les critères de test (b) du pixel standard

d'une résistance de l'ordre de 60 MΩ. Le circuit ouvert dans la source est détecté à partir des valeurs de résistance de 40MΩ. La Fig. 5.19 donne le pourcentage de fautes catastrophiques obtenues avec les critères de test. Afin d'avoir la meilleure couverture, seulement la mesure de test VB peut être utilisée, car en faisant la combinaison de deux mesures VA et VB, elles donnent le même pourcentage que VB.

La couverture de fautes obtenue avec les performances est de 76,19%. Cinq fautes ne sont pas détectées : les trois non détectées par le test, et en plus des circuits ouverts dans les deux terminaux de la photodiode.

La difficulté pour détecter les circuits ouverts est illustrée au moyen de la Fig. 5.20. Le courant qui traverse la résistance qui modélise la faute est égale au courant de la photodiode. Si la résistance est de l'ordre de $35\text{M}\Omega$ et le courant I_d varie entre quelques femtos et des centaines de pico-ampères, le rapport $I_d * R$ génère quelques milli-Volts. La différence entre V1 et V2 n'est donc pas très importante. La présence de ce circuit ouvert permet à la photodiode de continuer à fonctionner presque normalement, et donc les performances ne changeront presque pas. Des valeurs de résistances des circuits ouverts d'au moins $100\text{M}\Omega$ pourront être détectées.

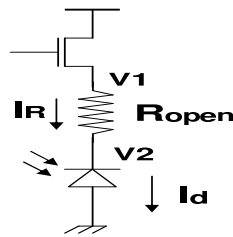


FIG. 5.20 – Exemple de circuit ouvert dans la photodiode

Pour les fautes de type GOS le seul transistor où ce type de faute peut être injectée est le transistor M2 de la Fig. 5.1 qui a une longueur de $1,5\mu\text{m}$. Les autres transistors se trouvent à la longueur de grille (L) minimale, dans ce cas le simulateur ne nous permet pas d'utiliser un L plus petit que la taille minimale indiquée par la technologie CMOS utilisée.

Afin de modéliser des défauts GOS le modèle de la Fig. 5.16 est utilisé. D'après ce modèle la variation de L' est de de $0,35\mu\text{m}$ à $1,15\mu\text{m}$ (sur une variation d'environ un 25 % à un 75% de ça valeur nominale) et la résistance de 1Ω à $100\text{K}\Omega$. Tous les défauts GOS injectés affectent les performances du pixel et les critères de test. Par rapport au modèle de GOS utilisé nous avons donc une couverture de fautes de 100%.

5.4.1.3 Cas de fautes paramétriques simples

Les fautes paramétriques simples ont été simulées en faisant varier chaque paramètre utilisé pour cet étude (longueur et largeur du transistor, oxyde de grille, tension de seuil et facteur de gain) entre -20% et 50% de sa valeur nominale. Le Tableau 5.11 montre les valeurs nominales de chaque paramètre et l'écart type qui ont été obtenus à partir de la base de données technologiques que nous utilisons (AMS 0.35um).

Le Tableau 5.12 montre la valeur de la variation minimale d'un paramètre pour laquelle une ou plusieurs performances (L_i^F) se trouvent au delà de ces limites, ainsi que la probabilité d'un pixel pour qu'il ne soit pas fonctionnel ($P_i^{\bar{F}}$).

Composant	Paramètre	Valeur nominale	Écart type
M1	W	1 um	25 nm
M1	L	0,5 um	13nm
M2	W	2 um	25 nm
M2	L	1,5um	13nm
M3	W	1 um	25 nm
M3	L	0,5 um	13nm
photodiode	W	6 um	25 nm
photodiode	L	6 um	25 nm
tous les transistors	épaisseur d'oxyde	7,6 nm	80 pm
tous les transistors	tension de seuil	500 mV	16 mV
tous les transistors	k	170 $\mu A/V^2$	5,6 $\mu A/V^2$

TAB. 5.11 – Valeurs nominales et écart type de chaque paramètre considéré pour l'injection de fautes paramétriques simples dans le pixel standard

Composant	Paramètre	Limite, L_i^F	Probabilité, P_i^F
M1	W	sans limite	0
M1	L	sans limite	0
M2	W	-/2,39um	0
M2	L	sans limite	0
M3	W	-/1,24 um	0
M3	L	0,43/- um	0
photodiode	W	sans limite	0
photodiode	L	sans limite	0
tous les transistors	épaisseur d'oxyde	sans limite	0
tous les transistors	tension de seuil	sans limite	0
tous les transistors	k	sans limite	0

TAB. 5.12 – Valeurs limites de déviation de chaque paramètre pour la violation des spécifications et probabilité d'un pixel standard pour qu'il ne soit pas fonctionnel

Le Tableau 5.13 donne les valeurs limites (L_i^B) et les probabilités de détection d'une faute dans un pixel par le BIST (P_i^B).

On peut observer dans le Tableau 5.12 et dans le Tableau 5.13 que les limites des paramètres pour qu'un pixel ne soit pas fonctionnel (L_i^F) et les limites pour qu'un pixel ne passe pas le test (L_i^B) sont différentes. Cependant la probabilité pour qu'une faute due à la déviation d'un seul paramètre se présente est 0 (même dans le cas qu'une limite est trouvée, la probabilité pour que le paramètre dévie jusqu'à une limite est pratiquement zéro), en supposant une distribution Gaussienne des paramètres du design. Le pixel standard donc n'est pas sensible à ce type de fautes. Le Tableau 5.14 donne les métriques de test pour le pixel standard.

Composant	Paramètre	Limite, L_i^B	Probabilité, $P_i^{\bar{B}}$
M1	W	-/1,3 um	0
M1	L	0,42/0,63 um	0
M2	W	-/2,7 um	0
M2	L	-/2 um	0
M3	W	sans limite	0
M3	L	sans limite	0
photodiode	W	sans limite	0
photodiode	L	sans limite	0
tous les transistors	épaisseur d'oxyde	sans limite	0
tous les transistors	tension de seuil	sans limite	0
tous les transistors	k	sans limite	0

TAB. 5.13 – Valeurs limites de la déviation de chaque paramètre par la détection et probabilité d'un pixel standard de ne pas passer le BIST

Y_I	Y_B	FA	FR	F (%)
1	1	0	0	100

a)

P_{FB}	$P_{F\bar{B}}$	$P_{\bar{F}B}$	$P_{\bar{F}\bar{B}}$
1	0	0	0

b)

TAB. 5.14 – Métriques de test pour les cas de fautes paramétriques simples pour le pixel standard

5.4.2 Pixel logarithmique

Cette partie présente les limites des critères de test et ainsi que les métriques de test pour le pixel logarithmique.

5.4.2.1 Limites des critères de test

Les limites des critères de test ont été établies en utilisant les métriques de test dues aux déviations du procédé technologique. Les limites ont été établies à $3,55 \sigma$ pour le cas des déviations *process* et à $4,1 \sigma$ pour le cas des déviations *mismatch* pour FA=FR. La Fig. 5.21 montre ce dernier cas.

Le Tableau 5.15 et 5.16 montrent la valeur moyenne de chaque critère de test, l'écart type et les limites des critères de test pour la sequence de test du pixel logarithmique (cf. Fig. 5.9). Ces valeurs considèrent le cas des déviations du *process* et des déviations *mismatch*.

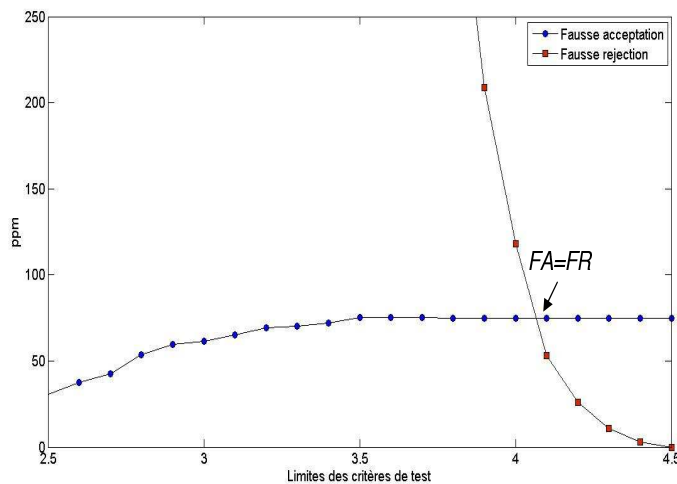


FIG. 5.21 – Limites des critères de test pour le pixel logarithmique et les déviations *mismatch*

Critère de test	Valeur moyenne	Écart type	Limite inférieure	Limite supérieure
VA	2,68	114 mV	2,27 V	3,08 V
VB	3,07	76 mV	2,8 V	3,3 V

TAB. 5.15 – Valeurs des critères de test du pixel logarithmique pour les déviations *process*

Critère de test	Valeur moyenne	Écart type	Limite inférieure	Limite supérieure
VA	0	26 mV	-106 mV	106 mV
VB	0	13 mV	-53 mV	53 mV

TAB. 5.16 – Valeurs des critères de test du pixel logarithmique pour les déviations *mismatch*

5.4.2.2 Cas de fautes catastrophiques

Un total de 24 fautes catastrophiques de type circuit ouvert et court circuit ont été injectées au pixel. La Fig. 5.22 montre la couverture de fautes catastrophiques.

La couverture de fautes est meilleure quand les déviations *mismatch* sont considérées car les limites de test sont plus serrées que pour les déviations *process*. Nous allons analyser la couverture de fautes obtenue pour le cas *mismatch*.

Si toutes les performances sont utilisées pour obtenir la couverture de fautes, la couverture maximale sera de 91,67% (cf. Fig. 5.22(a)). Les deux fautes non détectées sont un court circuit entre la source et le drain du transistor de sélection, et un court circuit entre la grille et le drain du transistor de calibration (transistor PR de la Fig. 5.8). Le court circuit dans le transistor de sélection est difficile à détecter car en mode de fonctionnement normal le transistor de sélection est toujours passant. La résistance de court circuit est de l'ordre de la résistance du canal établi

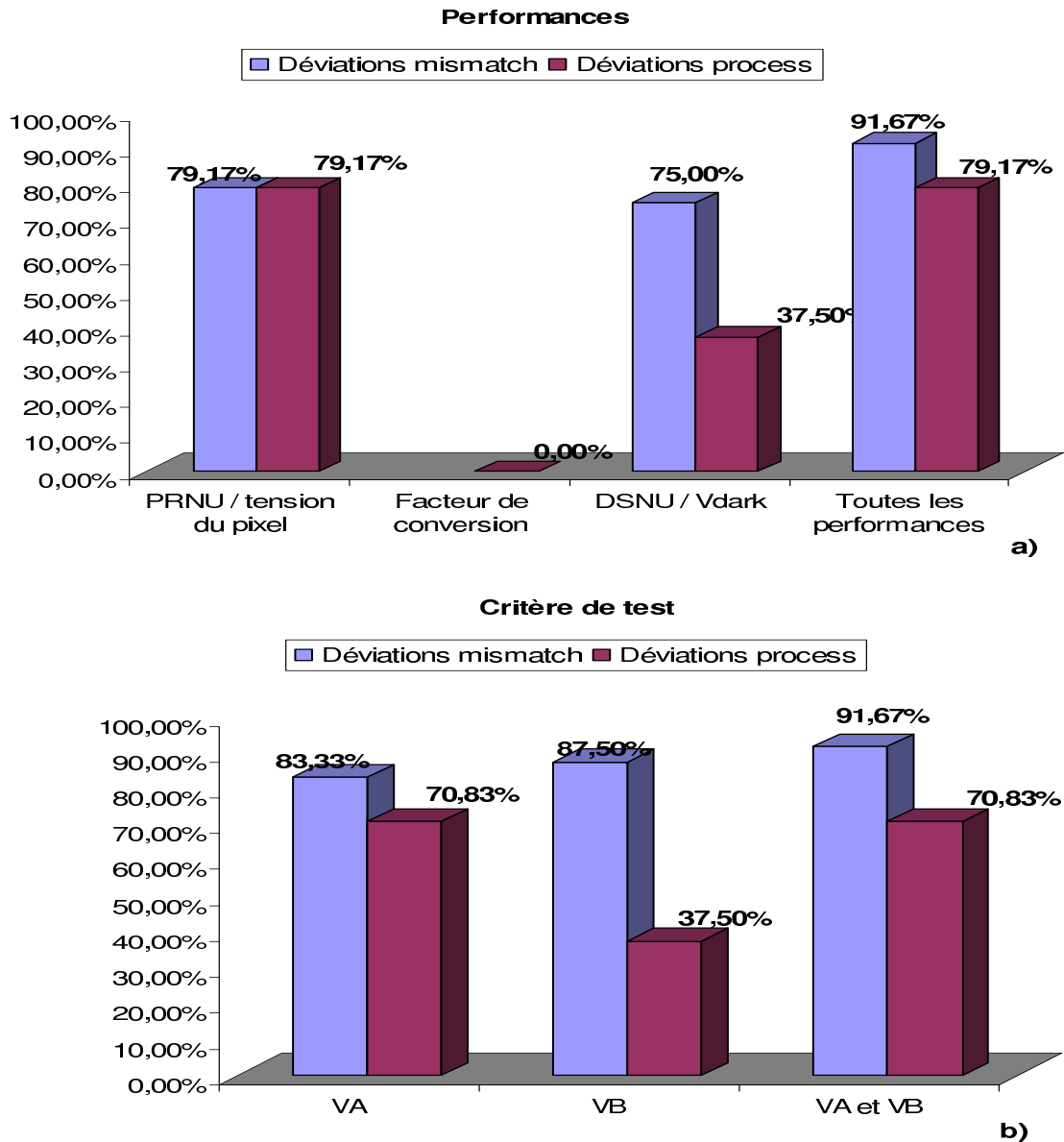


FIG. 5.22 – Couverture de fautes catastrophiques avec les performances (a) et les critères de test (b) du pixel logarithmique

entre la source et le drain de ce transistor. Cependant un test de colonne pourra détecter ce type de faute, car le pixel étant toujours sélectionné il va polluer la colonne avec son signal. Le court circuit entre la grille et le drain du transistor de calibration est un court circuit entre deux sources de tension, ce qui donne lieu à un courant important. Un test de courant pourra détecter cette faute.

La couverture de fautes maximale obtenue avec les critères de test VA et VB est de 91,67%. Comme pour le cas précédent, le court circuit entre la grille et le drain du transistor de sélection n'est pas détecté, cette faute peut être détectée comme dit antérieurement par un test de courant.

La deuxième faute qui n'est pas détectée est un circuit ouvert dans la grille du transistor de selection. Cela est dû au fait que dans ce modèle de fautes, les capacités parasites sont très petites. Lors d'un circuit ouvert ces capacités auront une charge petite que ce traduira pour une tension faible, cela est suffisant pour rendre passant le transistor PMOS. Comme pour les performances, un test de colonne pourra la détecter.

Pour les fautes de type GOS, le seul transistor dans la structure du pixel logarithmique dont les défauts GOS peuvent être injectés est le transistor P1 (cf. Fig 5.6) qui a une longueur de grille de $1\mu\text{m}$. Les autres transistors de la structure du pixel ont une L minimale.

Pour ce transistor, L' et R du modèle GOS ont été modifiés (cf. Fig. 5.16). L' a été variée de 35% à 65% de sa valeur nominale ($1\mu\text{m}$). La résistance à été variée de 1Ω à $100\text{ k}\Omega$. La seule performance qui est sensible à ce type de fautes est le DSNU, les critères de test ne sont pas sensibles. Le DSNU sera affecté lorsque la coupure du transistor sera moins de la moitié de sa longueur de grille ($L' < 0,5\ \mu\text{m}$) et pour toutes les valeurs de résistances utilisées dans le modèle.

5.4.2.3 Cas de fautes paramétriques simples

Le Tableau 5.17 montre la valeur nominale et l'écart type de chaque paramètre considéré pour l'injection des fautes paramétriques simples. Comme pour le pixel standard, l'écart type de chaque paramètre est donné par la technologie que nous utilisons (AMS 0.35um).

Composant	Paramètre	Valeur nominale	Écart type
P1	W	0,4 um	25 nm
P1	L	1 um	13nm
PR	W	1 um	25 nm
PR	L	0,5 um	13nm
P2	W	1 um	25 nm
P2	L	0,4 um	13nm
P3	W	1 um	25 nm
P3	L	0,4 um	13nm
photodiode	W	6 um	25 nm
photodiode	L	6 um	25 nm
tous les transistors	épaisseur d'oxyde	7,6 nm	80 pm
tous les transistors	tension de seuil	-691 mV	16 mV
tous les transistors	k	$148,2\ \mu\text{A}/\text{V}^2$	$1,9\ \mu\text{A}/\text{V}^2$

TAB. 5.17 – Valeurs nominales et écart type de chaque paramètre considéré pour l'injection de fautes paramétriques simples dans le pixel logarithmique

Le Tableau 5.18 montre la valeur de la variation minimale d'un paramètre (L_i^F) pour laquelle

une ou plusieurs performances se trouvent au delà de ces limites, ainsi que la probabilité d'un pixel pour qu'il ne soit pas fonctionnel ($P_i^{\bar{F}}$).

Composant	Paramètre	Limite, L_i^F	Probabilité, $P_i^{\bar{F}}$
P1	W	sans limite	0
P1	L	sans limite	0
PR	W	sans limite	0
PR	L	sans limite	0
P2	W	sans limite	0
P2	L	sans limite	0
P3	W	-/1,43 um	0
P3	L	-/0,52 um	0
photodiode	W	sans limite	0
photodiode	L	sans limite	0
tous les transistors	épaisseur d'oxyde	-/11 nm	0
tous les transistors	tension de seuil	-0,62/-0,77	$3,44e^{-6}/0$
tous les transistors	k	sans limite	0

TAB. 5.18 – Valeurs limites de déviation de chaque paramètre pour la violation des spécifications et probabilité d'un pixel logarithmique pour qu'il ne soit pas fonctionnel

Le Tableau 5.19 donne les valeurs limites (L_i^B) et les probabilités de détection d'une faute dans un pixel par le BIST ($P_i^{\bar{B}}$).

Composant	Paramètre	Limite, L_i^B	Probabilité, $P_i^{\bar{B}}$
P1	W	sans limite	0
P1	L	sans limite	0
PR	W	sans limite	0
PR	L	sans limite	0
P2	W	sans limite	0
P2	L	sans limite	0
P3	W	-/1,23 um	0
P3	L	0,33/0,51 um	0
photodiode	W	sans limite	0
photodiode	L	sans limite	0
tous les transistors	épaisseur d'oxyde	sans limite	0
tous les transistors	tension de seuil	-0,64/-0,77	0,0007/0
tous les transistors	k	sans limite	0

TAB. 5.19 – Valeurs limites de déviation de chaque paramètre et probabilité d'un pixel logarithmique de ne pas passer le BIST

Les différentes probabilités sont utilisées pour obtenir les métriques de test pour le cas de fautes paramétriques simples. Le Tableau 5.20 montre ces métriques.

Y_I	Y_B	FA	FR	F (%)
0,99	0,99	0	0,0007	100

a)

P_{FB}	$P_{F\bar{B}}$	$P_{\bar{F}B}$	$P_{\bar{F}\bar{B}}$
0,98	0,0006	0	0,01

b)

TAB. 5.20 – Métriques de test pour les cas de fautes paramétriques simples pour le pixel logarithmique

Le rendement de l'imageur (rendement du design, Y_I) est de 99%, le rendement du test est de 99%, la couverture de fautes est de 100%. Ces métriques montrent que la technique d'auto test au niveau pixel peut avoir des bons résultats vis-à-vis des fautes paramétriques.

5.5 Validation de l'auto test au niveau capteur

Dans cette section les métriques de test pour la structure complete des capteurs (pixels et amplificateurs colonne) sont présentées. La même méthodologie suivie pour le pixel (i.e. injection de fautes, calcul des métriques de test, etc) est suivie pour tester la structure de tout le capteur.

5.5.1 Effets des plots du capteur

Un des stimuli de la technique d'auto test proposée dans ces travaux est basée dans l'application d'un pulse de tension dans un terminal qui est habituellement à la masse. En effet, le pulse appliqué dans le terminal de l'anode de la photodiode est un pulse qui est appliqué à un terminal qui est connecté à la masse du circuit.

Les plots utilisés pour ce terminal sont liés a toutes les masses du circuit par le substrat. Un plot de ce type ne nous permet pas d'appliquer une pulse électrique. Afin d'appliquer les stimuli de l'auto test un plot qui ne soit pas connecté à toutes les autres masses du circuit doit être utilisée pour le terminal de l'anode de la photodiode.

Les circuits de notre étude ont été conçus avant la réalisation de ces travaux, ils ne prenaient pas en compte les contraintes d'auto test. Dans notre cas un plot qui est lié à toutes les masses du circuit a été utilisé pour l'anode de la photodiode.

Nous avons considéré dans la simulation le plots du circuit car ils peuvent influencer les résultats du test. Ainsi, les résultats de simulation présentés ensuite comprennent l'effet du

pulse du test appliqué à toutes les masses de tous les plots, et à toutes les masses des pixels et des amplificateurs colonne. Aussi, les plots sont nécessaires pour bien simuler les courants de court circuit car ils peuvent limiter le courant.

5.5.2 Auto test du capteur standard

Les métriques de test pour des fautes catastrophiques et paramétriques ont été obtenues en appliquant le pulse du test à la masse de la photodiode et des transistors de la structure du capteur standard. Les Tableaux 5.21, 5.22, 5.23 et 5.24 montrent les limites des performances et des critères de test pour le cas de déviations *process* et *mismatch*.

Performance	Valeur moyenne	Écart type	Limite inférieure	Limite supérieure
Pixel décharge	1,1	73 mV	808 mV	1,39 V
Gain	592 mV/V	7,8 mV/V	560 mV/V	623 mV/V
V_{dark}	1,9	46 mV	1,7 V	2,08 V

TAB. 5.21 – Valeurs des performances du capteur pixel standard en considérant des déviations *process*

Performance	Valeur moyenne	Écart type	Limite inférieure	Limite supérieure
PRNU	0	25 mV	-125 mV	125 mV
DSNU	0	4,1 mV	-20,5 mV	20,5 mV

TAB. 5.22 – Valeurs des performances du capteur standard en considérant des déviations *mismatch*

Critère de test	Valeur moyenne	Écart type	Limite inférieure	Limite supérieure
VA	1,2	46 mV	1,06 V	1,33 V
VB	2	67 mV	1,79 V	2,2 V

TAB. 5.23 – Valeurs des critères de test du capteur standard en considérant déviations *process*

Critère de test	Valeur moyenne	Écart type	Limite inférieure	Limite supérieure
VA	0	11 mV	-44 mV	44 mV
VB	0	9 mV	-36 mV	36 mV

TAB. 5.24 – Valeurs des critères de test du capteur standard en considérant déviations *mismatch*

5.5.2.1 Fautes catastrophiques

La couverture de fautes dans le pixel lorsque le signal est lu à la sortie des buffers (cf. Fig. 5.2) reste la même que lorsque le signal est lu à la sortie du pixel : 71,43% pour la performance appelée pixel décharge et PRNU (cas *mismatch*), 42,86% pour la performance gain et 61,9%/47,62% pour la performance DSNU/V_{dark} (cf. Fig. 5.19 a)).

Également la couverture de fautes reste la même pour les critères de test : 80,95%/76,19% pour VA et 85,71% pour VB (cf. Fig. 5.19 b)).

5.5.2.2 Fautes paramétriques

Dans la section d'évaluation du test au niveau pixel nous avons montré que la probabilité pour qu'une faute paramétrique simple affecte le pixel standard vaut 0.

De la même manière lorsque ce type de fautes est évalué en prenant le signal à la sortie du buffer de la structure du pixel standard, la probabilité pour qu'une faute paramétrique simple affecte le pixel vaut 0. Les métriques de test sont donc les mêmes que celles présentées dans la Section 5.4.1.3.

5.5.3 Auto test du capteur logarithmique

Les résultats de simulation présents dans cette partie sont obtenus lorsque le signal issu du pixel est lu à la sortie du buffer de la structure du capteur logarithmique.

La valeur moyenne des performances et des critères de test pour le pixel ainsi que l'écart type sont obtenus par simulation Monte Carlo. Le Tableau 5.25, 5.26, 5.27, 5.28 montrent ces valeurs ainsi que les limites des performances et des critères de test pour le cas des déviations *process* et *mismatch*.

Performance	Valeur moyenne	Écart type	Limite inférieure	Limite supérieure
Tension du pixel	200 mV	21 mV	116 mV	280 mV
Facteur de conversion	26.6 mV/décade	9,3 mV	0 mV/décade	63.8 mV/décade
V_{dark}	981 mV	52 mV	769 mV	1,19 V

TAB. 5.25 – Valeurs des performances du capteur logarithmique en considérant déviations *process*

Performance	Valeur moyenne	Écart type	Limite inférieure	Limite supérieure
PRNU	0 mV	7.5 mV	-37.5 mV	37.5 mV
DSNU	0 mV	10 mV	-50 mV	50 mV

TAB. 5.26 – Valeurs des performances du capteur logarithmique en considérant déviations *mismatch*

Critère de test	Valeur moyenne	Écart type	Limite inférieure	Limite supérieure
VA	760 mV	81 mV	525 mV	995 mV
VB	1,4 V	41 mV	1,25 V	1,55 V

TAB. 5.27 – Valeurs des critères de test du capteur logarithmique en considérant déviations *process*

Critère de test	Valeur moyenne	Écart type	Limite inférieure	Limite supérieure
VA	0 mV	16 mV	-64 mV	64 mV
VB	0 mV	9 mV	-36 mV	36 mV

TAB. 5.28 – Valeurs des critères de test du capteur logarithmique en considérant déviations *mismatch*

5.5.3.1 Fautes catastrophiques

La Fig. 5.23 montre la couverture des fautes catastrophiques du pixel lorsque toute la structure du capteur est prise en compte. Cependant l'injection de fautes est faite seulement à la structure du pixel.

La couverture de fautes obtenues avec les performances diminue par rapport à la couverture de fautes obtenue à la sortie du pixel. Les deux fautes non détectées à la sortie du pixel, et mentionnées dans cette partie ne sont toujours pas détectées. Deux autres fautes sont masquées par l'amplificateur colonne. Ce sont des circuits ouverts dans les deux terminaux de la photodiode. Afin de détecter ce type de faute la résistance du modèle doit être plus importante (de l'ordre de 100 M Ω).

La couverture de fautes obtenue avec les critères de test reste la même que pour le cas du test du pixel, c'est-à-dire 91,67%. Les amplificateurs colonne ne masquent pas de fautes additionnelles dans les pixels lors du test.

Également pour le cas de fautes catastrophiques du type GOS le résultat est le même, cette faute affecte seulement la performance DSNU.

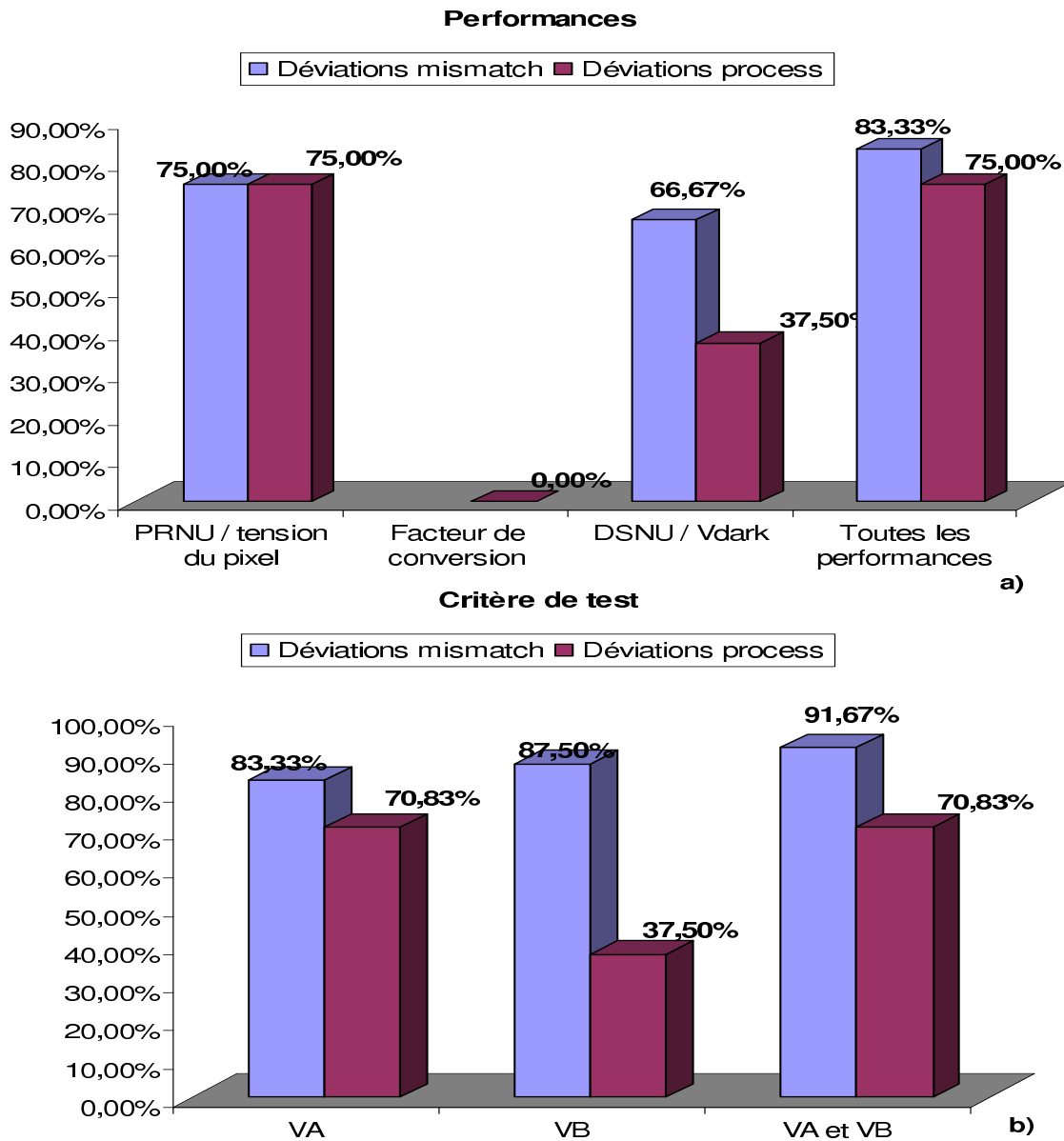


FIG. 5.23 – Couverture de fautes catastrophiques avec les performances (a) et les critères de test (b) du pixel logarithmique mesurée à la sortie du capteur

5.5.3.2 Fautes paramétriques

Le Tableau 5.29 montre la valeur de la variation minimale d'un paramètre (L_i^F) pour laquelle une ou plusieurs performances se trouvent au delà de ces limites, ainsi que la probabilité d'un pixel pour qu'il ne soit pas fonctionnel ($P_i^{\bar{F}}$) lorsque la performance est mesurée à la sortie du buffer de la structure du capteur de vision logarithmique. Le Tableau 5.30 donne les valeurs limites (L_i^B) et les probabilités de détection d'une faute dans un pixel par le BIST ($P_i^{\bar{B}}$). Le Tableau 5.31 montre les métriques obtenues. Ces résultats montrent que la technique de test peut être utilisée vis-à-vis des fautes paramétriques.

Composant	Paramètre	Limite, L_i^F	Probabilité, $P_i^{\bar{F}}$
P1	W	sans limite	0
P1	L	sans limite	0
PR	W	sans limite	0
PR	L	sans limite	0
P2	W	sans limite	0
P2	L	sans limite	0
P3	W	sans limite	0
P3	L	-/0,55 um	0
photodiode	W	sans limite	0
photodiode	L	sans limite	0
tous les transistors	épaisseur d'oxyde	-/10,9 nm	0
tous les transistors	tension de seuil	-0,63/-0,76	$6,7e^{-5}/7,14e^{-6}$
tous les transistors	k	sans limite	0

TAB. 5.29 – Valeurs limites de déviation de chaque paramètre pour la violation des spécifications et probabilité d'un pixel logarithmique pour qu'il ne soit pas fonctionnel dans le capteur

Composant	Paramètre	Limite, L_i^B	Probabilité, $P_i^{\bar{B}}$
P1	W	sans limite	0
P1	L	sans limite	0
PR	W	sans limite	0
PR	L	sans limite	0
P2	W	sans limite	0
P2	L	sans limite	0
P3	W	-/1,45 um	0
P3	L	0,33/0,51 um	0
photodiode	W	sans limite	0
photodiode	L	sans limite	0
tous les transistors	épaisseur d'oxyde	sans limite	0
tous les transistors	tension de seuil	-0,65/-0,74	0,0051/0,001
tous les transistors	k	sans limite	0

TAB. 5.30 – Valeurs limites de la déviation de chaque paramètre pour la détection et probabilité d'un pixel logarithmique de ne pas passer le BIST

5.5.4 Auto test des amplificateurs colonne

Les amplificateurs colonne doivent être également testés. Ils peuvent être testés lorsque les pixels sont lus, et donc en utilisant les performances du pixel qui sont lus à la sortie des amplificateurs colonne.

Dans cette partie l'injection de fautes est faite à la structure de l'amplificateur colonne, puis les performances utilisées pour le pixel sont utilisées pour obtenir la couverture de fautes des

Y_I	Y_B	FA	FR	F (%)
0,99	0,99	0	0,0006	100

a)

P_{FB}	$P_{F\bar{B}}$	$P_{\bar{F}B}$	$P_{\bar{F}\bar{B}}$
0,98	0,005	0	0,001

b)

TAB. 5.31 – Métriques de test pour les cas de fautes paramétriques simples pour le capteur logarithmique

amplificateurs colonne.

La Fig. 5.24 montre la couverture de fautes catastrophiques. Ces résultats ne prennent pas en compte les transistors utilisés pour réaliser la technique DDS car dans ces travaux cette technique n'a pas été prise en compte dans les performances.

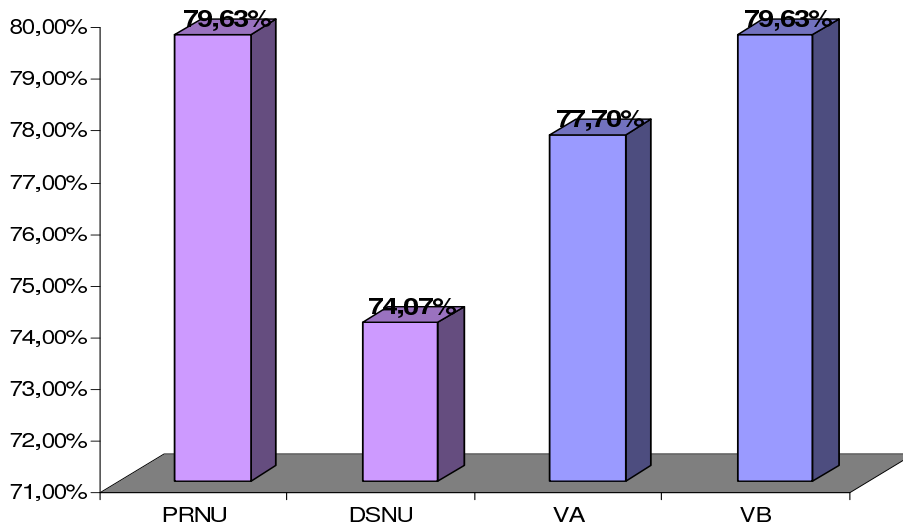


FIG. 5.24 – Couverture de fautes catastrophiques avec les performances et les critères de test pour l'amplificateur colonne

Pour l'amplificateur colonne il y a un bon nombre de fautes qui ne sont pas détectées. Cela est principalement à cause des transistors qui ont la grille appelé X_{sel} et $\overline{X_{sel}}$ et qui forment un switch juste avant la sortie de l'amplificateur (cf. Fig. 5.2). Des travaux futurs incluront des stimuli de test afin de détecter ces fautes.

Les amplificateurs colonne peuvent être testés sans avoir besoin d'activer les pixels. Si aucun pixel de la matrice est sélectionné, le transistor de sélection de l'amplificateur colonne (Sel_AC) devient passant (état ON) et soit l'entrée de l'amplificateur sera à la masse (cas de

l'amplificateur colonne du capteur standard, cf. Fig. 5.2), soit l'entrée de l'amplificateur sera à V_{dd} (cas de l'amplificateur colonne du capteur logarithmique, cf. Fig. 5.7). Ce signal peut servir comme stimulus de test.

Ce type de test peut permettre de détecter les fautes dans le transistor de sélection du pixel logarithmique et qui ne sont pas détectées dans le test du pixel (cf. Section 5.3.2.2), car si le pixel est toujours sélectionné à cause d'une faute catastrophique, le signal en sortie de l'amplificateur sera le signal du pixel et non la tension prévue du test.

5.6 Conclusions

Dans ce chapitre deux capteurs de vision sont présentés et la technique d'auto test est évaluée pour les deux structures. Des fautes catastrophiques et paramétriques simples ont été injectées aux pixels et aux amplificateurs colonne. La couverture de fautes catastrophiques obtenue avec les critères de test est égale ou meilleure que la couverture de fautes obtenue avec les performances. La couverture de fautes dans les pixels vis à vis de fautes catastrophiques peut être de 100 % si l'on complète l'auto test proposé avec un test de courant et un test de colonne. Le capteur logarithmique est affecté par les fautes paramétriques simples, l'auto test présente des bonnes métriques de test par rapport à ce types de fautes.

Un des stimuli de test affecte la masse du circuit, cependant ce pulse n'affecte pas de manière important le fonctionnement du capteur. Les résultats obtenus dans ce chapitre nous permettent de valider la technique d'auto test. Ils montrent qu'il est possible de réaliser un test structurel pour le capteur, ce qui peut permettre de diminuer les tests optiques réalisés au niveau wafer pour ces systèmes.

Chapitre 6

Résultats expérimentaux

Dans les chapitres précédents de cette thèse, le principe et l'évaluation par simulation d'une nouvelle technique d'auto test pour des capteurs de vision CMOS ont été présentés.

Dans ce chapitre, des résultats expérimentaux sont donnés. Ils sont obtenus à partir d'un capteur de vision qui a été conçu au sein du laboratoire TIMA dans le cadre de la thèse d'E. Labonne [39], et dans le cadre du projet Européen Medea + PICS.

Le capteur conçu dans le cadre de ce projet a donc été utilisé afin d'appliquer les stimuli électriques présentés pour l'auto test et d'évaluer d'une manière expérimentale la technique d'auto test pour des capteurs de vision CMOS proposée auparavant.

Les résultats de la caractérisation du capteur logarithmique (performances) sont utilisés pour déterminer si un pixel est fonctionnel ou non, c'est-à-dire s'il est dans la plage des limites des performances que nous allons établir.

Les résultats expérimentaux de la technique d'auto test sont comparés avec ceux obtenus par les performances. Cela nous permettra ensuite de comparer les résultats et d'évaluer l'auto test d'une façon expérimentale.

Dans les pages suivantes, l'architecture du circuit de test, l'environnement de test et les résultats expérimentaux du capteur de vision logarithmique sont présentés.

6.1 Architecture du circuit de test

Le capteur de vision utilisé pour évaluer la technique d'auto test a été réalisé en technologie CMOS standard $0,35\mu m$, et fabriqué par le fondeur AMS, via le CMP¹. La Fig. 6.1 montre le diagramme de blocs du circuit de test.

¹ *Circuits Multi Projets*

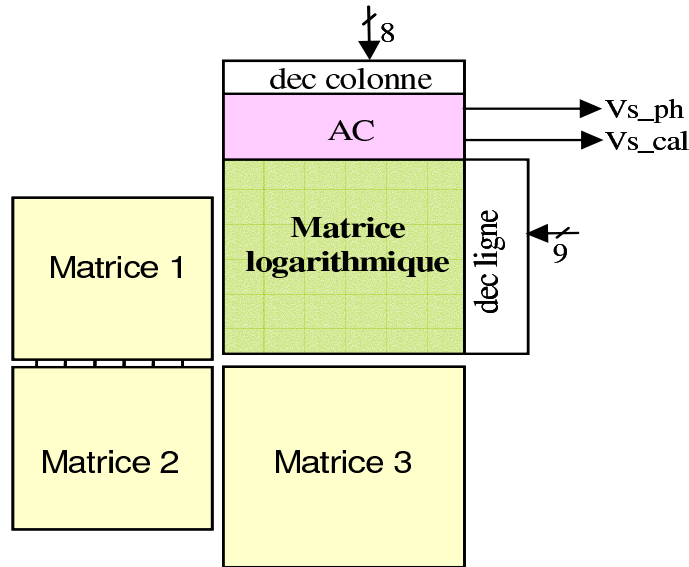


FIG. 6.1 – Diagramme de blocs du circuit de test

Ce circuit est composé par quatre matrices de pixels. La matrice de notre étude est la matrice logarithmique qui est composée par 128 x 128 pixels et par un bloc d'amplificateurs colonne, nommé AC sur la Figure, et dont son architecture a été présentée dans le chapitre précédent.

Le décodeur ligne de ce circuit génère les signaux de commande de sélection du pixel et de calibration (V_{cal} et Y_{sel} de la Fig. 5.6) pour chaque ligne du pixel. Le décodeur colonne multiplexe les sorties des amplificateurs colonne vers les bus de sortie. Il génère les signaux de commande X_{sel} de la Fig. 5.7.

Le décodeur ligne reçoit 7 bits qui servent à donner l'adresse de la ligne de la matrice de pixels, un bit de signal d'initialisation des pixels (SHR) et un autre bit qui sert à activer le décodeur (CE^2).

Le décodeur colonne reçoit 7 bits qui permettent d'adresser les 128 colonnes, et un bit de mise en service (CE).

La valeur en tension de la sortie du capteur logarithmique est donnée par les signaux V_{s_ph} et V_{s_cal} .

La Fig. 6.2 montre la répartition des signaux du circuit sur la couronne de plots. Les plots utilisés dans notre étude sont les plots qui servent à polariser et/ou à piloter le capteur logarithmique (du plot 17 au plot 21 et du plot 30 jusqu'au plot 54 dans la Fig. 6.2).

Le type de plots utilisés sont montrés dans la Fig. 6.3. Les plots sont divisés en deux catégories : plots numériques et plots analogiques.

²Chip Enable

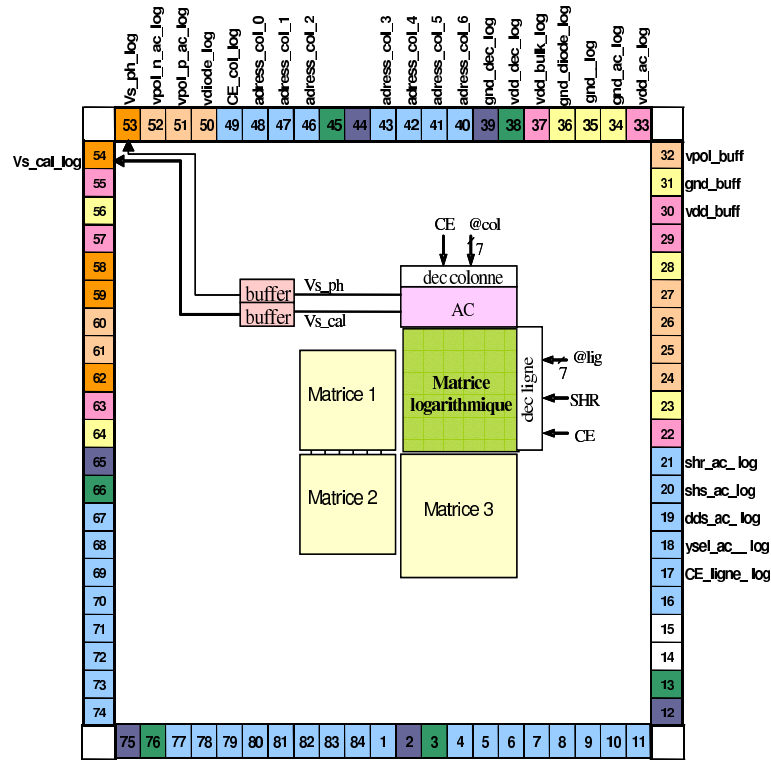


FIG. 6.2 – Répartition des signaux sur la couronne de plots

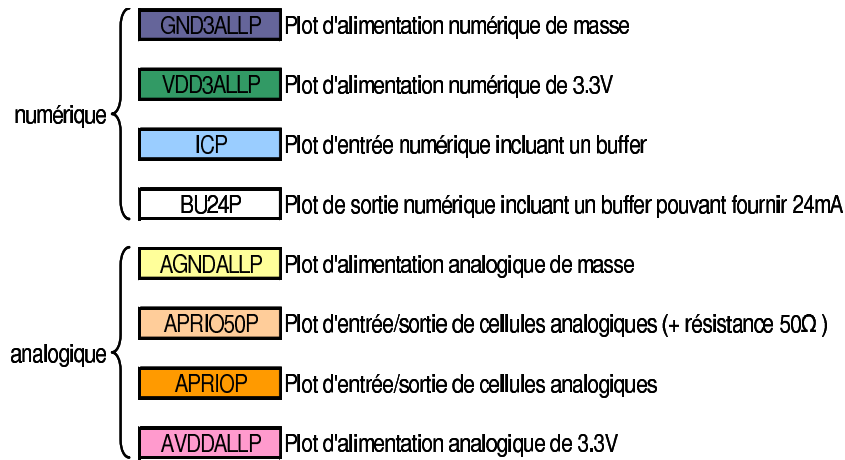


FIG. 6.3 – Types de plots du circuit du test

Les signaux numériques, tels que les adresses et les signaux de commande utilisent de plots nommés ICP pour des entrées, et des plots nommés BU24P pour des sorties numériques. Ces deux types des plots intègrent un buffer. Les alimentations numériques passent pas les plots nommés GND3ALLP et VDD3ALLP, conçus pour gérer l'alimentation en 3.3 V des circuits numériques.

Les entrées et les sorties de tension analogique passent par les plots APRIO et APRIO50P. Les alimentations des parties analogiques passent par les plots AVDD3ALLP et AGND3ALLP.

Les plots d'alimentation utilisés dans le circuit de test, fournissent soit la tension d'alimentation soit la masse, aux buffers de sortie, au coeur du circuit et à la logique de tous les autres plots (circuits de protection ESD, etc). Cela est dû aux rails d'alimentation de la couronne de plots.

Les plots de ce type, ne nous permettent pas d'injecter un pulse à la masse de la photodiode, car cette masse est aussi connectée par les rails d'alimentation de la couronne des plots à tous les autres masses du circuit. Le pulse appliqué à la photodiode sera donc envoyé via la masse.

Les masses affectées par le pulse de test sont la masse de la matrice de pixels, de l'amplificateur colonne et des buffers. Les résultats de simulations présentés dans le chapitre 5 considéraient cet enjeu.

Ce problème de plots peut être remédié en faisant une coupure des rails d'alimentation afin de séparer le plot de la masse de la diode. Cependant cela est très compliqué dans le circuit de test utilisé, car des deux cotés du plot qui nous intéresse il y a d'autres plots de masse, et ils sont donc reliés par de la diffusion.

6.2 Environnement de test

Afin de tester le capteur logarithmique, un environnement de test dédié à ce capteur a été fait.

La Fig. 6.4(a) montre le schéma de l'environnement de test du circuit qui permet d'obtenir les performances du capteur (FPN, dynamique de fonctionnement, etc). La Fig. 6.4(b) montre le schéma de l'environnement utilisé pour réaliser l'auto test.

Il est à noter la présence d'un microscope, d'un filtre IR et d'une source de lumière afin de pouvoir obtenir les performances d'un capteur (voir Fig. 6.4(a)). Contrairement à l'environnement de l'auto test (voir Fig. 6.4(b)) qui ne contient pas ces composants. Cela montre que la technique d'auto test est plus simple à réaliser par rapport au test qui est normalement effectué pour les capteurs de vision.

La carte analogique, la carte numérique, les alimentations et le PC sont les mêmes dans les deux conditions de mesure.

6.2.1 Carte analogique

La Fig. 6.5 montre le diagramme de blocs de la carte analogique. Cette carte accueille le circuit du test qui contient les capteurs, elle fournit les différentes tensions de polarisation au

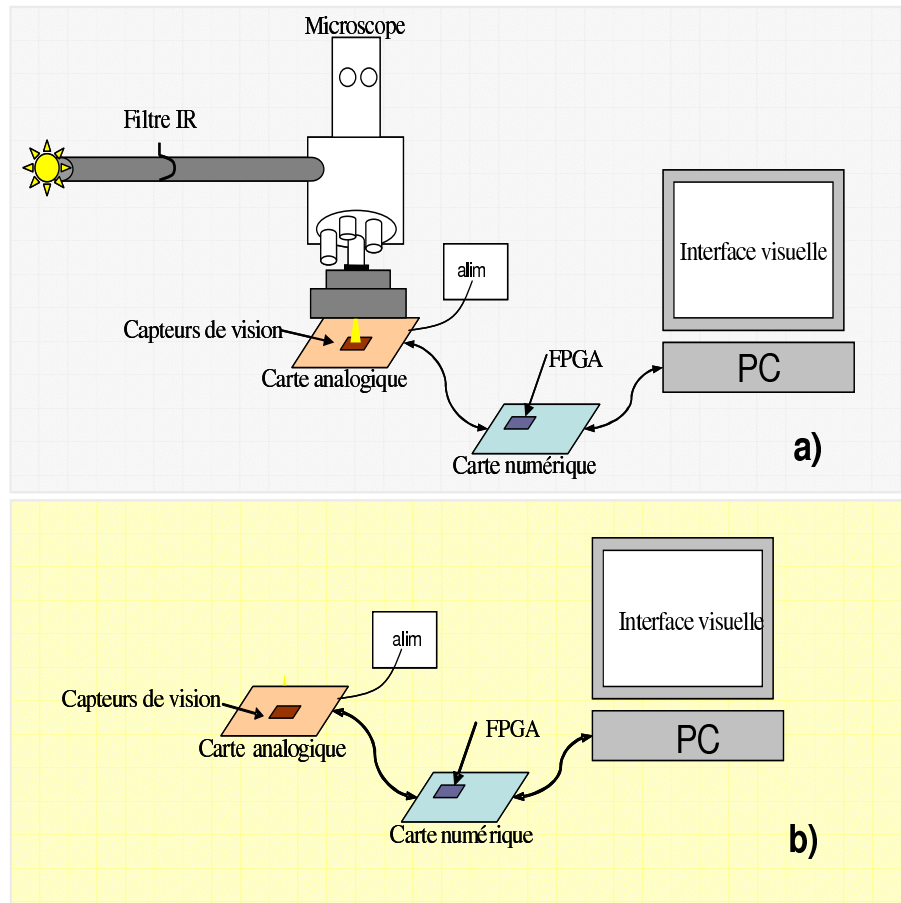


FIG. 6.4 – Environnement de test pour la mesure des performances (a) et pour l'auto test (b)

circuit, elle convertit les signaux analogiques en signaux numériques via le CAN et elle communique avec la carte numérique.

Le bloc d'alimentation reçoit la tension d'alimentation d'une source de tension externe. Elle permet d'alimenter tous les composants de la carte. Les différentes tensions de polarisation sont gérées par des potentiomètres.

Le pulse du test est commandé par des switches analogiques qui sont commandés par la carte numérique. La Fig 6.6 montre cette connexion.

Si le signal de contrôle est à 1 le switch est passant et contrairement si le signal de contrôle est à 0 le switch est ouvert.

Deux signaux complémentaires de contrôle (CA et \overline{CA}) sont commandés par la carte numérique, cela permet d'avoir soit gnd soit la tension du test (250 mV) appliqué à la masse de la photodiode. Il faut remarquer que les plots de masses qui doivent être aussi affectés à cause des rails d'alimentations de la couronne de plots sont connectés au switch également.

La sortie du capteur V_{s_ph} et V_{s_cal} sont connectés à un soustracteur, qui soustrait la sortie

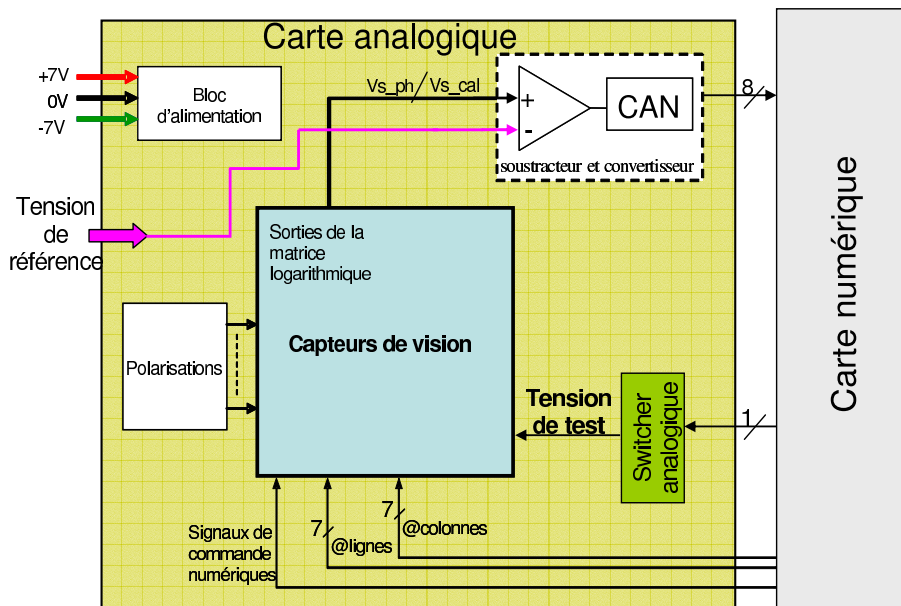


FIG. 6.5 – Diagramme de blocs des fonctions de la carte analogique

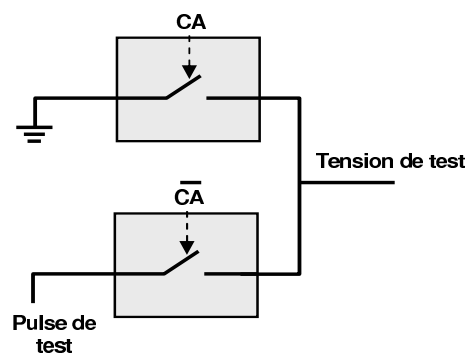


FIG. 6.6 – Switch analogique utilisé pour appliquer le pulse de test à la masse de la photodiode avec une tension de référence afin de ne pas saturer le CAN. Et finalement le CAN convertie la tension en une donnée numérique de 8 bits.

6.2.2 Carte numérique

La carte numérique est une carte Stratix fournie par Altera qui comprends un FPGA. Le FPGA fournit les adresses ligne et colonne/ et les signaux de commandes nécessaires au fonctionnement du capteur. Il fait l'interface avec le PC. Le FPGA reçoit les signaux de la carte analogique et gère leur émission vers le PC.

Pour effectuer ces fonctions, différents composants, dont une machine à état ainsi qu'un microprocesseur (miniMIPS), ont été synthétisés et implantés dans le FPGA. La Fig. 6.7 représente les différentes entités implantées sur le FPGA et qui permettent de générer les signaux de commande de la carte analogique, de recevoir les données issues des capteurs et de les envoyer

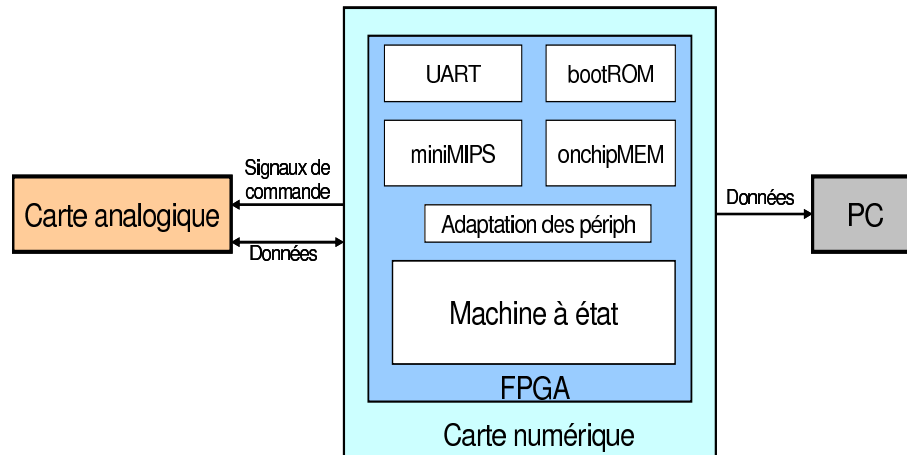


FIG. 6.7 – Diagramme de blocs des entités composant le FPGA

au PC.

Cette carte numérique communique avec le PC, via une liaison série. Les données issues du capteur de vision sont ensuite exploitées par une interface visuelle spécialement développée pour cette application.

6.2.3 L'interface visuelle

L'interface visuelle a été programmée en Java. Ces programmes remplissent plusieurs fonctionnalités : la gestion de la communication avec le port série, la mise en place d'un environnement graphique, la gestion de la succession des données reçues pour tous les types d'affichage.

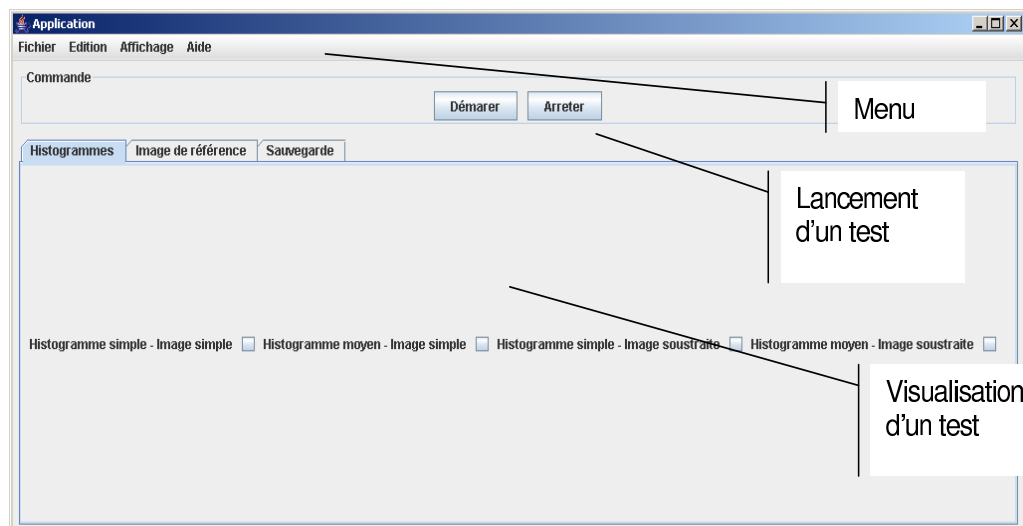


FIG. 6.8 – Interface visuelle développée pour exploiter les données du capteur

L'interface visuelle permet ainsi d'afficher plusieurs informations : les données reçues en

valeur hexadécimales (les valeurs des pixels envoyées par le capteur sont codées sur 8 bits), une image de 128x128 pixels issue de ces données (la valeur 0 correspondant au noir et 255 au blanc), le tracé d'un histogramme de l'image du capteur (avec possibilité d'arrêt sur image et sauvegarde de données sous forme de tableau Excel), la possibilité de modifier la luminosité de l'image, l'affichage d'éventuels messages d'information pour l'utilisateur.

Ces différentes fonctionnalités sont illustrées Figure 6.8.

A partir de cette interface, toutes les valeurs numériques des pixels peuvent aussi être enregistrées sous forme de tableau Excel, ce qui rend possible tout type de calcul.

La globalité de cet environnement de test est illustrée dans la Fig. 6.9.

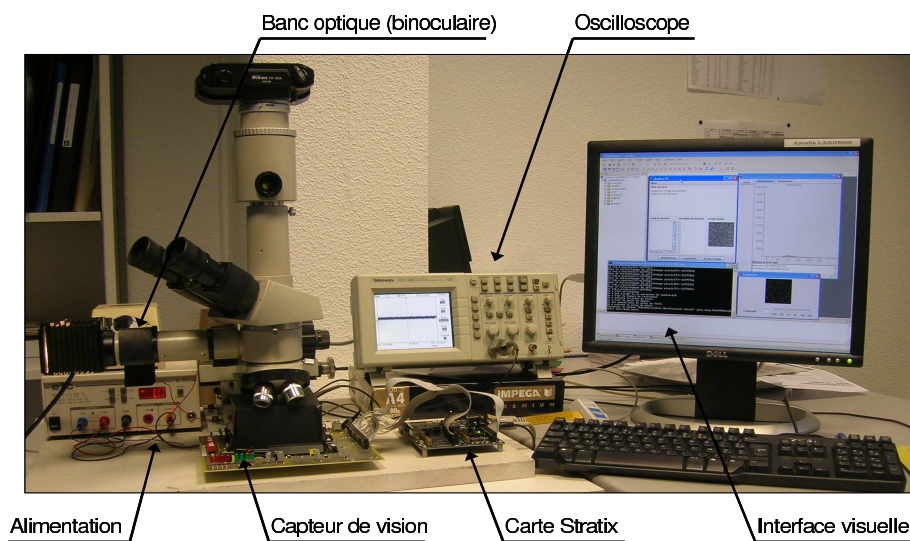


FIG. 6.9 – Photographie de l'environnement de test

6.3 Mesures expérimentales du capteur logarithmique

Le PRNU du capteur a été mesuré en utilisant la lumière du microscope de l'environnement de test afin d'illuminer le capteur. Plusieurs filtres de lumière ont été utilisés, ce qui permet d'obtenir le PRNU sous des conditions d'illumination différentes. Afin de limiter le bruit temporel, toutes les mesures correspondent à la moyenne de 4 images.

Le Tableau 6.1 montre les valeurs des performances, l'illumination à 100% représente l'illumination maximum fournie par la lampe du microscope. Ensuite elle est atténuée par les filtres 3% et 12,5% qui indiquent la valeur du pourcentage totale à la sortie de la lampe avec ces filtres.

De manière à comparer les résultats expérimentaux avec les résultats de simulation, un total de 16000 simulations Monte Carlo de type mismatch (i.e. déviations intra-die) du capteur ont

Illumination	0% (noir)	3%	12,5%	100%
PRNU (écart type)	11mV	15,3mV	12mV	10mV

TAB. 6.1 – PRNU du capteur (pixel et amplificateur colonne) pour les différents niveau d’illumination

été réalisées. Les déviations mismatch ont été considérées car nous avons des résultats que d’un seul capteur.

La Fig. 6.10 et la Fig. 6.11 montrent les distributions des performances choisies et les critères de test pour les résultats expérimentaux et pour les résultats de simulation, respectivement. Le PRNU est obtenu avec une illumination de 3%.

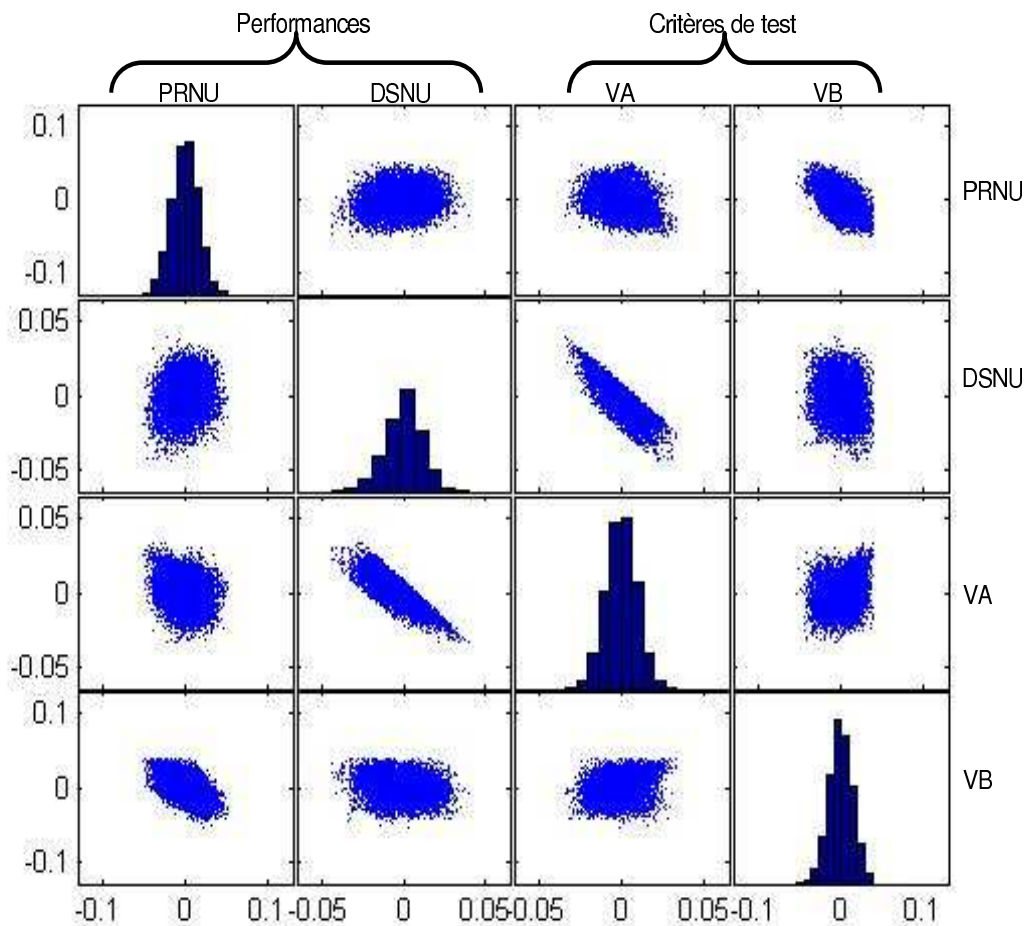


FIG. 6.10 – Distribution de chaque mesure obtenue avec les résultats expérimentaux

Les Tableaux 6.2 et 6.3 indiquent le facteur de corrélation entre les performances et les critères de test obtenus expérimentalement et par simulation, respectivement.

La principale différence entre les résultats expérimentaux et les résultats de simulation est

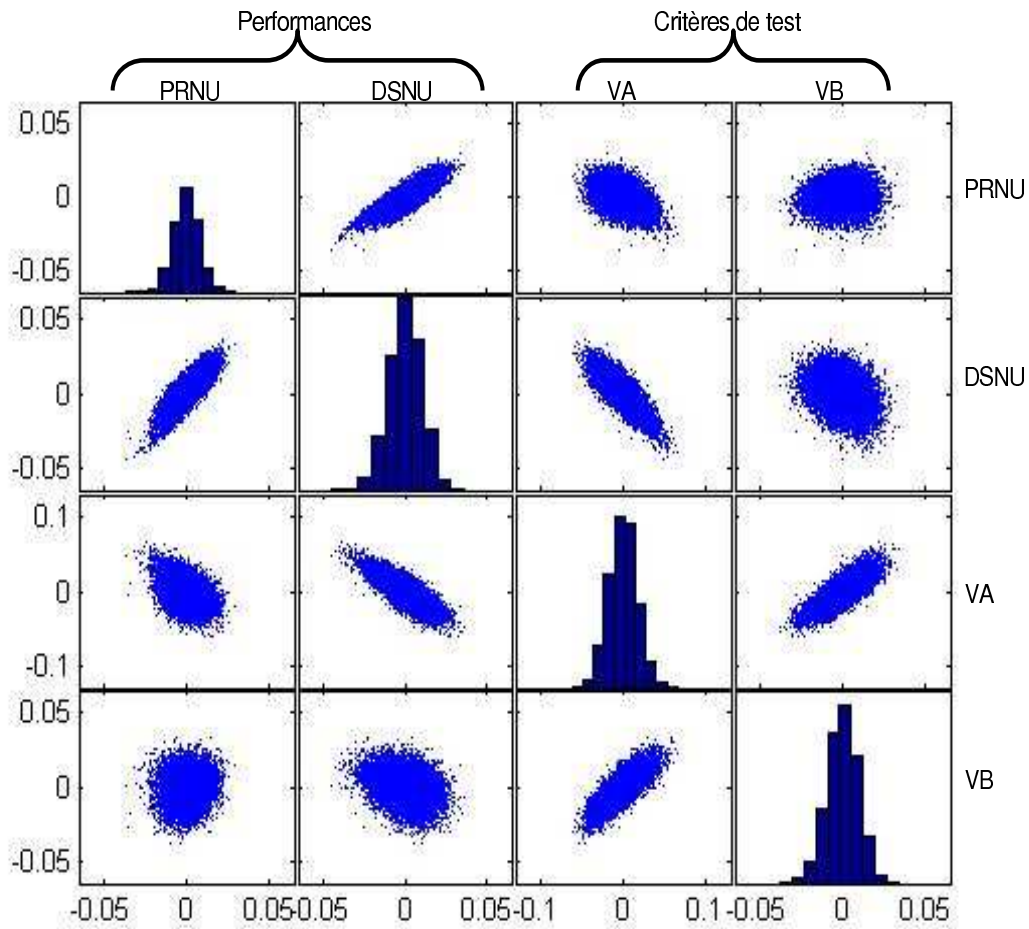


FIG. 6.11 – Distribution de chaque mesure obtenue avec les résultats de simulation

Critère de test	Performance	
	PRNU	DSNU
VA	0,3	0,82
VB	0,55	0,24

TAB. 6.2 – Coefficient de corrélation entre les performances et les critères de test obtenu avec les résultats expérimentaux

Critère de test	Performance	
	PRNU	DSNU
VA	0,44	0,82
VB	0,11	0,32

TAB. 6.3 – Coefficient de corrélation entre les performances et les critères de test obtenu avec les résultats de simulation

due au PRNU. Cela peut être expliqué par le fait que la source lumineuse n’a pas les mêmes caractéristiques en simulation par rapport aux résultats expérimentaux.

6.4 Métriques de test

Les performances que nous utilisons pour classer un pixel sont le FPN obtenu avec 3% d'illumination (PRNU) et le FPN obtenu en conditions d'obscurité (DSNU). Ces deux performances ont été choisies car elles nous permettent de faire une meilleur classification de pixels.

Les limites des performances ont été mis à 5 sigma (i.e. 5 fois la valeur du FPN du Tableau 6.1), puis les limites des critères de test ont été établis. Cela est fait en générant un échantillon d'un million de pixels qui suivent la même distribution que les données obtenues expérimentalement, car l'échantillon des valeurs mesurés (16384 pixels) n'est pas assez grande pour avoir un résultat statistique précis des métriques de test. La procédure suivie est la même que dans les chapitres 4 et 5 : génération d'un échantillon plus grand en utilisant l'estimation de densité non paramétrique, établissement des limites des critères de test en fonction de la fausse acceptation et de la fausse rejection et obtention des métriques de test (cf. Fig. 6.12).

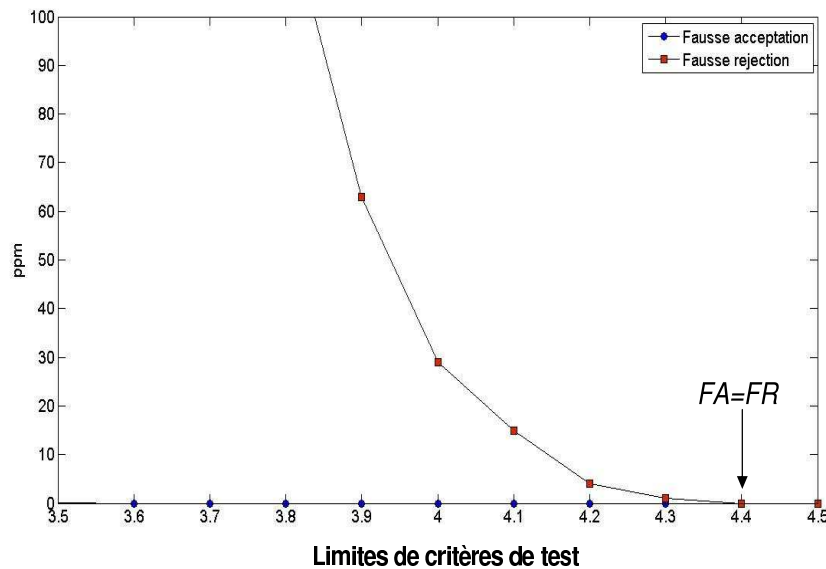


FIG. 6.12 – Limites des critères de test pour les mesures expérimentales

Lorsque les limites des performances sont mis à 5 sigma nous ne trouvons pas de pixels défectueux pour le cas des résultats expérimentaux. Le Tableau 6.4 montre les métriques de test obtenues en utilisant les données expérimentales et de simulation. Afin d'obtenir ces résultats les Équations 2.2, 2.3, 2.4 et 2.5 ont été utilisés.

Dans le Tableau 6.4 les critères de test ont été mis lorsque $FA=FR$. Vu qu'avec les résultats expérimentaux il n'y pas de pixels défaillants, donc $FA = FR = 0$. Avec les données de simulation nous trouvons des pixels défaillants (59 ppm), et vu que nous considérons $FA=FR$ pour établir

	Données expérimentales	Données de simulation
<i>Rendement (Y)</i>	1 million	999941
<i>Nombre des pixels défaillants</i>	0	59
<i>Rendement du test(YT)</i>	1 million	999945
<i>FR</i>	0	55
<i>FA</i>	0	59

TAB. 6.4 – Classification des pixels obtenu avec les limites des performances à 5σ

les limites de test, il y a donc les 59 pixels défaillants qui vont passer le test, et 55 pixels fonctionnels qui ne passeront pas le test, $FA \approx FR$. La différence des pixels entre FA et FR est à cause de la précision des limites des critères de test.

Par la suite, nous considérons les limites des performances expérimentales à $4,5 \sigma$ afin d’obtenir les métriques de test lorsqu’il y a des pixels défaillants avec ces valeurs. La Fig. 6.13 montre la localisation des pixels défaillants par rapport aux critères de test (VA et VB) obtenus expérimentalement, ainsi que les bornes de chaque mesure du test. Selon la localisation de ces bornes les métriques FA et FR sont obtenues.

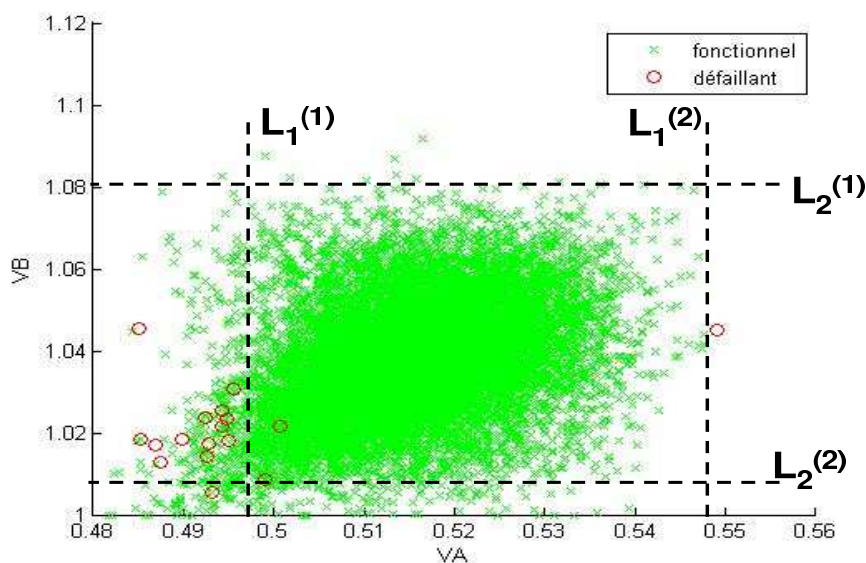


FIG. 6.13 – Localisation des pixels défectueux obtenue avec les résultats expérimentaux

Le Tableau 6.5 donne les métriques de test trouvés avec les limites des performances à $4,5 \sigma$. Comme nous pouvons observer $FA \approx FR$ dans les deux types de données. Comme dit auparavant, cette différence est à cause de la précision où les limites des critères de test ont été mis. En fonction de ces résultats les limites de test peuvent être plus serrés afin d’avoir une FA moins importante ou au contraire, les limites de test peuvent être élargies afin d’avoir

une FR moins importante. Une autre méthode qui peut être utilisée afin de faire une meilleure classification des pixels est d'utiliser un réseau de neurones qui permettra de faire une meilleur classification des pixels car les bornes des limites de test ne sont pas linéaires[55].

	Données expérimentales	Données de simulation
<i>Rendement (Y)</i>	999979	999779
<i>Nombre des pixels défailants (YT)</i>	21	221
<i>Rendement du test</i>	999985	999967
<i>FR</i>	15	226
<i>FA</i>	21	220

TAB. 6.5 – Classification des pixels obtenu avec les limites des performances à $4,5 \sigma$

La différence des valeurs de FA et FR entre les données expérimentales et les données obtenues par simulation peut être expliquée par le fait que malheureusement ces deux ensembles de données ne représentent pas la même population. La principale différence est lorsque une source de lumière est utilisée, nous ne pouvons pas comparer la source lumineuse utilisée pour la simulation, qui avait une longueur d'onde et une absorption de la lumière dans le silicium connues, par rapport à celle utilisée pour obtenir les performances expérimentales et dont ces caractéristiques ne sont pas connues.

Cependant la conception des pixels doit être robuste afin de ne pas avoir un mauvais rendement des pixels dans la matrice. Normalement il faudrait avoir le cas où les performances ont été mises à 5 sigma, et donc FA et FR sont égales à zéro.

6.5 Conclusions

Dans ce chapitre nous avons présenté l'environnement de test utilisé pour obtenir les résultats expérimentaux du capteur logarithmique. Ces résultats nous ont permis de calculer les métriques de test afin d'évaluer l'auto test proposé pour ces systèmes. Les résultats expérimentaux ont été comparés aux résultats de simulation.

Avec les résultats expérimentaux, nous avons trouvé qu'il n'y a pas de pixels défectueux liés aux fautes catastrophiques. Par rapport aux déviations paramétriques, presque aucun pixel se trouve au delà des limites des performances que nous avons établi.

Afin de calculer avec précision les métriques de test, un échantillon plus grand (e.g. 1 million de données) a été généré en utilisant un modèle statistique des résultats expérimentaux obtenus

avec la technique d'estimation non paramétrique. Cet échantillon permet la génération de pixels défectueux et ainsi le calcul des différentes métriques de test.

Les métriques utilisées pour évaluer l'auto test sont le pourcentage de pixels défectueux qui passent le test (c'est-à-dire la fausse acceptation, FA) et le pourcentage des pixels fonctionnels qui ne passent pas le test (c'est-à-dire la fausse rejection, FR).

La fausse acceptation et la fausse rejection ont été obtenues dans deux cas : les performances sont mises à 5 fois son écart type, et lorsque elles sont mises à $4,5 \sigma$. Dans le premier cas, nous avons obtenu $FA = FR = 0$ pour les résultats expérimentaux, et $FA = 55ppm$, $FR = 59ppm$, pour les résultats de simulation. Ces valeurs ont été trouvées lorsque les limites de test sont mis à $FA \approx FR$. Afin d'avoir des pixels défectueux avec les données expérimentales qui nous permettent de mieux évaluer la technique de BIST sous des déviations process, les limites des performances ont été serrées à $4,5 \sigma$. Dans ce cas $FA = 21ppm$ $FR = 15ppm$ pour les données expérimentales et $FA = 220ppm$ $FR = 226ppm$ dans les données par simulation. Les différences entre ces deux données peuvent être expliquées par le fait que les conditions de test dans les deux cas ne sont pas les mêmes lorsque une source lumineuse est utilisée.

Nous avons présenté des exemples où les performances ont été établies afin d'avoir un nombre minimal de pixels défectueux, car normalement il faut espérer avoir des pixels robustes et ainsi un rendement important. La technique de BIST peut faire une classification de ces pixels en fonction de FA et FR.

Les travaux réalisés dans ce chapitre nous permettent de montrer que la technique d'auto test proposée pour les capteurs de vision CMOS peut faire une classification des pixels défectueux et fonctionnels, et avoir des bons résultats. En particulier, elle doit permettre une couverture de fautes catastrophiques de 100%, au même temps qu'un faible taux d'erreurs paramétriques (FA et FR) est accepté.

Chapitre 7

Conclusions et travaux futurs

7.1 Conclusions

Les testeurs des capteurs de vision CMOS nécessitent des sources de lumière précises, ce qui peut rendre le test de ces systèmes compliqué. De plus les clients des entreprises de fabrication des imageurs possèdent rarement l'équipement nécessaire pour réaliser le test de ces systèmes.

Dans cette thèse, nous proposons une technique d'auto test incorporée (BIST) pour les capteurs de vision CMOS. Cette technique consiste à faire un test structurel qui est basée sur des stimuli électriques. L'étude réalisée dans ces travaux est faite avec la finalité de diminuer les tests optiques de ces systèmes. La technique d'auto test proposée peut servir à faciliter le test des imageurs lorsque l'on ne dispose pas des testeurs optiques. Également, le BIST peut servir au diagnostique de l'état de l'imageur lorsqu'il a été soumis à des sources de stress telles que la temperature, le vieillissement, etc.

Afin de valider la technique d'auto test, nous avons étudié deux types de structures des pixels, un pixel à intégration et un pixel logarithmique. La méthode suivie est la suivante :

- Un signal de référence ou de reset est obtenu grâce au transistor de reset/calibration qui fait partie de la structure du pixel, puis un pulse électrique est appliqué à l'anode de la photodiode. Les réponses à ces deux pulses électriques nous servent comme mesures de test.
- La distribution de probabilité des performances et des critères de test est obtenue par des simulation Monte Carlo. En utilisant des méthodes statistiques tels que la loi multinormale ou les techniques d'estimation non paramétrique un échantillon d'un million de pixels est généré. Cela nous permet de calculer les métriques de test sous déviations process au niveau ppm.

- Les limites des critères de test sont établies en fonction des métriques de test sous déviations process. Un compromis entre la Fausse acceptation (FA) et la Fausse rejection (FR) est fait.
- Des fautes catastrophiques (circuits ouverts, court circuit, ..) et paramétriques simples (déviations d'un seul paramètre technologique) sont injectées à la structure du pixel. La qualité du BIST est évaluée vis à vis de la détection de ces fautes.

Une détection de fautes catastrophiques de 100 % dans le pixel est possible grâce aux mesures de l'auto test au niveau pixel, au test des amplificateurs colonne et au test du courant. Pour le cas de fautes paramétriques simples, le pixel standard n'est pas sensible à ce type de fautes. Pour le cas du pixel logarithmique le BIST obtient 100% de couverture de fautes paramétriques.

La corrélation entre les performances et les critères de test de deux structures du pixel (standard et logarithmique) a été établie. Les résultats, lorsque on utilise des performances en obscurité, ont souvent un facteur de corrélation supérieur à 0.5. Le facteur de corrélation entre les performances qui sont obtenues en utilisant une source de lumière avec les critères de test, dépend de la source lumineuse utilisée.

La technique d'auto test a été évaluée dans un prototype de capteur logarithmique fabriqué en technologie AMS 0.35 μ m. Cependant, ce capteur étant fabriqué auparavant il ne prend pas en compte les contraintes d'auto test. Un des stimuli du test qui est appliqué à la masse de la photodiode a dû être appliqué à toutes les masses du circuit. Vu que le pulse de test est inférieure à 300 mV, aucun problème avec les protections électrostatiques du système n'a été trouvé.

L'échantillon obtenu expérimentalement n'avait pas de pixels défectueux. La structure des pixels doit être robuste afin d'avoir un bon rendement dans l'imageur. Nous avons obtenu des bons résultats avec la technique de BIST, car lorsque l'imageur n'a aucun pixel défectueux la FA et la FR calculée est de quelques dizaines de ppm.

L'auto test pour l'imageur CMOS proposé dans ces travaux ne remplace pas tous les tests optiques. Il peut être utilisé afin d'avoir un meilleur diagnostic du système. En effet, des particules de poussières sur le silicium qui obstruent le faisceau lumineux peuvent occasionner des pixels défaillants lors du test. Le BIST n'est pas sensible à ce type de défaut. De plus, lorsque l'on ne connaît pas si l'origine d'une faute dans un pixel est optique ou électrique, le BIST étant purement un test électrique peut aider à détecter l'origine de la faute.

Les résultats obtenus nous encouragent à réaliser dans le futur un capteur de vision avec un BIST embarqué.

7.2 Perspectives

Les travaux futurs qui restent à accomplir pour cette technique d'auto test pour les capteurs de vision incluent :

- Trouver de solutions afin de pouvoir appliquer le pulse dans la masse de la photodiode au niveau plaquette, car la capacité qui doit être pulsée à ce niveau là est très élevée.
- Évaluer d'autres stimuli de test électriques qui puissent être réalisés plus facilement dans l'imageur, comme par exemple des pulses électriques dans le nœud Vdd.
- La modélisation d'autres types de fautes qui affectent les pixels, comme un courant d'obscurité très élevé, SEU, etc. Et en même temps l'évaluation du BIST vis-à-vis de ces fautes.
- Améliorer la détection de fautes dans l'amplificateur colonne par moyenne d'autres stimuli de test.
- L'intégration de l'architecture du BIST dans un capteur de vision CMOS.

Annexe A

Modèle de la photodiode en Verilog AMS

A.1 Module de source du courant

```
// Verilog AMS for the electrical source AMS 0.35um

`include "constants.vams"
`include "disciplines.vams"
module source(pos, neg, td, li);
inout pos, neg;
input td, li;
electrical pos, neg; // anode, cathode
electrical td; //diode's temperature
electrical li; // light intensity
// Photodiodes parameters
parameter real width =6; //um
parameter real length = 6; //um

parameter real JSN = 0.06e-15; //Area leakage current in um2
parameter real JSSWN = 0.27e-15; //Sidewall leakage current in um

parameter real r = 0.2; // Surface reflectivity coefficient
parameter real BetaNcr =0.2;

parameter real LAMBDA = 565e-9; //Wavelength of the incident light
parameter real ALPHA = 7000; // Absorbtion coefficient of intrinsic Si for lambda 565nm

parameter real q = 1.6e-19; // Electron charge
parameter real h = 6.62e-34; // Planck's constant in m2Kg/s
parameter real c = 299792458; // Light speed m/s
parameter real k = 1.38e-23; // Boltzman's constant in JK-1

parameter real nd = 115e23; // Donor doping in m-3
parameter real na = 212e21; // Acceptor doping in m-3

parameter real Xjn = 0.2e-6; // N+ junction depth

parameter real Esi = 11.8; //Electrical permittivity of silicon
parameter real E0 = 8.854e-12; // Vacuum permittivity F/m

parameter real Vj = 0.13; // Junction potential

parameter real T0 = 300;

parameter real Te = 5e-6; // Life time electrons in s
parameter real Th = 1e-6; // Life time holes in s
```

```
parameter real BetaN = -1.8 ;
parameter real GamaN = -3.8 ;
parameter real DeltaN = 0.73 ;
parameter real MminN = 55.24e4 ; // m2/Vs
parameter real NsubN = 212e21 ; // in m-3
parameter real M0N = 370e4 ; // m2/Vs

parameter real BetaP = -1.3 ;
parameter real GamaP = -3.7 ;
parameter real DeltaP = 0.7 ;
parameter real MminP = 49.7e4 ; //m2/Vs
parameter real NsubP = 101e21 ; // m-3
parameter real M0P = 126e21 ; // m2/Vs

parameter real S1 = 0 ; // Hole recombination speed at the surface in m/s
parameter real S0 = 0 ; // Electron recombination speed at the rear m/s
// Variables
real AREA ; // Diode's area
real T ; //Diode's temperature
real IS ; // Leakage current
real AlphaN ; // Absorbtion coefficient N side
real ABSN0 ; // Absorbtion coefficient N0
real ABSP0 ; // Absorbtion coefficient P0
real AlphaP ; //Absorptin coefficient P side
real Xn ; //Depletion layer depth N side
real Xp ; //Depletion layer depth P side
real Me ; //Electron's mobility
real Mh ; //Hole's mobility
real Dh ;
real De ;
real Lh ;
real Le ;
real GamaSN ;
real GamaSP ;
real AlphaW ;
real QEZCE ; //Quantum efficiency ZCE
real QEZN ; // Quantum efficiency N Zone
real QEZP ; // Quantum efficiency P zone
real QECrN ; // Efficiency e/h creation in N by a photon
real QECrP ; // Efficiency e/h creation in P by a photon
real QET ; // Total Quantum efficiency
real Iph3 ; // Photonic current
real Phi1 ; // Light flux in s-1*m-2
real Idark ; // Dark current
real Me1 ;
real Me2 ;
real Me3 ;
real Mh1 ;
real Mh2 ;
real Mh3 ;
real Iph2 ;
real IS2 ;
//temporary variables for QE
real A ;
real B ;
real C ;
real D ;
real E ;
real H ;

real QEN1 ;
real QEN2 ;
```

```

real QEN3 ;
real QEN4 ;

real QEP1 ;
real QEP2 ;
real QEP3 ;
real QEP4 ;

real QE ;

real A1 ;
real A2 ;
real A3 ;
real A4 ;
// Behavior
analog begin
T = V(td) ;
if (V(td) <= 0)
T = 300 ;
AREA = (width) * (length) ; //um2
IS = (JSN*AREA)+(JSSWN*(2*(width)+2*(length))) ; // Total leakage current
// parmeters for QE
ABSN0 = (7.4e-22)* pow(((q*LAMBDA)/(h*c)),2)*nd ;
AlphaN = ALPHA+ABSN0 ;
ABSP0 = (7.4e-22)* pow(((q*LAMBDA)/(h*c)),2)*na ;
AlphaP = ALPHA+ABSP0 ;
Xn = sqrt((2*Esi*E0*(abs(V(pos,neg))+Vj))/(q*nd)) ;
Xp = sqrt((2*Esi*E0*(abs(V(pos,neg))+Vj)*nd)/(q*na*(na+nd))) ;
// temporaires variables for mobility
Me1 = M0N*pow((T/T0),BetaN) ;
Me2 = 1+(pow((T/T0),GamaN)) ;
Me3 = pow((na/NsubN),DeltaN) ;
Me = MminN+(Me1/(Me2*Me3)) ; //electrons mobility as a minority charge
Mh1 = M0P*pow((T/T0),BetaP) ;
Mh2 = 1+(pow((T/T0),GamaP)) ;
Mh3 = pow((nd/NsubP),DeltaP) ;
Mh = MminP+(Mh1/(Mh2*Mh3)) ; //holes mobility as a minority charge
Dh = ((k*T)/q)*(Mh) ; //coefficient diffusion minority carriers in m2/s
De = ((k*T)/q)*(Me) ; //coefficient diffusion minority carriers in m2/s
Lh = sqrt(Dh*Th) ; //Minority carriers L
Le = sqrt(De*Te) ; //Minority carriers L
GamaSP = S1 * (Le/De) ;
GamaSN = S0 * (Lh/Dh) ;
AlphaW = ALPHA*(Xn+Xp) ;
// QE calcul
// Temporary variables
A = 1-r ;
B = exp(-AlphaN*Xn) ;
C = Xn/Lh ;
D = Xp/Le ;
E = AlphaN*Lh ;
H = AlphaP*Le ;
QEZCE = A*B*(1-exp(-AlphaW)) ; // QE depletion region
// temporary variables for QE N region
QEN1 = E/(pow(E,2)-1) ;
QEN2 = (GamaSN+E) ;

```

```

QEN3 = B*(sinh(C))+(GamaSN*cosh(C));
QEN4 = cosh(C)+(GamaSN*sinh(C));
QEZN = A*QEN1*(((QEN2-QEN3)/QEN4)-(E*B)); // QE N region
QEcrN =(1+BetaNcr)*(AlphaN/(AlphaN+ABSNO));
// temporary variables for QE P region
QEP1 = H/(pow(H,2)-1);
QEP2 = (GamaSP-H)*exp(-AlphaP*Xp);
QEP3 = sinh(D)+(GamaSP*cosh(D));
QEP4 = cosh(D)+(GamaSP*sinh(D));
QEZP =(A*exp((-AlphaN*Xn)+AlphaW))*QEP1*(((QEP2-QEP3)/QEP4)+H); // QE P Re-
gion
QEcrP = (1+BetaNcr)*(AlphaP/(AlphaP+ABSP0)); //
QET = (QEZCE + (QEZN*QEcrN) + (QEZP*QEcrP)); //total QE
// Photonic current
Phi1 = V(li)* ((LAMBDA)/(h*c));
Iph3 = q * (QET)* (AREA) *Phi1;
// dark current
Idark = IS*(exp((q*V(pos,neg))/(2*k*T))-1);
// total photodiode current
I(neg,pos)<+ Idark +Iph3;
end
endmodule

```

A.2 Module de la capacité

```

// Verilog AMS for Capacitor
//AMS 0.15um
#include "constants.vams"
#include "disciplines.vams"
module Capacitor(neg,pos,td);
inout pos, neg;
electrical pos, neg;
electrical td;
//Capacitor parameters
parameter real width = 6; //um
parameter real length = 6;
parameter real MJ = 0.19; // Area Grading coefficient
parameter real CJSW = 0.11; //fF/um Sidewall junction capacitance
parameter real MJSW = 0.27; //Sidewall Grading coefficient
parameter real Esi = 11.8;
parameter real E0 = 8.85e-12;
parameter real q = 1.6e-19;
parameter real k = 1.38e-23;
parameter real T0 = 300;
parameter real Nd = 115e23;
parameter real Vj0 = 0.13;
// Capacitor variables
real Ad; // Diode area
real Pd; // Diode perimeter
real T; // Temperature
real Cj0;
real Cj;
real Ct;

```

```
real Idark ;
real IS ;
// Temp Variables
real Ci ;
real Cj1 ;
real Cj2 ;
real CjA ;
analog begin
T = V(td) ;
if (V(td) <= 0)
T = 300 ;
Ad = width*length ;
Pd = 2*(width+length) ;
Ci = (q*Esi*E0*Nd)/(2*Vj0) ;
Cj0 = sqrt(Ci) ;
CjA = 1+(abs(V(pos,neg)/Vj0)) ;
Cj1 = Ad*Cj0/pow(CjA,(-MJ)) ;
Cj2 = Pd*CJSW/pow(CjA,(-MJSW)) ;
Cj = Cj1+Cj2 ;
Ct = Cj ;
I(neg,pos)<+ ddt(Ct*V(neg,pos)) ;
end
endmodule
```


Annexe B

Modèle ATLAS de la photodiode

B.1 Photocourant

```
go atlas
# Title n-diffusion photodiode simulation for low light level
# # SECTION 1 : Mesh Specification
mesh space.mult=1
x.mesh loc=0.0 spacing=0.05
x.mesh loc=0.75 spacing=0.01
x.mesh loc=1.25 spacing=0.02
x.mesh loc=2 spacing=0.05
x.mesh loc=3 spacing=0.1
x.mesh loc=6.25 spacing=0.02
x.mesh loc=6.5 spacing=0.1
x.mesh loc=8 spacing=0.05
x.mesh loc=8.75 spacing=0.01
x.mesh loc=9.25 spacing=0.05
x.mesh loc=10.0 spacing=0.1
y.mesh loc=-3 spacing=0.6
y.mesh loc=-1 spacing=0.1
y.mesh loc=0.0 spacing=0.2
y.mesh loc=1.5 spacing=0.4
y.mesh loc=2 spacing=0.05
y.mesh loc=2.5 spacing=0.1
y.mesh loc=9 spacing=0.4
y.mesh loc=14 spacing=0.2
# # SECTION 2 : Structure Specification
#bulk
region num=1 material=Silicon y.min=0 y.max=14
#p-epi
region num=2 material=Silicon y.min=0 y.max=9
#oxyde
region num=3 material=SiO2 y.min=-3 y.max=0
#n-diffusion
region num=4 material=Silicon x.min=2 x.max=8 y.min=0 y.max=9
#p+ contacts
region num=5 material=Silicon x.min=0.75 x.max=1.25 y.min=0 y.max=2
region num=6 material=Silicon x.min=8.75 x.max=9.25 y.min=0 y.max=2
#n+ contact
region num=7 material=Silicon x.min=3 x.max=7.1 y.min=0 y.max=2
#right metal contacts
```

```

region num=8 material=Alu x.min=6.25 x.max=6.5 y.min=-3 y.max=0
region num=9 material=Alu x.min=8.875 x.max=9.125 y.min=-3 y.max=0
#left metal contacts
region num=10 material=Alu x.min=0.875 x.max=1.125 y.min=-3 y.max=0
region num=11 material=Alu x.min=3.5 x.max=3.75 y.min=-3 y.max=0
#####
#cathode declaration
elec num=1 name=cathode x.min=0.875 x.max=1.125 y.min=-3 y.max=0
elec num=2 name=cathode x.min=8.875 x.max=9.125 y.min=-3 y.max=0
#anode declaration
elec num=3 name=anode x.min=3.5 x.max=3.75 y.min=-3 y.max=0
elec num=4 name=anode x.min=6.25 x.max=6.5 y.min=-3 y.max=0
#####
#substrate doping
doping uniform conc=212e15 p.type region=1 outfile=dopage.dop
#p-epi doping
doping uniform conc=145e15 p.type region=2
#n-diffusion doping
doping uniform conc=115e17 n.type region=4
#p+ contacts doping
doping uniform conc=1e20 p.type region=5
doping uniform conc=1e20 p.type region=6
#n+ contact doping
doping uniform conc=1e20 n.type region=7
#####
# LUMINOUS PART
beam num=1 x.origin=3.0 y.origin=-4.0 angle=90.0 wavelength=0.165 min.window=-3.0
max.window=3.0 rays=100
raytrace=/tima/dragulin/projetsilvaco/photodioderays1.str
## SECTION 3 : Material Model Specification
interface s.n=1e4 x.min=0 x.max=6 y.min=-0.2 y.max=0.2
material taup0=2.e-6 taun0=2.e-6
models srh auger conmob fldmob
## SECTION 4 : Initial Solution
# method newton trap
solve init master
measure u.total
tonyplot
## constant potential solution
log outfile=/tima/dragulin/projetsilvaco/constanode1.log
solve vanode=2.2 vcathode=0
outfile=/tima/dragulin/projetsilvaco/constanode1.sta
measure u.total
log outfile=/tima/dragulin/projetsilvaco/anodecurrent.log
solve B1=3e-9 lit.step=2e-9 nstep=51
outfile=/tima/dragulin/projetsilvaco/anodecurrent.sta
measure u.total
tonyplot /tima/dragulin/projetsilvaco/anodecurrent.log
quit

```

¹Indique le niveau d'illumination à simuler

B.2 Courant d'obscurité

B.2.1 Courant d'obscurité dû à la diffusion des porteurs

```

go atlas
# Title n-diffusion photodiode simulation for diffusion dark current
# # SECTION 1 : Mesh Specification
mesh space.mult=1
x.mesh loc=0.0 spacing=0.05
x.mesh loc=0.75 spacing=0.01
x.mesh loc=1.25 spacing=0.02
x.mesh loc=2 spacing=0.05
x.mesh loc=3 spacing=0.1
x.mesh loc=6.25 spacing=0.02
x.mesh loc=6.5 spacing=0.1
x.mesh loc=8 spacing=0.05
x.mesh loc=8.75 spacing=0.01
x.mesh loc=9.25 spacing=0.05
x.mesh loc=10.0 spacing=0.1
y.mesh loc=-3 spacing=0.6
y.mesh loc=-1 spacing=0.1
y.mesh loc=0.0 spacing=0.2
y.mesh loc=1.5 spacing=0.4
y.mesh loc=2 spacing=0.05
y.mesh loc=2.5 spacing=0.1
y.mesh loc=9 spacing=0.4
y.mesh loc=14 spacing=0.2
# # SECTION 2 : Structure Specification
#bulk
region num=1 material=Silicon y.min=0 y.max=14
#p-epi
region num=2 material=Silicon y.min=0 y.max=9
#oxyde
region num=3 material=SiO2 y.min=-3 y.max=0
#n-diffusion
region num=4 material=Silicon x.min=2 x.max=8 y.min=0 y.max=9
#p+ contacts
region num=5 material=Silicon x.min=0.75 x.max=1.25 y.min=0 y.max=2
region num=6 material=Silicon x.min=8.75 x.max=9.25 y.min=0 y.max=2
#n+ contact
region num=7 material=Silicon x.min=3 x.max=7.1 y.min=0 y.max=2
#right metal contacts
region num=8 material=Alu x.min=6.25 x.max=6.5 y.min=-3 y.max=0
region num=9 material=Alu x.min=8.875 x.max=9.125 y.min=-3 y.max=0
#left metal contacts
region num=10 material=Alu x.min=0.875 x.max=1.125 y.min=-3 y.max=0
region num=11 material=Alu x.min=3.5 x.max=3.75 y.min=-3 y.max=0
#####
#cathode declaration
elec num=1 name=cathode x.min=0.875 x.max=1.125 y.min=-3 y.max=0
elec num=2 name=cathode x.min=8.875 x.max=9.125 y.min=-3 y.max=0
#anode declaration
elec num=3 name=anode x.min=3.5 x.max=3.75 y.min=-3 y.max=0
elec num=4 name=anode x.min=6.25 x.max=6.5 y.min=-3 y.max=0
#####

```

```

#substrate doping
doping uniform conc=212e15 p.type region=1 outfile=dopage.dop
#p-epi doping
doping uniform conc=145e15 p.type region=2
#n-diffusion doping
doping uniform conc=115e17 n.type region=4
#p+ contacts doping
doping uniform conc=1e20 p.type region=5
doping uniform conc=1e20 p.type region=6
#n+ contact doping
doping uniform conc=1e20 n.type region=7
#####
# # SECTION 3 : Material Model Specification
model temperature=4502.
material eg300=1.12 egalp=0 egbeta=0
interface s.n=1e4 x.min=0 x.max=6 y.min=-0.2 y.max=0.2
material taup0=2.e-6 taun0=2.e-6
models srh auger conmob fldmob
# # SECTION 4 : Initial Solution
# method newton trap
solve init master
measure u.total
tonyplot
# #constant potential solution
log outfile=/tima/dragulin/projetsilvaco/darkresp3.log
solve vanode=2.2 vcathode=0
quit

```

B.2.2 Courant d'obscurité dû à la recombinaison

```

go atlas
# Title n-diffusion photodiode simulation for low light level
# # SECTION 1 : Mesh Specification
mesh space.mult=1
x.mesh loc=0.0 spacing=0.05
x.mesh loc=0.75 spacing=0.01
x.mesh loc=1.25 spacing=0.02
x.mesh loc=2 spacing=0.05
x.mesh loc=3 spacing=0.1
x.mesh loc=6.25 spacing=0.02
x.mesh loc=6.5 spacing=0.1
x.mesh loc=8 spacing=0.05
x.mesh loc=8.75 spacing=0.01
x.mesh loc=9.25 spacing=0.05
x.mesh loc=10.0 spacing=0.1
y.mesh loc=-3 spacing=0.6
y.mesh loc=-1 spacing=0.1
y.mesh loc=0.0 spacing=0.2
y.mesh loc=1.5 spacing=0.4
y.mesh loc=2 spacing=0.05
y.mesh loc=2.5 spacing=0.1

```

²Le courant de diffusion est calculé à 450K pour une meilleure précision de résultats, avec les valeurs de ces simulations le courant est trouvé pour la température de fonctionnement de notre photodiode (300K) avec l'Équation : $J \cong C \cdot \exp\left(-\frac{E_g}{k \cdot T}\right) \cdot \left[\exp\left(\frac{q \cdot V}{k \cdot T}\right) - 1\right]$

```

y.mesh loc=9 spacing=0.4
y.mesh loc=14 spacing=0.2
# # SECTION 2 : Structure Specification
#bulk
region num=1 material=Silicon y.min=0 y.max=14
#p-epi
region num=2 material=Silicon y.min=0 y.max=9
#oxyde
region num=3 material=SiO2 y.min=-3 y.max=0
#n-diffusion
region num=4 material=Silicon x.min=2 x.max=8 y.min=0 y.max=9
#p+ contacts
region num=5 material=Silicon x.min=0.75 x.max=1.25 y.min=0 y.max=2
region num=6 material=Silicon x.min=8.75 x.max=9.25 y.min=0 y.max=2
#n+ contact
region num=7 material=Silicon x.min=3 x.max=7.1 y.min=0 y.max=2
#right metal contacts
region num=8 material=Alu x.min=6.25 x.max=6.5 y.min=-3 y.max=0
region num=9 material=Alu x.min=8.875 x.max=9.125 y.min=-3 y.max=0
#left metal contacts
region num=10 material=Alu x.min=0.875 x.max=1.125 y.min=-3 y.max=0
region num=11 material=Alu x.min=3.5 x.max=3.75 y.min=-3 y.max=0
#####
#cathode declaration
elec num=1 name=cathode x.min=0.875 x.max=1.125 y.min=-3 y.max=0
elec num=2 name=cathode x.min=8.875 x.max=9.125 y.min=-3 y.max=0
#anode declaration
elec num=3 name=anode x.min=3.5 x.max=3.75 y.min=-3 y.max=0
elec num=4 name=anode x.min=6.25 x.max=6.5 y.min=-3 y.max=0
#####
#substrate doping
doping uniform conc=212e15 p.type region=1 outfile=dopage.dop
#p-epi doping
doping uniform conc=145e15 p.type region=2
#n-diffusion doping
doping uniform conc=115e17 n.type region=4
#p+ contacts doping
doping uniform conc=1e20 p.type region=5
doping uniform conc=1e20 p.type region=6
#n+ contact doping
doping uniform conc=1e20 n.type region=7
#####
# # SECTION 3 : Material Model Specification
interface s.n=1e4 x.min=0 x.max=6 y.min=-0.2 y.max=0.2
material taup0=2.e-6 taun0=2.e-6
models srh auger conmob fldmob
# # SECTION 4 : Initial Solution
method newton trap
solve init master
measure u.total3
tonyplot

```

³Le courant d'obscurité total est l'addition du courant d'obscurité dû à la diffusion + le courant d'obscurité dû à la recombinaison

Annexe C

Fichier de la plateforme CAT

Pour l'injection automatique de fautes avec la plateforme CAT un fichier .mcf est utilisée. Ce fichier contient le nom de la librairie où se trouve le test bench, le test bench, le type de simulation à réaliser (transitoire, DC, etc.), les fautes à injecter, et il appelle un autre fichier qui contienne les limites des performances et des critères de test (fichier .pcf).

C.1 Fichier .mcf

```
( "test_bench_NMOS"
"test_bench_FPN"
"schematic"
" /RMS_WORK/pcf/livtest1newbis.pcf"
( "01_short_GD_MN1" "02_short_GD_MN2" "03_short_GD_MN3" "04_short_GD_MN4"
"05_short_GD_MN5" "06_short_GS_MN1" "07_short_GS_MN2" "08_short_GS_MN3"
"09_short_GS_MN4" "10_short_GS_MN5" "11_short_DS_MN1" "12_short_DS_MN2"
"13_short_DS_MN3" "14_short_DS_MN4" "15_short_DS_MN5" "16_open_G_MN1"
"17_open_D_MN1" "18_open_S_MN1" "19_open_G_MN2" "20_open_D_MN2"
"21_open_S_MN2" "22_open_G_MN3" "23_open_S_MN3" "24_open_G_MN4"
"25_open_S_MN4" "26_open_G_MN5" "27_open_S_MN5" "28_open_neg_diode"
"29_short_diode" "30_open_pos_diode"
)
)
"analysis('tran ?stop " 2m " ) temp(27) run()"
"/local/lizarral/"
"/tima2/lizarral/RMS_Corners/ams/models"
cata
""
t
nil )
```

C.1.1 Fichier .pcf

```
livtest1newbis.pcf
("tm1" )
("tc1" )
("to1")
(" value(to1 1.14m)-value(to1 1.35m)")
(" value(to1 1.14m)-value(to1 1.35m)")
(" VT(" Out_nmos ")")
("(1.06 1.68)")
("(1.06 1.68)")
```


Bibliographie

- [1] E.R. Fossum. CMOS image sensors : electronic camera-on-a-chip. *IEEE Transactions on Electron Devices*, 44(10) :1689–1698, 1997.
- [2] W.S. Boyle and G.E. Smith. Charge coupled semiconductor devices. *Bell Syst. Tech. J.*, 49(4) :587–593, 1970.
- [3] A.J.P Theuwissen. *Solid-state imaging with charge coupled devices*. 1995.
- [4] E.R. Fossum. Active pixel sensors : are CCD's Dinosaurs ? *Proc. SPIE, Charge-Coupled Devices and Solid State Optical Sensors III*, 1900 :2–14, 1993.
- [5] A. El Gammal, D. Yang, and B. Fowler. Pixel level processing - Why, what and how ? *Proc. SPIE Sensors, Cameras, and Applications for Digital Photography*, 3650 :2–13, 1999.
- [6] M.J. Loinaz, K.J. Singh, A.J. Blanksby, D.A. Inglis, K. Azadet, and B.D. Ackland. A 200-mW, 3.3-V, CMOS color camera IC producing 352× 288 24-bvideo at 30 frames/s. *IEEE Journal of Solid-State Circuits*, 33(12) :2092–2103, 1998.
- [7] S. Smith, J. Hurwitz, M. Torrie, D. Baxter, A. Holmes, M. Panaghiston, R. Henderson, A. Murray, S. Anderson, and P. Denyer. A single-chip 306× 244-pixel CMOS NTSC video camera. *IEEE Int Solid-State Circuits Conference, Digest of Technical Papers, 45th ISSCC*, pages 170–171, 1998.
- [8] J. Goy. Etude, conception, et réalisation d'un capteur d'image APS en technologie standard CMOS pour des applications faible flux de type viseur d'étoiles. *Thèse INPG, Grenoble, France*, 2002.
- [9] Y. Degerly. Etude, modélisation des bruits et conception des circuits dans les capteurs d'images à pixels actifs CMOS. *Thèse SUPAERO Toulouse, France*, 2000.
- [10] B. Tian, H. Fowler and A. El Gamal. Analysis of temporal noise in CMOS photodiode active pixel sensor. *IEEE Journal of Solid-State Circuits*,, 36(1) :92–101, 2001.
- [11] B.W. Johnson. *Design & analysis of fault tolerant digital systems*. Addison-Wesley Longman Publishing Co., Inc. Boston, MA, USA, 1988.
- [12] P. Maxwell. Image sensors and optical testing. *IEEE European Test Symposium, tutorial notes, Ajaccio, Corsica, France*, 2004.
- [13] G. Chapman and Y. Audet. Creating 35 mm camera active pixel sensors. *Proc. Int. Symp. on Defect and Fault Tolerance in VLSI Systems, Albuquerque, NM, USA*, pages 22–30, Novembre 1999.
- [14] S. Djaja, G.H. Chapman, D.Y.H. Cheung, and Y. Audet. Implementation and testing of fault-tolerant photodiode-based active pixel sensor (APS). *Proc. Int Symp on Defect and Fault Tolerance in VLSI Systems*, pages 53–60, 2003.
- [15] M. Sachdev and J.P. de Gyvez. *Defect-oriented testing for nano-metric CMOS VLSI circuits (frontiers in electronic testing)*. Springer, 2007.
- [16] S. Mir. Integrated circuit testing : from microelectronics to microsystems. *5th IFAC symp of fault detection, supervision and safety of technical processes, invited talk*, pages 13–24, 2003.
- [17] A. Bounceur. Plateforme CAO pour le test des circuits mixtes. *These INPG, Grenoble, France*, 2007.

- [18] L.S. Milor. Fault-driven analog testing. *Phd dissertation, University of California, Berkeley*, 1992.
- [19] M. Ismail and T. Fiez. *Analog VLSI : signal and information processing*. McGraw-Hill, 1994.
- [20] L.S. Milor. A tutorial introduction to research on analog and mixed-signal circuit testing . *IEEE transaction on circuits and systems II*, 45(10), 1998.
- [21] S. Sunter and N. Nagi. Test metrics for analog parametric faults. *Proc. VLSI Test Symposium*, pages 226–234, 1999.
- [22] R. Rodriguez-Montanes, D. Arumi, J. Figueras, S. Einchenberger, C. Hora, B. Kruseman, M. Lousberg, and A.K. Majhi. Diagnosis of full open defects in interconnecting lines. *Proc. of the 25th IEEE VLSI Test Symposium*, pages 158–166, 2007.
- [23] D. Arumí, R. Rodríguez-Montañés, and J. Figueras. Experimental characterization of CMOS interconnect open defects. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 27 :123–136, 2008.
- [24] E.A. Amerasekera and D.S. Campbell. *Failure mechanisms in semiconductor devices*. Wiley New York, 1987.
- [25] J. Segura, C. De Benito, A. Rubio, and CF Hawkins. A detailed analysis of GOS defects in MOS transistors : testing implications at circuit level. *Proc. Int Test Conference, Washington, DC, USA*, pages 544–551, 1995.
- [26] M. Sytrzycki. Modeling of gate oxide shorts in MOS transistors. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 8(3) :193–202, 1989.
- [27] S.M. Sze. *Physics of semiconductor devices*. Wiley-Interscience New York, 2007.
- [28] K. Krishna and S.W. Director. The linearized performance penalty (LPP) method for optimization of parametric yield and its reliability. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 14(12) :1557–1568, 1995.
- [29] Z. Wang and S.W. Director. An efficient yield optimization method using a two step linear approximation of circuit performance. *European Design and Test Conference, EDAC, Paris, France*, pages 567–571, 2004.
- [30] T.K. Yu, S.M. Kang, I.N. Haji, and T.N. Trick. Statistical performance modeling and parametric yield estimation of MOS VLSI. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 6(6) :1013–1022, 1987.
- [31] A. Bounceur, S. Mir, E. Simeu, and L. Rolindez. Estimation of test metrics for the optimisation of analogue circuit testing. *Journal of Electronic Testing : Theory and Applications, JETTA*, pages 471–484, 2007.
- [32] H. G. Stratigopoulos, J. Tongbong, and S. Mir. A general method to evaluate RF BIST techniques based on Non-parametric density estimation. *Design Automation and Test in Europe, DATE, Munich, Germany*, pages 68–73, 2008.
- [33] C. Wegener and M.P. Kennedy. Test development through defect and test escape level estimation for data converters. *Journal of Electronic Testing*, 22(4) :313–324, 2006.
- [34] Y. Eben Aimine, A. Richardson, C. Desclèves, and K. Sommacal. GDS FaultSim, a Mixed-Signal IC Computer-Aided-Test (CAT) Tool. *IEEE Design and Test Conference in Europe, Munich, Germany*, pages 232–238, March 1999.
- [35] C. Roman, S. Mir, and B. Charlot. Building an analogue fault simulation tool and its application to MEMS. *Microelectronics Journal*, 34(10) :897–906, 2003.
- [36] A.J.P Theuwissen. Design for manufacturability of CMOS image sensors. *IEEE Int Solid State Circuit Conference (ISSCC), tutorial notes, San Francisco, USA*, 2000.
- [37] H. Melchior. Demodulation and photodetection techniques. *Laser Handbook*, 1 :703–835.
- [38] D. Johns and K.W. Martin. *Analog integrated circuit design*. John Wiley & Sons New York, 1997.
- [39] E. Labonne. Contributions a la conception de capteurs de vision CMOS à grande dynamique. *Thèse INPG, Grenoble, France*, 2007.

-
- [40] S.K. Mendis, S.E. Kemeny, R.C. Gee, B. Pain, C.O. Staller, Q. Kim, and E.R. Fossum. CMOS active pixel image sensors for highly integrated imaging systems. *IEEE Journal of Solid-State Circuits*, 32(2) :187, 1997.
- [41] L.J. Kozlowski, G. Rossi, L. Blanquart, R. Marchesini, Y. Huang, G. Chow, J. Richardson, and D. Standley. Pixel noise suppression via SoC management of tapered reset in 1920/spl times/1080 CMOS Image Sensor. *IEEE Journal of Solid-State Circuits*, 40(12), 2005.
- [42] S.H. Lim and A. El Gamal. Gain fixed pattern noise correction via optical flow. *Circuits and Systems I : Regular Papers, IEEE Transactions on Circuits and Systems I : Fundamental Theory and Applications*, 51(4) :779–786, 2004.
- [43] J. Dudas, C. Jung, M.L. La Haye, and G.H. Chapman. A Fault-tolerant active pixel sensor for mitigating hot pixel defects. *Canadian Conference on Electrical and Computer Engineering, CCECE*, pages 1445–1448, 2007.
- [44] J. Leung, J. Dudas, G.H. Chapman, I. Koren, and Z. Koren. Quantitative analysis of in-field defects in image sensor arrays. *22nd IEEE Int Symp on Defect and Fault-Tolerance in VLSI Systems, DFT'07, Rome, Italy*, pages 526–534, 2007.
- [45] P.V. Mena, J.J. Morikuni, A.V. Harton, and K.W. Wyatt. Circuit-level model of semiconductor photodetectors. *Proc. of SPIE, Physics and Simulation of Optoelectronic Devices VII*, 3625 :560, 2003.
- [46] A. Xiang, W. Wohlmuth, P. Fay, S.M. Kang, and I. Adesida. Modeling of InGaAs MSM photodetector for circuit-level simulation. *IEEE Journal of Lightwave Technology*, 14(5) :716–723, 1996.
- [47] F. Mieyeville. Modélisation de liaisons optiques inter et intra puces à haut débit. *Thèse école central Lyon, France*, 2001.
- [48] ATLAS. *User's guide, SILVACO International*.
- [49] J.J. Morikuni and S.M. Kang. *Computer-aided design of optoelectronic integrated circuits and systems*. Prentice Hall PTR, 1997.
- [50] T.A. Fjeldly, M. Shur, and T. Ytterdal. *Introduction to device modeling and circuit simulation*. John Wiley & Sons, Inc. New York, NY, USA, 1997.
- [51] H. Yilmaz. Optimization and surface charge sensitivity of high-voltage blocking structures with shallow junctions. *IEEE Transactions on Electron Devices*, 38(7) :1666–1675, 1991.
- [52] JW Slotboom. The pn-product in silicon. *Solid-State Electron*, 20 :279–283, 1977.
- [53] C.C. Wang and CG Sodini. The effect of hot carriers on the operation of CMOS active pixelsensors. *Int Electron Devices Meeting, IEDM Technical Digest*, pages 24–5, 2001.
- [54] N. Maheshwari and S.S. Sapatnekar. *Timing Analysis and Optimization of Sequential Circuits*. Kluwer Academic Publishers, 1999.
- [55] H. G. Stratigopoulos and M. Yiorgos. Error moderation in low-cost machine-learning-based analog/RF testing. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, pages 339–351, 2008.

Publications

L. Lizarraga, S. Mir and G. Sicard. Experimental validation of a BIST technique for CMOS active pixel sensors. To appear at *IEEE VLSI Test symposium*, Santa Cruz, California, USA. May 2009.

L. Lizarraga, S. Mir and G. Sicard. Evaluation of a BIST technique for CMOS imagers. *IEEE Asian test symposium*, Beijing, China. October 2007, pp. 378-383, ISBN : 0-7695-2890-2.

L. Lizarraga, S. Mir, G. Sicard and A. Dragulinescu. Defect and fault modelling of CMOS active pixel sensors. *IEEE Latin american test workshop*, Cuzco, Peru, March 2007.

A. Dragulinescu, L. Lizarraga, S. Mir and G. Sicard. Defect and fault modelling of a CMOS n-diffusion photodiode. 3rd International conference on advanced topics in optoelectronics, microelectronics and nanoelectronics (ATOM-N), Bucharest, Romania, pp. 43-44, November 2006. ISBN : 973-7622-0, 978-973-7622-34-1.

L. Lizarraga, S. Mir, G. Sicard and A. Bounceur. Study of a BIST technique for CMOS active pixel sensors. In 14th IFIP International conference on very large scale integration (VLSI-Soc), Nice, France, October 2006, pp. 326-331.

L. Lizarraga, S. Mir and G. Sicard. Vers une technique d'auto test incorporé (BIST) pour des capteurs de vision CMOS. 9th Journées nationales du réseau doctoral en microélectronique, Rennes, France, 10-12 may, 2006.

TECHNIQUE D'AUTO TEST POUR LES IMAGEURS CMOS

Résumé :

Le test en production des imageurs CMOS est réalisé avec des testeurs qui utilisent des sources de lumière précises, aussi bien au niveau du test de plaquettes qu'au niveau du test de boîtiers. Ce besoin rend le test de ces produits plus compliqué et coûteux que pour les circuits purement numériques. En outre, ces types de tests ne peuvent pas être réalisés directement sur l'imageur afin d'incorporer des fonctions d'auto test. Celles-ci sont intéressantes pour la réduction des coûts du test de production et pour le diagnostic de l'imageur. Le diagnostic est très important lors de la production des imageurs et aussi lors de leur utilisation dans certaines applications, en particulier quand ils sont soumis à des sources de stress importantes. En général, les utilisateurs des imageurs possèdent rarement l'équipement nécessaire pour vérifier leur fonctionnalité. Dans cette thèse, nous étudions et évaluons une technique d'auto test (BIST) pour les capteurs de vision CMOS. Cette technique réalise un test structural de l'imageur. Le test structural est basé sur des stimuli électriques appliqués dans l'anode de la photodiode et dans les transistors du pixel. La qualité de l'auto test est évaluée en fonction de métriques de test qui tiennent en compte des déviations du process et la présence de fautes catastrophiques et paramétriques. La technique d'auto test est validée pour deux imageurs, l'un utilisant des pixels à intégration et l'autre des pixels logarithmiques. Une validation expérimentale est réalisée pour le cas de l'imageur logarithmique.

Mots clés : Auto test intégré, capteurs de vision, pixel, photodiodes, estimation de la densité de probabilité.

BIST TECHNIQUE FOR CMOS IMAGERS

Abstract :

The test of CMOS imagers is realized with testers that use precise light sources. These kind of testers are used at wafer level and at package level. The use of testers with light sources make the test of CMOS imagers more complicated and expensive than the test of purely digital circuits. Moreover, optical test can not be realized directly to the imager in order to incorporate Built-In-Self-Test (BIST) techniques. The BIST techniques are interesting because they can reduce the production test costs and they can realize a diagnosis of the imager. The diagnosis is important in the imagers production and in the utilisation under certain applications, particularly when they are submitted to important stress sources. Generally, the users of the imagers rarely own the equipment necessary to verify the functionality of these devices. In this thesis, we study and evaluate a BIST technique for the CMOS imagers. This technique realizes a structural test of the imager that is based on electrical stimuli that are applied to the photodiode anode and to the pixel transistors. The BIST quality is evaluated by test metrics that take into account process deviations and the presence of catastrophic and single parametric faults. The BIST technique is evaluated for two kinds of imagers : standard and logarithmic imager. An experimental validation is done for the logarithmic imager.

Key words : BIST, CMOS imager, APS, photodiode, density function.

Thèse préparée au laboratoire TIMA (Techniques de l'Informatique et de la Microélectronique pour l'Architecture des systèmes intégrés), INPG, 46 avenue Félix Viallet, 38031, Grenoble Cedex 1, France.

ISBN 978-2-84813-127-6