



**HAL**  
open science

# Conception de systèmes intégrés concurrents : Des capteurs de vision CMOS aux circuits intégrés sans horloge

G. Sicard

► **To cite this version:**

G. Sicard. Conception de systèmes intégrés concurrents : Des capteurs de vision CMOS aux circuits intégrés sans horloge. Micro et nanotechnologies/Microélectronique. Université Joseph-Fourier - Grenoble I, 2008. tel-00364419

**HAL Id: tel-00364419**

**<https://theses.hal.science/tel-00364419>**

Submitted on 26 Feb 2009

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# Thèse d'Habilitation à Diriger des Recherches

Université Joseph Fourier. GRENOBLE I

Spécialité : Physique

**Préparée au Laboratoire TIMA**

Techniques de l'Informatique et de la Microélectronique pour l'Architecture des ordinateurs

Présentée par :

**Gilles SICARD**

pour l'obtention du diplôme  
d'habilitation à diriger les recherches

Sur le thème :

**Conception de systèmes intégrés concurrents:**

**Des capteurs de vision CMOS**

**aux**

**circuits intégrés sans horloge**

Soutenue le 20 juin 2008 devant le jury composé des :

Pr. Skandar Basrour, examinateur,  
Pr. Jean-Michel Fournier, rapporteur,  
Pr. Patrick Garda, rapporteur,  
Pr. Michel Paindavoine, rapporteur,  
Pr. Marc Renaudin, examinateur  
Pr. Etienne Sicard, examinateur

ISBN : 978-2-84813-120-7



## Remerciements

Je tiens tout d'abord à exprimer ma plus profonde gratitude à Mr. Marc Renaudin, ex-responsable et à l'origine du groupe CIS du laboratoire TIMA, qui a décidé de tenter l'aventure du privé. J'espère être digne de la confiance qu'il m'a témoignée ces 9 dernières années. Ses encouragements, ses conseils, son dynamisme, sa rigueur scientifique et son amitié ont été très importants. Marc, longue vie à Tiempo ! J'espère que nous pourrons travailler ensemble encore longtemps et que j'arriverai à t'emmener encore au moins une fois par an "à la pente" ou "au terrain".

Un grand merci à Mr. Patrick Garda et Mr. Michel Paindavoine (une nouvelle fois et presque dix ans après) d'avoir accepté de rapporter ce manuscrit. Merci de toutes les discussions que nous avons à chacune de nos rencontres, de vos qualités scientifiques, de vos conseils et pardon d'être aussi peu impliqué actuellement dans les actions du GDR ISIS, mon tour viendra.

Un grand merci également à Mr. Jean-Michel Fournier d'avoir accepté de rapporter ce manuscrit. Jean-Michel, je te dois beaucoup, de mon stage de DEA au temps du CNET, jusqu'à la mise en place du cours de Radiofréquence du master pro. CSINA, les formations continues de l'INPG, etc. Dès que tu as besoin de moi ...

Tous mes remerciements vont à Mr. Skandar Basrou pour avoir accepté de participer à ce jury. J'apprécie particulièrement son regard sur notre travail, sur le reste, sa bonne humeur et son humour.

Je remercie enfin Mr Etienne Sicard d'avoir accepté de participer à ce jury. La CEM est un domaine passionnant et, malgré la place que prennent les capteurs de vision CMOS dans mon travail de recherche, j'espère que je pourrais continuer à faire partie, des "Sicard's" (comme dirait Sonia), de la CEM. Je ne sais pas si Etienne Sicard est le Marc Renaudin de la CEM ou si Marc Renaudin est l'Etienne Sicard de l'asynchrone, mais je vous apprécie pour les mêmes raisons.

Je tiens à remercier Mr. Pierre-Damien Berger, alors gestionnaire de projets chez ATMEL Grenoble en 2002. Faire de la recherche dans les capteurs de vision implique d'avoir accès à des filières siliciums pour valider de nouvelles approches. Cela n'aurait pu se faire sans la confiance qu'il m'a accordée et qui a entraînée l'intégration du laboratoire TIMA dans le consortium du projet Medea + PICS.

Je n'oublie pas Laurent Fesquet, mon collègue de bureau depuis 9 ans et mon complément dans le groupe CIS ainsi qu'Olivier Rossetto avec qui je partage ma vie d'enseignant à l'UFR de Physique.

Le travail présenté ici est un travail collectif et je voudrais remercier ceux sans qui ce manuscrit n'existerait pas : Jean-Baptiste Rigaud, Emmanuel Allier, Dhanistha Panyasak, Kamel Slimani, Joao Leonardo Fragoso, Fraidy Bouesse, Estelle Labonne, Bertrand Folco, David Rios et Livier Lizarraga. J'espère leur avoir apporté durant leur thèse au moins autant qu'ils m'ont apporté.

Je remercie également tous mes collègues de TIMA, de CMP et du CIME, administratifs et chercheurs, qui font que j'arrive toujours au laboratoire ou au CIME avec le sourire.

Enfin comment ne pas remercier Aurélia qui supporte les débords de ce travail très prenant à la maison et à ma famille toujours présente.



# Introduction

A mon arrivée au laboratoire TIMA en septembre 1999, j'ai intégré le groupe de recherche CIS ("Concurrent Integrated Systems") du Pr. Marc Renaudin. Les travaux de recherche de ce groupe étaient, et sont toujours, principalement axés sur la conception de circuits intégrés numériques asynchrones (sans horloge). Cependant, une des volontés de Marc Renaudin était de diversifier les activités de recherche du groupe. L'idée était de développer au sein du groupe des compétences rendant possibles la conception d'un système sur puce hétérogène (mélangeant numérique, analogique et capteur). J'ai donc démarré dès que possible une activité de recherche sur les capteurs de vision CMOS (dans la continuité de ma thèse). De part ma formation plutôt analogique et au vu de l'évolution des technologies microélectroniques, je me suis intéressé à des phénomènes nouveaux dans les circuits numériques, critiques dans le cadre de la conception de systèmes sur puce : les problèmes de consommation liés aux courants de fuite dans les transistors MOS des technologies fortement submicroniques ( $< 180\text{nm}$ ) et les problèmes de compatibilité électromagnétique dans les circuits intégrés.

Globalement, on tend ces dernières années à concevoir des circuits toujours moins consommant. C'est effectivement le cas lorsqu'on regarde la consommation dynamique (c.a.d en fonctionnement) de ces circuits. Pour concevoir ceux-ci, on essaie de minimiser le nombre de portes logiques qui commutent à un instant donné. De ce fait, une majorité des portes logiques composant le circuit sont dans un état stable. Or ces portes sont sujettes à une consommation statique : les courants dits « de fuite » (faible inversion, courant de grille, ...). Il s'avère que dans les technologies inférieures à 180nm, ces phénomènes deviennent non négligeables, à tel point que l'on prévoit pour des circuits en 65nm et au-delà (45, 32, ...) une puissance statique au moins égale à la puissance dynamique. Les fondeurs ont rapidement réagi en fournissant des bibliothèques de portes logiques « faibles fuites » (Low Leakage), mais cela n'est pas suffisant. Il est possible de réduire encore ces fuites par des astuces de design ou d'architecture. De plus, les circuits asynchrones, de part leur mode de fonctionnement sans horloge, sont encore plus sensibles à ces problèmes de fuite car ils sont par définition faiblement actifs...

Au sein du groupe CIS, l'objectif général est de concevoir des circuits numériques asynchrones proposant une basse consommation dynamique, mais aussi statique (et pas seulement en mode veille comme on le voit en général) ainsi que bas bruit. En ce qui me concerne, je me suis impliqué dans les parties « back-end » (niveau porte logique) de la conception et particulièrement sur la compréhension des courants de fuite. Cela a d'abord représenté un important travail de fond afin de bien comprendre les phénomènes physiques en jeu et ainsi travailler sur des parades, l'idée n'étant pas de supprimer ces fuites (travail plutôt technologique), mais de « jouer » avec. Cela se traduit par la conception de portes logiques spécifiques à l'asynchrone proposant des caractéristiques de faible consommation statique en technologie CMOS 65nm.

Dans le but d'être capable de concevoir un système sur puce asynchrone, nous avons également travaillé sur l'acquisition de données. Cela a abouti à une nouvelle classe de convertisseur analogique numérique. Ces convertisseurs asynchrones (CAN-A) utilisent simultanément un échantillonnage par « traversée de niveaux » et une implémentation asynchrone. Ils permettent de limiter au maximum la prise d'échantillons inutiles (redundants)

et permettent d'obtenir des facteurs de mérites d'un ordre de grandeur supérieur au classique convertisseur de Nyquist. Deux circuits ont été fabriqués.

Les problèmes de compatibilité électromagnétique (CEM) dans les circuits intégrés sont apparus dans les années 1990 quand les fréquences d'horloge ont approché le Giga Hertz. Les concepteurs de circuits se sont rendus compte que ces circuits produisaient des perturbations pour leur environnement, mais aussi pour eux-mêmes. Cela est dû au fonctionnement même d'un circuit à horloge : les portes logiques qui, dans un état du système donné, doivent commutées, le font en même temps, au front d'horloge. Cela entraîne un très fort et très bref appel de courant sur l'alimentation. Le bruit d'alimentation qui en découle, est très important, le spectre du courant d'alimentation correspondant est marqué par des amplitudes très hautes des raies principales. Evidemment, ce spectre fréquentiel sera d'autant plus gênant que la fréquence d'horloge sera grande.

Les circuits asynchrones sont intrinsèquement très intéressants pour palier à ce genre de phénomène car ils n'ont pas de signal d'horloge. L'activité dans le circuit est donc beaucoup mieux répartie dans le temps. Les résultats de mesure que nous avons effectués tant en émission qu'en immunité, ont permis de démontrer cela. Par ailleurs, les résultats que nous avons obtenus permettront de concevoir des circuits asynchrones faiblement émissifs en utilisant des méthodes de conception efficaces et automatisables dans un outil de synthèse : la méthode de répartition du courant et une gestion spécifique de la communication entre deux blocs numériques.

Dans les suites de ma thèse, j'ai eu l'opportunité de commencer en 2002 une collaboration avec la société ATMEL (devenue e2v Semiconductors) sur les capteurs de vision CMOS. Les imageurs CMOS à grande dynamique (>100dB, soit 5 ordres de grandeur de luminance) sont actuellement très recherchés pour des applications de type automobile ou surveillance. Ils offrent, en effet, la capacité de fonctionner correctement avec de très bas niveau de luminance comme de très haut (filament de lampe par exemple) et ceci sur la même image. Cela simplifie la caméra qui utilise ce genre de capteur car il n'y a pas besoin, par exemple, de système mécanique de limitation de luminosité (obturateur mécanique)... Par contre, ces pixels proposent une sensibilité aux variations des procédés de fabrication très importante. Une grande partie du travail a donc porté sur la recherche de solutions pour réduire à des seuils acceptables le bruit spatial fixe (FPN). Une autre contrainte importante est que nous voulions, contrairement à l'état de l'art, impérativement obtenir de bons résultats avec des tailles de pixel comparable aux tailles des pixels produits actuellement dans l'industrie (qui proposent une dynamique d'environ 60-70dB). Deux circuits ont été fabriqués et testés (dont un avec une technologie Atmel). Ces deux circuits sont fonctionnels et montrent l'intérêt de ces structures. Ces travaux ont été effectués dans le cadre du projet européen Medea + " PICS " ("Programmable Imaging with Cmos Sensors"). Ce projet de trois ans (2003-2006) se proposait d'étudier de nouvelles architectures de systèmes d'imagerie adaptées à des applications de type automobile, sécurité et "Broadcast". Le consortium, franco-néerlandais, réunissait trois fondeurs (ATMEL, Phillips et Dalsa), deux laboratoires (TIMA et le Centre de Morphologie Mathématique), une équipe du CEA-LIST, un équipementier automobile (Faurecia) ainsi que plusieurs entités de Thalès pour les aspects applicatifs.

Parallèlement à ces travaux, j'ai rapidement conclu que la structure actuelle utilisée dans les capteurs de vision CMOS est certes, efficace mais pas forcément bien adaptée, notamment en terme de consommation dans un système sur puce et en terme de modularité. Nous avons donc cherché à concevoir de manière différente nos capteurs de vision. Nous ne considérons pas un capteur de vision comme trois entités distinctes (que sont classiquement la matrice

photosensible, les amplificateurs colonnes et le convertisseur analogique numérique) mais comme une seule fonctionnalité (qui est de détecter une image et de la fournir sous un format numérique). Ensuite, nous réfléchissons à la meilleure manière de répartir cette fonctionnalité entre les trois parties physiques déjà énumérées. Ainsi, dans notre circuit Imagyne 3, la partie analogique du convertisseur est répartie entre le pixel et les « amplificateurs colonnes ». Cela a pour avantages théoriques de limiter la consommation et de limiter le bruit spatial fixe. L'autre avantage est de type architectural : nous obtenons une structure qui est « ouverte ». Différents types de convertisseur (suiveur, à approximation successive ou même asynchrone) peuvent être utilisés ; du traitement d'images peut être effectué en même temps que la conversion. Dans notre premier circuit, un système d'adaptation aux conditions lumineuses a été intégré. Ainsi, l'image d'une même scène est perçue de la même manière quelle que soit la luminosité moyenne de la scène. Cela est un avantage certain lorsque l'on cherche à extraire des informations dans une image (traitement d'images pour des applications industrielles, automobiles, ...).

Ce manuscrit est découpé en trois parties distinctes. Le chapitre 1 présente les travaux effectués sur les capteurs de vision CMOS. Mon implication dans la conception de circuits asynchrones est décrite au chapitre 2. Après une conclusion et une présentation de mes perspectives de recherche, on trouvera en annexe mes activités d'enseignement, mes activités annexes, ma liste d'encadrements et de publications.





# Table des matières

## Chapitre 1 : Capteurs de vision CMOS

I. Introduction, problématiques .....	11
II. Les capteurs à intégration .....	12
II.1 Structure et fonctionnement du pixel standard .....	12
II.2 Principales caractéristiques.....	13
II.3 Compensation du bruit spatial fixe (FPN) .....	14
II.4 Amplificateur colonne .....	16
II.5 Limitations .....	17
II.6 Capteurs de vision à intégration et à grande dynamique .....	18
II.7 Conclusion .....	18
III. Les pixels à réponse logarithmique .....	19
III.1 Principe et performances .....	19
III.2 Caractéristiques générales .....	20
III.3 Etat de l'art.....	21
III.4 Compensation du FPN .....	21
III.5 Circuit PICS .....	24
III.6 Circuit Imagyne 1 .....	28
III.7 Conclusion.....	30
IV. Adaptation aux conditions lumineuses .....	31
IV.1 Circuit Imagyne 2.....	31
IV.2 Circuit Imagyne 3.....	36
V. Conclusion et perspectives sur les imageurs CMOS.....	41

## Chapitre 2 : Contribution à la conception de circuits asynchrones faible bruit et à basse consommation

I. Introduction.....	47
II. Contribution à la conception de circuits asynchrones .....	47
II.1 Convertisseur analogique Numérique asynchrone .....	47
II.2 Gestion des courants de fuite dans les portes logiques.....	50
II.3 Systèmes radiofréquence et asynchrone .....	52
II.4 Bibliothèques de cellules asynchrones TAL .....	52
III. Compatibilité Electromagnétique.....	55
III.1 Emissions électromagnétiques .....	55
III.2 Susceptibilités.....	60
III.3 Conclusions .....	60
IV. Conclusion, Perspectives .....	62

## Conclusions, perspectives

## Bibliographie

### Annexes :

- CV
- Activités d'enseignement
- Responsabilités administratives
- Communications de la recherche
- Encadrements scientifiques
- Liste de publications



# Chapitre 1 : Capteurs de vision CMOS

## I. Introduction, problématiques

Les capteurs de vision CMOS actuellement commercialisés pour des applications grand public (appareils photos, webcam, etc ...) proposent, dans une très grande majorité, les mêmes caractéristiques :

D'un point de vue architecture globale, on retrouve une matrice d'éléments photosensibles (pixels) sélectionnée par des décodeurs ligne et colonne, une électronique de lecture en pied de colonne (amplificateur colonne) et un convertisseur analogique – numérique (Figure 1).

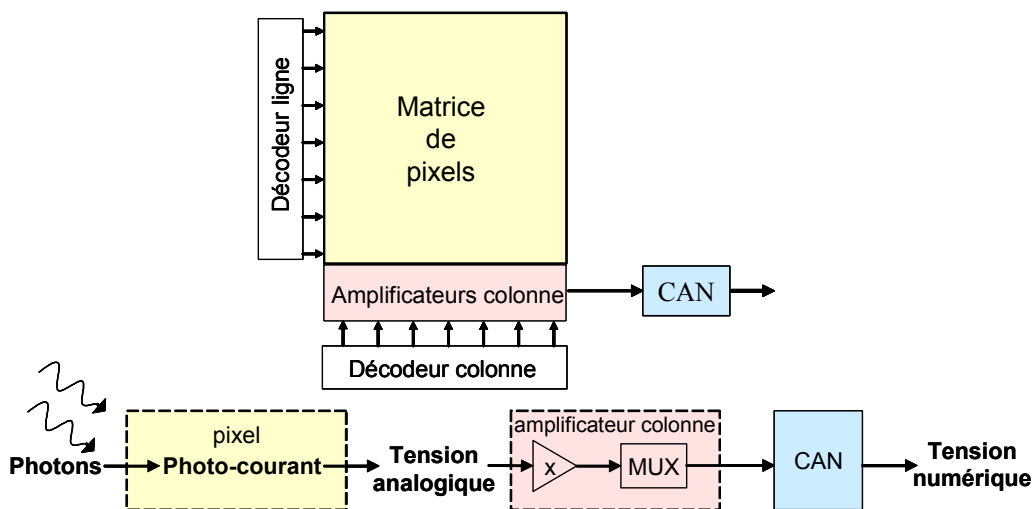
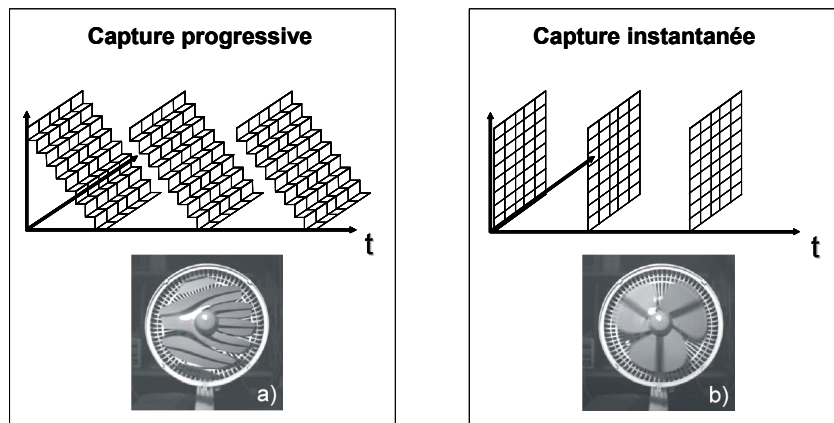


Figure 1 : Schéma bloc d'un capteur de vision CMOS classique avec la chaîne de conversion des grandeurs mesurées.

- Pour extraire l'information de chaque pixel, on retrouvera deux types de lecture (Figure 2) :
  - o La capture progressive ("Rolling Shutter") consiste à déclencher l'intégration au fur et à mesure de l'acquisition de l'image qui se fait ligne par ligne. Cela induit un petit décalage temporel entre chaque ligne qui, au niveau de l'image, entraîne des distorsions très visibles lors de l'acquisition d'objets en mouvement.
  - o La capture instantanée ("Global Shutter") consiste à déclencher au même instant l'intégration de tous les pixels de la matrice. Les décalages temporels sont ainsi éliminés mais il y a la contrainte supplémentaire de mémoriser dans chaque pixel l'information lumineuse, en attendant sa lecture qui s'effectue ligne par ligne.
- Au niveau du pixel, la conversion du flux lumineux incident en une tension se fait via une photodiode plus quelques transistors MOS, en général trois à cinq. La photodiode, polarisée en inverse, génère un courant proportionnel au flux de photons incidents. La conversion de ce courant en une tension exploitable par l'électronique située en pied de colonne, se fait grâce à l'intégration de ce courant photogénéré dans une capacité. La tension ainsi obtenue est proportionnelle au courant, donc au flux incident (voir le paragraphe II.1 ).



**Figure 2 : Illustration des modes de capture progressif et instantané et de leurs effets sur l'image**

D'un point de vue industriel, les principales contraintes de conception sont, jusqu'à présent :

- la surface du pixel qui doit être la plus petite possible afin d'obtenir une matrice de grande dimension avec une surface de silicium raisonnable,
- un bon facteur de remplissage (soit le rapport entre la surface photosensible et la surface du pixel),
- un bruit le plus faible possible (courant d'obscurité, bruit spatial fixe, bruit électronique) et une consommation la plus faible possible.
- De gros efforts ont été également effectués sur la mise en boîtier ("packaging") du capteur. L'idée est de fournir au client, non pas le capteur, mais la caméra complète. Pour cela, le boîtier inclut l'objectif en plus de la protection du circuit et de la connectique avec évidemment un coût et un encombrement minimum.

Ces dernières années, de nombreuses "start-up" ont vu le jour et proposent des capteurs ayant des caractéristiques différentes des capteurs standard. La grande majorité de ces capteurs répondent en effet à un marché émergent : la vision industrielle ...

Des secteurs porteurs actuellement, comme l'automobile ou la surveillance, demandent des caractéristiques, par exemple en dynamique d'entrée ("Dynamic Range"), qui sont impossible à atteindre directement avec les capteurs standard. Depuis mon arrivée au laboratoire TIMA, je me suis intéressé à ce type de capteur, notamment dans le cadre d'un projet européen MEDEA+ nommé "PICS" en collaboration avec l'industriel e2v (précédemment ATMEL). Durant cette période, deux circuits ont été conçus : le premier l'a été en collaboration étroite avec ATMEL (Technologie 0,18 $\mu$ m) et l'autre est un circuit multi-projet contenant quatre matrices de 128x128 pixels nommé IMAGYNE (Technologie 0,35 $\mu$ m).

Dans ce chapitre, je présente d'abord rapidement le pixel standard dit "à intégration", de manière à spécifier ce qui est actuellement la référence en terme de capteur CMOS, ainsi que les limitations de ce type de pixel pour des applications à grande dynamique d'entrée.

Ensuite je détaillerai les recherches que j'ai effectuées ces dernières années sur les capteurs à grande dynamique d'entrée et à adaptation aux conditions lumineuses.

## **II. Les capteurs à intégration**

### **II.1 Structure et fonctionnement du pixel standard**

Le pixel est composé classiquement d'un photosite (photodiode) et de trois transistors de type NMOS (Figure 3). La lecture de ce pixel s'effectue en trois phases :

- Une phase d'initialisation : Le signal reset est actif ce qui rend le transistor M1 passant. Une tension de référence est alors imposée aux bornes de la photodiode.
- Une phase d'intégration : Le signal reset est inactif, ce qui bloque M1. Le potentiel de cathode de la photodiode est alors flottant. Le courant inverse de la photodiode, qui dépend linéairement du flux de photons incident, va décharger linéairement la capacité parasite présente entre la cathode et la masse. La durée de cette phase est identique pour tous les pixels et est appelée "temps d'intégration".
- Une phase de lecture : le signal Ysel est actif. Le transistor M3 est passant, ce qui rend actif le premier étage d'amplification (composé de M2 et de M4). Ce montage suiveur permet à l'électronique en pied de colonne (appelée amplificateur colonne) de prendre en compte la valeur de la tension aux bornes de la photodiode.

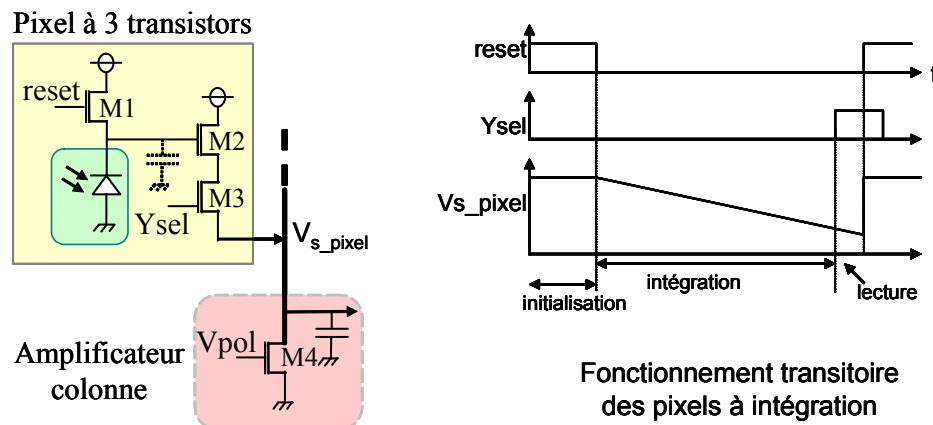


Figure 3 : Schéma d'un pixel standard à trois transistors et illustration de son fonctionnement

Il est à noter que cette structure de pixel ne convient que pour une lecture de type progressive ou "Rolling Shutter". Il existe également d'autres architectures de pixel à intégration (à quatre et cinq transistors) qui sont détaillées dans [Goy02] par exemple.

## II.2 Principales caractéristiques

Les caractéristiques générales que sont la résolution, le nombre de bits du mot binaire de sortie et le nombre d'images par seconde ("Frame Rate") ne seront pas discutées ici car hors propos. Nous allons nous intéresser rapidement aux caractéristiques électroniques et électro-optiques qui vont établir les performances du capteur.

Les caractéristiques qui vont nous intéresser particulièrement seront :

- **la sensibilité du capteur** (valeurs maximum et minimum de puissance lumineuse détectables), à laquelle seront liés des mesures de type "**facteur de conversion**" (en  $e^-/volt$ , qui traduit le gain du pixel), la fameuse "**dynamique d'entrée**" ("Dynamic Range", soit la différence des sensibilités haute et basse, exprimée en dB) ou encore le "**rendement quantique**" (qui représente le nombre de photon incident qui vont générer une paire électron-trou et ainsi contribuer au courant photonique) et le **courant d'obscurité** essentiellement dû au courant de saturation inverse de la photodiode.
- La valeur de la **capacité parasite** de la photodiode, qui, si elle n'est pas une spécification propre au capteur, est très importante car fortement influente sur le facteur de conversion et le bruit généré lors de la phase de reset.

- La **dynamique de la tension de sortie** du pixel à laquelle est liée le **rapport signal sur bruit**, la **linéarité** de la chaîne de lecture, le **gain**, et la consommation de chaque étage d'amplification.
- Enfin les caractéristiques en bruit du capteur :
  - Le bruit lié à l'électronique, donc spécifique à la structure du pixel. Il a été montré que la contribution en bruit la plus importante venait du "**bruit de reset**", inversement proportionnel à la capacité parasite présente aux bornes de la photodiode.
  - Le **bruit spatial fixe** (ou "Fixed Pattern Noise", soit **FPN**) correspond aux différents offsets dus aux divers dispositifs actifs de la chaîne de lecture. Ce bruit est le plus important dans un capteur CMOS et la chaîne de lecture, notamment l'électronique en pied de colonne, est optimisée pour minimiser la valeur de ce FPN (voir le paragraphe suivant). Plusieurs thèses effectuées au laboratoire CIMI à Toulouse ont détaillé et modélisé ces diverses sources de bruit [Cavadore98] [Degerli00] [Solhusvik96]. Plus localement, un résumé assez précis peut-être trouvé dans [Renane02], [Goy02] et [Labonne07].

### II.3 Compensation du bruit spatial fixe (FPN)

Comme énoncé au paragraphe précédent, le bruit spatial fixe correspond au bruit le plus important dans un capteur de vision standard. Essentiellement lié aux dispersions technologiques, il est constitué de deux composantes (Figure 4):

- le "bruit spatial fixe pixel" est lié aux variations du courant d'obscurité des photodiodes et de leur surface, ainsi qu'aux variations de la taille des transistors de lecture.
- le "bruit spatial fixe colonne" est dû principalement aux variations des courants de polarisations des amplificateurs de lecture. Il se traduit par des raies verticales sur l'image.

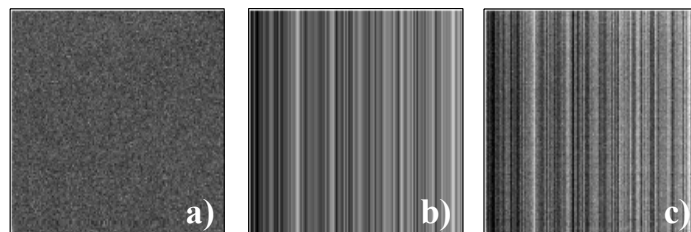
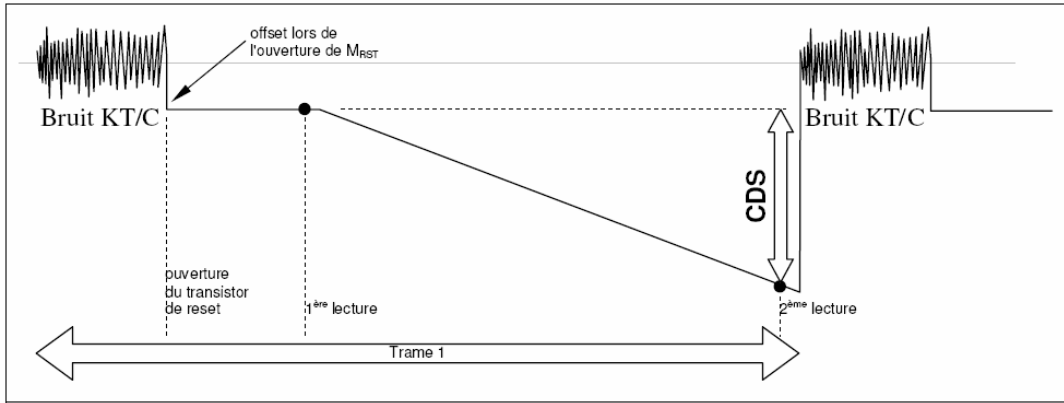


Figure 4 : Illustration du bruit spatial fixe a) composante pixel b) composante colonne, c) bruit spatial fixe total

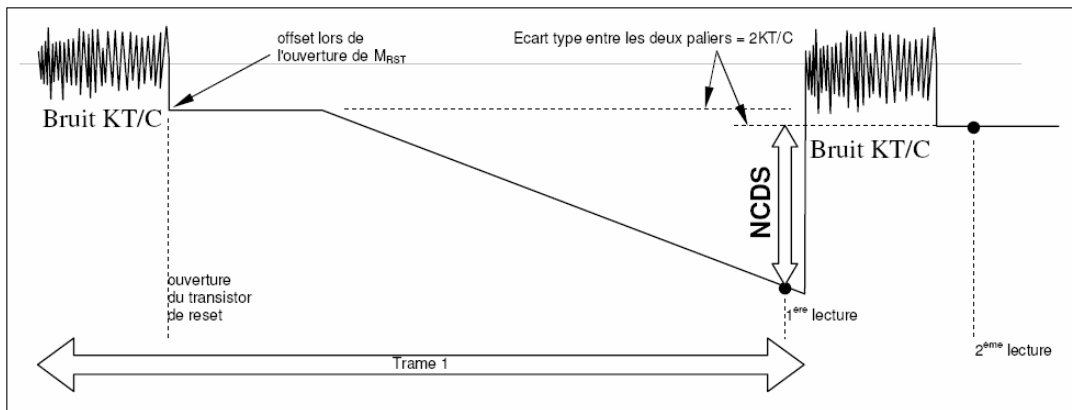
Une technique de réduction de ce bruit est très répandue : le NCDS ("Non Correlated Double Sampling", ou double échantillonnage non corrélé). Cette technique est dérivée de la technique du double échantillonnage corrélé (CDS) présentée dans [Mendis97].

Cette dernière, très efficace, n'est pas utilisée car compliquée à mettre en œuvre. En effet, comme le montre la Figure 5, elle nécessite la mémorisation de la valeur de la tension liée au reset du pixel pendant tout le temps d'intégration, qui peut être très longue. Cette valeur est alors soustraite à la valeur du pixel en fin d'intégration, ce qui élimine le bruit de reset, en  $1/f$  et le FPN pixel.



**Figure 5 : Principe de la technique CDS de suppression de bruit**

Le NCDS évite cette mémorisation en prenant en compte le niveau de reset du même pixel, mais de la trame suivante (Figure 6). Le temps de mémorisation est, de ce fait beaucoup plus court, ce qui relâche les contraintes de design... Par contre, le bruit temporel n'étant pas le même d'une trame à l'autre, la soustraction des deux niveaux, si elle diminue efficacement le FPN pixel, additionne les bruits temporels...



**Figure 6 : Principe de la technique NCDS de suppression de bruit**

Cependant, ces deux techniques ne minimisent que le FPN pixel. Or, il y a autant de circuits analogiques de lecture que de colonne ... La technique du double échantillonnage delta (DDS pour Double Delta Sampling) est ainsi largement utilisée afin de minimiser le FPN colonne. Comme montré à la Figure 7, l'électronique en pied de colonne, ou amplificateur colonne, permet la mémorisation de la valeur de reset et de la valeur du pixel. On se retrouve donc avec deux chemins d'amplification identiques mais qui vont avoir des offsets différents... La technique DDS permet, en court-circuitant les deux capacités, de prendre en compte les valeurs d'offset des deux amplificateurs de sortie, au prix d'une vitesse de lecture divisée par deux. En effet, le DDS revient à lire une deuxième fois les valeurs mémorisées dans l'amplificateur colonne. Notons que les dispersions sur le gain des amplificateurs ne sont, dans ce cas, pas traitées.

L'électronique nécessaire à l'implémentation du DDS présente l'avantage de pouvoir être commune à toutes les colonnes et n'est donc implémentée qu'une seule fois.



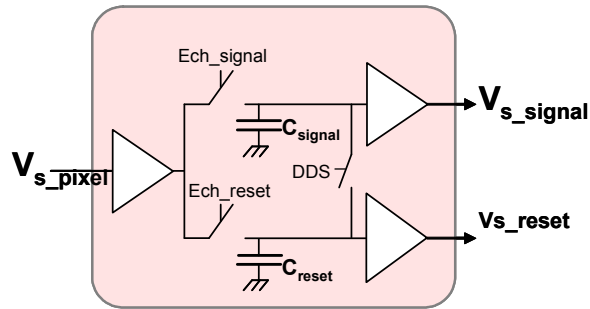


Figure 7 : Diagramme bloc d'un amplificateur colonne des matrices de pixels à intégration

D'autres techniques de minimisation du bruit dans les capteurs CMOS ont été proposées dans [Kozłowski05] et [Lim02].

Au final, l'extraction des données photogénérées dans une matrice de pixel se déroulera de la manière suivante :

- Sélectionner une ligne à lire (et déclencher l'intégration d'une autre située [valeur du temps d'intégration divisé par la durée de lecture d'une ligne] plus loin),
- Connecter toutes les sorties de pixel de cette ligne à leurs amplificateurs colonnes respectifs (donc charger un bus analogique à capacité parasite importante ...),
- Stocker l'information du signal photogénéré dans une capacité de l'amplificateur colonne,
- Effectuer un reset sur toute la ligne,
- Stocker l'information du signal de reset dans une capacité de l'amplificateur colonne de manière à effectuer le NCDS,
- Lire séquentiellement chaque sortie d'amplificateur colonne, avec une lecture en deux phases :
  - une première pour extraire le signal photogénéré et reset
  - une deuxième qui permet de compenser l'offset pour pouvoir ensuite effectuer le DDS,
- Passer à la ligne suivante ...

## II.4 Amplificateur colonne

Le schéma structurel d'un amplificateur colonne classique est présenté à la Figure 8. Les trois amplificateurs de la Figure 7 sont implémentés par de simples amplificateurs suiveurs à deux transistors de même type. Ce choix n'est évidemment pas idéal en terme de performance (en gain par exemple qui est inférieur à un dans ce cas), mais est lié à l'implémentation sur silicium de ce montage. En effet, comme il y en a un par colonne, le layout de l'amplificateur colonne aura comme principale contrainte d'avoir la même largeur que le pixel ! Les difficultés de design d'un amplificateur colonne classique sont donc peu banales dans le contexte de la conception de circuits analogiques et sont expliquées en détail dans [Renane02].

D'une manière générale, on cherchera à obtenir une linéarité maximale avec un gain le plus proche possible de 1 (autour de 0,8 en général) et un bruit généré le plus faible possible. Les ordres de grandeur de consommation sont le micro ampère pour le premier étage d'amplification (dont une partie est dans le pixel) et la dizaine de micro ampères pour le 2<sup>ème</sup> étage. Ces choix dépendront essentiellement de la taille de la matrice et du temps de stockage voulu dans les capacités.

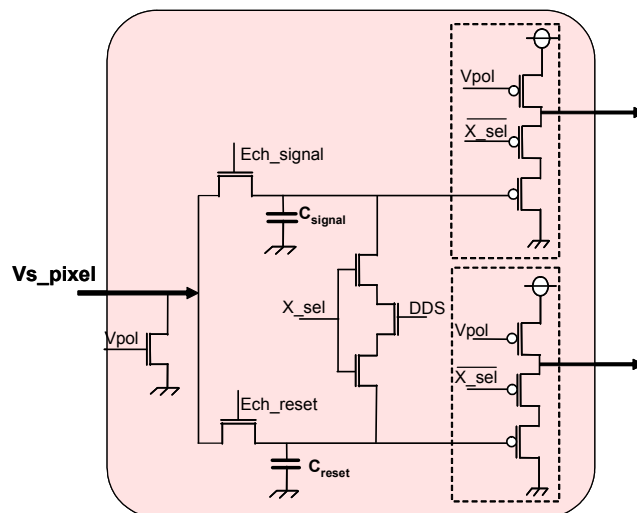


Figure 8 : Schéma structurel d'un amplificateur colonne classique

## II.5 Limitations

Comme on vient de le voir, la chaîne de lecture d'un capteur de vision est constituée d'un élément photosensible, d'amplificateur colonne et d'un convertisseur analogique-numérique. Chaque élément a ses points faibles et peut être amélioré :

- Les performances de la photodiode sont très dépendantes de la technologie. Ainsi, pour minimiser le courant d'obscurité, par exemple, les fondeurs ont mis en place une chaîne de production spéciale (toujours compatible CMOS) avec des machines spécifiques, utilisant une recette optimisée pour l'obtention d'éléments photosensibles performants. Ainsi, des fondeurs comme AMS proposent une technologie CMOS spécifique "optoélectronique" ...
- Pour l'amplificateur colonne (dont une partie de l'étage d'entrée est dans les pixels), les limitations sont liées à plusieurs facteurs : largeur du layout fixée par le pixel, étage d'entrée constitué d'un seul type de MOS (NMOS ici) afin de minimiser la surface pixel, optimisation de la capacité de stockage (qui influe de manière inversement proportionnelle sur le bruit généré par l'amplificateur colonne), linéarité maximale, gain le plus proche de un, etc ...
- En ce qui concerne le convertisseur analogique - numérique, la principale contrainte de design va être liée à la résolution du capteur. En effet, pour une vitesse de lecture donnée, il faudra lire tous les pixels de manière séquentielle. La rapidité de conversion pour une consommation raisonnable sera donc un point clé

...

Au vue de tout cela, cette chaîne de lecture est, d'une manière générale, très bien optimisée pour ce qu'elle doit faire. Les résultats d'un tel capteur sont corrects dans tous les domaines et sont largement suffisants pour des applications grand public.

Pourtant, il y a des limitations pour des applications autres que grand public :

- Dynamique d'entrée limitée aux alentours de 60-70dB (soit 3 ordres de grandeur de puissance lumineuse au lieu de 4 pour les capteurs CCD et 8 pour l'homme),
- Forte sensibilité aux variations de température,
- Faible vitesse de lecture pour les fortes résolutions,
- Sensibilité moins bonne que pour les capteurs CCD,
- Rapport signal sur bruit moins bon que pour les capteurs CCD,

- Mode de capture instantanée (Global Shutter) coûteux en terme de surface silicium et peu performant pour les fortes résolutions,

Ces dernières années, je me suis beaucoup intéressé aux problèmes de dynamique d'entrée dans les capteurs de vision CMOS. En effet, cette caractéristique est critique dans des applications de type automobile ou surveillance car il faut pouvoir détecter des événements quelle que soit les conditions lumineuses. Dans ce cadre, il est difficile, avec un capteur CMOS standard, de détecter des événements à la fois dans les zones de l'image très fortement éclairées et très faiblement. Un capteur standard ne pourra "voir", en fonction de son temps d'intégration, que dans l'une ou dans l'autre conditions : temps d'intégration court pour les zones fortement éclairées ou temps d'intégration long pour les zones faiblement éclairées.

## II.6 Capteurs de vision à intégration et à grande dynamique

Bien évidemment, un certain nombre d'études ont été faites ces dix dernières années afin d'augmenter la dynamique d'entrée du capteur CMOS standard. Le principal problème qui se pose est la saturation du pixel. En effet, afin d'être sensible aux zones faiblement éclairées, le temps d'intégration est choisi volontairement long. De ce fait, la capacité d'intégration sature rapidement en cas de fortes illuminations.

L'étude de l'état de l'art montre clairement deux voies de recherche distinctes :

- La première voie concerne les pixels utilisant un temps d'intégration fixe. Dans ce cas, les auteurs contournent le problème de saturation du pixel par :
  - l'ajout d'une capacité [Akahane06],
  - ou d'une photodiode [Miyagawa95],
  - par le codage du temps mis par le pixel pour être saturé [Stoppa02],
  - en effectuant des lectures non destructrices [Lui03],
  - en émettant un bit à chaque saturation (qui est compté et qui réinitialise la photodiode) [Rhee03] [McIlrath01],
  - ou encore en utilisant un algorithme spécifique qui permet de réinitialiser la photodiode le nombre de fois optimal grâce à un seuil variable [Acosta04].
- La deuxième voie concerne les pixels utilisant un temps d'intégration variable. Tous les travaux recensés [Schrey02], [Yadid-Pecht97], [Yang99], [Mase05], [Schanz00], [Hosticka03], ont pour point commun de lire plusieurs fois la matrice, avec des temps d'intégration différents. Une reconstruction de l'image est alors nécessaire de manière à obtenir une image dont les niveaux de gris dépendent linéairement de la lumière incidente.

## II.7 Conclusion

D'une manière générale, le bilan de l'état de l'art sur l'obtention d'une dynamique d'entrée supérieure à 100dB avec un pixel à intégration est le suivant : ce n'est pas gratuit ! En effet, comme on peut le voir en partie sur le Tableau 1, chaque travaux présentés présentent au moins une caractéristique essentielle pour un industriel qui est dégradée : surface conséquente, faible facteur de remplissage, vitesse de lecture faible, ou algorithme de lecture complexe, ... Ceci est finalement tout à fait normal : la dynamique d'entrée intrinsèque d'un capteur à intégration est faible : Vouloir l'augmenter ne peut se faire qu'en complexifiant le système.

Dans le cadre du projet européen Medea+ PICS, cette complexification n'était pas acceptable, les contraintes "dures" étant une surface de pixel faible et des ressources numériques faible (interne ou externe) pour utiliser le capteur,. Nous nous sommes donc orientés vers une autre structure : Le pixel à réponse logarithmique.

Auteur	technique	dynamique	vitesse de lecture	bruit spatial fixe	nombre de transistors par pixel	taille du pixel	techno	facteur de remplissage
[Akahane06]	$T_{int}$ fixe	100dB	30fps		5	$7,5\mu \times 7,5\mu$	$0,35\mu$	
[Stoppa02]	$T_{int}$ fixe	130dB	25fps	1,50%	25	$25\mu \times 25\mu$	$0,35\mu$	11%
[Lui03]	$T_{int}$ fixe	81dB	30fps		3			
[Rhee03]	$T_{int}$ fixe	120dB	1k fps		43	$19\mu \times 19\mu$	$0,18\mu$	50%
[McIlrath01]	$T_{int}$ fixe	100dB	1Hz	0,10%	19	$30\mu \times 30\mu$	$0,5\mu$	
[Acosta04]	$T_{int}$ fixe	100dB	30fps		5	$7,5\mu \times 7,5\mu$	$0,18\mu$	49%
[Schrey02]	$T_{int}$ multiples	90dB	15fps	0,10%	3	$10\mu \times 10\mu$	$0,5\mu$	41%
[Yadid-Pecht97]	$T_{int}$ multiples	108dB	100kpix/s	2,80%	4	$20,4\mu \times 20,4\mu$	$1,2\mu$	15%
[Yang99]	$T_{int}$ multiples		250fps		5,5	$10,5\mu \times 10,5\mu$	$0,35\mu$	29%
[Mase05]	$T_{int}$ multiples	119dB	30fps	0,10%		$10\mu \times 10\mu$	$0,25\mu$	54,50%
[Schanz00]	$T_{int}$ multiples	120dB	50fps		3	$26\mu \times 26\mu$	$1\mu$	65%

Tableau 1 : Récapitulatif des travaux menés sur l'obtention d'une grande dynamique avec un capteur à intégration

### III. Les pixels à réponse logarithmique

#### III.1 Principe et performances

Ce type de pixel possède un fonctionnement propre complètement différent du pixel à intégration : Il est continu dans le temps. Il n'y a donc pas de phase de "reset" de la photodiode et cette dernière génère en permanence un courant proportionnel au nombre de photons incidents.

La Figure 9 présente le schéma de ce pixel ainsi que la courbe de tension de sortie en fonction du courant photogénéré que nous appellerons courbe de phototransduction ou fonction de transfert. On note immédiatement deux caractéristiques remarquables : un nombre de transistors équivalent à un pixel à intégration et une réponse en tension de type logarithmique. Cette réponse permet de convertir, en un seul ordre de grandeur en tension, plusieurs ordres de grandeur du courant d'entrée. On voit donc immédiatement l'intérêt premier de cette structure de pixel : elle propose intrinsèquement une grande dynamique d'entrée.

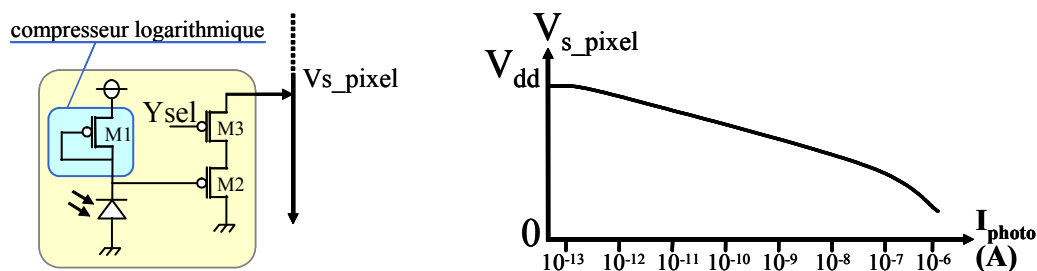


Figure 9 : Schéma d'un pixel "logarithmique" et sa courbe de phototransduction

Comme le pixel à intégration, ce pixel contient une partie d'amplificateur suiveur (le transconducteur M2 et le transistor de sélection M3). Le transistor M1 est appelé un "compresser logarithmique" et est connecté en diode. C'est lui qui va permettre la relation logarithmique grâce à une autre propriété remarquable : il fonctionne en régime sous le seuil, autrement dit en faible inversion. De ce fait, la relation, qui relie la tension aux bornes de la photodiode et le courant qu'elle génère, est la suivante, en admettant l'amplificateur suiveur parfait [Labonne07] [Sicard99] :

$$\text{Équation 1 : } V_{s\_pixel} = V_{dd} - K \ln \left[ \frac{I_{\text{photon}}}{I_0} \right]$$

On notera une autre différence par rapport au pixel à intégration standard : ce pixel ne contient que des transistors PMOS. Cependant, il est tout à fait possible de faire un pixel ne contenant que des transistors NMOS, comme l'a fait, par exemple, la société Fill Factory dans son capteur commercial logarithmique Fuga. La différence en fonctionnement n'est pas flagrante, d'autant que les tailles des MOS sont très proches, car approchant le minimum permis par la technologie utilisée. D'un point de vue layout, il y a évidemment les distances à respecter au niveau du caisson N par rapport à la photodiode, mais celle-ci est utile pour passer l'ensemble des fils liés à l'alimentation et aux divers signaux. Au final, j'ai orienté nos travaux vers les pixels P pour quatre raisons :

- La structure PMOS permet d'obtenir une sensibilité au niveau pixel d'environ 80mV / décade maximum contre environ 70mV/ décade pour une structure N se traduisant par une augmentation de la dynamique en tension de sortie de plus de 20%.
- Cela permet également d'isoler physiquement la photodiode des transistors et, partant du principe qu'un PMOS est moins bruyant qu'un NMOS, cela devrait limiter le bruit électronique généré par le pixel.
- De plus, nous n'avons jamais réussi, en simulation, à atteindre avec la structure NMOS, la sensibilité aux faibles luminosités de la structure PMOS.

### III.2 Caractéristiques générales

Nous présentons ici les propriétés et performances typiques d'un pixel à réponse logarithmique :

- La réponse du pixel à l'éclairement (Figure 9) présente une sensibilité à la lumière d'environ six décades soit 120dB de dynamique d'entrée. A noter cependant que seulement cinq ordres de grandeur sont réellement dans la partie logarithmique de la courbe. Cette valeur est à comparer avec un pixel à intégration qui propose une dynamique aux alentours de 60-70dB (soit 3 à 3,5 ordres de grandeur de courant détectable pour un temps d'intégration donnée).
- La pente, dans la partie logarithmique, est d'environ 80mV / décade dans le meilleur des cas, soit pour les cinq ordres de grandeur de courant détectable logarithmiquement environ 400mV maximum de dynamique de sortie en tension. Cette valeur est faible comparée à la valeur obtenue avec un capteur standard qui est d'environ 1 volt.
- La sensibilité est moins bonne d'au moins un ordre de grandeur par rapport à un capteur standard
- Le rapport signal sur bruit se situe aux alentours de 60dB maximum (60-70dB pour un capteur standard).
- Le bruit spatial fixe (FPN) : C'est LE point faible de ce type de capteur. Il est très important. De fait, un paragraphe entier y est réservé (voir III.4 ), car il est indispensable d'effectuer une compensation de cet offset.
- Contrairement au pixel standard, il n'y a pas de problème d'éblouissement du pixel car ce dernier est très sensible aux très fortes puissances lumineuses.
- Le pixel logarithmique réagit lentement lorsque l'on passe d'un éclairement fort à faible, mais pour des applications standard avec des fréquences d'acquisition classiques, cela ne pose pas de problème.
- La surface du pixel est du même ordre de grandeur que pour un pixel standard. Cependant, si l'on veut augmenter la sensibilité, cela passera obligatoirement par une

augmentation de la surface de la photodiode, et la relation est linéaire. Si l'on veut un ordre de grandeur de plus, il faudra une photodiode dix fois plus grande ...

- La lecture de la matrice photosensible est plus simple à gérer que pour une matrice standard, car il n'y a pas la phase d'intégration à gérer.

### **III.3 Etat de l'art**

Suite à la publication du livre de C. Mead [Mead88], dans lequel est publié la structure à compresseur logarithmique, de nombreux travaux sur les capteurs de vision CMOS de type rétine ont utilisé ce type de phototransduction dans les années 90. La principale raison étant sa facilité de mise en œuvre (pas d'intégration, pas de compensation FPN à faire) car l'objet de ces travaux est d'extraire une information sur l'image (comme du contour ou du mouvement), et non l'image elle-même. De ce fait, la présence d'offset sur l'image originale importe peu, à partir du moment où l'extraction de données se fait correctement. Je ne reviens pas sur cette partie précise de l'état de l'art, car faite dans [Sicard99].

Plus récemment, une approche originale a été proposée par l'équipe du Pr. Yang Ni [Ni01], dans lequel la photodiode est utilisée en mode photovoltaïque. Cela permet d'obtenir une tension sur la cathode de la photodiode qui dépend du logarithme du courant photogénéré. Cependant, ce pixel souffre de quelques inconvénients (valeurs de tension négative, faible dynamique de sortie) mais présente une originalité incontestable.

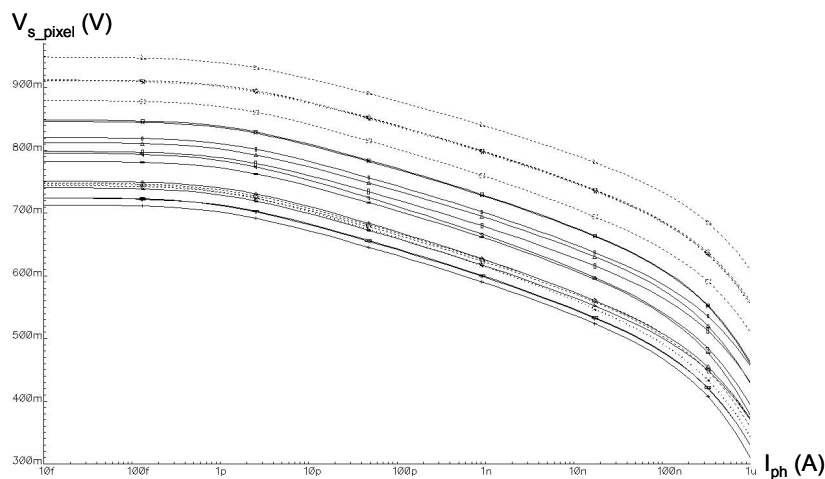
D'un point de vue industriel, plusieurs circuits ont été ou sont produits. Le premier a été la série des capteurs FUGA de la société Fill Factory, qui implémentait un pixel logarithmique de type N sans compensation FPN. C'est aussi le cas du capteur d'IMS-Chips [Burghartz06], qui présente des évolutions technologiques brevetées par rapport au FUGA. A noter que ces derniers sont utilisés dans des applications automobiles et aéroportuaires (parking des avions). Ces dernières années, des capteurs dits "LinLog", car mixant les deux modes de fonctionnement, sont apparus, comme, par exemple, celui commercialisé par la société Photonfocus. [Hara05] et [Storm06] proposent également des pixels de type "LinLog". Globalement, tant que l'illumination est faible, le pixel répond de manière linéaire, et dès que l'illumination augmente, le pixel fonctionne en mode logarithmique. C'est typique le cas du capteur de Photonfocus. Le pixel de [Hara05] effectue les deux types de mesure successivement et recombine les deux informations, alors que le capteur de [Storm06] détermine algorithmiquement s'il vaut mieux prendre le signal "linéaire" ou "logarithmique". Les autres papiers de la littérature traitent de la compensation du bruit spatial fixe (FPN) et seront discutés au chapitre suivant.

### **III.4 Compensation du FPN**

Le bruit spatial fixe (FPN, pour "Fixed Pattern noise") est l'élément le plus négatif du pixel à réponse logarithmique rendant une compensation indispensable. Le FPN est lié aux dispersions technologiques apparaissant lors de la fabrication. Ces dispersions entraînent notamment des variations sur les valeurs des tensions de seuil des transistors qui se traduisent par un décalage DC de la courbe de phototransduction. Dans le cas de pixel à réponse logarithmique, les variations sur la tension de sortie peuvent atteindre 60% de la dynamique du signal (Figure 10).

Quelques papiers traitent de ce problème dans la littérature. Pour compenser ce décalage en tension, nous ne pouvons pas effectuer un reset de la photodiode comme pour un pixel standard car nous avons un fonctionnement continu sur celle-ci. Par contre, on peut imposer une référence et effectuer la différence entre le signal photogénéré et la valeur obtenue via la

référence. D'un point de vue fonctionnement temporel, on se retrouve alors avec un séquençement des signaux du même type que pour un circuit standard.

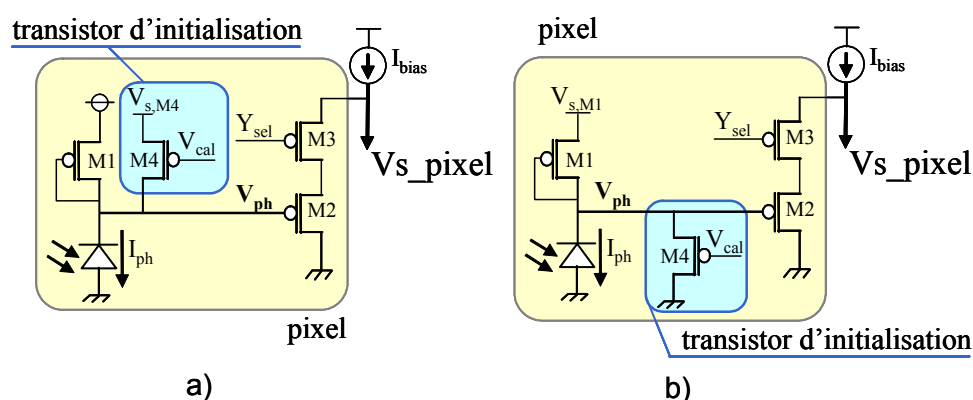


**Figure 10 : Illustration du FPN dans un pixel logarithmique avec le résultat d'une simulation Monte Carlo**

Dans [Loose01], la valeur de l'offset est mémorisée au sein même du pixel. La compensation FPN est bonne, mais cela va au détriment de la surface du pixel. Dans [Kavadias00], la calibration se fait par l'intermédiaire d'une référence de courant externe à la matrice photosensible. Ce courant s'ajoute au courant photogénéré, ce dernier étant rendu négligeable de part la (forte) valeur choisie pour la référence. A noter que, le transistor monté en diode (M1 de la Figure 9) n'est alors plus en faible inversion, mais en forte inversion. Avec ce système, un FPN de 2,5% de la dynamique est atteint (3,8% pour [Loose01] avec un pixel de taille très raisonnable ( $<100\mu\text{m}^2$ )).

Se basant sur ces travaux, nous avons réfléchi à la manière d'améliorer cette calibration sachant que nous avons comme contrainte principale de minimiser le nombre de transistors dans le pixel afin de minimiser sa surface.

Nous avons simulé, implémenté et testé deux solutions : la première en prenant comme référence la valeur du noir, et la deuxième en prenant comme référence une valeur correspondant à une très forte luminosité. Les structures de pixels sont présentées à la Figure 11.



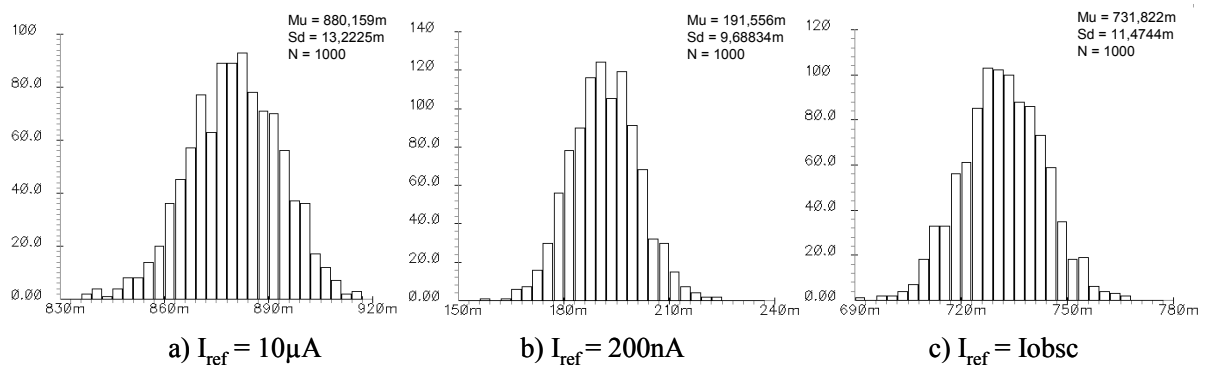
**Figure 11 : Structures étudiées des pixels logarithmique à calibration interne**

Le point commun de ces deux méthodes est de proposer une calibration interne au pixel. Le pourquoi de cette contrainte vient du fait qu'un inconvénient de la méthode présentée dans [Kavadias00] est la référence en courant. Elle est telle que le transistor M1 se retrouve en régime de forte inversion. De fait, la calibration se fait avec une valeur de référence en courant correspondant à la partie extrême droite de la Figure 10. Hors, il est clairement visible sur cette courbe que l'offset appliqué à chaque courbe n'est pas forcément le même en zone de

fonctionnement logarithmique (M1 en faible inversion) et en zone où M1 est en forte inversion (courant supérieur à 100nA). On a donc tout intérêt à prendre une référence dans la zone où le pixel est dans un fonctionnement nominal, soit quand M1 est en faible inversion. Le problème dans ce cas, est qu'une source de courant externe au pixel est difficile à concevoir car le courant à générer est extrêmement faible.

Nous avons alors élaboré deux solutions :

- Imposer comme référence une tension correspondant au courant d'obscurité (Figure 11a), via le transistor M4 qui est strictement identique à M1 et dessiné à côté de celui-ci ;
- Imposer la valeur en courant maximale de la zone logarithmique (autour de 100nA) (Figure 11b), via le transistor M4 qui, cette fois implémente un générateur de courant. Le résultat de la dispersion obtenue pour ces différentes versions est visible Figure 12.



**Figure 12 : résultat de simulations Monte Carlo : a) pixel compensé avec une référence en courant forte (type [Kavadias00]), b) pixel compensé avec une référence dans le noir, c) pixel compensé avec une référence en courant forte, mais encore dans la zone de faible inversion.**

Comparé aux résultats obtenus avec une structure PMOS type [Kavadias00] (Figure 12-a, ce qui donne un FPN de 3,77% de la dynamique pour un courant de référence de 10 $\mu$ A), les deux structures que nous proposons, permettent d'obtenir une meilleure compensation du FPN. La structure "a", ayant comme référence le courant d'obscurité (Figure 11a), permet d'obtenir un FPN de 3,28% de la dynamique et la structure "b", ayant comme référence le courant maximal de la zone logarithmique (Figure 11b), permet d'obtenir un FPN de 2,77% de la dynamique.

Cela représente une amélioration de, respectivement, 13% et 26% par rapport à notre travail référence. Cette différence est due au fait que dans [Kavadias00], la référence est externe au pixel et commune à une colonne. De ce fait, pour pouvoir établir rapidement cette référence, il faut que le courant soit suffisamment fort. Mais dans ce cas, le transistor M1 n'est plus en faible inversion et sa sensibilité aux dispersions technologiques n'est plus tout à fait la même. On remarque que la structure b propose une amélioration de la compensation FPN de l'ordre de plus de 15% par rapport à la structure a). Nous l'expliquons par le fait que le schéma a) impose un niveau de tension équivalent au niveau donné par le courant d'obscurité, alors que la structure b) impose au compresseur logarithmique (transistor M1) de fournir un courant important, correspondant à la limite de sa courbe logarithmique. De ce fait, la calibration du pixel se fait en utilisant l'étage de phototransduction de la même manière, permettant de prendre en compte un maximum d'effets dispersifs.

A noter que dans les deux cas, les dispersions sur le transistor M4 de calibration représentent environ 0,6% du FPN pixel. De plus, la structure a) voit sa valeur de FPN très fortement augmentée si la polarisation du compresseur logarithmique (PMOS M1) est trop importante. Ceci s'explique par le fait que la valeur de la tension correspondante au noir suit linéairement la valeur de la polarisation (voir Équation 1). De ce fait, il y a rapidement saturation du premier étage d'amplification de l'amplificateur colonne en cas de forte dispersion ...



### III.5 Circuit PICS

Il s'agit du premier capteur de vision fabriqué pendant la thèse d'Estelle Labonne. Ce circuit a été conçu en collaboration avec l'équipe "CMOS Imagers" d'ATMEL Grenoble (maintenant e2v Grenoble) et dans leurs locaux. La technologie utilisée est une CMOS 0,18 $\mu$ m.

Les contraintes imposées pour ce "design" ont été de deux types :

- Temporelle tout d'abord : le projet PICS a démarré officiellement au mois de Février 2004 et ce pour trois ans. Cependant, l'envoi en fabrication du prototype commun TIMA-Atmel était prévu pour le mois de juin 2005. Pendant ces 14 mois, il a fallu démarrer une thèse (bibliographie, ...), spécifier le capteur, concevoir et évaluer différentes solutions techniques, puis faire le layout du circuit, ce qui est plutôt court.
- Technique ensuite : le pixel devait avoir une dynamique d'entrée supérieure à 100dB, avoir une surface maximale de 100 $\mu$ m<sup>2</sup>, une photodiode de type N+-PWell, une acquisition instantanée ("Global Shutter") et une compensation du FPN.

A la vue du temps très court qui nous était imposé, et après avoir évalué différentes structures composées de différents types de transistors (pixel NMOS ou PMOS, 1,8V ou 3,3V), nous nous sommes décidés pour la première structure que nous avons étudiée et qui nous paraissait la moins risquée : le pixel présenté à la Figure 11-a en version PMOS 3,3V.

La contrainte de l'acquisition instantanée n'est pas anodine et nous a posé quelques problèmes de "design". Au sein du pixel, cela se caractérise par l'ajout d'une capacité de mémorisation et d'un interrupteur (Figure 13).

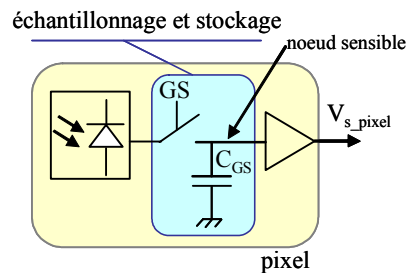


Figure 13 : Schéma bloc d'un pixel à capture instantanée

En fonctionnement, tous les pixels reçoivent l'ordre de mémoriser la valeur de leur sortie (via le signal GS) dans la capacité. Ensuite, chaque pixel est lu de manière classique. La principale contrainte est donc d'arriver à conserver en mémoire, avec un minimum de perte, les valeurs de chaque pixel pendant le temps de lecture de l'image (soit 40ms à 25 images / seconde).

Au final, et après une longue période d'optimisation, nous avons implémenté le pixel présenté à la Figure 14.

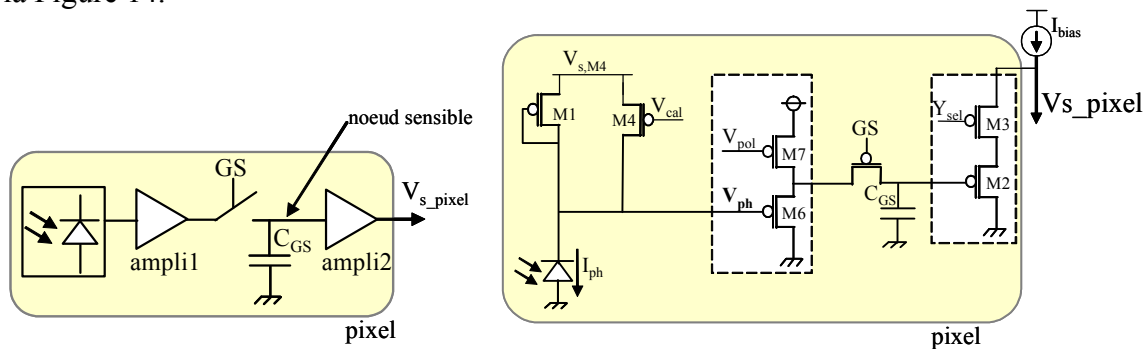
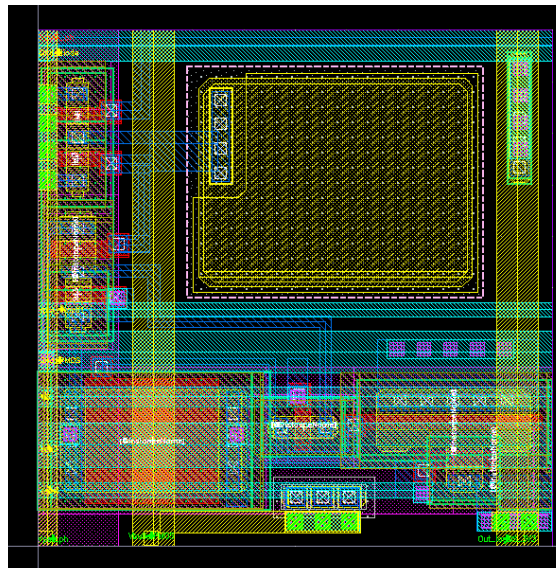


Figure 14 : Schéma bloc et schéma transistor du pixel "PICS"

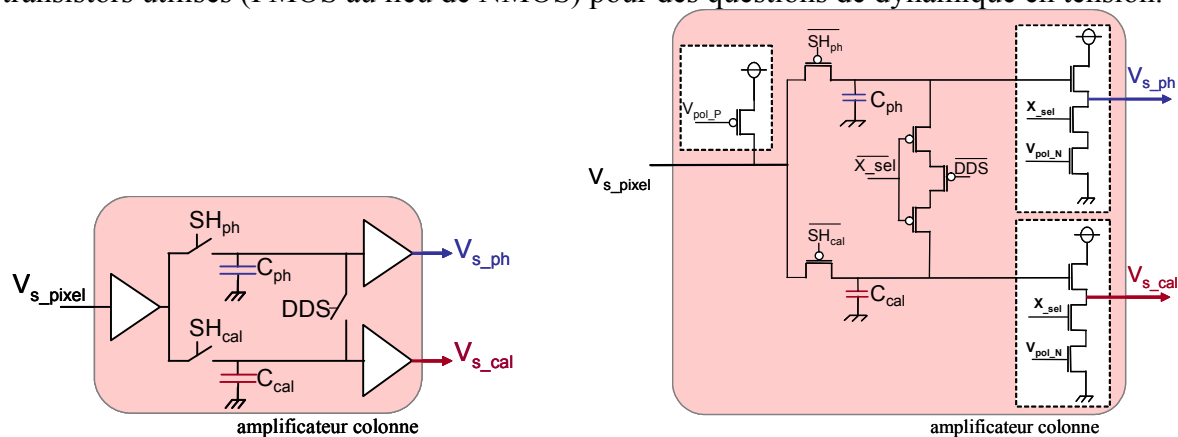
On observe l'ajout d'un amplificateur suiveur (ampli 1) entre le nœud photosensible et le nœud mémorisant, cela afin de limiter les fuites dans la capacité et également à des fins d'isolation.

Il s'est, en effet, avéré que le nœud photosensible était fortement perturbé par la mise en fonctionnement de l'acquisition instantanée. On obtient, au final, un pixel contenant 7 transistors PMOS, dont le layout est visible à la Figure 15.



**Figure 15 : Layout du pixel "PICS"**

Dans ce travail collaboratif, nous avons conçu puis dessiné le pixel et la matrice de 32 x 240 pixels. Nous avons également spécifié l'amplificateur colonne qui a été conçu, simulé et dessiné par un ingénieur d'ATMEL. Cet amplificateur colonne est fonctionnellement identique à celui que l'on retrouve dans le capteur à intégration standard, donc structurellement très proche (Figure 16). La seule différence se situe au niveau des types de transistors utilisés (PMOS au lieu de NMOS) pour des questions de dynamique en tension.



**Figure 16 : Schéma bloc et schéma transistor de l'amplificateur colonne "PICS"**

La matrice a été testée au sein de la société ATMEL, qui a mis un banc de test à notre disposition. La courbe de phototransduction, ou fonction de transfert, obtenue est montrée à la Figure 17.

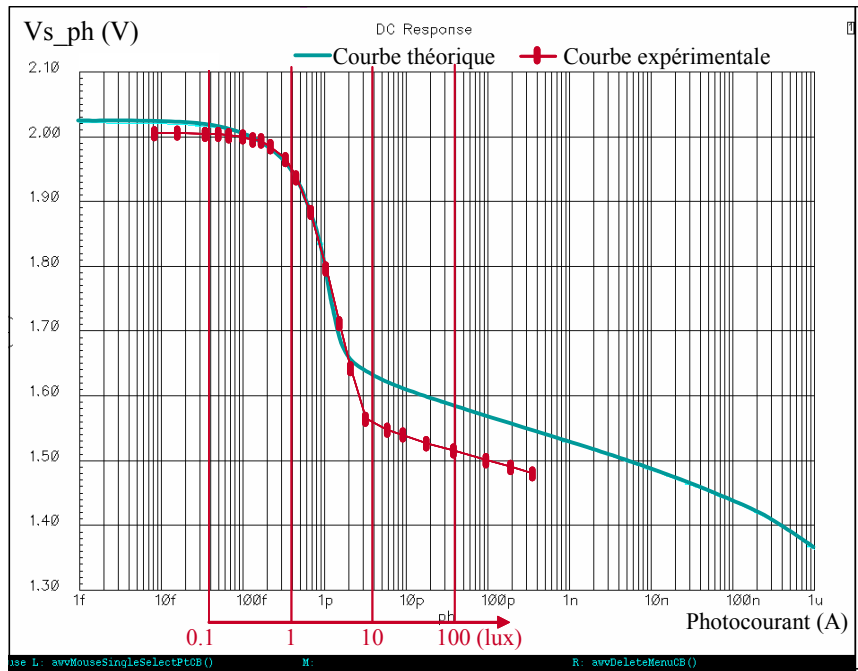


Figure 17 : Superposition des courbes de phototransduction théorique et mesurée

On note plusieurs informations intéressantes sur ce résultat : tout d'abord, la mesure correspond à la pratique ... Les mesures donnent une dynamique de 100dB (5 ordres de grandeur de luminosité), cependant, les mesures ont été limitées par la puissance maximale de la source lumineuse autour de 1000 Lux (soit environ 100 fois moins que le soleil à midi). On note cependant que la limite de la zone logarithmique de la courbe théorique est trois ordres de grandeur plus loin.

On retrouve également le même "défaut" sur les deux courbes : pour les basses luminosités (entre 1 et 10 Lux), la réponse n'a pas la même pente que pour les luminosités supérieures. Cela est dû à la différence de polarisation entre le caisson N (Vdd), commun à l'ensemble du circuit, et la source du transistor M1. Cette polarisation est relativement basse (de l'ordre de 1,5V) afin de ne pas saturer les étages amplificateurs qui suivent. De ce fait, l'Équation 1 traduisant la compression logarithmique n'est plus vraie car des paramètres négligés ne le sont plus (Figure 18)...

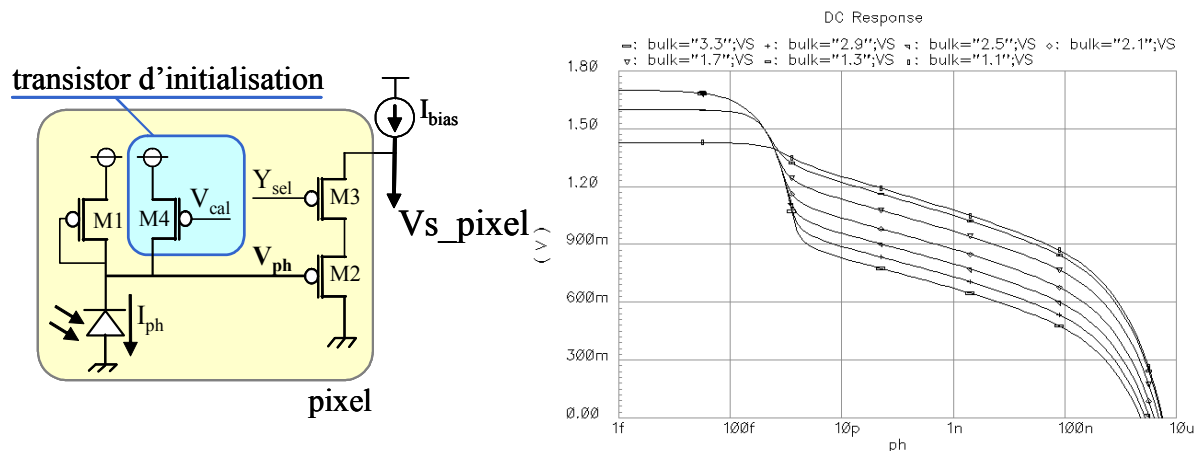


Figure 18 : Modification de la courbe de phototransduction (simulée) en fonction de la tension Vsb du transistor M1

Cette sur-sensibilité aux faibles luminosités peut paraître très intéressante, mais elle ne l'est pas vraiment quand on regarde le résultat de la mesure du FPN (Figure 19) :

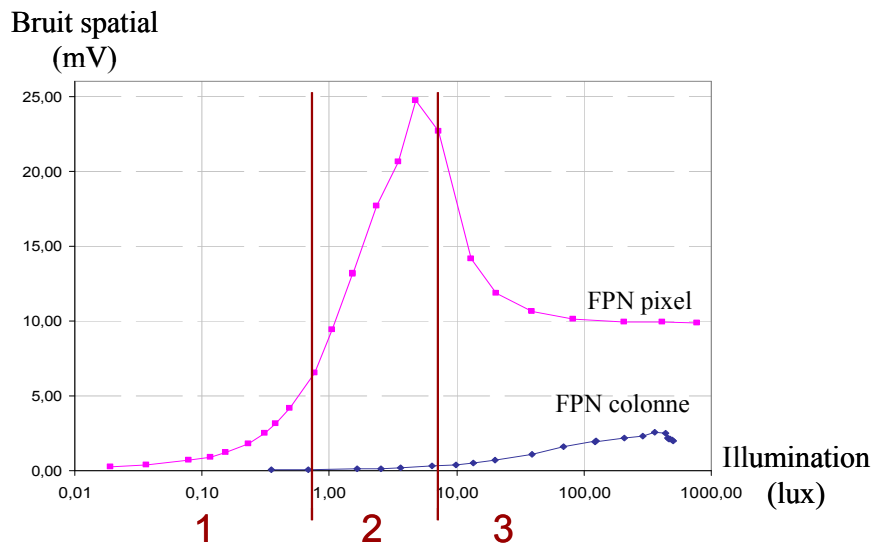


Figure 19 : Mesure du bruit spatial fixe (FPN) colonne et pixel

Hormis la zone 2, le FPN pixel reste inférieur à 10mV, soit 1,85% de la dynamique, ce qui est un bon résultat (2,5% de la dynamique pour [Kavadias00]). Par contre dans la zone 2, le FPN atteint 25mV, soit 4,6% de la dynamique... Ce défaut n'a pas été vu, donc non traité, lors de la conception du pixel car la technologie utilisée ne nous permettait pas de faire des simulations Monte Carlo... Le FPN colonne reste, comme attendu, faible et inférieur à 3mV, soit 0,55% de la dynamique.

La Figure 20 montre quelques images prises avec le capteur PICS. On note le classique écrasement des contrastes lié à la compression logarithmique. Les deux images de droite montrent les capacités de grande dynamique de ce capteur.

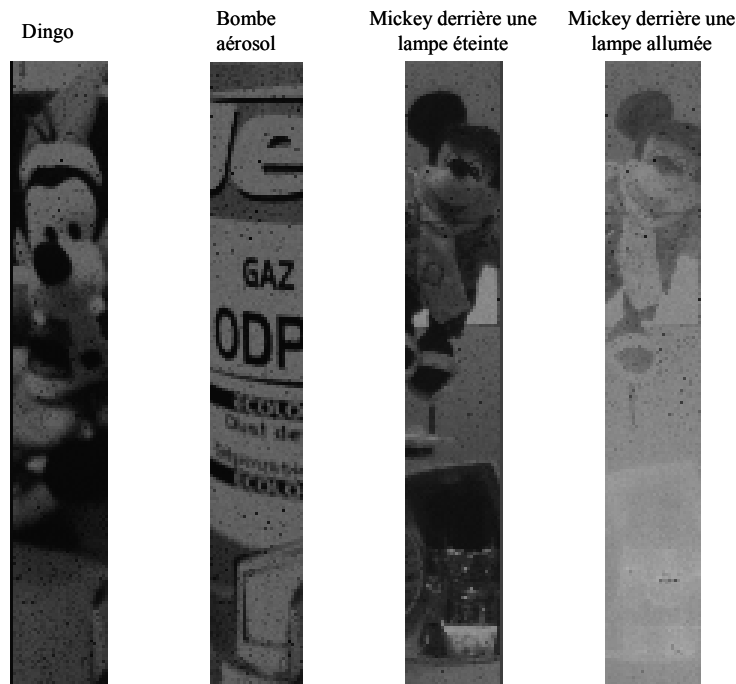


Figure 20 : Images prises avec le capteur PICS

### III.6 Circuit Imagyne 1

La compensation FPN du pixel testé dans le circuit "PICS" présente cependant deux défauts au niveau de la référence prise en compte. Premièrement, celle-ci correspond au niveau de tension générée dans le noir (courant d'obscurité). Lorsque l'on effectue une simulation Monte Carlo, la dispersion de la courbe de phototransduction, montrée Figure 10, est telle que dans certains résultats de dispersion technologique, la valeur de tension correspondant à la référence est suffisamment élevée pour que la chaîne d'amplificateur que constitue l'amplificateur colonne sature, entraînant une correction FPN erronée. Deuxièmement, les résultats de simulation de FPN, via des simulations Monte Carlo (Figure 12) montrent que prendre une référence dans le noir est moins efficace que dans le blanc, comme expliqué à la fin du paragraphe III.4

Prendre une référence dans les très fortes illuminations se traduit par une nouvelle structure de pixel qui a été présentée à la Figure 11-b et rappelée à la Figure 21. On note sur la caractéristique DC donnée que la référence est choisie de manière à ce que le générateur de courant implémenté par le transistor M4 génère un courant correspondant à la fin de la partie logarithmique de la fonction de transfert.

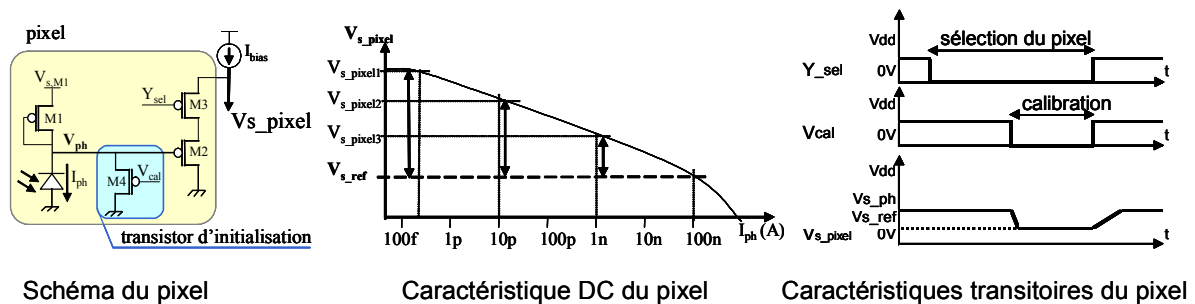


Figure 21 : Structure de pixel avec une calibration dans les fortes luminances

Nous avons vu à la fin du paragraphe III.4 que cette structure présentée une amélioration théorique de la compensation du FPN de 0,5%. Cela nous a paru suffisamment intéressant pour que nous la testions sur un circuit que nous avons appelé Imagyne 1. Cette matrice a été insérée dans le circuit Imagyne, contenant quatre matrices de 128 x 128 pixels. La technologie utilisée est la CMOS-opto 0,35 $\mu$ m du fondeur AMS et le circuit a été fabriqué via le service CMP. Le pixel contient une photodiode de 36 $\mu$ m<sup>2</sup> et implémente le pixel présenté à la Figure 21. L'acquisition de l'image est cette fois de type séquentielle ("Rolling Shutter"). Le layout de ce pixel est montré à la Figure 22. On note que le layout de ce pixel n'est pas très agressif et qu'il y a moyen de diminuer la surface du pixel de 10 à 20% encore.

L'amplificateur colonne est structurellement et fonctionnellement le même que celui implémenté dans le circuit PICS.

La courbe de phototransduction mesurée (avec le banc de test TIMA) de ce pixel est présentée à la Figure 23. On note tout d'abord la disparition de la sur-sensibilité aux faibles valeurs de luminance car cette fois, les valeurs de substrat et de polarisation du transistor M1 sont proches.

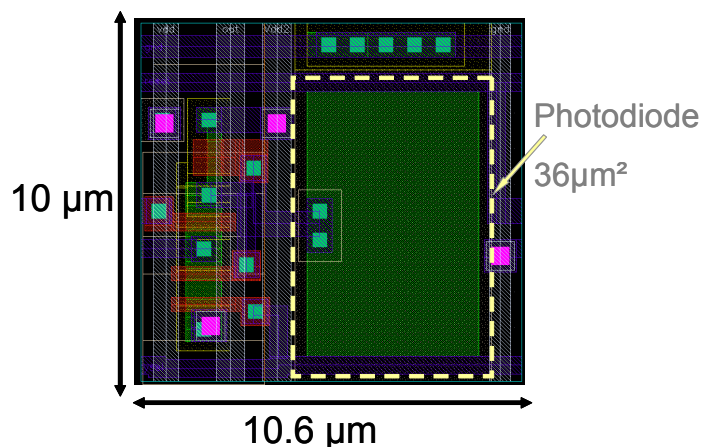


Figure 22 : Layout du pixel "Imagyne 1"

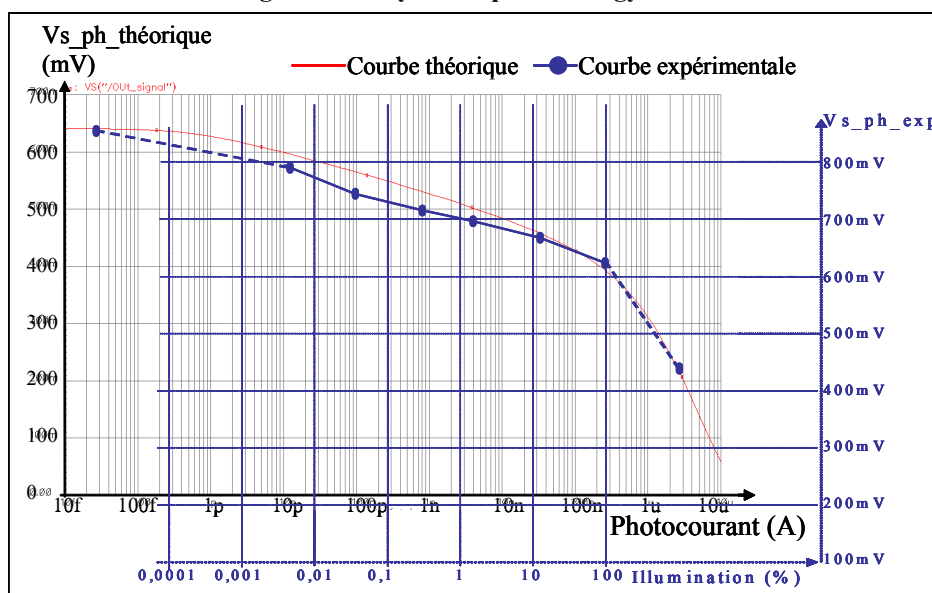


Figure 23 : Superposition des courbes de phototransduction simulée et mesurée de la matrice Imagyne 1

Les premières mesures de FPN pixel donnent une valeur de bruit spatial fixe sur toute la partie logarithmique de 1,66% de la dynamique en tension, ce qui est mieux que le circuit PICS... Cette diminution de 10%, au lieu des 15% attendue, peut s'expliquer par le fait que nous n'avons visiblement pas la bonne valeur de courant de calibration. Elle semble être de quelques micro-ampères au lieu de quelques dixièmes de micro-ampères. De ce fait, la référence ne se situe plus dans la zone de faible inversion et la compensation FPN est moins bonne.

Le FPN colonne est de l'ordre de 0,53% de la dynamique et le rapport signal à bruit serait, en première mesure, de l'ordre de 51dB, ce qui tend à prouver le bien fondé du choix d'une structure PMOS.

La Figure 24 montre quelques images prises avec le capteur Imagyne 1. On note immédiatement que le bruit spatial fixe pixel semble plus élevé que pour le capteur PICS. Ce que ne corrobore pas les mesures de FPN pixel ... Des investigations sont en cours pour résoudre cette énigme, notamment sur la manière de mesurer le FPN et surtout sur la qualité de notre électronique de lecture. Par contre, la grande dynamique d'entrée est bien visible sur la Figure 24-c

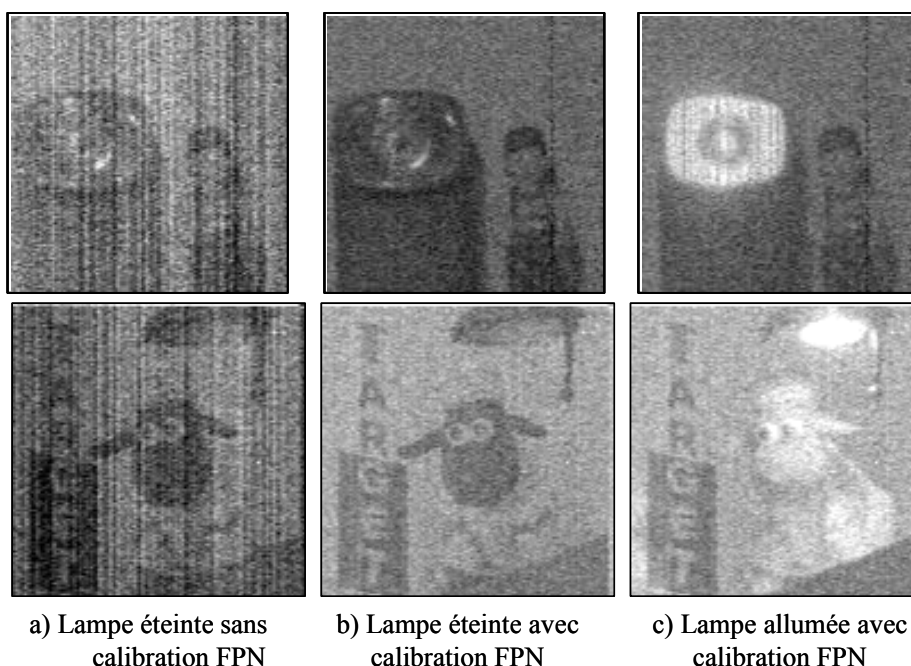


Figure 24 : Images acquises avec le capteur Imagyne 1

### III.7 Conclusion

Le Tableau 2 résume les principales caractéristiques de nos capteurs et des papiers références.

	[Loose01]	[Kavadias00]	PICS	Imagyne1
Technologie	0,6 $\mu$ m ; 5V	0,5 $\mu$ m	0,18 $\mu$ m ; 3,3V	0,35 $\mu$ m ; 3,3V
pixel ( $\mu$ m <sup>2</sup> )	24x24	7,5 x 10	10x10	10 x 10,6
facteur de remplissage	30%		20%	33%
dynamique	120dB	120dB	> 100dB	>100dB
Variation maximale (Vtot)	1500mV	300mV	540mV	415mV
Mode global shutter	non	non	oui	non
FPN colonne	8mV ; 0,53% / Vtot	2,1mV ; 0,7% / Vtot	3mV ; 0,55% / Vtot	2,2mV ; 0,53% / Vtot
FPN pixel	5,25mV ; 0,35% / Vtot	7,5mV ; 2,5 % / Vtot	10 à 25mV ; 1,85 à 4,6% / Vtot	6,9mV ; 1,66% / Vtot
Bruit temporel	5,75mV ; 0,38% / Vtot	2,3mV ; 0,75% Vtot		1,2mV ; 0,28% / Vtot
SNR	48,3 dB	42,3dB		50,7dB

Tableau 2 : Récapitulatif des performances mesurées des capteurs à réponse logarithmique

D'une manière générale, le capteur Imagyne 1 présente de meilleurs résultats en terme de compensation du FPN et de bruit.. En ce qui concerne les autres caractéristiques, elles sont similaires à l'état de l'art. Le capteur PICS est un peu en deçà de ces performances, mais il est le seul à proposer une capture instantanée de type "Global Shutter" qui engendre des effets secondaires non négligeables (fuite de l'information, perte en gain, en linéarité) et une compensation FPN prouvée moins efficace.

Ces travaux ont fait l'objet d'une partie de la thèse d'Estelle Labonne [Labonne07], et ont été valorisés par plusieurs publications [Labonne07b] [Labonne06b] [Labonne06a].

Il reste, cependant, beaucoup à faire pour que les pixels à réponse logarithmique arrivent à un degré de maturité suffisant. La dynamique en tension de sortie est encore trop faible, la sensibilité à la température est importante, ainsi que le rapport signal sur bruit, la sensibilité est encore au moins un ordre de grandeur supérieure à un capteur standard, etc. ...

Des actions sont en cours actuellement au laboratoire pour augmenter la dynamique en tension (stage de master) et pour réduire la sensibilité à la température (thèse en 1<sup>ère</sup> année). Une contrainte qui n'a pas été encore abordée et qui a toute son importance, touche à la compatibilité de ces capteurs logarithmiques avec un capteur standard : nous avons toujours pris garde au fait que nos capteurs soient compatibles, d'un point de vue utilisation, avec un environnement d'utilisation normal. Cela veut dire qu'avec très peu d'effort, les signaux de commandes d'un capteur de type PICS ou Imagyne1 peuvent être strictement identiques à son équivalent standard en résolution.

## **IV. Adaptation aux conditions lumineuses**

Le principe de l'adaptation aux conditions lumineuses est un concept actuellement du domaine presque exclusivement de la recherche. A ma connaissance, une seule société ("Intrigue Technologies") utilise ce genre de système.

Le principe est très simple : Fournir une image en sortie du capteur qui soit indépendante des conditions lumineuses ambiantes. Ceci est très intéressant pour des applications de traitement d'images, car cela permet une simplification notoire de l'étage d'entrée du système : l'image proposée en sortie du capteur a toujours la même dynamique en tension, le même histogramme pour être exact. Il n'y a donc pas de correction de dynamique ou de gain à prévoir. Cela permet également de simplifier les caméras qui utilisent ces capteurs car les systèmes d'obturation mécanique ou électronique ne sont plus nécessaires.

J'ai commencé à travailler dans ce domaine lors de ma thèse et les travaux présentés ci-après sont, en quelque sorte, les suites directes de mes travaux de doctorat.

Depuis la rédaction de mon manuscrit de thèse, l'état de l'art dans ce domaine a peu évolué. Delbrück a fait évoluer le pixel présenté dans [Delbruck95]. Cependant, le système d'adaptation implémenté n'a pas évolué, c'est l'utilisation qu'il en fait qui est nouvelle [Delbruck04]. Le pixel contient deux capacités et cinq transistors. La surface du pixel n'est donc pas négligeable et la réponse est toujours de type logarithmique.

Les avancées les plus importantes sont liées aux travaux de Brajovic [Brajovic04] qui proposent des algorithmes permettant de traiter les images de manière à ce que le résultat soit de type vision rétinienne. Entre autre, les problèmes d'adaptation locale aux conditions lumineuses sont traités et permettent l'obtention d'images à grande dynamique. La société "Intrigue Technologies" a fait une implémentation silicium de cet algorithme dédiée à une utilisation en robotique. Il s'agit d'un réseau analogique adaptatif mais malheureusement, aucune caractéristique du circuit n'est disponible si ce n'est que le circuit contient 240 x 320 pixels et que la surface du pixel est trois fois plus importante que celle d'un pixel normal ...

Dans cet axe de recherche, nous avons conçu deux circuits aux structures de pixel complètement différentes : le circuit "Imagyne 2" est dédié aux applications à caméra bas coût "grand public" et le circuit "Imagyne 3" est plutôt dédié aux applications industrielles et propose une architecture beaucoup plus ouverte d'un point de vue perspective.

### **IV.1 Circuit Imagyne 2**

L'idée de ce circuit est de proposer une solution intermédiaire aux systèmes à grande dynamique. La question que l'on peut se poser est : pourquoi et comment modifier un pixel standard pour des applications grand public, donc à très bas coût. Pour des applications telles que les "webcams" ou les téléphones mobiles, les principales innovations de ces dernières



années ne concernent que l'augmentation de la résolution du capteur et du "packaging" de celui-ci.

Côté électronique, une façon de baisser les coûts pourrait être d'inclure un système d'adaptation aux conditions lumineuses simple, donc peu coûteux en surface, afin de calculer en temps réel le temps d'intégration optimal nécessaire en fonction des conditions lumineuses. Cet "obturateur électronique" permettrait de simplifier l'électronique autour de la matrice.

Pour remplir ce cahier des charges, nous avons opté pour la structure proposée à la Figure 25.

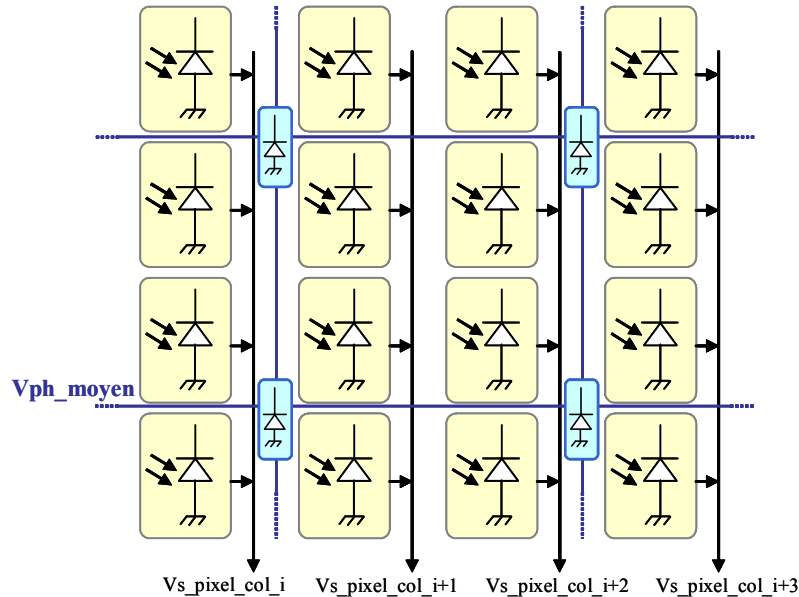


Figure 25 : Illustration des deux matrices imbriquées

Cette architecture est une matrice de pixels standard à trois transistors dans laquelle nous avons imbriqué une matrice de plus faible résolution. Cette dernière a pour but d'évaluer l'illumination moyenne de la matrice et de donner cette information sous forme de tension. Ceci fait, la tension de sortie de cette matrice ( $V_{ph\_moyen}$ ) est convertie en numérique sur trois bits et permet le calcul du temps d'intégration optimal Figure 26.

La conversion avec une résolution de trois bits peut paraître non usuelle, mais elle permet de générer huit temps d'intégration différents ce qui est plus qu'assez. De plus, la conception de ce type de convertisseur est extrêmement simple et il est possible de se focaliser sur la minimisation de la consommation de ce bloc.

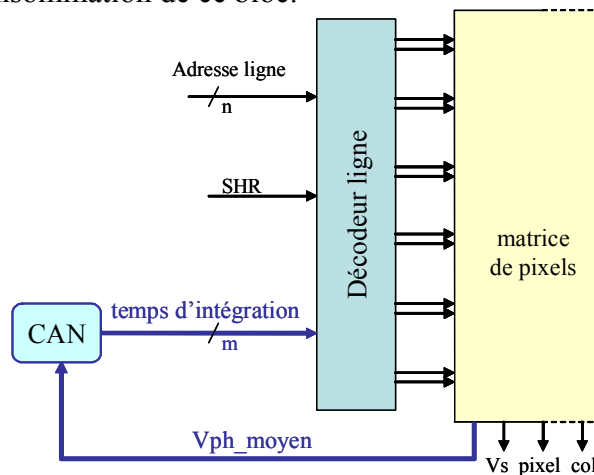


Figure 26 : Illustration de la boucle d'asservissement du temps d'intégration à la tension correspondante à l'illumination moyenne de la matrice

Afin de générer une tension proportionnelle à l'illumination incidente moyenne, nous avons conçu la structure à compresseur logarithmique présentée à la Figure 27. Le pixel est constitué de deux transistors NMOS et d'une petite photodiode (moitié de la photodiode du pixel standard). Cette structure, version simplifiée de celle utilisée en version PMOS dans mes circuits de thèse [Sicard98], a la particularité d'avoir une réponse logarithmique à la lumière incidente et de proposer une tension de sortie correspondant à la valeur moyenne des courants photogénérés via un nœud commun à tout le réseau. La seule condition est que tous les transistors soient de la même taille.

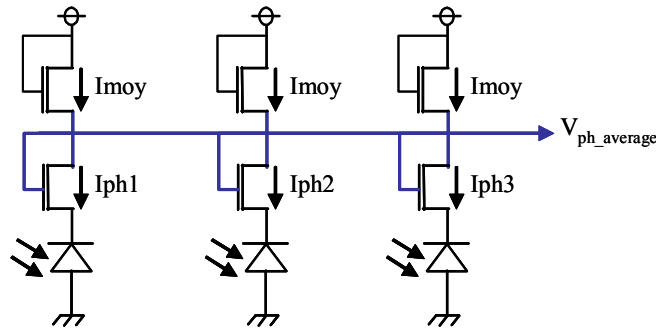


Figure 27 : Schéma du réseau de pixels à compresseur logarithmique, en transistors NMOS

Le choix d'une structure NMOS est dicté par la volonté de minimiser la surface de ce pixel qui sera imbriqué parmi des pixels standard, donc constitués de NMOS également. La réponse en tension de ce pixel est présentée à la Figure 28. La dynamique en tension n'est pas très bonne, comme attendu avec une structure NMOS et déjà discuté au III.1 Cependant, les quelques centaines de millivolts disponibles sont suffisants pour gérer huit temps d'intégration différents.

Le layout de la structure élémentaire de cette matrice est présenté à la Figure 29. Nous avons choisi d'insérer un pixel à compresseur logarithmique avec quatre pixels standard. Ce choix est dicté par la contrainte de faciliter le dessin et par la volonté de minimiser le risque de mauvaise réponse du système de moyennage liée à une trop faible résolution du réseau. La brique élémentaire a des dimensions de  $24\mu\text{m}$  par  $24\mu\text{m}$ . Le pixel standard contient trois NMOS et une photodiode de  $36\mu\text{m}^2$ . Le pixel à compresseur logarithmique contient deux transistors et une photodiode d'environ  $17\mu\text{m}^2$ .

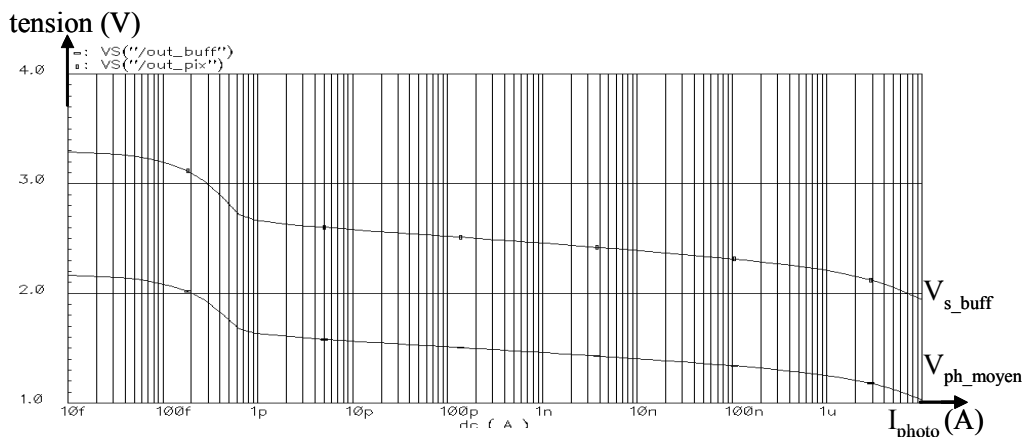


Figure 28 : Évolution de  $V_{\text{ph\_moyen}}$  (entrée du buffer) et  $V_{\text{s\_buff}}$  (sortie du buffer) en fonction du courant photo généré  $I_{\text{photo}}$

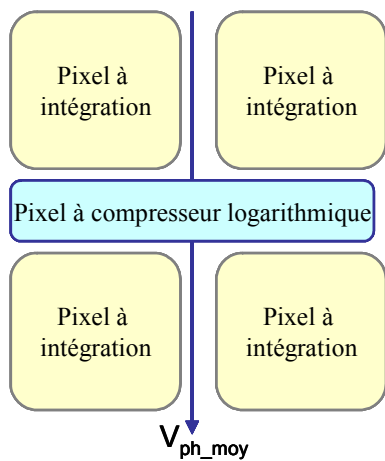
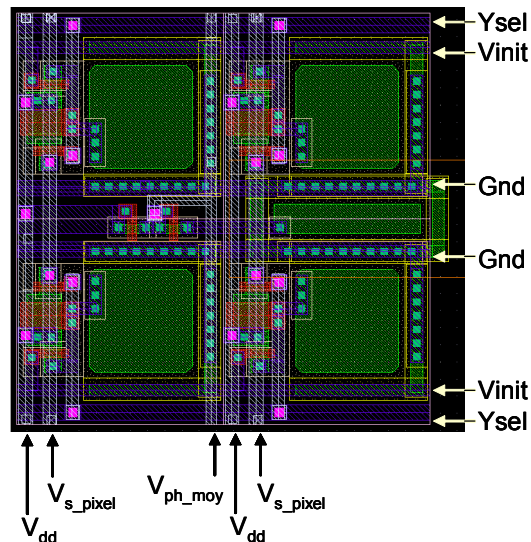


Diagramme bloc de la brique de base des matrices imbriquées



Dessin des masques de la brique de base des matrices imbriquées

**Figure 29 : Diagramme bloc et dessin des masques de la brique élémentaire du layout des matrices imbriquées du capteur IMAGYNE2**

La Figure 30 montre le bon fonctionnement de cette matrice et du bien fondée de l'idée via deux films comportant une séquence d'images identique. Le film n°1 est effectué avec une matrice standard de 128 par 128 pixels. Ce pixel a les mêmes caractéristiques que celui implanté et présenté à la Figure 29, soit les mêmes transistors NMOS et la même photodiode de  $36\mu\text{m}^2$ . Le film n°2 est réalisé avec le capteur Imagyne 2 qui contient une matrice de 64 par 64 blocs élémentaires détaillée juste au dessus. Nous obtenons donc une matrice standard de 128 par 128 pixels dans laquelle est imbriquée une matrice de moyennage de 64 par 64 pixels.

La séquence du film est la suivante : nous démarrons avec une puissance lumineuse type "lumière de néon" et nous avons fait en sorte que les deux matrices proposent le même temps d'intégration (a). En (b), nous éclairons la scène avec une puissante lampe halogène. La matrice standard sature immédiatement alors que la matrice Imagyne 2 adapte automatiquement son temps d'intégration à ce changement de luminosité ambiante. En (c), nous diminuons manuellement le temps d'intégration de la matrice standard afin de re-obtenir une image correcte. En (d), nous éteignons la lampe halogène et le capteur standard donne une image très foncée, son temps d'intégration étant trop court. Le capteur Imagyne 2 corrige immédiatement (dès l'image suivante, à 25 images par seconde). En (e), on re-augmente manuellement le temps d'intégration de la matrice standard afin de re-obtenir une image correcte.

On voit donc que notre système d'adaptation aux conditions lumineuses appliqué à l'optimisation du temps d'intégration d'une matrice standard fonctionne correctement. Toute la phase de caractérisation du capteur reste cependant à faire. Cela dit, il est à noter que ces résultats ne sont pas des plus primordiaux du fait que nous devons retrouver des performances en sensibilité, dynamique, rapport signal à bruit, etc, identique à un capteur de vision CMOS standard.

D'un point de vue amélioration de ce système, plusieurs points sont à souligner. Tout d'abord, l'augmentation de la surface du pixel standard est ici d'environ 50% ce qui est beaucoup. Cela est essentiellement lié au manque de temps de conception, qui nous a amené à dessiner un pixel au design relâché. D'un autre côté, une diminution de la résolution de la matrice de

moyennage, ainsi qu'une diminution de la surface de ses photodiodes est à étudier afin de gagner en surface et de limiter l'augmentation de la surface du pixel de 10 à 20% maximum. Le Tableau 3 résume les principales caractéristiques de ce capteur Imagyne 2.

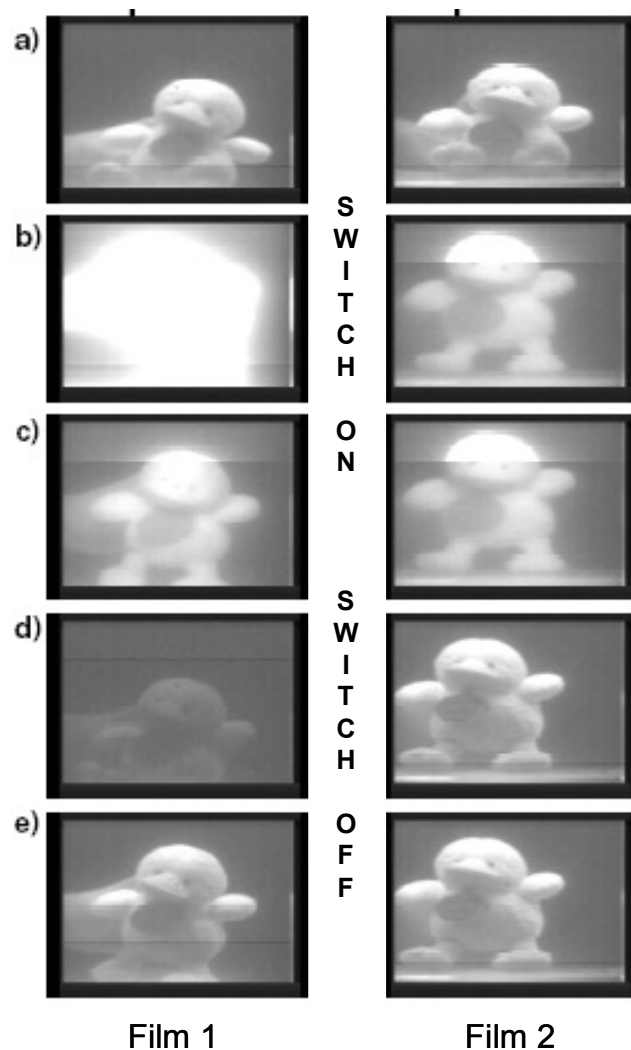


Figure 30 : Film1 : séquence filmée avec notre capteur de référence (sans adaptation). Film 2 : séquence filmée avec notre capteur Imagyne 2 (avec adaptation).

Tableau 3 :

Technologie	0,35 $\mu$ m CMOS
Résolution matrice standard	128 x 128 pixels
Résolution du réseau log.	64 x 64 pixels
Nombre de MOS par pixel	3,5 NMOS
Pas des pixels	12 $\mu$ m
Photodecteurs	36 $\mu$ m <sup>2</sup> / 17 $\mu$ m <sup>2</sup> N+P photodiode
Facteur de remplissage	25%
Mode d'acquisition	Rolling shutter
Tension d'alimentation	3,3V
Résolution du CAN de sortie	8 bits
Temps d'intégration	Variable suivant illumination
Dynamique d'entrée	comme pixel standard
FPN	comme pixel standard
Bruit temporel	comme pixel standard

## IV.2 Circuit Imagyne 3

Les travaux sur l'architecture de ce capteur de vision ont démarré en 2003 [Labonne03] et aboutissent à une nouvelle architecture de capteurs de vision CMOS.

L'idée principale réside en une constatation : Actuellement, les imageurs CMOS sont constitués de trois éléments principaux que sont la matrice photosensible, les amplificateurs colonnes et le convertisseur analogique-numérique (CAN). Cette structure est figée et est destinée à fournir, en sortie du CAN, des données retranscrivant le plus fidèlement possible l'information de luminance détectée par les photodiodes. Les seules évolutions constatées au niveau des produits commercialisés ces dernières années concernent uniquement l'augmentation de la résolution de la matrice photosensible ainsi que de celle du CAN.

Parallèlement à cela, les demandes, dans le domaine de la vision industrielle, de systèmes d'imagerie complexes croissent fortement. Dans la plupart des cas, ces systèmes doivent être intégrés dans un environnement contraint en terme de puissance consommée et surtout de coût. De part le fait, toutes améliorations sur ces deux points au niveau de l'imageur CMOS, point d'entrée de ce système d'imagerie, seront les bienvenues.

Historiquement, nous avons voulu évaluer la possibilité de faire un pixel à grande dynamique permettant l'obtention directe d'une information digitale [Labonne03]. Ce travail a donné les bases architecturales du circuit Imagyne 3. L'objectif était de diminuer la consommation globale du capteur en éliminant les amplificateurs colonne. Cependant, une étude comparative, montrée dans [Labonne05], montre que la surface d'une matrice à pixel numérique serait deux fois plus importante que la même structure, mais séparée judicieusement entre le pixel et l'amplificateur colonne. Dans ce dernier cas, c'est l'amplificateur colonne qui est à sortie numérique. Cela a pour avantage de ne pas avoir à implémenter de compensation FPN colonne de type DDS et ainsi gagner un facteur deux sur la vitesse de lecture.

Pendant ce travail, il s'est avéré aisé d'ajouter une adaptation aux conditions lumineuses. Cela ajoute de l'intérêt à cette étude car, même si le capteur, de type logarithmique, est déjà à grande dynamique d'entrée, le fait d'y adjoindre une capacité d'adaptation aux conditions lumineuses fait que celui-ci fournira en sortie une image à niveau de gris constant, autrement dit un histogramme constant.

Le fonctionnement de l'adaptation est montré à la Figure 31. L'idée générale est de fournir en sortie du capteur non pas, comme pour Imagyne 2, l'information de luminance du pixel et la valeur de la luminance moyenne, mais directement la différence entre ces deux informations. Les deux exemples donne les valeurs de deux pixels (A et B) d'une même scène, mais illuminée de deux manières différentes (exemple 2 plus illuminé d'où une valeur moyenne plus basse). Le système implémenté donne les mêmes valeurs de tension en sortie du capteur ( $V_{ph\_A}$  et  $V_{ph\_B}$ ).

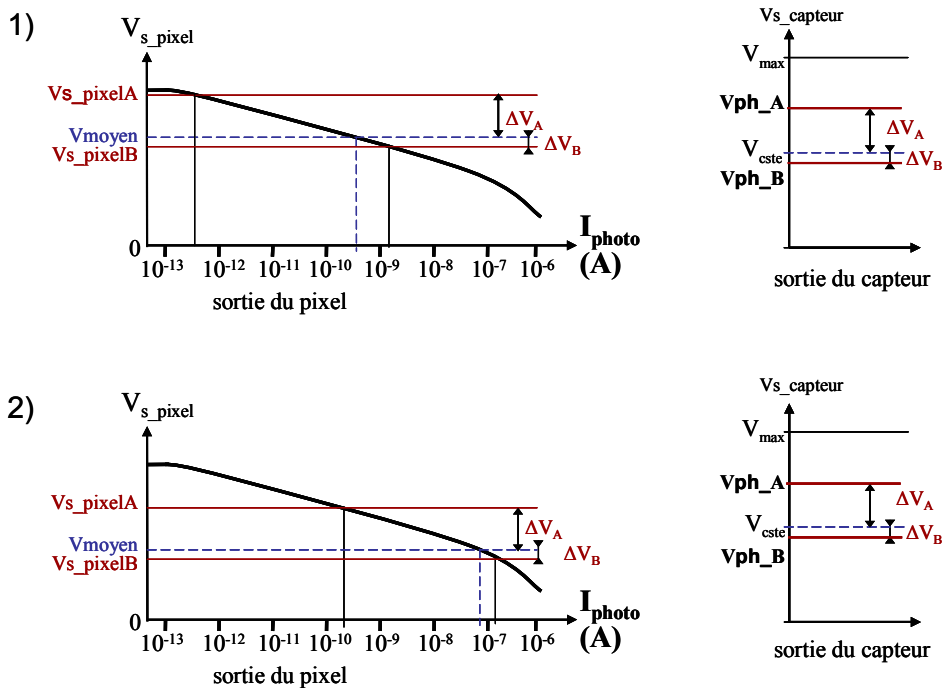


Figure 31 : Illustration de la sortie du pixel et celle du capteur pour deux pixels A et B, 1) pour une matrice faiblement éclairée, 2) pour une matrice fortement éclairée.

Pour implémenter cette fonctionnalité, nous utilisons le schéma de principe donné à la Figure 32. Un convertisseur à approximation successive est chargé de convertir la donnée analogique explicitée à la figure précédente ( $V_{ph\_A}$  par exemple). La matrice de pixel fournit les informations de luminances locales et moyenne à l'amplificateur colonne qui en calcule la différence. Cette valeur est alors le point d'entrée du CAN à approximation successive. Ce dernier va alors approcher par dichotomie la valeur numérique correspondante.

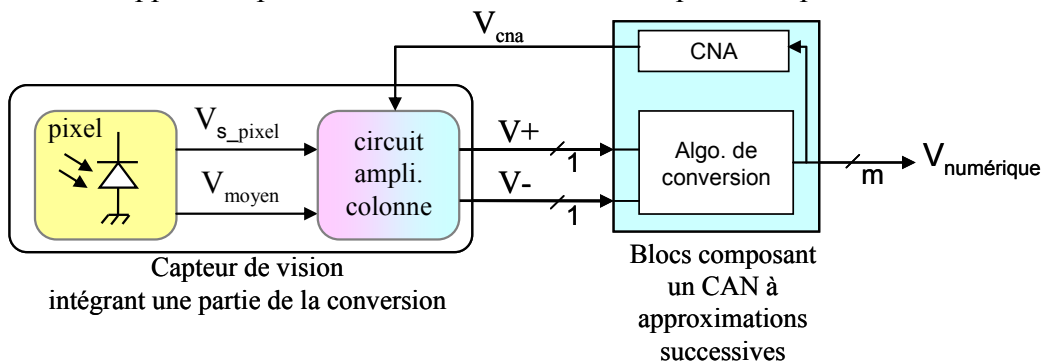
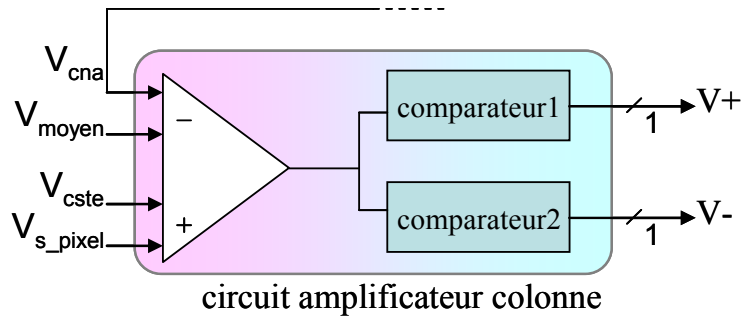


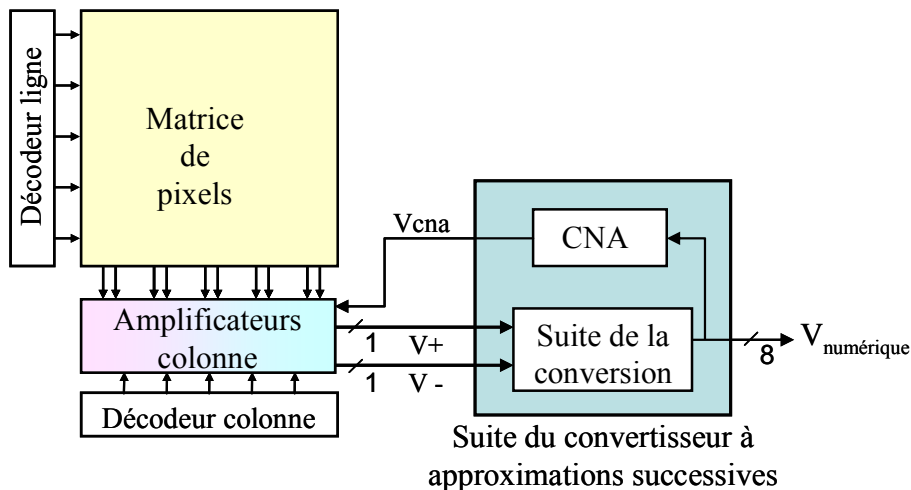
Figure 32 : Diagramme bloc de la chaîne de conversion implémentée dans le capteur "Imagye 3"

Comme déjà dit, cette architecture a été répartie entre le pixel, l'amplificateur colonne et enfin une partie commune à toute la matrice. La principale nouveauté, par rapport à une architecture d'imageur habituelle est qu'une partie du CAN est dans l'amplificateur colonne. Il s'agit de toute la partie analogique du CAN : L'étage de comparaison (entre l'entrée et l'état courant de la valeur numérique, via la tension de retour  $V_{CNA}$ ) (Figure 33). Cet étage informe l'algorithme de conversion si la valeur d'entrée du CAN est supérieure ( $V^+=1$ ,  $V^-=0$ ) ou inférieure ( $V^+=0$ ,  $V^-=1$ ) ou égale ( $V^+=0$ ,  $V^-=0$ ) à la valeur courante du CAN. La tension fixe  $V_{cste}$  est ajoutée afin de décaler la dynamique en tension de la différence ( $V_{s\_pixel} - V_{moyen}$ ) de manière à avoir un résultat toujours supérieur à 0volt.



**Figure 33 : Diagramme bloc du circuit amplificateur colonne du circuit "Imagyne 3"**

Au final, nous obtenons le schéma présenté à la Figure 34. Le circuit Imagyne 3 a été conçu avec la technologie CMOS 0,35 $\mu\text{m}$  d'AMS et a une résolution de 128 x 128 pixels. La matrice photosensible fournit les informations de luminance de chaque pixel, ainsi que la luminosité moyenne. Avec ces deux informations et la valeur de retour du CAN, l'amplificateur colonne calcule ses deux tensions binaires de sortie qui pilotent la partie numérique du CAN à approximation successive. Ce dernier a une résolution de 8 bits et il faudra donc pour chaque pixel huit itérations afin d'effectuer la conversion du signal analogique ( $V_{s\_pixel} - V_{moyen}$ ) en un signal numérique  $V_{numérique}$ .



**Figure 34 : Diagramme bloc du capteur "Imagyne 3"**

Le schéma à transistors du pixel est donné à la Figure 35. Il contient une photodiode N+-Pwell de 36 $\mu\text{m}^2$  et 12 transistors MOS. Le pixel est symétrique afin de fournir, d'une part, la valeur photogénérée au sein du pixel et, d'autre part, la valeur moyenne, via le nœud commun  $V_{ph\_moyen}$ . Les amplificateurs M7-M8 et M5-M6 permettent d'isoler les nœuds liés à la photodiode des sorties du pixel. Ce pixel, de part sa courbe de phototransduction logarithmique est à grande dynamique et a une dynamique de sortie d'environ 400mV. La consommation continue du pixel est de l'ordre de trois fois le courant photogénéré. La consommation des deux amplificateurs de sortie est de 3 $\mu\text{A}$ .

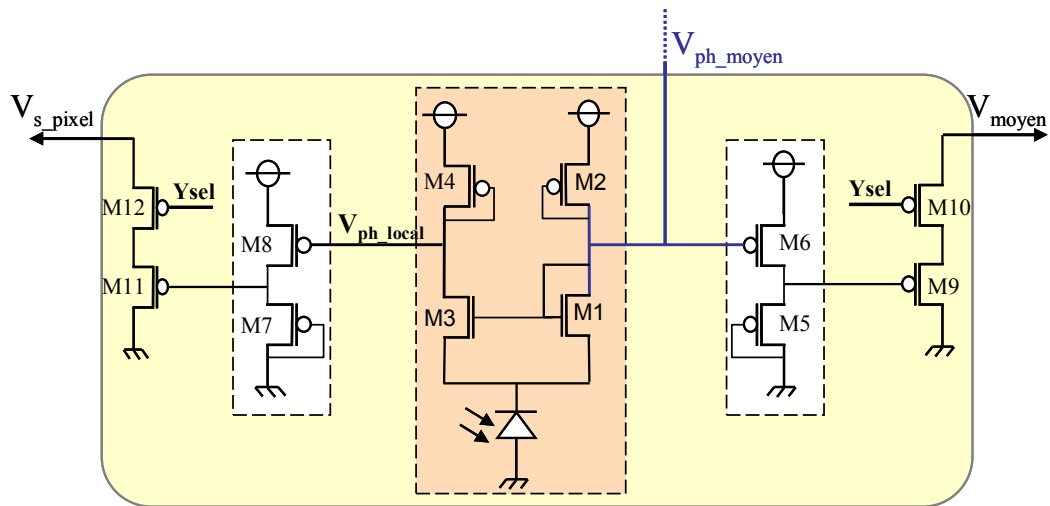


Figure 35 : Schéma du pixel à compresseur logarithmique et fournissant les information relatives à l'illumination locale et moyenne

Le layout du pixel est montré à la Figure 36 et mesure 15 $\mu$ m par 15 $\mu$ m. Le facteur de remplissage est de 16%.

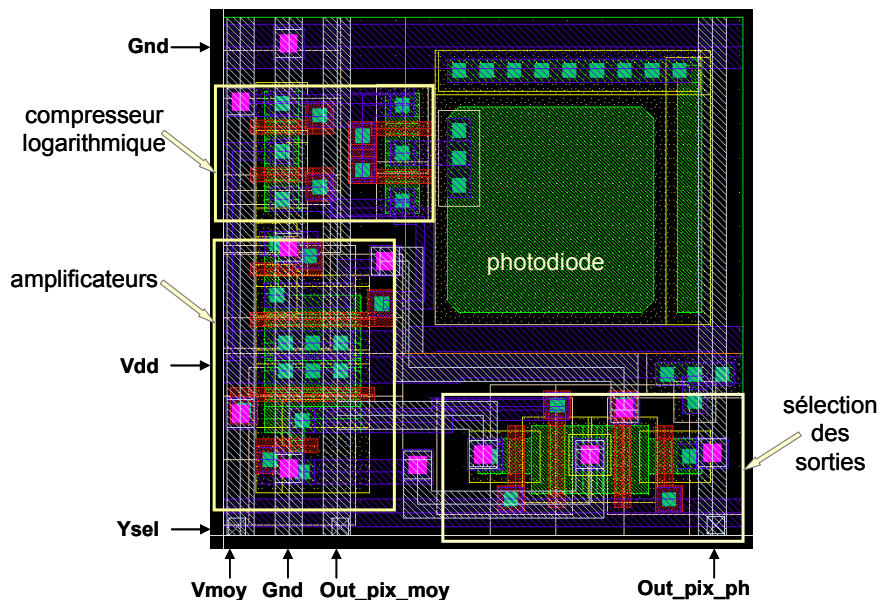
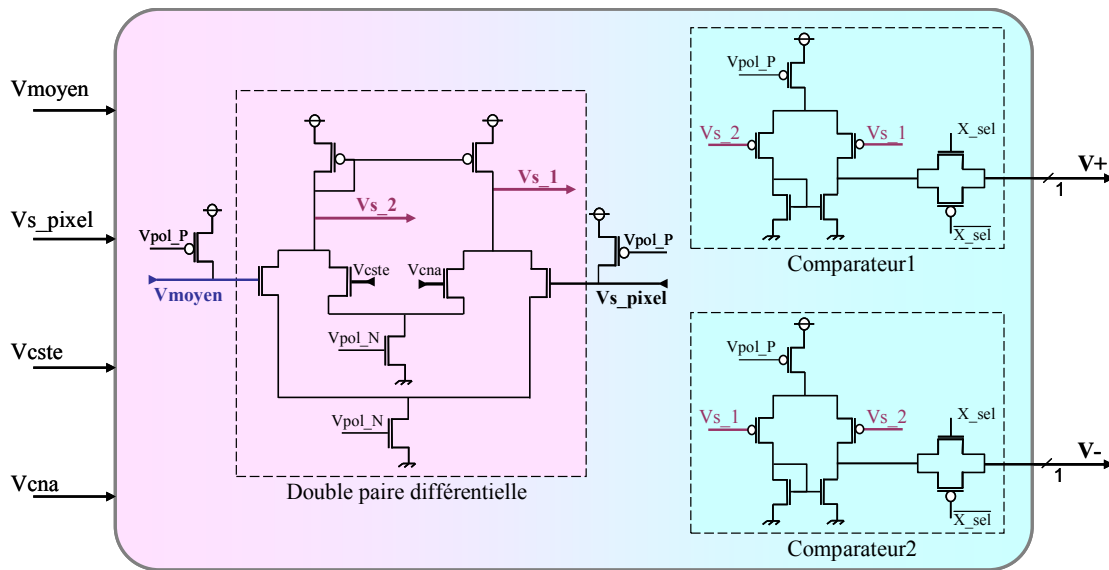


Figure 36 : Dessin des masques du pixel "Imagyne 3"

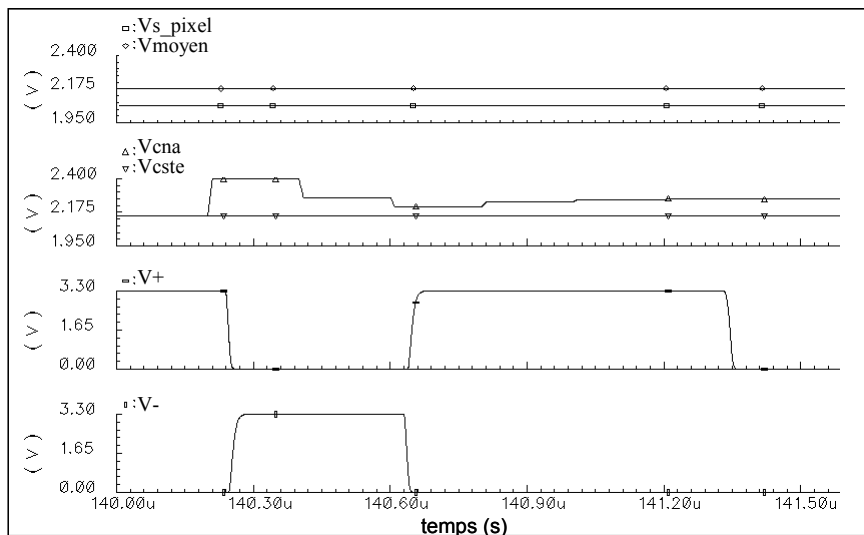
Le schéma à transistor de l'amplificateur colonne est donné à la Figure 37. Il est constitué d'une double paire différentielle qui a comme entrée les signaux émanant du pixel et les signaux venant du CAN. Ce montage implémente l'équation  $(V_{s\text{-pixel}} - V_{\text{moyen}}) - (V_{\text{cste}} - V_{\text{CNA}})$ . La sortie différentielle est utilisée pour générer les sorties  $V^+$  et  $V^-$  via deux comparateurs. Cet amplificateur colonne contient 24 transistors et consomme 50 $\mu$ A, soit environ trois fois moins qu'un amplificateur colonne classique.



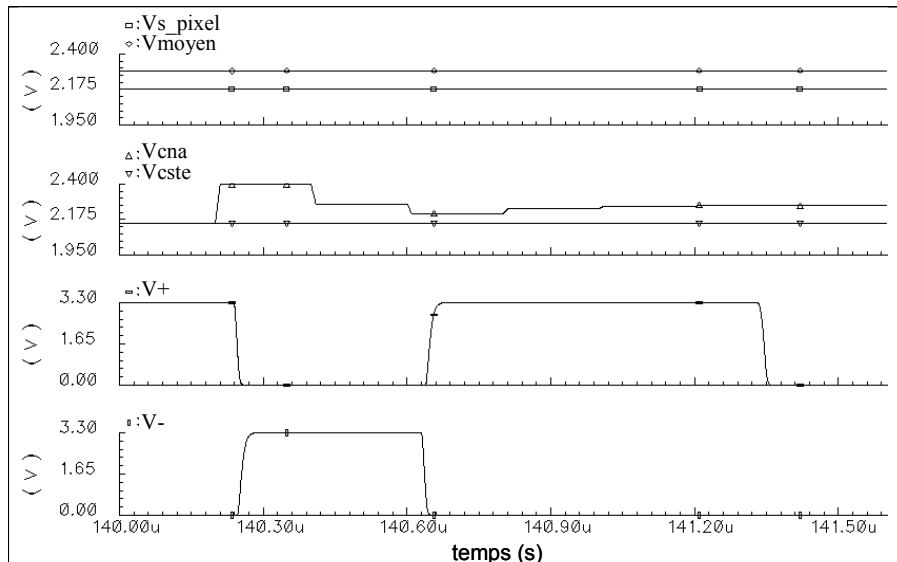


**Figure 37 : Schéma transistors du circuit amplificateur colonne intégrant une partie de la conversion numérique**

La Figure 38 et la Figure 39 montrent les résultats de simulation électrique de l'ensemble de la chaîne de lecture. Les deux exemples montrent l'extraction d'un pixel pour une scène identique mais dans des conditions de luminosité ambiante différente. On note les huit phases de conversion dues à l'utilisation d'un CAN à approximation successive (modification de la valeur de  $V_{CNA}$ ), ainsi que l'évolution des signaux  $V^+$  et  $V^-$ . Le système d'adaptation aux conditions lumineuses fonctionne dans le sens où les deux exemples donnent un résultat identique que ce soit sur l'évolution des signaux  $V_{CNA}$ ,  $V^+$  et  $V^-$ .



**Figure 38 : Illustration du comportement des sorties  $V^+$  et  $V^-$  durant les huit approximations successives, permettant de calculer  $(V_{s\_pixel} - V_{moyen})$  dans le cas d'une scène peu lumineuse.**



**Figure 39 : Illustration du comportement des sorties V+ et V- durant les huit approximations successives, permettant de calculer  $(V_{s\_pixel} - V_{moyen})$  dans le cas d'une scène plus lumineuse**

Ce circuit n'a actuellement toujours pas été testé. Ceci devrait être effectif à la fin du premier semestre 2008.

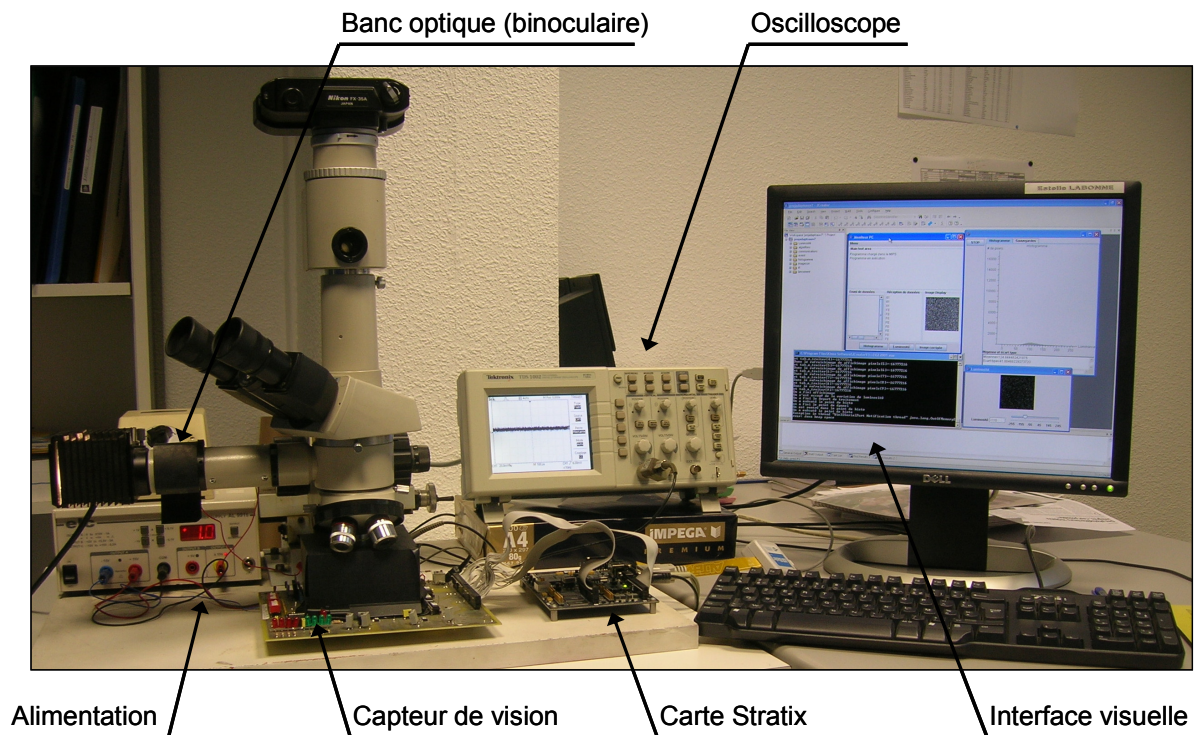
Ce travail s'est articulé autour d'un stage de DEA [Labonne03] et d'une partie de la thèse d'Estelle Labonne. Deux publications ont été déjà publiées sur cette architecture dans une conférence nationale [Labonne05] et dans une conférence internationale [Labonne06c].

## V. Conclusion et perspectives sur les imageurs CMOS

La fin du chapitre précédent met en évidence la principale difficulté à laquelle j'ai été confronté lors de la conception du circuit IMAGYNE : la mise en place d'un environnement de test. Cette mise en place a demandé un effort considérable réparti, malheureusement, sur plusieurs années. Depuis le milieu de 2007, nous avons enfin un environnement de mesure opérationnel (Figure 40) qui comprend, une carte analogique qui supporte le capteur à tester, une carte "Stratix" permettant la programmation d'un FPGA qui pilote la carte analogique, et une interface graphique. Cette dernière permet de visualiser les images fournies par les capteurs, d'en calculer en temps réel les histogrammes, d'effectuer automatiquement la mesure du bruit spatial fixe (FPN), de soustraire une image à celle en cours, si besoin est, de moyenniser les images reçues, etc.

Le développement des différentes cartes, codes (VHDL pour le FPGA) et l'interface graphique a monopolisé, outre Estelle Labonne (doctorante), sept stagiaires répartis sur trois années universitaires ....

Ce travail de développement indispensable étant maintenant bien avancé, le "retour sur investissement" va pouvoir commencer et j'espère que le test et la caractérisation des capteurs à venir se feront plus rapidement.



**Figure 40 : Photographie de l'environnement de test du circuit IMAGYNE**

D'un point de vue scientifique, chacun des circuits présentés peut être amélioré soit d'un point de vue structurel, soit d'un point de vue fonctionnalité :

- Concernant les capteurs à réponse logarithmique, conclusion et perspectives ont été données au paragraphe III.7. On se bornera à rappeler que cette structure étant intrinsèquement à grande dynamique et structurellement très simple, je la trouve toute indiquée pour des applications de vision industrielle pour lesquelles la qualité de l'image (au sens "joli à l'oeil" du terme, soit avec une forte résolution, sans bruit, et à réponse linéaire) n'est pas primordiale. Dans ce cas, ses faiblesses en terme de bruit ou de sensibilité sont compensées, à mon sens, par le gain en consommation et en coût qu'apporte sa simplicité au niveau du système d'imagerie complet. J'en veux pour preuve les applications développées par l'institut de microélectronique de Stuttgart dans le domaine de l'automobile ou des services aéroportuaires. Par contre, je pense qu'il est important d'améliorer ce pixel au niveau de sa robustesse aux variations liées à la température et à la fabrication. Une thèse est en cours de 1<sup>ère</sup> année sur ce sujet, dans le cadre d'un projet Minalogic nommé VIS-IMALOGIC. Un stage de Master est également en cours et a pour but de trouver une solution pour augmenter la dynamique en tension de sortie du pixel tout en conservant une compensation du FPN correcte.
- Concernant les capteurs à adaptation aux conditions lumineuses, le circuit Imagyne 2 montre que cette implémentation simple et originale est efficace. Certes, l'augmentation de la surface du pixel est importante sur ce premier prototype, mais je n'ai pas voulu prendre de risque pour ce premier jet. Je voulais d'abord quelque chose de fonctionnel de manière à avoir une base solide et pouvoir aller vers une optimisation plus poussée, comme exposé à la fin du paragraphe IV.1. D'un point de vue fonctionnalité, le pas suivant serait de rendre l'adaptation plus locale, idéalement au sein du pixel même. Ceci n'est pas simple, mais mérite réflexion...

- Concernant le circuit Imagine 3, la principale préoccupation à court terme est de le mettre en œuvre. Ceci fait, et une fois les défauts, qui seront sûrement détectés, fixés et corrigés, beaucoup de choses seront à entreprendre afin d'améliorer la structure, comme mettre en place une compensation du FPN à court terme par exemple. Pour moi, ce circuit est le point de départ d'une longue aventure scientifique : traitement d'images bas-niveau, adaptation locale, système ROI ("Region of Interest"), lecture intelligente de la matrice, sont autant de voies que je souhaite explorer dans les années à venir. Cette architecture en sera le travail de départ. Certaines choses ont déjà été faites dans ces domaines, mais aucune solution n'a percée pour le moment.

En marge des travaux présentés dans ce manuscrit, j'interviens ou suis intervenu dans d'autres actions de recherche dans le domaine des capteurs de vision :

- Co-encadrement d'une thèse à TIMA sur les possibilités d'auto-test de capteurs de vision CMOS (logarithmique ou non). Ce travail s'effectue en collaboration avec l'équipe RMS de Salvador MIR et dans le cadre du projet Médéa + PICS. Il a pour but de simplifier au maximum le test de production des capteurs de vision et a donné lieu à plusieurs publications [Liz06] [Liz07a] [Liz07b]. Cette thèse est en phase de rédaction.
- Co-encadrement d'une thèse au CEA-LETI, au sein du laboratoire DCIS, dans le cadre de la conception d'imageurs infrarouges refroidis intégrant du traitement de données (2<sup>ème</sup> année en cours).
- Cette thèse fait suite à l'encadrement universitaire d'un DRT effectué dans le même laboratoire du CEA-LETI sur la conception d'un pixel pour imageur infrarouge non refroidis. Un deuxième DRT est en cours actuellement sur le même sujet.
- Un stage de Master 2 sur la conception d'un amplificateur colonne pour imageur standard avec des contraintes fortes en terme de consommation, de surface et de bruit (contrat de recherche avec ATMEL) [Renane02].
- Un stage de Master 2 sur la modélisation en VHDL-AMS des photodiodes [Dalibert01]

Au final et d'un point de vue encadrement, mes travaux sur les imageurs CMOS représentent :

- cinq stages de master 2 (dont un en cours),
- sept stages de niveau master 1 (un en cours),
- deux DRT au CEA-LETI sur les imageurs infra-rouge (un en cours),
- une thèse soutenue [Labonne07]
- une thèse en finalisation (encadrement partagé avec S. Mir de TIMA)
- une thèse en cours de 2<sup>ème</sup> année (au CEA-LETI sur les imageurs infra-rouge)
- une thèse en cours de 1<sup>ère</sup> année

Ces travaux ont été soutenus par un projet européen MEDEA+ "PICS" avec le soutien de l'industriel ATMEL St Egrève, maintenant e2v Grenoble.

Ces travaux ont fait l'objet d'un certain nombre de publications dont la liste est donnée ci-après :

➤ Thèses :

E. Labonne, "Contributions à la conception de capteurs de vision CMOS à grande dynamique", thèse de doctorat de l'Institut Polytechnique de Grenoble (INPG), effectuée au laboratoire TIMA, juillet 2007, Grenoble, France (Actuellement en post-doc à l'EPFL à Lausanne).

➤ Conférences internationales :

[Labonne07c] E. Labonne, G. Sicard, M. Renaudin, "A High Dynamic Range CMOS Imager with a Light Adaptive System and Digital Outputs", Workshop on "Image Sensors analog and digital on-chip processing", Toulouse, France, November 21-22, 2007.

[Liz07b] L. Lizarraga, S. Mir and G. Sicard. "Evaluation of a BIST technique for CMOS imagers", Asian Test Symposium, Beijing Chine, October 8-11 2007, pp. 378-383

[Labonne07b] E. Labonne, G. Sicard, M. Renaudin, "An on-pixel FPN reduction method for a high dynamic range CMOS imager", 33rd European Solid-State Circuits Conference, ESSCIRC 2007, Munich, Germany, September 11-13, 2007, pp 332-335.

[Liz07a] L. Lizarraga, S. Mir, G. Sicard and A. Dragulinescu, "Defect and fault modelling of CMOS active pixel sensors", IEEE Latin American Test Workshop, Cuzco, Peru, March 2007

[Labonne06b] E. Labonne, G. Sicard, M. Renaudin, P.-D. Berger, "A 100dB dynamic range CMOS image sensor with global shutter", 13th IEEE International Conference on Electronics, Circuits and Systems, ICECS 2006, Nice, France, December 10-13, 2006, pp. 1133-1136

[Labonne06a] E. Labonne, G. Sicard, M. Renaudin, "A high dynamic range CMOS image sensor with on-chip FPN reduction method", XXI Conference on Design of Circuits and Integrated Systems, DCIS 2006, Barcelona, Spain, November 22-24, 2006

[Liz06] L. Lizarraga, S. Mir, G. Sicard, A. Bounceur, " Study of a BIST Technique for CMOS Active Pixel Sensors ", VLSI SoC 2006, Nice, October 16-18, 2006, pp . 326-331. Proceeding ISBN : 3-901882-19-7 2006 IFIP

[Labonne06c] E. Labonne, G. Sicard, M. Renaudin, "A 120dB CMOS Imager with a Light Adaptive System and Digital Outputs", IEEE PRIME 2006, pp 269-272, juin 2006.

Conférences nationales :

[Labonne05] E. Labonne, G. Sicard, M. Renaudin, "Capteur de vision CMOS à grande dynamique et adapté aux conditions lumineuses", READ 2005, pp 9-14, juin 2005.

Stages de master 2 :

[Latreche04] M. Latreche, « Conception d'un circuit colonne pour capteur de vision CMOS », DESS CSINA, INPG, Grenoble, Septembre 2004.

[Labonne03] E. Labonne, « Conception d'un capteur de vision à grande dynamique et à sorties binaires différentielles » DEA Microélectronique de Grenoble, Université Joseph Fourier Grenoble Septembre 2003.

[Renane02] S. Renane, "Conception d'un processeur colonne analogique à grande dynamique pour capteurs de vision CMOS", stage effectué au TIMA, septembre 2002.

[Dalibert01] A. Dalibert, « Modélisation de photorécepteurs en technologie submicronique », Double cursus DEA Microélectronique de Grenoble / INPG-ENSERG, Grenoble, Septembre 2001

Autres stages :

D. Andreoletti, « Réalisation d'un environnement de test pour un capteur de vision » Licence professionnelle informatique, stage d'IUT2 Grenoble, Université Pierre-Mendès France, Grenoble, septembre 2007.

D. Ollive, « Conception d'une carte de test pour capteur de vision CMOS », stage de Master 1 EEATS, Juillet 2007

H. Trinh Vu, « Conception d'une carte de test pour capteur de vision CMOS », stage de Master 1 EEATS, Juillet 2007

G. Repellin, « Mise en place d'un environnement de visualisation sur PC pour le test de capteur de vision », INPG-ENSERG, stage 2<sup>ème</sup> année, Août 2006

V. Bizouerne, « Mise au point d'un environnement de tests pour capteur de vision CMOS », INPG-ENSERG, stage 2<sup>ème</sup> année, Août 2006



# **Chapitre 2 : Contribution à la conception de circuits asynchrones faible bruit et à basse consommation**

## **I. Introduction**

Comme déjà énoncé dans l'introduction générale de ce manuscrit, lorsque j'ai intégré le groupe CIS, je me suis intéressé aux activités alors en cours : la conception de circuits asynchrones. Dans ce cadre, et depuis lors, j'ai essayé d'apporter mes connaissances en conception de circuits et mon expertise du layout dans différents travaux tels que les circuits mixtes, la conception de bibliothèques de cellules spécifiques à l'asynchrone, la contrainte liée aux courants de fuite dans les technologies très fortement submicroniques ( $< 180\text{nm}$ ) ainsi que la problématique de la compatibilité électromagnétique dans les circuits asynchrones.

Globalement, je me suis intéressé aux problèmes d'ordre analogique auxquels sont confrontés les circuits numériques conçus dans des technologies très fortement submicroniques.

Cela s'est traduit essentiellement par des co-encadrements de thèse et de l'encadrement de stagiaires.

## **II. Contribution à la conception de circuits asynchrones**

### **II.1 Convertisseur analogique Numérique asynchrone (CAN-A)**

Il est maintenant bien connu que la conception asynchrone (sans horloge globale) est très intéressante pour réaliser des circuits faible consommation et à faible rayonnement électromagnétique. Le travail, présenté dans ce paragraphe et qui a constitué la thèse d'Emmanuel ALLIER, propose une nouvelle classe de convertisseurs analogique-numériques basés sur une conception asynchrone et un échantillonnage irrégulier du signal analogique à convertir (appelé CAN-A ou A-ADC).

L'approche asynchrone a déjà été utilisée avec succès dans quelques publications afin d'améliorer les performances des convertisseurs de Nyquist, comme présenté dans [Kinniment00] par exemple. De plus, la quasi totalité des systèmes analogiques ou mixtes n'exploite pas les propriétés des signaux analogiques qu'ils traitent bien qu'ils aient des propriétés statistiques intéressantes. En effet, la plupart des signaux sont peu rapides et n'évoluent significativement que pendant de courts instants. Le fait d'échantillonner de tels signaux régulièrement selon le théorème de Shannon peut donc conduire à un nombre très important d'échantillons redondants ou sans information pertinente. Ceci a pour effet d'augmenter inutilement l'activité du circuit et donc sa consommation électrique.

Il a été prouvé dans [Mark81] et [Sayiner96] qu'un échantillonnage irrégulier, variant selon les fluctuations du signal d'entrée permet d'obtenir une réduction significative de la consommation dans le cadre de la conversion analogique-numérique. Ce travail a donc consisté à utiliser simultanément l'échantillonnage par « traversée de niveaux » proposé dans [Mark81] et une implémentation asynchrone donc sans horloge globale.

Ainsi, pour une résolution de  $M$ -bit,  $2^M - 1$  niveaux de quantification sont uniformément répartis sur toute la dynamique du signal. Un échantillon est capturé uniquement lorsque le signal analogique  $V_{in}$  traverse l'un de ces niveaux. Contrairement à l'échantillonnage de Nyquist, les échantillons ne sont pas uniformément répartis dans le temps car les occurrences dépendent des variations en amplitude du signal (Figure 41). Ainsi, parallèlement à la valeur



de l'échantillon  $b_i$ , le temps  $Dt_i$  écoulé depuis l'échantillon  $b_{i-1}$  doit être enregistré. Pour ce faire, un timer local de période  $T_C$  est uniquement dédié à cette tâche. L'amplitude de l'échantillon est précise (c'est celle du niveau traversé), par contre le temps écoulé depuis la prise d'échantillon précédente est quantifiée selon la précision  $T_C$  du timer.

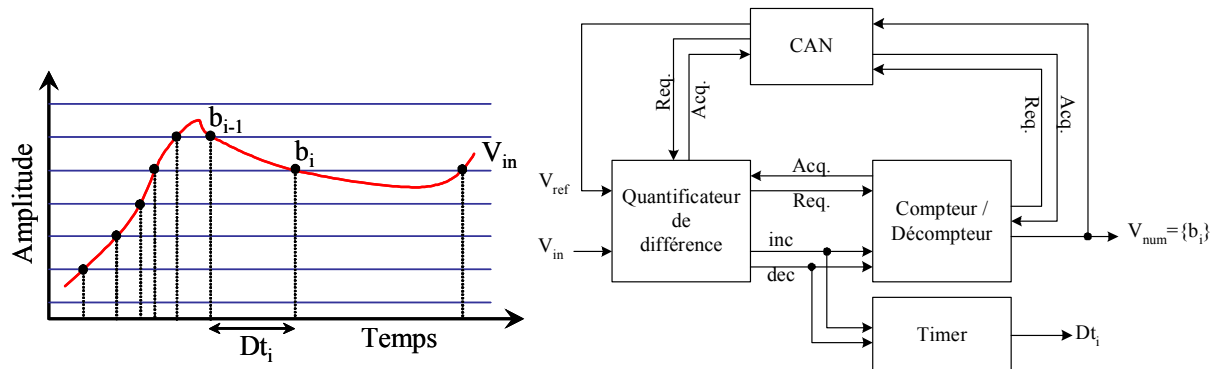


Figure 41 : Illustration de l'échantillonnage irrégulier et architecture du CAN-A.

La théorie associée à ce type d'échantillonnage étant complètement différente de celle de l'échantillonnage de Nyquist, les méthodes de conception usuelle des CAN sont inappropriées. Une méthode de conception complète dédiée à cette nouvelle classe de convertisseur a donc été élaborée. Elle permet de déterminer les caractéristiques du CAN asynchrone (comme la résolution matérielle, la valeur du quantum ou la période du Timer) en fonction du nombre effectif de bits souhaité (ENOB) et des propriétés du signal analogique à convertir (Densité Spectrale de Puissance (DSP), bande passante, dynamique d'entrée, et densité de probabilité en amplitude). Cette méthode permet également de minimiser la complexité du circuit et sa consommation électrique.

Une des propriétés remarquables de ce travail est qu'une fois le type de signal à convertir figée, le rapport signal sur bruit ne va alors dépendre que de la période du Timer  $T_C$ . Ainsi, pour une implémentation figée du circuit donc une résolution matérielle  $M$  fixe, le nombre effectif de bits (ENOB), donc le rapport signal sur bruit, est réglable par simple ajustement de la période du Timer. A noter qu'il y a quand même une limite liée aux blocs analogiques qui doivent avoir une précision de ENOB-bits.

Deux CAN-A ont été conçus et testés, respectivement en technologie 180nm et 130nm de STMicroelectronics. A noter que le deuxième circuit a été conçu en collaboration avec une équipe de STMicroelectronics, via un stagiaire commun. Evidemment, utiliser ce genre de CAN n'est pas forcément aisé du fait du manque actuel de théorie du traitement du signal liée à un échantillonnage irrégulier. Cependant, il est possible d'utiliser ce convertisseur basse consommation au sein d'une chaîne de traitement du signal à échantillonnage régulier. Pour cela, un étage d'interpolation doit être ajouté afin de ré échantillonner le signal de manière régulière. Ces aspects sont étudiés dans [Sayiner96]. Il est prouvé que le ré échantillonnage par un simple polynôme d'ordre deux permet de se ramener à une fréquence d'échantillonnage de Nyquist tout en conservant la résolution visée de ENOB-bits.

Comparé à plus de 40 publications publiées entre 2000 et 2002, ce CAN-A présente un facteur de mérite d'un ordre de grandeur supérieur à l'état de l'art de l'époque.

Mon implication dans l'encadrement de cette thèse s'est située principalement dans la conception de toute la partie analogique (simulation, modélisation VHDL-AMS, design et layout).

Les perspectives de cette thèse sont nombreuses et passent en premier lieu par une avancée de la théorie du traitement du signal liée à un échantillonnage irrégulier. Un nombre important de

travaux est en cours sur le sujet, notamment au laboratoire. Ce n'est cependant pas dans mon domaine de compétence. Une fois cette théorie en place, nous pourrions ensuite travailler à la conception de systèmes d'acquisition de données totalement asynchrone et très basse consommation.

Il est à noter que dans le capteur de vision Imagyne 3 (voir paragraphe IV.2 ), la partie analogique du CAN du capteur, intégrée au niveau pixel et amplificateur colonne, correspond en tout point à la partie analogique du CAN-A.

Ce travail a donné lieu à un certain nombre de publications énumérées ci-dessous, ainsi qu'un brevet et l'encadrement d'un stage.

➤ Thèse :

E. Allier, "Interface analogique numérique asynchrone : une nouvelle classe de convertisseurs basés sur la quantification du temps", thèse de doctorat de l'Institut Polytechnique de Grenoble (INPG), effectuée au laboratoire TIMA, Novembre 2003, Grenoble, France.

➤ Revue :

E. Allier, G. Sicard, L. Fesquet, M. Renaudin, "Asynchronous Level Crossing Analog to Digital Converters", Measurement journal, Elsevier Publisher, Vol. 37, April 2005, pp. 296-309

➤ Brevet :

E. Allier, G. Sicard, L. Fesquet, M. Renaudin, "Dispositif de Conversion Analogique Numérique", brevet français, Institut National Polytechnique de Grenoble (INPG), 31 janvier 2001, FR2835365.

➤ Conférences internationales :

E. Allier, J. Goulier, G. Sicard, A. Dezzani, E. André, M. Renaudin "A 120nm Low Power Asynchronous ADC", ISLPED'05, San Diego, USA, August 2005

E. Allier, G. Sicard, L. Fesquet, M. Renaudin, "A New Class of Asynchronous Analog-to-Digital Converters", IWADC'03, Perugia, Italy, September 2003

E. Allier, G. Sicard, L. Fesquet, M. Renaudin, "A New Class of Asynchronous A/D Converters Based on Time Quantization", ASYNC'03, Vancouver, Canada, May 2003

E. Allier, G. Sicard, L. Fesquet, M. Renaudin, "A New Class of Asynchronous Analog-to-Digital Converters", ACID'03, Heraklion, Greece, March 2003

E. Allier, L. Fesquet, M. Renaudin, G. Sicard, "Low-Power Asynchronous A/D Conversion ", PATMOS'02, Sevilla, Spain, September 2002

➤ Conférences nationales

E. Allier, G. Sicard, L. Fesquet, M. Renaudin, "CAN Faible Consommation : Conception Asynchrone et Echantillonnage Irrégulier", TAISA'03, Louvain, Belgium, September 2003

➤ Stages :

Damien PERROT, « Optimisation et dessin au micron d'un CAN asynchrone », DESS CSINA, Université Joseph Fourier, Grenoble, Septembre 2002.

## II.2 Gestion des courants de fuite dans les portes logiques

Lorsque nous avons eu l'opportunité de travailler dans des technologies très avancées comme la 90nm ou la 65nm de STMicroelectronics, nous nous sommes intéressés immédiatement au problème du courant de fuite dans les transistors MOS.

Il correspond au courant consommé par un MOS quand celui-ci est bloqué. On connaissait jusqu'à présent le courant de faible inversion, qui est un courant drain-source qui a la particularité d'être très faible, évoluant avec l'exponentielle de sa tension grille-source. Il existe dès que cette dernière tension est inférieure à la tension de seuil  $V_t$ .

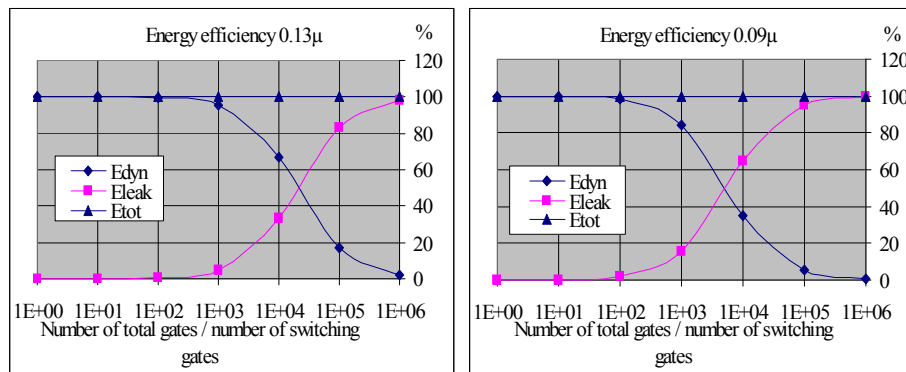
Jusqu'à présent, dans une porte logique ou un point mémoire, ce courant de fuite était considéré comme négligeable par rapport au courant consommé lors de l'activité de la porte. La puissance consommée était donc de la puissance purement "dynamique".

Un des avantages de l'évolution technologique en microélectronique est que justement cette puissance dynamique consommée par une porte diminue. Le problème se posant ici, est que le courant statique, correspondant au courant de fuite de la porte quand son  $V_{GS}$  est nul, ne diminue pas dans les mêmes proportions. A tel point qu'à partir de la technologie 0,18 $\mu$ m (ou 180nm), la puissance consommée liée à ces courant de fuite, que nous appellerons puissance statique a commencé à ne plus être négligeable.

Bien sur, la proportion puissance dynamique / puissance statique, que l'on peut également appeler rendement énergétique, dépend du taux d'activité moyen du circuit, autrement dit, du nombre de portes moyen qui commutent par rapport au nombre de portes qui ne commutent pas. Cette dernière remarque est très ennuyeuse pour un circuit asynchrone qui est, par définition, faiblement actif, tout du moins beaucoup moins que son équivalent synchrone. D'autant plus ennuyeuse, qu'en plus, un circuit asynchrone comporte plus de portes que son équivalent synchrone (facteur entre 2 et 5). Son taux d'activité sera donc beaucoup plus faible qu'en synchrone. On en déduit qu'un circuit asynchrone aura un rendement énergétique moins bon que son équivalent synchrone.

De part cette conclusion, nous avons essayé de comprendre les mécanismes de génération des courants de fuite dans une porte logique et d'étudier des possibilités de design qui permettrait de limiter la puissance statique. Ce travail de fond était nécessaire car même si nos circuits asynchrones actuels ne gèrent pas ce problème, cela va devenir inéluctable.

En effet, un des résultats de ce travail montre l'évolution de ces courants de fuite dans les technologies 130nm, 90nm et 65nm. Un des résultats est montré à la Figure 42. Ces résultats de simulation montrent l'évolution de la puissance statique et dynamique pour les technologies 130nm et 90nm en fonction du rapport entre le nombre total de portes et le nombre de portes actives. On voit clairement que ces puissances s'équilibrent pour un ratio d'environ 20000 pour la 130nm et 5000 pour la 90nm. Nous avons fait les mêmes simulations pour la 65nm et l'équilibre des puissances se fait vers un ratio de 800 portes statiques pour une porte qui commute.



**Figure 42 : Evolution des énergies dynamiques (commutations) et statiques (fuite) pour les technologies 130nm et 90nm.**

Pour limiter l'effet de cette terrible croissance des courants de fuite, nous avons investigué les techniques de variation de la tension d'alimentation (DVS : Dynamic Voltage Scaling) et de modification des polarisation du substrat (ABB : Adaptive Body Biasing) ainsi que de leurs possibilités d'implémentation dans un environnement asynchrone. Ces deux techniques, maintenant bien connues, permettent de limiter l'énergie statique en jouant essentiellement sur la tension de seuil des transistors. Cependant, si ces techniques sont très efficaces pour les technologies 130 et 90nm, elles le sont beaucoup moins pour les technologies 65nm et suivantes de part le fait que le courant de faible inversion n'est plus le principal contributeur au courant de fuite. Il est rejoint par le courant de grille (DIBL) qui lui ne peut être, pour l'instant, diminué que par des modifications technologiques ...

Ce travail a donné lieu à plusieurs encadrements de stages et à des publications listés ci-dessous.

➤ Revue

D. Rios-Arambula, A. Buhrig, G. Sicard, M. Renaudin, "On the use of Feedback Systems to Dynamically Control the Supply Voltage of Low-Power Circuits", Journal on Low Power Electronics vol. 2, pp 45–55, April 2006

➤ Rapport technique

E. Labonne, G. Sicard, M. Renaudin, "Dynamic Voltage Scaling and Adaptive Body Biasing Study for Asynchronous Design", Technical report, TIMA Laboratory, ISRN: TIMA-RR--04/06-01—FR, 2004.

➤ Stages :

Livier LIZARRAGA, « Conception d'un régulateur DC-DC programmable pour systèmes asynchrones », DEA Microélectronique de Grenoble, Université Joseph Fourier Grenoble Septembre 2004.

Emilie HUSS, « Etude de l'influence des polarisations substrat sur les performances des portes logiques », INPG – ENSPG, 2<sup>ème</sup> année, Grenoble, Septembre 2003

### II.3 Systèmes radiofréquence et asynchrone

Dans le cadre d'un "laboratoire commun" avec STMicroelectronics (ERC) au début des années 2000, nous avons eu l'opportunité d'étudier les apports potentiels de l'asynchrone dans les systèmes radiofréquences. A ce titre, j'ai encadré deux stagiaires (dont un a continué sur le même sujet pendant 6 mois après son stage). L'étude était centrée sur le traitement en bande de base du système RF, et plus précisément les étages de modulation des données numériques. Cette étude, de presque deux ans et à temps de recherche quasi complet, n'a malheureusement pas aboutie dans le cadre du laboratoire commun, mais ce travail a servi dans le cadre d'une thèse avec le CEA-LETI sur un système RFID basse consommation intégrant de l'asynchrone [Caucheteux2005].

Ce travail m'a cependant permis de me familiariser avec les spécificités de la conception de circuits radiofréquences (ce qui m'a servi côté enseignement) et de progresser fortement dans le domaine de la simulation de bruit dans les systèmes analogiques.

#### ➤ Stages :

Tariq EL MOTASSADEQ, « Interface RF/Numérique faible consommation pour objets communicants », Double cursus DEA Microélectronique de Grenoble / INPG-Telecom, Grenoble, septembre 2002

Caroline BIASI, « Etude des architectures et des modulations d'une chaîne de transmission de données numériques pour des systèmes de radiocommunication », DESS Conception des Systèmes intégrés Numériques et Analogiques (CSINA), Université Joseph Fourier, Grenoble Septembre 2001.

### II.4 Bibliothèques de cellules asynchrones TAL

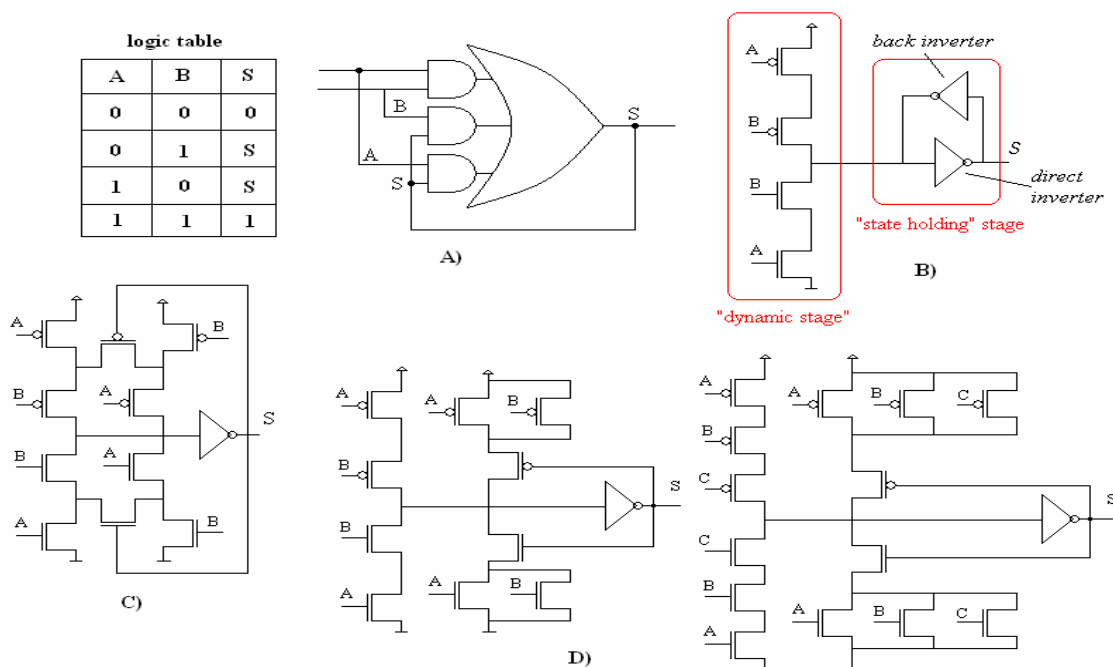
Dans le but de diminuer la surface silicium des systèmes asynchrones (en moyenne cinq fois supérieure à son équivalent synchrone en utilisant une bibliothèque standard), nous avons, à partir de 2002-2003 conçus nos propres bibliothèques de portes logiques spécifiques à l'asynchrone nommées TAL pour "TIMA Asynchronous Library".

La communication entre deux blocs asynchrones reposent sur une porte logique spécifique : la porte de Muller ("C-element") ou porte de rendez-vous. Celle-ci a la particularité de mémoriser sa valeur de sortie si les entrées sont différentes et de donner zéro (un) si toutes les entrées sont à zéro (un). Cette porte est le cœur de nos bibliothèques. Elle est disponible avec un nombre d'entrée variable, des "drives" nombreux, avec ou sans remise à zéro ou un, avec des dissymétries potentielles sur les entrées, etc. D'autres portes sont aussi présentes dans ces bibliothèques : Synchroniseur, "Half-buffer", portes avec des codages spécifiques des données (double rail) ...

La porte de Muller peut s'implanter de différentes manières. Nos premiers circuits asynchrones utilisés la bibliothèque du fondeur, et plus particulièrement la porte AO222 pour une Muller à deux entrées (Figure 43-A), soit 14 transistors. Pour notre première bibliothèque (TAL 130 en technologie 130 nm) nous avons utilisé la structure dynamique de la Figure 43-B qui est la structure la plus utilisée dans l'état de l'art. On utilise ainsi six transistors de moins, ce qui est intéressant. Cependant, cette structure souffre d'un inconvénient : malgré toutes nos attentions, elle ne fonctionne pas correctement pour des faibles tensions d'alimentation. Hors un des avantages principaux des circuits asynchrones est justement sa faculté à fonctionner dans un environnement où les tensions d'alimentation fluctuent, comme

les cartes sans contact par exemple. De ce fait, les portes de Muller de la bibliothèque TAL 65 (en technologie 65 nm) ont été implémentées avec une structure statique (Figure 43-D), soit quatre transistors de plus.

On peut alors se poser la question de la nécessité de concevoir ces portes pour économiser seulement deux transistors par rapport à une AO222... En fait, l'avantage se situe ailleurs : le layout de la cellule est plus petit (à "drive égal") que la structure A et elle propose de meilleures caractéristiques de consommation et de vitesse de commutation par rapport aux structures A et B. La structure présentée à la Figure 43-C est une alternative séduisante au premier abord, car elle permet d'obtenir de très bonnes performances en consommation et en vitesse. Malheureusement, la structure en H n'est pas facile à dessiner et cette structure n'est pas bien adaptée à un plus grand nombre d'entrées.



**Figure 43 : Différentes implémentations de portes de muller à deux entrées : A) avec des cellules standards, B) structure dynamique type TAL 130. C) Structure statique "en H", D) et E) Structures statiques type TAL 65 à deux et trois entrées**

L'utilisation de ces bibliothèques, ajouté à des techniques de synthèse toujours plus optimisées fait qu'actuellement, nous sommes capable de générer des circuits asynchrones ayant une surface double que leur équivalent synchrone (au lieu d'un facteur 5 auparavant).

Depuis 2002, et en s'appuyant au départ sur le travail effectué au LIRMM de Montpellier [Maurine02], nous avons développé une méthodologie de conception de ces cellules spécifiques pour les optimiser en terme de consommation dynamique et statique, ainsi qu'en vitesse de commutation, tout en minimisant la surface.

Ces bibliothèques constituent des ajouts aux bibliothèques du fondeur (ici STMicroelectronics) et toutes les portes logiques ajoutées doivent être parfaitement compatibles. Il faut également générer toutes les vues nécessaires aux outils de synthèse et de simulation, ce qui passe par des séances de caractérisations longues et fastidieuses.

Il est à noter que la bibliothèque TAL65 est utilisée par le CEA-LETI dans la conception de ces circuits asynchrones actuels.

D'un point de vue encadrement, ce travail s'est traduit par le suivi de six stagiaires. L'un d'eux travaille toujours dans le groupe CIS et continue à développer les bibliothèques TAL130 et TAL65. Un stage de M2 professionnel est en cours également sur les possibilités de

caractérisation des cellules avec l'outil Cadabra et sur l'extension de la TAL 130. Un stage de M2 recherche est également en cours sur l'amélioration de la robustesse des cellules TAL vis-à-vis des attaques de type EMA ("ElectroMagnetic Attack").

Je co-encadre également deux thèses sur le sujet des bibliothèques de cellules logiques. La première est sur la conception de cellules de bibliothèque asynchrones tolérantes aux fautes (R. Possamai Bastos, en co-tutelle avec l'UFRGS de Porto-Allegre au Brésil). La deuxième est sur la conception de cellules de bibliothèque à très faible consommation (F. Abouzeid, en CIFFRE avec STMicroelectronics à Crolles).

➤ Conférences internationales

J. L. Fragoso , G. Sicard, M. Renaudin, "Automatic Generation of 1-of-M QDI Asynchronous Adders", SBCCI'03, Sao Paulo, Brasil, September 2003

P. Maurine, J.B. Rigaud, F. Bouesse, G. Sicard, M. Renaudin, "Static Implementation of QDI asynchronous primitives", PATMOS'03, Torino, Italy, September 2003

J. L. Fragoso , G. Sicard, M. Renaudin, "Power/Area Tradeoffs in 1-of-M Parallel-Prefix Asynchronous Adders", PATMOS'03, Torino, Italy, September 2003

➤ Conférences nationales

P. Maurine, J.B. Rigaud, F. Bouesse, G. Sicard, M. Renaudin, "TAL: une bibliothèque de cellules pour le design de circuits asynchrones QDI", FTFC'03, Paris, France, May 2003

➤ Stages :

Grégory LOPIN, « Dimensionnement de la bibliothèque TAL pour la technologie CMOS 65nm » DESS CSINA, INPG, Grenoble, Septembre 2004.

Mourad MEHADJI, « Création d'un élément retard programmable en technologie 120nm » DESS CSINA, INPG, Grenoble, Septembre 2004.

Rémy GIRIN, « Création de cellules asynchrones pour bibliothèque TAL 130nm », DESS CSINA, INPG, Grenoble, Septembre 2004.

Benjamin CAILLAT, Mickael ROSILLO, « Conception d'une bibliothèque de cellules numériques asynchrones (TAL 65) » Master 2 professionnel CSINA, INPG, Grenoble, Septembre 2006.

Emmanuel HUTTER, « Conception d'une bibliothèque de cellules numériques asynchrones (TAL 65) » INPG – ENSPG 2<sup>ème</sup> année, Grenoble, Août 2006.

### III. Compatibilité Electromagnétique

Ces dix dernières années, l'évolution des technologies microélectroniques a permis d'atteindre un taux d'intégration phénoménal et des fréquences d'horloge dépassant largement le Gigahertz. Le fonctionnement propre d'un circuit synchrone, dans lequel le signal d'horloge régit toute l'activité électrique du circuit, n'est pas sans conséquence sur l'environnement de ce même circuit. Aux problèmes d'augmentation de la consommation et du dégagement calorifique s'est ajouté le problème de la compatibilité électromagnétique d'un circuit vis-à-vis de son environnement.

Dans un circuit synchrone, chaque front d'horloge entraîne une mise en activité de toutes les parties reliées à cette horloge et notamment les registres. Ces registres prennent alors en compte des nouvelles données, et cela dans le même instant. Cela génère un appel de courant sur l'alimentation qui est, d'une manière simpliste, directement lié à la complexité du circuit.

Si on prend l'exemple de deux microprocesseurs : si un microprocesseur 16 bits fonctionnant à 16MHz générerait environ un pic de courant d'une centaine de milliampères tout les 62,5ns, un microprocesseur plus récent (32 bits, 500MHz) génère un pic de courant de quelques ampères toutes les 2ns ! Ajouté au fait que la complexité des circuits est telle que les longueurs de fils sont importantes et que ces mêmes fils ont une section de plus en plus carrée, on arrive à avoir dans les circuits numériques modernes des portions de fils qui peuvent se transformer en de magnifiques antennes, avec toutes les conséquences que cela entraîne sur le fonctionnement du circuit. Il est à noter que ce même circuit peut être à la fois pollueur (de part ses émissions électromagnétiques), mais également victime (on le qualifiera alors en fonction de son immunité à son environnement électromagnétique, on parlera aussi de susceptibilité).

Dans cette problématique, un circuit asynchrone présente une caractéristique très intéressante : l'absence de signal d'horloge ! De ce fait, l'activité dans le circuit est naturellement répartie dans le temps. Ainsi, un circuit asynchrone se doit de proposer, de manière intrinsèque, des caractéristiques très intéressantes vis-à-vis de la compatibilité électromagnétique. C'est ce que nous nous sommes attachés à démontrer ces dernières années via une thèse [Panyasak04] et des travaux, notamment des mesures, dérivés d'une thèse sur l'apport de l'asynchrone dans les circuits sécurisés [Bouesse05].

#### III.1 Emissions électromagnétiques

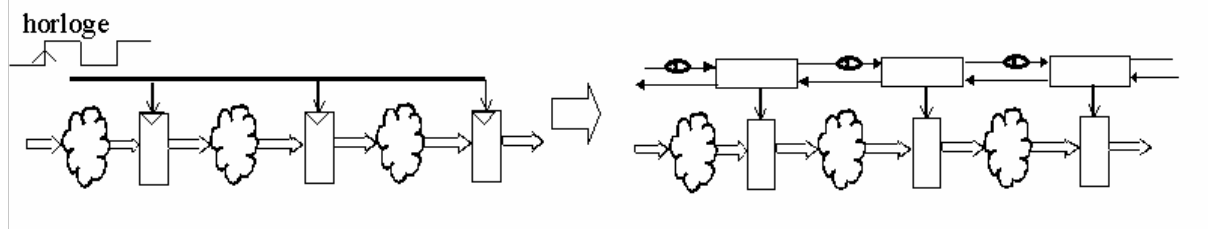
Une émission électromagnétique est intimement liée à la présence d'un champ électromagnétique. Ce dernier est la combinaison d'un champ électrique et d'un champ magnétique, tout deux générés par la présence respective d'un courant et d'une tension dans un conducteur. Le champ électrique induira une tension dans une boucle conductrice perpendiculaire au conducteur perturbant. Quand au champ magnétique, il induira un courant dans les fils parallèles au conducteur perturbant. Ce dernier se comporte alors comme une antenne qui émet une onde électromagnétique dont la longueur d'onde dépend du milieu et de la fréquence de l'onde. L'effet du champ électromagnétique dépendra de la longueur d'onde émise et de la distance entre la source et la victime.

En terme d'émissions électromagnétiques, il y aura deux classes, dépendantes du mode de propagation : émission conduite (dans un fil électrique) et émission rayonnée (à travers l'espace).

Nous nous sommes intéressés, dans le groupe CIS, à la possibilité de diminuer, dans un premier temps, l'émission électromagnétique dans un circuit numérique. L'idée première a été "d'asynchroniser" un circuit synchrone de manière à obtenir un circuit plus faiblement émissif

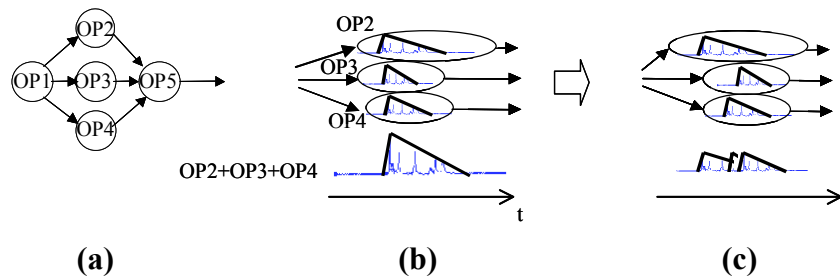


de part la suppression de l'horloge. Cette méthode a été appliquée à des structures synchrones de type pipeline qui sont transformées en une structure de circuits asynchrones appelée "Micropipeline" [Sutherland89]. Le circuit synchrone (du moins sa représentation RTL) est transformé en un circuit asynchrone par le relâchement de ses communications. La Figure 44 montre comment le signal de l'horloge dans un circuit synchrone est remplacé par des communications locales (du type poignées de mains). Dans le circuit asynchrone, les blocs combinatoires traitent les données, la partie contrôle (rectangles horizontaux) gère le flux de données via des signaux de requêtes et d'acquittements et commande des bancs de registres à l'identique du pipeline synchrone. Des délais (bloc ovale) sont insérés sur les signaux de requête afin de respecter les latences des parties combinatoires.



**Figure 44 : Principe de l'Asynchronisation sur une architecture pipeline : circuit synchrone (gauche), circuit asynchrone équivalent (droite)**

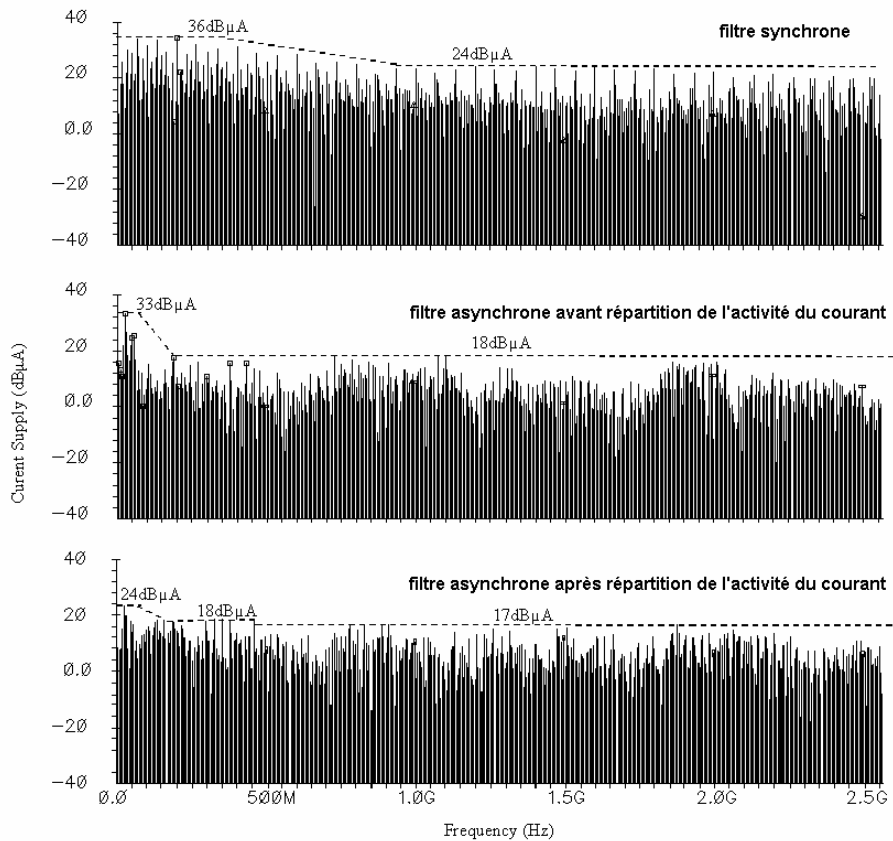
Ceci fait, il y a possibilité d'améliorer encore en travaillant sur les processus parallèles qui ne manquent pas dans un système numérique. Ces derniers génèrent de forts pics de courant car ces processus démarrent en même temps. Si on arrive à détecter ces processus parallèles (via des CDFG (Control Data Flow Graph) dans notre cas, Figure 45-a, OP2, 3 et 4) et à décaler leur démarrage respectif dans le temps (via un modèle de courant spécifique, et l'application d'un algorithme d'ordonnancement, Figure 45-b et c), on arrive à diminuer de manière significative le pic de courant final. Nous avons appelé cette méthode le "Current shaping".



**Figure 45 : Méthode de répartition dans le temps dite de "current Shaping"**

Le résultat, Figure 46, montre le spectre en courant (simulé) d'un filtre RIF à quatre coefficients en version synchrone, asynchronisé avant et après application de la méthode "Current Shaping". Tel quel, le pic maximum est réduit de 3dB par rapport au synchrone. Une fois la méthode "Current Shaping" appliquée, le pic maximum est encore réduit de 9dB soit 12dB de moins que le filtre synchrone alors que seulement deux concurrences ont été traitées, ce qui est très peu.

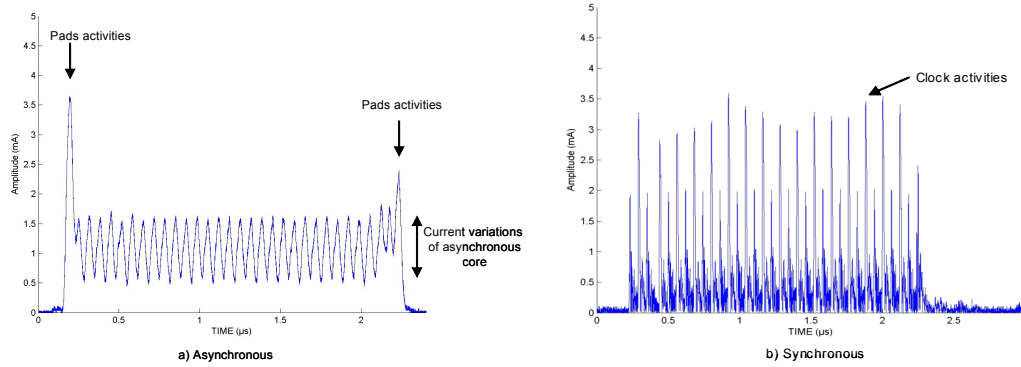
Les deux méthodes présentées montrent des résultats déjà intéressants malgré le faible nombre de processus parallèles traités et laissent augurer des résultats à fort impact dans le cas d'un système numérique complexe. Autre avantage, ces deux méthodes sont entièrement automatisables et peuvent donc être intégrées dans un environnement CAO dédié à la synthèse de circuits asynchrones.



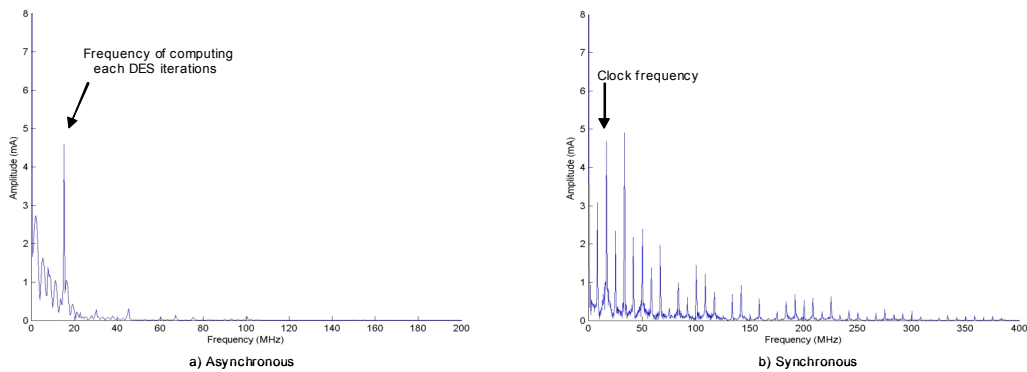
**Figure 46 : Spectre en fréquence de l'activité du courant dans un filtre synchrone et asynchrone micropipeline avant et après application de la méthode "Current Shaping"**

Nous avons continué l'investigation sur une autre structure de circuits asynchrones, par ailleurs très utilisé dans le groupe : la logique asynchrone quasi insensible aux délais (QDI). Comme son nom le laisse supposer, cette structure est insensible au délai de propagation dans les fils ou dans les portes logiques et ce, quelle que soit leur charge. Il y a cependant une hypothèse temporelle (d'où le "quasi insensible au délai") sur les "fourches isochrones" (fourches dans lesquelles les temps de propagation de toutes les branches sont considérés égaux).

Pour cela, nous nous sommes appuyés sur des circuits, conçus pendant la thèse de Fraidy Bouesse, disponibles en plusieurs versions notamment une synchrone et plusieurs asynchrones QDI. Il s'agit de crypto-processeurs de type DES (Data Encryption Standart). Nous avons tout d'abord comparé, par la mesure des courants d'alimentation, les profils et les spectres des courants d'alimentation des versions synchrones et QDI (Figure 47 et Figure 48). Cela revient donc à faire une mesure d'émissions conduites. On observe des profils foncièrement différents et les spectres font apparaître un net avantage pour l'asynchrone. La bande de fréquence pour laquelle les pics de fréquence sont significatifs est de 300MHz pour le DES synchrone et seulement 45MHz pour le DES asynchrone. Ce résultat est d'autant plus remarquable que le DES n'est pas un circuit optimal d'un point de vue structure asynchrone car de part sa fonction d'encryptage, il doit effectuer des calculs enchaînés (dîtes rondes) qui sont effectués de manière synchrone. Cela se traduit sur le spectre du DES asynchrone par la présence d'une raie, d'ailleurs à la même fréquence que l'horloge du circuit synchrone. Ce dernier a, en effet, été réglé pour fonctionner à la même vitesse pour comparer des choses comparables.

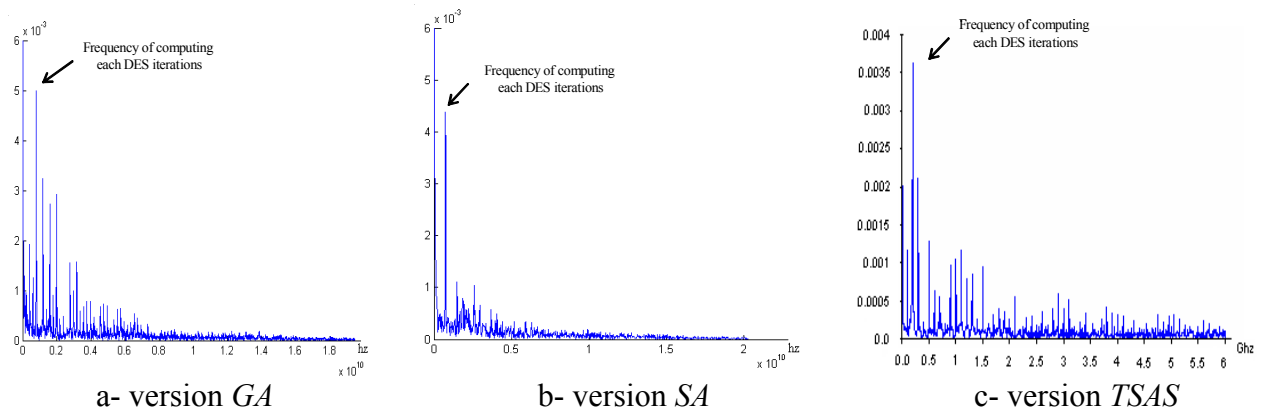


**Figure 47 : Profils des courants d'alimentations des circuits asynchrone et synchrone**



**Figure 48 : Spectre des courants d'alimentations des circuits asynchrone et synchrone**

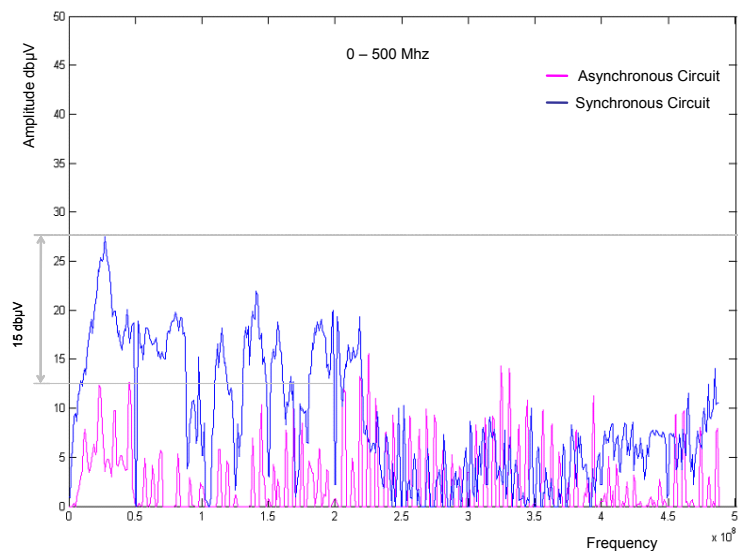
La Figure 49 montre les spectres obtenus avec différentes architectures de circuits QDI dans l'optique de diminuer encore les émissions électromagnétiques. La différence entre les trois versions se situe au niveau de la gestion des signaux d'acquittement. La version GA utilise un seul signal d'acquittement par bloc. C'est le cas classique, mais qui génère un certain nombre de commutations simultanées dans les blocs recevant le signal. La version SA utilise un signal d'acquittement par bit de données. Chaque génération de signal d'acquittement dépend du chemin de données du bit à acquitter. Ainsi, les signaux d'acquittement sont générés de manière décalés dans le temps, lissant le profil de courant global. Enfin l'architecture TSAS est identique à l'architecture SA, mais avec en plus des blocs délais sur les signaux d'acquittement de manière à éviter au maximum les calculs en parallèle. L'insertion des délais se fait en utilisant la méthodologie dite de "Current Shaping" discutée en début de ce chapitre. Les résultats de simulations de la Figure 49 montrent que la version GA est, comme attendue, l'architecture qui génère des pics de courant avec les amplitudes les plus importantes. La version SA est celle qui fournit le spectre le plus propre. Cela est un net avantage au niveau sécurité, mais elle génère un pic principal quasiment à la même hauteur que la version GA. Elle est, en plus quasiment deux fois plus rapide pour effectuer le chiffrement. La dernière version (TSAS) est celle qui produit les amplitudes de pics les plus faibles avec une réduction d'environ 60% par rapport à la version GA. Cela prouve, une fois de plus, du bien fondé de la méthode de "Current Shaping" pour générer des circuits asynchrones faiblement émissif, qu'ils soient de type Micropipeline ou QDI.



**Figure 49 : Spectres de courant de circuits DES avec trois gestions des signaux d'acquiescement différentes**

Enfin, nous avons eu l'opportunité d'effectuer des mesures d'émissions rayonnées sur le DES synchrone et un DES asynchrone à l'aide d'une cellule GTEM et de son banc de mesure associé, le tout mis à notre disposition, avec le personnel (très) qualifié, par le laboratoire LESIA de Toulouse.

Les résultats sont confrontés à la Figure 50. Dans la bande de fréquence où l'activité est la plus importante en synchrone (0 – 200MHz), les pics mesurés sont plus faibles de 15dB $\mu$ V. Cela veut dire que la puissance des émissions électromagnétiques du circuit asynchrone est 5,6 fois plus faible que dans le cas synchrone, ce qui est un très bon résultat. D'autant que la version asynchrone est 27 fois plus rapide dans ce cas de mesure (tension d'alimentation nominale à 1,8V) ! Cela veut donc dire qu'à vitesse d'exécution égale, donc en baissant la tension d'alimentation, le DES asynchrone générera encore moins d'émissions électromagnétiques. Lors de la même campagne de mesures, nous avons mesuré une chute de l'amplitude des pics principaux d'un facteur 10 si la tension d'alimentation est abaissée à 0,4V !



**Figure 50 : Comparaison entre les spectres électromagnétiques de DES Synchrone et asynchrone.**

## III.2 Susceptibilités

L'autre aspect de la compatibilité électromagnétique dans les circuits intégrés est la capacité d'un circuit à rester fonctionnel, malgré un environnement électromagnétique agressif. On mesure ainsi sa robustesse qualifiée ici de susceptibilité ou d'immunité.

Lors de la campagne de mesures qui a mené aux résultats présentés à la Figure 50, nous avons pu effectuer également des mesures d'immunité au bruit électromagnétique conduit à la fois pour le DES synchrone, le DES asynchrone, et un DES asynchrone durci de manière à être tolérant aux fautes [Monnet07]. Les mesures se font par ajout d'un signal HF sur l'alimentation du circuit. On augmente alors l'amplitude de ce signal HF jusqu'à observer des perturbations sur le fonctionnement du circuit.

Les résultats sont, là également, en nette faveur pour l'asynchrone : à basse fréquence, les résultats sont identiques quel que soit le circuit. Tous les circuits sont jusqu'à 100MHz très robustes. Entre 100 et 200MHz, les trois circuits présentent une moins bonne robustesse. Celle-ci est connue et due à la résonance des boîtiers DIL utilisés. Au-delà de 200MHz, la robustesse du DES synchrone s'écroule puisque qu'il faut un signal perturbant dix fois plus fort pour perturber le DES asynchrone. Il est à noter que le DES asynchrone durci présente une immunité encore meilleure, mais ce circuit n'ayant pas été conçu dans la même technologie et utilisant une bibliothèque de cellules élémentaires dédiée, le résultat est à prendre à titre indicatif.

Le résultat n'est en soit pas très surprenant dans le sens où le premier impact d'une perturbation électromagnétique porte sur les délais de commutation des portes logiques. Hors les circuits asynchrones QDI sont insensibles à ce type de délais.

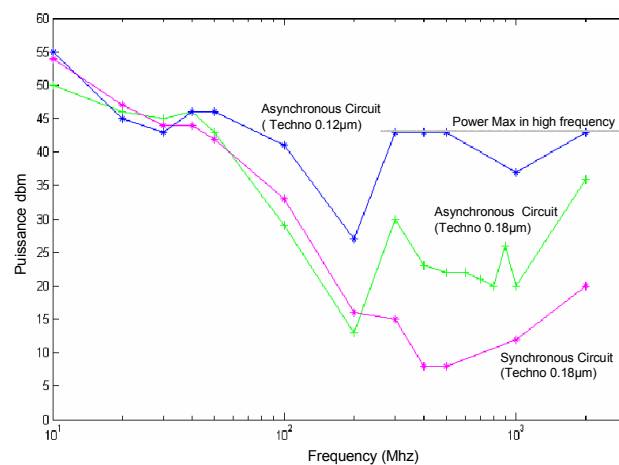


Figure 51 : Mesures de la susceptibilité conduite de circuits DES Synchrone et asynchrones.

## III.3 Conclusions

Nous venons de voir différentes mesures qui mettent en évidence les avantages des circuits asynchrones dans le domaine de la compatibilité électromagnétique. Ces circuits sont par nature plus faiblement émissif et plus robuste à une perturbation électromagnétique que leurs équivalents synchrones. Il a été également montré qu'il y avait la possibilité de diminuer encore l'émission en utilisant une méthodologie spécifique et insérable dans un outil de synthèse dédié à l'asynchrone. Il est à noter qu'à notre connaissance, nous avons été les premiers à présenter des solutions architecturales pour diminuer l'émission électromagnétique.

Ces propriétés sont très intéressantes dans la perspective de conception de systèmes sur puces complexes et hétérogènes, incluant, par exemple, un capteur avec son électronique d'acquisition bas bruit (donc très sensible à une forte émission électromagnétique), une interface de communication RF (donc très fortement émissive) et une partie numérique performante (qui devra être à la fois faiblement émissive et robuste).

En terme de perspectives de travail, il y a beaucoup à faire dans le domaine de la susceptibilité. Nous avons juste effectué des mesures montrant l'intérêt de la chose. Il faut maintenant comprendre, modéliser, simuler tout cela, de manière à maîtriser la conception de circuits asynchrones à forte immunité, comme nous savons faire des circuits faiblement émissifs. De ce point de vue, savoir faire des circuits faiblement émissifs est très intéressant dans le cadre de la conception de systèmes sur puce, mais dans le domaine des circuits sécurisés, cela n'est pas suffisant. L'apparition sur le marché de sondes toujours plus micrométriques fait que durcir un circuit contre les attaques électromagnétiques (EMA) d'un point de vue architecture n'est pas suffisant. Il faut maintenant durcir à un niveau plus bas : l'association des portes logiques, le placement-routage et les portes logiques elles-mêmes.

Cela ne peut se faire sans un gros effort de modélisation afin d'estimer au plus tôt dans le flot de conception la susceptibilité et l'émissivité d'un circuit. Actuellement, on ne sait pas prédire cela. Le modèle ICEM, par exemple, permet de prendre en compte l'émissivité d'un circuit, mais ce modèle se déduit de simulations électriques, donc après placement-routage. Cela est très utile quand une bibliothèque d'IPs est disponible. Si ces IPs ont un modèle ICEM, on pourra affiner l'association des divers blocs afin d'optimiser autant que faire se peut la compatibilité électromagnétique du système. Mais en aucun cas, on ne générera un système sur puce optimisé d'un point de vue compatibilité électromagnétique.

Un autre domaine n'a quasiment pas été étudié dans le cadre de la compatibilité électromagnétique : les circuits intégrés analogiques. Il est, à mon avis, très important de s'intéresser assez rapidement à ce domaine, notamment sur les aspects de la susceptibilité.

Au final, et dans ce contexte de recherche, j'ai co-encadré deux thèses avec le Pr. Marc Renaudin et encadré un stage.

Ces travaux ont fait l'objet d'un certain nombre de publications dont la liste est donnée ci-après :

➤ Thèses :

[Bouesse05] F. G. Bouesse, "Contribution à la conception de circuits intégrés sécurisés : l'alternative asynchrone", thèse de doctorat de l'Institut Polytechnique de Grenoble (INPG), effectuée au laboratoire TIMA, Décembre 2005, Grenoble, France.

[Panyasak04] D. Panyasak, "Réduction de l'émission électromagnétique des circuits intégrés : l'alternative asynchrone", thèse de doctorat de l'Institut Polytechnique de Grenoble (INPG), effectuée au laboratoire TIMA, juin 2004, Grenoble, France,

➤ Revue

[Panyasak04-b] D. Panyasak, G. Sicard, M. Renaudin, "A current shaping methodology for lowering EM disturbances in asynchronous circuits", *Microelectronics journal* 35, June-2004, pp. 531-540

➤ Chapitre de livre

“Electromagnetic Compatibility of Integrated Circuits · Techniques for low emission and susceptibility”, Editors: Ben Dhia, S., Ramdani, M., Sicard, E., 2005, Kluwer Academic Publishers, ISBN 978-0-387-26600-8.

➤ Conférences internationales :

[Bouesse07] G.F. Bouesse, N. Ninon, G. Sicard, M. Renaudin, A. Boyer, E. Sicard, "Asynchronous logic Vs Synchronous logic: Concrete results on electromagnetic emissions and conducted susceptibility", 6<sup>th</sup> International workshop on electromagnetic compatibility of integrated circuits (EMC Compo'07), Torino, Italy, November 28<sup>th</sup>-20<sup>th</sup>, 2007, pp 99-102.

[Bouesse05] G.F. Bouesse, G.Sicard, M.Renaudin, "Efficient quasi delay insensitive asynchronous architectures for low EMI", EMC\_Compo'05, Munich, Germany, November 2005

[Bouesse04] G.F. Bouesse, G.Sicard, M.Renaudin, "Quasi Delay Insensitive Asynchronous Circuits for Low EMI", EMC\_Compo'04, Angers, France, March 2004

[Panyasak04-c] D. Panyasak, G. Sicard, M. Renaudin, "Asynchronous Design for improved EMC behavior of IC's", EMC\_Compo'04, Angers, France, March 2004

[Panyasak03] D.Panyasak, G.Sicard, M.Renaudin, "From RTL to low EMI Asynchronous Circuits", ACID'03, Heraklion, Greece, March 2003

[Panyasak02] D.Panyasak, G.Sicard, M.Renaudin, "A current shaping methodology for low EMI asynchronous circuits", EMC Compo'02, Toulouse, France, November 2002

[Panyasak02-b] D. Panyasak, G. Sicard, M. Renaudin, "Shaping Current Profile of Asynchronous Circuits", ACID'02, Munich, Germany, January 2002

Conférences nationales :

[Panyasak04-d] D. Panyasak, G. Sicard, M. Renaudin, "CEM des Circuits Intégrés : vers l'alternative Asynchrone", CEM'04, Toulouse, France, March 2004.

➤ Stages :

Audrey PLANCHE-LAPLANTA, « Conception de cartes CMS pour des mesures de susceptibilité et d'émission électromagnétique de circuits numériques asynchrones » Licence GEII, Université Joseph Fourier, Grenoble, juin 2005.

## **IV. Conclusion et perspectives**

Mon implication dans la conception des systèmes asynchrones du groupe CIS s'est focalisée essentiellement sur des aspects "back-end" : cellules de bibliothèque, minimisation des courants de fuite, conversion analogique-numérique, mais aussi sur des problèmes plus globaux comme la compatibilité électromagnétique.

Plusieurs circuits ont été fabriqués dans des technologies avancées (180, 130nm, 65nm avec le CEA-LETI) et ont permis de démontrer plusieurs points :

- Il est indispensable d'utiliser des bibliothèques de cellules dédiées à l'asynchrone si l'on veut obtenir une surface de circuit raisonnable, ainsi qu'une faible consommation. Il est évident qu'il faut également une synthèse dédiée et très optimisée.
- Les circuits asynchrones sont intrinsèquement bons dans le domaine de la compatibilité électromagnétique, que ce soit en émissivité ou en immunité. En utilisant diverses optimisations, comme celles présentées ici, les résultats que l'on peut obtenir sont remarquables.

Sans revenir sur les perspectives présentées à la fin des paragraphes de ce chapitre, il est possible de dégager certains points qu'il serait intéressant d'aborder par la suite :

- Actuellement, nous n'avons pas encore mis en place de gestion des courants de fuite dans nos circuits asynchrones. La conception d'un tel système est un investissement important. Il faut, en effet, développer des régulateurs de tension continue. Cela est bien connu, mais la spécificité de nos besoins fait qu'il faudrait que ces régulateurs aient idéalement une tension de sortie variable, commandée par le système lui-même ... Malheureusement, autant il existe pléthore de structures de régulateurs, autant il n'en existe aucune qui propose, avec un bon rendement, une tension de sortie programmable. Le temps de développement d'un tel système n'est pas négligeable et n'a pas encore été fait.
- Avec la finesse des technologies actuelles, les circuits intégrés sont devenus très sensibles aux impacts de particules dans le silicium. Il est, à mon avis, indispensable, de travailler sur l'amélioration de la tolérance aux fautes de nos circuits et donc des bibliothèques de cellules.
- Dans le même registre, la susceptibilité des circuits intégrés est encore peu étudiée et donc non prise en compte dans les flots de conception standard actuels.





## Conclusion, perspectives

Ce manuscrit se propose de faire le bilan de neuf ans de recherche au laboratoire TIMA au sein du groupe de recherche "Concurrent Integrated Systems" (CIS).

A mon arrivée dans le groupe, je me suis inséré dans les activités de recherche en cours en apportant un regard un peu différent sur les sujets abordés : celui d'un analogicien dans un environnement purement numérique et sans horloge.

D'une manière générale, j'ai suivi, depuis lors, toutes les thèses (dirigées par Marc Renaudin) touchant de près ou de loin à la porte logique ou les systèmes mixtes. J'ai ainsi abordé différents sujets avec une implication variable : la conversion analogique numérique asynchrone, la compatibilité électromagnétique, les opérateurs arithmétiques, les bibliothèques de cellules dédiées à l'asynchrone et les circuits sécurisés.

Je me suis particulièrement investi dans la compréhension des phénomènes de génération de courants de fuite dans les portes logiques, sur les manières de s'en affranchir au maximum, ainsi qu'aux problèmes de la compatibilité électromagnétique dans les circuits asynchrones.

Actuellement, deux thèses et un stage sont en cours dans le domaine des bibliothèques de portes logiques :

- Dans le but d'aller encore plus loin dans le domaine de la faible consommation, une thèse CIFFRE avec STMicroelectronics est en cours sur la conception de portes logiques à très faible tension d'alimentation dont les transistors sont en fonctionnement dit de faible inversion (Thèse Abouzeid),
- Une thèse en co-tutelle avec l'université de Porto-Allègre au Brésil est également en cours sur la conception de cellules logiques asynchrones tolérantes aux fautes (Thèse Possamai Bastos),
- Un stage de Master 2 recherche est en cours sur l'étude de l'accroissement de la robustesse des portes de Muller aux attaques de type EMA.

Dans le cadre de la compatibilité électromagnétique, nos campagnes de mesure montrent qu'un circuit asynchrone propose intrinsèquement une meilleure immunité au bruit électromagnétique (ou susceptibilité) que son équivalent synchrone. Cependant, il apparaît possible d'aller beaucoup plus loin tant d'un point de vue architecture (structure robuste, codage, etc) que d'un point de vue « back-end » (portes logiques, routage). Dans ce cadre, tout reste à faire, l'état de l'art est quasi inexistant.

A ce titre, l'association de compétences développées au laboratoire TIMA, notamment sur les aspects de tolérance aux fautes devrait permettre des avancées significatives.

Dans le même domaine, l'étude de la susceptibilité dans les circuits analogiques me paraît incontournable.

La majeure partie de mon temps de recherche a cependant été consacrée aux capteurs de vision CMOS. A la suite de mes travaux de thèse, Marc Renaudin et moi-même étions très intéressés par les aspects rétines en silicium asynchrone. L'heure n'étant pas aux rétines au niveau industriel, le financement d'un tel projet, ou plutôt le circuit, n'a pas pu se faire. Les premiers travaux que j'ai pu démarrer à TIMA dans ce domaine, ont été sur des sujets certes moins amonts, mais très importants car répondant à une problématique industrielle forte : les capteurs à grande dynamique d'entrée. Ces travaux ont démarrés en 2003 dans le cadre d'un projet européen Medea + nommé PICS et avec le soutien de l'industriel ATMEL-Grenoble (maintenant e2v Grenoble).

Sur cet aspect, deux circuits ont été fabriqués et testés. Ils utilisent des pixels à réponse logarithmique, intégrant une compensation intra pixel du bruit FPN, et proposant pour l'un

d'entre eux une lecture à acquisition instantanée ("Global Shutter"). Ces circuits proposent une avancée des performances en terme de compensation du FPN, tout en conservant une surface de pixel raisonnable et des performances électro-optique à l'état de l'art. Il est à noter que le fonctionnement de ces capteurs est compatible avec un capteur CMOS de type standard ("à intégration").

Un autre aspect a été étudié : l'adaptation aux conditions lumineuses. Deux circuits ont la aussi été fabriqués et un testé :

- Le circuit testé montre comment, de manière très simple et très robuste, on peut asservir le temps d'intégration d'un capteur de vision standard aux conditions lumineuses moyennes.
- Le deuxième circuit propose une architecture totalement nouvelle, du pixel et de l'amplificateur colonne. L'idée générale est de prendre en compte le chemin de données de son acquisition par la photodiode, jusqu'à la sortie de cette donnée sous format numérique. Dans le but de minimiser la consommation, le matériel, le bruit, etc, on optimise ensuite ce chemin de données et on étudie les diverses possibilités de répartition des éléments électroniques entre le pixel, l'amplificateur colonne et la partie commune à tout le capteur (le CAN pour une architecture standard). Il en résulte, dans cette première architecture, que la partie mixte du convertisseur se situe dans les amplificateurs colonnes, la partie numérique restant commune à toute la matrice. Le système d'adaptation aux conditions lumineuses est lui réparti sur les trois blocs principaux. Cette répartition permet d'obtenir une sortie de type numérique des amplificateurs colonne et, de fait, d'éliminer une partie de la compensation du FPN (le DDS) et ainsi gagner un facteur deux sur la vitesse de lecture.

Ce dernier circuit est pour moi celui qui a le plus de potentiel d'un point de vue recherche. Ce type d'architecture permet d'intégrer assez facilement des fonctionnalités nouvelles au sein du circuit (ici une adaptation aux conditions lumineuses, mais demain, du filtrage par exemple).

De plus, la "conjoncture industrielle" est plutôt favorable actuellement, dans le sens où les industriels veulent et cherchent à intégrer de nouvelles fonctionnalités dans les capteurs de vision. Nous n'en sommes certes pas encore aux rétines en silicium, mais on s'en approche doucement.

Cependant, le travail sur les capteurs à grande dynamique n'est pas terminé. Le principal défaut des pixels à réponse logarithmique est leur grande sensibilité aux dispersions technologiques et à la température. Dans le but de rendre la réponse d'un capteur de vision CMOS la plus invariante possible, une thèse est en cours sur l'étude d'architecture de pixel insensible à la température (Thèse Zimouche). Cette thèse s'effectue dans le cadre d'un projet Minalogic nommé "Vis-IMALOGIC", toujours avec e2v Grenoble. Un stage de Master Recherche est également en cours sur l'étude de l'augmentation de la dynamique de sortie de ces capteurs logarithmiques afin d'améliorer le rapport signal sur bruit.

Une autre action est en cours en ce qui concerne les imageurs. Il s'agit d'un co-encadrement d'une thèse au CEA-LETI sur les imageurs infrarouge (thèse Thabuis). Cette action fait suite à l'encadrement universitaire que j'ai effectué pour un étudiant en DRT dans la même équipe et dans la même thématique de recherche.

Un facteur important, quand on regarde le fonctionnement d'un capteur de vision, est que si ce capteur propose une résolution de 10 millions de pixels, on va extraire et convertir les valeurs de ces 10 millions de pixels. Dans le cadre de la vision industrielle, il est clair que dans la majorité des applications, ceci est inutile, car seule une partie de l'image, et même une information de cette partie de l'image nous intéresse. Le concept de "ROI" ("Region Of

Interest") est certes bien connu, il permet de lire une partie seulement de l'image. Cependant, cette lecture se fait soit à posteriori, soit en ayant prédéfini la zone de la matrice à extraire, ce qui n'est pas vraiment souple à l'utilisation.

Une thèse doit démarrer à la rentrée prochaine sur ce sujet (financement obtenu) et aboutira, je l'espère, à une nouvelle classe d'imageurs CMOS permettant une lecture intelligente de celui-ci.

J'espère également, dans un futur assez proche, arriver à mélanger asynchrone et capteur de vision CMOS. Je pense qu'il y a des possibilités d'amélioration importantes de l'extraction de données et du traitement d'images in-situ grâce aux propriétés intrinsèques des systèmes asynchrones ...



# Bibliographie

- [Acosta04] P. M. Acosta-Serafini, I. Masaki, C. G. Sodini, "A 1/3 VGA linear wide dynamic range CMOS image sensor implementing a predictive multiple sampling algorithm with overlapping integration intervals", IEEE Journal of Solid-State Circuits, Vol. 39, No. 9, septembre 2004.
- [Akahane06] N. Akahane, S. Sugawa, S. Adachi, K. Mori, T. Ishiuchi, K. Mizobuchi, "A sensitivity and linearity improvement of a 100-dB dynamic range CMOS image sensor using a lateral overflow integration capacitor", IEEE Journal of Solid-State Circuits, Vol. 41, No. 4, avril 2006
- [Bouesse05] F. G. Bouesse, "Contribution à la conception de circuits intégrés sécurisés : l'alternative asynchrone", thèse de doctorat de l'Institut Polytechnique de Grenoble (INPG), effectuée au laboratoire TIMA, Décembre 2005, Grenoble, France.
- [Brajovic04] V. Brajovic, "Brightness perception, dynamic range and noise: a unifying model for adaptive image sensors", Proceedings of the 2004 IEEE Computer Society Conference on Computer Vision and Pattern Recognition (CVPR '04), Vol. 2, pp. 189 – 196, juin 2004.
- [Burghartz06] J. N. Burghartz, H-G Graf, C. Harendt, W. Klingler, H. Richter, M. Strobel, "HDR CMOS Imagers and Their Applications", Technical Digest of the 8th International Conference on Solid-State and Integrated Circuit Technology (ICSICT), 2006
- [Cavadore98] C. Cavadore, "Conception et caractérisation de capteurs d'images à pixels actifs CMOS-APS », thèse de doctorat, SUPAERO, Toulouse, Juin 1998.
- [Caucheteux2005] D. Caucheteux, "Etude d'architecture et conception de circuits mixtes utilisant la logique asynchrone : application aux systèmes très basse consommation et sans contact", thèse de doctorat de l'Institut Polytechnique de Grenoble (INPG), effectuée au CEA-LETI, Décembre 2005, Grenoble, France,
- [Dalibert01] A. Dalibert, « Modélisation de photorécepteurs en technologie submicronique », Double cursus DEA Microélectronique de Grenoble / INPG-ENSERG, Grenoble, Septembre 2001
- [Degerli00] Y. Degerli, "Etude, modélisation des bruits et conception de circuits de lecture dans les capteurs d'image à pixels actifs CMOS", Thèse de doctorat, SUPAERO, Toulouse, octobre 2000.
- [Delbruck95] T. Delbrück and C.A.Mead "Analog VLSI phototransduction by continuous-time, adaptive, logarithmic photoreceptor circuits", in Vision Chips: Implementing vision algorithms with analog VLSI circuits, C. Koch and H. Li editors, IEEE Computer Society Press, 1995, pp. 139-161
- [Delbruck04] T. Delbruck, D. Oberhoff, "Self-biasing low power adaptive photoreceptor", IEEE International Symposium on Circuits and Systems ISCAS 2004, pp. 844-847, mai 2004
- [Goy02] J. Goy, "Etude, conception et réalisation d'un capteur d'images APS en technologie standard CMOS pour des applications faible flux de type viseur d'étoiles", thèse de doctorat de l'Institut Polytechnique de Grenoble (INPG), effectuée au laboratoire TIMA, juin 2002, Grenoble, France,
- [Hara05] K. Hara, H. Kubo, Masatoshi, F. Murao, S. Komori, "A linear-logarithmic CMOS sensor with offset calibration using an injected charge signal," IEEE International Solid-State Circuits Conference ISSCC 2005, pp. 354–355, 2005.

- [Hosticka03] B. J. Hosticka, W. Brockherde, A. Bussmann, T. Heimann, R. Jeremias, A. Kemma, C. Nitta, O. Schrey "CMOS imaging for automotive applications", IEEE Transactions on Electron Devices, Vol. 50, No. 1, janvier 2003.
- [Kavadias00] S. Kavadias, B. Dierickx, D. Scheffer, A. Alaerts, D. Uwaerts, J. Bogaerts, "A logarithmic response CMOS image sensor with on-chip calibration", IEEE Journal of Solid-State Circuits, Vol. 35, No. 8, aout 2000.
- [Kinniment00] D. Kinniment *et al.*, "Synchronous and Asynchronous A-D Conversion", IEEE Trans. on VLSI Syst., Vol. 8, n° 2, pp. 217-220, Apr. 2000.
- [Kozlowski05] L. J. Kozlowski, G. Rossi, L. Blanquart, R. Marchesini, Y. Huang, G. Chow, J. Richardson, D. Standley, "Pixel noise suppression via SoC management of tapered reset in a 1920 x 1080 CMOS image sensor", IEEE Journal of Solid-State Circuits, Vol. 40, No. 12, décembre 2005.
- [Labonne07] E. Labonne, "Contributions à la conception de capteurs de vision CMOS à grande dynamique", thèse de doctorat de l'Institut Polytechnique de Grenoble (INPG), effectuée au laboratoire TIMA, juillet 2007, Grenoble, France,
- [Labonne07b] E. Labonne, G. Sicard, M. Renaudin, "An on-pixel FPN reduction method for a high dynamic range CMOS imager", 33rd European Solid-State Circuits Conference, ESSCIRC 2007, Munich, Germany, September 11-13, 2007, pp 332-335.
- [Labonne06c] E. Labonne, G. Sicard, M. Renaudin, "A 120dB CMOS Imager with a Light Adaptive System and Digital Outputs", IEEE PRIME 2006, pp 269-272, juin 2006.
- [Labonne06b] E. Labonne, G. Sicard, M. Renaudin, P.-D. Berger, "A 100dB dynamic range CMOS image sensor with global shutter", 13th IEEE International Conference on Electronics, Circuits and Systems, ICECS 2006, Nice, France, December 10-13, 2006, pp. 1133-1136
- [Labonne06a] E. Labonne, G. Sicard, M. Renaudin, "A high dynamic range CMOS image sensor with on-chip FPN reduction method", XXI Conference on Design of Circuits and Integrated Systems, DCIS 2006, Barcelona, Spain, November 22-24, 2006
- [Labonne05] E. Labonne, G. Sicard, M. Renaudin, "Capteur de vision CMOS à grande dynamique et adapté aux conditions lumineuses", READ 2005, pp 9-14, juin 2005.
- [Labonne03] E. Labonne, « Conception d'un capteur de vision à grande dynamique et à sorties binaires différentielles » DEA Microélectronique de Grenoble, Université Joseph Fourier Grenoble Septembre 2003.
- [Lim02] S. Lim, A. El Gamal, "Gain fixed pattern noise correction via optical flow", Proceedings of SPIE Vol. 4669, Sensors and Camera Systems for Scientific, Industrial, and Digital Photography Applications III, 2002.
- [Liz07b] L. Lizarraga, S. Mir and G. Sicard. "Evaluation of a BIST technique for CMOS imagers", Asian Test Symposium, Beijing Chine, October 8-11 2007, pp. 378-383
- [Liz07a] L. Lizarraga, S. Mir, G. Sicard and A. Dragulinescu, "Defect and fault modelling of CMOS active pixel sensors", IEEE Latin American Test Workshop, Cuzco, Peru, March 2007
- [Liz06] L. Lizarraga, S. Mir, G. Sicard, A. Bounceur, " Study of a BIST Technique for CMOS Active Pixel Sensors ", VLSI SoC 2006, Nice, October 16-18, 2006, pp . 326-331. Proceeding ISBN : 3-901882-19-7 2006 IFIP

- [Lui03] X. Liu, A. El Gamal, "Photocurrent Estimation from Multiple Non-destructive Samples in a CMOS Image Sensor", *Sensors and Camera Systems for Scientific, Industrial, and Digital Photography Applications II*, Proceedings of SPIE, Vol.4308, 2003
- [Loose01] M. Loose, K. Meier, J. Schemmel, "A Self-Calibrating Single-Chip CMOS Camera with Logarithmic Response", *IEEE Journal of Solid-State Circuits*, Vol. 36, No. 4, avril 2001.
- [Mark81] J.W. Mark *et al.*, "A Nonuniform Sampling Approach to Data Compression", *IEEE Trans. on Com.*, Vol. COM-29, n° 4, pp. 24-32, Jan. 1981.
- [Mase05] M. Mase, S. Kawahito, M. Sasaki, Y. Wakamori, M. Furuta, "A wide dynamic range CMOS image sensor with multiple exposure-time signal outputs and 12-bit column-parallel cyclic A/D converters", *IEEE Journal of Solid-State Circuits*, Vol. 40, No. 12, décembre 2005.
- [Maurine01] P. Maurine, "Modélisation et optimisation des performances de la logique statique en technologie submicronique profond" thèse de doctorat de l'université de Montpellier II, effectuée au laboratoire LIRMM, 2001, Montpellier, France,
- [McIlrath01] L.G. McIlrath, "A low-power low-noise ultrawide-dynamic-range CMOS imager with pixel-parallel A/D conversion", *IEEE Journal of Solid-State Circuits*, Vol. 36, No. 5, mai 2001.
- [Mead88] C.A. Mead, M.A. Mahowald, "A silicon model of early visual processing", *Neural Networks*, vol. 1, pp. 91-97, 1988.
- [Mendis97] S. K. Mendis, S. E. Kemeny, R. C. Gee, B. Pain, C. O. Staller, Q. Kim, E. R. Fossum, "CMOS Active pixel image sensors for highly integrated imaging systems", *IEEE Journal of Solid-State Circuits*, vol. 32, No. 2, pp 187-197, février 1997.
- [Miyagawa95] R. Miyagawa T. Kanade, "Integration-time based computational image sensors", *ITE Technical Report*, Vol. 19, No. 65, pp. 37 – 41, novembre 1995.
- [Monnet07] Y. Monnet, "Etude et modélisation de circuits sécurisés contre les attaques non invasive par injection de fautes", thèse de doctorat de l'Institut Polytechnique de Grenoble (INPG), effectuée au laboratoire TIMA, Avril 2007, Grenoble, France,
- [Ni01] Y. Ni, K. Matou, "A CMOS log image sensor with on-chip FPN compensation", *ESSCIRC 2001*, pp. 128-131, 18-20 Septembre 2001, Villach, Australie.
- [Panyasak04] D. Panyasak, "Réduction de l'émission électromagnétique des circuits intégrés : l'alternative asynchrone", thèse de doctorat de l'Institut Polytechnique de Grenoble (INPG), effectuée au laboratoire TIMA, juin 2004, Grenoble, France,
- [Renane02] S. Renane, "Conception d'un processeur colonne analogique à grande dynamique pour capteurs de vision CMOS", stage effectué au TIMA, septembre 2002.
- [Rhee03] J. Rhee, Y. Joo, "Wide dynamic range CMOS image sensor with pixel level ADC", *Electronics Letters*, Vol. 39, No. 4, pp. 360-361, février 2003.
- [Sayiner96] N. Sayiner *et al.*, "A Level-Crossing Sampling Scheme for A/D Conversion", *IEEE Trans. on Circ. and Syst. II*, Vol. 43, n° 4, pp. 335-339, Apr. 1996.
- [Schanz00] M. Schanz, C. Nitta, A. Bußmann, B. J. Hosticka, R. K. Wertheimer, "A high-dynamic-range CMOS image sensor for automotive applications", *IEEE Journal of Solid-State Circuits*, Vol. 35, No. 7, juillet 2000.



- [Schrey02] O.Schrey, J. Huppertz, W. Brockherde, B. Hosticka, "A high DR CMOS image sensor with on chip programmable region-of-interest readout", IEEE Journal of Solid-State Circuits, Vol. 37, No. 7, juillet 2002
- [Sicard98] G. Sicard, G. Bouvier, A. Lelah, V. Fristot, "A light adaptive 4000 pixels analog silicon retina for edge extraction and motion detection", Workshop on Machine Vision and Applications (MVA'98), Chiba, Japon, november 1998.
- [Sicard99] G. Sicard, "De la biologie au silicium : une rétine bio-inspirée analogique pour un capteur de vision "intelligent" adaptatif", thèse de doctorat de l'Institut Polytechnique de Grenoble
- [Solhusvik96] J. Solhusvik, "Etude et conception de capteurs d'images à pixels actifs et de l'électronique de traitement associée en vue d'applications faible flux », Thèse de doctorat, SUPAERO, Toulouse, novembre 1996.
- [Stoppa02] D. Stoppa, A. Simoni, L. Gonzo, M. Gottardi, G-F. Dalla Betta, "Novel CMOS image sensor with a 132-dB dynamic range", IEEE Journal of Solid-State Circuits, Vol. 37, No. 12, décembre 2002.
- [Storm06] G. Storm, R. Henderson, J.E.D. Hurwitz, D. Renshaw, K. Findlater, M. Purcell, "Extended dynamic range from a combined linear-logarithmic CMOS image sensor", IEEE Journal of Solid-State Circuits, Vol. 41, No. 9, septembre 2006.
- [Sutherland89] I. Sutherland, "Micropipelines", Communication of the ACM, vol. 32, No 6, Juin 1989.
- [Yadid-Pecht97] O. Yadid-Pecht, E.R. Fossum, "Wide intrascene dynamic range CMOS APS using dual sampling", IEEE Transactions on Electron Devices, Vol. 44, No. 10, octobre 1997.
- [Yang99] D. X. D; Yang, A. El Gamal, B. Fowler, H. Tian, "A 640 x 512 CMOS image sensor with ultrawide dynamic range floating-point pixel-level ADC", IEEE Journal of Solid-State Circuits, Vol. 34, No. 12, décembre 1999.

# **ANNEXES**

# Curriculum Vitae

## Gilles SICARD

Né le 7 juillet 1970 à Montpellier (Hérault),  
Nationalité française, marié, 3 enfants.

### **Adresse professionnelle :**

Laboratoire TIMA, groupe CIS  
46, Avenue Félix Viallet,  
38031 Grenoble Cedex  
Tel : 04 76 57 48 12  
e-mail : gilles.sicard@imag.fr

### **Situation actuelle :**

**Maître de conférence à l'université Joseph Fourier de Grenoble (section 63).**

Date de nomination : Septembre 1999, titularisé en septembre 2000.

- Enseignant à l'université Joseph Fourier en microélectronique (~70%) et électronique (~30%).
  - ⇒ **Responsable du Master 2 professionnel CSINA** (Conception des Systèmes Intégrés Numériques et Analogiques) de Grenoble depuis septembre 2007.
- Chercheur au laboratoire TIMA (Technique de l'Informatique et de la Microélectronique pour les Architectures d'ordinateurs), dans le groupe CIS (Concurrent Integrated Systems).
  - ⇒ **Coresponsable du groupe de recherche CIS de TIMA** depuis octobre 2007.

### **Diplomes et formations :**

**Janvier 1999** : Doctorat de l'Institut National Polytechnique de Grenoble (INPG) spécialité Micro-électronique : « De la biologie au silicium : une rétine bio-inspirée analogique pour un capteur de vision "intelligent" adaptatif », sous la direction du Pr. Gérard Bouvier au laboratoire des Images et des Signaux (LIS) de Grenoble. Mention Très honorable avec les félicitations du jury.

**1994** : DEA de Micro-électronique, option Conception, mention Bien.  
Université Joseph Fourier, Grenoble.

**1993** : Maîtrise d'Electronique, Electrotechnique et Automatique.  
Université des Sciences et Techniques du Languedoc, Montpellier.

**1990** : DUT Génie Electrique et Informatique Industrielle, option Electronique,  
Montpellier.

**1988** : Bac F2 (Electronique)

## Activités d'enseignement

Mon poste a été créé dans le cadre de l'ouverture du Master professionnel CSINA (Conception des Systèmes Intégrés Numériques et Analogiques) en 2000. J'effectue donc plus de la moitié de mon service dans ce master.

J'ai mis en place, à l'époque deux cours : Circuits mixtes, (contraintes de layout dans les circuits mixtes, initiations au VHDL-AMS, au bruit, au microsystemes et à la compatibilité électromagnétique), et un cours de RF (partagé avec un ingénieur spécialiste de chez ST Microelectronics), deux TD (RF et Conception analogique) et deux projets (conception numérique et Conception analogique).

Depuis, j'ai également monté un cours de conception logique commun aux masters 2 de microélectronique (Micro et Nano électronique, MNE et CSINA).

Je suis également impliqué depuis plusieurs années dans l'organisation du master (emploi du temps, sélection d'entrée des étudiants, jury et j'en suis le responsable depuis la rentrée 2007-2008).

En ce qui concerne les autres filières de l'université Joseph Fourier, j'ai la responsabilité de l'UE Gel242 (électronique numérique) du DLST qui est donné au semestre 4 de la licence. J'en effectue le cours et encadre un groupe de TP.

J'interviens également en licence 3 (TP sur FPGA), en Master 1 EEATS (TP d'initiation à la microélectronique) et en Master 2 recherche MNE (TP conception numérique)

J'effectue enfin des heures d'enseignements pour l'Ecole Nationale Supérieure de Physique de Grenoble (ENSPG, cours et TP d'initiation à la conception de circuits) et participe activement aux formations continues en Microélectronique proposées par l'INPG (formations Cadence et conception analogique).

## Responsabilités administratives :

- **Responsable du Master 2 professionnel CSINA (Conception des Systèmes Intégrés Numériques et Analogiques) de Grenoble depuis septembre 2007.**
- **Coresponsable du groupe de recherche CIS de TIMA depuis octobre 2007.**
- Coresponsable du Master 2 professionnel CSINA (Conception des Systèmes Intégrés Numériques et Analogiques) de Grenoble avec le Pr. Marc Renaudin pendant l'année universitaire 2003-2004. (remplacement d'Olivier Rossetto en congé de recherche). Cette année universitaire a également correspondu à la mise en place du LMD à l'UJF. J'ai donc effectué la mise en conformité du M2P CSINA vis-à-vis du LMD.
- **Membre du conseil de l'école doctorale EEATS depuis 2007.**
- **Membre suppléant de la commission de spécialiste commune 61-63 à l'université Joseph Fourier. A ce titre, j'ai participé à des commissions d'audition pour des postes de maîtres de conférence relatifs à la microélectronique**

## Communication de la Recherche

- Membre du comité technique de la conférence IEEE PRIME (Ph.D. Research In Microelectronics and Electronics)
- Relecteur de plusieurs conférences (PRIME, ETFA, DATE, ...) et revues (VLSI, Microelectronics journal)

- Membre du comité d'organisation de la conférence ASYNC 2006 (responsable financier de la conférence), Chambre de commerce et de l'industrie, Grenoble, mars. 2006 (110 personnes).
- Membre du comité d'organisation de la conférence ESSCIRC-ESSDERC (responsable de l'audio-vidéo ESSCIRC), Alpes expo - Alpes congrès, Grenoble, sept. 2005 (750 personnes).
- Membre du comité d'organisation de l'école d'été « ACID summer school », Grenoble, juillet 2002 (80 personnes)

## Encadrement scientifique

### Thèses :

<b>Emmanuel ALLIER</b>	Etat : soutenue le 27 Novembre 2003
Titre : Interface analogique numérique asynchrone : une nouvelle classe de convertisseurs basés sur la quantification du temps	
Financement : Ministère	
Encadrement : Marc Renaudin (50%), Gilles Sicard (50%)	
Devenu : Ingénieur STMicroelectronics	

<b>Dhanistha PANYASAK</b>	Etat : soutenue le 14 Juin 2004
Titre : Réduction de l'émission électromagnétique des circuits intégrés : l'alternative asynchrone	
Financement : Ciffre	
Encadrement : Marc Renaudin (75%), Gilles Sicard (25%)	
Devenu : Ingénieur NXP	

<b>João Leonardo FRAGOSO</b>	Etat : soutenue le 16 Novembre 2005
Titre : Conception automatique de chemins de données en logique asynchrones QDI	
Financement : CAPES (Brésil)	
Encadrement : Marc Renaudin (75%), Gilles Sicard (25%)	
Devenu : Ingénieur en microélectronique (Brésil)	

<b>Fraïdy-Gislain BOUESSE</b>	Etat : soutenue le 1 <sup>er</sup> Décembre 2005
Titre : Contribution à la conception de circuits intégrés sécurisés : l'alternative asynchrone	
Financement : contrat	
Encadrement : Marc Renaudin (75%), Gilles Sicard (25%)	
Devenu : Ingénieur chez Tiempo SAS	

<b>Estelle LABONNE</b>	Etat : soutenue le 10 Juillet 2007
Titre : Capteurs de vision CMOS à grande dynamique	
Financement : Ministère	
Encadrement : Marc Renaudin, Gilles Sicard (100%)	
Devenu : Post-Doc (EPFL, Lausanne, Suisse)	

<b>Livier LIZARRAGA</b>	Etat : en cours (4 <sup>ème</sup> année)
Titre : Etude et développement de techniques d'auto-test pour des imageurs CMOS	
Financement : bourse CONACYT (Mexique)	
Encadrement : Salvador Mir (50%), Gilles Sicard (50%)	

<b>Tristan THABUIS</b>	Etat : en cours (2 <sup>ème</sup> année)
Titre : Etude de pixel « intelligent » pour imageur infrarouge refroidi	
Financement : Sofradir	
Encadrement : Marc Belleville (CEA-LETI), Patrick Villard (CEA-LETI, 75%), Gilles Sicard (25%)	

<b>Rodrigo POSSAMAI BASTOS</b>	Etat : en cours (2 <sup>ème</sup> année)
Titre : Conception d'une bibliothèque pour circuit asynchrone tolérant aux fautes	
Financement : CAPES (Co-tutelle UFRGS, Porto-Allegre, Brazil)	
Encadrement : Gilles Sicard (50%), Ricardo Reis (50%), Marc Renaudin	

<b>Fadi ABOUZEID</b>	Etat : en cours (1 <sup>er</sup> année)
Titre : Conception d'une bibliothèque ultra basse consommation	
Financement : CIFRE (STM)	
Encadrement : Gilles Sicard (25%), Sylvain Clerc (50%), Marc Renaudin (25%)	

<b>Hakim ZIMOUCHE</b>	Etat : en cours (1 <sup>er</sup> année)
Titre : Conception d'un capteur de vision CMOS à réponse invariante	
Financement : Minalogic	
Encadrement : Gilles Sicard (100%), Marc Renaudin	

### **Encadrement de Diplôme de Recherche Technologique (DRT)**

(En tant que Directeur Technique Universitaire)

**Christophe MANDIER**, " Conception d'une nouvelle architecture de pixel numérique pour la lecture des microbolomètres permettant la réduction du bruit spatial fixe". DRT de l'UJF, préparé au CEA-LETI, soutenance prévue en septembre 2008.

**Bertrand DUPONT**, « Conception d'un pixel numérique pour imageur infrarouge », DRT de l'INPG, préparé au CEA-LETI, soutenue le 30 Août 2006 à Grenoble.

### Stages de Master 2 recherche :

**Anthony DALIBERT**, « Modélisation de photorécepteurs en technologie submicronique », Double cursus DEA Microélectronique de Grenoble / INPG-ENSERG, Grenoble, Septembre 2001

**Tariq EL MOTASSADEQ**, « Interface RF/Numérique faible consommation pour objets communicants », Double cursus DEA Microélectronique de Grenoble / INPG-Telecom, Grenoble, septembre 2002

**Estelle LABONNE**, « Conception d'un capteur de vision à grande dynamique et à sorties binaires différentielles » DEA Microélectronique de Grenoble, Université Joseph Fourier Grenoble Septembre 2003.

**Livier LIZARRAGA**, « Conception d'un régulateur DC-DC programmable pour systèmes asynchrones », DEA Microélectronique de Grenoble, Université Joseph Fourier Grenoble Septembre 2004.

**Hawraa AMHAZ**, « Etude d'un pixel à grande dynamique d'entrée et de sortie pour un capteur de vision CMOS », M2R Micro et nano électronique de Grenoble, Université Joseph Fourier Grenoble, en cours.

**Binhong LI**, « Etude de cellules logiques pour des circuits numériques asynchrones résistants aux attaques de type EMA », M2R Micro et nano électronique de Grenoble, Université Joseph Fourier Grenoble, en cours.

### Stages de Master 2 professionnel / 3<sup>ème</sup> année Ecoles d'ingénieur

**Caroline BIASI**, « Etude des architectures et des modulations d'une chaîne de transmission de données numériques pour des systèmes de radiocommunication », DESS Conception des Systèmes intégrés Numériques et Analogiques (CSINA), Université Joseph Fourier, Grenoble Septembre 2001.

**Salim RENANE**, « Conception d'un "Processeur Colonne" analogique à grande dynamique pour capteurs de vision CMOS », DESS CSINA, INPG, Grenoble, Septembre 2002.

**Damien PERROT**, « Optimisation et dessin au micron d'un CAN asynchrone », DESS CSINA, Université Joseph Fourier, Grenoble, Septembre 2002.

**Grégory LOPIN**, « Dimensionnement de la bibliothèque TAL pour la technologie CMOS 65nm » DESS CSINA, INPG, Grenoble, Septembre 2004.

**Mourad LATRECHE**, « Conception d'un circuit colonne pour capteur de vision CMOS », DESS CSINA, INPG, Grenoble, Septembre 2004.

**Mourad MEHADJI**, « Création d'un élément retard programmable en technologie 120nm » DESS CSINA, INPG, Grenoble, Septembre 2004.

**Rémy GIRIN**, « Création de cellules asynchrones pour bibliothèque TAL 130nm », DESS CSINA, INPG, Grenoble, Septembre 2004.

**Benjamin CAILLAT, Mickael ROSILLO**, « Conception d'une bibliothèque de cellules numériques asynchrones (TAL 65) » Master 2 professionnel CSINA, INPG, Grenoble, Septembre 2006.

### Stages Master 1 / 2<sup>ème</sup> année Ecoles d'ingénieur

**Emilie HUSS**, « Etude de l'influence des polarisations substrat sur les performances des portes logiques », INPG – ENSPG, Grenoble, Septembre 2003

**Emmanuel HUTTER**, « Conception d'une bibliothèque de cellules numériques asynchrones (TAL 65) » INPG – ENSPG, Grenoble 2<sup>ème</sup> année, Août 2006.



**Gaëlle REPELLIN**, « Mise en place d'un environnement de visualisation sur PC pour le test de capteur de vision », INPG-ENSERG, Août 2006

**Vincent BIZOUERNE**, « Mise au point d'un environnement de tests pour capteur de vision CMOS », INPG-ENSERG, Août 2006

**Damien OLLIVE**, « Conception d'une carte de test pour capteur de vision CMOS », Master 1 EEATS, Université Joseph Fourier, Juillet 2007

**Hieu TRINH VU**, « Conception d'une carte de test pour capteur de vision CMOS », Master 1 EEATS, Université Joseph Fourier, Juillet 2007

### **Stages Licence / DUT / BTS**

**Audrey PLANCHE-LAPLANTA**, « Conception de cartes CMS pour des mesures de susceptibilité et d'émission électromagnétique de circuits numériques asynchrones » Licence GEII, Université Joseph Fourier, Grenoble, juin 2005.

**David ANDREOLETTI**, « Réalisation d'un environnement de test pour un capteur de vision » Licence professionnelle informatique, IUT2 Grenoble, Université Pierre-Mendès France, Grenoble, septembre 2007.

## PUBLICATIONS

### Lexical / lexique :

Lxx: Papers on Low-power

Exx: Papers on Electromagnetic compatibility

Cxx: Papers on CMOS Imagers

### Revues :

[L18] J. Fragoso, G. Sicard, M. Renaudin, « Estimation rapide du couple énergie/délai des circuits asynchrones QDI », Numéro spécial de la revue Technique et Science Informatiques sur le thème des « Méthodes et outils pour la conception de SoC faible consommation », Volume 26 – n° 5, 2007.

[L17] D. Rios-Arambula, A. Buhrig, G. Sicard, M. Renaudin, “On the use of Feedback Systems to Dynamically Control the Supply Voltage of Low-Power Circuits”, Journal on Low Power Electronics vol. 2, pp 45–55, April 2006

[L13] E. Allier, G. Sicard, L. Fesquet, M. Renaudin, "Asynchronous Level Crossing Analog to Digital Converters", Measurement journal, Elsevier Publisher, Vol. 37, April 2005, pp. 296-309

[E07] D. Panyasak, G. Sicard, M. Renaudin, "A current shaping methodology for lowering EM disturbances in asynchronous circuits", Microelectronics journal 35, June-2004, pp. 531-540

### Conférences internationales avec comité de lecture :

[E09] G.F. Bouesse, N. Ninon, G. Sicard, M. Renaudin, A. Boyer, E. Sicard, "Asynchronous logic Vs Synchronouos logic: Concrete results on electromagnetic emissions and conducted susceptibility", 6<sup>th</sup> International workshop on electromagnetic compatibility of integrated circuits (EMC Compo'07), Torino, Italy, November 28<sup>th</sup>-20<sup>th</sup>, 2007, pp 99-102.

[C17] E. Labonne, G. Sicard, M. Renaudin, “A High Dynamic Range CMOS Imager with a Light Adaptive System and Digital Outputs”, Workshop on "Image Sensors analog and digital on-chip processing", Toulouse, France, November 21-22, 2007.

[C16] L. Lizarraga, S. Mir and G. Sicard. "Evaluation of a BIST technique for CMOS imagers", Asian Test Symposium, Beijing Chine, October 8-11 2007, pp. 378-383

[C15] E. Labonne, G. Sicard, M. Renaudin, “An on-pixel FPN reduction method for a high dynamic range CMOS imager”, 33rd European Solid-State Circuits Conference, ESSCIRC 2007, Munich, Germany, September 11-13, 2007, pp 332-335.

[C14] L. Lizarraga, S. Mir, G. Sicard and A. Dragulinescu, “Defect and fault modelling of CMOS active pixel sensors”, IEEE Latin American Test Workshop, Cuzco, Peru, March 2007.

- [C13] E. Labonne, G. Sicard, M. Renaudin, P.-D. Berger, "A 100dB dynamic range CMOS image sensor with global shutter", 13th IEEE International Conference on Electronics, Circuits and Systems, ICECS 2006, Nice, France, December 10-13, 2006, pp. 1133-1136
- [C12] A. Dragulinescu, L. Lizarraga, S. Mir, G. Sicard, "Defect and fault modelling of a CMOS n-diffusion photodiode", 3rd edition of the International Conference ATOM-N 2006, 24-26 November 2006, Bucharest, Romania, Cavaliotti Publishing House, pp. 43-44, ISBN: 973-7622-34-0978-973-7622-34-1
- [C11] E. Labonne, G. Sicard, M. Renaudin, "A high dynamic range CMOS image sensor with on-chip FPN reduction method", XXI Conference on Design of Circuits and Integrated Systems, DCIS 2006, Barcelona, Spain, November 22-24, 2006
- [C10] L. Lizarraga, S. Mir, G. Sicard, A. Bounceur, " Study of a BIST Technique for CMOS Active Pixel Sensors ", VLSI SoC 2006, Nice, October 16-18, 2006, pp . 326-331. Proceeding ISBN : 3-901882-19-7 2006 IFIP
- [L18] F. Bouesse, G. Sicard, M. Renaudin, "Path Swapping Method to Improve DPA Resistance of QDI Asynchronous Circuits". 8th International Workshop on Cryptographic Hardware and Embedded Systems – CHES2006, , Yokohama, Japan, October 2006, LNCS 4249 Springer 2006,pp. 384-398.
- [C09] E. Labonne, G. Sicard, M. Renaudin, "A 120dB CMOS imager with a light adaptive system and digital outputs", 2nd conference on Ph.D. Research in Microelectronics and Electronics, PRIME 2006, Otranto, Italy, June 12-15, 2006, pp. 269-272.
- [L16] F. Bouesse, M. Renaudin, G. Sicard, "Improving DPA resistance of Quasi Delay Insensitive Circuits using randomly time-shifted Acknowledgement Signals", VLSI-SOC'05, Perth, Australia, October 2005
- [E08] G.F. Bouesse, G.Sicard, M.Renaudin, "Efficient quasi delay insensitive asynchronous architectures for low EMI", EMC\_Compo'05, Munich, Germany, November 2005
- [L15] E. Allier, J. Goulier, G. Sicard, A. Dezzani, E. André, M. Renaudin "A 120nm Low Power Asynchronous ADC", ISLPED'05, San Diego, USA, August 2005
- [L12] K. Slimani, Y. Rémond, G.Sicard, M.Renaudin, "TAST profiler and low energy asynchronous design methodology ", PATMOS'04, Santorini, Greece, September 2004
- [E06] G.F. Bouesse, G.Sicard, M.Renaudin, "Quasi Delay Insensitive Asynchronous Circuits for Low EMI", EMC\_Compo'04, Angers, France, March 2004
- [E05] D. Panyasak, G. Sicard, M. Renaudin, "Asynchronous Design for improved EMC behavior of IC's", EMC\_Compo'04, Angers, France, March 2004
- [L11] J. L. Fragoso , G. Sicard, M. Renaudin, "Automatic Generation of 1-of-M QDI Asynchronous Adders", SBCCI'03, Sao Paulo, Brasil, September 2003
- [L09] P. Maurine, J.B. Rigaud, F. Bouesse, G. Sicard, M. Renaudin, "Static Implementation of QDI asynchronous primitives", PATMOS'03, Torino, Italy, September 2003

- [L08] J. L. Fragoso , G. Sicard, M. Renaudin, "Power/Area Tradeoffs in 1-of-M Parallel-Prefix Asynchronous Adders", PATMOS'03, Torino, Italy, September 2003
- [L07] E. Allier, G. Sicard, L. Fesquet, M. Renaudin, "A New Class of Asynchronous Analog-to-Digital Converters", IWADC'03, Perugia, Italy, September 2003
- [L04] E. Allier, G. Sicard, L. Fesquet, M. Renaudin, "A New Class of Asynchronous A/D Converters Based on Time Quantization", ASYNC'03, Vancouver, Canada, May 2003
- [E03] D.Panyasak, G.Sicard, M.Renaudin, "From RTL to low EMI Asynchronous Circuits", ACID'03, Heraklion, Greece, March 2003
- [L03] J. L. Fragoso , G. Sicard, M. Renaudin, "Generalized 1-of-M QDI Asynchronous Adders", ACID'03, Heraklion, Greece, March 2003
- [L02] E. Allier, G. Sicard, L. Fesquet, M. Renaudin, "A New Class of Asynchronous Analog-to-Digital Converters", ACID'03, Heraklion, Greece, March 2003
- [E02] D.Panyasak, G.Sicard, M.Renaudin, "A current shaping methodology for low EMI asynchronous circuits", EMC Compo'02, Toulouse, France, November 2002,
- [L01] E. Allier, L. Fesquet, M. Renaudin, G. Sicard, "Low-Power Asynchronous A/D Conversion ", PATMOS'02, Sevilla, Spain, September 2002
- [E01] D. Panyasak, G. Sicard, M. Renaudin, "Shaping Current Profile of Asynchronous Circuits", ACID'02, Munich, Germany, January 2002
- [C07] G. Sicard, G. Bouvier, A. Lelah, V. Fristot, "An adaptive bio-inspired analog silicon retina ", ESSCIRC'99, Duisburg, Germany, sept-99
- [C06] G. Sicard, G. Bouvier, A. Lelah, V. Fristot, "A light adaptive 4000 pixels analog silicon retina for edge extraction and motion detection", MVA'98, Chiba, Japon, nov-98
- [C04] A. Mhani, G. Sicard, G. Bouvier, "Analog vision chip for sensing edges, contrasts and motion", ISCAS'97, Hong-kong, juin-97
- [C02] G. Bouvier, A. Mhani, G. Sicard, "Contrast and motion-sensitive silicon retina",AFPAC'96, Berlin, Germany, oct-96

#### **Conférences nationales ou francophones avec comité de lecture :**

- [C08] E. Labonne, G. Sicard, M. Renaudin, "Capteur de vision CMOS à grande dynamique et adapté aux conditions lumineuses", READ'05, Evry, France, June 2005
- [L14] J. L. Fragoso , G. Sicard, M. Renaudin, "Comparaison Rapide de Performance de Circuits Asynchrones QDI", FTFC'05, Paris, France, May 2005

[E04] D. Panyasak, G. Sicard, M. Renaudin, "CEM des Circuits Intégrés : vers l'alternative Asynchrone", CEM'04, Toulouse, France, March 2004

[L10] E. Allier, G. Sicard, L. Fesquet, M. Renaudin, "CAN Faible Consommation : Conception Asynchrone et Echantillonnage Irrégulier", TAISA'03, Louvain, Belgium, September 2003

[L06] P. Maurine, J.B. Rigaud, F. Bouesse, G. Sicard, M. Renaudin, "TAL: une bibliothèque de cellules pour le design de circuits asynchrones QDI", FTFC'03, Paris, France, May 2003

[L05] K. Slimani, Y. Remond, A. Sirianni, G. Sicard, M. Renaudin, "Estimation et optimisation de la consommation d'énergie des circuits asynchrones", FTFC'03, Paris, France, May 2003

[C05] G. Sicard, A. Mhani, G. Bouvier, J. Hérault, "Rétines en silicium pour caméra adaptative", colloque ANRT Commission d'imagerie rapide et photonique, Strasbourg, France, juin-98

[C03] A. Mhani, G. Sicard, G. Bouvier, "Rétine intégrée pour caméra intelligente", READ'97, Evry, France, mai-97

[C01] G. Sicard, A. Mhani, G. Bouvier, J. Hérault, "Application de modèles de rétines à la détection de mouvements", 8ème journées NSI, Marly-le-roy, France, mai-96

#### **Chapitre de livre :**

[E9] "Electromagnetic Compatibility of Integrated Circuits · Techniques for low emission and susceptibility", Editors: Ben Dhia, S., Ramdani, M., Sicard, E., 2005, Kluwer Academic Publishers, ISBN 978-0-387-26600-8.

[L20] F. Bouesse, M. Renaudin, G. Sicard, "Improving DPA resistance of quasi delay insensitive circuits using randomly time-shifted acknowledgements signals", VLSI-SOC: From Systems to Chips, (selected contributions from VLSI-SoC 2005), series IFIP International, Edited by R. Reis, A. Osseiran and H. J. Pflaederer, Springer, 2007, ISBN: 978-0-387-73660-0

#### **Brevet :**

[P01] E. Allier, G. Sicard, L. Fesquet, M. Renaudin, "Dispositif de Conversion Analogique Numérique", brevet français, Institut National Polytechnique de Grenoble (INPG), 31 janvier 2001, FR2835365.

#### **Rapport technique:**

[R01] E. Labonne, G. Sicard, M. Renaudin, "Dynamic Voltage Scaling and Adaptive Body Biasing Study for Asynchronous Design", Technical report, TIMA Laboratory, ISRN: TIMA-RR--04/06-01—FR, 2004.