

ANALYSE DU COMPORTEMENT PETIT SIGNAL DU TRANSISTOR MOS :

CONTRIBUTION A UNE NOUVELLE APPROCHE D'EXTRACTION ET DE MODELISATION POUR DES APPLICATIONS RF

E. BOUHANA

STMICROELECTRONICS, 850 RUE J. MONNET, 38926 CROLLES CEDEX, FRANCE
IEMN, AVENUE POINCARÉ, BP 69, 59652 VILLENEUVE D'ASCQ CEDEX, FRANCE

ANALYSE DU COMPORTEMENT PETIT SIGNAL DU TRANSISTOR MOS :

CONTRIBUTION A UNE NOUVELLE APPROCHE D'EXTRACTION ET DE MODELISATION POUR DES APPLICATIONS RF

E. BOUHANA

STMICROELECTRONICS, 850 RUE J. MONNET, 38926 CROLLES CEDEX, FRANCE
IEMN, AVENUE POINCARÉ, BP 69, 59652 VILLENEUVE D'ASCQ CEDEX, FRANCE

TROIS ELEMENTS IMPORTANTS

□ Transistor MOS :

- Composant à semiconducteur massivement utilisé dans l'industrie microélectronique

TROIS ELEMENTS IMPORTANTS

❑ Transistor MOS :

- Composant à semiconducteur massivement utilisé dans l'industrie microélectronique

❑ Modélisation

- Consiste à faire des modèles
- Reproduction & prédiction du comportement électrique d'un composant
- Essentiel pour la conception de circuits

TROIS ELEMENTS IMPORTANTS

❑ Transistor MOS :

- Composant à semiconducteur massivement utilisé dans l'industrie microélectronique

❑ Modélisation

- Consiste à faire des modèles
- Reproduction & prédiction du comportement électrique d'un composant
- Essentiel pour la conception de circuits

❑ Applications RF

- GPS, GSM, Bluetooth, Wifi, Wimax
- Fréquence : 1-10GHz

PROBLEMATIQUE


□ RF \Leftrightarrow Bip & III-V

PROBLEMATIQUE

□ RF \Leftrightarrow Bip & III-V

□ Mais :

- Réduction des dimensions en technologie MOS :
augmentation de la rapidité des transistors


	1995  2007						
Nœud technologique	0.35 μm	0.25 μm	0.18 μm	0.13 μm	90 nm	65 nm	45 nm
F_t (GHz)	25	35	50	85	120	165-200	> 250
F_{max} (GHz)	~ 40	~ 60	~ 80	> 120	> 200	> 300	> 400

PROBLEMATIQUE

□ RF \Leftrightarrow Bip & III-V

□ Mais :

- Réduction des dimensions en technologie MOS :
augmentation de la rapidité des transistors

	1995  2007						
Nœud technologique	0.35 μm	0.25 μm	0.18 μm	0.13 μm	90 nm	65 nm	45 nm
F_t (GHz)	25	35	50	85	120	165-200	> 250
F_{max} (GHz)	~ 40	~ 60	~ 80	> 120	> 200	> 300	> 400


- Avantages : Prix, consommation & intégration avec des fonctions numériques

PROBLEMATIQUE

□ RF \Leftrightarrow Bip & III-V

□ Mais :

- Réduction des dimensions en technologie MOS :
augmentation de la rapidité des transistors

	1995  2007						
Nœud technologique	0.35 μm	0.25 μm	0.18 μm	0.13 μm	90 nm	65 nm	45 nm
F_t (GHz)	25	35	50	85	120	165-200	> 250
F_{max} (GHz)	~ 40	~ 60	~ 80	> 120	> 200	> 300	> 400

- Avantages : Prix, consommation & intégration avec des fonctions numériques

□ De plus en plus d'applications analogiques & RF sont conçues en technologie MOS

PROBLEMATIQUE

- ❑ Mais : les modèles disponibles ont des lacunes.
 - Besoin d'améliorer la modélisation RF du transistor MOS

PROBLEMATIQUE

- ❑ **Mais : les modèles disponibles ont des lacunes.**
 - Besoin d'améliorer la modélisation RF du transistor MOS

- ❑ **Ces travaux de thèse :**
 - Nouvelles approches pour la modélisation linéaire du MOS
 - Applications : $1 < f < 10\text{GHz}$
 - Validation des modèles : domaine millimétrique

PLAN

Introduction

- Description succincte du MOSFET
- Problématique de la modélisation en RF

PLAN

Introduction

Etude des éléments extrinsèques “connus”

- Capacités parasites
- Résistance de grille
- Impact et évolution

PLAN

Introduction

Etude des éléments extrinsèques “connus”

Etude du réseau substrat

- Particularités
- Méthodologie d'accès au réseau substrat
- Analyse du réseau en technologies 130nm et 65nm

PLAN

Introduction

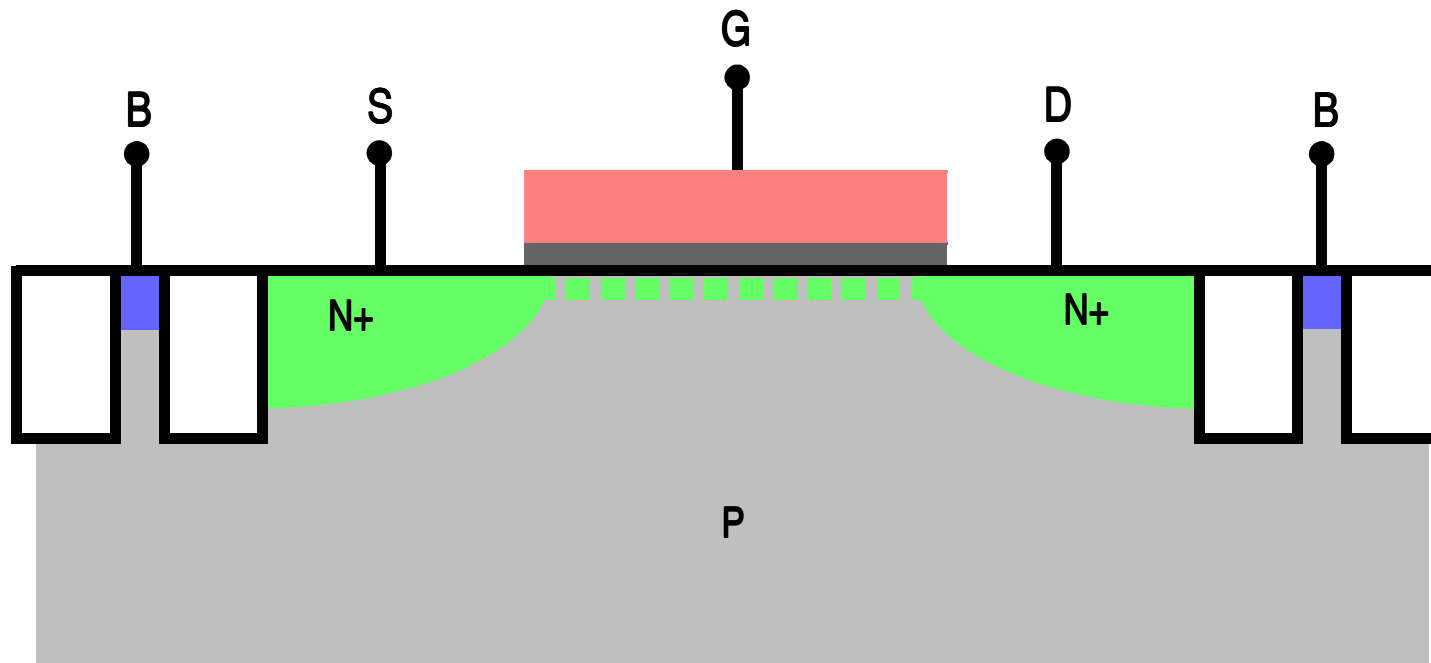
Etude des éléments extrinsèques “connus”

Etude du réseau substrat

Conclusion & perspectives

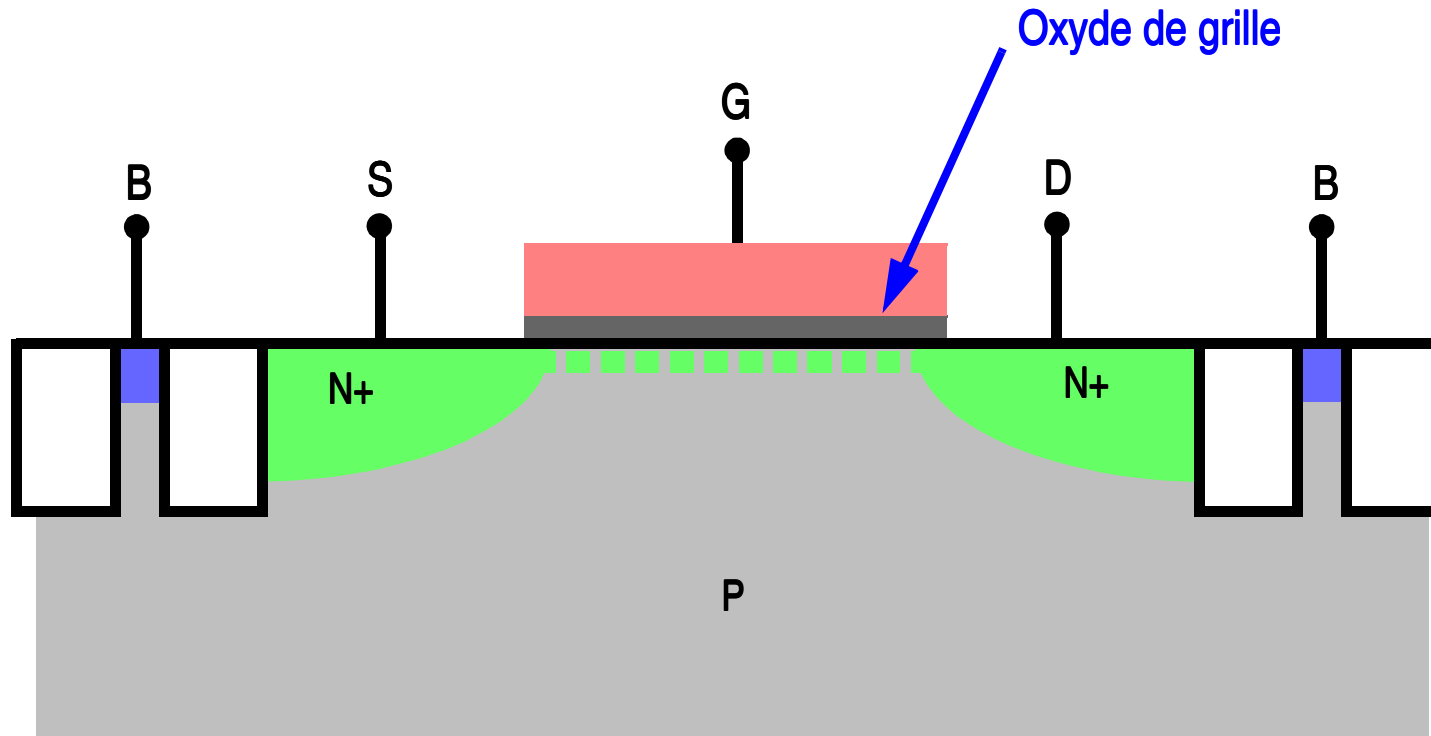
QU'EST-CE QU'UN MOSFET ?

□ MOSFET = Metal-Oxide-Semiconductor Field-Effect Transistor



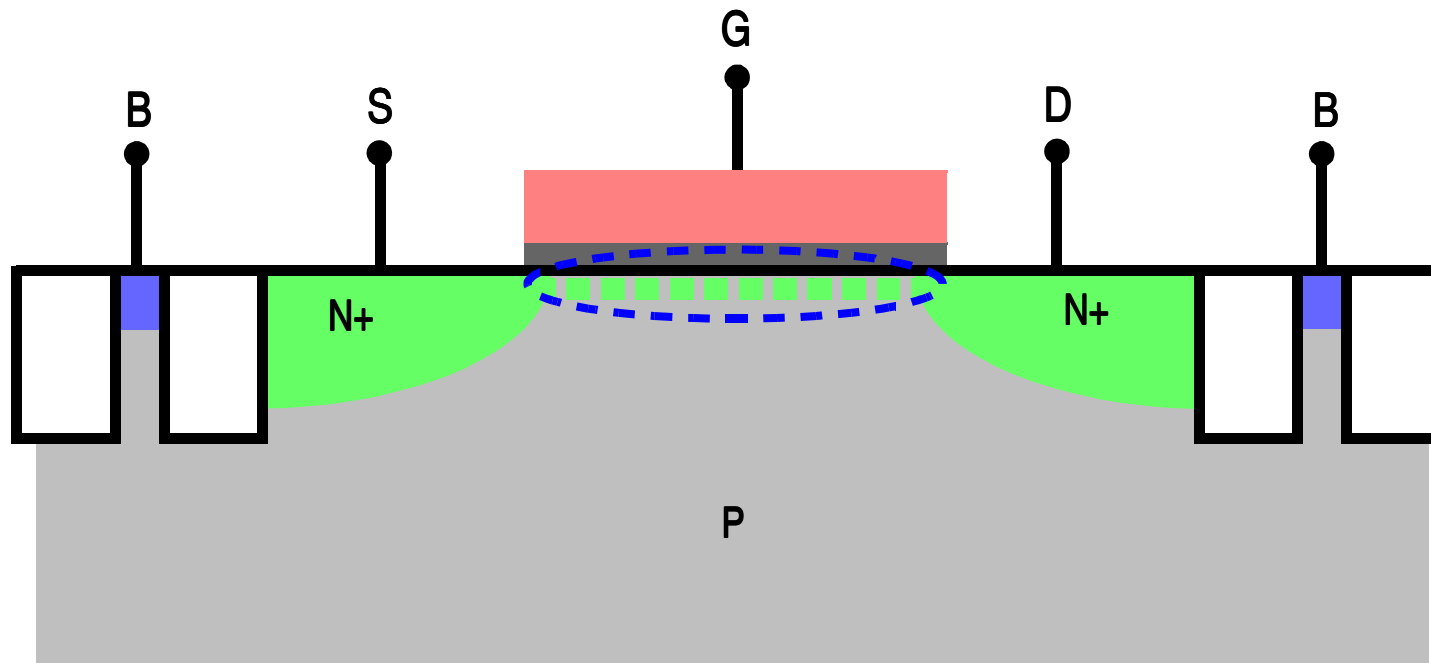
QU'EST-CE QU'UN MOSFET ?

□ MOSFET = Metal-Oxide-Semiconductor Field-Effect Transistor



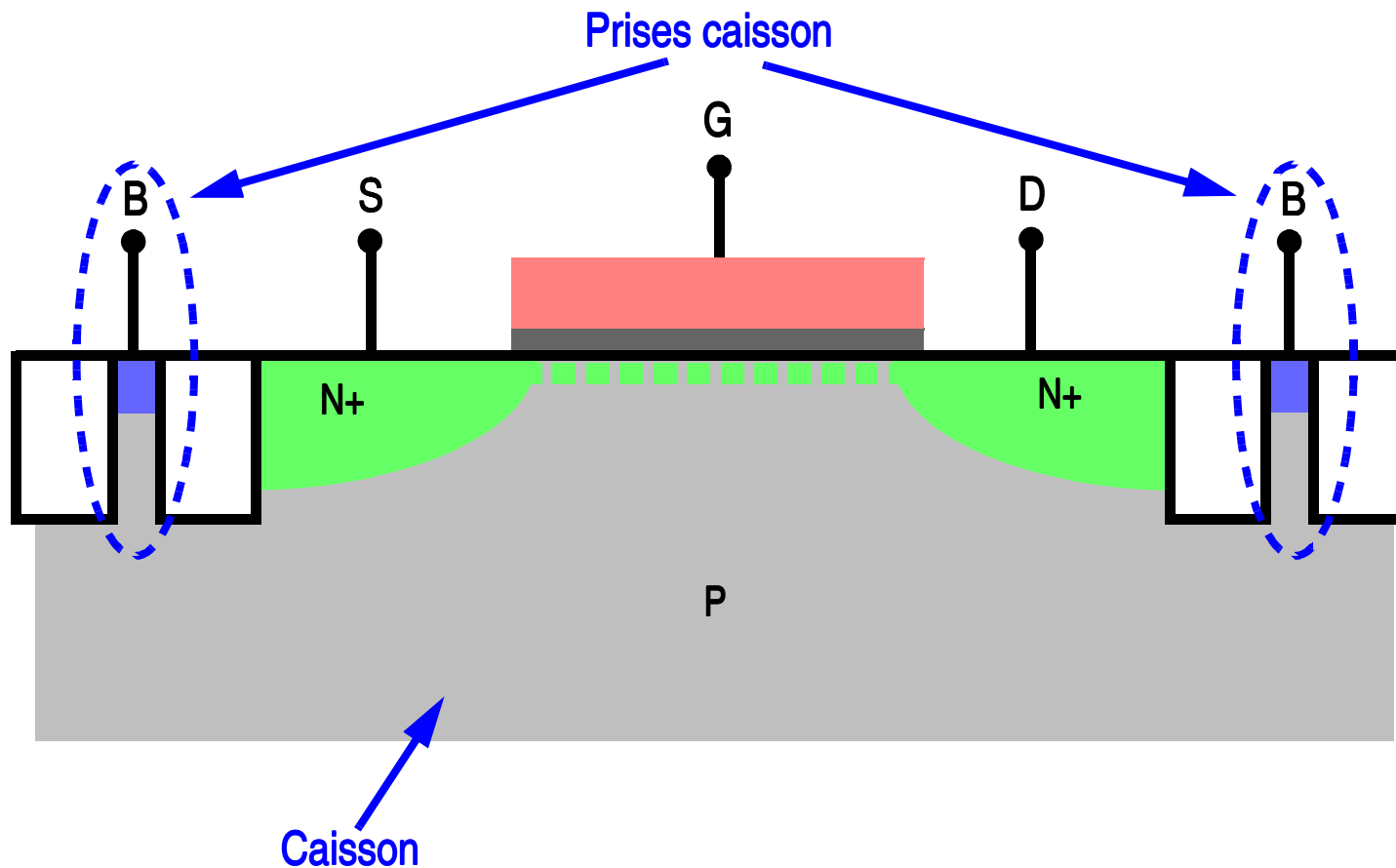
QU'EST-CE QU'UN MOSFET ?

□ MOSFET = Metal-Oxide-Semiconductor Field-Effect Transistor



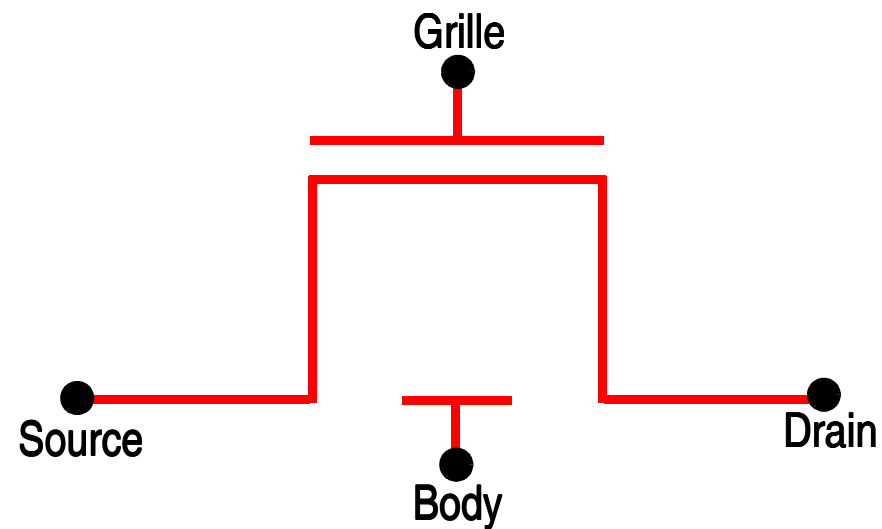
QU'EST-CE QU'UN MOSFET ?

□ MOSFET = Metal-Oxide-Semiconductor Field-Effect Transistor



QU'EST-CE QU'UN MOSFET ?

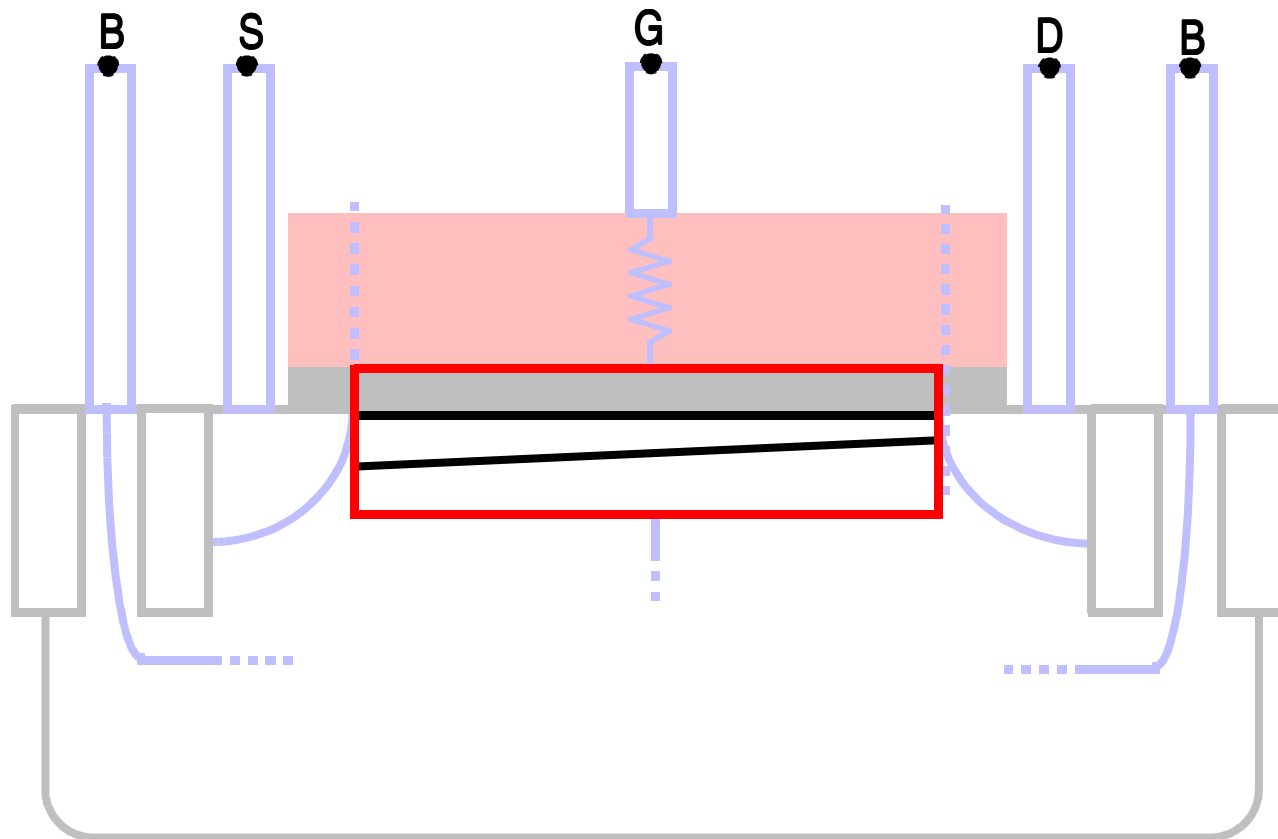
□ MOSFET = Metal-Oxide-Semiconductor Field-Effect Transistor



INTRINSEQUE/EXTRINSEQUE

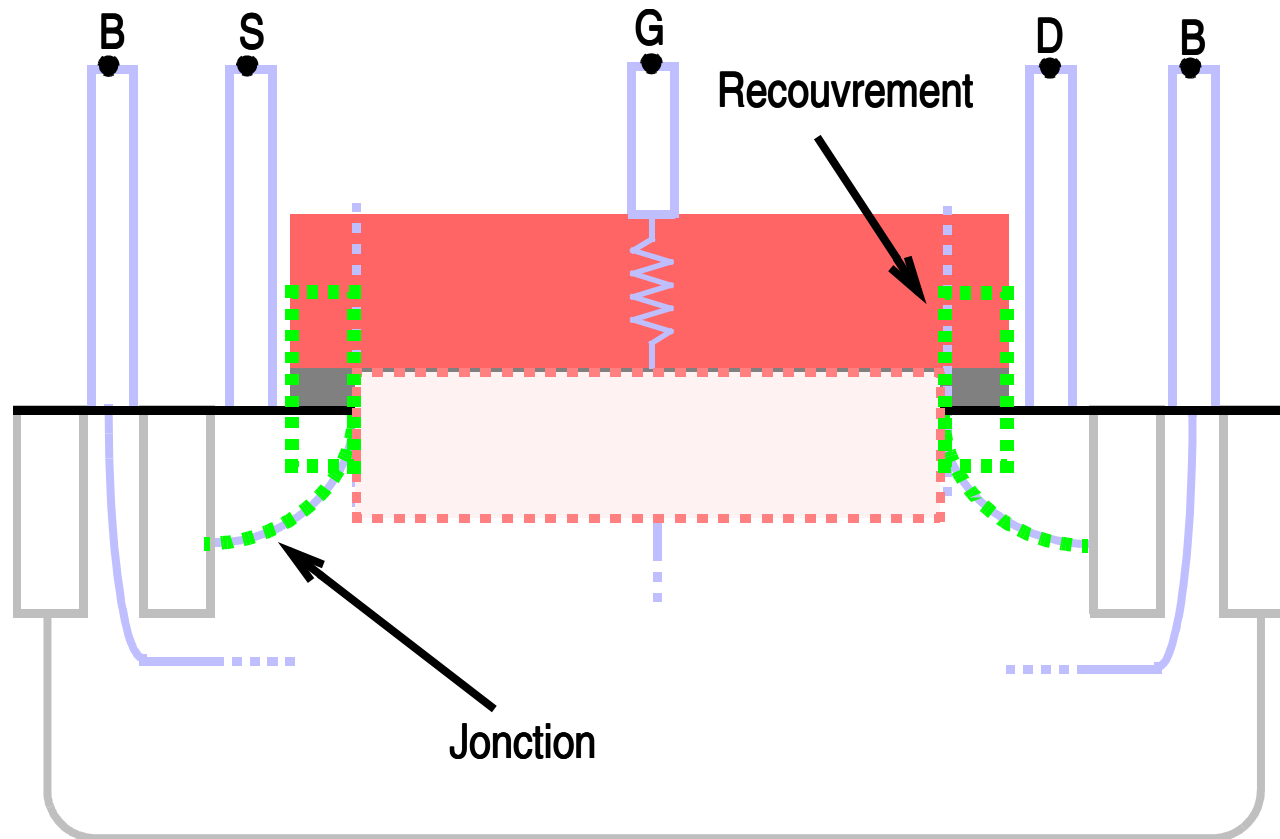
LE MOSFET INTRINSEQUE

□ Intrinsèque \Leftrightarrow effet transistor



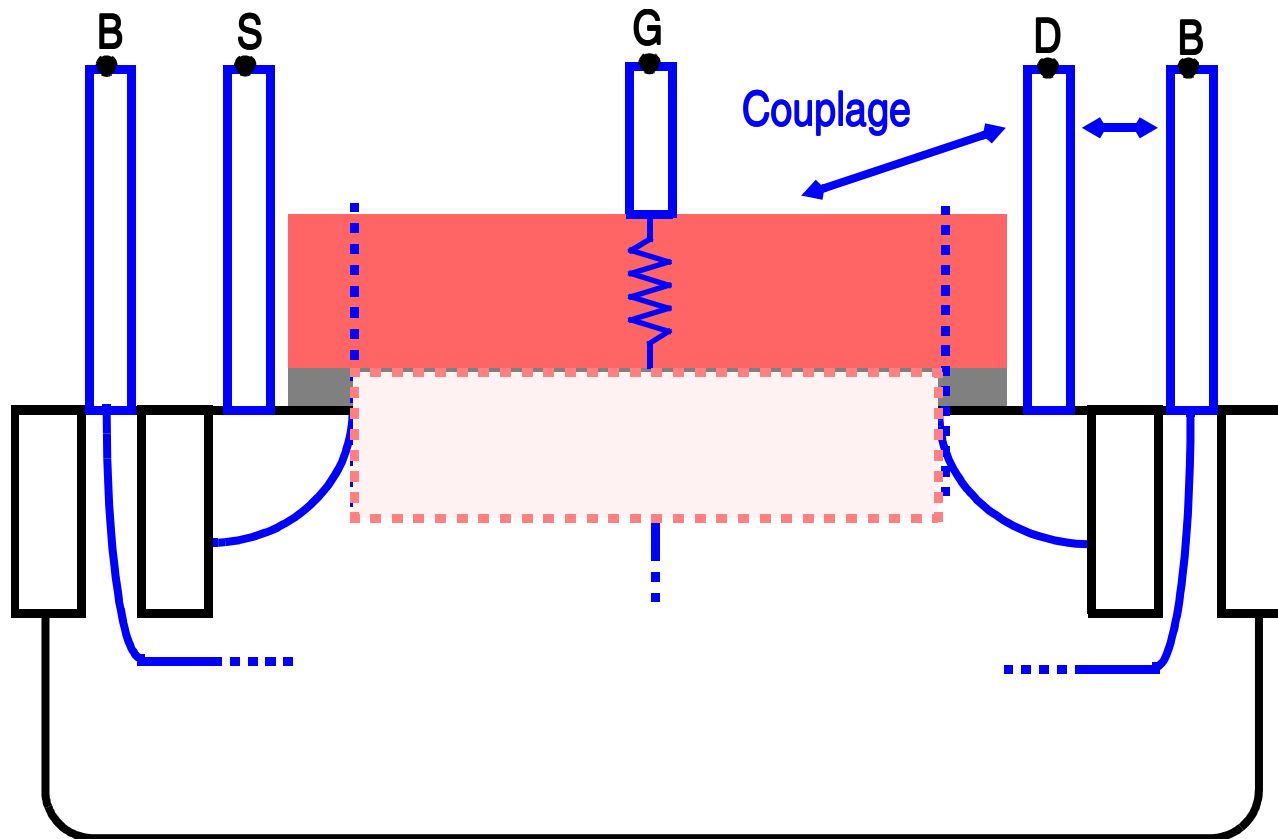
LE MOSFET EXTRINSEQUE

- Intrinsèque \Leftrightarrow effet transistor
- Extrinsèque \Leftrightarrow lié à la technologie et à l'accès aux terminaux du transistor



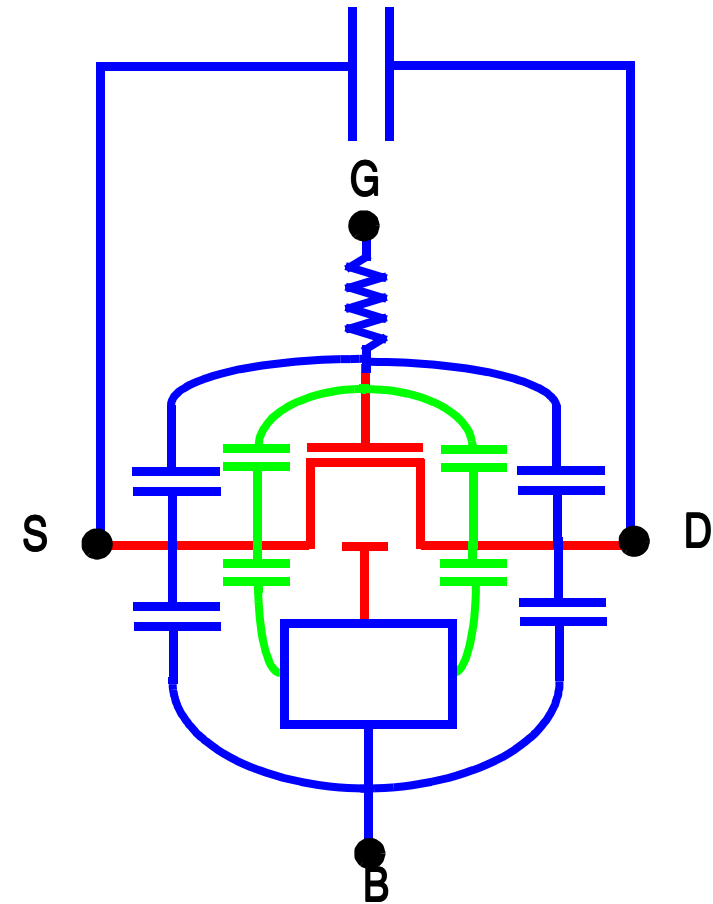
LE MOSFET EXTRINSEQUE

- Intrinsèque \Leftrightarrow effet transistor
- Extrinsèque \Leftrightarrow lié à la technologie et à l'accès aux terminaux du transistor



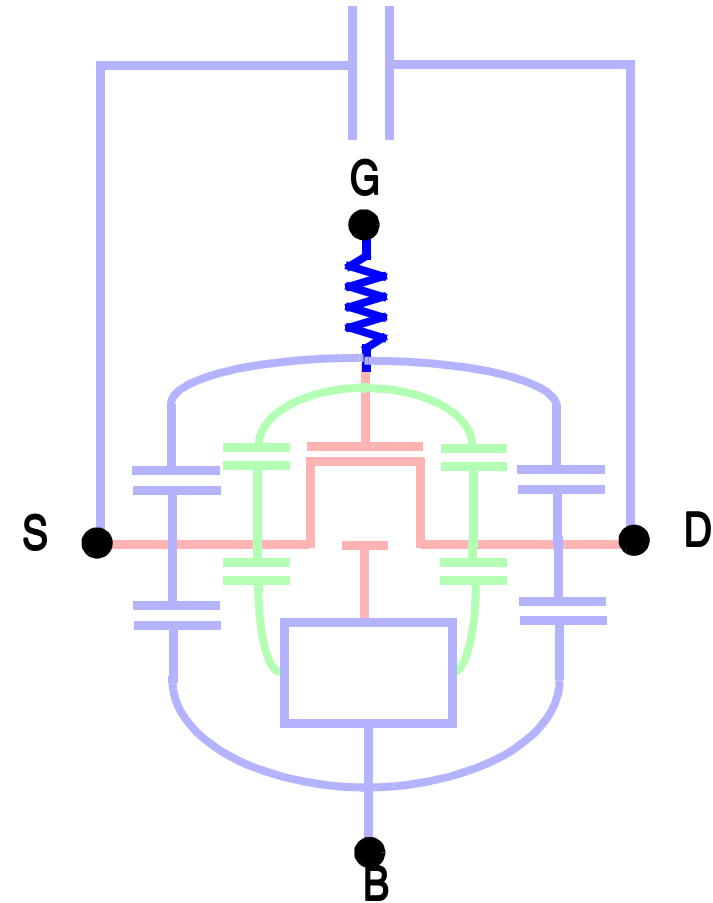
LE MOSFET EXTRINSEQUE

- Les éléments extrinsèques entourent le dispositif
 - Chemins non-idéaux pour le signal
 - Influence en RF



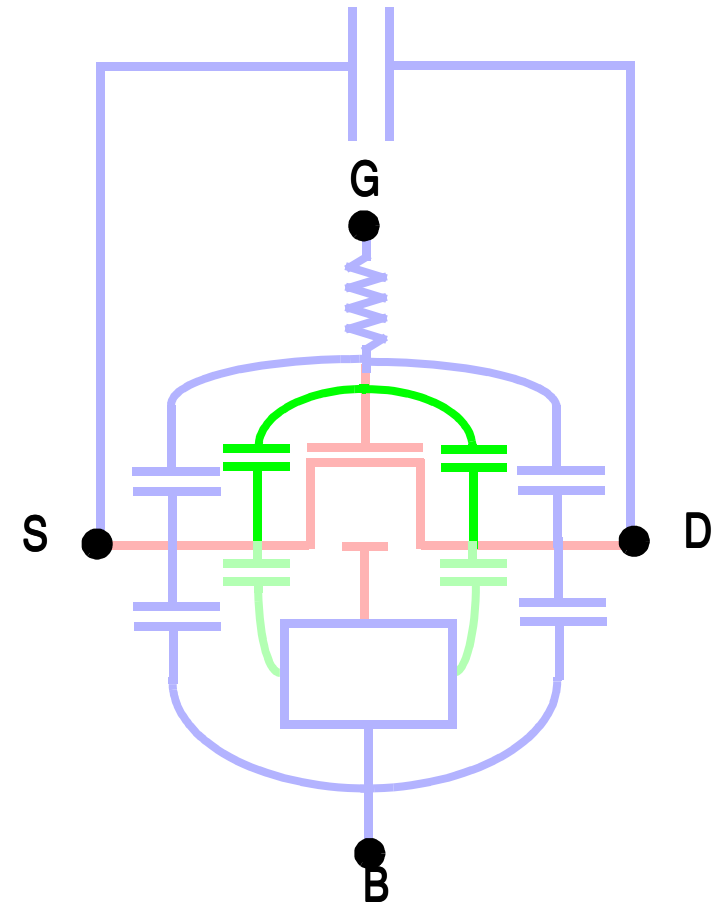
LE MOSFET EXTRINSEQUE

- ❑ Les éléments extrinsèques entourent le dispositif
 - Chemins non-idéaux pour le signal
 - Influence en RF
- ❑ Eléments parasites
 - Résistance de grille ;



LE MOSFET EXTRINSEQUE

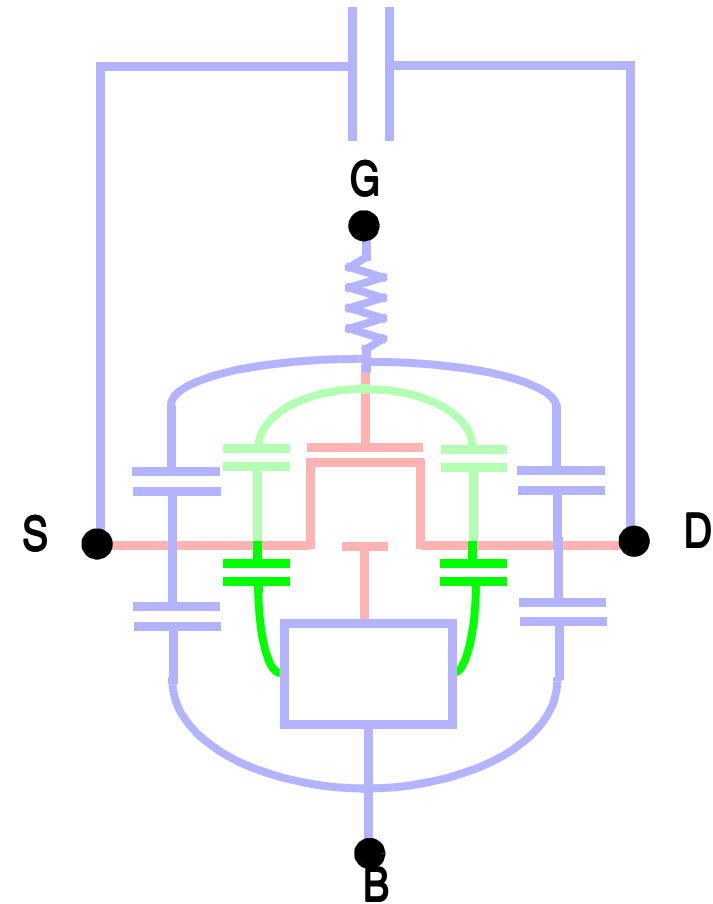
- ❑ Les éléments extrinsèques entourent le dispositif
 - Chemins non-idéaux pour le signal
 - Influence en RF
- ❑ Eléments parasites
 - Résistance de grille ;
 - Capacités de recouvrement ;



LE MOSFET EXTRINSEQUE

- ❑ Les éléments extrinsèques entourent le dispositif
 - Chemins non-idéaux pour le signal
 - Influence en RF

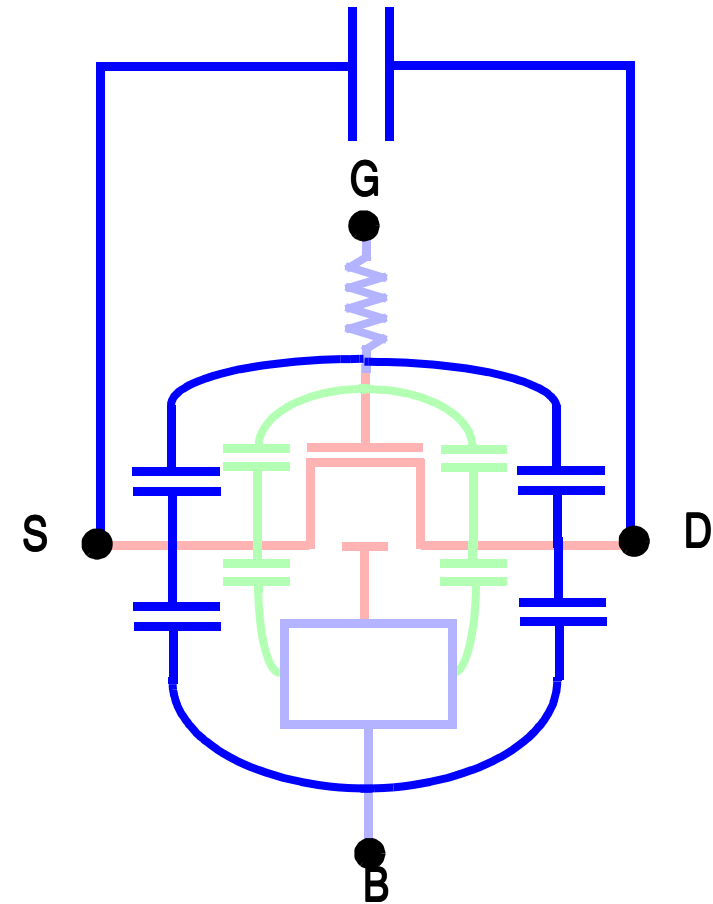
- ❑ Eléments parasites
 - Résistance de grille ;
 - Capacités de recouvrement ;
 - Capacités de jonction ;



LE MOSFET EXTRINSEQUE

- ❑ Les éléments extrinsèques entourent le dispositif
 - Chemins non-idéaux pour le signal
 - Influence en RF

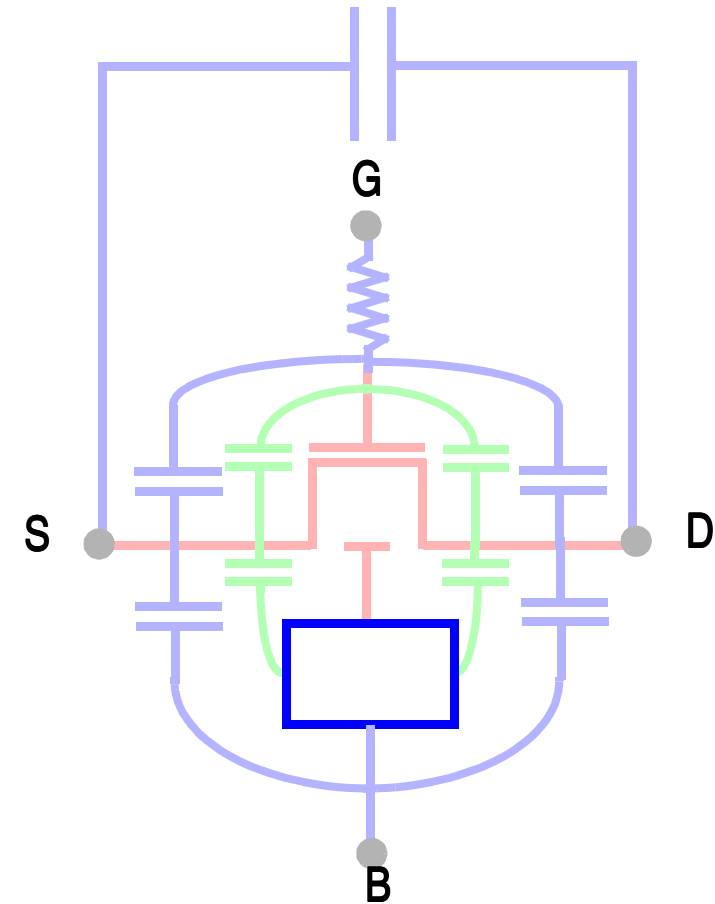
- ❑ Eléments parasites
 - Résistance de grille ;
 - Capacités de recouvrement ;
 - Capacités de jonction ;
 - Capacités métalliques ;



LE MOSFET EXTRINSEQUE

- ❑ Les éléments extrinsèques entourent le dispositif
 - Chemins non-idéaux pour le signal
 - Influence en RF

- ❑ Eléments parasites
 - Résistance de grille ;
 - Capacités de recouvrement ;
 - Capacités de jonction ;
 - Capacités métalliques ;
 - Réseau substrat.

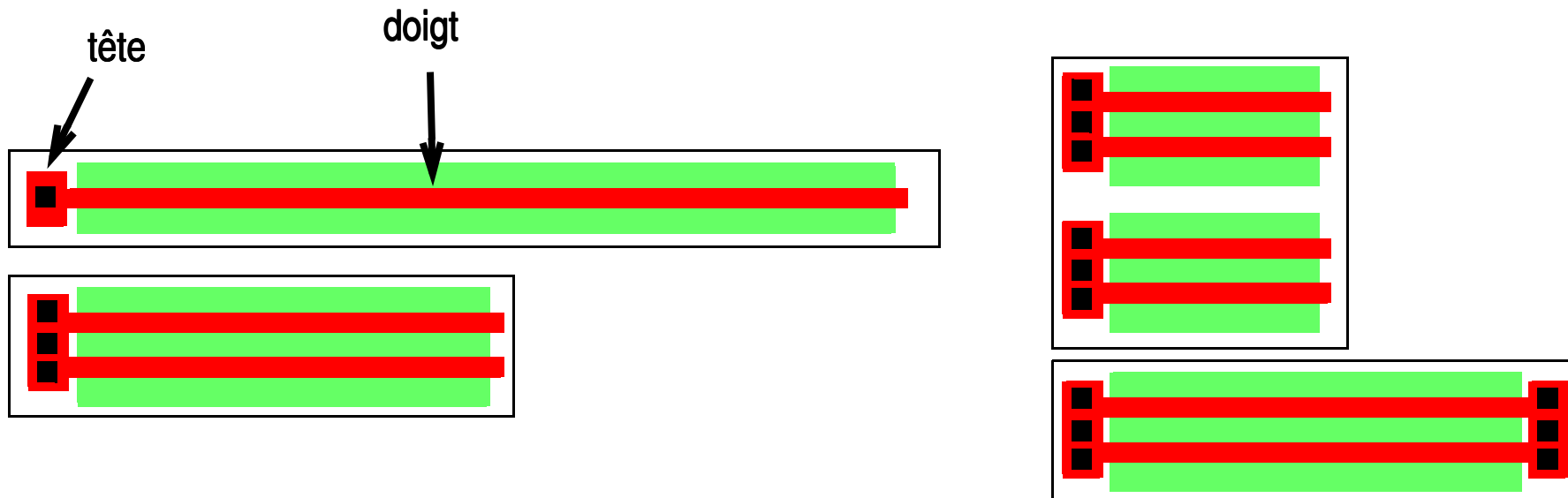


INTRINSEQUE/EXTRINSEQUE

□ Partie intrinsèque $\Leftrightarrow (W,L)$

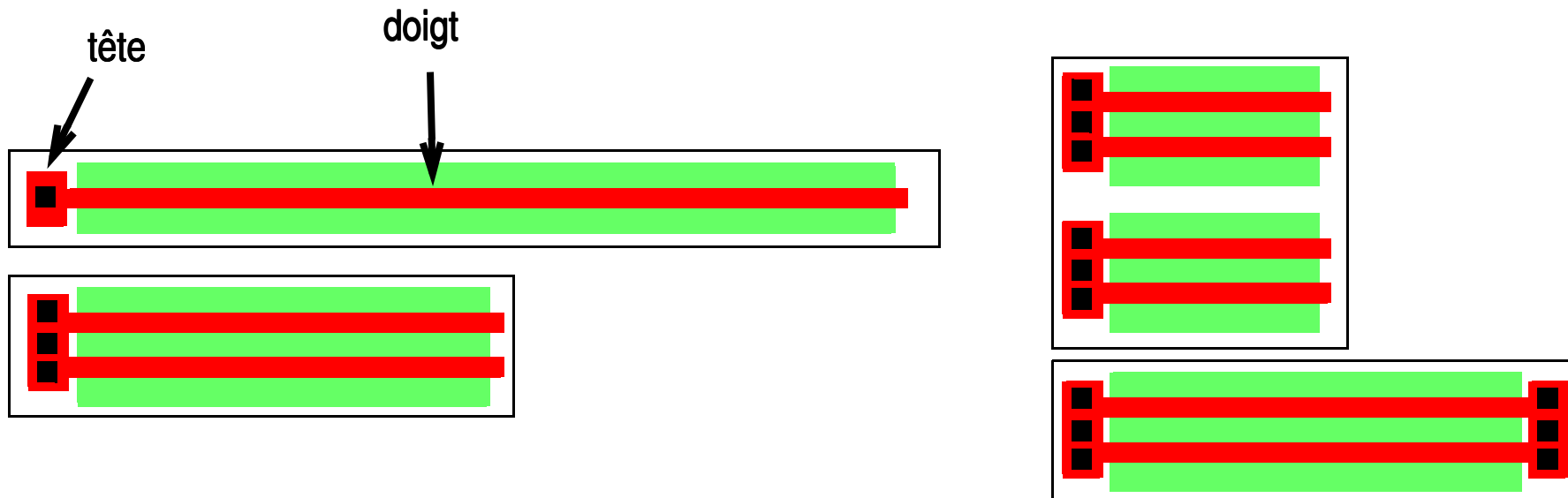
INTRINSEQUE/EXTRINSEQUE

- Partie intrinsèque $\Leftrightarrow (W,L)$
- Partie extrinsèque : influence du layout



INTRINSEQUE/EXTRINSEQUE

- Partie intrinsèque $\Leftrightarrow (W,L)$
- Partie extrinsèque : influence du layout

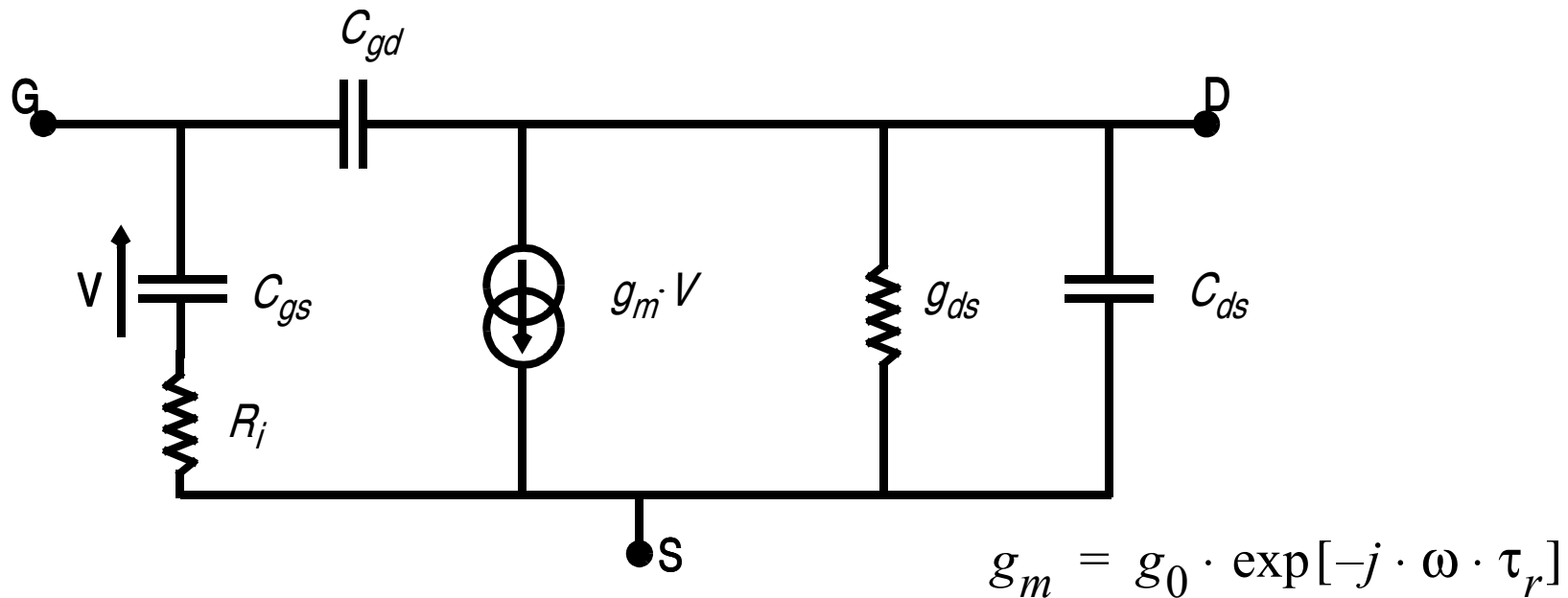


- Influence sur la résistance de grille
- Influence sur le réseau substrat
- Influence sur les couplages entre les contacts

MODELISATION DU TRANSISTOR MOS

MODELISATION RF DU FET

- Modèle “historique” : schéma équivalent petit signal
 - Transistor à Effet de Champ en source commune



MODELISATION DU MOSFET DANS L'INDUSTRIE

- Plusieurs familles de composants (compromis vitesse/consommation)
 - Applications numériques
 - Applications embarquées
 - Applications analogiques/RF

MODELISATION DU MOSFET DANS L'INDUSTRIE

- ❑ Plusieurs familles de composants (compromis vitesse/consommation)
 - Applications numériques
 - Applications embarquées
 - Applications analogiques/RF

- ❑ Différentes utilisations \Rightarrow différents domaines de fonctionnement
 - Circuits analogiques/RF : LNA, VCO, mélangeur, ...
 - Circuits numériques

MODELISATION DU MOSFET DANS L'INDUSTRIE

- ❑ Plusieurs familles de composants (compromis vitesse/consommation)
 - Applications numériques
 - Applications embarquées
 - Applications analogiques/RF

- ❑ Différentes utilisations \Rightarrow différents domaines de fonctionnement
 - Circuits analogiques/RF : LNA, VCO, mélangeur, ...
 - Circuits numériques

- ❑ Différentes géométries possibles

MODELISATION DU MOSFET DANS L'INDUSTRIE

- ❑ Plusieurs familles de composants (compromis vitesse/consommation)
 - Applications numériques
 - Applications embarquées
 - Applications analogiques/RF

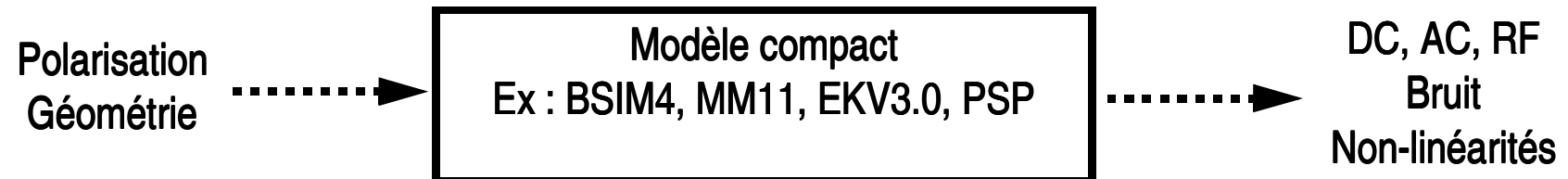
- ❑ Différentes utilisations \Rightarrow différents domaines de fonctionnement
 - Circuits analogiques/RF : LNA, VCO, mélangeur, ...
 - Circuits numériques

- ❑ Différentes géométries possibles

- ❑ \Rightarrow Besoin d'un modèle complet et prédictif

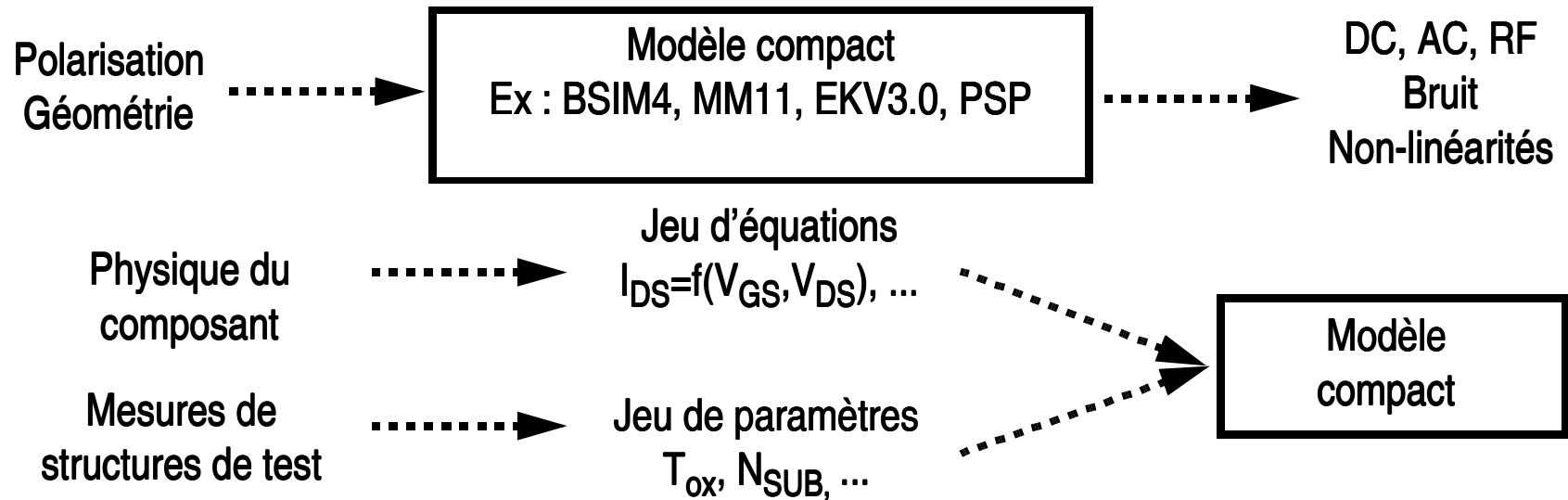
LE MODELE COMPACT

□ Structure du modèle compact



LE MODELE COMPACT

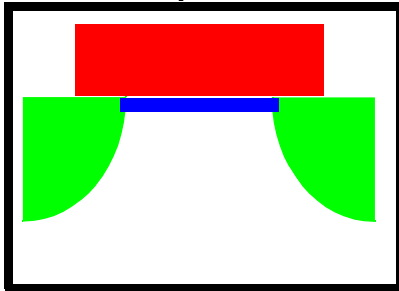
□ Structure du modèle compact



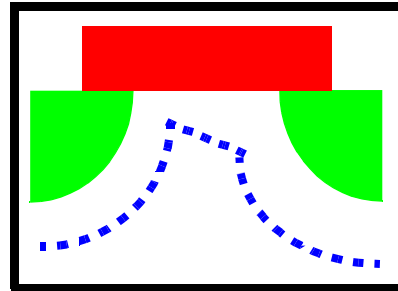
LE MODELE COMPACT

□ Evolution des modèles :

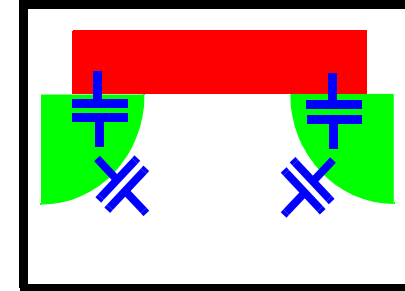
Description "canal long" du dispositif



Prise en compte des effets canaux courts



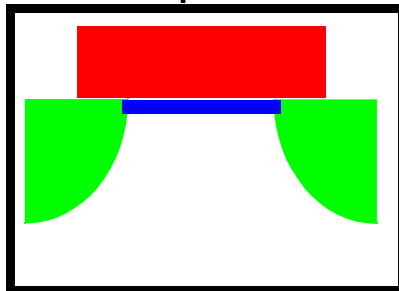
Prise en compte des éléments parasites



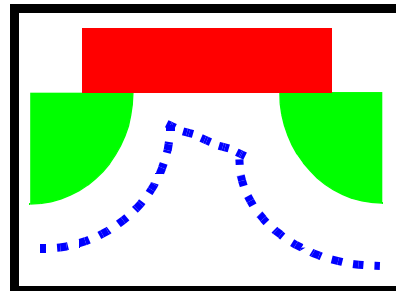
LE MODELE COMPACT

□ Evolution des modèles :

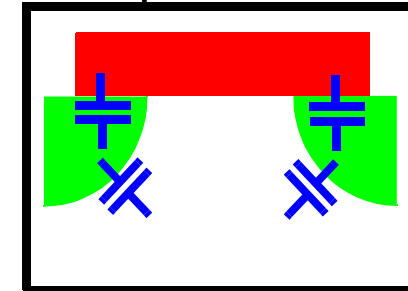
Description "canal long" du dispositif



Prise en compte des effets canaux courts



Prise en compte des éléments parasites



□ Aujourd'hui :

- BSIM4.6 (Berkeley)
- EKV3.0 (EPFL)
- PSP102.1 (Philips/PSU puis NXP/ASU)

LE MODELE COMPACT

□ Partie intrinsèque :

○ Théorie du MOSFET idéal

Tsividis, "Operation and Modeling of the MOS Transistor", Oxford University Press, 1999.

LE MODELE COMPACT

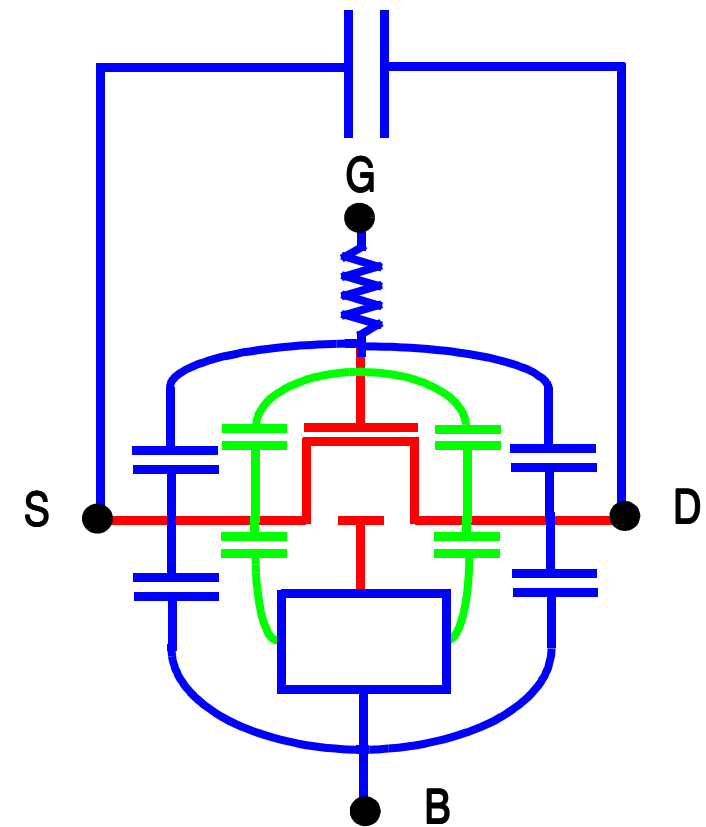
□ Partie intrinsèque :

- Théorie du MOSFET idéal

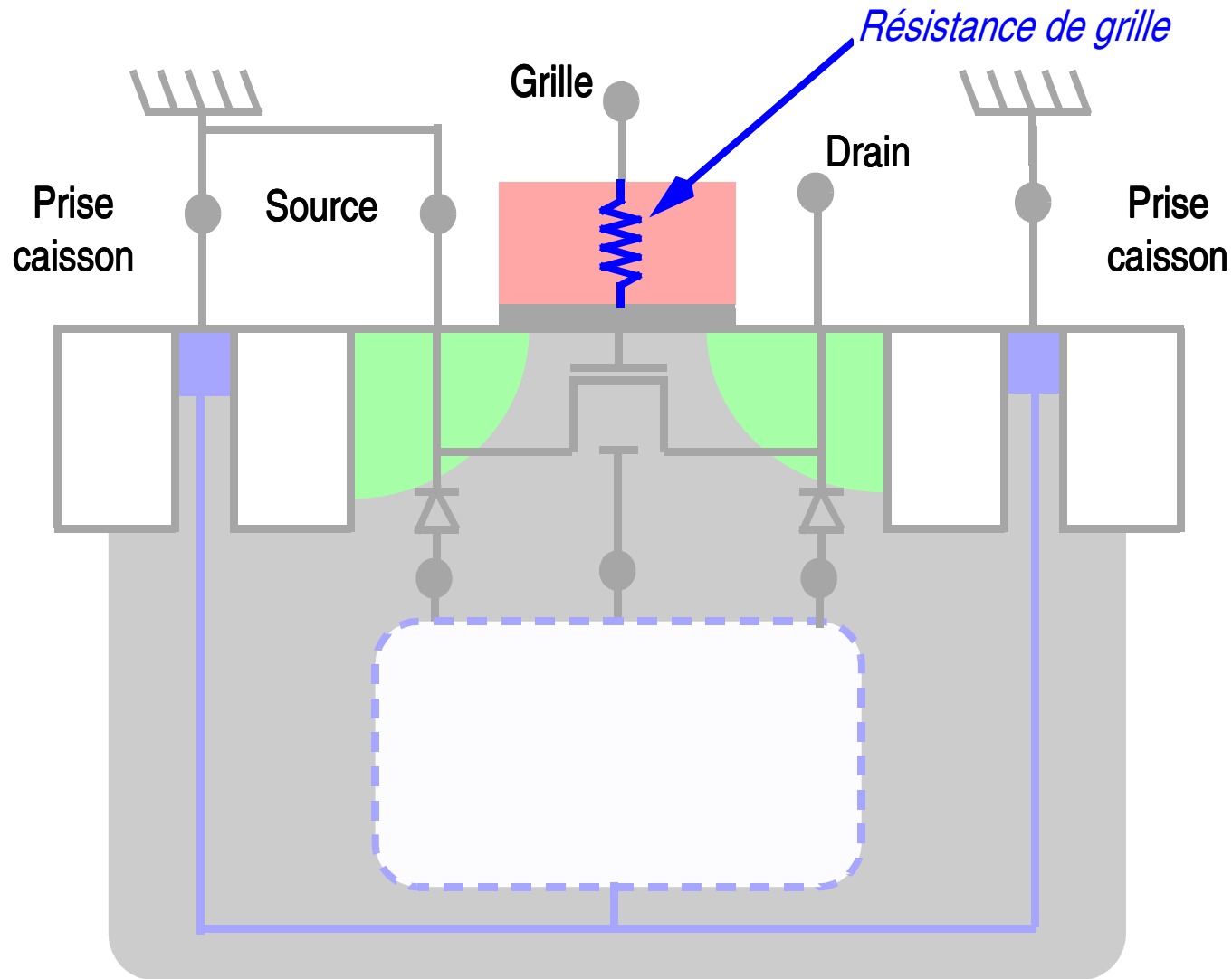
Tsividis, "Operation and Modeling of the MOS Transistor", Oxford University Press, 1999.

□ Partie extrinsèque :

- Sous-circuits R-C autour de la partie intrinsèque

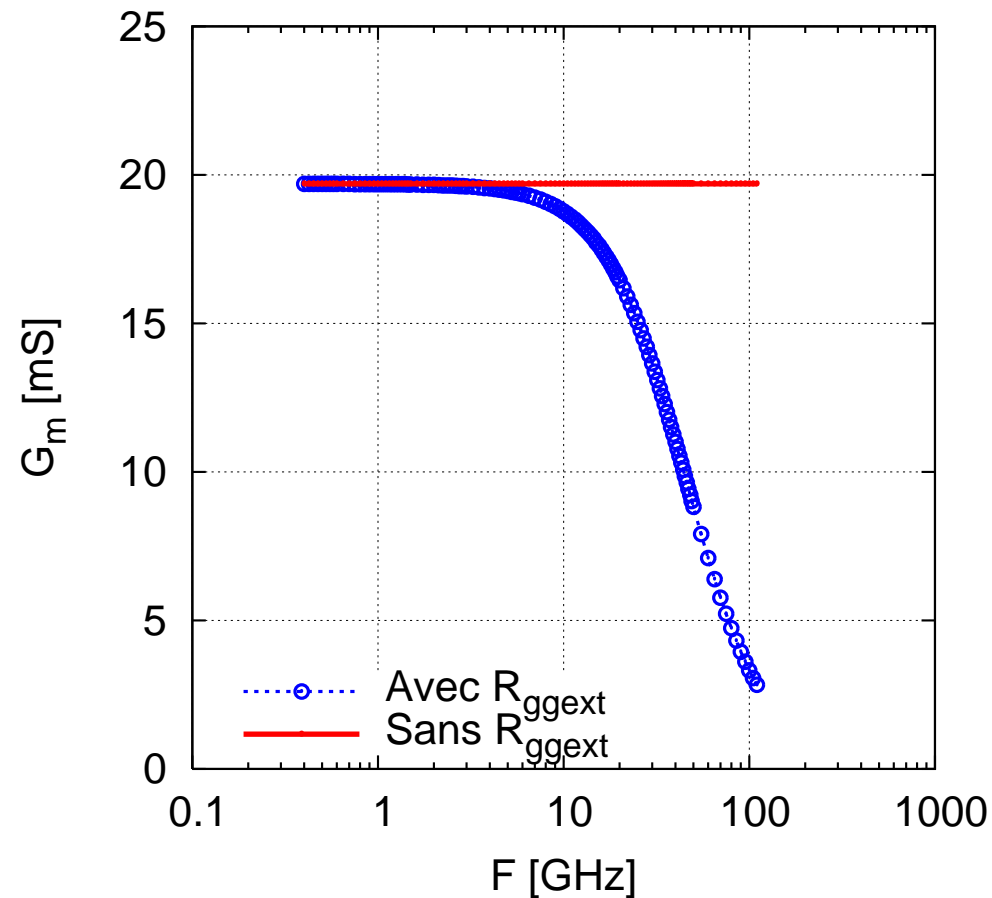


EFFET DE LA RESISTANCE DE GRILLE



EFFET DE LA RESISTANCE DE GRILLE

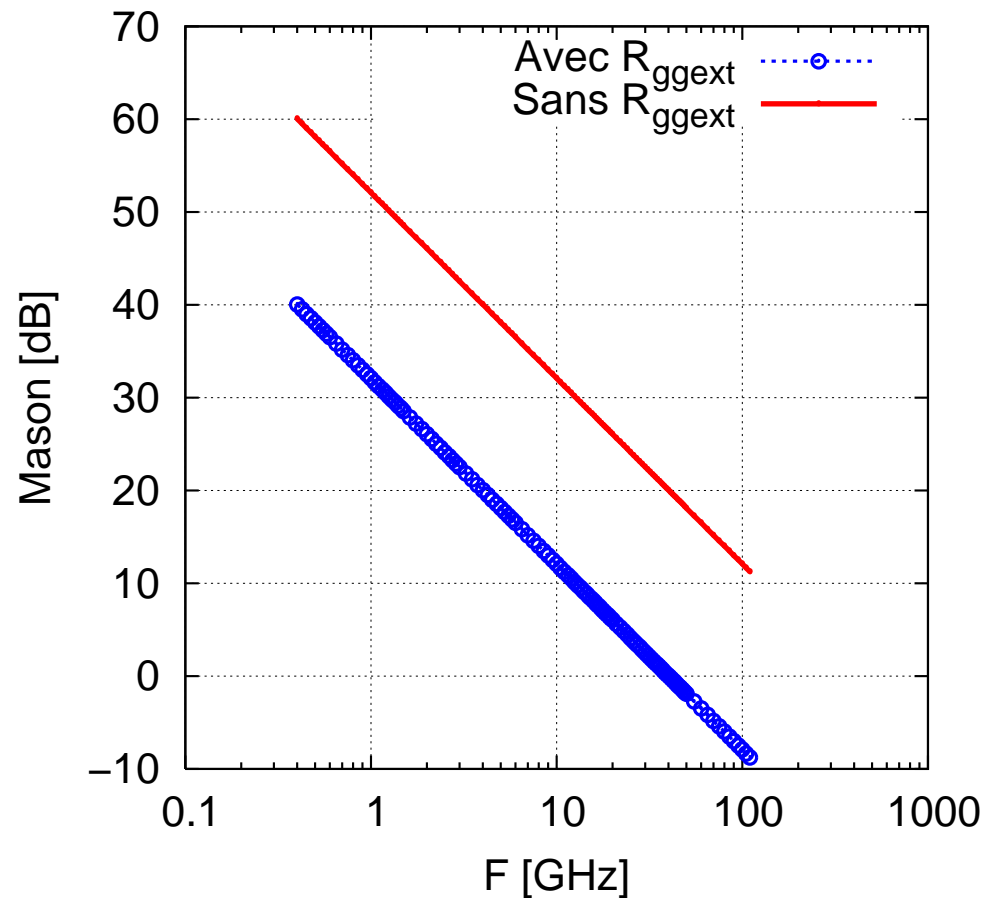
□ Transconductance de grille \Rightarrow Fréquence de coupure



nMOSFET, techno 130nm, $V_{GS}=V_{DS}=1.2V$, $L_g=1.0\mu m$; $N_c \times N_f \times W_f=4 \times 2 \times 10\mu m$

EFFET DE LA RESISTANCE DE GRILLE

□ Limitation du gain en puissance du transistor



nMOSFET, techno 130nm, $V_{GS}=V_{DS}=1.2V$, $L_g=1.0\mu m$; $N_c \times N_f \times W_f=4 \times 2 \times 10\mu m$

LA RESISTANCE DE GRILLE DANS LES MODELES COMPACTS

BSIM4.6

- Un élément localisé
- Loi géométrique mais incomplète

LA RESISTANCE DE GRILLE DANS LES MODELES COMPACTS

BSIM4.6

- Un élément localisé
- Loi géométrique mais incomplète

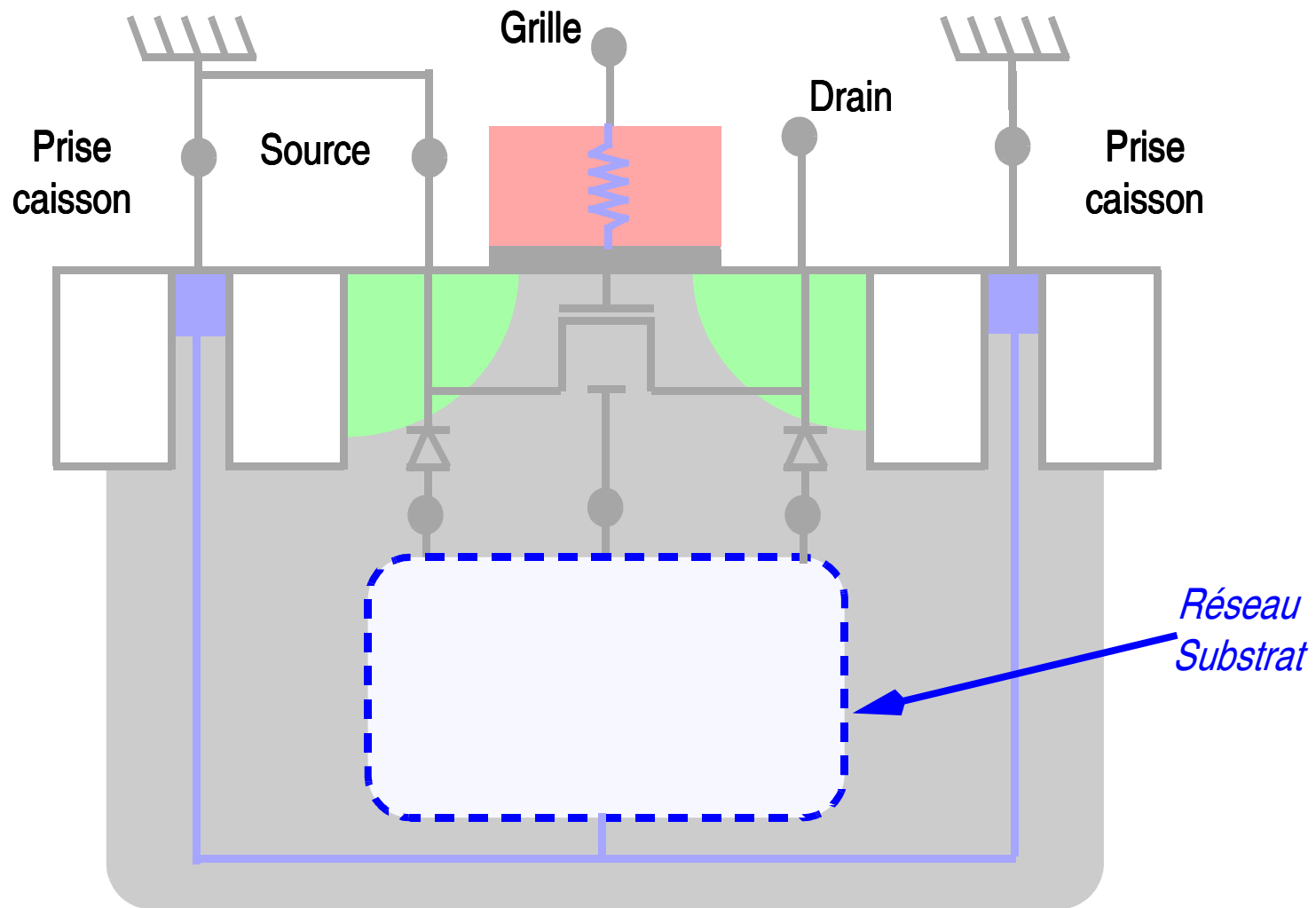
EKV3.0

- Un élément localisé
- Pas de loi géométrique

PSP102.1

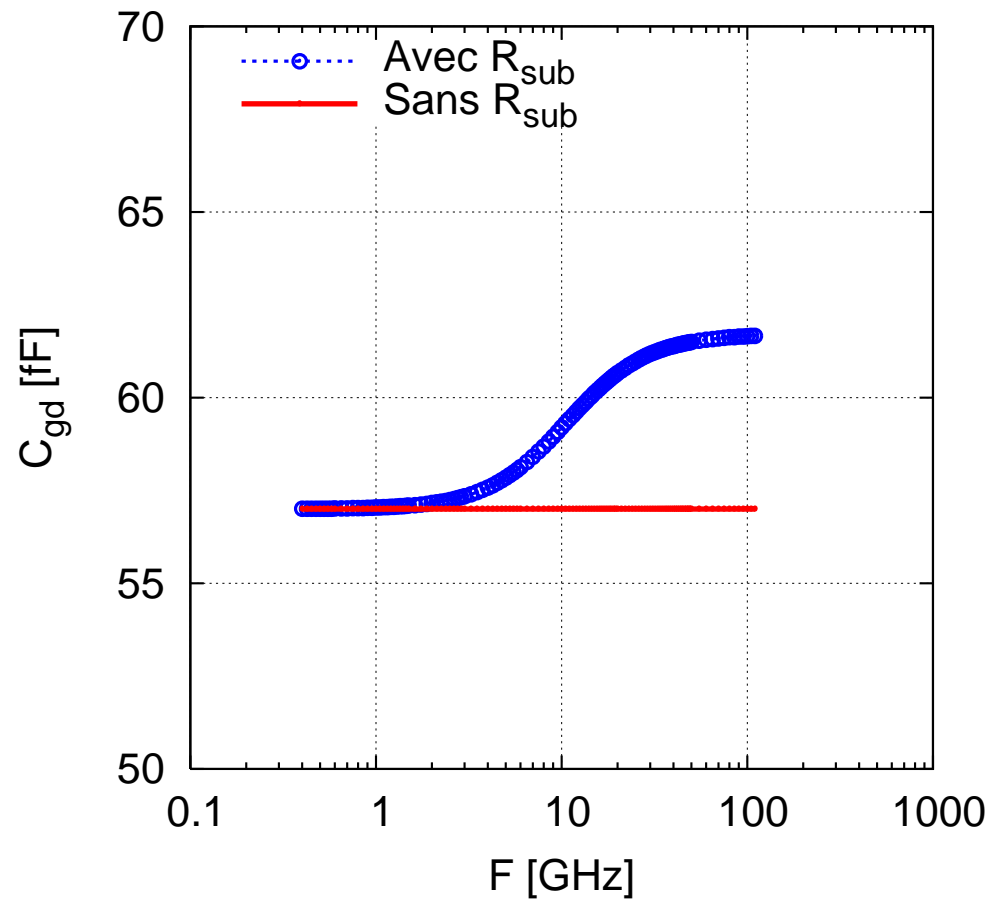
- Un élément localisé
- Pas de loi géométrique

EFFETS DU SUBSTRAT



EFFETS DU SUBSTRAT

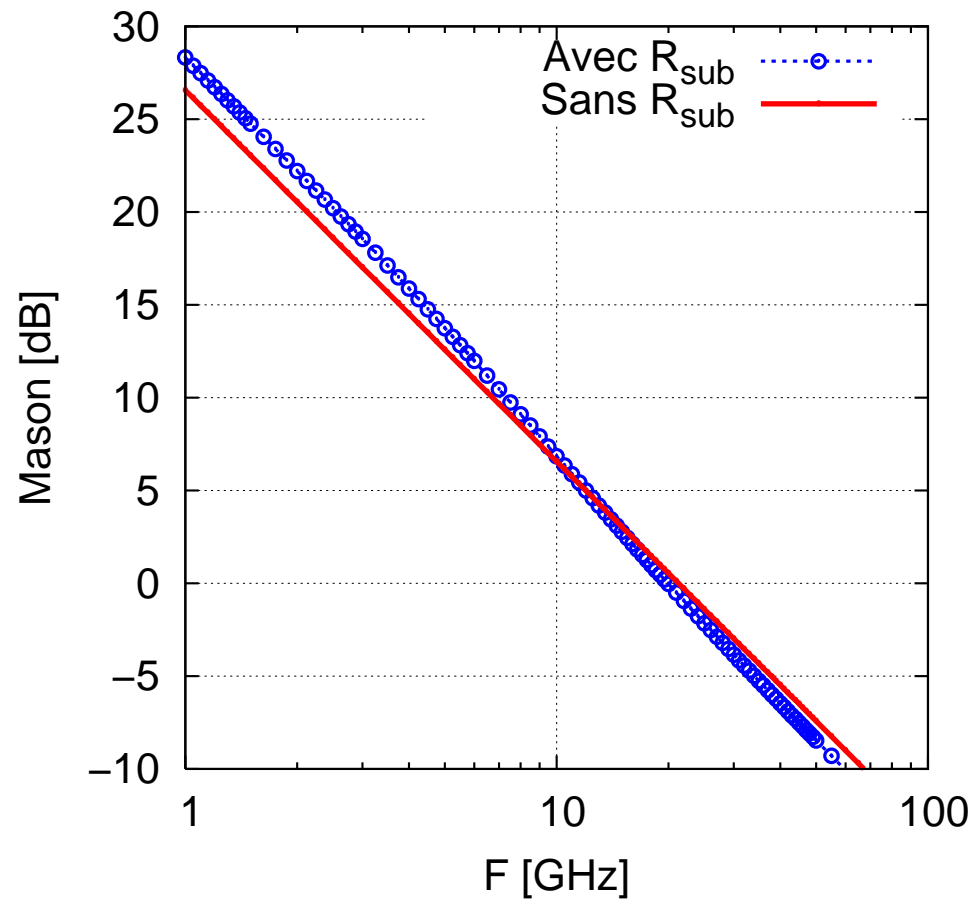
□ Effet sur la capacité de contre-réaction



nMOSFET, techno 130nm, $V_{GS}=V_{DS}=1.2V$, $L_g=1.0\mu m$; $N_c \times N_f \times W_f=4 \times 2 \times 10\mu m$

EFFETS DU SUBSTRAT

□ Effet sur le gain de Mason

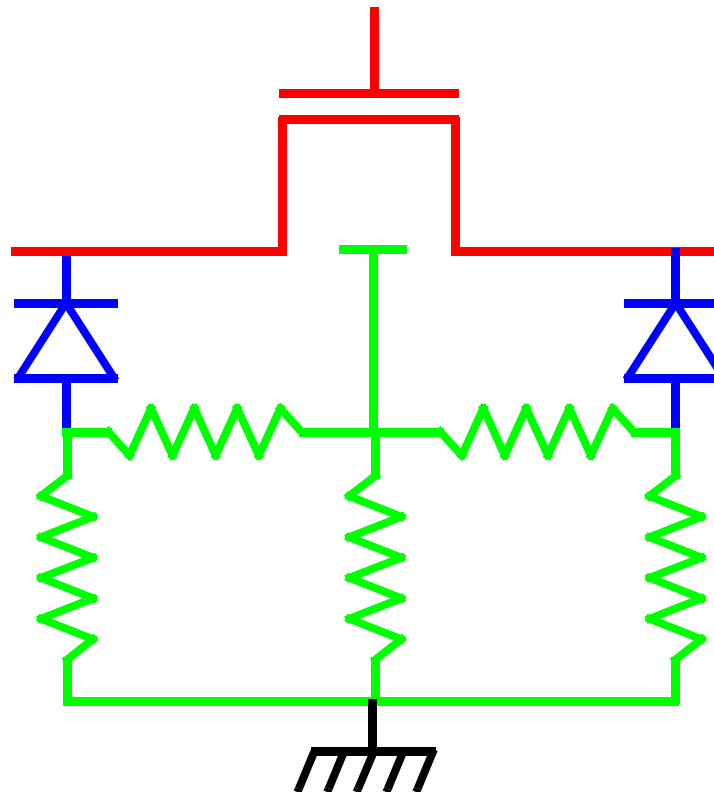


nMOSFET, techno 130nm, $V_{GS}=V_{DS}=1.2V$, $L_g=1.0\mu m$; $N_c \times N_f \times W_f=4 \times 2 \times 10\mu m$

LES EFFETS SUBSTRAT DANS LES MODELES COMPACTS

□ BSIM4.6

- Réseau de résistances
- Lois géométriques avec une base empirique



LES EFFETS SUBSTRAT DANS LES MODELES COMPACTS

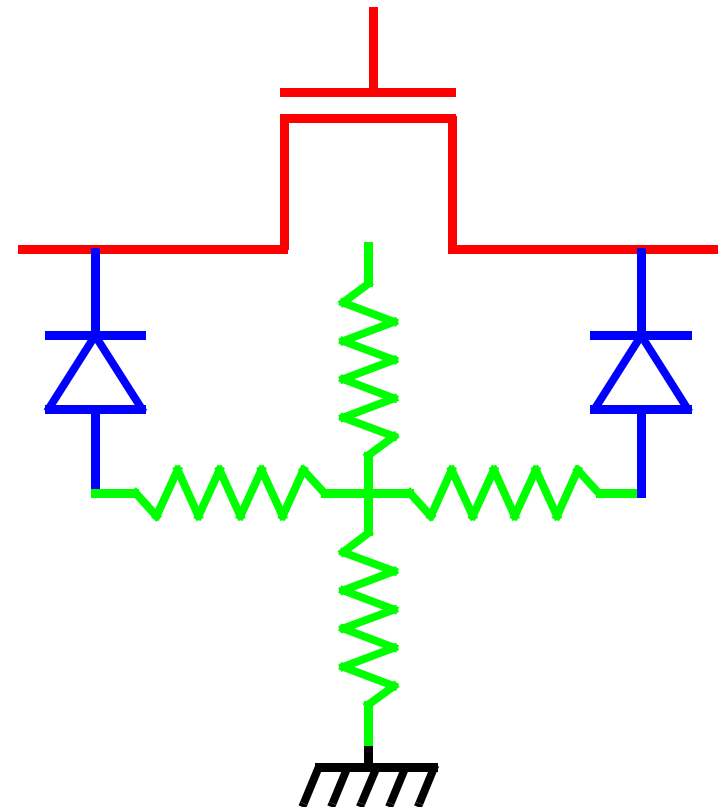
BSIM4.6

EKV3.0

Sous-circuit externe défini par l'utilisateur

LES EFFETS SUBSTRAT DANS LES MODELES COMPACTS

- BSIM4.6
- EKV3.0
- PSP102.1
 - Réseau de résistances
 - Pas de lois géométriques



BILAN :

LA PARTIE EXTRINSEQUE ET LES MODELES COMPACTS

- ❑ **Prise en compte par les modèles compacts : insuffisante**
 - Résistance de grille : modèles incomplets
 - Réseau substrat : modèles existants, mais...

BILAN :

LA PARTIE EXTRINSEQUE ET LES MODELES COMPACTS

- Prise en compte par les modèles compacts : insuffisante**
 - Résistance de grille : modèles incomplets
 - Réseau substrat : modèles existants, mais...

⇒ Dans la suite :

- Extraction & modélisation de la partie extrinsèque**
- Approche : Mesure ⇒ épluchage du MOSFET**

PLAN

Introduction

Etude des éléments extrinsèques “connus”

Etude du réseau substrat

Conclusion & perspectives

EXTRACTION DES ELEMENTS PARASITES “CONNUS”

□ Pourquoi “connus” ?

- Effets du premier ordre sur les performances RF du MOSFET
- Effets modélisés avec un élément localisé
- Lois géométriques simples

EXTRACTION DES ELEMENTS PARASITES “CONNUS”

❑ Pourquoi “connus” ?

- Effets du premier ordre sur les performances RF du MOSFET
- Effets modélisés avec un élément localisé
- Lois géométriques simples

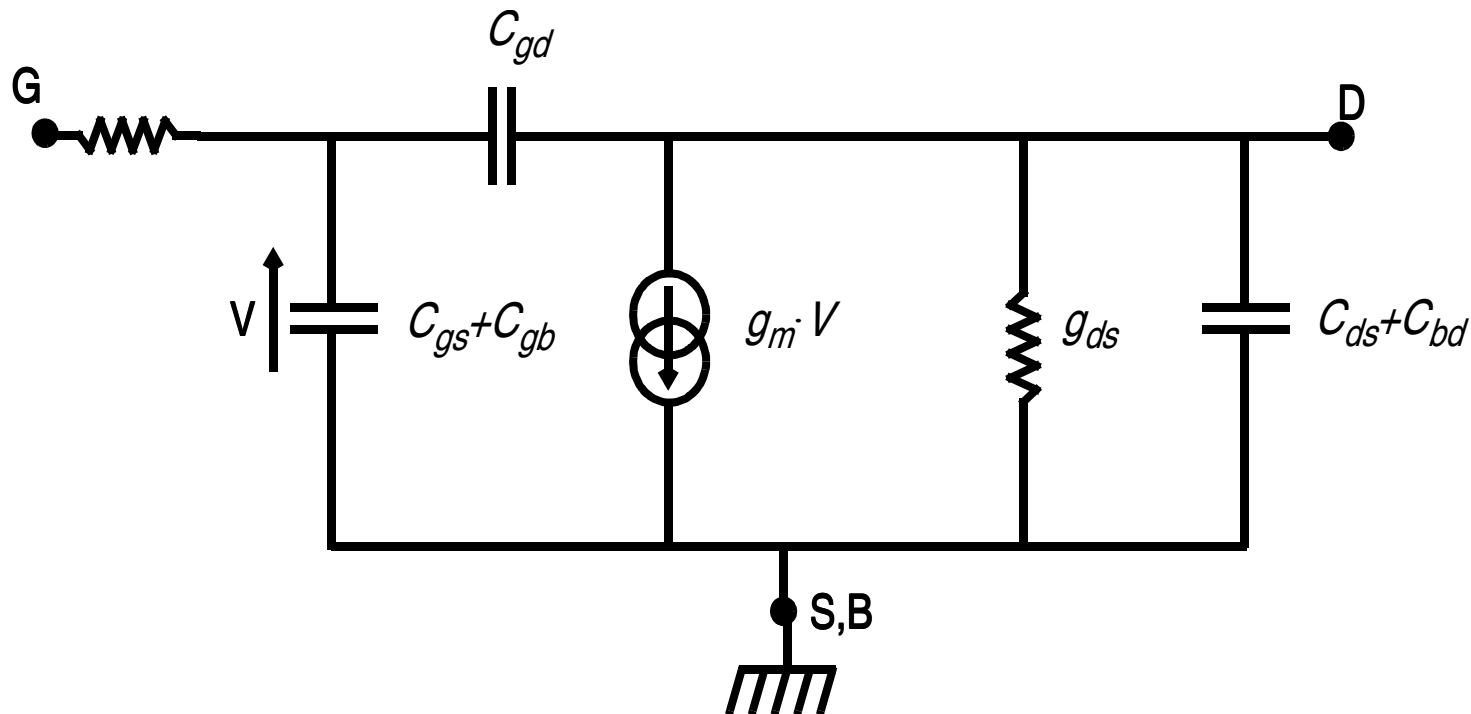
❑ Intérêt :

- Voir les effets de ces éléments
- 1ère étape vers le substrat

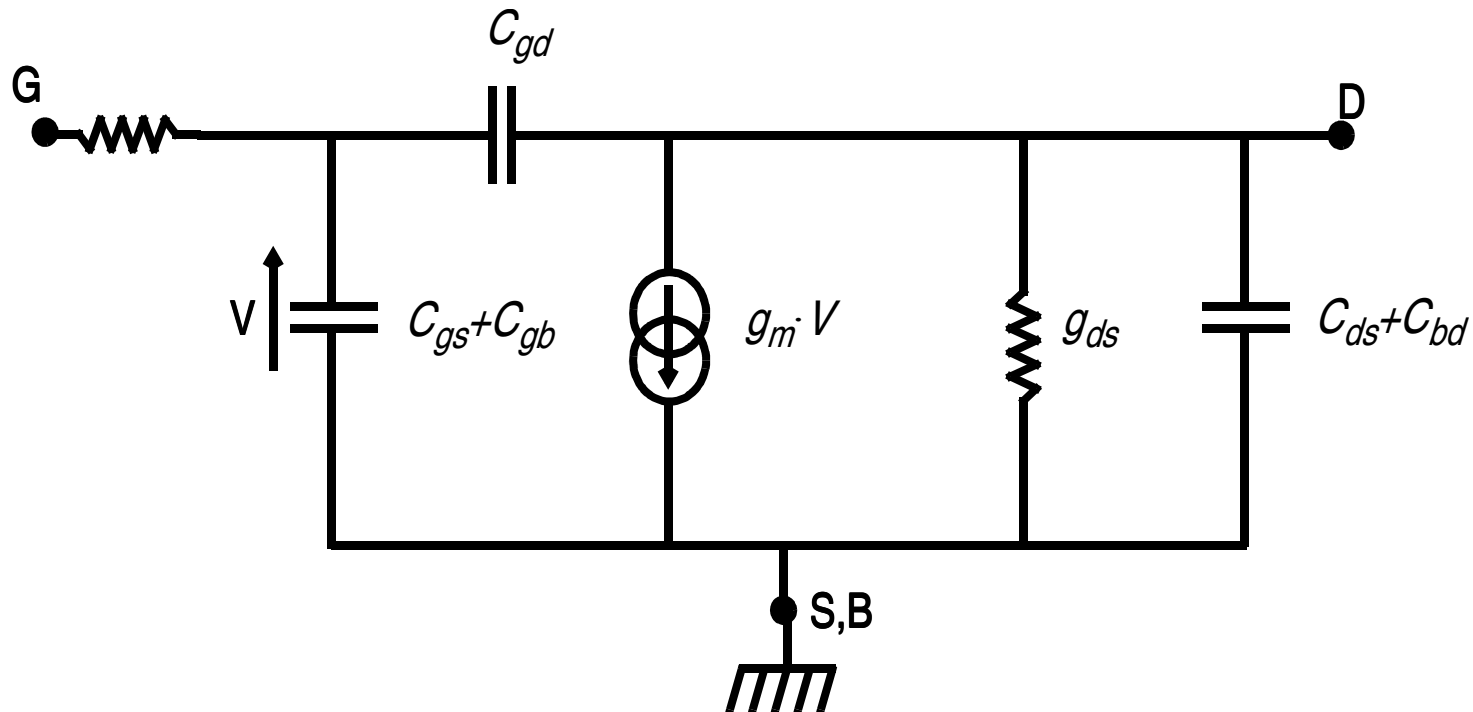
PRINCIPE DE L'EXTRACTION DES PARASITES

□ On dispose :

- de mesures 2 ports (G,D) \Rightarrow paramètres [Y] mesurés ;
- d'un schéma équivalent simplifié \Rightarrow paramètres [Y] = expressions analytiques

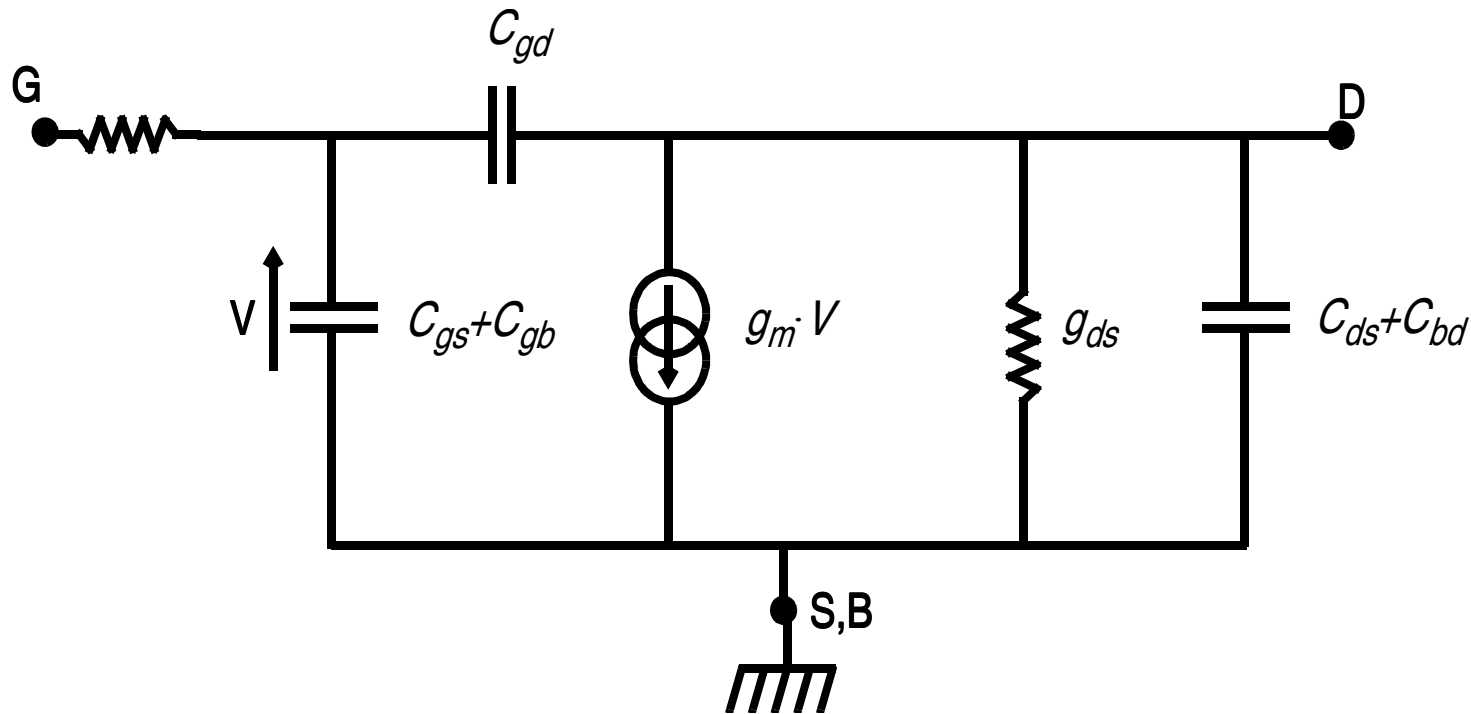


PRINCIPE DE L'EXTRACTION DES PARASITES



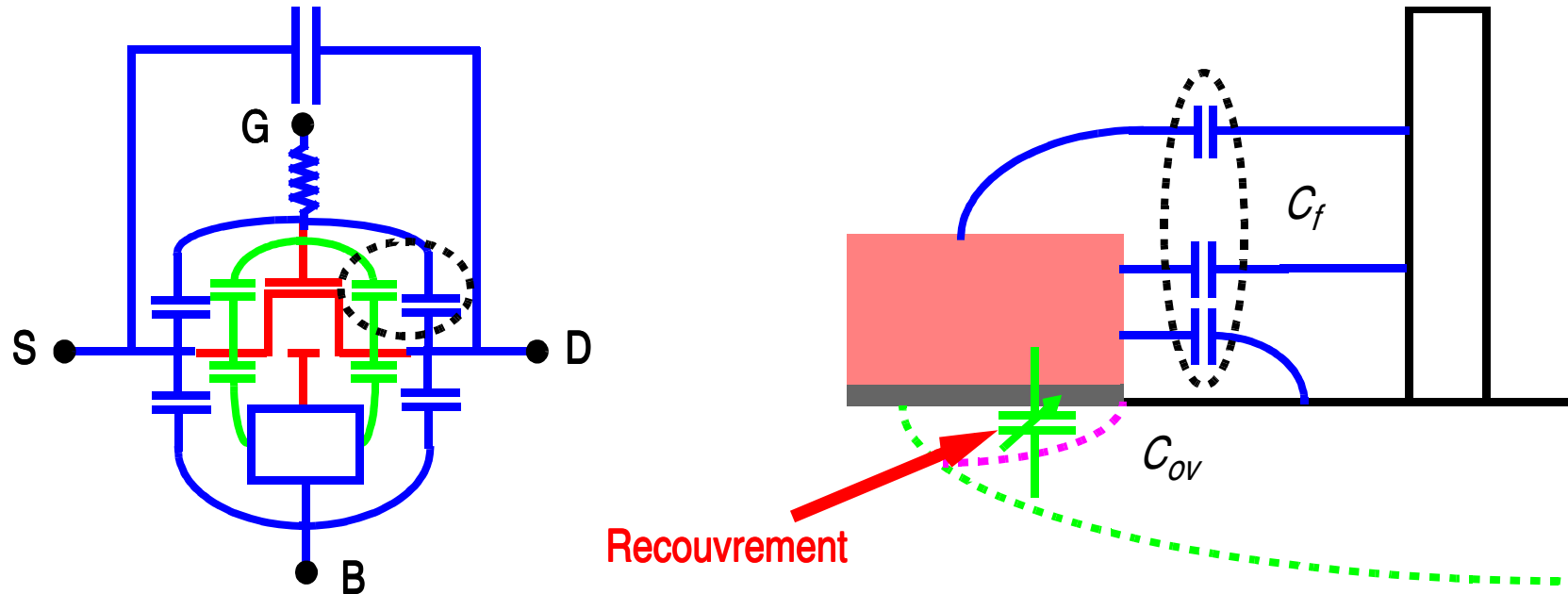
□ On “lit” la mesure \Rightarrow identification des éléments du schéma équivalent

PRINCIPE DE L'EXTRACTION DES PARASITES

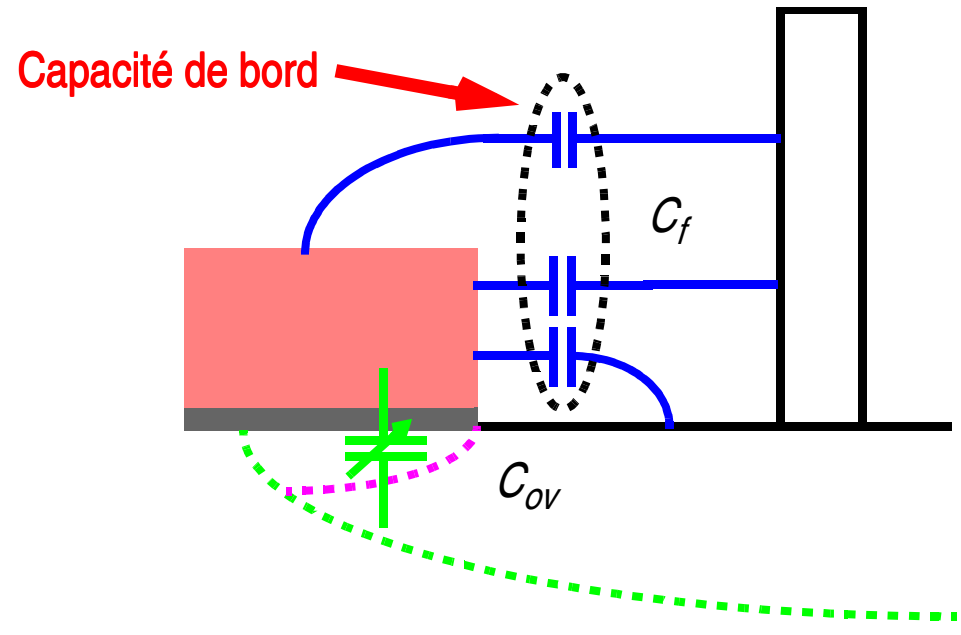
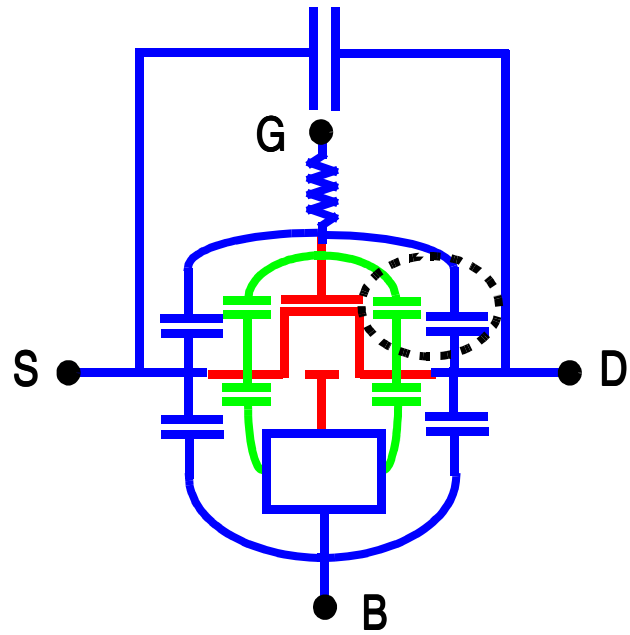


- On “lit” la mesure \Rightarrow identification des éléments du schéma équivalent
 - Impossible de mesurer séparément les différentes parties du MOS
 - \Rightarrow Analyse basée sur une connaissance du comportement intrinsèque.

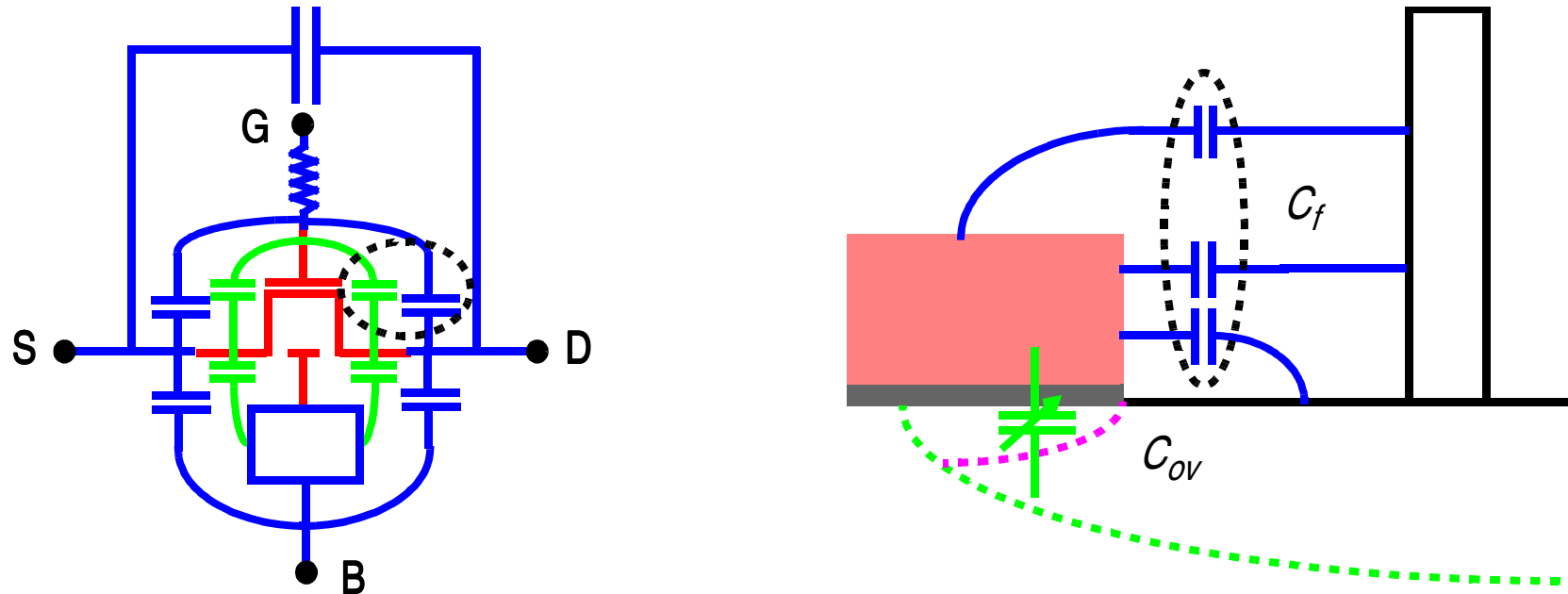
EXTRACTION DE C_{GD} PARASITE



EXTRACTION DE C_{GD} PARASITE



EXTRACTION DE C_{GD} PARASITE



□ Extraction : $(\text{Im}[(Y_{12})^{-1}])^{-1} / \omega$

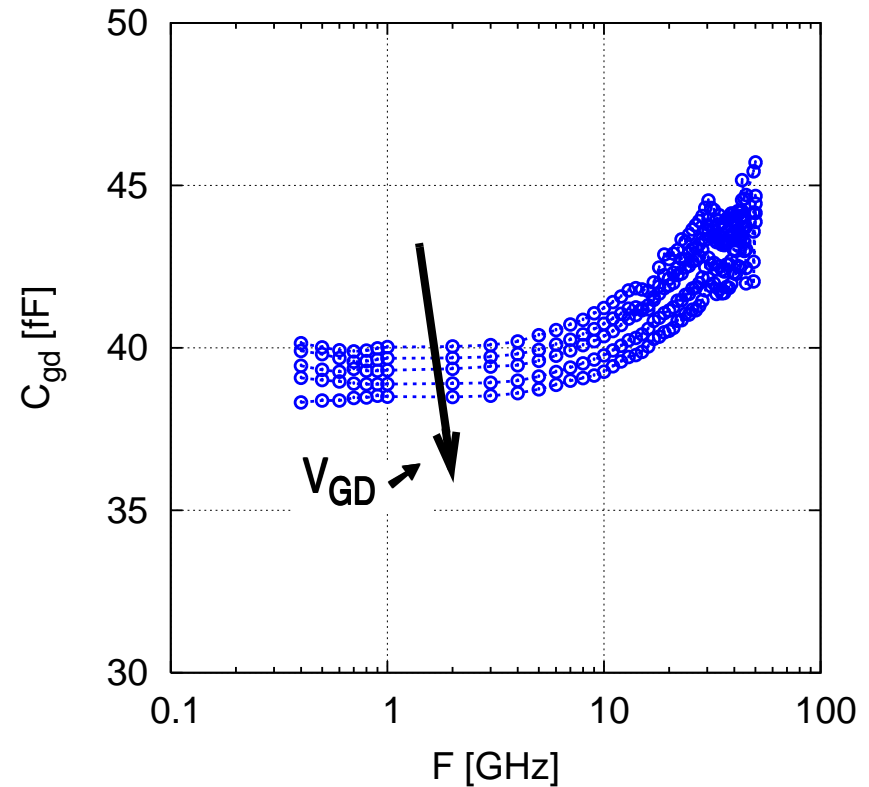
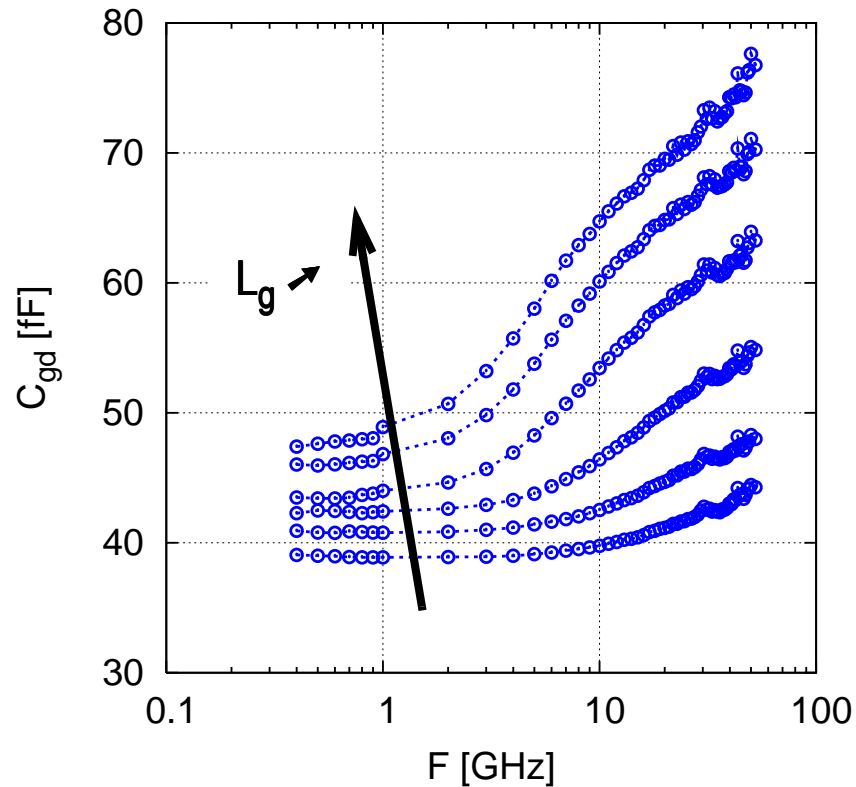
○ $V_{GS}=0 \Rightarrow C_{gdint}=0$

○ V_{GD} variable \Rightarrow dépendance en polarisation

○ BF \Rightarrow on évite les effets de couplage par le substrat.

EXTRACTION DE C_{GD} PARASITE

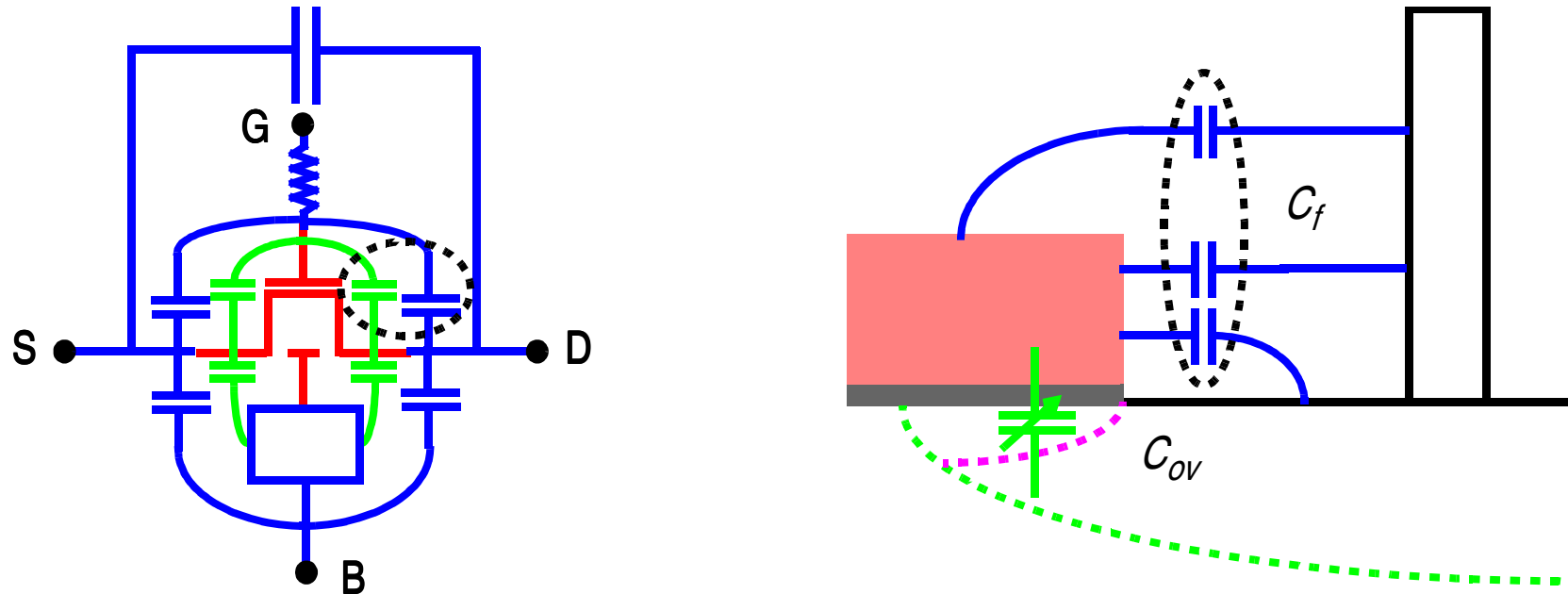
□ Mesures



Technologie 65nm

- L_g : 65nm \rightarrow 2.0 μ m, $V_{GS}=0$, $V_{DS}=0.6$ V
- V_{DS} : -1.2V \rightarrow 0V, $V_{GS}=0$, L_g nominal

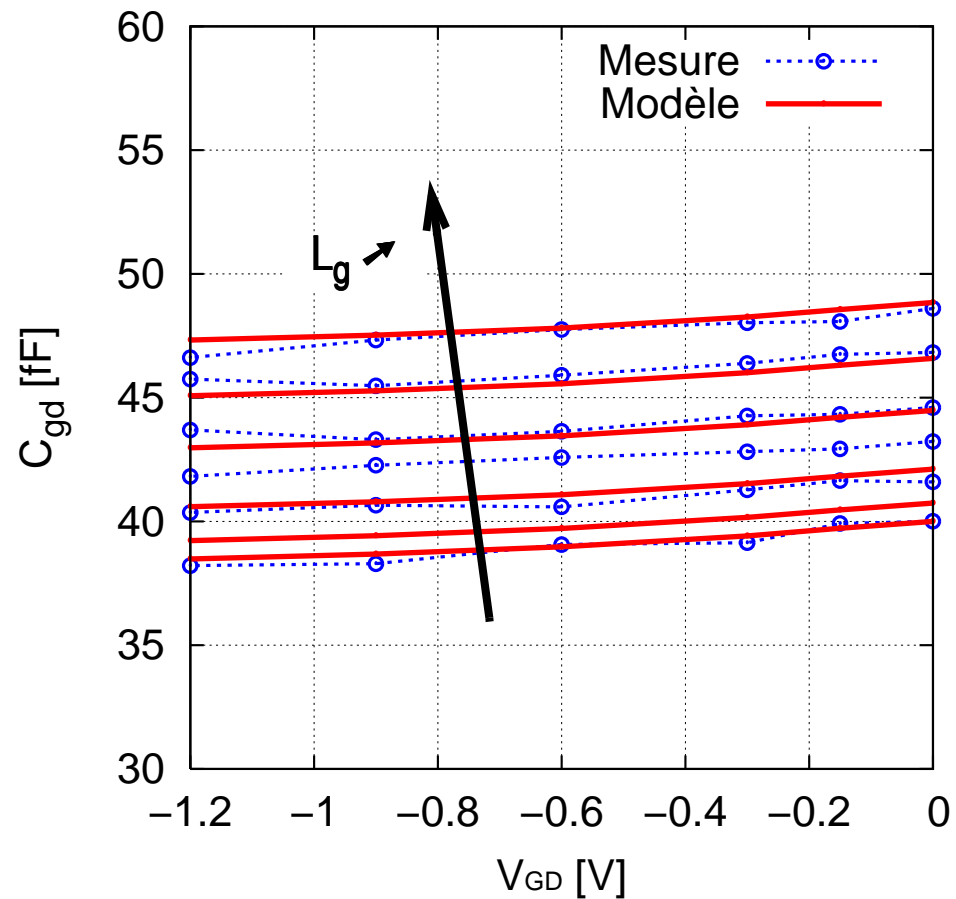
MODELISATION DE C_{GD} PARASITE : $C_{GD\text{EXT}}$



- Modélisation : $C_{gd\text{ext}} = C_{ov} + C_f$
 - $C_{ov} = f(V_{GD}) \Rightarrow$ Modèle de BSIM4.6 ;
 - $C_f = f(L_g)$
 - $C_{g\text{sext}}$: même modèle, mêmes paramètres (dispositif symétrique)

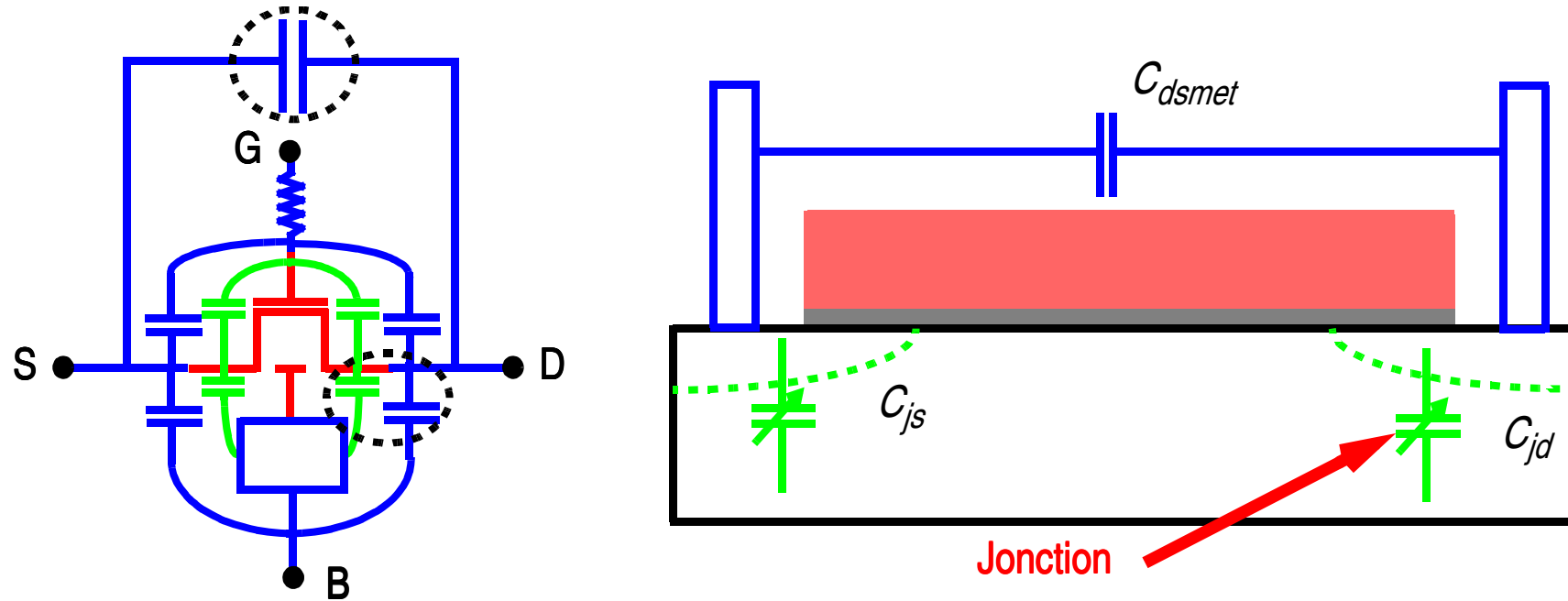
MODELISATION DE C_{GD} PARASITE : $C_{GD\text{EXT}}$

Validation du modèle

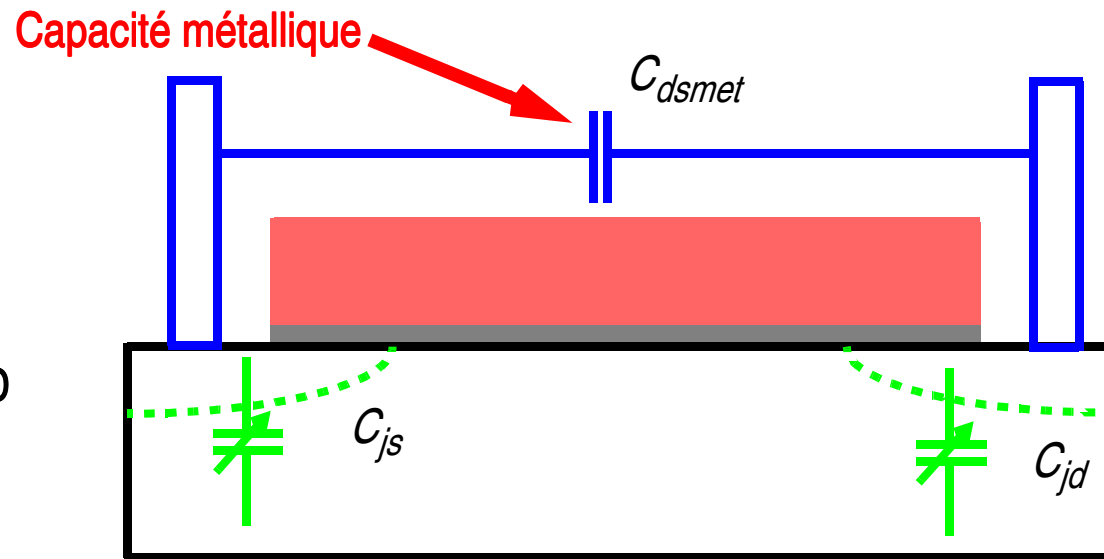
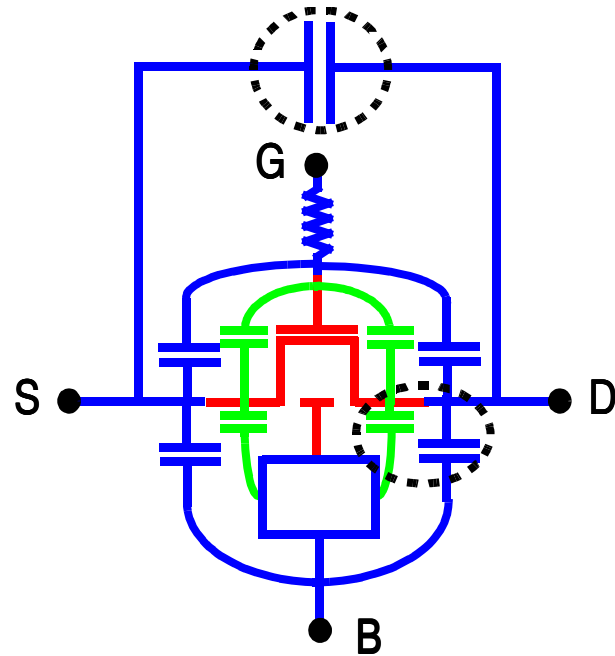


Technologie 65nm, L_g : 65nm \rightarrow 2.0 μ m, $V_{GS}=0$

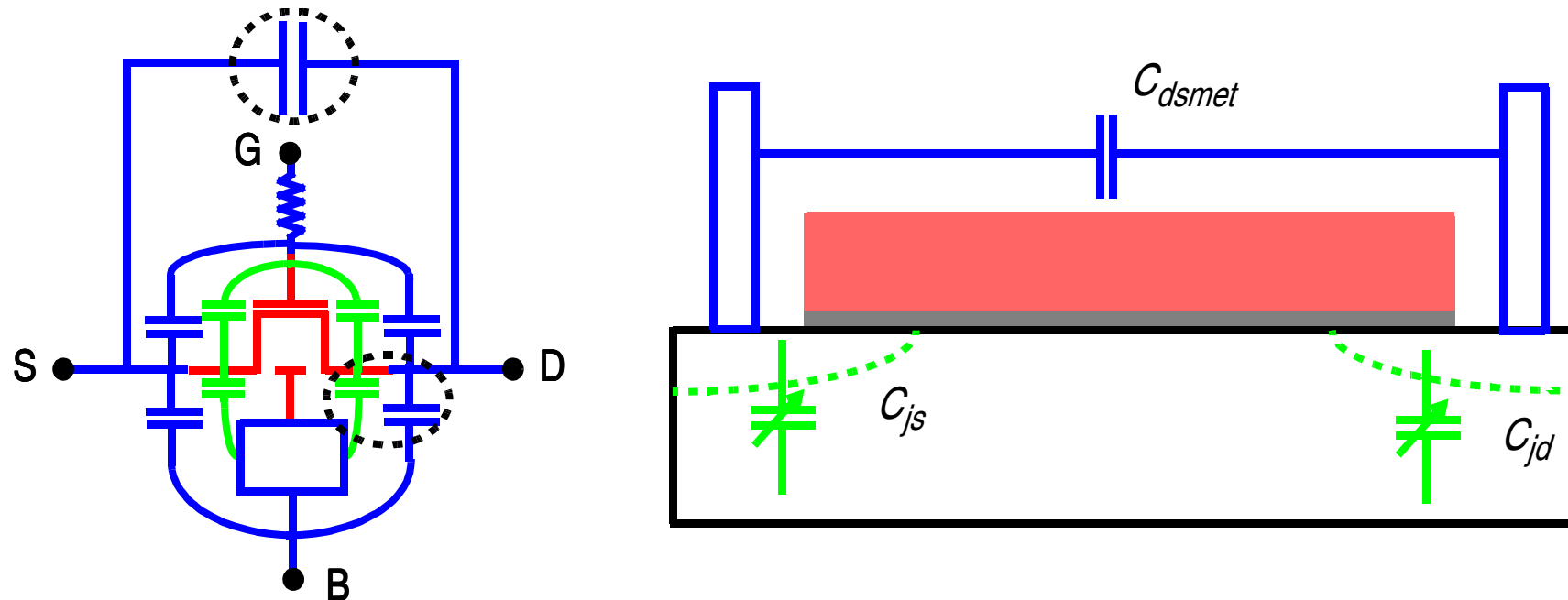
EXTRACTION DE $C_{BD} + C_{DS}$ PARASITE



EXTRACTION DE $C_{BD} + C_{DS}$ PARASITE



EXTRACTION DE $C_{BD} + C_{DS}$ PARASITE



□ Extraction : $Im[Y_{22} + Y_{12}] / \omega$

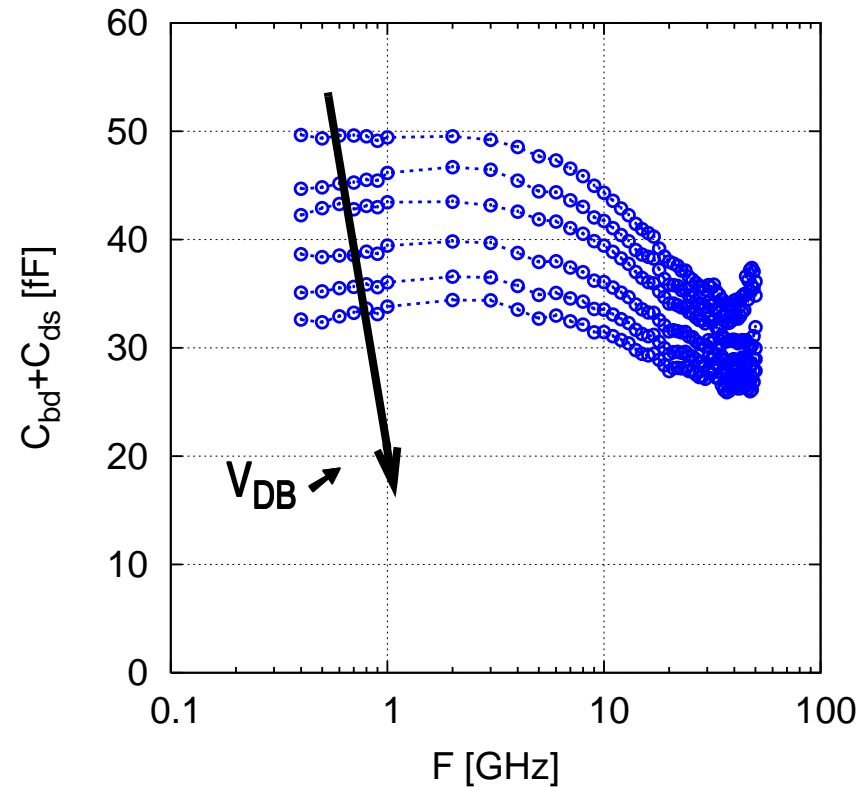
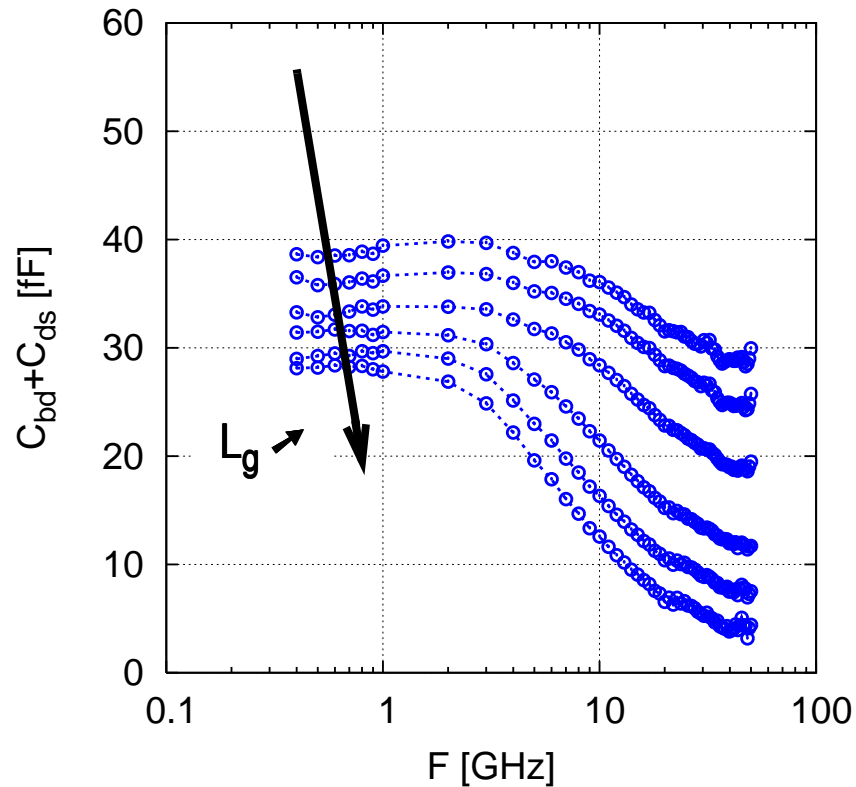
○ $V_{GS}=0 \Rightarrow C_{bdint}=0$

○ V_{DB} variable \Rightarrow dépendance en polarisation

○ BF \Rightarrow on évite l'influence du substrat.

EXTRACTION DE $C_{BD}+C_{DS}$ PARASITE

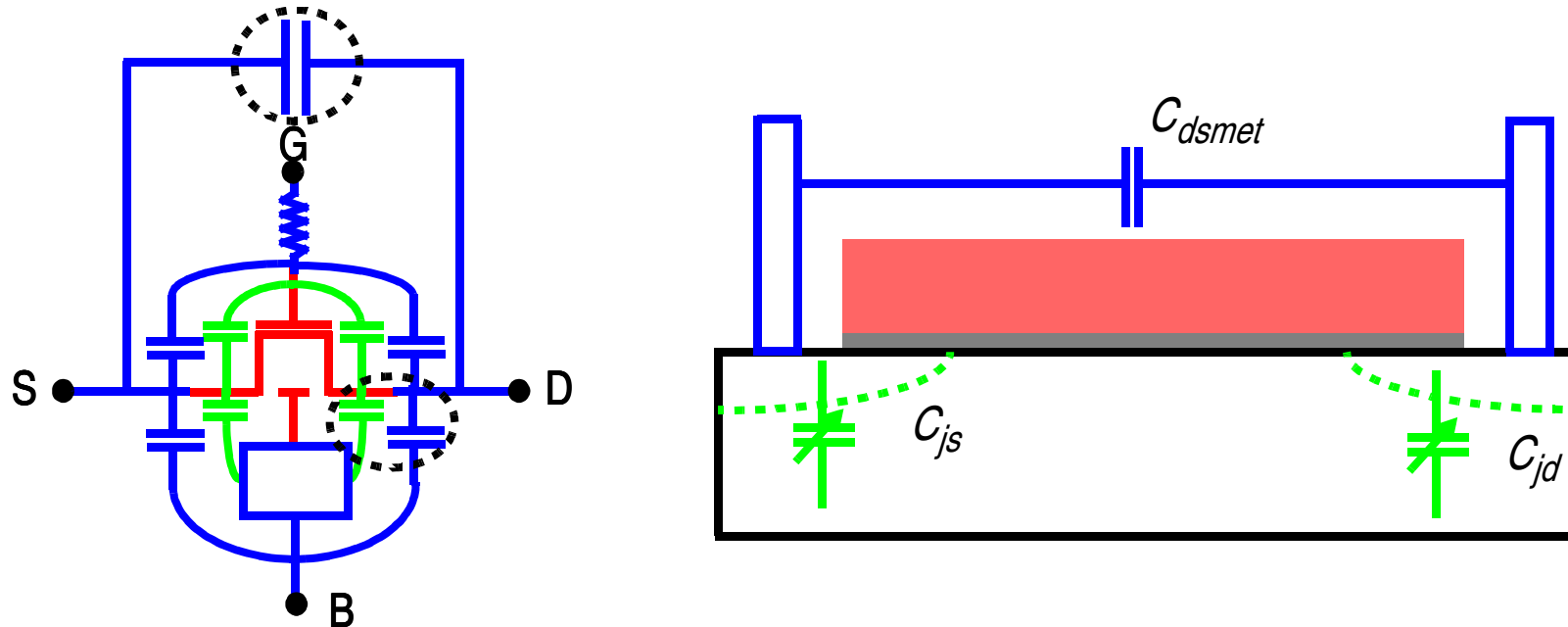
□ Mesures



Technologie 65nm

- L_g : 65nm \rightarrow 2.0 μ m, $V_{DS}=0.6$ V
- V_{DB} : 0V \rightarrow 1.2V, L_g nominal

MODELISATION DE $C_{BD}+C_{DS}$ PARASITE : $C_{BDEXT}+C_{DSEXT}$



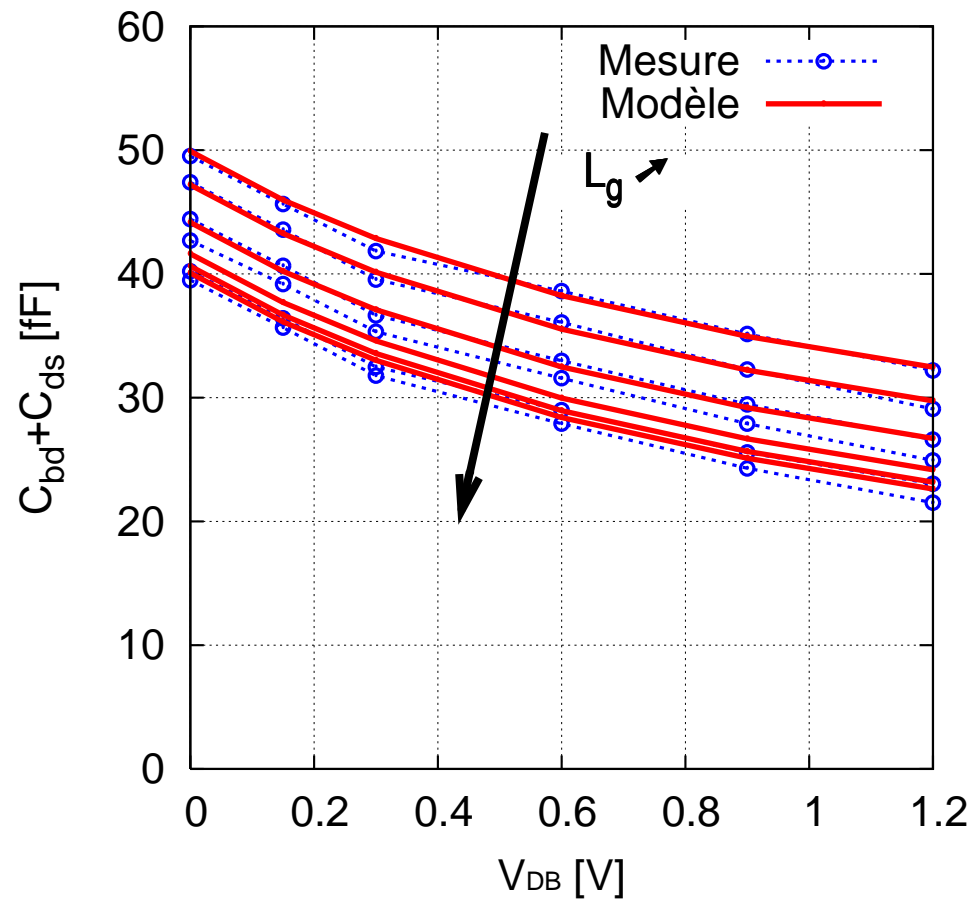
□ Modélisation : $C_{bdext}+C_{dsext}=C_{jd}+C_{dsmet}$

○ $C_{jd}=f(V_{DB}) \Rightarrow$ Capacité de jonction ;

○ $C_{dsmet} = f(L_g)$

MODELISATION DE $C_{BD}+C_{DS}$ PARASITE : $C_{BDEXT}+C_{DSEXT}$

Validation du modèle

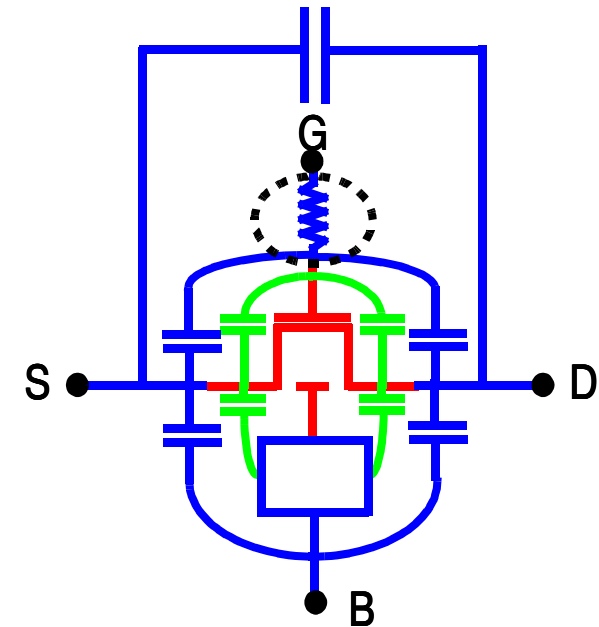


Technologie 65nm, L_g : 65nm \rightarrow 2.0 μ m, $V_{GS}=0$

EXTRACTION DE LA RESISTANCE DE GRILLE

□ R_{gg} : résistance série vue de la grille

$$R_{gg} = \text{Re}[1/Y_{11}]$$



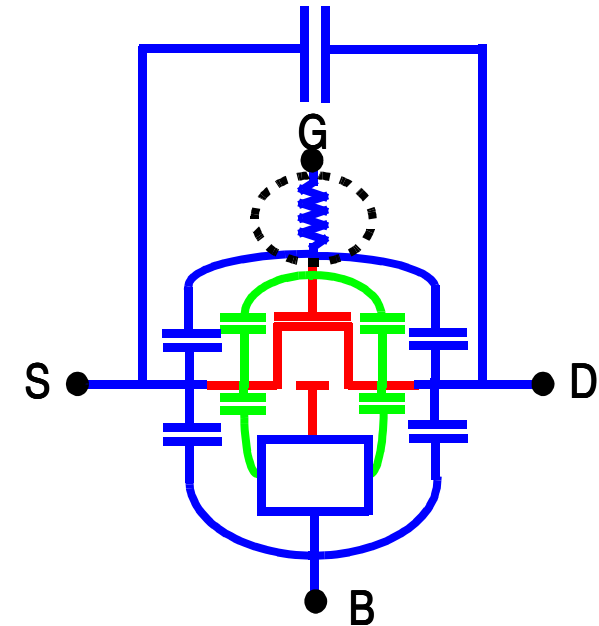
EXTRACTION DE LA RESISTANCE DE GRILLE

- R_{gg} : résistance série vue de la grille

$$R_{gg} = Re[1/Y_{11}]$$

- Extraction :

- Inversion forte : substrat écranté par le canal
- $V_{DS}=0$



EXTRACTION DE LA RESISTANCE DE GRILLE

- R_{gg} : résistance série vue de la grille

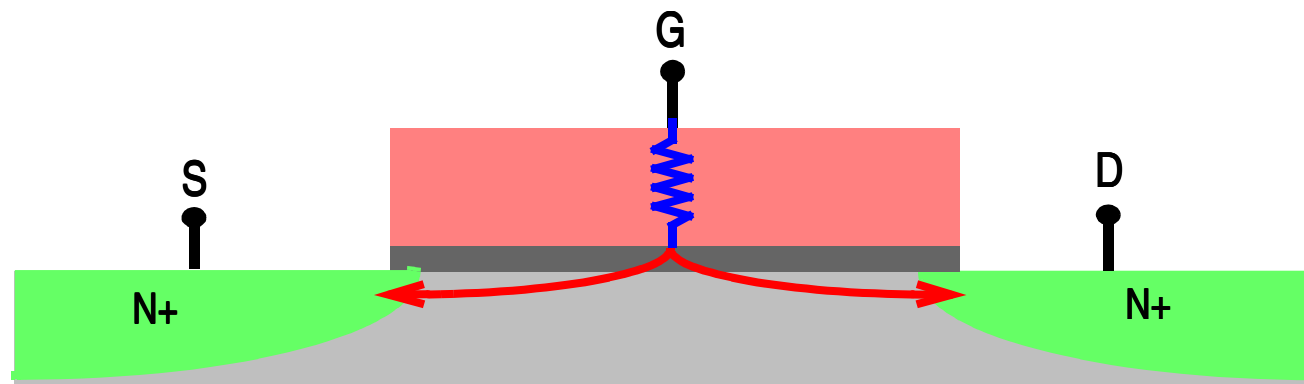
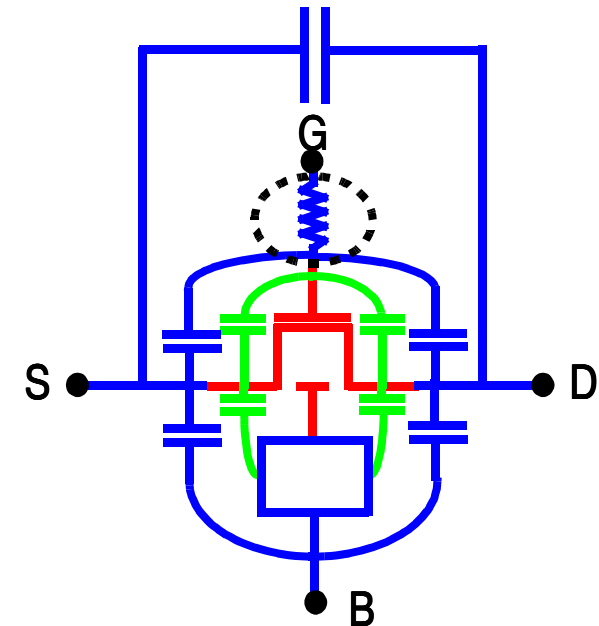
$$R_{gg} = \text{Re}[1/Y_{11}]$$

- Extraction :

- Inversion forte : substrat écranté par le canal

- $V_{DS}=0$

- Deux contributions



EXTRACTION DE LA RESISTANCE DE GRILLE

- R_{gg} : résistance série vue de la grille

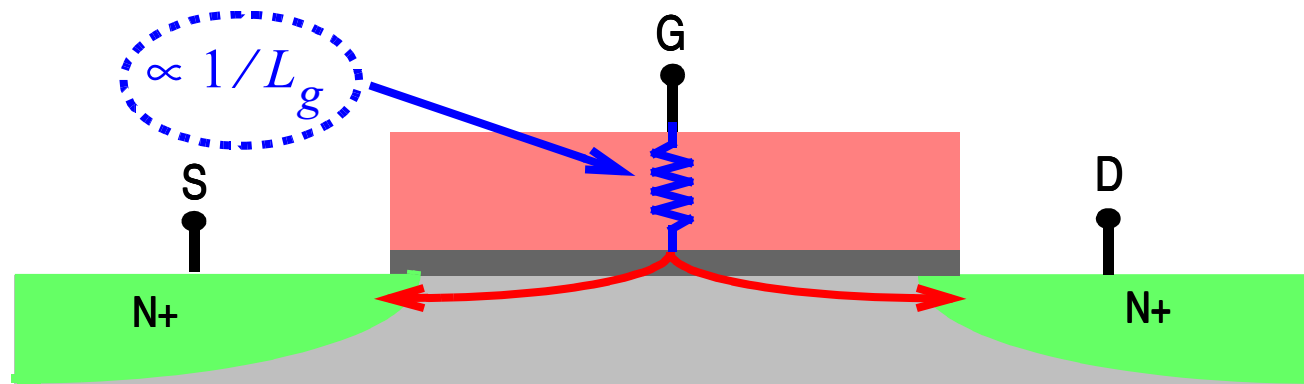
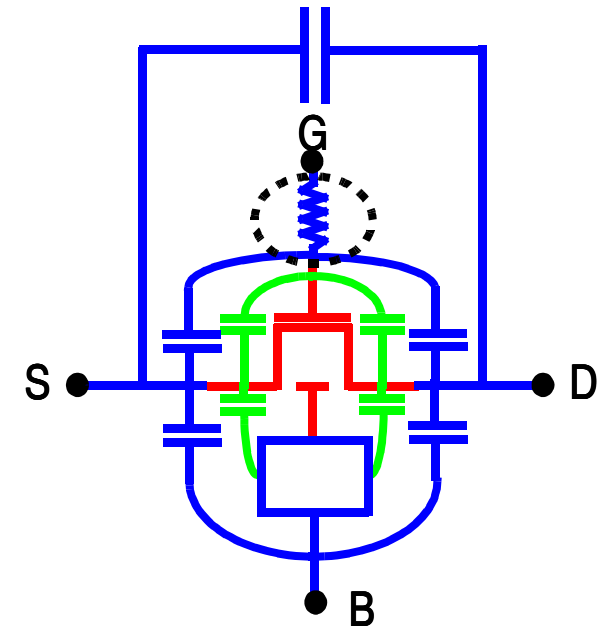
$$R_{gg} = \text{Re}[1/Y_{11}]$$

- Extraction :

- Inversion forte : substrat écranté par le canal

- $V_{DS}=0$

- Deux contributions



EXTRACTION DE LA RESISTANCE DE GRILLE

- R_{gg} : résistance série vue de la grille

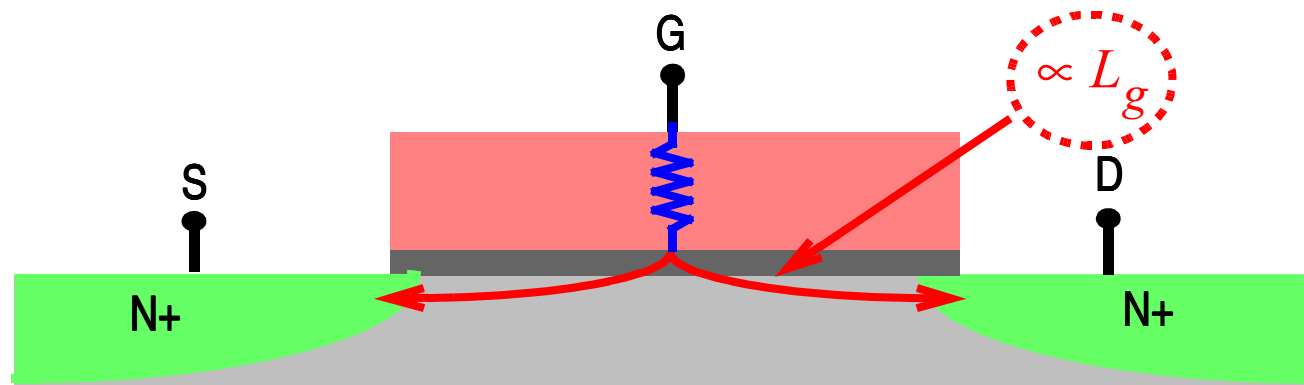
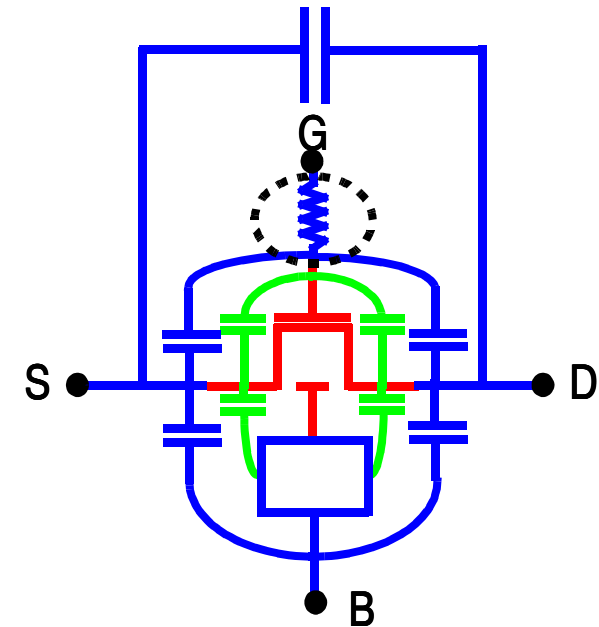
$$R_{gg} = \text{Re}[1/Y_{11}]$$

- Extraction :

- Inversion forte : substrat écranté par le canal

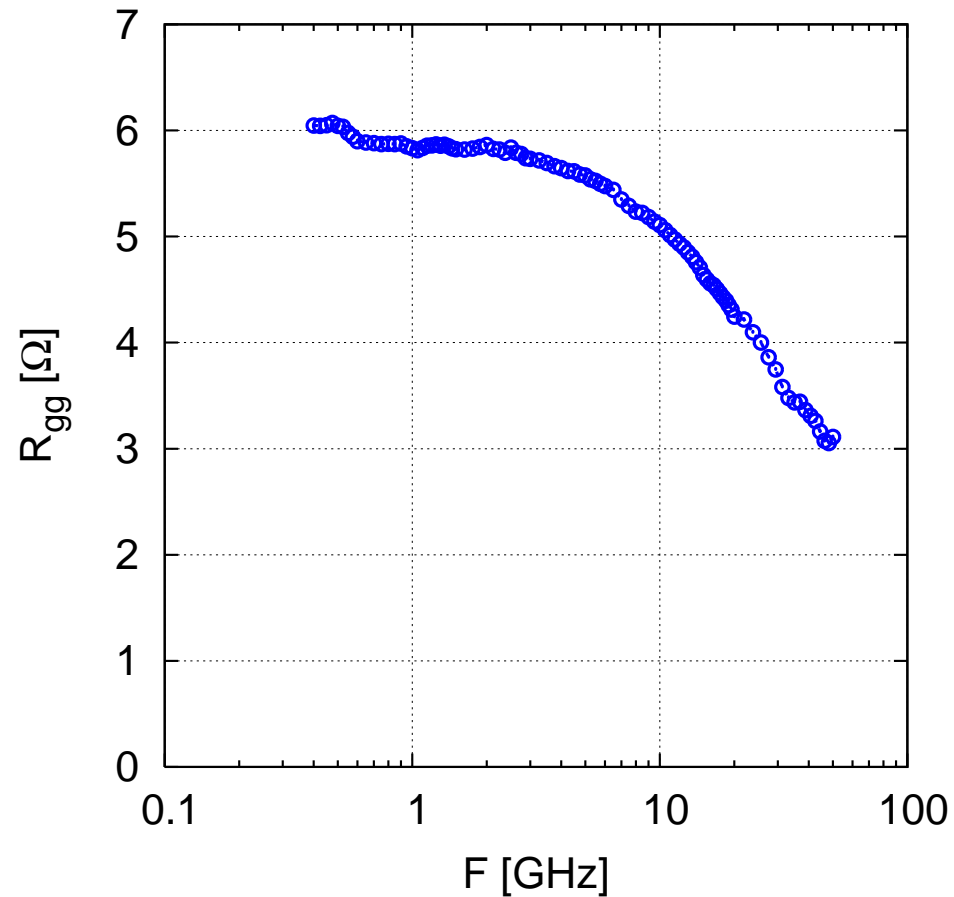
- $V_{DS}=0$

- Deux contributions



EXTRACTION DE LA RESISTANCE DE GRILLE

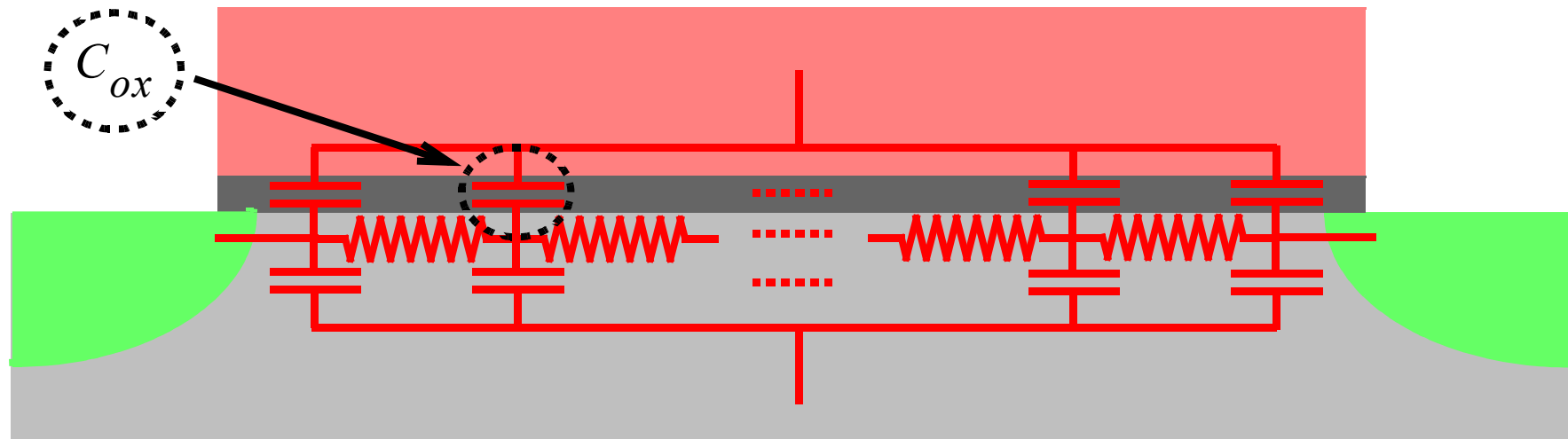
□ Dispositif long



Technologie 65nm, $L_g=2.0\mu\text{m}$, $V_{GS}=1.2\text{V}$, $V_{DS}=0\text{V}$

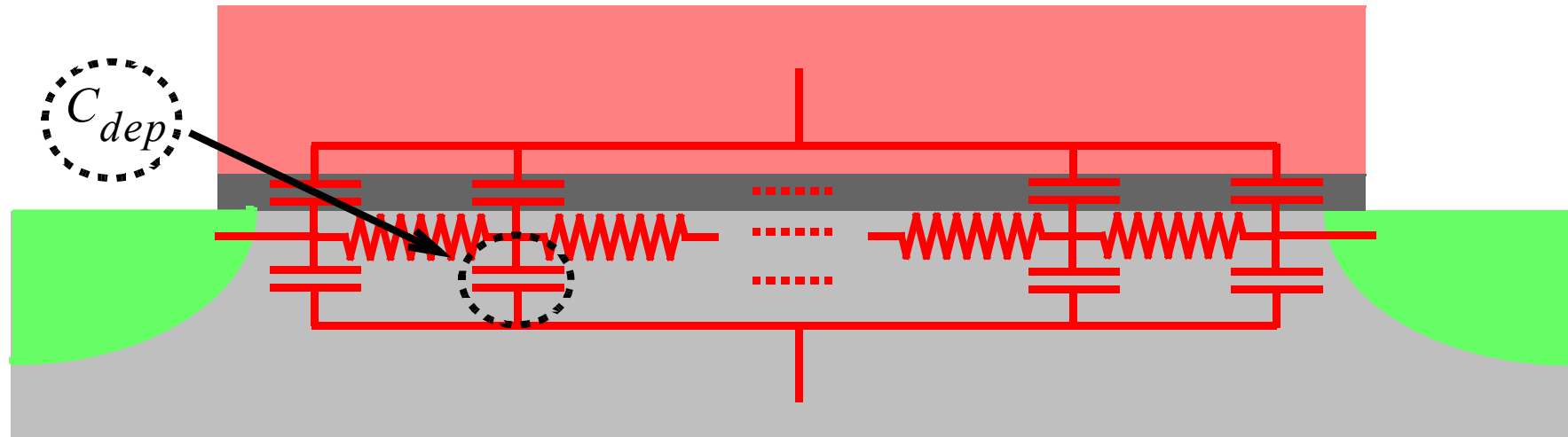
EXTRACTION DE LA RESISTANCE DE GRILLE

□ Structure distribuée en inversion forte



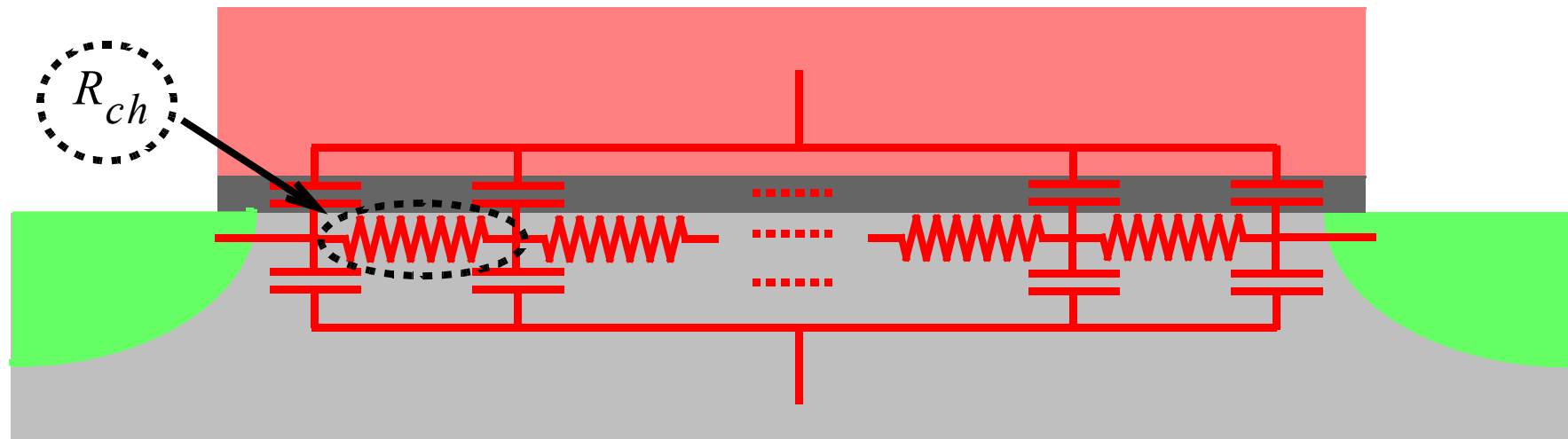
EXTRACTION DE LA RESISTANCE DE GRILLE

□ Structure distribuée en inversion forte



EXTRACTION DE LA RESISTANCE DE GRILLE

□ Structure distribuée en inversion forte



EXTRACTION DE LA RESISTANCE DE GRILLE

□ Contribution intrinsèque due au canal :

○ Inversion forte, $V_{DS}=0$

$$Y_{11} = \frac{C_{ox}}{C_{ox} + C_{dep}} \cdot \left[j \cdot \omega \cdot C_{dep} + j \cdot \omega \cdot C_{ox} \cdot \frac{\tanh[(\gamma \cdot L)/2]}{(\gamma \cdot L)/2} \right]$$

$$\gamma \cdot L = \sqrt{R_{ch} \cdot j \cdot \omega \cdot (C_{dep} + C_{ox})}$$

EXTRACTION DE LA RESISTANCE DE GRILLE

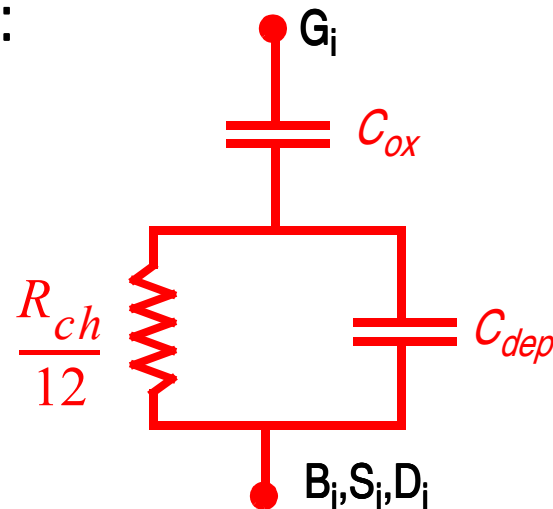
□ Contribution intrinsèque due au canal :

○ Inversion forte, $V_{DS}=0$

$$Y_{11} = \frac{C_{ox}}{C_{ox} + C_{dep}} \cdot \left[j \cdot \omega \cdot C_{dep} + j \cdot \omega \cdot C_{ox} \cdot \frac{\tanh[(\gamma \cdot L)/2]}{(\gamma \cdot L)/2} \right]$$

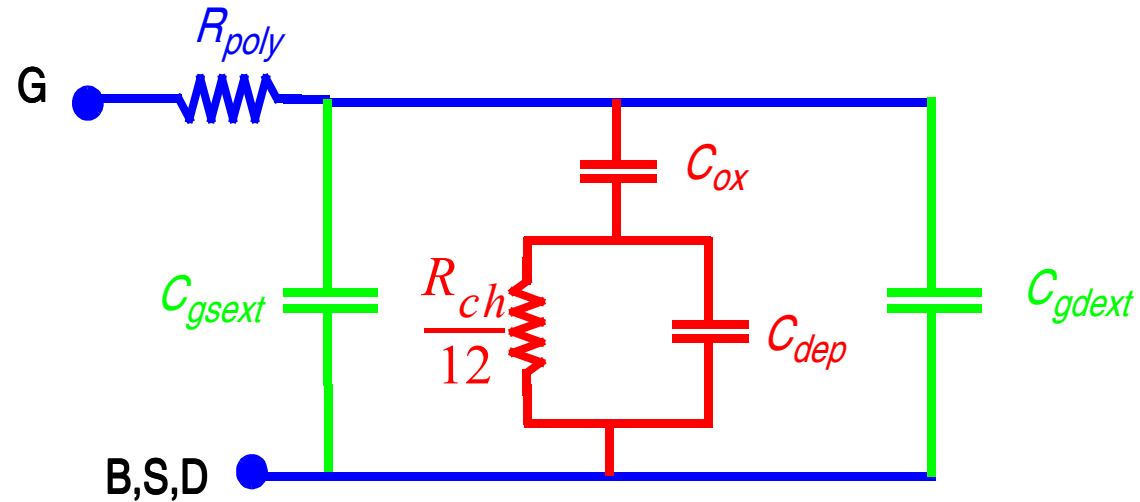
$$\gamma \cdot L = \sqrt{R_{ch} \cdot j \cdot \omega \cdot (C_{dep} + C_{ox})}$$

□ Approximation à l'ordre 2 :



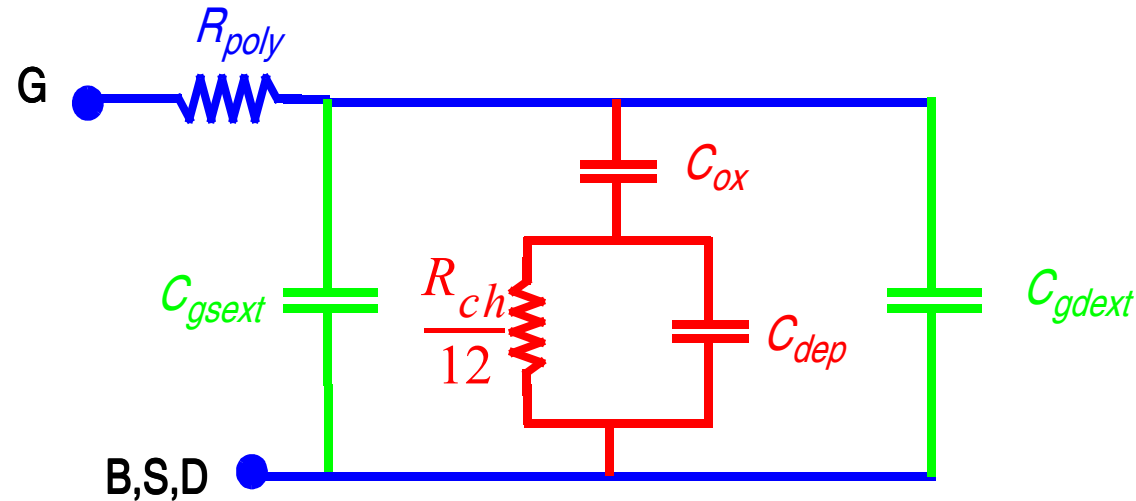
EXTRACTION DE LA RESISTANCE DE GRILLE

□ Approximation à l'ordre 2 :



EXTRACTION DE LA RESISTANCE DE GRILLE

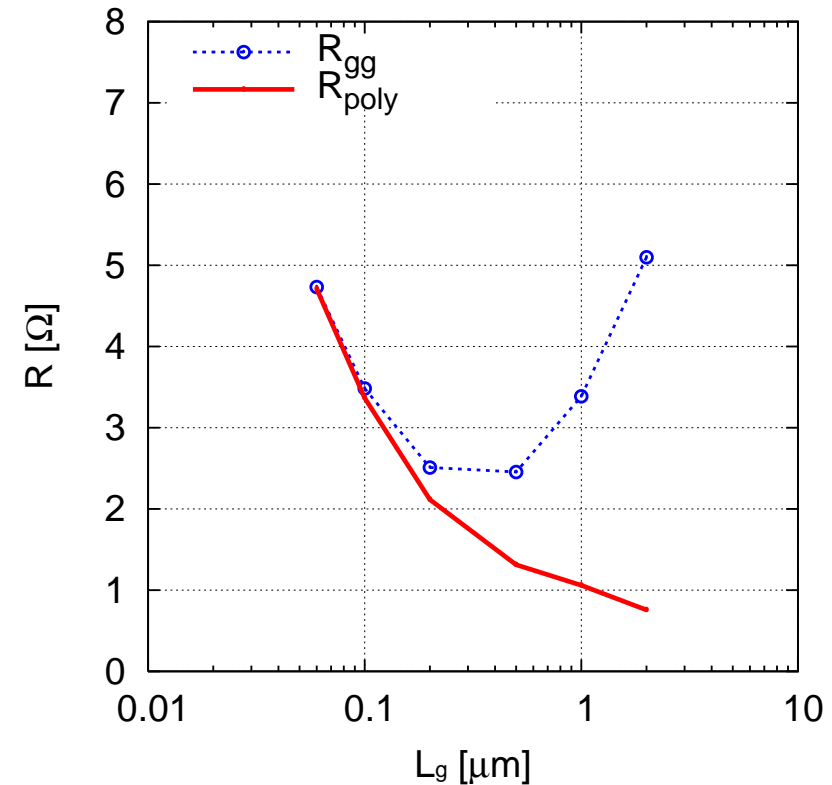
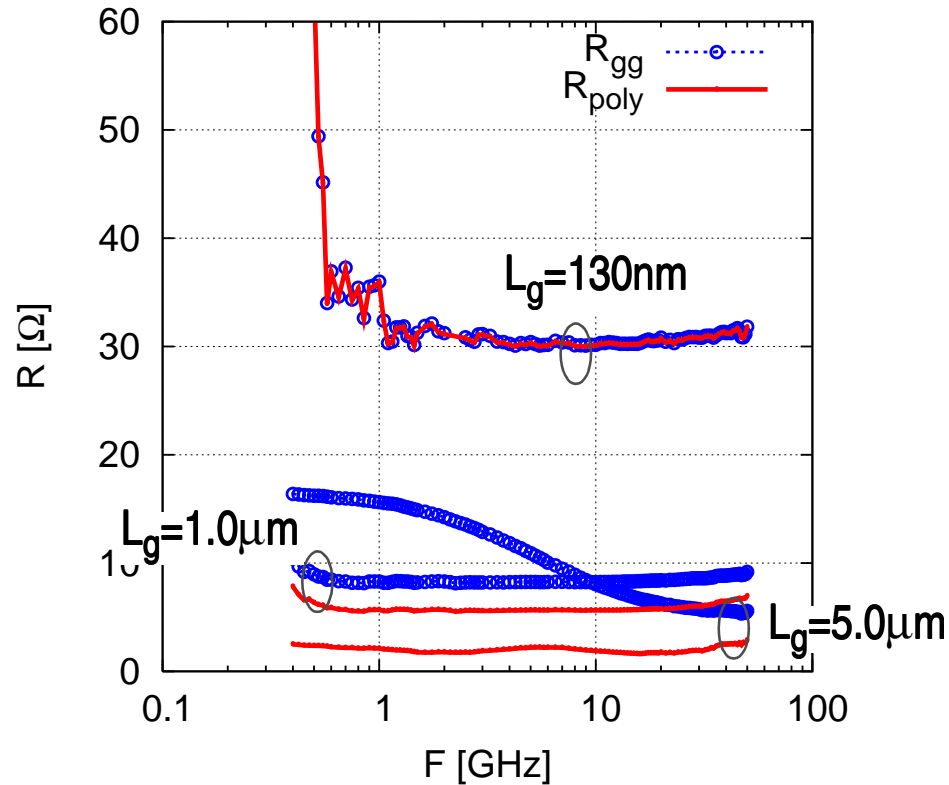
□ Approximation à l'ordre 2 :



□ Mesure de R_{poly} :

$$R_{poly} = \underbrace{R_{gg}}_{\text{Mesure}} - \underbrace{\left(12 \cdot \text{Re} \left[Y_{22} + \frac{2}{3} \cdot Y_{12} \right] \right)^{-1} \cdot \left(\frac{C_{gg} - 2 \cdot C_{gdext}}{C_{gg}} \right)^2}_{\text{Contribution canal estimée}}$$

EXTRACTION DE LA RESISTANCE DE GRILLE

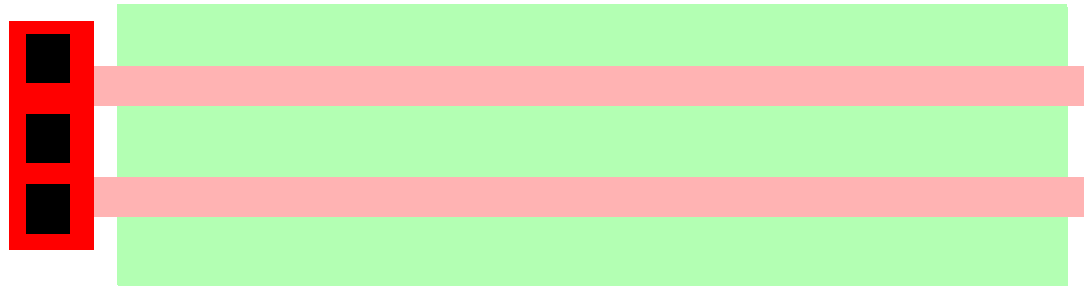


Technologies 130nm & 65nm

Mesure directe de $R_{poly} \Rightarrow$ construction de R_{ggext}

MODELISATION DE LA RESISTANCE DE GRILLE

Contribution de la tête de grille

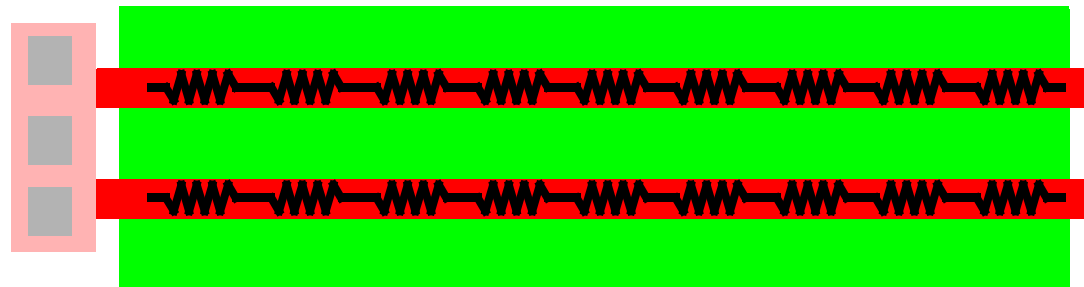


Dépend du nombre de contacts

MODELISATION DE LA RESISTANCE DE GRILLE

- ❑ Contribution de la tête de grille
 - Dépend du nombre de contacts

- ❑ Contribution du siliciure de grille



- Dépend de W_f/L_g

MODELISATION DE LA RESISTANCE DE GRILLE

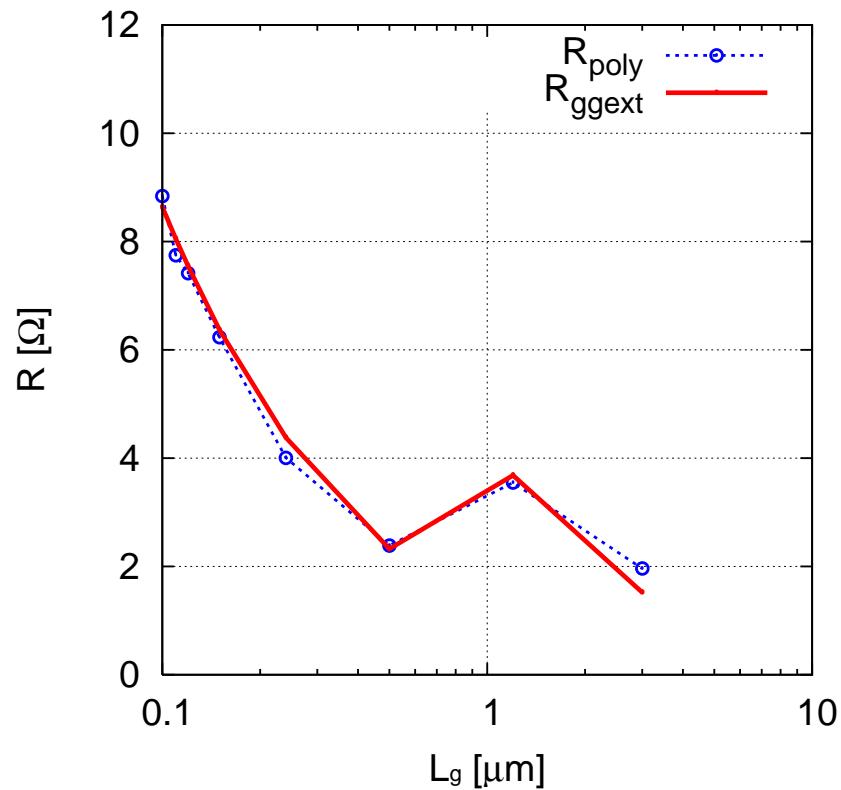
- ❑ Contribution de la tête de grille
 - Dépend du nombre de contacts
- ❑ Contribution du siliciure de grille
 - Dépend de W_f/L_g
- ❑ Contribution verticale



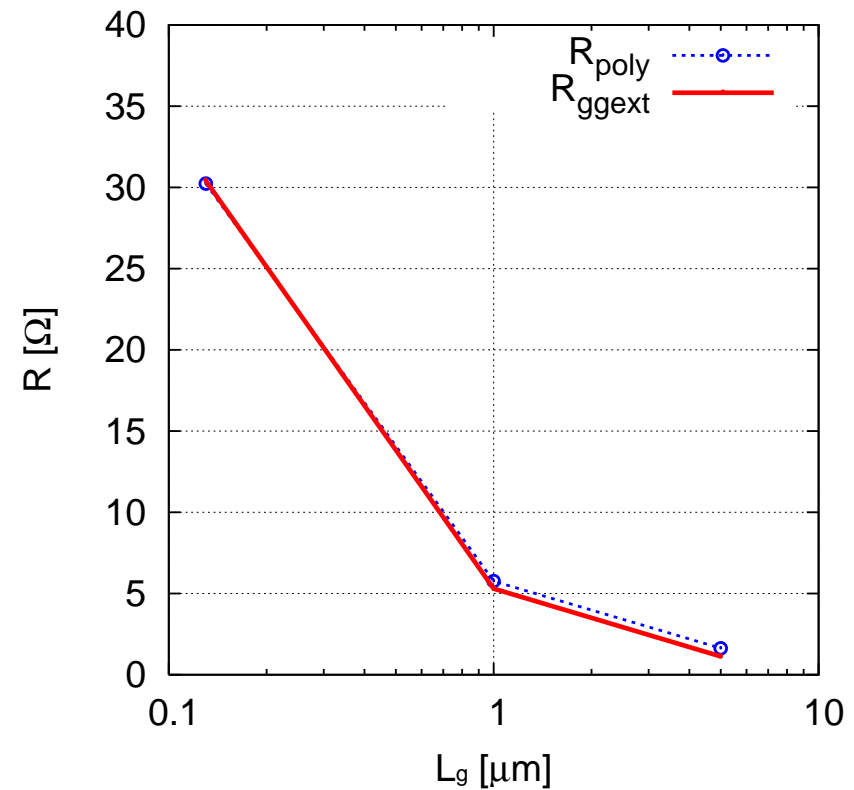
- Dépend de $1/(W_f \times L_g)$

MODELISATION DE LA RESISTANCE DE GRILLE

□ Comparaison Mesure/Modèle

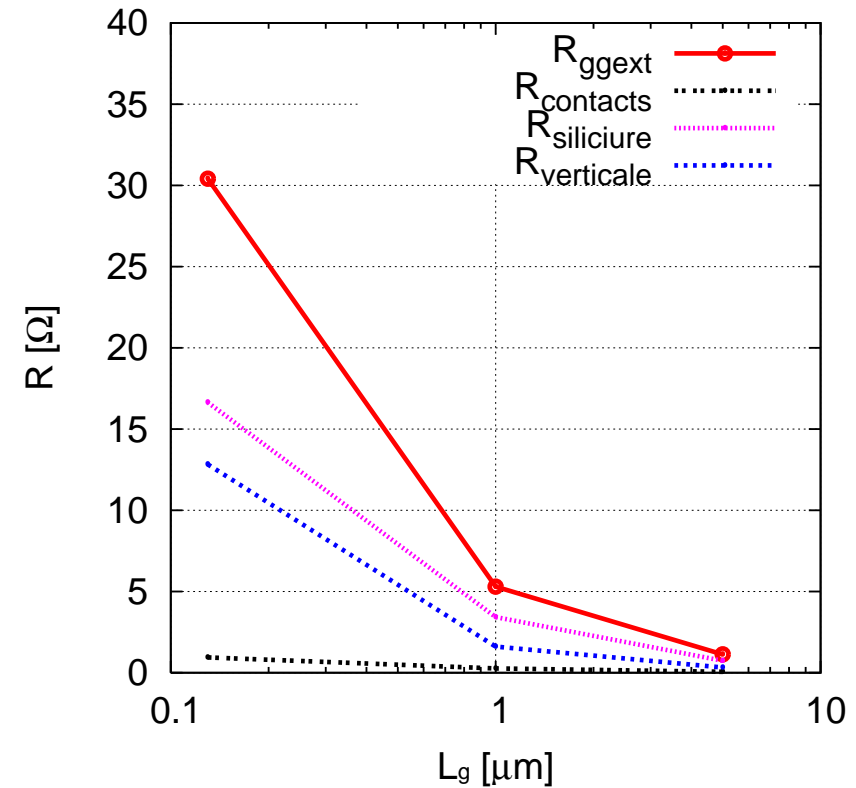
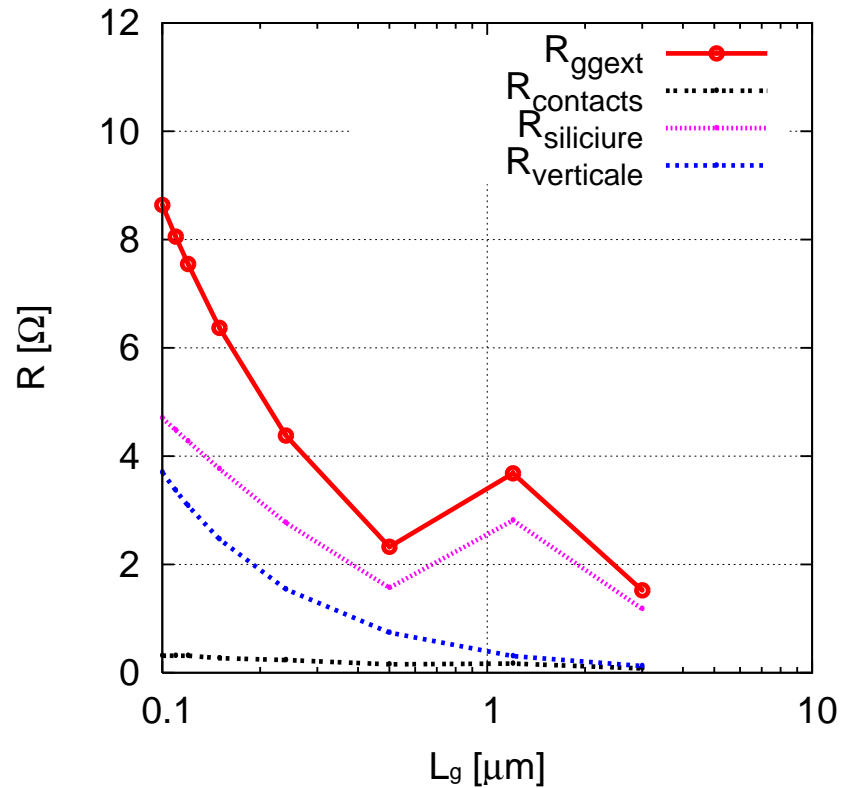


Technologies 90nm & 130nm



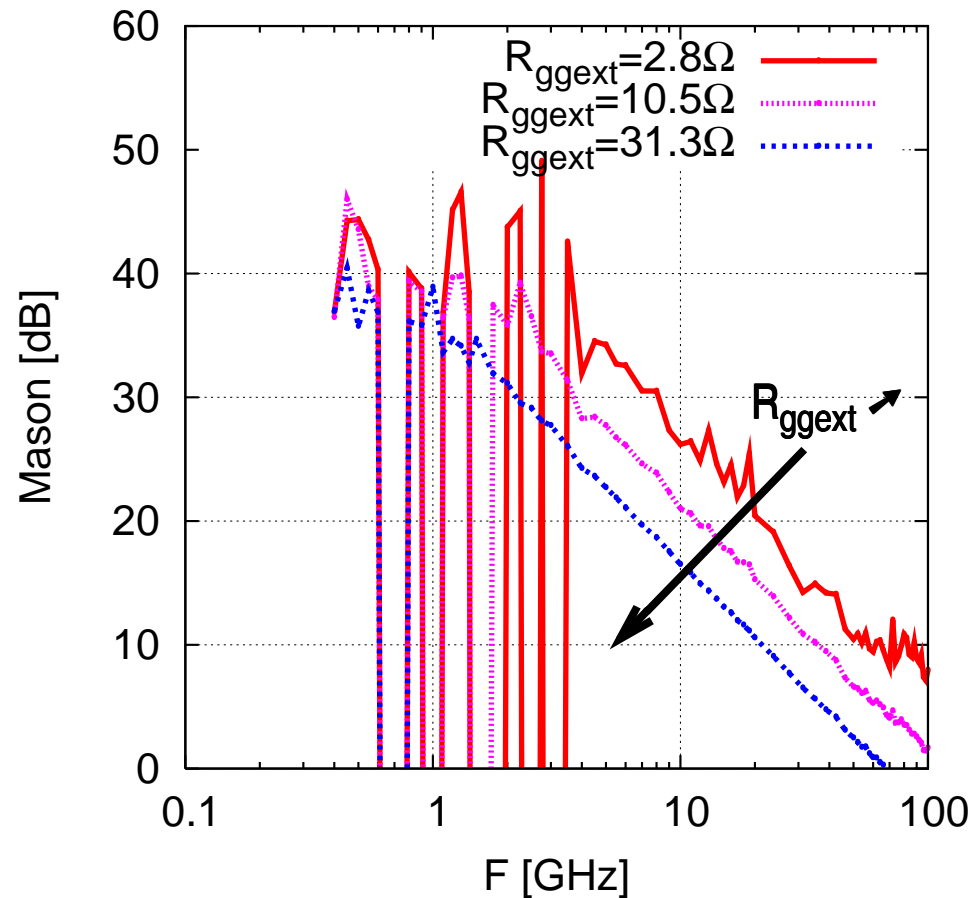
MODELISATION DE LA RESISTANCE DE GRILLE

□ Poids des différentes contributions



Technologies 90nm & 130nm

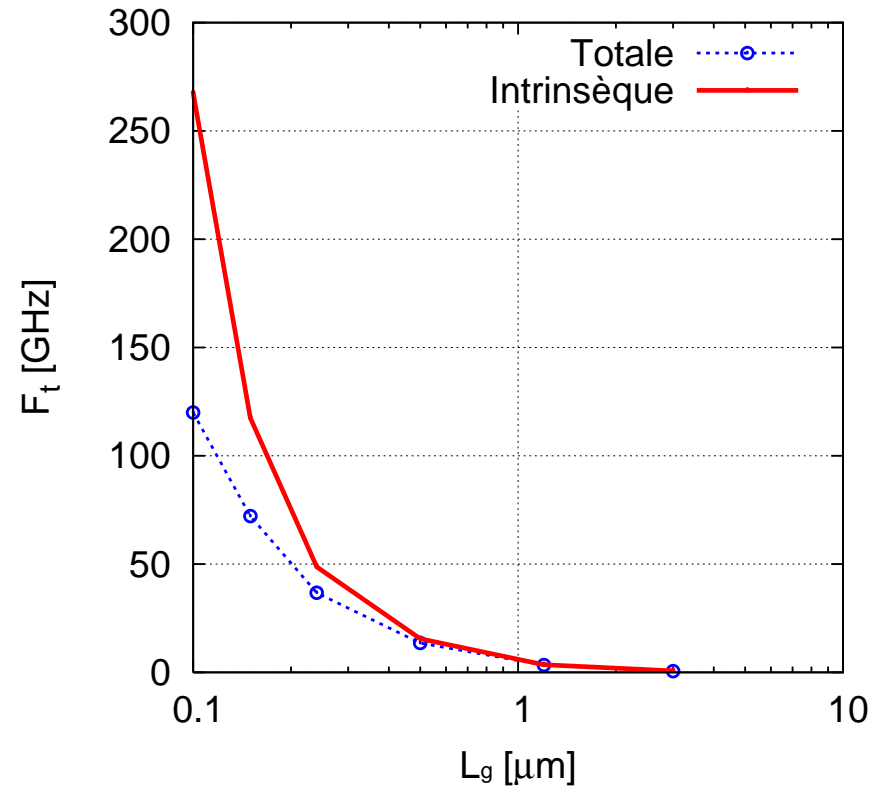
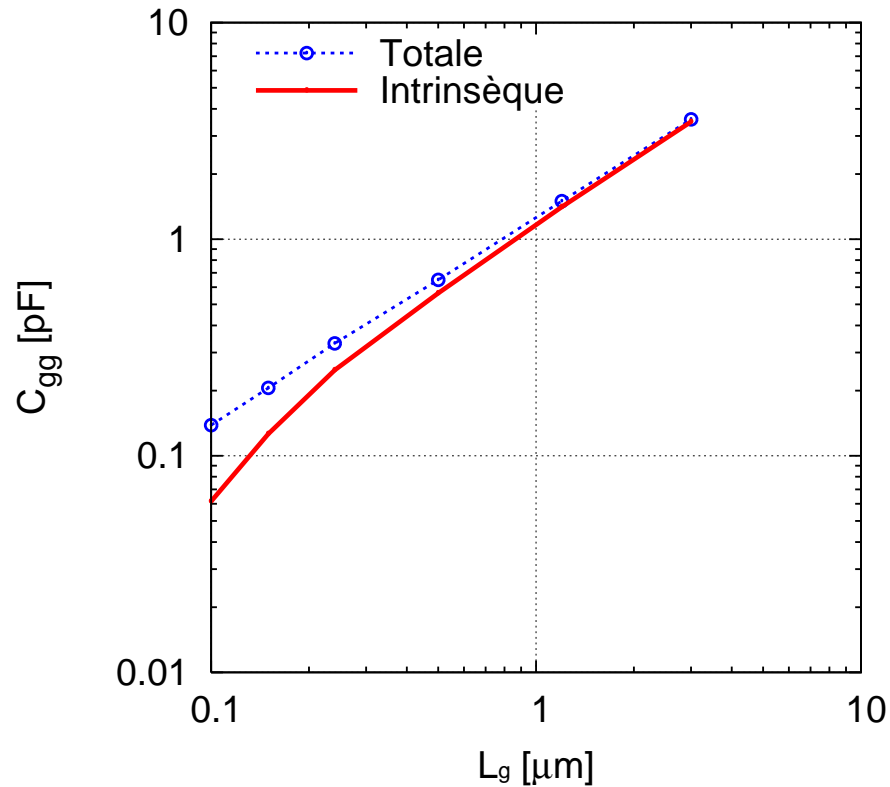
IMPACT DE LA RESISTANCE DE GRILLE



Technologie 65nm

- L_g nominale, $V_{DS}=V_{GS}=1.2V$
- $F_{max}=67, 113 \text{ \& } 200GHz$

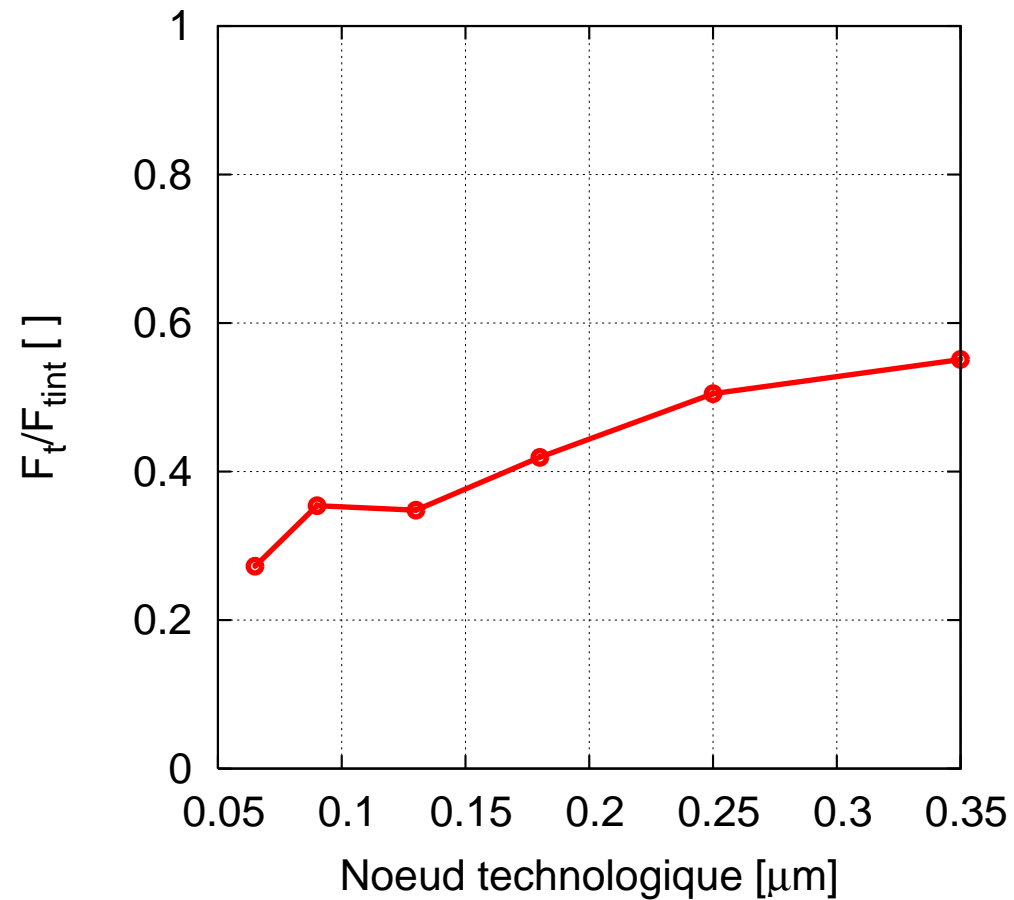
IMPACT DES CAPACITES PARASITES



Technologie 90nm

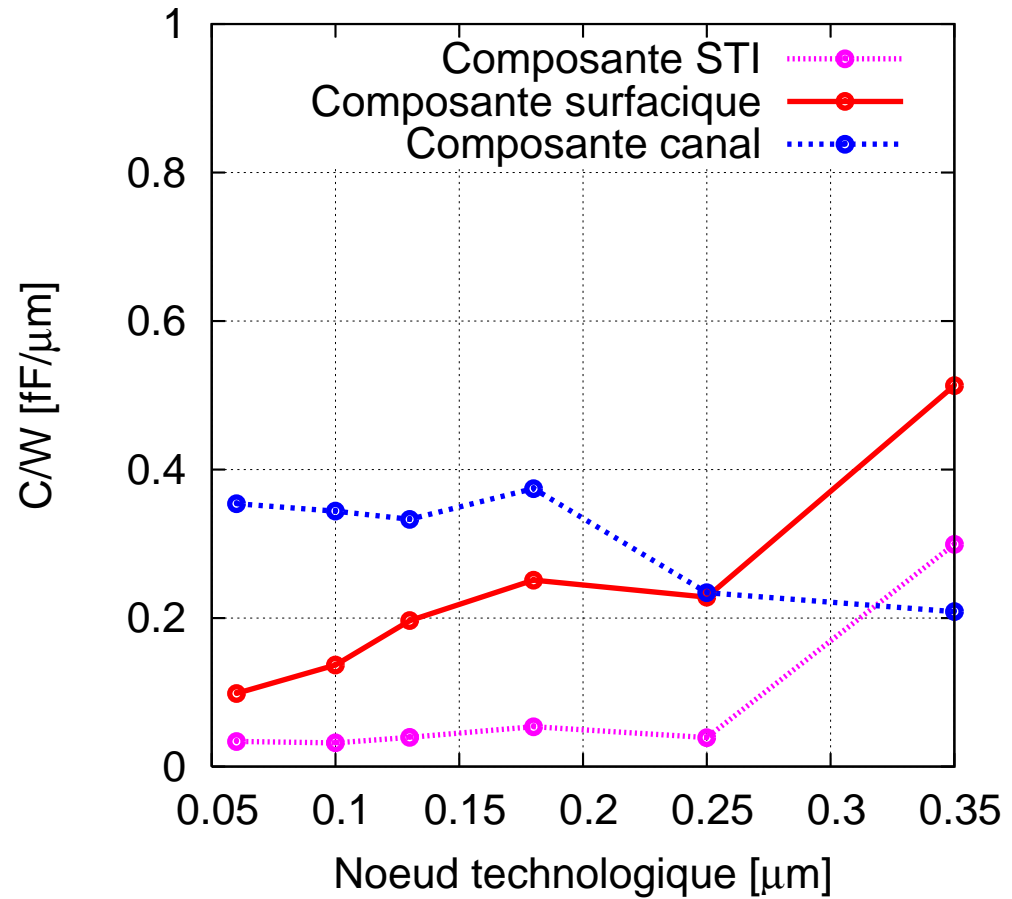
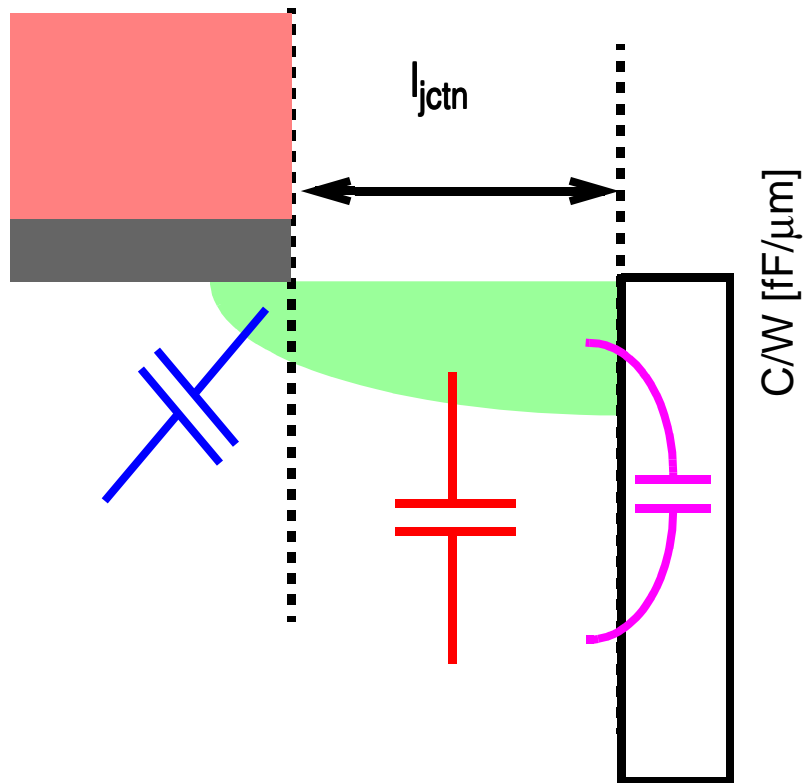
- L_g : nominale → 3.0μm, V_{DS}=V_{GS}=1.25V

ÉVOLUTION DES CAPACITES PARASITES



- $V_{GS}=V_{DS}=V_{DD}$, L_g nominale

ÉVOLUTION DES CAPACITES PARASITES



EXTRACTION ET MODELISATION DES ELEMENTS EXTRINSEQUES "CONNUS"

- Méthodologie basée sur la connaissance du MOS
 - Extraction de R_{poly}
 - ⇒ Résistance de la grille uniquement
 - Applicable à toutes les géométries
 - ⇒ Mise en évidence et extraction de 3 contributions

EXTRACTION ET MODELISATION DES ELEMENTS EXTRINSEQUES "CONNUS"

□ Méthodologie basée sur la connaissance du MOS

- Extraction de R_{poly}
 - ⇒ Résistance de la grille uniquement
- Applicable à toutes les géométries
 - ⇒ Mise en évidence et extraction de 3 contributions

□ Impact de la partie extrinsèque

- Evolution croissante
- Performances de plus en plus conditionnées par l'extrinsèque

E. Bouhana et al., JNM2005.

PLAN

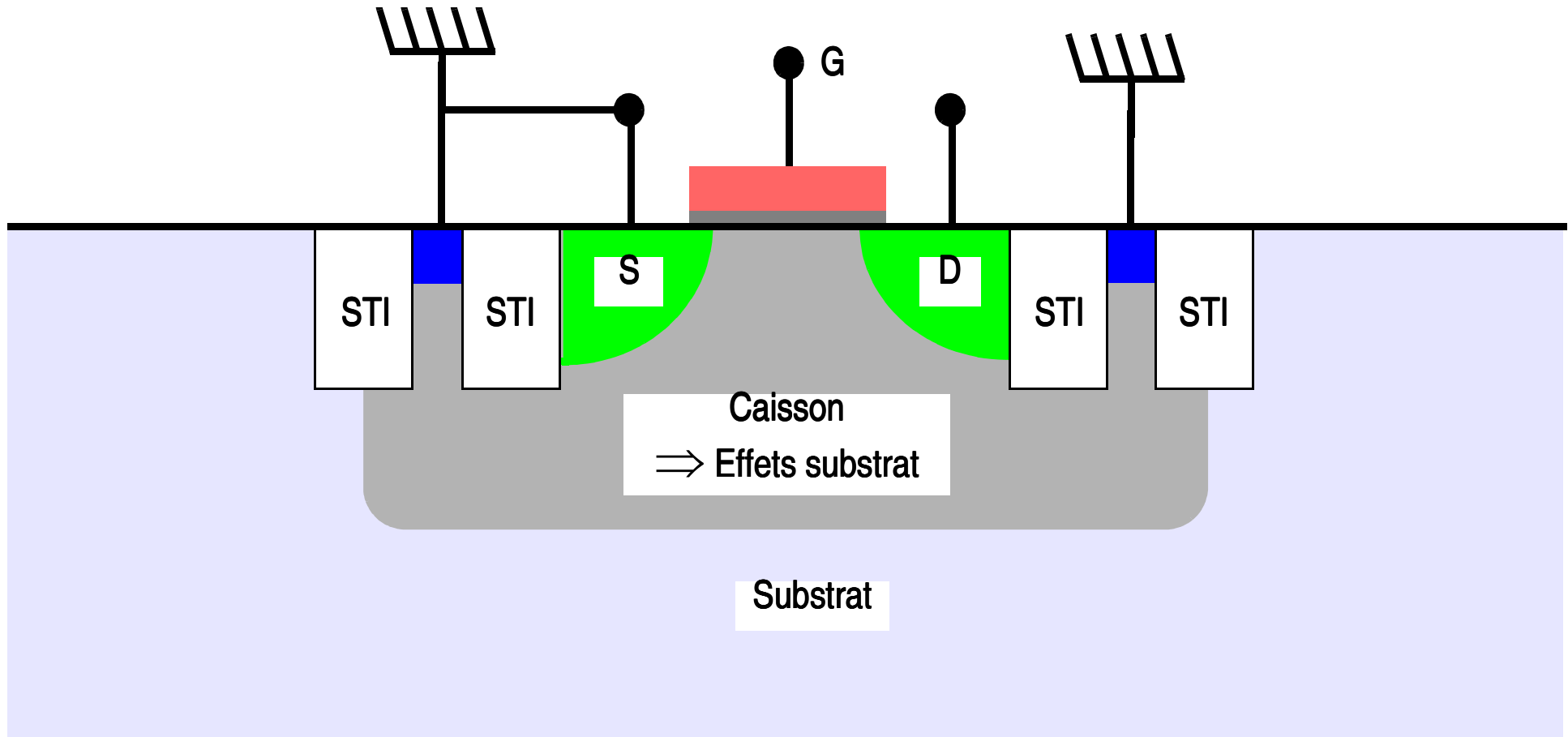
Introduction

Etude des éléments extrinsèques “connus”

Etude du réseau substrat

Conclusion & perspectives

LE RESEAU SUBSTRAT

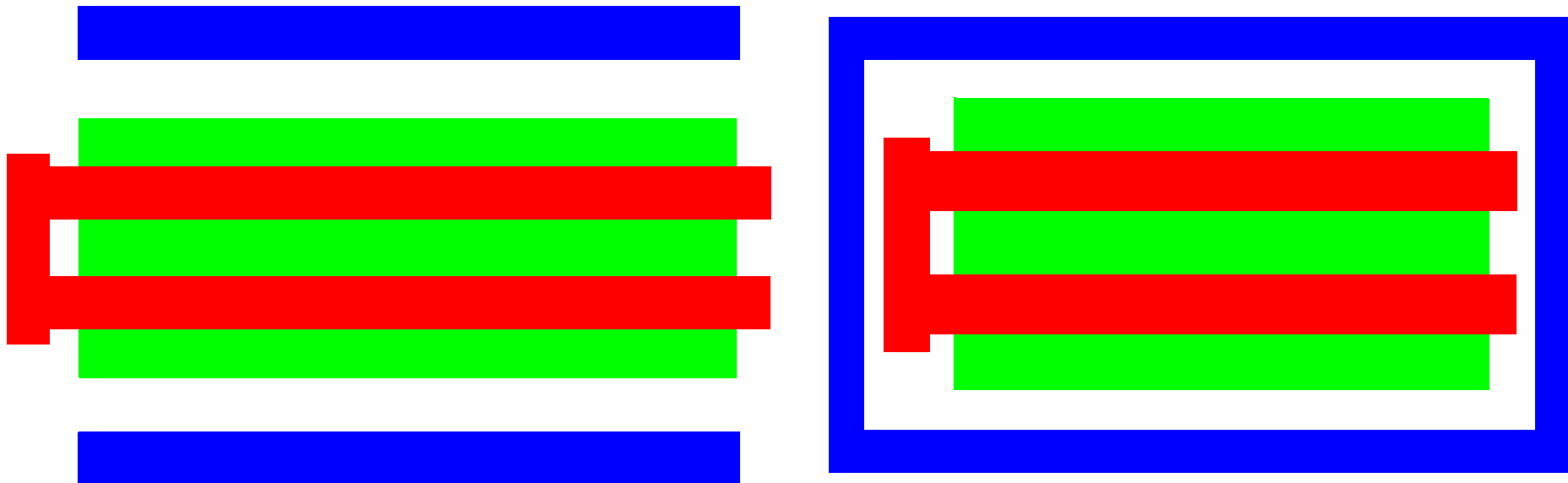


ANALYSE DU RESEAU SUBSTRAT (1)

- Le réseau substrat dépend du layout et de la technologie

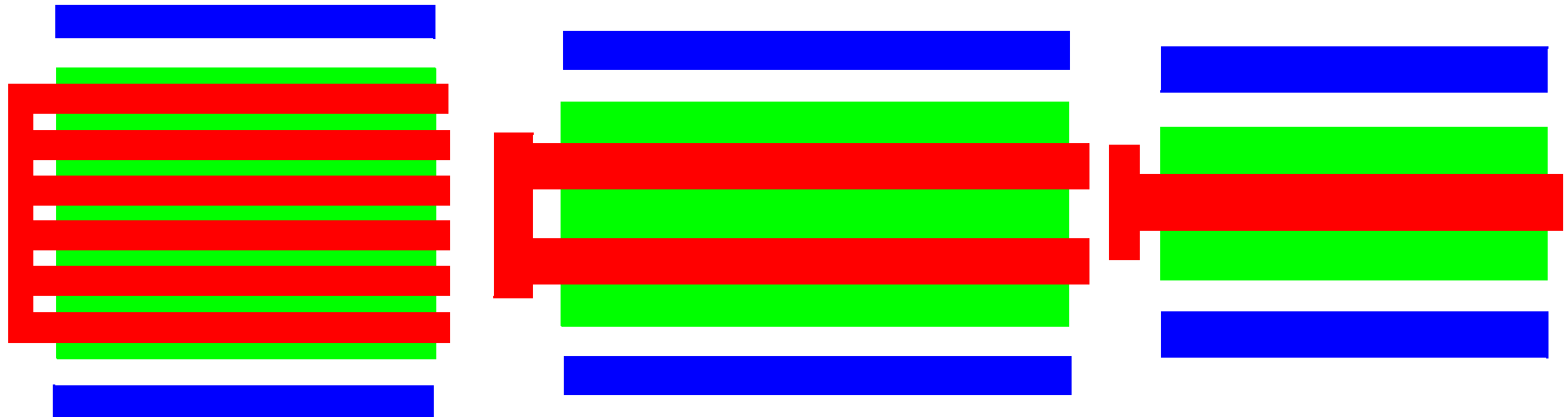
ANALYSE DU RESEAU SUBSTRAT (1)

- Le réseau substrat dépend du layout et de la technologie
 - Types de prises caisson



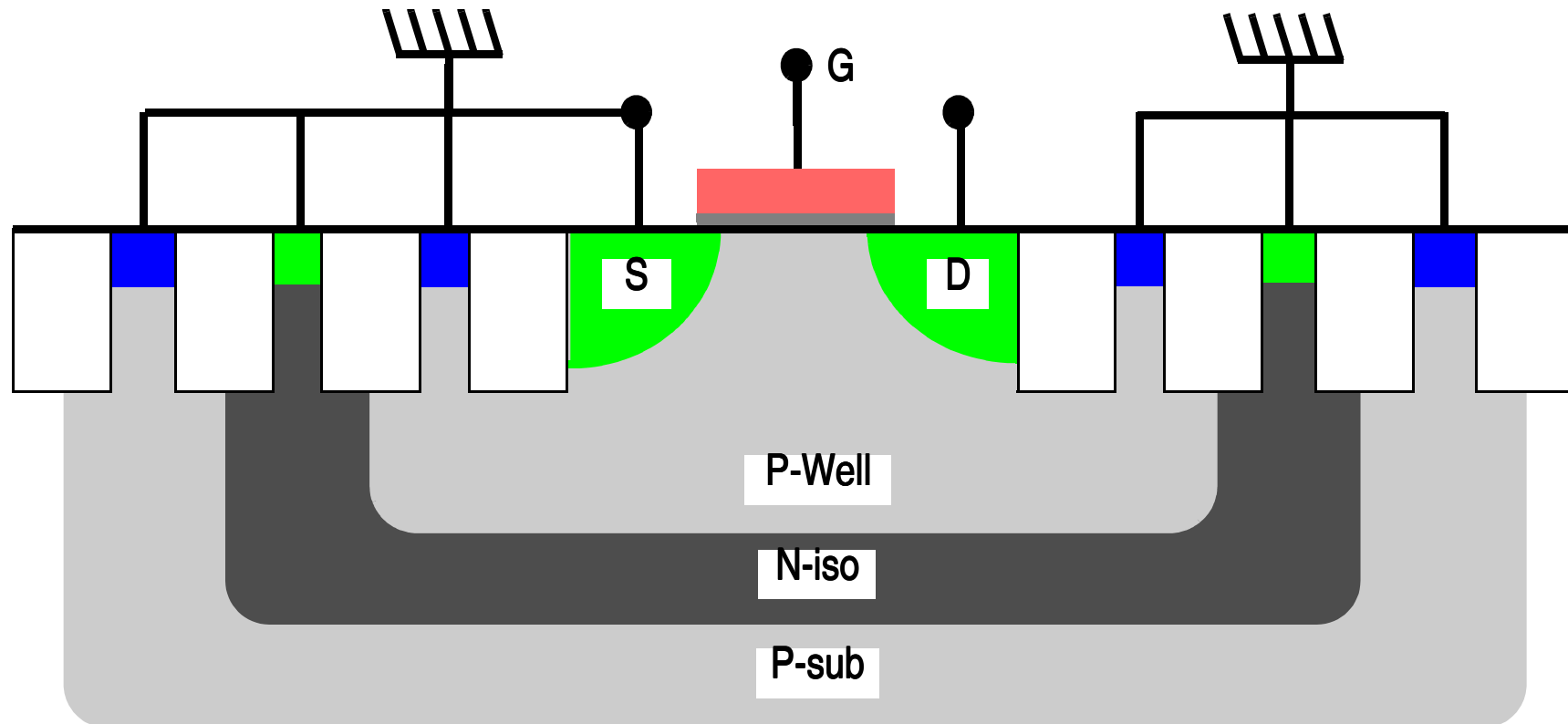
ANALYSE DU RESEAU SUBSTRAT (1)

- Le réseau substrat dépend du layout et de la technologie
 - Types de prises caisson
 - Structures interdigitées



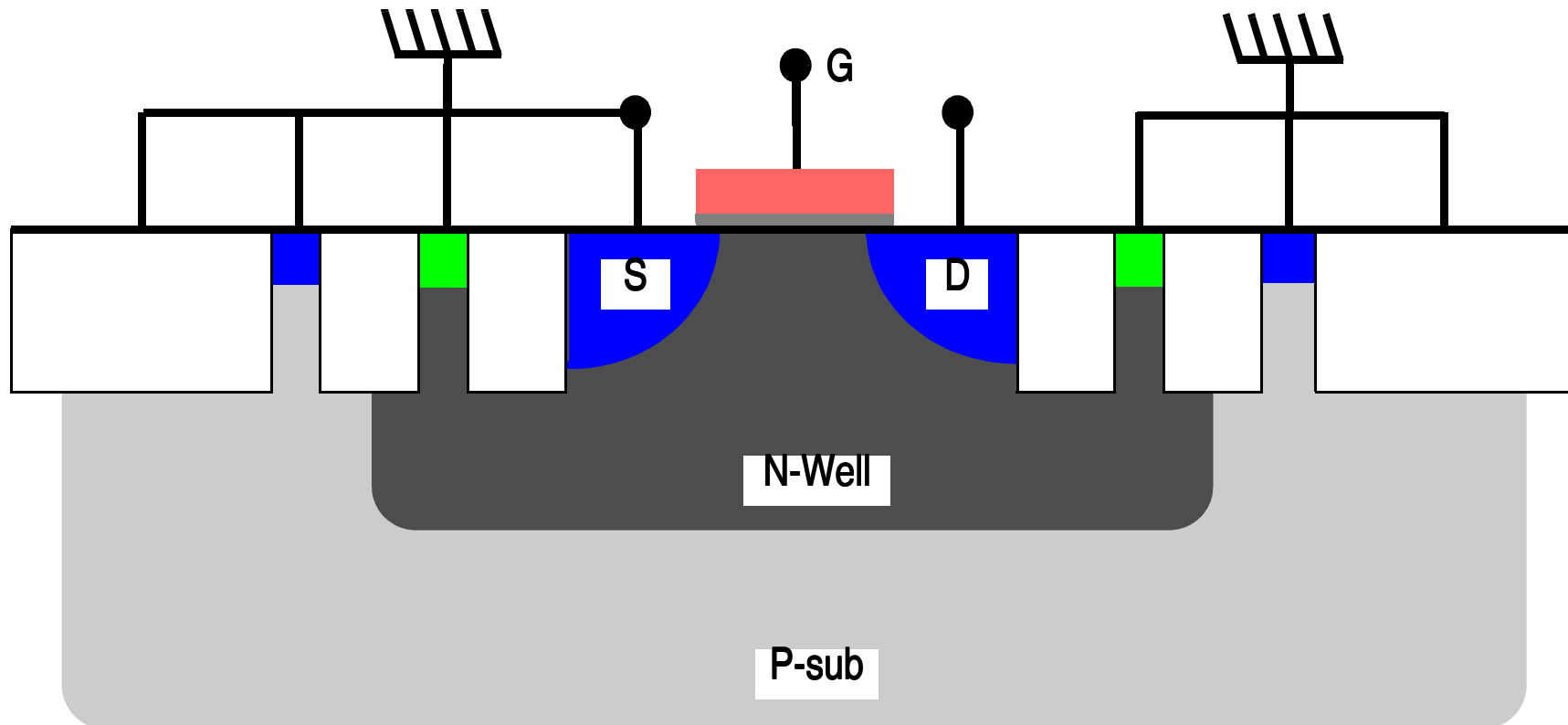
ANALYSE DU RESEAU SUBSTRAT (1)

- Le réseau substrat dépend du layout et de la technologie
 - Types de prises caisson & structures interdigitées
 - Dispositifs isolés : nMOSFET



ANALYSE DU RESEAU SUBSTRAT (1)

- Le réseau substrat dépend du layout et de la technologie
 - Types de prises caisson & structures interdigitées
 - Dispositifs isolés : pMOSFET



ANALYSE DU RESEAU SUBSTRAT (2)

□ Dans la littérature : plusieurs modèles

○ Prise en compte de la dépendance vis-à-vis du layout :

- J. Han and H. Shin, IEEE MTT Symposium, vol. 3, 2003.
- R. T. Chang et al., IEEE TED, vol. 51, no. 3, 2004.

ANALYSE DU RESEAU SUBSTRAT (2)

□ Dans la littérature : plusieurs modèles

○ Prise en compte de la dépendance vis-à-vis du layout :

- J. Han and H. Shin, IEEE MTT Symposium, vol. 3, 2003.
- R. T. Chang et al., IEEE TED, vol. 51, no. 3, 2004.

○ Pas de prise en compte des effets de la couche d'isolation.

ANALYSE DU RESEAU SUBSTRAT (2)

□ Dans la littérature : plusieurs modèles

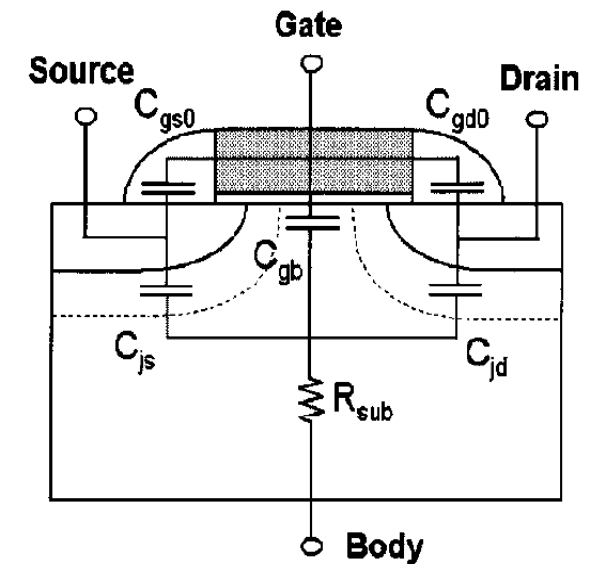
○ Prise en compte de la dépendance vis-à-vis du layout :

- J. Han and H. Shin, IEEE MTT Symposium, vol. 3, 2003.
- R. T. Chang et al., IEEE TED, vol. 51, no. 3, 2004.

○ Pas de prise en compte des effets de la couche d'isolation.

□ La plupart de ces modèles sont basés sur un schéma équivalent présumé

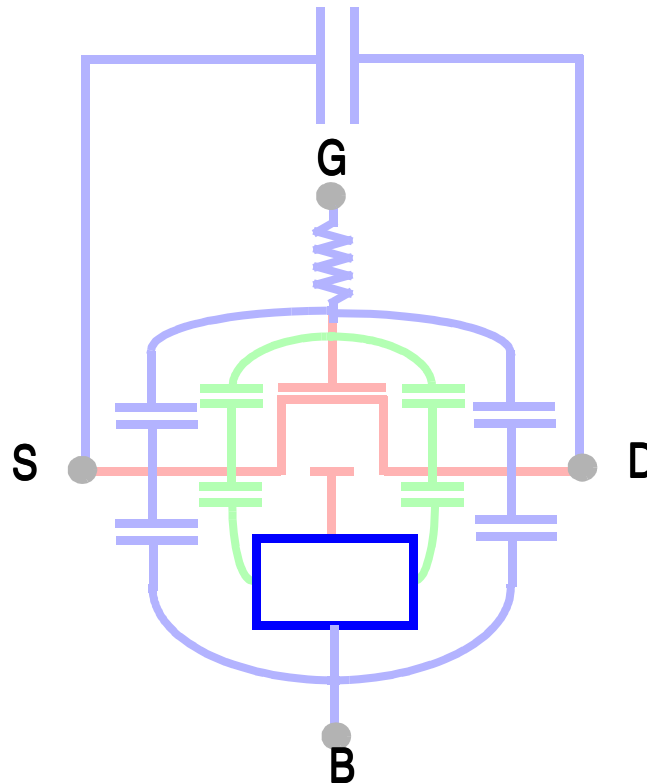
○ La valeur des éléments est extraite de la mesure de Y_{22}



J. Han, M. Je and H. Shin, IEEE EDL, vol. 23, no. 7, 2002.

ANALYSE DU RESEAU SUBSTRAT (3)

□ Approche différente proposée :



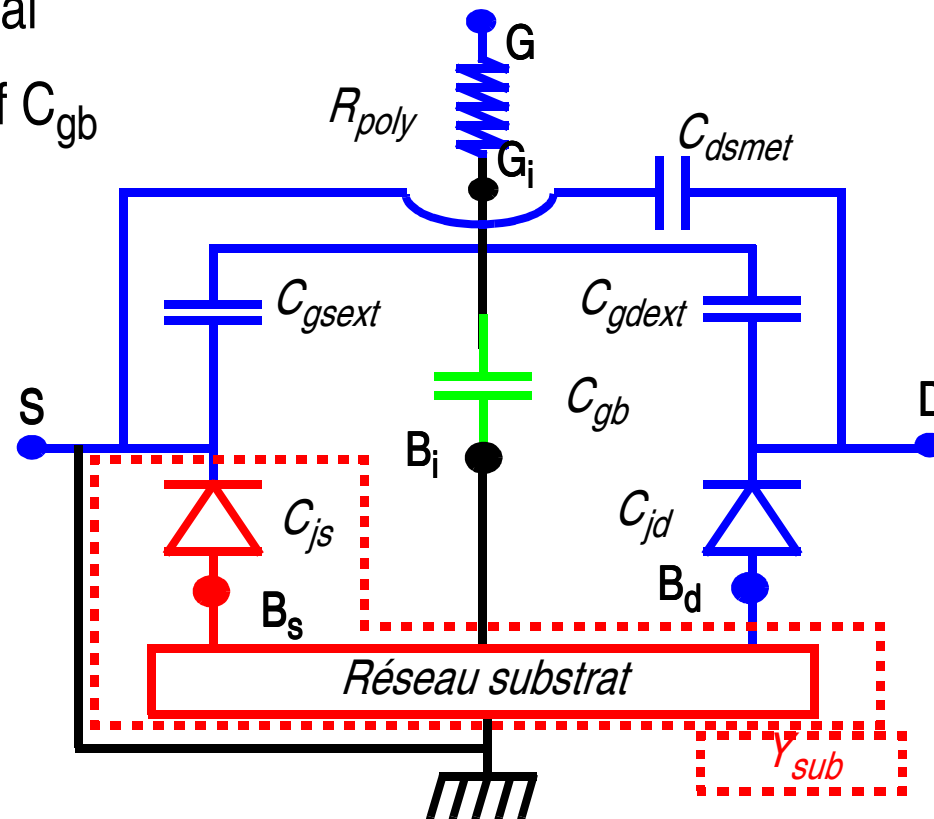
- Analyse des mesures \Rightarrow on accède au réseau substrat progressivement ;
- On identifie la topologie du modèle : pas de schéma équivalent pré-supposé.

ACCES AU RESEAU SUBSTRAT

□ Analyse faite à $V_{GS} = 0$:

○ Pas de canal

○ $C_{int}=0$, sauf C_{gb}

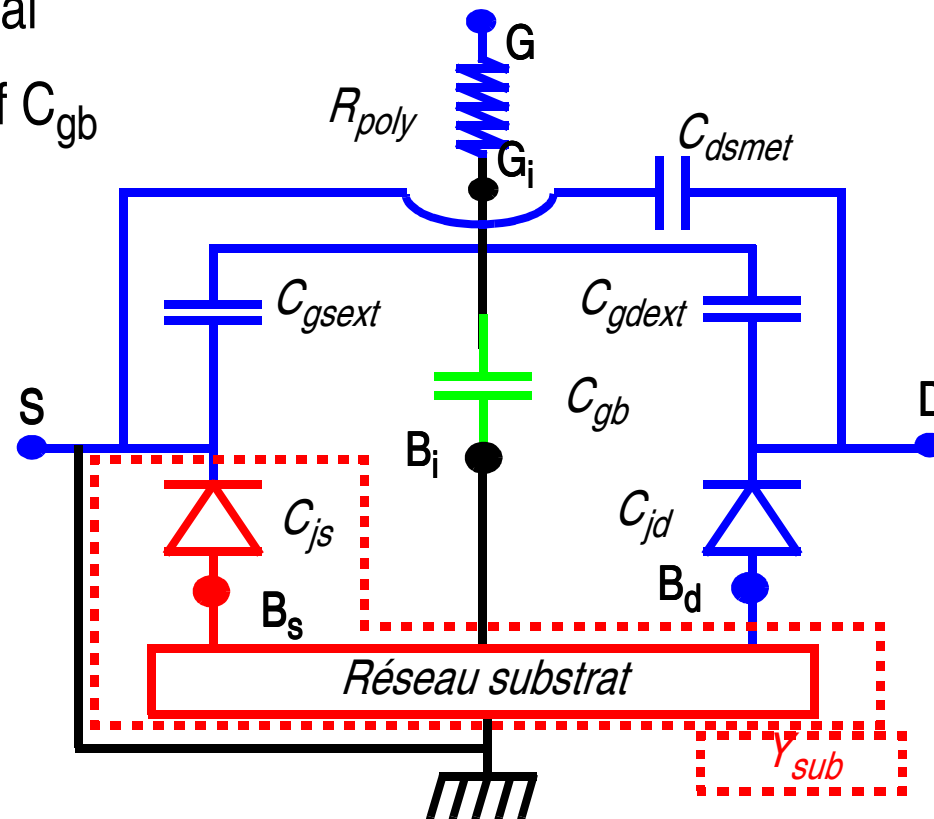


ACCES AU RESEAU SUBSTRAT

□ Analyse faite à $V_{GS} = 0$:

○ Pas de canal

○ $C_{int}=0$, sauf C_{gb}

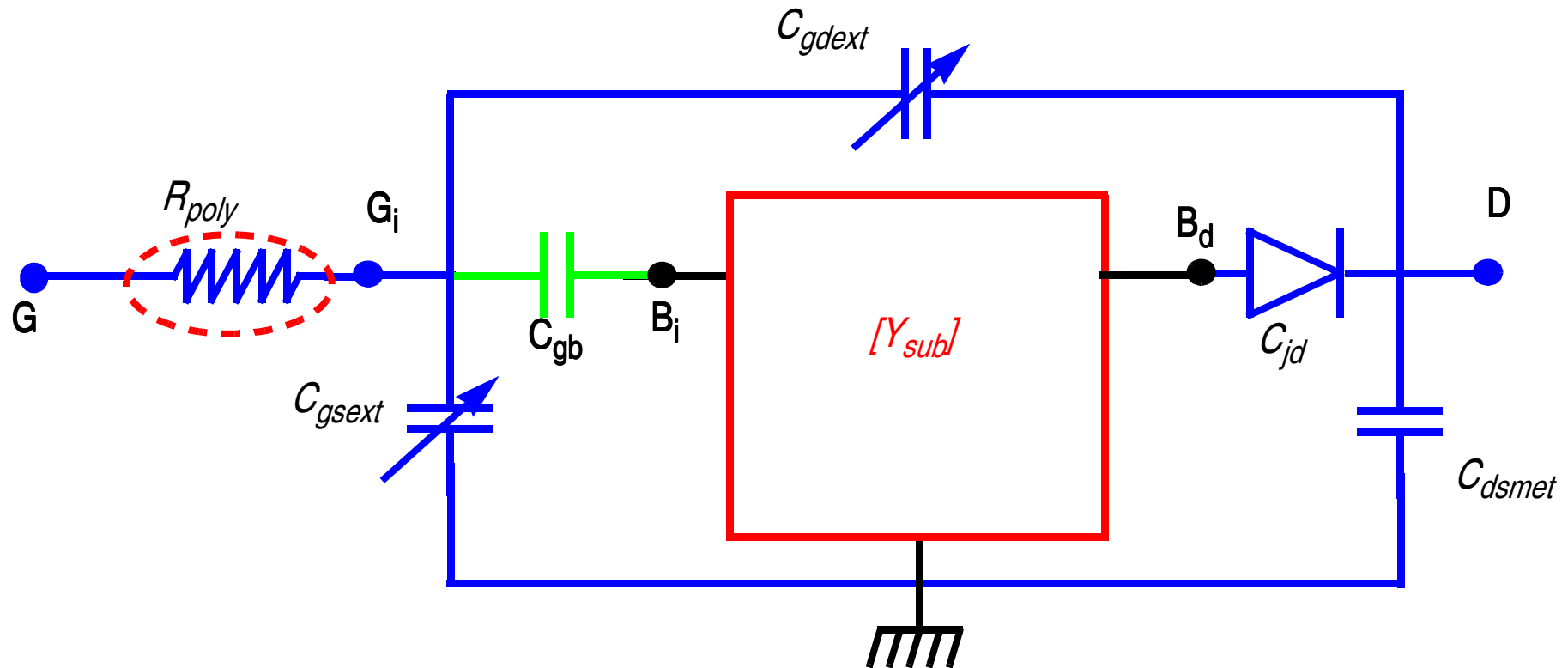


□ On retire les éléments parasites puis C_{gb} et C_{jd}

ACCES AU RESEAU SUBSTRAT: ETAPE 1

□ Résistance de grille

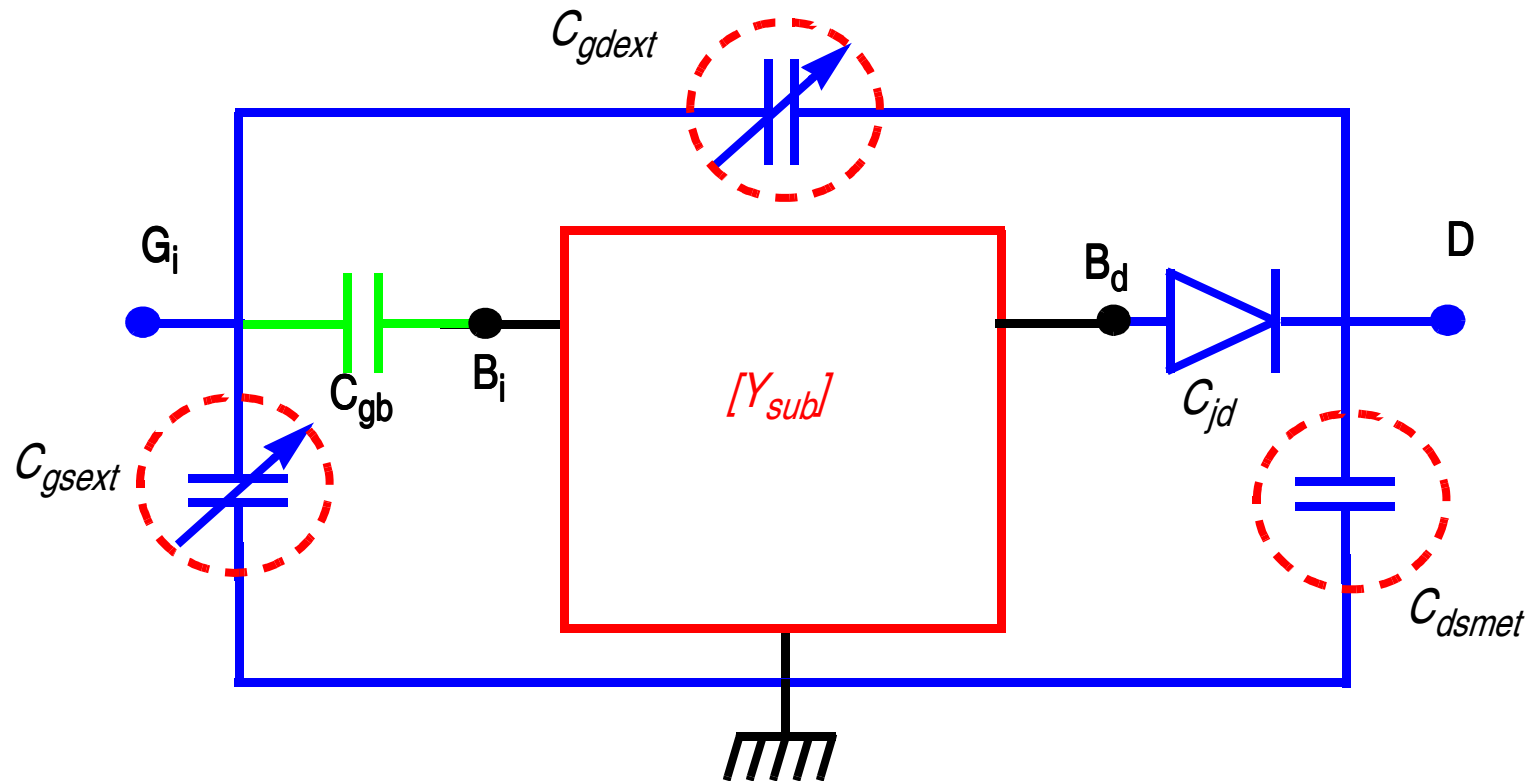
➤ Les mesures sont converties en paramètres [Z]



ACCES AU RESEAU SUBSTRAT: ETAPE 2

□ Capacités parasites

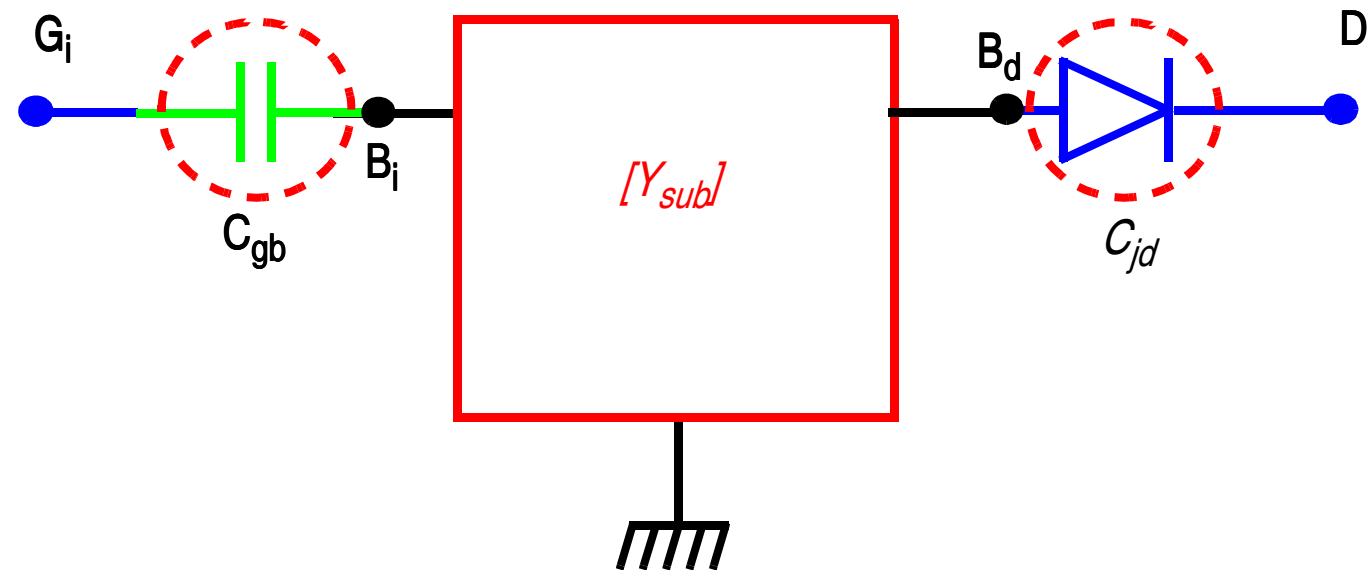
➤ Représentation en Π



ACCES AU RESEAU SUBSTRAT: ETAPE 3 (1)

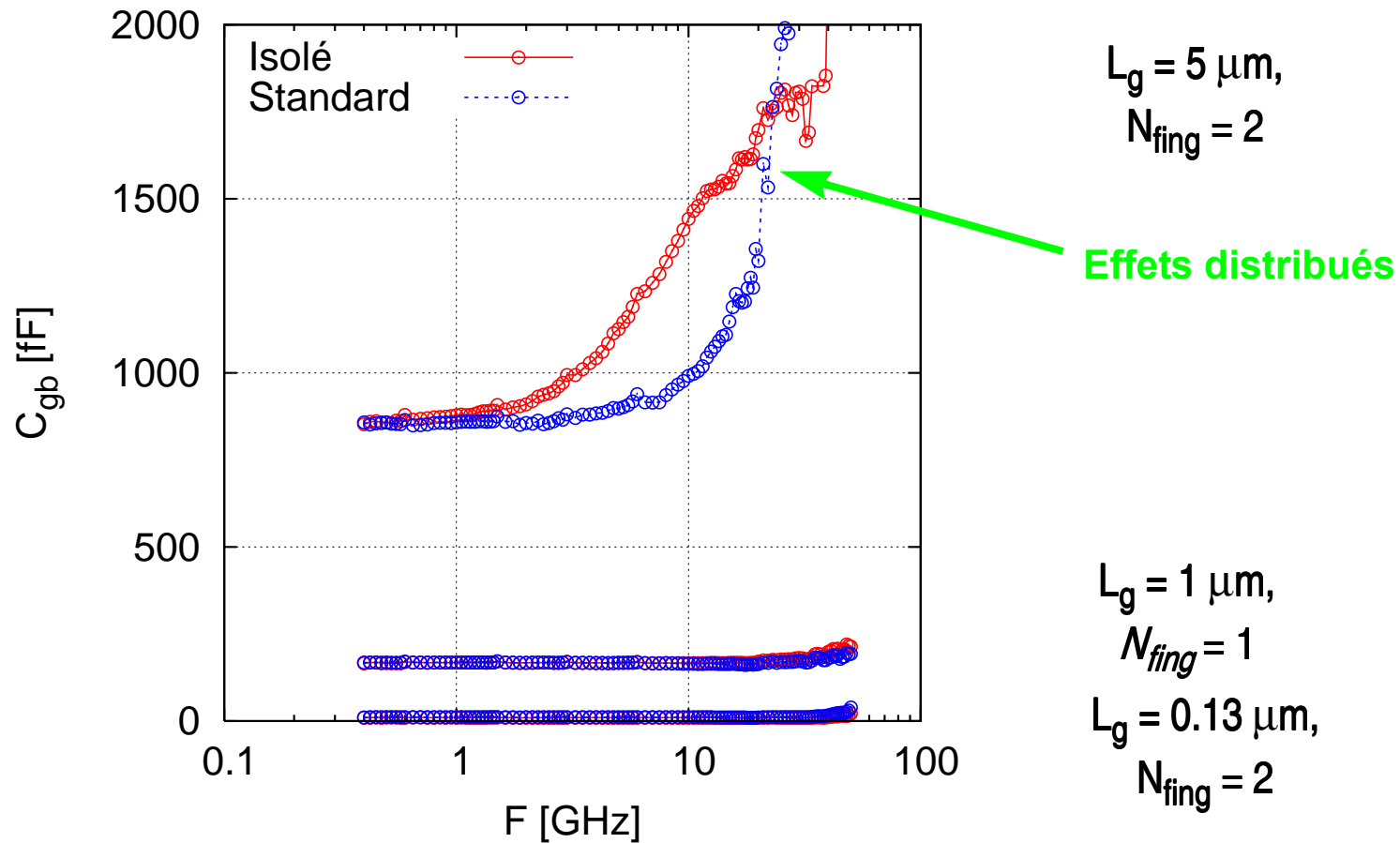
□ Dernière étape

➤ Représentation en T



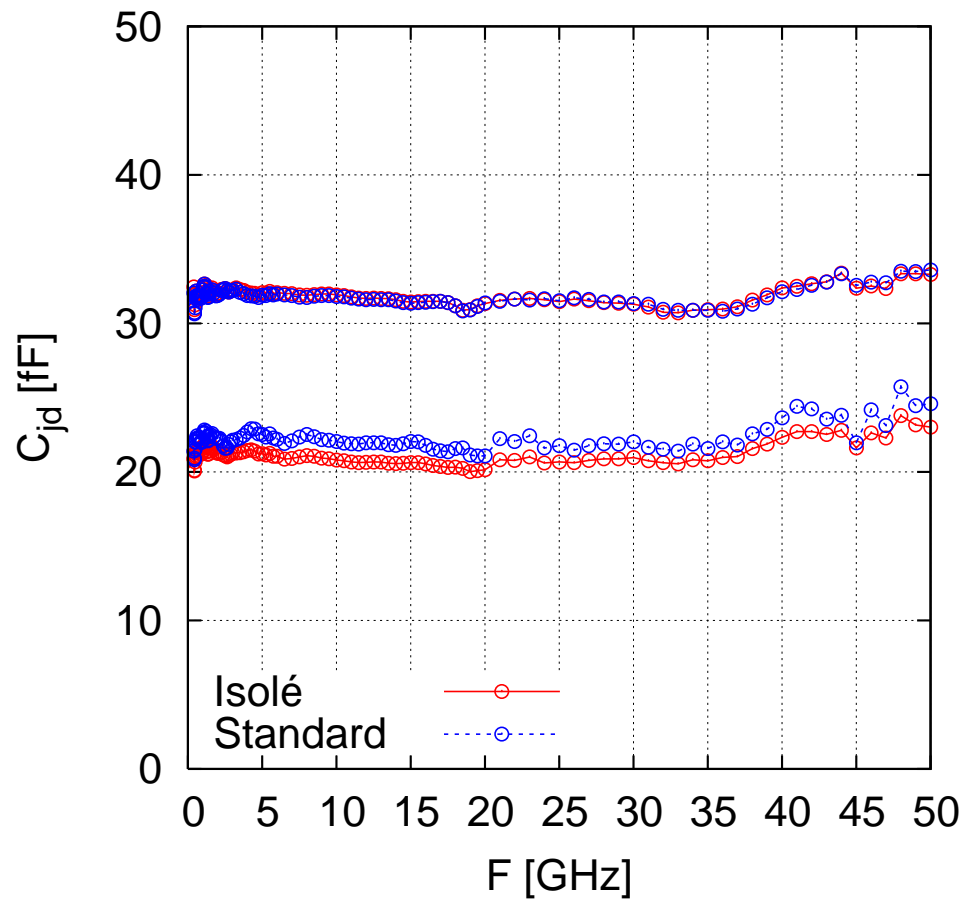
ACCES AU RESEAU SUBSTRAT: ETAPE 3 (2)

□ Technologie 130nm - Capacité C_{gb}



ACCES AU RESEAU SUBSTRAT: ETAPE 3 (2)

□ Technologie 130nm - Capacité C_{jd}



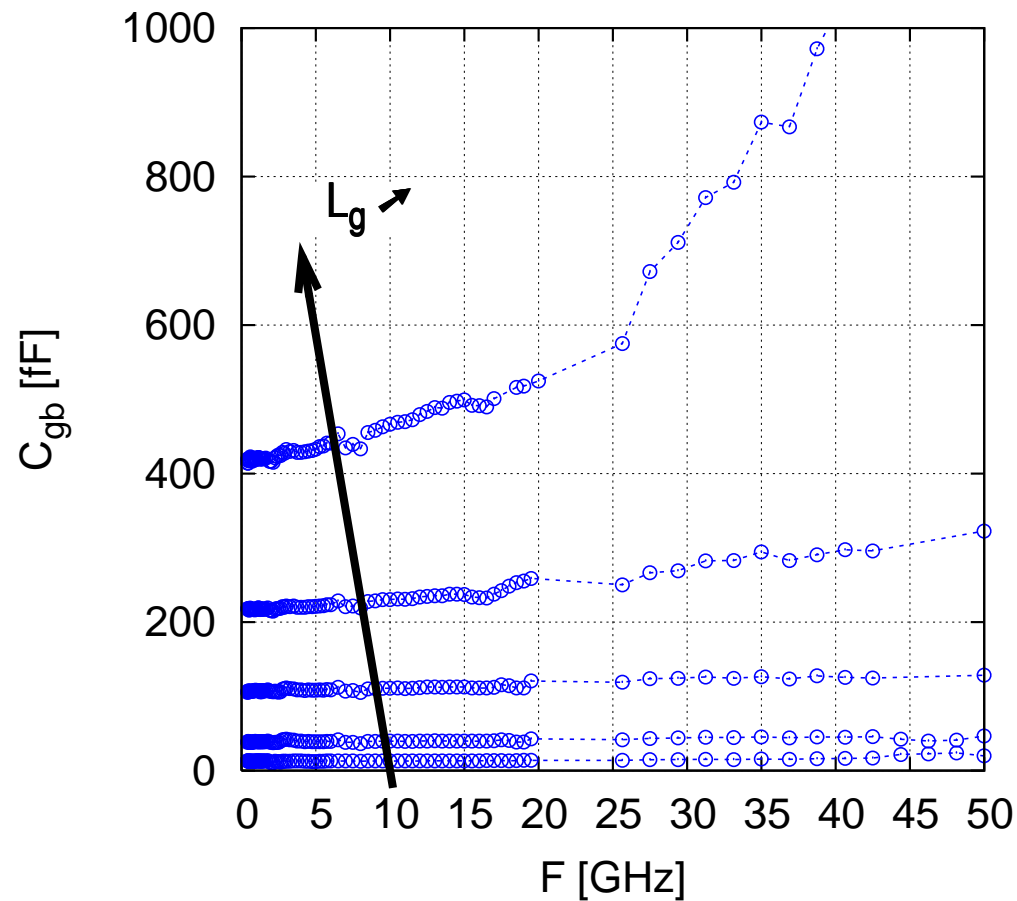
$L_g = 1 \mu\text{m}$,
 $N_{fing} = 1$

$L_g = 5 \mu\text{m}$,
 $N_{fing} = 2$

ACCES AU RESEAU SUBSTRAT: ETAPE 3 (2)

□ Technologie 65nm - Capacité C_{gb}

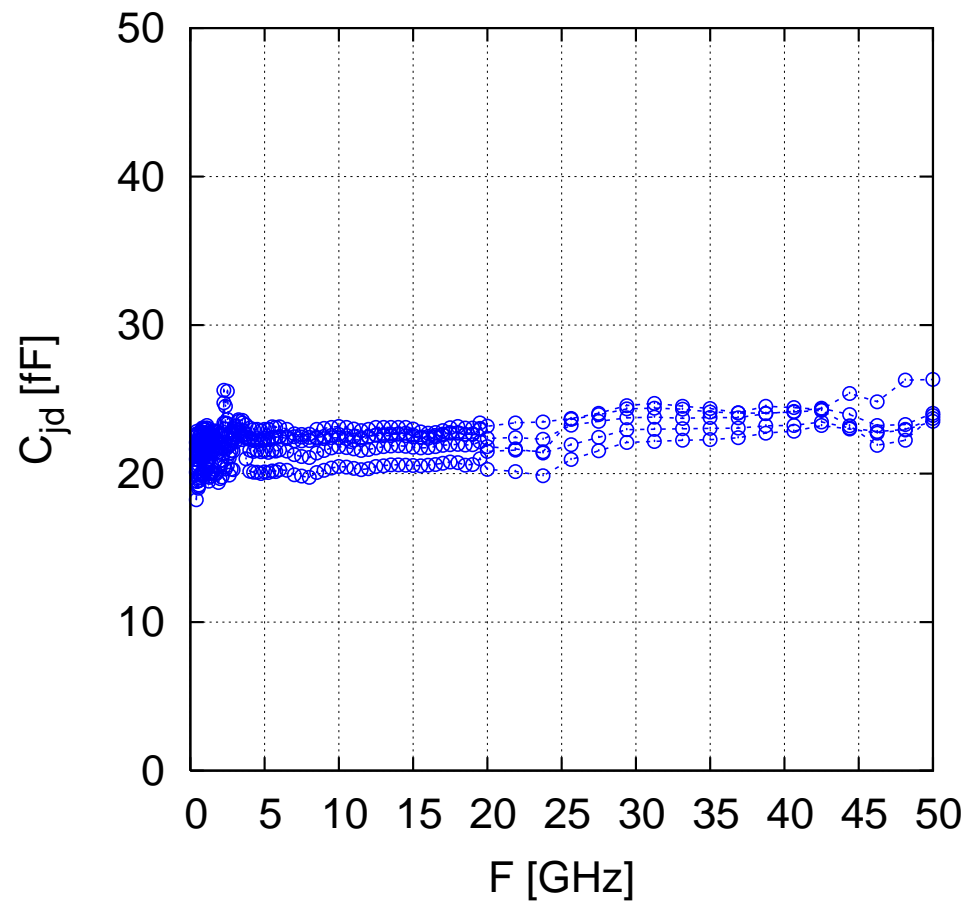
➤ Dispositifs isolés - prises caissons entourantes, $N_{fing} = 8$



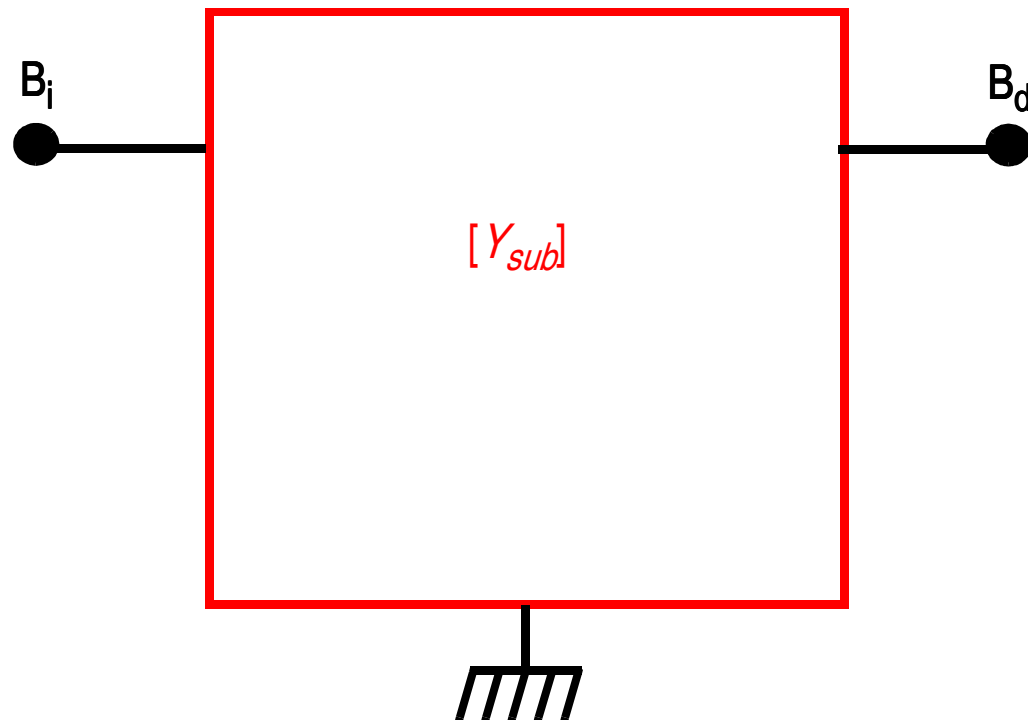
ACCES AU RESEAU SUBSTRAT: ETAPE 3 (2)

□ Technologie 65nm - Capacité C_{jd}

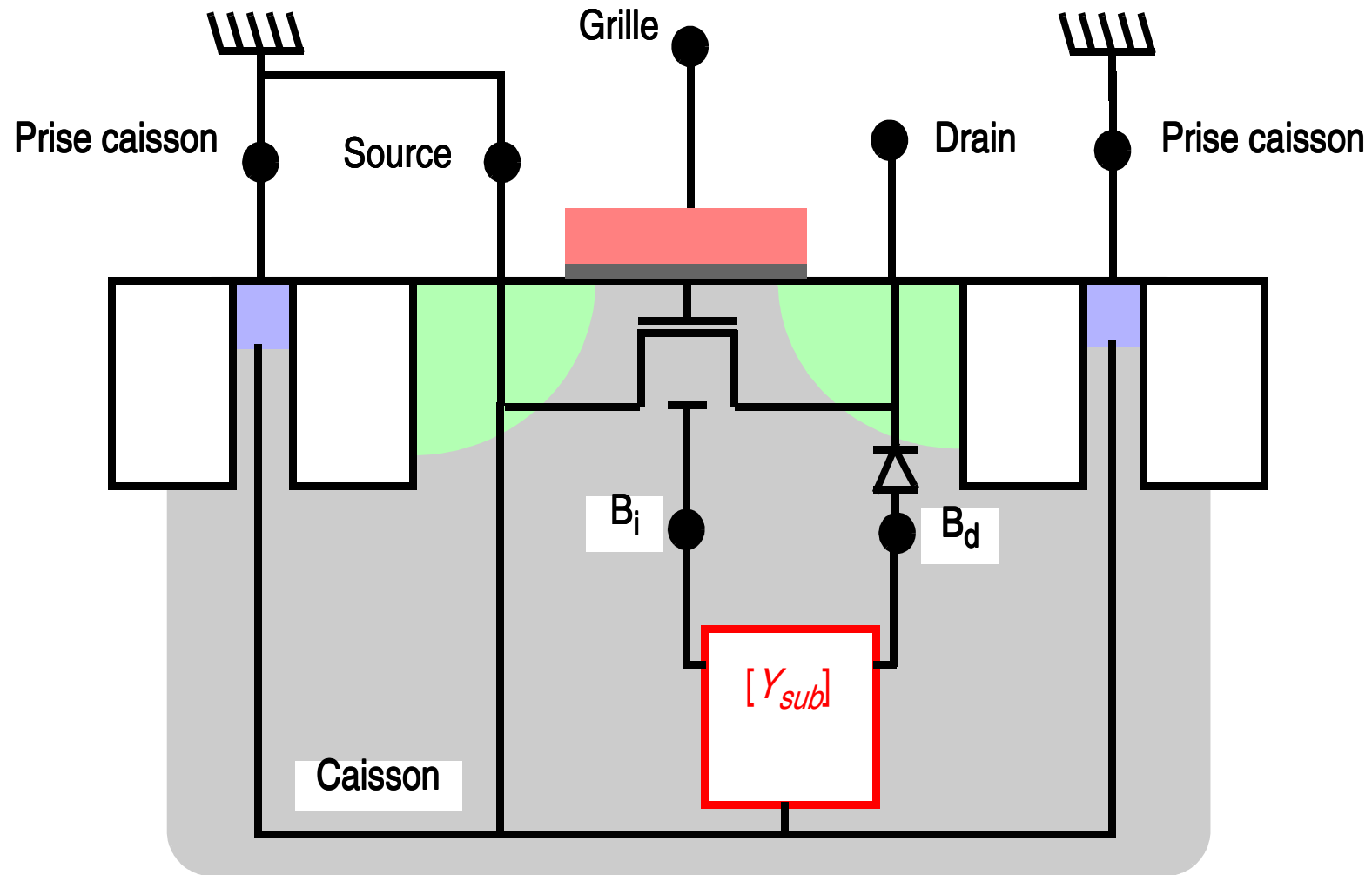
➤ Dispositifs isolés - prises caissons entourantes, $N_{\text{fing}} = 8$



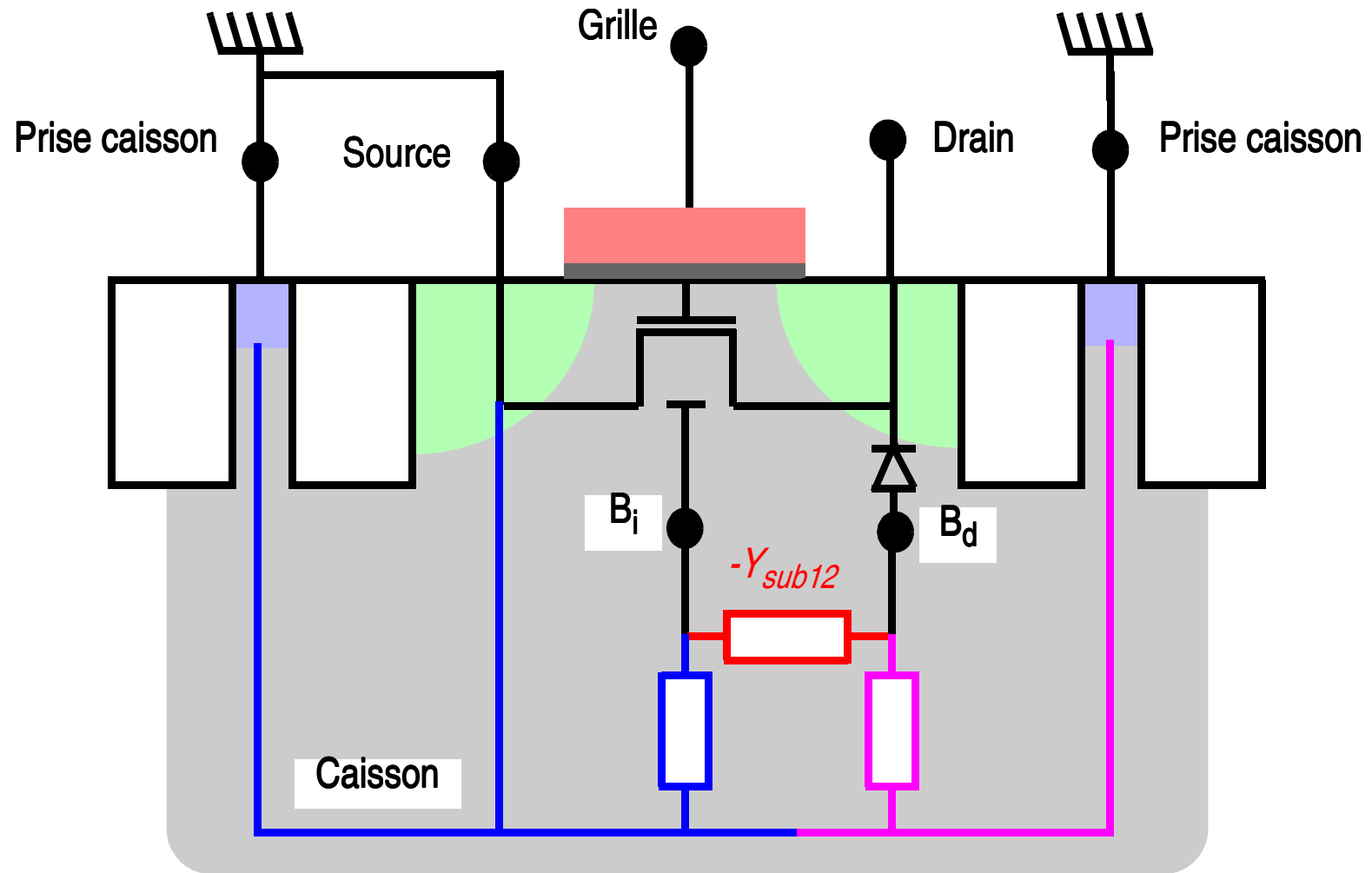
ANALYSE DE $[Y_{SUB}]$



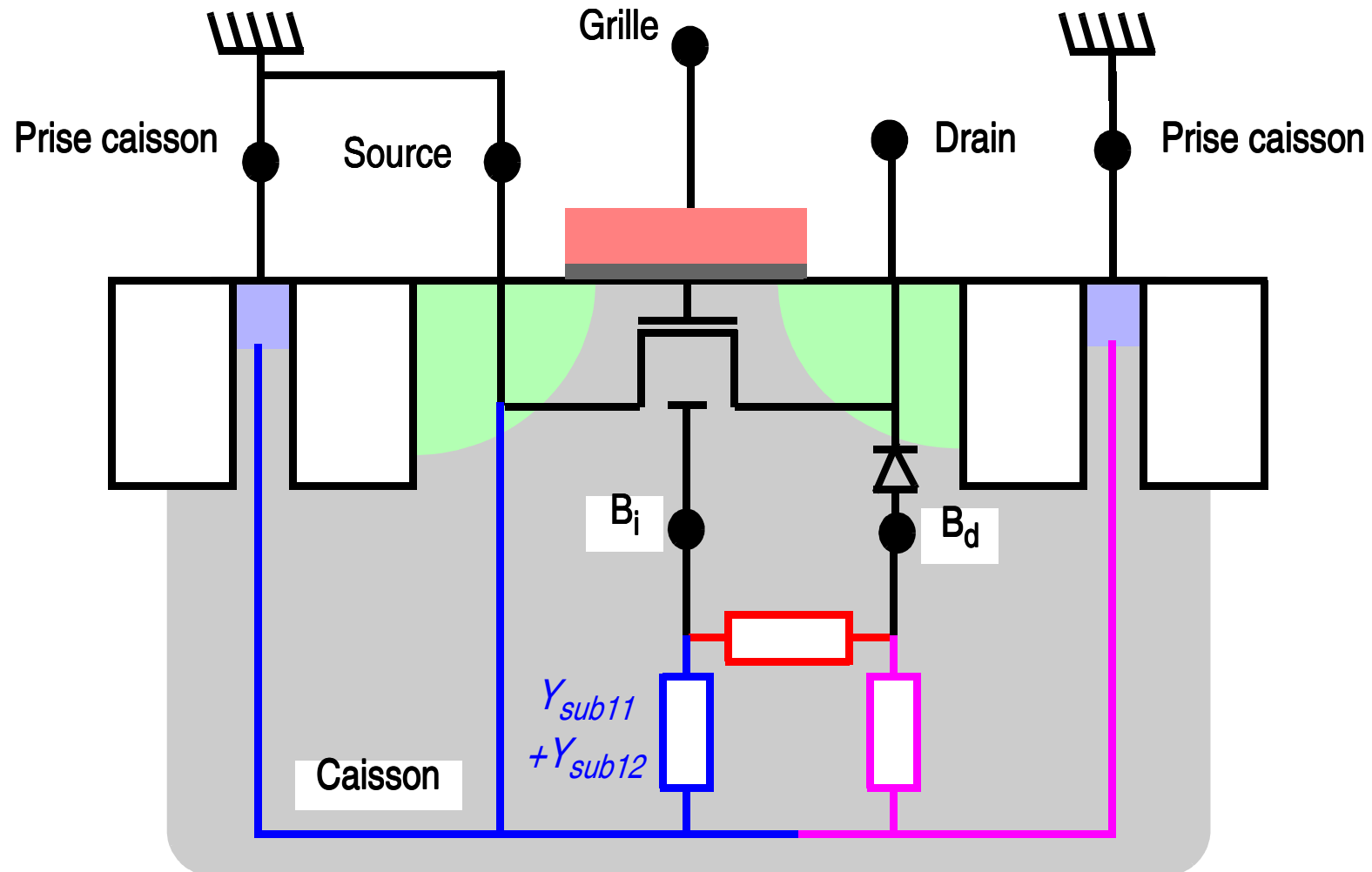
ANALYSE DE $[Y_{SUB}]$



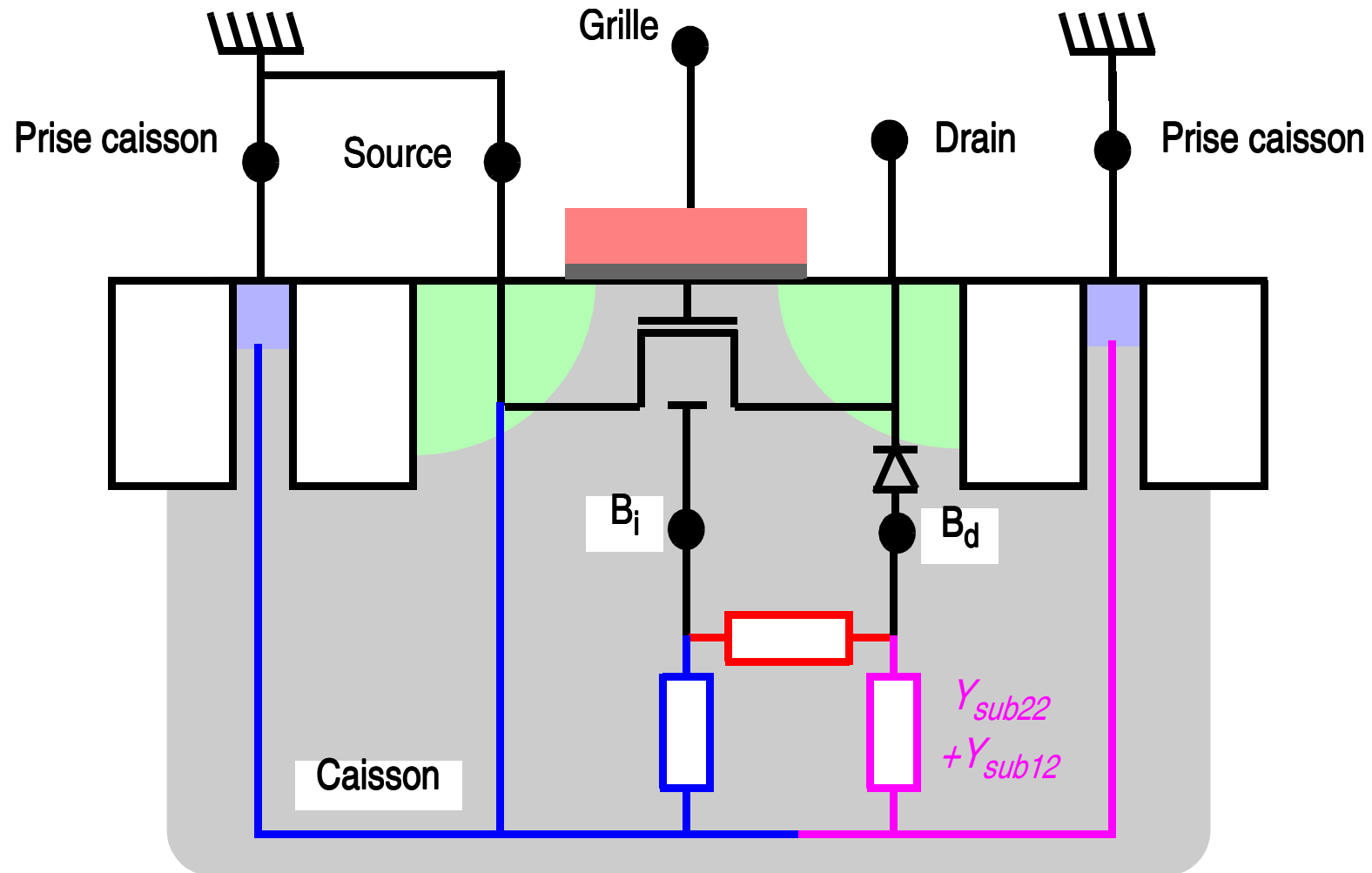
ANALYSE DE $[Y_{SUB}]$



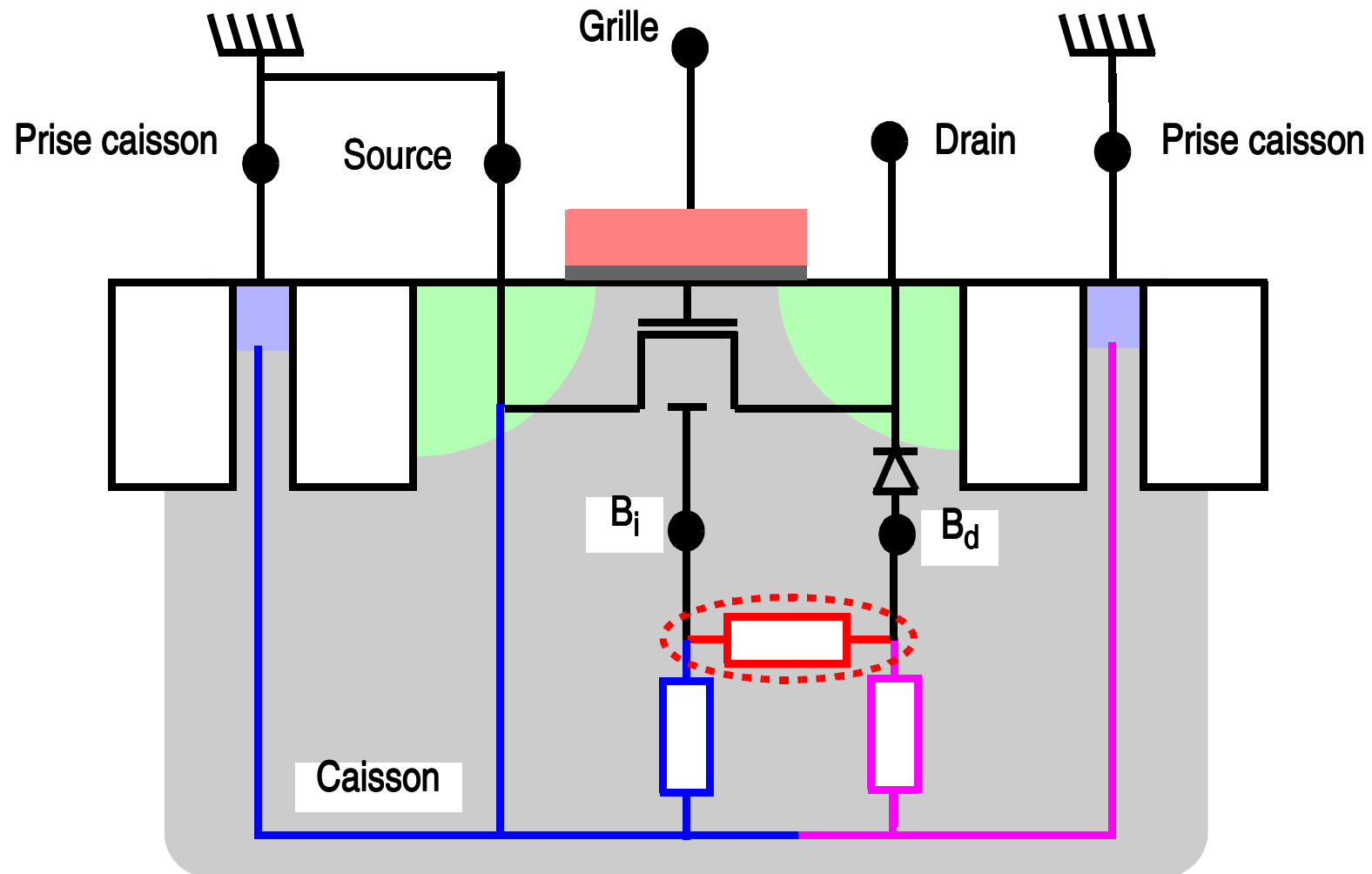
ANALYSE DE $[Y_{SUB}]$



ANALYSE DE $[Y_{SUB}]$

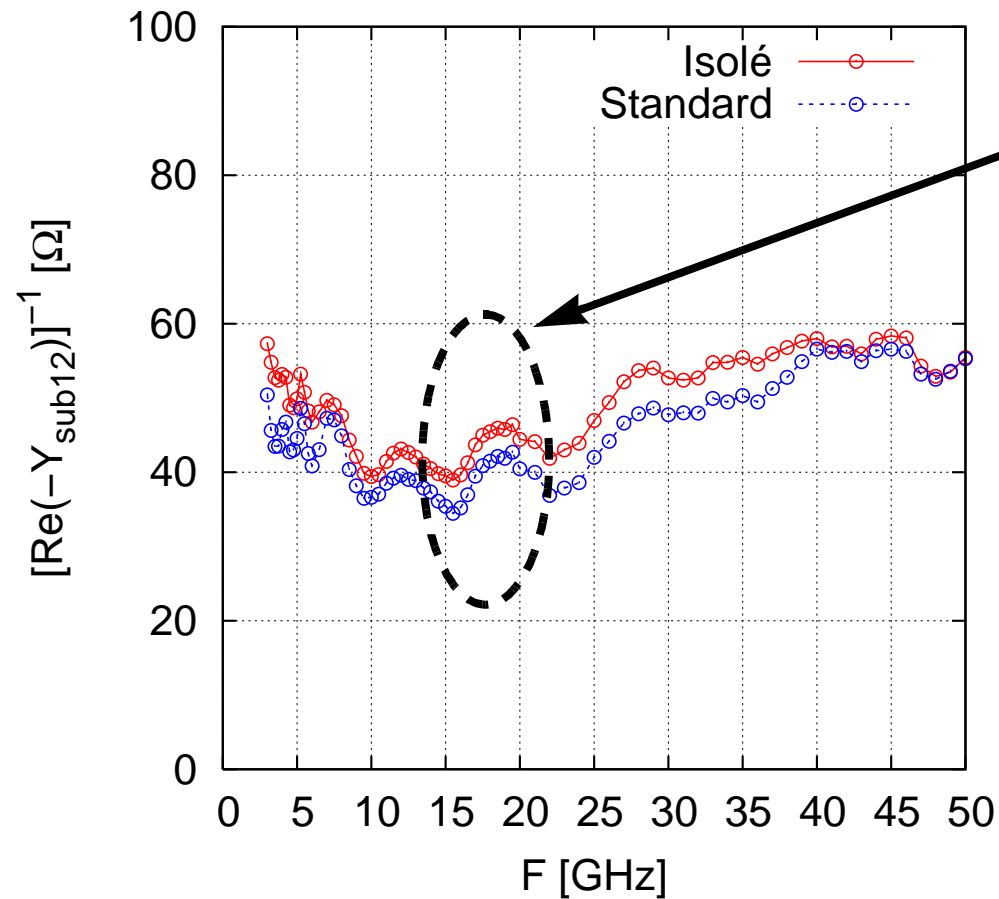


ANALYSE DE $[Y_{SUB}]$: $-Y_{SUB12}$



ANALYSE DE $[Y_{SUB}] : -Y_{SUB12} (2)$

□ $-Y_{sub12} \Leftrightarrow$ Chemin sous le canal entre source et drain= R_{wd}

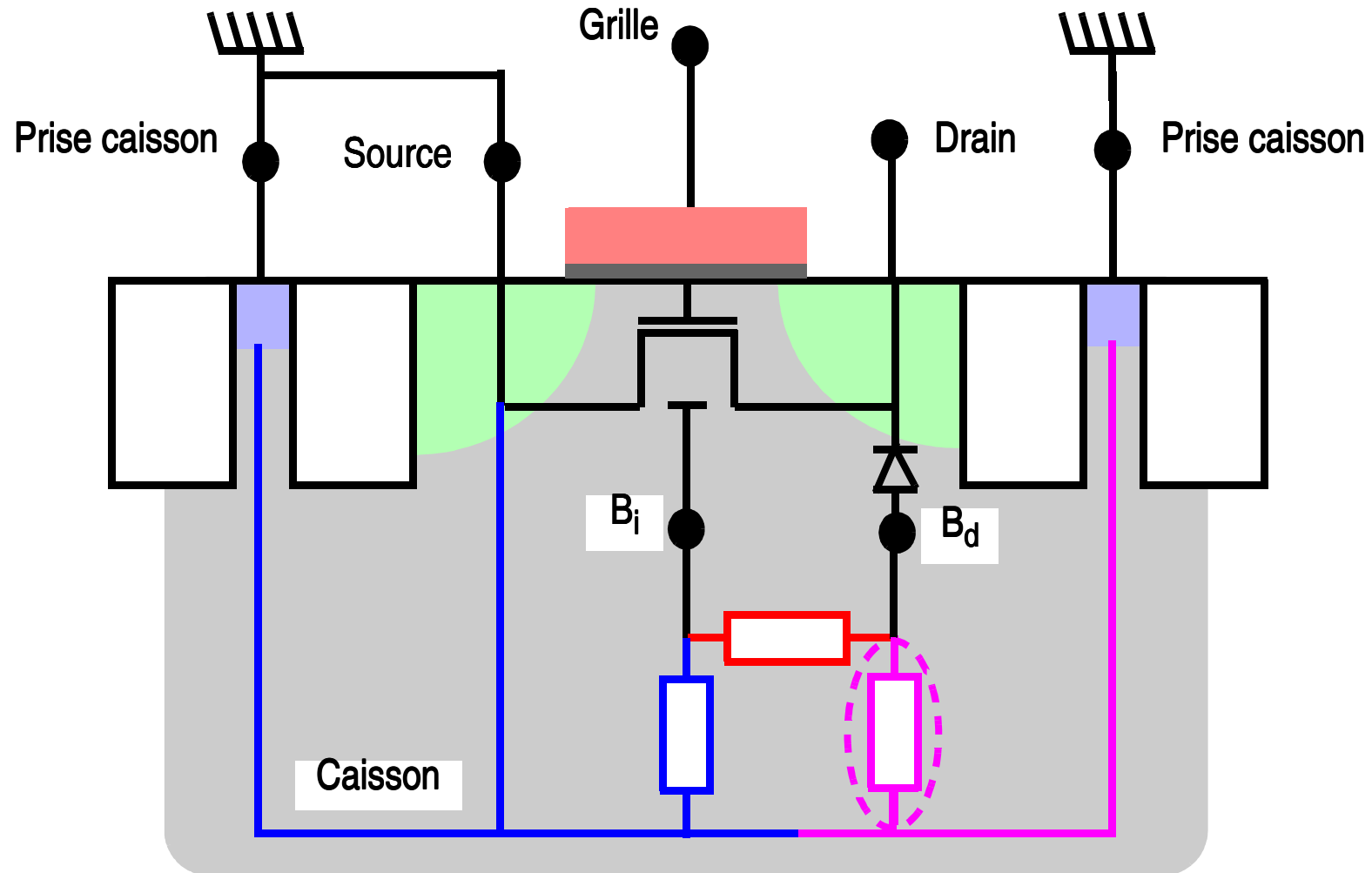


Caisson pincé par l'isolation
 $\Rightarrow R_{wd}$ plus élevée pour un
 dispositif isolé

Prise en compte de R_{wd}
 \Rightarrow Meilleur modèle en haute fréquence

R. T. Chang et al., IEEE TED, vol. 51-3, 2004.

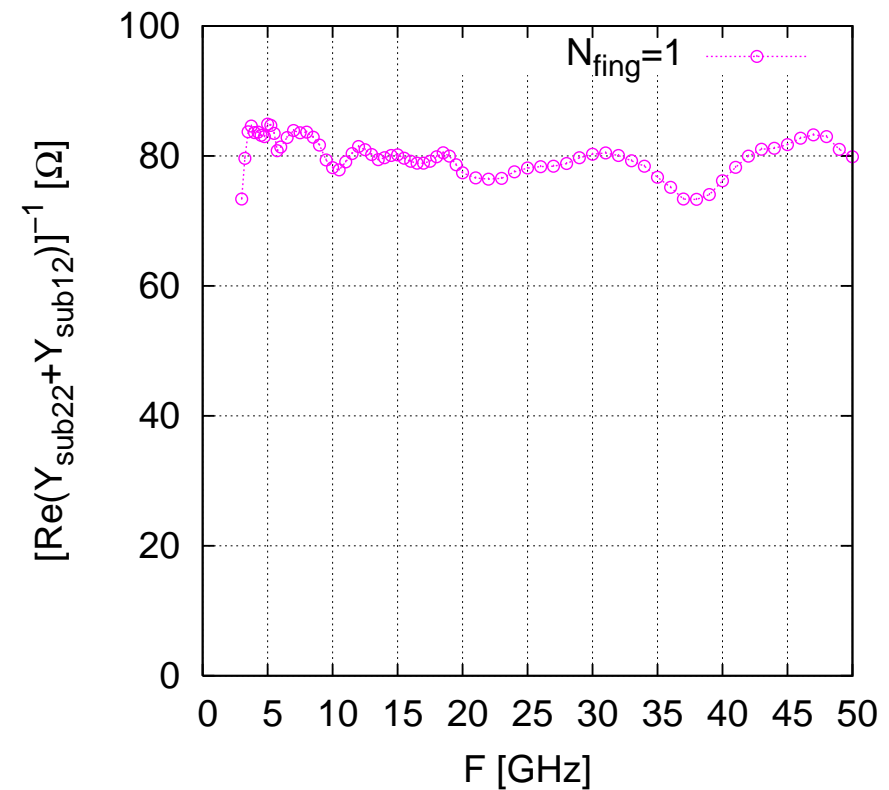
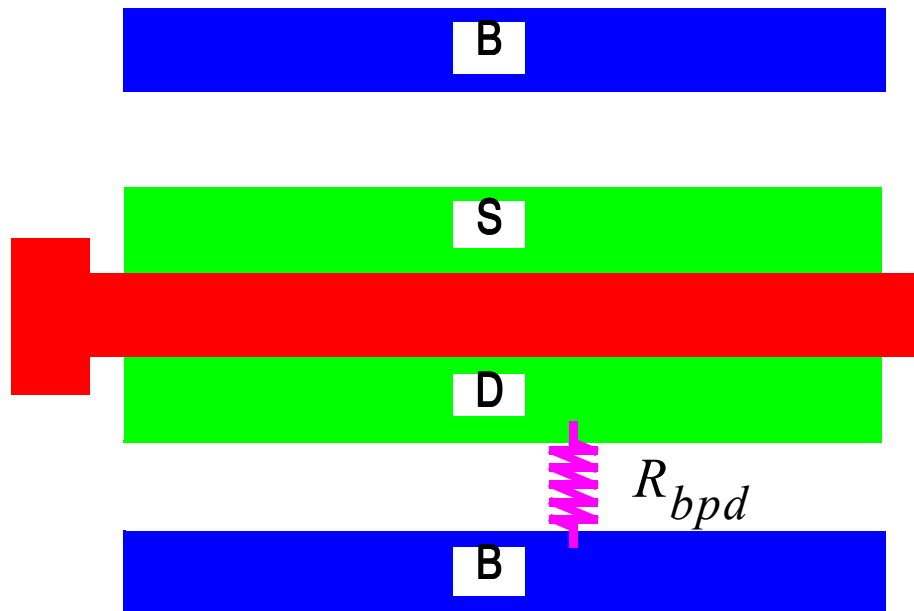
ANALYSE DE $[Y_{SUB}]$: $Y_{SUB22} + Y_{SUB12}$



ANALYSE DE $[Y_{\text{SUB}}]$: $Y_{\text{SUB22}} + Y_{\text{SUB12}}$ (2)

□ $Y_{\text{sub22}} + Y_{\text{sub12}} =$ Chemin entre la jonction drain et la prise caisson

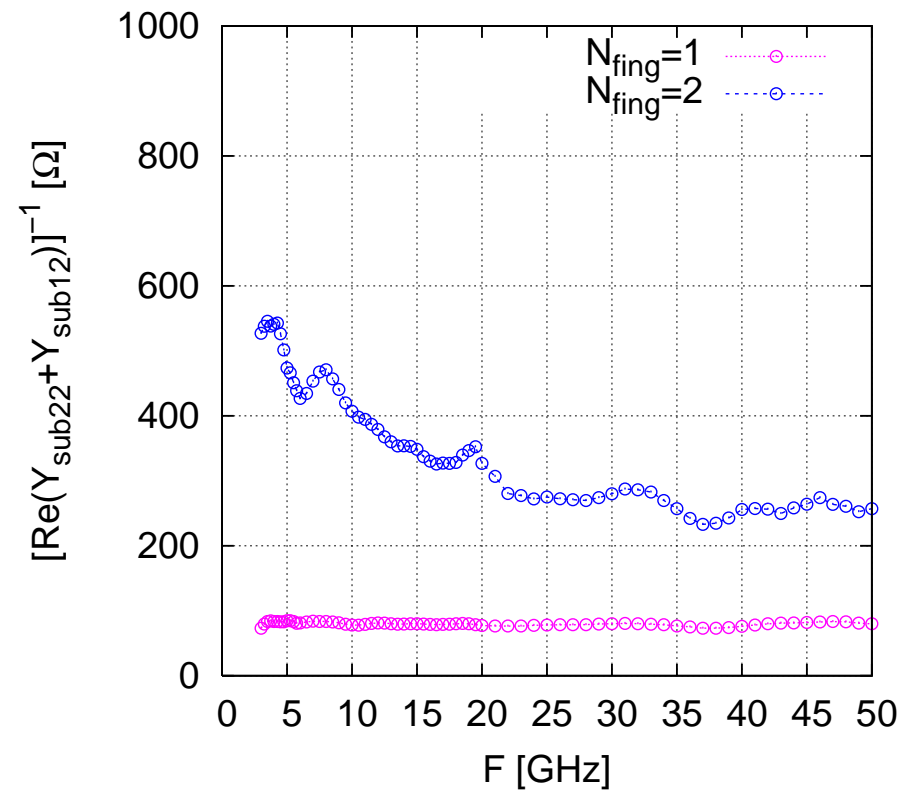
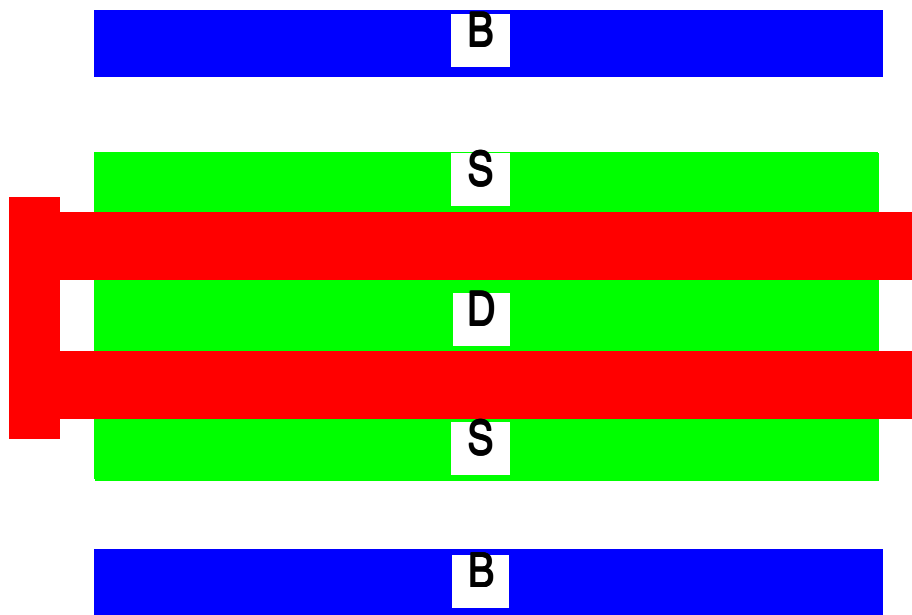
○ $N_{\text{fing}}=1$



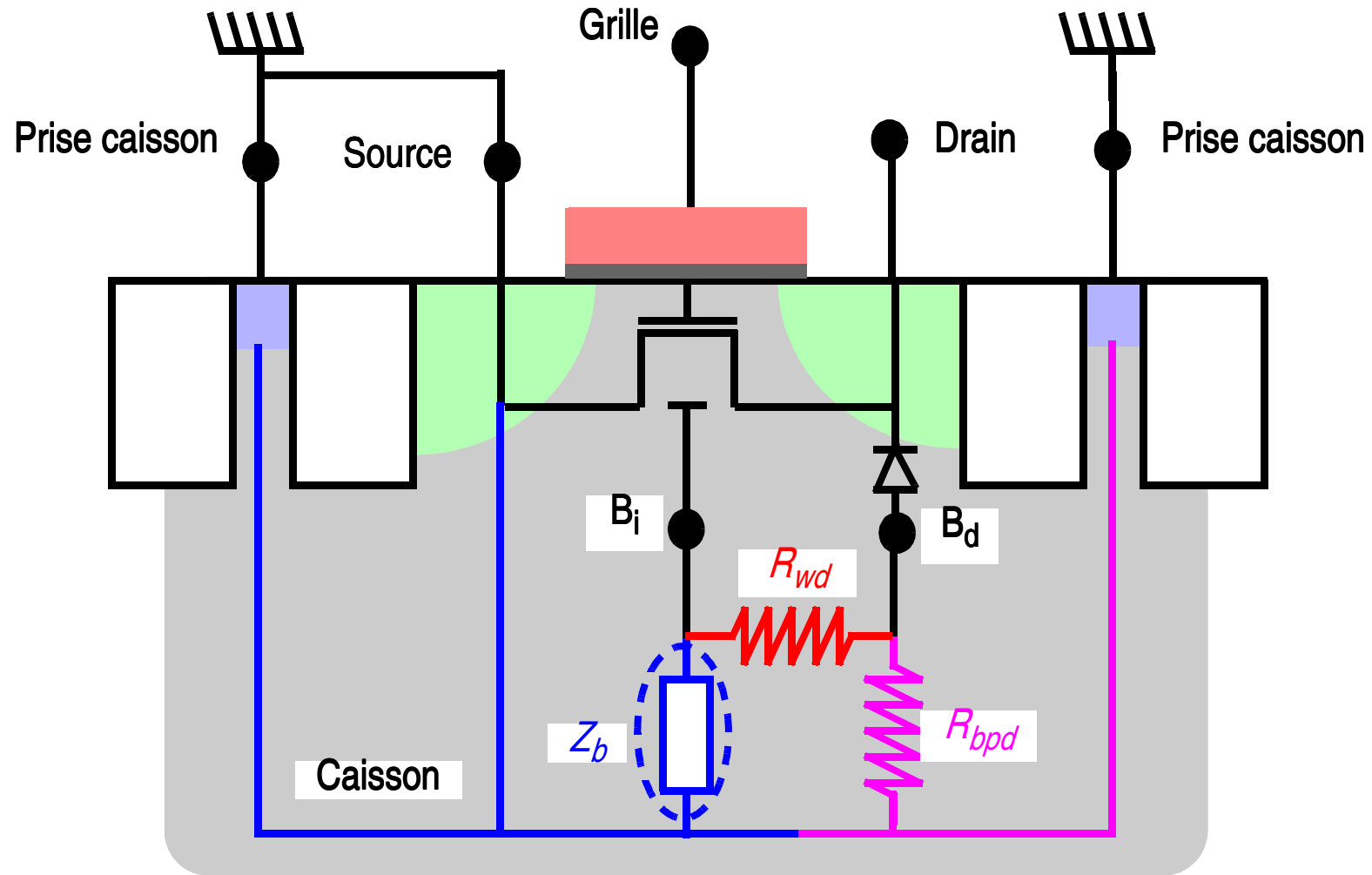
ANALYSE DE $[Y_{SUB}] : Y_{SUB22} + Y_{SUB12} (2)$

□ $Y_{sub22} + Y_{sub12} =$ Chemin entre la jonction drain et la prise caisson

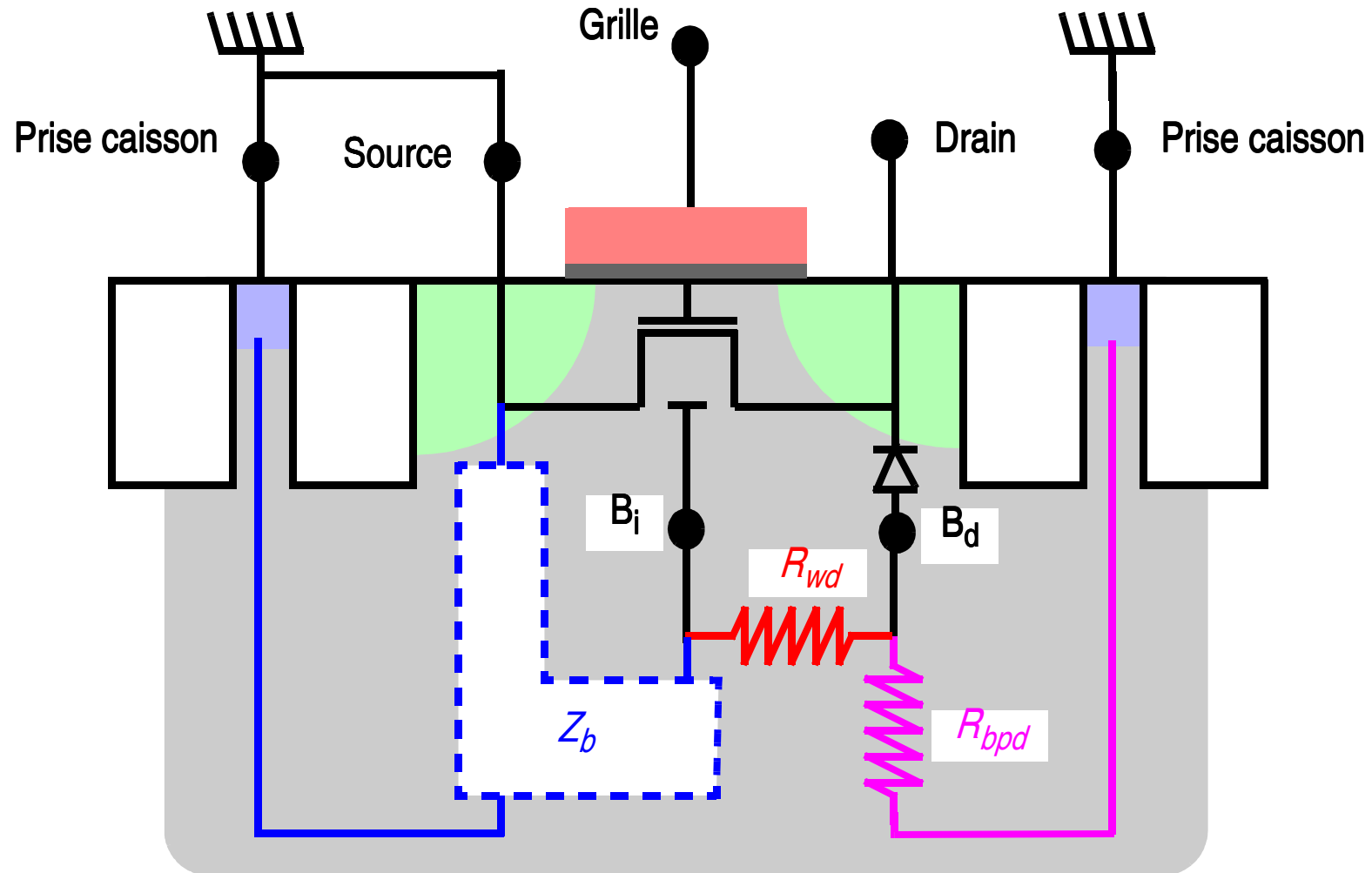
○ $N_{fing}=2$



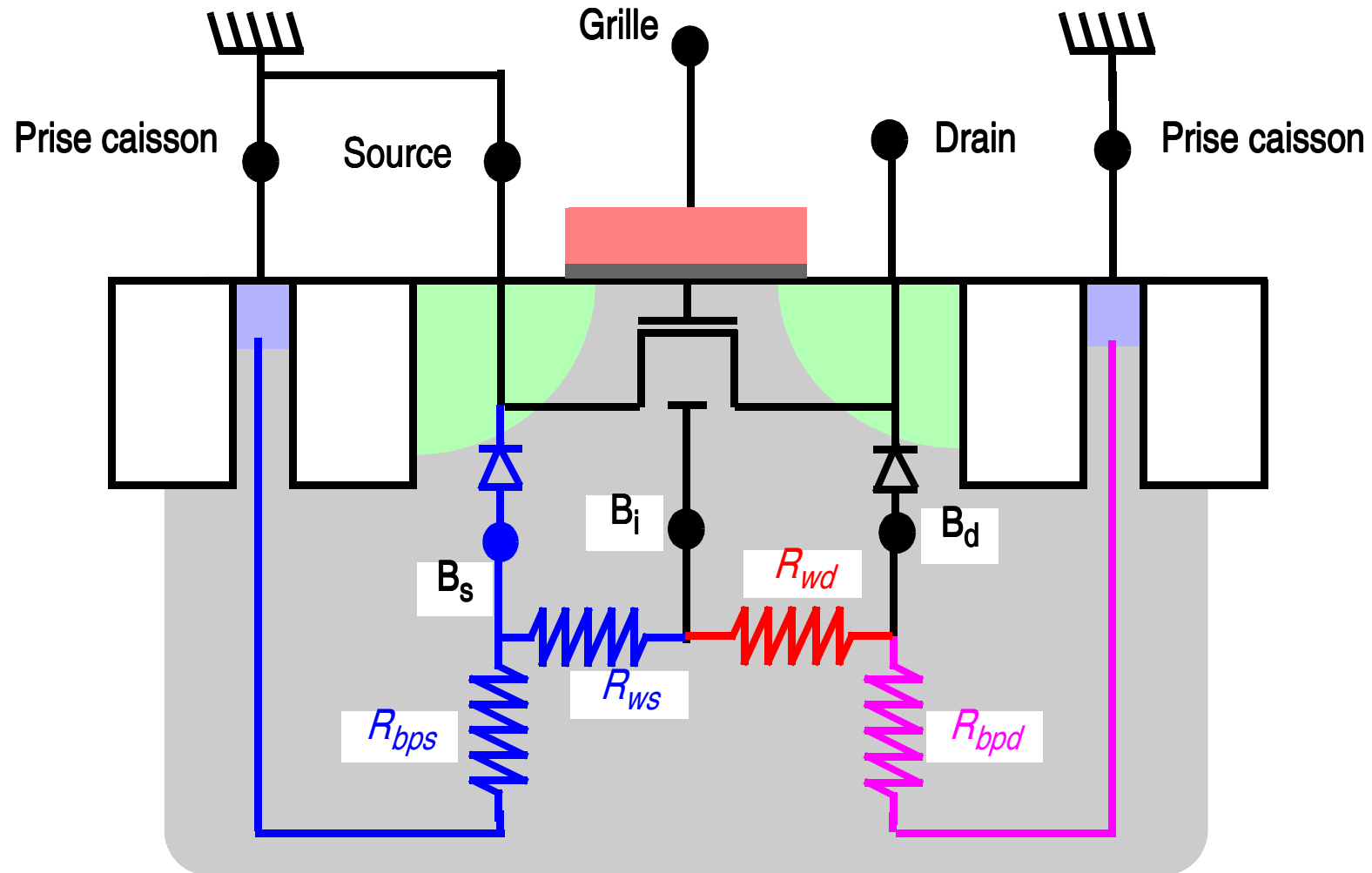
ANALYSE DE $[Y_{SUB}] : Y_{SUB11} + Y_{SUB12} (1)$



ANALYSE DE $[Y_{SUB}]$: $Y_{SUB11} + Y_{SUB12}$ (1)

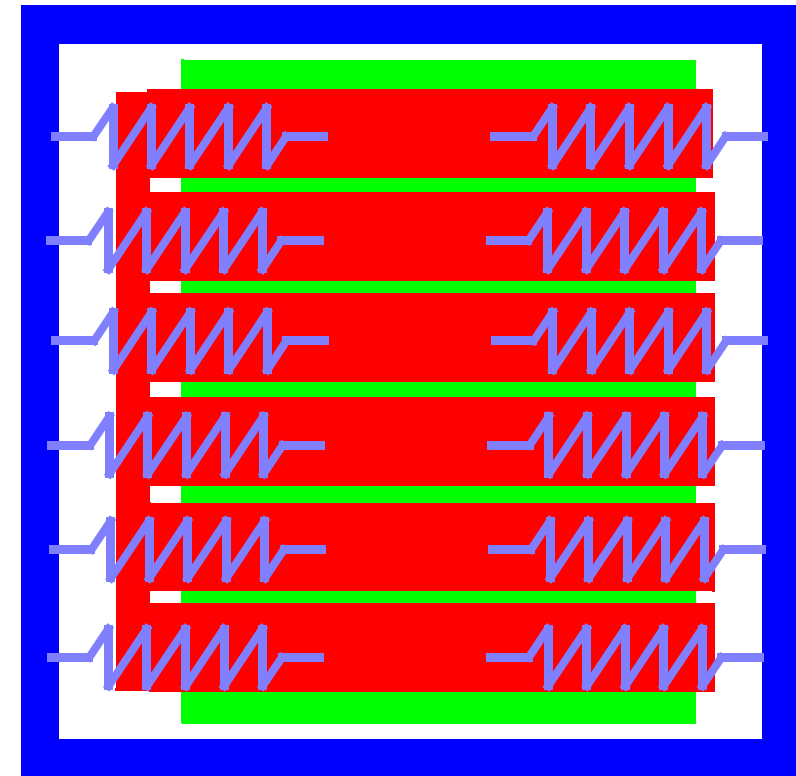
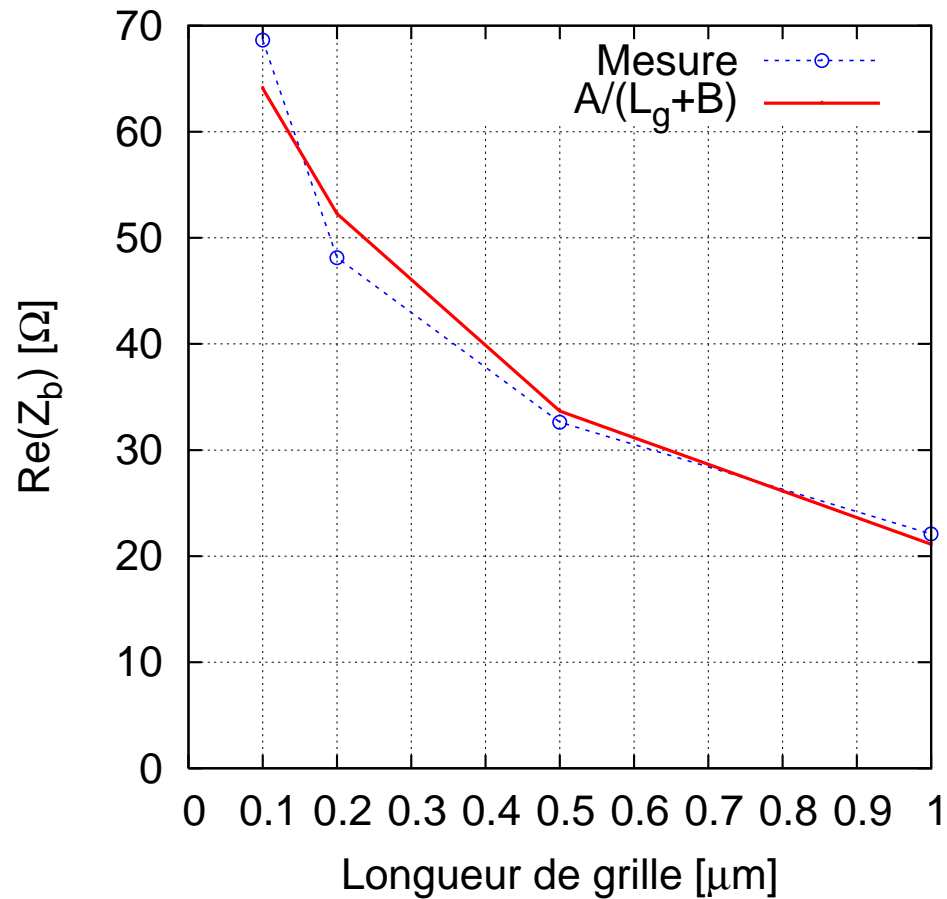


ANALYSE DE $[Y_{SUB}] : Y_{SUB11} + Y_{SUB12} (1)$



ANALYSE DE $[Y_{SUB}] : Y_{SUB11} + Y_{SUB12} (2)$

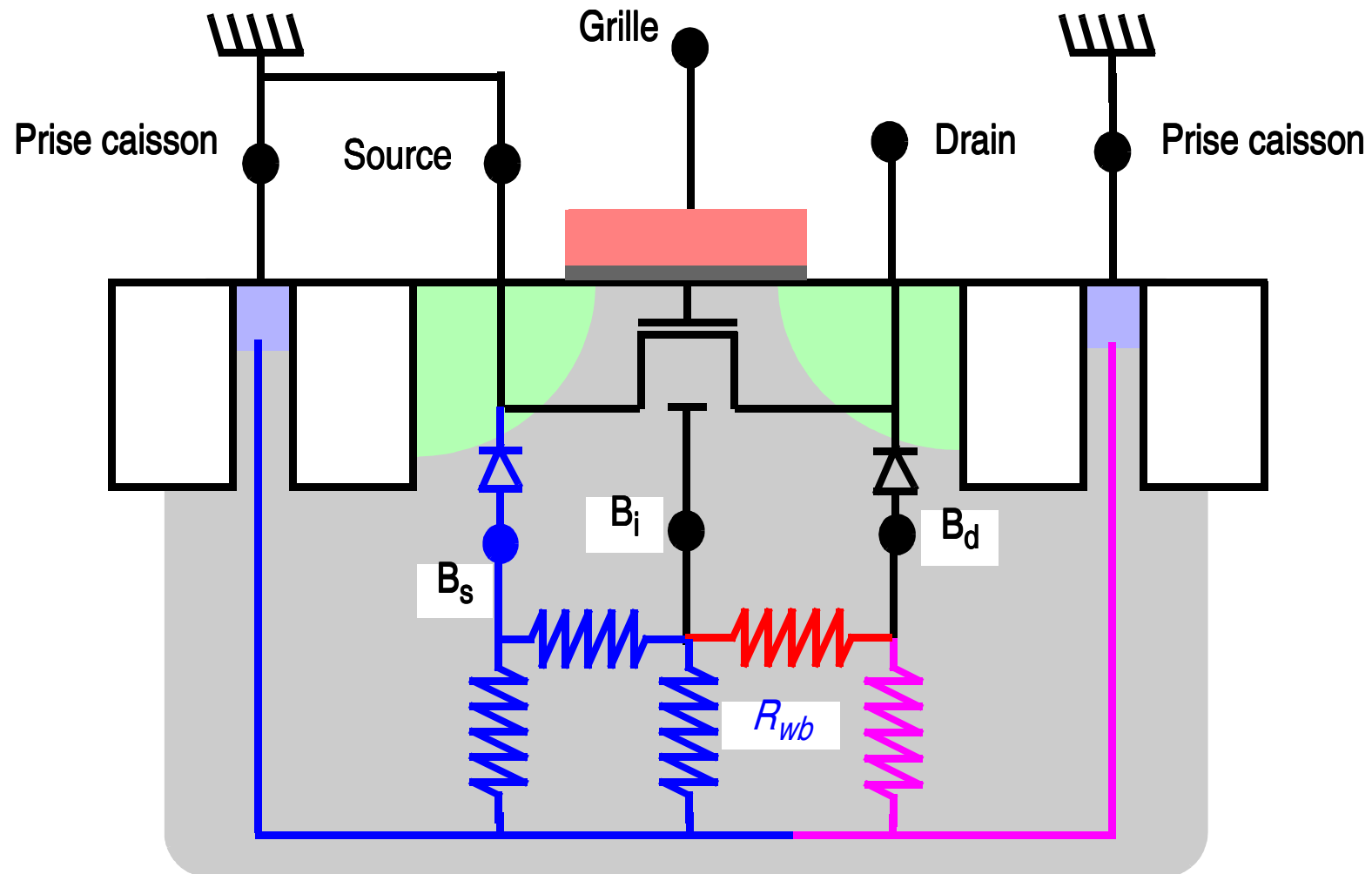
□ Effet d'une prise caisson entourante : chemin le long des doigts de grille



$$A = 28.3 \Omega \cdot \mu\text{m} ; B = 0.34 \mu\text{m}$$

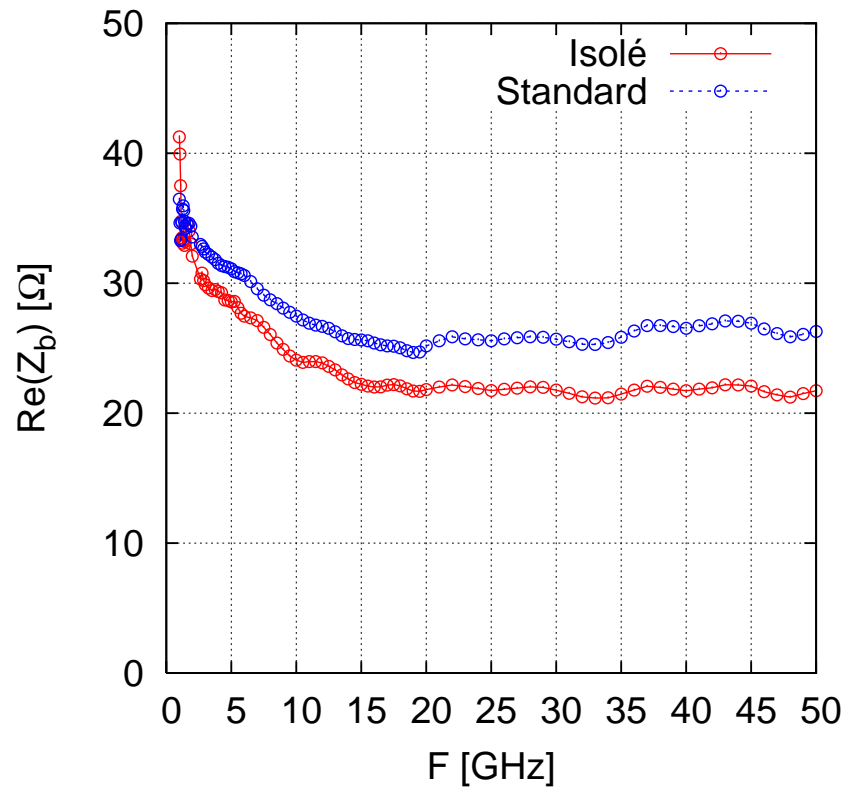
Technologie 65 nm

ANALYSE DE $[Y_{SUB}]$: $Y_{SUB11} + Y_{SUB12}$ (1)

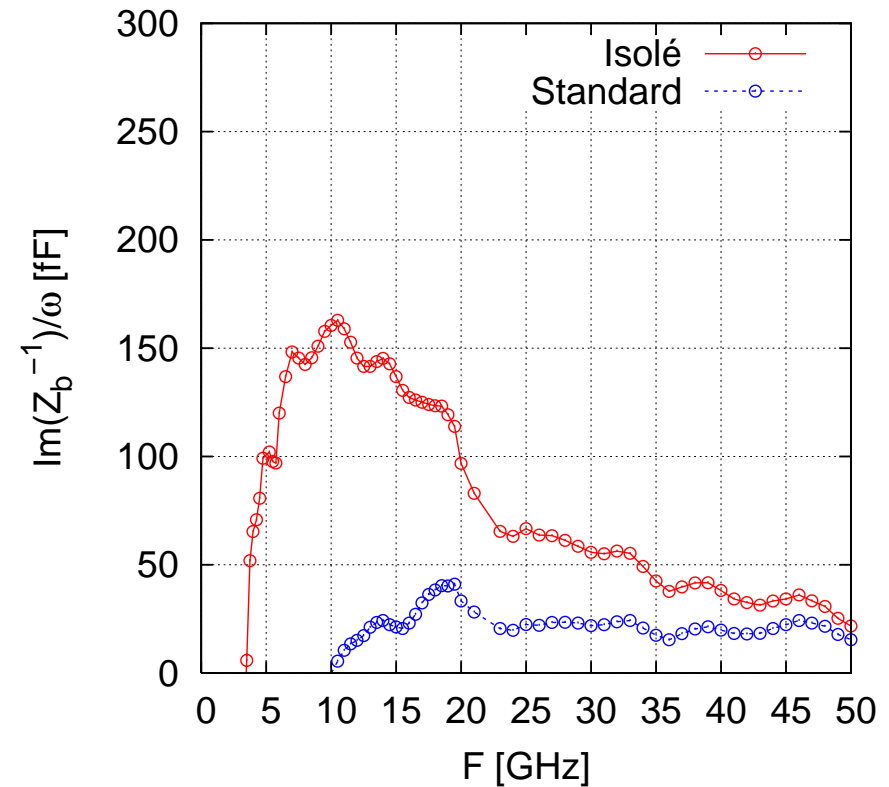


ANALYSE DE $[Y_{SUB}]$: $Y_{SUB11} + Y_{SUB12}$ (2)

□ Effet d'une couche d'isolation



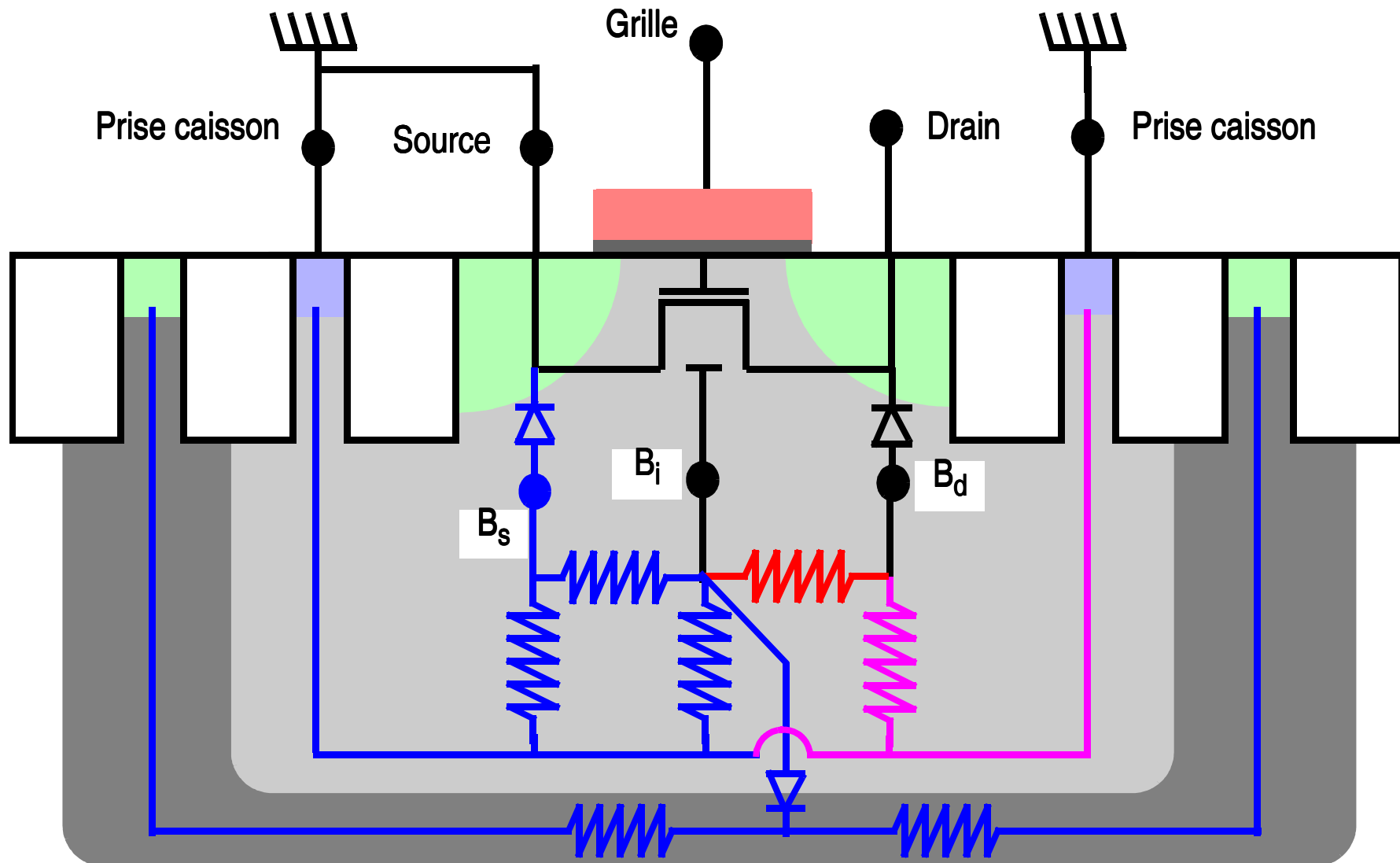
$Re(Z_b)$



$(-Im(1/Z_b))/\omega$

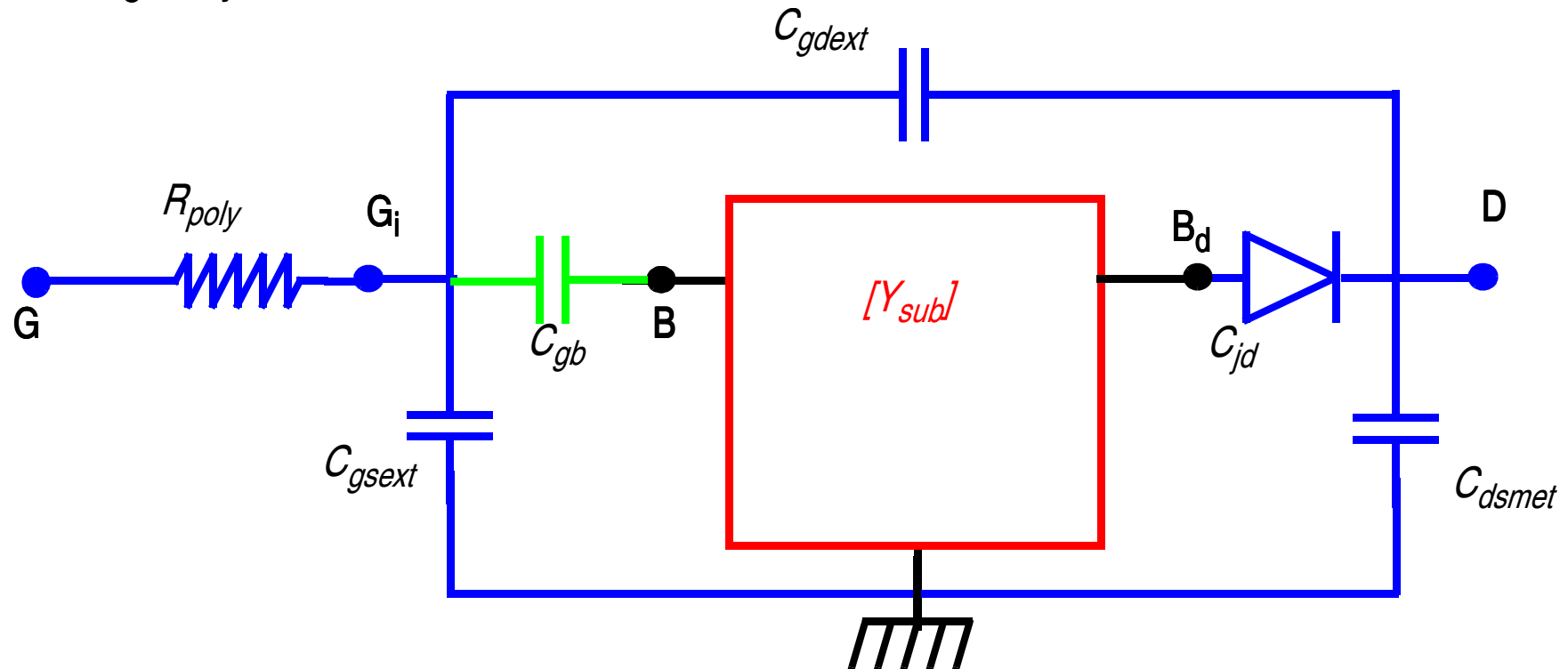
Technologie 130 nm, $V_{GS} = 0$, $V_{DS} = 0.6$ V

ANALYSE DE $[Y_{SUB}] : Y_{SUB11} + Y_{SUB12} (1)$



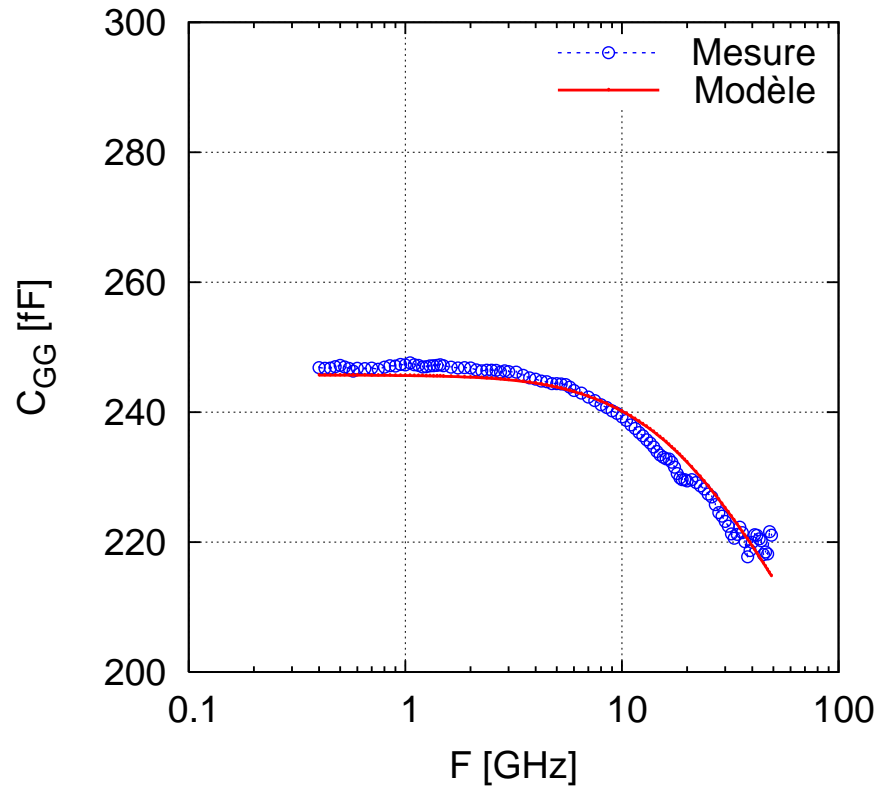
SIMULATION AVEC LE MODELE EXTRAIT

- C_{gb} , C_{jd} et les parasites sont rajoutés autour du modèle de $[Y_{SUB}]$



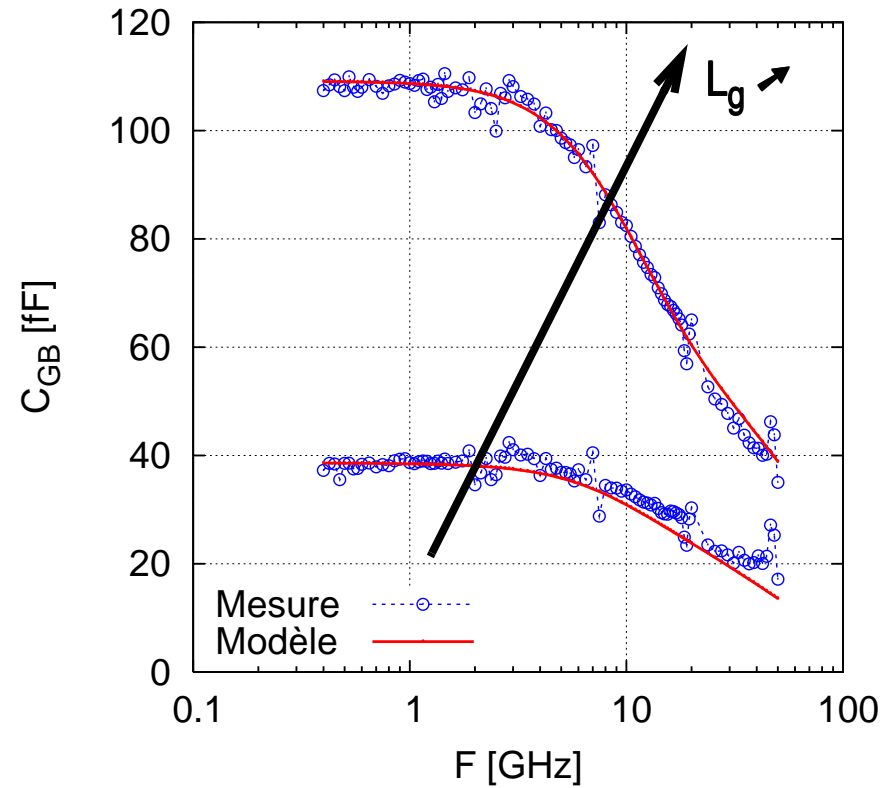
- Mesures observées : capacités totales
 - Incluent un chemin à travers le réseau substrat

RESULTATS SUR C_{GG}



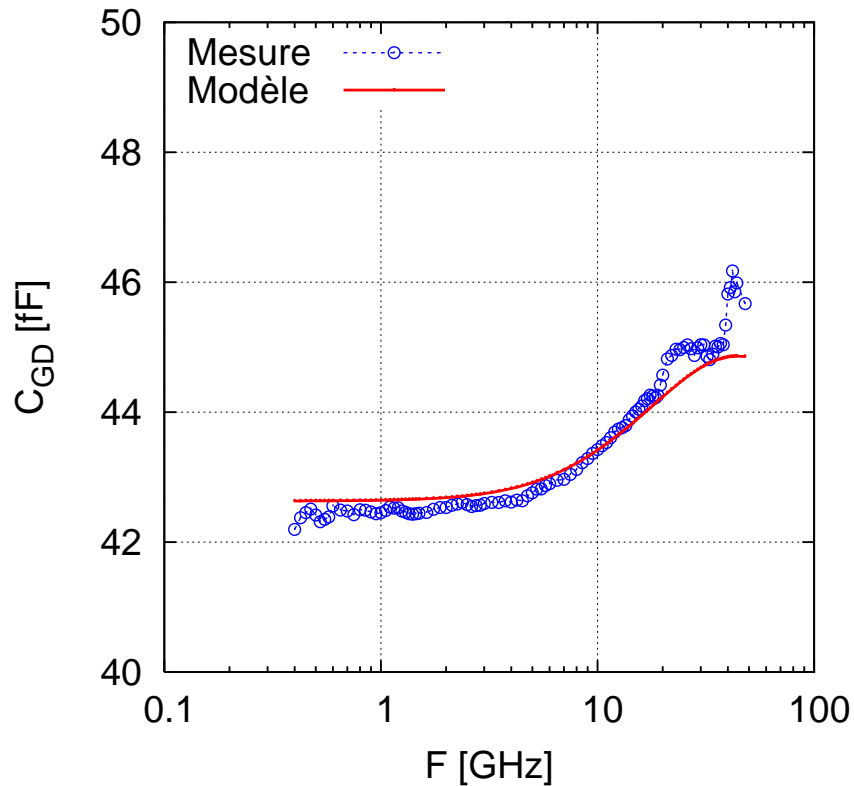
Technologie 130nm

130nm : $L_g=1.0\mu\text{m}$, $N_f=1$, isolé, $V_{GS}=V_{DS}=0$
 65nm : $L_g=0.2\mu\text{m}\&0.5\mu\text{m}$, $N_f=8$, isolé, $V_{GS}=0$, $V_{DS}=0.6$

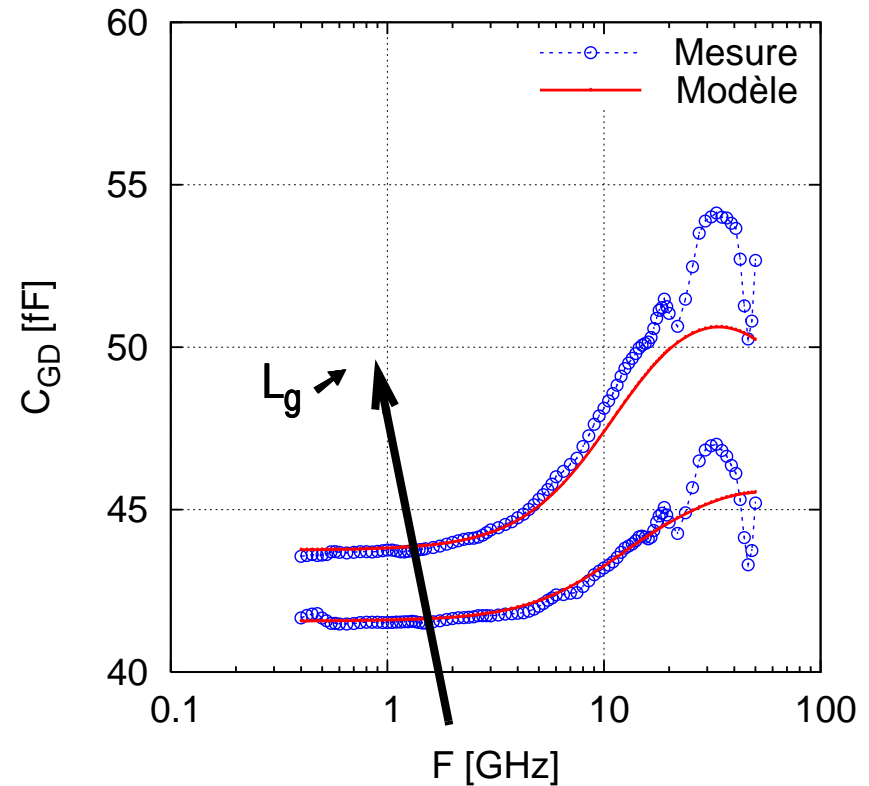


Technologie 65nm

RESULTATS SUR C_{GD}



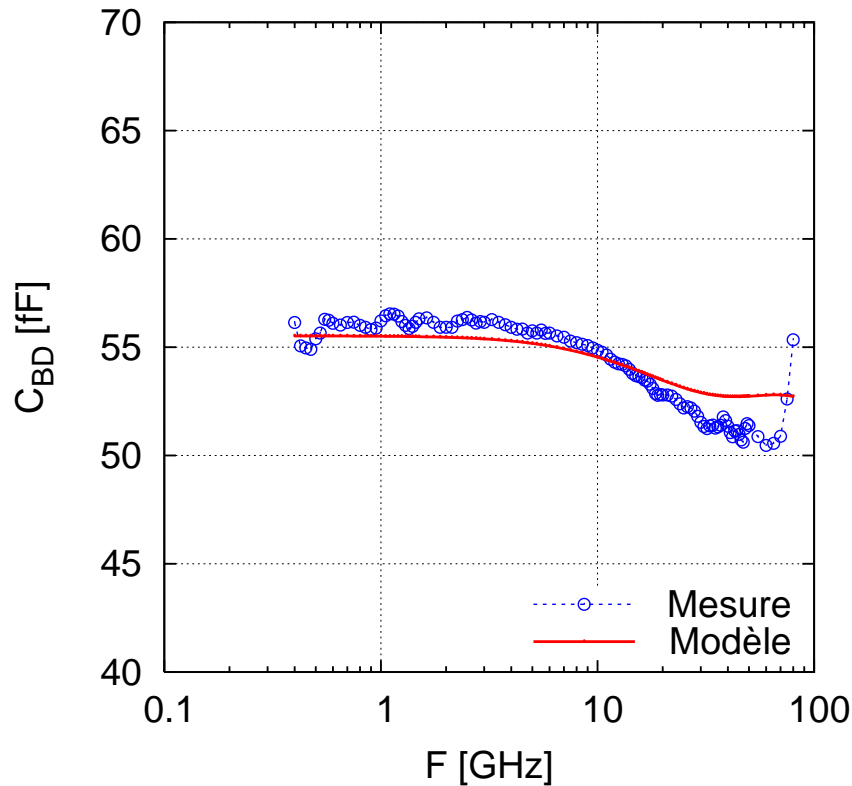
Technologie 130nm



Technologie 65nm

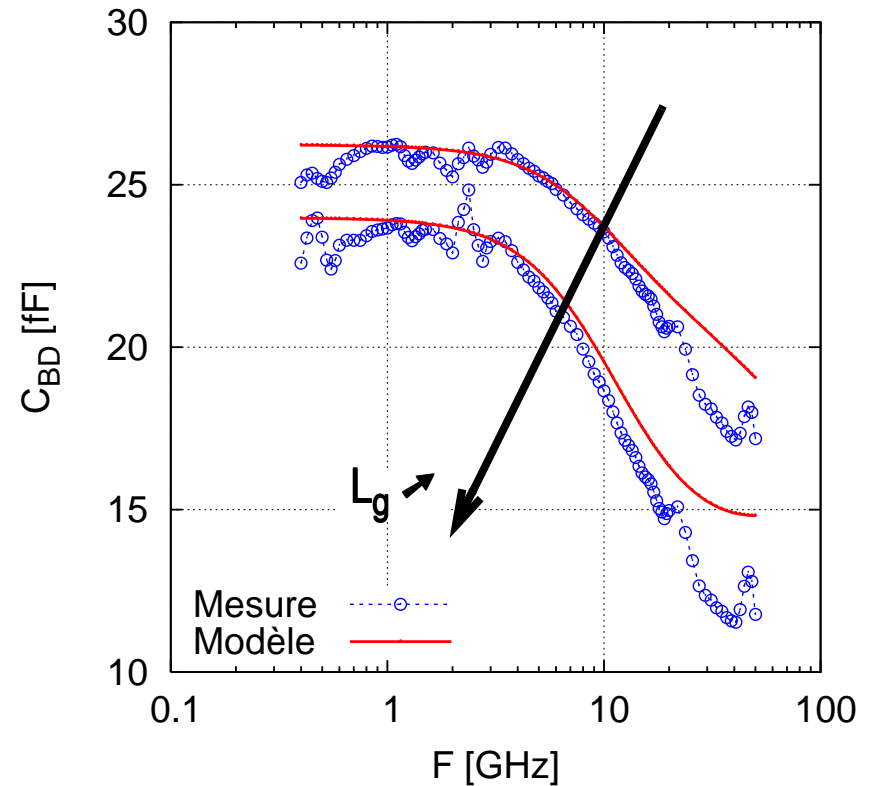
130nm : $L_g=1.0\mu\text{m}$, $N_f=1$, isolé, $V_{GS}=V_{DS}=0$
 65nm : $L_g=0.2\mu\text{m}\&0.5\mu\text{m}$, $N_f=8$, isolé, $V_{GS}=0$, $V_{DS}=0.6$

RESULTATS SUR C_{BD}



Technologie 130nm

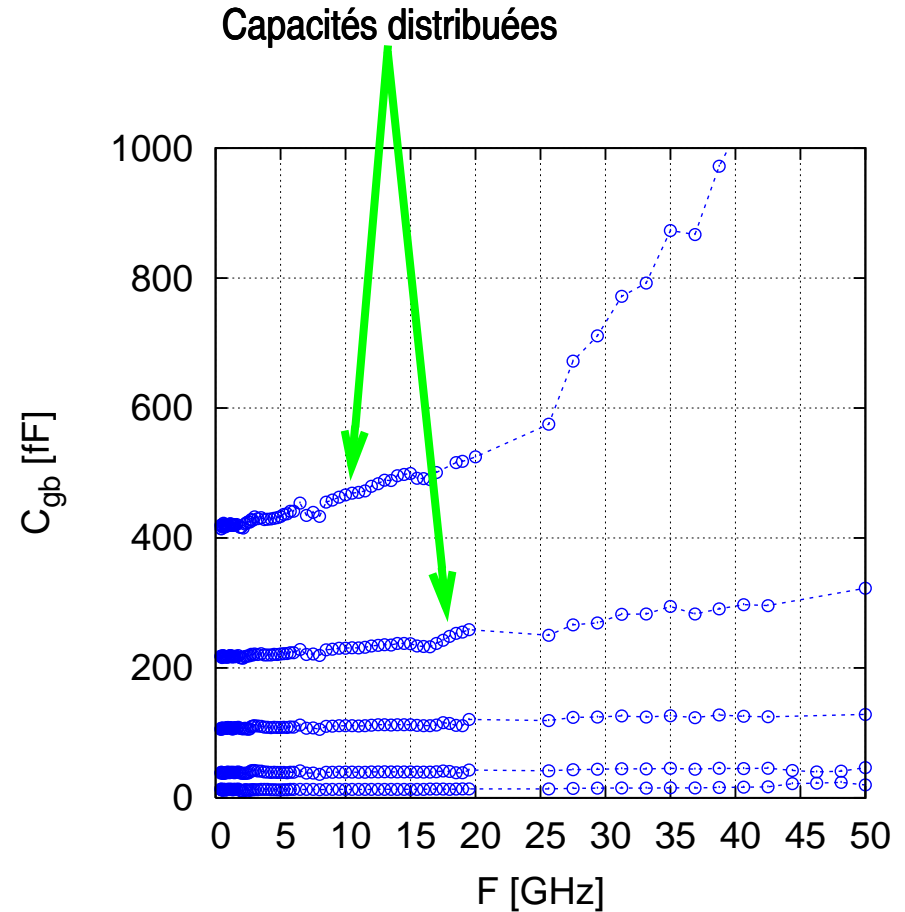
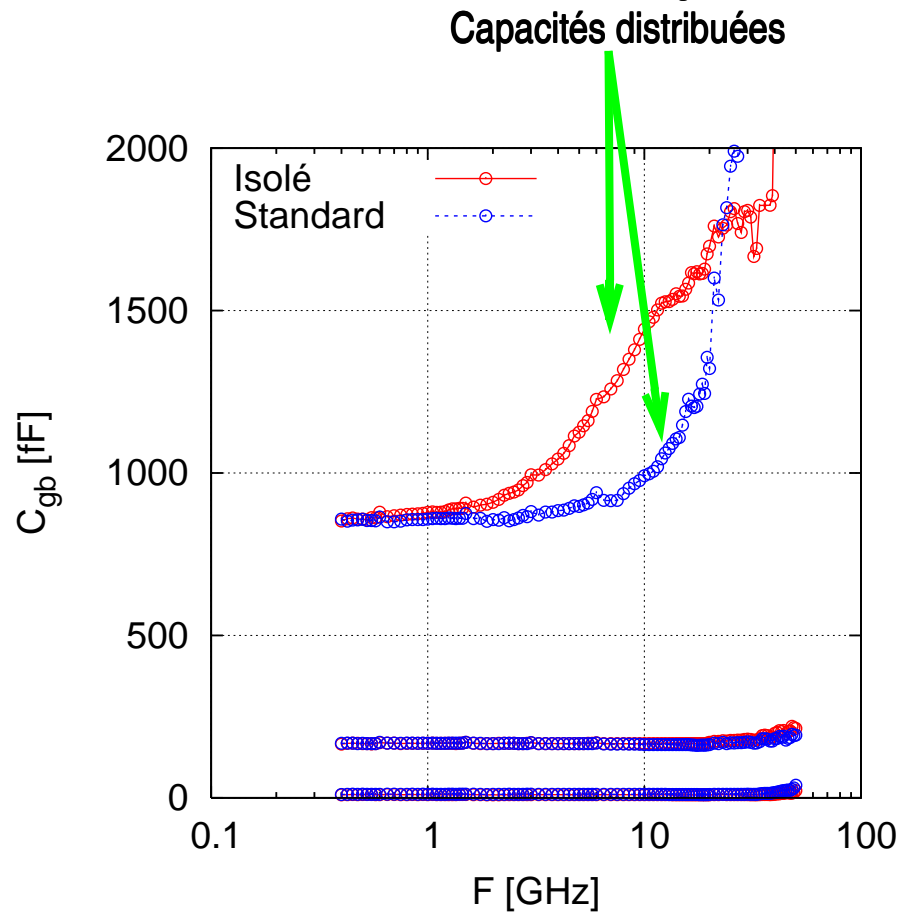
130nm : $L_g=1.0\mu\text{m}$, $N_f=1$, isolé, $V_{GS}=V_{DS}=0$
 65nm : $L_g=0.2\mu\text{m}\&0.5\mu\text{m}$, $N_f=8$, isolé, $V_{GS}=0$, $V_{DS}=0.6$



Technologie 65nm

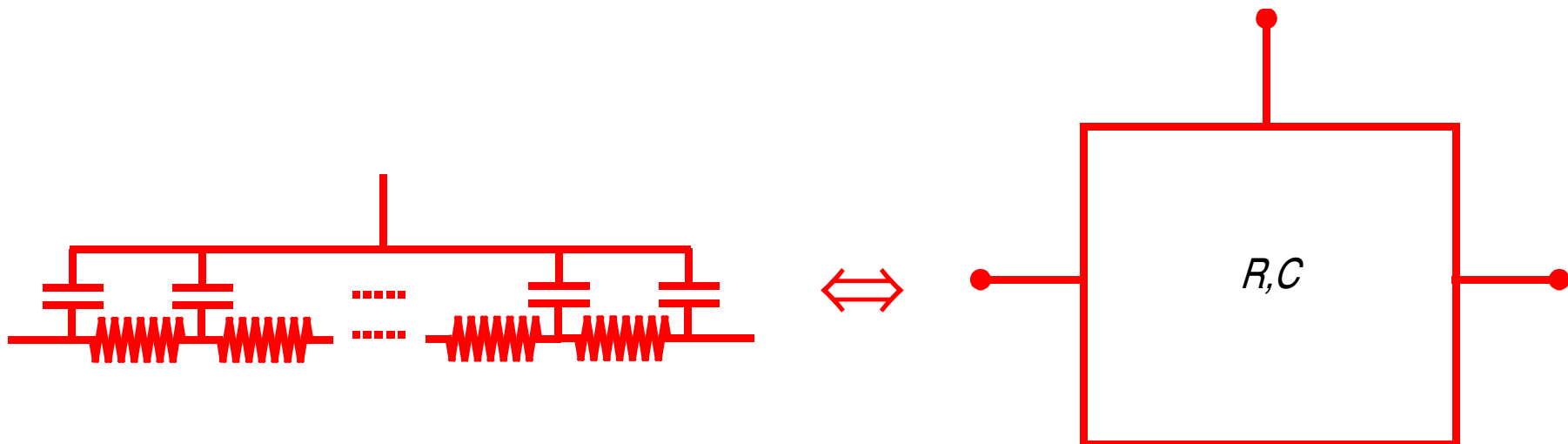
CAS DES DISPOSITIFS TRES LONGS

□ Effets distribués sur C_{gb}



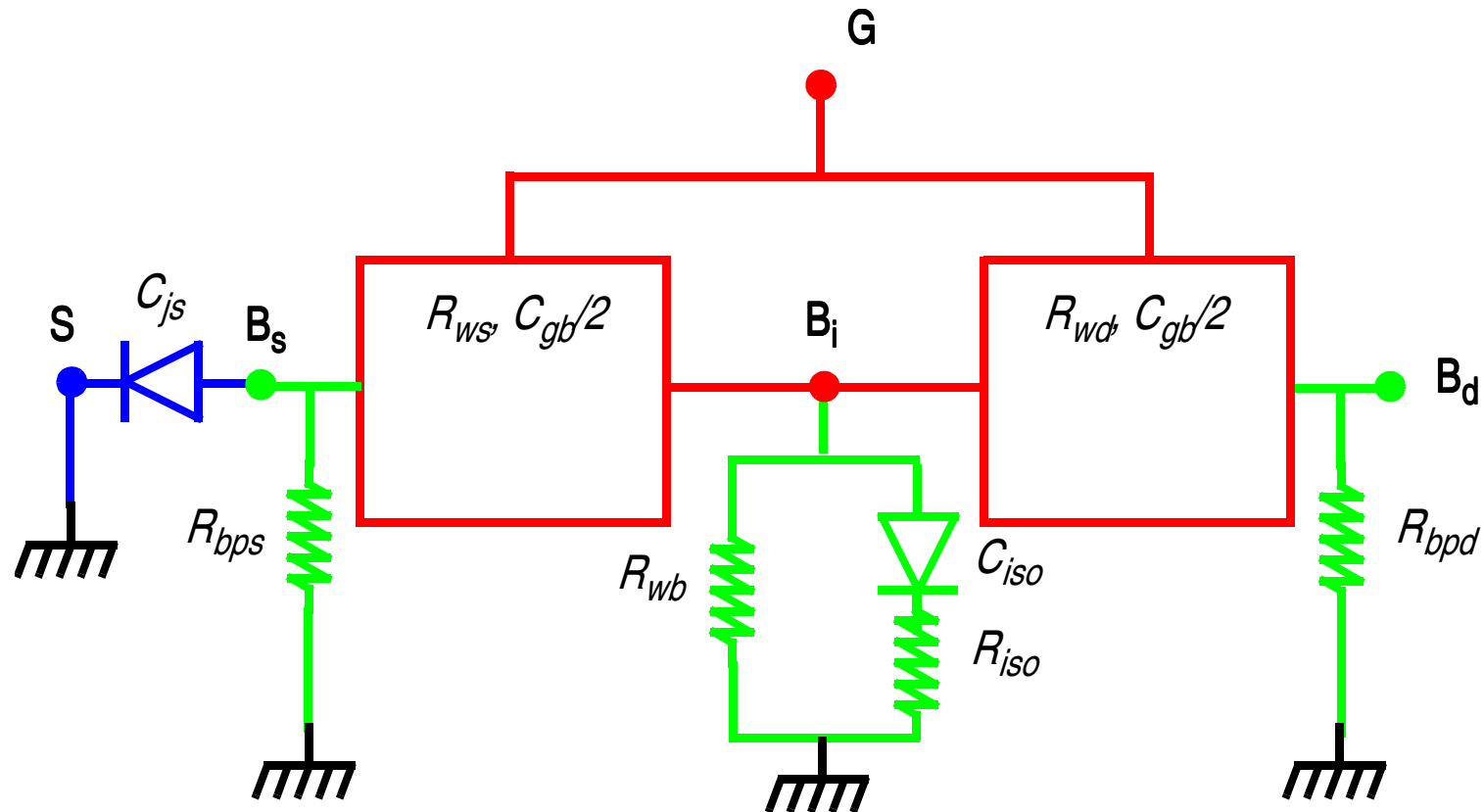
CAS DES DISPOSITIFS TRES LONGS

□ Modèle spécifique



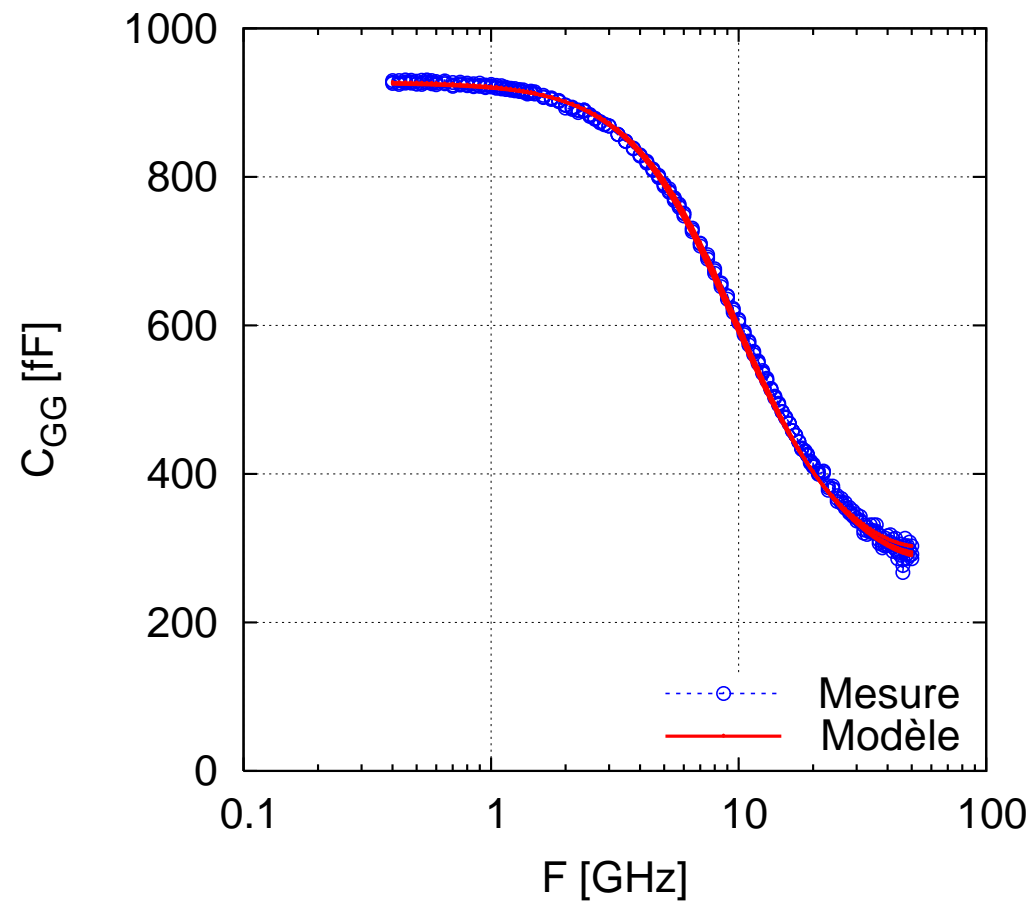
CAS DES DISPOSITIFS TRES LONGS

□ Modèle spécifique



CAS DES DISPOSITIFS TRES LONGS

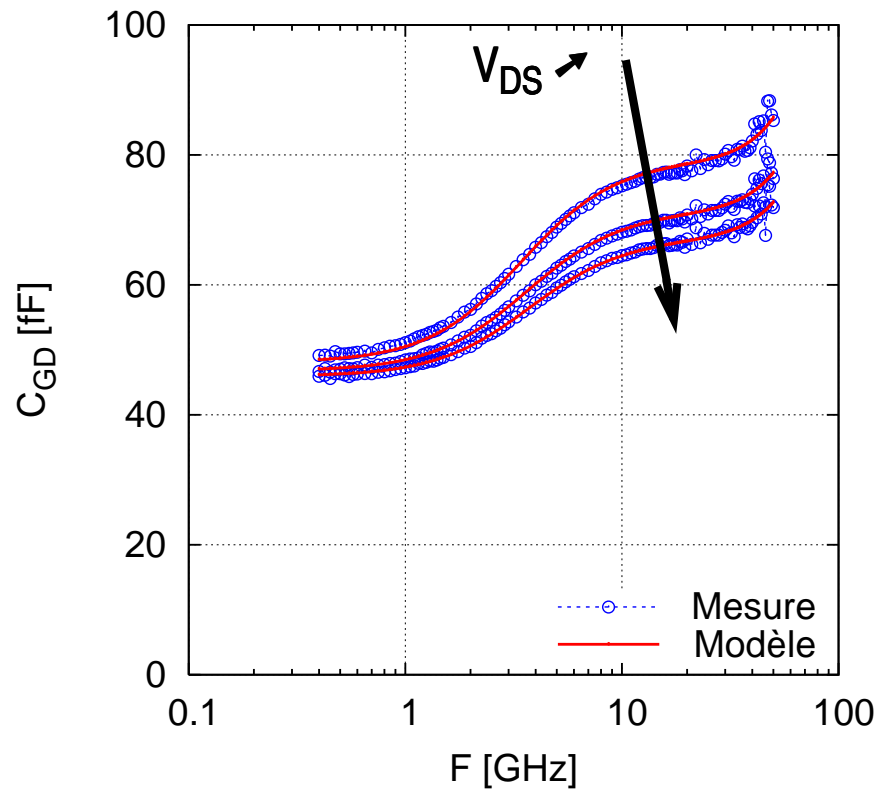
□ C_{GG}



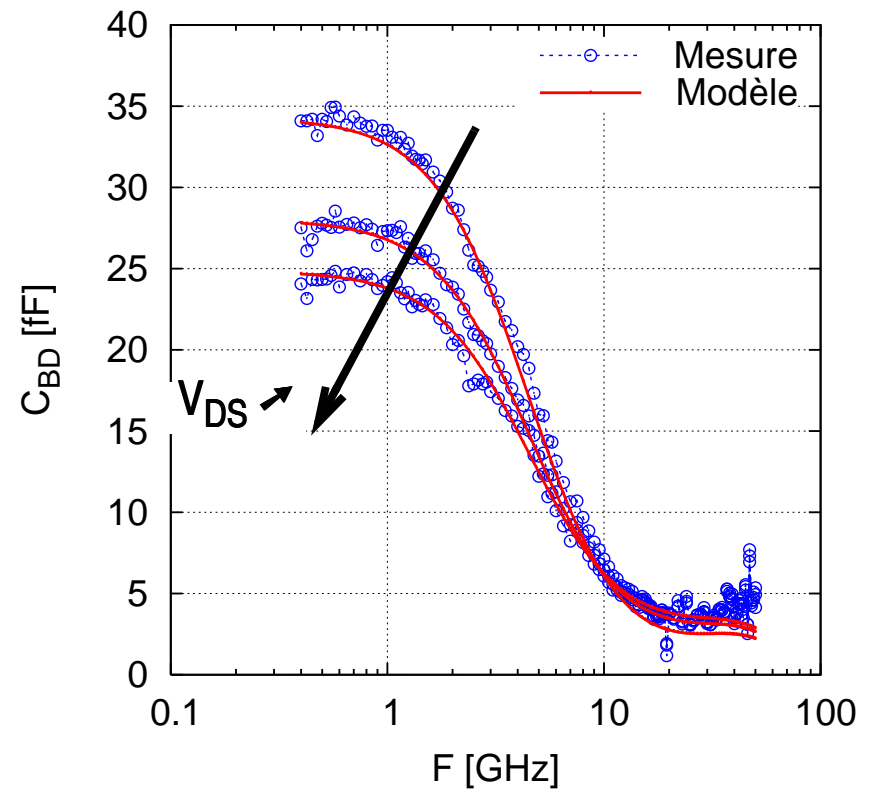
Technologie 130nm, $L_g=5\mu\text{m}$, $V_{GS}=0$, $V_{DS}=0;0.6;1.2\text{V}$

CAS DES DISPOSITIFS TRES LONGS

□ C_{GD} & C_{BD}



C_{GD}

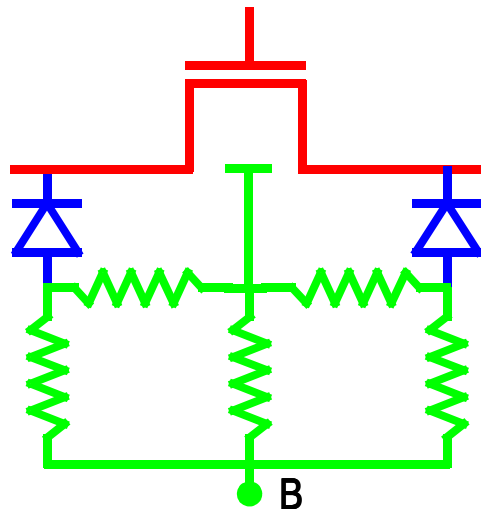


C_{BD}

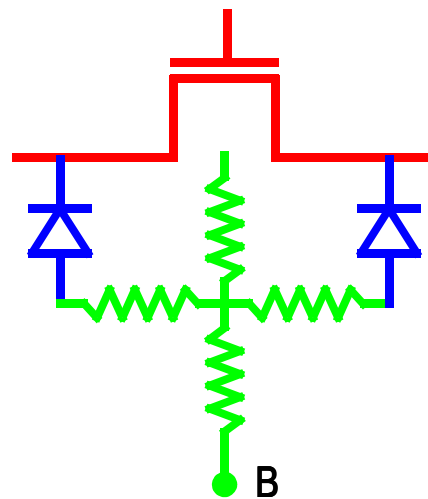
Technologie 130nm, $L_g=5\mu\text{m}$, $V_{GS}=0$, $V_{DS}=0;0.6;1.2\text{V}$

ÉTUDE DU RESEAU SUBSTRAT

□ Modèles de réseau substrat :



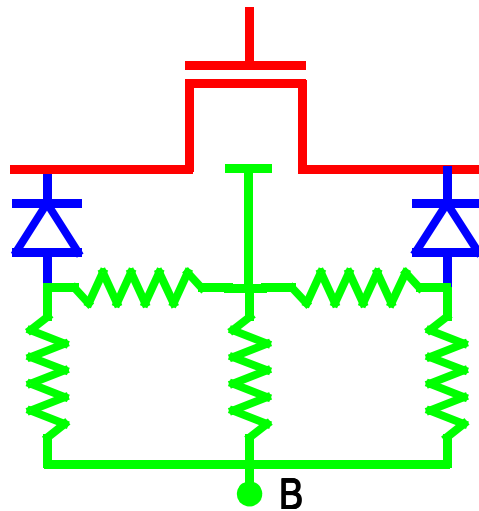
BSIM4.6



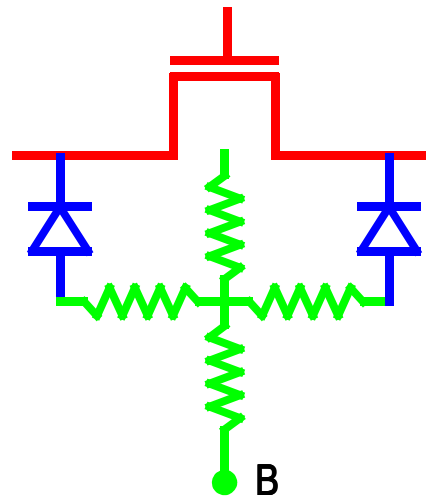
PSP

ÉTUDE DU RESEAU SUBSTRAT

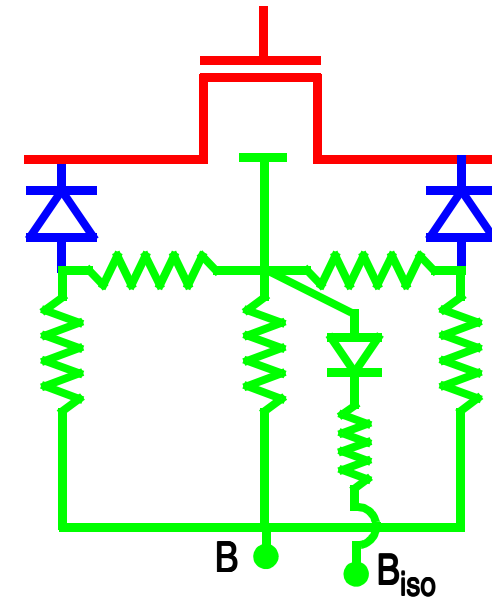
□ Modèles de réseau substrat :



BSIM4.6



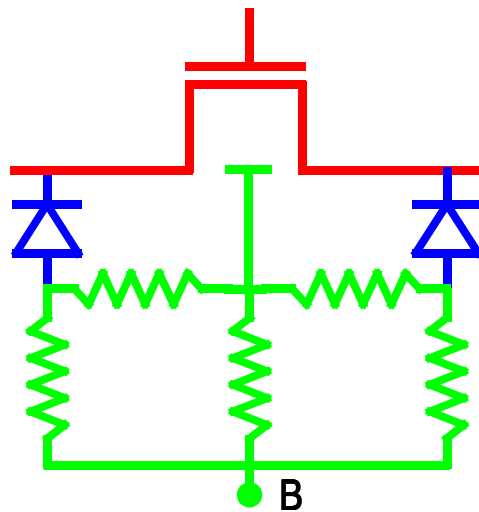
PSP



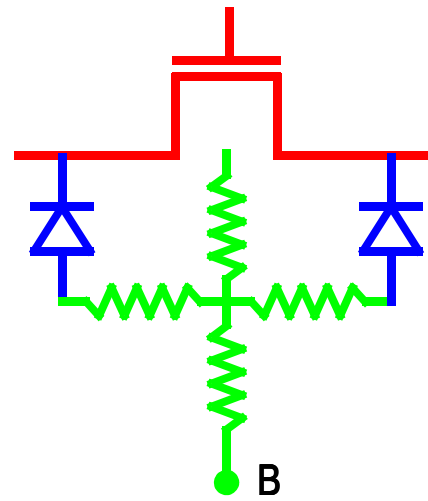
Topologie proposée ici

ÉTUDE DU RESEAU SUBSTRAT

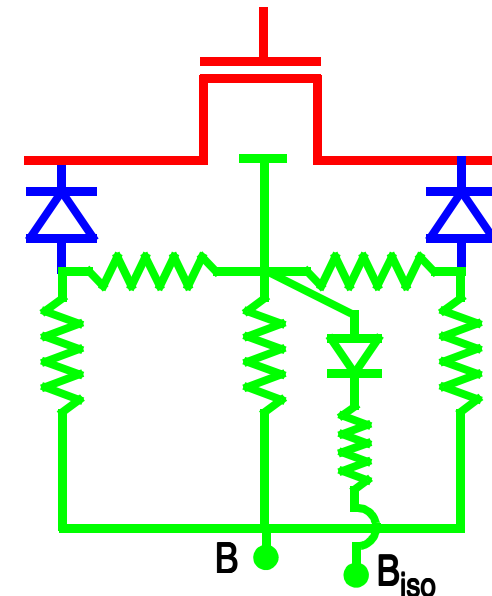
□ Trois modèles :



BSIM4.6



PSP



Topologie proposée ici

○ Topologie proposée ici :

- Prise en compte de l'isolation
- Méthodologie d'extraction

Bouhana et al., ICMTS2006.

PLAN

Introduction

Etude des éléments extrinsèques “connus”

Etude du réseau substrat

Conclusion & perspectives

CONCLUSION GENERALE

- Mise au point d'une méthodologie d'analyse du MOSFET à partir de la mesure
 - Résistance de grille
 - Mesure directe, méthode originale
 - Mise en évidence de 3 contributions
 - Modèle équivalent à celui approuvé par le Compact Model Council

CONCLUSION GENERALE

- Mise au point d'une méthodologie d'analyse du MOSFET à partir de la mesure
 - Résistance de grille
 - Mesure directe, méthode originale
 - Mise en évidence de 3 contributions
 - Modèle équivalent à celui approuvé par le Compact Model Council
 - Réseau substrat
 - Applicable nMOSFET (isolé/standard)/pMOSFET,
 - Topologie reliée au layout
 - Mise au point d'une méthodologie d'extraction
 - Mise en évidence d'effets ignorés jusque là

PERSPECTIVES

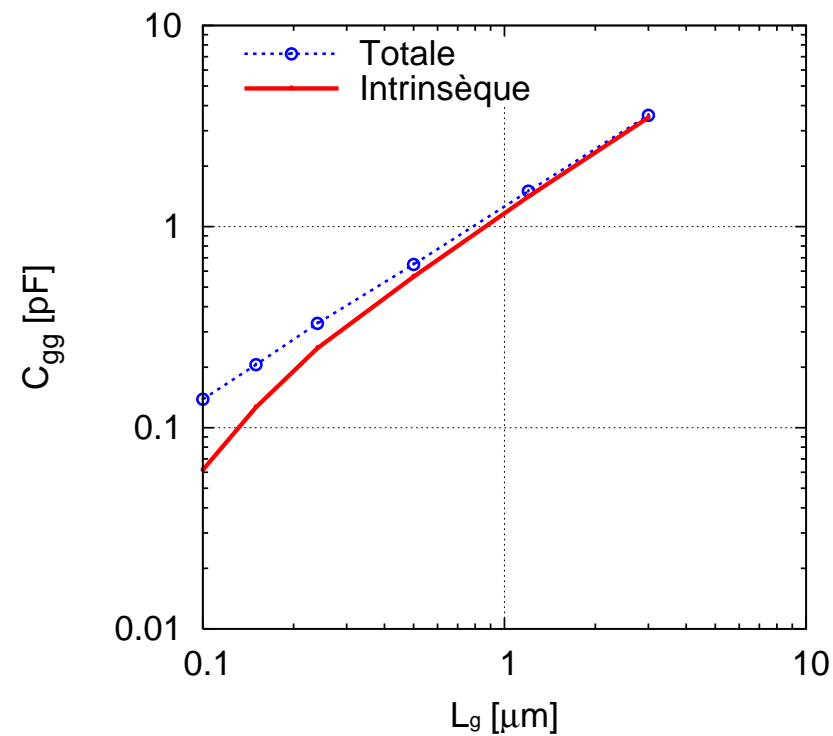
□ Augmentation de la part de l'extrinsèque

○ Besoin d'une meilleure prise en compte

- Modélisation
- Lois géométriques
- Extraction

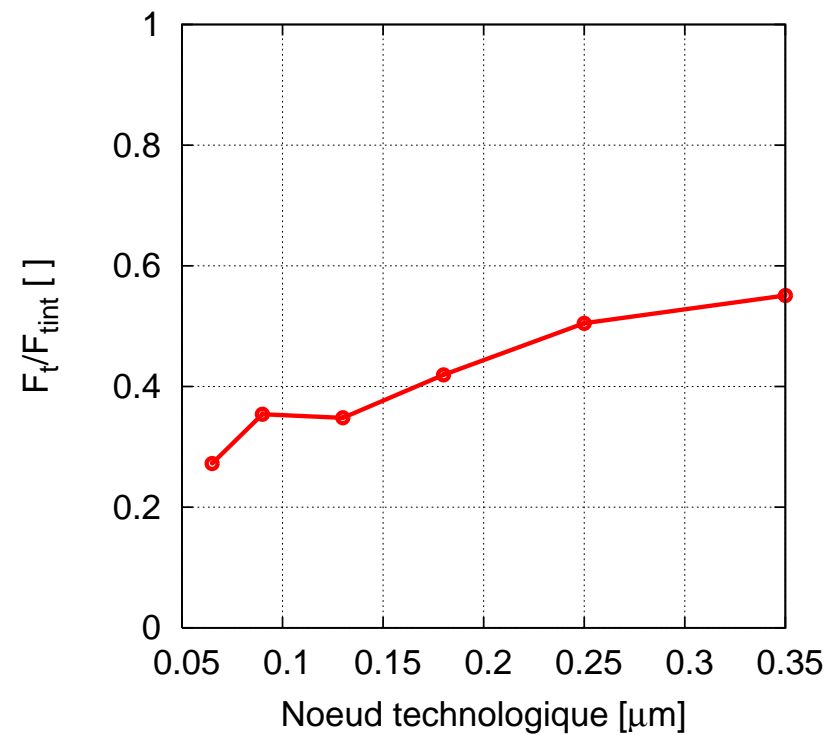
PERSPECTIVES

- Augmentation de la part de l'extrinsèque
 - Besoin d'une meilleure prise en compte
 - Quel gain d'une technologie à la suivante ?



PERSPECTIVES

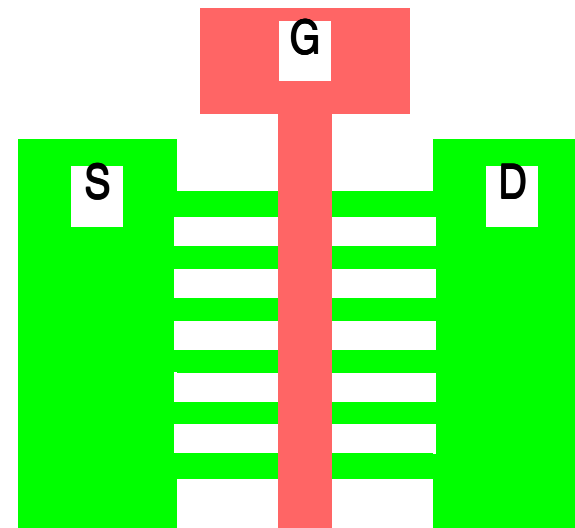
- Augmentation de la part de l'extrinsèque
 - Besoin d'une meilleure prise en compte
 - Quel gain d'une technologie à la suivante ?



PERSPECTIVES

- ❑ Augmentation de la part de l'extrinsèque
 - Besoin d'une meilleure prise en compte
 - Quel gain d'une technologie à la suivante ?

- ❑ Technologies alternatives : quelles performances RF ?
 - Exemple: FinFET
 - Impact de la résistance de grille



PERSPECTIVES

- ❑ Augmentation de la part de l'extrinsèque
 - Besoin d'une meilleure prise en compte
 - Quel gain d'une technologie à la suivante ?

- ❑ Technologies alternatives : quelles performances RF ?
 - Exemple: FinFET
 - Impact de la résistance de grille

