



HAL
open science

Contribution à la conception de convertisseurs analogique numérique delta sigma à temps continu, des spécifications à l'implémentation. Application à un standard de télécommunication large bande.

J. Goulier

► **To cite this version:**

J. Goulier. Contribution à la conception de convertisseurs analogique numérique delta sigma à temps continu, des spécifications à l'implémentation. Application à un standard de télécommunication large bande.. Micro et nanotechnologies/Microélectronique. Institut National Polytechnique de Grenoble - INPG, 2008. Français. NNT : . tel-00322955

HAL Id: tel-00322955

<https://theses.hal.science/tel-00322955>

Submitted on 19 Sep 2008

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE

N° attribué par la bibliothèque

|_|_|_|_|_|_|_|_|_|_|_|_|_|_|_|

THESE

pour obtenir le grade de

DOCTEUR DE L'INP GRENOBLE

Spécialité : Micro et Nano Electronique

préparée au laboratoire **TIMA** de Grenoble

et en collaboration avec **STMicroelectronics** Crolles

dans le cadre de l'**Ecole Doctorale Electronique, Electrotechnique, Automatique
et Traitement du Signal**

présentée et soutenue publiquement

par

Julien GOULIER

le 26 mai 2008

CONTRIBUTION A LA CONCEPTION DE CONVERTISSEURS
ANALOGIQUE NUMERIQUE DELTA SIGMA A TEMPS CONTINU,
DES SPECIFICATIONS A L'IMPLEMENTATION
APPLICATION A UN STANDARD DE TELECOMMUNICATION LARGE BANDE

Directeur de thèse : Marc RENAUDIN

JURY

| | | |
|---------------------|-------------------------------|--------------------|
| M. Pascal FOUILLAT | (IMS, Bordeaux) | Président |
| M. Hassan ABOUSHADY | (LIP6-SoC, Paris) | Examinateur |
| M. Philippe BENABES | (Supélec, Paris) | Rapporteur |
| M. Marc RENAUDIN | (TIMA, Grenoble) | Directeur de thèse |
| M. Eric ANDRE | (STMicroelectronics, Crolles) | Co-encadrant |
| M. Laurent FESQUET | (TIMA, Grenoble) | Co-encadrant |
| M. Alain GREINER | (LIP6-SoC, Paris) | Rapporteur |

Résumé

Ce travail de thèse s'intègre dans le cadre du développement de chaînes de réception multi-standards en technologie CMOS avancée pour des applications mobiles. Afin d'exploiter au mieux les caractéristiques des technologies CMOS et faciliter la reconfigurabilité du récepteur, le traitement numérique des données est généralement privilégié d'où une augmentation des contraintes sur le convertisseur analogique numérique. Les convertisseurs delta sigma à temps continu, relativement peu utilisés actuellement, possèdent des caractéristiques en forte adéquation avec une translation des fonctions analogiques dans le domaine numérique.

Ce travail de recherche porte donc sur la conversion delta sigma à temps continu passe-bas, et plus particulièrement sur les difficultés de réalisation de ce type de convertisseur. L'objectif global de ces recherches était la mise en place d'une méthode de conception de convertisseurs delta sigma à temps continu. Dans un premier temps, le travail s'est focalisé sur le calcul d'architecture et l'obtention de coefficients adaptés à une spécification donnée. L'impact des imperfections d'horloge sur les performances de ce type de convertisseur a ensuite été étudié et une méthode analytique d'estimation des dégradations introduites par l'intermédiaire de l'horloge a été proposée. Ces deux étapes clés lors de la réalisation d'un delta sigma à temps continu ont été intégrées à un flot de conception complet allant des spécifications à l'implémentation sur silicium. Finalement, ce flot de conception a été utilisé pour réaliser un modulateur delta sigma à temps continu en technologie CMOS065 pour une application WLAN.

Mots-clés : convertisseurs analogique numérique, CAN delta sigma à temps continu, méthode de conception, calcul d'architecture, imperfections d'horloge, CMOS.

Abstract

This PhD thesis deals with the development of multi-standard CMOS receivers for wireless applications. In order to make the most of advanced CMOS technologies and ease the receiver reconfigurability, preference is usually given to digital processing. Therefore the constraints on the analog to digital converter are increased. Continuous time delta sigma converters, nowadays hardly used, have intrinsic characteristics suitable for the translation of analog functions in the digital domain.

This PhD work focuses on low pass continuous time delta sigma converters and more precisely on the difficulties linked to the realization of this kind of converters. The aim of those researches was to build up a complete method to facilitate the design of continuous time delta sigma converters. First, the selection of architectures and the computation of loop coefficients fitting the required specifications have been studied. Afterwards the impact of clock imperfections on the global performances of this kind of converters has been addressed and an analytical method allowing the estimation of the degradations introduced by clock jitter has been proposed. Those two main contributions in the domain of continuous time delta sigma converters have been integrated in a design flow going from initial specifications to tape out. Finally, this method has been used for the design of a continuous time delta sigma converter, in a CMOS 65nm technology, addressing a WLAN application.

Keywords : analog to digital converters, continuous time delta sigma ADCs, design flow, architecture computation, jitter impact on ADCs, CMOS

Remerciements

Je tiens tout d'abord à remercier mes encadrants de thèse qui par la confiance qu'ils m'ont accordé et leur implication tout au long de ces trois années ont permis le bon déroulement de cette thèse.

Je remercie Eric Andre, encadrant industriel de STMicroelectronics Crolles, qui s'est beaucoup impliqué dans ces travaux et a apporté à la fois son expérience et ses connaissances techniques sur ce sujet de recherche.

Je remercie également mon directeur de thèse Marc Renaudin, du laboratoire TIMA à Grenoble. N'étant pas un spécialiste des circuits de conversions analogique numérique, il a apporté un intéressant regard "extérieur" sur les travaux menés. Ses remarques et suggestions ont été bien souvent bénéfiques à l'avancement de la thèse.

J'adresse aussi mes remerciements aux membres de mon jury de thèse. Je remercie Pascal Fouillat, président du jury, ainsi que Philippe Benabes et Hassan Aboushady, rapporteurs de mes travaux de recherche.

Je tiens également à remercier l'ensemble des personnes de STMicroelectronics avec qui j'ai eu l'occasion de travailler pendant ces trois années pour leur disponibilité, leur gentillesse et les réponses qu'elles m'ont apporté. Un remerciement particulier à celles et ceux à qui j'ai le plus souvent fait appel : Alessandro Dezzani, Gregory Wagner, Sébastien Lefebvre, Davy Thevenet, Mounir Boulemnaker, Frédéric Paillardet, Pascale Maillet-Contoz, Stéphane Le Tual, David Gauthier, Frédéric Bayeul, Emmanuel Rouat, Eoin Ohannaidh, Sébastien Dedieu, Marc Houdebine.

Enfin, trois années de thèse c'est aussi l'occasion de se détendre et de s'amuser. Et pour ce faire j'ai toujours pu compter sur les zigotos suivants : Ale, Bruno, Louic, Loul, Seb, Greg, Steph, David, Livier, Cédric, Pierre, Greg...

Table des matières

| | |
|---|----------|
| Résumé | iii |
| Abstract | v |
| Remerciements | vii |
| Table des figures | xv |
| Glossaire | xvii |
| Introduction | 1 |
| 1 Les convertisseurs analogique numérique delta sigma à temps continu | 5 |
| 1.1 Approche fréquentielle de la conversion analogique numérique | 6 |
| 1.1.1 Périodisation du spectre par échantillonnage | 6 |
| 1.1.2 Bruit de quantification | 7 |
| 1.1.3 Caractérisation des performances des CANs | 8 |
| 1.1.3.1 SNR | 8 |
| 1.1.3.2 SNDR et SFDR | 10 |
| 1.1.3.3 Influence du signal d'entrée | 10 |
| 1.1.3.4 Facteur de Mérite | 11 |
| 1.1.4 Sur-échantillonnage et mise en forme de bruit | 11 |
| 1.2 La conversion delta sigma à temps continu | 14 |
| 1.2.1 Les boucles de conversion $\Delta\Sigma$ | 14 |
| 1.2.2 Principe de conversion $\Delta\Sigma_{CT}$ | 16 |
| 1.2.3 Paramètres caractéristiques d'un convertisseur delta sigma | 19 |
| 1.3 Résolution des delta sigma à temps continu | 20 |
| 1.3.1 Linéarisation de la boucle, modèle avec additionneur de bruit blanc | 20 |
| 1.3.2 Prédiction des performances | 21 |
| 1.4 Stabilité des delta sigma à temps continu | 22 |
| 1.4.1 Définition de la stabilité d'un delta sigma à temps continu | 23 |
| 1.4.2 Analyse de la stabilité, linéarisation par un gain variable | 24 |

| | | |
|----------|--|-----------|
| 1.4.3 | Etat de l'art des études et critères de stabilité | 28 |
| 1.5 | Architectures de delta sigma à temps continu | 29 |
| 1.5.1 | Plages de variation des paramètres caractéristiques | 30 |
| 1.5.1.1 | Sur-échantillonnage | 31 |
| 1.5.1.2 | CAN interne | 31 |
| 1.5.1.3 | Mise en forme de bruit | 32 |
| 1.5.2 | Le filtre de boucle à temps continu | 32 |
| 1.5.2.1 | Les structures "classiques" du filtre de boucle | 32 |
| 1.5.2.2 | Compromis résolution/stabilité | 35 |
| 1.5.2.3 | Etat de l'art des méthodes de calcul du filtre de boucle . . . | 36 |
| 1.5.2.4 | Méthode par placement des pôles | 40 |
| 1.6 | Caractérisation des performances des convertisseurs $\Delta\Sigma_CT$ | 46 |
| 1.6.1 | Stabilité et résolution | 46 |
| 1.6.2 | Fonctions de transfert de la boucle | 48 |
| 1.6.3 | Implémentabilité et robustesse | 48 |
| 1.7 | Conclusion | 49 |
| 2 | Le jitter dans les delta sigma à temps continu | 51 |
| 2.1 | Le jitter d'horloge : généralités | 52 |
| 2.1.1 | Jitter, terminologie | 52 |
| 2.1.2 | Evaluation et caractérisation du jitter d'horloge | 53 |
| 2.1.2.1 | Définition du bruit de phase | 53 |
| 2.1.2.2 | Relation entre bruit de phase et jitter RMS | 54 |
| 2.1.3 | Jitter de quelques circuits usuels | 55 |
| 2.1.3.1 | Le buffer | 55 |
| 2.1.3.2 | Le VCO (Voltage Controlled Oscillator) | 56 |
| 2.1.3.3 | La PLL (Phase Locked Loop) | 56 |
| 2.1.3.4 | Récapitulatif du jitter des circuits usuels | 58 |
| 2.2 | Impact du jitter sur les convertisseurs à temps discret | 59 |
| 2.2.1 | Impact du jitter lors de l'échantillonnage d'un signal | 59 |
| 2.2.2 | Jitter d'horloge et SNR des convertisseurs à temps discret | 61 |
| 2.3 | Impact du jitter sur les convertisseurs delta sigma à temps continu | 62 |
| 2.3.1 | Identification des erreurs introduites par le jitter | 63 |
| 2.3.1.1 | Erreur d'échantillonnage | 63 |
| 2.3.1.2 | Erreur d'intégration | 64 |
| 2.3.2 | Etude quantitative des dégradations apportées par le jitter | 67 |
| 2.3.2.1 | Densité spectrale de puissance des erreurs introduites par les imperfections d'horloge dans un $\Delta\Sigma_CT$ d'ordre 2 | 67 |
| 2.3.2.2 | Généralisation aux modulateurs feedback NRZ d'ordre N | 74 |

| | | |
|----------|---|-----------|
| 2.3.2.3 | système de correction de l'impact du jitter | 76 |
| 2.4 | Conclusion | 78 |
| 3 | Implémentation des convertisseurs delta sigma à temps continu | 79 |
| 3.1 | Intégrateur à temps continu | 80 |
| 3.1.1 | Structure transconductance / capacité | 80 |
| 3.1.2 | Structure avec amplificateur opérationnel | 81 |
| 3.1.3 | Déviaton technologique du gain d'intégration | 82 |
| 3.2 | Convertisseurs numérique analogique | 83 |
| 3.2.1 | CNA en courant | 83 |
| 3.2.2 | CNA à capacité commutée | 86 |
| 3.3 | CAN interne et traitement numérique | 87 |
| 3.3.1 | CAN interne | 87 |
| 3.3.2 | Traitement numérique | 87 |
| 3.4 | Etat de l'art des circuits publiés | 88 |
| 4 | Méthode de conception, Réalisation d'un CAN $\Delta\Sigma_CT$ pour une applica- tion WLAN | 95 |
| 4.1 | Concevoir un delta sigma à temps continu | 96 |
| 4.2 | Méthode de conception de convertisseurs delta sigma à temps continu | 97 |
| 4.2.1 | Etape 1 : Répartition du bruit entre les différents contributeurs | 97 |
| 4.2.2 | Etape 2 : Calcul de l'architecture et évaluation du bruit de quantification | 98 |
| 4.2.3 | Etape 3 : Prise en compte des imperfections du signal d'horloge et estimation des dégradations introduites | 99 |
| 4.2.4 | Etape 4 : Implémentation du circuit et calcul final des performances du circuit réel | 99 |
| 4.3 | Réalisation d'un CAN $\Delta\Sigma_CT$ pour une application WLAN | 102 |
| 4.3.1 | Cahier des charges | 102 |
| 4.3.2 | Répartition des contributions en bruit | 103 |
| 4.3.3 | Choix de l'architecture du convertisseur | 103 |
| 4.3.4 | Spécification de l'horloge | 106 |
| 4.3.5 | Implémentation du circuit | 107 |
| 4.3.5.1 | Structure détaillée de l'architecture | 107 |
| 4.3.5.2 | Intégrateurs à temps continu | 113 |
| 4.3.5.3 | Convertisseurs numérique analogique | 114 |
| 4.3.5.4 | CAN interne et compensation du délai de boucle | 119 |
| 4.3.5.5 | Traitement numérique | 122 |
| 4.3.5.6 | Assemblage et layout | 122 |
| 4.3.6 | Bilan des performances avant fabrication | 124 |

TABLE DES MATIÈRES

| | | |
|---------|---|------------|
| 4.3.7 | Performances du circuit réel | 126 |
| 4.3.7.1 | Description du banc de test | 126 |
| 4.3.7.2 | Résultats de mesures du circuit | 128 |
| 4.4 | Conclusion | 130 |
| | Conclusion | 131 |
| | Bibliographie | 135 |

Table des figures

| | | |
|------|--|----|
| 1.1 | Périodisation du spectre par échantillonnage | 7 |
| 1.2 | Introduction de bruit lors de la quantification | 8 |
| 1.3 | SNR en fonction de l'amplitude d'entrée | 11 |
| 1.4 | Étalement de la densité spectrale de bruit par sur-échantillonnage | 13 |
| 1.5 | Effet d'un CAN avec mise en forme du bruit de quantification | 13 |
| 1.6 | Schéma bloc d'un CAN $\Delta\Sigma$ | 15 |
| 1.7 | Mise en forme de bruit : a) $\Delta\Sigma$ passe-bas, b) $\Delta\Sigma$ passe-bande | 15 |
| 1.8 | Schéma bloc de convertisseurs $\Delta\Sigma$: a) temps continu ; b) temps discret . . . | 16 |
| 1.9 | Schéma bloc d'un CAN $\Delta\Sigma$ d'ordre 1, 1-bit | 17 |
| 1.10 | Diagrammes temporels d'un $\Delta\Sigma$ d'ordre 1 : a) signal d'entrée $V_{in} = 4/5$; b) sortie du filtre de boucle V_{filtre} ; c) sortie du convertisseur V_{out} ; d) signal de sortie V_{out} après le filtre de décimation | 18 |
| 1.11 | Densités spectrales de puissance d'un $\Delta\Sigma$ d'ordre 1 : a) signal d'entrée $V_{in} = 4/5$; b) sortie du filtre de boucle V_{filtre} ; c) sortie du convertisseur V_{out} ; d) signal de sortie V_{out} après le filtre de décimation | 19 |
| 1.12 | Modèle linéarisé d'un $\Delta\Sigma_CT$ avec additionneur de bruit blanc | 21 |
| 1.13 | Gain de quantification, a) CAN 7-Niveaux, b) CAN 8-Niveaux | 24 |
| 1.14 | Modèle linéarisé d'un $\Delta\Sigma_CT$ avec gain variable | 25 |
| 1.15 | Schéma bloc du $\Delta\Sigma_CT$ d'ordre 3 | 26 |
| 1.16 | Fonctions de transfert estimées du $\Delta\Sigma_CT$ d'ordre 3 | 26 |
| 1.17 | Déplacement des pôles du $\Delta\Sigma_CT$ d'ordre 3 | 27 |
| 1.18 | Schéma bloc d'un delta sigma d'ordre 4 de type feedforward | 33 |
| 1.19 | Schéma bloc d'un delta sigma d'ordre 4 de type feedback | 34 |
| 1.20 | STF de deux delta sigma à temps continu d'ordre 4, un feedforward et un feedback | 34 |
| 1.21 | Schéma bloc d'un delta sigma d'ordre 4 de type feedback avec deux contre-réactions locales | 35 |
| 1.22 | SNRs en fonction de l'amplitude d'entrée pour deux $\Delta\Sigma_CT$ d'ordre 3 . . . | 36 |
| 1.23 | Diagrammes de déplacement des pôles de deux $\Delta\Sigma_CT$ d'ordre 3 | 36 |
| 1.24 | Modèle linéarisé d'un $\Delta\Sigma_CT$ pour la méthode par placement des pôles . . | 40 |

| | | |
|------|--|----|
| 1.25 | Schéma bloc de description d'un $\Delta\Sigma_CT$ d'ordre 3 | 41 |
| 1.26 | Schéma bloc d'un $\Delta\Sigma_CT$ d'ordre 3 ayant une fonction de mise en forme de bruit de type Butterworth avec $Wb = 0.5$ | 44 |
| 1.27 | Courbes de déplacement des pôles de deux $\Delta\Sigma_CT$ d'ordre 3. La fonction de mise en forme de bruit visée est de type Butterworth avec $Wb = 0.5$ | 45 |
| 1.28 | SNR d'un $\Delta\Sigma_CT$ d'ordre 3 en fonction du signal d'entrée. | 47 |
| 2.1 | Détermination du bruit de phase à partir de la densité spectrale de puissance d'une horloge réelle | 53 |
| 2.2 | Schéma de principe d'une PLL | 56 |
| 2.3 | Schéma bloc d'un convertisseur à temps discret | 59 |
| 2.4 | Echantillonnage d'un signal par une horloge imparfaite | 59 |
| 2.5 | PSD de deux sinusoides échantillonnées par une horloge présentant du jitter | 61 |
| 2.6 | Schéma bloc d'un delta sigma à temps continu | 62 |
| 2.7 | Schéma bloc d'un convertisseur $\Delta\Sigma_CT$ feedback d'ordre 2 | 65 |
| 2.8 | Fonctions de transfert d'un $\Delta\Sigma_CT$ feedback d'ordre 2 avec filtrage Butterworth $Wb = Fs$ | 66 |
| 2.9 | Erreurs liées au jitter d'horloge dans un $\Delta\Sigma_CT$ feedback d'ordre 2 | 67 |
| 2.10 | Erreurs d'intégration $e1$ et $e2$ avec le modèle linéarisé de la boucle $\Delta\Sigma_CT$ d'ordre 2 | 68 |
| 2.11 | Erreur d'échantillonnage e_{ech} dans la boucle $\Delta\Sigma_CT$ d'ordre 2 | 71 |
| 2.12 | SNR d'un delta sigma à temps continu d'ordre 2 en fonction du jitter d'horloge | 73 |
| 2.13 | Influence des coefficients du filtre de boucle sur les dégradation introduites par le jitter | 74 |
| 2.14 | SNR d'un delta sigma à temps continu d'ordre 4 en fonction du jitter d'horloge | 75 |
| 2.15 | Erreurs liées au jitter d'horloge dans un $\Delta\Sigma_CT$ feedback d'ordre 2 avec CNA à capacités commutées | 76 |
| 2.16 | Diminution de l'impact du jitter d'horloge grâce à l'utilisation de CNA SC | 77 |
| 3.1 | Structure transconductance + capacité | 80 |
| 3.2 | Structure Amplificateur + RC | 82 |
| 3.3 | Schémas équivalents pour CNA de retour : a) schéma de principe ; b) CNA en tension + transconductance ; c) CNA en courant | 84 |
| 3.4 | CNA 2 bits avec sources de courant commutées | 85 |
| 3.5 | Profils de courant pour des retours de type NRZ et RZ | 85 |
| 3.6 | CNA 2 bits à capacités commutées | 86 |
| 3.7 | Facteur de Mérite des CAN $\Delta\Sigma_CT$ publiés récemment en fonction de la bande passante | 92 |

| | | |
|------|--|-----|
| 3.8 | Facteur de Mérite des CAN $\Delta\Sigma_CT$ publiés récemment en fonction du nombre de bits effectifs | 92 |
| 3.9 | Facteur de Mérite des CAN $\Delta\Sigma_CT$ publiés récemment en fonction de la technologie utilisée | 93 |
| 4.1 | Flot de conception pour convertisseurs analogique numérique delta sigma à temps continu | 100 |
| 4.2 | Architecture d'ordre 4, structure feedback avec 2 demi-délais et 2 zéros, CAN interne 2,25bits | 104 |
| 4.3 | FFT sur 8192 points de la sortie du convertisseur, $P(V_{in})=-4,4\text{dBFS}$, $F_{in}=2,8\text{MHz}$ | 105 |
| 4.4 | SNR en fonction de la puissance du signal d'entrée | 106 |
| 4.5 | Architecture complète du convertisseur avec les valeurs des passifs | 108 |
| 4.6 | Système de calibration de la constante de temps RC | 112 |
| 4.7 | Architecture amplificateur du filtre de boucle | 113 |
| 4.8 | Architecture des CNAs de retour | 115 |
| 4.9 | Amélioration du SNDR du CAN $\Delta\Sigma_CT$ grâce à l'utilisation de l'algorithme de brassage. En noir le SNDR sans brasseur et en gris le SNDR du CAN avec brasseur. | 117 |
| 4.10 | Circuit de polarisation des CNAs | 118 |
| 4.11 | Barreaux résistifs générant les tensions de référence du CAN interne | 120 |
| 4.12 | Architecture d'un comparateur du CAN interne | 121 |
| 4.13 | Dessin des masques du convertisseur $\Delta\Sigma_CT$ | 123 |
| 4.14 | Vue d'ensemble du circuit | 124 |
| 4.15 | CAN $\Delta\Sigma_CT$, simulation avec l'architecture idéale FFT sur 8192 points de la sortie du convertisseur, $V_{in}=-4,4\text{dBFS}$, $F_{in}=2,8\text{MHz}$ | 125 |
| 4.16 | CAN $\Delta\Sigma_CT$, simulation au niveau électrique FFT sur 8192 points de la sortie du convertisseur, $V_{in}=-4,4\text{dBFS}$, $F_{in}=2,8\text{MHz}$ | 125 |
| 4.17 | CAN $\Delta\Sigma_CT$, simulation post-layout FFT sur 8192 points de la sortie du convertisseur, $V_{in}=-4,4\text{dBFS}$, $F_{in}=2,8\text{MHz}$ | 126 |
| 4.18 | Banc de test du CAN $\Delta\Sigma_CT$ | 127 |
| 4.19 | CAN $\Delta\Sigma_CT$, mesures FFT sur 65536 points de la sortie du convertisseur, $V_{in}=-4,4\text{dBFS}$, $F_{in}=3,3\text{MHz}$ | 129 |
| 4.20 | SNR et SNDR mesurés en fonction de la puissance du signal d'entrée | 129 |

Glossaire

| | |
|---------------------|--|
| BW | Bandwidth |
| CAN | Convertisseur Analogique Numérique |
| CML | Current Mode Logic |
| CNA | Convertisseur Numérique Analogique |
| $\Delta\Sigma_{CT}$ | Convertisseur Delta Sigma à Temps Continu |
| $\Delta\Sigma_{DT}$ | Convertisseur Delta Sigma à Temps Discret |
| DR | Dynamic Range |
| EDGE | Enhanced Data Rate for GSM Evolution |
| ENOB | Effective Number Of Bits |
| FIR | Finite Impulse Response |
| FoM | Figure of Merit |
| FFT | Fast Fourier Transform |
| FT | Fonction de Transfert |
| GSM | Global System for Mobile communication |
| LTE | Long Term Evolution |
| NRZ | Non Retour à Zéro |
| NTF | Noise Transfer Function |
| OSR | Over-Sampling Ratio |
| PLL | Phase Locked Loop |
| PSD | Power Spectral Density |
| RMS ou rms | Root Mean Square |
| RZ | Retour à Zéro |
| SC | Switched Capacitor |
| SFDR | Spurious Free Dynamic Range |
| SNDR | Signal to Noise and Distortion Ratio |
| SNR | Signal to Noise Ratio |
| STF | Signal Transfer Function |
| UMTS | Universal Mobile Telecommunications System |
| VCO | Voltage Controlled Oscillator |
| VLSI | Very Large Scale Integration |
| WiFi | Wireless Fidelity |

| | |
|-------|---|
| WiMAX | Worldwide Interoperability for Microwave Access |
| WCDMA | Wideband Code Division Multiple Access |
| WLAN | Wireless Local Area Network |

Introduction

Le maître mot dans le domaine de la microélectronique reste encore et toujours l'intégration. Afin de réduire le coût, la surface et la consommation des circuits électroniques un maximum d'éléments sont réunis sur une même puce. Cette volonté d'intégration associée à une évolution continue des technologies de fabrication se traduit par une miniaturisation des systèmes électroniques. Ces nouveaux circuits intégrés (SoC, *System on Chip*) peuvent regrouper des capteurs, des blocs radiofréquences, des convertisseurs analogique numérique et numérique analogique, des microprocesseurs de traitement numérique...

Cette tendance à l'intégration maximale est particulièrement visible dans le domaine des objets mobiles communicants. Les émetteurs récepteurs actuels, que l'on désigne toujours par le terme "téléphone portable", offrent bien plus de possibilités que la simple communication téléphonique. En effet, les standards de communication embarqués se multiplient actuellement et les possibilités offertes sont donc décuplées. Outre la téléphonie classique (2G), les émetteurs récepteurs doivent désormais permettre du transfert de données (3G, bluetooth, WiFi, WiMAX....). La réception audio (FM) et vidéo (TNT mobile) ou le positionnement par satellite (GPS) sont également disponibles sur certains modèles et leur diffusion dans l'intégralité des outils communicants futurs semble en bonne voie.

Parallèlement à cette multiplication des fonctionnalités, la miniaturisation de ces objets mobiles communicants reste d'actualité. La taille des dispositifs est en effet un argument commercial majeur. La réserve d'énergie stockée dans le dispositif est évidemment proportionnelle au volume de la batterie. Pour adresser de multiples standards tout en limitant la taille des circuits électroniques et leur consommation, le recours à des éléments re-configurables au cours du temps semble intéressant. L'utilisation d'une unique chaîne d'émission et d'une unique chaîne de réception, toutes les deux re-configurables logiciellement en fonction du standard adressé, est communément appelée "radio logicielle" ou SDR (*Software Defined Radio*).

L'idée de base de la radio logicielle est particulièrement simple et très attractive. Cette technique permet en effet de réduire le nombre de blocs électroniques à implémenter d'où une

réduction de la taille, du coût et de la consommation globale des circuits. La diversité des applications que doit traiter cet unique émetteur récepteur (téléphonie, transfert de données, télévision...) complexifie malheureusement fortement la mise en œuvre de circuits utilisant pleinement le principe de la radio logicielle. Les difficultés se situent principalement au niveau de l'implémentation de cellules analogiques re-configurables. Afin de remédier à ce problème, la solution qui est généralement retenue consiste à transférer un maximum d'opérations dans le domaine numérique.

Concernant la chaîne de réception, cela se traduit par un déplacement du convertisseur analogique numérique en direction de l'antenne et donc une augmentation inévitable des contraintes sur le convertisseur. En effet, si le traitement des données avant conversion est réduit, la résolution du convertisseur analogique numérique doit être accrue afin de conserver la sensibilité globale de la chaîne de réception. Par exemple, si l'on diminue de 10 décibels le filtrage analogique au profit d'un filtrage numérique, la quantité d'information qui doit être convertie est automatiquement augmentée ; il faut donc accroître de 10 décibels la résolution du convertisseur. Le déplacement de la barrière entre les domaines numérique et analogique se heurte également à de fortes contraintes liées au phénomène de repliement de spectre, inévitable lors de l'échantillonnage d'un signal.

Pour répondre aux nouveaux besoins de ces chaînes de réception re-configurables, l'utilisation de convertisseurs analogique numérique (CAN) delta sigma à temps continu semble tout à fait appropriée. Le potentiel de performance de ces CANs en termes de résolution et de bande passante est à priori compatible avec les standards radiofréquences actuels. De plus, leur fonctionnement à temps continu fournit une grande liberté pour optimiser le couple filtrage canal / conversion analogique numérique. En effet, le filtre anti-repliement naturellement présent dans un CAN delta sigma à temps continu permet de translater facilement le filtrage dans le domaine numérique sans avoir trop à se soucier des problèmes de repliement de spectre.

Le thème central de cette thèse est donc la conversion analogique numérique delta sigma à temps continu. Les travaux se sont focalisés sur les CANs delta sigma à temps continu passe bas et plus précisément sur les difficultés relatives à la conception de ce type de convertisseur. En effet, bien que ces CANs permettent d'obtenir un niveau de performance élevé, leur utilisation reste à ce jour très limitée. La complexité des boucles de conversion delta sigma et les spécificités de leur variante à temps continu sont de puissants obstacles qui ont jusqu'à présent toujours poussés les concepteurs à écarter ce type de convertisseur.

L'émergence de nouveaux standards de transfert de données et le récent intérêt pour la radio logicielle ont remis au goût du jour la conversion delta sigma à temps continu. Afin de pouvoir intégrer sans risque ce type de convertisseur dans une chaîne de réception multi-standards, il faut maîtriser les différentes étapes de sa conception. L'objectif de cette thèse est de mettre en place une méthode de conception spécifique aux convertisseurs delta sigma à temps continu.

La particularité des convertisseurs delta sigma à temps continu vient du fait que le signal d'entrée est traité par un filtre à temps continu avant d'être échantillonné. Cette singularité, bénigne à première vue, a un énorme impact sur le fonctionnement de la boucle de conversion ainsi que sur l'immunité de ce convertisseur aux imperfections. La sélection de l'architecture du convertisseur en fonction d'un cahier des charges donné nécessite donc une démarche propre à ce type de convertisseur. La prise en compte des dégradations introduites par les imperfections de l'horloge ou celles liées à l'implémentation du circuit requiert également une approche spécifique à ces CANs. En fait, ce sont toutes les étapes de conception du circuit qui doivent être adaptées pour aboutir à un flot de conception de convertisseur delta sigma à temps continu performant.

Le but de cette thèse est de fournir aux concepteurs de convertisseurs analogique numérique un ensemble d'informations, d'explications théoriques et de méthodes pratiques permettant de faciliter la réalisation de CAN delta sigma à temps continu. Les différents travaux présentés dans cette thèse ont donc tous été abordés du point de vue d'un concepteur en microélectronique analogique. L'objectif de ces travaux de recherche et de ce manuscrit n'est en aucun cas une analyse théorique, complète et définitive de l'ensemble des phénomènes mal maîtrisés dans les CANs delta sigma à temps continu. Les différents problèmes abordés, certains de façon très théoriques et d'autres avec beaucoup plus de pragmatisme, ont été étudiés, approfondis et formalisés toujours avec comme unique objectif de faciliter le travail d'un concepteur de CAN delta sigma à temps continu.

Ce manuscrit de thèse est organisé de la façon suivante :

Dans le premier chapitre, la conversion delta sigma à temps continu est abordée au niveau architectural. Après quelques rappels concernant les convertisseurs analogique numérique et le principe de conversion delta sigma, la caractérisation des performances des CANs delta sigma à temps continu et les méthodes de calcul d'architecture sont présentées. Les avantages et inconvénients de ces différentes techniques de calcul, toutes basées sur une conversion temps discret / temps continu, sont détaillés. Enfin une nouvelle méthode d'obtention d'architecture de CANs delta sigma à temps continu, appelée "méthode de calcul par placement des pôles" est présentée. Cette technique de calcul, conçue spécialement pour les convertisseurs à temps continu, permet de prendre en compte les spécificités de cette catégorie de CAN et donc d'optimiser les architectures.

Le deuxième chapitre est intégralement consacré à l'impact des imperfections du signal d'horloge sur la conversion delta sigma à temps continu. Cette catégorie de convertisseurs

est la seule à posséder à la fois des éléments à temps continu et d'autres à temps discret. Cette particularité influence fortement les dégradations introduites par les imperfections de l'horloge et rend la puissance de ces perturbations dépendante de l'architecture du convertisseur. Une analyse approfondie de l'impact des imperfections d'horloge sur les différents blocs constituant un CAN delta sigma à temps continu est présentée dans ce chapitre. Cette étude formelle des différents phénomènes est conclue par une mise en équations des perturbations. Ces équations permettent d'estimer avec précision la puissance de bruit liée aux imperfections de l'horloge. Connaissant l'architecture du modulateur delta sigma à temps continu et le profil de bruit de phase du signal d'horloge, il est alors possible de prédire les dégradations des performances du convertisseur.

Le chapitre trois est quant à lui dédié à l'implémentation des convertisseurs delta sigma à temps continu. Les différentes structures disponibles pour réaliser physiquement les blocs nécessaires au bon fonctionnement du convertisseur sont présentées. Les avantages et inconvénients des différentes stratégies d'implémentation sont discutées et un état de l'art des circuits publiés ces dernières années est présenté à la fin du chapitre.

Le dernier chapitre regroupe les informations et résultats fournis dans les chapitres précédents sous la forme d'une méthode de conception spécifique aux convertisseurs delta sigma à temps continu. Ce flot de conception en quatre étapes permet à un concepteur en micro-électronique, pas nécessairement spécialisé dans les convertisseurs delta sigma, de réaliser un CAN à partir d'un cahier des charges donné. Le respect des différentes étapes du flot de conception proposé assure de n'oublier aucune des sources de dégradations majeures des performances du circuit et donc d'obtenir un convertisseur fonctionnel et performant.

La seconde partie de ce chapitre est consacrée à la réalisation d'un convertisseur delta sigma à temps continu en technologie CMOS065 pour une application WLAN. Ce circuit permet à la fois de valider le flot de conception présenté et d'estimer le potentiel de ce type de convertisseur avec une technologie standard CMOS avancée.

Chapitre 1

Les convertisseurs analogique numérique delta sigma à temps continu

Les convertisseurs delta sigma à temps continu sont des systèmes rebouclés non linéaires. Bien qu'aucune étude théorique globale de ces circuits ne soit disponible, le fort potentiel de performances de ces convertisseurs les rend particulièrement attractifs. La compréhension de leur fonctionnement ainsi que la capacité de déterminer une architecture adaptée à une spécification visée sont indispensables à tout concepteur désirant implémenter ce type de circuit.

Après quelques rappels sur la conversion analogique numérique, une analyse comportementale du fonctionnement des convertisseurs delta sigma, et plus particulièrement les modulateurs delta sigma passe-bas à temps continu, est présentée. Les difficultés relatives à la prédiction de la résolution et de la stabilité de ce type de convertisseur sont exposées en détails.

La conversion delta sigma à temps continu est ensuite abordée d'un point de vue architectural. Le choix des paramètres caractéristiques et de l'architecture d'un convertisseur delta sigma est discuté et une méthode de calcul permettant d'optimiser les coefficients du filtre à temps continu est présentée.

La méthode de calcul par "placement des pôles" détaillée dans ce premier chapitre a été développée spécialement pour les convertisseurs delta sigma à temps continu. Elle permet donc de prendre en compte les spécificités de ces convertisseurs ainsi que les défauts liés à l'implémentation.

1.1 Approche fréquentielle de la conversion analogique numérique

La conversion analogique numérique consiste à transformer un signal analogique continu en un signal discrétisé en temps et en amplitude. Un convertisseur analogique numérique (CAN) réalise donc deux opérations complémentaires, l'échantillonnage du signal d'entrée et la quantification des échantillons.

Cette double discrétisation fournit un signal de sortie, sous forme de mots numériques, exploitable par toutes sortes d'algorithmes numériques de traitement du signal. La conversion analogique numérique, en numérisant le signal dans les deux dimensions, temps et amplitude, entraîne automatiquement une perte d'information. C'est la quantité d'information perdue par le signal utile entre l'entrée et la sortie du convertisseur qui détermine la qualité d'un CAN. Pour caractériser avec précision les performances d'un convertisseur, une approche fréquentielle des phénomènes est préférable [Wald 99].

La majorité des CANs est de type synchrone, c'est-à-dire que le signal analogique est échantillonné temporellement à l'aide d'une horloge régulière et quantifié en amplitude. Ces deux étapes distinctes, échantillonnage et quantification, peuvent être réalisées successivement (convertisseurs à temps discret) ou simultanément (convertisseurs à temps continu).

1.1.1 Périodisation du spectre par échantillonnage

L'échantillonnage temporel synchrone repose sur un principe de base, le théorème de Nyquist-Shannon. Ce théorème énonce que la fréquence d'échantillonnage d'un signal doit être égale ou supérieure au double de la fréquence maximale du signal à convertir pour que l'étape d'échantillonnage n'entraîne pas de perte d'information.

Dans le domaine des fréquences, l'opération d'échantillonnage se traduit par la création d'une infinité d'images du signal analogique répétées périodiquement à la fréquence d'échantillonnage F_s (cf. [Bell 90], chapitre 1). Le spectre du signal échantillonné $S_{Vech}(f)$ est donc composé du spectre d'entrée $S_{Vin}(f)$ auquel est ajouté l'ensemble des spectres images, chacun décalé d'une période F_s (cf. figure 1.1). La superposition, dans la bande de fréquence $[-F_s/2, F_s/2]$, des images du spectre d'entrée est appelée repliement de spectre. Ce phénomène de repliement fréquentiel entraîne une perte d'information dans la mesure où les composantes hautes fréquences du signal d'entrée se retrouve dans la bande $[-F_s/2, F_s/2]$ après échantillonnage.

$$S_{Vech}(f) = F_s \sum_{n=-\infty}^{\infty} S_{Vin}(f - n.F_s) \quad (1.1)$$

Si le théorème de Shannon est respecté, c'est-à-dire que $B \leq Fs/2$ avec B la fréquence maximale du signal analogique continu, la périodisation du spectre lors de l'échantillonnage n'entraîne pas de repliement dans la bande de fréquences utile $[-B, B]$. Dans ce cas, la discrétisation temporelle, résultant de l'échantillonnage du signal, est une opération réversible. Il n'y a aucune perte d'information entre le signal continu d'entrée et le signal échantillonné.

L'hypothèse initiale du théorème de Shannon, stipulant que le signal à échantillonner doit être fréquentiellement borné, n'est pas compatible avec un signal réel. En effet, les signaux réels ont par nature un spectre infini. Ainsi, pour pouvoir appliquer Shannon, les signaux sont habituellement filtrés avant d'être échantillonnés. Le filtre utilisé pour cette opération est appelé filtre anti-repliement.

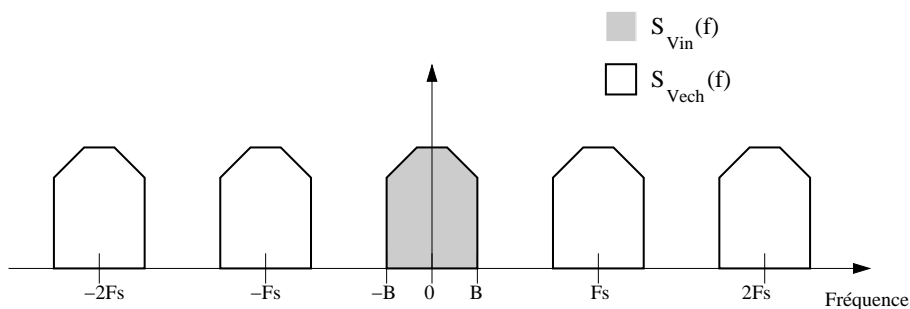


FIG. 1.1 – Périodisation du spectre par échantillonnage

Les convertisseurs analogique numérique fonctionnant avec une horloge cadencée à deux fois le maximum de la fréquence du signal à convertir sont appelés convertisseurs Nyquist.

1.1.2 Bruit de quantification

Une fois échantillonné, le signal à convertir doit être quantifié en amplitude. La quantification, consiste à associer un code numérique à chaque échantillon du signal d'entrée du quantificateur V_{ech} . Le code numérique associé à chaque échantillon est choisi parmi un nombre fini et prédéterminé de valeurs. En effet, un quantificateur est caractérisé par deux paramètres, son nombre de bits de résolution N et sa dynamique d'entrée $\Delta V = [V_{min}, V_{max}]$. Un quantificateur possédant N bits dispose donc de 2^N codes numériques différents pour représenter le signal analogique V_{ech} . Ces 2^N codes numériques correspondent à autant de valeurs d'amplitudes analogiques équiréparties sur la dynamique d'entrée du quantificateur. Le quantum d'amplitude q entre deux niveaux successifs représentant les codes numériques vaut donc :

$$q = \frac{\Delta V}{2^N - 1} \quad (1.2)$$

L'opération de quantification, en faisant correspondre un code numérique à une plage de variation d'amplitude, introduit automatiquement une erreur entre le signal échantillonné

V_{ech} et le signal quantifié V_{num} . Cette erreur, appelée bruit de quantification, est inhérente au principe de conversion analogique numérique. Plus le bruit de quantification introduit est faible, meilleur est le convertisseur.

L'opération de quantification n'est pas réversible. Le bruit introduit lors de l'association d'un code numérique à chacun des échantillons analogiques ne peut pas être retiré. Le bruit de quantification est assimilable à un bruit blanc, sa densité spectrale de puissance est uniforme (cf. figure 1.2). Cette hypothèse d'un bruit de quantification blanc est d'autant plus correcte que le nombre de niveau de quantification est élevé et que le signal d'entrée varie rapidement sur une grande dynamique (travaux de W.R. Bennet). Le bruit de quantification est le facteur limitant la précision des échantillons numérisés, il impacte donc directement la résolution du CAN.

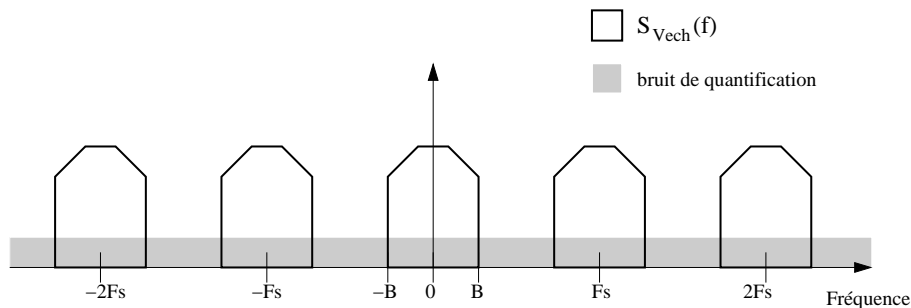


FIG. 1.2 – Introduction de bruit lors de la quantification

1.1.3 Caractérisation des performances des CANs

Dans cette partie, divers paramètres permettant de caractériser les performances des convertisseurs analogique numérique sont détaillés. Il existe dans la littérature un grand nombre de critères différents ayant pour objectif de mesurer et comparer les performances des CANs. Seuls les paramètres de caractérisation dynamique les plus usuellement employés sont rappelés ici.

1.1.3.1 SNR

La qualité d'un CAN est habituellement caractérisée par le rapport signal à bruit ou SNR (*Signal to Noise Ratio*) du signal de sortie du convertisseur. Le SNR est défini par la relation (1.3), avec $P(V_{in})$ la puissance du signal utile et $P(V_e)$ la puissance du bruit de quantification dans la bande de fréquences utiles $[-B, B]$.

$$SNR_{dB} = 10 \log \left(\frac{P(V_{in})}{P(V_e)} \right) \quad (1.3)$$

Le SNR exprime la propriété spectrale du signal numérisé sur une bande de fréquence donnée, sa valeur est donc directement liée au nombre de bits de résolution du convertisseur. Considérons un CAN Nyquist possédant N bits de résolution, c'est-à-dire 2^N codes numériques distincts, et une dynamique d'entrée ΔV . Le bruit de quantification est supposé blanc, de moyenne nulle et ayant une égale probabilité de se trouver sur l'intervalle $[-\frac{q}{2}, \frac{q}{2}]$. Sa densité de probabilité f_{V_e} est égale à :

$$f_{V_e} = \frac{1}{q} \cdot 1_{[-\frac{q}{2}, \frac{q}{2}]} \quad (1.4)$$

La puissance du bruit de quantification vaut :

$$P(V_e) = \int_{-\infty}^{\infty} x^2 \cdot f_{V_e}(x) dx \quad (1.5)$$

d'où :

$$P(V_e) = \frac{q^2}{12} \quad (1.6)$$

Dans le cas particulier où le signal d'entrée est une sinusoïde, d'amplitude maximale $A = \Delta V/2$ et de fréquence f , la puissance d'entrée est donnée par :

$$P(V_{in}) = f \cdot \int_0^{1/f} A \cdot \sin(2\pi ft) dt = \frac{A^2}{2} \quad (1.7)$$

or, on sait que :

$$q = \frac{2A}{2^N - 1} \quad (1.8)$$

La puissance moyenne du signal d'entrée, exprimée en fonction de q , vaut donc :

$$P(V_{in}) = \frac{A^2}{2} = \frac{(2^N - 1)^2 \cdot q^2}{8} \quad (1.9)$$

L'équation du SNR maximum devient alors égale à :

$$SNR_{dB} \simeq 6,02N + 1,76 \quad (1.10)$$

Cette formulation classique de la relation entre le SNR et la résolution du convertisseur est fortement utilisée. En effet, dans la pratique, les CANs sont habituellement testés avec des signaux sinusoïdaux purs. Les performances réelles d'un convertisseur peuvent donc facilement être comparées avec celles d'un CAN idéal en utilisant l'équation (1.10). Dans ce manuscrit, comme dans la quasi-totalité de la littérature, la caractérisation des performances des CANs est par défaut réalisée avec une entrée sinusoïdale.

Dans un CAN réel, divers mécanismes sont susceptibles d'introduire des bruits additionnels, eux aussi assimilables à des bruits blancs comme par exemple le bruit thermique. Ces bruits additionnels dégradent évidemment les performances du convertisseur. Afin de diffé-

rencier le nombre de bits implémentés N et les performances réelles d'un convertisseur, il est préférable de caractériser les performances grâce au nombre de bits effectifs ou ENOB (*Effective Number Of Bits*). L'ENOB est obtenu, à partir du SNR maximum mesuré d'un circuit, simplement en retournant l'équation (1.10) :

$$ENOB = (SNR_{max\ réel\ dB} - 1,76) / 6,02 \quad (1.11)$$

1.1.3.2 SNDR et SFDR

Analyser les performances d'un CAN en ne s'intéressant qu'au SNR n'est généralement pas suffisant. Par définition, le rapport signal à bruit ne prend en compte que les imperfections assimilables à des bruits blancs. La résolution d'un convertisseur réel peut être limitée par d'autres phénomènes, par exemple de la distortion ou des intermodulations. Pour prendre en compte ces perturbations, divers critères de caractérisation dynamiques ont été définis.

Le SNDR (*Signal to Noise and Distortion Ratio*), parfois noté SINAD, est une extension du SNR défini précédemment. La seule différence vient du fait que tous les bruits, corrélés ou non au signal utile et se trouvant dans la bande de fréquences $[-B, B]$, sont intégrés dans le calcul du SNDR :

$$SNDR_{dB} = 10 \log \left(\frac{P(V_{in})}{P(V_e) + P(\sum \text{bruits})} \right) \quad (1.12)$$

Dans la littérature scientifique, un autre paramètre est souvent utilisé lors de la caractérisation des CANs, le SFDR (*Spurious Free Dynamic Range*). Habituellement fournit en complément d'une valeur de SNR ou de SNDR, le SFDR mesure le rapport entre le fondamental du signal utile et la raie présentant le plus de puissance sur la bande $[-B, B]$.

1.1.3.3 Influence du signal d'entrée

Un autre paramètre, non abordé jusqu'à présent, influence fortement le calcul du rapport signal à bruit : l'amplitude du signal d'entrée V_{in} . En effet, si l'amplitude du signal d'excitation du CAN augmente, la puissance $P(V_{in})$ croît automatiquement d'où une augmentation du SNR et donc de la valeur de l'ENOB du convertisseur. Afin de s'affranchir de l'incertitude sur la dynamique d'entrée utilisée pour mesurer le SNR, la résolution d'un convertisseur peut être donnée sous la forme d'une courbe représentant la valeur du SNR en fonction de la puissance de la sinusoïde d'entrée.

Considérons un CAN idéal N -bits, son SNR est donné par la formule (1.10). Pour établir cette équation, l'amplitude du signal d'entrée a été fixée au maximum de la dynamique acceptable du convertisseur. La valeur de SNR fournie par cette formule est donc le maximum que l'on peut espérer une fois ce convertisseur implémenté. Dans la pratique, ce maximum de résolution est difficilement atteignable, les fortes amplitudes faisant souvent apparaître de la distortion. Sur la figure 1.3, un exemple de courbe "classique" du SNR d'un convertisseur réel est représenté en fonction de l'amplitude de la sinusoïde d'entrée.

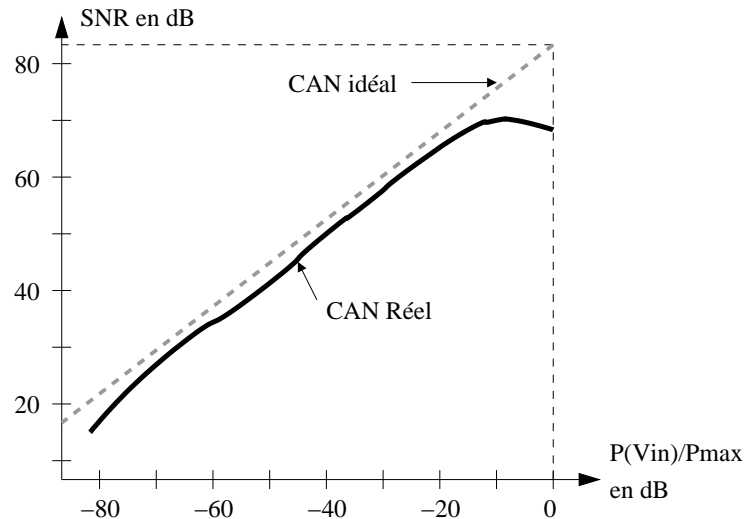


FIG. 1.3 – SNR en fonction de l'amplitude d'entrée

La caractérisation dynamique permet de quantifier avec précision les performances d'un CAN. Elle nécessite en contrepartie beaucoup de rigueur lors de son utilisation. Pour éviter toute confusion il est préférable de préciser la dynamique d'entrée ainsi que les bruits pris en compte lorsqu'un rapport signal à bruit est fourni. Les différents critères de caractérisation dynamique détaillés ci-dessus sont chacun plus ou moins utilisés selon le type d'application visée. Dans les systèmes de réception radio-fréquence, par exemple, des valeurs de SNDR et SFDR sont indispensables car il est primordial de caractériser finement les phénomènes de distortion, les intermodulations entre signaux pouvant nuire gravement à la qualité du récepteur.

1.1.3.4 Facteur de Mérite

Dans ce chapitre, différents critères de caractérisation dynamique des performances des CANs ont été détaillés. Pour simplifier la comparaison des convertisseurs, un paramètre plus général est communément adopté, le Facteur de Mérite (FoM - *Figure of Merit*). Le FoM synthétise en un seul nombre les paramètres principaux du convertisseur et permet donc de rapidement jauger la qualité d'un CAN.

$$FoM = \frac{P_m}{2^{ENOB} \cdot 2B} \quad (1.13)$$

La valeur de l'ENOB dans cette formule est calculée à partir de la valeur maximale du SNR, B représente la bande passante du convertisseur exprimée en Hertz et P_m est la puissance moyenne totale consommée par le convertisseur en Watts.

1.1.4 Sur-échantillonnage et mise en forme de bruit

Jusqu'à présent, seul les convertisseurs de type Nyquist ont été considérés afin de rappeler les principes de base et mettre en place les critères de caractérisation des performances. Avec

ce genre de convertisseur, respectant par définition le théorème de Shannon, la résolution du CAN est directement liée à la précision de la quantification en amplitude. Un des moyens classiques pour accroître la résolution d'un convertisseur, sans modifier le quantificateur, est d'échantillonner le signal avec une fréquence plus élevée que celle de Nyquist. Cette technique est appelée sur-échantillonnage. Dans ce paragraphe, le cas général où le signal à convertir est échantillonné à une fréquence supérieure à la fréquence de Nyquist va être abordé.

Considérons un CAN piloté par une horloge de fréquence F_s et disposant d'un quantificateur N -bits et supposons que le signal à convertir est limité à la bande de fréquences $[-B, B]$, avec $B < F_s/2$. Le facteur de sur-échantillonnage ou OSR (*Over-Sampling Ratio*) est défini comme le rapport suivant :

$$OSR = \frac{F_s}{2 * B} \quad (1.14)$$

La puissance totale du bruit de quantification sur la bande $[-F_s/2, F_s/2]$ est donné par l'équation (1.6) :

$$P(V_e) = \int_{-F_s/2}^{F_s/2} S_e(f) \cdot df = \frac{q^2}{12} \quad (1.15)$$

Avec $S_e(f)$ la densité spectrale de puissance du bruit de quantification. Dans la mesure où le bruit introduit par le quantificateur est blanc, sa densité spectrale de puissance est constante sur la bande de fréquences $[-F_s/2, F_s/2]$ et vaut :

$$S_e(f) = \frac{q^2}{12} \cdot \frac{1}{F_s} \quad (1.16)$$

La puissance du bruit dans la bande $[-B, B]$ est égale à :

$$P(V_e)_{[-B,B]} = S_e(f) \int_{-B}^B df = \frac{q^2}{12} \cdot \frac{1}{OSR} \quad (1.17)$$

La quantité de bruit dans la bande de fréquence utile est donc inversement proportionnelle au facteur de sur-échantillonnage du convertisseur. Ce résultat se répercute automatiquement, après sous-échantillonnage par un filtre de décimation numérique, sur la résolution du convertisseur sur la bande $[-B, B]$ et s'exprime de la façon suivante :

$$SNR_{dB} = 6,02 \cdot N + 1,76 + 10 \log(OSR) \quad (1.18)$$

L'effet du sur-échantillonnage sur un CAN peut se résumer à un étalement de la puissance du bruit introduit par le quantificateur. A chaque fois que la fréquence d'échantillonnage est doublée la résolution du convertisseur est améliorée de 0,5-bit, ce qui équivaut à environ 3dB de SNR.

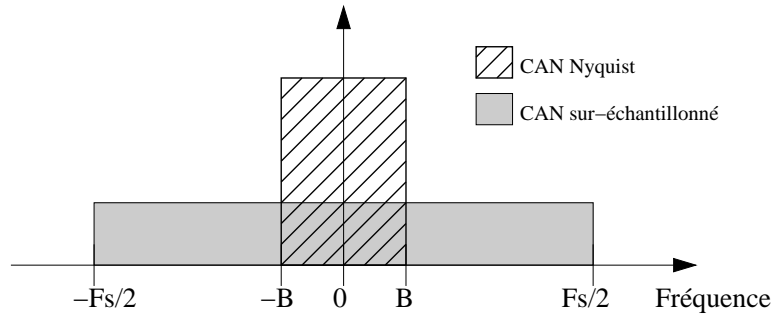


FIG. 1.4 – Etalement de la densité spectrale de bruit par sur-échantillonnage

Quelque soit l'architecture du convertisseur retenue, tout CAN peut théoriquement voir sa résolution améliorée par un sur-échantillonnage du signal suivi d'un filtrage numérique approprié. Le sur-échantillonnage présente un second avantage non négligeable. L'augmentation de la fréquence d'horloge par rapport à la fréquence Nyquist permet de réduire les contraintes sur le filtre anti-repliement. En effet, considérons un CAN travaillant à F_s , la première bande image se repliant dans la bande utile $[-B, B]$ est la zone se situant initialement aux fréquences $[F_s - B, F_s + B]$. Toutes les bandes de fréquences se repliant dans la bande utile sont donc repoussées plus haut en fréquence grâce au sur-échantillonnage.

Le sur-échantillonnage est une technique simple à mettre en oeuvre pour accroître la résolution d'un CAN Nyquist. Elle est cependant vite limitée car la fréquence d'échantillonnage F_s ne peut physiquement être augmentée indéfiniment. Pour améliorer encore la résolution d'un convertisseur une autre technique peut être associée au sur-échantillonnage : la mise en forme du bruit.

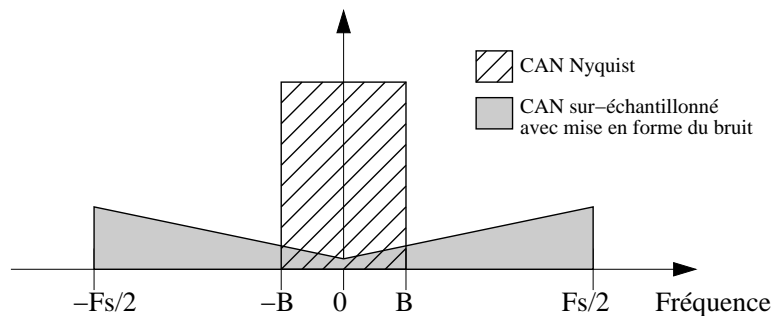


FIG. 1.5 – Effet d'un CAN avec mise en forme du bruit de quantification

Un simple sur-échantillonnage a pour effet d'étaler uniformément le bruit de quantification entre $-F_s/2$ et $F_s/2$. Le principe des convertisseurs à mise en forme de bruit est de volontairement repousser le bruit de quantification hors de la bande de fréquence utile $[-B, B]$ (cf. figure 1.5). Le bruit hors bande est ensuite éliminé par un filtre de décimation numérique, ce qui permet d'augmenter le SNR du convertisseur analogique numérique. L'augmentation de la résolution grâce à ces deux techniques, sur-échantillonnage et mise en forme de bruit, se fait au détriment de la largeur de bande convertie [Aziz 96].

1.2 La conversion delta sigma à temps continu

La conversion delta sigma $\Delta\Sigma$, en associant sur-échantillonnage et mise en forme de bruit, s'est imposée comme la technique de référence pour la réalisation de CANs haute résolution [Morc 93]. Ces convertisseurs possèdent en effet plusieurs avantages significatifs par rapport aux CANs Nyquist.

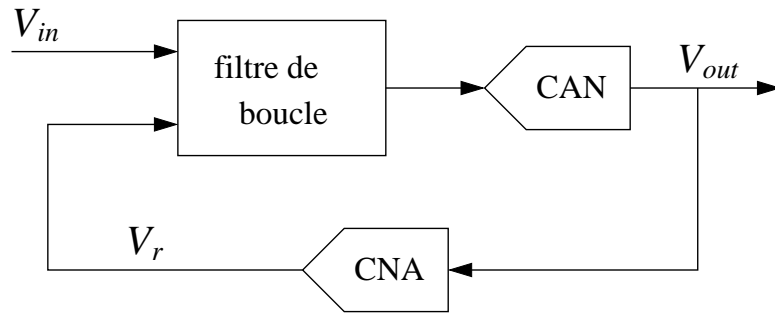
Tout d'abord, ils réduisent sensiblement les contraintes sur le filtre anti-repliement. De plus, les besoins en terme de blocs analogiques complexes sont faibles et ces convertisseurs sont relativement peu sensibles aux imperfections des blocs analogiques. Un autre avantage des convertisseurs delta sigma vient du fait qu'ils sont bien adaptés aux technologies VLSI (*Very Large Scale Integration*) actuelles, technologies rapides à forte densité d'intégration, optimisées pour le traitement numérique des données.

1.2.1 Les boucles de conversion $\Delta\Sigma$

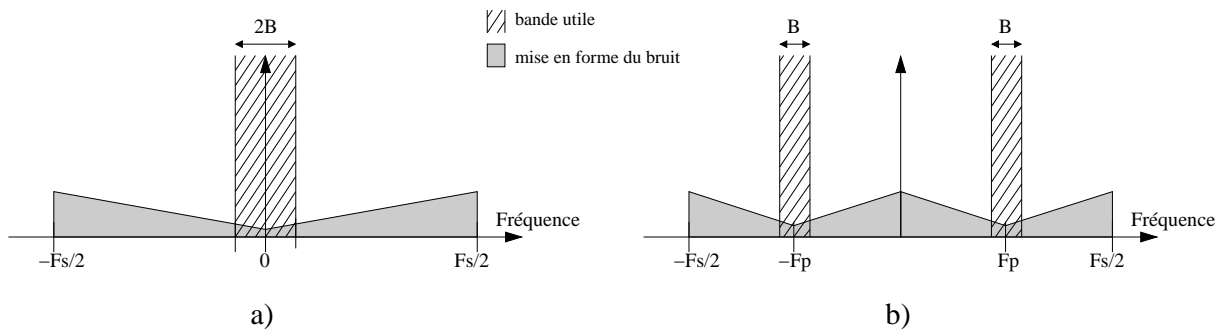
La conversion delta sigma repose sur l'utilisation d'une boucle de contre-réaction, englobant un échantillonneur et un quantificateur. Cette rétroaction permet de décorréler la fonction de transfert s'appliquant au signal d'entrée (STF - *Signal Transfer Function*) de celle que subit le bruit de quantification (NTF - *Noise Transfer Function*). L'objectif d'un modulateur $\Delta\Sigma$ est donc double :

- Transmettre le signal à convertir sans le dégrader, c'est à dire que la STF doit être plate dans la bande de fréquence utile.
- Repousser un maximum de bruit de quantification hors de la bande utile afin d'accroître la résolution.

Le schéma de principe d'un CAN $\Delta\Sigma$ est fourni sur la figure 1.6, il se compose de trois éléments clefs : un CAN, un CNA (*convertisseur numérique analogique*) et un filtre de boucle. Le CAN interne a pour rôle de générer des signaux de sorties discrétisés en temps et en amplitude, pouvant être traités par un circuit numérique. La quantité de bruit globalement ajoutée au signal à convertir dépend du nombre de bits effectifs du convertisseur analogique numérique interne. Le rebouclage à travers le CNA et le filtre de boucle réalise la mise en forme du bruit de quantification. La qualité de la NTF ne repose quant à elle que sur le choix d'un filtre de boucle approprié. Comme tout convertisseur sur-échantillonné, il est nécessaire d'ajouter en sortie du $\Delta\Sigma$ un filtre numérique de décimation pour éliminer le bruit hors bande et fournir des signaux numériques à la fréquence de Nyquist. (cf. [Nors 97], chapitre 1).

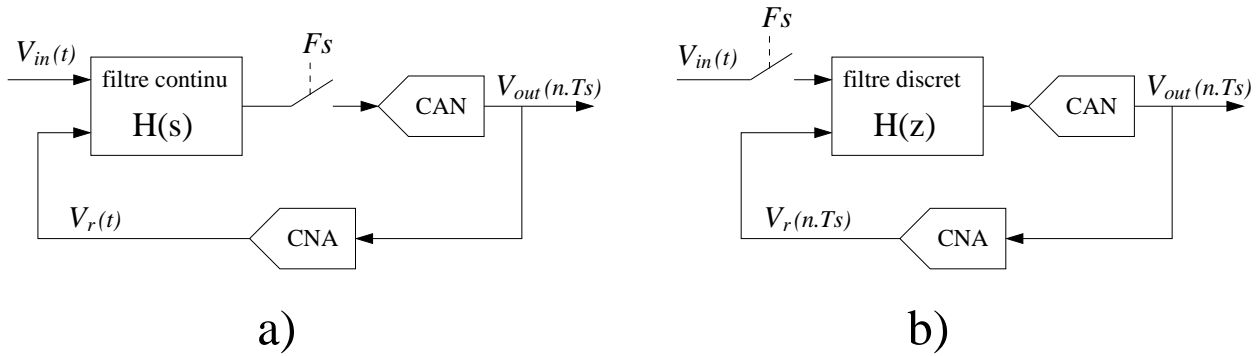
FIG. 1.6 – Schéma bloc d'un CAN $\Delta\Sigma$

Il existe deux grandes catégories de convertisseurs delta sigma, les convertisseurs passe-bas et les convertisseurs passe-bande (cf. figure 1.7). Comme leur nom l'indique, les convertisseurs $\Delta\Sigma$ passe-bas sont utilisés pour convertir des signaux centrés sur la fréquence nulle, ils repoussent donc le bruit de quantification vers les hautes fréquences. Les modulateurs $\Delta\Sigma$ passe-bande, quant à eux, traitent des signaux centrés sur une fréquence intermédiaire F_p située entre zéro et $F_s/2$.

FIG. 1.7 – Mise en forme de bruit : a) $\Delta\Sigma$ passe-bas, b) $\Delta\Sigma$ passe-bande

Les débuts de la conversion delta sigma remontent aux années 1960, époque à laquelle le traitement des données était encore principalement réalisé avec des circuits analogiques continus. Les premières études théoriques ainsi que les premières implémentations de convertisseurs $\Delta\Sigma$ sont donc basées sur l'utilisation de circuit à temps continu pour la réalisation du filtre de boucle [Inos 63, Van 78]. L'essor des convertisseurs delta sigma, grâce à l'utilisation de circuits à capacités commutées, est plus récent, autour des années 80.

Ces grandes étapes de la démocratisation des systèmes de conversion $\Delta\Sigma$ ont cindé en deux catégories distinctes les CANs $\Delta\Sigma$, ceux à temps continu ($\Delta\Sigma_{CT}$) et ceux à temps discret ($\Delta\Sigma_{DT}$). La seule différence entre ces deux types de convertisseurs vient du mode d'implémentation du filtre de boucle (cf. figure 1.8). Les $\Delta\Sigma_{CT}$ utilisent un filtre à temps continu avant d'échantillonner le signal à convertir alors que les $\Delta\Sigma_{DT}$ échantillonnent le signal avant filtrage. Cette dissemblance, mineure à première vue, a en fait un impact énorme sur le fonctionnement du convertisseur : les fonctions de transferts (STF et NTF) sont modifiées, les immunités aux imperfections des blocs analogiques changent...


 FIG. 1.8 – Schéma bloc de convertisseurs $\Delta\Sigma$: a) temps continu ; b) temps discret

L'augmentation continue des largeurs de bande à convertir, dans les systèmes de télécommunications par exemple (GSM \rightarrow WCDMA \rightarrow WLAN), entraîne automatiquement un accroissement des fréquences d'échantillonnage des CANs. De ce fait, les $\Delta\Sigma$ à temps continu, longtemps supplantés par leurs équivalents à temps discret, redeviennent d'actualité ces dernières années. En effet, les filtres de boucle des $\Delta\Sigma_{DT}$, implémentés à base de circuits à capacités commutées, sont par nature plus lents que les filtres à temps continu. Pour transmettre une donnée à l'aide d'un système à capacités commutées, il faut obligatoirement charger puis décharger une ou plusieurs capacités [Tsiv 83]. Cette possibilité de travailler à des fréquences très élevées, de plusieurs centaines de mégahertz au gigahertz, permet d'élargir les bandes passantes des $\Delta\Sigma_{CT}$ tout en gardant une résolution élevée. Par exemple, G. Mitterreger et son équipe, en utilisant une horloge cadencée à 640 MHz, ont réalisés un convertisseur temps continu avec 12-bits d'ENOB sur une bande de 20-MHz [Mitt 06a, Mitt 06b].

Les CANs delta sigma à temps continu possèdent un second avantage sur les $\Delta\Sigma_{DT}$. La position particulière de l'échantillonneur, après le filtre de boucle, introduit une fonction de filtrage à temps continu avant l'échantillonnage du signal utile. Ce filtrage intrinsèque permet de réduire fortement les contraintes sur le filtre anti-repliement précédant le CAN, voir le supprimer totalement.

Ces deux avantages majeurs des $\Delta\Sigma_{CT}$ par rapport aux CANs à temps discret, fréquence de travail élevée et filtre anti-repliement, rendent très attractif ce type de convertisseurs. Dans la suite de ce document, l'étude se limitera au cas de la conversion $\Delta\Sigma_{CT}$ passe-bas.

1.2.2 Principe de conversion $\Delta\Sigma_{CT}$

Le schéma bloc de la figure 1.6 souligne clairement le fait que la conversion $\Delta\Sigma$ est une conversion indirecte des données. En effet, le signal à convertir V_{in} n'est pas directement échantillonné puis quantifié comme dans un CAN "classique"; il doit traverser le filtre de boucle avant d'être numérisé. Les convertisseurs delta sigma tirent leur nom du type de filtre

de boucle implémenté. Ce filtre réalise deux opérations significatives. Il calcule la différence (Δ) entre le signal d'entrée V_{in} et le retour du DAC V_r , image analogique du signal numérique de sortie V_{out} , puis il intègre (Σ) cette différence au cours du temps. C'est finalement l'intégrale de l'erreur entre la sortie et l'entrée du CAN $\Delta\Sigma$ qui est numérisée par le convertisseur interne. Cette numérisation indirecte via une fonction d'intégration a pour effet de repousser le bruit de quantification vers les hautes fréquences, d'où une amélioration du SNR.

Analyse d'un convertisseur $\Delta\Sigma_{CT}$ d'ordre 1 avec un CAN interne 1-bit

L'analyse temporelle du convertisseur delta sigma d'ordre 1, 1-bit permet de facilement comprendre comment la conversion $\Delta\Sigma$ réalise une mise en forme du bruit de quantification. L'ordre d'un CAN $\Delta\Sigma$ correspond à l'ordre de la fonction de filtrage implémentée dans le filtre de boucle. Le schéma bloc du modulateur étudié dans ce paragraphe est représenté sur la figure 1.9. Ce convertisseur nécessite très peu de fonctions analogiques : un additionneur, un intégrateur, un comparateur, servant de CAN 1-bit, et un CNA 1-bit.

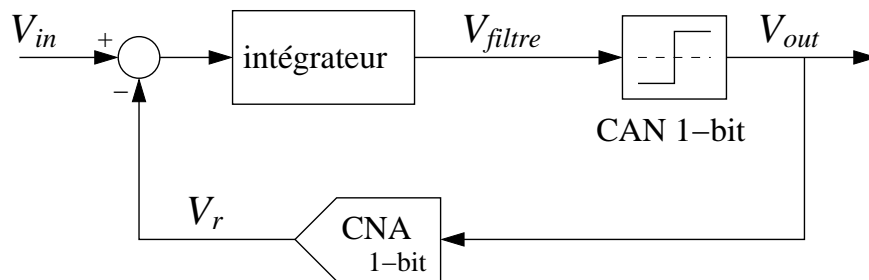


FIG. 1.9 – Schéma bloc d'un CAN $\Delta\Sigma$ d'ordre 1, 1-bit

Supposons la dynamique d'entrée du convertisseur interne égale à $[-1, +1]$, le niveau de comparaison du CAN interne vaut donc zéro. Le signal de retour fourni par le CNA peut quant à lui prendre deux valeurs -1 ou $+1$. Considérons également un signal d'entrée continu et constant de valeur $V_{in} = 4/5$. Les diagrammes temporels des différents signaux de la boucle de conversion sont représentés sur la figure 1.10.

A chaque période d'horloge, le signal de sortie V_{out} , codé sur 1-bit, ne peut prendre qu'une et une seule valeur numérique, correspondant soit à l'amplitude -1 soit à l'amplitude $+1$. L'erreur de quantification entre le signal de sortie et l'entrée à convertir est mémorisée par le filtre de boucle, grâce à l'action combinée du rebouclage et de l'intégrateur. Les erreurs de quantification successives sont intégrées par le filtre continu et le CAN 1-bit, en mesurant le signe de V_{filtre} à chaque période d'horloge, pilote la boucle de conversion afin de minimiser l'erreur cumulée. Ainsi, la tension d'entrée V_{in} est codée numériquement en sortie du convertisseur par une succession régulière de bits numériques -1 et $+1$ (cf. figure 1.10.c). Cette modulation dans le temps du signal de sortie V_{out} compense la faible résolution du quantificateur interne 1-bit. L'amélioration de la résolution du CAN $\Delta\Sigma$, due au rebouclage

, devient plus flagrante après décimation. Le filtre de décimation, utilisé pour cet exemple, réalise tout simplement une moyenne sur 10 échantillons. Sur la courbe d) de la figure 1.10, on retrouve après conversion et décimation numérique la valeur du signal appliqué en entrée du CAN $\Delta\Sigma$.

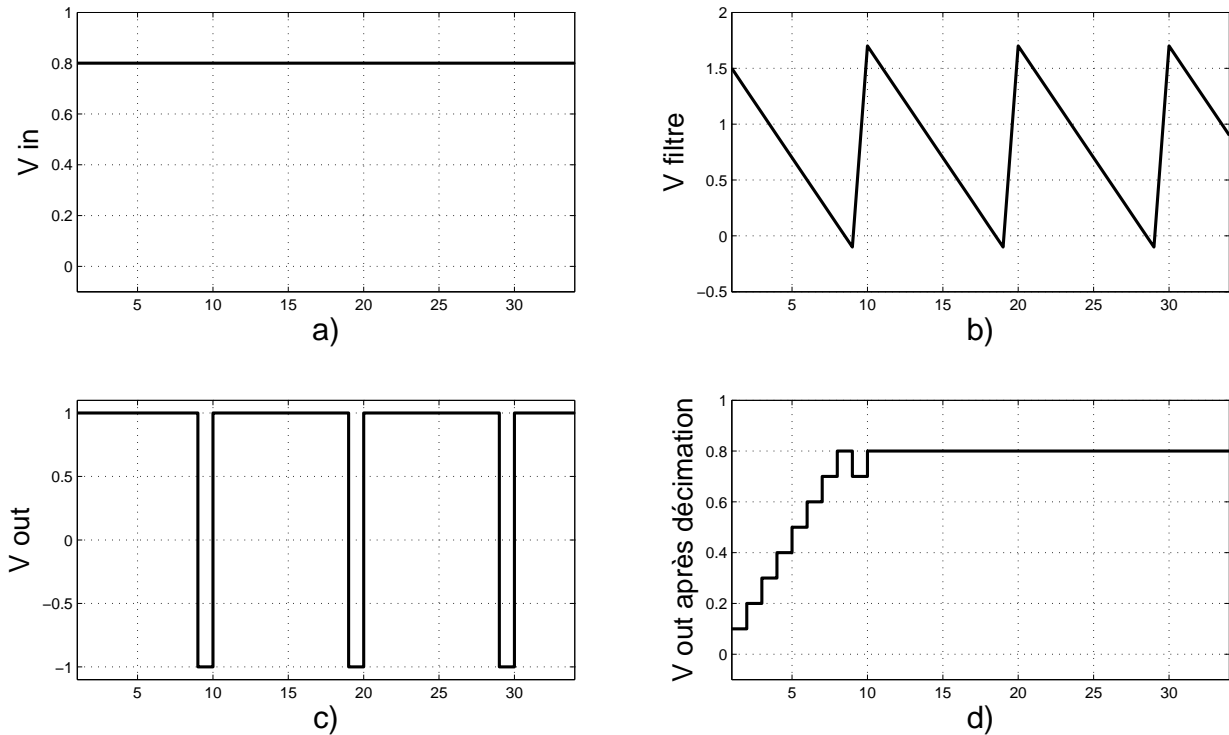


FIG. 1.10 – Diagrammes temporels d'un $\Delta\Sigma$ d'ordre 1 : a) signal d'entrée $V_{in} = 4/5$; b) sortie du filtre de boucle V_{filtre} ; c) sortie du convertisseur V_{out} ; d) signal de sortie V_{out} après le filtre de décimation

L'approche temporelle de la conversion $\Delta\Sigma$ détaillée ci-dessus permet de saisir les principes fondamentaux de cette méthode de conversion. L'analyse fréquentielle, quant à elle, met en avant la fonction de mise en forme du bruit (NTF). En effet, la transformée de Fourier de la sortie du modulateur $\Delta\Sigma$ montre nettement une mise en forme d'ordre 1, caractérisée par une pente de + 20 dB par décade (cf. figure 1.11 .c). Le modulateur delta sigma étudié est de type passe bas ; la majeure partie du bruit de quantification se situe donc à des fréquences élevées. Le filtre de décimation numérique, post conversion, se charge d'éliminer le bruit situé hors de la bande utile. La comparaison des transformées de Fourier des signaux numériques de sortie, avant et après le filtre de décimation, montre un filtrage de type sinus cardinal, fonction caractéristique du moyennage des échantillons.

Le principe de conversion $\Delta\Sigma$, analysé dans ce paragraphe avec un modulateur d'ordre 1, est le même quelque soit l'architecture implémentée. Evidemment, plus l'ordre du filtre de boucle est élevé plus la fonction de mise en forme du bruit est performante. De plus, si le nombre bits effectifs du CAN interne augmente, la résolution du modulateur delta sigma aug-

mente également. A l'exception du modulateur d'ordre 1, traité dans ce paragraphe, l'analyse temporelle d'un convertisseur $\Delta\Sigma$ est très difficile (voire impossible). L'étude spectrale de ce type de convertisseurs s'impose donc comme la seule technique viable pour l'estimation des performances.

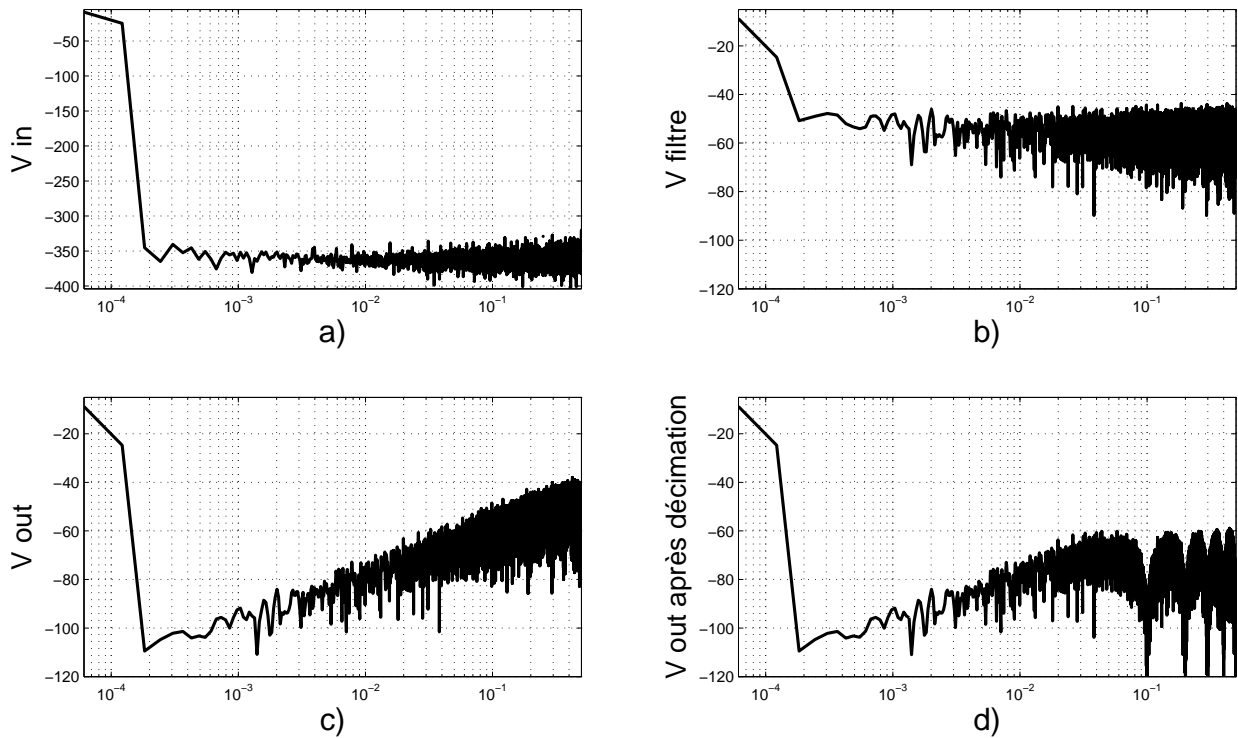


FIG. 1.11 – Densités spectrales de puissance d'un $\Delta\Sigma$ d'ordre 1 : a) signal d'entrée $V_{in} = 4/5$; b) sortie du filtre de boucle V_{filtre} ; c) sortie du convertisseur V_{out} ; d) signal de sortie V_{out} après le filtre de décimation

1.2.3 Paramètres caractéristiques d'un convertisseur delta sigma

La conversion delta sigma est basée sur l'utilisation conjointe du sur-échantillonnage et de la mise en forme du bruit de quantification. Lors de la conception d'un CAN $\Delta\Sigma_{CT}$, ces deux techniques d'amélioration des performances sont deux degrés de liberté supplémentaires, venant s'ajouter au choix du nombre de bits implémentés pour le CAN interne. Pour caractériser intégralement un système de conversion delta sigma, il faut connaître :

- le nombre de bit du CAN interne
- le facteur de sur-échantillonnage
- la fonction de transfert du filtre de boucle

Du choix de ces trois paramètres caractéristiques dépend la résolution effective maximale atteignable par le convertisseur. Pour une spécification donnée, souvent définie par une valeur de SNR sur une bande de fréquence fixée, il existe une multitude de trinôme "CAN

interne/OSR/Filtre” viables et cependant très différents les uns des autres. En effet, trois axes de travail peuvent être envisagés pour obtenir une résolution donnée : augmenter la fréquence d’échantillonnage afin d’étaler le bruit de quantification, accroître le nombre de bits du CAN interne afin de réduire la puissance totale du bruit généré ou améliorer le filtre de boucle pour repousser plus de bruit hors de la bande utile (cf. [Nors 97], chapitre 3).

Lors de la conception d’un convertisseur $\Delta\Sigma_{CT}$, la première étape consiste donc à déterminer le meilleur compromis entre les trois paramètres caractéristiques du convertisseur. Ce choix doit évidemment tenir compte des spécifications à atteindre mais aussi des caractéristiques de la technologie employée, des répercussions sur le circuit de synthèse de fréquence, de la quantité et de la complexité des blocs analogiques et numériques nécessaires...

1.3 Résolution des delta sigma à temps continu

Comme pour tout convertisseur analogique numérique, le niveau de performance d’un delta sigma à temps continu est fixé par la valeur du nombre de bits effectifs sur une bande de fréquence donnée. L’évaluation de la résolution d’un CAN $\Delta\Sigma$ réel ne diffère en rien de celle d’un CAN Nyquist ; les tests de performance se résument à mesurer le SNR ou le SNDR du convertisseur à l’aide de la transformée de Fourier du signal de sortie.

A l’inverse, la prédiction des performances d’un $\Delta\Sigma_{CT}$, à partir de son schéma bloc, n’a rien à voir avec l’évaluation de la résolution d’un CAN Nyquist. Cette opération est plus délicate lorsque l’on s’intéresse à un convertisseur à mise en forme de bruit. Pour estimer le SNR d’un tel convertisseur, il faut préalablement connaître trois paramètres : le facteur de sur-échantillonnage, la densité spectrale du bruit introduit par le CAN interne et la fonction de mise en forme de bruit.

Les deux premiers éléments sont des paramètres caractéristiques du convertisseur $\Delta\Sigma_{CT}$, leur estimation numérique est donc triviale si l’on garde l’hypothèse classique d’un bruit de quantification blanc. La fonction de mise en forme de bruit est, quant à elle, beaucoup plus ardue à obtenir du fait que la boucle de conversion possède un élément non linéaire, le CAN interne.

1.3.1 Linéarisation de la boucle, modèle avec additionneur de bruit blanc

Pour s’affranchir du problème posé par l’élément non linéaire, la fonction de transfert de mise en forme du bruit est habituellement estimée à l’aide d’un modèle linéarisé de la boucle de conversion, le quantificateur interne étant remplacé par un additionneur de bruit blanc. En plus de cette linéarisation “classique” des boucles de conversion delta sigma, une seconde simplification de la boucle est ici proposée. Elle consiste tout simplement à supprimer l’échantillonnage interne. Cette double linéarisation de la boucle aboutit à un modèle très épuré du modulateur delta sigma (cf. figure 1.12) permettant d’estimer facilement, et avec

une relativement bonne précision, la STF et la NTF du convertisseur. En effet, une fois la boucle linéarisée les différentes méthodes classiques d'étude des systèmes linéaires peuvent être utilisées (diagramme de Nyquist, diagramme de Bode...).

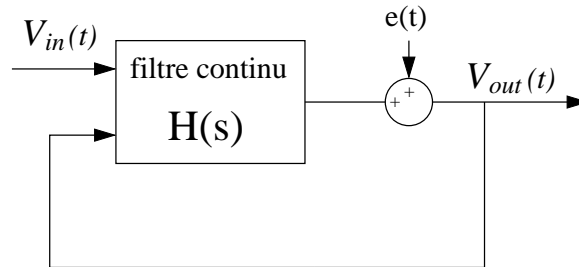


FIG. 1.12 – Modèle linéarisé d'un $\Delta\Sigma_CT$ avec additionneur de bruit blanc

Avec ce modèle linéarisé, la sortie du $\Delta\Sigma_CT$ peut s'exprimer de la façon suivante :

$$V_{OUT}(s) = STF(s) * V_{in}(s) + NTF(s) * e(s) \quad (1.19)$$

Dans cette équation, le terme $V_{in}(s)$ symbolise le signal d'entrée du convertisseur et $e(s)$ représente le bruit introduit par le CAN interne.

L'inconvénient majeur de l'équation 1.19 vient du fait qu'elle masque la corrélation entre le signal d'entrée et le bruit de quantification. Cette imperfection du modèle peut conduire à d'énormes disparités entre le modèle et le convertisseur lors de l'analyse du fonctionnement d'un $\Delta\Sigma_CT$. Par exemple, cette modélisation ne permet pas de mettre en évidence une grande partie des phénomènes d'instabilités de la boucle de conversion (cf. paragraphe 1.4).

Malgré ces limites évidentes, cette méthode de linéarisation de la boucle est fortement utilisée et fournit, dans la plupart des cas, des résultats satisfaisants en ce qui concerne l'estimation des fonctions de transfert de la boucle.

1.3.2 Prédiction des performances

Dans le paragraphe précédent, une méthode de linéarisation de la boucle de conversion, permettant d'estimer convenablement la NTF d'un $\Delta\Sigma_CT$, a été détaillée. Connaissant la fonction de mise en forme du bruit, le facteur de sur-échantillonnage et le nombre de bits du CAN interne, il est possible de prédire la résolution d'un convertisseur delta sigma. Pour l'estimation du SNR d'un $\Delta\Sigma_CT$, l'hypothèse d'un bruit de quantification blanc est conservée. Le stimulus d'entrée $V_{in}(t)$ reste quant à lui un signal sinusoïdal pleine échelle.

Le principe de conversion delta sigma est de repousser le bruit de quantification hors de la bande utile $[-B, B]$. Cette opération complexe, réalisée à l'aide d'une boucle de conversion, peut être virtuellement découpée en deux opérations successives. Tout d'abord, le bruit de quantification est étalé uniformément grâce au sur-échantillonnage. Le spectre du bruit est ensuite mis en forme par la NTF de la boucle.

Ces deux phénomènes se retrouvent dans l'expression du SNR de sortie du $\Delta\Sigma_CT$, voir équation 1.20. Les trois premiers termes de cette formule sont identiques à ceux de l'équation 1.18, ils ne dépendent que du nombre de bits du CAN interne et du facteur de sur-échantillonnage. Le dernier élément est lié à la mise en forme du bruit générée par la boucle de conversion. Le terme $NTF_{rms,B}$ représente la valeur rms (*Root Mean Square*) de la NTF dans la bande de fréquence utile, c'est à dire l'atténuation de la puissance du bruit de quantification dans la bande $[-B, B]$ apportée par la mise en forme $\Delta\Sigma$.

$$SNR_{\Delta\Sigma} = 6,02 * N_{ADC\ interne} + 1.76 + 10 \log(OSR) + 10 \log(NTF_{rms,B}) \quad (1.20)$$

Pour estimer la résolution d'un $\Delta\Sigma_CT$, il faut donc connaître avec précision le filtre de boucle qui va être implémenté. De plus, la détermination de la NTF se faisant à l'aide d'un modèle linéarisé de la boucle de conversion, l'exactitude de la fonction de transfert n'est pas assurée. La seule méthode totalement fiable pour estimer le SNR d'un modulateur $\Delta\Sigma_CT$ est de simuler le convertisseur puis de calculer son SNR à partir du signal numérique de sortie.

Dans la littérature, il est possible de trouver des versions simplifiées de la formule 1.20 ainsi que des abaques de performances issues de simulations exhaustives de convertisseurs delta sigma [Nors 97, Schr 93, Morc 93, Aziz 96]. Les données fournies se limitent habituellement à un seule famille de filtres de mise en forme et sont souvent données à titre indicatif pour souligner des tendances de variation.

Les lacunes mathématiques actuelles pour l'analyse des boucles de conversion delta sigma rendent impossible le calcul formel de la résolution de ce type de convertisseur. Cependant l'utilisation d'un modèle linéarisé du système permet d'estimer grossièrement les performances envisageables. Pour s'assurer des performances réelles d'un $\Delta\Sigma_CT$, la simulation du système reste à ce jour la seule méthode fiable.

1.4 Stabilité des delta sigma à temps continu

Les convertisseurs $\Delta\Sigma$ mêlent sur-échantillonnage et mise en forme du bruit afin d'améliorer la résolution effective du signal numérique de sortie. Ces convertisseurs se sont révélés particulièrement performants pour convertir avec une forte résolution des signaux lents en profitant pleinement du sur-échantillonnage (typiquement $64 < OSR < 512$) et de filtres de boucles simplifiés (ordre 1 ou 2 seulement).

Pour convertir des signaux large bande, plusieurs mégahertz de bande passante, l'utilisation de forts OSR semble périlleuse ; les fréquences d'horloge à employer devenant trop élevées. Pour compenser le faible OSR (inférieur à 50 habituellement) lors de la conversion de signaux large bande, il est nécessaire d'augmenter l'ordre du filtre de mise en forme de bruit. Malheureusement, les boucles de conversion $\Delta\Sigma_CT$ d'ordre supérieur à 2 ont une

fâcheuse tendance à présenter des problèmes de stabilité.

1.4.1 Définition de la stabilité d'un delta sigma à temps continu

Les convertisseurs delta sigma à temps continu sont des systèmes rebouclés, ils peuvent donc être instables pour des ordres supérieur à 2. De plus, ces boucles possèdent un élément fortement non linéaire, le quantificateur interne, rendant les études de stabilité complexes.

Pour caractériser le comportement d'un système dynamique, il existe différents types de stabilités. En automatique ou électronique par exemple, la stabilité asymptotique est généralement utilisée. Un système est dit asymptotiquement stable si lorsqu'on lui applique une entrée finie, la sortie ne va pas diverger et que si l'on applique un échelon en entrée du système, alors toutes les oscillations seront amorties et la sortie tendra asymptotiquement vers une valeur stationnaire finale.

Pour les systèmes non linéaires, la stabilité est habituellement étudiée à l'aide de la théorie de Lyapunov. L'idée générale de la théorie de Lyapunov est la suivante. Si tous les points d'un système dynamique démarrent autour d'un point de fonctionnement X et que tous ces points restent indéfiniment autour de ce point X , alors le système est stable au sens de Lyapunov.

Les définitions précédentes caractérisent toutes les deux la stabilité d'un système dynamique ; elles sont cependant très différentes dans leur énoncé et aucune ne convient réellement pour définir la stabilité d'un modulateur delta sigma.

Un convertisseur $\Delta\Sigma_CT$ est considéré stable tant que les signaux internes ne prennent pas de valeurs trop grandes, sans nécessairement être infinies, entraînant une dégradation du SNR. L'instabilité d'un delta sigma se manifeste habituellement par l'apparition d'oscillations basse fréquence et de forte puissance, surpassant nettement le signal utile [Nors 97, Bree 01]. Une autre des spécificités de l'instabilité des convertisseurs delta sigma vient du fait que celle-ci est fortement liée à l'amplitude du signal d'entrée. Plus la puissance d'entrée est élevée plus le risque d'instabilité est grand.

L'instabilité d'un $\Delta\Sigma_CT$ peut être reformulée de la façon suivante : l'instabilité d'un modulateur delta sigma est le fait que pour certains stimuli d'entrée, les signaux internes du modulateur, et en particulier l'entrée du CAN interne, se mettent à osciller entraînant le convertisseur dans des modes de fonctionnement non désirés, sans rapport avec la conversion analogique numérique.

La stabilité est un des points clés lors de la réalisation d'un $\Delta\Sigma_CT$, un convertisseur instable ayant par définition un très mauvais rapport signal à bruit. Malheureusement, la nature non-linéaire du quantificateur interne rend particulièrement difficile l'analyse théorique

globale du fonctionnement de ce type de boucle de conversion. De ce fait, aucune solution mathématique garantissant la stabilité d'une boucle delta sigma n'a à ce jour été trouvée.

1.4.2 Analyse de la stabilité, linéarisation par un gain variable

L'impossible prédiction mathématique de la stabilité des boucles de conversion delta sigma, n'empêche ni l'analyse des instabilités ni l'utilisation pratique de ce type de CAN. Le point bloquant pour l'analyse formelle du fonctionnement des $\Delta\Sigma_{CT}$ est la non linéarité du CAN interne. Pour contourner ce problème, la boucle de conversion est généralement linéarisée. Le modèle avec additionneur de bruit blanc, présenté au paragraphe 1.3.1, n'est pas suffisant pour mettre en évidence le phénomène d'instabilité.

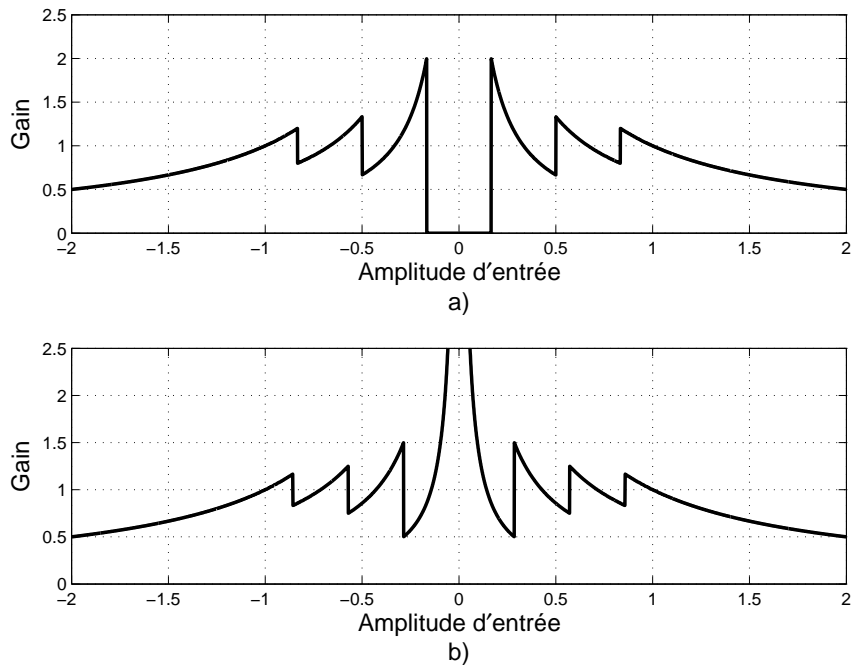


FIG. 1.13 – Gain de quantification, a) CAN 7-Niveaux, b) CAN 8-Niveaux

La non linéarité du CAN interne peut être aisément représentée en traçant le gain du quantificateur α en fonction de l'amplitude d'entrée, $\alpha(V_{entrée}) = V_{sortie}/V_{entrée}$. Sur la figure 1.13, deux courbes de gain sont représentées. Dans les deux cas, les niveaux de quantification sont placés de telle sorte que la dynamique d'entrée du CAN est égale à $[-1, 1]$. La première courbe correspond à un CAN possédant 7 codes numériques pour quantifier le signal alors que la seconde représente le gain d'un CAN disposant de 8 codes numériques.

La non-linéarité du quantificateur se traduit par des discontinuités dans les courbes de gain. Lorsque le signal d'entrée se situe dans la dynamique acceptable du convertisseur, le gain "oscille" autour de la valeur 1. Les courbes de gain tendent vers zéro lorsque la valeur absolue de l'entrée tend vers $+\infty$. De plus, selon la parité du nombre de codes de sortie, le gain au voisinage de zéro tend vers $+\infty$ ou prend la valeur zéro.

En se basant sur les courbes de gain de la figure 1.13, un CAN peut être modélisé par un simple gain variable positif ou nul. A partir de ce résultat, une seconde méthode de linéarisation des boucles de conversion $\Delta\Sigma$ a été proposée, consistant tout simplement à remplacer le CAN interne par un gain variable. A l'instar du modèle du paragraphe 1.3.1, l'échantillonnage interne est également supprimé dans ce modèle afin de le simplifier au maximum (cf. figure 1.14). Cette double linéarisation de la boucle de conversion fournit un modèle à temps continu pratique et facile à utiliser à la fois pour mettre en évidence les problèmes de stabilité mais également pour calculer des architectures de convertisseur $\Delta\Sigma_CT$ (cf. paragraphe 1.5.2).

Cette modélisation des $\Delta\Sigma_CT$ permet en effet d'analyser le fonctionnement du convertisseur et ainsi de mettre en évidence les problèmes de stabilité. A un signal d'entrée donné correspond une plage de variation du gain de quantification du CAN interne. L'étude des fonctions de transfert de la boucle linéarisée, sur l'intégralité de la plage de variation du gain, permet d'identifier les différents modes de fonctionnement des CANs delta sigma et les raisons de leur instabilité [Bair 94].

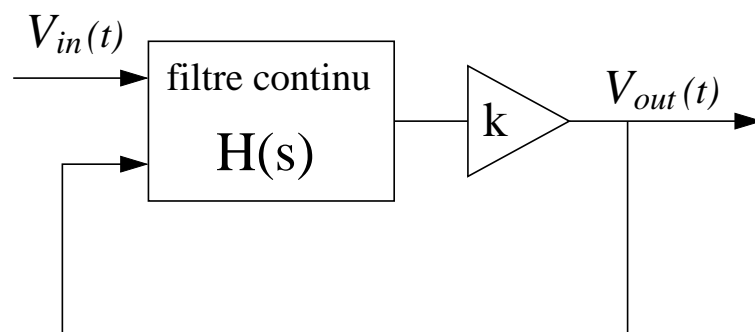


FIG. 1.14 – Modèle linéarisé d'un $\Delta\Sigma_CT$ avec gain variable

Stabilité d'un convertisseur $\Delta\Sigma_CT$ d'ordre 3

Pour illustrer les problèmes de stabilité des delta-sigma et l'utilité de la modélisation par gain variable, le cas d'un modulateur d'ordre 3 va être traité. Le schéma bloc du $\Delta\Sigma_CT$ linéarisé est représenté sur la figure 1.15, c'est un delta sigma d'ordre 3 de type feedback, c'est-à-dire qu'il existe un rebouclage à l'entrée de chaque étage du filtre (cf. paragraphe 1.5.2.1). Pour information, les fonctions de transfert STF et NTF extraites à l'aide de la linéarisation par additionneur de bruit blanc sont fournies sur la figure 1.16. La fonction de mise en forme de bruit est typique de celle d'un modulateur d'ordre 3 avec une pente caractéristique de + 60 dB/décade.

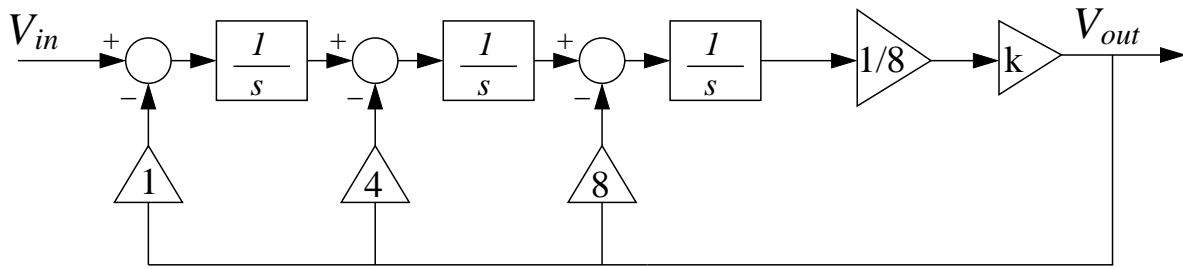


FIG. 1.15 – Schéma bloc du $\Delta\Sigma_CT$ d'ordre 3

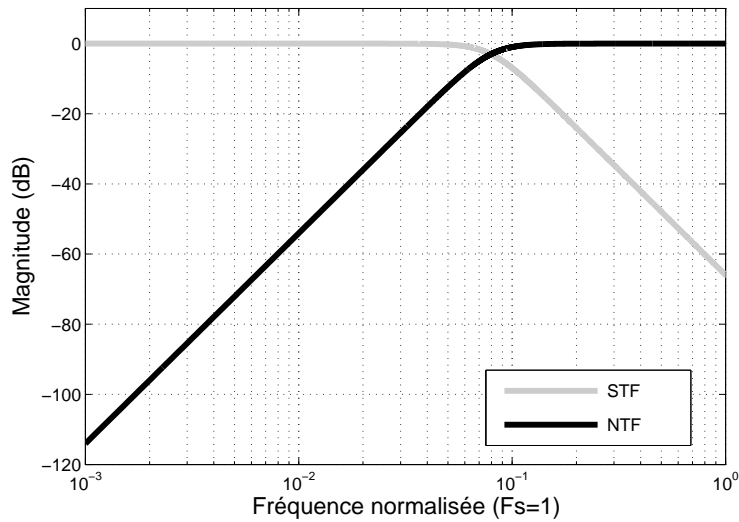
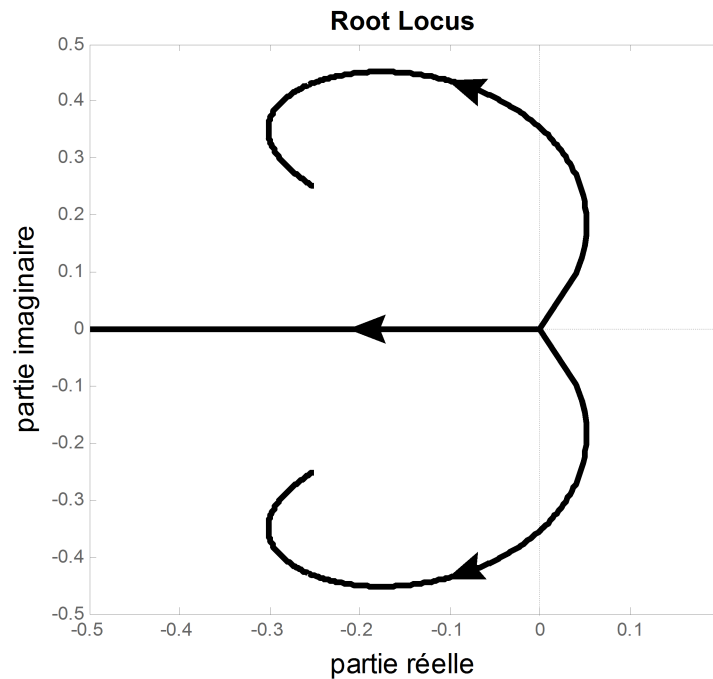


FIG. 1.16 – Fonctions de transfert estimées du $\Delta\Sigma_CT$ d'ordre 3

A partir du modèle linéarisé avec un gain variable, on peut tracer la position des pôles de la STF en fonction de la valeur du gain de quantification k . Sur la figure 1.17, représentant les pôles du delta-sigma d'ordre 3, on voit clairement que pour de faibles valeurs de k , les pôles du convertisseur se situent dans le demi-plan droit du plan- s , c'est-à-dire la zone instable. Ce système rebouclé présente donc des risques d'instabilité.

L'interprétation du diagramme de déplacement des pôles d'un $\Delta\Sigma_CT$ est très éloignée de celle d'un système linéaire. Habituellement, le lieu d'Evans ou root locus d'un système linéaire permet de choisir la valeur du gain de boucle garantissant un positionnement optimum des pôles.

FIG. 1.17 – Déplacement des pôles du $\Delta\Sigma_CT$ d'ordre 3

Dans le cas d'un modulateur delta sigma, le paramètre k représente le gain de quantification du CAN interne. La valeur numérique de ce gain fluctue au cours du temps et déplace donc les pôles du système pendant le fonctionnement normal du convertisseur. A une architecture de $\Delta\Sigma_CT$ donnée et un signal d'entrée prédéterminé correspond une plage de variation du gain de boucle k . Si la dynamique de variation du gain conduit, au cours du fonctionnement du convertisseur, un ou plusieurs des pôles hors de la zone stable du plan- s , le système peut devenir instable. Cette condition d'instabilité n'est à elle seule pas suffisante pour déterminer le fonctionnement du convertisseur. En effet, un $\Delta\Sigma_CT$ peut présenter des cycles de fonctionnement pendant lesquels un ou plusieurs pôles sortent du demi plan gauche puis reviennent ensuite dans la zone stable.

Pour prédire la stabilité d'un convertisseur delta sigma, le point bloquant réside dans l'estimation des valeurs de k utilisées au cours de la conversion connaissant le signal d'entrée à convertir. L'analyse des convertisseurs delta sigma, à l'aide de la modélisation par gain variable, a néanmoins permis d'identifier les paramètres de conception responsables des phénomènes d'instabilité [Bair 94, Rito 90, Stik 88]. Un des résultats majeurs de ces études est le fait que la plage de variation du gain de quantification augmente si l'amplitude du signal d'entrée croît. Les convertisseurs $\Delta\Sigma_CT$ d'ordre supérieur à 2, sont donc habituellement instables si la dynamique d'entrée est forte. De plus, le caractère instable de ce type de CAN est accentué lorsque la fonction de mise en forme de bruit est rendue plus agressive [Schr 93]. Enfin, la stabilité des $\Delta\Sigma_CT$ est améliorée si la résolution du CAN interne est augmentée.

Dans le cas extrême où la contrainte de conception principale est la stabilité absolue du

convertisseur, la modélisation par gain variable et les techniques de root locus peuvent être employées avec succès pour calculer des architectures respectant cette contrainte. L'obtention d'architectures stables quelque soit le signal appliqué en entrée du convertisseur n'est donc pas utopique. Malheureusement, assurer la stabilité à tout prix se fait généralement au détriment de la résolution [Yang 02].

Cette linéarisation du convertisseur avec un gain variable est le point de départ de l'intégralité des analyses de la stabilité des $\Delta\Sigma_CT$. Parallèlement à ces études de principe des phénomènes d'instabilité, différents chercheurs ont mis en place des critères de stabilité.

1.4.3 Etat de l'art des études et critères de stabilité

Dans les années 80, les travaux sur la stabilité des delta sigma, avec entre autre l'exploitation des méthodes de linéarisation détaillées ci-dessus, ont permis la mise en place de différents critères de stabilité ; critères sensés guider le concepteur de delta-sigma dans le choix de l'architecture idéale pour l'application visée. Ces différentes études de stabilité ont été réalisées pour la plupart à une époque où l'implémentation de ce type de CAN était essentiellement à temps discret. Les résultats détaillés dans ce paragraphe sont donc principalement issus de travaux sur les $\Delta\Sigma_DT$. Cependant, les résultats et surtout les conclusions tirées de ces travaux sont également valables pour les delta sigma à temps continu.

Le critère de stabilité le plus employé est le critère de Lee [Lee 87, Chao 90], il stipule que le gain de la NTF doit être inférieur à 2 pour toutes les fréquences. Agrawal et Shenoï [Agra 83] se sont quant à eux intéressés au gain en puissance P du bruit des delta-sigma et de sa répartition fréquentielle. Leurs travaux ont abouti à la mise en place de la condition de stabilité $P < 3$. Malheureusement aucun des critères de stabilité n'est absolu et il existe pour chacun d'eux des exceptions aboutissant à des architectures instables respectant les conditions de stabilité du critère [Schr 91, Schr 93].

Les limites évidentes des critères de stabilité ont poussé les travaux vers des études plus approfondies de la stabilité des delta-sigma. Ardalan et Paulos [Arda 87], en combinant les deux variantes de linéarisation de la boucle (additionneur de bruit blanc et gain variable), ont fourni des résultats très intéressants sur la stabilité des boucles delta sigma du deuxième et troisième ordre. En gardant toujours en tête le fait que le gain est variable au cours du temps, ils ont montré que la probabilité d'instabilité peut être estimée connaissant la fonction de mise en forme du bruit. Leurs travaux ont par exemple permis d'analyser l'apparition de l'instabilité lorsque l'amplitude des signaux d'entrée augmente.

Dans les années 90, Lars Risbo [Risb 94a, Risb 94b] s'est lui aussi intéressé à ce problème de stabilité. Son travail est basé sur un principe d'étude similaire de la variation du gain au cours du temps et sur une vision statistique du bruit de quantification et de la sortie du modulateur delta sigma. En faisant comme hypothèse que le bruit de quantification est un

bruit blanc d'espérance nulle et de variance σ_n^2 , la variance de la sortie du modulateur peut s'écrire :

$$\sigma_{out}^2 = \sigma_n^2 \int_0^1 |NTF_k(f)|^2 df = \sigma_n^2 A(k) \quad (1.21)$$

$NTF_k(f)$ est la fonction de transfert s'appliquant au bruit de quantification lors de l'utilisation du modèle linéarisé par gain variable de la figure 1.14. Cette fonction de transfert dépend donc de la valeur du gain k . La fonction $A(k)$ est ce que Risbo appelle le facteur d'amplification de la puissance de bruit.

Connaissant l'espérance du signal de sortie $E\{V_{out}(t)\} = m_p$, sa variance peut se mettre sous la forme :

$$\sigma_{out}^2 = E\{V_{out}^2(t)\} - E^2\{V_{out}(t)\} = 1 - m_p^2 \quad (1.22)$$

A partir des équations 1.21 et 1.22, le facteur d'amplification de la puissance de bruit $A(k)$ s'exprime de la façon suivante :

$$A(k) = \frac{1 - m_p^2}{\sigma_n^2} \quad (1.23)$$

A partir de la fonction de transfert du filtre de boucle $H(s)$, l'ensemble des fonctions $NTF_k(f)$ peut être déduit. La courbe du facteur d'amplification de la puissance du bruit $A(k)$ est alors obtenue en utilisant l'équation 1.21. En faisant ensuite quelques hypothèses sur le bruit de quantification, Risbo utilise habituellement l'hypothèse d'un bruit gaussien, on peut recalculer grâce à 1.23 la valeur de A . Connaissant désormais le point de fonctionnement sur la courbe $A(k)$, la stabilité est estimée selon que la pente en ce point est positive (stabilité), ou négative (instabilité). Cette méthode d'estimation de la stabilité donne des résultats satisfaisants, assez proches de la réalité, par contre elle est assez complexe et lourde à mettre en place.

Malgré les lacunes mathématiques pour l'analyse des systèmes rebouclés non-linéaires, de nombreuses études portant sur la stabilité des $\Delta\Sigma$ ont été menées. Malheureusement, aucune n'a abouti à la compréhension théorique globale du fonctionnement des delta sigma. Toutes les pistes de réflexion apportées par ces travaux ont cependant permis de mieux analyser les mécanismes responsables des instabilités. A ce jour, la meilleure solution pour s'assurer de la stabilité d'un convertisseur $\Delta\Sigma_{CT}$ reste la simulation.

1.5 Architectures de delta sigma à temps continu

Un convertisseur delta sigma à temps continu possède trois degrés de liberté (cf. paragraphe 1.2.3). En effet, un tel circuit de conversion est caractérisé par trois paramètres indépendants : le facteur de sur-échantillonnage, le nombre de bits du CAN interne et la

fonction de transfert du filtre de boucle $H(s)$. De plus, il n'existe à priori pas de limitation sur le type de mise en forme de bruit implémentée, c'est-à-dire sur le choix du filtre $H(s)$.

Cette grande liberté sur les architectures de modulateurs $\Delta\Sigma_CT$ est un des points forts de ces convertisseurs car elle permet d'ajuster finement l'architecture du convertisseur aux spécifications visées. Ces choix multiples font qu'il n'existe pas une unique architecture adéquate pour répondre à une spécification donnée.

Une architecture de convertisseur $\Delta\Sigma_CT$ n'est viable que si elle regroupe trois caractéristiques indispensables. Elle doit être à la fois stable, performante et implémentable. La stabilité est évidemment une condition essentielle pour le choix d'une architecture. La réalisation d'un CAN performant mais présentant de forts risques d'instabilité n'est par définition pas viable. Le second critère d'évaluation d'une architecture est la performance. Le modulateur delta sigma doit forcément respecter les spécifications fixées par le cahier des charges initial. Enfin, une architecture ne peut convenir que si il est possible de l'implémenter en utilisant la technologie prévue à cet effet.

La diversité des architectures de $\Delta\Sigma_CT$ envisageables, ajoutée aux difficultés d'analyse des performances de ces boucles non-linéaires, fait du choix de l'architecture une étape décisive de la conception de ce type de CAN. La sélection d'un $\Delta\Sigma_CT$ se déroule toujours en deux étapes distinctes. Lors de la première phase, différentes architectures de convertisseurs pouvant atteindre les spécifications fixées sont sélectionnées et les valeurs optimales des coefficients du filtre de boucle correspondant sont calculées. La seconde étape consiste à analyser en profondeur la stabilité, les performances et l'implémentabilité de ces différents convertisseurs afin de choisir celui qui est le mieux adapté à l'application visée.

1.5.1 Plages de variation des paramètres caractéristiques

Pour atteindre une spécification donnée, trois paramètres de réglage de l'architecture sont disponibles : l'OSR, le nombre de bits du CAN interne et la fonction de mise en forme de bruit. Le choix de ces trois variables se fait en fonction des performances visées mais aussi d'orientations stratégiques liées à l'implémentation du circuit. En effet, la fréquence de travail du convertisseur, par exemple, ou les difficultés d'implémentation des blocs analogiques nécessaires rentrent en ligne de compte lors de la sélection d'une architecture. Les spécificités de la technologie de fabrication utilisée doivent également être connues pour orienter le choix de l'architecture.

Un second facteur permet de rapidement réduire les architectures de convertisseur envisageables : le caractère instable des $\Delta\Sigma_CT$. Bien que la stabilité des boucles $\Delta\Sigma_CT$ soit impossible à prédire (cf. paragraphe 1.4), les nombreux travaux traitant de ce phénomène ont permis d'identifier les relations entre l'architecture du convertisseur et sa stabilité en fonctionnement.

Les critères d'implémentabilité associés aux limitations structurelles introduites par les phénomènes d'instabilités permettent donc de réduire sensiblement les plages de variation des paramètres caractéristiques d'un $\Delta\Sigma_CT$. La sélection des architectures envisageables se fait généralement de façon empirique. Elle se base sur les connaissances et l'expérience du concepteur ainsi que sur une analyse bibliographique des précédentes réalisations. Ci-dessous, diverses informations permettant de rapidement converger vers un petit nombre d'architectures viables, sont fournies.

1.5.1.1 Sur-échantillonnage

Le facteur de sur-échantillonnage est un des paramètres clefs de la réalisation d'un delta sigma à temps continu. Sans sur-échantillonnage, il ne peut pas y avoir de mise en forme de bruit. Un convertisseur $\Delta\Sigma_CT$ possédant un OSR faible (inférieur à 12) ne présente donc à priori pas beaucoup d'intérêt dans la mesure où le gain apporté par la mise en forme du bruit est trop limité.

Augmenter l'OSR d'un convertisseur delta sigma permet d'automatiquement accroître le SNR de sortie. Cet avantage n'est pas spécifique aux $\Delta\Sigma_CT$ (cf. paragraphe 1.1.4), mais la modulation delta sigma permet de découpler son impact. En effet, plus le facteur de sur-échantillonnage est élevé plus il est facile de calculer une fonction de mise en forme de bruit stable et performante. Avec un CAN "classique", doubler la fréquence d'échantillonnage ne permet de gagner que 3dB de SNR. Ce gain peut atteindre plusieurs dizaines de décibels pour un $\Delta\Sigma_CT$.

Evidemment pour une bande passante donnée, augmenter l'OSR implique d'élever la fréquence d'échantillonnage du circuit, d'où un accroissement des contraintes sur les blocs internes du convertisseur et le circuit de synthèse de fréquence ainsi qu'un filtre de décimation numérique plus conséquent.

1.5.1.2 CAN interne

Le nombre de bits du CAN interne fixe la quantité de bruit globalement introduite par le convertisseur. Augmenter la résolution du CAN interne diminue la puissance du bruit de quantification, d'où une amélioration du SNR. De plus, cela permet d'accroître la stabilité du modulateur delta sigma. Si le convertisseur interne est plus performant, l'erreur cumulée fournie en sortie du filtre de boucle est quantifiée avec plus de précision. Le signal de retour renvoyé par le CNA interne est donc "plus proche" du signal à convertir, d'où une meilleure stabilité. Sur le diagramme de déplacement des pôles, augmenter la résolution du CAN interne revient à limiter l'excursion du déplacement des pôles autour du point de fonctionnement moyen. Le point de fonctionnement moyen correspond à un gain de boucle $k = 1$ si le modèle linéarisé avec gain variable est utilisé.

Les $\Delta\Sigma_CT$ sont des convertisseurs sur-échantillonnés, la fréquence de travail du CAN interne, et du CNA de la boucle de retour, est donc naturellement élevée. De plus, l'insertion

de ces éléments dans la boucle de conversion $\Delta\Sigma$ impose une latence faible. Ces contraintes d'implémentation limitent fortement le type de CAN interne utilisable (convertisseur flash en général) et rend difficile l'implémentation d'un CAN et d'un CNA de forte résolution. Le nombre de bits du système de conversion interne est habituellement inférieur à 3-bits.

1.5.1.3 Mise en forme de bruit

La mise en forme du bruit de quantification ne dépend théoriquement que du filtre à temps continu implémenté. Cependant, les problèmes d'instabilité des $\Delta\Sigma_CT$, liés en partie à la valeur de l'OSR et de la résolution du CAN interne, influencent le choix du filtre de boucle. Ces corrélations entre les différents paramètres caractéristiques d'un $\Delta\Sigma_CT$ restreignent naturellement la complexité des architectures du filtre de boucle. L'implémentation des blocs analogiques limite également le choix du filtre ; augmenter l'ordre du filtre de boucle implique automatiquement l'utilisation de blocs analogiques supplémentaires.

Lors de la conception d'un $\Delta\Sigma_CT$, le choix de l'architecture du filtre de boucle et le calcul des coefficients du filtre sont les points clés qui permettent d'assurer le bon fonctionnement du circuit. Choisir un filtrage trop agressif risque de fragiliser la robustesse du circuit. A l'inverse, opter pour un filtrage relâché va limiter les performances atteignables par le convertisseur, le rendant ainsi moins compétitif. Ce compromis nécessaire lors du choix du filtre de boucle se traduit par une plage de variation très limitée de l'ordre du filtre continu implémenté. La quasi-totalité des fonctions de filtrage des circuits $\Delta\Sigma_CT$ publiés ont un ordre compris entre 1 et 4.

1.5.2 Le filtre de boucle à temps continu

Dans les paragraphes précédents, les critères de sélection au niveau de l'architecture d'un $\Delta\Sigma_CT$ ont été détaillés. Une bonne compréhension des différents compromis nécessaires lors du choix de l'OSR, du CAN interne et de l'ordre du filtre de boucle permet normalement de sélectionner rapidement un nombre limité d'architectures envisageables.

Pour déterminer le convertisseur le mieux adapté aux spécifications, il est nécessaire d'optimiser les structures sélectionnées afin de les comparer efficacement. Cette optimisation se situe au niveau du filtre de boucle à temps continu, elle consiste à trouver la structure de filtre analogique et le jeu de coefficients assurant le meilleur compromis entre performance et robustesse. Une étude théorique du problème de stabilité faisant cruellement défaut, l'optimisation des filtres de boucle se déroule généralement de la façon suivante. Différents filtres sont déterminés à l'aide d'un modèle linéarisé de la boucle puis la stabilité et la robustesse des coefficients sont vérifiées par simulation.

1.5.2.1 Les structures "classiques" du filtre de boucle

Il existe autant d'architectures différentes de delta sigma à temps continu que de moyens de construire un filtre passe bas. Dans la pratique, seulement quelques topologies de filtres de

boucle sont utilisées pour implémenter les $\Delta\Sigma_{CT}$. Les deux structures de base généralement employées pour réaliser le filtre d'un $\Delta\Sigma_{CT}$ sont la structure feedforward et la structure feedback. A l'aide de ces deux structures et de quelques évolutions simples, diverses fonctions de filtrage peuvent être implémentées, habituellement des filtrages de type Butterworth ou Chebyshev (cf. [Bree 01], chapitre 3).

La structure feedforward

Le schéma bloc d'un filtre d'ordre 4 de $\Delta\Sigma_{CT}$ avec une structure feedforward est représenté sur la figure 1.18. Les boucles de gain, reliant la sortie des différents intégrateurs au sommateur situé à l'entrée du CAN interne, permettent de stabiliser la fonction de transfert du delta sigma. La valeur numérique des coefficients $[a1, a2, a3, a4]$ fixe la fonction de mise en forme de bruit du modulateur.

Cette structure de filtre ne nécessite qu'un seul convertisseur numérique analogique, son implémentation est donc relativement aisée. Si l'on considère un $\Delta\Sigma_{CT}$ de type feedforward, quelque soit l'ordre du filtre de mise en forme de bruit, la STF du modulateur possède une fonction de filtrage présentant une décroissance d'ordre 1 (cf. [Bree 01]). De plus, la fonction de transfert du signal n'est pas plate à basse fréquence (cf. figure 1.20). Dans la zone où la STF présente du gain, l'amplitude d'entrée maximale admissible par le CAN $\Delta\Sigma_{CT}$ est donc réduite.

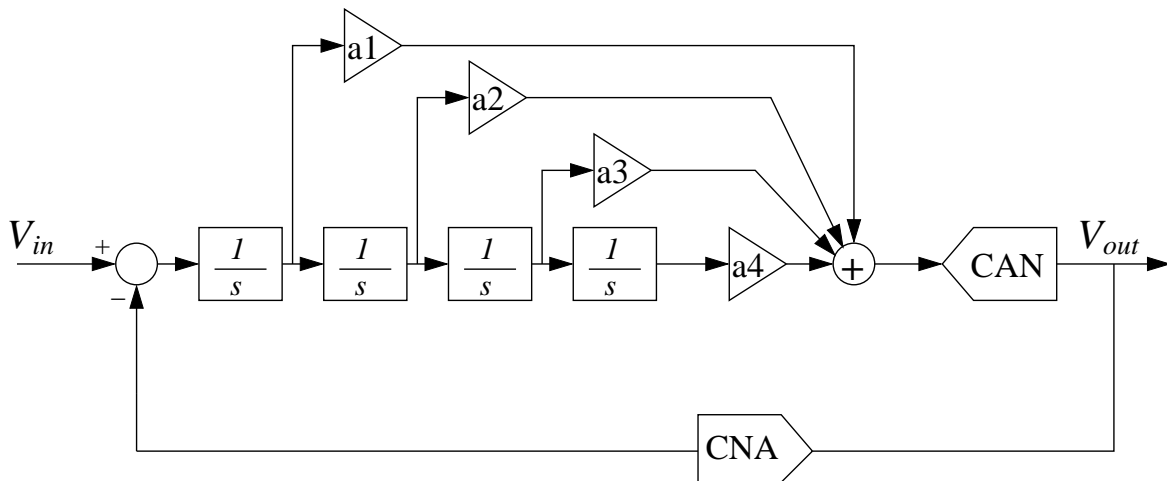


FIG. 1.18 – Schéma bloc d'un delta sigma d'ordre 4 de type feedforward

La structure feedback

La seconde architecture classique des filtres de $\Delta\Sigma_{CT}$ est la structure feedback. Avec cette structure, la stabilisation de la fonction de transfert du modulateur est réalisée à l'aide de rebouclages en entrée de chaque étage du filtre (cf. figure 1.19).

Les $\Delta\Sigma_{CT}$ de type feedback possèdent plusieurs boucles de retour donc plusieurs CNAs sont à implémenter. Les dynamiques de sortie des intégrateurs sont supérieures aux dynamiques obtenues avec la structure feedforward. Dans la structure feedback, le signal est

intégralement propagé à travers les intégrateurs, ce qui n'est pas le cas avec le $\Delta\Sigma_{CT}$ feedforward. L'avantage de la structure feedback réside dans la STF implémentée. En effet, la fonction de transfert du signal est quasiment plate à basse fréquence et l'ordre du filtrage du signal est le même que l'ordre de la fonction de mise en forme de bruit (cf. figure 1.20).

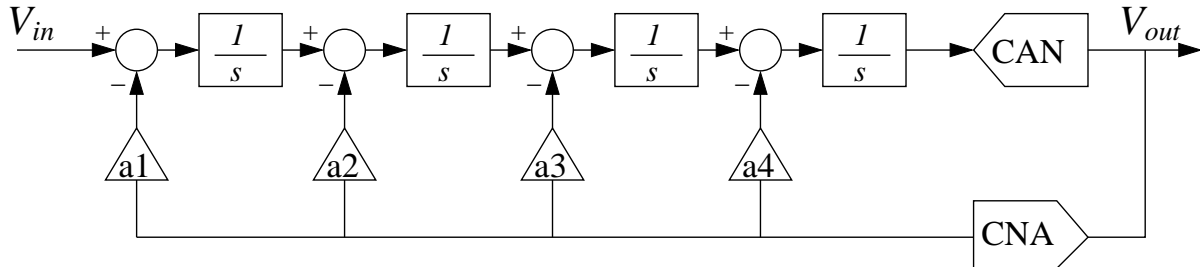


FIG. 1.19 – Schéma bloc d'un delta sigma d'ordre 4 de type feedback

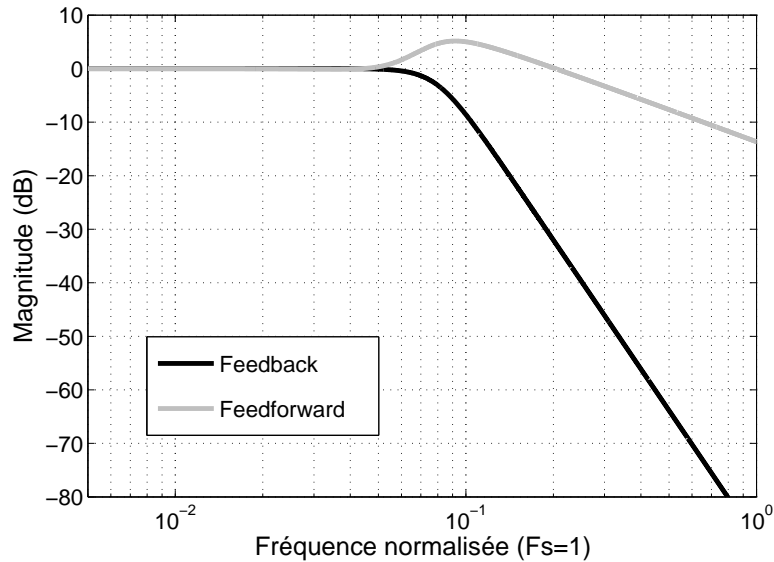


FIG. 1.20 – STF de deux delta sigma à temps continu d'ordre 4, un feedforward et un feedback

Evolutions de ces structures

Pour profiter simultanément des avantages des architectures présentées ci-dessus, ces deux structures peuvent être mélangées. Les CAN $\Delta\Sigma_{CT}$ hybrides ainsi obtenus présentent de faibles dynamiques en sortie des intégrateurs et une STF performante [Mitt 06b, Font 05].

Une seconde évolution très largement employée est l'adjonction de rebouclages locaux, englobants deux intégrateurs successifs (cf. figure 1.21). Ces contre-réactions locales permettent d'accroître la résolution effective du convertisseur en positionnant les zéros de la fonction de transfert de bruit dans la bande de fréquences utile du CAN (cf. [Bree 01], chapitre 3). Ces boucles supplémentaires sont très faciles à implémenter et ont un impact négligeable sur la STF du modulateur $\Delta\Sigma_{CT}$.

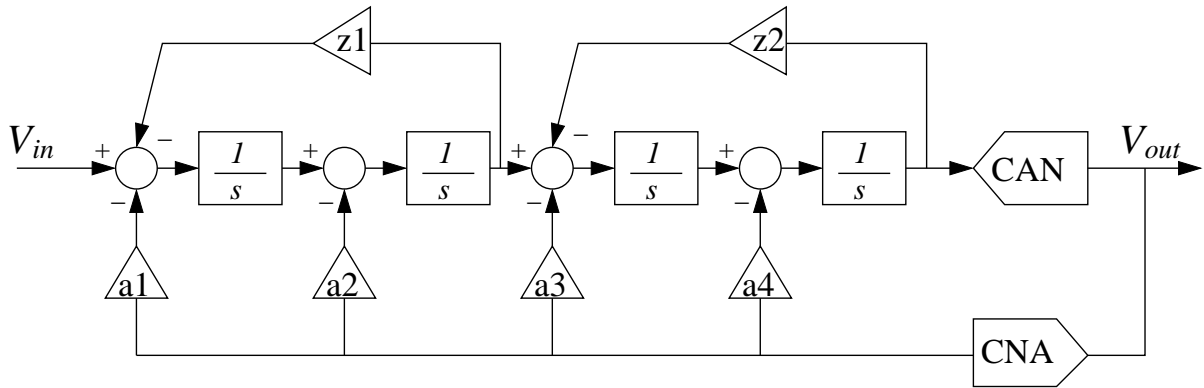


FIG. 1.21 – Schéma bloc d'un delta sigma d'ordre 4 de type feedback avec deux contre-réactions locales

1.5.2.2 Compromis résolution/stabilité

Considérons un convertisseur $\Delta\Sigma_CT$ dont l'architecture est intégralement définie, c'est-à-dire que l'OSR, le nombre de bit du CAN interne et la structure du filtre de boucle sont fixés. Optimiser ce convertisseur revient à choisir le jeu de coefficients du filtre à temps continu permettant d'atteindre le SNR le plus élevé tout en s'assurant de la stabilité et de la robustesse du circuit. Comme dans la plupart des systèmes rebouclés stabilité et performance sont deux caractéristiques antagonistes. L'optimisation de ce type de circuit revient donc à trouver le meilleur compromis entre résolution et stabilité.

Les courbes des figures 1.22 et 1.23 illustrent parfaitement le compromis entre résolution et stabilité. Le convertisseur considéré ici est un $\Delta\Sigma_CT$ d'ordre 3 de type feedback avec un CAN interne 2-bits et un OSR égal à 25. Deux jeux de coefficients différents ont été calculés. Le premier correspond à une fonction de filtrage de type butterworth avec une pulsation de coupure égale à $Wb = 0.5Fs$ ($\Delta\Sigma_CT n^{\circ}1$), le second jeu de coefficient correspond également à un filtre butterworth mais la pulsation de coupure est plus élevée $Wb = 0.8Fs$ ($\Delta\Sigma_CT n^{\circ}2$).

La courbe 1.22 représente le SNR des deux convertisseurs en fonction de l'amplitude de la sinusoïde d'entrée. A puissance d'entrée équivalente faible, le $\Delta\Sigma_CT n^{\circ}2$, bénéficiant d'une fréquence de coupure plus élevée, possède un SNR supérieur. Par contre, il devient instable à un niveau d'amplitude d'entrée plus faible que le modulateur $\Delta\Sigma_CT n^{\circ}1$.

Ce compromis résolution/stabilité est également visible sur le diagramme de déplacement des pôles. En effet les courbes correspondant au modulateur $\Delta\Sigma_CT$ ayant la fréquence la plus élevée ($\Delta\Sigma_CT n^{\circ}2$) sont plus écartées de l'origine du plan-s. Les modes de fonctionnement de ce convertisseur présentent donc des fréquences de filtrage supérieures à celles du modulateur $\Delta\Sigma_CT n^{\circ}1$, d'où une meilleure mise en forme du bruit de quantification. Le caractère instable de ces deux convertisseurs se manifeste quant à lui par le passage des pôles dans le demi plan droit du plan-s.

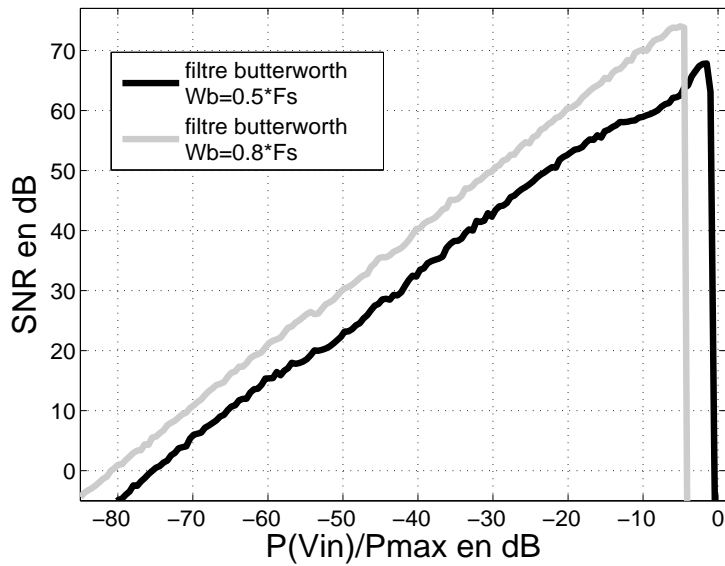


FIG. 1.22 – SNRs en fonction de l’amplitude d’entrée pour deux $\Delta\Sigma_CT$ d’ordre 3

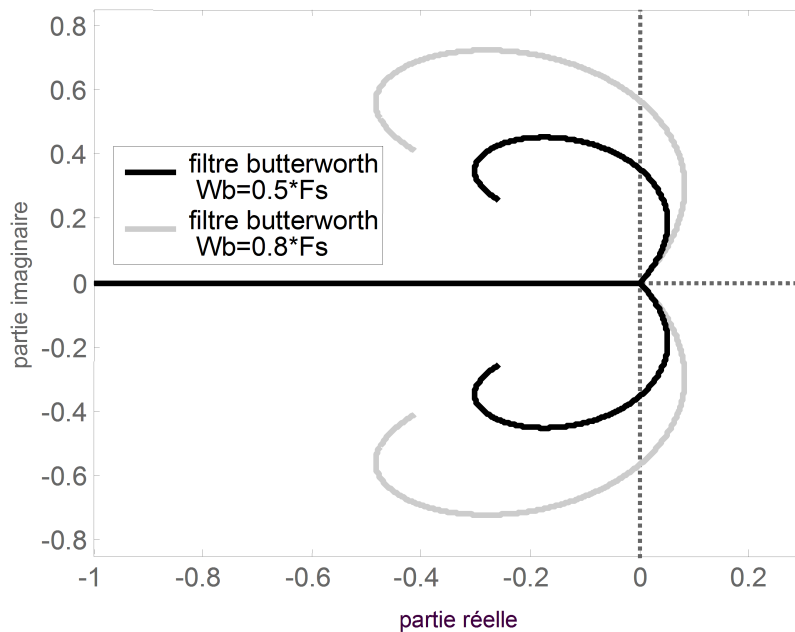


FIG. 1.23 – Diagrammes de déplacement des pôles de deux $\Delta\Sigma_CT$ d’ordre 3

1.5.2.3 Etat de l’art des méthodes de calcul du filtre de boucle

Le filtre de boucle est l’élément central d’un convertisseur delta sigma à temps continu. Du choix de ce bloc analogique dépendent les performances, la stabilité et la robustesse du CAN futur. Pour une architecture de $\Delta\Sigma_CT$ intégralement définie (OSR, nombre de bits du CAN interne, ordre et architecture détaillée du filtre de boucle), fournir les coefficients optimaux n’est pas une tâche aisée. Les insuffisances théoriques pour la prédiction des performances et de la stabilité des boucles $\Delta\Sigma_CT$ empêchent en effet la mise en place de méthodes formelles

de calcul et d'optimisation des coefficients du filtre.

L'utilisation des convertisseurs à mise en forme de bruit delta sigma s'est développée en grande partie grâce à la simplicité d'implémentation des circuits à capacités commutées. Les méthodes de calcul, d'analyse et de simulation des boucles $\Delta\Sigma$ ont donc été mises en place pour la réalisation de fonction de filtrage à temps discret. La récente réapparition de CANs $\Delta\Sigma$ utilisant des filtres à temps continu a rendu nécessaire l'adaptation des méthodes de calcul existantes, toutes basées sur une description à temps discret du filtre.

Filtre à temps discret

Le calcul de filtre à temps discret pour les convertisseurs $\Delta\Sigma_{DT}$ est un problème complexe qui a fait l'objet d'un grand nombre de travaux de recherche. Il existe donc une littérature conséquente sur ce sujet ainsi que des outils méthodologiques et des logiciels permettant de calculer aisément des architectures de $\Delta\Sigma_{DT}$.

Une bonne méthode pas à pas pour obtenir un filtre de boucle à temps discret performant est présentée par R. Schreier dans "Delta-Sigma Data Converters *Theory, Design, and Simulation*" [Nors 97]. Pour appliquer la méthode proposée, ce dernier a développé un ensemble d'applications Matlab intitulé "The Delta-Sigma Toolbox", gratuit et disponible sur internet [Schr].

La méthode d'optimisation décrite par Schreier est récursive et se déroule de la façon suivante. Tout d'abord, les coefficients du filtre de boucle sont calculés en fonction d'une consigne de performance. Cette consigne de performance peut être soit un type de filtrage et une fréquence de coupure associée soit un critère de stabilité, habituellement le critère de Lee (cf. paragraphe 1.4). Dans un second temps, les performances du convertisseur sont simulées. Si le compromis résolution/stabilité du convertisseur n'est pas satisfaisant, un nouveau filtre de boucle est calculé en augmentant ou en diminuant la consigne de performance.

Filtre à temps continu

Comme décrit ci-dessus, des méthodes de calcul de filtre de boucle performantes et bien documentées ont été développées pour la réalisation de $\Delta\Sigma_{DT}$. L'utilisation de blocs à temps continu n'a pas remis en cause les méthodes de calcul du filtre. L'obtention des coefficients d'un filtre à temps continu se fait donc généralement par extension des méthodes pré-existantes pour les filtres des $\Delta\Sigma_{DT}$. Le filtre de boucle est optimisé en travaillant avec des éléments à temps discret puis il est converti en un filtre à temps continu. Ce principe de calcul est très largement employé et différentes techniques de transformation du filtre discret en un équivalent à temps continu ont été proposées.

Les fonctions de transfert à temps discret sont généralement formulées grâce à la transformée en z , alors que les filtres à temps continu utilise l'opérateur s de la transformée de

Laplace. La relation mathématique entre ces deux transformées est bien connue et s'exprime de la façon suivante :

$$z = e^{sT} \quad (1.24)$$

avec T la période d'horloge de la fonction à temps discret.

Malheureusement, l'utilisation directe de cette équation ne permet pas de transformer la FT discrète en une FT continue sous forme d'une fraction rationnelle, formulation classiquement utilisée pour exprimer les fonctions de transfert. Le passage de z en s se fait donc soit en approximant la relation 1.24, transformation d'Euler ou transformation bilinéaire, soit en faisant correspondre le fonctionnement des circuits étudiés, par exemple une réponse impulsionnelle identique aux instant d'échantillonnage.

Pour le calcul du filtre de boucle des $\Delta\Sigma_CT$, les premières méthodes de passage de z en s ont été mises en place en faisant concorder la réponse temporelle des filtres. Le calcul d'architecture, basé sur l'étude de la réponse impulsionnelle du filtre, est efficace et facile à appliquer pour des filtres d'ordre 1 ou 2 [Cand 85, Shoa 95]. Elle est par contre difficilement généralisable à des filtres de boucle complexes (ordre élevé, boucles locales...).

Pour palier à ce problème, une approche mathématique utilisant les équations d'états des systèmes discrets et continus a été proposée [Shoa 95, Schr 96]. Malheureusement, cette formalisation matricielle du problème de transformation de z en s est très compliquée (inversions, intégrations de matrices, exponentielles de matrices). Utiliser ou adapter cette technique à de nouvelles architectures est donc particulièrement difficile et long.

Hassan Aboushady, à partir de ce même constat sur la difficulté de transformer les filtres de boucle discrets en des circuits à temps continu, a proposé une méthode plus directe basée sur la transformée en z modifiée [Abou 02a, Abou 02b]. Ses travaux ont permis d'établir des tableaux de correspondances entre les différentes structures classiques de filtres à temps discrets et à temps continu. La simplicité de cette méthode permet de facilement obtenir une architecture de convertisseur $\Delta\Sigma_CT$ à partir des coefficients de son équivalent à temps discret.

Dans certaines méthodologies de conception de $\Delta\Sigma_CT$, on peut également trouver des principes de calcul reposant directement sur les relations entre la transformée en z et la transformée de Laplace [Bena 97, Sham 06].

Limitations de ces méthodes de calcul

Toutes ces méthodes de calcul de filtre à temps continu reposent sur l'optimisation de la mise en forme de bruit grâce à une approche temps discret de la boucle $\Delta\Sigma$. Cette étape d'optimisation est suivie par une conversion du filtre à temps discret en un filtre continu.

Les différentes méthodes de transformation de z en s décrites précédemment permettent d'obtenir des résultats satisfaisants et donc de concevoir des CANs $\Delta\Sigma_CT$. Il existe néan-

moins une certaine incohérence dans ces méthodologies de calcul d'architecture de $\Delta\Sigma_CT$. En effet, la majeure partie des calculs et optimisations du filtre est réalisée en z alors que le filtre de boucle à implémenter est continu. De ce paradoxe découle évidemment différentes interrogations sur la qualité de la conversion de z en s , sur le bien-fondé de l'optimisation du filtre ou même sur la prise en compte des spécificités de la boucle à temps continu.

Un convertisseur $\Delta\Sigma_CT$ et son "équivalent" à temps discret ne peuvent par définition pas avoir un fonctionnement parfaitement identique. Il est donc tout simplement impossible qu'une transformation de z en s idéale du CAN puisse exister. Si l'on s'intéresse par exemple à la STF d'un $\Delta\Sigma$, il est bien connu que cette fonction de transfert est différente selon que l'implémentation du filtre de boucle est à temps discret ou à temps continu. Cette dissemblance est même un des avantages des $\Delta\Sigma_CT$ par rapport aux CANs à temps discret, les delta sigma à temps continu possédants par construction un filtre anti-repliement.

Les méthodes listées précédemment proposent toutes d'optimiser le filtre de boucle sous sa version discrète avant de le convertir en un filtre à temps continu. Cette stratégie d'optimisation indirecte du convertisseur à temps continu est-elle réellement efficace ? La conversion du filtre discret optimisé aboutit-elle automatiquement à un filtre temps continu optimal ?

Enfin, le facteur limitant le plus évident de ces méthodes de calcul apparaît lorsque l'on s'intéresse aux spécificités des boucles de conversion $\Delta\Sigma_CT$. Dans la mesure où l'architecture est calculée et optimisée à l'aide d'une représentation en z du filtre, la prise en compte des particularités des circuits à temps continu est difficile voir impossible. Par exemple, l'analyse et la prise en compte de la fonction de filtrage de la STF continue est strictement incompatible avec l'utilisation du modèle discret du filtre de boucle.

Une seconde spécificité des $\Delta\Sigma_CT$ par rapport aux $\Delta\Sigma_DT$ est leur sensibilité aux délais à l'intérieur de la boucle de conversion. En effet, les temps de propagation à travers les différents blocs d'un $\Delta\Sigma_CT$ sont responsables d'un délai de boucle supplémentaire qui perturbe le filtre à temps continu. Cette imperfection s'exprime aisément et rapidement grâce à la transformée de Laplace. Un délai δt correspond à la fonction de transfert $e^{-s\delta t}$.

L'analyse et la compensation de ce délai de boucle avec les méthodes de calcul référencées précédemment sont relativement longues. Il faut pour cela transformer en z la fonction de transfert du délai, l'intégrer dans le filtre "équivalent" à temps discret puis adapter la méthode de transformation du filtre du domaine discret au domaine continu [Shoa 95, Gao 97, Cher 99b].

Ces interrogations concernant les méthodes de calcul des $\Delta\Sigma_CT$ se basant sur une description à temps discret du filtre de boucle, poussent à revoir en profondeur les stratégies de calcul des coefficients. Pour s'affranchir des transformations entre les domaines à temps discret et à temps continu, une approche intégralement continue du problème est nécessaire.

La méthode de calcul proposée dans ce manuscrit est spécifique aux $\Delta\Sigma_CT$. Son prin-

cipe de fonctionnement est particulièrement simple, il consiste à exprimer la NTF de la boucle à l'aide de la transformée de Laplace puis de choisir la fonction de filtrage désirée en plaçant les pôles du filtre sur le plan-s.

1.5.2.4 Méthode par placement des pôles

Comme décrit dans les paragraphes 1.3 et 1.4, la linéarisation des boucles de conversion $\Delta\Sigma_CT$ permet d'approximer le fonctionnement de ce type de convertisseur. Les différentes stratégies de linéarisation, bien qu'insuffisantes pour prédire convenablement la résolution et la stabilité d'un $\Delta\Sigma_CT$, fournissent des modèles mathématiques des boucles de conversion faciles à manipuler. La technique de linéarisation de la boucle delta sigma utilisée pour le calcul d'architecture par la méthode de placement des pôles est illustrée sur la figure 1.24. Cette linéarisation permet de calculer et d'analyser la NTF d'un $\Delta\Sigma_CT$ en fonction de la variation du gain de boucle.

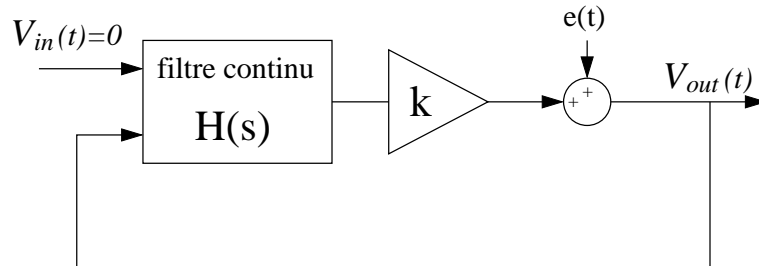


FIG. 1.24 – Modèle linéarisé d'un $\Delta\Sigma_CT$ pour la méthode par placement des pôles

La méthode de calcul par placement des pôles a pour unique objectif de calculer les coefficients du filtre à temps continu permettant de réaliser la mise en forme de bruit désirée par l'utilisateur. Cette technique de calcul est donc théoriquement indépendante du choix de l'OSR et du nombre de bits du CAN interne. Cependant, la finalité de ce calcul étant l'intégration du filtre dans la boucle de conversion $\Delta\Sigma_CT$, il semble évident que les paramètres caractéristiques du convertisseur doivent être choisis avant d'aborder la détermination des coefficients du filtre (cf. paragraphe 1.5.1).

La méthode de calcul par placement des pôles se déroule en quatre grandes étapes :

Etape 1 : Description de l'architecture du $\Delta\Sigma_CT$

La première phase consiste à décrire avec précision l'architecture à implémenter. Le nombre d'étages, la structure globale du filtre (feedback, feedforward...), la position exacte des rebouclages locaux font évidemment partis des choix à figer lors de cette étape. Les imperfections prévisibles ainsi que les systèmes de compensation des imperfections doivent également être détaillés avec soin. Les orientations stratégiques d'implémentation du $\Delta\Sigma_CT$ peuvent également être mentionnées si celles-ci sont déjà déterminées lors du calcul de l'architecture

Si l'on reprend l'exemple du convertisseur d'ordre 3 de la figure 1.25, la fonction de transfert de mise en forme du bruit est donnée par l'équation 1.25. L'expression mathématique exacte de la NTF linéarisée est dans cet exemple relativement complexe et assez éloignée du format classique d'une fonction de transfert.

$$NTF(s) = \frac{s^3(s + Wp)}{s^3(s + Wp) + G e^{-sdt_1} Ds^3 + G e^{-s(dt_1+dt_2)}(Cs^2 + Bs + A)} \quad (1.25)$$

Etape 3 : Choix de la NTF par placement des pôles

Pour calculer numériquement les coefficients de la boucle, il suffit désormais de choisir la mise en forme de bruit du $\Delta\Sigma_CT$ désirée. La formulation de la NTF linéarisée, établie lors de l'étape numéro 2, ne s'exprime pas obligatoirement sous forme d'une fraction rationnelle. Le calcul des coefficients ne peut donc se faire à l'aide d'une simple identification de fonctions de transfert. Pour remédier à ce problème, la mise en forme de bruit du convertisseur delta sigma est fixée en positionnant les pôles de la NTF linéarisée sur le plan-s.

Bien qu'il n'existe à priori pas de limitation sur le choix de la position des pôles, les fonctions de filtrages de type Butterworth ou Chebyshev sont souvent privilégiées. Ces filtres particuliers sont abondamment utilisés car ils sont à la fois performants et robustes. Le compromis résolution/stabilité des $\Delta\Sigma_CT$, évoqué au paragraphe 1.5.2.2, est également à prendre en compte lors du positionnement des pôles sur le plan-s. En effet, plus les pôles sont éloignés de l'origine du plan-s, plus la fonction de filtrage est performante et potentiellement instable.

| pulsation de coupure | $Wb = 0.5Fs$ | $Wb = 0.8Fs$ |
|-----------------------|------------------------------------|--|
| pôles | $-0.5; -0.25 + / - 0.433i$ | $-0.8; -0.4 + / - 0.693i$ |
| fonction de transfert | $\frac{0.125}{s^3+s^2+0.5s+0.125}$ | $\frac{0.512}{s^3+1.6s^2+1.28s+0.512}$ |

TAB. 1.1 – Filtres de Butterworth d'ordre 3

Etape 4 : Calcul des coefficients par identification des pôles

Connaissant l'expression analytique de la NTF linéarisée et le positionnement souhaité des pôles, il est facile de calculer les coefficients de boucle correspondants. En effet, pour chacune des valeurs complexes des pôles désirés, le dénominateur de la NTF linéarisée doit être égal à zéro.

Si la fonction de mise en forme désirée est d'ordre N , on dispose de N valeurs numériques complexes de pôles, N inconnues peuvent donc être identifiées. Si des imperfections ou des systèmes de compensation d'imperfections ont été intégrés lors de l'étape 1, le nombre d'inconnues de la NTF linéarisée peut être plus grand que le nombre de pôles fixés lors de la

troisième étape. Il faut donc affecter des valeurs numériques à certaines des inconnues avant de calculer les coefficients correspondants à la fonction de transfert désirée.

Une fois que l'on dispose d'autant de pôles que d'inconnues, on peut procéder à l'identification des coefficients de la boucle. Pour chaque valeur numérique des N pôles souhaités, une équation traduisant la nullité du dénominateur de la NTF linéarisée peut être établie. On dispose alors de N équations linéaires à N inconnues. Il suffit ensuite de résoudre ce système d'équations linéaires pour aboutir aux coefficients de la boucle.

Reprenons l'exemple du $\Delta\Sigma_CT$ d'ordre 3 de la figure 1.25, la NTF linéarisée de ce convertisseur est donnée par l'équation 1.25. Si l'on vise une mise en forme de bruit de type Butterworth avec une pulsation de coupure $Wb = 0.5Fs$, la position des 3 pôles sur le plan- s est connue (cf. tableau 1.1). La NTF linéarisée possède quant à elle 8 inconnues, il faut donc fixer 5 de ces inconnues avant de réaliser l'identification des coefficients.

Considérons que le pré-amplificateur utilisé possède un gain DC de 1 et une pulsation de coupure égale à F_s , alors $Wp = F_s$ et $G = 1$. Les deux délais fixes dt_1 et dt_2 permettent de compenser les variations de temps de propagation des signaux dans la boucle, le concepteur peut donc choisir librement la valeur de ces délais. Pour garantir un bon fonctionnement du convertisseur, il est cependant préférable de limiter les délais dans la boucle, on fixe donc $dt_1 = dt_2 = \frac{1}{2F_s}$.

Enfin, pour assurer la stabilité du convertisseur, il est nécessaire de contrôler le gain de boucle global du $\Delta\Sigma_CT$. Pour maîtriser la stabilité du convertisseur, il faut que la puissance renvoyée par la boucle de compensation soit comparable à celle du signal d'entrée et que le gain de boucle "moyen" soit proche de 1. Si le CAN interne et le convertisseur $\Delta\Sigma_CT$ ont des dynamiques équivalentes, le premier coefficient de rebouclage doit être égal à 1, c'est-à-dire que $A = 1$. Pour compenser ce fort gain de rebouclage sur le premier retour et réaliser la mise en forme de bruit désirée, il faut ajouter un facteur de compensation à la sortie du filtre de boucle. La valeur de ce gain de compensation est égale à l'inverse du produit des pôles de la fonction de filtrage désirée.

Si l'on remplace les 5 inconnues Wp , G , dt_1 , dt_2 et A par les valeurs numériques fixées ci-dessus, que l'on intègre le gain de compensation en sortie du filtre et que l'on normalise la fonction de transfert, c'est-à-dire que l'on fixe $F_s = 1$, le dénominateur de la NTF linéarisée s'exprime de la façon suivante :

$$\text{dénominateur}(NTF(s)) = 8 * s^3(s + 1) + e^{-0.5s}Ds^3 + e^{-s}(Cs^2 + Bs + 1) \quad (1.26)$$

A partir de l'équation 1.26 et de la position des pôles souhaitée pour une mise en forme de type Butterworth avec $Wb = 0.5$, on obtient le système d'équations linéaires des coefficients de la boucle :

$$\begin{cases} 1.149 - 0.161D + 0.412C - 0.824B = 0 \\ (1.916 - 0.108i) + (0.138 - 0.03i)D - (0.262 + 0.185i)C - (0.058 - 0.639i)B = 0 \\ (1.916 - 0.108i) + (0.138 - 0.03i)D - (0.262 + 0.185i)C - (0.058 - 0.639i)B = 0 \end{cases} \quad (1.27)$$

Il suffit ensuite de résoudre ce simple système de trois équations à trois inconnues pour déterminer les coefficients de la boucle. Le schéma bloc du convertisseur $\Delta\Sigma_CT$ d'ordre 3 après calcul est représenté sur la figure 1.26.

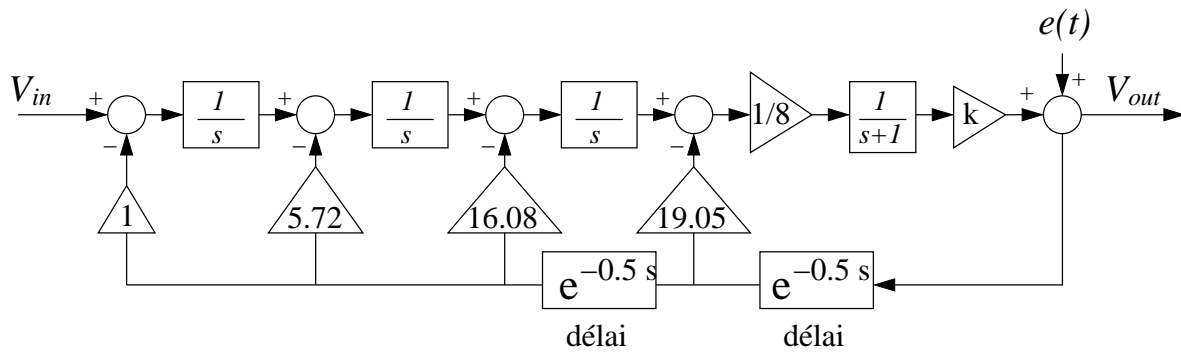


FIG. 1.26 – Schéma bloc d'un $\Delta\Sigma_CT$ d'ordre 3 ayant une fonction de mise en forme de bruit de type Butterworth avec $Wb = 0.5$

Avantages et inconvénients de la méthode de calcul par placement des pôles

- La méthode de calcul d'architecture proposée est intégralement à temps continu. La description des FT grâce à la transformée de Laplace rend cette technique parfaitement bien adaptée aux besoins spécifiques des $\Delta\Sigma_CT$.
- La simplicité des outils mathématiques nécessaires permet d'ajuster rapidement la méthode de calcul à un grand nombre d'architectures différentes de convertisseurs. L'étape 4 de la méthode est purement calculatoire et relativement longue si l'architecture étudiée est complexe. Cette tâche fastidieuse de calcul numérique peut cependant être aisément réalisée à l'aide d'un logiciel de calcul mathématique.
- Le principe de la méthode de calcul par placement des pôles repose sur une identification de la position des pôles de la NTF linéarisée. Cette stratégie très souple permet de facilement prendre en compte les imperfections du système. En effet, pour intégrer une imperfection dans la méthode de calcul, il suffit de savoir l'exprimer grâce à la transformée de Laplace.
- Les coefficients du filtre de boucle fournis par cette méthode de calcul figent l'intégralité des pôles de la NTF linéarisée sur le plan-s. La méthode de calcul d'architecture

détaillée dans ce chapitre assure simplement que les pôles dominants de la NTF linéarisée du $\Delta\Sigma_{CT}$ se superposent parfaitement avec ceux choisis par le concepteur lors de l'étape 3. Ainsi, lorsque des imperfections ou des rebouclages supplémentaires sont ajoutés lors de l'étape 1, leur impact sur les pôles dominants est naturellement compensé par la méthode de calcul. Le positionnement des pôles secondaires, liés aux imperfections par exemple, n'est par contre pas contrôlé par cette technique de calcul d'architecture.

- La méthode par placement des pôles est basée sur une linéarisation de la boucle de conversion, elle ne permet donc pas de maîtriser le déplacement des pôles du $\Delta\Sigma_{CT}$ lorsque le gain de boucle k varie. Ainsi, pour un même jeu de pôles, choisi lors de l'étape 3, la courbe de déplacement des pôles sur le plan-s diffère en fonction des éléments modélisés lors de la description de la boucle.

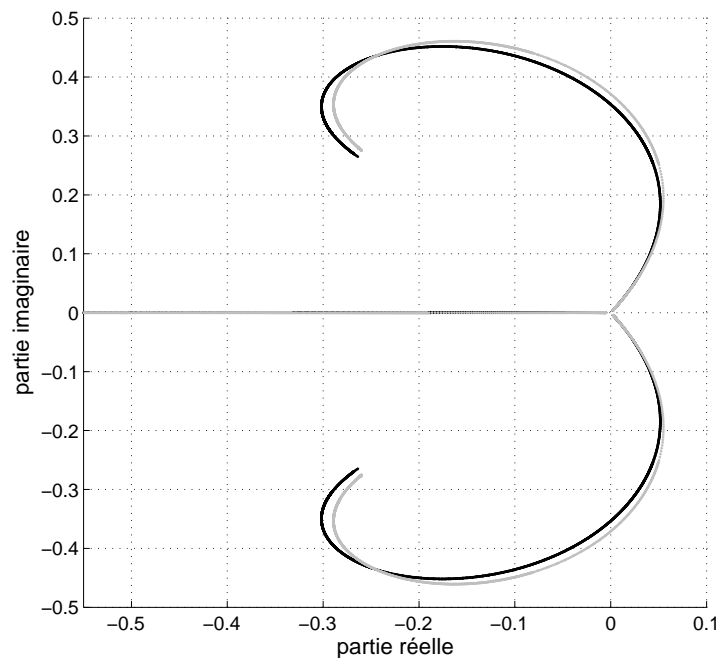


FIG. 1.27 – Courbes de déplacement des pôles de deux $\Delta\Sigma_{CT}$ d'ordre 3. La fonction de mise en forme de bruit visée est de type Butterworth avec $Wb = 0.5$

Sur la figure 1.27, deux courbes de déplacement des pôles correspondant à un filtre de Butterworth avec $Wb = 0.5$ sont représentées. La courbe noire correspond au schéma bloc étudié au paragraphe 1.4 alors que la courbe grise représente le déplacement des pôles du convertisseur de la figure 1.26.

Le comportement "moyen" de ces deux architectures de convertisseur est identique. Il correspond en effet à un gain de boucle $k = 1$, valeur pour laquelle les deux courbes de déplacement des pôles se croisent. Par contre, le comportement haute fréquence et la

robustesse de ces deux convertisseurs ne sont pas similaires.

- Connaissant les coefficients du filtre de boucle, il est possible d'estimer la valeur rms de la mise en forme de bruit dans la bande utile et donc de prédire le SNR du futur convertisseur. Pour que cette prédiction soit réalisable encore faut-il que le $\Delta\Sigma_CT$ soit stable. Malheureusement, la technique de calcul d'architecture présentée dans ce manuscrit ne fournit aucune information sur la stabilité du convertisseur.

Les critères de stabilité des boucles de conversion delta sigma étant peu fiables (cf. paragraphe 1.4), il est préférable de ne pas baser les méthodes de calcul d'architecture sur l'un de ces critères. L'utilisation de la méthode de calcul par placement des pôles nécessite donc de vérifier la stabilité du convertisseur à l'aide de simulation temporelle du système.

1.6 Caractérisation des performances des convertisseurs $\Delta\Sigma_CT$

Comme pour tout convertisseur analogique numérique, le critère principal d'évaluation des performances est la résolution du système de conversion, c'est à dire le SNR du circuit. Cependant, les spécificités des $\Delta\Sigma_CT$ (mise en forme du bruit, filtrage, stabilité...) rendent insuffisante la simple caractérisation par le calcul du rapport signal à bruit du CAN. Pour évaluer la qualité d'un convertisseur $\Delta\Sigma_CT$, il faut évidemment prendre en compte sa résolution et sa stabilité en fonction de la puissance d'entrée. Il est également nécessaire de s'intéresser à la STF implémentée ainsi qu'à la sensibilité du convertisseur vis-à-vis de la variation des coefficients.

1.6.1 Stabilité et résolution

Les outils de caractérisation de la résolution d'un CAN $\Delta\Sigma_CT$ sont identiques à ceux présentés au chapitre 1.1.3. La résolution d'un $\Delta\Sigma_CT$ est estimée en calculant le rapport signal à bruit en sortie du convertisseur pour un signal d'entrée sinusoïdal connu. Pour plus de précision lors de la caractérisation des performances d'un CAN $\Delta\Sigma$, il est préférable de tracer la variation du rapport signal à bruit en fonction de la puissance d'entrée.

Les difficultés de prédiction des performances et de la stabilité des delta sigma à temps continu ont été longuement évoquées dans ce premier chapitre. Le meilleur moyen de tracer avec exactitude la résolution d'un $\Delta\Sigma_CT$ consiste donc à simuler la boucle de conversion.

Les convertisseurs delta sigma à temps continu présentent deux spécificités qui impactent fortement les courbes caractéristiques de SNR ou de SNDR.

Tout d'abord, le caractère instable des boucles de conversion $\Delta\Sigma$ d'ordre supérieur à 2 introduit une cassure sur les courbes de SNR. A forte puissance d'entrée, le convertisseur

devient instable et le signal de sortie du $\Delta\Sigma_CT$ se met à osciller. Le circuit présente donc un mode de fonctionnement très éloigné de celui d'un convertisseur à mise en forme de bruit, la valeur du SNR de sortie n'a alors plus aucune signification. Le niveau d'instabilité d'un $\Delta\Sigma_CT$ est facilement identifiable sur la courbe de variation du SNR en fonction du signal d'entrée. Il se manifeste par une cassure brutale du rapport signal à bruit lorsque la puissance d'entrée est trop élevée (cf. figure 1.28).

La plage de puissances d'entrée pour laquelle un delta sigma temps continu est stable est un paramètre de caractérisation primordial. Elle est habituellement caractérisée grâce à un paramètre numérique appelé *Dynamic Range* (DR). La DR d'un convertisseur $\Delta\Sigma_CT$ est la valeur en décibel de la plage de variation de la puissance d'entrée sur laquelle le SNR du CAN est positif, voir figure 1.28.

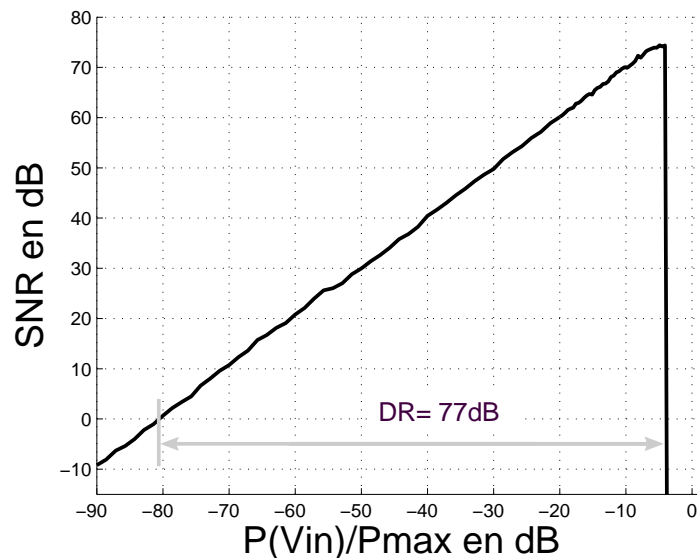


FIG. 1.28 – SNR d'un $\Delta\Sigma_CT$ d'ordre 3 en fonction du signal d'entrée.

La seconde spécificité des $\Delta\Sigma_CT$ influençant nettement les courbes de SNR est liée à la fonction de transfert du signal inhérente à ce type de convertisseur. En effet, un $\Delta\Sigma_CT$ possède une fonction de filtrage passe bas à temps continu dont la fréquence de coupure est fixée par le choix des coefficients du filtre de boucle. La STF des $\Delta\Sigma_CT$ est un des avantages majeurs de cette catégorie de convertisseur, ces CANs possédant par défaut un filtre-antirepliement.

La fonction de transfert s'appliquant au signal d'entrée se répercute évidemment sur la valeur du SNR en sortie du modulateur. En effet, si la fréquence du signal utile est trop élevée, le signal est atténué par la fonction de filtrage du CAN et la résolution de sortie est dégradée. Il faut donc choisir convenablement la fréquence du signal d'entrée pour tracer la courbe maximale de la résolution effective d'un $\Delta\Sigma_CT$.

1.6.2 Fonctions de transfert de la boucle

Les convertisseurs analogique numérique à mise en forme de bruit s'appuient sur l'implémentation d'une fonction de transfert de bruit afin d'obtenir la résolution souhaitée. Dans le cas des $\Delta\Sigma_CT$, la mise en place de la NTF introduit automatiquement une seconde FT, la fonction de filtrage du signal d'entrée. La connaissance exacte à la fois de la NTF et de la STF est indispensable pour caractériser correctement ce type de convertisseur.

Les méthodes de calcul des filtres de boucle delta sigma ont toutes le même objectif, déterminer le jeu de coefficients du filtre le mieux adapté à l'architecture étudiée tout en optimisant le SNR de sortie. Ces diverses méthodes de calcul, en fixant la NTF du convertisseur, figent également la STF du $\Delta\Sigma_CT$. Afin de ne pas pénaliser les performances globales du CAN, il est nécessaire de caractériser la STF implémentée et s'assurer que le gabarit de la FT s'appliquant au signal d'entrée est compatible avec le cahier des charges du convertisseur. Un CAN $\Delta\Sigma_CT$ peut très bien présenter un SNR tout à fait satisfaisant mais être totalement inadapté à l'application visée.

Pour illustrer ce problème, prenons un exemple dans le domaine des télécommunications : une chaîne de réception WiFi. Les niveaux de puissance admissibles des canaux adjacents à la bande utile sont très élevés pour ce standard. La STF du convertisseur ne doit donc présenter aucun gain hors de la bande utile sous peine d'amplifier la puissance des signaux adjacents et donc saturer le circuit de réception. Pour ce type d'application, les contraintes sur la STF du $\Delta\Sigma_CT$ sont telles que les choix de l'architecture et des coefficients du filtre sont dictés à la fois par le SNR de sortie et la STF implémentée.

Les NTF et STF d'un $\Delta\Sigma_CT$ peuvent être déterminées soit en utilisant un modèle linéarisé de la boucle de conversion soit par simulation. Comme expliqué précédemment dans ce chapitre, l'utilisation d'un modèle linéarisé ne permet pas d'obtenir les fonctions de transferts exactes. Pour plus de précision sur les FT réellement réalisées par la boucle $\Delta\Sigma_CT$, le recours à des simulations exhaustives du système est préférable.

La connaissance de l'ensemble des fonctions de transfert d'une architecture de $\Delta\Sigma_CT$ est également très utile lors de l'implémentation de ce type de convertisseur. Les FT entre les différents points stratégiques de la boucle permettent d'estimer rapidement la mise en forme de bruit réalisée par chacun des étages du filtre et de prévoir grossièrement les dynamiques de sortie des différents intégrateurs. Ces informations sont primordiales lors du dimensionnement en bruit de ce type de CAN.

1.6.3 Implémentabilité et robustesse

Les convertisseurs $\Delta\Sigma_CT$ sont des systèmes rebouclés à base d'intégrateurs à temps continu. Ils présentent de plus de forts risques d'instabilité dès que l'ordre du modulateur est

supérieur à deux. L'implémentation de ces convertisseurs n'étant pas triviale, les difficultés de conception et de réalisation du circuit sont à prendre en compte lors de la caractérisation de ce type de CAN.

L'implémentabilité des convertisseurs $\Delta\Sigma_CT$ a déjà été abordée au paragraphe 1.5. Ce problème est entre autre un des facteurs limitant la complexité du filtre de boucle. En effet, si l'ordre du modulateur augmente le nombre de blocs analogiques nécessaires augmente également et la fonction de mise en forme de bruit est redistribuée sur les différents étages. Le nombre de sources de bruits augmente et la mise en forme par étage est réduite, l'implémentation du CAN est donc plus difficile. Les difficultés d'implémentation du circuit peuvent aussi provenir d'une fréquence de travail trop élevée, de la non- linéarité de certains blocs, etc...

La robustesse de l'architecture est le second facteur clef lors de l'implémentation d'un delta sigma à temps continu. Pour que le circuit réel présente des performances proches de celles de l'architecture calculée, il faut maîtriser la fonction de transfert de mise en forme de bruit. Malheureusement, l'implémentation sur silicium du convertisseur s'accompagne inévitablement de déviations non maîtrisées des valeurs des coefficients de la boucle. Plus l'architecture calculée est robuste à ces variations des coefficients, plus l'implémentation sur silicium est aisée.

Caractériser la robustesse d'une architecture de $\Delta\Sigma_CT$ est une tâche particulièrement difficile. Pour ce faire, il faut savoir estimer comment les coefficients de la boucle de conversion varient en fonction des déviations technologiques et de l'appariement des différents blocs du circuits. Connaissant les variations des coefficients, il faut ensuite calculer leur impact sur les performances de la boucle. Dans la mesure où le calcul des performances d'une boucle $\Delta\Sigma_CT$ n'est à ce jour pas maîtrisé au niveau théorique, la robustesse des architectures ne peut raisonnablement être estimée qu'à partir de simulations. Une bonne étude de robustesse nécessite des connaissances approfondies sur la stratégie d'implémentation du circuit. De plus, cette estimation de l'immunité de l'architecture aux variations des coefficients ne peut se faire que de façon statistique, cela implique donc de réaliser un grand nombre de simulations différentes.

L'estimation de la robustesse d'une architecture est un travail conséquent et fastidieux, elle est néanmoins indispensable si l'on désire utiliser ce type de convertisseur pour la réalisation d'un produit industriel nécessitant des rendements élevés.

1.7 Conclusion

Dans ce premier chapitre, les principes fondamentaux de la conversion delta sigma à temps continu ont été présentés. Après quelques rappels théoriques sur la conversion analogique numérique et la caractérisation des performances des CANs, les notions de base

des convertisseurs à mise en forme de bruit ont été détaillées. Les spécificités des boucles $\Delta\Sigma_CT$, concernant l'estimation des performances et les phénomènes d'instabilité ont ensuite été exposés.

Enfin, une méthode de calcul adaptée aux circuits delta sigma à temps continu a été détaillée. Cette technique de calcul d'architecture, appelée "méthode par placement des pôles", permet d'intégrer les spécificités des circuits à temps continu et de les compenser. Cette méthode de calcul des coefficients des $\Delta\Sigma_CT$ à la fois simple mathématiquement et performante répond parfaitement à l'un des problèmes majeurs lors de la conception d'un CAN $\Delta\Sigma_CT$: le choix d'une architecture adéquate.

Chapitre 2

Le jitter dans les delta sigma à temps continu

La forte sensibilité des convertisseurs delta sigma à temps continu vis-à-vis des imperfections de l'horloge est un des facteurs limitant les performances de ce type de CAN. L'utilisation conjuguée d'éléments à temps continu et de blocs échantillonnés complexifie grandement l'analyse des perturbations introduites par le jitter d'horloge dans ces systèmes de conversion.

La méconnaissance des mécanismes de dégradations des performances liés au jitter d'horloge rend difficile une spécification au plus juste des besoins sur le circuit de synthèse de fréquence.

Ce deuxième chapitre est intégralement consacré à l'étude de l'impact des imperfections d'horloge sur la conversion delta sigma à temps continu.

Dans un premier temps, les bases théoriques nécessaires pour la caractérisation des imperfections d'un signal d'horloge sont redéfinies et les profils de bruit de phase de quelques circuits usuels sont rappelés. L'impact du jitter sur la conversion analogique numérique est ensuite traité.

L'influence de l'horloge sur le fonctionnement des différents éléments constituant un CAN delta sigma à temps continu est tout d'abord analysée. Le calcul des dégradations introduites par le jitter dans un modulateur d'ordre 2 est détaillé et la validité des équations est vérifiée par comparaison avec des simulations.

La possibilité d'étendre les résultats obtenus à des modulateurs d'ordre plus élevé est également abordée. Enfin, le dernier paragraphe traite du gain apporté par l'utilisation de CNA à capacités commutées pour compenser l'impact du jitter d'horloge.

2.1 Le jitter d'horloge : généralités

Le jitter d'horloge est en soi un phénomène complexe, il est souvent la somme de différentes sources d'erreurs, corrélées les unes avec les autres. De plus, les méthodes de modélisation, d'analyse et de caractérisation du jitter sont très variées.

Dans ce paragraphe, différents termes relatifs aux imperfections d'horloge vont tout d'abord être redéfinis. Les méthodes d'analyse et de caractérisation du jitter seront ensuite abordées. Dans un troisième temps, les imperfections d'horloge induites par quelques circuits de base, habituellement utilisés pour la génération d'horloge, vont être détaillées.

2.1.1 Jitter, terminologie

Le terme "jitter" fait référence aux erreurs temporelles d'une horloge réelle par rapport à une horloge idéale, c'est-à-dire aux différences de temps entre les instants de déclenchement des fronts d'horloge. Il existe plusieurs termes pour caractériser le jitter, qu'il semble indispensable de redéfinir ici [Schi 01] :

- **Timing Jitter** (jitter temporel) : Il est défini comme la déviation de chaque front d'horloge par rapport à l'horloge idéale.
- **Cycle Jitter** ou **Period Jitter** (Jitter cycle à cycle) : Ces termes représentent la variation de la période d'horloge à chaque cycle.
- **Long Term Jitter** ou **accumulated Jitter** (Jitter accumulé) : Ces expressions indiquent la déviation temporelle de l'horloge réelle par rapport à une horloge idéale après plus d'un cycle.
- **Jitter accumulation** (accumulation de jitter) : Ce terme représente quant à lui le fait que le jitter d'un signal d'horloge est modifié à chaque fois qu'un étage est traversé par ce signal.

Ces différentes définitions montrent clairement qu'un signal d'horloge réel ne peut être correctement caractérisé à l'aide d'une unique valeur numérique de jitter. En effet, toute donnée relative au jitter dépend du type d'imperfection d'horloge considéré ainsi que de l'instant de mesure.

La complexité des imperfections d'un signal d'horloge réel ainsi que la nécessité de décrire finement ces phénomènes obligent cependant à maîtriser et utiliser ces différentes notions.

L'avantage majeur de l'approche temporelle des imperfections d'horloge est assurément son caractère concret. Si l'on connaît les valeurs de ces différents jitters, il est en effet très facile de modéliser ou représenter le signal d'horloge correspondant.

2.1.2 Evaluation et caractérisation du jitter d'horloge

Dans le paragraphe précédent, un ensemble de termes permettant de décrire les imperfections d'un signal d'horloge ont été redéfinis. Ces différents jitters, pratiques pour comprendre la complexité du phénomène, ne sont malheureusement d'aucune utilité pour indiquer de façon synthétique les spécificités d'un signal d'horloge.

Pour remédier à ce problème, des critères d'évaluation de la qualité d'une horloge ont été mis en place. Habituellement un signal d'horloge est décrit grâce à son bruit de phase ou son jitter RMS. [Maxi, Rutm 78]

2.1.2.1 Définition du bruit de phase

Le bruit de phase est une représentation dans le domaine fréquentiel du phénomène de jitter d'horloge. Le principe consiste à caractériser le jitter par les déformations qu'il induit sur le spectre de puissance de l'horloge, plutôt qu'en terme d'erreurs temporelles.

Pour calculer le bruit de phase d'un signal, il faut tout d'abord déterminer la densité spectrale de puissance (*PSD, power spectral density*) de l'horloge réelle.

Le bruit de phase est défini comme l'atténuation en décibel de la puissance du signal d'horloge sur une bande de 1 hertz, à la distance f de la fréquence porteuse F_c , par rapport à la puissance de la porteuse elle-même, voir figure 2.1. Le bruit de phase s'exprime en dBc/Hz et n'a un sens que si l'on précise l'offset de fréquence correspondant. Le bruit de phase est souvent fourni sous la forme d'un spectre fréquentiel $L(f)$, tout simplement appelé spectre de bruit de phase.

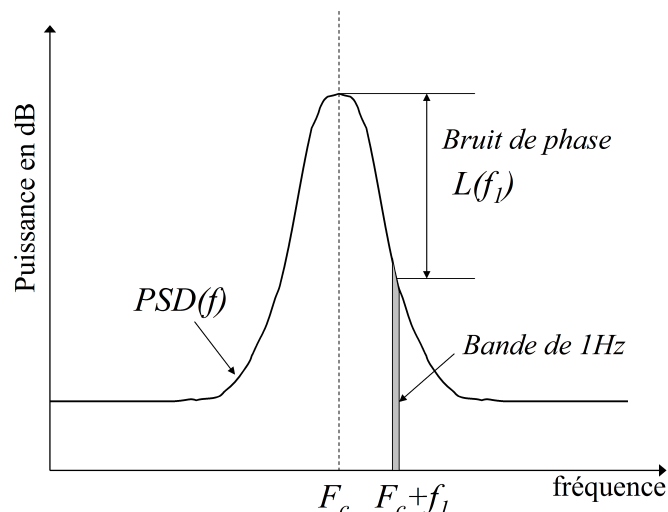


FIG. 2.1 – Détermination du bruit de phase à partir de la densité spectrale de puissance d'une horloge réelle

Cette définition du bruit de phase peut être reformulé mathématiquement grâce à l'équa-

tion suivante :

$$L(f) = 10 \log \left[\frac{PSD(Fc + f)}{PSD(Fc)} \right] \quad (2.1)$$

Le spectre de bruit de phase $L(f)$, également appelé densité spectrale de fluctuation de phase, peut aussi être obtenu à partir du spectre fréquentiel $S_\theta(f)$ de l'erreur de phase du signal réel par rapport à l'horloge idéale :

$$L(f) = 10 \log [S_\theta(Fc + f)] \quad (2.2)$$

Connaissant le spectre de bruit de phase d'un signal, on dispose de l'ensemble des données relatives au jitter de cette horloge. Le bruit de phase est, de par la finesse des informations qu'il contient, un outil très utile et très utilisé pour définir la qualité d'une horloge. Fournir le bruit de phase est équivalent, en terme de quantité d'information, à fournir le signal temporel de l'horloge.

2.1.2.2 Relation entre bruit de phase et jitter RMS

Les courbes caractéristiques de bruit de phase, fortement utilisées par les personnes travaillant dans le domaine de la synthèse de fréquences, ne sont malheureusement pas toujours faciles à exploiter lorsque l'on change de spécialité. Par exemple, dans le domaine de la conversion CAN/CNA, les problèmes de jitter sont souvent analysés dans le domaine temporel. Heureusement, il existe des passerelles entre le domaine fréquentiel et le domaine temporel. [Maxi, Olia 03b, Zanc 01]

Comme décrit précédemment, jitter et bruit de phase sont deux moyens différents de caractériser le même phénomène. Nous allons désormais détailler la méthode permettant d'extraire une valeur de jitter à partir du bruit de phase.

Connaissant le spectre de bruit de phase d'un signal d'horloge, la valeur rms en radians θ_{rms} de la modulation de phase du signal peut être aisément calculée. Pour cela, il suffit d'intégrer le spectre de bruit de phase de l'horloge.

$$\theta_{rms} = \sqrt{2 \int_0^\infty 10^{L(f)/10} df} \quad (2.3)$$

Pour convertir cette donnée en jitter temporel, exprimé en seconde, l'expression ci-dessus est divisée par la pulsation de la porteuse.

$$dt_{rms} = \frac{\theta_{rms}}{2\pi Fc} \quad (2.4)$$

Ce jitter temporel est usuellement appelé jitter RMS. Il englobe l'ensemble des sources d'imperfection de l'horloge réelle et permet de fournir une valeur unique de jitter pour une horloge donnée. Il faut cependant se méfier de ce critère d'évaluation, en effet deux horloges

peuvent très bien avoir le même jitter RMS tout en possédant un spectre de bruit de phase différent. Comme son nom l'indique, le jitter RMS n'est rien d'autre que la valeur rms du jitter d'horloge. Si l'on est capable d'estimer ou de mesurer l'erreur de phase, à chaque front d'horloge, on peut obtenir directement le jitter RMS, sans passer par le calcul du bruit de phase.

Pour information, le jitter RMS, qui se calcule théoriquement en intégrant le bruit de phase de zéro à l'infini, est certaines fois évalué en intégrant le bruit sur une bande de fréquence plus limitée. La bande d'intégration est alors fournie en même temps que la valeur du jitter RMS correspondant.

$$dt_{rms}|_{f_1 \rightarrow f_2} = \frac{1}{2\pi F_C} \sqrt{2 \int_{f_1}^{f_2} 10^{L(f)/10} df} \quad (2.5)$$

Les deux outils de caractérisation détaillés ci-dessus présentent chacun des avantages certains : précision du bruit de phase, simplicité d'utilisation du jitter RMS. Si l'on veut réaliser une étude approfondie du jitter d'horloge, le passage par une caractérisation en terme de bruit de phase est cependant inévitable.

2.1.3 Jitter de quelques circuits usuels

Dans cette section, nous allons détailler le jitter généré par trois des principaux éléments utilisés pour la synthèse d'horloges : le buffer, le VCO et la PLL. Ces trois exemples vont aussi permettre de souligner les relations entre jitter temporel et bruit de phase. A chaque type de jitter (cycle jitter, long term jitter), on peut en effet faire correspondre un profil caractéristique du spectre de bruit de phase [Weig 98].

2.1.3.1 Le buffer

Cet élément de base, comme tout composant électronique, introduit du bruit sur le signal qui le traverse. Si le signal d'entrée d'un buffer est un signal carré, forme typique d'une horloge, l'erreur apportée par ce buffer s'illustre par une déviation temporelle Δt de chacun des fronts.

Cet écart Δt sur un front donné, est indépendant des erreurs précédentes et la valeur de cette déviation temporelle se répartit selon une distribution gaussienne. On peut donc caractériser intégralement le jitter d'un buffer grâce à la valeur de la variance σ^2 de la distribution gaussienne des erreurs temporelles introduites.

On peut résumer l'impact du buffer sur l'horloge par l'introduction d'un cycle jitter de distribution gaussienne. Ce type d'erreur de jitter se caractérise sur le spectre de bruit de

phase par un plancher de valeur :

$$L(f) = 10 \log \left[(2\pi)^2 \frac{\sigma^2}{T_{clk}} \right] \quad (2.6)$$

2.1.3.2 Le VCO (Voltage Controlled Oscillator)

Ce deuxième bloc, fortement utilisé dans les circuits de synthèse de fréquence, possède lui aussi un bruit de phase très particulier et facilement caractérisable. Comme son nom l'indique ce bloc fournit un signal oscillant dont la fréquence est fixée par la consigne en tension appliquée sur son entrée.

D'un point de vue temporel, on peut définir la qualité d'un VCO grâce à la valeur de la variance σ^2 de la distribution gaussienne des erreurs temporelles introduites. La différence fondamentale avec le bloc buffer, traité dans le paragraphe précédent, vient du fait que ces erreurs temporelles, introduites à chaque front d'horloge, sont accumulées par le VCO. L'erreur sur le $N^{ième}$ front d'horloge est donc la somme de N erreurs indépendantes, chacune d'elles étant tirée à l'aide de la distribution gaussienne caractéristique de l'oscillateur.

Le spectre de bruit de phase d'un VCO se particularise quant à lui par une fonction en $1/f^2$ que l'on peut relier à la variance caractéristique σ^2 à l'aide de l'équation suivante :

$$L(f) = 10 \log \left[\frac{F_{clk}}{f^2} \left(\frac{\sigma}{T_{clk}} \right)^2 \right] \quad (2.7)$$

2.1.3.3 La PLL (Phase Locked Loop)

Pour terminer ce rapide panorama des bruits de phase caractéristiques des circuits habituellement utilisés en synthèse de fréquences, nous allons considérer brièvement le cas des boucles à verrouillage de phase ou PLL.

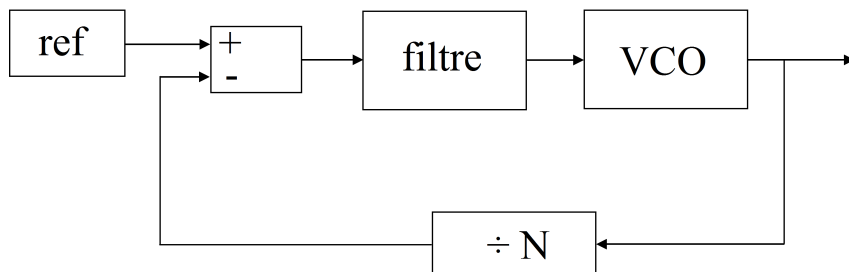


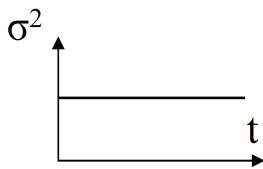
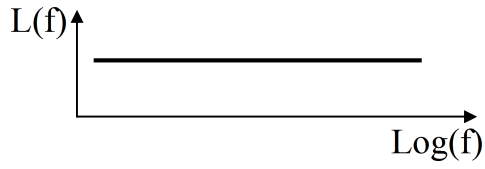
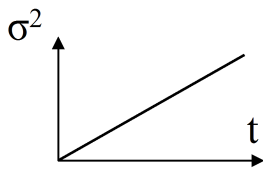
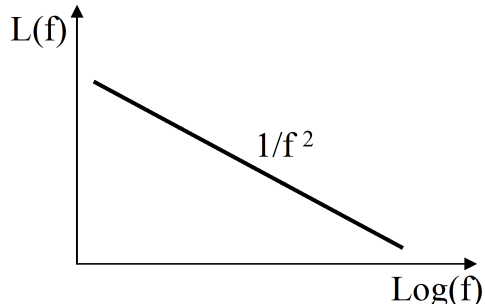
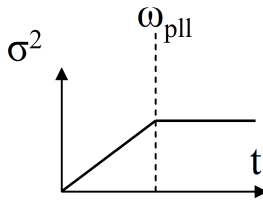
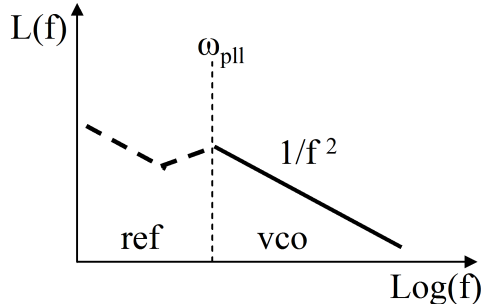
FIG. 2.2 – Schéma de principe d'une PLL

Ce circuit est généralement constitué de quatre blocs, un oscillateur de référence, un filtre, un VCO et un diviseur de fréquence, voir figure 2.2. Le VCO fournit le signal de sortie de la PLL et la boucle a pour objectif de diminuer le bruit de phase en sortie du circuit.

Le principe consiste à diviser la fréquence de sortie du VCO, pour la ramener à la même fréquence que l'oscillateur de référence, le déphasage entre ces deux signaux est ensuite estimé et filtré afin de modifier de façon adéquate la consigne d'entrée du VCO.

Ce circuit permet de réduire le bruit de phase du signal d'horloge généré par rapport à celui que l'on obtiendrait en utilisant le VCO seul. Si l'on regarde le spectre de bruit de phase de la PLL, on s'aperçoit que le filtrage de la boucle a pour effet de substituer le bruit du VCO par celui de l'oscillateur de référence pour des fréquences inférieures à la fréquence du filtre de boucle (cf. tableau 2.1).

2.1.3.4 Récapitulatif du jitter des circuits usuels

| Circuit | Jitter temporel | Bruit de phase |
|---------|--|---|
| buffer | <p>Cycle jitter gaussien σ^2, indépendant entre chaque cycle</p>  | <p>$L(f) = 10 \log \left[(2\pi)^2 \frac{\sigma^2}{T_{clk}} \right]$</p>  |
| VCO | <p>Cycle jitter gaussien σ^2 accumulé à chaque cycle</p>  | <p>$L(f) = 10 \log \left[\frac{F_{clk}}{f^2} \left(\frac{\sigma}{T_{clk}} \right)^2 \right]$</p>  |
| PLL | <p>Jitter d'un VCO amélioré par le filtre de boucle</p>  |  |

TAB. 2.1 – Tableau récapitulatif du jitter d'horloge de quelques circuits usuels

2.2 Impact du jitter sur les convertisseurs à temps discret

Dans les convertisseurs à temps discret, l'impact du jitter est localisé au niveau de l'échantillonneur d'entrée (cf. figure 2.3). En effet, toute erreur temporelle sur les fronts d'horloge se traduit automatiquement par une erreur sur la tension échantillonnée. Cette tension erronée est ensuite traitée "normalement" par le convertisseur à temps discret ; elle est considérée par la boucle comme faisant partie du signal à convertir. Connaissant le signal d'entrée et les spécificités du jitter d'horloge, on peut donc facilement calculer la dégradation du rapport signal à bruit du convertisseur dans la mesure où cette dégradation est la même que dans le cas d'un échantillonneur seul.

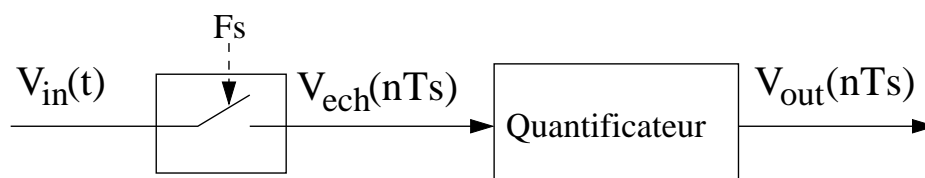


FIG. 2.3 – Schéma bloc d'un convertisseur à temps discret

2.2.1 Impact du jitter lors de l'échantillonnage d'un signal

La démarche de calcul utilisée ci-dessous, permettant de calculer les effets du jitter lors de l'échantillonnage d'un signal, est basée sur un article de Da Dalt, Harteneck, Sandner et Wiesbauer [Da D 02].

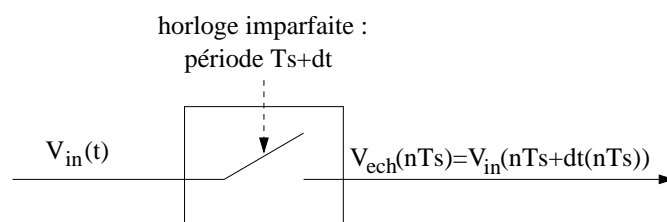


FIG. 2.4 – Echantillonnage d'un signal par une horloge imparfaite

Si l'on considère un signal d'entrée $V_{in}(t)$ et une horloge, de période T_s , les instants d'échantillonnage sont définis par l'équation $t = n.T_s + \Delta t$ avec $n \in \mathbb{N}$ et Δt le jitter d'horloge. L'erreur introduite sur le $n^{ième}$ échantillon vaut donc :

$$V_{erreur}(n.T_s) = V_{in}(n.T_s + \Delta t) - V_{in}(n.T_s) \quad (2.8)$$

Si l'on suppose l'erreur temporelle de jitter faible par rapport à la période du signal

d'entrée et en utilisant un développement en série de Taylor on obtient :

$$V_{erreur}(n.Ts) \simeq \Delta t.V'_{in}(n.Ts) \quad (2.9)$$

Calculons désormais la densité spectrale de puissance de cette erreur. Pour ce faire, extrayons tout d'abord la fonction d'autocorrélation de ce signal temporel. La fonction d'autocorrélation $r_X(t)$ d'un signal continu X est un outil mathématique qui permet d'exprimer la corrélation croisée d'un signal par lui-même, c'est-à-dire les dépendances internes du signal.

$$\begin{aligned} r_{V_{erreur}}(m.Ts) &= E[V_{erreur}(Ts).V_{erreur}(Ts + m.Ts)] \\ &= E\left[V'_{in}(Ts).V'_{in}(Ts + m.Ts) \cdot \Delta t(Ts).\Delta t(Ts + m.Ts)\right] \\ &= r_{V'_{in}}(m.Ts).r_{\Delta t}(m.Ts) \end{aligned} \quad (2.10)$$

Dans les équations précédentes, la notation $E[x]$ correspond à l'espérance mathématique du signal x .

Sachant que $r_{x'}(m.Ts) = -r''_x(m.Ts)$ l'équation 2.10 devient :

$$r_{V_{erreur}}(m.Ts) = -r''_{V_{in}}(m.Ts).r_{\Delta t}(m.Ts) \quad (2.11)$$

Pour obtenir la densité spectrale de puissance d'un signal, il suffit de calculer la transformée de Fourier de sa fonction d'autocorrélation. De plus, on sait que la transformée de Fourier de la dérivée d'un signal X est égale à la transformée de Fourier de X multipliée par $(j2\pi f)$. En appliquant ces deux principes à l'équation 2.11, on peut calculer la PSD de l'erreur introduite lors de l'échantillonnage :

$$S_{V_{erreur}}(f) = \mathcal{TF}[r_{V_{erreur}}(m.Ts)] = (2\pi f)^2 S_{V_{in}}(f) \otimes S_{\Delta t}(f) \quad (2.12)$$

L'opérateur \otimes représente la convolution, \mathcal{TF} la transformée de Fourier. $S_{V_{in}}(f)$ est la PSD du signal d'entrée et $S_{\Delta t}(f)$ est la densité spectrale des erreurs temporelles apportées par le jitter.

Pour caractériser les imperfections d'un signal d'horloge, on parle habituellement en terme de spectre de bruit de phase plutôt qu'en spectre d'erreurs temporelles. La relation reliant ces deux spectres est la suivante :

$$S_{\Delta t}(f) = \left(\frac{T_s}{2\pi}\right)^2 S_{\theta}(f) \quad (2.13)$$

d'où

$$S_{V_{erreur}}(f) = \left[\left(\frac{f}{F_s}\right)^2 S_{V_{in}}(f)\right] \otimes S_{\theta}(f) \quad (2.14)$$

Connaissant le spectre de bruit de phase de l'horloge, la simple résolution de l'équation

2.14 fournit l'intégralité des dégradations, introduites par l'étape d'échantillonnage, sur un signal quelconque dont on connaît la PSD.

L'analyse de l'équation 2.14 permet d'extraire deux caractéristiques notables sur le spectre de puissance des erreurs apportées par le jitter d'horloge. Tout d'abord, on peut remarquer qu'il existe une forte dépendance fréquentielle ; plus la fréquence du signal d'entrée est élevée plus la puissance des erreurs introduites est forte (cf. figure 2.5).

La seconde observation porte sur la répartition spectrale de l'erreur générée. L'opération de convolution indique clairement que la puissance des erreurs introduites va « s'étaler fréquentiellement » autour du signal d'entrée en suivant le profil du bruit de phase.

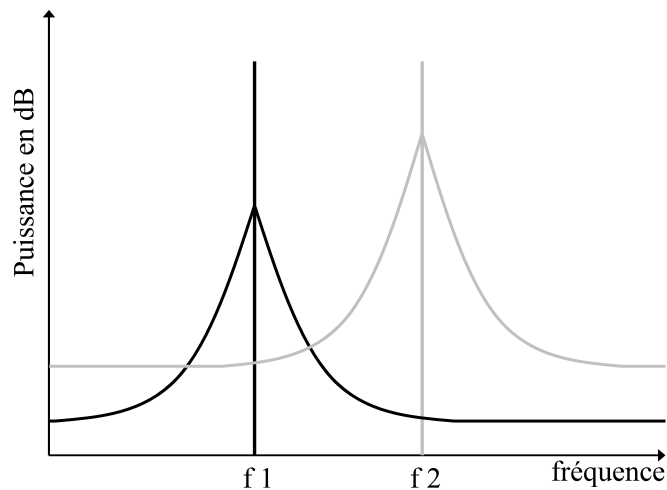


FIG. 2.5 – PSD de deux sinusoïdes échantillonnées par une horloge présentant du jitter

2.2.2 Jitter d'horloge et SNR des convertisseurs à temps discret

Comme énoncé précédemment, les dégradations liées au jitter d'horloge dans un convertisseur à temps discret sont assimilables à celles introduites par un simple échantillonneur. On peut donc directement utiliser l'équation 2.14, pour estimer l'intégralité des pertes de performance du convertisseur en relation avec le jitter d'horloge.

Si l'on fait comme hypothèses que le signal d'entrée du convertisseur est sinusoïdal, de fréquence f_{in} et d'amplitude A , et que le bruit de phase est blanc, on peut obtenir une relation simple entre jitter d'horloge et SNR. Pour rappel, un spectre de bruit de phase blanc peut être intégralement caractérisé par la variance de la distribution gaussienne des erreurs temporelles indépendantes introduites par cette horloge (cf. paragraphe 2.1.3.1).

La puissance du signal sinusoïdal à l'entrée du convertisseur vaut :

$$P(V_{in}) = \frac{A^2}{2} \quad (2.15)$$

Sur la bande de fréquences utiles, la puissance de bruit introduite par l'étape d'échantillonnage vaut d'après les équations 2.6 et 2.14 :

$$P(\text{bruit}) = \frac{A^2}{2} \left(\frac{f_{in}}{Fs} \right)^2 (2\pi)^2 \frac{\sigma^2 Fs^2}{OSR} \quad (2.16)$$

d'où

$$SNR = 10 \log \left[\frac{OSR}{f_{in}^2 (2\pi\sigma)^2} \right] \quad (2.17)$$

On retrouve ici la formulation “classique” de spécification du jitter d’horloge pour un convertisseur analogique numérique ; formule déjà établie dans plusieurs articles scientifiques [Bose 88, Dori 02].

Cette équation simple et concrète est malheureusement limitée de part les hypothèses initiales, bruit de phase blanc et entrée sinusoïdale. Elle reste néanmoins un bon point de départ pour la spécification du jitter si l’on doit réaliser un CAN présentant un échantillonneur en entrée.

2.3 Impact du jitter sur les convertisseurs delta sigma à temps continu

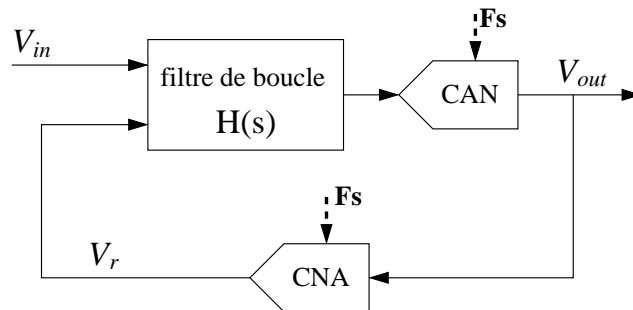


FIG. 2.6 – Schéma bloc d’un delta sigma à temps continu

Dans un CAN delta sigma à temps continu, l’échantillonnage du signal est inclus dans la boucle de mise en forme de bruit (cf. figure 2.6). Les deux opérations de base de la conversion analogique numérique, échantillonnage et quantification, sont donc réalisées simultanément. De ce fait, les imperfections du signal d’horloge impactent l’ensemble des blocs constituant le convertisseur.

L’analyse et la quantification des dégradations introduites par le jitter d’horloge est donc plus complexe dans le cas d’un CAN de type $\Delta\Sigma_{CT}$. En effet, la détérioration des performances ne dépend pas uniquement du signal d’entrée et du bruit de phase de l’horloge, mais aussi de l’architecture du delta sigma et de son implémentation.

Plusieurs articles ont déjà été publiés à propos de l’impact des imperfections d’horloge sur les performances des $\Delta\Sigma_{CT}$ [Cher 99a, Van 96, Ortm 03, Olia 99]. Ils fournissent

des pistes intéressantes pour comprendre l'influence du jitter sur ce type de convertisseur. Malheureusement, toutes ces études se focalisent sur les blocs pilotés par l'horloge, le CAN interne et le (ou les) CNA de retour.

Cette approche restrictive du jitter dans les delta sigma à temps continu ne permet pas de quantifier précisément les dégradations introduites par les imperfections du signal d'horloge. Elle a cependant abouti à la conception de systèmes de compensation réduisant nettement l'impact du jitter.

Les deux techniques généralement employées sont l'utilisation de CNA de retour à capacités commutées [Ortm 05, Van 03] ou l'étalement temporel du signal de retour renvoyé par les CNA à l'aide de filtres FIR (*Finite Impulse Response*) [Olia 03a, Putt 04]. Ces deux systèmes agissent uniquement au niveau du ou des CNA de retour, ils permettent de limiter ou d'annuler l'impact du jitter sur le signal renvoyé au filtre de boucle du $\Delta\Sigma_CT$. Ces techniques de corrections ne corrigent donc pas intégralement l'impact du jitter sur le convertisseur.

Pour pouvoir corriger intégralement l'impact des imperfections d'horloge ou spécifier efficacement les besoins sur le circuit de synthèse de fréquence, il faut tout d'abord savoir quantifier avec précision l'influence du jitter sur la conversion delta sigma à temps continu.

Une approche globale des perturbations introduites par le jitter dans la boucle de conversion $\Delta\Sigma_CT$ est détaillée ci-dessous. La première étape consiste à identifier l'intégralité des erreurs dues à la non-idéalité de l'horloge. Une méthode mathématique permettant de quantifier ces erreurs sera ensuite présentée [Goul 07b].

2.3.1 Identification des erreurs introduites par le jitter

Si l'on considère que les imperfections d'horloge ont un impact sur tout signal ou fonction à temps continu, deux types d'erreurs de jitter peuvent être identifiés dans un convertisseur $\Delta\Sigma_CT$. La première dégradation, l'erreur d'échantillonnage, est liée au signal d'entrée à temps continu $V_{in}(t)$. La seconde catégorie d'erreurs est due au filtre de boucle à temps continu $H(s)$ du $\Delta\Sigma_CT$. Ce type d'erreur sera désormais appelé "erreur d'intégration".

2.3.1.1 Erreur d'échantillonnage

Le signal d'entrée du $\Delta\Sigma_CT$ a bien évidemment une responsabilité dans l'atténuation des performances due au jitter d'horloge. En effet, le signal d'entrée $V_{in}(t)$ est continu alors que la sortie du CAN est un signal discrétisé en temps et en amplitude. L'échantillonnage non-idéal de V_{in} dans la boucle de conversion introduit donc automatiquement une erreur d'échantillonnage.

Cette erreur est par sa nature comparable à l'erreur d'échantillonnage qui existe dans un convertisseur à temps discret (cf paragraphe 2.2). Cependant, la quantité de bruit issue de

l'erreur d'échantillonnage dans un $\Delta\Sigma_CT$ est différente de celle introduite dans un CAN à temps discret. En effet, dans un convertisseur delta sigma à temps continu, la discrétisation temporelle du signal est positionnée en aval du filtre de boucle. Le signal d'entrée V_{in} traverse donc le filtre à temps continu avant d'être échantillonné. Il existe donc une fonction de transfert à temps continu modifiant le signal à convertir avant sa discrétisation. C'est cette même fonction de transfert qui est responsable du filtre anti-repliement intrinsèque aux $\Delta\Sigma_CT$.

2.3.1.2 Erreur d'intégration

Ce second type d'erreur est spécifique aux delta sigma à temps continu, elle provient du traitement par le filtre continu $H(s)$ du signal V_r renvoyé par la boucle de contre-réaction. Il existe une erreur d'intégration en sortie de chaque étage du filtre de boucle. Un modulateur delta sigma à temps continu d'ordre N possède donc N erreurs d'intégrations.

La fonction de transfert $H(s)$ est par définition indépendante du signal d'horloge, il peut donc sembler curieux de parler d'erreur due au jitter localisée à l'intérieur du filtre à temps continu. Les fonctions de filtrage des convertisseurs $\Delta\Sigma_CT$ sont réalisées à partir d'intégrateurs à temps continu. La tension de sortie d'un intégrateur est une fonction dépendante de la valeur du signal d'entrée et du temps :

$$V_{sortie}(t) = \int_0^t V_{entrée}(t) dt \quad (2.18)$$

Le jitter, en modifiant la période instantanée du signal d'horloge, perturbe le signal V_r renvoyé par la boucle de retour du $\Delta\Sigma_CT$ mais également les bornes d'intégration des éléments constituant le filtre à temps continu. Une erreur d'intégration peut donc virtuellement être décomposée en deux éléments, l'un provenant de la perturbation sur le signal traité et l'autre issu du temps de traitement de ce signal.

L'entrée V_{in} du convertisseur est un signal à temps continu, il n'existe donc pas d'erreur d'intégration en relation avec ce signal V_{in} . Un signal continu traité par une fonction de transfert à temps continu ne peut par définition pas être impacté par l'horloge. Pour calculer les erreurs d'intégration introduites dans un CAN $\Delta\Sigma_CT$, on peut donc légitimement considérer que l'entrée est égale à zéro. L'élément déclencheur des erreurs d'intégration est donc le bruit de quantification introduit dans la boucle de conversion par le CAN interne.

Remarque : Le temps d'intégration est généralement omis dans les études qui ne s'intéressent qu'à l'impact du jitter sur les éléments pilotés par l'horloge, d'où un manque de précision lors de la quantification des erreurs liées au jitter.

Cependant, et bien que les erreurs d'intégration soient localisées dans le filtre de boucle, la stratégie d'implémentation du (ou des) CNA de retour est un des facteurs clefs impactant la puissance des erreurs d'intégration.

Les erreurs d'intégration dans un delta sigma à temps continu d'ordre 2

Afin de mieux comprendre le phénomène responsable des erreurs d'intégrations, le cas d'un convertisseur $\Delta\Sigma_CT$ feedback d'ordre 2 avec un CNA de type NRZ (*Non Retour à Zéro*) va être détaillé. Le schéma bloc du convertisseur est fourni sur la figure 2.7. Ce convertisseur possède deux intégrateurs, il existe donc deux erreurs d'intégration, e_1 générée par le premier intégrateur et e_2 par l'intégrateur numéro 2.

Pendant un cycle d'horloge de durée $Ts + \Delta t$, le signal numérique V_{out} est converti en une tension analogique V_r . Cette différence de potentiel V_r est appliquée en entrée des deux blocs de gain a_1 et a_2 pendant l'intégralité de la période, principe même du retour NRZ. On voit ici clairement apparaître les deux erreurs d'intégration. En effet, pendant la durée $Ts + \Delta t$, le signal $[a_1.V_r]$ est intégrée doublement et la tension $[a_2.V_r]$ est intégrée simplement.

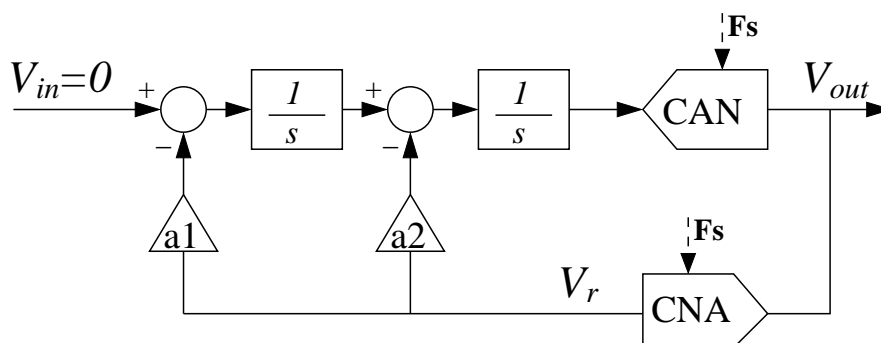


FIG. 2.7 – Schéma bloc d'un convertisseur $\Delta\Sigma_CT$ feedback d'ordre 2

La première erreur e_1 est générée uniquement par l'intégration de $[a_1.V_r]$. Cette erreur se produit à l'intérieur même du premier intégrateur, elle ne bénéficie donc, dans la bande de fréquences utile, d'aucune mise en forme par la boucle. Elle est toutefois affectée par la STF du $\Delta\Sigma_CT$, un filtre passe bas, comme tout signal s'appliquant en entrée du convertisseur (cf. figure 2.8).

L'erreur e_2 quant à elle possède deux composantes, l'une vient de la double intégration de $[a_1.V_r]$, l'autre de l'intégration de $[a_2.V_r]$. De par sa localisation, cette erreur est mise en forme par la boucle delta sigma. Elle est filtrée par une fonction de transfert possédant deux pôles (ceux définis lors du choix des coefficients a_1 et a_2) et un zéro (cf. figure 2.8).

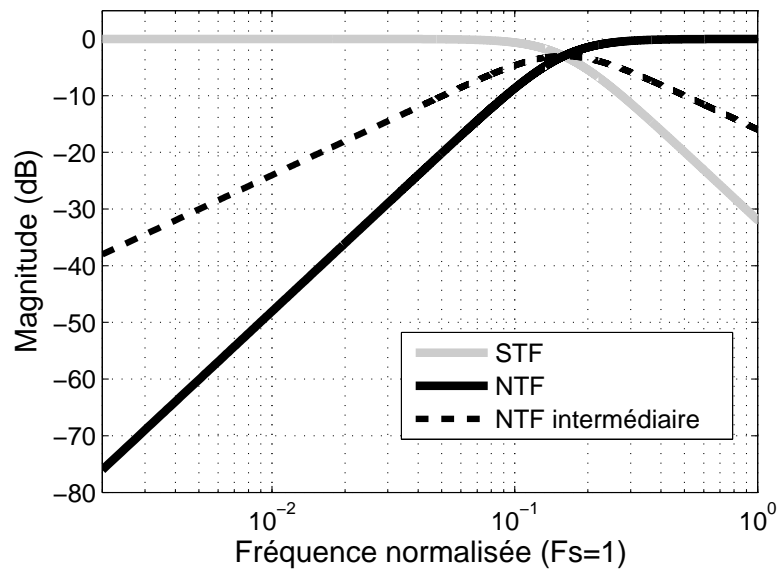


FIG. 2.8 – Fonctions de transfert d'un $\Delta\Sigma_CT$ feedback d'ordre 2 avec filtrage Butterworth $Wb = Fs$

Sur la figure ci-dessus, les fonctions de transfert caractéristiques d'un delta sigma d'ordre 2 sont représentées ; la mise en forme de bruit est de type Butterworth avec $Wb = Fs$. La connaissance de ces fonctions de transfert est très importante pour l'étude du jitter. En effet, les erreurs introduites par les imperfections de l'horloge sont mises en forme par la boucle de conversion, il est donc indispensable de connaître avec précision ces fonctions si l'on veut calculer les dégradations apportées par le jitter.

Sur la figure 2.8, on peut voir trois courbes différentes :

- En gris, la STF. C'est la fonction de transfert s'appliquant à l'erreur d'intégration $e1$.
- En noir continu, la NTF.
- En pointillés noirs, la NTF intermédiaire, c'est à dire la fonction de transfert entre l'entrée du second intégrateur et la sortie du $\Delta\Sigma_CT$. C'est la fonction de transfert s'appliquant à l'erreur d'intégration $e2$.

Dans ce paragraphe, les perturbations du fonctionnement du filtre de boucle en relation avec le jitter d'horloge ont été identifiées et analysées. Ces perturbations peuvent être caractérisées par N erreurs d'intégration dans le cas d'un modulateur d'ordre N .

Ces différentes erreurs d'intégration sont plus ou moins bien mises en forme par le filtre continu selon leur positionnement dans la boucle. De plus, les erreurs d'intégration englobent les perturbations introduites par les imperfections d'horloge au niveau des boucles de retour du convertisseur $\Delta\Sigma_CT$.

L'analyse qualitative des effets du jitter sur les différents blocs des convertisseurs delta

sigma à temps continu a permis d'identifier plusieurs sources d'erreur responsables de la dégradation des performances. Deux types d'erreurs ont finalement été identifiés et retenus, des **erreurs d'échantillonnage** et des **erreurs d'intégration**.

2.3.2 Etude quantitative des dégradations apportées par le jitter

Le paragraphe 2.3.1 a permis de mieux comprendre les effets des imperfections d'horloge sur les delta sigma à temps continu. Le problème du jitter va désormais être abordé d'un point de vue quantitatif. Afin de calculer formellement l'impact du jitter sur la valeur numérique du SNR d'un CAN $\Delta\Sigma_CT$, il est nécessaire d'établir la densité spectrale de puissance des erreurs introduites. La PSD du bruit liée au jitter dépend fortement de l'architecture du convertisseur considéré. Pour calculer les dégradations des performances du convertisseur, il faut donc préalablement fixer l'architecture du modulateur delta sigma.

Dans ce paragraphe, le cas spécifique d'un $\Delta\Sigma_CT$ d'ordre 2 va être détaillé. La possibilité d'étendre les résultats obtenus pour le calcul de l'impact du jitter sur diverses architectures de CAN $\Delta\Sigma_CT$ sera ensuite abordée.

2.3.2.1 Densité spectrale de puissance des erreurs introduites par les imperfections d'horloge dans un $\Delta\Sigma_CT$ d'ordre 2

Les dégradations introduites par le jitter d'horloge étant liées à la structure même du convertisseur, la première étape consiste à choisir une architecture à étudier.

Considérons un delta sigma à temps continu d'ordre 2 de type feedback avec un retour NRZ. Le jitter d'horloge introduit trois dégradations, deux erreurs d'intégrations ($e1$ et $e2$) et une erreur d'échantillonnage (e_{ech}). Pour rappel, les erreurs introduites par le jitter au niveau des DACs sont incluses dans les erreurs d'intégration.

Le schéma bloc de ce convertisseur ainsi que le positionnement dans la boucle des erreurs liées aux imperfections du signal d'horloge sont représentés sur la figure 2.9.

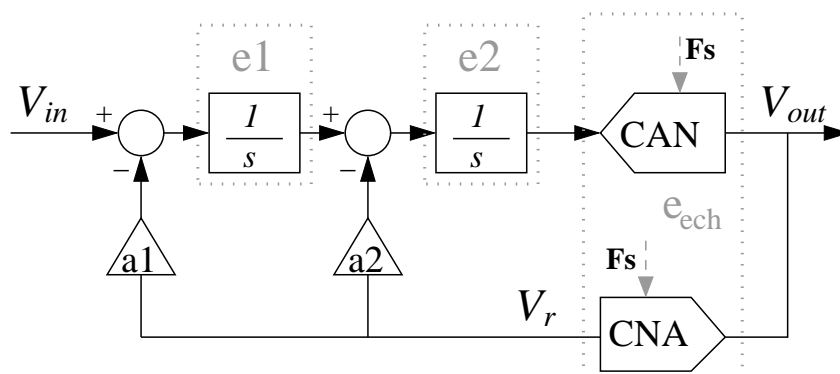


FIG. 2.9 – Erreurs liées au jitter d'horloge dans un $\Delta\Sigma_CT$ feedback d'ordre 2

L'erreur d'échantillonnage e_{ech} est due au signal d'entrée $V_{in}(t)$, alors que les erreurs

d'intégration sont elles indépendantes de l'entrée (cf. paragraphe 2.3.1). La linéarisation de la boucle avec le modèle d'additionneur de bruit blanc (cf. paragraphe 1.3.1) est donc parfaitement adaptée pour quantifier les erreurs introduites par les imperfections d'horloge. En effet, ce modèle permet de décorréler le signal d'entrée $V_{in}(t)$ du bruit généré par le CAN interne.

Estimation des erreurs d'intégration

Le signal d'entrée $V_{in}(t)$ est continu et il est appliqué directement en entrée du filtre de boucle $H(s)$. Ce signal est correctement traité par les éléments à temps continu constituant le filtre $H(s)$, il n'introduit donc pas d'erreur d'intégration. Ainsi, pour estimer la PSD des erreurs d'intégration, on peut considérer que l'entrée est nulle (cf. figure 2.10).

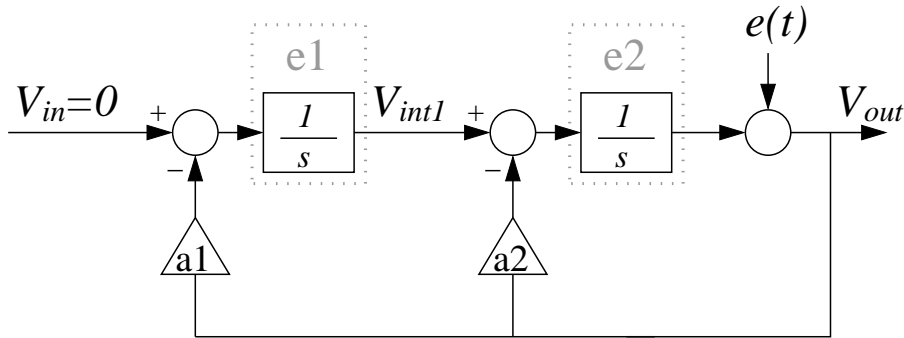


FIG. 2.10 – Erreurs d'intégration $e1$ et $e2$ avec le modèle linéarisé de la boucle $\Delta\Sigma_{CT}$ d'ordre 2

Calculons tout d'abord les erreurs d'intégration introduites dans la boucle pendant une période d'horloge, c'est-à-dire entre l'instant $t = n.Ts$ et l'instant $t = (n + 1).Ts + \Delta t$. Au cours de ce cycle d'horloge, le jitter temporel a pour valeur Δt . De plus, pendant l'intégralité de la période d'horloge, de durée $Ts + \Delta t$, la tension V_{out} renvoyée dans la boucle est constante (principe de base du retour de type NRZ).

L'erreur d'intégration $e1$ est uniquement liée à la modification du temps pendant lequel $a1.V_{out}$ est intégré simplement. A la fin de la période d'horloge, c'est-à-dire à l'instant $t = (n + 1).Ts + \Delta t$, l'erreur d'intégration $e1$ introduite par le jitter vaut :

$$e1 = a1.V_{out}.\Delta t \quad (2.19)$$

Cette erreur de temps d'intégration Δt est ramenée à une erreur équivalente en tension V_{e1} en entrée de l'intégrateur 1 grâce à l'équation ci-dessous :

$$\int_{n.Ts}^{(n+1).Ts+\Delta t} a1.V_{out} dt = \int_{n.Ts}^{(n+1).Ts} \left(a1.V_{out} + a1.V_{out}.\frac{\Delta t}{Ts} \right) dt \quad (2.20)$$

d'où

$$V_{e1} = a1.V_{out}.\frac{\Delta t}{T_s} \quad (2.21)$$

Bien entendu, ce calcul peut être réalisé à chaque cycle d'horloge, on obtient alors la variation de l'erreur d'intégration équivalente au cours du temps :

$$V_{e1}(t) = a1.V_{out}(t).\frac{\Delta t(t)}{T_s} \quad (2.22)$$

L'équation de l'erreur d'intégration $e1$, localisée au niveau du premier intégrateur, vient d'être établie. De plus, cette erreur d'intégration peut être facilement ramenée à une erreur équivalente V_{e1} sur la tension d'entrée de l'intégrateur 1. Une démarche de calcul identique peut être appliquée à l'erreur d'intégration $e2$, due au jitter sur le second étage.

L'erreur d'intégration $e2$, générée au niveau du second étage du convertisseur, est issue d'une part de l'intégration simple de $a2.V_{out}$ et d'autre part de la double intégration de $a1.V_{out}$.

A la fin du cycle d'horloge $t = (n + 1).T_s + \Delta t$, l'erreur d'intégration $e2$ vaut :

$$e2 = a2.V_{out}.\Delta t + V_{int1}.\Delta t + a1.V_{out} \left(T_s.\Delta t + \frac{(\Delta t)^2}{2} \right) \quad (2.23)$$

Dans l'équation ci-dessus, la tension V_{int1} représente la tension de sortie du premier intégrateur à l'instant $t = n.T_s$.

Le premier terme de l'équation 2.23 correspond à l'intégration de $a2.V_{out}$, les deux suivants à la double intégration de $a1.V_{out}$. On peut évidemment ramener cette erreur $e2$ en entrée de l'intégrateur 2, la tension d'erreur équivalente V_{e2} sur l'entrée du second étage du convertisseur vaut alors :

$$V_{e2}(t) = (a2.V_{out}(t) + V_{int1}(t)).\frac{\Delta t(t)}{T_s} + a1.V_{out}(t).T_s \left(\frac{\Delta t(t)}{T_s} + \frac{1}{2} \left(\frac{\Delta t(t)}{T_s} \right)^2 \right) \quad (2.24)$$

Les deux quantités T_s et Δt sont habituellement très inférieures à la valeur 1, V_{e2} peut donc être raisonnablement approximée par l'expression suivante :

$$V_{e2}(t) \simeq (a2.V_{out}(t) + V_{int1}(t)).\frac{\Delta t(t)}{T_s} \quad (2.25)$$

Les équations 2.22 et 2.25 fournissent les erreurs d'intégration $e1$ et $e2$, ramenées en tension, introduites par le jitter d'horloge dans le filtre de boucle. Ces formules ne sont malheureusement pas facilement exploitables sous cette forme temporelle, il semble donc intéressant de les convertir en densités spectrales de puissance en sortie du convertisseur. Un moyen efficace d'obtenir la PSD des erreurs d'intégration est de calculer la transformée de Fourier de la fonction d'autocorrelation de chacune des erreurs.

Commençons par l'erreur $V_{e1}(t)$ due au premier étage de la boucle de conversion. L'équation 2.22 fournit la variation de cette erreur au cours du temps, on peut donc en déduire sa fonction d'autocorrélation $r_{V_{e1}}(m.Ts)$:

$$\begin{aligned}
 r_{V_{e1}}(m.Ts) &= E [V_{e1}(Ts).V_{e1}(Ts + m.Ts)] \\
 &= E \left[a1.V_{out}(Ts) . a1.V_{out}(Ts + m.Ts) . \frac{\Delta t(Ts)}{Ts} . \frac{\Delta t(Ts + m.Ts)}{Ts} \right] \\
 r_{V_{e1}}(m.Ts) &= a1^2 r_{V_{out}}(m.Ts) . \frac{1}{Ts^2} r_{\Delta t}(m.Ts)
 \end{aligned} \tag{2.26}$$

La densité spectrale de puissance d'un signal étant égale à la transformée de Fourier de sa fonction d'autocorrélation, il en découle l'expression suivante pour la PSD de l'erreur d'intégration du premier étage :

$$S_{V_{e1}}(f) = \left(\frac{a1}{Ts} \right)^2 S_{V_{out}}(f) \otimes S_{\Delta t}(f) \tag{2.27}$$

$S_{V_{out}}(f)$ est la PSD du signal renvoyé dans la boucle et $S_{\Delta t}(f)$ est la densité spectrale des erreurs temporelles apportées par le jitter.

Lorsque l'on traite des imperfections d'horloge, on parle habituellement en terme de spectre de bruit de phase $S_{\theta}(f)$ plutôt qu'en spectre d'erreurs temporelles $S_{\Delta t}(f)$. La relation entre ces deux spectres fréquentiels est donnée par l'équation 2.13. La PSD de V_{e1} est donc égale à :

$$S_{V_{e1}}(f) = \left(\frac{a1}{2\pi} \right)^2 S_{V_{out}}(f) \otimes S_{\theta}(f) \tag{2.28}$$

Il reste désormais à ramener ce spectre de bruit sur le signal de sortie du convertisseur. Pour cela il suffit de le multiplier par la fonction de transfert entre l'entrée du premier intégrateur et la sortie du convertisseur, c'est-à-dire la STF du delta sigma à temps continu. La densité spectrale de puissance de l'erreur $e1$ ramenée en sortie du convertisseur vaut donc :

$$S_{V_{e1}}(f) = \left(\frac{a1}{2\pi} \right)^2 [S_{V_{out}}(f) \otimes S_{\theta}(f)] . STF(f) \tag{2.29}$$

Une démarche de calcul identique peut être appliquée à la seconde erreur d'intégration. En partant de l'équation 2.25, on obtient alors la PSD de l'erreur $e2$ ramenée en sortie du modulateur delta sigma :

$$S_{V_{e2}}(f) = \frac{1}{(2\pi)^2} [[a2^2 S_{V_{out}}(f) + S_{V_{int1}}(f)] \otimes S_{\theta}(f)] . NTF_{intermédiaire}(f) \tag{2.30}$$

$NTF_{intermédiaire}(f)$ est la fonction de transfert entre la sortie du premier intégrateur du filtre de boucle et la sortie du modulateur $\Delta\Sigma_CT$.

De plus, le signal $V_{int1}(t)$ est tout simplement l'intégrale de $a1.V_{out}(t)$, sa PSD vaut donc :

$$S_{V_{int1}}(f) = \frac{a1^2}{(2\pi f)^2} S_{V_{out}}(f) \quad (2.31)$$

d'où

$$S_{V_{e2}}(f) = \frac{1}{(2\pi)^2} \left[\left[a2^2 + \frac{a1^2}{(2\pi f)^2} \right] S_{V_{out}}(f) \otimes S_{\theta}(f) \right] .NTF_{intermédiaire}(f) \quad (2.32)$$

Les équations 2.29 et 2.32 fournissent les spectres de puissance, en sortie du modulateur $\Delta\Sigma_CT$, des erreurs d'intégration introduites par les imperfections de l'horloge dans le filtre de boucle. Le terme $S_{V_{out}}(f)$ représente la PSD du bruit de quantification renvoyée dans la boucle de conversion. La puissance totale de ce signal ne dépend donc que de la précision du CAN interne. Le spectre $S_{V_{out}}(f)$ est en fait le bruit blanc introduit par le CAN interne multiplié par la fonction de mise en forme de bruit du $\Delta\Sigma_CT$.

Estimation de l'erreur d'échantillonnage

La seconde erreur introduite par le jitter d'horloge dans le modulateur delta sigma à temps continu provient de la discrétisation du signal d'entrée continu $V_{in}(t)$ (cf. paragraphe 2.3.1.1).

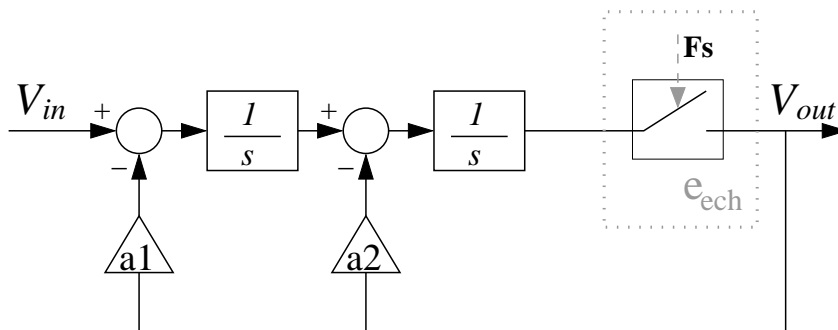


FIG. 2.11 – Erreur d'échantillonnage e_{ech} dans la boucle $\Delta\Sigma_CT$ d'ordre 2

L'échantillonnage de l'entrée est indépendant de la puissance de bruit introduite par le CAN interne. Ce dernier peut donc être remplacé par un simple échantillonneur. L'analyse de l'erreur d'échantillonnage se fait donc à l'aide du modèle de la figure 2.11.

La discrétisation du signal est située après le filtre de boucle dans un CAN $\Delta\Sigma_CT$. L'erreur d'échantillonnage se manifeste directement sur le signal de sortie V_{out} du modulateur et est renvoyée intégralement dans la boucle de conversion dans le cas d'un retour de type NRZ. L'impact du jitter est donc équivalent à un simple échantillonnage du signal d'entrée du convertisseur préalablement filtré par la STF du système. Les effets étant assimilables à ceux générés par un échantillonneur seul, on peut réutiliser la formule 2.14 établie au paragraphe 2.2.1.

La densité spectrale de bruit introduite par le jitter d'horloge, en relation avec le signal d'entrée du convertisseur vaut donc :

$$S_{ech}(f) = \left[\left(\frac{f}{F_s} \right)^2 S_{Vin}(f) \cdot STF(f) \right] \otimes S_{\theta}(f) \quad (2.33)$$

Dans ce paragraphe, les équations fournissant la densité spectrale de puissance des erreurs introduites par les imperfections d'horloge dans un $\Delta\Sigma_CT$ feedback d'ordre 2 avec un retour NRZ ont été établies. A partir des formules 2.29, 2.30 et 2.33, la puissance du bruit introduit par le jitter, dans la bande de fréquence utile du convertisseur $\Delta\Sigma_CT$, peut être calculée. Il suffit pour cela d'intégrer la PSD de ces erreurs sur la bande de fréquence utile. Connaissant la puissance du bruit liée aux imperfections d'horloge, la dégradation de la résolution du CAN est facilement estimée à l'aide du rapport signal à bruit.

Analyse et validation des équations

La formulation des équations fournissant les PSD des dégradations introduites par le jitter souligne les spécificités des delta sigma à temps continu vis-à-vis du jitter d'horloge. La dépendance entre les erreurs liées aux imperfections de l'horloge et l'architecture du modulateur est en effet clairement visible dans les équations 2.29, 2.30 et 2.33.

Les relations entre l'architecture du modulateur et les dégradations introduites par le jitter sont facilement observables par simulation [Goul 07a, Cher 99a]. Les équations établies dans ce paragraphe permettent quant à elles de mieux comprendre l'influence de l'architecture sur la puissance de bruit introduite par les imperfections de l'horloge.

Tout d'abord, on peut remarquer que les dégradations induites par le jitter d'horloge sont en partie dues à la résolution du CAN interne. L'élément déclencheur des erreurs d'intégration est en effet le bruit de quantification introduit par la conversion analogique numérique interne (cf. paragraphe 2.3.1.2). Dans les équations 2.29 et 2.30, le terme $S_{Vout}(f)$ représente le bruit de quantification renvoyé dans la boucle de conversion. La puissance des erreurs d'intégration est donc proportionnelle à la résolution du CAN interne.

Sur la figure 2.12, la dégradation du rapport signal à bruit en fonction du jitter d'horloge est représentée. L'horloge considérée présente un profil de bruit de phase blanc. La qualité de cette horloge est intégralement caractérisée par l'écart type σ des erreurs temporelles introduites (cf. paragraphe 2.1.3.1). L'architecture du modulateur est un ordre 2 avec retour NRZ. Les coefficients du filtre de boucle sont A=1 et B=1,5 et trois CAN interne différents ont été utilisés. Les courbes montrent nettement l'influence du bruit de quantification sur les dégradations introduites par le jitter. De plus, la proximité des valeurs issues des simulations

avec les courbes théoriques prouvent la précision des équations établies dans ce paragraphe.

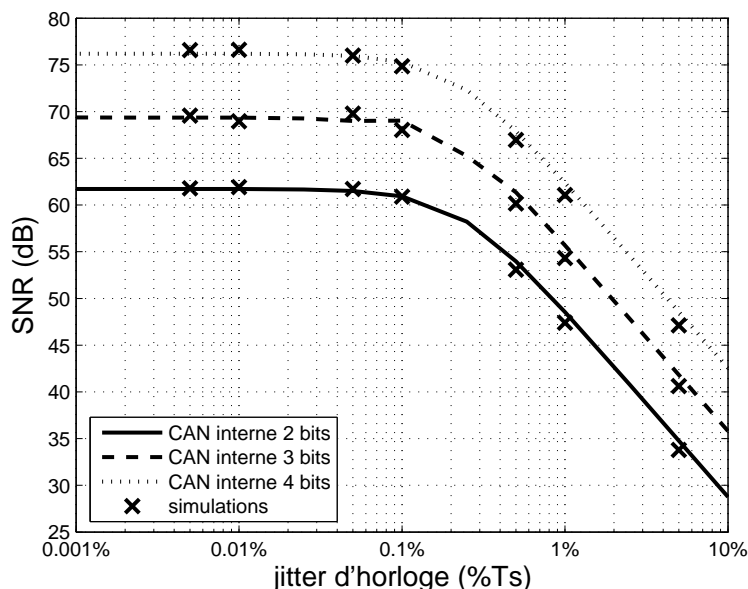


FIG. 2.12 – SNR d'un delta sigma à temps continu d'ordre 2 en fonction du jitter d'horloge

L'influence de l'architecture du modulateur sur les erreurs dues au jitter se manifeste également par l'intermédiaire des fonctions de transfert caractéristiques du $\Delta\Sigma_{CT}$. En effet, dans chacune des trois équations précédentes on trouve une multiplication du spectre de bruit par l'une des fonctions de transfert de la boucle (cf. équations 2.29, 2.30 et 2.33).

Sur la figure 2.13, on peut voir l'influence des coefficients du filtre de boucle sur les dégradations introduites par les imperfections d'horloge. La dégradation du rapport signal à bruit de deux CAN $\Delta\Sigma_{CT}$ d'ordre 2 est tracée, la seule différence entre ces deux convertisseurs est la valeur du second coefficient de feedback B. La variation de ce coefficient de B=1,5 à B=1 modifie les fonctions de transfert de la boucle ainsi que la puissance des erreurs d'intégration introduites. Une connaissance précise des coefficients du filtre de boucle est donc nécessaire pour estimer avec précision les dégradations dues au jitter d'horloge.

Enfin, on peut remarquer que les dégradations introduites par le jitter d'horloge sont toutes caractérisées par une convolution faisant intervenir le profil de bruit de phase du signal d'horloge. Cette dernière caractéristique n'est pas spécifique aux $\Delta\Sigma_{CT}$, on la retrouve par exemple dans le cas d'un échantillonneur isolé (cf. équation 2.14).

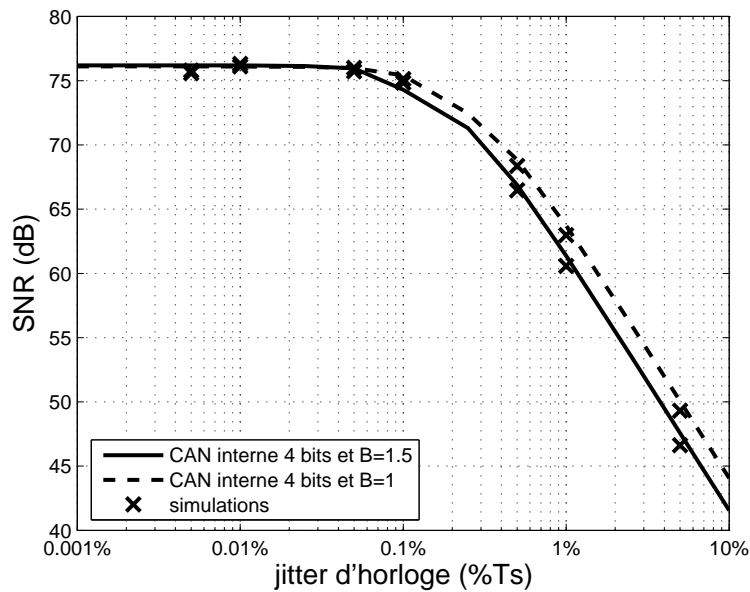


FIG. 2.13 – Influence des coefficients du filtre de boucle sur les dégradation introduites par le jitter

En appliquant la méthode d'analyse de l'impact du jitter décrite au paragraphe 2.3.1 au cas spécifique d'un convertisseur $\Delta\Sigma_CT$ d'ordre 2, un jeu d'équation permettant de calculer les dégradations introduites par les imperfections de l'horloge a été établi. Cette mise en équation permet de comprendre les phénomènes responsables des dégradations des performances du convertisseur et de calculer avec précision la résolution effective du CAN lorsqu'une horloge non-idéale est utilisée.

2.3.2.2 Généralisation aux modulateurs feedback NRZ d'ordre N

Dans le paragraphe précédent, le cas d'un convertisseur $\Delta\Sigma_CT$ feedback NRZ d'ordre 2 a été exposé en détails. La démarche de calcul utilisée peut évidemment être employée pour estimer l'impact des imperfections d'horloge sur tout type de CAN delta sigma à temps continu. Cependant, le calcul formel des erreurs de jitter, relativement long dans le cas d'un modulateur d'ordre 2, devient rapidement fastidieux lorsque l'architecture se complexifie.

En réalité, il n'est pas nécessaire de reprendre l'intégralité des calculs à chaque fois que l'architecture du convertisseur étudié change. Les trois équations de PSD, établies au paragraphe 2.3.2.1, peuvent en effet être réutilisée ou adaptée pour estimer les dégradations introduites par le jitter dans bon nombre d'architetures de CAN $\Delta\Sigma_CT$.

Par exemple, considérons un delta sigma à temps continu feedback avec retour NRZ d'ordre N . Ce modulateur possède N intégrateurs pour réaliser le filtre de boucle, il existe

donc N erreurs d'intégration et une erreur d'échantillonnage.

L'équation de la PSD de l'erreur d'échantillonnage dans ce convertisseur est identique à celle établie avec le modulateur d'ordre 2 (cf. équation 2.33). En effet, le principe de fonctionnement d'un $\Delta\Sigma_{CT}$ avec un retour NRZ est le même quelque soit l'ordre du filtre de boucle. L'équation traduisant la discrétisation temporelle du signal d'entrée pour un modulateur multi-feedback avec un retour NRZ est donc indépendante de la fonction de filtrage implémentée.

Cela ne veut pas dire que la puissance de l'erreur d'échantillonnage introduite par les imperfections d'horloge est similaire. En effet, la fonction de transfert du signal $STF(f)$ dépend du filtre de boucle, les dégradations introduites par l'erreur d'échantillonnage peuvent donc évoluer si le filtre est modifié.

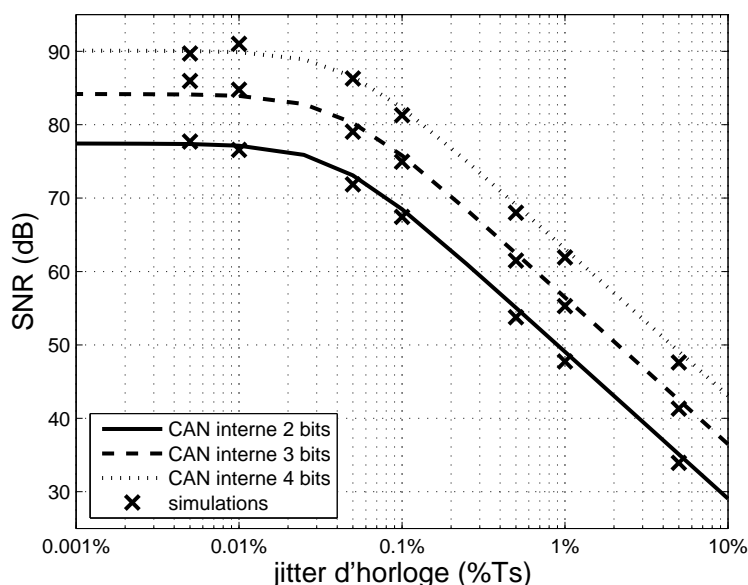


FIG. 2.14 – SNR d'un delta sigma à temps continu d'ordre 4 en fonction du jitter d'horloge

Le nombre d'erreurs d'intégration est identique au nombre d'intégrateurs constituant la fonction de filtrage du modulateur. Si l'on utilise un filtre d'ordre N , il existe donc N erreurs d'intégration. Cependant, ces erreurs sont mises en forme par la boucle de conversion $\Delta\Sigma$. Plus l'erreur d'intégration est située à proximité du CAN interne moins sa puissance, ramenée en sortie dans la bande de fréquence utile, est élevée. Ainsi le simple calcul de la PSD des deux premières erreurs d'intégration est une relativement bonne approximation des dégradations introduites par les erreurs d'intégration dans un modulateur d'ordre N supérieur à 2.

Pour estimer l'impact des imperfections d'horloge sur un convertisseur $\Delta\Sigma_{CT}$ avec un retour NRZ les équations mise en place pour le convertisseur d'ordre 2 peuvent donc être

utilisées quelque soit l'ordre du modulateur étudié (cf. figure 2.14).

2.3.2.3 système de correction de l'impact du jitter

La méthode de calcul de l'impact du jitter sur les $\Delta\Sigma_CT$ peut également être utilisée pour analyser et quantifier la performances des systèmes de correction du jitter.

Considérons par exemple le cas du $\Delta\Sigma_CT$ d'ordre 2 étudié précédemment et remplaçons le CNA de retour NRZ par un système de retour à capacités commutées (cf. figure 2.15). L'utilisation de CNA de retour à capacités commutées (SC - *Switched Capacitor*) permet de réduire nettement les effets du jitter sur le convertisseur $\Delta\Sigma_CT$.

En effet, avec ce système de compensation la quantité de charge renvoyée dans la boucle de conversion est contrôlée par la charge et la décharge d'une capacité. Si l'implémentation des CNA SC est réalisée avec soin, c'est-à-dire que les constantes de temps de charge et de décharge sont petites par rapport à la période de l'horloge, la quantité de charge renvoyée dans la boucle est quasiment indépendante de la période instantanée de l'horloge. Le jitter n'a alors pas d'impact direct sur les convertisseurs numérique analogique de retour.

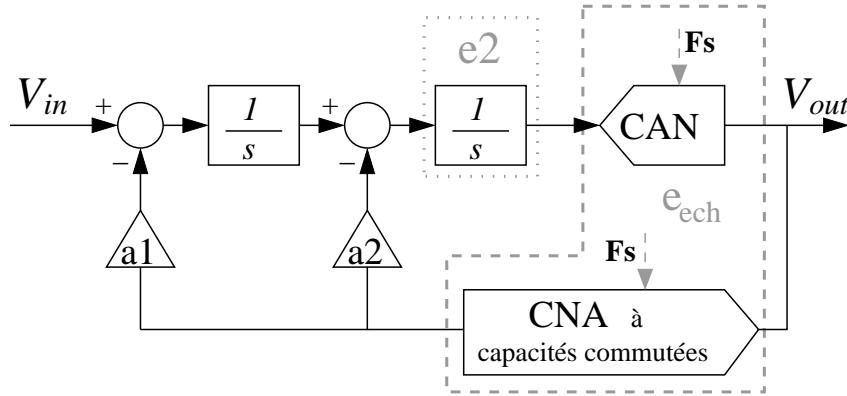


FIG. 2.15 – Erreurs liées au jitter d'horloge dans un $\Delta\Sigma_CT$ feedback d'ordre 2 avec CNA à capacités commutées

Si l'on considère que les CAN SC ont un comportement idéal, la quantité de charge renvoyée par le rebouclage $a1$ n'est pas influencée par le jitter d'horloge, l'erreur d'intégration $e1$ est donc nulle. De même, la part de l'erreur $e2$ liée à l'intégration simple du signal renvoyé par $a2$ est égal à zéro. La densité spectrale de puissance de l'erreur $e2$ ramenée en sortie du $\Delta\Sigma_CT$ est ainsi fortement réduite. Les PSD des erreurs d'intégration sont donc égales à :

$$S_{Ve1}(f) = 0 \quad (2.34)$$

$$S_{Ve2}(f) = \frac{1}{(2\pi)^2} \left[\frac{a1^2}{(2\pi f)^2} \cdot S_{Vout}(f) \otimes S_{\theta}(f) \right] \cdot NTF_{intermédiaire}(f) \quad (2.35)$$

La densité spectrale de puissance de l'erreur d'échantillonnage est elle aussi affectée par le système de correction SC. En effet, contrairement aux $\Delta\Sigma_CT$ à retour NRZ, l'erreur d'échantillonnage n'est pas intégralement renvoyée dans la boucle de conversion. L'utilisation d'un CNA SC a pour effet de mettre en forme les erreurs d'échantillonnage, de la même façon qu'il réduit les erreurs d'intégration. La puissance due à l'erreur d'échantillonnage est donc réduite dans la bande de fréquence utile.

$$S_{ech}(f) = \left[\left(\left(\frac{1}{2\pi} \right)^2 S_{Vin}(f) \cdot STF(f) \right) \otimes S_{\theta}(f) \right] \cdot NTF_{intermédiaire}(f) \quad (2.36)$$

Si l'on compare les équations 2.34, 2.35 et 2.36, avec celles établies sans le système de correction du jitter (2.30, 2.32 et 2.33), le gain issu de l'utilisation de CNA SC est évident. Les erreurs d'intégration sont réduites et les erreurs d'échantillonnage sont mises en forme. Cependant, la puissance de bruit introduite par les imperfections d'horloge n'est pas nulle, ce système de correction de l'impact du jitter n'est donc pas parfait.

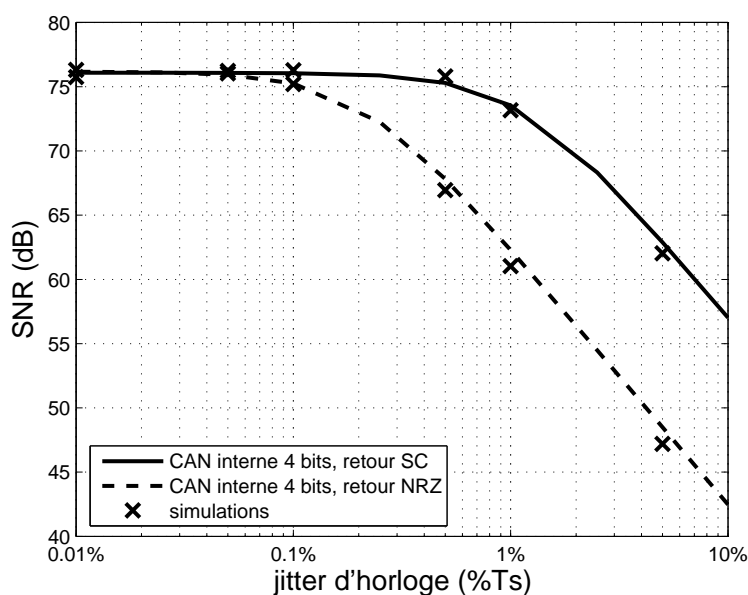


FIG. 2.16 – Diminution de l'impact du jitter d'horloge grâce à l'utilisation de CNA SC

Sur la figure 2.16, la variation du rapport signal à bruit de deux $\Delta\Sigma_CT$ d'ordre 2 est représentée en fonction de l'écart type du jitter d'horloge. L'unique différence entre ces deux modulateurs est que l'un utilise des CNA de retour à capacités commutées alors que l'autre est implémenté avec des retours de type NRZ. Les courbes montrent clairement l'amélioration issue de l'utilisation de retours à capacités commutées. Elles mettent également en évidence que ce système de correction, bien que très efficace, n'est pas parfait. En effet, il existe bien une diminution de la résolution du convertisseur lorsque le jitter d'horloge est accru.

2.4 Conclusion

Dans ce chapitre, une nouvelle approche de l'impact des imperfections d'horloge sur la conversion analogique numérique à l'aide d'un CAN delta sigma à temps continu a été présentée.

En se focalisant sur les interfaces entre les domaines à temps continu et à temps discret présentes dans un $\Delta\Sigma_{CT}$, il est possible d'identifier et d'analyser l'influence des imperfections d'horloge sur le fonctionnement du convertisseur. A l'aide de cette approche globale des problèmes liés au jitter d'horloge, la perte de résolution peut également être quantifiée mathématiquement.

La mise en équations de l'impact du jitter permet de mieux comprendre les relations entre l'architecture du convertisseur et la puissance des dégradations introduites. Par exemple, cette étude montre que le bruit de quantification introduit par le CAN interne est convolué avec le bruit de phase de l'horloge. La quantité de bruit globalement généré par le CAN interne influence donc directement les dégradations dues au jitter.

L'importance des différentes fonctions de mise en forme de bruit, issues du choix des coefficients du filtre de boucle, a également été soulignée. En effet, les équations des densités spectrales de puissance des erreurs dues au jitter présentent toutes une multiplication avec l'une des fonctions de transfert caractéristiques du modulateur.

La complexité des phénomènes et la forte dépendance entre l'architecture du CAN et les dégradations introduites rendent impossibles la mise en place d'une équation générique permettant de spécifier les besoins sur l'horloge. Le choix d'une architecture de modulateur en fonction de l'horloge imposée, ou inversement la spécification d'une horloge en fonction d'un CAN $\Delta\Sigma_{CT}$ existant, nécessitent donc une étude approfondie spécifique des mécanismes de dégradation liés au jitter. La démarche d'étude utilisée dans ce chapitre peut évidemment être réutilisée pour tout type de convertisseur delta sigma à temps continu.

Chapitre 3

Implémentation des convertisseurs delta sigma à temps continu

Comme pour la plupart des circuits analogiques, l'implémentation est une phase essentielle lors de la conception d'un convertisseur delta sigma à temps continu. La maîtrise de cette étape est en effet déterminante pour l'obtention de convertisseurs performants, robustes et peu consommateurs.

Les performances d'un convertisseur analogique numérique sont directement liées au bruit qu'il génère lors du passage du domaine analogique au domaine numérique. Implémenter un convertisseur revient donc à réaliser au niveau électrique, les fonctions mathématiques nécessaires au bon fonctionnement du convertisseur tout en limitant le bruit généré et la consommation du circuit.

Dans ce troisième chapitre, les structures habituellement utilisées pour implémenter les différents blocs constituant un delta sigma à temps continu sont détaillées. Un état de l'art des convertisseurs $\Delta\Sigma_{CT}$ publiés ces dernières années est également fourni à la fin de ce chapitre.

3.1 Intégrateur à temps continu

Le filtre de boucle d'un convertisseur $\Delta\Sigma_{CT}$ est réalisé à base d'intégrateurs à temps continu. Pour implémenter une fonction d'intégration à temps continu, deux éléments seulement sont nécessaires : une transconductance et une capacité.

La transconductance sert à convertir la tension d'entrée en un courant image, courant qui est ensuite intégré aux bornes de la capacité. Le choix du gain de la transconductance et de la valeur numérique de la capacité fixe le gain de l'intégrateur.

En pratique, les structures d'intégrateurs à temps continu peuvent être découpées en deux catégories, d'un côté les circuits utilisant uniquement une transconductance et une capacité et de l'autre les intégrateurs utilisant un amplificateur opérationnel. Les avantages et inconvénients de ces deux structures vont être détaillés ci-dessous.

La réalisation des intégrateurs à temps continu présente également un problème lié à la maîtrise du gain d'intégration. Dans un convertisseur delta sigma, le gain d'intégration des différents étages influence la fonction de transfert du modulateur, et donc ses performances. Les fortes variations des valeurs absolues des passifs utilisés pour implémenter les intégrateurs peuvent donc avoir un effet néfaste sur la qualité de la conversion. Ce problème est abordé dans le paragraphe 3.1.3.

3.1.1 Structure transconductance / capacité

La façon la plus simple de réaliser un intégrateur à temps continu est d'utiliser une transconductance et d'appliquer directement le courant de sortie sur une capacité (cf. figure 3.1). La tension V_{out} aux bornes de la capacité d'intégration C est alors égale à l'intégrale de la tension d'entrée V_{in} . Le gain d'intégration est quant à lui fixé par le rapport g_m/C .

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{g_m}{Cs} \quad (3.1)$$

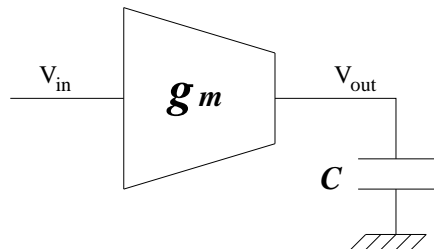


FIG. 3.1 – Structure transconductance + capacité

L'inconvénient majeur de cette structure est lié aux problèmes de linéarité de la transconductance d'entrée g_m . Dans un convertisseur analogique numérique, des signaux de fortes

dynamiques sont préférables afin d'éloigner le signal à convertir du bruit généré par les composants. Malheureusement avec un intégrateur de type $g_m C$, l'amplitude des signaux doit être faible pour limiter les phénomènes de distortion.

La linéarité d'entrée du g_m peut évidemment être augmentée en ajoutant une résistance de dégénérescence. Cependant, l'utilisation de cette technique a pour effet de diminuer le gain du g_m et d'augmenter le bruit généré par le circuit. Lors de la conception du g_m , il faut donc trouver le bon compromis entre bruit et linéarité.

Dans cette structure, la sortie de la transconductance et celle de l'intégrateur sont confondues. Les variations de tension en sortie de l'étage d'intégration influencent donc directement la transconductance g_m . Pour obtenir des performances élevées sur la transconductance g_m , il faut donc limiter la dynamique de sortie de l'intégrateur. Cette restriction sur la dynamique des signaux accroît nettement les contraintes en bruit du circuit.

Dans le cadre de la conversion delta sigma à temps continu, cette structure d'intégrateur peut être utilisée pour réaliser l'intégralité des étages du filtre de boucle [Abou 02c, Scho 07]. Cependant, les limitations de cet intégrateur à temps continu, liées à la nécessité de travailler avec de faibles dynamiques, obligent bien souvent à choisir une structure plus performante pour réaliser le premier étage du filtre. Dans certains circuits, la structure $g_m C$ n'est donc utilisée qu'à partir du deuxième étage du filtre de boucle [Bree 04, Phil 04, Van 03].

3.1.2 Structure avec amplificateur opérationnel

L'inconvénient de la structure d'intégrateur $g_m C$, présentée dans le paragraphe précédent, vient principalement des problèmes de linéarité qui obligent à utiliser des signaux de faible amplitude. L'utilisation d'un d'intégrateur avec un amplificateur opérationnel permet de s'affranchir de ce problème, et de travailler avec des signaux présentant de fortes dynamiques.

Cette seconde structure d'intégrateur à temps continu nécessite une résistance, une capacité et un amplificateur opérationnel (cf. figure 3.2). Le principe d'intégration est identique à celui de la structure $g_m C$, la résistance R convertit la tension d'entrée en un courant qui est intégré dans la capacité. La fonction de transfert de ce montage est donnée par l'équation 3.2.

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{-1}{RCs} \quad (3.2)$$

L'amplificateur opérationnel permet d'isoler la transconductance d'entrée de la sortie V_{out} de l'intégrateur. En effet, le potentiel V^- est égal à la sortie de l'intégrateur divisée par le gain de l'amplificateur opérationnel. La qualité de la conversion tension/courant, réalisée par la résistance R , n'est donc pas directement liée à l'amplitude des signaux traités. Avec cette structure d'intégrateur à temps continu, on peut donc travailler avec de fortes dynamiques sans perturber le fonctionnement de l'intégrateur, d'où une plus forte immunité au bruit généré par les composants.

La difficulté avec ce type d'intégrateur vient du rebouclage capacitif. Comme tout système possédant une contre réaction, il peut devenir instable. Lors de la conception de l'amplificateur, il faut donc s'assurer de la stabilité de ce dernier lors de son fonctionnement en intégrateur.

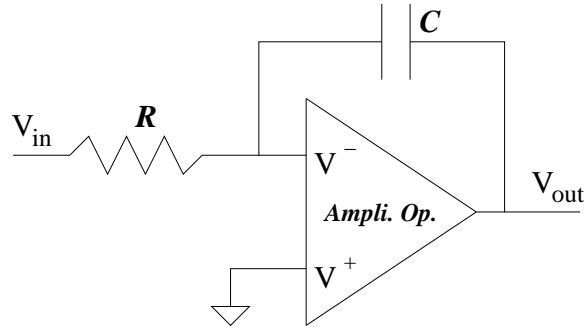


FIG. 3.2 – Structure Amplificateur + RC

Dans le domaine de la conversion delta sigma à temps continu, les intégrateurs avec amplificateur, résistance et capacité sont très largement utilisés. Ils permettent l'utilisation de fortes dynamiques tout en garantissant une bonne linéarité, donc de bonnes performances en terme de SNDR [Mitt 06a, Dorr 05a, Yan 04, Pato 04].

3.1.3 Déviation technologique du gain d'intégration

Lors de l'implémentation d'un convertisseur delta sigma à temps continu, une maîtrise du gain d'intégration des différents étages du filtre de boucle est nécessaire. La mise en forme de bruit réalisée par le modulateur dépend en effet des coefficients du filtre à temps continu. Un bon appariement entre les différents coefficients est donc indispensable, ce qui implique obligatoirement de maîtriser le gain des intégrateurs.

Le gain d'un intégrateur à temps continu est fixé par le rapport entre la transconductance d'entrée et la capacité d'intégration (cf. équations 3.1 et 3.2). Lors de la fabrication, les déviations des valeurs absolues du gain de la transconductance et de la capacité peuvent être relativement importantes.

Si l'on considère les technologies CMOS, la valeur absolue des capacités réelles peut dévier de +/- 20 % environ. La plage de déviation des résistances est quant à elle du même ordre de grandeur. Ces déviations étant indépendantes les unes des autres, le gain d'intégration réellement implémenté peut avoir une valeur très éloignée de celle souhaitée. Il est donc nécessaire de calibrer le rapport g_m/C des intégrateurs afin de maîtriser la fonction de mise en forme de bruit réalisée par le circuit réel.

Lors de la conception d'un CAN delta sigma à temps continu, il faut donc estimer une plage de déviation acceptable du gain d'intégration et implémenter un système de calibration

permettant d'ajuster le rapport g_m/C des intégrateurs en fonction des valeurs des composants réellement fabriqués. Ce système de calibration peut porter au choix sur la capacité d'intégration [Yan 04, Li 07] ou sur la transconductance de l'intégrateur [Schi 04].

3.2 Convertisseurs numérique analogique

Dans un CAN $\Delta\Sigma_CT$, un ou plusieurs convertisseurs analogique numérique sont requis pour implémenter la ou les boucles de retour permettant de réaliser la mise en forme de bruit souhaitée (cf. paragraphe 1.5.2).

Le CNA relié au premier étage du filtre de boucle à temps continu est celui qui présente les contraintes de conception les plus difficiles. En effet, bien que le nombre de codes numériques à convertir soit limité (il correspond au nombre de bits du CAN interne), la précision des signaux analogiques renvoyés dans la boucle doit être égale à la résolution du modulateur $\Delta\Sigma_CT$.

Par exemple, si l'on doit réaliser un $\Delta\Sigma_CT$ possédant 16 bits de résolution et que l'architecture choisie nécessite un ADC interne 2 bits, le CNA à concevoir doit pouvoir traiter 4 codes numériques. Par contre, la précision des 4 signaux analogiques de sortie doit être de 16 bits (65536 niveaux analogiques!).

La spécificité des CNAs, utilisés dans les convertisseurs delta sigma à temps continu, est donc qu'ils doivent habituellement traiter peu de niveaux mais avec beaucoup de précision.

Le choix de la structure du ou des CNAs de retour dépend de l'architecture de l'intégrateur à temps continu correspondant. Par exemple, certains CNAs ne sont pas compatibles avec un intégrateur de type $g_m C$. Ce choix doit également prendre en compte les imperfections du signal d'horloge utilisé (cf. chapitre 2).

3.2.1 CNA en courant

Dans un convertisseur $\Delta\Sigma_CT$, le signal de sortie du CNA de retour est soustrait au signal à temps continu de l'étage précédent puis intégré. Dans la mesure où le résultat de la soustraction va être traité par un intégrateur à temps continu, il est préférable de réaliser une soustraction en courant plutôt qu'en tension.

Deux solutions sont alors disponibles pour réaliser le CNA en courant. Soit le code numérique est converti en tension puis transformé en courant par une transconductance (résistance ou g_m), soit le CNA fournit directement un courant à l'intégrateur à temps continu (cf. figure 3.3).

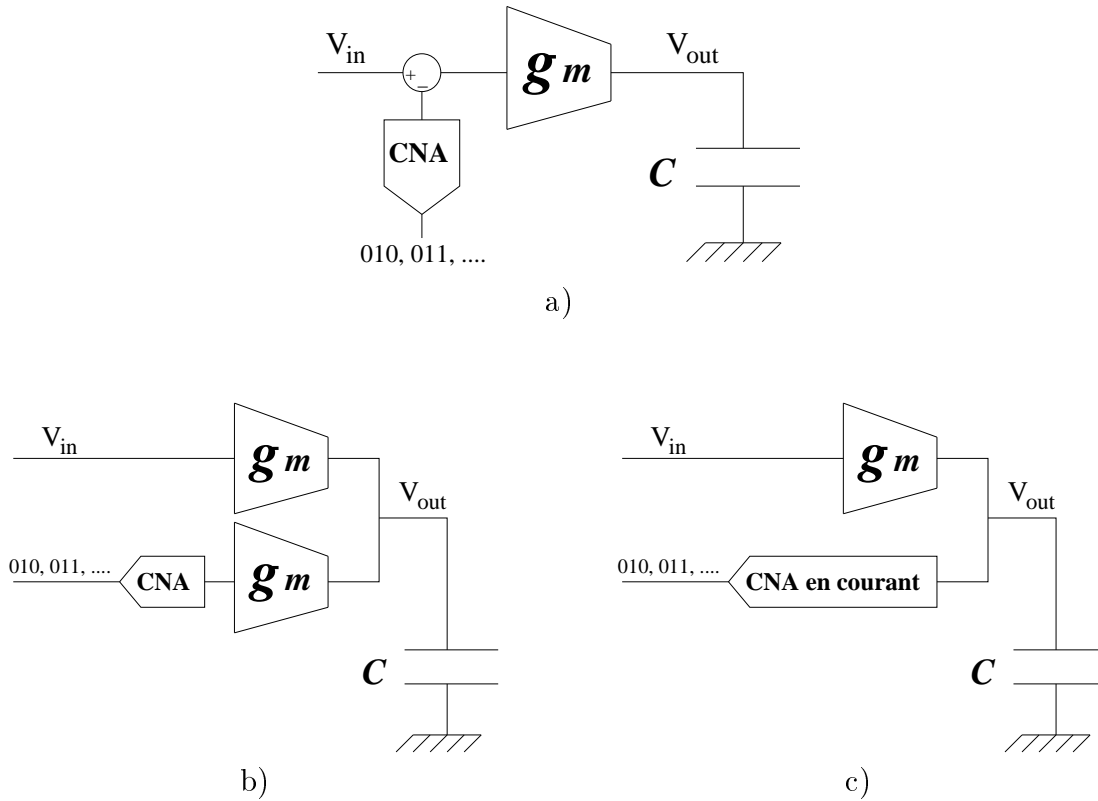


FIG. 3.3 – Schémas équivalents pour CNA de retour : a) schéma de principe ; b) CNA en tension + transconductance ; c) CNA en courant

La première solution, conversion en tension puis passage en courant, permet de réaliser un très bon appariement entre le courant issu du signal d'entrée continu et le courant du CNA si une transconductance identique est implémentée. La contre partie vient du fait qu'il est nécessaire de réaliser un convertisseur en tension de bonne qualité. Cette technique d'implémentation de CNA en courant est dans la pratique peu utilisée [Ueno 04, Pun 06, Phil 04].

La seconde stratégie consistant à réaliser un CNA avec une sortie directement en courant est beaucoup plus répandue, car son implémentation pose beaucoup moins de problèmes. En effet, pour réaliser un CNA en courant il n'est pas nécessaire de concevoir une transconductance. La variation du courant de sortie peut être réalisée à l'aide d'un jeu de sources de courant connectées ou non à la sortie du CNA en fonction du code numérique d'entrée (cf. figure 3.4). La précision relative entre les différents courants fournis par ce type de CNA n'est alors lié qu'à l'appariement entre les sources de courant. Cette structure est donc bien adaptée pour réaliser des CAN $\Delta\Sigma_CT$ de forte résolution [Mitt 06b, Dorr 05a, Yan 04].

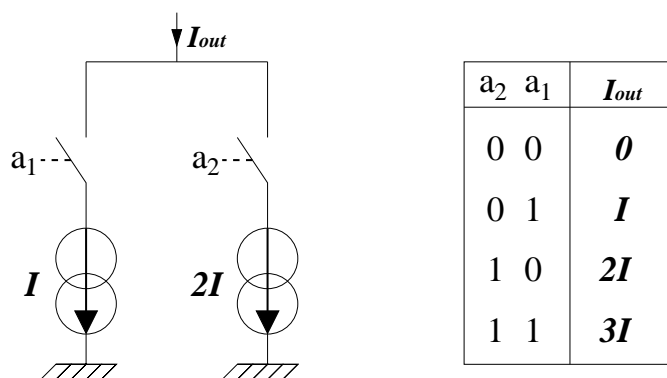


FIG. 3.4 – CNA 2 bits avec sources de courant commutées

Le point commun entre ces différentes stratégies d'implémentation du CNA est le profil du courant fourni. Que le choix se porte sur un CNA en courant ou sur un CNA en tension suivi d'une transconductance, le courant renvoyé dans la boucle est constant pendant l'intégralité de chaque période d'horloge dans le cas d'un retour de type NRZ (Non Retour à Zéro). Dans le cas de retour de type RZ (Retour à Zéro), le courant renvoyé est constant sur chaque demi-période (cf. figure 3.5).

Les différentes structures de CNA présentées dans ce paragraphe renvoient des courants faibles pendant de longues plages temporelles. Cela permet de peu solliciter le filtre de boucle et donc de faciliter la conception des blocs analogiques. L'inconvénient de ces CNAs de retour en courant vient de leur sensibilité aux imperfections de l'horloge (cf. paragraphe 2.3). Ce problème peut être en partie compensé grâce à l'utilisation d'un filtre FIR dans la boucle de retour [Putt 04].

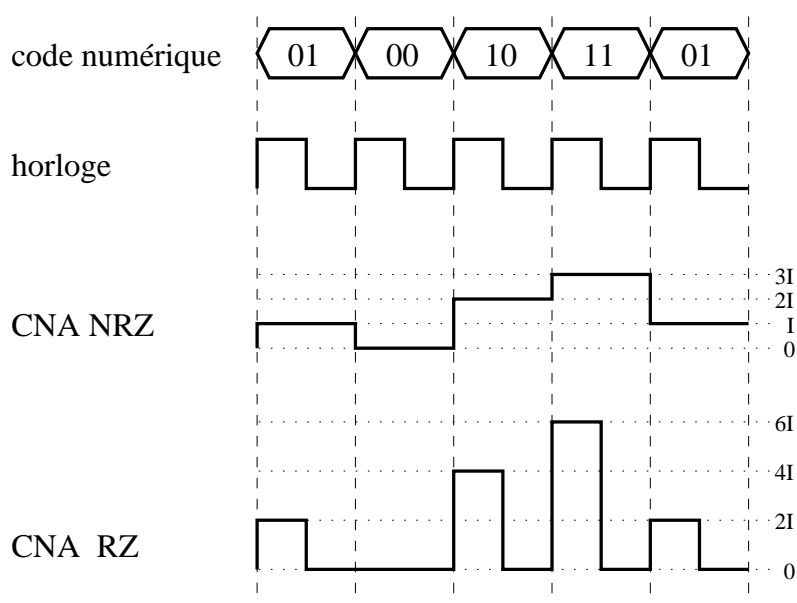


FIG. 3.5 – Profils de courant pour des retours de type NRZ et RZ

3.2.2 CNA à capacité commutée

La spécificité du convertisseur numérique analogique dans un CAN $\Delta\Sigma_CT$ est liée à la fonction d'intégration à temps continu à laquelle est connecté le CNA. La résolution du CNA de retour dépend donc de la quantité de charge renvoyée dans la boucle pendant une période d'horloge.

Le profil du courant fourni par le CNA de retour à relativement peu d'importance sur le bon fonctionnement du $\Delta\Sigma_CT$. Ce qui est important, c'est que l'intégrale du courant débité par le CNA pendant chaque période d'horloge soit proportionnelle au code numérique d'entrée. Une technique très performante pour réaliser un transfert de charge précis et indépendant de la période d'horloge est d'utiliser un circuit à base de capacités commutées.

Sur la figure 3.6, un CNA 2 bits à capacités commutées est représenté. Pendant la première demi-période $H1$, toutes les capacités sont chargées à une tension de référence V_{ref} . Durant la seconde demi-période $H2$, les capacités sont connectées à la sortie du CNA en fonction du code numérique $[a_2 a_1]$. Si la tension de sortie V_{out} est constante au cours du temps, la quantité de charges transféré par le CNA est proportionnelle au code numérique d'entrée. Cette condition sur le potentiel de sortie du convertisseur à capacités commutées impose de sortir sur un "noeud froid". Ce type de CNA n'est pas bien adapté à une structure d'intégrateur à temps continu $g_m C$. L'utilisation de ce genre de CNA est donc toujours associée à des intégrateurs avec amplificateur opérationnel [Van 03, Naga 05, Putt 07].

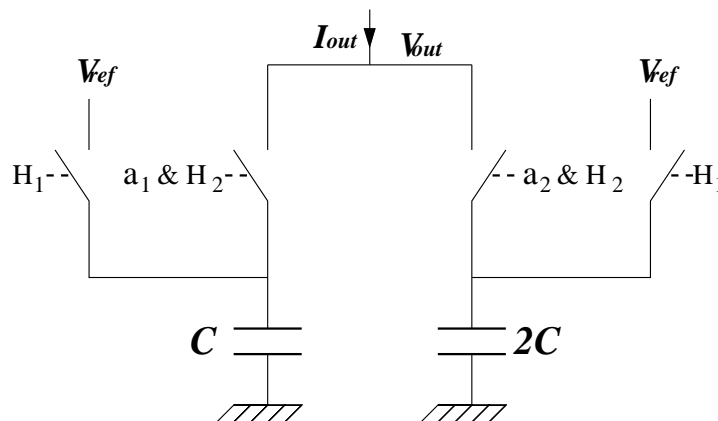


FIG. 3.6 – CNA 2 bits à capacités commutées

Cette stratégie d'implémentation du CNA permet de fortement réduire la sensibilité du convertisseur aux imperfections de l'horloge dans la mesure où la quantité de charge transférée est quasiment indépendante de la période d'horloge. Malheureusement, ce choix oblige à réaliser l'intégrateur à temps continu avec une structure amplificateur + RC et accroît les contraintes sur l'amplificateur. La décharge des capacités dans le filtre de boucle ne doit en effet pas être perturbée par les performances intrinsèques de l'amplificateur.

3.3 CAN interne et traitement numérique

Le CAN interne et le traitement numérique des données, nécessaire au bon fonctionnement de la boucle de conversion, présentent eux aussi quelques spécificités qu'il est nécessaire de comprendre pour pouvoir concevoir ces blocs.

Le problème principal vient du temps de traitement entre le moment où le signal de sortie du filtre de boucle est échantillonné par le CAN interne et l'instant où les signaux, renvoyés par les CNAs de retour, sont modifiés. Cette latence, appelée généralement "délai de boucle" doit être faible et maîtrisée.

Tant que le délai de boucle reste limité, jusqu'à une période d'horloge environ, il est possible de le compenser en modifiant les coefficients du filtre (cf. paragraphe 1.5). Au-delà d'une période d'horloge, il devient bien souvent très difficile de stabiliser la boucle. L'autre point important est la maîtrise de ce délai de boucle. Si ce dernier varie en fonction du code numérique renvoyé ou au cours du temps, la mise en forme de bruit est modifiée et les performances du convertisseurs sont altérées.

3.3.1 CAN interne

La résolution nécessaire pour le CAN interne est généralement faible (< 5 bits) par contre la fréquence d'horloge est élevée, plusieurs centaines de mégahertz dans certains cas. De plus, le délai de boucle du modulateur $\Delta\Sigma_CT$ doit être court, cela implique automatiquement une contrainte de latence faible pour le CAN interne.

Ces trois spécificités (faible résolution, fréquence d'horloge élevée et latence faible) limitent très fortement le choix de la structure du convertisseur interne. Pour traiter des bandes passantes de plusieurs dizaines voire centaines de mégahertz avec de faibles besoins en terme de résolution, les convertisseurs de type flash, pipeliné ou à approximation successive sont les mieux adaptés. Les CANs pipelinés et ceux à approximation successive sont pénalisés par une latence plus élevée que les CANs flash. Lors de la réalisation d'un convertisseur $\Delta\Sigma_CT$, l'architecture de conversion la mieux adaptée pour le CAN interne est donc la structure flash.

Dans les différents articles publiés récemment et référencés au paragraphe 3.4, seul un circuit présente un CAN interne avec une structure autre que le CAN flash. Lukas Dörrer et ses collègues ont en effet implémenté un CAN de poursuite pour réaliser la conversion analogique numérique interne, afin de réduire le nombre de comparateurs nécessaires et donc baisser la consommation totale du circuit [Dorr 05b, Dorr 05a].

3.3.2 Traitement numérique

Dans une boucle de conversion delta sigma temps continu, le signal de sortie du CAN interne est directement renvoyé dans la boucle par l'intermédiaire du ou des CNAs de re-

tour. Au niveau du principe de fonctionnement, un CAN $\Delta\Sigma_CT$ ne nécessite donc aucun traitement numérique à l'intérieur de la boucle de conversion. Cependant, l'implémentation du convertisseur oblige bien souvent à intégrer quelques fonctions logiques entre la sortie du CAN interne et les CNAs de retour.

Les algorithmes de traitement numérique peuvent être de nature et de complexité diverses, d'une simple conversion de format (code thermométrique à code binaire par exemple) nécessitant seulement quelques portes logiques à des fonctions de correction des imperfections des blocs analogiques pouvant requérir la traversée de dizaines de couches logiques.

Les convertisseurs delta sigma à temps continu étant très sensibles à ce délai de boucle, une bonne maîtrise du temps de propagation dans les blocs numériques est primordial. Pour figer le délai de boucle et minimiser sa variation au cours du fonctionnement du modulateur, il faut bloquer les données numériques à l'aide de registres au niveau des commandes des CNAs de retour.

Le temps de traitement disponible, et donc la complexité des algorithmes numériques implémentables, dépend de la fréquence d'horloge utilisée et du délai de boucle qu'il est possible de compenser à l'aide des coefficients du filtre à temps continu. Lorsque la fréquence d'horloge utilisée est élevée, plusieurs centaines de mégahertz, l'implémentation de traitements numériques complexes devient difficile dans la mesure où le temps de calcul disponible est réduit.

3.4 Etat de l'art des circuits publiés

L'état de l'art présenté dans ce paragraphe ne concerne que la conversion delta sigma à temps continu passe-bas.

Le critère de sélection principal employé pour choisir les articles est la fabrication du circuit. En effet, les performances des modulateurs $\Delta\Sigma_CT$ listés dans ce paragraphe sont fournies, dans les publications correspondantes, comme étant le résultat de tests des circuits. Ce critère de sélection limite le nombre de publications de cet état de l'art ; seulement une vingtaine de circuits sont répertoriés dans ce paragraphe. Il permet également de ne pas considérer les articles qui, par omission ou méconnaissance des difficultés de conception de ce type de CAN, annoncent des performances trop optimistes.

L'état de l'art présenté ici ne couvre que les années 2002 à 2007. Bien que limité aux 5 dernières années, il concentre la majeure partie des CAN $\Delta\Sigma_CT$ publiés jusqu'à ce jour. Le nombre de publications antérieures à l'année 2002 est très faible. En effet, l'intérêt des acteurs universitaires et des industriels, pour la conversion delta sigma à temps continu est en grande partie dû à l'émergence de "nouveaux" standards de radiocommunication (EDGE, UMTS, WiFi, WiMAX...). La largeur de la bande passante de ces différents protocoles de communication, comprise entre 1 MHz et 20MHz, correspond parfaitement au potentiel des

convertisseurs $\Delta\Sigma_CT$ passe bas, et explique le regain d'intérêt actuel pour cette catégorie de convertisseurs.

Les différents CAN répertoriés dans ce paragraphe ont des bandes passantes très variées, de 25 kHz à 20 MHz et des résolutions allant de 7 à 14 bits effectifs. De plus, les technologies CMOS utilisées pour la fabrication sont différentes (cf. tableau 3.1). La comparaison des performances de ces circuits est donc relativement difficile.

Pour chaque convertisseur, une valeur de facteur de mérite a été calculée à partir du nombre de bits effectifs. Ce critère de performance regroupe les caractéristiques principales du convertisseur (cf. paragraphe 1.1.3.4), il permet donc de comparer rapidement les CANs $\Delta\Sigma_CT$. Certaines publications ne fournissent pas toutes les informations nécessaires pour le calcul du facteur de mérite ; la caractéristique manquante est généralement le SNDR du circuit. Dans le tableau 3.1, les CANs pour lesquels tous les paramètres n'étaient pas présents pour le calcul du FoM sont signalé par une astérisque. La valeur du facteur de mérite fournit pour ces convertisseurs est donc une estimation, à partir des valeurs de SNR ou de DR indiquées.

Enfin, sur les figures 3.7 à 3.9, le facteur de mérite des convertisseurs est représenté en fonction de la bande passante, du nombre de bits effectifs ou de la technologie utilisée.

Le modulateur delta sigma à temps continu conçu, fabriqué et testé durant cette thèse (cf. chapitre 4) est également répertorié dans cet état de l'art.

La majeure partie des convertisseurs répertoriés ont un facteur de mérite compris entre $0,2 pJ/conv$ et $5 pJ/conv$. Pour rappel, plus le facteur de mérite est faible, meilleur est le convertisseur.

TAB. 3.1 – Tableau récapitulatif des caractéristiques des CANs $\Delta\Sigma_{CT}$ publiés récemment

| Référence | Description | Techno nm | V _{dd} V | Horloge MHz | BW MHz | SNR dB | SNDR dB | DR dB | ENOB bits | Conso mW | FoM pJ/conv |
|--------------------------|---|-----------|-------------------|---------------------|----------------------|----------------|---------|----------------|---------------------|-------------------|----------------------------|
| [Abou 02c] | ordre 3, structure feedback, CAN interne 1 bit, intégrateurs $g_m C$ | 180 | 1,8 | 26 | 0,1 | 79 | 76 | 84 | 12,33 | 5 | 4,848 |
| [Van 02] | ordre 4, structure feedforward, CAN interne 1,5 bits, CNA résistif NRZ | 180 | 1,8 | 153,6 | 2 | | 68 | 70 | 11 | 3,3 | 0,402 |
| [Gerf 03] | ordre 3, structure feedback, CAN interne 1 bit, CNA résistif NRZ | 500 | 3,3 | 2,4 | 0,025 | 73 | 70 | 80 | 11,34 | 0,135 | 1,045 |
| [Van 03] | ordre 5, structure feedforward, CAN interne 1 bit, CNA de retour SC | 180 | 1,8 | 153,6 76,8 26 | 1,92 0,614 0,1 | 75 83 89 | | 74 83 92 | 12* 13,5* 15* | 4,5 4,1 3,8 | 0,286* 0,289* 0,584* |
| [Dorr 03] | ordre 3, structure feedforward, CAN interne 3 bits, CNA en courant RZ | 120 | 1,2 | 104 | 2 | 60 | 58 | 62 | 9,34 | 3 | 1,156 |
| [Putt 04] | ordre 3, structure feedback, CAN interne 1 bit, CNA en courant NRZ + FIRDAC | 180 | 1,8 | 281,6 | 1 | | 77,3 | | 12,55 | 6 | 0,518 |
| [Yan 04] | ordre 3, structure feedforward, CAN interne 5 bits, CNA en courant NRZ | 180 | 3,3 | 35,2 | 1,1 | 84 | 83 | 88 | 13,5 | 62 | 2,441 |
| [Schi 04] | ordre 4, structure feedforward, CAN interne 3 bits, CNA en courant | 130 | 1,25 | 26 | 0,24 | 86 | 77 | | 12,5 | 3 | 1,08 |
| [Bree 04] | cascaed 2-2 feedforward, CAN interne 4 bits, CNA en courant | 180 | 1,8 | 160 | 10 | 63 | | 67 | 10,2* | 68 | 2,946* |
| [Phil 04] | ordre 4, structure feedforward, CAN interne 1 bit, CNA résistif | 180 | 1,2 | 64 | 1 | 62 | 59 | 65 | 9,51 | 1,02 | 0,7 |
| [Ueno 04] | ordre 2, structure feedback, CAN interne 2,25 bits, CNA résistif RZ | 130 | 1,2 | 61,44 | 1,92 | 53,2 | 50,9 | | 8,16 | 1,5 | 1,363 |
| [Pato 04] | ordre 4, structure feedforward, CAN interne 4 bits, CNA en courant RZ | 130 | 1,5 | 300 | 15 | 64,6 | 63,7 | 67 | 10,29 | 70 | 1,865 |
| [Dorr 05a] [Dorr 05b] | ordre 3, structure feedforward, CAN de poursuite interne 4 bits, CNA en courant NRZ | 130 | 1,5 | 104 | 2 | 74 | 70 | | 11,34 | 3 | 0,290 |

| Référence | Description | Techno nm | Vdd V | Horloge MHz | BW MHz | SNR dB | SNDR dB | DR dB | ENOB bits | Conso mW | FoM pJ/conv |
|----------------------------------|--|--------------|----------|---------------------|------------------------|--------------|--------------|----------------|----------------------------|-------------------|----------------------------|
| [Naga 05] | ordre 4, structure feedforward, CAN interne 1 bit, CNA de retour SC | 110 | 1,2 | 132 | 1,3 0,428 | 61,4 66,7 | 50,6 54,6 | 64 70 | 8,11 8,78 | 3,42 | 4,751 9,105 |
| [Das 05] | ordre 4, structure feedback, CAN interne 1 bit, CNA de retour SC | 90 | 1,3 | 256 | 0,615 | 86 | | | 14* | 5,4 | 0,276* |
| [Font 05] | ordre 3, structure feedback/feedforward, CAN interne 2,25 bits, CNA en courant NRZ | 90 | 1,5 | 50,4 | 0,6 | 77 | 74 | | 12 | 6 | 1,221 |
| [Cald 05] [Cald 06] | ordre 3, structure feedback, CAN interne 4 bits, CNA en courant RZ | 180 | 1,8 | 200 100 | 20 10 | 49,7 58,4 | 48,8 57,2 | | 7,81 9,21 | 103 101 | 11,443 8,531 |
| [Pun 06] [Pun 07] | ordre 3, structure feedback, CAN interne 1 bit, CNA ré-sistif | 180 | 0,5 | 3,2 | 0,025 | 76 | 74 | | 12 | 0,15 | 0,732 |
| [Mitt 06b] [Mitt 06a] | ordre 3, structure feedback/feedforward, CAN interne 4 bits, CNA en courant NRZ | 130 | 1,2 | 640 | 20 | 76 | 74 | 80 | 12 | 20 | 0,122 |
| [Li 07] | ordre 5, structure feedforward, CAN interne 5 bits, CNA en courant NRZ | 250 | 2,5 | 60 | 2,5 | 81 | 80 | 85 | 13,08 | 50 | 1,155 |
| [Putt 07] | ordre 5, structure feedforward, CAN interne 1 bit, CNA de retour SC | 65 | 1,2 | 153,6 76,8 26 | 1,92 0,614 0,135 | | | 73 82 88 | 11,83* 13,33* 14,33* | 3,7 3,1 2,6 | 0,264* 0,245* 0,469* |
| [Ouzo 07] | ordre 5, structure feedforward, CAN interne 1 bit, CNA de retour SC | 90 | 1,2 | 400 200 26 | 10 1 0,2 | | | 52 75 82 | 8,35* 12,17* 13,33* | 7 3,4 1,44 | 1,076* 0,37* 0,35* |
| [Yang 08] | ordre 5, structure feedforward, CAN interne 3 bits, CNA en courant | 180 | 1,8 | 640 | 10 | 84 | 82 | 87 | 13,3 | 100 | 0,485 |
| [ce travail] (cf. chapitre 4) | ordre 4, structure feedback, CAN interne 2,25 bits, CNA en courant NRZ | 65 | 1,2 | 480 | 10 | 71,6 | 69,3 | 73,5 | 11,2 | 14,5 | 0,304 |

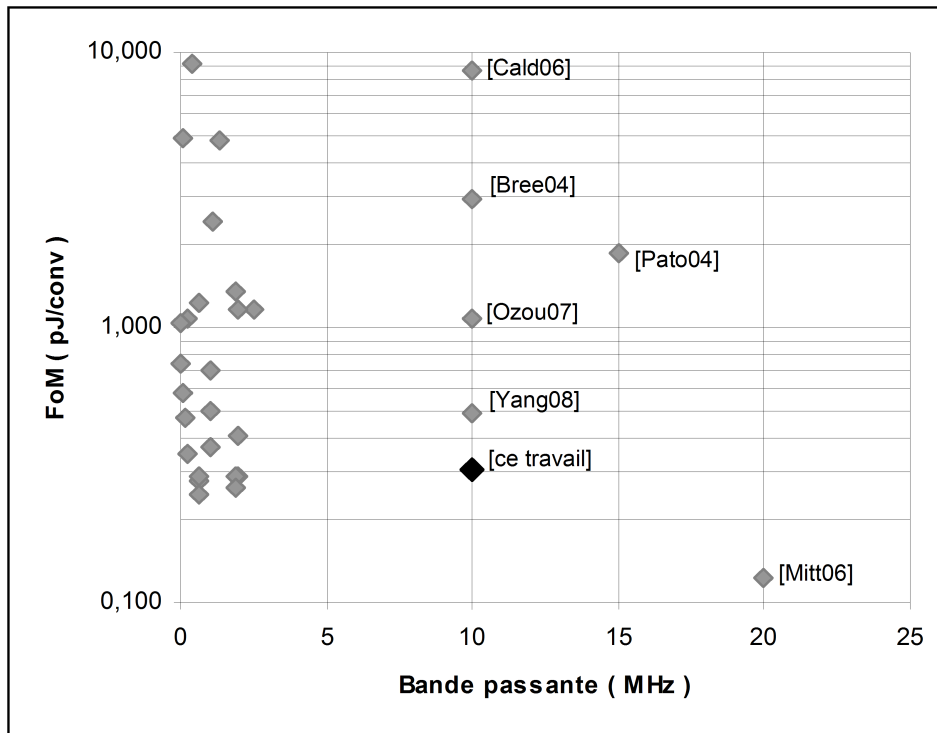


FIG. 3.7 – Facteur de Mérite des CAN $\Delta\Sigma_{CT}$ publiés récemment en fonction de la bande passante

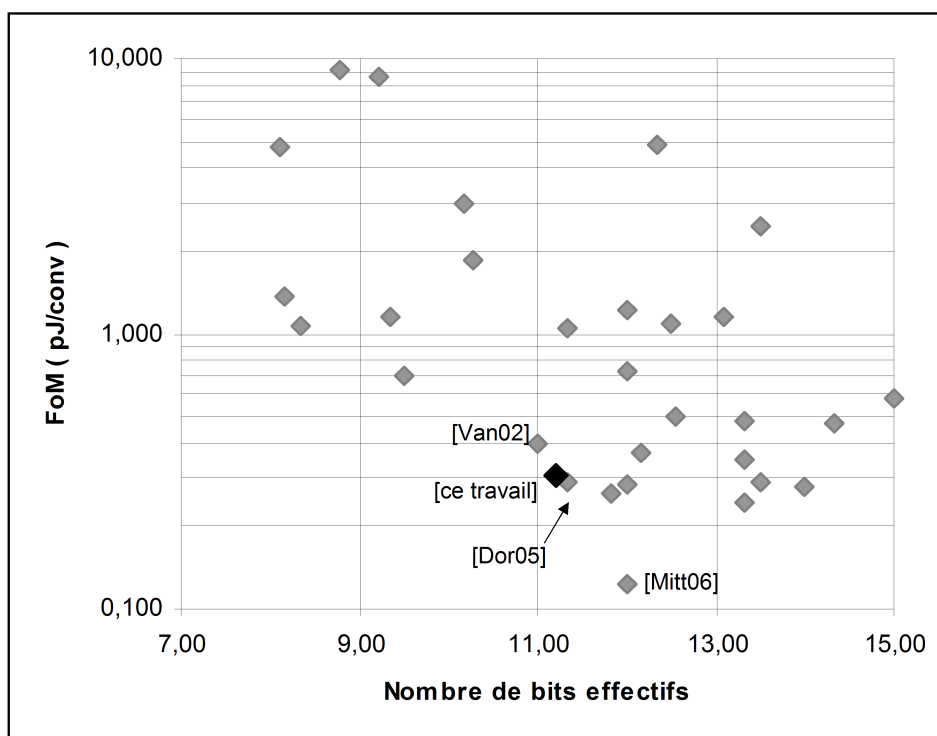
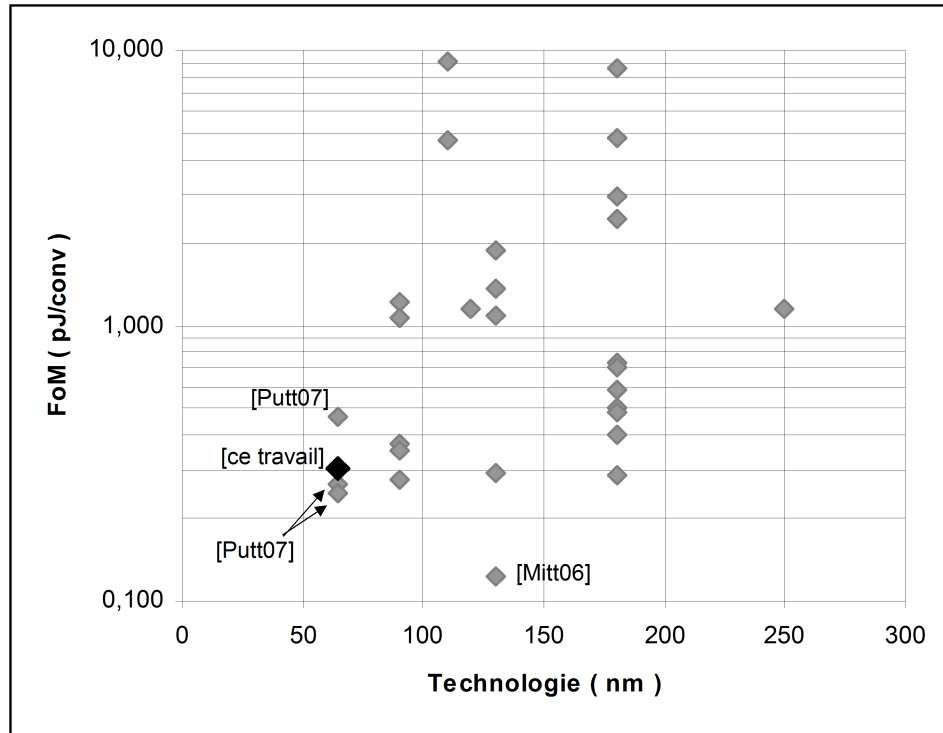


FIG. 3.8 – Facteur de Mérite des CAN $\Delta\Sigma_{CT}$ publiés récemment en fonction du nombre de bits effectifs



Chapitre 4

Méthode de conception, Réalisation d'un CAN $\Delta\Sigma_CT$ pour une application WLAN

Dans les trois premiers chapitres, les principales difficultés relatives à la conception d'un delta sigma à temps continu ont été abordées. Le calcul d'architectures stables et performantes à tout d'abord été traité. L'impact des imperfections du signal d'horloge et l'implémentation des convertisseurs $\Delta\Sigma_CT$ ont ensuite été discutés.

Dans cet ultime chapitre, une méthode de conception spécifique aux convertisseurs $\Delta\Sigma_CT$ est exposée. Ce flot de conception s'appuie sur les différents résultats fournis dans les chapitres précédents (calcul d'architecture par placement des pôles, estimation de l'impact du jitter).

La force des convertisseurs $\Delta\Sigma_CT$ réside en grande partie dans leur diversité. Ainsi, pour répondre à un cahier des charges donné, il existe généralement plusieurs CANs $\Delta\Sigma_CT$ viables. Le flot de conception présenté dans ce chapitre ne permet donc pas de sélectionner avec certitude le convertisseur le mieux adapté au besoin formulé. Par contre, le respect des différentes étapes de cette méthode assure au concepteur l'obtention d'un convertisseur stable et performant.

La seconde partie de ce chapitre est consacrée à la réalisation d'un convertisseur $\Delta\Sigma_CT$, du cahier des charges jusqu'à l'implémentation sur silicium. Cette réalisation, en technologie CMOS065, est l'occasion de dérouler le flot de conception proposé. Ce circuit permet également d'estimer le niveau de performance de ce type de convertisseur avec une technologie standard CMOS avancée.

4.1 Concevoir un delta sigma à temps continu

Les spécifications des performances d'un CAN sont habituellement exprimées sous la forme d'une valeur de SNR ou de SNDR sur une bande de fréquence fixée avec une certaine puissance d'entrée. Une telle spécification peut aisément être convertie en un niveau de bruit acceptable dans la bande de fréquence visée. Toute la difficulté de la conception d'un convertisseur analogique numérique revient donc à limiter le bruit introduit par le circuit réel.

Lorsque l'on réalise un convertisseur delta sigma à temps continu, il existe trois sources de bruit :

- l'architecture
- l'horloge
- les composants

Comme pour tout convertisseur analogique numérique, la précision de quantification du signal à traiter est plafonnée par l'architecture du CAN réalisé. Dans le cas d'un modulateur delta sigma à temps continu, la relation entre l'architecture du convertisseur et la puissance du bruit de quantification, dans la bande de fréquence utile, n'est pas triviale (cf. chapitre 1). La sélection de l'architecture d'un convertisseur $\Delta\Sigma_{CT}$, adaptée à un cahier des charges donné, est donc à elle seule une étape importante lors de la conception de ce type de CAN.

Les imperfections du signal d'horloge sont une source de dégradation des performances d'autant plus grande que la fréquence de travail est élevée. Avec des fréquences d'échantillonnage de plusieurs centaines de mégahertz, une connaissance approfondie du bruit de phase de l'horloge est indispensable pour évaluer son impact sur le CAN (cf chapitre 2).

La troisième et dernière source de bruit réside dans l'implémentation à proprement parler du convertisseur, c'est-à-dire dans les composants le constituant. Les dégradations des performances d'un CAN liées à l'implémentation physique du système peuvent être séparées en deux catégories.

Tout d'abord, les paramètres caractéristiques d'un composant réel sont par définition bornés. Par exemple, un amplificateur opérationnel réel possède obligatoirement un gain fini et une certaine bande passante. Quelque soit le système implémenté, les valeurs finies des grandeurs caractéristiques des composants modifient naturellement la fonction de transfert lors du passage d'un modèle mathématique à une implémentation réelle. Ces paramètres caractéristiques bornés sont aussi responsables de phénomènes tels que les distortions.

La seconde dégradation des performances, générée par l'implémentation d'un circuit, vient du bruit des composants. En effet tout composant réel est intrinsèquement une source de bruit. La puissance de bruit créée par l'ensemble des composants constituant le convertisseur vient donc s'additionner aux précédentes sources de bruit entraînant une dégradation supplémentaire des performances du CAN.

Finalement, implémenter un convertisseur $\Delta\Sigma_{CT}$, et plus généralement un convertisseur analogique numérique, c'est rendre la somme de ces trois bruits inférieure au niveau fixé par les spécifications tout en minimisant la consommation du circuit.

4.2 Méthode de conception de convertisseurs delta sigma à temps continu

Les spécificités des convertisseurs $\Delta\Sigma_{CT}$, au niveau du choix de l'architecture mais également concernant la spécification de l'horloge ou l'implémentation, obligent à utiliser une méthode de conception adaptée à ces circuits de conversion. La méthode pas à pas présentée dans ce paragraphe est propre aux convertisseurs delta sigma à temps continu passe bas. Elle décrit les différentes étapes indispensables à la réalisation d'un CAN $\Delta\Sigma_{CT}$ à partir d'une spécification détaillée des besoins du convertisseur (bande passante, nombre de bits effectifs, dynamique d'entrée...).

La méthode de conception proposée peut être découpée en quatre grandes étapes :

1. Répartition du bruit entre les différents contributeurs
2. Calcul de l'architecture et évaluation du bruit de quantification
3. Prise en compte des imperfections du signal d'horloge et estimation des dégradations introduites
4. Implémentation du circuit et calcul final des performances du circuit réel

4.2.1 Etape 1 : Répartition du bruit entre les différents contributeurs

Le critère principal d'évaluation des performances d'un convertisseur analogique numérique est le rapport signal à bruit du signal de sortie. En complément de cette spécification en terme de SNR est habituellement ajoutée une valeur maximale de distortion acceptable.

Dans un CAN delta sigma à temps continu, il existe trois sources de dégradation du rapport signal à bruit : le bruit de quantification, le bruit introduit par le jitter et le bruit lié à l'implémentation. Pour chacune de ces sources de dégradations, un rapport signal à bruit spécifique est défini :

SNR_q Ce rapport signal à bruit ne prend en compte que le bruit de quantification, c'est-à-dire le bruit introduit par le quantificateur interne et mis en forme par la boucle de conversion. Cette valeur de SNR ne dépend donc que de l'architecture choisie pour réaliser le convertisseur.

- SNR_j** Ce deuxième paramètre est relatif au bruit induit par les imperfections du signal d'horloge. Pour estimer la valeur du SNR_j, il faut connaître le profil de bruit de phase de l'horloge ainsi que l'architecture du modulateur delta sigma.
- SNR_i** Ce dernier rapport signal à bruit est quant à lui relatif aux dégradations introduites lors de l'implémentation du convertisseur. Il prend en compte le bruit généré par l'ensemble des composants ainsi que la détérioration de la fonction de mise en forme du bruit de quantification.

La première étape lors de la conception d'un convertisseur $\Delta\Sigma_CT$ consiste à répartir le bruit total acceptable, déterminé à partir des spécifications du CAN, entre les différents contributeurs en bruit. La seule contrainte lors de cette répartition des dégradations est le fait que la somme des trois puissances de bruit doit être inférieure à la valeur fournie dans le cahier des charges.

4.2.2 Etape 2 : Calcul de l'architecture et évaluation du bruit de quantification

Lors de l'étape 1, la puissance du bruit de quantification dans la bande de fréquence utile a été fixée par la valeur du SNR_q. La deuxième phase du travail consiste donc à déterminer l'architecture du convertisseur $\Delta\Sigma_CT$ la mieux adaptée au cahier des charges.

Pour ce faire, il faut déterminer les paramètres caractéristiques du modulateur c'est-à-dire l'ordre et la structure du filtre de boucle $H(s)$, l'OSR et le nombre de bits du CAN interne. Il reste ensuite à calculer les coefficients du filtre de boucle permettant d'obtenir le meilleur compromis entre résolution et stabilité du modulateur (cf. chapitre 1).

Le choix de l'architecture du convertisseur delta sigma à temps continu est fortement lié aux libertés laissées au concepteur par les spécifications du CAN. En effet, plus le cahier des charges est précis plus le nombre d'architectures envisageables est limité.

La spécification du signal d'horloge dans le cahier des charges est un parfait exemple des possibles restrictions au niveau du choix de l'architecture. Lors du dimensionnement d'une chaîne de réception, la spécification des besoins sur les différents blocs constituant le récepteur est traitée dans sa globalité. Pour limiter le nombre de circuits de synthèse de fréquence, ces derniers sont bien souvent partagés entre les divers blocs nécessitant une horloge. Concernant le CAN, l'horloge est généralement commune soit avec la partie radiofréquence du récepteur soit avec la partie numérique. La fréquence du signal d'horloge utilisé par le CAN est donc bien souvent spécifiée au niveau système. Le choix de l'architecture du convertisseur $\Delta\Sigma_CT$ doit alors prendre en compte cette donnée.

4.2.3 Etape 3 : Prise en compte des imperfections du signal d'horloge et estimation des dégradations introduites

Le signal d'horloge est un élément extérieur au convertisseur $\Delta\Sigma_CT$. La réalisation du circuit de synthèse de fréquence est donc habituellement confiée à des spécialistes de ce type de circuit. Les dégradations des performances du CAN, liées aux imperfections du signal d'horloge, peuvent être relativement importantes lorsqu'un convertisseur delta sigma à temps continu est utilisé (cf. chapitre 2). La troisième étape lors de la conception d'un CAN $\Delta\Sigma_CT$ est donc la prise en compte de l'impact du jitter d'horloge sur les performances du système de conversion.

L'impact des imperfections d'horloge sur la conversion delta sigma à temps continu dépend fortement de la stratégie d'implémentation du ou des CNAs de retour de la boucle de conversion (cf. paragraphe 2.3). Il est donc essentiel lors de cette troisième étape de fixer le type de convertisseur numérique analogique qui va être implémenté (retour à capacités commutées, retour RZ, retour NRZ).

La réalisation du circuit de synthèse de fréquence n'étant généralement pas attribué au concepteur du convertisseur, deux cas de figure sont possibles :

Le profil de bruit de phase du signal d'horloge utilisé par le convertisseur est fourni dans les spécifications du CAN. Dans ce cas, le travail du concepteur lors de cette troisième étape consiste à évaluer les performances du modulateur $\Delta\Sigma_CT$ avec le signal d'horloge disponible. Les performances obtenues doivent ensuite être comparées avec la valeur du rapport signal à bruit SNR_j fixée lors de l'étape 1. Si le niveau de performance obtenu n'est pas satisfaisant, il faut revenir à l'étape 2 et modifier l'architecture du convertisseur.

OU

Dans le second cas de figure, les imperfections du signal d'horloge ne sont pas détaillées dans le cahier des charges du CAN $\Delta\Sigma_CT$. L'étape 3 consiste alors à estimer, à partir du SNR_j, le profil de bruit de phase nécessaire pour atteindre les performances visées. C'est alors le concepteur du convertisseur qui fournit les spécifications de l'horloge au circuit de synthèse de fréquence.

4.2.4 Etape 4 : Implémentation du circuit et calcul final des performances du circuit réel

La dernière étape lors de la conception d'un convertisseur $\Delta\Sigma_CT$ est l'implémentation du convertisseur. Partant de l'architecture du modulateur sélectionnée précédemment, il faut concevoir les différents blocs nécessaires à la réalisation physique du convertisseur.

Pour ce faire, il faut tout d'abord choisir les structures des blocs constituant le CAN $\Delta\Sigma_{CT}$. La stratégie d'implémentation du ou des CNAs de retour a été fixée lors de l'étape 3. Il reste donc à déterminer la structure des intégrateurs à temps continu (Ampli+RC ou GmC), la méthode de réalisation des rebouclages internes du filtre de boucle, le type de CAN interne ainsi que la stratégie d'implémentation du traitement numérique.

Connaissant la structure de l'ensemble des blocs et les caractéristiques de la technologie de fabrication utilisée, il est généralement nécessaire de mettre en place un système de calibration des constantes de temps des intégrateurs à temps continu. Cette calibration de la constante RC ou Gm/C, permet de limiter les déviations entre les différents coefficients de la boucle de conversion et ainsi de maîtriser convenablement les fonctions de transferts du modulateur delta sigma.

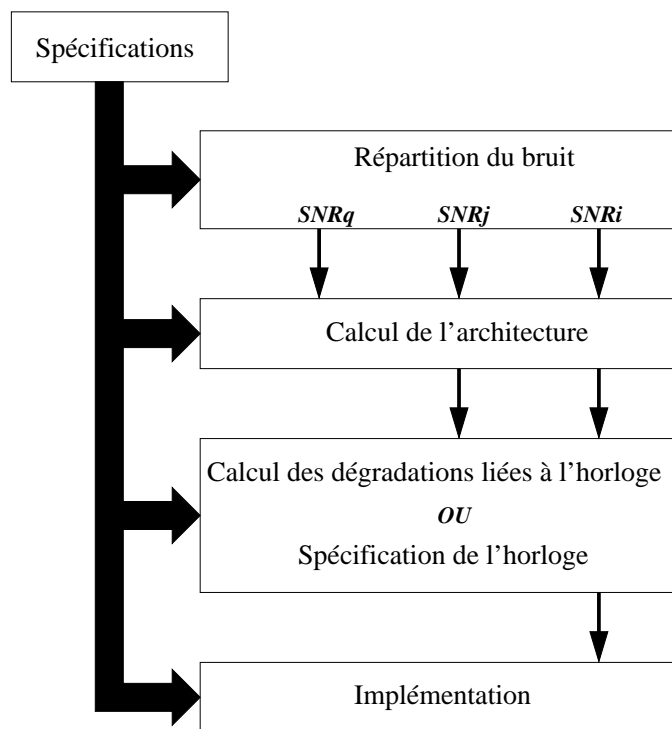


FIG. 4.1 – Flot de conception pour convertisseurs analogique numérique delta sigma à temps continu

A partir de l'architecture détaillée du convertisseur, on peut dimensionner en bruit les différents étages du modulateur afin que la dégradation des performances liée à l'implémentation soit compatible avec la valeur du SNR_i fixée lors de la première étape. Il reste ensuite à concevoir les différents blocs analogiques (amplificateurs, transconductances, comparateurs...) et numériques (mise en forme des données, algorithme de correction...) nécessaires au bon fonctionnement du circuit.

Enfin, le dessin des masques et l'assemblage des différents blocs doit être réalisé avec le plus grand soin afin que cette ultime phase de travail n'introduise pas de dégradations

supplémentaires.

Conclusion

La méthode de conception pas à pas présentée ci-dessus est volontairement simple et linéaire. Cependant, lors de la réalisation d'un CAN $\Delta\Sigma_CT$ il est bien souvent nécessaire de faire des aller-retours entre les différentes étapes afin d'obtenir le convertisseur le mieux adapté aux spécifications fournies. En effet, les quatre grandes étapes de la méthode proposée ne sont pas totalement décorréélées les unes des autres. Par exemple, l'impact des imperfections de l'horloge sur le CAN est fortement lié à l'architecture du modulateur (cf. chapitre 2).

Enfin, comme pour toute conception de circuit, la teneur du cahier des charges est un élément déterminant lors de la réalisation d'un convertisseur $\Delta\Sigma_CT$. Plus les spécifications sont nombreuses et précises plus les possibilités laissées au concepteur sont faibles. Néanmoins, la diversité des architectures envisageables pour réaliser un CAN $\Delta\Sigma_CT$ est telle que la conception de ce type de convertisseur requiert généralement une étude intégrale et approfondie du modulateur lors de sa conception.

4.3 Réalisation d'un CAN $\Delta\Sigma_CT$ pour une application WLAN

Cette dernière section du chapitre aborde la conception d'un convertisseur delta sigma à temps continu, du cahier des charges à la réalisation sur silicium. A partir des spécifications fournies ci-dessous, les différentes étapes de la méthode de conception présentée précédemment (cf. paragraphe 4.2) vont être détaillées. L'objectif de ce prototype est double, valider la méthode de conception proposée et montrer le potentiel de ce type de convertisseur pour la réalisation de chaîne de réception large bande faible consommation.

4.3.1 Cahier des charges

Le domaine d'application ciblé est le transfert de données sans fil à haut débit. Les standards large bande se généralisent actuellement et s'imposent même dans des récepteurs disposant de réserves d'énergie très limitées tels que les téléphones portables (WiFi, WiMAX, LTE...). La rapide expansion de ces différents standards et leur intégration avec les standards préexistants (2G, 3G, bluetooth...) obligent à concevoir de nouvelles chaînes de réception. Ces dernières doivent pouvoir traiter à la fois des signaux large bande (5 MHz \rightarrow 20 MHz) et des standards bande étroite (GSM 200kHz).

Une solution pour répondre à ces nouveaux besoins consiste à implémenter un convertisseur analogique numérique de forte résolution permettant ainsi de reconfigurer la chaîne de réception uniquement dans sa partie numérique.

| | |
|----------------------|----------------|
| Technologie | CMOS065 (1,2V) |
| Bande passante | 10 MHz |
| Résolution effective | > 11 bits |
| Consommation | < 20 mW |
| Amplitude d'entrée | 1,2 Vppdiff |

TAB. 4.1 – Tableau récapitulatif des spécifications

A partir de ce rapide constat sur les besoins des chaînes de réception, les spécifications suivantes ont été définies pour le CAN $\Delta\Sigma_CT$ de cette étude. Afin de pouvoir adresser des standards large bande, la bande passante souhaitée est fixée à 10 MHz. La résolution effective sur cette bande de fréquence doit être supérieure à 11 bits (SNDR > 68 dB) et la consommation inférieure à 20mW.

Enfin, le circuit est réalisé avec la technologie CMOS065 de STMicroelectronics. La tension d'alimentation est seulement de 1,2V ce qui oblige à travailler avec une puissance d'entrée relativement faible. Pour faciliter l'intégration de ce convertisseur dans une chaîne de réception, on limite l'amplitude d'entrée différentielle à 1,2V crête à crête autour d'un mode

commun fixé à 0,6V.

4.3.2 Répartition des contributions en bruit

Comme expliqué précédemment, il existe trois sources de bruits principales limitant les performances des convertisseurs delta sigma à temps continu. La stratégie de répartition des contributions en bruit entre l'architecture (SNR_q), les imperfections d'horloge (SNR_j) et les composants (SNR_i) est la suivante.

Tout d'abord, le bruit de quantification, fixé par le choix de l'architecture du modulateur $\Delta\Sigma_{CT}$, doit être négligeable devant les deux autres contributeurs. La valeur du rapport signal à bruit (SNR_q) du convertisseur idéal doit donc être supérieure à 90dB.

Vu les spécifications visées, il semble très difficile de rendre un deuxième contributeur négligeable. En effet, figer le bruit du jitter ou le bruit lié à l'implémentation du circuit à environ 90dB (environ 15bits) est incompatible avec le cahier des charges défini ci-dessus.

La faible consommation souhaitée implique nécessairement un dimensionnement en bruit des composants (SNR_i) proche des performances visées afin de limiter la taille des capacités d'intégration. De plus, le CAN à réaliser doit être compatible avec une chaîne de réception intégrant sur une même puce l'ensemble des blocs nécessaires à son fonctionnement et en particulier le circuit de synthèse de fréquence. Garantir cette possibilité d'intégration du convertisseur impose l'utilisation d'un signal d'horloge comparable à ce qu'il est actuellement possible de réaliser en technologie CMOS. Cette contrainte ne permet pas de fixer un niveau de bruit induit par le jitter négligeable par rapport aux performances recherchées.

La stratégie choisie consiste donc à fixer les deux contributeurs que sont le jitter et l'implémentation sur silicium, à un même niveau de puissance. Les imperfections d'horloge doivent donc introduire un bruit équivalent à 12 bits de résolution (74dB) et l'implémentation doit générer des dégradations de l'ordre de 12 bits également.

En résumé, la répartition des bruits est la suivante :

- $SNR_q = 90\text{dB}$ (15 bits environ)
- $SNR_j = 74\text{dB}$ (12 bits)
- $SNR_i = 74\text{dB}$ (12 bits)

La somme de ces trois contributeurs fixe la résolution effective du circuit à 71 dB, c'est-à-dire 11,5 bits.

4.3.3 Choix de l'architecture du convertisseur

La stratégie de répartition des contributions en bruit du convertisseur, détaillée dans le paragraphe précédent, a permis de spécifier le rapport signal à bruit de l'architecture du

modulateur $SNRq = 90dB$.

Pour simplifier la conception du CAN interne et des CNA de retour, le nombre de bits de la conversion interne est fixée à 2,25bits. Cela correspond à uniquement 5 codes numériques différents pour représenter le signal analogique en sortie du filtre de boucle. Les besoins en terme d'offset des comparateurs composants le CAN interne flash sont donc faibles. De plus, la réalisation des CNAs de retour du modulateur est grandement facilitée dans la mesure où le nombre de codes différents à convertir est faible. Les convertisseurs numériques analogiques des boucles de retour vont être implémentés à l'aide de CNAs en courant avec un profil de type NRZ. Ce choix permet de fortement soulager les besoins en fréquence du filtre de boucle et donc de limiter la consommation du circuit.

Enfin, l'utilisation de 5 niveaux de quantification permet une grande souplesse concernant le choix de l'architecture du filtre de boucle $H(s)$. L'obtention d'un compromis résolution/stabilité convenable est en effet relativement facile avec un quantificateur interne possédant 2,25 bits.

Le second choix important au niveau de l'architecture réside dans la fréquence d'horloge à utiliser. Pour disposer d'un facteur de suréchantillonnage satisfaisant, et donc d'une mise en forme de bruit performante, la fréquence de travail du modulateur est fixée à 480 MHz (OSR=24). Cette fréquence d'horloge élevée reste néanmoins tout à fait raisonnable et compatible avec la technologie utilisée.

Connaissant l'OSR, le nombre de bits de l'ADC interne et le rapport signal à bruit nécessaire, le filtre de boucle peut être déterminé. Les standards de transfert de données de type WiFi, WiMAX présentent en fonctionnement des adjacents de forte puissance. Une structure de filtre de boucle de type feedback est donc préférable dans la mesure où la STF de ce type de convertisseur ne présente pas de gain hors de la bande de fréquences utile (cf. paragraphe 1.5.2.1).

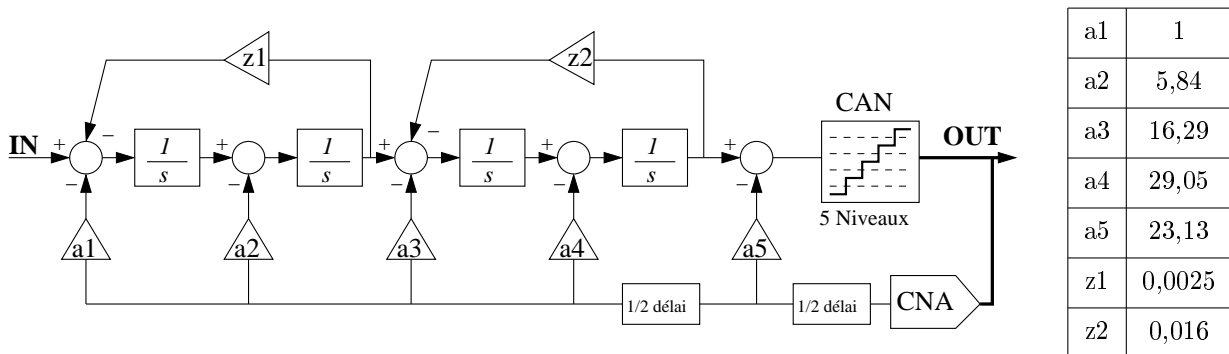


FIG. 4.2 – Architecture d'ordre 4, structure feedback avec 2 demi-délais et 2 zéros, CAN interne 2,25bits

Enfin, un délai équivalent à une période d'horloge est introduit dans la boucle de retour du

modulateur lors du calcul du filtre $H(s)$. L'ajout de ce délai supplémentaire permet d'allouer un temps de travail confortable au CAN interne (une demi période d'horloge) et facilite la génération des signaux de commande des CNAs de retour. Au niveau de l'architecture du modulateur $\Delta\Sigma_{CT}$, ce délai de boucle est compensé grâce à un rebouclage supplémentaire en entrée du CAN interne.

A partir de l'ensemble des informations fournies ci-dessus concernant l'architecture du CAN $\Delta\Sigma_{CT}$ souhaitée (fréquence d'horloge, précision du CAN interne, structure du filtre), les coefficients du filtre de boucle $H(s)$ ont été calculés à l'aide de la méthode par placement des pôles (cf. chapitre 1.5).

Pour obtenir un SNRq supérieur à 90dB tout en assurant une robustesse de l'architecture compatible avec une implémentation en technologie CMOS065, un filtre à temps continu d'ordre 4 est nécessaire. L'architecture détaillée du modulateur delta sigma ainsi que les valeurs numériques des coefficients sélectionnés sont fournies sur la figure 4.2. Il existe deux contre-réactions locales, symbolisées par les coefficients $z1$ et $z2$, afin d'introduire deux zéros dans la fonction de transfert de mise en forme de bruit. Cette technique classique dans la conversion delta sigma (cf. paragraphe 1.5.2.1) permet d'accroître la résolution effective du modulateur.

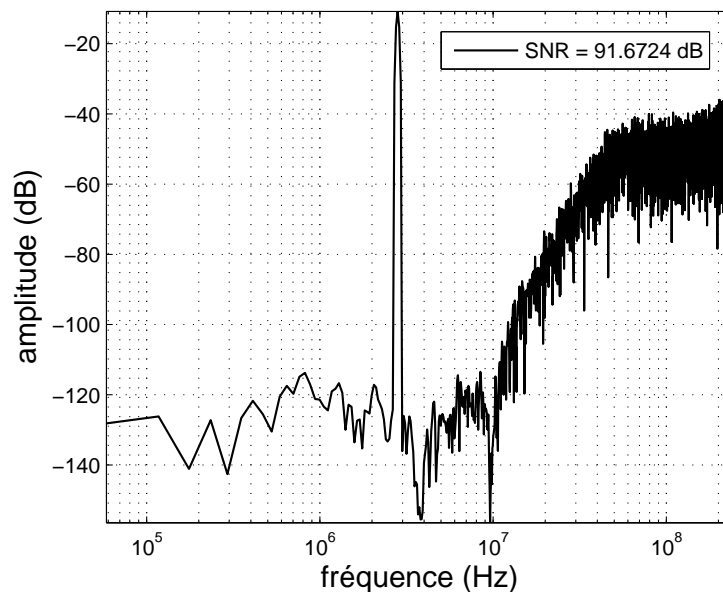


FIG. 4.3 – FFT sur 8192 points de la sortie du convertisseur, $P(V_{in}) = -4,4\text{dBFS}$, $F_{in} = 2,8\text{MHz}$

Le point nominal de fonctionnement est positionné à $-4,4\text{dBFS}$. L'unité dBFS (*decibel Full Scale*) permet de référencer l'amplitude du signal d'entrée par rapport à l'amplitude maximale du signal que le modulateur $\Delta\Sigma_{CT}$ peut renvoyer dans la boucle. Dans le cas présent, le niveau d'entrée de $1,2\text{V}_{ppdiff}$ équivaut à $-4,4\text{dBFS}$. Ce choix permet de garder une marge confortable au niveau de la stabilité de l'architecture, dans la mesure où cette dernière est fonctionnelle jusqu'à une amplitude d'environ $-2,5\text{dBFS}$. Pour une amplitude

d'entrée de 1,2Vppdiff, l'architecture sélectionnée présente un SNR_q de 91,6dB. (cf. figures 4.3 et 4.4)

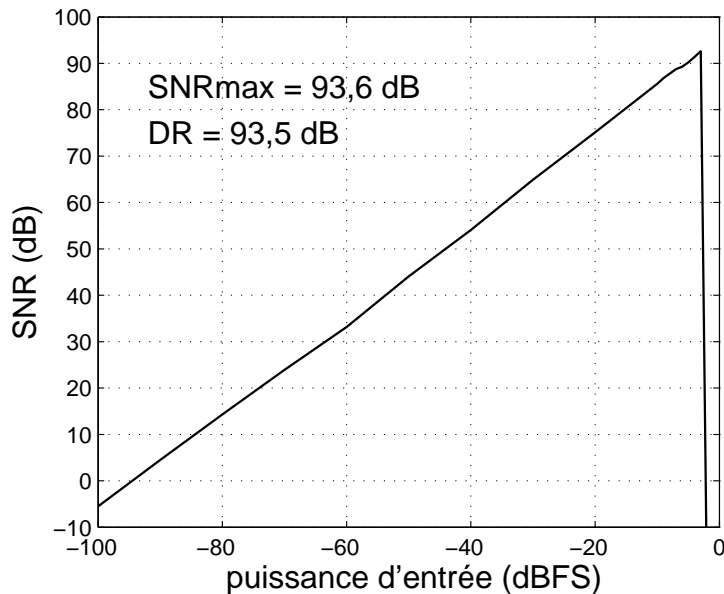


FIG. 4.4 – SNR en fonction de la puissance du signal d'entrée

4.3.4 Spécification de l'horloge

Le convertisseur présenté dans ce chapitre est prévu pour être piloté par une horloge externe. L'intégration d'un tel convertisseur avec le circuit de synthèse de fréquence nécessaire à son bon fonctionnement se situe donc hors du périmètre de l'étude exposée dans ce document.

Néanmoins, pour valider correctement la méthode de conception et réaliser un convertisseur compatible avec une chaîne de réception intégrée, la spécification de l'horloge est une étape indispensable. De plus, concevoir un prototype de convertisseur nécessitant une horloge non intégrable présente peu d'intérêt. Les stratégies actuelles concernant la conception des circuits électroniques sont en effet principalement axées vers une plus forte intégration des différents blocs.

Une spécification exhaustive et précise des besoins sur l'horloge n'est pas possible si l'on ne dispose pas de l'intégralité des données concernant l'architecture de la chaîne de réception (filtrage analogique, politique de gain de la chaîne). Une première estimation du niveau de bruit de phase acceptable est néanmoins possible à partir du cahier des charges du CAN et permet de fournir un ordre de grandeur concernant le jitter d'horloge.

Lors de la répartition des différents contributeurs en bruit, le niveau de dégradation lié au jitter d'horloge a été fixé à 12 bits, c'est-à-dire $SNR_j \geq 74dB$. Connaissant l'architecture du modulateur delta sigma et en s'appuyant sur les résultats du chapitre 2, une valeur numérique

du plancher du bruit de phase de l'horloge peut être déterminée. Pour tenir les spécifications visées, le plancher du bruit de phase de l'horloge doit être inférieur à -138dBc/Hz . Pour une fréquence d'horloge de 480MHz , ce niveau de bruit correspond à un *cycle jitter* possédant une variance de 915fs .

Un tel niveau de performances est tout à fait réalisable avec une technologie de type CMOS avancée. Il nécessite cependant de réaliser le circuit de synthèse de fréquence avec grand soin afin d'éviter de dégrader trop fortement la conversion du signal.

4.3.5 Implémentation du circuit

Une fois l'architecture du convertisseur sélectionnée et les problèmes relatifs à l'horloge résolus, il ne reste plus qu'à implémenter le CAN en utilisant la technologie prévue à cet effet. Cette dernière étape de conception consiste à traduire le modèle mathématique du convertisseur en un circuit électronique respectant les spécifications visées.

Cette ultime phase de travail comme toute conception de circuit électronique, se déroule en trois temps. Tout d'abord, il faut sélectionner les structures à implémenter et réaliser un dimensionnement des étages du filtre de boucle. Vient ensuite la phase de conception électronique à proprement parler, c'est-à-dire la traduction sous forme de schémas électriques de l'ensemble des blocs constituant le convertisseur. Enfin, le dessin des masques du convertisseur est réalisé avant d'envoyer le circuit en fabrication.

4.3.5.1 Structure détaillée de l'architecture

Choix des blocs constitutifs

Partant de l'architecture du modulateur $\Delta\Sigma_CT$ de la figure 4.2, la première chose à faire lors de l'implémentation du convertisseur consiste à sélectionner le type de structures utilisées pour implémenter les différents blocs nécessaires (cf. chapitre 3). Vu les performances visées en termes de résolution et de bande passante, les intégrateurs sont réalisés avec des structures de type amplificateur opérationnel + RC. Cette solution d'implémentation des intégrateurs temps continu est en effet la seule permettant d'atteindre des niveaux de résolution élevés tout en garantissant une bonne linéarité.

L'implémentation des CNAs de retour à l'aide de sources de courant et un profil de type NRZ a déjà été évoquée au paragraphe 4.3.3. Cette structure de CNAs a été choisie car elle offre un bon compromis entre simplicité d'implémentation et immunité aux perturbations issues du jitter d'horloge. Ce type de CNAs de retour permet également de minimiser la consommation du filtre de boucle. En effet, avec un retour NRZ, le profil du courant renvoyé dans le filtre de boucle est fréquemment peu contraignant par rapport à des retours de type SC ou RZ.

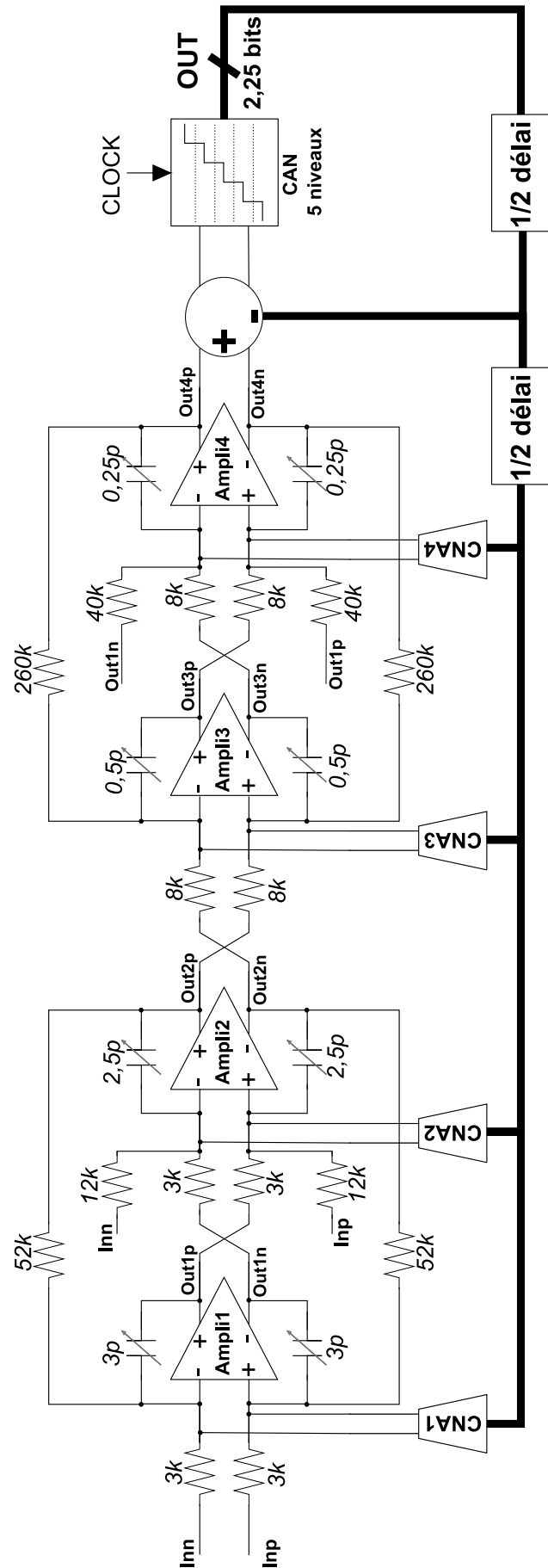


FIG. 4.5 – Architecture complète du convertisseur avec les valeurs des passifs

L'architecture complète du convertisseur $\Delta\Sigma_CT$ avec amplificateurs opérationnels, résistances et capacités est représentée sur la figure 4.5. Au niveau de l'architecture du filtre de boucle, de légères modifications ont été apportées par rapport à l'architecture idéale définie au paragraphe 4.3.3. Deux boucles feedforward ont en effet été ajoutées afin de significativement réduire la valeur de la capacité d'intégration du premier étage du filtre (-25% environ). L'action combinée de ces deux boucles permet de réduire la dynamique de sortie du premier étage sans pour autant introduire de gain dans la STF du modulateur delta sigma. La boucle entre la sortie du premier étage du filtre et l'entrée du quatrième amplificateur introduit un zéro dans la fonction de transfert du signal compensant ainsi l'effet de la boucle feedforward entre l'entrée du $\Delta\Sigma_CT$ et l'amplificateur 2.

Calcul du bruit des composants

Connaissant désormais en détails les différents éléments composants le CAN $\Delta\Sigma_CT$, les étages du filtre de boucle peuvent être dimensionnés en bruit de telle façon que les dégradations introduites soient compatibles avec la valeur du SNRi définie lors de la première étape de conception du CAN. Pour rappel, le SNRi doit être supérieur ou égal à 74 dB.

Le bruit généré par les circuits électroniques possède différentes composantes (bruit thermique, bruit en 1/f, bruit de grenaille...). Le bruit thermique est prépondérant dans la dégradation du rapport signal à bruit du CAN. Pour évaluer le SNR lié au bruit des composants, un simple calcul du bruit thermique est donc généralement suffisant. Le résultat obtenu par calcul est vérifié et complété par simulation à l'aide des modèles de bruit des composants de la technologie utilisée.

Le convertisseur analogique numérique $\Delta\Sigma_CT$ étudié ici est un système rebouclé possédant un grand nombre d'éléments. Pour chaque composant, il faut donc estimer le bruit généré et ramené ce bruit en sortie du CAN $\Delta\Sigma_CT$ à l'aide de la fonction de transfert entre la source de bruit et la sortie du convertisseur.

Considérons tout d'abord les différentes résistances du circuit de conversion. Le bruit thermique en tension généré par une résistance R , sur une bande de fréquence BW , est donné par l'équation 4.1. Le bruit introduit par chacune des résistances peut donc être facilement calculé puis ramené en sortie du modulateur à l'aide des fonctions de mise en forme de la boucle de conversion (cf. tableau 4.2).

$$V_{noise/res}^2 = 4.kT.R.BW \quad (4.1)$$

Le calcul de bruit, trivial dans le cas des résistances, est plus difficile à mener pour les autres éléments du convertisseur. En effet, pour évaluer le bruit des amplificateurs et des CNAs il est nécessaire de connaître précisément comment ces derniers sont réalisés. Cette phase de calcul du bruit des composants est donc fortement corrélée à la conception des

blocs constituant le CAN $\Delta\Sigma_CT$.

Concernant les CNAs de retour en courant, le calcul formel du bruit est envisageable. Le bruit en courant généré est en effet directement lié au g_m du MOS de la source de courant (cf. équation 4.2). Ce bruit en courant, créé en permanence par le MOS tenant le rôle de source de courant continu, n'est pas renvoyé intégralement dans le filtre de boucle. La stratégie d'implémentation des CNAs fait que ces derniers ne sont pas connectés en permanence avec le CAN $\Delta\Sigma_CT$ (cf. paragraphe 4.3.5.3). Lorsque le code zéro est appliqué en entrée des CNAs, ceux-ci débitent leur courant dans une voie de délestage. Aucun bruit n'est alors renvoyé dans la boucle par les convertisseurs numérique analogique. La statistique du signal de retour influence donc la puissance de bruit générée par les CNAs de retour. Si l'on considère le point de fonctionnement nominal du CAN étudié dans ce chapitre, signal sinusoïdal d'amplitude $1,2V_{ppdiff}$, la moyenne de la valeur absolue du courant envoyé vaut $0,45 \cdot I_{max}$. La puissance de bruit issue des CNAs de retour doit donc être elle aussi multipliée par ce facteur 0,45.

$$I_{noise/MOS}^2 = \frac{8}{3} \cdot kT \cdot g_m \cdot BW \quad (4.2)$$

Le bruit généré par les amplificateurs opérationnels est quant à lui estimé intégralement à l'aide de simulations. Enfin, le bruit généré par le convertisseur analogique numérique interne n'est pas pris en compte. Sa position privilégiée dans la boucle de conversion, à l'endroit précis où le modulateur $\Delta\Sigma_CT$ est le moins sensible aux perturbations, fait que le bruit généré par le CAN interne est négligeable.

| | | | | |
|---|--------------|--|---------------------------------|--------------|
| Bruit du premier étage | 66,9 μV | | Bruit du deuxième étage | 29,9 μV |
| résistances (3k Ω) | 33,2 μV | | résistances (3k Ω) | 14,8 μV |
| amplificateur | 23 μV | | amplificateur | 10,3 μV |
| CNA | 53,3 μV | | CNA | 23,8 μV |
| Bruit du troisième étage | 13,1 μV | | Bruit du quatrième étage | 2,9 μV |
| résistances (8k Ω) | 7,6 μV | | résistances (8k Ω) | 1,7 μV |
| amplificateur | 3,4 μV | | amplificateur | 0,73 μV |
| CNA | 10,1 μV | | CNA | 2,3 μV |
| Bruit des rebouclages | | | | |
| résistances feedforward 1 (12k Ω) | 7,4 μV | | | |
| résistances feedforward 2 (40k Ω) | 0,76 μV | | | |
| résistances feedback 1 (52k Ω) | 7,9 μV | | | |
| résistances feedback 2 (260k Ω) | 1,3 μV | | | |
| Bruit total | 75,3 μV | | | |

TAB. 4.2 – Bruit des composants ramené sur le signal de sortie

La contribution en bruit de chaque élément constituant le convertisseur delta sigma à temps continu est fournie dans le tableau 4.2. La somme quadratique de tous ces bruits en tension permet d'obtenir le bruit total ramené en sortie du modulateur ($75,3\mu V$). Connaissant la puissance de bruit totale, il est ensuite très facile de calculer le SNRi correspondant. Dans le cas présent, le rapport signal à bruit dû au bruit des composants vaut $SNRi = 75dB$.

Systeme de calibration

Afin d'assurer un fonctionnement correct de la boucle de conversion delta sigma, une maîtrise de la fonction de transfert réelle du filtre $H(s)$ est indispensable. Les coefficients de l'architecture idéale initiale (cf. figure 4.2) sont implémentés à l'aide des résistances et des capacités des intégrateurs à temps continu mais également grâce aux sources de courants des CNAs de retour, voir figure 4.5. En réalité, ce sont plus précisément les constantes de temps RC et C/Gm, définies respectivement par les couples résistance/capacité et source de courant/capacité, qui fixent les coefficients du filtre de boucle.

La conformité du circuit réel par rapport à la fonction mathématique souhaitée dépend donc intégralement de la maîtrise des constantes de temps du circuit. Malheureusement, les plages de variation des valeurs absolues des composants réels sont très importantes dans les technologies disponibles actuellement. Lors de la conception d'un convertisseur analogique numérique $\Delta\Sigma_CT$, il est donc indispensable de prévoir un système de contrôle des constantes de temps du circuit.

Le circuit traité dans ce chapitre est conçu en utilisant la technologie CMOS065 de ST-Microelectronics. Le DesignKit correspondant fournit l'intégralité des informations relatives à la déviation possible des composants implémentés. A partir de ces valeurs, une stratégie de contrôle des constantes de temps du filtre de boucle peut être mise en place.

Comme énoncé précédemment, deux grandeurs (RC et C/Gm) doivent être maîtrisées pour assurer un fonctionnement satisfaisant du modulateur delta sigma à temps continu. Afin de simplifier le système de calibration, un circuit permettant d'ajuster les courants délivrés par les CNAs de retour en fonction de la valeur des résistances réelles a été implémenté. Ce système d'autoajustement des courants renvoyés est détaillé au paragraphe 4.3.5.3. Evidemment, ce circuit de compensation n'est pas parfait ; l'erreur qu'il génère est cependant inférieure à 5%.

Concernant les déviations des résistances et des capacités, le DesignKit fournit une plage de variation de +/-15% pour la valeur des résistances et de +/-20% pour les capacités. La variation possible du produit RC est donc comprise entre -32% et +38%. De telles amplitudes de variation des constantes de temps et donc des coefficients du filtre de boucle ne sont pas acceptables. Les performances du convertisseur $\Delta\Sigma_CT$ ne sont pas garanties avec de si fortes variations, il devient même instable dans certains cas. Pour revenir à une situation convenable, il faut limiter la variation du produit RC à +/-5%.

Avec une maîtrise du produit RC à +/-5% et une erreur de +/-5% également sur le circuit

d'ajustement des courants renvoyés par les CNAs, le convertisseur $\Delta\Sigma_CT$ reste fonctionnel quelque soit la calibration et les performances ne sont dégradées que de 2dB dans le pire des cas.

La calibration du produit RC se fait en modifiant uniquement les capacités du filtre de boucle. Pour obtenir une précision de $\pm 5\%$ sur le produit RC une calibration sur 4 bits est nécessaire. Chaque capacité d'intégration est donc composée de cinq éléments, une capacité C toujours connectée à l'intégrateur à temps continu et quatre capacités de valeur Cu , $2.Cu$, $4.Cu$ et $8.Cu$ connectées ou non aux bornes de l'amplificateur opérationnel en fonction du code de calibration numérique $cal < 1 : 4 >$.

Une unique calibration des constantes de temps est réalisée pour l'ensemble du modulateur delta sigma. Le code de calibration $cal < 1 : 4 >$ est donc identique pour les quatre capacités d'intégration du filtre de boucle. L'utilisation d'éléments unitaires identiques et un dessin des masques rigoureux permet en effet d'obtenir une bonne précision relative des éléments de même nature. Les erreurs relatives entre les différentes résistances implémentées sont très faibles ($< 1\%$) et il en est de même pour les capacités et les sources de courant.

La calibration du CAN $\Delta\Sigma_CT$ se limite donc à un unique code de 4 bits $cal < 1 : 4 >$. Le CAN delta sigma présenté dans ce chapitre ne dispose pas d'un algorithme de calibration intégré. Le contrôle du mot numérique $cal < 1 : 4 >$ est donc externe, c'est l'utilisateur du circuit qui fixe directement le code de calibration.

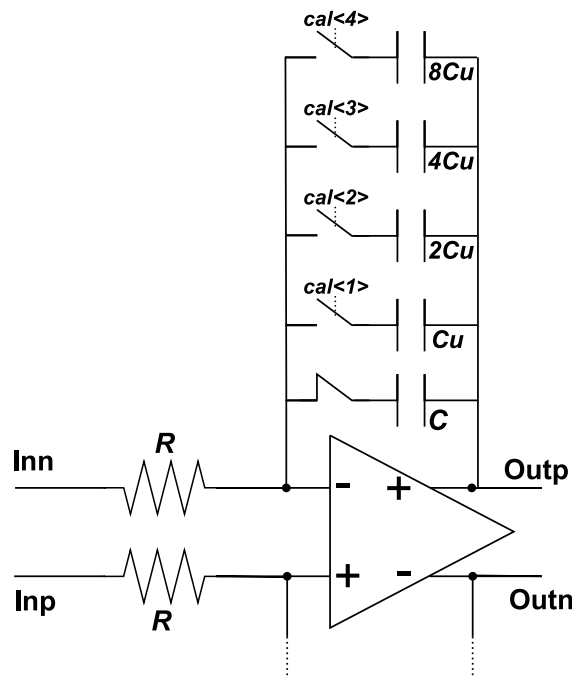


FIG. 4.6 – Système de calibration de la constante de temps RC

Dans cette section, l'implémentation du convertisseur $\Delta\Sigma_CT$ a été abordée au niveau

architectural. Le dimensionnement en bruit et la stratégie de calibration ont permis de figer les valeurs des résistances et capacités nécessaires. Dans les paragraphes ci-dessous, la conception des différents blocs analogiques et numériques va être présentée.

4.3.5.2 Intégrateurs à temps continu

L'élément central de chaque étage du filtre de boucle $H(s)$ est l'amplificateur opérationnel permettant de réaliser la fonction d'intégration à temps continu.

Les performances intrinsèques de ce bloc analogique impactent directement les performances globales du convertisseur. Pour bénéficier d'un gain élevé ($>50\text{dB}$) et d'un produit gain bande conséquent ($>1\text{GHz}$) une structure d'amplificateur à deux étages a été sélectionnée. Le premier étage cascodé apporte un gain élevé à basse fréquence et le second étage très épuré permet de fonctionner avec une forte dynamique de sortie. Un rebouclage capacitif entre l'entrée de l'amplificateur et le N-MOS du second étage est également implémenté. Ce chemin secondaire permet de conserver du gain à fréquence élevée et donc de traiter convenablement le signal renvoyé par le CNA en courant. Cette boucle est naturellement stable car elle ne possède qu'un seul étage d'amplification, donc un gain faible et un unique pôle.

Cet amplificateur à deux étages est complété par un système de compensation du mode commun de sortie. Ce circuit agit sur la polarisation de la charge active du premier étage V_{mc1} pour imposer le mode commun de sortie à la valeur désirée MC . Ce système de compensation présente un très fort gain ($>80\text{dB}$). Sa stabilité quant à elle est assurée grâce au rebouclage capacitif contrôlé par la tension V_{mc2} .

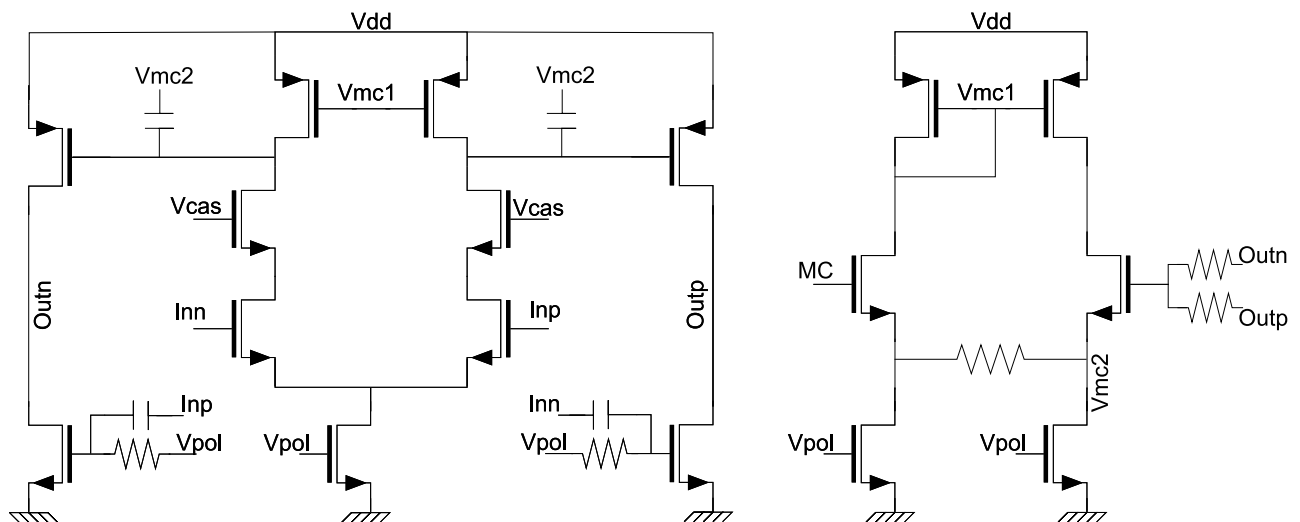


FIG. 4.7 – Architecture amplificateur du filtre de boucle

Cette structure d'amplificateur est utilisée pour les quatre étages du filtre de boucle. Deux amplificateurs, possédant des tailles de transistors différentes, ont néanmoins été conçus afin d'optimiser la consommation du circuit.

Un premier amplificateur a été taillé pour les deux premiers étages du filtre de boucle qui présentent tous les deux une forte capacité d'intégration et nécessitent des performances élevées. L'amplificateur des étages 3 et 4 est une version "allégée" de l'amplificateur précédent. Tous les transistors ont été divisés par 2 d'où une consommation elle aussi réduite d'un facteur 2.

4.3.5.3 Convertisseurs numérique analogique

L'architecture du convertisseur $\Delta\Sigma_CT$ choisie s'appuie sur un CAN interne de 2,25 bits. Les quatre CNAs de retour, nécessaires à l'implémentation du filtre de boucle de type feed-back, doivent donc traiter cinq codes numériques correspondant à cinq valeurs analogiques pour les courants de sortie des CNAs.

Comme expliqué au paragraphe 3.2, la précision minimale acceptable des CNAs de retour n'est pas directement liée au nombre de codes numériques qu'ils doivent convertir. En effet, c'est la résolution effective souhaitée pour le modulateur delta sigma qui fixe les contraintes sur les convertisseurs numérique analogique des boucles de retour.

Concernant le CAN $\Delta\Sigma_CT$, présenté dans ce document, le SNRi visé est de 74 dB. Cette spécification implique automatiquement une précision supérieure à 12 bits des courants renvoyés par le CNA du premier étage du filtre de boucle. Pour obtenir ce niveau de performances, la structure présentée sur la figure 4.8 a été choisie.

Le convertisseur numérique analogique est composé de 4 sources de courant constant de valeur I (2 sources N-MOS et 2 sources P-MOS) connectées ou non aux sorties outn et outp en fonction du code numérique d'entrée $[A B C D E F]$ (cf. tableau 4.3). Pour fournir un courant stable au cours du temps, les sources de courant ne sont jamais éteintes. Lorsqu'une ou plusieurs sources de courant ne sont pas utilisées, le ou les courants débités sont envoyés dans une voie de délestage. Cette stratégie d'implémentation permet de réduire la puissance du bruit généré par les CNAs de retour (cf. paragraphe 4.3.5.1) et d'obtenir une conversion numérique analogique précise.

| Courants Outp/Outn | A | B | C | D | E | F |
|--------------------|---|---|---|---|---|---|
| +2I / -2I | 1 | 0 | 0 | 1 | 0 | 0 |
| +I / -I | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 / 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| -I / +I | 0 | 1 | 0 | 0 | 0 | 1 |
| -2I / +2I | 0 | 1 | 0 | 0 | 1 | 0 |

TAB. 4.3 – Courants de sortie du CNA en fonction du code numérique d'entrée

Pour améliorer l'impédance de sortie, les sources de courant sont cascodées. La position particulière des transistors cascodes, entre les switches et les sorties du CNA, permet d'isoler

le filtre de boucle des commandes numériques et donc de limiter l'impact des injections lors des ouvertures et fermetures des switches.

L'implémentation de sources de courant de taille conséquente et l'amélioration apportée par les cascades permet d'obtenir des performances du convertisseur $\Delta\Sigma_CT$ compatibles avec les spécifications visées (cf. paragraphe 4.3.6).

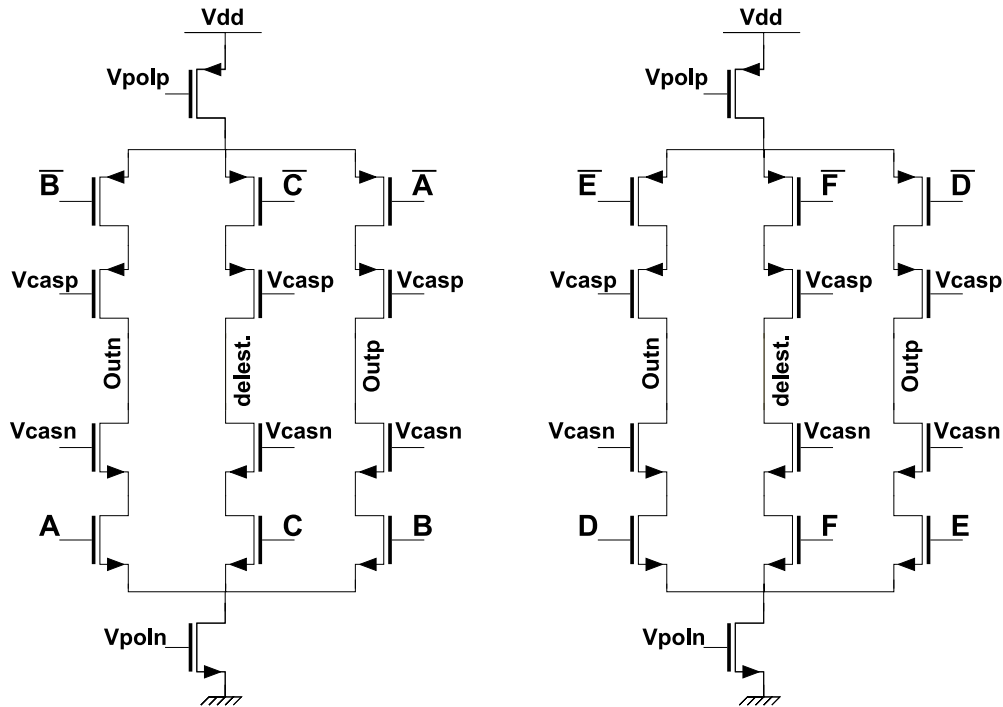


FIG. 4.8 – Architecture des CNAs de retour

Appariement entre les sources de courant

Le problème majeur lors de la conception des CNAs de retour multibits réside dans l'appariement des sources de courant. Lors de la fabrication du circuit, de légères disparités entre les sources de courant sont inévitablement introduites. Ces dernières entraînent une augmentation de la distortion générée par le circuit et peuvent rapidement pénaliser les performances globales du convertisseur.

L'appariement des sources de courant est directement lié à la surface des transistors ; pour améliorer le niveau de distortion il suffit donc d'accroître la taille des MOS. Malheureusement, cette augmentation de surface se répercute automatiquement sur les valeurs des capacités de la source de courant et donc contraint plus sévèrement l'amplificateur du filtre de boucle. Cette stratégie d'amélioration de l'appariement des sources se fait donc au détriment des performances du circuit.

Pour diminuer la distortion introduite par les disparités entre les MOS du CNA, une seconde méthode consiste à brasser au cours du temps les différentes sources de courant. En utilisant alternativement les différentes sources, les erreurs sont décorréélées du signal

converti et la distortion est donc réduite. Au niveau spectral, cette méthode revient à étaler la puissance de bruit introduite par les erreurs d'appariement ; le niveau du plancher de bruit est donc légèrement augmenté lorsqu'un brasseur est utilisé.

Concernant le CAN $\Delta\Sigma_CT$, présenté dans ce document, les deux méthodes de compensation de l'appariement des sources de courant ont été conjointement utilisées. Tout d'abord, un algorithme numérique de brassage des sources de courant adapté à l'architecture des CNAs utilisés a été implémenté. La taille des sources de courant a quant à elle été choisie de façon à obtenir un niveau de performance en adéquation avec les spécifications visées.

Le choix de l'algorithme de brassage est basé sur une analyse détaillée de l'influence des disparités sur le courant différentiel renvoyé dans le filtre de boucle par le CNA. L'architecture du CNA implémenté possède deux sources N-MOS et deux sources P-MOS (cf. figure 4.8). Chacune de ces sources doit théoriquement fournir ou absorber un courant de valeur I . Dans le circuit réel, les courants valent $I_{p1} = I + \delta i_{p1}$ et $I_{p2} = I + \delta i_{p2}$ respectivement pour les deux sources P-MOS et $I_{n1} = -I + \delta i_{n1}$ et $I_{n2} = -I + \delta i_{n2}$ pour les deux sources N-MOS. Dans le tableau 4.4, l'influence des erreurs δi sur le courant différentiel renvoyé par le CNA est exprimé en fonction du code numérique d'entrée $[A B C D E F]$. Les sources I_{n1} et I_{p1} sont commandées par les signaux A , B et C alors que les sources I_{n2} et I_{p2} sont pilotées par D , E et F .

| A | B | C | D | E | F | (Ioutp - Ioutn) idéal | (Ioutp - Ioutn) réel |
|---|---|---|---|---|---|-----------------------|---|
| 1 | 0 | 0 | 1 | 0 | 0 | $4I$ | $4I + \delta i_{p1} + \delta i_{p2} - \delta i_{n1} - \delta i_{n2}$ |
| 1 | 0 | 0 | 0 | 0 | 1 | $2I$ | $2I + \delta i_{p1} - \delta i_{n1}$ |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 | $-2I$ | $-2I - \delta i_{p1} + \delta i_{n1}$ |
| 0 | 1 | 0 | 0 | 1 | 0 | $-4I$ | $-4I - \delta i_{p1} - \delta i_{p2} + \delta i_{n1} + \delta i_{n2}$ |

TAB. 4.4 – Courant différentiel renvoyé par le CNA

La valeur absolue du courant renvoyé avec chacun des deux codes extrêmes est identique $|I_{max}| = 4I + \delta i_{p1} + \delta i_{p2} - \delta i_{n1} - \delta i_{n2}$. De plus, le code milieu permet de renvoyer un courant nul qui correspond parfaitement à la moyenne des courants maximums I_{max} et $-I_{max}$. Les problèmes d'appariement des sources de courant introduisent donc des erreurs sur le courant différentiel uniquement lorsque l'un des deux niveaux intermédiaires est utilisé. Pour renvoyer un courant équivalent à la moitié du courant maximum, seule la paire de sources de courant I_{n1}/I_{p1} est utilisée. Cela introduit des non linéarités sur le courant de sortie du CNA (cf. équations 4.3 et 4.4).

$$2I + \delta i_{p1} - \delta i_{n1} \neq \frac{4I + \delta i_{p1} + \delta i_{p2} - \delta i_{n1} - \delta i_{n2}}{2} \quad (4.3)$$

$$-2I - \delta i_{p1} + \delta i_{n1} \neq \frac{-4I - \delta i_{p1} - \delta i_{p2} + \delta i_{n1} + \delta i_{n2}}{2} \quad (4.4)$$

Une solution simple pour atténuer fortement ce phénomène de distortion consiste à utiliser alternativement les couples de sources de courant I_{n1}/I_{p1} et I_{n2}/I_{p2} pour fournir ou absorber les niveaux de courant intermédiaires. On réalise alors un moyennage des non linéarités des CNA en courant d'où une diminution du niveau de distortion. Cette stratégie de compensation des disparités entre les différentes sources de courant est bien adaptée à l'architecture du CNA. Ainsi avec uniquement deux brasseurs cycliques, un pour le niveau intermédiaire positif et un pour le niveau intermédiaire négatif, on obtient une amélioration très significative des performances du CAN $\Delta\Sigma_CT$.

Cette stratégie de compensation des non linéarités du CNA a été implémentée dans le circuit détaillé dans ce chapitre. De plus, en se basant sur le DesignKit de la technologie CMOS065, l'appariement des sources de courant en fonction de la taille des transistors MOS peut aisément être calculée. A partir du schéma électrique du CNA, on peut donc estimer l'impact des disparités entre les sources de courant avec ou sans l'algorithme de brassage.

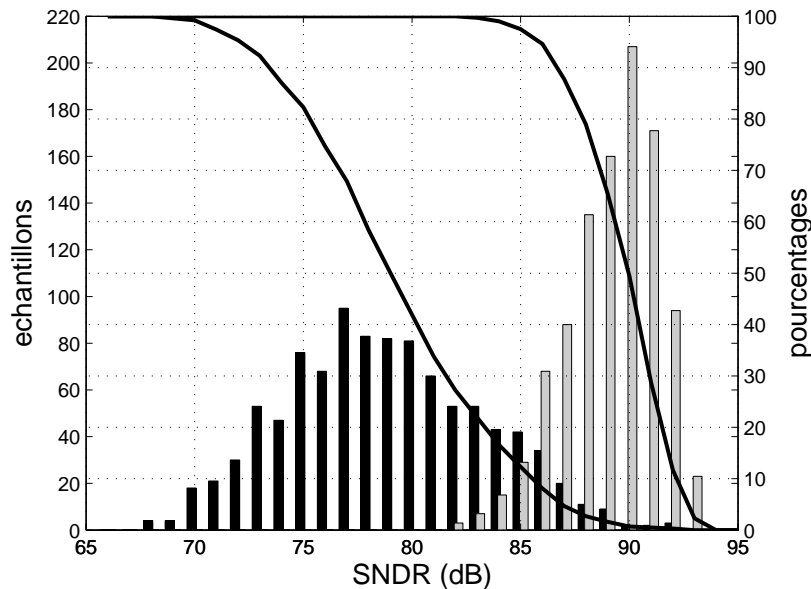


FIG. 4.9 – Amélioration du SNDR du CAN $\Delta\Sigma_CT$ grâce à l'utilisation de l'algorithme de brassage. En noir le SNDR sans brasseur et en gris le SNDR du CAN avec brasseur.

Sur la figure 4.9, l'amélioration apportée par l'utilisation des deux brasseurs cycliques est représentée. Les histogrammes, issus d'une étude statistique de l'appariement des transistors constituant les sources de courant, permettent d'estimer le SNDR du circuit. La valeur

renvoyés dans la boucle de conversion par l'intermédiaire des CNAs de retour.

Pour limiter les variations des potentiels V_{poln} et V_{polp} , de forts courants de polarisation sont utilisés. En augmentant le Gm des transistors, le bruit en tension généré est réduit d'où une perturbation plus faible de V_{poln} et V_{polp} . La contre-partie de cette technique vient du fait que la consommation du circuit est elle aussi augmentée. La polarisation des sources de courant consomme à elle seule $1,9\text{ mW}$.

L'autre méthode utilisée pour réduire le bruit du circuit de polarisation consiste à filtrer les tensions V_{poln} et V_{polp} . Un filtrage RC des deux tensions de polarisation a donc été implémenté (cf. figure 4.10). Pour optimiser la surface du filtre des résistances de forte valeur sont utilisées. Avec une résistance $R_f = 1\text{ M}\Omega$ et une capacité de filtrage C_f de 20 pF seulement, on obtient une fréquence de coupure d'environ 8 kHz .

Pour illustrer l'influence du circuit de polarisation et l'intérêt du filtrage des tensions V_{poln} et V_{polp} , le bruit généré par le CNA du premier étage du filtre de boucle est détaillé dans le tableau 4.5.

Dans la partie "Calcul du bruit des composants" du paragraphe 4.3.5.1, l'impact du circuit de polarisation est inclus dans les puissances de bruit de chacun des CNAs de retour.

| | |
|--|--------------------|
| Polarisation idéale | 48, $5\mu\text{V}$ |
| Circuit de polarisation réel sans filtrage | 66, $4\mu\text{V}$ |
| Circuit de polarisation réel avec filtrage | 53, $3\mu\text{V}$ |

TAB. 4.5 – Impact du circuit de polarisation sur le bruit du CNA du premier étage du filtre de boucle

4.3.5.4 CAN interne et compensation du délai de boucle

L'architecture choisie pour implémenter le modulateur delta sigma d'ordre 4 possède un délai de boucle correspondant à une période d'horloge complète. Pour compenser l'impact de ce long délai de boucle sur la fonction de mise en forme de bruit, un rebouclage en entrée du CAN interne a été ajouté (cf. figures 4.2 et 4.5). Un signal analogique, proportionnel au signal numérique de sortie, est donc soustrait à la sortie du filtre de boucle avant la conversion analogique numérique interne.

Le CAN interne de 2,25 bits est implémenté à l'aide d'un CAN de type flash. La quantification du signal à convertir est donc tout simplement réalisée en le comparant par rapport à quatre niveaux de référence, répartis de façon homogène sur la dynamique d'entrée admissible du convertisseur interne.

L'utilisation d'un CAN de type flash permet de regrouper la soustraction en sortie du filtre de boucle et le CAN interne. En effet, le rebouclage en entrée du CAN interne peut se faire soit en soustrayant la donnée au signal de sortie du filtre de boucle soit en additionnant

cette même donnée aux références de comparaison du CAN interne. C'est cette dernière solution qui a été utilisée pour le circuit présenté dans ce chapitre.

Les niveaux de référence, fournis aux comparateurs du CAN flash interne, sont générés à l'aide de deux barreaux résistifs. Le signal à convertir étant différentiel, les références de comparaison doivent également être différentielles. Un barreau résistif est donc utilisé pour les tensions de référence de la voie N et le second barreau fournit les références pour la voie P. La soustraction du signal de retour du $\Delta\Sigma_CT$ est réalisée en décalant conjointement les points d'entrée des alimentations Vdd et gnd sur le barreau résistif (cf. figure 4.11). A chaque période d'horloge, le bus $s < 1 : 5 >$ est modifié en fonction de la sortie du modulateur $\Delta\Sigma_CT$ précédente. Cette structure de barreau résistif permet de fournir des références de tension précises au CAN flash interne et d'implémenter facilement le rebouclage en entrée du CAN interne.

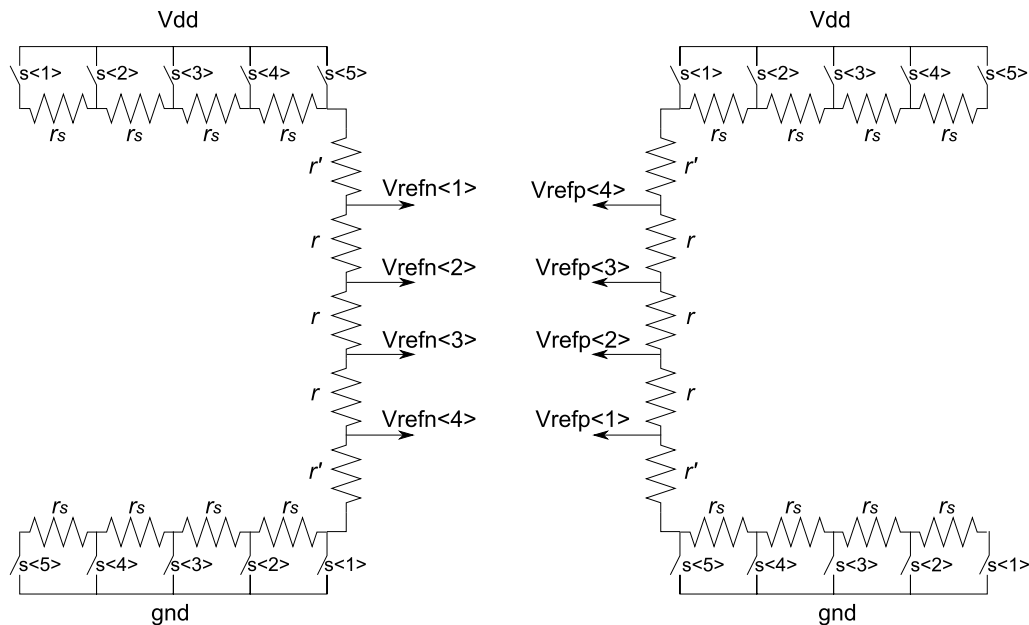


FIG. 4.11 – Barreaux résistifs générant les tensions de référence du CAN interne

| Sortie du $\Delta\Sigma_CT$ précédente | $s < 1 > \dots s < 5 >$ |
|---|-------------------------|
| 1 1 1 1 | 1 0 0 0 0 |
| 1 1 1 0 | 0 1 0 0 0 |
| 1 1 0 0 | 0 0 1 0 0 |
| 1 0 0 0 | 0 0 0 1 0 |
| 0 0 0 0 | 0 0 0 0 1 |

TAB. 4.6 – Valeur du bus de contrôle des barreaux résistifs en fonction de la sortie du modulateur $\Delta\Sigma_CT$

La gestion du rebouclage de compensation du délai de boucle ainsi que la génération des tensions de référence ont été détaillées ci-dessus. Pour convertir le signal de sortie du filtre de boucle, il ne reste plus qu'à comparer ce signal avec les niveaux de référence. Pour ce faire, quatre comparateurs différentiels utilisant l'architecture de la figure 4.12 sont implémentés.

Le comparateur sélectionné possède deux modes de fonctionnement distincts. Lorsque le signal *clock* est à l'état haut, le comparateur fonctionne en mode amplificateur. Les paires différentielles N-MOS (à gauche sur la figure 4.12) sont alimentées, elles réalisent alors la soustraction entre le signal de sortie du filtre de boucle [*Inp*, *Inn*] et les références [*refp*, *refn*]. Cette soustraction des tensions de référence s'accompagne d'une amplification des signaux de sortie [*Outp*, *Outn*].

Le second mode de fonctionnement, lorsque *clock* est à l'état bas, fait intervenir la partie droite du circuit qui n'est rien d'autre qu'un latch. Lorsque le signal *clock* passe de l'état haut à l'état bas, la partie gauche du comparateur est désactivée ce qui correspond à échantillonner le signal différentiel [*Inp*, *Inn*]. Dès que \overline{clock} oriente le courant dans le latch, la différence de potentiel entre *Outp* et *Outn* est amplifiée grâce à la paire différentielle croisée de type N-MOS. Les deux rebouclages entre les sorties et les entrées du latch entretiennent l'amplification des signaux *Outp* et *Outn*, les sorties dérivent donc exponentiellement.

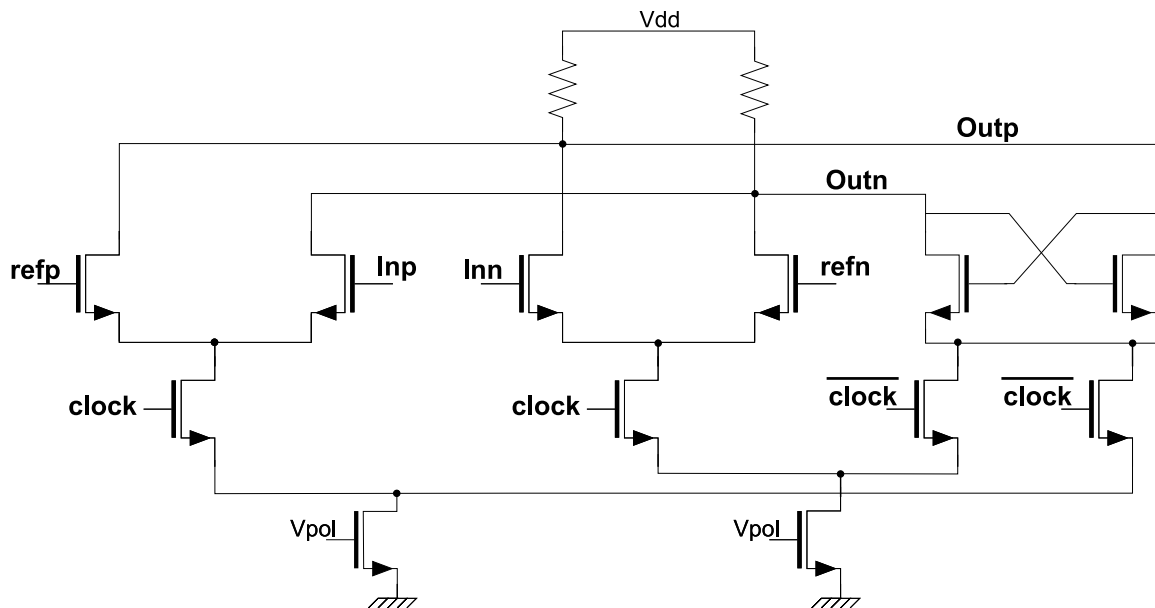


FIG. 4.12 – Architecture d'un comparateur du CAN interne

La structure de type CML (*Current Mode Logic*) du comparateur fournit en sortie des niveaux de tension allant de 0,4V pour l'état bas à 1,2V (=Vdd) pour l'état haut. La limitation de l'amplitude des signaux de sortie permet de travailler avec des fréquences d'horloge élevées et réduit les appels de courants sur l'alimentation.

La translation des niveaux logiques de 0,4V/1,2V à 0V/1,2V est réalisé avec un simple inverseur possédant une tension seuil de 0,8V. Cette conversion des niveaux logiques est

indispensable pour pouvoir piloter la partie numérique du CAN $\Delta\Sigma_CT$ située directement après le CAN interne.

4.3.5.5 Traitement numérique

La quantité de traitement numérique est relativement faible pour ce convertisseur $\Delta\Sigma_CT$. De plus, avec un délai de boucle égal à une période d'horloge complète, c'est-à-dire environ 2ns, le temps disponible pour le calcul numérique est relativement long. Une demi période d'horloge est allouée au CAN interne, les latches des comparateurs disposent donc d'une nano-seconde pour fournir des niveaux logiques. Les différentes conversions de format des données de sortie et l'algorithme de correction de l'appariement des CNAs de retour sont réalisés pendant la seconde demi-période d'horloge.

Conversions de format

Le signal numérique de sortie du CAN flash interne est au format thermométrique sur 4 bits. Les barreaux résistifs quant à eux sont pilotés par un code différent sur 5 bits. la table de vérité reliant ces deux codages est fourni dans le tableau 4.6. De la même façon, le format des données nécessaires pour commander les CNAs de retour (avant algorithme de brassage) est différent du code thermométrique de sortie. Une seconde conversion du format des données est donc nécessaire.

Algorithme de correction des CNAs

Le principe de l'algorithme de correction des disparités des sources de courants des CNAs est détaillé dans le paragraphe 4.3.5.3. L'implémentation de ce système est basée sur deux compteurs 1 bit et un aiguilleur de données.

La sortie du premier compteur change chaque fois que la sortie du CAN interne vaut [1 1 1 0]. Le second compteur quant à lui n'est modifié que lorsque le CAN interne est égale à [1 0 0 0]. Pour les sorties [1 1 1 1], [1 1 0 0] et [0 0 0 0] soit toutes les sources de courant sont utilisées soit aucune ; dans ces cas de figure aucun des deux compteurs n'est activé. L'aiguilleur de données quant à lui sélectionne les sources de courant à utiliser en fonction du code de sortie du CAN interne et du compteur 1 bit associé.

4.3.5.6 Assemblage et layout

Le layout du CAN $\Delta\Sigma_CT$ est une étape importante qu'il ne faut surtout pas négliger si l'on souhaite obtenir des performances élevées. L'utilisation d'éléments unitaires communs pour l'ensemble des résistances, des capacités et des sources de courant permet de réaliser un bon appariement entre les différents éléments du CAN $\Delta\Sigma_CT$ et donc de maîtriser les coefficients du filtre de boucle.

Le soucis constant de limiter les capacités parasites lors du layout des blocs analogiques permet de conserver un niveau de performance convenable pour les amplificateurs et les

CNAs de retour et donc un SNDR élevé pour le CAN $\Delta\Sigma_CT$ (cf. paragraphe 4.3.6).

Un des points clés du dessin des masques de ce convertisseur est le temps de propagation des données numériques entre le CAN interne et les différents CNAs du filtre de boucle. Comme on peut le voir sur la figure 4.13, le bus de données reliant la partie numérique (en haut de la figure) aux quatre CNAs de retour est relativement long (environ $300\mu\text{m}$). La capacité de chacun des fils du bus est élevée, il faut donc implémenter des buffers suffisamment puissants pour piloter ce bus.

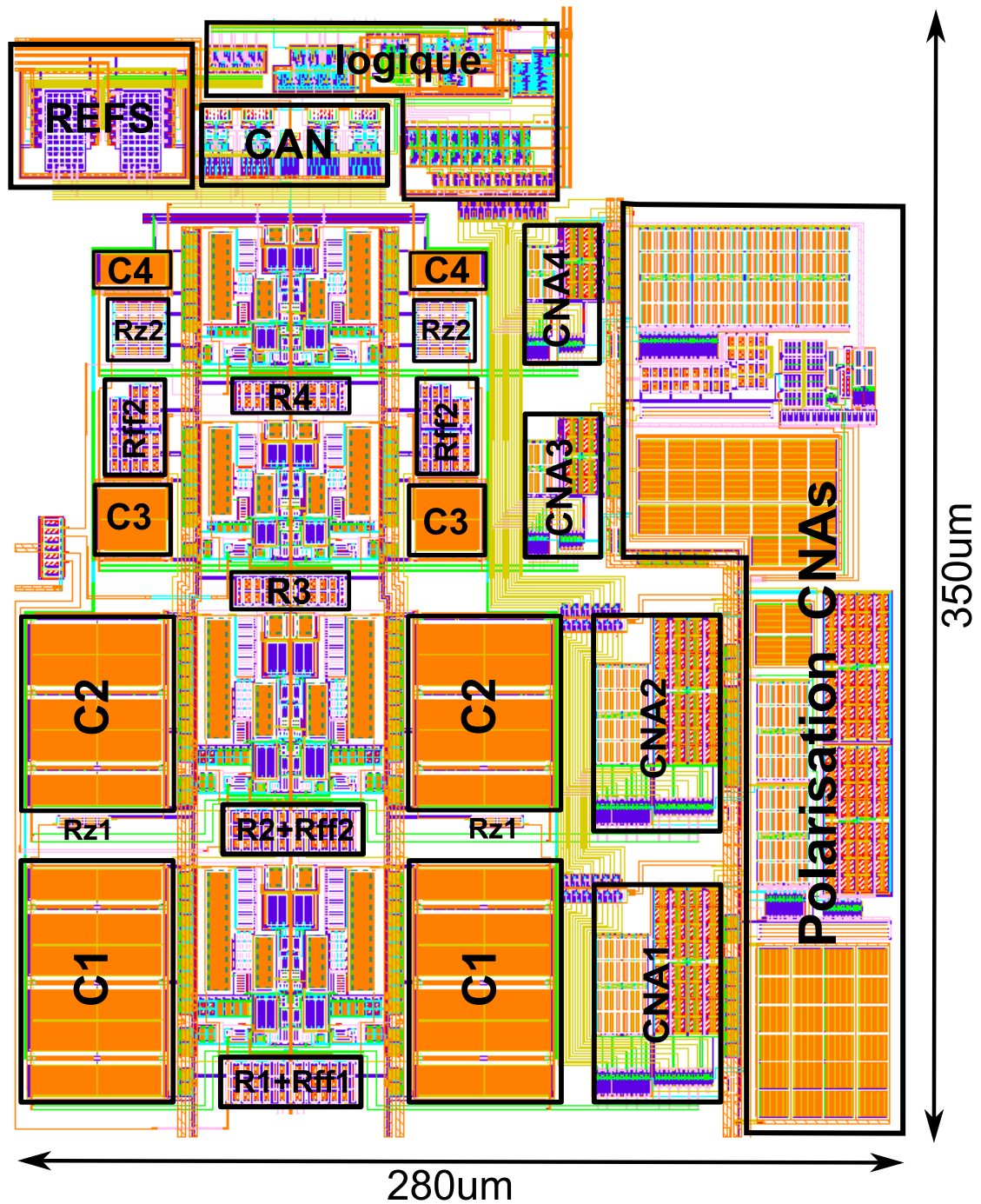


FIG. 4.13 – Dessin des masques du convertisseur $\Delta\Sigma_CT$

Enfin, l'isolation entre la partie analogique, très sensible aux perturbations, et la partie numérique du circuit est réalisée en utilisant deux jeux d'alimentations distincts et en confinant la partie numérique dans des double-caissons. Cette technique permet d'isoler le substrat analogique du substrat numérique et donc de limiter les perturbations entre les deux parties du circuit.

Sur la figure 4.14, une vue d'ensemble du circuit réalisé est représentée. Pour éviter toute perturbation entre les différentes entrées/sorties de la couronne de plots, cette dernière est découpée en quatre. Ainsi les entrées analogiques, le signal d'horloge, l'alimentation de la partie numérique et les sorties numériques sont isolés les uns des autres.

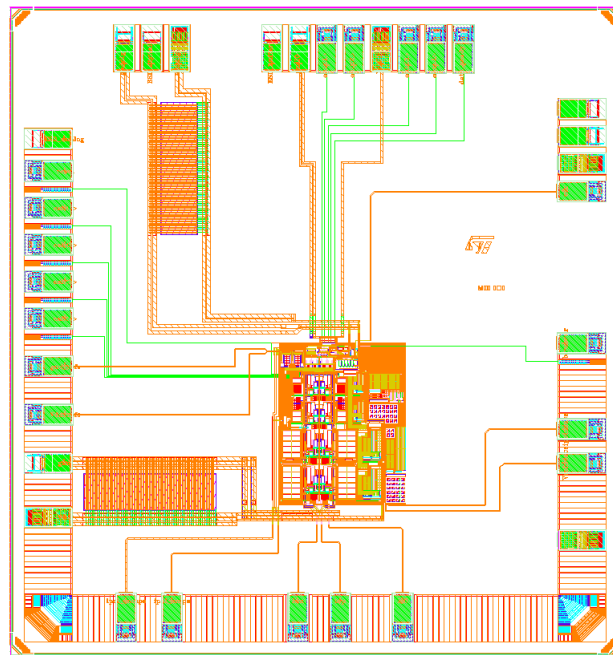


FIG. 4.14 – Vue d'ensemble du circuit

4.3.6 Bilan des performances avant fabrication

Dans les paragraphes 4.3.2 à 4.3.5, les différentes étapes de conception du CAN $\Delta\Sigma_CT$ ont été détaillées. Au fur et à mesure que le circuit évolue, du modèle mathématique idéal jusqu'au dessin des masques, les performances du convertisseur se dégradent inévitablement. Ci-dessous, l'évolution du niveau de bruit et de la distortion du circuit, au cours de la conception du circuit, est représentée à l'aide de la transformée de Fourier de la sortie du modulateur $\Delta\Sigma_CT$.

La figure 4.15 montre les performances de départ du CAN $\Delta\Sigma_CT$, issues de la simulation de l'architecture idéale du modulateur (cf. figure 4.2). Avec ce modèle mathématique idéal de la boucle de conversion, il n'y a évidemment pas de distortion et la puissance du bruit de quantification fournit un SNR de 92dB sur la bande 0-10MHz.

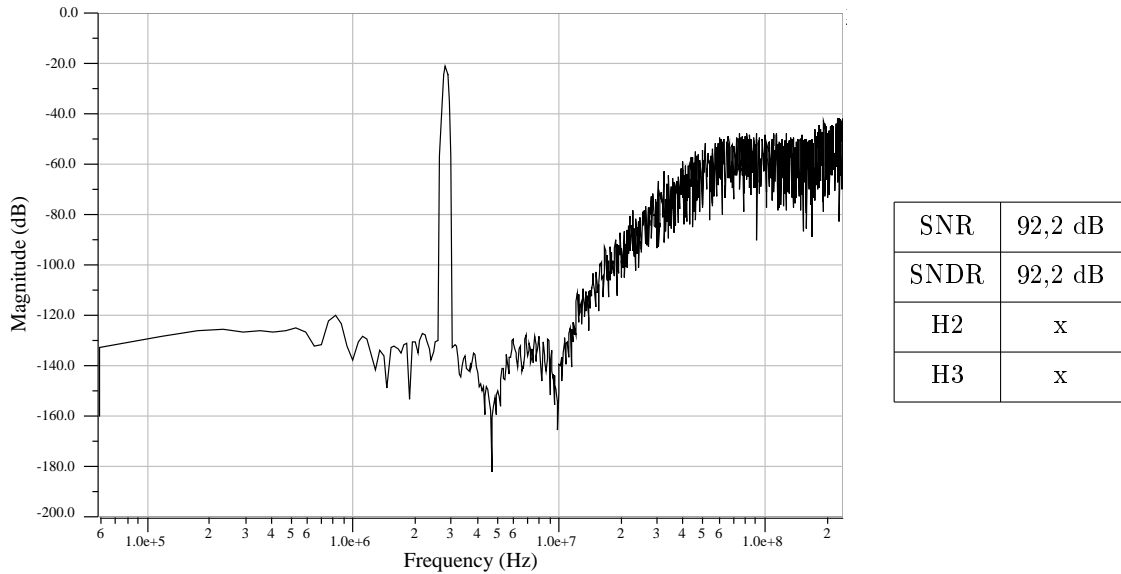


FIG. 4.15 – CAN $\Delta\Sigma_CT$, simulation avec l'architecture idéale
FFT sur 8192 points de la sortie du convertisseur, $V_{in}=-4,4\text{dBFS}$, $F_{in}=2,8\text{MHz}$

Après avoir converti l'architecture du modulateur $\Delta\Sigma$ sous la forme de schémas électriques, le SNR et le SNDR du circuit se retrouvent diminués. Sur la figure 4.16, une transformée de fourrier de la sortie du modulateur est représentée. La distortion introduite par l'utilisation d'amplificateurs et de CNAs réels est clairement visible.

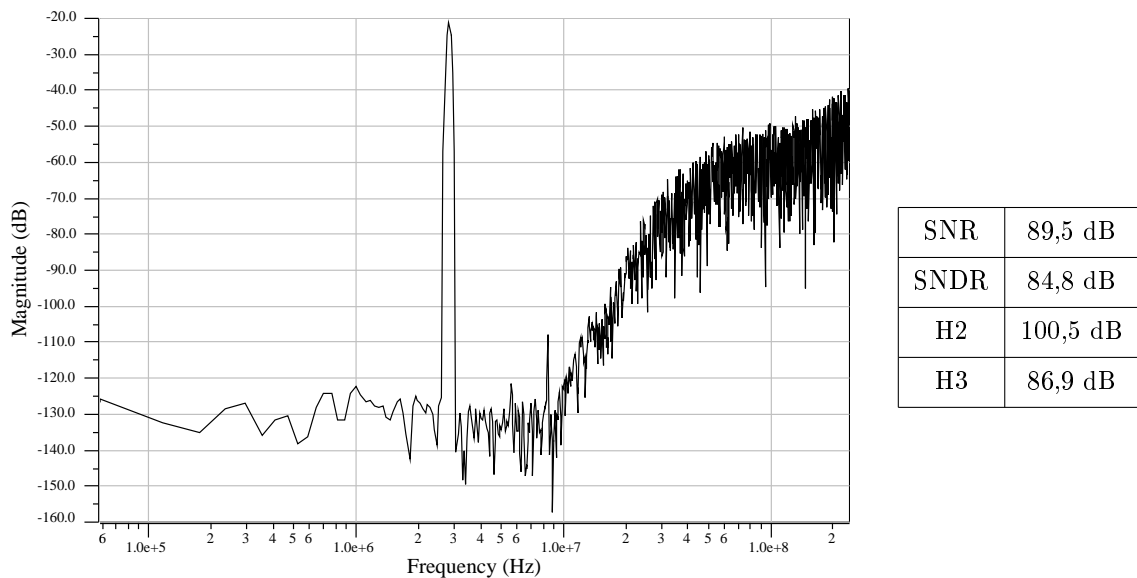


FIG. 4.16 – CAN $\Delta\Sigma_CT$, simulation au niveau électrique
FFT sur 8192 points de la sortie du convertisseur, $V_{in}=-4,4\text{dBFS}$, $F_{in}=2,8\text{MHz}$

Une fois le dessin des masques du convertisseur intégralement réalisé, un schéma équivalent du CAN $\Delta\Sigma_CT$ peut être extrait. Le modèle du convertisseur issu de l'extraction post-layout prend en compte l'intégralité des capacités parasites. La simulation du modu-

lateur $\Delta\Sigma_CT$ après extraction permet donc d'estimer l'impact de la réalisation physique du circuit sur les performances du convertisseur. La figure 4.17 montre la dégradation des performances du CAN. Le SNR est nettement affecté par la prise en compte des parasites et il en est de même concernant la distortion. La simulation post-layout fournit un SNR de 83,6dB et un SNDR de 79,2dB.

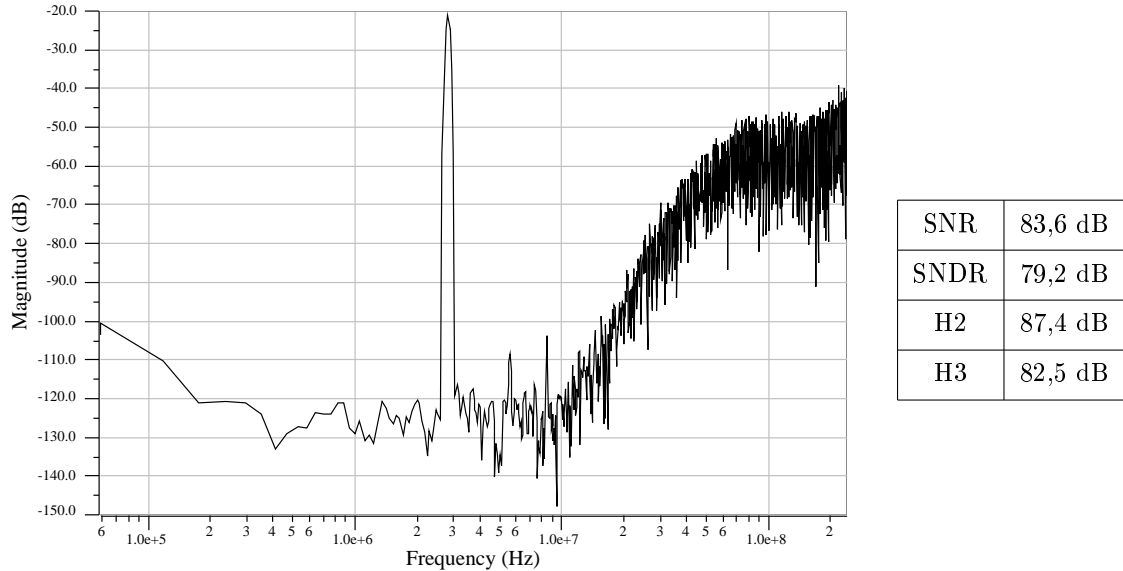


FIG. 4.17 – CAN $\Delta\Sigma_CT$, simulation post-layout
FFT sur 8192 points de la sortie du convertisseur, $V_{in}=-4,4\text{dBFS}$, $F_{in}=2,8\text{MHz}$

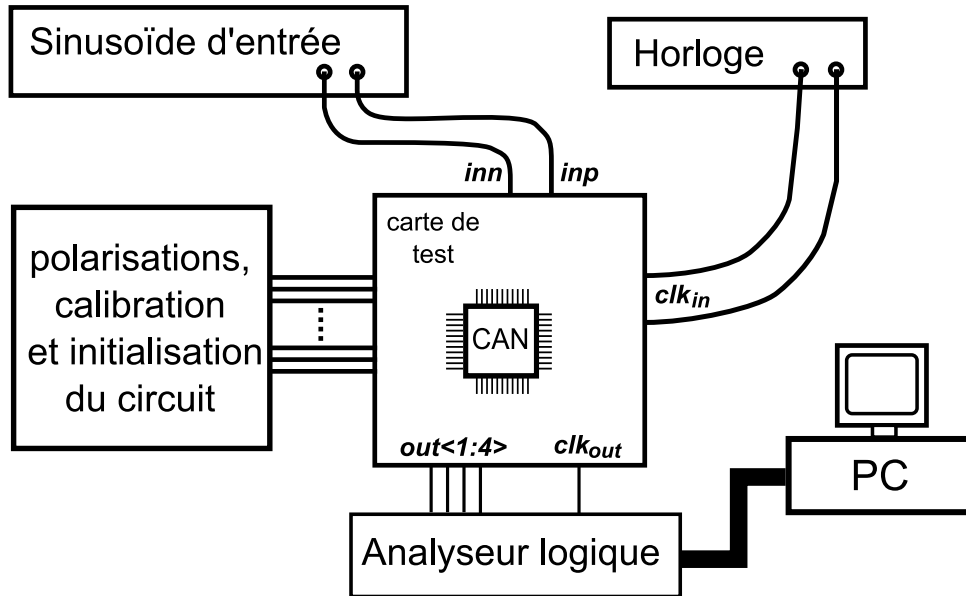
4.3.7 Performances du circuit réel

Le convertisseur delta sigma à temps continu présenté ci-dessus a été fabriqué en technologie CMOS065 et les performances réelles du circuit ont été mesurées. Afin de pouvoir analyser correctement les résultats issus du test des circuits, une description du banc de test et une caractérisation des appareils utilisés est indispensable.

4.3.7.1 Description du banc de test

La caractérisation des performances d'un CAN $\Delta\Sigma_CT$ est réalisée à l'aide d'une entrée sinusoïdale. Les différents critères de performances du convertisseur (SNR, SNDR, DR...) sont calculés directement à partir de la transformée de Fourier du signal numérique de sortie. Le banc de test à mettre en place est donc particulièrement simple (cf. figure 4.18).

L'unique paramètre pouvant perturber la fonctionnalité du circuit est la calibration de la constante de temps du circuit. Cette calibration est réalisée sur 4 bits seulement ; l'obtention du code optimum est donc très rapide. Mettre en route le circuit et valider sa fonctionnalité sont donc deux étapes triviales qui ne nécessitent que quelques minutes. Caractériser et chiffrer les performances du convertisseur présentent une difficulté bien supérieure.

FIG. 4.18 – Banc de test du CAN $\Delta\Sigma_CT$

Pour mesurer proprement les performances réelles du circuit, deux problèmes majeurs existent. La première difficulté réside dans la génération et la transmission de stimuli de test en adéquation avec le niveau de performance que l'on souhaite mesurer. Le second problème se situe quant à lui au niveau de l'acquisition des données de sortie.

Dans le cas d'un CAN $\Delta\Sigma_CT$, les deux stimuli qu'il faut appliquer avec soin sont le signal d'entrée et le signal d'horloge. Le signal d'entrée différentiel mesuré au niveau des entrées du boîtier contenant le convertisseur présente un SNDR supérieur à 90dB. La puissance de bruit introduite par ce signal dans le CAN $\Delta\Sigma_CT$ est donc très faible par rapport au bruit généré par le convertisseur.

Le signal d'horloge clk_{in} pilotant le CAN $\Delta\Sigma_CT$ possède un plancher de bruit de phase mesuré à $-144dBc/Hz$ pour une fréquence d'horloge de 480MHz. Cette même horloge est également disponible en sortie du CAN $\Delta\Sigma_CT$ via le signal clk_{out} . Malheureusement, les couplages entre les différentes sorties du boîtier contenant le convertisseur ne permettent pas une mesure précise du bruit de phase sur le signal clk_{out} lorsque le CAN est en fonctionnement. Une estimation du jitter sur la sortie clk_{out} est néanmoins possible en désactivant le convertisseur. Le plancher de bruit de phase mesuré est alors égal à $-140dBc/Hz$. Cette mesure permet de conclure que le niveau de bruit de phase sur le signal d'horloge est au mieux égal à $-140dBc/Hz$ lorsque le convertisseur analogique numérique est en fonctionnement. Cette valeur correspond à un SNRi de 76dB.

La seconde difficulté lors de la mesure des performances du CAN $\Delta\Sigma_CT$ est liée à l'acquisition des sorties numériques. Pour transmettre les signaux de sorties du CAN $\Delta\Sigma_CT$ jusqu'à l'analyseur logique, il faut intégrer sur la puce des buffers de sortie. Ces derniers

doivent être suffisamment puissants pour piloter l'énorme charge capacitive que représente les plots de sortie et les bondings du boîtier. Ces buffers de sorties disposent d'une alimentation dédiée. Ils génèrent cependant du bruit; bruit qui vient perturber le circuit de conversion ainsi que l'acquisition des données de sortie. Ce phénomène de perturbation du convertisseur via les buffers de sortie est très facile à mettre en évidence lors du test de ce type de circuit. Par contre, il est impossible de mesurer ou même d'estimer la puissance de bruit généré par ces buffers de sortie.

Les perturbations introduites par le banc de test, principalement via l'horloge et l'acquisition des données numériques de sortie, affectent fortement les mesures de performance du circuit. Les dégradations liées au jitter d'horloge peuvent être quantifiées et donc prises en compte lors de l'analyse des résultats de mesures.

Si l'on considère l'intégralité des puissances de bruits identifiées jusqu'à présent, une estimation du SNDR mesurable est possible. Avec une amplitude d'entrée de $1,2V_{ppdiff}$ (-4,4dBFS), les contributions en bruit sont les suivantes :

- Résolution du signal d'entrée, SNDR=90dB
- Simulation post-layout du CAN $\Delta\Sigma_CT$, SNDR=80dB
- Bruit introduit par le jitter d'horloge, SNR=76dB
- Bruit des composants, SNR=75dB

Si l'on somme ces quatre contributeurs en bruit on obtient un SNDR de 71,7dB, c'est-à-dire 11,6 bits de résolution. Cette évaluation du SNDR du convertisseur est le niveau de référence par rapport auquel les mesures doivent être comparées. Dans la mesure où certaines sources de dégradation des performances ne sont pas incluses dans ce calcul (buffers de sorties, disparités des sources de courants des CNAs, appariement des coefficients du filtre de boucle), cette valeur de référence de SNDR est un maximum.

4.3.7.2 Résultats de mesures du circuit

Les valeurs de SNR, SNDR, DR sont toutes extraites à partir de transformées de fourier du signal numérique de sortie du CAN $\Delta\Sigma_CT$. Sur la figure 4.20, le SNR et le SNDR du convertisseur sont tracés en fonction de la puissance de la sinusoïde d'entrée. La fréquence du signal d'entrée lors de ces mesures est de 3,3MHz.

Les niveaux de performances du convertisseur, spécifiés dans le cahier des charges (cf. paragraphe 4.3.1), sont fournis en considérant une entrée sinusoïdale d'amplitude $1,2V_{ppdiff}$. Cette valeur d'amplitude d'entrée correspond à -4,4dBFS dans le cas du CAN $\Delta\Sigma_CT$ présenté dans ce chapitre. Sur la figure 4.19, une transformée de fourier de la sortie du modulateur issue des résultats du test du circuit est représentée. La fréquence du signal d'entrée est de 3,3MHz et l'amplitude vaut $1,2V_{ppdiff}$. Le SNR mesuré est de 69,5dB et les deuxième et troisième harmoniques sont respectivement à -84dB et -78,5dB. Le SNDR est donc égal à 68,7dB c'est-à-dire une résolution de 11.1bits.

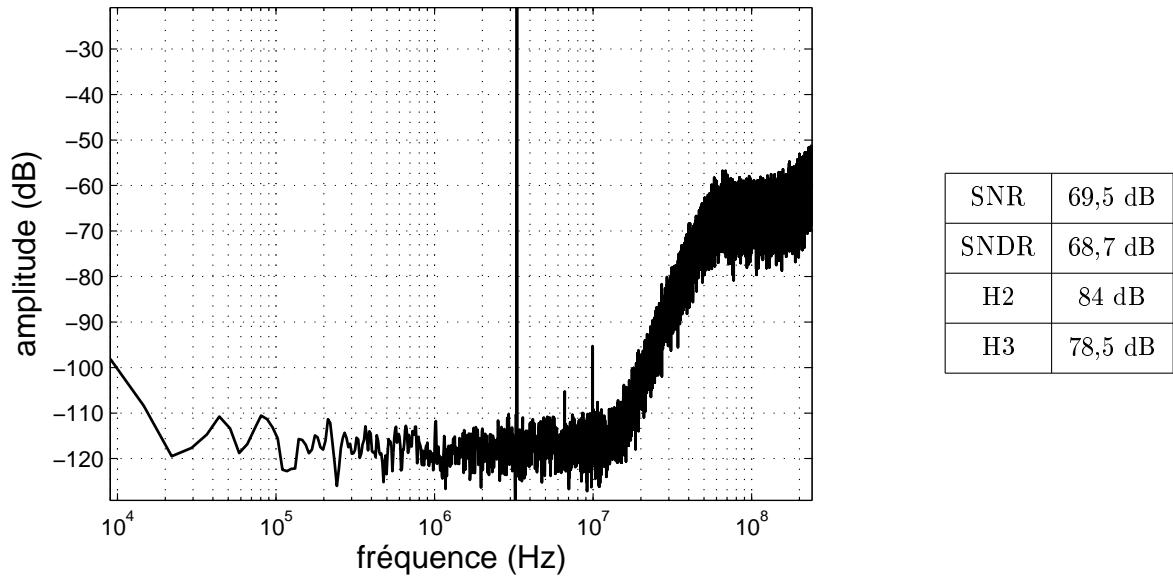


FIG. 4.19 – CAN $\Delta\Sigma_CT$, mesures
FFT sur 65536 points de la sortie du convertisseur, $V_{in}=-4,4\text{dBFS}$, $F_{in}=3,3\text{MHz}$

Les différents paramètres d'évaluation des performances du convertisseur réel sont regroupés dans le tableau 4.7. Le circuit est implémenté avec une technologie CMOS standard 65nm. La surface occupée n'est que de $0,1\text{mm}^2$, polarisations et filtrage des références inclus. Avec une consommation globale de $14,4\text{mW}$, on obtient un facteur de mérite égal à $0,304\text{pJ}/\text{conv}$ pour une résolution effective de 11,2 bits sur 10MHz.

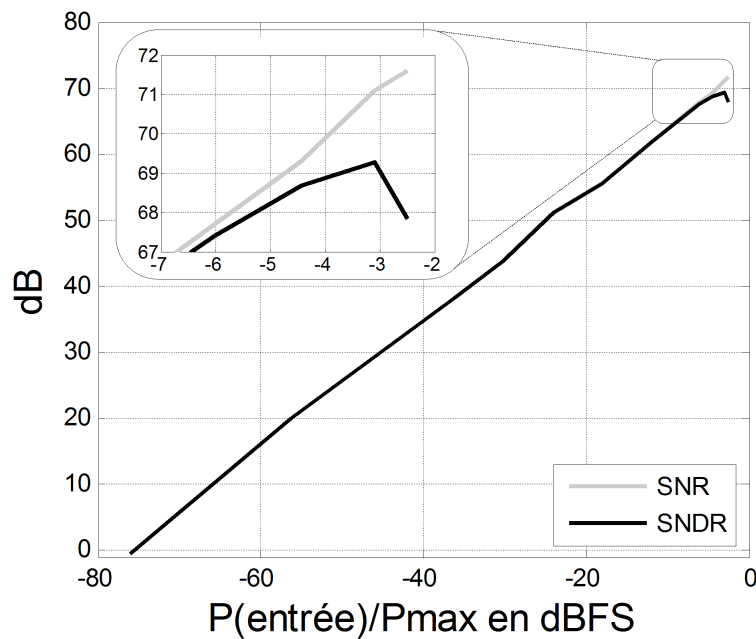


FIG. 4.20 – SNR et SNDR mesurés en fonction de la puissance du signal d'entrée

| | |
|------------------|--------------------------------|
| Technologie | CMOS065 (1,2 V) |
| Surface | 0,1 mm^2 |
| Bande passante | 10 MHz |
| DR | 73,5 dB |
| SNR max -2,5dBFS | 71,6 dB |
| SNDR max -3dBFS | 69,3 dB |
| ENOB | 11,2 $bits$ |
| Consommation | 12,5 mW ($\Delta\Sigma_CT$) |
| | 1,9 mW (polarisation des CNAs) |
| FoM | 0,304 $pJ/conv$ |

TAB. 4.7 – Récapitulatif des performances du circuit réel

4.4 Conclusion

Dans ce quatrième chapitre, une méthode pas à pas de conception de convertisseur delta sigma à temps continu a été présentée. Ce flot de conception s'appuie sur les différents résultats détaillés dans les chapitres 1 à 3. La réalisation d'un CAN $\Delta\Sigma_CT$ se déroule en quatre étapes principales : la répartition du bruit entre les différents contributeurs, le calcul de l'architecture du modulateur $\Delta\Sigma$, la prise en compte des imperfections de l'horloge et enfin l'implémentation du circuit.

La réalisation d'un convertisseur $\Delta\Sigma_CT$, du cahier des charges à la mesure des performances réelles, a permis de valider la méthode de conception. Les performances mesurées soulignent quant à elles le fort potentiel de ce type de convertisseurs. L'utilisation de technologies CMOS avancées, possédant une faible tension d'alimentation, est en effet pleinement compatible avec l'obtention de convertisseurs $\Delta\Sigma_CT$ efficaces. Le haut niveau de performances que l'on peut atteindre avec ce type de convertisseur et le filtrage anti-repliement intrinsèque sont deux atouts majeurs pour ces CANs. Les spécificités de ces convertisseurs étant désormais maîtrisées et intégrées au flot de conception, leur utilisation en tant qu'élément central d'une chaîne de réception radiofréquence est envisageable.

Conclusion

Ce manuscrit de thèse fournit un ensemble de résultats théoriques et de données pratiques sur les convertisseurs delta sigma à temps continu qui permet de guider un concepteur en microélectronique lors de la réalisation d'un tel convertisseur. Le flot de conception présenté dans ce document permet de cheminer pas-à-pas, du cahier des charges initial jusqu'à la réalisation physique du convertisseur.

Les enjeux et les difficultés rencontrées lors de chacune des étapes nécessaires à la conception d'un convertisseur delta sigma à temps continu ont été abordés. La sélection et le calcul des architectures de convertisseurs, objets du premier chapitre de cette thèse, ont été traités en prenant en compte les spécificités des CANs delta sigma à temps continu. La structure particulière de ces convertisseurs, qui associe éléments à temps continu et blocs échantillonnés, complexifie en effet fortement l'analyse mathématique de leur fonctionnement. L'approche à temps continu proposée dans la méthode de calcul par "placement des pôles" permet d'intégrer les spécificités de ces boucles de conversion lors de la sélection de l'architecture du convertisseur. Elle permet également de prendre en compte lors du calcul des coefficients du filtre de boucle les imperfections que l'implémentation physique du circuit engendre inéluctablement.

La seconde contribution majeure est l'étude de l'impact des imperfections d'horloge sur les performances des convertisseurs delta sigma à temps continu. La forte sensibilité au jitter de ce type de convertisseurs est bien connue et a depuis longtemps été mise en évidence à l'aide de simulations du phénomène. Une étude approfondie des dégradations introduites par le signal d'horloge est présentée dans cette thèse. Ce travail théorique sur l'impact du jitter s'est traduit par l'obtention d'équations permettant de calculer avec précision la puissance du bruit introduit par les imperfections de l'horloge. De plus, l'analyse qualitative des dégradations a montré la coexistence de deux types d'erreurs, des erreurs d'intégration et des erreurs d'échantillonnage. Cette séparation des perturbations en deux catégories distinctes permet de bien comprendre les relations entre l'architecture du convertisseur et la puissance des dégradations liées aux imperfections de l'horloge. Elle permet également d'analyser finement

le gain apporté par les différents systèmes de compensation du jitter d'horloge (retour à capacités commutées, retour FIRDAC).

Cette amélioration des connaissances relatives à l'impact du jitter d'horloge permet de facilement et rapidement prendre en compte ce problème lors de la conception d'un convertisseur delta sigma à temps continu. Le choix de l'architecture du modulateur delta sigma est en effet bien souvent lié à la qualité du signal d'horloge utilisé pour commander le CAN.

Une méthode de conception spécifique aux convertisseurs delta sigma à temps continu a ensuite été proposée. Ce flot de conception s'appuie en grande partie sur les résultats théoriques concernant le calcul d'architecture et l'estimation de l'impact des imperfections de l'horloge. Dans ce manuscrit, les différentes étapes indispensables à la réalisation d'un convertisseur sont décrites précisément tout en restant générique. Ce flot de conception peut ainsi être employé pour tout type de CAN delta sigma à temps continu. Parallèlement à ce travail, un ensemble d'outils basés sur Matlab et Simulink ont été développés pour permettre d'appliquer rapidement la méthode proposée.

La diversité des architectures et des stratégies d'implémentation de ce type de convertisseurs est un des points forts de ces circuits. Pour un cahier des charges donné, il existe toujours un grand nombre de CANs delta sigma à temps continu viables. La sélection du convertisseur le mieux adapté aux spécifications - mais également au concepteur - est donc particulièrement ardue. Le flot de conception présenté dans cette thèse n'a pas pour objectif la sélection du convertisseur "idéal" par rapport à une spécification donnée. Le but de cette méthode de conception est en effet d'assurer l'obtention d'un convertisseur à la fois fonctionnel, performant, robuste et en adéquation avec le cahier des charges. Les différents choix qui doivent nécessairement être réalisés lors de la conception d'un CAN delta sigma à temps continu ne sont jamais imposés par la méthode de conception. Ce flot de conception est en fait une *checklist* regroupant les différents choix et vérifications que doit obligatoirement faire un concepteur de delta sigma à temps continu pour obtenir un convertisseur viable.

Afin de valider le flot de conception proposé, ce dernier a été mis en œuvre pour réaliser un convertisseur delta sigma à temps continu. Une application de type WLAN a été choisie et le circuit a été fabriqué en utilisant la technologie CMOS 65nm de STMicroelectronics. Les différentes phases de conception, de l'analyse du cahier des charges jusqu'à l'envoi en production, ainsi que le test du circuit sont détaillés dans ce manuscrit. Les performances mesurées fournissent un facteur de mérite de $0,304pJ/conv$, ce qui place ce convertisseur au niveau des meilleurs CANs delta sigma à temps continu publiés à ce jour.

Comme expliqué dans ce manuscrit, le flot de conception mis en place ne permet pas de sélectionner avec certitude l'architecture du modulateur delta sigma à temps continu la mieux adaptée à un cahier des charges donné. Concernant cette difficulté de choisir l'architec-

ture du convertisseur, on peut se demander si il existe réellement une architecture optimale pour des spécifications données. Et si une telle architecture existe comment la sélectionner de façon certaine afin d'optimiser le convertisseur. Le grand nombre de degrés de liberté lors du choix du modulateur delta sigma (OSR, structure et coefficients du filtre de boucle, nombre de bits du CAN interne) a tendance à faire pencher la balance vers l'existence de plusieurs architectures répondant parfaitement à des spécifications données. Le choix entre les différentes structures envisageables se fait généralement en fonction des connaissances et du savoir-faire du concepteur. Il pourrait donc être intéressant d'intégrer explicitement les capacités du concepteur aux critères de choix de l'architecture. Mais limiter volontairement la palette des architectures à cause de difficultés présumées lors de l'implémentation à venir risque de brider les choix architecturaux et donc de réduire la diversité des architectures.

Une seconde interrogation concernant les CANs delta sigma à temps continu réside dans le potentiel réel de ce type de convertisseur. Le faible nombre de circuits publiés ne permet pas d'estimer avec précision le véritable niveau de performance que ce genre de convertisseurs peut atteindre. La conversion de signaux large bande, de quelques mégahertz à quelques dizaines de mégahertz, semble néanmoins être le domaine de prédilection de ces convertisseurs. Il reste désormais à évaluer les capacités de ces structures et les possibilités d'intégration de tels convertisseurs dans des chaînes de réception. Afin d'améliorer le facteur de mérite de ces convertisseurs, les efforts doivent porter sur la phase d'implémentation de ces circuits. Une maîtrise de la spécification des différents blocs constituant le convertisseur et un travail portant sur la sélection et l'optimisation des blocs analogiques doit permettre d'améliorer de façon significative le facteur de mérite des CANs delta sigma à temps continu.

Ces deux grands axes de travail, amélioration de l'étape de sélection de l'architecture et maîtrise de l'implémentation, doivent désormais focaliser toute l'attention des recherches concernant la conversion delta sigma à temps continu. Ces nouveaux sujets d'études doivent permettre d'enrichir le flot de conception mis en place dans cette thèse et donc d'améliorer son efficacité. L'expansion des convertisseurs delta sigma à temps continu passe également par une indispensable acquisition de maturité et d'expérience dans la conception de ce type de CAN.

Bibliographie

- [Abou 02a] H. Aboushady. *Design for reuse of current-mode continuous-time $\Sigma\Delta$ analog-to-digital converters*. Thèse de doctorat, Université Paris VI, 2002.
- [Abou 02b] H. Aboushady and M. M. Louerat. “Systematic approach for discrete time to continuous time transformations of $\Delta\Sigma$ modulators”. In : *IEEE International Symposium on Circuits and Systems*, 2002.
- [Abou 02c] H. Aboushady, F. Montaudon, F. Paillardet, and M. M. Louerat. “A 5mW, 100kHz Bandwidth, Current-Mode Continuous-Time $\Sigma\Delta$ Modulator with 84 dB Dynamic Range”. In : *European Solid-State Circuits Conference*, 2002.
- [Agra 83] B. P. Agrawal and K. Shenoi. “Design Methodology for $\Sigma\Delta$ M”. *IEEE Transactions on Communications*, Vol. 31, 1983.
- [Arda 87] S. H. Ardalan and J. J. Paulos. “An analysis of nonlinear behavior in delta-sigma modulators”. *IEEE Transactions on Circuits and Systems-II*, Vol. 34, jun 1987.
- [Aziz 96] P. M. Aziz, H. V. Sorensen, and Van Der Spiegel. “An Overview of Sigma-Delta Converters”. *IEEE signal processing magazine*, jan 1996.
- [Bair 94] R. T. Baird and T. S. Fiez. “Stability Analysis of High-Order Delta-Sigma Modulation for ADC’s”. *IEEE Transactions on Circuits and Systems-II*, Vol. 41, jan 1994.
- [Bell 90] M. Bellanger. *Traitement numérique du signal*. MASSON, 1990.
- [Bena 97] P. Benabes, M. Keramat, and R. Kielbasa. “A methodology for designing continuous-time sigma-delta modulators”. In : *IEEE European Design and Test Conference*, 1997.
- [Bose 88] B. E. Boser and B. A. Wooley. “The Design of Sigma-Delta Modulation Analog-to-Digital Converters”. *IEEE Journal of Solid-State Circuits*, Vol. 23, dec 1988.
- [Bree 01] L. Breems and J. H. Huijsing. *Continuous Time Sigma Delta Modulation for A/D Conversion in Radio Receivers*. Kluwer Academic Publishers, 2001.
- [Bree 04] L. J. Breems, R. Rutten, and G. Wetzker. “A cascaded continuous-time $\Delta\Sigma$ modulator with 67-dB dynamic range in 10-MHz bandwidth”. *IEEE Journal of Solid-State Circuits*, Vol. 39, dec 2004.

- [Cald 05] T. C. Caldwell and D. A. Johns. “A Time-Interleaved Continuous-Time $\Delta\Sigma$ Modulator with 20MHz Signal Bandwidth”. In : *European Solid-State Circuits Conference*, 2005.
- [Cald 06] T. C. Caldwell and D. A. Johns. “A Time-Interleaved Continuous-Time $\Delta\Sigma$ Modulator with 20MHz Signal Bandwidth”. *IEEE Journal of Solid-State Circuits*, Vol. 41, No. 7, pp. 1578–1588, jul 2006.
- [Cand 85] J. C. Candy. “A Use of Double Integration in Sigma Delta Modulation”. *IEEE Transactions on Communications*, Vol. COM-33, mar 1985.
- [Chao 90] K. C. H. Chao, S. Nadeem, W. L. Lee, and C. G. Sodini. “A High Order Topology for Interpolative Modulators for Oversampling A/D Converters”. *IEEE Transactions on Circuits and Systems-II*, Vol. 37, 1990.
- [Cher 99a] J. A. Cherry and W. M. Snelgrove. “Clock Jitter and Quantizer Metastability in Continuous-Time Delta-Sigma Modulators”. *IEEE Transactions on Circuits and Systems-II*, Vol. 46, jun 1999.
- [Cher 99b] J. A. Cherry and W. M. Snelgrove. “Excess Loop Delay in Continuous-Time Delta-Sigma Modulators”. *IEEE Transactions on Circuits and Systems-II*, Vol. 46, apr 1999.
- [Da D 02] N. Da Dalt, M. Harteneck, C. Sandner, and A. Wiesbauer. “On the jitter requirements of the sampling clock for analog-to-digital converters”. *IEEE Transactions on Circuits and Systems-II*, Vol. 49, sep 2002.
- [Das 05] A. Das, R. Hezar, R. Byrd, G. Gomez, and B. Haroun. “A 4th-order 86dB CT $\Delta\Sigma$ ADC with two amplifiers in 90nm CMOS”. In : *International Solid State Circuits Conference*, 2005.
- [Dori 02] K. Doris, A. Van Roermund, and D. Leenaerts. “A general analysis on the timing jitter in D/A converters”. In : *IEEE International Symposium on Circuits and Systems*, 2002.
- [Dorr 03] L. Dörrer, F. Kuttner, A. Wiesbauer, A. Di Giandomenico, and T. Hartig. “10-Bit, 3mW continuous-time sigma-delta ADC for UMTS in a 0.12 μ m CMOS process”. In : *European solid state circuits conference*, 2003.
- [Dorr 05a] L. Dörrer, F. Kuttner, P. Greco, and S. Derksen. “A 3-mW 74-dB SNR 2-MHz CT $\Delta\Sigma$ ADC With a Tracking-ADC-Quantizer in 0.13- μ m CMOS”. In : *International Solid State Circuits Conference*, 2005.
- [Dorr 05b] L. Dörrer, F. Kuttner, P. Greco, P. Torta, and T. Hartig. “A 3-mW 74-dB SNR 2-MHz Continuous-Time Delta-Sigma ADC With a Tracking ADC Quantizer in 0.13- μ m CMOS”. *IEEE Journal of Solid-State Circuits*, Vol. 40, No. 12, pp. 2416–2427, dec 2005.

- [Font 05] P. Fontaine, A. N. Moheildin, and A. Bellaouar. “A Low-Noise Low-Voltage CT $\Delta\Sigma$ Modulator with Digital Compensation of Excess Loop Delay”. In : *International Solid State Circuits Conference*, 2005.
- [Gao 97] W. Gao, O. Shoaie, and S. W. M. “Excess Loop Delay Effects in Continuous-Time Delta-Sigma Modulators and the Compensation Solution”. In : *IEEE International Symposium on Circuits and Systems*, 1997.
- [Gerf 03] F. Gerfers, M. Ortmanns, and Y. Manoli. “A 1.5V 12-bit Power Efficient Continuous-Time Third-Order $\Sigma\Delta$ Modulator”. *IEEE Journal of Solid-State Circuits*, Vol. 38, aug 2003.
- [Goul 07a] J. Goulier, E. Andre, and M. Renaudin. “Estimation de l’impact des imperfections d’horloge sur les convertisseurs delta sigma à temps continu”. In : *Journées Nationales du Réseau Doctoral en Microélectronique*, 2007.
- [Goul 07b] J. Goulier, E. Andre, and M. Renaudin. “A new analytical approach of the impact of jitter on continuous time delta sigma converters”. In : *IFIP International Conference on Very Large Scale Integration VLSI-SoC*, 2007.
- [Inos 63] H. Inose and Y. Yasuda. “A unity bit coding method by negative feedback”. In : *Proceedings of the IEEE*, pp. 1524–1535, nov 1963.
- [Lee 87] W. L. Lee. *A novel higher order interpolative modulator topology for high resolution oversampling A/D converters*. Thèse de doctorat, Massachussets Institute of Technology, Cambridge, 1987.
- [Li 07] Z. Li and T. S. Fiez. “A 14 Bit continuous-time delta-sigma A/D modulator with 2.5MHz signal bandwidth”. *IEEE Journal of Solid-State Circuits*, Vol. 42, No. 9, pp. 1873–1883, sep 2007.
- [Maxi] Maxim. “Clock jitter and phase noise conversion”. Application Note 3359.
- [Mitt 06a] G. Mitteregger, C. Ebner, S. Mechnig, T. Blon, C. Holuigue, and E. Romani. “A 20-mW 640-MHz CMOS Continuous-Time $\Delta\Sigma$ ADC With 20-MHz Signal Bandwidth, 80-dB Dynamic Range and 12-bit ENOB”. *IEEE Journal of Solid-State Circuits*, Vol. 41, No. 12, pp. 2641–2649, dec 2006.
- [Mitt 06b] G. Mitteregger, C. Ebner, S. Mechnig, T. Blon, C. Holuigue, E. Romani, A. Melodia, and V. Melini. “A 14b 20mW 640MHz CMOS CT $\Sigma\Delta$ ADC with 20MHz Signal Bandwidth and 12dB ENOB”. In : *International Solid State Circuits Conference*, 2006.
- [Morc 93] D. Morche, F. Balestro, and P. Senn. “Convertisseurs analogique-numérique CMOS à haute résolution pour les circuits VLSI audio”. *L’écho des RECHERCHES*, No. 153, pp. 35–50, 1993.
- [Naga 05] T. Nagai, H. Satou, H. Yamasaki, and Y. Watanabe. “A 1,2V 3,5mW $\Delta\Sigma$ Modulator with passive current summing network and a variable gain function”. In : *International Solid State Circuits Conference*, 2005.

- [Nors 97] S. R. Norsworthy, R. Schreier, and G. C. Temes. *Delta Sigma Data Converters Theory, Design and Simulation*. Wiley-Interscience, 1997.
- [Olia 03a] O. Oliaei. “Continuous-time sigma-delta modulator incorporating semi-digital FIR filters”. In : *IEEE International Symposium on Circuits and Systems*, 2003.
- [Olia 03b] O. Oliaei. “Extraction of timing jitter from phase noise”. In : *IEEE International Symposium on Circuits and Systems*, 2003.
- [Olia 99] O. Oliaei. “Clock jitter noise spectra in continuous-time delta-sigma modulators”. In : *IEEE International Symposium on Circuits and Systems*, 1999.
- [Ortm 03] M. Ortmanns, F. Gerfers, and Y. Manoli. “Fundamental limits of jitter insensitivity in discrete and continuous-time sigma delta modulators”. In : *IEEE International Symposium on Circuits and Systems*, 2003.
- [Ortm 05] M. Ortmanns, F. Gerfers, and Y. Manoli. “A Continuous-Time $\Sigma\Delta$ Modulator With Reduced Sensitivity to Clock Jitter Through SCR Feedback”. *IEEE Transactions on Circuits and Systems-II*, Vol. 52, may 2005.
- [Ouzo 07] S. Ouzounov, R. van Veldhoven, C. Bastiaansen, K. Vongehr, R. van Wegberg, G. Geelen, L. Breems, and A. van Roermund. “A 1.2V 121-mode CT $\Delta\Sigma$ modulator for wireless receivers in 90nm CMOS”. In : *International Solid State Circuits Conference*, 2007.
- [Pato 04] S. Paton, A. Di Giandomenico, L. Hernandez, A. Wiesbauer, T. Potscher, and M. Clara. “A 70-mW 300-MHz CMOS continuous-time $\Delta\Sigma$ ADC with 15-MHz bandwidth and 11 bits of resolution”. *IEEE Journal of Solid-State Circuits*, Vol. 39, No. 7, pp. 1056–1063, jul 2004.
- [Phil 04] K. Philips, P. M. Nujiten, R. Roovers, F. Munoz, M. Tejero, and A. Torralba. “A 2mW 89dB DR Continuous-Time $\Sigma\Delta$ ADC with Increased Immunity to Wide-Band Interferers”. In : *International Solid State Circuits Conference*, 2004.
- [Pun 06] K. Pun, S. Chatterjee, and P. Kinget. “A 0.5V 74dB SNDR 25kHz CT $\Delta\Sigma$ Modulator with Return-to-Open DAC”. In : *International Solid State Circuits Conference*, 2006.
- [Pun 07] K. Pun, S. Chatterjee, and P. Kinget. “A 0.5V 74-dB SNDR 25-kHz Continuous-Time Delta-Sigma Modulator with Return-to-Open DAC”. *IEEE Journal of Solid-State Circuits*, Vol. 42, No. 3, pp. 496–507, mar 2007.
- [Putt 04] B. M. Putter. “ $\Sigma\Delta$ ADC with Finite Impulse Response Feedback DAC”. In : *International Solid State Circuits Conference*, 2004.
- [Putt 07] B. M. Putter. “A 5th-order CT/DT multi-mode $\Delta\Sigma$ modulator”. In : *International Solid State Circuits Conference*, 2007.
- [Risb 94a] L. Risbo. *Σ - Δ modulators-Stability analysis and optimization*. Thèse de doctort, Electronics Institut, Technical University of Denmark, 1994.

- [Risb 94b] L. Risbo. “Stability Predictions for high-order Σ - Δ modulators based on quasi-linear modeling”. In : *IEEE International Symposium on Circuits and Systems*, 1994.
- [Rito 90] T. Ritoniemi, T. Karema, and H. Tenhunen. “Design of stable high order 1-bit sigma-delta modulators”. In : *IEEE International Symposium on Circuits and Systems*, 1990.
- [Rutm 78] J. Rutman. “Characterisation of phase and frequency instabilities in precision frequency sources : Fifteen years of progress”. In : *Proceedings of the IEEE*, pp. 1048–1075, sep 1978.
- [Schi 01] M. Schimanouchi. “An approach to consistent jitter modeling for various jitter aspects and measurements methods”. In : *International Test Conference*, 2001.
- [Schi 04] M. Schimper, L. Dörrer, E. Riccio, and G. Panov. “A 3mW Continuous-Time $\Sigma\Delta$ -Modulator for EDGE/GSM with Adjacent Channel Tolerance”. In : *European Solid-State Circuits Conference*, 2004.
- [Scho 07] R. Schoofs, M. S. J. Steyaert, and W. M. C. Sansen. “A design-optimized continuous-time delta-sigma ADC for WLAN applications”. *IEEE Transactions on Circuits and Systems-I*, Vol. 54, 2007.
- [Schr] R. Schreier. *The Delta-Sigma toolbox*. <http://www.mathworks.com/matlabcentral/fileexchange/>.
- [Schr 91] R. Schreier and M. Snelgrove. “Stability in General $\Delta\Sigma$ Modulator”. In : *IEEE International Conference on Acoustics, Speech, and Signal Processing*, 1991.
- [Schr 93] R. Schreier. “An Empirical Study of high-Order Single-Bit Delta-Sigma Modulators”. *IEEE Transactions on Circuits and Systems-II*, Vol. 40, aug 1993.
- [Schr 96] R. Schreier and B. Zhang. “Delta-Sigma Modulators Employing Continuous-Time Circuitry”. *IEEE Transactions on Circuits and Systems-II*, Vol. 43, apr 1996.
- [Sham 06] H. Shamsi, S. Radiom, O. Shoaie, and R. Lofti. “A straightforward design methodology for multi-bit continuous time delta sigma Modulators”. In : *IEEE International Midwest Symposium on Circuits and Systems*, 2006.
- [Shoa 95] O. Shoaie. *Continuous-Time Delta-Sigma A/D Converters for High Speed Applications*. Thèse de doctorat, Carleton University, Ottawa, 1995.
- [Stik 88] E. F. Stikvoort. “Some Remarks on the Stability and Performance of the Noise Shaper or Sigma-Delta Modulator”. *IEEE Transactions on Communications*, Vol. 36, No. 10, pp. 1157–1162, oct 1988.
- [Tsiv 83] Y. Tsividis. “Principles of operation and analysis of switched-capacitor circuits”. In : *Proceedings of the IEEE*, pp. 926–940, aug 1983.
- [Ueno 04] T. Ueno and T. Itakura. “A 0.9V 1.5mW Continuous-Time $\Delta\Sigma$ Modulator for WCDMA”. In : *International Solid State Circuits Conference*, 2004.

- [Van 02] R. Van Veldhoven. “A 3.3mW $\Sigma\Delta$ Modulator for UMTS in 0.18 μm CMOS with 70dB Dynamique Range in 2MHz Bandwidth”. In : *International Solid State Circuits Conference*, 2002.
- [Van 03] R. Van Veldhoven. “A tri-mode continuous-time $\Sigma\Delta$ modulator with switched-capacitor feedback DAC for a GSM-EDGE/CDMA2000/UMTS receiver”. In : *International Solid State Circuits Conference*, 2003.
- [Van 78] R. J. Van De Plassche. “A sigma-delta modulator as an A/D converter”. *IEEE Transactions on Circuits and Systems*, Vol. 25, No. 7, pp. 510–514, jul 1978.
- [Van 96] E. J. Van Der Zwan and E. C. Dijkmans. “A 0.2 mW CMOS $\Sigma\Delta$ modulator for speech coding with 80 dB dynamic range”. *IEEE Journal of Solid-State Circuits*, Vol. 31, dec 1996.
- [Wald 99] R. H. Walden. “Analog-to-Digital Converter Survey and Analysis”. *IEEE Journal on selected areas in communications*, Vol. 17, pp. 539–550, apr 1999.
- [Weig 98] T. C. Weigandt. *Low phase noise, low timing jitter design techniques for delay cell based VCOs and frequency synthesizers*. Thèse de doctorat, University of California, Berkeley, 1998.
- [Yan 04] S. Yan and E. Sanchez-Sinencio. “A Continuous-Time $\Sigma\Delta$ Modulator With 88-dB Dynamic Range and 1.1-MHz Signal Bandwidth”. *IEEE Journal of Solid-State Circuits*, Vol. 39, No. 1, pp. 75–86, jan 2004.
- [Yang 02] C. C. Yang, K. D. Chen, W. Wang, and T. H. Kuo. “Transfer Function Design of Stable High Order Sigma-Delta Modulators with Root Locus Inside Unit Circle”. In : *IEEE International application specific integrated circuit conference*, 2002.
- [Yang 08] W. Yang, W. Schofield, H. Shibata, S. Korrapati, A. Shaikh, N. Abaskharoun, and D. Ribner. “A 100mW 10MHz-BW CT $\Sigma\Delta$ Modulator with 87dB DR and 91dBc IMD”. In : *International Solid State Circuits Conference*, 2008.
- [Zanc 01] A. Zanchi, A. Bonfanti, S. Levantino, and C. Samori. “General SSCR vs. cycle-to-cycle jitter relationship with application to the phase noise in PLL”. In : *Southwest Symposium on Mixed-Signal Design*, 2001.

Résumé

Ce travail de thèse s'intègre dans le cadre du développement de chaînes de réception multistandards en technologie CMOS avancée pour des applications mobiles. Afin d'exploiter au mieux les caractéristiques des technologies CMOS et faciliter la reconfigurabilité du récepteur, le traitement numérique des données est généralement privilégié d'où une augmentation des contraintes sur le convertisseur analogique numérique. Les convertisseurs delta sigma à temps continu, relativement peu utilisés actuellement, possèdent des caractéristiques en forte adéquation avec une translation des fonctions analogiques dans le domaine numérique. Ce travail de recherche porte donc sur la conversion delta sigma à temps continu passe-bas, et plus particulièrement sur les difficultés de réalisation de ce type de convertisseur. L'objectif global de ces recherches était la mise en place d'une méthode de conception de convertisseurs delta sigma à temps continu. Dans un premier temps, le travail s'est focalisé sur le calcul d'architecture et l'obtention de coefficients adaptés à une spécification donnée. L'impact des imperfections d'horloge sur les performances de ce type de convertisseur a ensuite été étudié et une méthode analytique d'estimation des dégradations introduites par l'intermédiaire de l'horloge a été proposée. Ces deux étapes clefs lors de la réalisation d'un delta sigma à temps continu ont été intégrées à un flot de conception complet allant des spécifications à l'implémentation sur silicium. Finalement, ce flot de conception a été utilisé pour réaliser un modulateur delta sigma à temps continu en technologie CMOS065 pour une application WLAN.

Mots-clés : convertisseurs analogique numérique, CAN delta sigma à temps continu, méthode de conception, calcul d'architecture, imperfections d'horloge, CMOS.

Abstract

This PhD thesis deals with the development of multi-standard CMOS receivers for wireless applications. In order to make the most of advanced CMOS technologies and ease the receiver reconfigurability, preference is usually given to digital processing. Therefore the constraints on the analog to digital converter are increased. Continuous time delta sigma converters, nowadays hardly used, have intrinsic characteristics suitable for the translation of analog functions in the digital domain.

This PhD work focuses on low pass continuous time delta sigma converters and more precisely on the difficulties linked to the realization of this kind of converters. The aim of those researches was to build up a complete method to facilitate the design of continuous time delta sigma converters. First, the selection of architectures and the computation of loop coefficients fitting the required specifications have been studied. Afterwards the impact of clock imperfections on the global performances of this kind of converters has been addressed and an analytical method allowing the estimation of the degradations introduced by clock jitter has been proposed. Those two main contributions in the domain of continuous time delta sigma converters have been integrated in a design flow going from initial specifications to tape out. Finally, this method has been used for the design of a continuous time delta sigma converter, in a CMOS 65nm technology, addressing a WLAN application.

Keywords : analog to digital converters, continuous time delta sigma ADCs, design flow, architecture computation, jitter impact on ADCs, CMOS

ISBN : 978-2-84813-119-1