



HAL
open science

Assemblage et génération automatique des dispositifs périphériques de PLA complexes

Mohamed Hmimid

► **To cite this version:**

Mohamed Hmimid. Assemblage et génération automatique des dispositifs périphériques de PLA complexes. Modélisation et simulation. Institut National Polytechnique de Grenoble - INPG, 1984. Français. NNT: . tel-00311759

HAL Id: tel-00311759

<https://theses.hal.science/tel-00311759>

Submitted on 21 Aug 2008

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THESE

présentée à

l'Institut National Polytechnique de Grenoble

pour obtenir le grade de
DOCTEUR DE 3ème CYCLE
«Informatique»
(option microélectronique)

par

Mohamed HMIMID



ASSEMBLAGE ET GENERATION AUTOMATIQUE
DES DISPOSITIFS PERIPHERIQUES DE PLA
COMPLEXES.



Thèse soutenue le 12 novembre 1984 devant la commission d'examen.

F. ANCEAU	Président
S. CHUQUILLANQUI	
A. GUYOT	Examineurs
G. NOGUEZ	

INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE

Année universitaire 1982-1983

Président de l'Université : D. BLOCH

**Vice-Président : René CARRE
Hervé CHERADAME
Marcel IVANES**

PROFESSEURS DES UNIVERSITES :

ANCEAU François	E.N.S.I.M.A.G.
BARRAUD Alain	E.N.S.I.E.G.
BAUDELET Bernard	E.N.S.I.E.G.
BESSON Jean	E.N.S.E.E.G.
BLIMAN Samuel	E.N.S.E.R.G.
BLOCH Daniel	E.N.S.I.E.G.
BOIS Philippe	E.N.S.H.G.
BONNETAIN Lucien	E.N.S.E.E.G.
BONNIER Etienne	E.N.S.E.E.G.
BOUVARD Maurice	E.N.S.H.G.
BRISSONNEAU Pierre	E.N.S.I.E.G.
BUYLE BODIN Maurice	E.N.S.E.R.G.
CAVAIGNAC Jean-François	E.N.S.I.E.G.
CHARTIER Germain	E.N.S.I.E.G.
CHENEVIER Pierre	E.N.S.E.R.G.
CHERADAME Hervé	U.E.R.M.C.P.P.
CHERUY Arlette	E.N.S.I.E.G.
CHIAVERINA Jean	U.E.R.M.C.P.P.
COHEN Joseph	E.N.S.E.R.G.
COUMES André	E.N.S.E.R.G.
DURAND Francis	E.N.S.E.E.G.
DURAND Jean-Louis	E.N.S.I.E.G.
FELICI Noël	E.N.S.I.E.G.
FOULARD Claude	E.N.S.I.E.G.
GENTIL Pierre	E.N.S.E.R.G.
GUERIN Bernard	E.N.S.E.R.G.
GUYOT Pierre	E.N.S.E.E.G.
IVANES Marcel	E.N.S.I.E.G.
JAUSSAUD Pierre	E.N.S.I.E.G.
JOUBERT Jean-Claude	E.N.S.I.E.G.
JOURDAIN Geneviève	E.N.S.I.E.G.
LACOUME Jean-Louis	E.N.S.I.E.G.
LATOMBE Jean-Claude	E.N.S.I.M.A.G.

.../...

LESSIEUR Marcel	E.N.S.H.G.
LESPINARD Georges	E.N.S.H.G.
LONGEQUEUE Jean-Pierre	E.N.S.I.E.G.
MAZARE Guy	E.N.S.I.M.A.G.
MOREAU René	E.N.S.H.G.
MORET Roger	E.N.S.I.E.G.
MOSSIERE Jacques	E.N.S.I.M.A.G.
PARIAUD Jean-Charles	E.N.S.E.E.G.
PAUTHENET René	E.N.S.I.E.G.
PERRET René	E.N.S.I.E.G.
PERRET Robert	E.N.S.I.E.G.
PIAU Jean-Michel	E.N.S.H.G.
POLOUJADOFF Michel	E.N.S.I.E.G.
POUPOT Christian	E.N.S.E.R.G.
RAMEAU Jean-Jacques	E.N.S.E.E.G.
RENAUD Maurice	U.E.R.M.C.P.P.
ROBERT André	U.E.R.M.C.P.P.
ROBERT François	E.N.S.I.M.A.G.
SABONNADIÈRE Jean-Claude	E.N.S.I.E.G.
SAUCIER Gabrielle	E.N.S.I.M.A.G.
SCHLENKER Claire	E.N.S.I.E.G.
SCHLENKER Michel	E.N.S.I.E.G.
SERMET Pierre	E.N.S.E.R.G.
SILVY Jacques	U.E.R.M.C.P.P.
SOHM Jean-Claude	E.N.S.E.E.G.
SOUQUET Jean-Louis	E.N.S.E.E.G.
VEILLON Gérard	E.N.S.I.M.A.G.
ZADWORNY François	E.N.S.E.R.G.

PROFESSEURS ASSOCIES

BASTIN Georges	E.N.S.H.G.
BERRIL John	E.N.S.H.G.
CARREAU Pierre	E.N.S.H.G.
GANDINI Alessandro	U.E.R.M.C.P.P.
HAYASHI Hirashi	E.N.S.I.E.G.

PROFESSEURS UNIVERSITE DES SCIENCES SOCIALES (Grenoble II)

BOLLIET Louis
Chatelin Françoise

PROFESSEURS E.N.S. Mines de Saint-Etienne

RIEU Jean
SOUSTELLE Michel

CHERCHEURS DU C.N.R.S.

FRUCHART Robert
VACHAUD Georges

Directeur de Recherche
Directeur de Recherche

.../...

ALLIBERT Michel	Maître de Recherche
ANSARA Ibrahim	Maître de Recherche
ARMAND Michel	Maître de Recherche
BINDER Gilbert	
CARRE René	Maître de Recherche
DAVID René	Maître de Recherche
DEPORTES Jacques	
DRIOLE Jean	Maître de Recherche
GIGNOUX Damien	
GIVORD Dominique	
GUELIN Pierre	
HOPFINGER Emil	Maître de Recherche
JOUD Jean-Charles	Maître de Recherche
KAMARINOS Georges	Maître de Recherche
KLEITZ Michel	Maître de Recherche
LANDAU Ioan-Dore	Maître de Recherche
LASJAUNIAS J.C.	
MERMET Jean	Maître de Recherche
MUNIER Jacques	Maître de Recherche
PIAU Monique	
PORTESEIL Jean-Louis	
THOLENCE Jean-Louis	
VERDILLON André	

CHERCHEURS du MINISTERE de la RECHERCHE et de la TECHNOLOGIE (Directeurs et Maîtres de Recherches, ENS Mines de St. Etienne)

LESBATS Pierre	Directeur de Recherche
BISCONDI Michel	Maître de Recherche
KOBYLANSKI André	Maître de Recherche
LE COZE Jean	Maître de Recherche
LALAUZE René	Maître de Recherche
LANCELOT Francis	Maître de Recherche
THEVENOT François	Maître de Recherche
TRAN MINH Canh	Maître de Recherche

PERSONNALITES HABILITEES à DIRIGER des TRAVAUX de RECHERCHE (Décision du Conseil Scientifique)

ALLIBERT Colette	E.N.S.E.E.G.
BERNARD Claude	E.N.S.E.E.G.
BONNET Rolland	E.N.S.E.E.G.
CAILLET Marcel	E.N.S.E.E.G.
CHATILLON Catherine	E.N.S.E.E.G.
CHATILLON Christian	E.N.S.E.E.G.
COULON Michel	E.N.S.E.E.G.
DIARD Jean-Paul	E.N.S.E.E.G.
EUSTAPOPOULOS Nicolas	E.N.S.E.E.G.
FOSTER Panayotis	E.N.S.E.E.G.

.../...

GALERIE Alain	E.N.S.E.E.G.
HAMMOU Abdelkader	E.N.S.E.E.G.
MALMEJAC Yves	E.N.S.E.E.G. (CENG)
MARTIN GARIN Régina	E.N.S.E.E.G.
NGUYEN TRUONG Bernadette	E.N.S.E.E.G.
RAVAINE Denis	E.N.S.E.E.G.
SAINFORT	E.N.S.E.E.G. (CENG)
SARRAZIN Pierre	E.N.S.E.E.G.
SIMON Jean-Paul	E.N.S.E.E.G.
TOUZAIN Philippe	E.N.S.E.E.G.
URBAIN Georges	E.N.S.E.E.G. (Laboratoire des ultra-réfractaires ODEILLON)
GUILHOT Bernard	E.N.S. Mines Saint Etienne
THOMAS Gérard	E.N.S. Mines Saint Etienne
DRIVER Julien	E.N.S. Mines Saint Etienne
BARIBAUD Michel	E.N.S.E.R.G.
BOREL Joseph	E.N.S.E.R.G.
CHOVET Alain	E.N.S.E.R.G.
CHEHIKIAN Alain	E.N.S.E.R.G.
DOLMAZON Jean-Marc	E.N.S.E.R.G.
HERAULT Jeanny	E.N.S.E.R.G.
MONLLOR Christian	E.N.S.E.R.G.
BORNARD Guy	E.N.S.I.E.G.
DESCHIZEAU Pierre	E.N.S.I.E.G.
GLANGEAUD François	E.N.S.I.E.G.
KOFMAN Walter	E.N.S.I.E.G.
LEJEUNE Gérard	E.N.S.I.E.G.
MAZUER Jean	E.N.S.I.E.G.
PERARD Jacques	E.N.S.I.E.G.
REINISCH Raymond	E.N.S.I.E.G.
ALEMANY Antoine	E.N.S.H.G.
BOIS Daniel	E.N.S.H.G.
DARVE Félix	E.N.S.H.G.
MICHEL Jean-Marie	E.N.S.H.G.
OBLED Charles	E.N.S.H.G.
ROWE Alain	E.N.S.H.G.
VAUCLIN Michel	E.N.S.H.G.
WACK Bernard	E.N.S.H.G.
BERT Didier	E.N.S.I.M.A.G.
CALMET Jacques	E.N.S.I.M.A.G.
COURTIN Jacques	E.N.S.I.M.A.G.
COURTOIS Bernard	E.N.S.I.M.A.G.
DELLA DORA Jean	E.N.S.I.M.A.G.
FONLUPT Jean	E.N.S.I.M.A.G.
SIFAKIS Joseph	E.N.S.I.M.A.G.
CHARUEL Robert	U.E.R.M.C.P.P.
CADET Jean	C.E.N.G.
COEURE Philippe	C.E.N.G. (LETI)

.../...

DELHAYE Jean-Marc
DUPUY Michel
JOUBE Hubert
NICOLAU Yvan
NIFENECKER Hervé
PERROUD Paul
PEUZIN Jean-Claude
TAIEB Maurice
VINCENDON Marc

C.E.N.G. (STT)
C.E.N.G. (LETI)
C.E.N.G. (LETI)
C.E.N.G. (LETI)
C.E.N.G.
C.E.N.G.
C.E.N.G. (LETI)
C.E.N.G.
C.E.N.G.

LABORATOIRES EXTERIEURS

DEMOULIN Eric
DEVINE
GERBER Roland
MERCKEL Gérard
PAULEAU Yves
GAUBERT C.

C.N.E.T.
C.N.E.T. (R.A.B.)
C.N.E.T.
C.N.E.T.
C.N.E.T.
I.N.S.A. Lyon

ECOLE NATIONALE SUPERIEURE DES MINES DE SAINT-ETIENNE

recteur : Monsieur M. MERMET
recteur des Etudes et de la formation : Monsieur J. LEVASSEUR
recteur des recherches : Monsieur J. LEVY
crétaire Général : Mademoiselle M. CLERGUE

Professeurs de 1ère Catégorie

DINDE	Alexandre	Gestion
DUX	Claude	Métallurgie
DVY	Jacques	Métallurgie
DWYS	Jean-Pierre	Physique
DATHON	Albert	Gestion
DEU	Jean	Mécanique - Résistance des matériaux
DUSTELLE	Michel	Chimie
DORMERY	Philippe	Mathématiques Appliquées

Professeurs de 2ème catégorie

DABIB	Michel	Informatique
DRRIN	Michel	Géologie
DRCHERY	Georges	Matériaux
DUCHARD	Bernard	Physique Industrielle

Directeur de recherche

DSBATS	Pierre	Métallurgie
--------	--------	-------------

Maîtres de recherche

DSCONDI	Michel	Métallurgie
DVOINE	Philippe	Géologie
DURDEUX	Angeline	Métallurgie
DDBYLSKI	André	Métallurgie
DLAUZE	René	Chimie
DNCELOT	Francis	Chimie
DSCOZE	Jean	Métallurgie
DSEVENOT	François	Chimie
DAN MINH	Canh	Chimie

Personnalités habilitées à diriger des travaux de recherche

DIVER	Julian	Métallurgie
DILHOT	Bernard	Chimie
DOMAS	Gérard	Chimie

Professeur à l'UER de Sciences de Saint-Etienne

DORGNAUD	Jean-Maurice	Chimie des Matériaux & chimie industrielle
----------	--------------	--

à mes parents,
à mon épouse.

Je voudrais exprimer toute ma reconnaissance à

Monsieur F.ANCEAU, Professeur à l'ENSIMAG qui a bien voulu m'accueillir dans son laboratoire au sein de l'Equipe de Recherche en Architecture d'Ordinateur, et qui m'a guidé dans la conception et la réalisation de ce travail. Son appui et la confiance qu'il m'a accordés ont été pour moi une aide précieuse. Je suis particulièrement sensible à l'honneur qu'il m'a fait en acceptant de présider le jury.

Je remercie très vivement

Monsieur S.Chuquillanqui, Docteur-Ingénieur à Bull, qui a bien voulu participer à ce jury et qui m'a conseillé et soutenu tout au long de ce travail.

Monsieur A.GUYOT, Maitre-assistant à l'ENSIMAG, qui a bien voulu juger mon travail et faire partie du jury.

Monsieur G.NOGUEZ, Professeur à Université Pierre et Marie Curie Paris VI, qui m'a honoré en acceptant de participer au jury.

Je remercie également,

Les membres de l'équipe de Recherche en Architecture d'Ordinateurs avec qui j'ai eu des échanges fructueux, spécialement le groupe PAOLA.

L'équipe du service de Tirage pour l'excellente qualité de leur travail et surtout pour leur accueil toujours chaleureux.

RESUME:

Le but de cette thèse est de développer, dans le cadre du système PAOLA, un outil de génération et d'assemblage automatique des dispositifs périphériques des PLA complexes.

Le programme GATA génère automatiquement les amplificateurs d'entrées, de sorties, et d'interfaces. Ce programme possède les caractéristiques suivantes:

- optimisation électrique et géométrique,
- optimisation topologique effectuée sous les contraintes de placement des entrées-sorties,
- création d'une bibliothèque de cellules qui contient la description de l'ensemble des dispositifs périphériques du PLA,
- adaptabilité à une technologie nouvelle.

AQUARIUM est un programme d'assemblage automatique de dispositifs des PLA. Ce programme tient compte de l'environnement du PLA ainsi que des contraintes fournies par le concepteur pour effectuer un assemblage des amplificateurs avec les matrices ET/OU .

Les programmes GATA et AQUARIUM sont des outils opérationnels de PAOLA qui est implanté au laboratoire IMAG-TIM3 de Grenoble et à THOMSON-CSF-DCI (St Egrève).

MOTS-CLES:

CAO, VLSI, PLA, Génération automatique de dispositifs périphériques de PLA, assemblage automatique des PLA.

S O M M A I R E

INTRODUCTION	1
--------------------	---

C H A P I T R E I

I- INTRODUCTION	5
II- CONCEPTION D'UN SYSTEME VLSI	7
II.1- Méthodologie de travail	7
II.2- Approche topologique	8
II.3- Outils informatiques	10
II.3.1- Un compilateur de silicium	11
II.3.2.- Un assembleur de silicium	11

C H A P I T R E I I

II.1-	INTRODUCTION	15
II.2.1-	CONCEPTION DU PLA	17
II.2.2-	PLA CLASSIQUE	17
II.2.3-	REALISATION DU MASQUE DU PLA	19
II.2.4-	GENERATION DU MASQUE	24
II.2.5-	TEST	24
II.2.6-	SIMULATION ELECTRIQUE	25
II.3-	OPTIMISATION DU PLA	25
II.3.1-	L'optimisation logique	25
II.3.2-	L'optimisation topologique	26
II.4-	SYSTEME "PAOLA".....	29
II.4.1-	INTRODUCTION	29
II.4.2-	RESULTATS OBTENUS	34
II.4.3-	CONCLUSION	35

C H A P I T R E I I I

III-1. INTRODUCTION	39
III-2. DEFINITION DES SYMBOLES	40
III-3. TRANSISTOR MOS	42
III-3.1 CALCUL DE GAMAC	45
III-4. LE CHOIX DES AMPLIFICATEURS	48
III-5. LE TEMPS DE PROPAGATION DANS LES "SUPER BUFFER"	50
III-5.1. Calcul du temps de propagation dans l'inverseur	50
III-5.2. Calcul du temps de propagation dans l'amplificateur	54
III-6. LA CAPACITE DE "SUPER BUFFER"	55
III-7. CALCUL DU GAIN EN TENSION	57
III-8. CALCUL DES CAPACITES DU PLA	57

C H A P I T R E I V

IV-1 INTRODUCTION	64
IV-2. METHODE DE CONCEPTION DES MASQUES DE CI	65
IV-2.1 Méthode de dessin manuel	65
IV-2.2 Méthode semi-automatique	65
IV-2.3 Méthode automatique.....	65
IV-2.4 Méthode symbolique	66
IV-3. NOTION DE NIVEAU DE MASQUES DE CI	66
IV-4. LES REGLES TECHNOLOGIQUES	67
IV-5. NIVEAUX DE COMPLEXITE DANS LE DESSIN DES CI	69
IV-6. DEFINITION DES CELLULES	70
IV-7. GENERATION AUTOMATIQUE DU TRANSISTOR DE CHARGE	73
IV-7.1 Topologie d'une cellule de base	73
IV-8. DIMENSIONNEMENT DES AMPLIFICATEURS	75
IV-8.1 Le nombre et l'emplacement des lignes d'aluminium	76

IV-8.2 La taille des amplificateurs	82
IV-9. BIBLIOTHEQUE DE CELLULES	89
IV-10. GENERATION AUTOMATIQUE	83
IV-10.1 Génération des connecteurs des matrices ET/OU du PLA	83
IV-10.2 Génération des connecteurs des amplificateurs	84
IV-10.3 Génération des frontières des amplificateurs	85
IV-11. EVALUATION DE LA SURFACE DU PLA	86
IV-11.1 Evaluation de surface d'un point de pla à deux matrices	86
IV-11.2 Evaluation de surface d'un point de pla monomatrice	88
IV-11.3 Evaluation de la surface des matrices ET/OU	89
IV-11.4 Evaluation de la surfaces des amplificateurs	90

C H A P I T R E V

V-1. INTRODUCTION	93
V-2. DIFFERENTES METHODES D'ASSEMBLAGE	94
V-2.1. Assemblage par connexions directes	94
V-2.2. Assemblage par dévoiement	94
V-2.3. Assemblage par canal de routage	95
V-3. FONCTIONNEMENT DU SYSTEME AQUARIUM	96
V-4. PROCECUS D'ASSEMBLAGE	97
V-4-1. Assemblage des deux figures	97
V-4-2. Assemblage des transistors de charge	97
V-4-3. Assemblage des transistors de charges avec les matrices ET/OU	100
V-5. ASSEMBLAGE DES AMPLIFICATEURS E/S	103
V-5.1. Assemblage des amplificateurs E/S avec Plat	103
V-5.2. Le choix des amplificateurs	103
V-5.3. Description algorithmique du programme d'assemblage	104

V-5.4. Procédure d'assemblage 105

VI- CONCLUSION 108

VII- BIBLIOGRAPHIE 110

I N T R O D U C T I O N

Lors de la conception des circuits intégrés, il se présente une phase bien particulière qui pose des problèmes spécifiques. Il s'agit de l'étape d'implantation permettant de passer du schéma électrique du circuit à la génération du dessin des masques d'implantation.

L'amélioration de l'efficacité d'exécution de cette étape joue un grand rôle dans les performances de la conception. Ces performances sont déterminées par le nombre de transistors et le temps de réalisation mesuré en nombre d'hommes-années.

Il s'agit de trouver une méthode d'implantation des PLAs (Programmable Logic Array) complexes, tout en réalisant un compromis acceptable entre la rapidité d'implantation et l'optimisation de la surface de silicium utilisée.

Dans ce but, l'Equipe de Recherche en Architecture d'Ordinateur de l'IMAG a développé le système "PAOLA" [CHUQUI], qui permet par ces méthodes, d'optimiser la topologie et de générer automatiquement le dessin des masques des matrices ET/OU des PLAs complexes.

La concrétisation informatique de ce travail comporte deux types de logiciels:

- le programme "GATA" qui génère automatiquement les dessins des masques des dispositifs périphériques (amplificateurs d'entrées/sorties, et des transistors de charge) des PLA complexes.

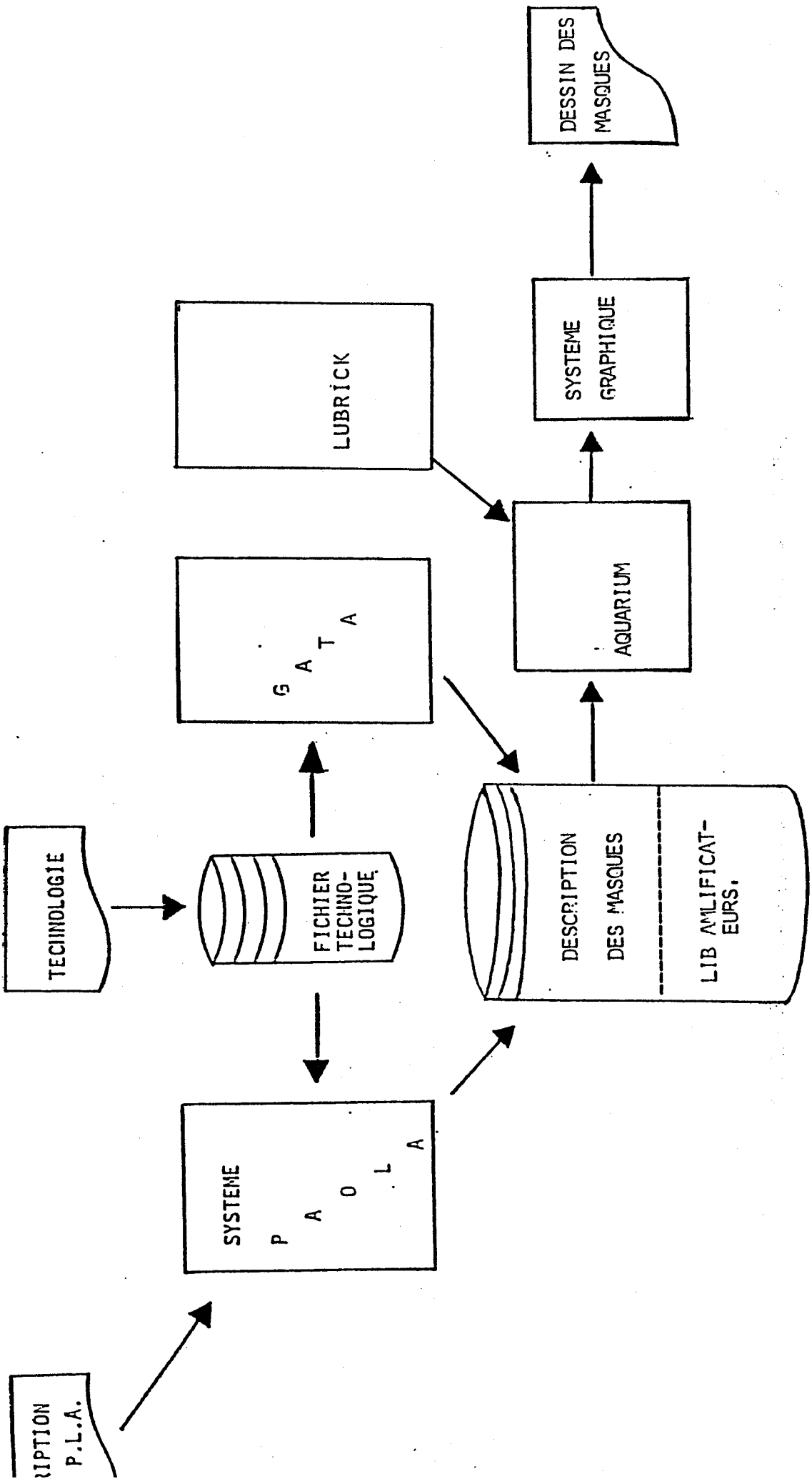
- le programme "AQUARIUM" qui assemble ces dispositifs avec les matrices ET/OU.

Le but poursuivi lors du développement des programmes "GATA" et "AQUARIUM" est d'exploiter la structure et la régularité des PLA afin de réaliser un outil performant, sur le plan de la densité

d'intégration, et adaptable à l'évolution des technologies, en restant extrêmement efficace au niveau des performances informatiques telles que le temps d'exécution ou la taille mémoire utilisée.

PLAN DE LA THESE

- Le premier chapitre présente des généralités sur les méthodes de conceptions des masques de circuits intégrés.
- Le deuxième chapitre aborde la conception et l'optimisation logique et topologique des PLA, et le système "PAOLA".
- Le troisième chapitre est consacré aux calculs électriques des transistors de charges et des amplificateurs (le temps de propagation, le gain).
- Le quatrième chapitre présente de façon détaillée le fonctionnement du système "GATA" (Génération Automatique de dessins des masques des Amplificateurs d'entrées, de sorties, et d'interfaces), et l'évaluation de leurs surfaces.
- Le cinquième chapitre décrit plus particulièrement la structure générale du programme "AQUARIUM": C'est un outil d'Assemblage Automatique de dispositifs périphérique de PLA complexe.



VUE GNERALE DU SYSTEME

C H A P I T R E I

INTRODUCTION

I- CONCEPTION D'UN SYSTEME VLSI

I.1- Méthodologie de travail

I.2- Approche topologique

I.3- Outils informatiques

I.3.1- Un compilateur de silicium

I.3.2.- Un assembleur de silicium

I- INTRODUCTION

Les deux dernières décennies ont vu la capacité d'intégration des composants à semi-conducteur faire un bon considérable:

Si au début des années soixante les moyens technologiques dont disposaient les fabricants leur permettaient d'intégrer quelques dizaines de transistors sur une puce de silicium (circuit SSI). Aujourd'hui (en 1984) un circuit contenant 100 000 transistors est relativement courant, un circuit de 500 000 transistors constitue la limite des possibilités techniques. La complexité d'un tel circuit est comparable à celle d'un microordinateur 8 bits complet, avec ses mémoires et ses circuits d'entrées/sorties.

En 1990, ce nombre d'éléments élémentaires implantables sur une même puce sera certainement compris entre 1 et 5 millions, et la complexité d'un tel circuit est alors celle d'un microordinateur 32 bits complet.

Cette évolution technologique vers la haute complexité a bouleversé le travail des concepteurs de circuits intégrés.

En effet, les nouveaux circuits à très grande échelle d'intégration (VLSI = Very Large Scale Intégration) rendent de plus en plus complexe la conception de tels circuits. Une démarche de conception bien structurée et sûre est nécessaire pour réaliser un tel circuit.

Chaque révolution technologique donne une nouvelle classe d'ordinateurs. Les mini-ordinateurs sont apparus avec la technologie TTL, puis les microprocesseurs ont vu le jour, apparus avec la technologie MOS, donnant à leurs tours naissance à la micro-informatique puis micro-ordinateur...

La conception de tels circuits intégrés nécessite d'une part une approche structurée et d'autre part des outils CAO (Conception Assistée par Ordinateur) qui s'adaptent continuellement à chaque méthode de conception:

- à la recherche de l'optimisation (le placement des composants)

 - à la vérification entre les contraintes sur l'aspect topologique (le dessin des masques),

 - à la considération fonctionnelle (la description logique, la synthèse, la simulation et la génération des vecteurs de test).
- C'est-à-dire, à la recherche d'une optimisation globale de la surface, et de réduire les délais et les erreurs de la conception.

I- CONCEPTION D'UN SYSTEME VLSI:

La construction du dessin d'un circuit intégré complexe (VLSI) composé de plusieurs centaines de milliers de transistors requiert:

- Une bonne méthodologie de travail
- Une bonne approche topologique
- Et des Outils informatiques appropriés

afin d'obtenir un bon dessin dans des temps acceptables [SCH-83].

I.1.- Méthodologie de travail:

La conception d'un circuit intégré commence par l'établissement d'un cahier de charges qui fournit les caractéristiques fonctionnelles telles que le nombre de processeurs, l'organigramme de fonctionnement, et les conditions de fonctionnement, etc [NEM-83] [Guy-82].

On distingue en général dans la conception d'un circuit deux phases: une phase d'analyse et de synthèse structurelle, qui est une phase "descendante" et une phase d'implémentation "ascendante". En fait, si on veut concevoir des VLSI optimisés, les deux aspects (structural et géométrique) doivent être affinés en même temps et donc on effectue pour la conception d'un circuit plusieurs fois les démarches ascendante et descendante jusqu'à obtenir une géométrie et une structure satisfaisantes.

Au cours de la conception d'un circuit, on travaille sur trois niveaux ou domaines de description de ce circuit:

- le domaine comportemental où est décrit le comportement des différents modules composant le circuit, et celui de l'assemblage de ces modules.

- le domaine structural où est décrit la structure logique du circuit en termes de boîtes, de fils structurés et de connectique de boîtes.
- le domaine géométrique où est décrit la réalisation physique des différents éléments constituant le circuit et l'assemblage de ces éléments.

A ces trois domaines correspondent trois hiérarchies qui sont partiellement unifiables car elles décrivent le même objet. Pour donner au concepteur la possibilité d'effectuer les démarches ascendantes et descendantes avec la meilleure efficacité possible.

Méthodologie ascendante (bottom-up):

Elle est basée sur l'assemblage de transistors et de portes jusqu'à obtenir le circuit complet, c'est-à-dire, on utilise un niveau plus bas bien défini pour bâtir un niveau supérieur.

Méthodologie descendante (Top-Down):

Il s'agit de définir l'architecture d'un circuit à partir du plus général (cahier de charges), et d'aboutir au plus élémentaire (transistors). Cette méthode concerne donc le découpage fonctionnel du circuit en tenant compte d'une stratégie, l'expérience montre que la méthode descendante est plus naturelle puisqu'avant le fonctionnement interne d'un élément, on préfère connaître son rôle précis.

I.2.- Approche topologique:

L'objectif de la conception d'un circuit intégré (VLSI) est de dessiner les masques qui seront utilisés pour sa réalisation. La recherche d'un bon rendement de production conduit à l'utilisation d'une méthodologie de conception basée sur une étude topologique du circuit.

Plus le circuit est complexe et performant plus il est constitué par un grand nombre de blocs fonctionnels. Dans ce cas le problème topologique est important, comme dans le cas de microprocesseurs.

La (fig-I.1) nous montre deux microprocesseurs, le premier (NEC 8080) montre une topologie plutôt irrégulière, le second (TEXAS 7000) montre une topologie régulière, on observe aussi la structure régulière interne des blocs (Plas, Rom, Registre). Une bonne topologie est une topologie qui est bien structurée.

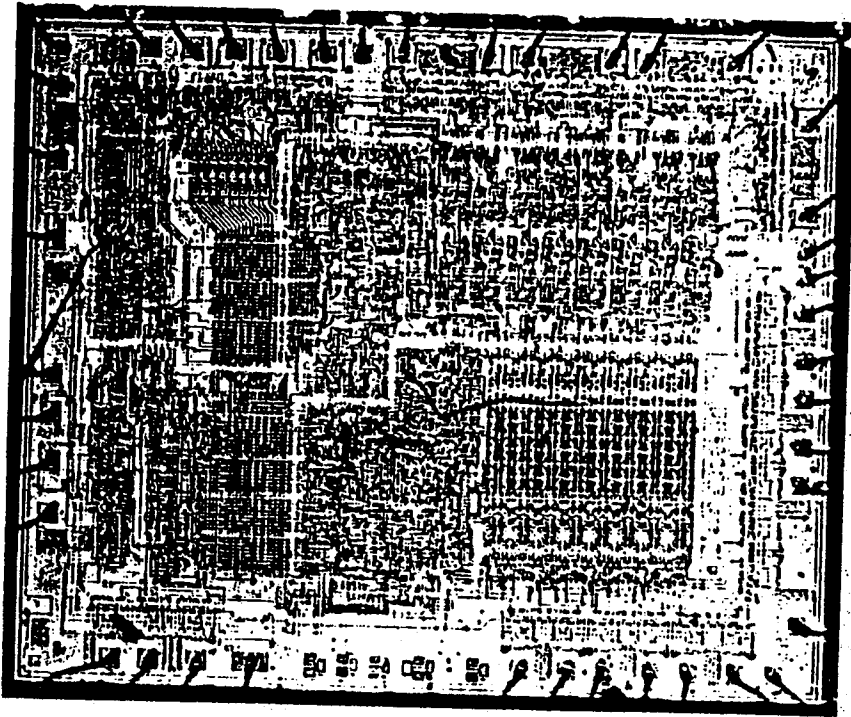


Fig-I.1 photographie du microprocesseur NEC8080.

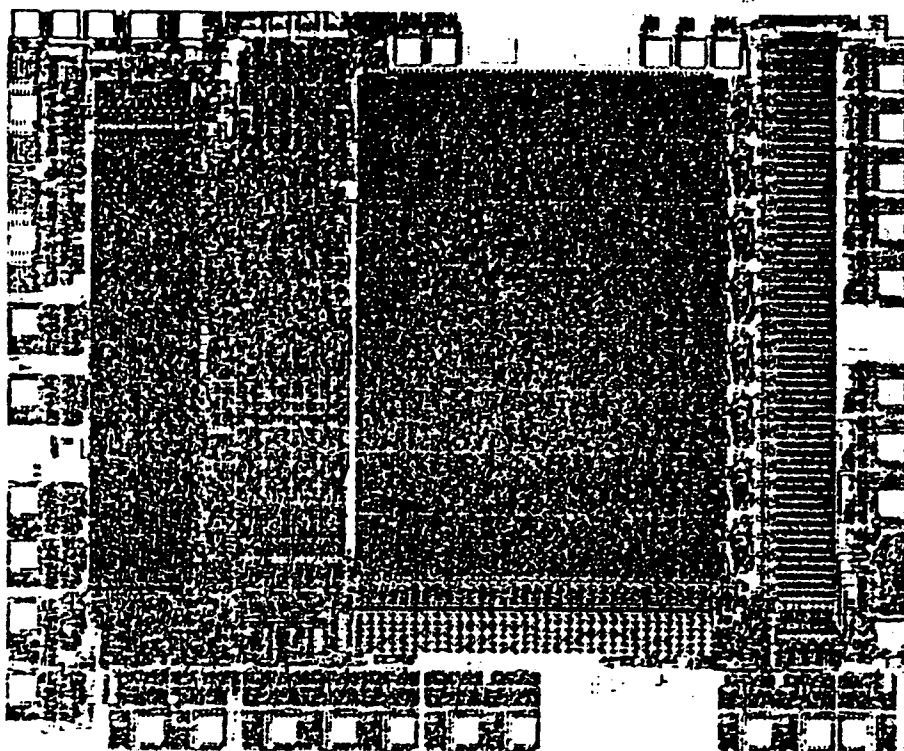


Fig-I.2 photographie du microprocesseur TEXAS 7000

I.3.- Outils informatiques :

Aujourd'hui la Conception Assistée par Ordinateur (C.A.O) s'avère indispensable pour la conception et la réalisation de circuits intégrés. Le dialogue homme-machine, grâce à l'infographie, est devenu clair et tire un meilleur profit des compétences respectives de l'homme et de la machine.

Les systèmes de conception assistée par ordinateurs sont indispensables pour concevoir des objets constitués de plusieurs centaines de milliers d'entités élémentaires. Ainsi, pour des VLSI de 1984, l'écran graphique est le seul moyen pour le concepteur de voir les masques de son circuit complet, ceux-ci nécessiteraient plusieurs dizaines de mètre carrée de papier si on voulait les tracer à une échelle suffisante pour pouvoir en vérifier la cohérence.

Cependant, ainsi que les premiers langages informatiques étaient inadaptés à l'écriture de logiciels complexes, les systèmes de CAO qui sont sur le marché actuellement ne permettent pas de dessiner des circuits tels que ceux que l'on pourra techniquement produire dans les années 90.

Depuis l'apparition des premiers logiciels d'aide à la conception, on peut distinguer deux générations d'outils:

- la première génération regroupe un ensemble d'outils développés pour des besoins spécifiques (par exemple CALMA pour le graphique) et dont la principale caractéristique est de ne pas avoir de liens bien définis les uns avec les autres.

- la deuxième génération regroupe une gamme de systèmes, composés pour chacun d'entre eux, d'une base de données supportant l'ensemble des informations relatives à un projet en cours, et de modules cohérents travaillant autour de cette base de données. Ce sont des systèmes de description/vérification qui dans certains cas, savent donner une implémentation d'une description de circuit donnée par le concepteur.

I.3.1.- Un compilateur de silicium:

le but du compilateur de silicium est de générer les dessins de masques des circuits intégrés, à partir d'une description de haut niveau en réduisant le coût et la durée de conception.

On peut dire encore qu'un compilateur de silicium consiste à partir d'une description fonctionnelle abstraite d'un circuit intégré à produire une description concrète, celle des masques qui serviront à la fabrication du circuit intégré [SIS-82].

I.3.2.- Un assembleur de silicium:

le but d'un assembleur de silicium est de transformer la description structurelle (un ensemble de modules ayant une description fonctionnelle déjà connue) à une description géométrique qui décrit le dessin des masques.

A cet égard, l'équipe de Recherche en Architecture des

Ordinateurs à l'IMAG, a développé le système CAPRI [ANC-82a] [ANC-83b], qui est un compilateur de silicium, son but est de réduire le coût et la durée de la conception.

La méthodologie du système CAPRI (Conception Assisté de Processeur Intégré) à la conception des circuits VLSI est divisée en quatre étapes:

- La conception architecturale: qui définit à partir d'une description comportementale du circuit, la partie contrôle et la partie opérative.
- Génération de dessin de masques de la partie opérative.
- Génération de dessin de masques de la partie contrôle.
- Assemblage de tous les éléments du circuit, partie opérative, partie contrôle, et pôles entrées/sorties.

Les outils CAO principaux du système CAPRI sont:

IRENE: c'est un langage de description comportementale et structurelle des CI [MAR-83].

- Extracteur: qui définit les structures de la partie opérative et la partie contrôle à partir de la description structurelle et comportementale [JER-83].
- un générateur de partie contrôle [DER-84].
- un générateur de partie opérative.
- PAOLA: un optimiseur et générateur du dessin des masques de PLAs complexes [CHU-82a] [CHU-83b].
- TESS: un évaluateur topologique prédictif pour la génération automatique des plans de masse de circuits [REI-82].

- PAMELA: un générateur de partie contrôle bi-PLA.
- LUBRICK: un assembleur de cellule [SCH-83].
- COMFOR: un système qui génère une description électrique de CI pour des simulateurs électriques (MSINC, SPICE) à partir de leurs dessins de masques.

C H A P I T R E II

II.1- INTRODUCTION

II.2.1- CONCEPTION DU PLA

II.2.2- PLA CLASSIQUE

II.2.3- REALISATION DU MASQUE DU PLA

II.2.4- GENERATION DU MASQUE

II.2.5- TEST

II.2.6- SIMULATION ELECTRIQUE

II.3- OPTIMISATION DU PLA :

II.3.1- L'optimisation topologique:

II.3.2- L'optimisation logique

II.4- SYSTEME "PAOLA"

II.4.1- INTRODUCTION

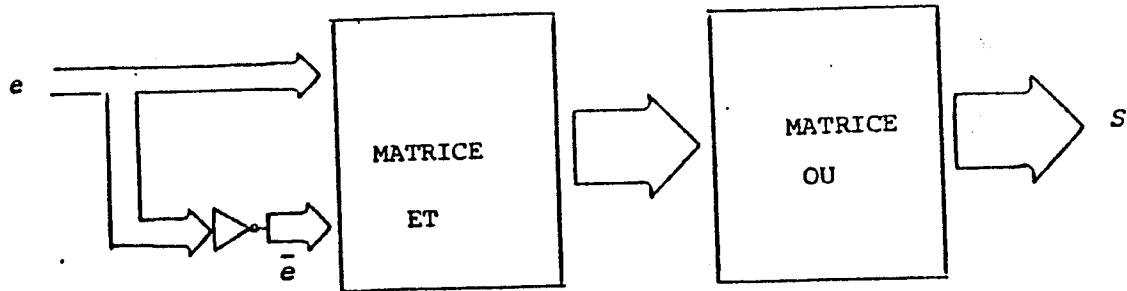
II.4.2- RESULTATS OBTENUS

II.4.3- CONCLUSION

II.1- INTRODUCTION

Les PLA (Réseau Logique Programable) sont devenus des composants importants de la conception des systèmes (VLSI), leur utilisation pour l'intégration à grande échelle réduit le coût de conception et améliore la sûreté de fonctionnement [FLEISHER-75, JONS-75, MEAD-80].

La structure standard d'un PLA comporte une matrice ET qui génère les produits des variables d'entrée, et une matrice OU qui génère la somme de ces produits, qui permettent la réalisation de circuits logiques de type combinatoire ou séquentiel.



FigII-1PLA vu comme fonction logique combinatoire.

Les circuits séquentiels (Fig-II.1) sont réalisés à l'aide d'éléments de mémorisation connectés comme entrées additionnelles de la matrice ET depuis les sorties de la matrice OU. Cette connexion constitue un rebouclage [FLO-64], [GLA-80].

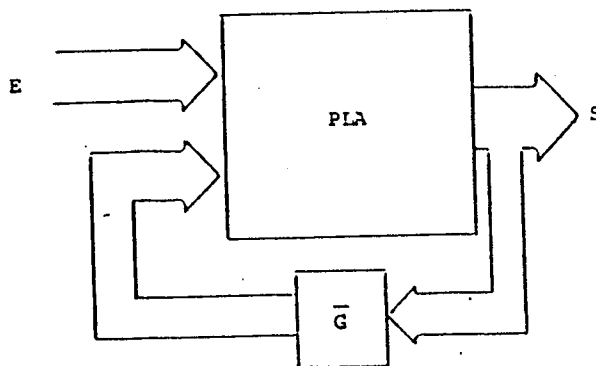


Fig.2 PLA en tant que logique séquentielle.

Les circuits combinatoires (Fig-II.2) sont réalisés à l'aide de fonctions booléennes exprimées en somme des produits des variables.

Les matrices des PLA sont réalisées, soit avec des portes "NOR", soit avec des portes "NAND". Les premières permettant des temps de propagation plus courts, mais nécessitent des lignes de masse à l'intérieur des matrices, par contre les secondes utilisent un motif de base plus compact, mais présentent des temps de propagation plus longs dûs à la mise en serie du plusieurs transistors.

Ces PLA font, bien entendu, partie intégrante des circuits intégrés dans lesquels ils sont implantés au même titre que des UAL, des registres, etc...

La structure habituelle de ces PLA (Fig-II.3a) entraîne une perte importante de surface par rapport à celle de la logique aléatoire équivalente (Fig-II.3b). Cette disparité est d'autant plus importante que le PLA est grand et que sa matrice OU est creuse (faible taux de remplissage) [ANCEAU-81].

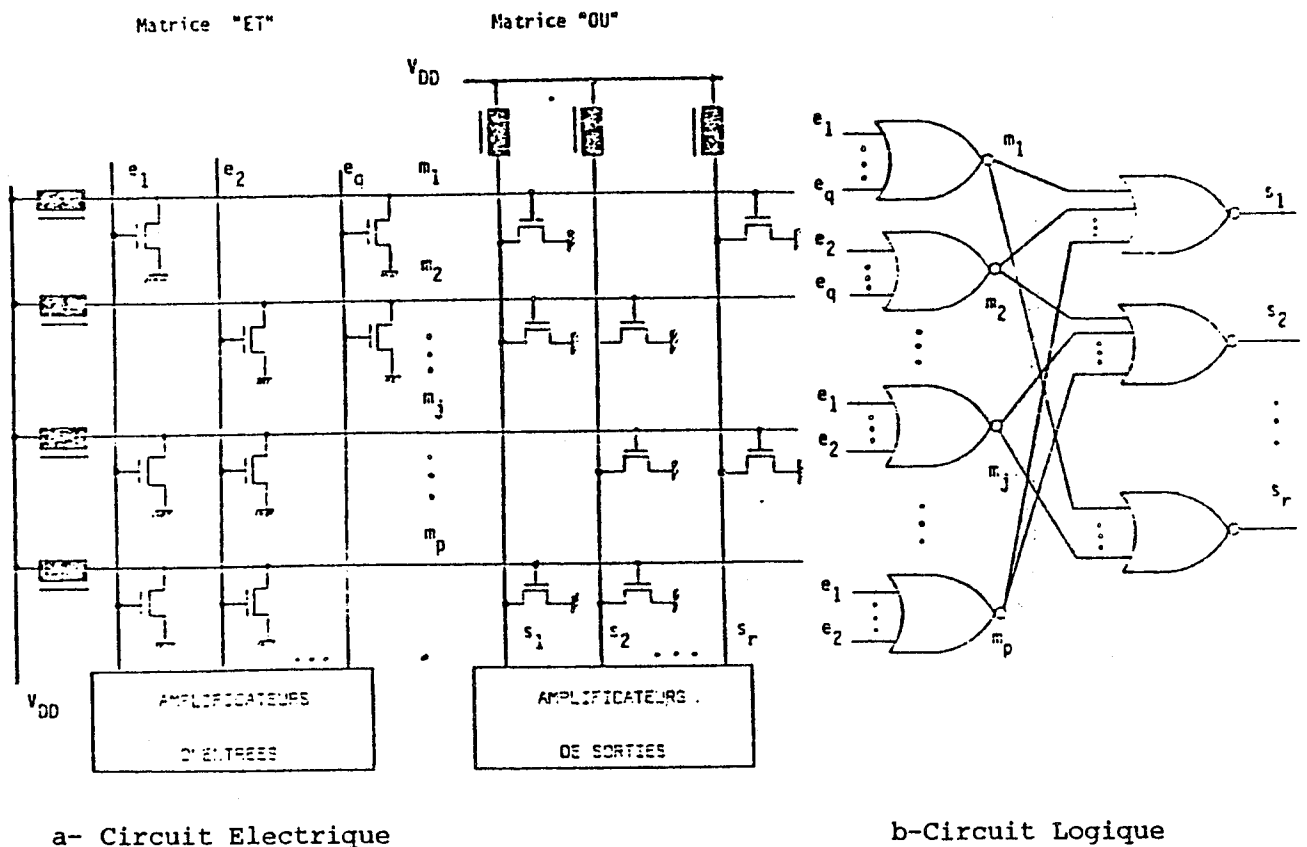


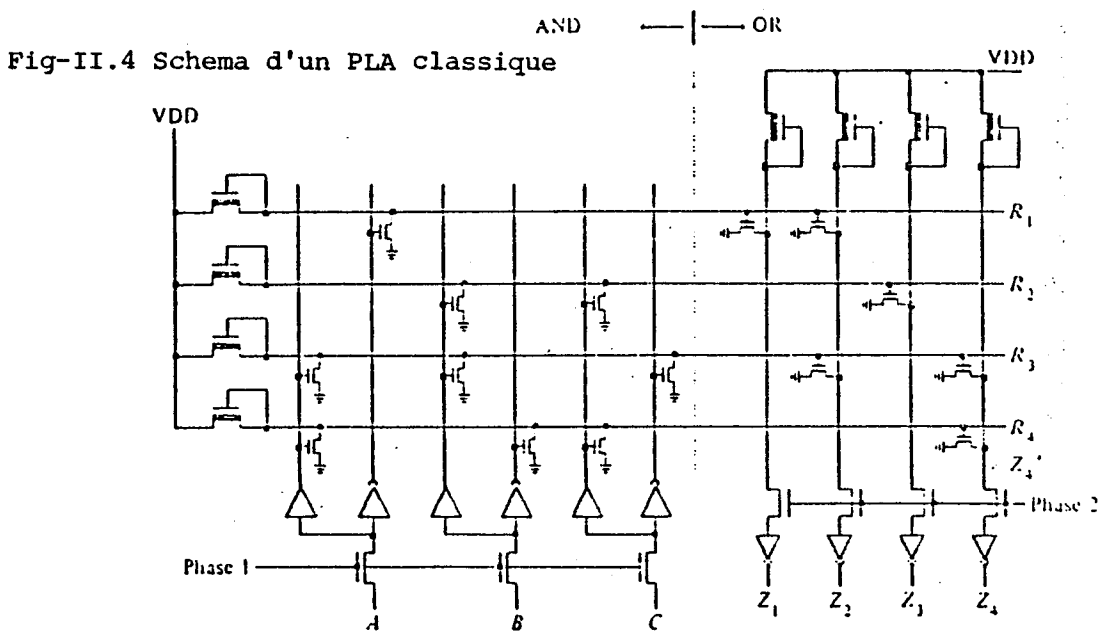
Fig- II.3 -STRUCTURE CLASSIQUE DES PLA

En outre, dans la conception de circuits intégrés complexes, il importe de réduire à la fois la surface des blocs qui les composent ainsi que la surface de leurs interconnexions. Un PLA considéré comme un bloc composant d'un circuit intégré complexe peut être réduit en surface par des techniques d'optimisation LOGIQUE et TOPOLOGIQUE. Les techniques d'optimisation LOGIQUE agissent surtout sur la diminution du nombre de monômes [AUGUIN-78] tandis que les techniques d'optimisation TOPOLOGIQUE réorganisent les matrices ET(OU) tout en leur conservant le même nombre de transistors.

II.2 -CONCEPTION DE PLA:

II-2.1 -PLA classique :

Un PLA est dit classique quand il est dans sa forme topologique originale, c'est à dire que les deux matrices sont rectangulaires et les entrées sont perpendiculaires aux monômes, qui sont eux mêmes perpendiculaires aux sorties. La (Fig-II.4) montre le schéma d'un PLA classique.



Les PLAs classiques se caractérisent par:

- La simplicité de la mise en oeuvre du dessin automatique et la facilité de leur programmation.

- La matrice OU est faiblement remplie ce qui entraîne une perte de surface.

- L'évaluation de surface est simple et sûre.

- Les lignes d'entrée/sortie se font au pas minimum [MCCLUSKEY-79]. Chaque ligne occupe toute une colonne de PLA.

- Les bornes d'entrée/sortie sont situées sur une extrémité du PLA. Ce qui entraîne une perte de surface pour les interconnexions .

- Le grand nombre de croisements augmente le temps de propagation.

Une manière de réduire ces inconvénients qui deviennent critiques lorsque les PLA ont une taille importante, est:

- Premièrement de réduire la surface du PLA par brisure des lignes d'entrée(sortie) en plaçant plusieurs de ces lignes brisées ("segments") dans chaque colonne.

- Deuxièmement de placer les bornes de connexion des entrées(sorties) sur toute la longueur du PLA (entrées/sorties latérales) au lieu de les placer sur ses extrémités. Dans ce cas, il faut respecter l'ordre et la position des bornes de connexion, imposés par le bloc

- technologie NMOS à transistors NAND qui utilise un motif de base plus compact mais présente des temps de propagation plus importants du fait de la mise en série de plusieurs transistors. (Fig-II.7)

- technologie CMOS qui permet une consommation beaucoup plus faible que la technologie NMOS pour intégration meilleure mais des temps de propagation supérieurs. (Fig-II.8)

- technologie bipolaire qui offre un temps de reponse court par rapport à la technologie MOS, mais pour une consommation plus grande. (Fig-II.9)

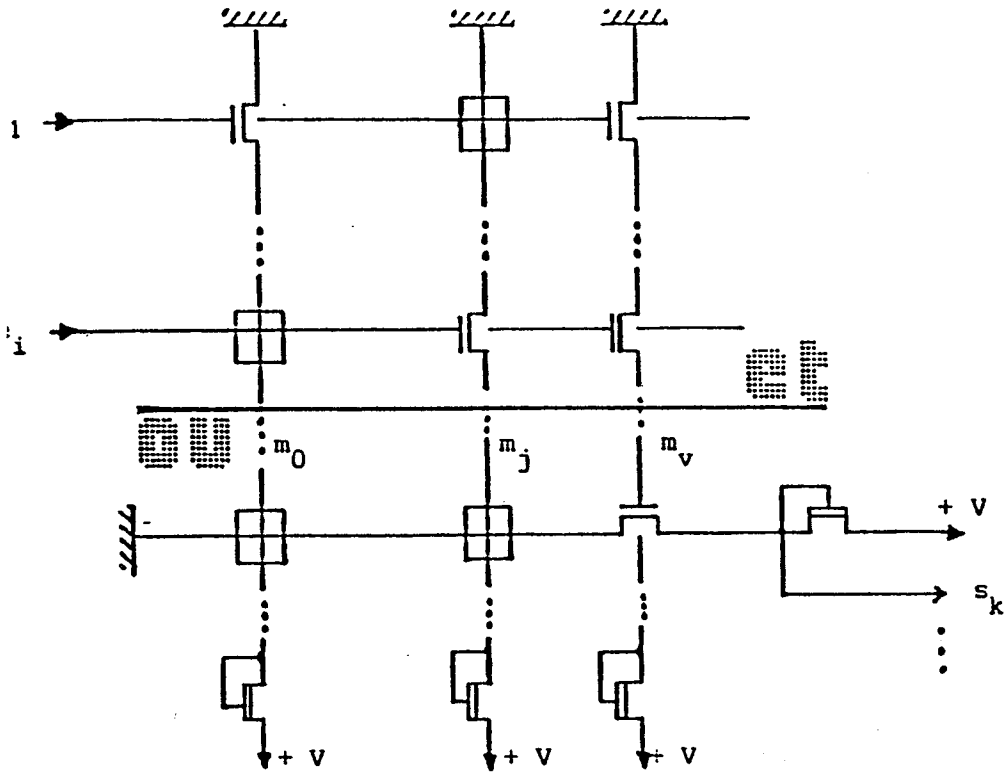
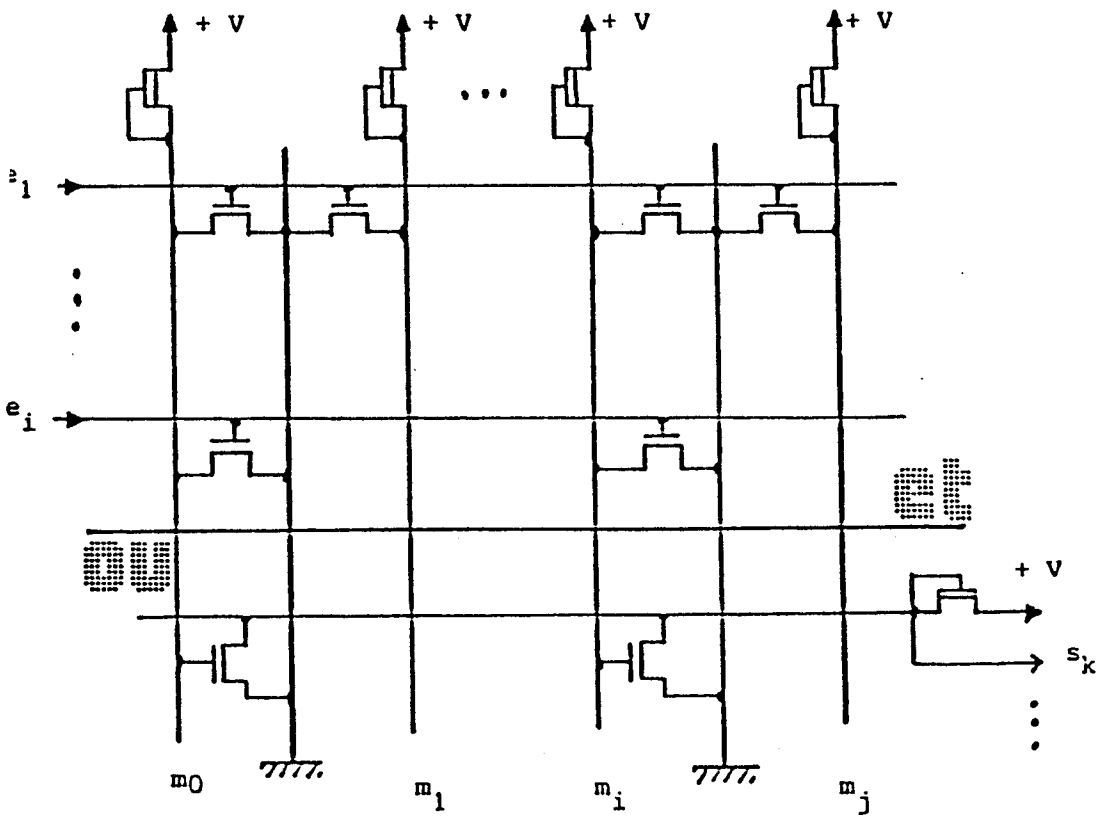


Fig-II.7 PLA avec de portes NAND.



b. PLA avec de portes NOR.

Fig.II.6 Implantation des PLA en Technologie MOS.

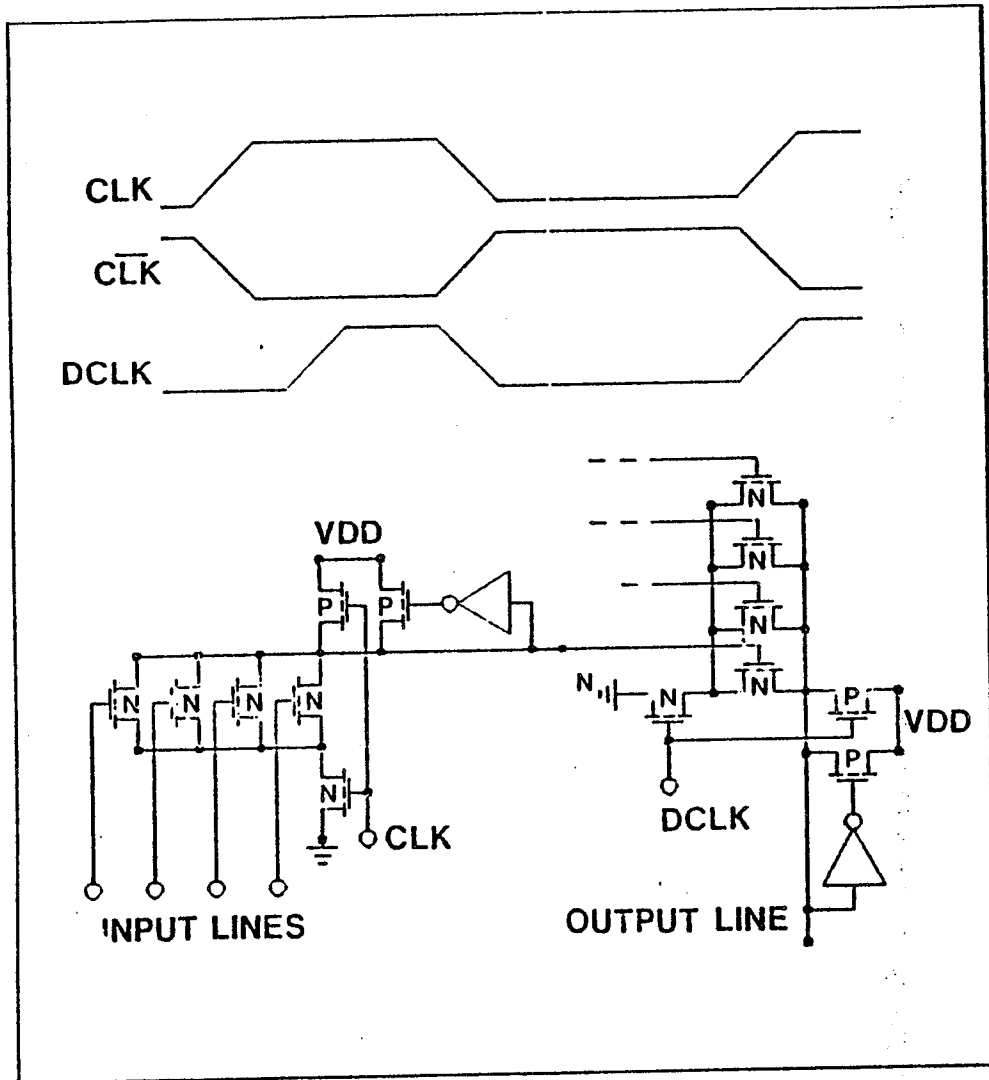


Fig-II.8 Schema électrique d'un PLA en CMOS.

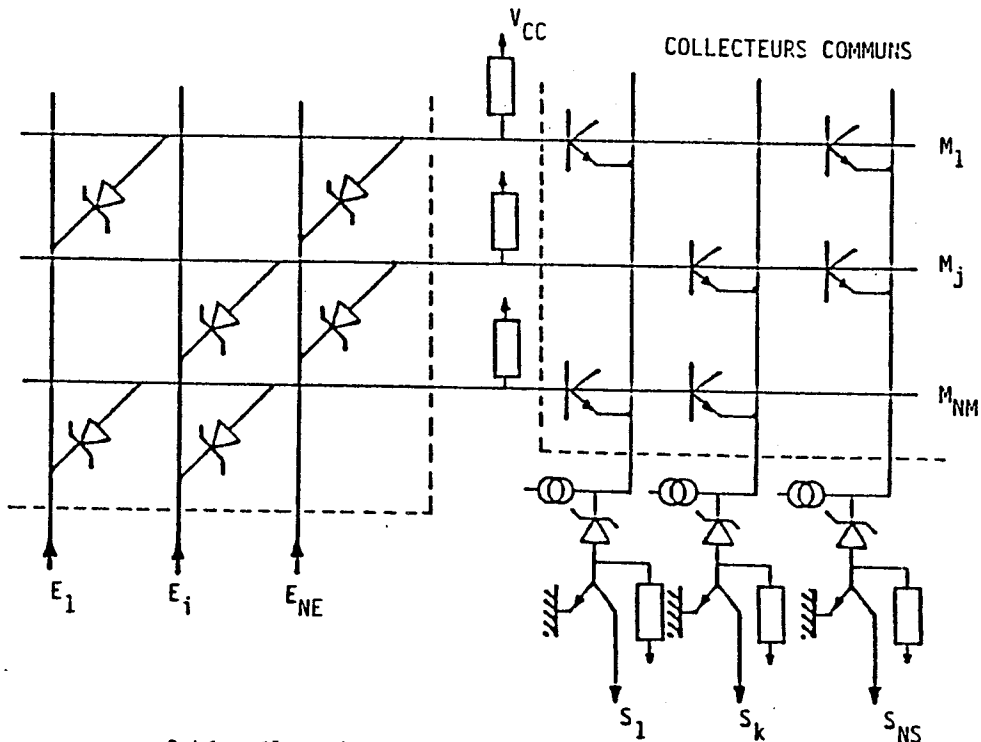


Schéma électrique d'un PLA de type ET-OU-NON en logique STL.

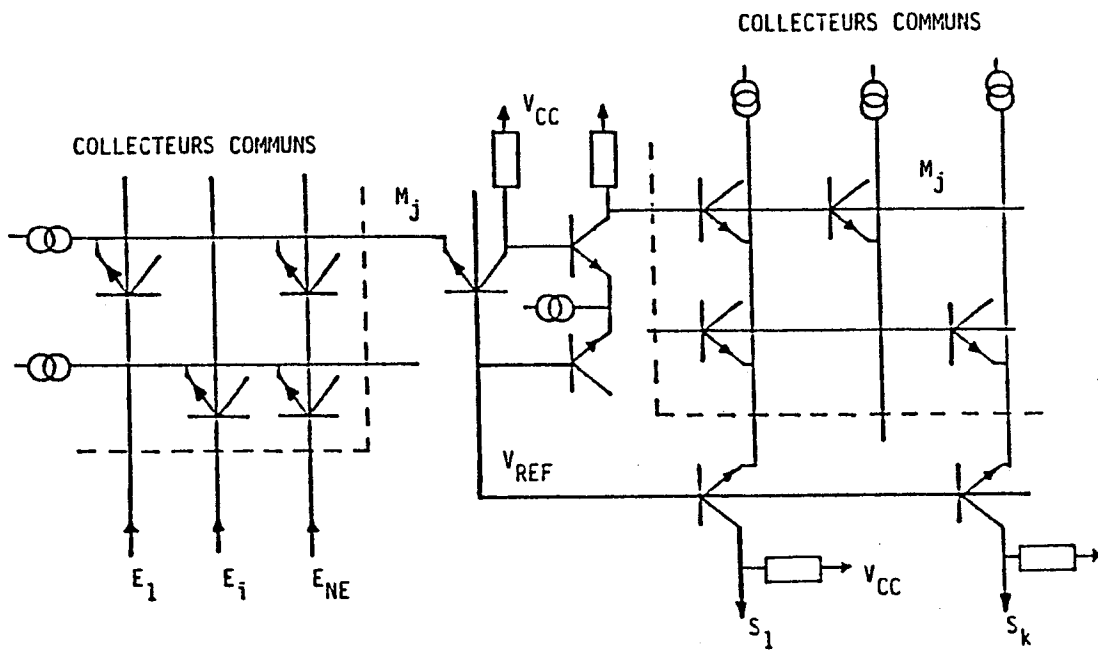


Schéma électrique d'un PLA de type OU-NON-OU en logique ECL.

Fig-II.9

II.2.2 -Génération du masque:

Le Générateur de masque, organe très important de génération des PLA, construit le fichier nécessaire à la fabrication des masques pour produire le circuit physique et, en conséquence, représente l'ultime étape de conception du PLA.

Ce système doit permettre une adaptation aisée à toute technologie.

D'autre part, à l'intérieur d'une technologie donnée, il doit permettre la variation de certains critères tels que:

- la puissance admissible par les transistors de charge
- la puissance des amplificateurs d'entrées-sorties.

II.2.3 -TEST

Le test est un problème primordial pour les concepteurs de circuits intégrés, c'est un des freins au développement des circuits à très haute intégration. IL est donc nécessaire de fournir à l'utilisateur un outil d'aide au test permettant, après fabrication du circuit de vérifier son fonctionnement

Dans le cas d'un circuit combinatoire (sans rebouclage des sorties sur les entrées), ce problème consiste à définir les vecteurs qui testeront la totalité du circuit. Ces vecteurs de test peuvent être générés de manière automatique et permettent ainsi un test efficace du circuit réalisé.

Par contre, dans le cas d'un circuit séquentiel (avec rebouclage), le test s'avère très complexe. L'observabilité peut être augmentée par l'adjonction de registres à décalage et de différentes portes (LSSD) qui transforment alors ce circuit séquentiel en logique combinatoire ce qui permet de tester le circuit à l'aide de vecteurs générés automatiquement. Dans ce cas la surface du circuit est augmentée au profit d'une

testabilité accrue.

II.2.4 - Simulation électrique

A partir du masque généré, il est intéressant d'évaluer le retard de propagation du signal à travers la structure d'un afin de vérifier que la structure mise au point répond au cahier des charges. L'utilisateur du système peut en effet faire appel à une simulation électrique qui lui fournira les temps de fonctionnement du circuit à partir de la configuration qu'il a choisie.

Cette simulation permet de fixer certaines contraintes technologiques telles que.

- l'écartement des rappels de masse
- la taille (W/L) des transistors de charge
- la taille des amplificateurs d'entrées/sorties

Elle permet donc un dimensionnement exact du PLA et par conséquent une réduction de la surface par rapport à une majoration systématique de ces critères.

II.3-Optimisation du PLA :

Dans la conception de circuits intégrés complexes, il est important de réduire à la fois la surface des blocs et celle de leurs interconnexions.

La surface d'un PLA est déterminée par celle des blocs qui la composent (matrices ET/OU et les amplificateurs d'entrées/sorties) ainsi que la surface de leurs connexions.

Une réduction de surface est obtenue par une optimisation logique ou topologique .

II.3.1 -L'optimisation logique :

Il s'agit de réduire le nombre de m \hat{o} nomes et de transistors dans chaque matrice. cette optimisation logique a été abordée depuis longtemps, et on peut trouver un grand nombre d'algorithmes plus ou moins performants. Il y a des algorithmes qui donnent des résultats optimaux [ANI-52] [Hu-83], d'autres donnent des résultats pseudo-optimaux [ARE-78], il y a aussi des algorithmes qui sont basés sur une approche constructive et énumérative [TIS-65], d'autres basés sur la construction de deux matrices qui permettent la réduction du mon \hat{o} me par absorption croisée. [ROT-60]

II.3.2 -L'optimisation topologique:

Le PLA minimisé par les méthodes précédentes reste encore très creux. La minimisation topologique essaye de profiter des creux dans les matrices ET/OU par les méthodes suivantes:

- Compactage de la matrice ET/OU par permutation des m \hat{o} nomes et des entrées/sorties de telle façon que la matrice ET/OU contienne un coin de points vides qui n'apparaîtront plus au moment du dessin: c'est la technique d'optimisation par triangularisation. (Fig-II.10)

- Brisure des lignes de sorties: le principe est de placer dans un même niveau plusieurs sorties qui n'ont pas de m \hat{o} nomes en commun. Ceci permet dans la plupart des cas de réduire fortement la largeur de la matrice OU :
Cette technique donne de bons résultats pour la plupart des PLA. (Fig-II.11)

- Brisure des lignes d'entrées: Cette méthode d'optimisation est identique à celle des PLAs à sorties brisées, mais s'applique sur la première matrice. On place au même niveau plusieurs entrées qui ne sont pas "connectées" aux mêmes m \hat{o} nomes. Ce type de minimisation est très utile lorsque le nombre d'entrées est important

et que la première matrice est très creuse. Ces caractéristiques se retrouvent principalement dans les PLAs de validation de micro-commandes. [PEREZ-81] (Fig-II.12)

- PLA à monômes brisés: cette méthode se fait par permutation des sorties et des entrées de telle manière qu'on positionne sur une même ligne plusieurs monômes. (Fig-II.13)

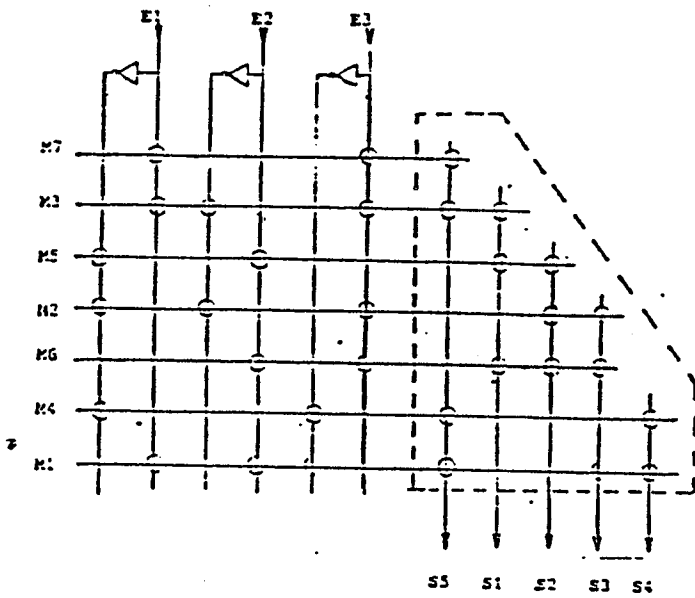


Fig-II.10 PLA TRIANGULAIRE

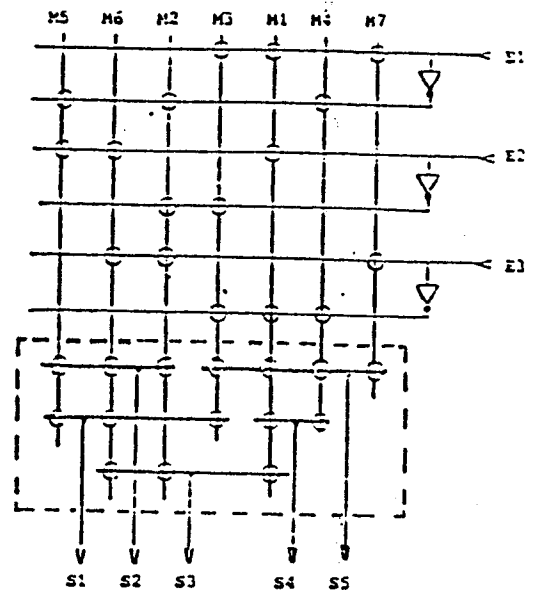


Fig-II.11 PLA A SORTIES BRISEES

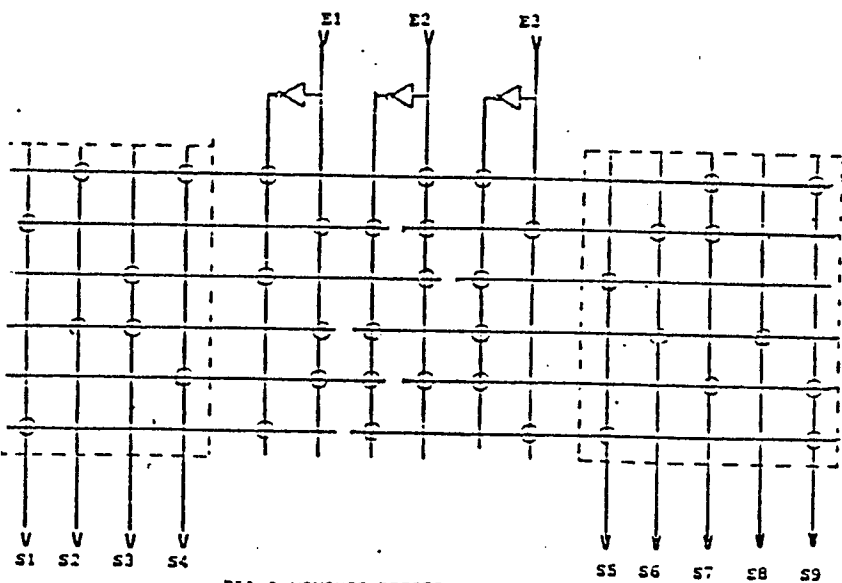


Fig-II.13

PLA A MONOMES BRISEES

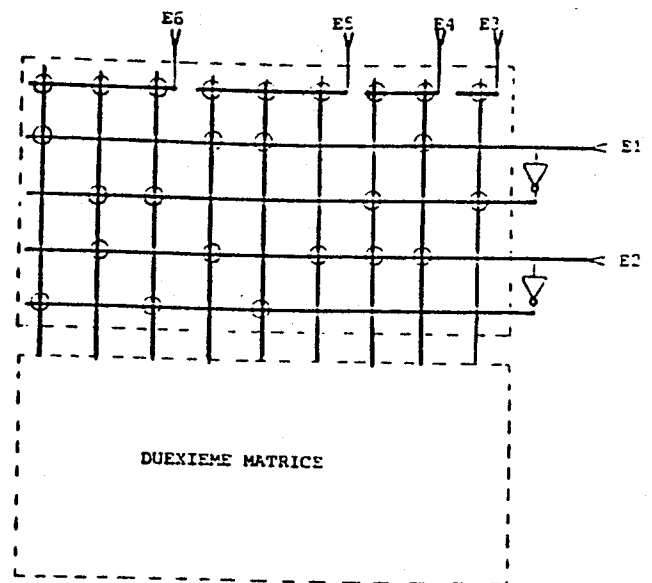


Fig-II.12 PLA A ENTrees BRISEES

: Différents procédés d'optimisation topologique.

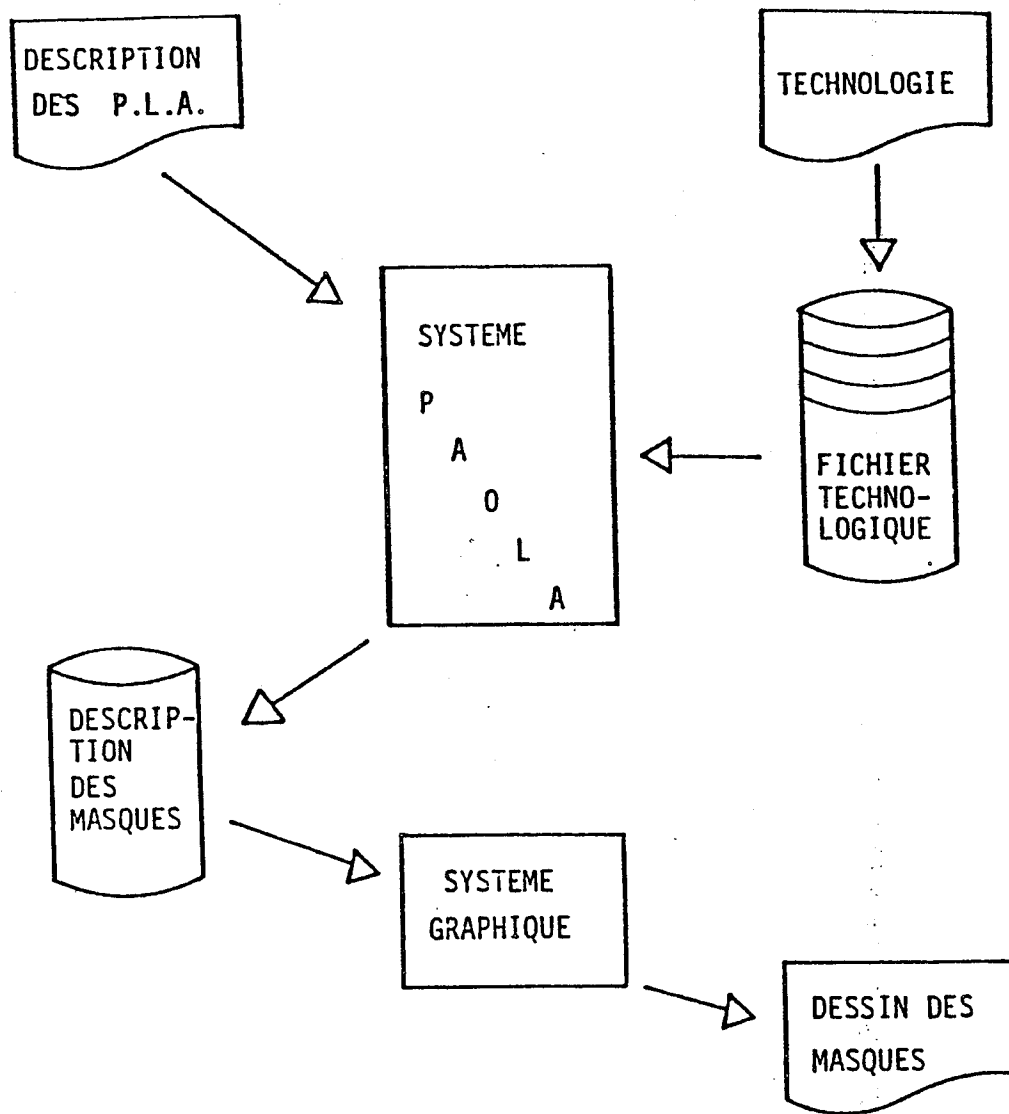


Fig-II.14 Vue Générale du Système PAOLA.

Il existe plusieurs méthodes pour réduire la surface d'un PLA et chaque méthode profite de certaines caractéristiques propres à chaque cas particulier de PLA .

A cet égard l'Equipe de Recherche en Architecture d'Ordinateurs a développé dans le cadre de la conception de circuits intégrés, en particulier dans le domaine d'analyse de PLAs effectivement utilisés dans l'industrie, dans la conception et l'optimisation de PLAs (outils "PAOLA" de réduction de surface et de dessin automatique de PLAs complexes).

II.4 -SYSTEME "PAOLA"

II.4.1 -INTRODUCTION

Le système "PAOLA", spécialisé dans l'optimisation topologique et le dessin automatique de masques des PLA complexes, a été développé à l'IMAG par l'Equipe de Recherche en Architecture d'Ordinateurs. Ce système permet la réduction de surface et améliore la connectabilité des PLA avec leurs blocs voisins [ANCEAU-80]. Il a été réalisé à l'aide de techniques heuristiques d'optimisation qui profitent du faible taux de remplissage des matrices ET(OU). Ces techniques agissent sur le compactage de la matrice ET (matrice OU) par brisure et réorganisation des lignes d'entrée (lignes de sortie) du PLA. La génération du dessin des masques du PLA optimisé tient compte des conflits topologiques au moment du placement des rappels de masse. Cela entraîne la création de canaux qui facilitent la connexion des segments d'entrée(sortie) aux bornes du PLA placés sur son pourtour(Fig-II.14).

Etant donné la description d'un PLA quelconque sous une forme de table de vérité et certains indicateurs de contrôle, PAOLA génère comme produit final la description graphique du dessin des masques du PLA sous une forme d'un ensemble de rectangles. Pour ce fait, dans la description du PLA, on doit expliciter:

- Les emplacements relatifs des matrices qui vont permettre la bonne connectabilité du PLA avec les blocs voisins et l'assouplissement du placement des dispositifs périphériques tels que les amplificateurs d'entrée(sortie) et les charges des monômes.

- La possibilité de connexion de certains monômes aux blocs contrôlés d'une manière directe.

- L'option de placer des bandes de dessin connues à priori au début de ligne ou colonne dans une matrice quelconque.

- L'ordre de placement des bornes de connexion au pourtour du PLA.

- Les positions de placement des bornes de connexion des entrées(sorties).

- Les emplacements des bandes d'écartement soit pour le passage des connexions externes ou soit pour améliorer la connexion des segments et leurs bornes de connexion.

PAOLA comporte trois sous-systèmes:

- Un sous-système Le processus d'optimisation topologique fournit une nouvelle structure topologique des matrices ET/OU à partir de la spécification initiale donnée sous la forme d'une table de vérité. Cette nouvelle structure occupe moins de surface et permet un tracé simple des connexions entre les segments d'entrées/sorties et les bornes externes du PLA. Ce sous-système est décomposé en trois étapes:

- Le réordonnancement des monômes.

- La duplication des monômes.

- Le compactage des matrices.

(Fig-II.15. a,b,c,d) [CHU-83c]

	ET				OU		
(1)	0	0	0	4	1	0	0
(2)	0	2	0	0	0	2	0
(3)	1	0	3	0	1	2	0
(4)	0	2	0	4	1	2	0
(5)	1	2	0	4	0	2	0
(6)	1	2	0	0	0	2	0
(7)	1	0	3	4	0	2	0
(8)	1	0	0	4	1	0	3
(9)	0	2	3	0	1	2	3
	E1	E2	E3	E4	S1	S2	S3

a

représentation Entière

	ET				OU		
(1)	0	0	0	4	1	0	0
(4)	0	2	0	4	1	1	0
(3)	1	0	3	0	1	1	0
(2)	0	2	0	0	0	2	0
(5)	1	2	0	4	0	2	0
(8)	1	0	0	4	1	0	3
(9)	0	2	3	0	1	2	3
(7)	1	0	3	4	0	2	3
(6)	1	2	0	0	0	2	3
	E1	E2	E3	E4	S1	S2	S3

b

PLA après réordonnancement des monômes.

	ET				OU		
(1)	0	0	0	4	1	0	0
(4)	0	2	0	4	1	1	0
(8)	1	0	0	4	1	1	0
(3)	1	0	3	0	1	1	0
(9)	0	2	3	0	0	2	0
(2)	0	2	0	0	0	2	0
(5)	1	2	0	4	0	2	0
(7)	1	0	3	4	0	2	0
(8)	1	0	0	4	1	0	3
(9)	0	2	3	0	1	2	3
(6)	1	2	0	0	0	2	3
	E1	E2	E3	E4	S1	S2	S3

c

PLA après duplication des monômes 8 et 9.

Fig-II.15

	ET				OU		
(1)	0	0	0	4	1	0	0
(4)	0	2	0	4	1	1	0
(8)	1	0	0	4	1	1	0
(3)	1	0	3	0	1	1	0
(9)	0	2	3	0	0	2	0
(2)	0	2	0	0	0	2	0
(5)	1	2	0	4	0	2	0
(7)	1	0	3	4	0	2	0
(8)	1	0	0	4	1	0	3
(9)	0	2	3	0	1	2	3
(6)	1	2	0	0	0	2	3
	E1	E2	E3	E4	S1	S2	S3

d

PLA après compactage

- Un sous-système de dessin automatique des masques, soit d'un PLA déjà optimisé ou d'un PLA non optimisé. Pour obtenir le dessin des masques du PLA trois nouvelle étape sont nécessaire:
 - La définition de l'organisation physique des matrices en jouant sur le placement des rappels de masse et des canaux d'écartement pour résoudre les conflits topologiques.
 - Le tracé des connexions entre les segments d'entrée/sortie et leur borne placés au pourtour du PLA.
 - La génération d'un fichier texte dans un format reconnu par un système graphique de génération de masques.

(Fig-II.16) [CHU-83b]

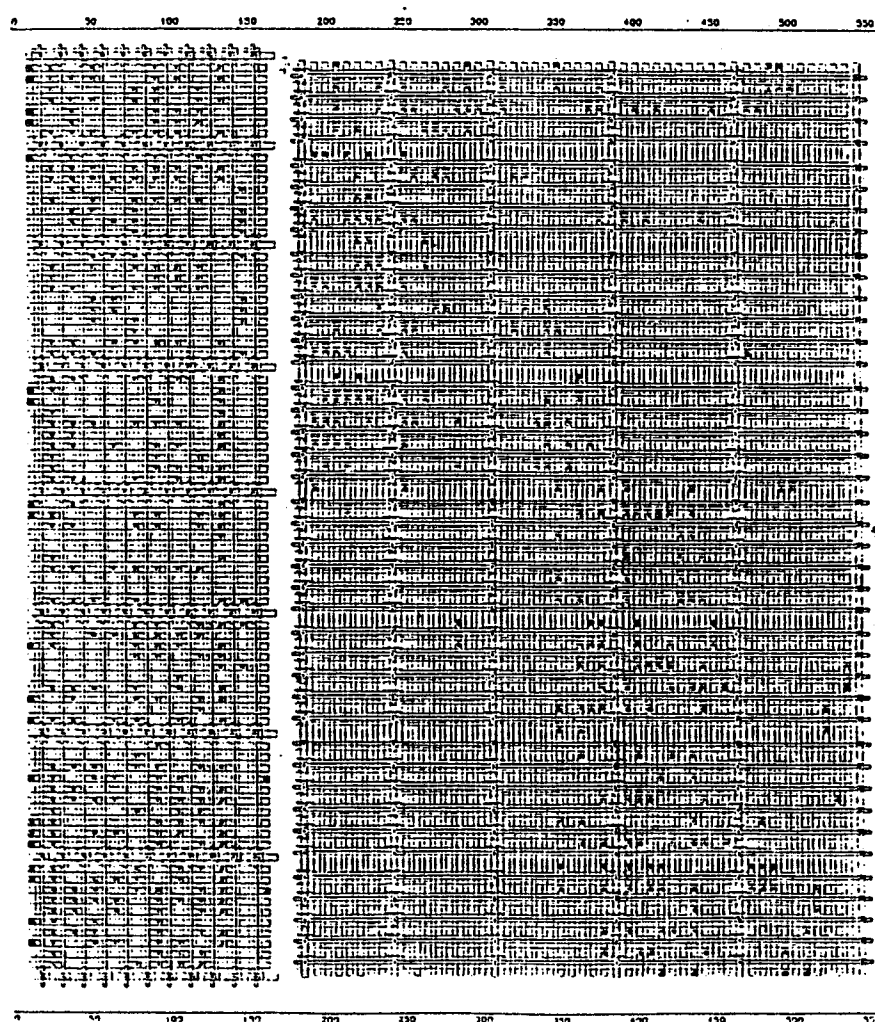


Fig-II.16

- Un sous-système d'évaluation électrique, soit d'un PLA optimisé soit d'un PLA non optimisé. Capable de calculer les paramètres électriques et d'estimer le temps de propagation dans les PLA, pour une technologie donnée et pour une programmation spécifique, a été réalisé. (Fig-II.17) [DAN-83]

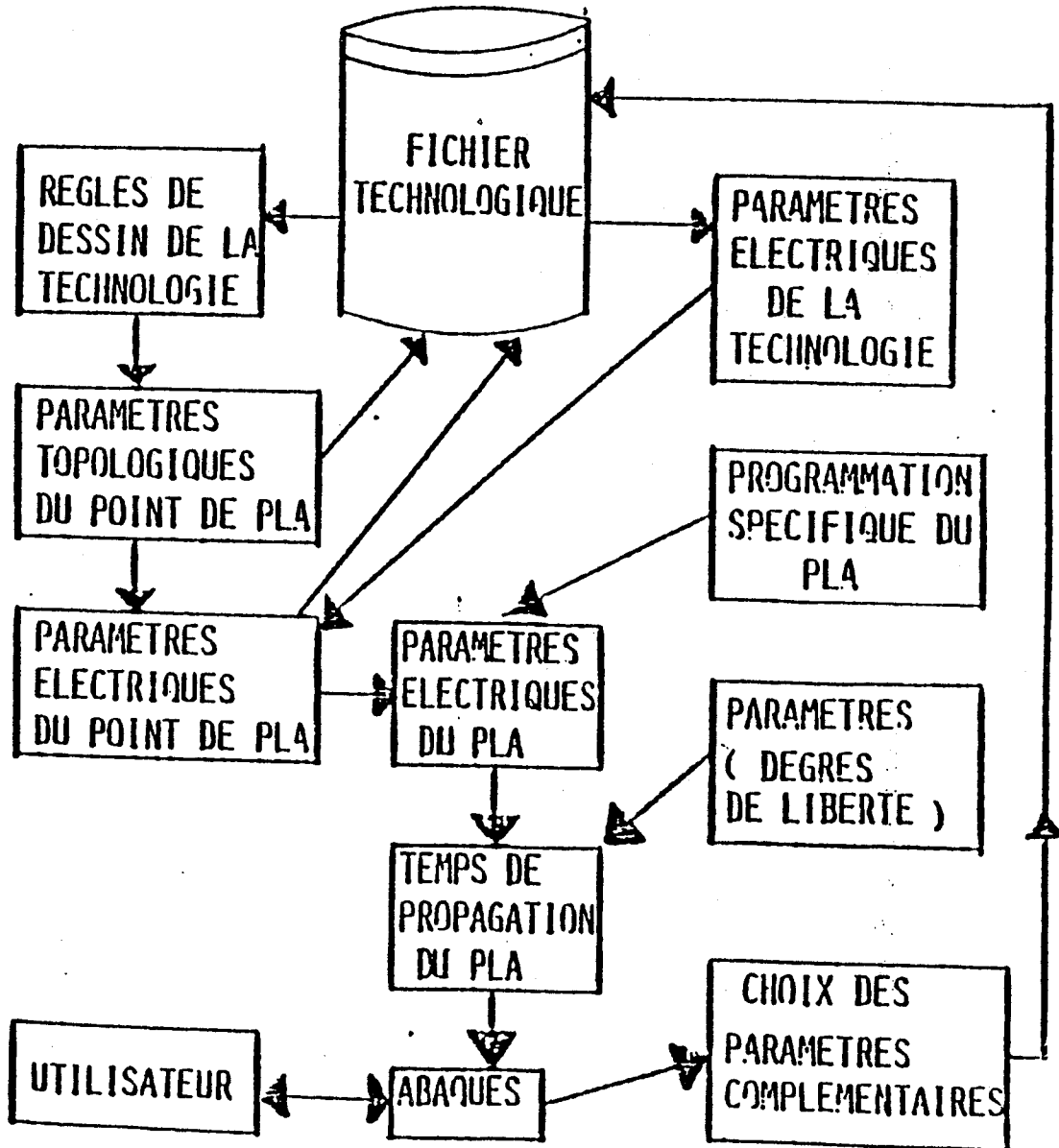


Fig-II.17 - Méthode d'évaluations électriques et temporelles du PLA.

Ces sous-systèmes sont relativement indépendants car il suffit d'avoir la bonne description d'un PLA spécifique et la description d'une technologie particulière pour utiliser un de ces trois sous-systèmes d'une manière directe.

II.4.2 -RESULTATS OBTENUS

Nous présentons quelques résultats de performance du système PAOLA dans la table I et dans la (Fig-II.18). Il est à remarquer que les performances obtenues dépendent du degré de remplissage initial du PLA. Celui-ci dépend de la fonction à réaliser par le PLA. Ainsi les PLA utilisés pour le séquençement ont des taux de remplissage importants, et, de ce fait, c'est avec eux que la méthode utilisée donne les plus mauvais résultats. Par contre, les PLA dont la fonction est de décoder (par exemple pour la génération de micro-commandes à partir d'un code opération) ont peu de transistors par rapport à leur surface, et donnent les meilleurs résultats lors de l'optimisation topologique. Il faut remarquer que c'est précisément sur ces PLA de commande que l'on peut tirer le meilleur profit de l'amélioration de leur connexion avec les blocs qu'ils commandent.

Une formule statistique [REIS-82] donne le rapport "TRN" entre le nombre de niveaux d'une matrice OU optimisée et son nombre de sorties pour un taux de remplissage "TR".

- Sans duplication de monômes:

$$TRN = LN(TR)/0.0465 + 10.01$$

- Avec duplication de monômes fournissant une réduction du nombre des niveaux optimale:

$$TRN = LN(TR)/0.033 - 25.22$$

		PLA1 (SC/MP)	PLA2 (MC2)	PLA3 (Z-80)	PLA4	PLA5
FORME CLASSIQUE	Nb. monômes	65	108	75	131	147
	Nb. sorties	46	40	45	57	38
	surface	2990	4320	3375	7467	5586
	Nb. transistors	314	139	303	520	1383
OPTIMISATION SANS DUPLICAT. DE MONÔMES	Nb. monômes	65	108	75	131	147
	Nb. niveaux	28	14	26	34	30
	surface	1820	1512	1590	4454	4410
	temps-CPU (secondes)	39	26	31	36	130
OPTIMISATION AVEC DUPLIC. DE MONÔMES	Nb. monômes	78	131	88	160	205
	Nb. niveaux	23	3	18	24	27
	surface	1794	393	1584	3840	5535
	temps-CPU (secondes)	55	89	90	110	250

FIG. II.18 RESULTATS DE QUELQUES OPTIMISATIONS TOPOLOGIQUES
DES MATRICES 'OU'.

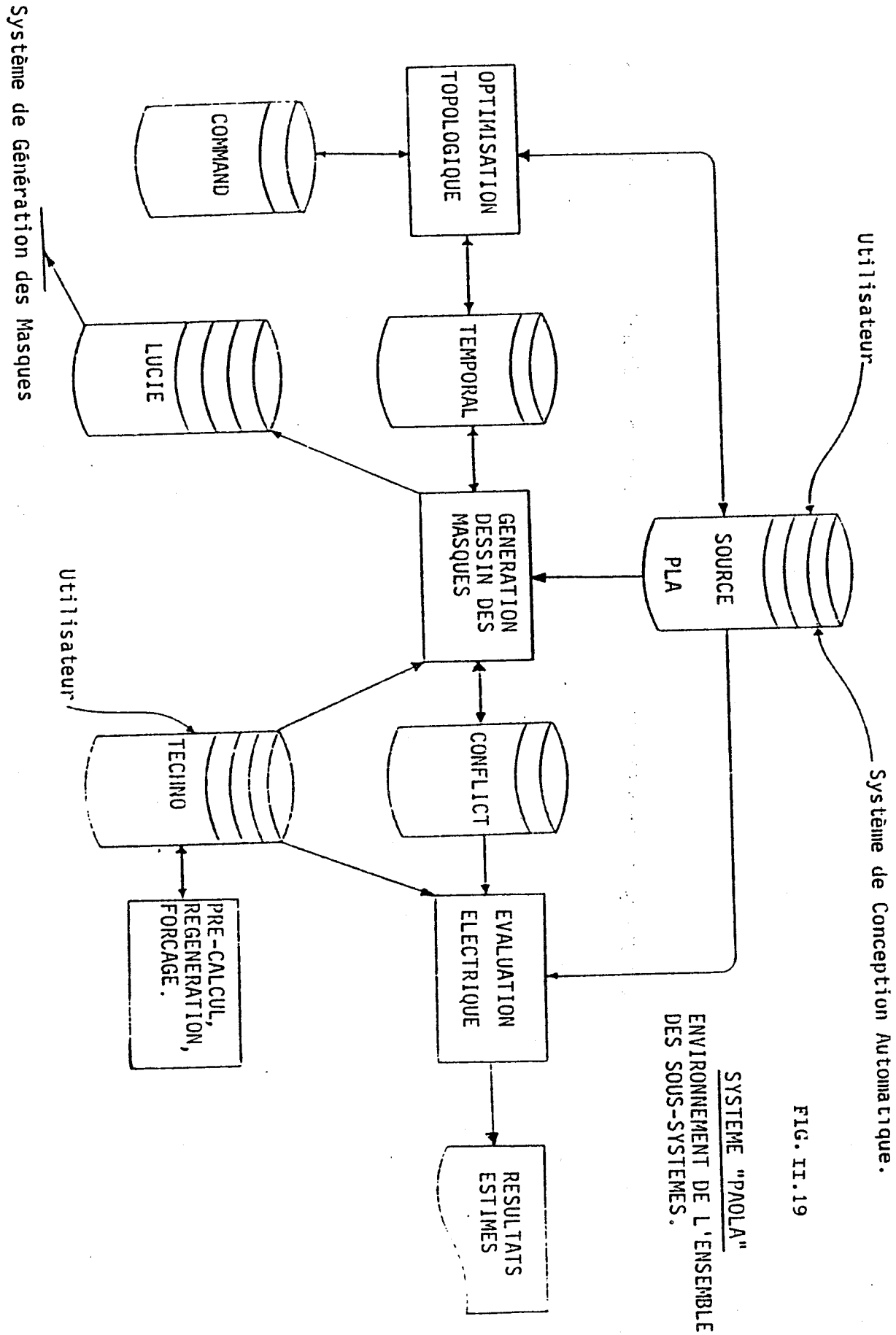
II.4.3 -CONCLUSION

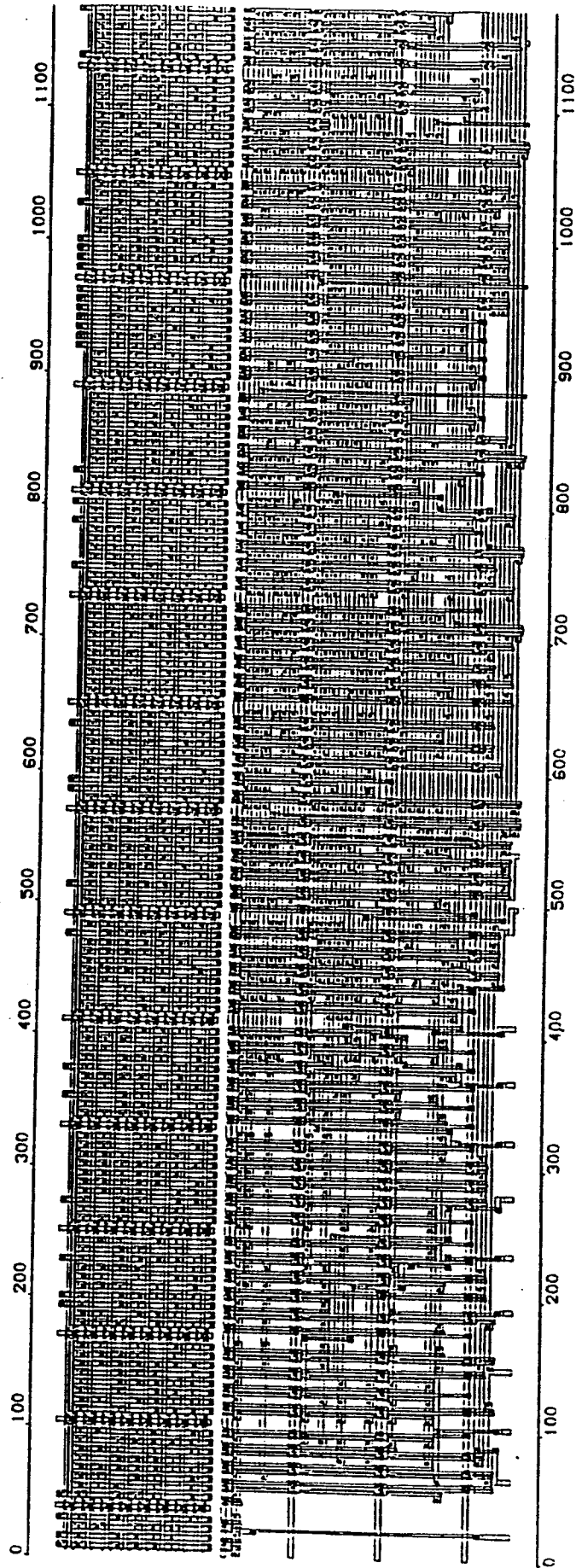
Le système PAOLA comporte 13 programmes tous écrits en PASCAL. Il a été testé sur plusieurs PLA issus d'exemples industriels avec des taux d'optimisations en surface atteignant 20% à 50%. Les temps d'exécution dépendent de la taille des PLA sans dépasser 5 minutes pour des PLA ayant 11 070 points (fig-II.19): 16 entrées, 38 sorties et 205 monômes), sur un ordinateur HB-68 sous MULTICS.

Pour rendre plus performante l'optimisation TOPOLOGIQUE, l'utilisation préalable d'une phase d'optimisation LOGIQUE traitant des PLA complexes pour réduire le nombre de transistors dans la matrice OU est envisagée.

Des programmes auxiliaires, comme les systèmes GATA, et AQUARIUM (voir chapitre IV-V), qui génèrent et assemblent automatiquement le dessin des dispositifs périphériques tels que les amplificateurs d'entrée et les transistors de

charge des monômes et des sorties sont prévues dans des versions ultérieures du système PAOLA.





C H A P I T R E III

III-1. INTRODUCTION

III-2. DEFINITION DES SYMBOLES

III-3. TRANSISTOR MOS

III-3.1 CALCUL DE GAMAC

III-4. LE CHOIX DES AMPLIFICATEURS

III-5. LE TEMPS DE PROPAGATION DANS LES "Super Buffer"

III-4.1. Calcul du temps de propagation dans l'inverseur

III-5.2. Calcul du temps de propagation dans l'amplificateur

III-6. LA CAPACITE DE "Super Buffer"

III-7. CALCUL DU GAIN EN TENSION

III-8. CALCUL DES CAPACITES DU PLA

III-1. INTRODUCTION

Ce chapitre concerne les évaluations électriques et temporelles des amplificateurs d'entrées, de sorties, et d'interfaces, des PLA statiques en technologie NMOS.

En vue d'estimer le temps de propagation des amplificateurs, on va suivre une méthode qui enchaîne le calcul des composantes et le temps de propagation. Ce ci consiste à calculer les paramètres topologiques, et les performances des transistors.

Quelques équations qui concernent le transistor MOS vont être introduites pour pouvoir calculer la dimension des amplificateurs.

Cette méthode de calcul est générale pour toutes les technologies et les règles de dessin.

III-2. Définition des symboles:

Vgs : tension grille source du transistor conçu.

Vds : tension drain source du transistor conçu.

Vt : tension de seuil du transistor conçu.

i : transistor conçu

S : signal

C : charge

SA : signal de l'amplificateur

SI : signal de l'inverseur

CA : charge de l'amplificateur

CI : charge de l'inverseur

Vs : tension de sortie

ve : tension d'entrée

Vdss: tension de saturation drain source

beta : coefficient de substrat linéarisé

Vf: frontière entre la zone ohmique et la zone de saturation pour Tc

Tm1 : temps de montée dans la zone de saturation de Tc

Tm2 : temps de montée dans la zone ohmique de Tc

Td : temps de descente

Tr : temps de transit

Cji: capacité de jonction du transistor conçu
source pour une charge
drain pour un transistor signal

C_{g1} : capacité grille du transistor conçu

C_{lo} : capacité linéaire pour $V_s = 0v$

α : pente de la capacité linéaire en pF par volt

n_2 : nombre maximum de monômes connectés à une sortie

n_e : nombre total d'entrées

n_s : nombre maximum de sorties connectées par un monôme

n_p : nombre total de monomes

n_{is} : nombre total de sorties (de niveaux pour un PLA optimisé)

III-3. Le transistor MOS

Le transistor MOS (metal-oxide-semiconductor) est un transistor à effet du champ (FET) (fig-III.1).

La charge de la grille en polysilicium entraîne le transfert des charges négatives entre la source et le drain qui sont en diffusion, par le canal situé sous la grille. Le courant de la source vers le drain est égal au rapport de la charge contenue dans le canal par le temps de transfert, c'est -à-dire la durée moyenne mise par un électron pour passer de la source au drain. Sous condition normale, la vitesse est proportionnelle au champ électrique auquel les électrons sont soumis.

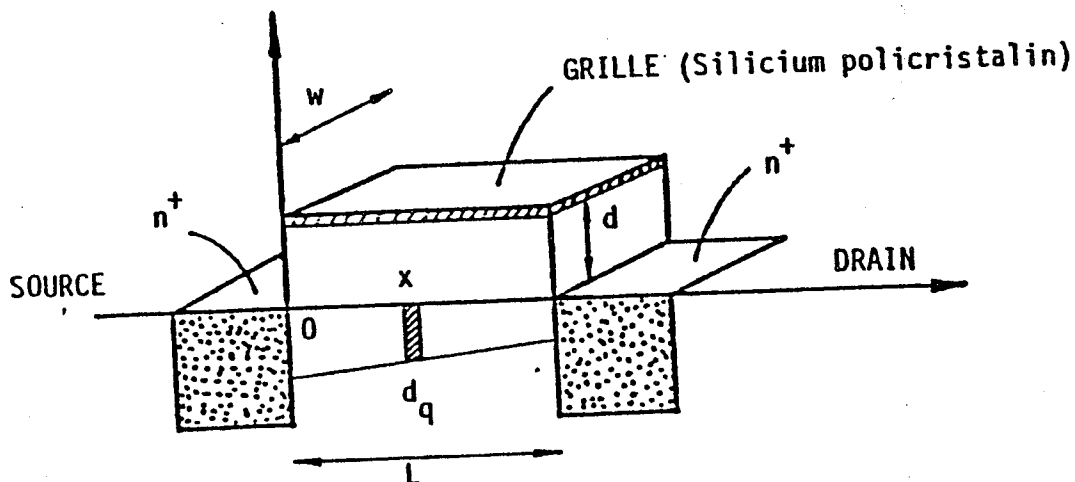


Fig-III.1 Schema d'un MOS

La relation entre le courant I_{ds} drain-source et la tension V_{gs} grille-source est:

Nous avons
$$dq(x)/dx = (WE/d)(V_g - V_t)$$

L'équation du courant est décrite par:

$$I_{ds} = dq(x)/dt$$

Nous pouvons écrire encore

$$I_{ds} = dq(x)/dx \cdot dx/dt$$

avec $dx/dt =$ la vitesse des porteurs dans le canal qui s'écrit aussi

$$V = \mu \cdot dv/dx$$

D'où
$$I_{ds} = E \cdot i_{nu} \cdot (w/d) \cdot (V_g - V_t) \cdot dv/dx$$

Après le changement de variable et en supposant que μ est constant, nous obtenons l'expression suivante:

$$I_{ds} = 2K_c \cdot \gamma_{mac} \int_{V_s}^{V_d} (V_g - V_t) dt$$

L'expression de la tension de seuil par rapport à l'effet de substrat (β) est linéaire:

$$V_t = V_{t0} + (1 + \beta) \cdot V$$

Pour avoir toutes les tensions par rapport à la source, on utilise le diagramme de Memlick (fig-III.2).

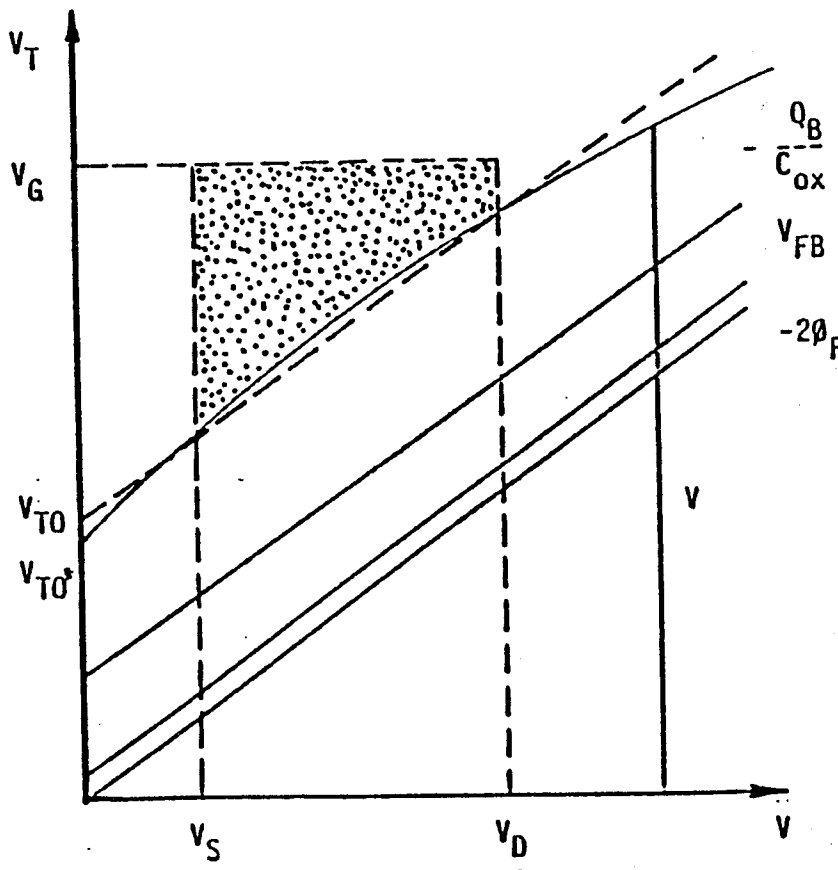


Fig-III.2

Linéarisation de V_t .

d'où la tension d'un transistor MOS :

$$V_t = V_{t0} + \beta \cdot V_{sb}$$

avec (V_{sb}) tension source/Bulk

Les trois modes de fonctionnement du MOS:

1- le transistor bloqué

$$V_{gs} < V_t, \text{ et } I_{ds} = 0$$

absence de canal => toute la capacité grille se trouve par rapport au substrat => C_{gs} et C_{gd} sont nulles.

2- le transistor ohmique

$$V_{ds} = (V_{gs} - V_t) / (\beta + 1), \text{ et } V_{gs} = V_t,$$

$$I_{ds} = k \cdot \gamma$$

Le canal est un peu uniforme entre la source et la grille

=> $C_{gb} = 0$ (écartée par le canal)

=> R.C réparti entre source et drain.

3- le transistor saturé

$$V_{ds} = (V_{gt} - V_t) / (\beta + 1), \text{ et } V_g = V_t$$

$$\text{et } I_{ds} = K \cdot \gamma (V_{gs} - V_t) / (\beta + 1).$$

le canal pincé du côté du drain

=> $C_{gd} = 0$ (absence de canal)

=> $C_{gb} = 0$ (écranage)

III-3.1 CALCUL DE GAMAC:

posons $K_s = \mu_n C_{ox}/2$ $G_{amas} = z/l$ pour T_s
 $K_c = \mu_n C_{ox}/2$ $G_{amac} = z/l$ pour T_c

$$I_{ds}(T_s) = 2K_s \cdot G_{amas} [(V_{cc}-V_{ts})V_{ds}-V_{ds}^2/2]$$

$$I_{ds}(T_c) = K_c \cdot G_{amac} \cdot (V_{tc})^2$$

zone ohmique $I_{ds}(T_s) = I_{ds}(T_c)$

$V_{ds} = V_t$
 donc

$$V_t^2 - 2(V_{cc}-V_{ts})V_t + [K_c \cdot G_{amac}(V_{tc})]/[G_{amas} \cdot K_s] = 0$$

$$\Delta = 4(V_{cc}-V_{ts}) - 4[K_c \cdot G_{amac}(V_{tc})]/[K_s \cdot G_{amas}]$$

il ya deux solutions puisque en zone ohmique $V_{ds} < V_{cc}-V_{ts}$
 donc on choisit comme solution :

$$V_t = (V_{cc}-V_{ts}) - [(V_{cc}-V_{ts}) - [K_c \cdot G_{amac}(V_{tc})]/[K_s \cdot G_{amas}]]^{1/2}$$

$$V_t + V_n = V_{ts}/K \quad ==> \quad V_t = V_n + V_{ts}/K$$

On remplace V_t par $V_n + V_{ts}/K$
 on trouve

$$V_n = V_{ts}/K - (V_{cc}-V_{ts}) + [(V_{cc}-V_{ts}) - [K_c \cdot G_{amac}(V_{tc})]/[K_s \cdot G_{amas}]]^{1/2}$$

Avant le calcul de V_2 , il faut avoir la topologie d'un point de PLA. Généralement un point de PLA est constitué par un transistor. La (fig-III.3) montre le schéma électrique et géométrique d'un point PLA en technologie MOS.

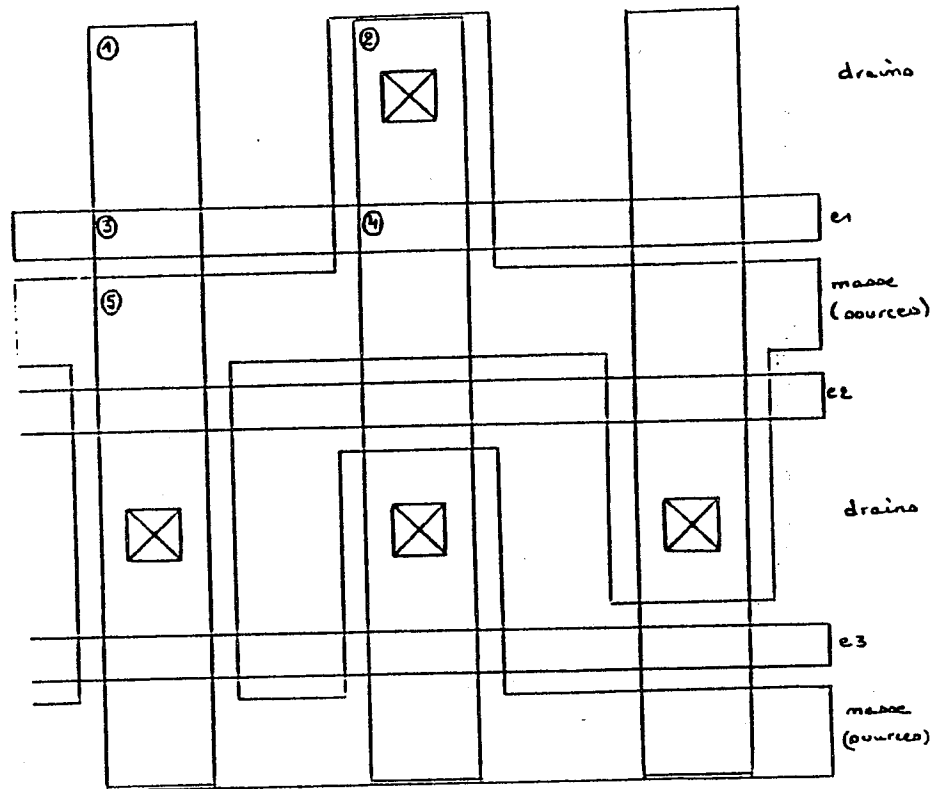


Fig-III.3 Schema électrique et géométrique
d'un point PLA

Cette figure montre aussi les paramètres géométriques associés aux divers éléments caractéristiques du point.

Chaque bande d'aluminium connecte la source du transistor de charge T_c aux drains des transistors signaux. La bande de diffusion qui relie toutes les sources est résistive, donc il y a une chute de tension dans la diffusion qui ramène une tension nulle sur la source des transistors.

Lorsque le transistor conduit, cette chute de tension se retrouve additionnée au V_1 . Si cette dégradation du niveau de masse n'est pas contrôlée, elle peut déclencher la porte suivante, le pire cas alors est celui où il y a un transistor dans chaque colonne pour une même entrée et que les autres entrées ne sont pas actives.

Donc, la bande de diffusion est équivalente à une résistance entre deux transistors $R = R L/l$.

- R : est la résistance de diffusion par carré donnée par la technologie.

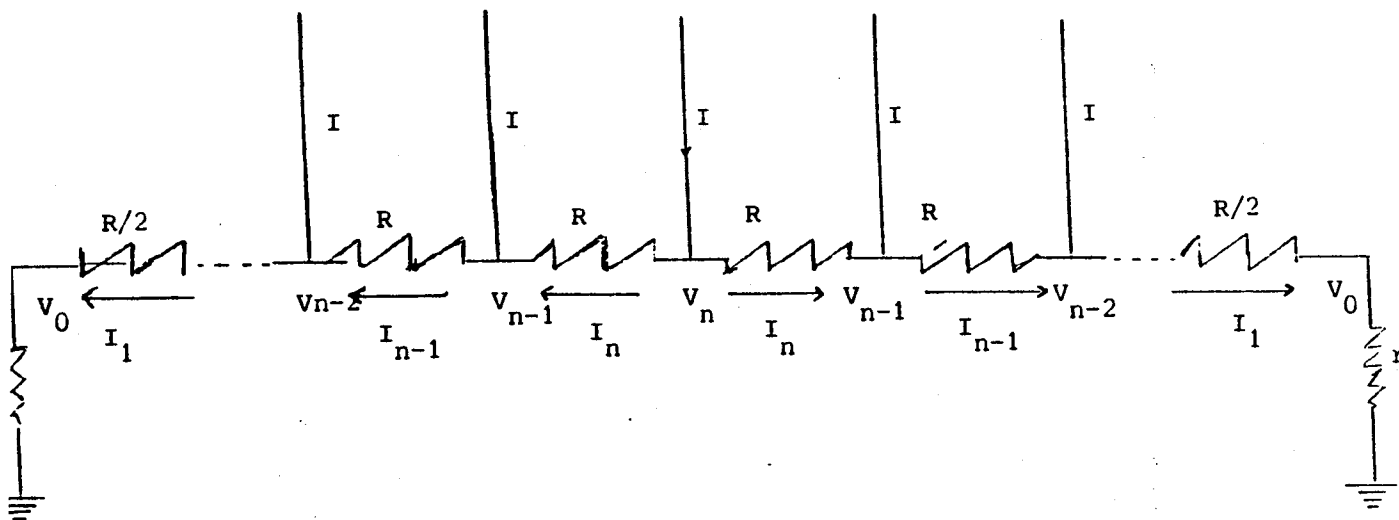
- L : la longueur de la diffusion entre deux colonnes.

- l : largeur de la ligne de diffusion.

- r : la résistance dans la ligne de masse.

Nous obtenons le schéma électrique équivalent.

Calcul de V_n : (fig-III.4a)



A- N est pair

$$I_n = I$$

$$I_{n-1} = 2I$$

$$I_{n-2} = 3I$$

$$I_{n-1} = 2I$$

$$V_1 = (R/2 + r)I_1$$

$$V_2 = R \cdot I_2 + (R/2 + r)I_1$$

$$V_3 = R \cdot (I_2 + I_3) + (R/2 + r)I_1$$

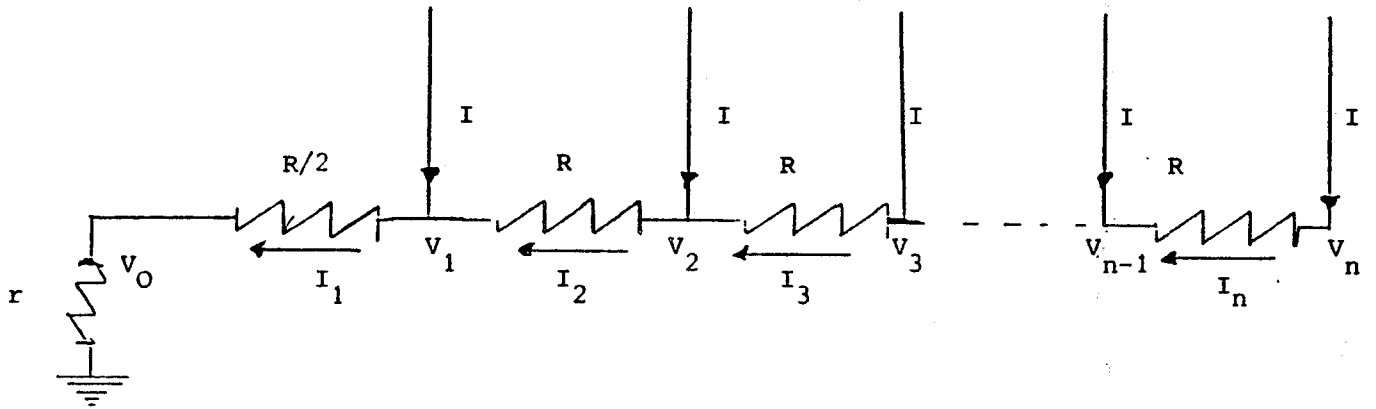
$$V_n = R \cdot (I_2 + I_3 + \dots + I_n) + (R/2 + r)I_1$$

$$V_n = RI(1+2+3+\dots+n-1) + (R/2 + r)nI$$

$$V_n = RI \cdot n(n-1)/2 + (R/2 + r)nI$$

$$I \quad V_n = nI(nR/2 + r) \quad I$$

B- N est impair (fig-III.4b)



$$\begin{aligned}
 I_n &= I/2 & V_1 &= (R/2 + r)I \\
 I_{n-1} &= I + I/2 = 3I/2 & V_2 &= R \cdot I_2 + (R/2 + r)I \\
 I_{n-2} &= 5I/2 & V_3 &= R \cdot (I_2 + I_3) + (R/2 + r)I \\
 I_{n-1} &= (2n-1)/2I & V_n &= R \cdot (I_2 + I_3 + \dots + I_{n-1}) + RI/2 + (R/2 + r)I
 \end{aligned}$$

$$V_n = RI(1+2+3+\dots+n-2) + RI/2 + (R/2 + r)(2n-1)I/2$$

$$V_n = RI(n-1)(n-2)/4 + RI/2 + (R/2 + r)(2n-1)I/2$$

$$\begin{aligned}
 I & & 2 & & I \\
 I \quad V_n &= I/2[(n-n+3)R/2 + (2n-1)r] & I \\
 I & & & & I
 \end{aligned}$$

2

$$I = Kc \cdot \text{Gamac} \cdot (Vtc)$$

III-4. le choix des amplificateurs:

Lorsqu'un inverseur en commande un autre, à quelques distances, il doit charger non seulement la grille de cet inverseur mais aussi la capacité répartie de la liaison qui relie les deux inverseurs. Toute augmentation de la distance entre les deux inverseurs accroît le temps de commutation du premier inverseur donc du montage complet.

Cette dégradation peut être compensée par une augmentation de la surface du premier inverseur, afin de réduire le rapport entre la capacité de charge et la capacité de la grille du premier inverseur. Cependant, cette compensation entraîne un accroissement du temps de commutation du circuit d'attaque qui doit être augmenté. Il n'y a aucun moyen d'empêcher le fait que le transport d'un signal, d'un point à un autre situé à une certaine distance, implique soit la charge, soit la décharge d'une capacité et requiert un certain temps. C'est en tenant compte de cette contrainte et de la contrainte dissymétrie, dues au fait que le transistor de charge a une sortance inférieure à celle de transistor du signal. Il existe des méthodes qui tiennent compte de ces deux contraintes. Les (fig-III.5a,5b) représentent un circuit inverseur qui a des possibilités à peu près symétriques d'absorption et d'injection de charges électriques dans des capacités.

Les circuits de ce type s'appellent des amplificateurs à charge commandée ou "Super Buffer". Ces deux types de amplificateurs sont construits à l'aide d'un transistor signal à enrichissement. La grille de transistor de charge est commandée par le signal complémentaire de celui qui attaque la grille du transistor signal. Lorsque la grille du transistor signal est à l'état haut, la grille du transistor de charge est à peu près à l'état bas: le courant qui traverse l'amplificateur est alors semblable à celui d'un inverseur classique de même taille. Par contre, lorsque la grille du transistor signal est mise à l'état bas, la grille du transistor de charge passe rapidement à V_{dd} dans la mesure où cette grille est la seule charge de l'inverseur précédent. Le transistor de charge sera alors débloqué par une tension de commande d'environ le double de celle qui aurait été nécessaire si la grille avait été connectée à la source. La sortance du transistor de charge est approximativement égale à celle du transistor signal.

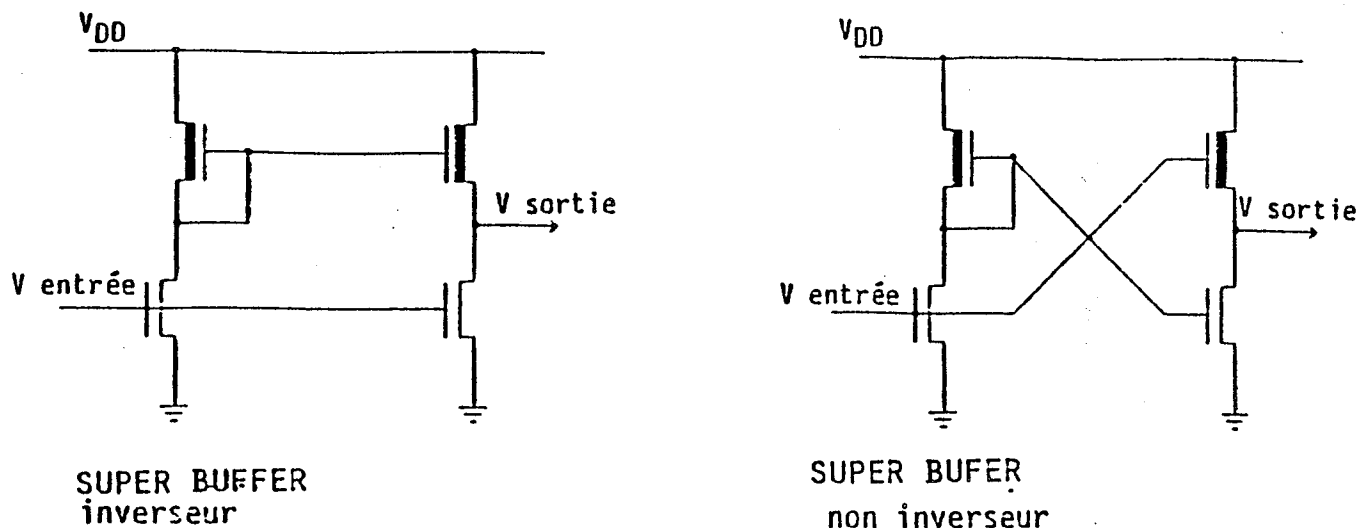


Fig-III.5a,5b

Les formes d'onde d'un "super buffer" qui attaquent des charges capacitives sont alors presque parfaitement symétriques. Comme il y a plusieurs entrées et sorties dans un PLA, le temps de propagation est assimilé au retard maximal correspondant au plus long chemin entre une entrée et une sortie.

III-5. le temps de propagation dans le "Super Buffer"

Le temps de propagation du "Super Buffer" est égale au temps de propagation dans l'inverseur plus le temps de propagation dans l'amplificateur.

$$T_{sup} = T_i + T_a$$

III-5.1. Calcul du temps de propagation dans l'inverseur:

a, Le temps de montée:

L'inverseur est attaqué par un front négatif dont le temps de descente est petit devant le temps de montée. On considère que l'inverseur ne réagit qu'à la fin du temps de descente. Le transistor du signal est bloqué, et le transistor de charge T_c

va charger la capacité d'entrée de l'amplificateur.
Le schéma électrique équivalent (fig-III.6).

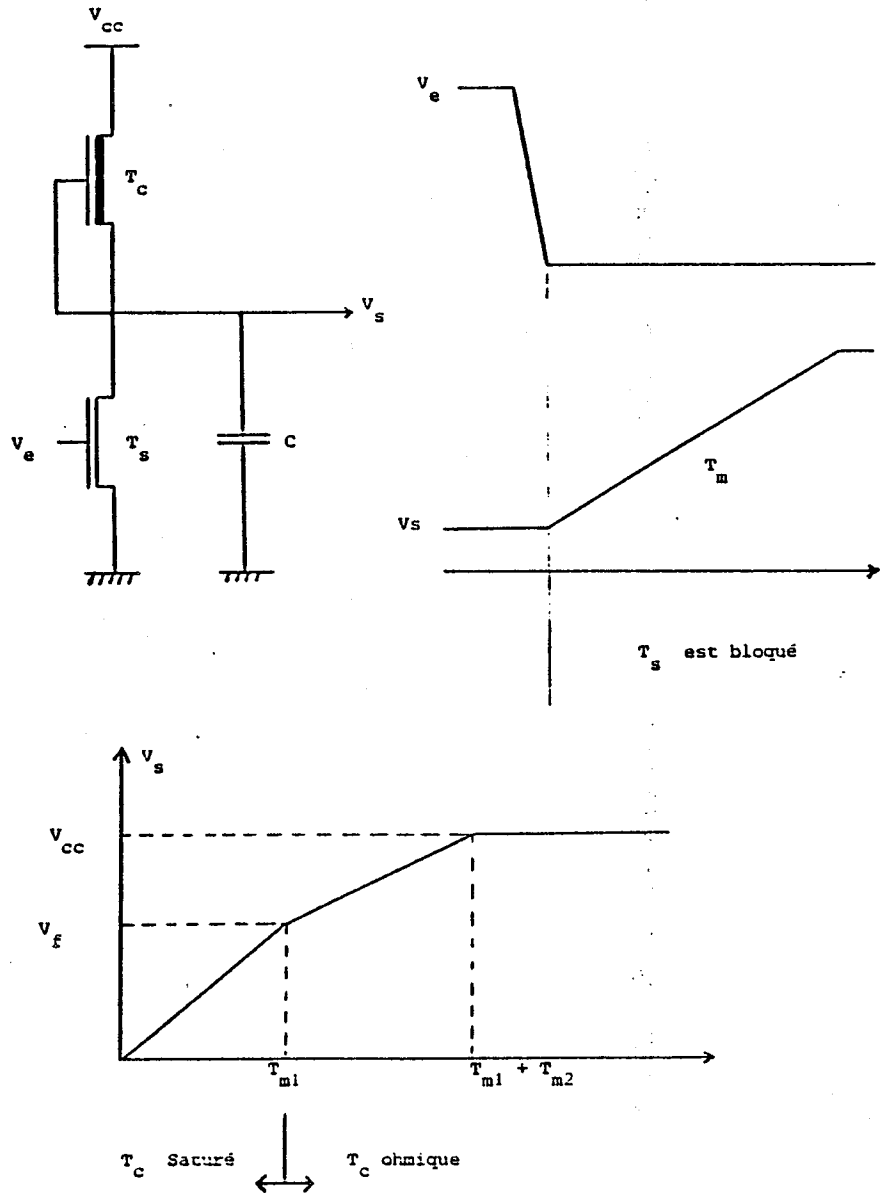


Fig-III.6 Temps de montée d'inverseur

Le temps de montée s'effectue en deux temps T_{m1} et T_{m2} :

V_f : la frontière entre la zone de saturation et la zone ohmique

Pendant le temps T_{m1} , $V_s \leq V_f$, et le transistor de charge est saturé

Pendant le temps T_{m2} , $V_f \leq V_s \leq V_{cc}$, et le transistor de charge passe en mode ohmique.

calcul de la tension V_f :

On considère que le transistor de charge est en saturation

donc $V_{cc} - V_s \geq -V_{tc} - V_s \beta_{ac}$

$$V_s \leq (V_{cc} + V_{tc}) / (1 - \beta_{ac})$$

d'où $V_f \leq (V_{cc} + V_{tc}) / (1 - \beta_{ac})$

calcul de T_{m1}

Le courant de saturation du transistor de charge est:

$$I(\text{sat}) = \frac{K_c \cdot \gamma_{ac}}{\beta_{ac} + 1} \cdot (V_{tc} + \beta_{ac} \cdot V_s)$$

et $I(\text{sat}) = C \cdot d(V_s) / dt$

D'après l'égalité de deux équations et l'intégration de 0 à V_f on obtient :

$$T_{m1} = C \cdot (V_{cc} + V_{tc}) \cdot (\beta_{ac} + 1) / K_c \cdot \gamma_{ac} \cdot V_{tc} \cdot (V_{tc} + \beta_{ac} \cdot V_{cc})$$

calcul de T_{m2}

Les expressions du courant dans la zone ohmique sont :

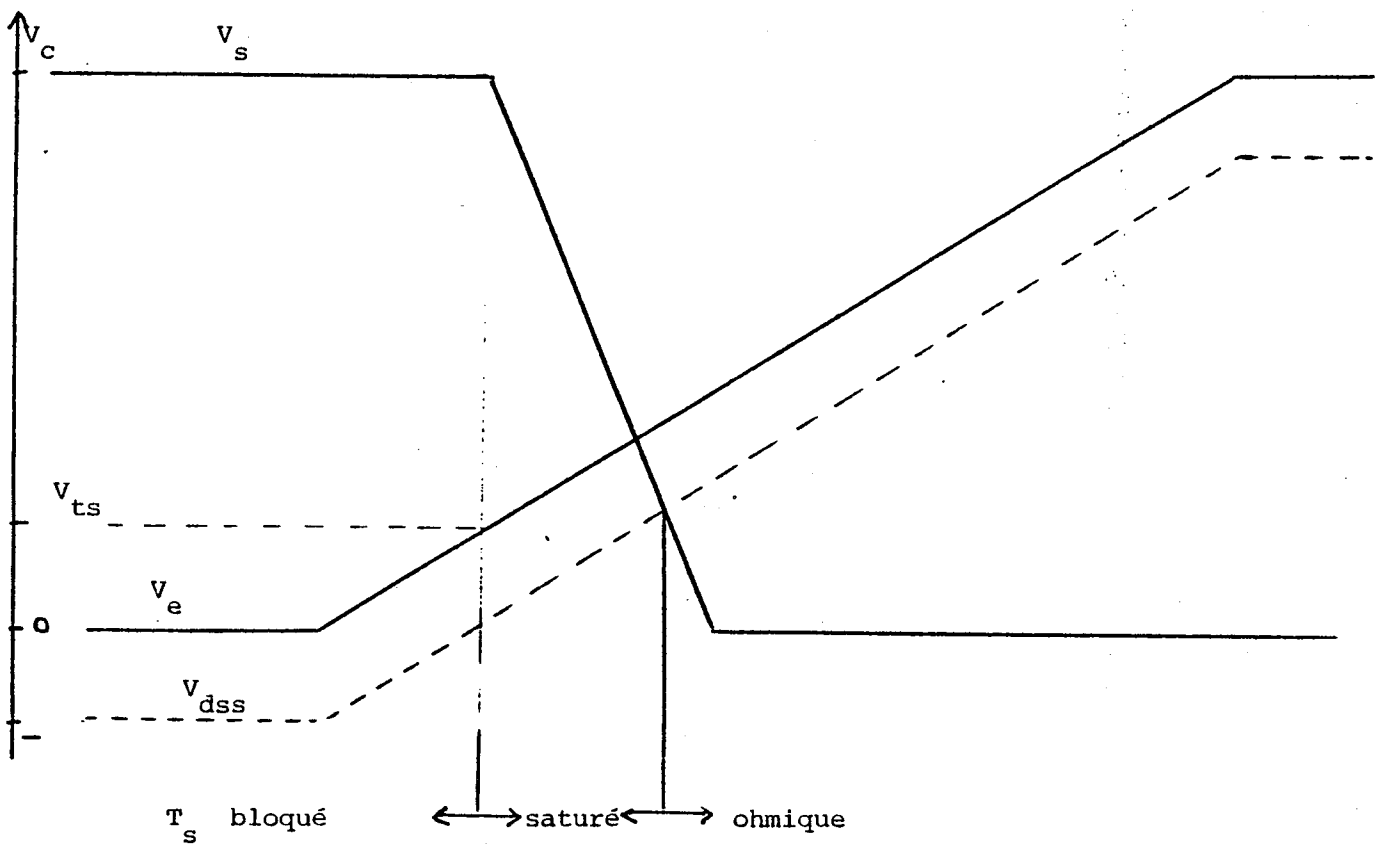
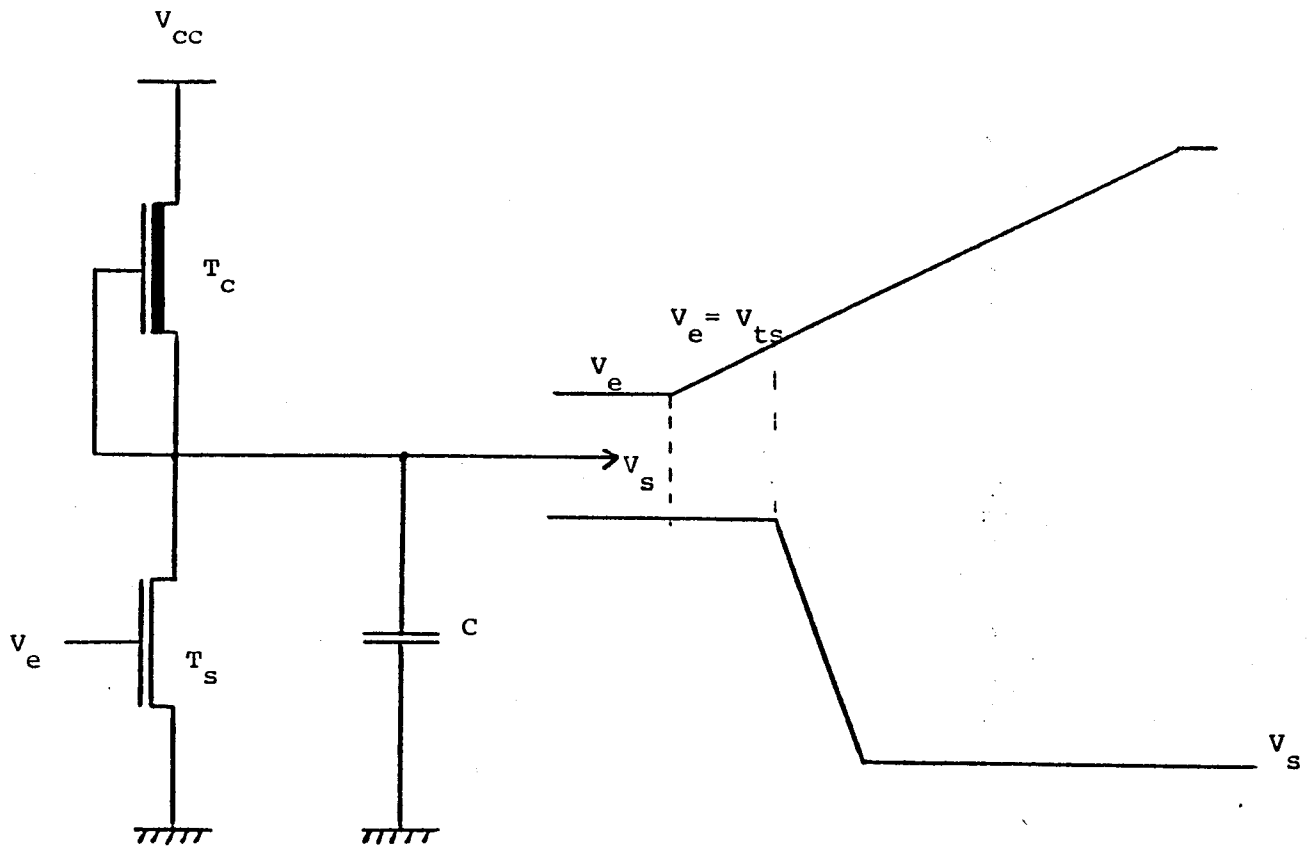


Fig-III.7 Temps de descente d'inverseur.

$$I = Kc.gamac(Vcc-Vs)[-2(Vtc+betac.Vs)-(Vcc-Vs)(betac+1)]$$

et $I = C.dVs/dt$

Après l'égalité de deux équations et l'intégration de Vf à 0,9Vcc on obtient:

$$T_{m2} = \frac{C. \ln[abs(1+18betac+20Vtc/Vcc)]}{2Kc.gamac . abs(Vtc+betac.Vcc)}$$

d'où le temps de montée $T_m = T_{m1}+T_{m2}$

b, Le temps de descente

Si on applique à l'entrée de l'inverseur un front ascendant de 0 à Vcc, de temps de montée tm, la sortie passe à 0 avant que l'entrée n'ait atteint Vcc (FIG-III.7).

0

Le transistor signal conduit quand Vc =Vts
d'où le temps de transit :

$$T_{tr} = Vts.tm/Vcc$$

En tenant compte du fait que le transistor du signal est saturé et de la capacité de charge c, on obtient la relation suivante :

$$-c.dVs/dt = gamas.Ks/((betas+1).[(t.vcc/tm)-Vts]$$

On intègre Vs entre 0 et Vcc, et t entre Ttr et Ttr+Td
on obtient l'expresion du temps de descente:

$$T_d = [3(betas+1).c.tm/Ks.gamas.Vcc]$$

III-5.2. Calcul du temps de propagation dans l'amplificateur:

le temps de montée de l'amplificateur Tma:

On suppose que l'amplificateur ne réagit qu'à la fin du temps de montées T_m de l'inverseur. Lorsque $V_c = V_{cc}$ et $V_e = 0$, le transistor T_s est bloqué, le transistor T_c étant en mode ohmique. On considère que la capacité qu'il charge varie linéairement par rapport à V_s .

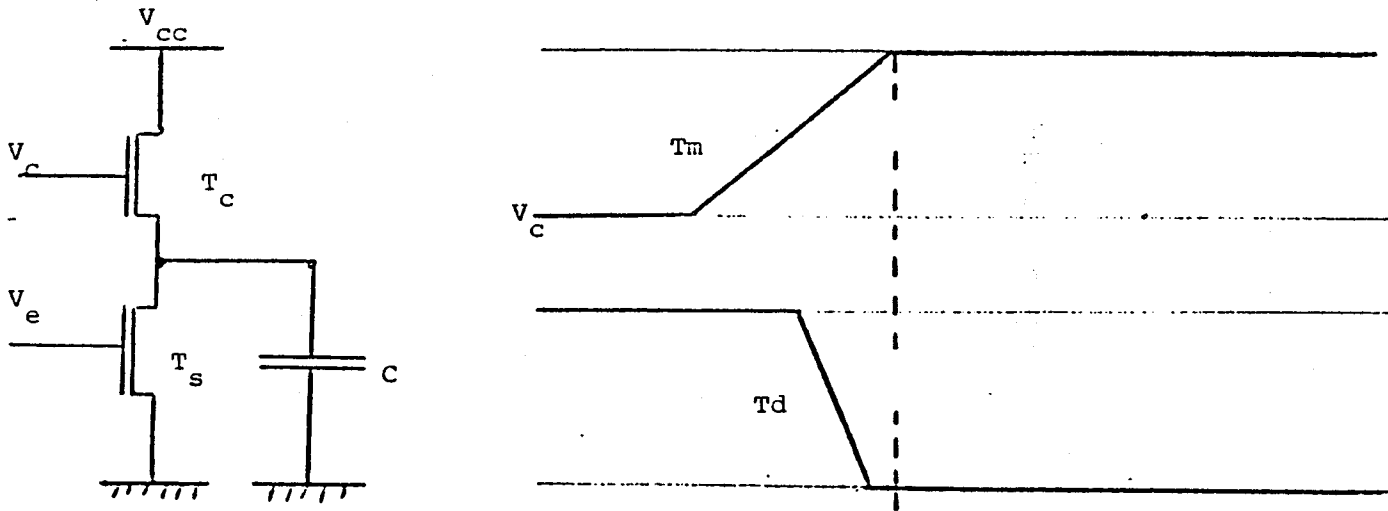


Fig-III.8 ,Temps de montée de l'amplificateur

$$C = C_0 + \alpha \cdot V_s$$

Le schéma électrique équivalent (fig-III.8).

On considère donc l'équation

1/2

$$(C_0 + \alpha \cdot v_s) \frac{dV_s}{dt} = \left[\frac{K_c \cdot \gamma_{mac}}{\beta_{tac} + 1} \right] [V_{cc} - V_{tc} - (1 + \beta_{tac}) V_s]$$

Après l'intégration entre 0 et $0,9 \cdot V_{cc} - V_{tc} / (1 + \beta_{tac})$, on obtient

$$T_{ma} = \frac{9C_0}{K_c \cdot \gamma_{mac} \cdot (V_{cc} - V_{tc})} + \frac{\alpha(9 - \log 10)}{K_c \cdot \gamma_{mac} \cdot (1 + \beta_{tac})}$$

temps de descente de l'amplificateur Tda:

le schéma électrique équivalent (fig-III.9)

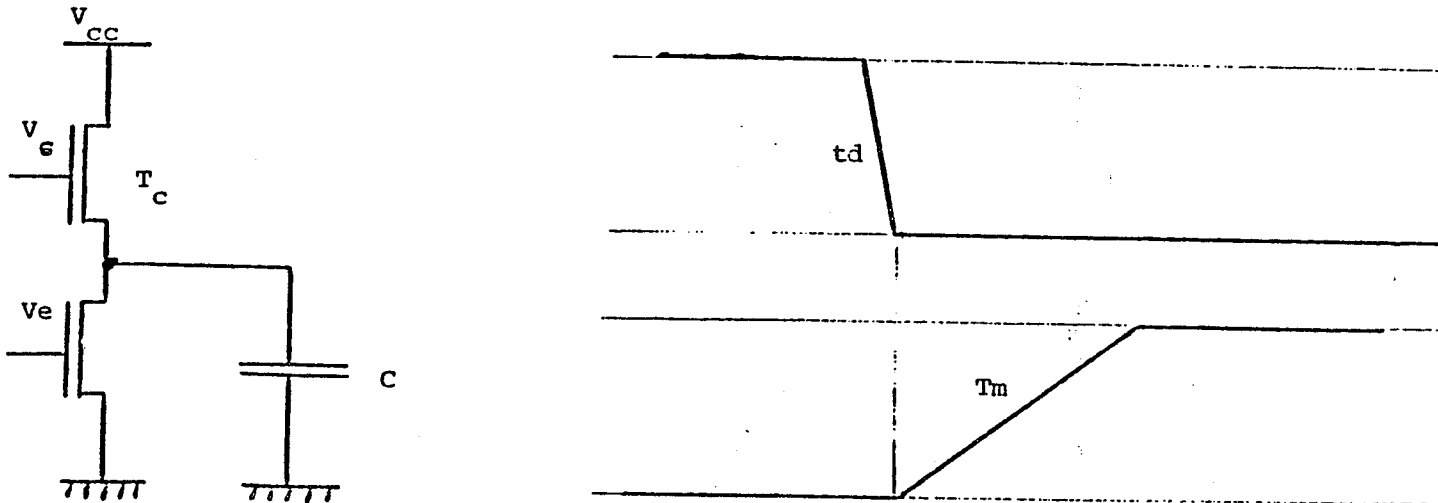


Fig-III.9 Schéma électrique équivalent d'un amplificateur

Pendant T_m $V_c = 0$, le transistor T_c est bloqué, nous déchargeons la capacité C à travers T_s d'où l'équation :

$$-(C_0 + \alpha \cdot V_s) \frac{dV_s}{dt} = (K_s \cdot \gamma_{\text{mas}} / (\beta + 1)) \left[\left(\frac{t \cdot V_{cc}}{t_m} \right) - v_{ts} \right]$$

Après intégration, on trouve :

$$T_{da} = \left[\frac{3 T_m \cdot (C_0 + \alpha (V_{cc} - V_{tc}) / 2 (1 + \beta)) (1 + \beta)}{K_s \cdot \gamma_{\text{mac}} (V_{cc} - V_{tc})} \right] \cdot I$$

III-6. La capacité du "Super Buffer":

Pendant le temps de montée T_{m1} (fig-III.10):

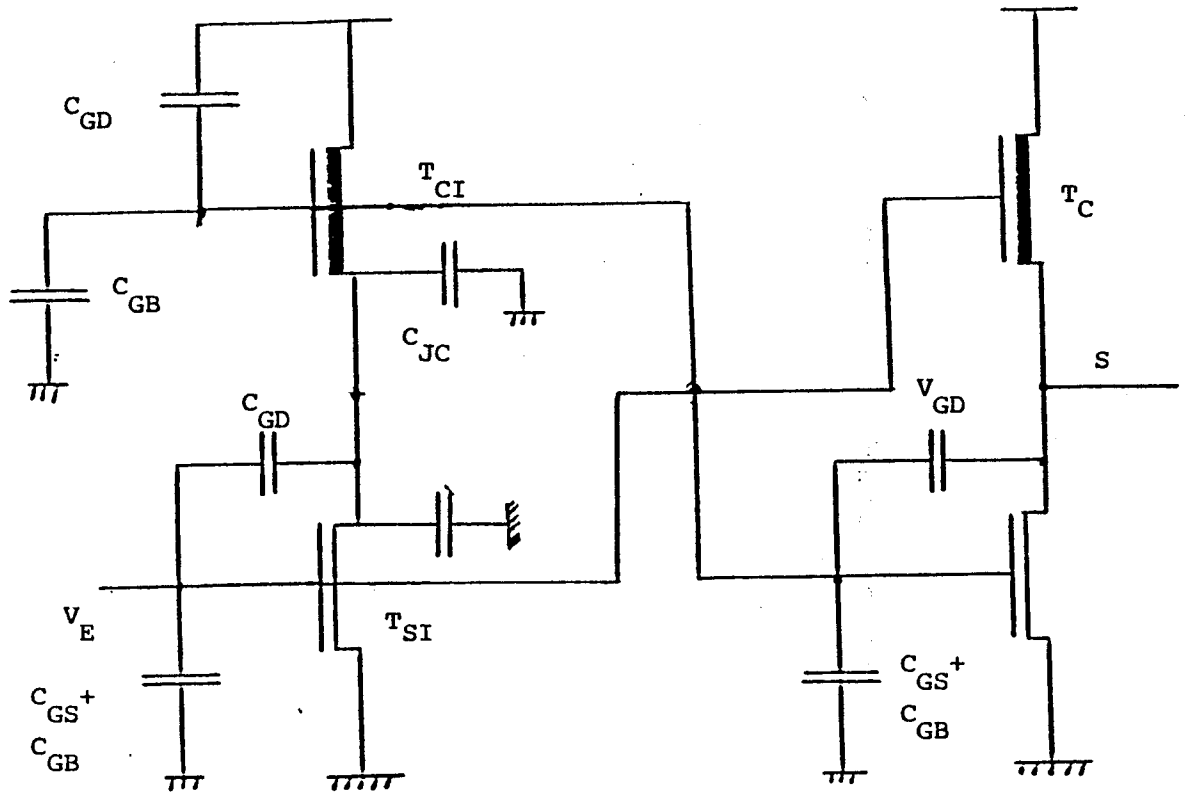


Fig-III.10

$$\alpha = 0 \text{ et } C_o = C_{jsi} + C_{jci} + (5/3)C_{gsa} + (2/3)C_{gca}$$

Pendant le temps de montée T_{m2} :

$$\alpha = C_g.C_i.(beta-1)/2.(V_{tci} + beta.V_{cc})$$

$$\text{et } C_o = C_{jsi} + C_{jci} + (5/3)C_{gsa} + (2/3)C_{gca} +$$

$$C_{gci}.(V_{cc}-V_{tca})/(beta.V_{cc}+V_{tci})$$

Pendant le temps de descente :

$$\alpha = (C_{gci} - C_{gsi})/(2.V_{cc})$$

$$C_o = C_{jsi} + (1/2)C_{gsi} + C_{jci} + C_{gsa} + C_{gca}$$

III-7. Calcul du gain en tension:

Par définition, le gain en tension $G_v = dV_s/dV_e$
autrement:

$$G_v = dV_s/dI \cdot dI/dV_e = g_m \cdot R_s$$

avec dV_s/dI résistance de sortie

et dI/dV_e pente du transistor de commande

soit R_{sca} : la résistance de sortie de transistor du charge.

soit R_{ssa} : la résistance de sortie de transistor du signal.

d'où

$$R_s = R_{sca} // R_{ssa}$$

$$R_s = [1/I \cdot \lambda_{daca}] // [1/I \cdot \lambda_{dasa}] = 1/I \cdot (\lambda_{daca} + \lambda_{dasa})$$

$$\text{et } g_m = [2 \cdot I \cdot \mu_n \cdot C_{ox} \cdot (w/l)]^{1/2}$$

en regroupant

$$G_v = [2 \cdot \mu_n \cdot C_{ox} \cdot (w/l) / I]^{1/2} \cdot 1 / (\lambda_{daca} + \lambda_{dasa})$$

III-8. Calcul des capacités du PLA

A partir de la géométrie d'un point de PLA et de la spécification du contenu d'un PLA-MOS, (figu-III.11) on peut calculer les capacités de chaque entrée et de chaque sortie de deux matrices ET et OU.

Capacité de la matrice ET

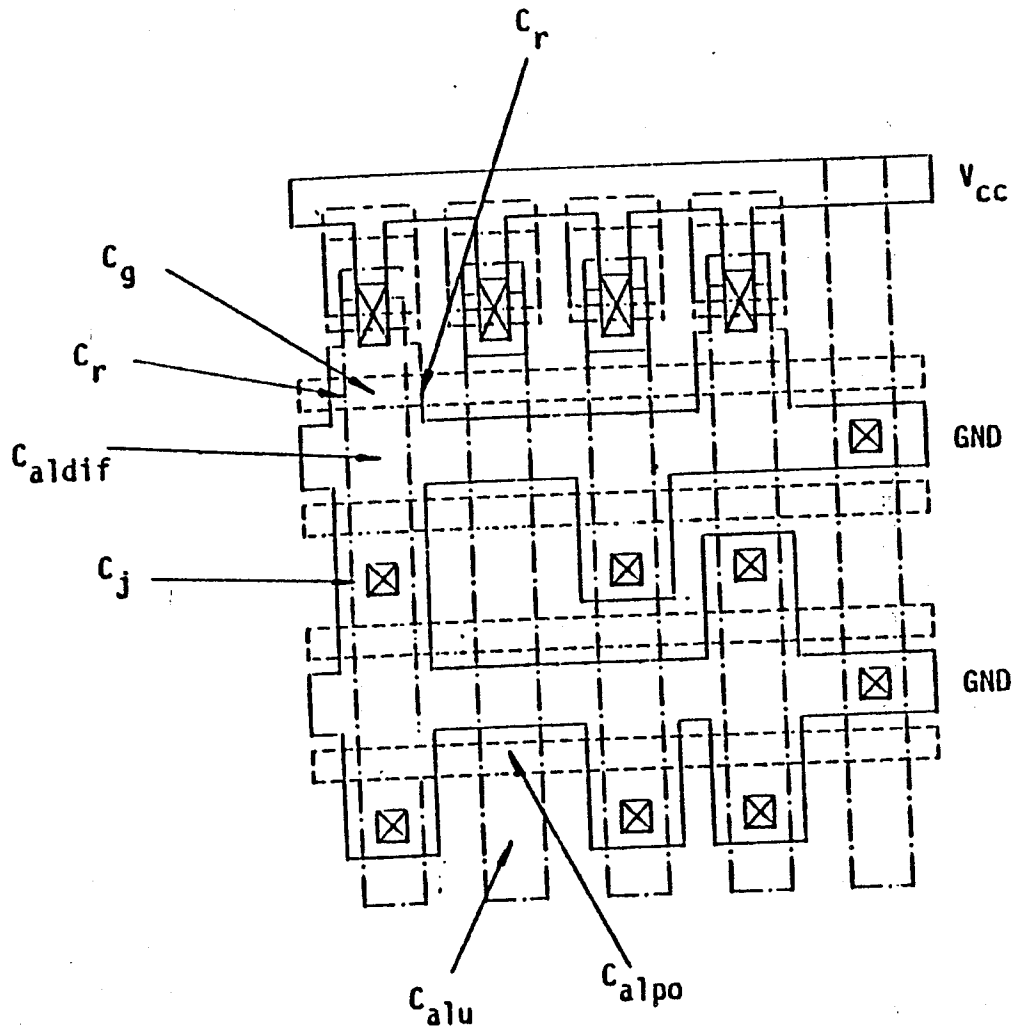


Figure III.12- Les capacités dans une matrice de PLA.

Pendant le temps de descente dans ET:

La (fig-III.12) montre le schéma électrique de deux portes d'un PLA NMOS

la première porte dans la matrice ET, la deuxième porte dans la matrice OU.

- bande de transmission:

$$C_{bet} = (C_{alu} + C_{aldif} + C_{alpo}) \cdot n_e + (C_{poly} + C_{alpo}) \cdot nm$$

- capacité de charge est constante:

$$C_{et} = n_e \cdot (C_{js} + C_{rs}) + C_{jc} + C_{gc}/2 + C_{rs} + C_{alpo} \\ + C_{rc} + C_{bet} + (C_{gs} + 2C_{rs}) \cdot nm$$

- capacité de charge est linéaire:

$$C_o = (C_{js} + C_{rs}) \cdot n_e + C_{gs}/2 + C_{jc} + C_{rc} \\ + C_{bet} + (C_{gs} + 2C_{rs}) \cdot ns$$

$$\alpha = (C_{gc} - C_{gs}) \cdot 1/2V_{cc}$$

Pendant le temps de montée dans OU:

- bande de transmission ne change pas

- capacité de charge est constante:

$$C_{et} = e \cdot (C_{js} + C_{rs}) + C_{jc} + C_{rs} + C_{alpo} \\ + C_{rc} + C_{bet} + s \cdot [(5/3)C_{gs} + 3C_{re} + C_{alpo}]$$

- capacité de charge est linéaire:

$$C_o = (C_{js} + C_{rs}) \cdot e + C_{alpo} + C_{gs}[1 - (V_{cc}/V_{cc} - V_f)] + C_{rs}$$

$$+ C_{jc} + C_{rc} + C_{bet} + s \cdot [(5/3)C_{gs} + 3C_{rs} + C_{alpo}]$$

$$\alpha = C_{gs}/2(V_{cc} - V_f)$$

Capacité de la matrice OU

Pendant le temps de descente dans OU:

- bande de transmission:

$$C_{bou} = (C_{alu} + C_{aldif} + C_{alpo}) \cdot ns$$

- capacité de charge est constante:

$$C_{ou} = p2 \cdot (C_{js} + C_{rs}) + C_{jc} + C_{gc}/2 + C_{rs} + C_{alpo} \\ + C_{rc} + C_{bou} + C_{gs} + 2C_{rs}$$

- capacité de charge est linéaire:

$$C_o = (C_{js} + C_{rs}) \cdot e + C_{gs}/2 + C_{jc} + C_{rc} + C_{bou} + C_{gs} \\ + 2C_{rs}$$

$$\alpha = (C_{gc} - C_{gs}) \cdot 1/2V_{cc}$$

Pendant le temps de montée dans OU:

- bande de transmission ne change pas

- capacité de charge est constantes:

$$C_{ou} = (C_{js} + C_{rs}) + C_{je} + C_{rs} + C_{alpo} \\ + C_{rc} + C_{bou} + (5/3)C_{gs} + 3C_{rs} + C_{alpo}$$

- capacité de charge est linéaire:

$$C_o = (C_{js} + C_{rs}) \cdot e + C_{alpo} + C_{gs}[1 - (V_{cc}/(V_{cc} - \\ V_f))] + C_{rs}$$

$$+ C_{jc} + C_{rc} + C_{bou} + (5/3)C_{gs} + 3C_{rs} + C_{alpo}$$

$$\alpha = C_{gs}/2(V_{cc} - V_f)$$

pour une technologie donnée, les valeurs des différents

paramètres sont connues, donc tous les coefficients C_{bet} , C_{bou} , C_{et} , C_{ou} ,... sont calculés une seule fois et mémorisés dans un fichier.

C H A P I T R E IV

IV-1 INTRODUCTION

IV-2. METHODE DE CONCEPTION DES MASQUES DE CI

IV-2.1 Méthode de dessin manuel

IV-2.2 Méthode semi-automatique

IV-2.3 Méthode automatique

IV-2.4 Méthode symbolique

IV-3. NOTION DE NIVEAU DE MASQUES DE CI

IV-4. LES REGLES TECHNOLOGIQUES

IV-5. NIVEAUX DE COMPLEXITE DANS LE DESSIN DES CI

IV-6. DEFINITION DES CELLULES

IV-7. GENERATION AUTOMATIQUE DU TRANSISTOR DE CHARGE

IV-7.1 Topologie d'une cellule de base

IV-8. DIMENSIONNEMENT DES AMPLIFICATEURS

IV-8.1 Le nombre et l'emplacement des lignes d'aluminium

IV-8.2 La taille des amplificateurs

IV-9. BIBLIOTHEQUE DE CELLULES

IV-10. GENERATION AUTOMATIQUE

IV-10.1 Génération des connecteurs des matrices ET/OU du PLA

IV-10.2 Génération des connecteurs des amplificateurs

IV-10.3 Génération des frontières des amplificateurs

IV-11. EVALUATION DE LA SURFACE DU PLA

IV-11.1 Evaluation de surface d'un point de PLA à deux matrices

IV-11.2 Evaluation de surface d'un point de PLA monomatrice

IV-11.3 Evaluation de la surface des matrices ET/OU

IV-11.4 Evaluation de la surfaces des amplificateurs

INTRODUCTION

Nous trouvons actuellement sur le marché des circuits intégrés possédant plusieurs dizaines de milliers de transistors pour une surface de quelques dizaines de millimètres carrés d'où l'augmentation de la précision nécessaire de fabrication du dessin des masques.

La plupart des technologies actuelles et leur procédé de fabrication évoluent rapidement dans leurs règles de dessins, ce qui rend les outils de CAO rapidement inutilisables, d'où la nécessité d'avoir des outils qui ont une certaine indépendance technologique.

Dans ce but a été développé le programme "GATA" (Génération Automatique de dessins des masques des Amplificateurs d'entrées, de sorties et d'interfaces) des PLA complexes.

IV-2. METHODE DE CONCEPTION DES MASQUES DE CI:

Il existe de très nombreuses méthodes pour la conception des masques de circuits intégrés. On en distingue trois :

IV-2.1 Méthode de dessin manuel :

Elle consiste tout d'abord à dessiner "au micron" sur papier millimétré la cellule de base, sous forme de rectangles (ou polygones suivant les langages), et ensuite de la rentrer en machine, soit sous la forme d'une liste de rectangles, soit au moyen d'un digitaliseur, soit directement sur un écran (à l'aide d'un éditeur graphique).

Cette méthode est très utilisée actuellement. Les parties de circuit sont assemblées au fur et à mesure qu'elles sont prêtes, ce qui augmente le temps de la conception du circuit intégré.

IV-2.2 Méthode semi-automatique:

Le circuit est décomposé en plusieurs blocs fonctionnels. Chaque bloc est conçu indépendamment des autres. Le circuit est composé par des programmes de placement automatique des blocs. Les connexions sont aussi générées automatiquement par des programmes de routage. La conception d'un bloc peut être décomposée de la même manière.

Cette méthode est appelée semi-automatique car la décomposition est effectuée manuellement. D'autre part, les programmes existants ne permettent pas d'effectuer un placement et un routage complet, une partie doit être faite manuellement.

IV-2.3 Méthode automatique

Elle consiste à utiliser une bibliothèque de cellules qui sont générées automatiquement en fonction de la technologie utilisée. Chaque cellule représente une fonction de base. Ces cellules sont testées et simulées .

La bibliothèque peut contenir aussi, en plus, des dessins de masques, la description des connexions et des caractéristiques électriques des cellules, ce qui évite toutes les interventions

manuelles dans la phase d'assemblage du circuit.

IV-2.4 Méthode symbolique:

Il existe des langages d'implantation symbolique des dessins des masques où les cellules sont saisies à partir d'un dessin de symboles. Parmi les programmes existants: le GABBAGE qui a été développé à Berkeley, le STICKS du MIT, ou les programmes d'implantation MDMOS, mais ceux-ci présentent un inconvénient: ils nécessitent un quadrillage servant de base au dessin tel que l'implantation doit "se plier" au dessin symbolique.

L'avantage de ces différents programmes d'implantation symbolique est de pouvoir générer automatiquement à partir de la représentation symbolique.

On peut donc travailler directement au niveau symbolique et décrire ainsi l'ensemble des blocs.

Le critère de choix d'un langage d'implantation symbolique sera principalement: la lisibilité des symboles utilisés.

En effet, les blocs étant un outil de travail important, ils devront être faciles à manier et donc très lisibles (contacts, interconnexions des briques, géométries des transistors...).

IV-3. Notion de niveau de masques de CI

Généralement la conception d'un circuit intégré se fait en plusieurs étapes.

- La conception logique est souvent le reflet des spécifications initiales.

- La conception physique est mise en oeuvre afin de réaliser réellement le circuit intégré.

Cette étape est directement liée à la technologie de réalisation actuelle. Elle consiste à définir des critères topologiques et électriques pour la conception des cellules de base.

- La description de masques qui sont, en fait, des sortes de filtres qui autorisent, à différents niveaux, la modification physique ou (et) topologique de la pastille de silicium.

Le masque est assimilable à une grille constituée de fenêtres de

forme rectangulaires qui valident l'accès à des portions de la "puce". Une hiérarchisation de l'exploitation des pastilles de silicium implique la correspondance entre un masque et un niveau déterminé de traitement.

La conception consiste en la superposition successive de masques selon un processus technologique connu. Pour chaque masque, on opère la modification physique ou (et) topologique prévue.

Dans le cadre de notre application, on ne considèrera que les 6 niveaux de masques d'une technologie inspirée de celle définie par Mead et Conway [MEA-80]. Une extension est possible mais une amélioration des techniques de tracés est nécessaire.

I Masque	I Mnemonique	I Couleur Conventiennelle	I
I Silicium Polycristallin	I POLY	I Rouge	I
I diffusion	I DIFF	I Vert	I
I Ouverture de connection	I CONTACT	I Noir	I
I Métal	I METAL	I Bleu	I
I Implantation ionique	I IMPLANT	I Jaune	I
I Passivation	I PASSIV	I Marron	I
I Prècontacts	I PRECONTACT	I Noir	I

IV-4. Les règles technologiques:

Le vocable "technologique" désigne à la fois le matériau qui sert de support pour la réalisation et l'assemblage des procédés de fabrication. Dans les deux familles technologiques que sont la technologie MOS et la technologie bipolaire, les bases matérielles des procédés de réalisation sont la plaquette de silicium monocristallin et un ensemble de masques représentatif d'un ensemble de motifs qui seront définis sur la plaquette et qui correspondront chacun à un ensemble d'opérations telles que:

- oxydation
- diffusion ou implantation ionique (n,p)

- dépôt de gravure

Une combinaison appropriée de ces techniques caractérisera une technologie particulière et déterminera pour la réalisation pratique un ensemble de contraintes géométriques auxquelles doivent obéir les dessins des masques, appelées régles de dessin,

lorsqu'elles sont exprimées sous leur forme la plus simple.

Pour cette raison, nous introduirons un jeu de règles relatives de dessin, exprimées sous la forme des rapports minimaux de certaines côtes à une unité de longueur. Celle-ci sera choisie égale à la résolution minimale du procédé technologique lui-même. IL s'agit de la distance minimale pouvant exister entre deux motifs géométriques dans un même niveau ou dans un niveau différent, en tenant compte de tous les facteurs liés à la technologie et d'un coefficient de sécurité. Cette valeur est fixée par des phénomènes tels que la sur-gravure, l'erreur d'alignement entre les masquages successifs, la déformation de la tranche de silicium due aux traitements à haute température, et à la sous exposition de résine. Toutes les dimensions sont données en fonction de cette distance élémentaire que nous appellerons l'unité de longueur

(lambda).

Quelques critères de normalisation des contraintes principales concernent les valeurs minimales permises pour certaines: largeur, écartement, tailles et superpositions des formes géométriques représentées dans les différents niveaux d'un circuit intégré, et qui sont présentées ci-dessous permettront la simplification des règles.

LARGEUR (L): C'est la largeur minimale d'un élément géométrique selon les axes X, Y, Z.

Exemple $L_{zpoly} \geq 2 \lambda$

DISTANCE (D): C'est la distance minimale entre deux éléments géométriques mesurés dans toutes les directions (Z).

Exemple $D_{zdiffpoly} \geq 2 \lambda$

DIMENSION (S): C'est la dimension minimale d'un élément géométrique selon l'axe X, Y, ou tous les deux (Z).

Exemple $Sz_{\text{contact}} \geq 2 \lambda$

DÉPASSEMENT (P): C'est le dépassement d'un élément géométrique par rapport à un autre dans toutes les directions (Z) engendrant un motif particulier (un transistor par exemple)

Exemple $Pz_{\text{polydiff}} \geq \lambda$

DEBORDEMENT (B): C'est le débordement ou le dépassement d'un élément sur tout le pourtour d'autres éléments selon l'axe X, Y, ou tous les deux (Z) engendrant un motif particulier (un contact enterré par exemple).

Exemple $Bz_{\text{diffcontact}} \geq 1 \lambda$

La violation de ces règles constitue l'erreur la plus courante dans les dessins de masques, et heureusement pour les concepteurs, la plus facile à trouver. Il existe actuellement plusieurs programmes assez performants pour la vérification des règles de dessin [BAK-82, JER-83] .

IV-5. Niveaux de complexité dans le dessin des CI

L'expérience de construction d'un circuit complexe montre qu'il existe trois niveaux de complexité.

- le niveau des cellules de base (fig-IV.1).

- le niveau des blocs fonctionnels pour lesquels des structures denses peuvent être trouvées. Ces blocs fonctionnels sont construits à l'aide de simples opérateurs de juxtaposition ou de répétition (fig-IV.2).

- le niveau d'un grand circuit pour lequel de gros blocs fonctionnels doivent être interconnectés par de nombreux fils, et sans qu'il existe une régularité triviale. Ce dernier niveau demande à la fois la mise en oeuvre de techniques de placement et routage, et une approche topologique globale qui doit pouvoir remettre en cause (fig-IV.3).

la forme des blocs

le choix de structure interne d'un bloc dépend de deux facteurs dont l'un est sa surface et l'autre est sa forme. La structure interne qui amène à la surface minimale est celle qui sera choisie au départ. On cherche ensuite une forme du bloc qui s'adapte le mieux à son environnement et à ses connexions.

la position des interconnexions

une conception et une optimisation isolée des blocs conduit à une perte de surface importante en interconnexions, il est donc important d'avoir le plus possible d'interconnexions directes entre les blocs, pour réduire la surface perdue avec les interconnexions.

La (fig-IV.4) montre un exemple de PLA, où la surface perdue par les interconnexions entre les blocs amplificateurs et les blocs matrices OU/ET est beaucoup plus grande, ce qui conduit à une surface totale du PLA plus grande, mais conduit aussi à une meilleure optimisation en surface du PLA.

IV-6. Définition des cellules

L'utilisation du système (LUBRICK) exige une nouvelle définition de la notion de cellule (ou figure, ou brique), pour réaliser le placement relatif des cellules les unes par rapport aux autres, et la génération des fils de connexions entre cellules.

Une cellule a la forme d'un polygone (fig-IV.5) dont les côtés sont appelés segments. Un segment est une portion de rectangle qui se trouve le plus à l'extérieur de la cellule. Ils sont repérés par

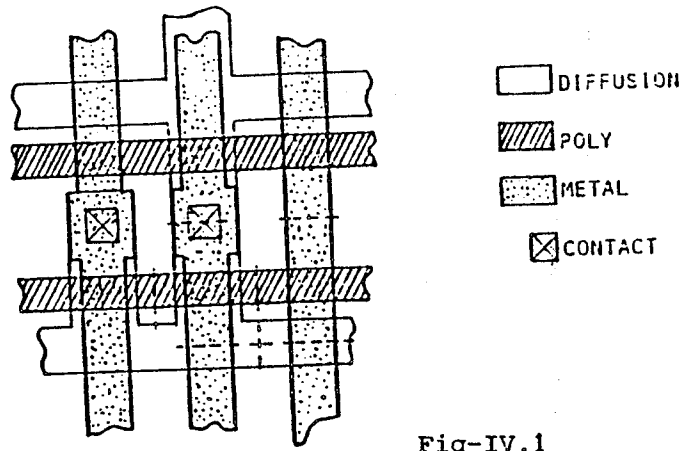


Fig-IV.1

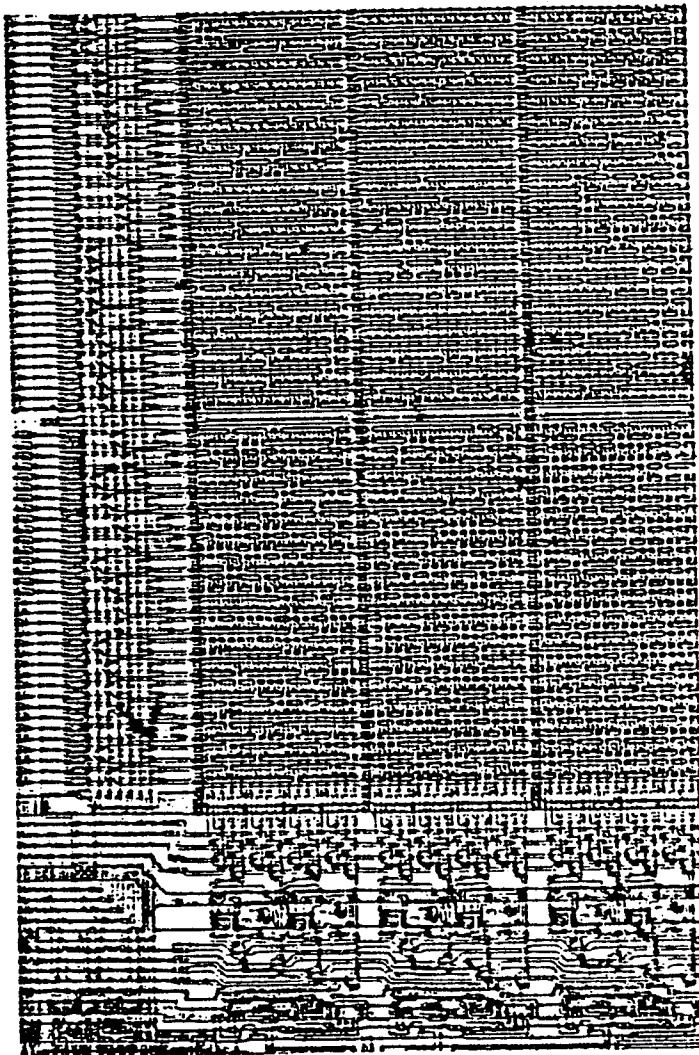


Fig-IV.2

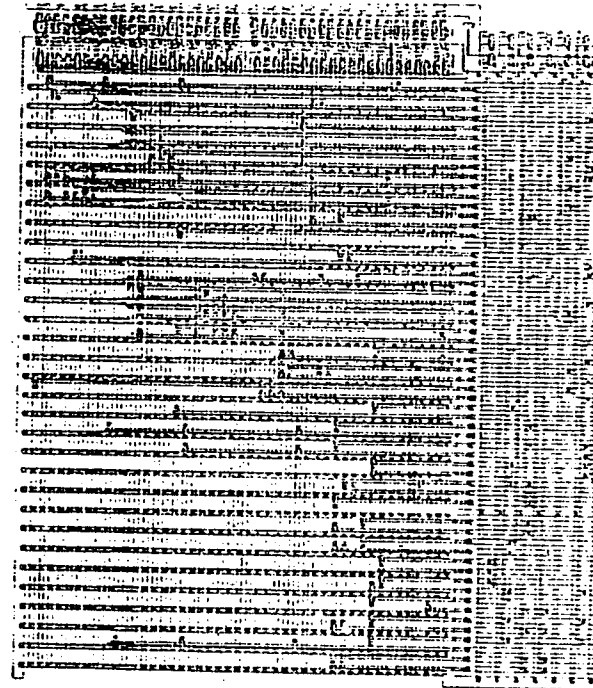


Fig-IV.3

quatre axes, appelés Axes NORD, EST, SUD et WEST, qui sont les 4 côtés du rectangle englobant la figure. Chaque segment se trouve sur une des 4 frontières de la cellule, les segments horizontaux pour les frontières NORD et SUD, et les

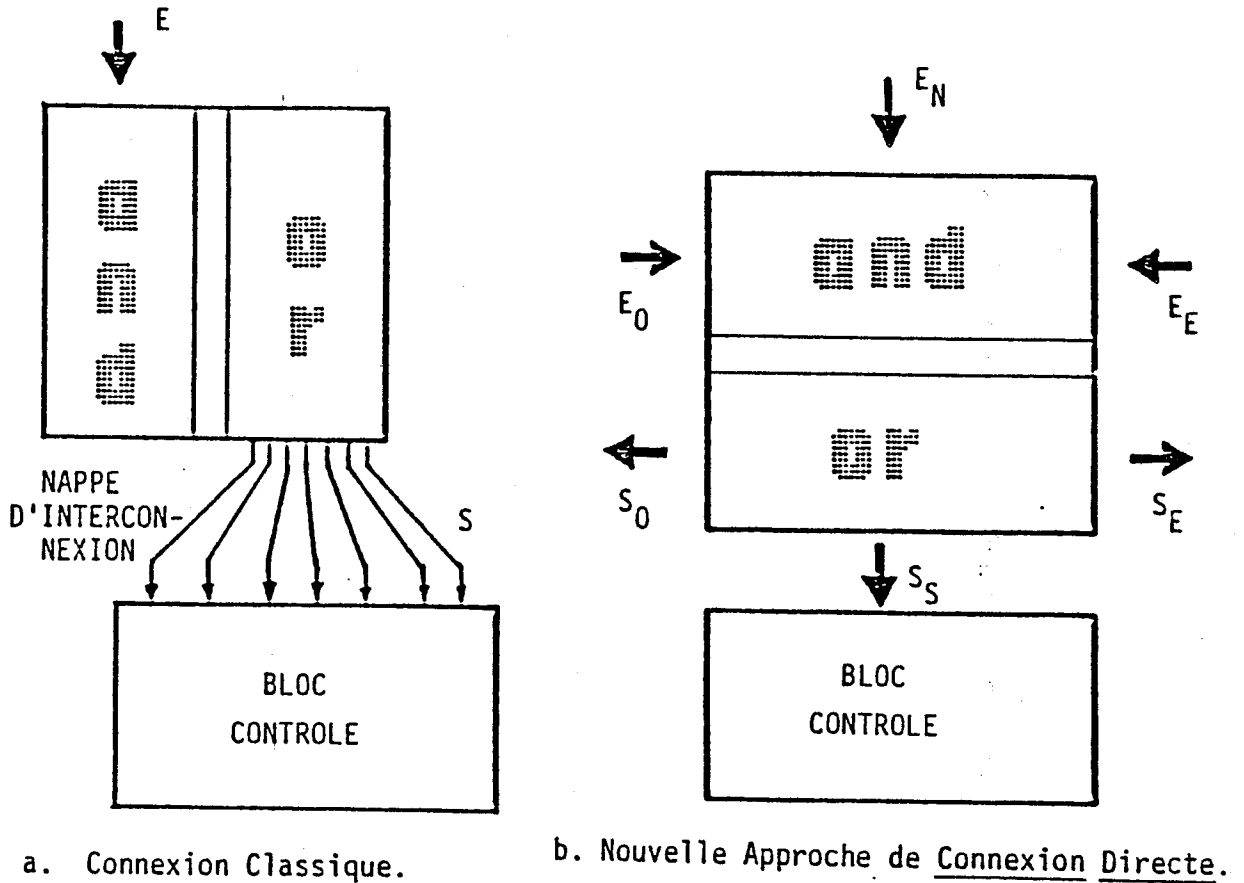


Fig-IV.4

segments verticaux pour les frontières EST et WEST.

La description d'un segment est codée par quatre entiers positifs qui sont:

- OFFSET
- POSITION
- LARGEUR
- NIVEAU

Les segments sont destinés à réaliser la connexion avec des fils venant de l'extérieur, par juxtaposition de deux rectangles ayant un segment commun, ou par un contact entre deux niveaux de METAL et DIFF par exemple.

Chaque segment ou connecteur contient un seul attribut appelé un type: le concepteur dispose de la possibilité de typer les connecteurs, en étant libre de choisir le codage et le nombre de types différents. On pourra ainsi facilement distinguer les connecteurs de type ENTREE, SORTIE, ou HORLOGE, ou ALIMENTATION, etc. La valeur du type sera conservée pour l'assemblage des blocs [Schoellkopf].

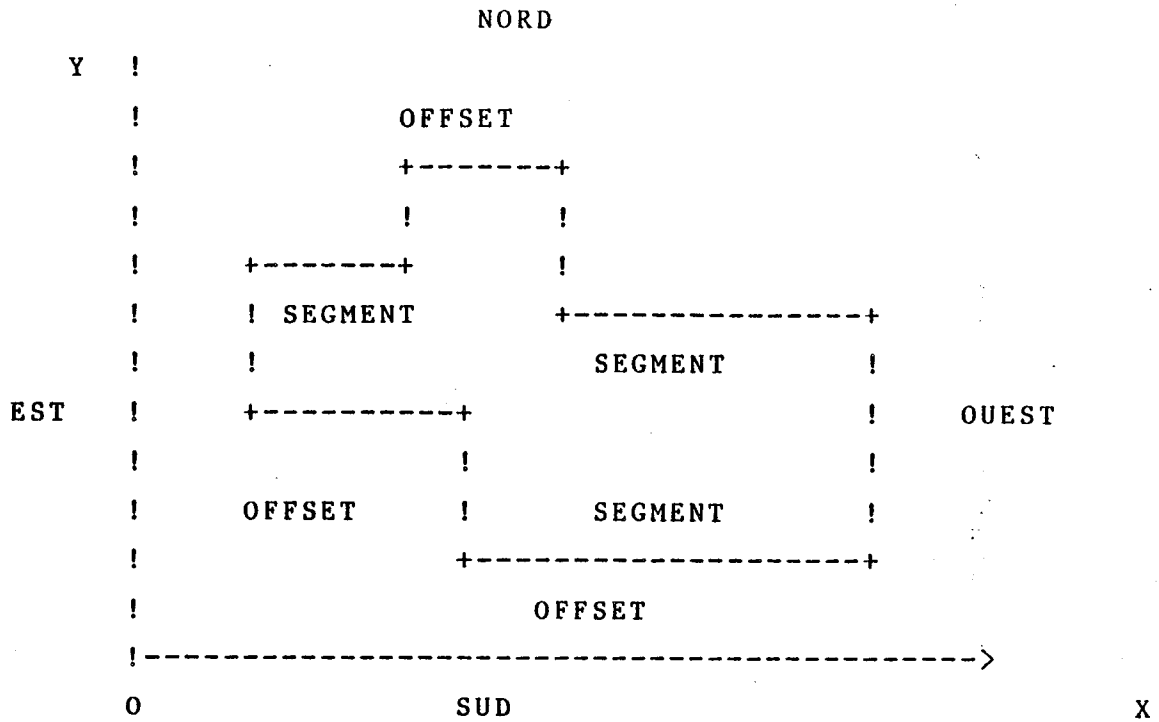


fig-IV.5 Exemple de la notion d'une cellule en LUBRICK

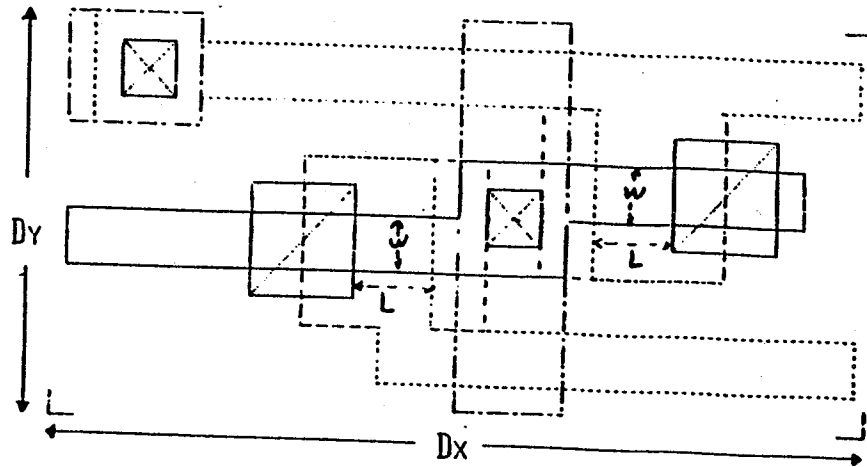
REMARQUE

La frontière d'une figure est l'ensemble des segments qui marquent la limite entre l'intérieur de cette figure, et l'extérieur.

IV-7. Génération automatique du transistor de charge:

IV-7.1 Topologie d'une cellule de base

Pour générer automatiquement les dimensionnements des transistors de charge, il nous suffit de connaître les paramètres géométriques et électriques pour fixer une cellule de base de taille minimale (fig-IV.6).



$$Dx = 2.LZPOLY + \text{MAX}(Yc + 2.DZPOLYPOLY + BZDIFFCONTACT, 2.W + PZPOLYDIFF + DZPOLYDIFF)$$

$$Dy = 2.Xc + 2.L + 4.PZDIFFCONTACT + 2.DZDIFFPOLY$$

fig-IY,6

Les paramètres géométriques intrinsèques:

Les principaux paramètres géométriques constituant la cellule d'un transistor de charge sont.

W = largeur du canal

L = longueur du canal

Dx et Dy: dimensions de la cellule

Ces paramètres doivent respecter les contraintes suivantes :

$$L \geq lzpoly$$

$$W \geq lzdifff$$

Par ailleurs, ces paramètres peuvent être modifiables suivant les paramètres électriques et la topologie de la matrice ET/OU.

Donc la cellule de base aura donc comme dimensions :

$$Dy = 2.lzpoly + \text{MAX}(Yc + 2.Bzdifffcontact + Dzdifffpoly,$$

$$W + 2.Pzpolydiff + Bzpolycontact) + Dzpolypoly$$

$$Dx = 2.(Xc + L + 2.Bzpolycontact + Dzdiffpoly).$$

IV-8. Dimensionnement des amplificateurs:

A partir des différentes étapes de la méthode de conception des masques de CI, nous avons constaté la nécessité d'un certain nombre de contraintes pour concevoir la forme des blocs amplificateurs.

- le nombre et l'emplacement des lignes d'aluminium (alimentation-masse).

- la taille de bloc

Comme l'organisation du PLA se présente sous forme de deux matrices ET/OU, les amplificateurs seront répartis autour des deux matrices (fig-IV.7).

De ce fait le choix de la position des amplificateurs dépend de leurs tailles et du nombre de lignes d'aluminium.

Le programme GATA génère un ensemble d'amplificateurs de tailles différentes, en fonction de la technologie, et la dimension des transistors (W/L) et de leur puissance.

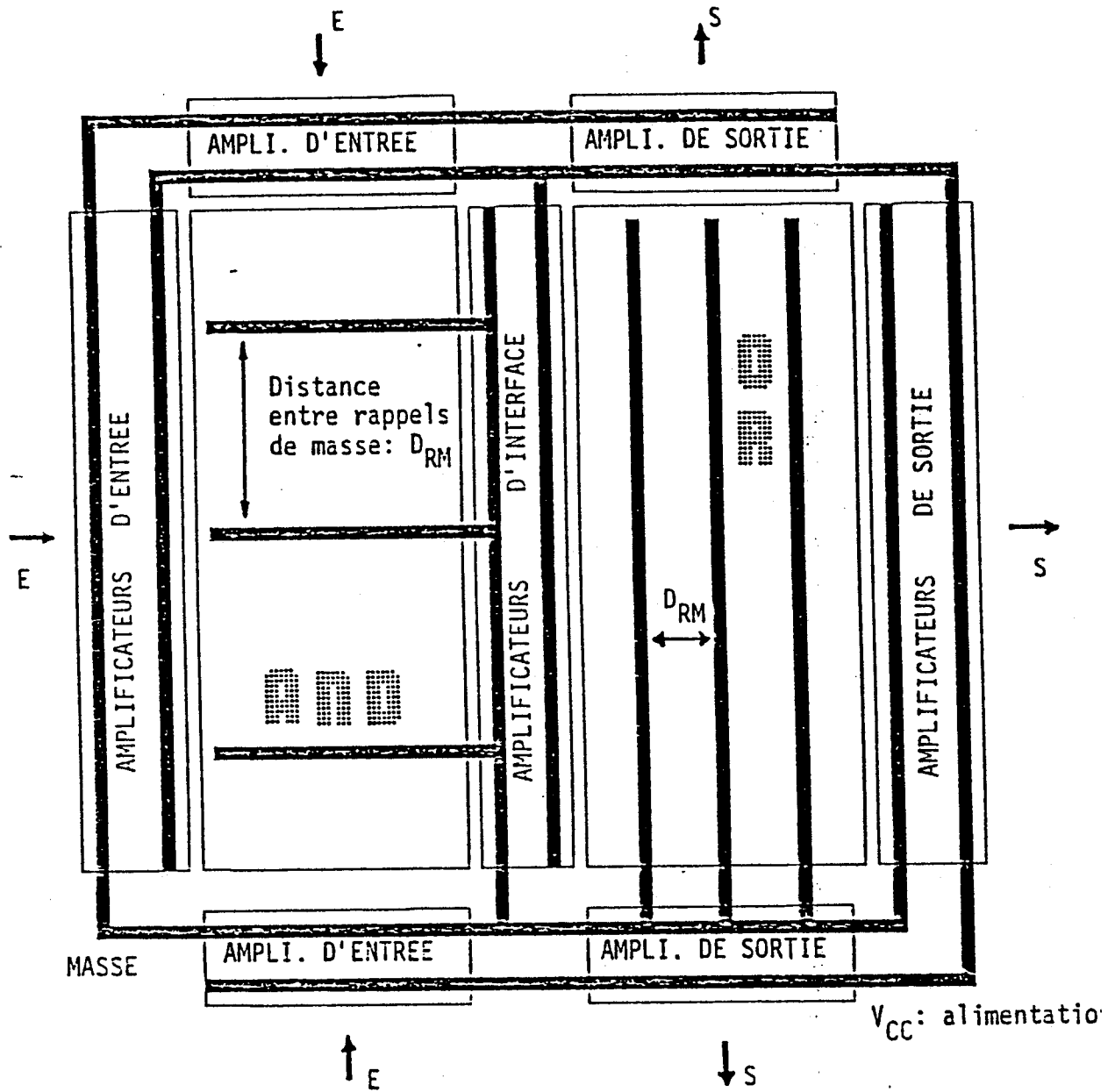


Fig-IV.7 Plan de masse d'un P.L.A. optimisé.

IV-8.1 Le nombre et l'emplacement des lignes d'aluminium:

Le programme GATA, génère quatre types d'amplificateurs dont les nombres de lignes d'aluminium sont différents.

- un bloc amplificateur à deux lignes d'aluminium verticales: une ligne de masse et une ligne d'alimentation. (fig-IV.8.1) (fig-IV.8.2)

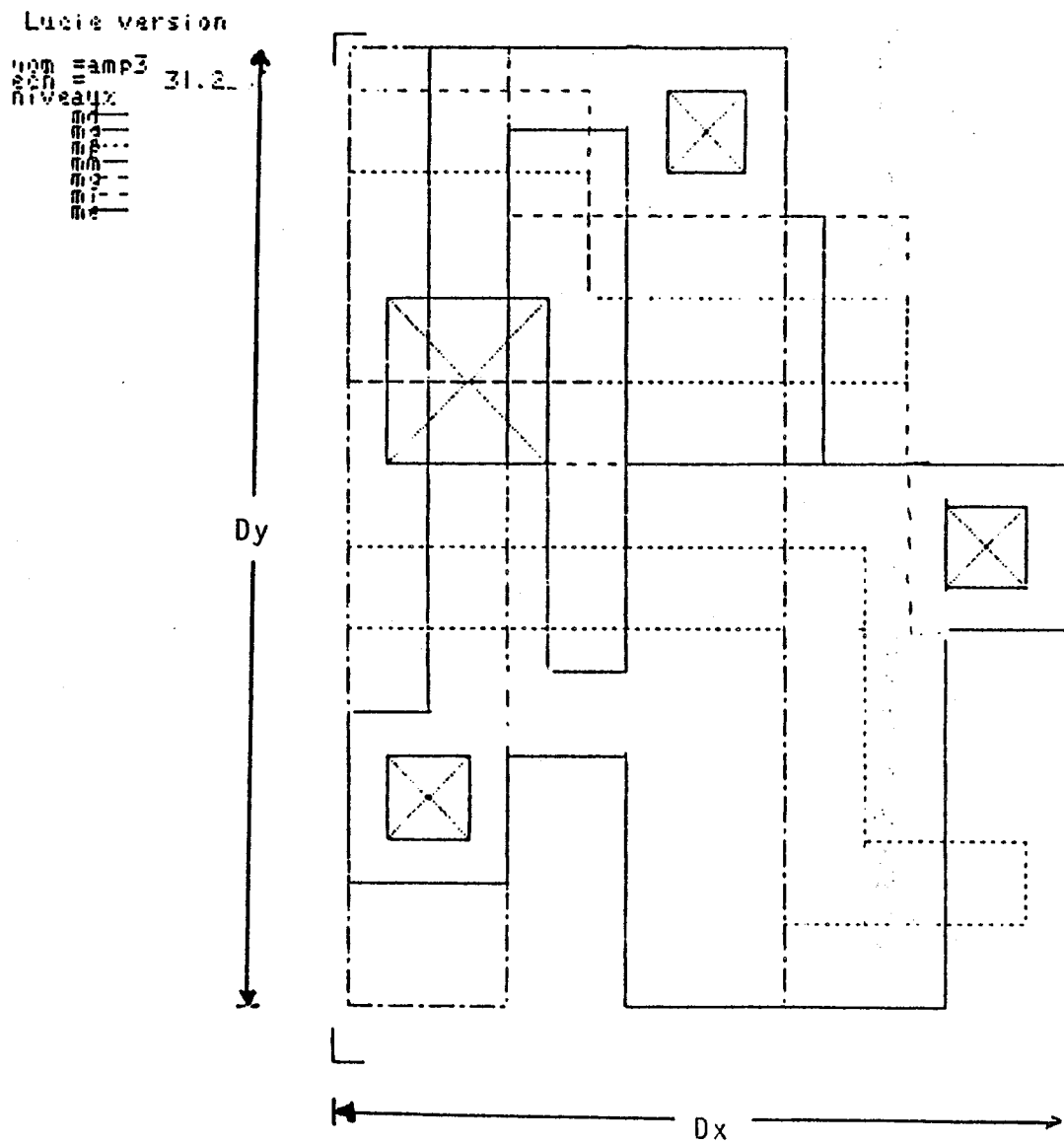


Fig-IV.8.1 amplificateur d'entrée a 2 alu verticales:

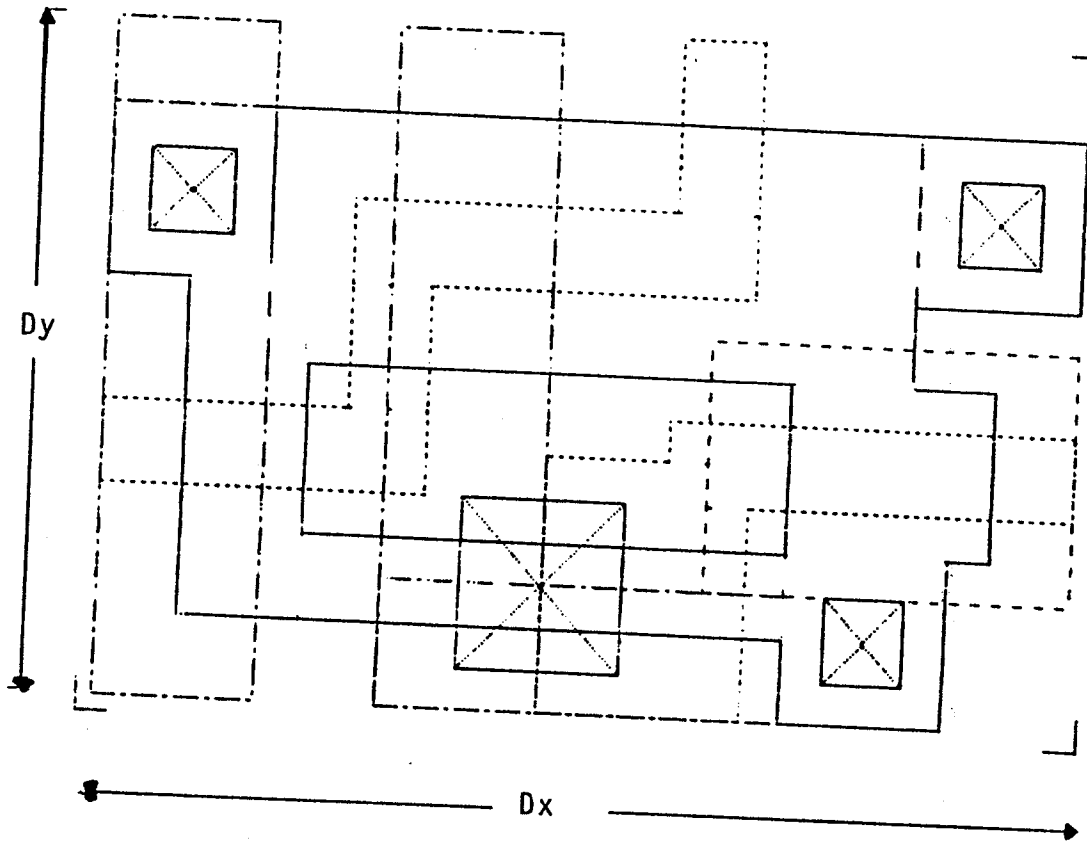


Fig-IV.8.2 : AMPLIFICATEUR A DEUX LIGNES ALU VERTICALES:

$$Dx = \text{Max}(Lzpoly + Dzpolydiff, Bzpolydiff) + 2.Pzpolydiff + Wc + 2.Dzpolydiff + Pzdifcontact + Bzpolydiff + Lci + Yc + Wsi$$

$$Dy = Yc + 2.Pzdifcontact + Pzpolydiff + \text{Max}(x1, x2)$$

avec $x1 = Lzpoly + Dzpolydiff + Lsi + \text{Max}(Pzpolycontact, Dzdiffpoly)$

$$x2 = 2.Pzdifcontact + Yc + Lzmetalmetal - Bzpolydiff$$

- un bloc amplificateur à deux lignes d'aluminium horizontales: une ligne de masse et une ligne d'alimentation. (fig-IV.9.1) (fig-IV.9.2)

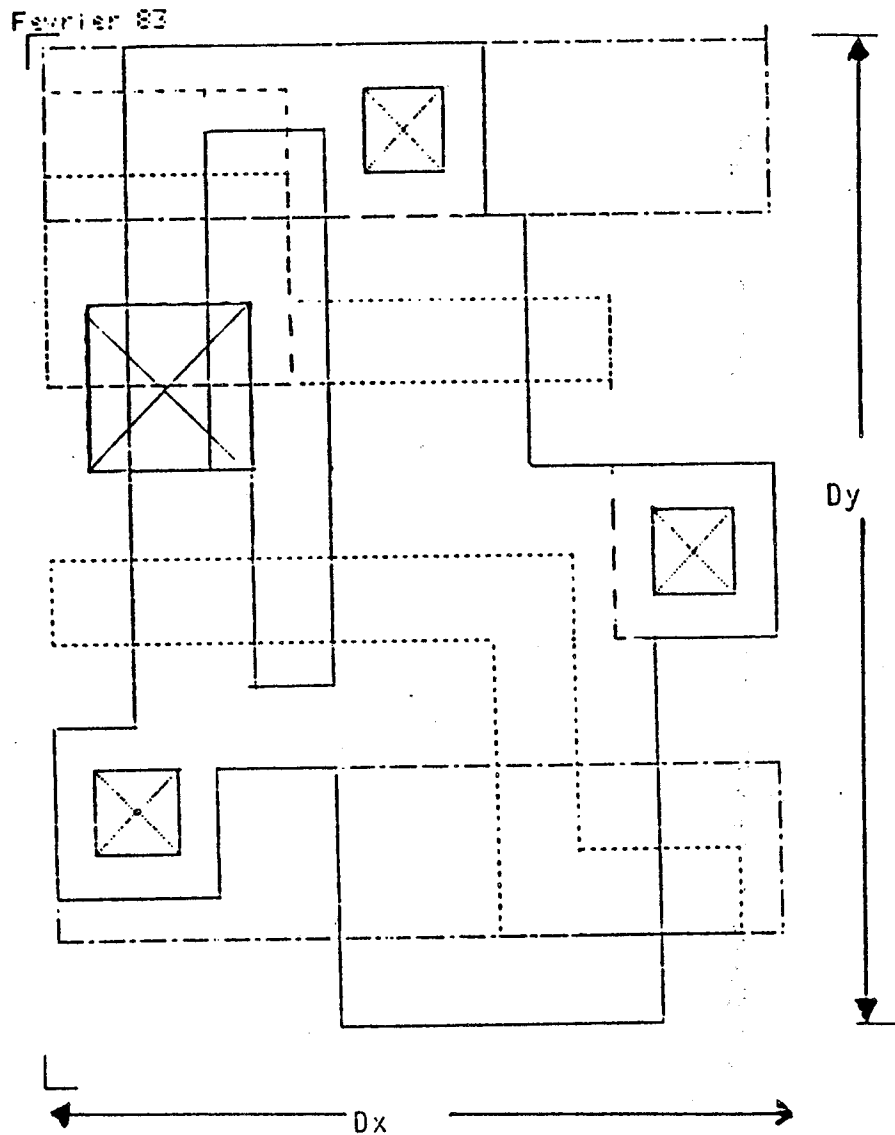


Fig-IV.9.1 AMPLIFICATEUR A DEUX LINGES ALU HORIZONTALES:

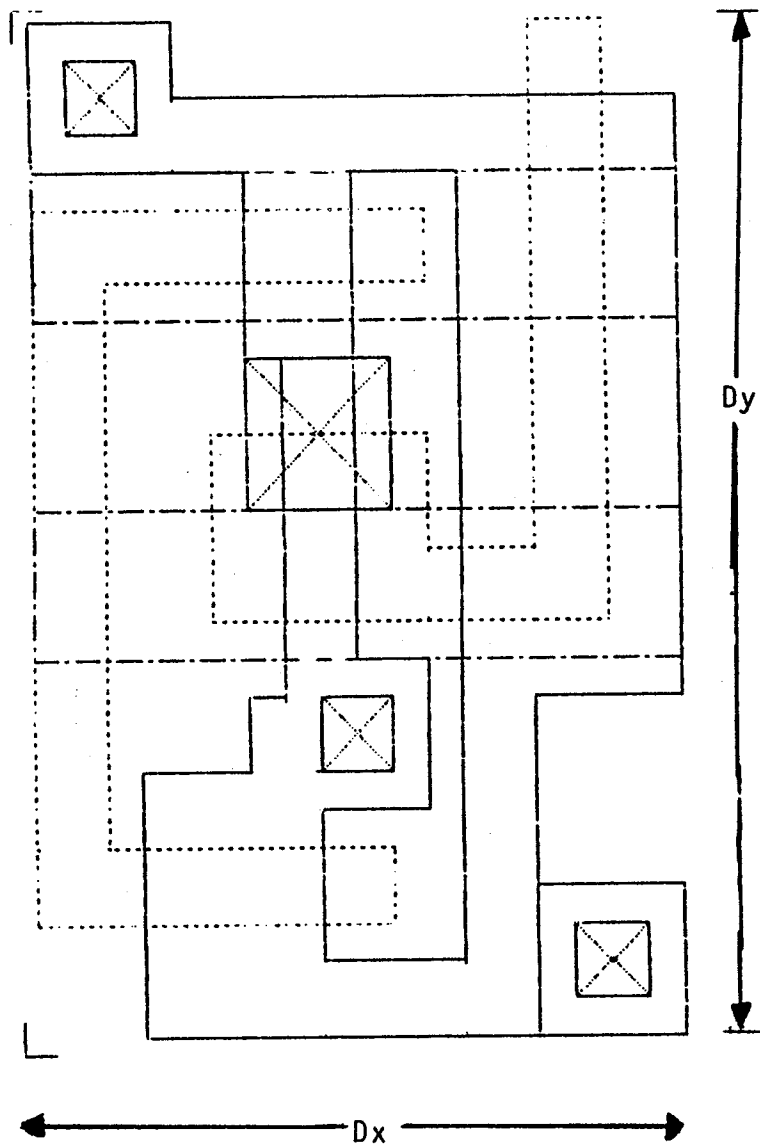


Fig-IV.9.2 amplificateur a deux lignes alu horizontales:

$$Dx = \text{Max}(X1 + Dz_{\text{metalmetal}}, X2 + Ls + Bz_{\text{diffpoly}} - 2 \cdot Pz_{\text{metalcontact}} - Xc) + 2 \cdot Xc + 2 \cdot Pz_{\text{metalcontact}}$$

avec $X1 = Bz_{\text{diffcontact}} + Wc + Lz_{\text{poly}} + Dz_{\text{polydiff}}$

$$X2 = Bz_{\text{diffpoly}} + \text{Max}(2 \cdot Bz_{\text{polydiff}} + Lz_{\text{poly}} + Wsi, 2 \cdot Dz_{\text{poly}} + Wci - Pz_{\text{polydiff}}) + \text{Max}(Lz_{\text{poly}} + dz_{\text{polydiff}} - Bz_{\text{contactdiff}}, Lz_{\text{poly}} + Dz_{\text{polypoly}} + Pz_{\text{polydiff}})$$

$$DY = Lsi + Dz_{\text{diffpoly}} + 2 \cdot Xc + Pz_{\text{metaldiff}} + \text{Max}(Lz_{\text{poly}} + Dz_{\text{polydiff}}, Pz_{\text{polydiff}})$$

- un bloc amplificateur à trois lignes d'aluminium verticales: deux lignes de masse et une ligne d'alimentation. (fig-IV.10.1) (fig-IV.10.2)

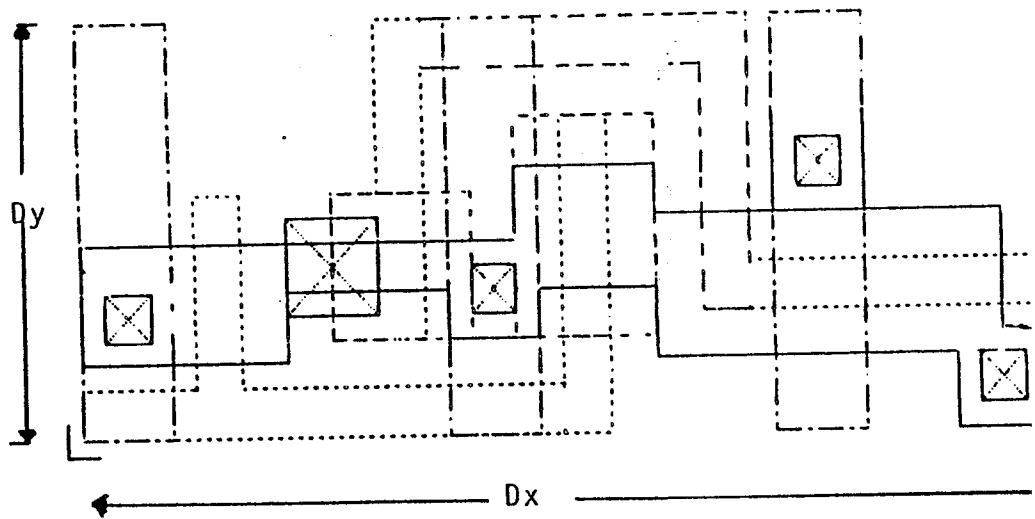
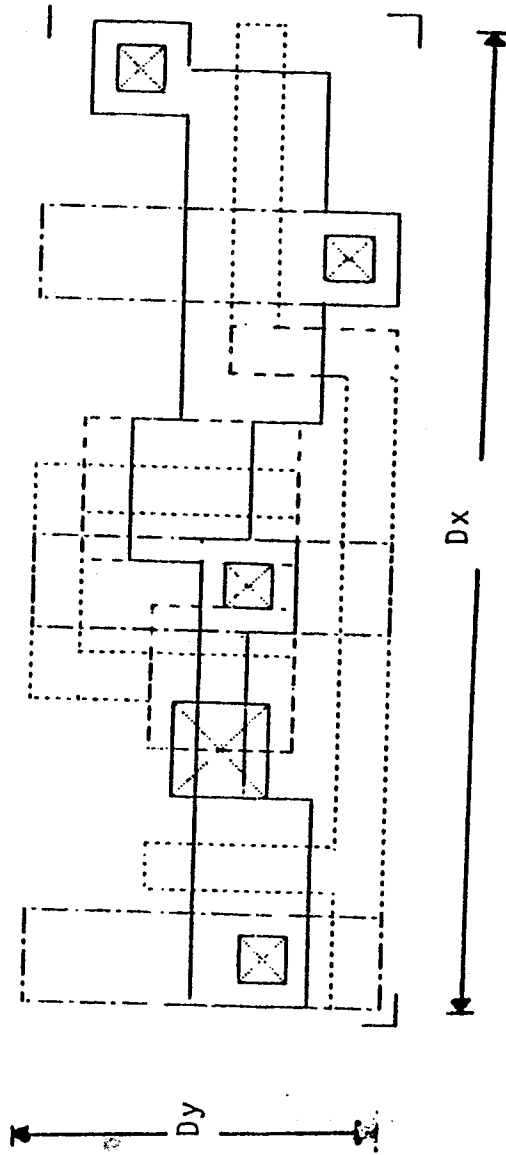


Fig-IV.10.1 amplificateur d'entrée

Fig-IV.10.2 AMPLIFICATEUR A TROIS LIGNES ALU VERTICALES:



$$Dx = Ws + Bzpolydiff + Bzdiffpoly + \text{Max}(Bzpolydiff, Pzdiffcontact + Dzpolydiff) + Lc + Bzpolydiff + 2 \cdot Xc + 2 \cdot Pzdiffcontact + Pzpolycontact + Lsi + 2 \cdot Dzdiffpoly + Lci + Dzpolydiff$$

$$Dy = 2 \cdot Lzpoly + Wc + Bzpolydiff + Dzpoly + Bzdiffpoly$$

- un bloc amplificateur à trois lignes d'aluminium horizontales: deux lignes de masse et une ligne d'alimentation.
(fig-IV.11.1) (fig-IV.11.2)

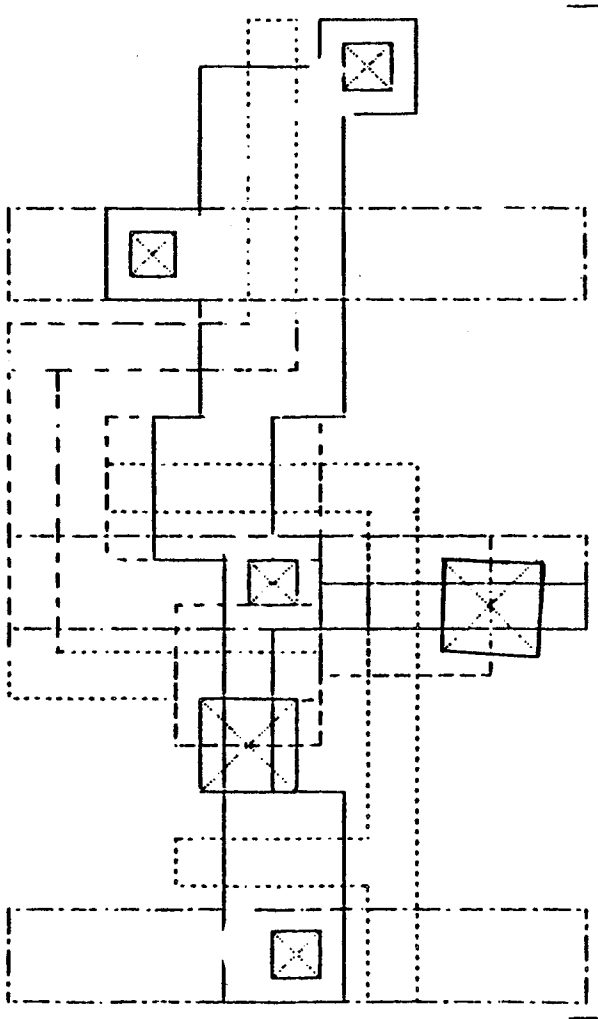


Fig-IV.11.1

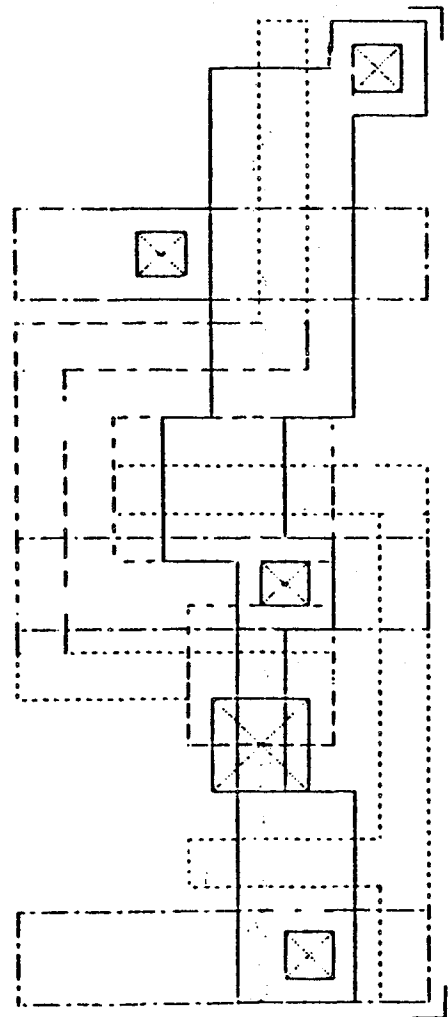
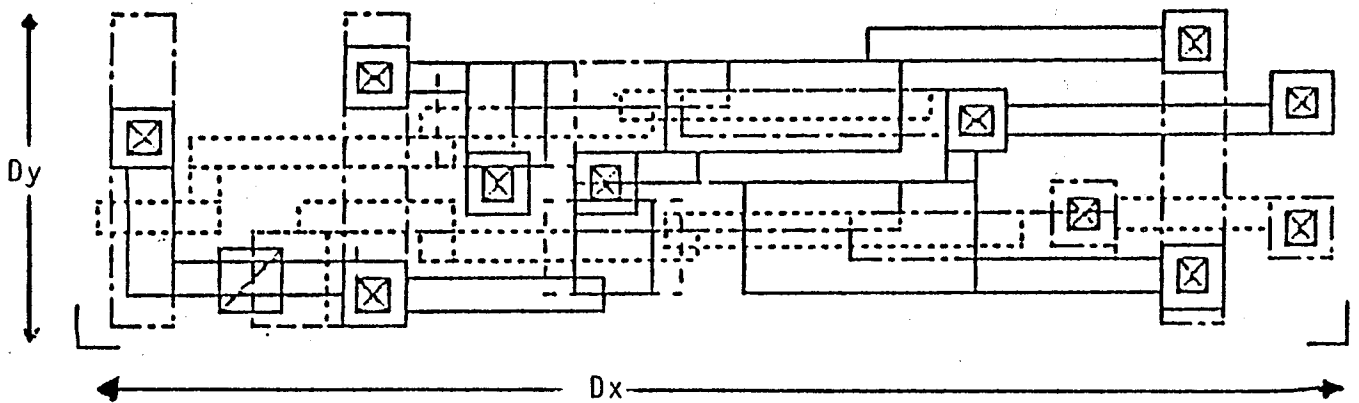


Fig-IV.11.2

- un bloc à deux amplificateurs à trois lignes d'aluminium horizontales: deux lignes de masse et une ligne d'alimentation. (fig-IV.12.1) (fig-IV.12.2)



ig-IV.12.1 BLOC A DEUX AMPLIFICATEURS

$$Dx = 2.Dz_{metalmetal} + 4.Bz_{diffcontact} + 4.Xc + Ws + 2Bz_{metalcontact} + Bz_{polydiff} + Dz_{polydiff} + Dz_{diffpoly} + Lz_{poly}$$

$$Dy = Ls + Lz_{poly} - Bz_{diffcontact} + \text{Max}(Bz_{polydiff} + Wc - Lsi, Wc1 + 2.Bz_{polydiff} + Lz_{poly} + Dz_{polypoly})$$

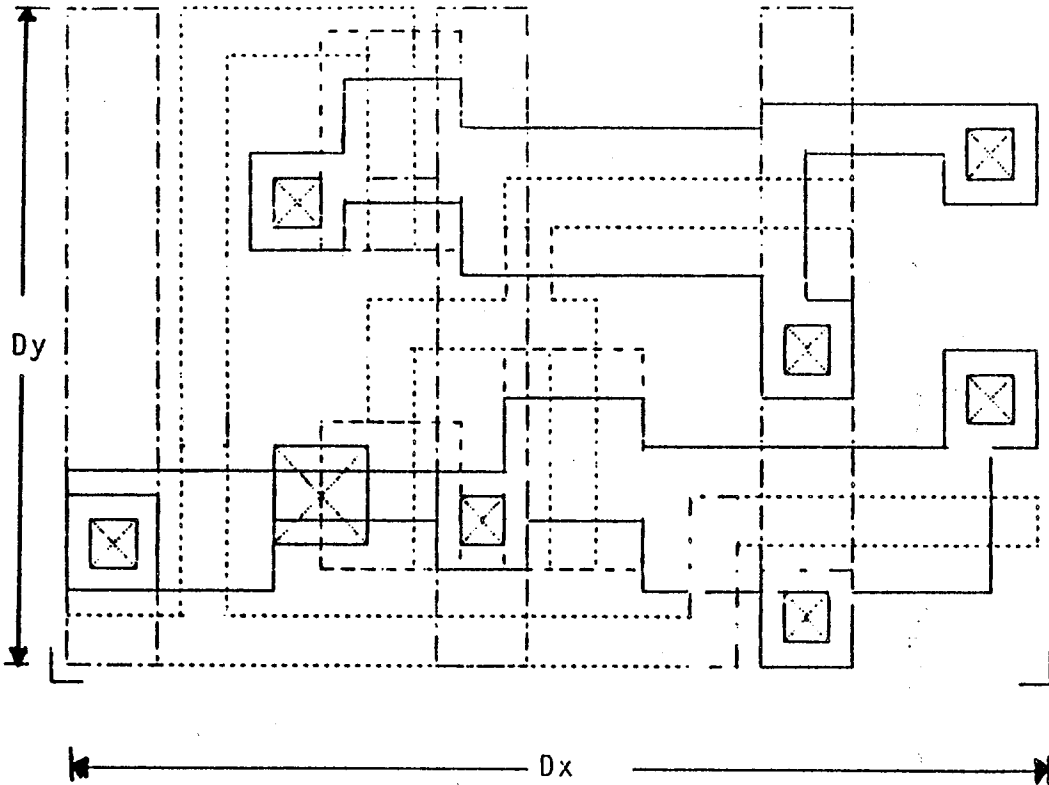


Fig-IV.12,2 bloc a deux amplificateurs

IV-8.2 La taille des amplificateurs

Il y a quatre possibilités de dimensionnement des amplificateurs car la taille de ces blocs dépend du nombre de lignes d'aluminium.

- bloc horizontal: Cette disposition convient bien aux blocs séries pour les régions EST et OUEST ayant deux ou trois lignes d'aluminium verticales.
- bloc vertical: Cette disposition convient bien aux blocs parallèles pour les régions NORD et SUD ayant deux ou trois lignes d'aluminium horizontales.

IV-9. Bibliothèque de cellules

La bibliothèque de cellules contient l'ensemble des cellules de base nécessaires à la génération des masques des amplificateurs et ceux des transistors de charge.

La création de cette bibliothèque s'effectue en deux temps:

- conception des cellules de base en tenant compte des règles spécifiques de la technologie employée.
- création du fichier contenant l'ensemble de ces cellules sous forme (LUCIE, et LUBRICK), par le programme GATA.

IV-10 GENERATION AUTOMATIQUE :

Le programme de génération GATA utilise les paramètres technologiques (géométriques et électriques) de dessin tels que la taille des transistors, la largeur des lignes de masse et d'alimentation, le pas entre niveaux, etc.

Ce programme calcule les dimensions des rectangles et les range dans un fichier texte avec un format utilisant un sous-ensemble du langage graphique LUCIE. Le texte comporte un seul bloc par amplificateur et appelé "FIGURE" qui ne contient qu'une liste d'ordres "REC".

Chaque rectangle est défini par la position (x,y) du coin inférieur gauche du rectangle dans la figure englobante, (dx,dy) la taille du rectangle et (nv) le niveau du masque.

IV-10.1 Génération des connecteurs des matrices ET/OU du PLA:

- Pour assembler automatiquement les matrices avec les transistors de charge des monômes et les amplificateurs d'entrée-sortie, le programme d'assemblage AQUARIUM a besoin des coordonnées des connecteurs de la matrice ET et de la matrice OU.

- Les connecteurs d'entrée de la matrice ET et de sortie de la matrice OU, sont lus dans les deux structures intermédiaires PAOLA.

- Les connecteurs de la sortie de la matrice ET sont calculés par balayage de la dernière colonne de cette même matrice, et ceux de la matrice OU par balayage de la première colonne de la matrice OU, en testant le type de chaque ligne.

- Les connexions sont réparties suivant plusieurs types:

- type 0 : ou type normal: Les connexions de ce type sont connectées aux amplificateurs d'entrée-sortie et d'interfaces.

- type 1 : Regroupe les connexions qui sont des lignes de rappel de masse, considérées comme des monômes fictifs.

- type 2 : c'est l'ensemble des connexions externes qui sont des lignes transparentes. Chaque connexion a deux connecteurs: un à l'entrée du PLA, l'autre à la sortie.

- type 3 : Regroupe toutes les connexions internes qui ont un seul connecteur.

- A chaque connecteur, sont associés son type et son niveau de masques.

Les coordonnées matricielles ainsi obtenues sont alors transformées en coordonnées absolues.

- L'ensemble des données ainsi obtenues pour chaque matrice est mis sous forme LUBRICK [Schoellkopf].

Ces ensembles de données contiennent pour chaque matrice une description LUBRICK:

- l'encombrement de la matrice.

- les frontières de la matrice.

- les connexions de la matrice.

IV-10.2 Génération des connecteurs des amplificateurs:

D'après le fichier de la description des masques des amplificateurs en LUCIE, les connecteurs sont calculés par balayage des REC du fichier LUCIE du bloc amplificateur, et sont générés par le programme GATA de la manière suivante :

- cas des blocs amplificateurs horizontaux :

- Les connecteurs d'entrée sont déterminés par:

la position $X = 0$, et niv = poly, pour le type 0

la position $X = 0$, et niv = metal, pour le type 1

- Les connecteurs de sortie sont déterminés par:

la position $X = X + dx$, et niv = diff, pour le type 0

la position $X=0$, et niv = metal, pour le type 1

- cas des blocs amplificateurs verticaux :

- Les connecteurs d'entrée sont déterminés par:

la position $X = 0$, et niv = poly, pour le type 0

la position $Y = 0$, et niv = metal, pour le type 1

- Les connecteurs de sortie sont déterminés par:

la position $X = X + dx$, et niv = metal pour le type 0

la position $Y = Y + dY$, et niv = metal, pour le type 1

IV-10.3 Génération des frontières des amplificateurs

Lorsqu'on assemble deux figures par connexion, il est nécessaire de connaître la distance minimale à laquelle ces deux figures peuvent être approchées, pour obtenir des masques optimisés. Pour cela, il faut amener les deux frontières à la limite de la garde.

Le calcul de la frontière d'une cellule d'un amplificateur consiste à parcourir l'ensemble des segments de la cellule et à mettre à jour au fur et à mesure la frontière.

Chaque frontière est calculée suivant quatre directions: NORD, SUD, EST, et OUEST par rapport au repère de la cellule.

Le programme GATA génère les frontières des amplificateurs par balayage des

REC du fichier LUCIE du bloc amplificateur, de la manière suivante.

- la frontière OUEST est déterminée par:

la position $X < D_{zniv}$

avec D_{zniv} la distance minimale entre deux éléments géométriques du même type.

- la frontière NORD est déterminée par:

la position $Y + DY < \text{MAX}(Y + DY) - D_{zniv}$

- la frontière EST est déterminée par:

la position $X + DX < \text{MAX}(X + DX) - d_{zniv}$

- la frontière SUD est déterminée par:

la position $Y < d_{zniv}$

IV-11. EVALUATION DE SURFACE DU PLA

L'évaluation de surface dépend de trois paramètres.

- Le contenu de la logique (type de portes ou de la cellule, complexité des interconnexions internes)

- La technologie employée.

- Les techniques d'implantation (implantation au micron, implantation symbolique et semi-automatique, utilisation ou non des programmes d'assemblage)

IV-11.1. Evaluation de surface d'un point de PLA à deux matrices:

Un point de PLA est généralement constitué soit d'un transistor (en MOS, bipolaire et AsGa) soit d'une diode.

La (fig-IV.13) montre la topologie d'un point de PLA à deux matrices :

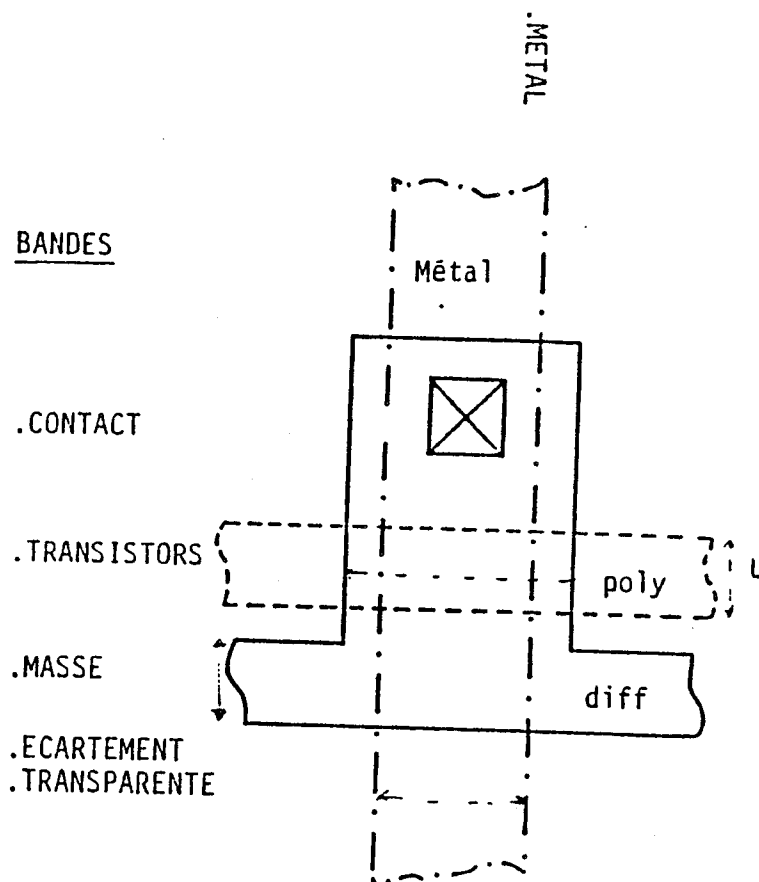


Fig-IV.13

- L : Longueur du canal.
- W : Largeur du canal.
- lg : Largeur de la ligne de masse.
- Lm : Largeur de la ligne métallique.
- Xc, Yc : Dimension du contact.

La dimension du point suivant l'axe X est: Px

$$Px = Xc + \text{MAX}(2 \cdot Bx_{\text{métalcontact}} + Dz_{\text{métalmétal}},$$

$$2 \cdot Bx_{\text{diffcontact}} + Dz_{\text{diffdiff}}).$$

avec $W \leq 2 \cdot Bx_{\text{diffcontac}} + Xc$

La dimension du point suivant l'axe Y est: P_y

$$2.P_y = (Y_c + G) + 2.(L + D_{zpolydiff} +$$

$$\text{MAX}(D_{zpolycontact}, B_{ydiffcontact} + D_{zpolydiff})).$$

D'où la surface de point de PLA :

IV-11.2. Evaluation de surface d'un point de PLA monomatrices:

La (fig-IV.14) montre la topologie d'un point de PLA monomatrice ET-OU dans une technologie NMOS normale.

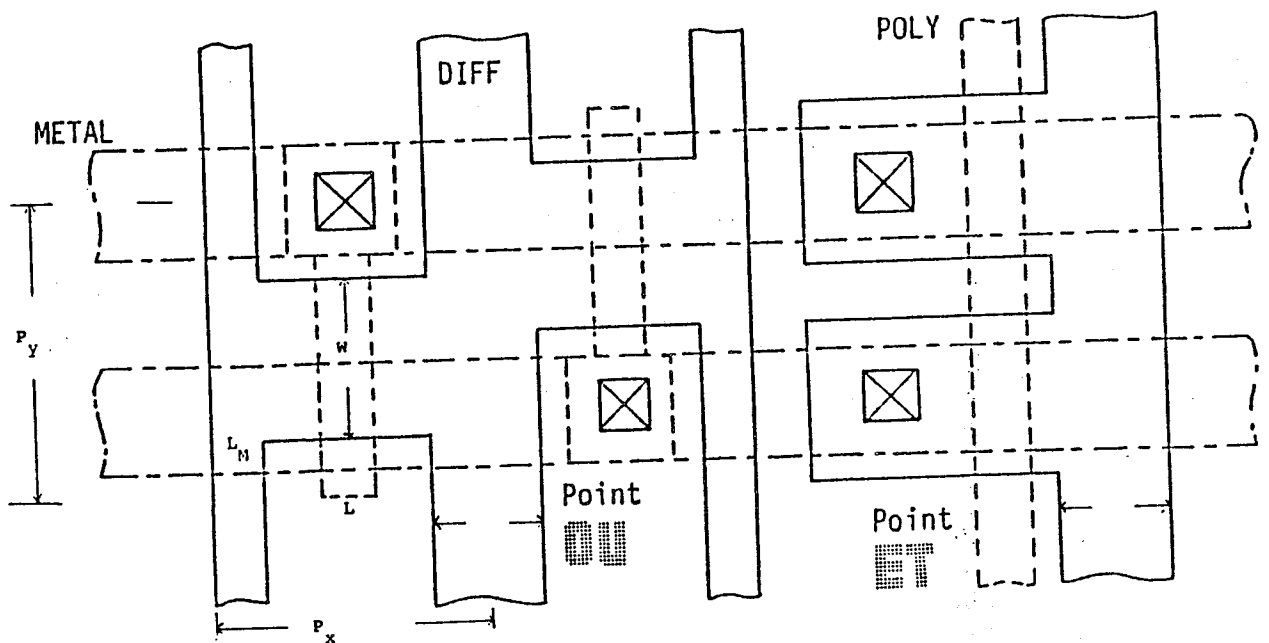


Fig-IV.14 Paramètres géométriques intrinsèques d'un POINT PLA monomatrice.

La dimension du point OU suivant l'axe X est: P_x

$$2.P_x = 2.(Y_c + 2B_{zpolycontact} + 2.D_{zpolydiff} + W + D_{zdifdiff} + L_g + 2.L_s)$$

- Sans duplication de monômes:

La surface de la matrice ET est: Set

$$\text{Set} = (\text{NME} + \text{NME}/\text{M}) \cdot \text{PS} \cdot (\text{NE} + 2) \text{PE}$$

la surface de la matrice OU est: Sou

$$\text{Sou} = (\text{NME} + \text{NME}/\text{M} + 4) \cdot (\text{TRN} \cdot \text{NN} + \text{TRN} \cdot \text{NN}/\text{M}) \cdot \text{PS}$$

- Avec duplication de monômes:

La surface de la matrice ET est: Set

$$\text{Set} = (\text{NME} + \text{TDM} \cdot \text{NME}/\text{M}) \cdot \text{PS} \cdot (\text{NE} + 2) \text{PE}$$

La surface de la matrice OU est: Sou

$$\text{Sou} = (\text{NME} + \text{TDM} \cdot \text{NME}/\text{M} + 4) \cdot (\text{TRN} \cdot \text{NN} + \text{TRN} \cdot \text{NN}/\text{M}) \cdot \text{PS}$$

Avec:

NME = le nombre de monômes.

NE = le nombre d'entrées de la matrice ET.

NN = le nombre de niveaux.

nm = la fréquence de rappel de masse.

PS = pas métal.

PE = 2.pas polycristallin.

TRN = le taux de remplissage.

TDM = le taux de duplication de monômes.

IV-11.4 Evaluation de la surface des amplificateurs:

Le programme GATA calcule les dimensions des amplificateurs automatiquement d'après le fichier LUCIE, en parcourant tous les REC.

La dimension suivant l'axe X est déterminée par le $\text{MAX}(X + dX)$

La dimension suivant l'axe Y est déterminée par le $\text{MAX}(Y + dY)$

C H A P I T R E V

V-1. INTRODUCTION

V-2. DIFFERENTES METHODES D'ASSEMBLAGE

V-2.1. Assemblage par connexions directes

V-2.2. Assemblage par dévoiement

V-2.3. Assemblage par canal de routage

V-3. FONCTIONNEMENT DU SYSTEME AQUARIUM

V-4. PROCESSUS D'ASSEMBLAGE

V-4-1. Assemblage des deux figures

V-4-2. Assemblage des transistors de charge

V-4-3. Assemblage des transistors de charges avec les matrices
ET/OU

V-5. ASSEMBLAGE DES AMPLIFICATEURS E/S

V-5.1. Assemblage des amplificateurs E/S avec Plat

V-5.2. Le choix des amplificateurs

V-5.3. Description algorithmique du programme d'assemblage.

V-5.4. Procédure d'assemblage.

V-1. INTRODUCTION

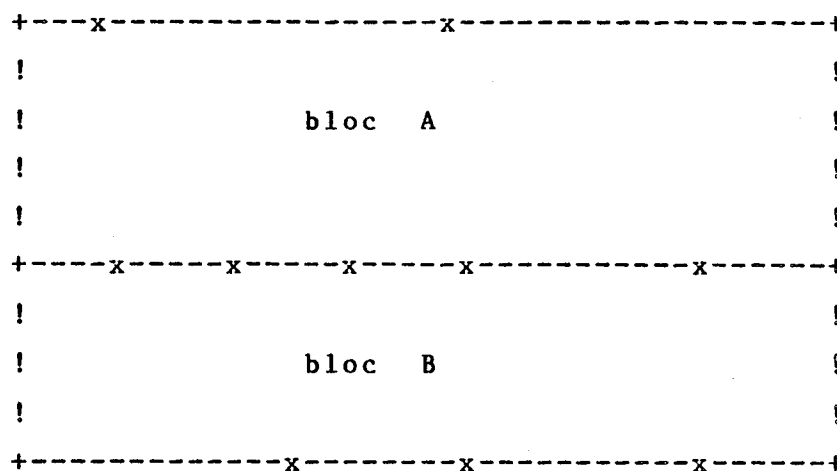
La conception de circuits VLSI présente des similitudes avec la conception de gros logiciels. La programmation structurée de transistors dans un circuit intégré nécessite l'automatisation de la conception.

En effet certains systèmes de CAO VLSI (LUBRICK, LUCIFER ...) ont mis en évidence l'intérêt des mécanismes d'assemblage topologique de cellules (ou figures, ou briques). Il serait intéressant d'utiliser de tels mécanismes dans le programme AQUARIUM, afin de donner au concepteur la possibilité d'utilisation d'un programme d'assemblage automatique des dispositifs périphériques des PLAs. Nous nous proposons d'implémenter dans le programme AQUARIUM les mécanismes d'assemblage, à l'aide du système LUBRICK, [SCH-83]

V-2 Differentes méthodes d'assemblage

V-2.1 -Assemblage par connexions directes

Cette méthode consiste à connecter des figures en tirant des fils rectilignes entre des segments prolongés et faisant face, c'est-à-dire de directions opposées (Fig-V.1).

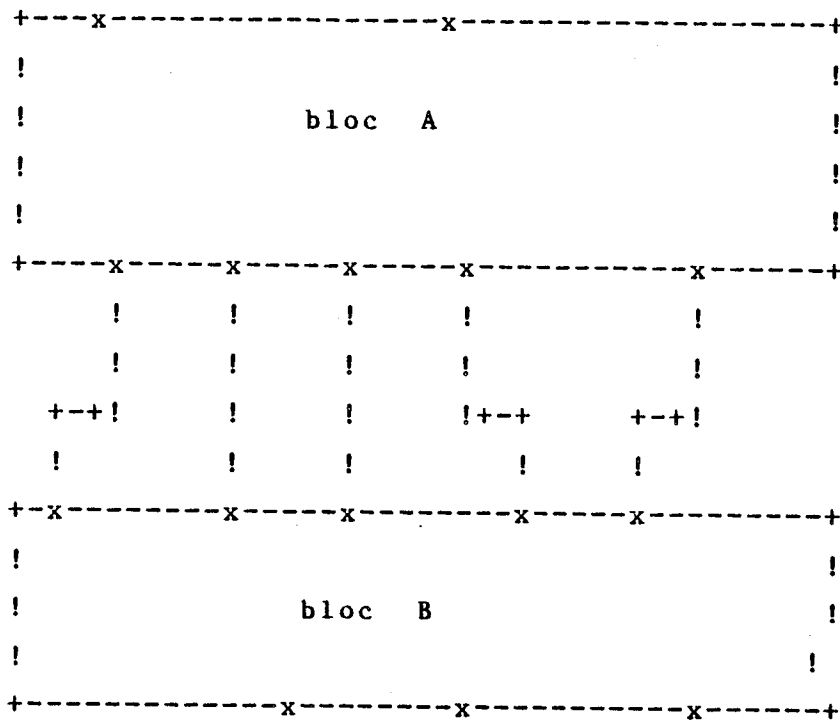


V-2.2 -Assemblage par dévoiement

Ce mécanisme consiste à connecter deux figures A et B de la façon suivante:

A et B possèdent chacune un ensemble de segments à prolonger, notés $S1 = (s1, s2, \dots, sn)$ et $S2 = (s'1, s'2, \dots, s'n)$

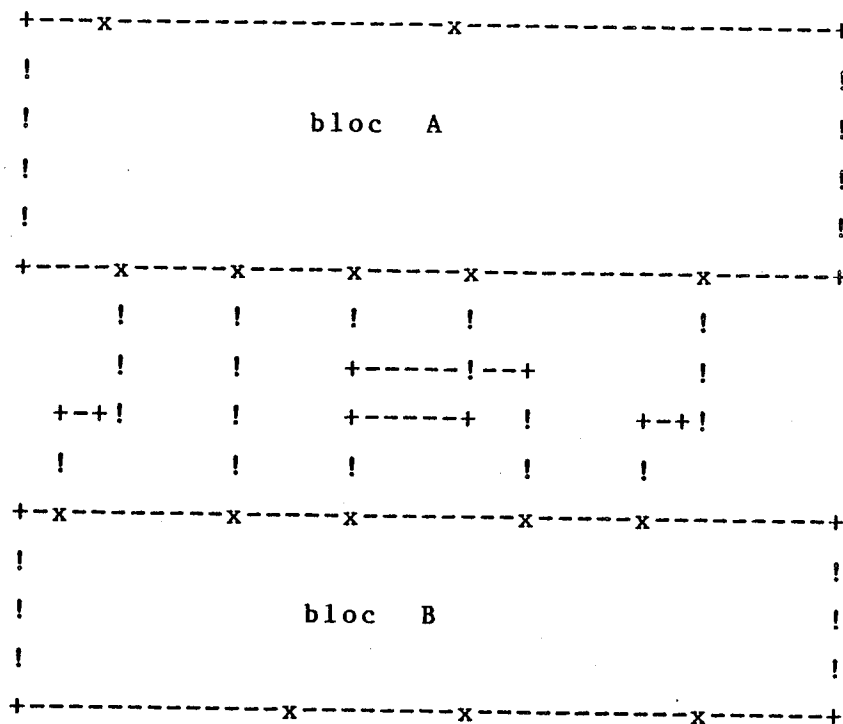
on tire des fils qui ne se croisent pas, les figures A et B permettant ainsi de connecter à $s1$ et $s'1$, ..., et sn à $s'n$, (Fig-V.2).



(Fig-V.2)

V-2.3 -Assemblage par canal de routage

Ce mécanisme est semblable au précédent, mais les fils peuvent se croiser (Fig-V.3).



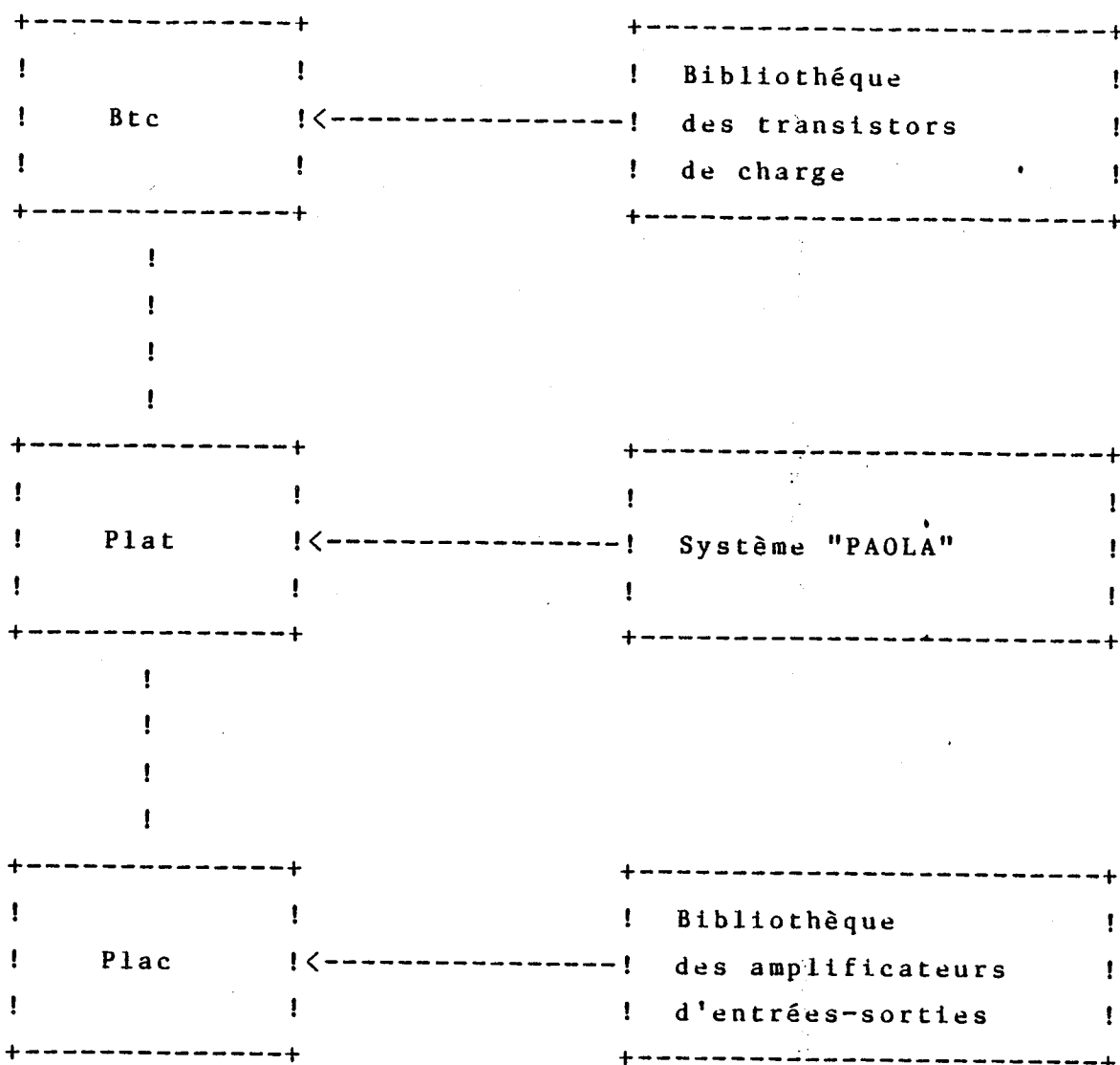
(Fig-V.3)

V-3 -Fonctionnement du programme AQUARIUM

Le programme AQUARIUM reçoit la description des cellules de base sous forme de fichiers en LUBRICK et LUCIE, par le programme GATA pour réaliser l'assemblage complet des masques des PLAs (matrice ET/OU et leurs dispositifs périphériques).

L'algorithme de fonctionnement du programme AQUARIUM se décompose en trois étapes:

- 1 - Les transistors de charge sont assemblés dans un bloc noté Btc.
- 2 - Ensuite, les matrices ET/OU sont assemblées avec le bloc btc dans un autre, applé Plat.
- 3 - Finalement, les amplificateurs d'entrées et de sorties sont assemblés avec le bloc Plat pour former un seul bloc Plac. Celui-ci contient tous les éléments périphériques du PLA (Fig).



V-4 -Processus d'assemblage

V-4.1-Assemblage des deux figures

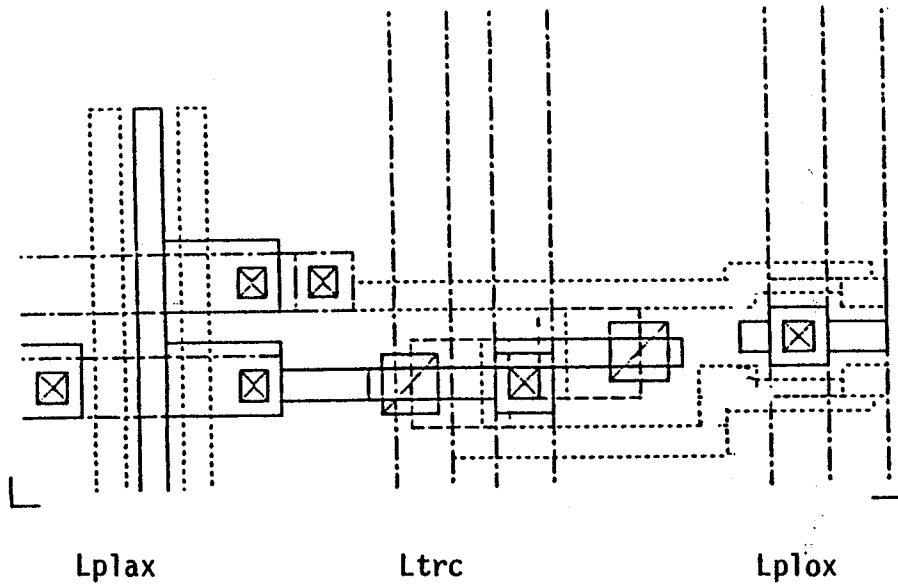
On effectue l'assemblage entre deux figures par le couplage de leurs connecteurs qui coïncident entre eux, et les fils de connexions sont tirés par le programme LUBRICK.

V-4.2 -Assemblage des transistors de charge

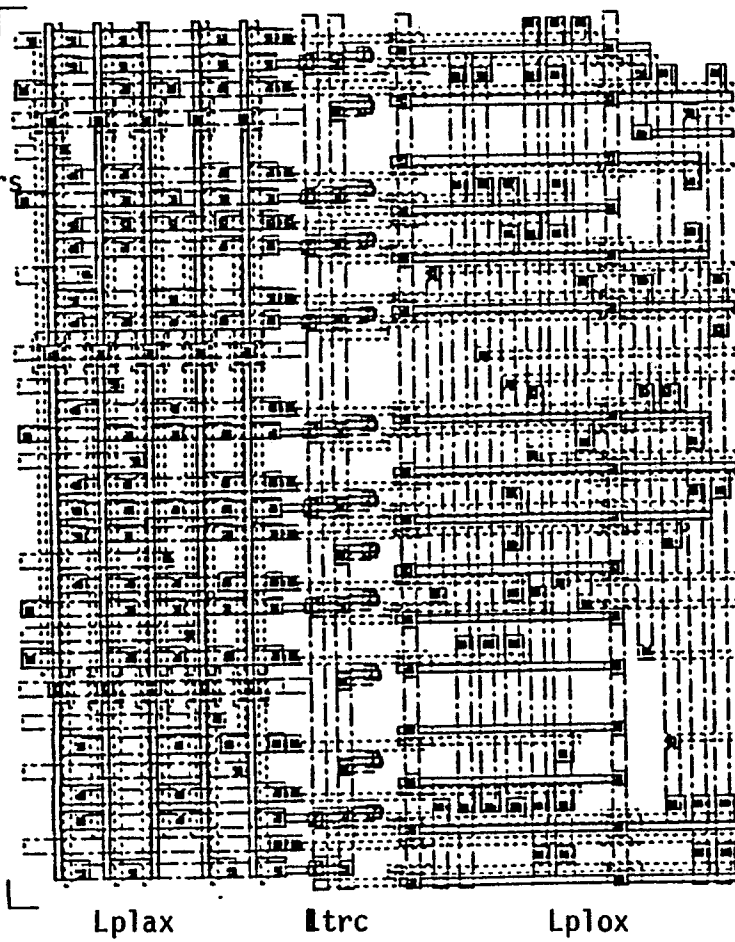
Le processus d'assemblage des cellules (ou figures) des transistors de charges se fait par coïncidence des connecteurs. Il s'effectue de la manière suivante:

- Ouverture du fichier Ltrc en LUCIE
 - Appel des fichiers des figures externes Ltrb et Ltrh de la bibliothèque contenant les cellules des transistors de charges.
 - Appel du fichier Xplax sous forme LUBRICK de la matrice ET pour la lecture des coordonnées des connecteurs EST de la matrice.
 - Construction de toutes les figures internes dans la figure courante Ltrc. Leurs coordonnées sont fixées à $x = Lcet$, et à $Y = Ycet$.
- Où $Lcet$ est la dimension de la matrice Et suivant l'axe X et $Ycet$ est l'ordonnée des connecteurs EST de la matrice ET.
- Fermeture de la figure courante.

```
+-----+
!   OPEN Ltrc   !
+-----+
!
!
!
+-----+
!   APPEL figure Ltrb, Ltrh, et Xplax   !
+-----+
!
!
!
+-----+
!   Procédure d'assemblage   !
+-----+
!
!
!
+-----+
!   CLOSE Ltrc   !
+-----+
```

Assemblage des amplificateurs
d'interface avec les matrices
ET/OU



V-4.3 -

Assemblage des transistors de charges avec les matrices ET/OU

Le mécanisme d'assemblage s'établit sur deux niveaux

Au niveau LUCIE

- ouverture d'un nouveau fichier sous le nom de Lplat

- appel des figures externes Lplax pour la matrice ET, LploX pour la matrice OU, et Ltrc représentant le bloc des transistors de charge.

- la figure externe Lplax prend pour coordonnées $X = 0$ et $Y = 0$.

- la figure LploX à comme coordonnées $X = Lxet$, $Y = 0$. avec $Lxet$: dimension de la matrice ET suivant l'axe X.

- la figure Ltrc prend pour coordonnées $X = Lxet + Ltrc$, et $Y = 0$. où Ltrc est distance du bloc, contenant des transistors de charge, suivant l'axe X.

- fermeture du fichier Lplat.

```
+-----+
!   OPEN Lplat   !
+-----+
!
!
!
+-----+
!   APPEL figure Lplax, LploX, Ltrc   !
+-----+
!
!
!
+-----+
!   Cplax = 0,0           !
!   CploX = Lxet,0       !
!   Cltrc = Lxet + Litc,0 !
+-----+
!
!
!
+-----+
!   CLOSE .Lplat   !
+-----+
```

C: désigne les Coordonnées.

Au niveau LUBRICK

- ouverture d'un nouveau fichier Xplat sous forme LUBRICK
- appel des fichiers en LUBRICK: Xplax de la matrice ET, et XploX de la matrice OU.
- Les coordonnées des connecteurs de Xplat sont calculées de la manière suivante:
 - a- les connecteurs OUEST de Xplat et de Xplax sont identiques.

b- les coordonnées des connecteurs SUD de xplat sont calculées à partir de celles de Xplax, et Xplox en leur ajoutant la valeur Xs.

où $Xs = Lxet + Ltrc$.

c- les coordonnées des connecteurs NORD sont égales aux coordonnées des connecteurs NORD de Xplax, et de Xplox en leur ajoutant la valeur Xs

d- les connecteurs EST de Xplat, sont identiques à ceux de Xplox.

```
+-----+
!   OPEN Xplat   !
+-----+
!
!
!
+-----+
!   APPEL figure Xplax, Xplox   !
+-----+
!
!
!
+-----+
!   Coxplat = Coxplax           !
!   Csxplat = Csxplax, et Csplox + Lxet + Ltrc  !
!   Cnxplat = Cnxplax, et Cnplox + Lxet + Ltrc  !
!   Cexplat = Ceplox           !
+-----+
!
!
!
+-----+
!   CLOSE Xplat   !
+-----+
```

Co: désigne les Coordonnées OUEST.

Cs: désigne les Coordonnées SUD.

Cn: désigne les Coordonnées NORD.

Ce: désigne les Coordonnées EST.

V-5 -Assemblage des amplificateurs E/S

V-5.1 -Assemblage des amplificateurs E/S avec Plat

D'après le programme PAOLA, on sait d'avance l'endroit où le concepteur veut placer les amplificateurs par rapport au PLA . Le système AQUARIUM lit la position des amplificateurs qui lui permet de choisir, d'après la bibliothèque des cellules, la forme et la taille minimale de chaque cellule adaptable à chaque région où se trouve l'entrée et la sortie.

L'algorithme d'assemblage.

On détermine la position des connecteurs d'entrées et de sorties d'après les fichiers LUBRICK des matrices ET/OU. Ce qui nous permet de connaître leurs types,

0: pour les amplificateurs,

1: pour les lignes d'alimentation et du rappel de masse,

2: pour les (connexions externes, transparents, canaux).

On distingue trois régions où l'on peut implanter les amplificateurs par rapport à chaque matrice. Pour la matrice ET, les régions NORD, SUD, OUEST, et pour la matrice OU les régions NORD, SUD, EST (Fig).

V-5.2 -Le choix des amplificateurs

Le choix s'effectue en fonction de la région où l'on va implanter le bloc amplificateur. La taille des blocs choisis est minimale et adaptable aux contraintes exigées par la topologie de PLA, par la technologie utilisée et par le concepteur lui même.

Cette procédure de choix constitue un module de programme qui est totalement indépendant de façon à pouvoir faire varier le critère de choix.

V-5.3 -Description algorithmique du programme d'assemblage.

a- Les amplificateurs d'entrées avec la matrice ET.

- Si tous les amplificateurs se trouvent dans la région OUEST alors on doit:
 - Chercher dans la bibliothèque les blocs à deux lignes d'aluminium verticaux.
 - Calculer L_y qui est égal à la somme de leur longueur suivant l'axe Y
 - Si L_y est inférieur ou égal à la taille de la matrice ET suivant l'axe Y
 - alors exécuter la procédure d'assemblage
 - sinon changer bloc par bloc où L_y est inférieur et L_x est supérieur. nous calculons chaque fois L_y jusqu'à ce que L_y soit inférieur ou égal à la taille de la matrice ET
 - sinon chercher dans la bibliothèque les blocs à trois lignes d'aluminium verticaux. On suit la même procédure à deux lignes d'aluminium.
- Si tous les amplificateurs se trouvent dans la région EST où SUD, alors:
 - Chercher dans la bibliothèque les blocs à deux lignes d'aluminium horizontales.
 - Calculer L_x : la somme de leur longueur suivant l'axe X
 - Si L_x inférieur ou égal à la taille de la matrice ET suivant

l'axe X

- alors exécuter la procédure d'assemblage

- sinon changer bloc par bloc où lx est inférieur et ly est supérieur. nous calculons chaque fois Lx jusqu'à ce que Lx soit inférieur ou égal à la taille de la matrice ET suivant l'axe X.

- sinon chercher dans la bibliothèque les blocs à trois lignes d'aluminium horizontales et refaire la même démarche comme à deux lignes d'aluminium.

- Si les amplificateurs se retrouvent dans deux ou trois régions, on utilise la procédure précédente pour chaque région, et on exécute la procédure d'assemblage.

b- Les amplificateurs de sorties avec la matrice OU.

C'est le même principe que des amplificateurs d'entrées.

V-5.4 -Procédure d'assemblage.

Le classement des amplificateurs est effectué par rapport à celui des entrées/sorties ce qui permet parfois d'avoir des connexions directes. Les deux fonctions de LUBRICK CUP (CONNECT-UP) et CRIGHT (CONNECT-RIGHT) le réalisent. Autrement dans le cas du CHANNEL ROUTING, pour lequel deux niveaux de fil (POLY et ALU) sont nécessaires parce qu'il existe au moins un croisement. Ce cas est rare dans le cas où il existe les deux fonctions LUBRICK GRUP (Channel-Routing-UP) et CRRIGHT (Channel-Routing-RIGHT) le réalisent.

On classe les ampificateurs OUEST dans le tableau amplio, les ampificateurs EST dans le tableau amplie, les ampificateurs NORD dans le tableau amplin et les ampificateurs SUD dans le tableau amplis.

Procédure assemblage (amplificateurs -matrices ET/OU)

i:= openfig (`plac')

pour la région OUEST faire

pour k=1 jusqu'à no (no: nombre des amplificateurs à ouest)

i:= UP (i, Getfig (àmplio(k)'),1,0)

i:= RIGHT(i,Getfig (plat),1,0)

pour la région NORD faire

pour k=1 jusqu'à nn (nn: nombre des amplificateurs au nord)

j:= RIGHT (j, Getfig (àmplin(k)'),1,0)

i:= UP(i,j,1,0)

pour la région SUD faire

pour k=1 jusqu'à ns (ns: nombre des amplificateurs au sud)

j:= RIGHT (j, Getfig (àmplis(k)'),1,0)

i:= UP(i,j,1,0)

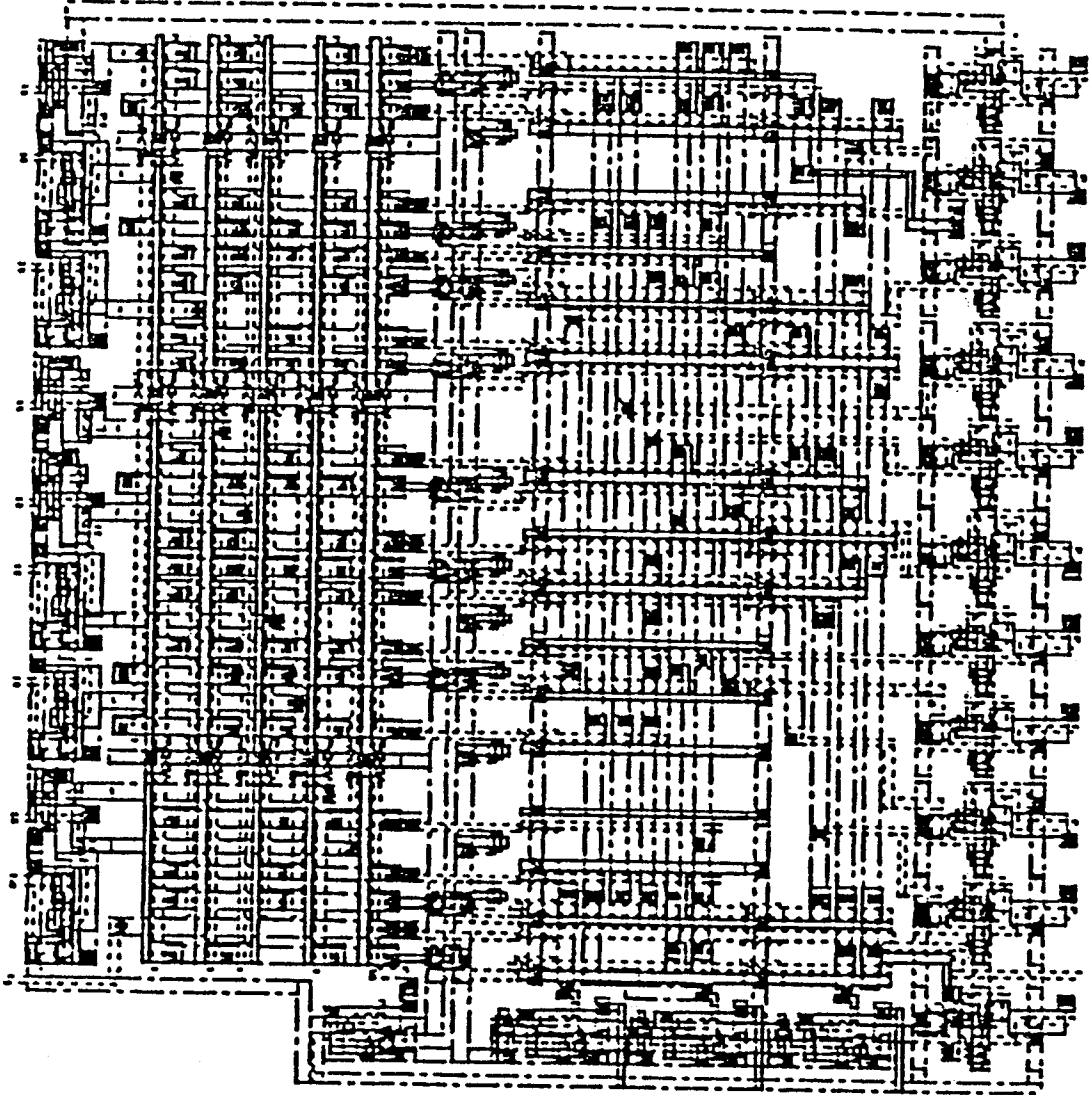
pour la région EST faire

pour k=1 jusqu'à ne (ne: nombre des amplificateurs à est)

j:= UP (j, Getfig (àmplie(k)'),1,0)

i:= RIGHT(i,j,1,0)

ANALYSEUR



ASSEMBLAGE DES AMPLIFICATEURS AVEC LES MATRICES ET/OU

CONCLUSION

L'outil de génération automatique et d'assemblage de dispositifs périphériques de PLA que nous avons présenté dans ce mémoire, est actuellement intégré au système "PAOLA". Il est opérationnel au Laboratoire IMAG-TIM3 de Grenoble et à THOMSON-CSF DCI à St Egrève, où il est utilisé par des concepteurs de circuits intégrés.

Sans revenir sur la description de cet outil, nous nous attacherons plutôt ici à dresser un bilan de ses caractéristiques essentielles et à définir ses potentialités d'évolution.

Le programme GATA se compose actuellement de trois types de module :

- entrée des informations,
- optimisation,
- génération des masques.

L'entrée des informations nécessaires à la génération est effectuée par l'intermédiaire du programme "PAOLA". En effet, à partir de la spécification d'un PLA particulier, nous cherchons le chemin critique dans le PLA pour donner un schéma électrique équivalent. Ce qui nous permet d'étudier les caractéristiques électriques et topologiques des transistors de charges (qui peut être vu comme un amplificateur-d'inter matrices ET-OU) et des amplificateurs d'entrées-sorties.

La phase d'optimisation qui permet de réduire considérablement la surface des transistors de charges et des amplificateurs dans la majorité des utilisations, sera adaptable au structure régulière du PLA.

Par ailleurs, le module de génération de masques, de par les concepts qui ont guidé sa conception, est facilement adapté à une technologie nouvelle. En effet, le programme GATA crée une bibliothèque de cellules qui contient la description de l'ensemble des dispositifs périphériques du PLA adaptable à la technologie

utilisée.

le programme AQUARIUM tient compte de l'environnement du PLA ainsi que des contraintes fournies par l'utilisateur. On fixe deux types de contraintes.

- les contraintes de placements absolues qui fixent la position et l'ordre des amplificateurs d'entrée-sorties concernées, ce qui permet de résoudre simplement les problèmes de rebouclage dans le cas d'automates d'états finis, et des connexions des entrées à un bus d'état ou des sorties à un bus de contrôle.

- les contraintes de placement relatif qui assignent aux amplificateurs d'entrées, sorties, et interface des positions (haut, bas, droit, gauche) et réduisent de ce fait les problèmes d'interconnexions du PLA avec son environnement.

De par sa souplesse d'utilisation et sa rapidité d'exécution, AQUARIUM permet des interactions entre les contraintes de placement et les critères technologiques ce qui autorise l'utilisateur à modifier ces paramètres afin de concevoir un PLA répondant à des critères tels que:

- surface minimale,
- hauteur, largeur prédéfinies,
- interconnexions minimales.

Malgré ces améliorations envisageables, ou déjà envisagées, les programmes GATA et AQUARIUM constituent déjà un outil performant avec le système "PAOLA" dont l'efficacité s'affirme de jour en jour auprès des concepteurs de circuits intégrés.

- 110 -

B I B L I O G R A P H I E

- [ANC-83a] F. ANCEAU, "Layout Strategies for NMOS-CMOS VLSI", dans [ICCD83] , pp.705-708.
- [ANC-83b] F. ANCEAU, "CAPRI: A Design Methodology and a Silicon Compiler for VLSI Circuits Specified by Algorithms", dans [CALT83] , pp.15-31.
- [ANC-82a] F. ANCEAU, "VLSI Processor Architecture and Design", dans [BRIS82] , pp.138-148.
- [ANC-82b] F. ANCEAU & J.P. SCHOELLKOPF, "CAPRI: A Silicon Compiler for VLSI Circuits Specified by Algorithms", dans [BRIS82] , pp.149-154.
- [ANC-82c] F. ANCEAU & R. REIS, "Complex Integrated Circuit Design Strategy", IEEE Journal of Solid State Circuits, Vol.17, No.3, Juin 1982, pp.459-464.
- [ANC-81] F. ANCEAU, "VLSI-Processor Architecture", dans [ESSC81] , pp.24-30.
- [ANC-80] F. ANCEAU, "Architecture and Design of Von Neumann Microprocessors", dans [NAT080] , pp.301-328.

- [ARE-78] Z. AREVALO & J.G. BREDESON, "A Method to Simplify a Boolean Function into a Near-Minimal Sum of Products for PLA", IEEE Trans. on Computers, Vol. C-27, Novembre 1978, pp.1028-1039.
- [ATK-81] D.E. ATKINS et al. "Overview of an Arithmetic Design System", dans [DAC-81] , pp.314-321.
- [AUG-78] M. AUGUIN, "Conception des Systèmes de Commande à l'Aide de Réseaux Logiques Programmables", Thèse de Docteur de Spécialité Signaux et Systèmes, 17 Novembre 1978, Université de Nice.
- [BAR-82] E. BARKE, " A Technology Independent Approach for Device Recognition from IC Mask Artwork Data", Journal of Digital Systems, Vol.6, No.4, 1982, pp.291-306.
- [CHU-84a] S. CHUQUILLANQUI, "PAOLA: a CAD System for Area, Power and Delay Optimized Layout Generation of Large PLAs", Proc. of the Fourth International Conference on Custom and Semi-Custom ICs, 6-8 Novembre 1984, Londres, Angleterre.
- [CHU-83L] K. CHU, Y.E. LIEN, "Two Issues in VLSI Design Systems: Technology Independence and Data Management", dans [ICCAD83] , pp.109-110.
- [CHU-83a] S. CHUQUILLANQUI, "Adaptation du Système PAOLA à la technologie bipolaire HBIP3A", Thompson-CSF/DCI, Rapport No.MD/SC/EN/501-83, Saint Egrève, Decembre 1983.

- [CHU-83b] S. CHUQUILLANQUI et al. "A VLSI Topological Optimization Strategy Applied to PLA Design", dans [ICCAD83] , pp.184-189.
- [CHU-83c] S. CHUQUILLANQUI, "Internal Routing Problem in Large Optimized PLAs", dans [DAC-83] , pp.795-802.
- [CHU-82a] S. CHUQUILLANQUI & T. PEREZ SEGOVIA, "PAOLA: un système CAO pour l'optimisation topologique et la génération automatique du dessin des masques des PLA complexes", Actes du Congrès AFCET sur l'Architecture des Machines et Systèmes Informatiques, Lille, 17-19 Novembre 1982, pp.193-204.
- [CHU-82b] S. CHUQUILLANQUI & T. PEREZ SEGOVIA, "PAOLA: A Tool for Topological Optimization on Large PLAs", dans [DAC-82] , pp.300-306.
- [DAN-83] A. DANDACHE, "Evaluations Electriques et Temporelles des PLA complexes (COMPLETE)", Thèse de 3ème Cycle, INPG, 21 Novembre 1983.
- [DEM-80] E. DEMOULIN, "Technological Processes for VLSI", dans [NATO80] , pp.11-54.
- [DER-84] H.DERANTONIAN, "Génération Automatique de Parties Contrôles de Microprocesseurs sous Forme de PLA Spécialisés", Thèse de Docteur-Ingénieur, INPG, 6 Juillet 1984. dans [DAC-82] , pp.141-146.

- [EIC-80] E.B. EICHELBERGER & E. LINDBLOOM, "A Heuristic Test Pattern Generator"
- [FLE-75] H.FLEISHER & L.I. MAISEL, "An Introduction to Array Logic", IBM J.Res.& Dev. Vol.19 No.2, Mars 1975, pp.98-109.
- [FLO-64] J. FLORINE, "La Synthèse des Machines Logiques", DUNOD, Paris, 1964.
- [GLA-80a] L.A. GLASSER, "Implementation of Regular Logic with Feedback Reduced PLAs", Integrated Circuit Memo No.80-8, MIT, Cambridge, Massachusetts, USA, Fevrier 1980.
- [GLA-80b] L.A. GLASSER & P.PENFIELD, Jr. "An Interactive PLA Generator as an Archetype for a New VLSI Design Methodology", dans [ICCC80] , pp.608-611.
- [JER-83] A.A. JERRAYA, "Une Nouvelle Approche pour la Vérification des masques des Circuits Intégrés", Thèse Docteur-Ingénieur, INPG, 24 Novembre 1983.
- [JER-81] A.A. JERRAYA, A. GUYOT et J. RAYMOND, "LUCIE: Manuel d'utilisation", IMAG, 1981.
- [JON-75] J.W. JONES, "Array Logic Macros", IBM J.Res.&Dev. Vol.19, No.2, Mars 1975, pp.120-126.
- [MAR-83b] MARINE et al. "IRENE: Un Langage de Description des Circuits Intégrés Logiques", Rapport de Recherche No.356, IMAG, 1983.

- [MAT-83] T.G. MATHESON et al. "Embedding Electrical and Geometric Constraints in Hierarchical Circuit Layout Generators", dans [ICCAD83] , pp.3-5.
- [McC-79] E.J. McCLUSKEY, Jr., "Design with PLAs", Center for Reliable Computing, Technical Note No. 168, Stanford University, November 1979.
- [McC-57] E.J. McCLUSKEY, Jr., "Minimization of Boolean Functions", Bell Syst. Tech. Journal Vol.35, Avril 1957, pp.1417-1444.
- [MEA-80] C. MEAD & L. CONWAY, "Introduction to VLSI Systems", Addison-Wesley Publishing Company, 1980.
- [OBR-81] M. OBREBSKA, "Etude Comparative de Différentes Méthodes de Conception des Parties Contrôle des Microprocesseurs", Thèse de Docteur-Ingénieur, INPG, 25 Juin 1982.
- [PER-80] T. PEREZ SEGOVIA, "Topologic Optimization of PLAs", Rapport de Recherche No. 216, IMAG, Octobre 1980.
- [PIN-83] R.Y. PINTER, "River Routing: Methodology Analysis", dans [CALT83] , pp.141-164.
- [REI-83] R. REIS, "TESS: Evalueur Topologique Prédicatif pour la Génération Automatique des Plans de Masse de Circuits VLSI", Thèse de Docteur-Ingénieur, INPG, 11 Janvier 1983.

- [REI-82] R. REIS, "TESS: A Topological Evaluator Tool", dans [ICCC82] , pp.539-542.
- [ROT-78] J.P. ROTH, "Programmed Logic Array Optimization", IEEE Trans. on Computers, Vol.C-27, Feb.1978, pp.174-176.
- [SCH-84] J.-P. SCHOELLKOPF, "SILICIEL: Compilation du Silicium et Architecture des Circuits Intégrés", Thèse de Docteur ès Sciences, INPG, en préparation.
- [SCH-83] J.-P. SCHOELLKOPF, "LUBRICK: A Silicon Compiler and its Application to Data Path Design for FISC", dans [ESSC83] , pp.435-446.
- [SCH-80] M.S. SCHMOOKLER, "Design of large ALUs using multiple PLA Macros", IBM Journal on Res.&Dev. Vol.24, No.1, January 1980, pp.2-14.
- [SIS-82] J.M SISKIND et al. "Generating Custom High Performance VLSI Designs from Succinct Algorithm Description", MITC, janvier 1982, pp.28-40.
- [TIS-67] P. TISON, "Generalization of Consensus Theory and Application to the Minimization of Boolean Functions", IEEE Trans. on Electronique Computers, Vol.EC-16, Août 1967, pp.446-456.

AUTORISATION de SOUTENANCE

VU les dispositions de l'article 3 de l'arrêté du 16 avril 1974,

VU le rapport de présentation de Monsieur le Professeur F. ANCEAU

Monsieur HMIMID Mohammed

est autorisé à présenter une thèse en soutenance en vue de l'obtention du titre de DOCTEUR de TROISIEME CYCLE, spécialité "Informatique".

Fait à Grenoble, le 6 novembre 1984

Le Président de l'I.N.P.-G

D. BLOCH

Président

de l'Institut National Polytechnique
de Grenoble

P.O. le Vice-Président,

