



**HAL**  
open science

# Une nouvelle approche pour l'optimisation topologique et l'automatisation du dessin des masques de P.L.A. complexes

Samuel Heli Chuquillanqui Bernaola

► **To cite this version:**

Samuel Heli Chuquillanqui Bernaola. Une nouvelle approche pour l'optimisation topologique et l'automatisation du dessin des masques de P.L.A. complexes. Modélisation et simulation. Institut National Polytechnique de Grenoble - INPG, 1984. Français. NNT: . tel-00311632

**HAL Id: tel-00311632**

**<https://theses.hal.science/tel-00311632>**

Submitted on 19 Aug 2008

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

TH 1864  
301770

INSTITUT IMAG  
Informatique, Mathématiques Appliquées de Grenoble  
CNRS - INPG - USMG  
MÉDIATHÈQUE

présentée à

B.P. 68  
38402 ST-MARTIN-D'HÈRES CEDI  
FRANCE

l'Institut National Polytechnique de Grenoble. 36  
Té (70) 511.36

pour obtenir le grade de  
DOCTEUR-INGENIEUR  
«Informatique»

par

USUEL  
EXCLU DU PRÊT

CHUQUILLANQUI BERNAOLA Samuel Heli



UNE NOUVELLE APPROCHE POUR L'OPTIMISATION  
TOPOLOGIQUE ET L'AUTOMATISATION DU DESSIN  
DES MASQUES DE P.L.A. COMPLEXES.



Thèse soutenue le 15 octobre 1984 devant la commission d'examen.

F. ANCEAU	Président
H. BEKE	} Examineurs
C. LEGENDRE	
G. MAZARÉ	
J.F. TRICHARD	



# INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE

Année universitaire 1982-1983

Président de l'Université : D. BLOCH

Vice-Président : René CARRE

Hervé CHERADAME

Marcel IVANES

## PROFESSEURS DES UNIVERSITES :

ANCEAU François	E.N.S.I.M.A.G.
BARRAUD Alain	E.N.S.I.E.G.
BAUDELET Bernard	E.N.S.I.E.G.
BESSION Jean	E.N.S.E.E.G.
BLIMAN Samuel	E.N.S.E.R.G.
BLOCH Daniel	E.N.S.I.E.G.
BOIS Philippe	E.N.S.H.G.
BONNETAIN Lucien	E.N.S.E.E.G.
BONNIER Etienne	E.N.S.E.E.G.
BOUVARD Maurice	E.N.S.H.G.
BRISSONNEAU Pierre	E.N.S.I.E.G.
BUYLE BODIN Maurice	E.N.S.E.R.G.
CAVAIGNAC Jean-François	E.N.S.I.E.G.
CHARTIER Germain	E.N.S.I.E.G.
CHENEVIER Pierre	E.N.S.E.R.G.
CHERADAME Hervé	U.E.R.M.C.P.P.
CHERUY Arlette	E.N.S.I.E.G.
CHIAVERINA Jean	U.E.R.M.C.P.P.
COHEN Joseph	E.N.S.E.R.G.
COUMES André	E.N.S.E.R.G.
DURAND Francis	E.N.S.E.E.G.
DURAND Jean-Louis	E.N.S.I.E.G.
FELICI Noël	E.N.S.I.E.G.
FOULARD Claude	E.N.S.I.E.G.
GENTIL Pierre	E.N.S.E.R.G.
GUERIN Bernard	E.N.S.E.R.G.
GUYOT Pierre	E.N.S.E.E.G.
IVANES Marcel	E.N.S.I.E.G.
JAUSSAUD Pierre	E.N.S.I.E.G.
JOUBERT Jean-Claude	E.N.S.I.E.G.
JOURDAIN Geneviève	E.N.S.I.E.G.
LACOUME Jean-Louis	E.N.S.I.E.G.
LATOMBE Jean-Claude	E.N.S.I.M.A.G.

LESSIEUR Marcel	E.N.S.H.G.
LESPINARD Georges	E.N.S.H.G.
LONGEQUEUE Jean-Pierre	E.N.S.I.E.G.
MAZARE Guy	E.N.S.I.M.A.G.
MOREAU René	E.N.S.H.G.
MORET Roger	E.N.S.I.E.G.
MOSSIERE Jacques	E.N.S.I.M.A.G.
PARIAUD Jean-Charles	E.N.S.E.E.G.
PAUTHENET René	E.N.S.I.E.G.
PERRET René	E.N.S.I.E.G.
PERRET Robert	E.N.S.I.E.G.
PIAU Jean-Michel	E.N.S.H.G.
POLOUJADOFF Michel	E.N.S.I.E.G.
POUPOT Christian	E.N.S.E.R.G.
RAMEAU Jean-Jacques	E.N.S.E.E.G.
RENAUD Maurice	U.E.R.M.C.P.P.
ROBERT André	U.E.R.M.C.P.P.
ROBERT François	E.N.S.I.M.A.G.
SABONNADIÈRE Jean-Claude	E.N.S.I.E.G.
SAUCIER Gabrielle	E.N.S.I.M.A.G.
SCHLENKER Claire	E.N.S.I.E.G.
SCHLENKER Michel	E.N.S.I.E.G.
SERMET Pierre	E.N.S.E.R.G.
SILVY Jacques	U.E.R.M.C.P.P.
SOHM Jean-Claude	E.N.S.E.E.G.
SOUQUET Jean-Louis	E.N.S.E.E.G.
VEILLON Gérard	E.N.S.I.M.A.G.
ZADWORNÝ François	E.N.S.E.R.G.

**PROFESSEURS ASSOCIES**

BASTIN Georges	E.N.S.H.G.
BERRIL John	E.N.S.H.G.
CARREAU Pierre	E.N.S.H.G.
GANDINI Alessandro	U.E.R.M.C.P.P.
HAYASHI Hirashi	E.N.S.I.E.G.

**PROFESSEURS UNIVERSITE DES SCIENCES SOCIALES (Grenoble II)**

BOLLIET Louis  
Chatelin Françoise

**PROFESSEURS E.N.S. Mines de Saint-Etienne**

RIEU Jean  
SOUSTELLE Michel

**CHERCHEURS DU C.N.R.S.**

FRUCHART Robert  
VACHAUD Georges

Directeur de Recherche  
Directeur de Recherche

.../...

ALLIBERT Michel	Maître de Recherche
ANSARA Ibrahim	Maître de Recherche
ARMAND Michel	Maître de Recherche
BINDER Gilbert	
CARRE René	Maître de Recherche
DAVID René	Maître de Recherche
DEPORTES Jacques	
DRIOLE Jean	Maître de Recherche
GIGNOUX Damien	
GIVORD Dominique	
GUELIN Pierre	
HOPFINGER Emil	Maître de Recherche
JOUD Jean-Charles	Maître de Recherche
KAMARINOS Georges	Maître de Recherche
KLEITZ Michel	Maître de Recherche
LANDAU Ioan-Dore	Maître de Recherche
LASJAUNIAS J.C.	
MERMET Jean	Maître de Recherche
MUNIER Jacques	Maître de Recherche
PIAU Monique	
PORTESEIL Jean-Louis	
THOLENCE Jean-Louis	
VERDILLON André	

**CHERCHEURS du MINISTÈRE de la RECHERCHE et de la TECHNOLOGIE (Directeurs et Maîtres de Recherches, ENS Mines de St. Etienne)**

LESBATS Pierre	Directeur de Recherche
BISCONDI Michel	Maître de Recherche
KOBYLANSKI André	Maître de Recherche
LE COZE Jean	Maître de Recherche
LALAUZE René	Maître de Recherche
LANCELOT Francis	Maître de Recherche
THEVENOT François	Maître de Recherche
TRAN MINH Canh	Maître de Recherche

**PERSONNALITES HABILITEES à DIRIGER des TRAVAUX de RECHERCHE (Décision du Conseil Scientifique)**

ALLIBERT Colette	E.N.S.E.E.G.
BERNARD Claude	E.N.S.E.E.G.
BONNET Rolland	E.N.S.E.E.G.
CAILLET Marcel	E.N.S.E.E.G.
CHATILLON Catherine	E.N.S.E.E.G.
CHATILLON Christian	E.N.S.E.E.G.
COULON Michel	E.N.S.E.E.G.
DIARD Jean-Paul	E.N.S.E.E.G.
EUSTAPOPOULOS Nicolas	E.N.S.E.E.G.
FOSTER Panayotis	E.N.S.E.E.G.



GALERIE Alain	E.N.S.E.E.G.
HAMMOU Abdelkader	E.N.S.E.E.G.
MALMEJAC Yves	E.N.S.E.E.G. (CENG)
MARTIN GARIN Régina	E.N.S.E.E.G.
NGUYEN TRUONG Bernadette	E.N.S.E.E.G.
RAVAINE Denis	E.N.S.E.E.G.
SAINFORT	E.N.S.E.E.G. (CENG)
SARRAZIN Pierre	E.N.S.E.E.G.
SIMON Jean-Paul	E.N.S.E.E.G.
TOUZAIN Philippe	E.N.S.E.E.G.
URBAIN Georges	E.N.S.E.E.G. (Laboratoire des ultra-réfractaires ODEILLON)
GUILHOT Bernard	E.N.S. Mines Saint Etienne
THOMAS Gérard	E.N.S. Mines Saint Etienne
DRIVER Julien	E.N.S. Mines Saint Etienne
BARIBAUD Michel	E.N.S.E.R.G.
BOREL Joseph	E.N.S.E.R.G.
CHOVET Alain	E.N.S.E.R.G.
CHEHIKIAN Alain	E.N.S.E.R.G.
DOLMAZON Jean-Marc	E.N.S.E.R.G.
HERAULT Jeanny	E.N.S.E.R.G.
MONLLOR Christian	E.N.S.E.R.G.
BORNARD Guy	E.N.S.I.E.G.
DESCHIZEAU Pierre	E.N.S.I.E.G.
GLANGEAUD François	E.N.S.I.E.G.
KOFMAN Walter	E.N.S.I.E.G.
LEJEUNE Gérard	E.N.S.I.E.G.
MAZUER Jean	E.N.S.I.E.G.
PERARD Jacques	E.N.S.I.E.G.
REINISCH Raymond	E.N.S.I.E.G.
ALEMANY Antoine	E.N.S.H.G.
BOIS Daniel	E.N.S.H.G.
DARVE Félix	E.N.S.H.G.
MICHEL Jean-Marie	E.N.S.H.G.
OBLED Charles	E.N.S.H.G.
ROWE Alain	E.N.S.H.G.
VAUCLIN Michel	E.N.S.H.G.
WACK Bernard	E.N.S.H.G.
BERT Didier	E.N.S.I.M.A.G.
CALMET Jacques	E.N.S.I.M.A.G.
COURTIN Jacques	E.N.S.I.M.A.G.
COURTOIS Bernard	E.N.S.I.M.A.G.
DELLA DORA Jean	E.N.S.I.M.A.G.
FONLUPT Jean	E.N.S.I.M.A.G.
SIFAKIS Joseph	E.N.S.I.M.A.G.
CHARUEL Robert	U.E.R.M.C.P.P.
CADET Jean	C.E.N.G.
COEURE Philippe	C.E.N.G. (LETI)

.../...

**DELHAYE Jean-Marc**  
**DUPUY Michel**  
**JOUBE Hubert**  
**NICOLAU Yvan**  
**NIFENECKER Hervé**  
**PERROUD Paul**  
**PEUZIN Jean-Claude**  
**TAIEB Maurice**  
**VINCENDON Marc**

**C.E.N.G. (STT)**  
**C.E.N.G. (LETI)**  
**C.E.N.G. (LETI)**  
**C.E.N.G. (LETI)**  
**C.E.N.G.**  
**C.E.N.G.**  
**C.E.N.G. (LETI)**  
**C.E.N.G.**  
**C.E.N.G.**

**LABORATOIRES EXTERIEURS**

**DEMOULIN Eric**  
**DEVINE**  
**GERBER Roland**  
**MERCKEL Gérard**  
**PAULEAU Yves**  
**GAUBERT C.**

**C.N.E.T.**  
**C.N.E.T. (R.A.B.)**  
**C.N.E.T.**  
**C.N.E.T.**  
**C.N.E.T.**  
**I.N.S.A. Lyon**





# ECOLE NATIONALE SUPERIEURE DES MINES DE SAINT-ETIENNE

Directeur : Monsieur M. MERMET  
Directeur des Etudes et de la formation : Monsieur J. LEVASSEUR  
Directeur des recherches : Monsieur J. LEVY  
Secrétaire Général : Mademoiselle M. CLERGUE

## Professeurs de 1ère Catégorie

COINDE	Alexandre	Gestion
GOUX	Claude	Métallurgie
LEVY	Jacques	Métallurgie
LOWYS	Jean-Pierre	Physique
MATHON	Albert	Gestion
RIEU	Jean	Mécanique - Résistance des matériaux
SOUSTELLE	Michel	Chimie
FORMERY	Philippe	Mathématiques Appliquées

## Professeurs de 2ème catégorie

HABIB	Michel	Informatique
PERRIN	Michel	Géologie
VERCHERY	Georges	Matériaux
TOUCHARD	Bernard	Physique Industrielle

## Directeur de recherche

LESBATS	Pierre	Métallurgie
---------	--------	-------------

## Maîtres de recherche

BISCONDI	Michel	Métallurgie
DAVOINE	Philippe	Géologie
FOURDEUX	Angeline	Métallurgie
KOBYLANSKI	André	Métallurgie
LALAUZE	René	Chimie
LANCELOT	Francis	Chimie
LE COZE	Jean	Métallurgie
THEVENOT	François	Chimie
TRAN MINH	Canh	Chimie

## Personnalités habilitées à diriger des travaux de recherche

DRIVER	Julian	Métallurgie
GUILHOT	Bernard	Chimie
THOMAS	Gérard	Chimie

## Professeur à l'UER de Sciences de Saint-Etienne

VERGNAUD	Jean-Maurice	Chimie des Matériaux & chimie industrielle
----------	--------------	--

\*\*\*\*\*



## RESUME.

Une nouvelle approche pour l'optimisation des P.L.A. (réseaux logiques programmés ou programmables, qui sont de plus en plus utilisés dans les circuits VLSI), sur le plan logique, topologique, électrique et géométrique, est proposée dans cette thèse.

Les techniques d'optimisation logique et topologique utilisées sont heuristiques. Elles permettent le compactage des matrices ou plans ET-OU par une permutation préalable des monômes (ou termes produit) et par brisure des lignes d'entrée/sortie en segments, dits internes, de manière à pouvoir les réorganiser en un nombre réduit de niveaux. Diverses stratégies utilisées dans l'optimisation topologique des circuits VLSI (telles que la transparence, la déformabilité morphologique et la connectabilité des blocs), et certaines contraintes (telles que l'ordre et la position des connecteurs d'entrée et de sortie par rapport au circuit qui les contient), influencent les techniques d'optimisation proposées.

Une autre approche est proposée, qui permet l'automatisation du dessin des masques de PLA optimisés en tenant compte des conflits topologiques à l'intérieur des matrices, de la distribution optimale des rappels de masse, de l'insertion des canaux de transparence et d'écartement (permettant un tracé interne total), et qui introduit une nouvelle notion de cellule algorithmique.

L'optimisation électrique et géométrique des matrices, et ensuite des amplificateurs d'entrée, de sortie et d'interface, vise l'amélioration de la performance des PLA tout en gardant leur structure optimisée.

L'aboutissement de cet ensemble de propositions constitue les fondations du système PAOLA. Cet outil de CAO a été testé sur plusieurs exemples industriels ayant une complexité d'environ 10K qui nécessitent un temps de traitement d'environ 7 minutes pour une réduction de surface atteignant 50% sur des matrices OU peu remplies. Une particularité du système concerne son indépendance avec la technologie utilisée (MOS ou Bipolaire). Il existe en plusieurs versions installées sur des ordinateurs HB-68 sous Multics, VAX 11/780 sous VMS et HP-1000 sous RTE.

## M O T S - C L E S

PLA, Réseaux Logiques Programmables, Conception Assistée par Ordinateur, Conception de PLA, Optimisation de PLA, Performance des PLA, Dessin des Masques de PLA.



" ... Hermanos, hay muchísimo que hacer!"  
(César Vallejo)

mamaanipaq, papaanipaq

a mis padres

to my parents

à mes parents



# AVANT PROPOS

Ce travail a été entrepris dans le cadre de Projet CAPRI (Conception Assistée des Processeurs Intégrés) mené par l'Equipe de Recherche en Architecture d'Ordinateurs du Laboratoire IMAG-TIM3.

La conception d'un circuit intégré nécessite un investissement en argent, en personnel qualifié et en temps très important dont la qualité est garantie par l'expérience des concepteurs et des outils mis à leur disposition.

Dans ce contexte, une partie des activités de l'Equipe est consacrée à l'étude de l'architecture des principaux microprocesseurs permettant d'extraire une méthodologie efficace pour la conception (c.-à-d. CAPRI).

Ceci oriente le développement des outils CAO faisant partie d'un compilateur de silicium et facilitant ainsi la tâche du concepteur vis-à-vis de la complexité du circuit à concevoir.

L'utilisation des structures régulières (par ex. RAM, ROM, PLA,...) dans la conception des systèmes intégrés et plus particulièrement l'implantation des parties contrôles employant avantageusement des PLA se fait sentir dernièrement.

C'est dans ce cadre que ce travail est orienté vers l'automatisation de la conception des circuits intégrés en général et des PLA en particulier, que s'est développé le compilateur de silicium CAPRI.

La concrétisation de ce travail est l'outil appelé PAOLA et destiné à l'optimisation du dessin des masques d'un PLA complexe.

Je ne voudrais pas terminer cet avant-propos sans exprimer toute ma reconnaissance à

Monsieur F. ANCEAU, Professeur à l'ENSIMAG, qui a bien voulu m'accueillir dans son Laboratoire, et me fait l'honneur de présider le Jury de cette Thèse.



Monsieur J-F. TRICHARD, Responsable de la Division "Développement Assisté" CII Honeywell Bull, pour le jugement qu'il a voulu porter sur ce travail.

Messieurs H. BEKE, Directeur Technique de la Société Silvar Lisco N. V. Leuven-Belgique, C. LEGENDRE, Chef du Service GTTS Thomson-CSF, et G. MAZARE, Professeur à l'ENSIMAG, qui ont bien voulu faire partie de ce Jury.

Messieurs DEPEY et REDOLFI pour les discussions et les encouragements prodigués au cours du développement de la version bipolaire du système PAOLA.

Aux membres de l'Equipe de Recherche en Architecture d'Ordinateurs pour les nombreuses discussions et les encouragements au cours de ces années.

Aux membres du Centre de Calcul Thomson-CSF/DCI, qui ont contribué à l'adaptation bipolaire du système PAOLA.

Messieurs D. IGLESIAS et C. ANGUILE, et le Service de Reprographie de l'Institut IMAG, pour l'excellente qualité de leur travail.

# TABLE DES MATIERES

INTRODUCTION. . . . .	09
CHAPITRE I : ASPECTS METHODOLOGIQUES POUR LA CONCEPTION D'UN CIRCUIT VLSI.	17
I.1. LES SYSTEMES VLSI. . . . .	19
I.1.1. Evolution des architectures. . . . .	19
I.1.2. Architecture d'un circuit VLSI. . . . .	20
I.1.3. Les circuits VLSI complexes. . . . .	21
I.2. PHILOSOPHIE DE LA CONCEPTION DES CIRCUITS VLSI. . . . .	21
I.3. DESCRIPTION DE LA CONCEPTION D'UN SYSTEME VLSI. . . . .	24
I.4. DEMARCHE DE CONCEPTION DES CIRCUITS INTEGRES. . . . .	26
I.5. LE COMPILATEUR DE SILICIUM. . . . .	30
I.6. CAPRI: UN COMPILATEUR DE SILICIUM DE CIRCUITS VLSI SPECIFIES PAR ALGORITHMES. . . . .	32
I.6.1. La méthodologie de conception CAPRI. . . . .	32
I.6.2. Principaux outils CAO de CAPRI. . . . .	35
I.7. LA CONCEPTION DES PLA COMPLEXES. . . . .	37
I.7.1. Généralités sur la synthèse des systèmes. . . . .	37
I.7.2. La synthèse des PLA. . . . .	40
I.7.3. Les problèmes de conception. . . . .	43
I.7.4. L'optimisation de la surface des PLA. . . . .	46
I.7.5. L'optimisation de la performance des PLA. . . . .	47
I.7.6. Le dessin des PLA optimisés. . . . .	48
I.8. CONCLUSION. . . . .	49

CHAPITRE II : OPTIMISATION DES P.L.A. . . . .	51
II.1. GENERALITES SUR LES P.L.A. . . . .	55
II.1.1. Qu'est-ce qu'un PLA? . . . . .	55
II.1.2. Représentation logique et topologique d'un PLA. . . . .	56
II.1.3. Fonctionnement et Programmation d'un PLA. . . . .	60
II.1.4. Implantation d'un PLA. . . . .	62
II.1.5. La synthèse des PLA. . . . .	63
II.1.6. L'optimisation des PLA. . . . .	64
II.2. LA MINIMISATION LOGIQUE DES P.L.A. . . . .	67
II.2.1. La segmentation ou partitionnement des PLA. . . . .	67
II.2.2. La minimisation booléenne ou réduction du nombre de termes produit. . . . .	68
II.2.3. La réduction du nombre d'entrées. . . . .	76
II.2.4. La réduction du nombre de sorties. . . . .	77
II.3. OPTIMISATION TOPOLOGIQUE DES PLA. . . . .	79
II.3.1. Optimisation topologique par MONOMES BRISES. . . . .	80
II.3.2. Optimisation topologique par ENTREES(SORTIES) BRISEES. . . . .	82
II.4. LA METHODE DE LIGNES BRISEES DE "PAOLA". . . . .	84
II.4.1. Représentation topologique d'un PLA classique. . . . .	85
II.4.2. Le réordonnancement de monômes. . . . .	87
II.4.3. Le compactage des matrices. . . . .	93
II.4.4. La duplication de monômes. . . . .	97
II.4.5. Prise en compte des entrées/sorties verticales. . . . .	101
II.5. CONCLUSION. . . . .	101
 CHAPITRE III: DESSIN AUTOMATIQUE DES P.L.A. OPTIMISES. . . . .	 105
III.1. INTRODUCTION. . . . .	109
III.1.1. Automatisation du dessin des circuits VLSI. . . . .	110
III.1.2. Méthodologie de l'automatisation du dessin. . . . .	111
III.1.3. Les outils de dessin automatique des PLA. . . . .	112

III.2. DESSIN D'UN P.L.A. . . . .	114
III.2.1. Le dessin classique d'un PLA non optimisé topologiquement. . . . .	115
III.2.2. Le dessin d'un PLA optimisé topologiquement. . . . .	117
III.2.3. Dispositifs internes d'un PLA. . . . .	117
III.3. MODELISATION DU DESSIN. . . . .	118
III.3.1. Topologie d'un point de PLA. . . . .	118
III.3.2. Définition du modèle de bandes pour le dessin. . . . .	120
III.3.3. Les bandes de dessin. . . . .	121
III.3.4. Influence de la technologie. . . . .	123
III.4. EFFETS D'ORIGINE TOPOLOGIQUE MODIFIANT LA MORPHOLOGIE D'UN P.L.A. . . . .	123
III.4.1. Les conflits topologiques. . . . .	123
III.4.2. L'allongement du bloc PLA. . . . .	127
III.4.3. Les rappels de masse. . . . .	128
III.4.4. La transparence d'un PLA. . . . .	130
III.4.5. L'insertion des canaux d'écartement. . . . .	132
III.4.6. L'interaction entre les matrices ET et OU. . . . .	133
III.5. STRUCTURE INTERMEDIAIRE DU MODELE DE BANDES DE DESSIN. . . . .	135
III.5.1. Structure du modèle. . . . .	135
III.5.2. Structure des données. . . . .	137
III.6. ASSEMBLAGE DE LA STRUCTURE INTERMEDIAIRE. . . . .	138
III.6.1. Approche. . . . .	138
III.6.2. Algorithme d'assemblage. . . . .	139
III.7. GENERATION DE LA DESCRIPTION GRAPHIQUE. . . . .	140
III.7.1. Approche. . . . .	140
III.7.2. Algorithme de génération. . . . .	141
III.8. CONCLUSION. . . . .	144
CHAPITRE IV : LE TRACE DES CONNEXIONS INTERNES DES P.L.A. OPTIMISES. . . . .	145
IV.1. INTRODUCTION. . . . .	149
IV.1.1. Placement et tracé des connexions. . . . .	150

IV.2. LE TRACE DES CONNEXIONS INTERNES. . . . .	153
VI.2.1. Influence du modèle des bandes de dessin. . . . .	153
IV.2.2. Distribution des bornes d'interconnexion. . . . .	154
IV.2.3. Influence de la topologie d'un PLA optimisé. . . . .	155
IV.2.4. Influence des règles de dessin. . . . .	155
IV.2.5. Caractéristiques électriques des couches conductrices. . . . .	157
IV.2.6. Influence de la technologie. . . . .	157
IV.3. TRACE DANS UN MODELE COUCHE UNIQUE. . . . .	159
IV.3.1. Hypothèses pour le tracé. . . . .	159
IV.3.2. Formalisation du tracé. . . . .	159
IV.3.3. Complexité du tracé. . . . .	161
IV.3.4. Contraintes améliorant la distribution des segments internes. . . . .	163
IV.3.5. Algorithme de tracé. . . . .	165
IV.4. TRACE DANS UN MODELE DOUBLE COUCHE. . . . .	169
IV.4.1. Hypothèses pour le tracé. . . . .	169
IV.4.2. Formalisation du tracé. . . . .	171
IV.4.3. Complexité du tracé. . . . .	173
IV.4.4. Contraintes améliorant la distribution des segments internes. . . . .	173
IV.4.5. Algorithme de tracé. . . . .	174
IV.5. CONCLUSION. . . . .	182
CHAPITRE V : PARAMETRISATION TECHNOLOGIQUE. . . . .	183
V.1. INTRODUCTION. . . . .	187
V.2. DEFINITION D'UNE FILIERE TECHNOLOGIQUE. . . . .	188
V.2.1. Les niveaux de masque. . . . .	188
V.2.2. Les règles de dessin. . . . .	190
V.2.3. Les paramètres électriques . . . . .	195
V.2.4. L'indépendance technologique. . . . .	196
V.3. LA PARAMETRISATION TECHNOLOGIQUE. . . . .	197
V.3.1. Caractéristiques requises d'un fichier technologique. . . . .	198
V.3.2. Structure d'un fichier technologique. . . . .	198
V.3.3. Le système de gestion d'un fichier technologique. . . . .	199
V.3.4. Approche pour le calcul des paramètres secondaires. . . . .	200

V.4.	CALCUL DES PARAMETRES ELECTRIQUES SECONDAIRES.	204
V.5.	CALCUL DES PARAMETRES GEOMETRIQUES SECONDAIRES.	206
V.5.1.	Topologie d'un POINT de PLA.	206
V.5.2.	Calcul automatique d'un POINT de PLA.	209
V.5.3.	Topologie d'un POINT de rappel de masse.	211
V.5.4.	Calcul automatique d'un point de rappel de masse.	212
V.5.6.	Couplage des points ET-OU.	213
V.5.7.	Calcul automatique des constituants d'une connexion interne.	214
V.5.8.	Génération des contraintes pour le tracé.	215
V.5.9.	Génération globale des paramètres géométriques.	216
V.6.	CONCLUSION.	216
	CHAPITRE VI : PRESENTATION DU SYSTEME "PAOLA".	217
VI.1.	INTRODUCTION.	221
VI.2.	DESCRIPTION DES MATRICES D'UN PLA.	224
VI.3.	STRUCTURE DU SYSTEME "PAOLA".	225
VI.4.	ETAPES D'EXECUTION DU SYSTEME.	228
VI.5.	DESCRIPTION DES PROGRAMMES.	233
VI.6.	EXTENSION DE PAOLA AUX TECHNOLOGIES AUTRES QUE LES "MOS".	239
VI.6.1.	Adaptation de PAOLA aux technologies JFET-AsGa.	240
VI.6.2.	Adaptation de PAOLA aux technologies bipolaires.	243
VI.7.	CONCLUSION.	246
	CONCLUSION.	249
	REFERENCES.	261

ANNEXES. . . . .	285
ANNEXE I : Description des P.L.A. . . . .	287
ANNEXE II : Description du fichier technologique. . . . .	297
ANNEXE III : Exemples de dessin. . . . .	313

# ***INTRODUCTION***





## I N T R O D U C T I O N

La seconde révolution de la microélectronique a commencé. Elle est connue comme l'avènement des circuits VLSI, et vise le confinement d'un système électronique très complexe sur une puce de silicium de quelques millimètres carrés.

La tendance actuelle, dans ce domaine, est marquée par une croissance continue de la complexité des composants monolithiques qui se manifeste par une augmentation du nombre de transistors par circuit et une diversification des fonctions à implanter.

En outre, les technologies permettent actuellement d'intégrer des circuits de quelques centaines de milliers de transistors. Avec les techniques de conception dont on dispose aujourd'hui, la fabrication de ces circuits demande environ 60 hommes-années et autant pour les vérifier.

Par ailleurs, les limites théoriques de l'intégration sur silicium sont prévues à 10 millions de transistors par puce, ce qui demanderait actuellement un travail d'environ 6000 hommes-années. Ces chiffres indiquent clairement l'existence d'un gouffre entre ce que les technologies VLSI peuvent produire et ce que les concepteurs des systèmes peuvent concevoir.

La fabrication des CI devient de moins en moins chère et tend à encore réduire de prix dans les prochaines années. Pour de petites séries, le coût de conception d'une puce n'est plus négligeable face à celui de sa fabrication, sa mise en boîtier et sa distribution.

Le défi du VLSI ne concerne pas seulement le confinement poussé, mais aussi la conception des gros systèmes et son automatisation à partir de leurs spécifications. Le problème de la conception d'un circuit VLSI et celui de la création d'un logiciel complexe deviennent similaires [ROS-81], [SEQ-83], [SHA-83].

Il y a plusieurs manières de regarder une conception d'un circuit VLSI suivant que l'on considère l'architecture des systèmes, le comportement électrique, les plans de masse, etc. [RUE-83].

## CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A.

Un travail exhaustif, visant le développement des systèmes CAO sur tous ces domaines, se fait ressentir et doit avoir comme but la recherche d'une représentation adéquate | à une traduction automatique, à une vérification, à une simulation, etc. [MAN-80], [NIE-81], [PAY-82], [PRE-78], [SHR-83].

Cette thèse concerne un seul aspect du monde des VLSI; il s'agit de la création du dessin des masques qui spécifie exactement là où les conducteurs, les isolants et les semiconducteurs sont présents.

Cet aspect concerne plus spécifiquement les blocs réguliers connus sous le nom de PLA (les réseaux à deux niveaux logiques: ET-OU). Ces blocs doivent être optimisés en surface [PAT-79].

L'automatisation de ces aspects a donné naissance à l'outil que l'on appelle PAOLA (PLA Automatic Optimization and LAYout).

Le but de cette thèse consiste donc à décrire les approches utilisées dans l'analyse, la réalisation et la mise en oeuvre du système PAOLA (Fig.0.1).

Ce système est spécialisé dans l'optimisation topologique et le dessin automatique des masques d'un PLA complexe [CHU-82], et permet la réduction de sa surface et d'améliorer sa connectabilité avec ses blocs voisins [ANC-81].

Ce système a été réalisé à l'aide de techniques heuristiques d'optimisation qui profitent du faible taux de remplissage des matrices ET-OU.

Ces techniques agissent sur le compactage de la matrice ET (OU) par brisure et réorganisation des lignes d'entrée (sortie).

Le dessin des masques d'un PLA optimisé tient compte des conflits topologiques au moment du placement des rappels de masse à l'intérieur des matrices.

Cela entraîne la création des canaux qui facilitent le tracé des connexions internes. Ce type de tracé considère que les bornes terminales (ou connecteurs) du PLA sont placées sur son pourtour.

Le système traite les technologies MOS et bipolaire, et assure son indépendance technologique grâce à une paramétrisation adéquate.

# I N T R O D U C T I O N

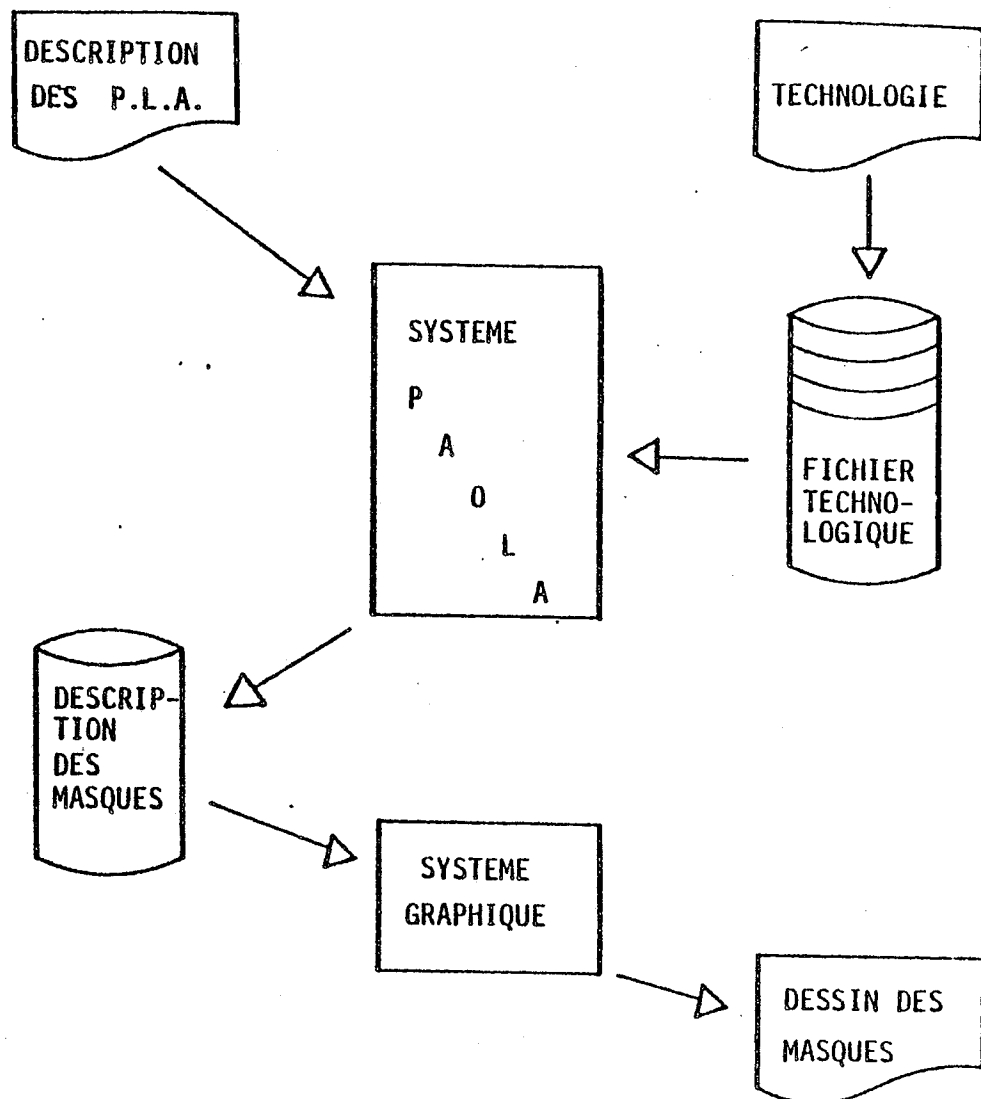


Fig. 0.1. Vue Générale du Système PAOLA.

La structure de cette thèse se compose de six chapitres qui sont présentés selon le plan suivant:

**\* Chapitre I:**

Les notions de méthodologie de conception pour les circuits intégrés sont très importantes et ont une répercussion sur les aspects concernant les compilateurs de silicium. Les stratégies utilisées pour l'optimisation d'un bloc PLA faisant partie d'un CI quelconque sont décrites.

## CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A.

### \* Chapitre II:

Les détails essentiels concernant la structure d'un PLA, et les principales méthodes d'optimisation logique et topologique sont décrites. Enfin, les principaux critères d'optimisation mis en oeuvre dans le système PAOLA sont analysés.

### \* Chapitre III:

La conception d'une structure des bandes, considérée comme une forme intermédiaire pour la génération automatique du dessin des masques d'un PLA quelconque, est présentée. Les phases d'assemblage de cette structure et celle de la génération de l'information graphique, décrivant le dessin des masques, sont explicitées.

### \* Chapitre IV:

Les techniques de tracé des connexions internes dans un PLA optimisé seront abordées. Ces techniques dépendent étroitement des caractéristiques de la technologie utilisée.

### \* Chapitre V:

La démarche suivie pour calculer les paramètres secondaires de la technologie est décrite. Ces paramètres permettent le tracé des connexions internes, le dessin automatique des masques, l'évaluation électrique et le dimensionnement des dispositifs internes du PLA concerné. Ce calcul fixe premièrement le point de PLA et ensuite les autres paramètres.

### \* Chapitre VI:

Ce dernier chapitre présente le système PAOLA et quelques résultats montrant sa performance, en particulier sa possibilité de s'adapter à d'autres technologies telles que le bipolaire (en logiques STL et ECL) et l'AsGa.

# **CHAPITRE I**

**ASPECTS METHODOLOGIQUES**

**POUR LA CONCEPTION**

**D'UN CIRCUIT V.L.S.I.**



# CHAPITRE PREMIER

=====

## ASPECTS METHODOLOGIQUES POUR LA CONCEPTION D'UN CIRCUIT VLSI

- I.1. LES SYSTEMES VLSI.
  - I.1.1. Evolution des architectures.
  - I.1.2. Architecture d'un circuit VLSI.
  - I.1.3. Les circuits VLSI complexes.
- I.2. PHILOSOPHIE DE LA CONCEPTION DES CIRCUITS VLSI.
- I.3. DESCRIPTION DE LA CONCEPTION D'UN SYSTEME VLSI.
- I.4. DEMARCHE DE CONCEPTION DES CIRCUITS INTEGRES.
- I.5. LE COMPILATEUR DE SILICIUM.
- I.6. CAPRI: UN COMPILATEUR DE SILICIUM DE CIRCUITS VLSI SPECIFIES PAR ALGORITHMES.
  - I.6.1. La méthodologie de conception CAPRI.
  - I.6.2. Principaux outils CAD de CAPRI.
- I.7. LA CONCEPTION DES PLA COMPLEXES.
  - I.7.1. Généralités sur la synthèse des systèmes.
  - I.7.2. La synthèse des PLA.
  - I.7.3. Les problèmes de conception.
  - I.7.4. L'optimisation de la surface des PLA.
  - I.7.5. L'optimisation de la performance des PLA.
  - I.7.6. Le dessin des PLA optimisés.
- I.8. CONCLUSION.





## CHAPITRE PREMIER

=====

### ASPECTS METHODOLOGIQUES POUR LA CONCEPTION D'UN CIRCUIT VLSI

#### I.1. LES SYSTEMES VLSI.

##### I.1.1. Evolution des architectures.

L'architecture des circuits a profondément évolué s'adaptant ainsi aux possibilités nouvelles offertes par la technologie.

Les premiers circuits comportaient quelques transistors et étaient considérés comme des objets électroniques modélisés de façon analogique. Mais, l'analogique a cédé très vite le pas au digital pour deux raisons fondamentales: l'une de nature physique (concernant l'incertitude propre à la représentation des données), l'autre informatique.

D'analogique et continue, la représentation des données traitées est devenue digitale et discrète. C'est évidemment de manière digitale que les algorithmes s'expriment le mieux.

C'est pourquoi les opérations réalisées au niveau physique dans un microprocesseur sont simples et peu nombreuses: elles implantent dans le silicium l'algorithme d'addition entière et la lecture/écriture des opérandes de cette addition dans les registres. En enchaînant ces opérations élémentaires, on rend le microprocesseur capable d'effectuer des traitements informatiques arbitraires. De ce fait, cette machine est devenue universelle, c'est-à-dire, capable en théorie, d'effectuer tout algorithme, aux limites de temps et de taille mémoire près.

L'année 1981 a vu l'annonce commerciale (Hewlett Packard 9000, Intel APX-432, Motorola 68020, Zilog 80000, etc.) de divers processeurs 32 bits réalisés sur un circuit, ou sur un petit nombre de CI, contenant chacun de 150000 à 400000 transistors. Ceci marque un tournant dans l'évolution de la Microélectronique et de l'Informatique.

Depuis le premier processeur 4 bits en 1972, les microprocesseurs sont passés à 8, 16 et maintenant 32 bits. On peut dire que, à la taille près, l'architecture logique de ces machines a peu évolué. On retrouve dans la partie opérative des 16 bits la structure de 8 bits. Ceci est vrai, à un moindre degré, dans la partie contrôle de ces microprocesseurs. L'organisation mémoire, unité arithmétique, unité de contrôle, reliés par un bus, date de VON NEWMANN.

L'évolution des techniques rendra possible la réalisation de processeurs 64 bits. Pour de multiples raisons, la tendance moderne se dirige vers d'autres architectures de machines (16 bits, 32 bits ou autres) dont l'architecture est beaucoup plus sophistiquée et orientée vers des classes d'application industrielle [VUI-83].

De plus en plus, on intègre sur un seul circuit les fonctions réalisées auparavant par une ou plusieurs cartes câblées. En parallèle avec cette intégration sur silicium, s'opère une remise en cause des structures: la meilleure manière pour réaliser de tels circuits, n'est pas de transposer le modèle câblé sur silicium, mais bien de reprendre la conception à partir d'une spécification fonctionnelle de la machine à réaliser. Autrement dit, ce n'est pas du matériel que l'on doit intégrer dans un circuit, mais bien du logiciel, exprimant la spécification externe de ce circuit, c'est-à-dire la machine telle qu'elle sera vue et programmée par son utilisateur: un système sur silicium.

### I.1.2. Architecture d'un circuit VLSI.

L'architecture de tout circuit VLSI interprétant un algorithme unique, peut être vue comme l'assemblage de deux blocs fonctionnels coopérants [ANC-81]:

- \* Une partie opérative qui est chargée de manipuler, de stocker, et de transformer les données.
- \* Une partie contrôle qui assure le séquençement des actions élémentaires qui se déroulent dans la partie opérative [ANC-80].

Cette décomposition est surtout due à des considérations:

- \* fonctionnelles, parce qu'elles donnent une meilleure organisation de

## CHAPITRE I : La conception d'un circuit intégré

la machine.

- \* topologiques, parce qu'elles permettent une simplification des problèmes d'interconnexion.
- \* de réalisation, parce qu'elles permettent une simplification des techniques d'implantation.

D'un point de vue plus formel, la partie opérative est une structure matérielle qui réalise les instructions de manipulation de données invoquées dans la programmation de l'algorithme, tandis que la partie contrôle réalise sa structure de contrôle.

La décomposition d'une machine en partie opérative et partie contrôle n'est donc pas unique, elle dépend entre autres de caractéristiques du langage utilisé pour programmer l'algorithme.

La possibilité pratique de réaliser efficacement la partie opérative dépend du type d'opérations permises par ce langage, de la complexité des expressions et de la nature du parallélisme permis.

La réalisation de la partie contrôle dépend de la nature des opérations de contrôle et de leur imbrication.

### I.1.3. Les circuits VLSI complexes.

Les circuits VLSI complexes se divisent assez naturellement en plusieurs catégories dépendant des critères techniques (par exemple, de la nature du problème à traiter: digitale, analogique, ...; des performances à obtenir, de la complexité à atteindre, etc.) et de considérations économiques (par exemple, le nombre d'exemplaires à produire, la compétitivité à atteindre, etc.).

La conception d'un circuit VLSI complexe consiste surtout à transposer le problème initial exprimé en termes de fonctionnalité, en une structure topologique bidimensionnelle permettant un dessin optimisé des masques de ce circuit.

### I.2. PHILOSOPHIE DE LA CONCEPTION DES CIRCUITS VLSI.

La conception d'un système VLSI complexe est une tâche très difficile à réaliser qui nécessite pratiquement une bonne intuition et une bonne expérience du concepteur.

## CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

La méthodologie de la conception structurée introduite par Mead et Conway [MEA-80] est une approche pour concevoir un système VLSI ayant un certain nombre de problèmes complexes à résoudre. Cette méthodologie couvre deux aspects importants:

- \* La hiérarchie et la régularité. La hiérarchie est le résultat d'un partitionnement de la conception en une structure arborescente. L'introduction de la régularité permet de distribuer la complexité de la conception à chaque partie de circuit, dont l'utilisation des ROM et PLA, comme éléments réguliers, est prioritaire sur l'utilisation d'éléments irréguliers.
- \* La stratégie de connexion et la régularité sont utilisés depuis le début en éliminant les tracés inefficaces et chers.

Cette méthodologie est similaire à celle de la programmation structurée [DAH-72]. La démarche de cette conception s'effectue de manière descendante ("top-down"). Le concepteur est limité à choisir une structure parmi celles qui sont disponibles. Ce procédé permet la construction d'un circuit ne nécessitant aucune vérification, si les outils CAO sont appropriés et suffisamment complets [TRI-81].

La notion de hiérarchie a donné lieu à des représentations arborescentes de structures de données qui semblent être adéquates pour ce type de problème. Cette approche hiérarchique permet au concepteur d'aborder de manière progressive la description des circuits logiques sous la forme de modules, et d'appréhender la complexité de plus en plus importante grâce à une segmentation fonctionnelle.

La notion de répétition a permis la génération de représentations géométriques, structurées et régulières, d'éléments fonctionnels. Par cette méthode, nous réduisons considérablement le temps de conception et les possibilités d'erreur [TSA-83].

Hiérarchie et répétition permettent ainsi de réduire les temps et les coûts des phases de vérification et de simulation des descriptions. Les étapes progressives de vérification donnent au concepteur le moyen de contrôler le fonctionnement du circuit qu'il conçoit avant de le fixer sur le silicium [YAB-83].

## CHAPITRE I : La conception d'un circuit intégré

Une méthode ou style de conception concerne l'utilisation d'une classe particulière de structures, tandis que le développement de nouveaux algorithmes et de nouvelles techniques pour la conception assistée par l'ordinateur (CAO) s'adaptent continuellement à chaque méthode de conception. Ce développement de nouvelles méthodes et de nouveaux outils de CAO contribue à accélérer la conception des circuits VLSI.

Une méthode performante doit utiliser au maximum les ressources de l'ordinateur et les ressources humaines. Une distinction sera faite entre les techniques utilisées pour la conception, ou la synthèse des circuits, et celles utilisées pour leur vérification. Cette distinction porte sur les contraintes physiques ou topologiques (le dessin de masques ou le placement de composants dans le circuit hôte), et sur les considérations fonctionnelles (la description logique, la synthèse, la simulation et la génération des vecteurs de test).

La CAO des systèmes VLSI vise comme but, entre autres, la synthèse automatique, la vérification de la conception, l'évaluation des performances de la conception, l'implantation automatique, l'autodocumentation, etc.

Un système de CAO comportant cette panoplie d'aides sera plus ou moins efficace dans la mesure où le concepteur intervient directement dans le processus de la conception assistée. Cela peut sembler contradictoire lorsqu'on considère la possibilité de bâtir un système de CAO complet qui génère un circuit ou dispositif à partir d'une description simple en écartant totalement l'intervention humaine.

L'assistance de l'ordinateur dans la conception, ou la synthèse, d'un niveau est soit fonctionnel, soit physique. Elle concerne l'utilisation de mécanismes d'optimisation (amélioration de la performance et des coûts). Sous cette optique, les tâches de conception peuvent être formulées comme un problème d'optimisation:

- \* combinatoire pour les opérations telles que le placement de blocs ou de cellules, le tracé, la minimisation logique et le codage d'états logiques.
- \* paramétrique pour la conception des niveaux électriques.

L'optimisation est généralement très difficile à réaliser. Néanmoins, on utilise souvent la représentation d'un problème sous la forme d'un arbre afin de réduire sa complexité. Cette technique nous amène à l'utilisation

d'heuristiques.

Le nombre de systèmes pour la CAO des circuits logiques augmente sans cesse ces dernières années. De nombreux centres de recherche ou de développement de circuits intégrés mettent au point leur propre environnement logiciel. Bien qu'ils soient développés indépendamment les uns des autres, ces systèmes suivent tous une méthodologie de conception semblable. Cette dernière peut être décrite par deux mots: répétition et hiérarchie. Ces deux notions sont exploitées aussi bien pendant les phases de description du circuit que dans celles de vérification et de simulation.

### I.3. DESCRIPTION DE LA CONCEPTION D'UN SYSTEME VLSI.

Différentes vues, ou représentations, sont utilisées pour décrire les différents niveaux de conception et de vérification d'un circuit VLSI. Ces représentations doivent refléter un niveau particulier d'abstraction tel que la spécification fonctionnelle du circuit ou le dessin de ses masques. Le choix d'une représentation appropriée pour chaque niveau est un facteur clé pour déterminer l'efficacité de l'assistance de l'ordinateur. Le processus de conception englobe alors une série de transformations entre ces vues.

L'ensemble des vues, ou descriptions utilisées, peut se résumer en catégories ou domaines, telles que:

\* La description comportementale ou fonctionnelle.

Elle est indépendante d'une réalisation particulière. Le concepteur doit la décomposer d'une manière hiérarchique en une série d'algorithmes structurés de complexité décroissante. Plusieurs langages spécialement conçus pour cette tâche ont été développés (par exemple, ISP, CASSANDRE, IRENE, etc.). Ceci permet la transformation d'une description comportementale de haut niveau en une description d'implantation de bas niveau [SHI-83], [THO-81].

\* La description structurelle.

Le concepteur décrit sous une forme modulaire les structures d'implantation des algorithmes conçus. La connexion logique des modules, ainsi que leur décomposition hiérarchique en blocs sont guidées par un plan de masse [GUY-83]. Ceci est une approche générale

## CHAPITRE I : La conception d'un circuit intégré

qui inclut une stratégie de tracé des connexions. La réalisation est détaillée lorsque les niveaux des portes logiques et des transistors sont générés.

### \* La description physique.

Les caractéristiques physiques des technologies utilisées introduisent de nouvelles difficultés qui apparaissent dans la conception d'une structure géométrique sous des contraintes topologiques et technologiques. Une technique de conception auto-corrective peut être utilisée pour l'étape de conception géométrique. Par exemple, les diagrammes squelettisés (STICKS) sont généralement utilisés pour générer le dessin des masques sans en vérifier les gardes. Le concepteur peut donc décrire son circuit sans tenir compte d'une technologie donnée. La géométrie propre aux niveaux de masques est générée depuis les données représentant les caractéristiques de la technologie utilisée.

La régularité et la hiérarchie sont particulièrement exploitées. Par exemple la répétitivité des motifs topologiques similaires (par exemple, dans une RAM), ou itérés (par exemple, dans une ROM) réduisent le temps de conception, car peu de cellules de base nécessitent d'être dessinées à la main. Le temps de vérification est ainsi réduit car seulement un exemplaire de chaque cellule nécessite d'être vérifié.

Les descriptions fonctionnelles fournissent des renseignements sur le comportement global d'un circuit mais aucune indication sur la manière dont le circuit sera réalisé physiquement. En fait, la conception d'un circuit nécessite l'utilisation d'un ensemble de langages pour le décrire à différents niveaux de détail. Chacun de ces niveaux correspond à l'introduction d'informations supplémentaires nécessaires à son implantation physique.

Le schéma de la figure 1.1 nous montre les relations entre ces niveaux par des interprétations successives de manière à fournir une description complète et détaillée du fonctionnement électrique, de la représentation géométrique et physique du circuit.



## CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

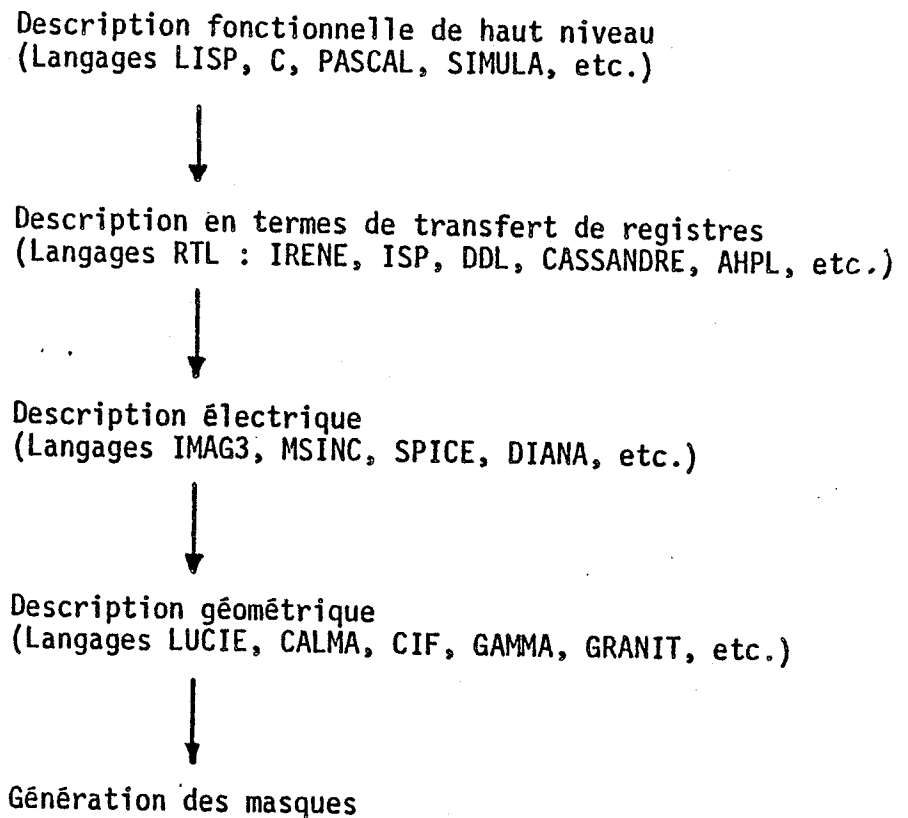


Fig. 1.1. Niveaux de description d'un circuit intégré.

### I.4. DEMARCHE DE LA CONCEPTION DES CIRCUITS INTEGRES.

La conception d'un circuit monolithique commence par l'établissement d'un cahier des charges qui fournit les caractéristiques fonctionnelles telles que le nombre de processeurs, l'organigramme et les conditions de fonctionnement, etc. [NEM-83], [GUY-83]. Cette conception est d'ailleurs divisée en trois étapes:

1. Une Décomposition du problème qui suit une approche descendante (Top-Down) dont un certain nombre de décisions sont prises au départ et ensuite propagées vers les niveaux inférieurs dans la hiérarchie. Il s'agit en effet de définir l'architecture d'un circuit à partir du plus général (cahier de charges) et d'aboutir au plus élémentaire (transistors). Cette étape concerne donc le découpage fonctionnel du circuit en tenant compte d'une stratégie précise de tracé, qui permet d'établir le plan de masse du circuit. Autrement dit, un bloc

## CHAPITRE I : La conception d'un circuit intégré

exécutant une fonction définie est découpé en un ensemble de blocs exécutant chacun une fonction plus simple mais coopérant pour exécuter la fonction précédente. Ce découpage est itéré jusqu'à ce que les fonctions soient suffisamment simples. Plus précisément, une structure arborescente est bâtie en définissant successivement les niveaux suivants:

- \* Niveau Processeur. La définition de l'organisation générale de la partie opérative et le choix de la variante du séquenceur à utiliser pour la partie contrôle sont spécifiés [OBR-82].
- \* Niveau des Blocs spécialisés. L'architecture de chaque bloc spécialisé, tel que le chemin de données de la partie opérative, ainsi que la structure de la partie contrôle sont déterminés.
- \* Niveau des Opérateurs et des Variables. Toutes les caractéristiques des blocs spécialisés sont définies.

Une géométrie approximative est donnée à chaque bloc constituant le plan de masse. Ce plan de masse est modifié lorsqu'une optimisation de la conception est nécessaire ou qu'une disposition des blocs entraîne une forte perte de surface.

A ce niveau, le concepteur peut évaluer approximativement le nombre de transistors | requis, la densité prévisible, la déformabilité de blocs, la facilité d'interconnexion et l'effort de dessin.

2. L'Implantation qui consiste à passer d'une représentation fonctionnelle de chaque bloc (soit un schéma logique, ou un schéma à transistors, ou encore le contenu binaire d'un PLA ou d'une ROM, etc.) à une représentation des masques pour tout le circuit (un dessin au micron, au lambda, un diagramme|squelettisé, etc.). Dans cette étape l'utilisation croissante des systèmes graphiques ou orientés graphique améliorent ce passage. La constitution d'une bibliothèque de cellules ou briques de base et la réalisation des masques d'un certain nombre de fonctions sont effectuées.
3. La Composition qui consiste en une approche ascendante (Bottom-Up) dont un certain nombre de contraintes sont propagées aux niveaux plus

## CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

hauts depuis les plus bas dans la hiérarchie. Il s'agit en effet de construire le circuit en partant du niveau le plus élémentaire (les "motifs" de base) et en aboutissant au niveau global (circuit monolithique). Autrement dit, il consiste à passer de la représentation des masques de chaque bloc à la représentation du circuit complet par un assemblage hiérarchique, dont le plan de masse en est le guide.

Plus précisément l'assemblage hiérarchique est exprimé par les niveaux suivants:

- \* Briques topologiques. Les opérateurs et les variables sont assemblés à partir des briques de base (registres, additionneurs, points mémoire, etc.) [ZUS-82], [SCH-83].
- \* Blocs spécialisés. Les blocs spécialisés sont assemblés à partir des opérateurs et des variables.
- \* Circuit. Le circuit est construit par assemblage des blocs spécialisés. La connexion de ces blocs aux plots d'entrée/sortie est aussi réalisée.

Le résultat de ces assemblages successifs débouche donc sur les masques du circuit intégré monolithique.

Ces trois étapes idéalement séquentielles peuvent être perturbées par de fréquents retours en arrière ou au contraire par des avances prématurées. En effet, le dessin d'un bloc peut remettre en cause sa fonction et en conséquence sa forme, et ceci par un effet cumulatif remet en cause les blocs voisins qui lui sont connectés.

De même, le concepteur est souvent pressé d'assembler des blocs avant de les avoir tous dessinés ou même seulement évalués. Il crée donc une structure arborescente provisoire qui ne sera pas forcément celle de la structure définitive.

La démarche de conception effectivement utilisée par le concepteur est rarement linéaire. De nombreuses itérations entre les étapes et au niveau d'une même étape sont nécessaires pour obtenir une description satisfaisante des masques du circuit. A chacun de ces niveaux est associé un langage de description dont les composantes sémantiques reflètent la spécificité de ce niveau.

## CHAPITRE I : La conception d'un circuit intégré

Le passage d'une représentation à la suivante ( du niveau logique au niveau graphique par exemple), est réalisé par des interprétations successives des composantes sémantiques et des opérations associées à chacun de ces niveaux [CAR-81]. De plus, à chacun de ces niveaux, des vérifications et des simulations des descriptions obtenues permettent des corrections et des modifications avant qu'une nouvelle représentation, plus détaillée, ne soit entreprise.

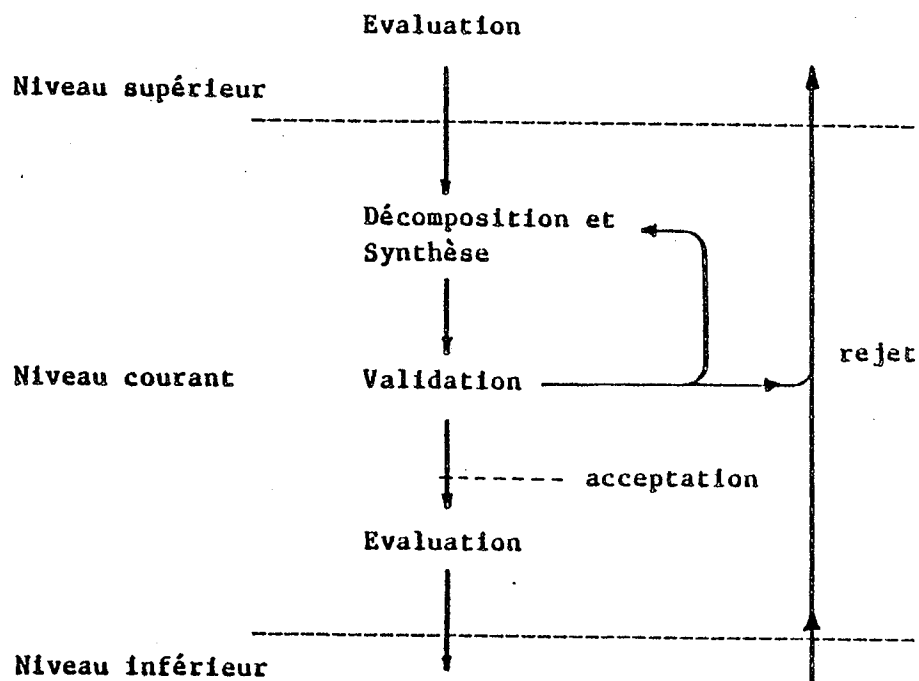


Fig.1.2. Structure de chaque niveau de conception.

Le schéma de la figure 1.2 montre les relations entre ces niveaux ainsi que la manière dont ils sont constitués. Quatre tâches séparées dans chaque niveau sont représentées: la décomposition, la synthèse, la validation et l'évaluation d'une description [LAT-81], [STI-83].

Dans cette optique, un concepteur décompose une fonction originale en plusieurs composants fonctionnels moins complexes. Ensuite, il va chercher dans une bibliothèque de composants disponibles en essayant de sélectionner un ensemble de composants qui lui convient.

La synthèse est l'art d'adapter les composants de la bibliothèque à la

structure obtenue par décomposition. Il est alors nécessaire, lors d'une conception particulière, de valider la structure obtenue par rapport à la description fonctionnelle originale.

Dès qu'une réponse satisfaisante est obtenue, le résultat de la conception est évalué et comparé aux autres alternatives possibles dans l'espace de conception (y compris les contraintes et les besoins de la structure du circuit).

Ces quatre tâches sont séparées par le fait que le concepteur qui spécifie les composants de la bibliothèque n'est pas le même que celui qui décompose le problème initial et réalise la synthèse.

### I.5. LE COMPILATEUR DE SILICIUM.

Parallèlement au développement des méthodes de vérification et de synthèse, et souvent en avance sur celles-ci, les réalisations d'outils logiciels automatisant les phases terminales de la conception d'un CI sont extrêmement nombreuses [DAC-77..83]: la génération de séquences de test, le dessin des circuits imprimés, l'implantation et interconnexion des CI, le dessin des masques, l'optimisation des PLA, etc.

Malgré la nécessité d'améliorer encore à la fois les résultats produits et les performances de tous ces outils, le problème essentiel qui se pose depuis quelques années est celui de leur intégration, avec les outils de vérification, au sein d'un système unique que l'on appelle "Compilateur de Silicium".

Les réalisations de systèmes pour la CAO dont nous avons connaissance sont loin de répondre à tous les besoins d'un concepteur. En général, l'intégration de tels outils est réalisée en branchant autour d'un système de gestion de base de données une bibliothèque de modules standard, des outils de placement, d'interconnexion et de tracé, et un simulateur.

Un véritable système intégré de CAO doit:

- \* réaliser une intégration horizontale (à n'importe quel niveau de conception), et verticale (en reliant les différents niveaux).
- \* offrir une méthode uniforme de description.
- \* permettre des traitements sur des descriptions multi-niveaux.

C'est dans cette optique que nous exposons par la suite quelques définitions concernant un compilateur de silicium.

## CHAPITRE I : La conception d'un circuit intégré

La compilation en silicium est "vaguement définie" comme le processus de transformation d'une description, qui peut être exprimée fonctionnellement ou structurellement, en une description géométrique ou dessin des masques [GAJ-82].

Une description fonctionnelle spécifie les sorties d'un système en terme de ses entrées. Une description structurelle décrit un système comme un ensemble de composants ayant une description fonctionnelle déjà connue. Une description géométrique ou dessin des masques décrit la position de chaque composant et de chaque interconnexion sur le silicium [SIS-82].

Un assembleur de silicium transforme une description topologique en une description géométrique. Plus précisément, il transforme la description de l'assemblage des blocs en le dessin des masques (il reste dans un monde topologique). Les plus sophistiqués sont basés sur un langage de haut niveau et permettent une hiérarchisation des modules fonctionnels. La plupart des systèmes de dessin permettent l'assemblage manuel et obligent les concepteurs à concevoir les cellules de base nécessaires à cet assemblage. Par ailleurs, le passage d'une description structurelle en une description topologique peut être automatique (placement et connexion), ou naturel [SCH-84].

Un compilateur de matériel transforme une description fonctionnelle en une description structurelle ou topologique. Ceci varie en complexité et dépend du niveau de description des entrées, et des composants utilisés dans la description structurelle. Dû à sa tâche de générer une architecture cible optimale, ces compilateurs sont plus compliqués qu'un compilateur ordinaire. Néanmoins, la difficulté que l'on trouve lors de l'adaptation de ce type de compilateurs à la conception des circuits VLSI est insurmontable, car ceux-ci ont été développés pour optimiser les circuits imprimés et non le dessin des masques d'un circuit VLSI.

Un compilateur de silicium transforme une description fonctionnelle en dessin de masques [AYR-79]. Pour y parvenir facilement, un modèle ou plan de masse standard est utilisé. Actuellement, ces compilateurs sont en développement, et la compilation part d'une description fonctionnelle et arrive à un niveau modeste [SIS-82], [RUP-81], ou simplement, elle est restreinte à une partie du système telle que le chemin de données par exemple [JOH-79].

I.6. CAPRI: UN COMPILATEUR DE SILICIUM  
DE CIRCUITS VLSI SPECIFIES PAR ALGORITHMES.

Le système CAPRI est un compilateur de silicium mettant en oeuvre la méthodologie de conception CAPRI [ANC-83], [ANC-82b]. Le but du système est de réduire le coût et la durée de conception des circuits VLSI à la demande ou destinés à la production de masse. Les domaines d'application de CAPRI incluent tous les circuits VLSI digitaux qui sont spécifiés par leur comportement, tels que les microprocesseurs, les co-processeurs, les contrôleurs de périphériques, les automates, etc.

I.6.1. La méthodologie de conception CAPRI.

La conception d'un circuit intégré depuis sa description comportementale est divisée en quatre étapes:

\* Conception architecturale.

Une description comportementale précise de bas niveau est produite depuis la spécification comportementale du circuit [ANC-82a]. Ceci est obtenu par:

- \* introduction de plusieurs niveaux intermédiaires d'interprétation dans la spécification algorithmique initiale.
- \* transformation de l'algorithme par découpage en opérations plus simples et par traduction des instructions opératives dans les formats prédéfinis correspondants aux potentialités d'une organisation standard du chemin de données.
- \* extraction de la spécification de la partie opérative et contrôle à partir de la description comportementale précise.

\* Conception de la partie opérative.

Le dessin de masques du chemin de données est généré à partir de sa spécification extraite dans l'étape précédente. La partie opérative est organisée de manière à ce que son architecture et son comportement électrique soient standardisés, ce qui permet sa construction par un simple assemblage de briques de base prises dans une bibliothèque.

## CHAPITRE I : La conception d'un circuit intégré

### \* Conception de la partie contrôle.

Le style de son organisation interne est choisi. La structure de contrôle de l'algorithme de description doit donc être adaptée à ce style. La génération du contenu des parties répétitives est aussi réalisée en suivant ce style.

### \* Conception résiduelle.

La conception des blocs fournissant les paramètres à la partie contrôle, les mécanismes d'interruption, les plots d'entrée/sortie, l'horlogerie, etc. termine la conception totale du circuit.

Le principe d'optimisation topologique globale est pris en compte dans chaque étape, car l'expérience dans les différents domaines de la conception des systèmes montre que la recherche d'une telle optimisation est plus importante que celle d'une optimisation locale [ANC-82c]. Ce principe est exprimé par les lemmes suivants [CLE-79], [PRE-79], [TUC-82]:

#### LEMME 1.1.

Une bonne distribution des "connecteurs" ou "bornes terminales", dans un ordre topologique, sur le pourtour des blocs permet de réduire la surface d'interconnexion par de simples connexions directes (abutement).

La figure 1.3 nous montre la démarche modifiant l'ordre de distribution des connecteurs qui permet une connexion directe des blocs 1 et 2. D'après cette figure, nous pouvons déduire que toute modification par rapport à la connexion directe augmente la surface d'interconnexion. Ceci veut dire que toute modification se ramène à une permutation des connexions, et toute permutation entraîne des niveaux de connexion supplémentaires.

#### LEMME 1.2.

L'adaptation morphologique ou la déformabilité d'un bloc ou cellule permet de réduire la surface totale d'un circuit.

La figure 1.4 nous montre le cas de déformation des blocs



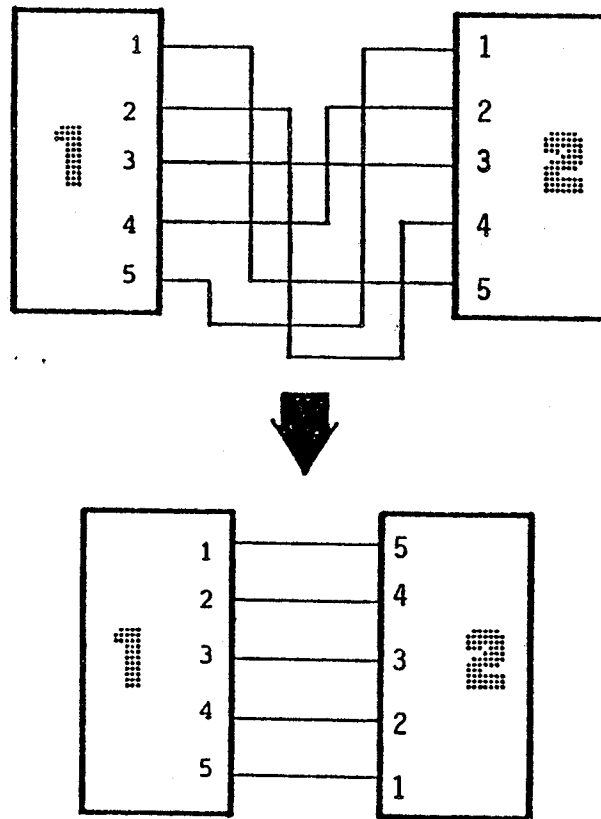


Fig. 1.3. Réduction de la surface d'interconnexion par ré-ordonnement des connecteurs dans le bloc 2.

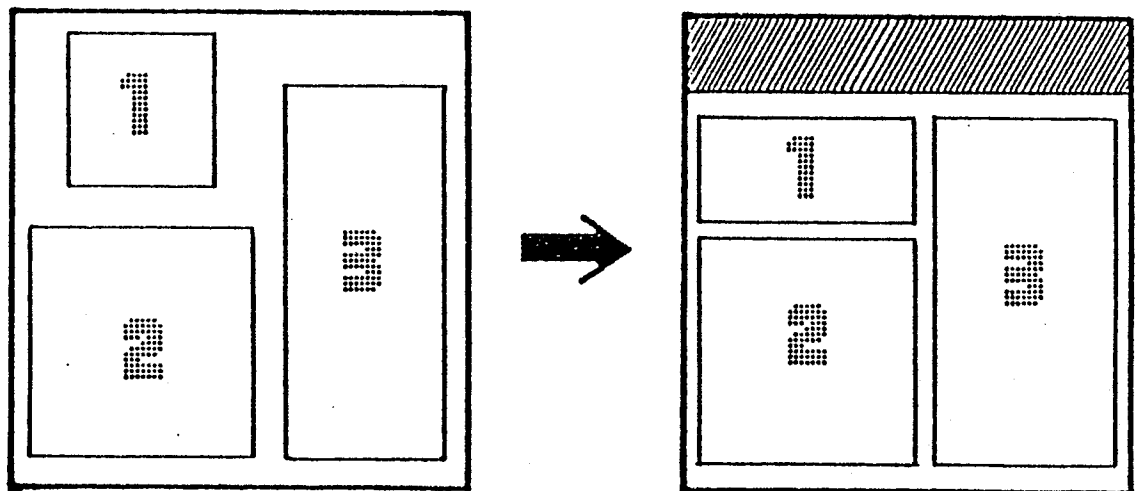


Fig.1.4. Réduction de la surface totale d'un circuit par DEFORMATION MORPHOLOGIQUE (des blocs 1 et 3).

1 et 3 qui permet d'obtenir un gain important de surface.

## CHAPITRE I : La conception d'un circuit intégré

### LEMME 1.3.

La transparence d'un bloc (propriété indiquant le degré d'accueil des conducteurs le traversant) permet la réduction de la surface d'interconnexion entre blocs non voisins. Cette transparence peut être inhérente ou forcée.

La transparence inhérente d'un bloc concerne sa conception tenant compte d'un nombre fini de lignes le traversant dans le sens horizontal et/ou vertical.

La transparence forcée d'un bloc concerne la possibilité de l'écarter à un endroit précis après sa conception. Un bloc potentiellement transparent par forçage doit donc comporter les endroits possibles d'écartement.

La figure 1.5 nous montre la transparence du bloc 2. Celui-ci accueille les connexions qui le contournaient et permet ainsi la réduction de la surface d'interconnexion.

L'approche classique consistant à placer des blocs conçus et optimisés indépendamment, et ensuite les interconnecter, fournit généralement une surface de circuit étant la somme de la surface des blocs et celle des interconnexions. Cette approche est alors tout à fait opposée à celle de CAPRI qui met à profit les lemmes mentionnés ci-dessus.

CAPRI utilise le plan de masse comme premier élément de départ pour la conception logique et topologique. Les dimensions des blocs du plan de masse peuvent être évaluées à partir de la description fonctionnelle d'un circuit par l'intermédiaire d'algorithmes heuristiques [REI-83].

#### I.6.2. Principaux outils CAO de CAPRI.

CAPRI comporte les outils CAO suivants:

- \* IRENE: Langage et système de description comportementale des circuits VLSI [MAR-83].
- \* Extracteur, qui obtient la spécification des structures des parties opérative et contrôle du circuit à partir de sa description

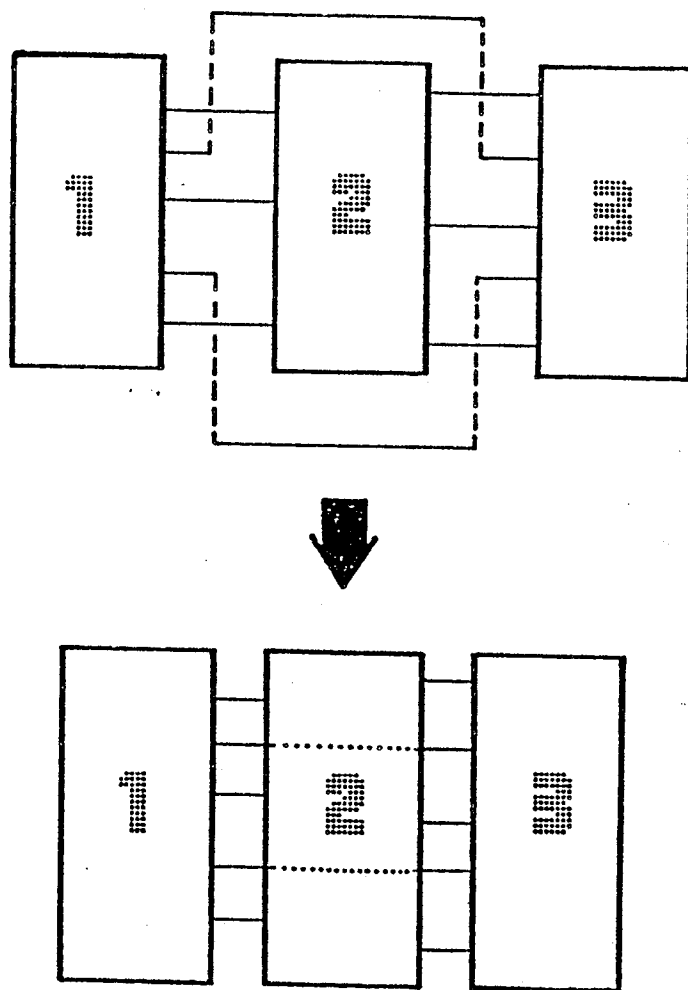


Fig. 1.5. Réduction de la surface d'interconnexion et de la complexité du tracé par l'exploitation de la TRANSPARENCE du bloc 2.

comportementale [SCH-83].

- \* Générateur de partie opérative. Il génère les parties opératives par assemblage de cellules de base prises dans une bibliothèque [SCH-83], [SUZ-82].
- \* Générateur de partie contrôle. C'est un outil très complexe qui en partant de la structure de contrôle et de la topologie des lignes de contrôle se trouvant dans la partie opérative, génère les éléments réguliers de la partie contrôle. Cet outil comporte les systèmes suivants:
  - \* Selecteur de style.
  - \* PAMELA, transformateur MOORE-MEALY [DER-84].
  - \* Générateur de composants répétitifs [NEM-83].
  - \* PAOLA, générateur du dessin des masques optimisé des PLA

## CHAPITRE I : La conception d'un circuit intégré

complexes [CHU-82].

\* TESS, évaluateur topologique [REI-83].

\* COMFOR, un vérificateur des schémas électriques qui génère une description électrique (en SPICE, MSINC, etc.) à partir du dessin des masques d'un circuit quelconque [JER-83].

### I.7. LA CONCEPTION DES PLA COMPLEXES.

#### I.7.1. Généralités sur la synthèse de systèmes.

La figure 1.6 montre une vue schématique du processus de conception d'un système digital.

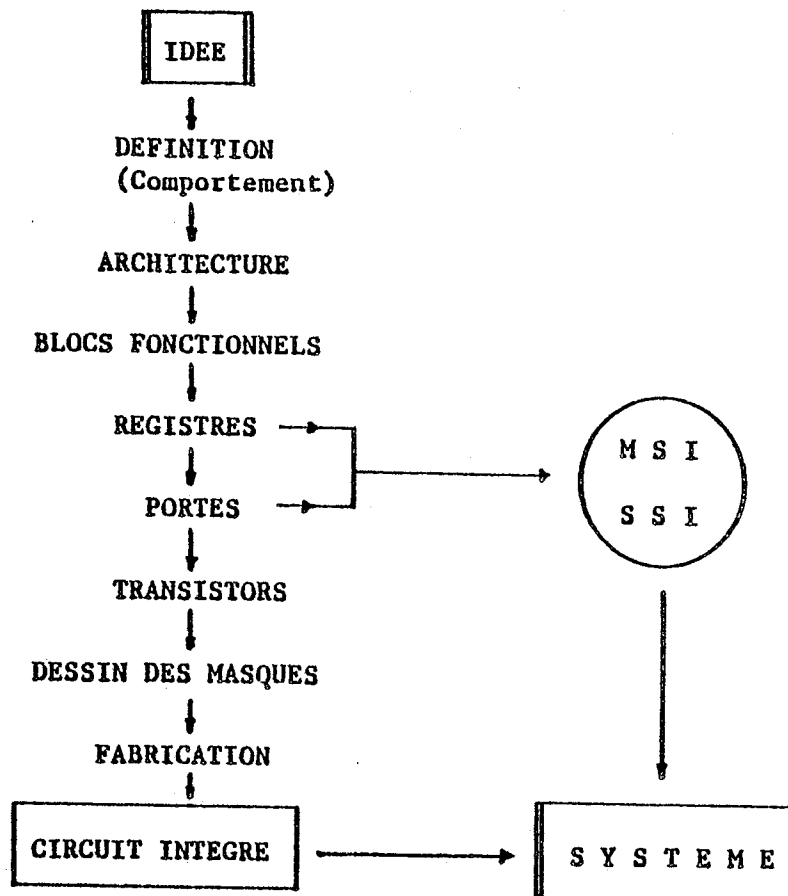


Fig. 1.6. Réalisation d'un Système Digital.

Le concepteur commence avec une idée très vague du système à concevoir. Après un raffinement et une consolidation de l'idée, le concepteur peut déjà définir formellement le comportement du système. Ensuite, il structure le système en le décomposant en plusieurs blocs fonctionnels. Ceux-ci seront à

leur tour décomposés en registres. A ce point, la conception devient plus physique tandis que le comportement apparent du système devient très complexe à cause des détails structurels.

Ces registres sont ensuite décomposés en portes logiques, qui seront construites à l'aide de transistors. Finalement, ces transistors sont dessinés au niveau des masques et le dessin résultant sera utilisé pour la fabrication du circuit conçu.

Le processus de synthèse (des niveaux système, logique et physique) peut être appréhendé en corrélant les deux aspects: le processus lui-même et le résultat.

Les facteurs déterminants du processus de synthèse peuvent être:

- \* sa faisabilité pratique.
- \* sa durée dans un cycle de conception.
- \* son coût.
- \* sa souplesse de manipulation.

Le résultat peut être évalué en fonction des critères suivants:

- \* la performance de la conception.
- \* le coût de fabrication.
- \* la compréhensibilité de la démarche par d'autres concepteurs.
- \* la testabilité du produit.
- \* la fiabilité du produit.

Le comportement d'un système digital devant être conçu, est typiquement décrit par un langage de transfert de registres [MAR-83]. Ce langage permet de distinguer strictement les parties contrôle et opérative d'un système digital.

La partie opérative comporte un ensemble d'opérateurs, de registres et de chemins reliant ces différents blocs fonctionnels, qui est utilisé pour la manipulation des données. Le comportement de cette partie opérative est décrit par un ensemble ordonné de transferts entre les registres  $R_i$ , dont

$$R_i \leftarrow f_i ( R_1, R_2, \dots, R_n ).$$

## CHAPITRE I : La conception d'un circuit intégré

Les fonctions " $f_i$ " peuvent être implantées à l'aide des PLA qui sont spécifiquement structurés tels que l'on suggère dans [ATK-81], [SCH-80], [WEI-79], [FLE-75].

La partie contrôle est chargée d'assurer le fonctionnement prévu de la partie opérative à n'importe quelle étape du traitement, et la progression de ce traitement d'une étape à la suivante. Cette partie contrôle est généralement considérée comme un automate qui peut être schématisé sous la forme d'un tableau (décrivant les transitions et les entrées/sorties à chaque étape), d'un réseau de PETRI, d'un graphe de type GRAFCET, ou d'un simple organigramme de contrôle.

Un automate peut être décrit sous la forme de MEALY  $M(S, I, O, \underline{\delta}, \underline{\lambda})$  ou de MOORE  $M(S, I, O, \underline{\delta}, \underline{\lambda}')$ , dont

$S$  est l'ensemble d'états,

$I$  est l'ensemble d'entrées,

$O$  est l'ensemble de sorties,

$\underline{\delta} : S \times I \rightarrow S$  est une fonction de transition,

$\underline{\lambda}' : S \times I \rightarrow O$  ou

$\underline{\lambda} : S \rightarrow O$  est une fonction de sortie.

Un automate de Moore a plus d'états qu'un automate de Mealy strictement équivalent. Un automate de contrôle doit réaliser l'algorithme d'interprétation des instructions de la machine à concevoir. Par ailleurs, cet automate peut être implanté en utilisant un modèle de structure fonctionnelle connu [OBR-82] dont son choix est influencé par le nombre de niveaux d'interprétation considérés et par la complexité de l'algorithme d'interprétation.

Les principales structures de partie contrôle que nous trouvons parmi les CI existants sont [ANC-82]:

- \* Partie contrôle câblée (par exemple, le microprocesseur Motorola 6800).
- \* Partie contrôle à PLA unique (par exemple, les microprocesseurs NS-5C/MP et NS-8070 dont un PLA génère les commandes et assure le séquençement).

- \* Partie contrôle à PLA multiples [HEN-80], [KWA-77] (par exemple, le microprocesseur Intel 8085 dont un générateur de temps a été utilisé).
- \* Partie contrôle microprogrammé [LAT-81] (par exemple, le microprocesseur Motorola 68000 dont une ROM contient le microprogramme d'interprétation, et le séquençement est assuré par plusieurs PLA).

Le dessin des masques des parties contrôles doit être obtenu par des techniques classiques d'assemblage et de connexion des dessins de leurs différents blocs fonctionnels. Ces dessins peuvent être générés automatiquement à partir de la spécification algorithmique du circuit. En général, une première étape de la compilation de silicium consiste à analyser les propriétés de cet algorithme pour déterminer le choix du modèle le plus approprié. Ce choix s'appuie sur des heuristiques dont l'application met en oeuvre les techniques de l'intelligence artificielle.

En outre, les applications VLSI utilisent plus avantageusement les PLA que les ROM et les circuits combinatoires à structure câblée [ATK-81], [LAT-81], [LAW-82].

Un PLA composant un circuit VLSI réduit considérablement les coûts de sa conception et en améliore sa sûreté de conception [FLE-75], [JON-75], [MEA-80].

Un PLA occupe généralement une surface plus compacte que celle d'une ROM lors de l'implantation d'une même fonction, car la différence fondamentale entre eux repose sur les combinaisons logiques des entrées: une ROM utilise toutes les combinaisons, tandis qu'un PLA en utilise une partie; et sur le nombre de termes produits actifs à un moment donné: une ROM active un terme produit (mot) à la fois, tandis qu'un PLA en active plusieurs.

### I.7.2. La synthèse des PLA.

Nous nous intéressons maintenant à la démarche de la conception hiérarchique des PLA qui font, bien entendu, partie intégrante des circuits intégrés dans lesquels ils sont implantés au même titre que des UAL, des registres, des ROM, des RAM, etc.

Le schéma de la figure 1.7 nous montre une démarche hiérarchique qui nous semble adéquate pour concevoir des PLA utilisés pour l'implantation des parties contrôle.

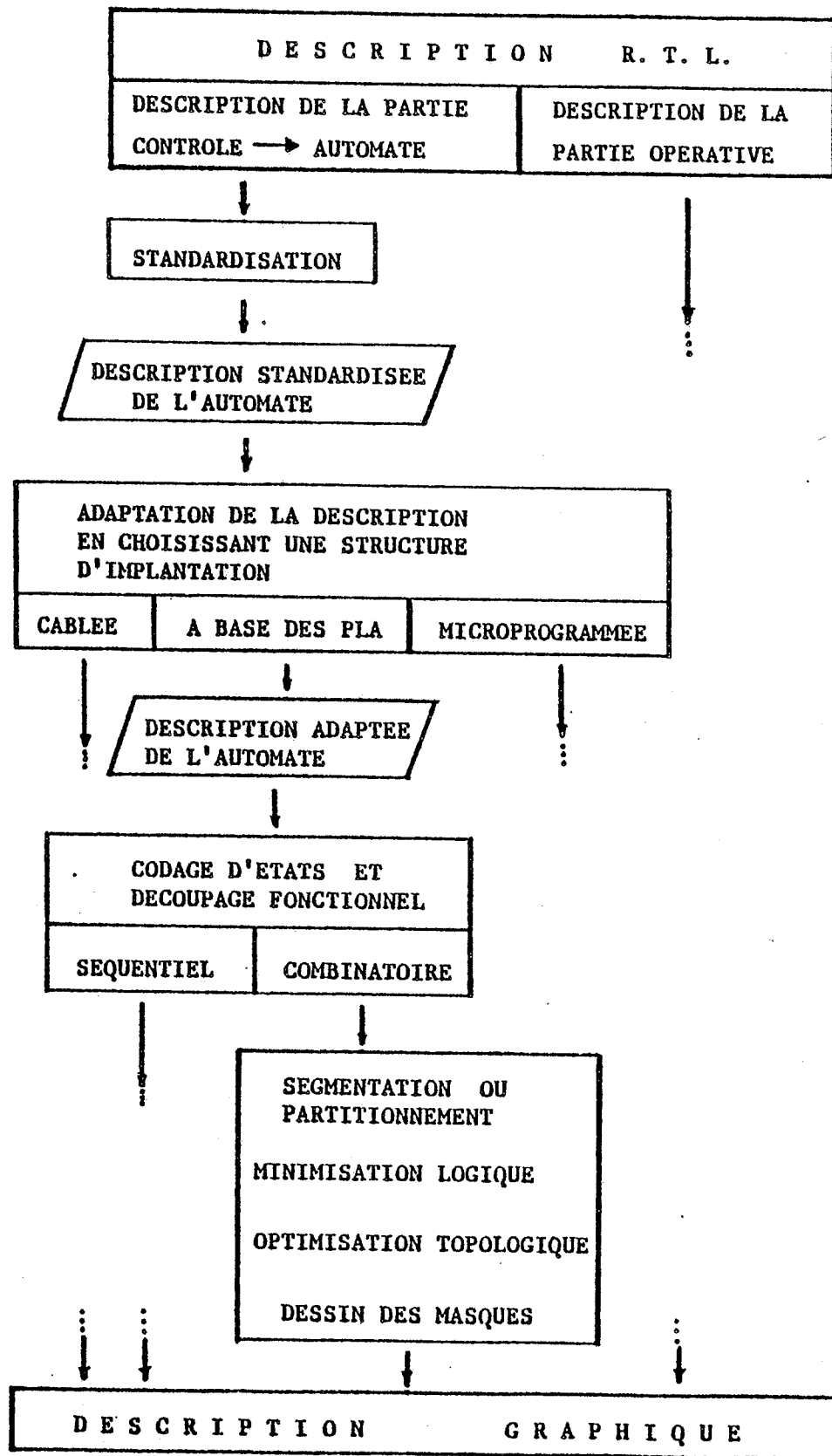


Fig. 1.7. Structure hiérarchisée de la conception des PLA.



## CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

La première phase de cette démarche concerne le codage des états, des entrées et des sorties de la machine décrite par un automate  $M(S, I, O, \delta, \lambda)$ . Il est évident que le résultat du codage va fortement influencer sur le compactage des PLA. Aucun algorithme de codage optimal tenant compte des contraintes imposées par ces PLA, n'a été publié jusqu'à présent.

Une approche qui semble être la plus utilisée consiste à partitionner l'automate  $M(S, I, O, \delta, \lambda)$  en un ensemble de  $N$  sous-automates  $M_i(S_i, I_i, O_i, \delta_i, \lambda_i)$  dont  $S = \sum_i S_i$  et  $S_i * S_j = [ ]$  pour  $i < j$ , et  $i, j$  dans  $[1..N]$ . Le but de ce partitionnement est de coder les états de  $M_i$  par une simple numérotation successive [SCH-83b]. Ceci permet d'ailleurs un partitionnement fonctionnel implicite, car le codage de  $M$  est obtenu premièrement par le codage des états de chaque sous-automate  $M_i$  indépendant des autres, et puis par le codage des sous-automates. Autrement dit, un état "s" de  $M$  ("s" dans  $S$ ) est codé comme un tuple composé d'un tuple assigné à  $M_i$  (c.-à-d. "s" dans  $S_i$ ) et d'autre tuple assigné à "s" lui-même dans  $M_i$ .

Après le codage des états de l'automate  $M$ , nous pouvons le découper en deux parties: séquentielle et combinatoire. La partie séquentielle est constituée de registres et de compteurs. La partie combinatoire est un ensemble de circuits ayant leur comportement décrits par de tables de vérité. Ces tables sont produites sous une forme compacte (Cf. II.1.2) contenant un nombre réduit de rangées (c.-à-d. Nombre de rangées  $\ll 2^m$ , "m" étant le nombre d'entrées). Les PLA constituent donc cette partie combinatoire, et de ce fait, ils consistent en une réalisation régulière de ces tables de vérité compactes qui sont composées de deux tableaux: un tableau ou plan ET et un tableau ou plan OU.

Les phases suivantes de la démarche: segmentation ou partitionnement, minimisation logique et topologique, et dessin des masques; concernent les transformations des tables de vérité compactes en un ensemble de dessins ayant une surface minimale. Les chapitres suivants décrivent ces transformations et expliquent comment toutes les approches concernées ont été utilisées pour réaliser le système PAOLA.

Il faut remarquer que la démarche de conception ci-dessus décrite est utilisée aussi bien pour les PLA implantant une partie contrôle, que pour ceux implantant des éléments d'un chemin de données.

## CHAPITRE I : La conception d'un circuit intégré

### I.7.3. Les problèmes de conception.

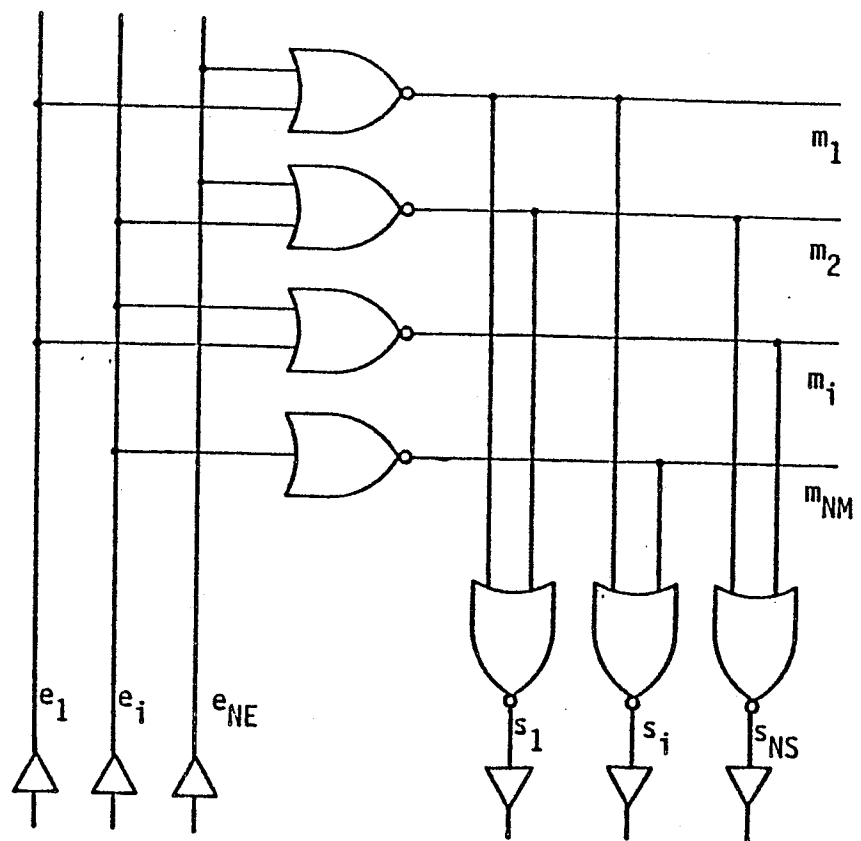
Un PLA conventionnel peut être directement implanté, mais cela induit une perte considérable de surface en silicium, une dissipation de puissance assez importante et une mauvaise performance. La structure habituelle de ces PLA (Fig.1.8b) entraîne donc une perte importante de surface par rapport à celle de la logique aléatoire équivalente (Fig.1.8a). Cette disparité est d'autant plus importante lorsque le PLA est grand et creux (de faible densité de remplissage) [ANC-81]. Un PLA classique utilisé dans un système VLSI présente les inconvénients suivants:

- \* Sa matrice OU est faiblement remplie ce qui entraîne une perte de surface.
- \* Ses lignes d'entrée(sortie) aboutissent sur un bord au pas minimal [McC-79] car chaque ligne occupe toute une colonne. Ceci oblige à que les bornes d'entrée(sortie) soient situées sur une extrémité du PLA, ce qui entraîne l'existence d'une nappe d'interconnexion qui adapte le pas de ces sorties à celui du bloc connecté (Fig.1.9a), donc entraîne une perte supplémentaire de surface.

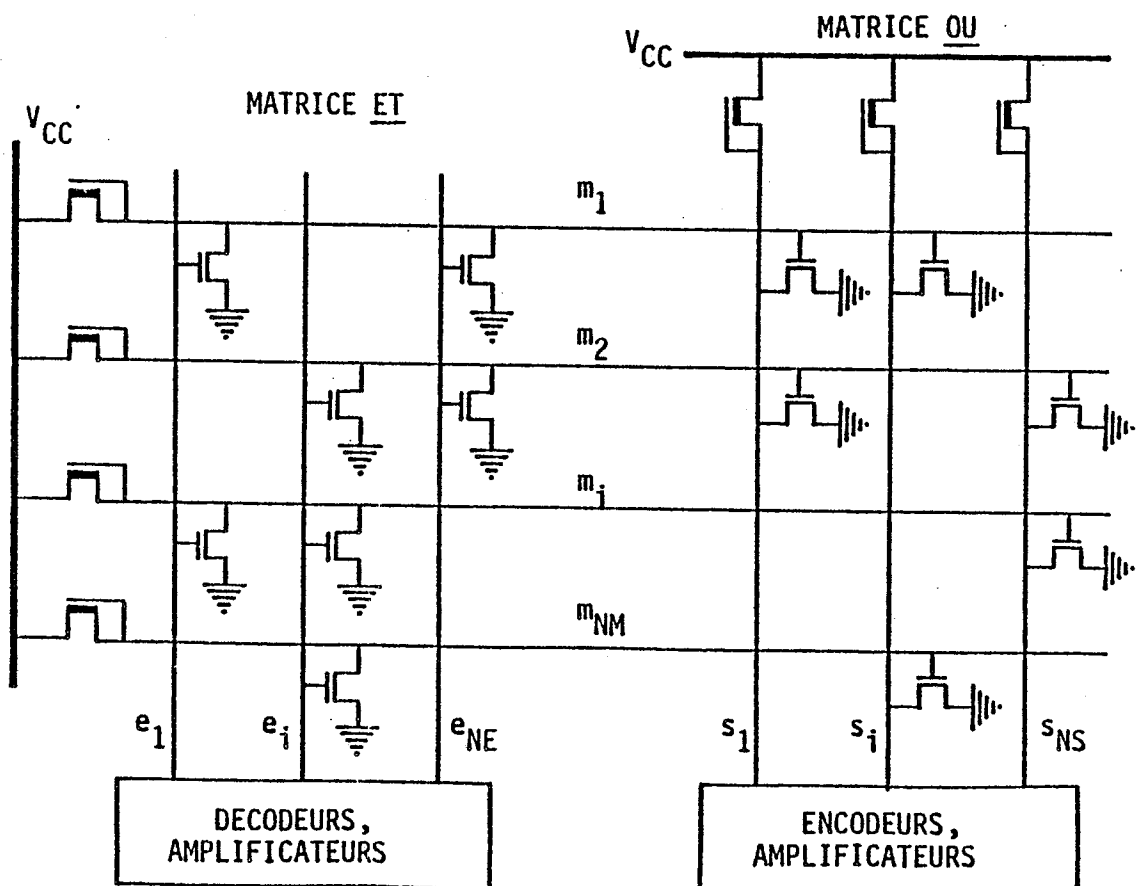
En outre, dans la conception de circuits intégrés complexes, il importe de réduire à la fois la surface des blocs qui les composent et la surface de leurs interconnexions, d'améliorer sa performance et de réduire sa consommation d'énergie. De ce fait, concevoir un PLA complexe n'est pas une tâche facile. Ceci oblige le concepteur à maîtriser les différents facteurs clés qui influencent sur cette conception avant de la réaliser. Parmi ces facteurs clés se trouvent:

- \* la surface occupée.
- \* la puissance dissipée.
- \* la performance en termes de temps de transit (ou de réponse).
- \* la fréquence d'opération imposée.

Ceux-ci sont influencés directement par la technologie utilisée (MOS, AsGa, Bipolaire, etc.). Une étude des caractéristiques électriques du PLA à concevoir en tenant compte de ces facteurs est donc nécessaire. Cette étude doit être orientée <sup>vers</sup> l'optimisation de ces différents facteurs dans le but de trouver un compromis acceptable tenant compte des contraintes de



a. Schéma logique.



b. Schéma Electrique

Fig. 1.8. Structure d'un P.L.A.

## CHAPITRE I : La conception d'un circuit intégré

l'environnement du PLA tels que: sa transparence, sa connectabilité avec les blocs voisins, sa déformabilité morphologique, la mobilité de la position de ses connecteurs (ou bornes terminales) permettant une bonne réduction de la surface dédiée aux interconnexions, etc.

Le temps de réponse d'un PLA varie pseudo-hyperboliquement par rapport à sa surface active (qui inclut celle des amplificateurs d'entrée, de sortie et d'interface), et à sa puissance dissipée. Une approche qui semble être la plus acceptable concerne donc celle d'optimiser la surface de PLA en vue d'améliorer sa performance et de réduire sa puissance dissipée.

Un découpage de cette optimisation en celle des matrices du PLA d'abord et ensuite en celle des amplificateurs, nous semble raisonnable car l'optimisation des amplificateurs doit tenir compte des résultats de l'optimisation des matrices. Autrement dit, la surface des amplificateurs dépend de la charge capacitive excitée qui est constituée par l'ensemble des cellules (ou points de PLA) actives de chaque matrice et par l'entrée des blocs contrôlés.

D'après ces raisonnements, on peut dégager certains critères qui devront être appliqués en vue d'obtenir une bonne optimisation, à savoir:

- \* réduire le nombre de termes produit et de cellules actives.
- \* réduire la charge capacitive de chaque ligne d'entrée, de sortie et de terme produit.
- \* réduire la longueur des chemins reliant les entrées et les sorties dans le but de diminuer la charge résistive synonyme de ralentissement et d'atténuation des signaux les transisant.

En conséquence, une minimisation logique heuristique des PLA doit être envisagée et orientée de manière à satisfaire le premier critère. Une optimisation topologique heuristique doit être aussi envisagée et orientée pour combler les deux derniers critères en considérant:

- \* l'optimisation de la performance du PLA conjuguée avec le dimensionnement d'une cellule active et une bonne distribution de rappels de masse à l'intérieur des matrices.
- \* les contraintes d'environnement du PLA.

Voilà donc, les facteurs fondamentaux dont le concepteur doit tenir compte pour entreprendre une conception satisfaisante immergée dans une démarche générale de réalisation d'un circuit intégré complexe. Il en découle donc le compromis de réduire la surface, de minimiser la puissance dissipée, et d'améliorer la performance d'un PLA pour obtenir son dessin optimisé.

I.7.4. L'optimisation de la surface des PLA.

Un PLA considéré comme un bloc composant d'un circuit intégré complexe peut être réduit en surface par des techniques d'optimisation LOGIQUE et TOPOLOGIQUE (Cf. chapitre II). Les techniques d'optimisation LOGIQUE agissent surtout sur la diminution du nombre de termes produit (ou monômes) [AUG-78] et de transistors, tandis que les techniques d'optimisation TOPOLOGIQUE réorganisent les matrices ET(OU) tout en leur conservant le même nombre de transistors [PER-80].

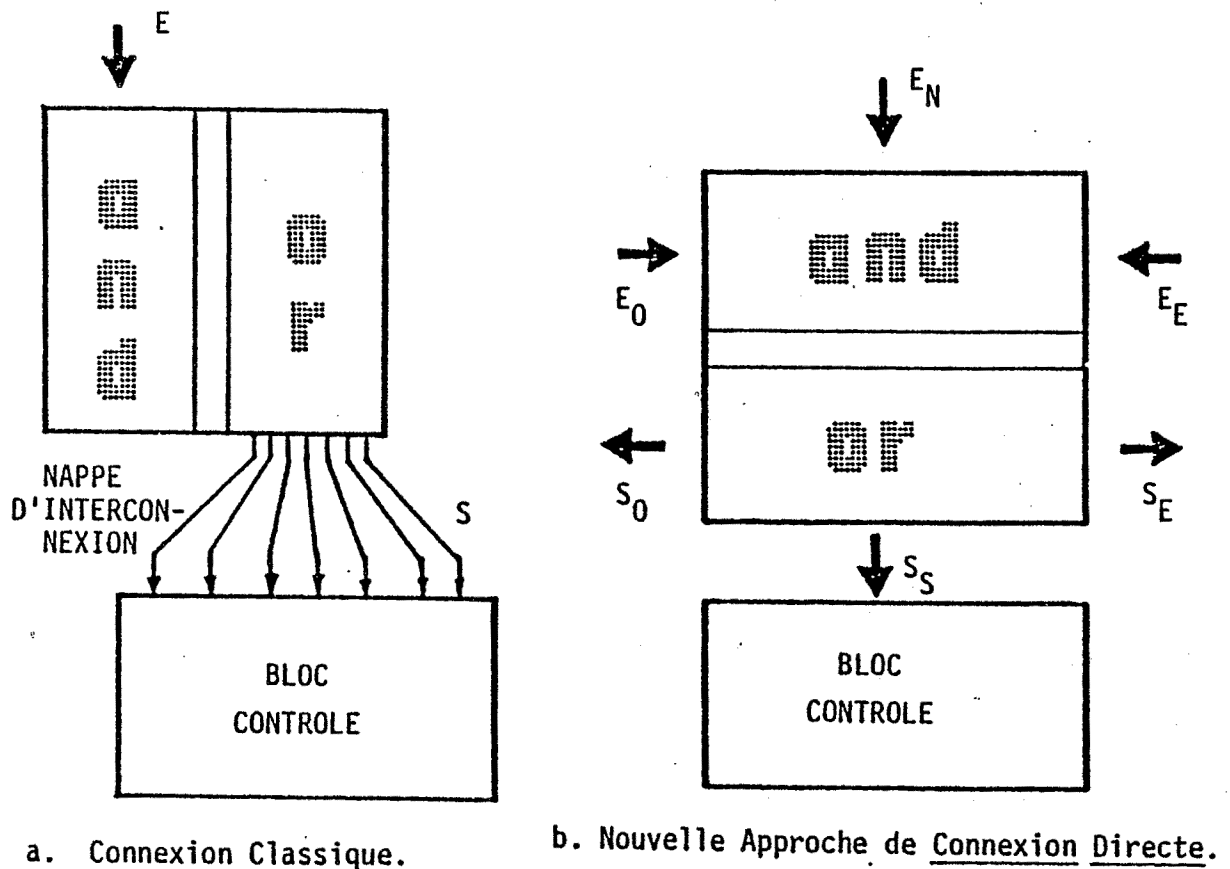


Fig. 1.9. Connectabilité d'un PLA

Une manière de réduire les inconvénients d'un PLA conventionnel qui

## CHAPITRE I : La conception d'un circuit intégré

deviennent critiques lorsque ce PLA a une taille importante, est:

- \* Premièrement de réduire le nombre de termes produit et de transistors par une minimisation logique adéquate traitant les PLA complexes en un temps de calcul raisonable.
- \* Deuxièmement de réduire la surface du PLA par brisure des lignes d'entrée(sortie) en plaçant plusieurs de ces lignes brisées ("segments") dans chaque colonne.
- \* Troisièmement de placer les bornes de connexion des entrées(sorties) sur toute la longueur du PLA (entrées/sorties latérales) au lieu de les placer sur ses extrémités. Dans ce cas, il faut respecter l'ordre et la position des bornes de connexion (ou connecteurs), imposé par les blocs voisins, et pouvoir ainsi réduire la surface d'interconnexion (Fig.1.9b).

Ces deux dernières approches ont été prises d'après l'étude de la structure interne du microprocesseur ZILOG 80. La partie contrôle de ce microprocesseur a été implantée en appliquant la méthode utilisant les générateurs de temps [OBR-82]. Un PLA est utilisé pour décoder les instructions. Ce PLA comporte 22 entrées dont 8 bits du code opération et 4 bits indicateurs, 98 monômes dont certains ont été dupliqués, et 45 sorties. Ce PLA de décodage a sa matrice OU optimisée par brisure des lignes de sortie qui sont placées sur 14 niveaux [ANC-82].

### I.7.5. L'optimisation de la performance des PLA.

Améliorer la performance d'un PLA optimisé en surface implique de faire corréler:

- \* le dimensionnement d'un point de PLA dont sa capacité, résistance et puissance dissipée sont ajustées.
- \* la fixation de la distance entre deux rappels de masse qui garantissent la qualité du niveau logique "zero" d'après la dimension du point de PLA.
- \* le dimensionnement des amplificateurs d'entrée, de sortie et d'interface.

Ceci permet de calculer le temps de réponse du PLA entier, qui est donné

par sa sortie la plus lente (Cf. chapitre V).

Un PLA performant sera donc obtenu en itérant ces actions.

#### I.7.6. Le dessin des PLA optimisés.

Dessiner un PLA conventionnel est une tâche facile, mais dessiner un PLA optimisé ne l'est plus. Il existe deux approches pour dessiner un PLA:

- \* le dessin par un assemblage généralisé de cellules pré-dessinées en tenant compte des diverses configurations possibles de cette cellule vis-à-vis de son environnement.
- \* le dessin par un assemblage de cellules algorithmiques qui sont définies en même temps que l'assemblage en fonction de son environnement (Cf. chapitre III).

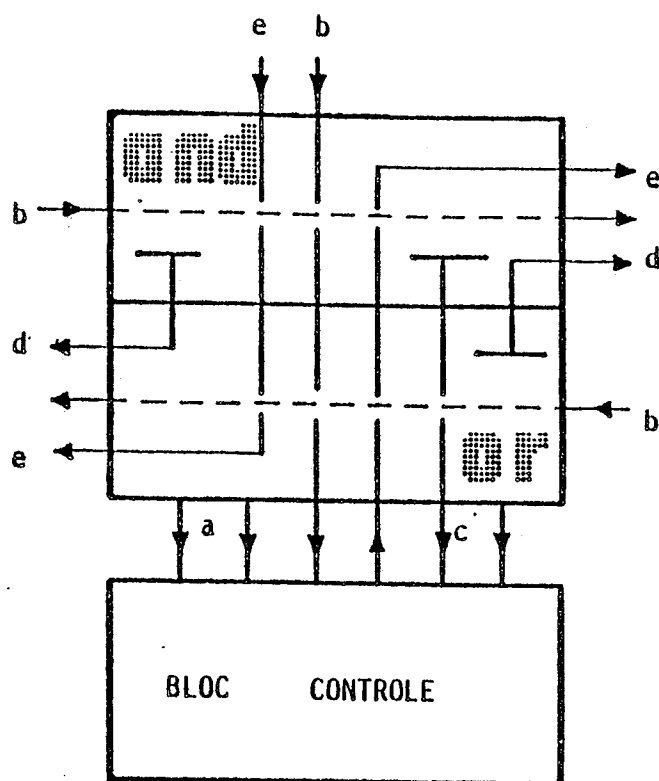
La première approche semble être adéquate pour les PLA conventionnels de taille réduite, tandis que la deuxième l'est pour les PLA optimisés ou non-optimisés de grande taille.

Par ailleurs, le dessin des matrices d'un PLA doit comporter:

- \* des canaux d'écartement accueillant les connexions internes directes ou externes qui traversent le PLA (Fig.1.10).
- \* les connexions internes optimisées en longueur et en nombre de vias (contact entre deux niveaux conducteurs) qui relient les amplificateurs et l'ensemble de cellules contrôlées par ceux-ci (Cf. chapitre IV).
- \* les rappels de masse uniformément distribués à son intérieur (Fig.1.11).

Le dessin des amplificateurs doit être généré dynamiquement d'après les résultats du dessin des matrices, de l'optimisation de sa performance et des contraintes de l'environnement, dans le but de définir les exigences du plan de masse du circuit intégré comportant ce PLA (Cf. chapitre V).

## CHAPITRE I : La conception d'un circuit intégré



Types de connexion:

- a. Interne; b. Externe; c. Monôme direct;
- d. "L" d'un segment interne; e. "L" externe.

Fig. 1.10. Différentes formes de connexion requises à l'intérieur d'un P.L.A. optimisé.

### I.8. CONCLUSION.

La possibilité de concevoir automatiquement des circuits intégrés digitaux complexes (qui peuvent être vus comme des microprocesseurs spécialisés) à partir des spécifications algorithmiques de haut niveau, et avec un taux d'optimisation satisfaisant, ouvre la voie de la conception automatisée des circuits VLSI. La structure interne de ces circuits peut être organisée comme le regroupement de plusieurs microprocesseurs spécialisés, sous la forme d'un système informatique multi-processeur monolithique.

Les PLA deviennent les modules universels de base qui permettent l'implantation de fonctions logiques complexes. En même temps, ils facilitent la résolution de nombreux problèmes concernant la synthèse de systèmes digitaux par leur structure régulière. A cet égard, l'optimisation du dessin des masques d'un PLA devient important, et le développement d'un système pour



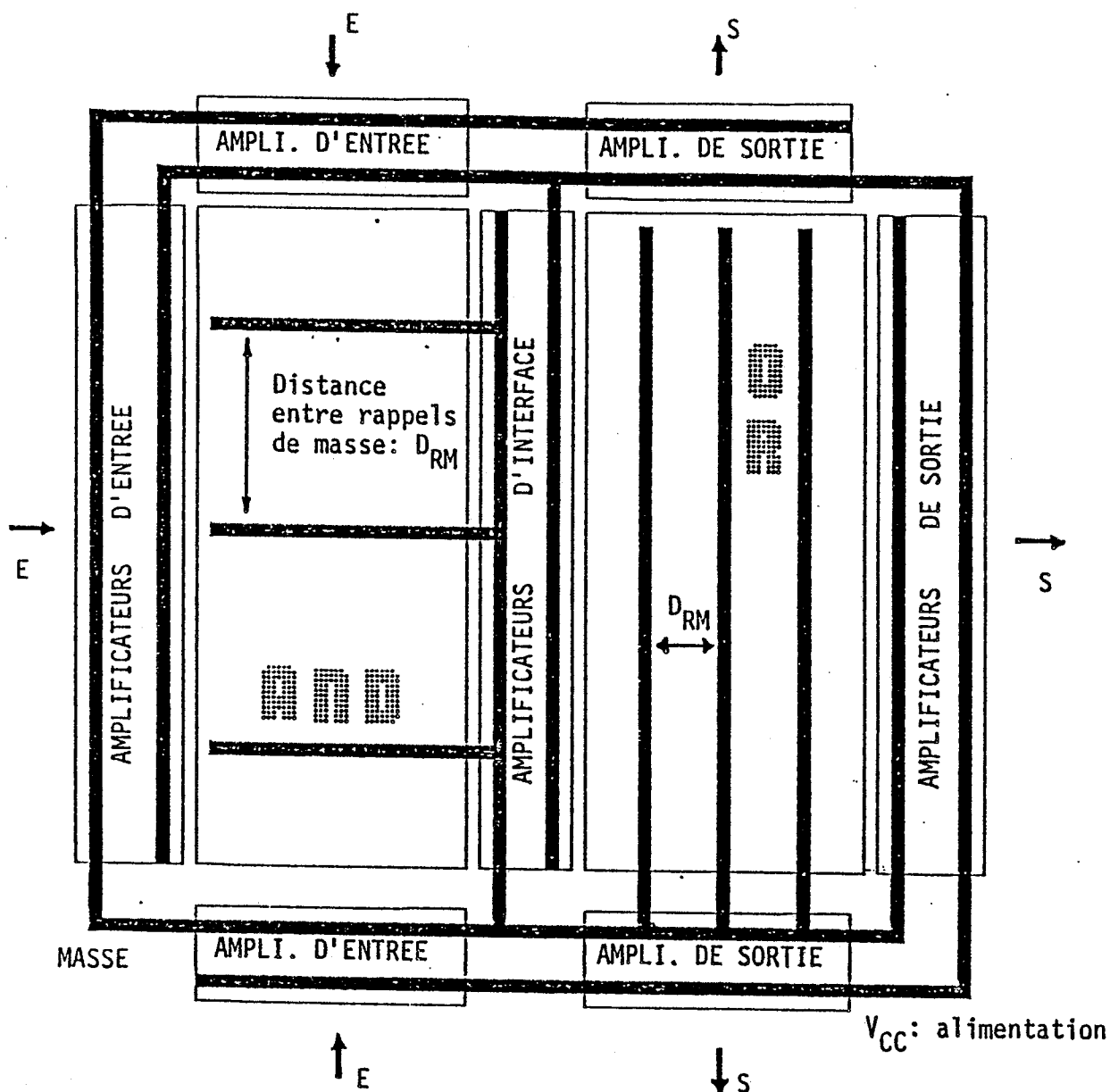


Fig. 1.11. Plan de masse d'un P.L.A. optimisé.

la CAO des PLA devient une nécessité impérieuse.

Les techniques informatiques de compilation semblent devoir constituer l'ossature des nouvelles méthodes pour la CAO, ce qui montre une fois de plus combien l'informatique et la conception de CI peuvent se révéler complémentaires.

## **CHAPITRE II**

# **OPTIMISATION DES P.L.A.**



CHAPITRE      DEUXIEME  
=====

OPTIMISATION      DES      P.L.A.

- II.1. GENERALITES SUR LES P.L.A.
  - II.1.1. Qu'est-ce qu'un PLA?
  - II.1.2. Représentation logique et topologique d'un PLA.
  - II.1.3. Fonctionnement et Programmation d'un PLA.
  - II.1.4. Implantation d'un PLA.
  - II.1.5. La synthèse des PLA.
  - II.1.6. L'optimisation des PLA.
- II.2. LA MINIMISATION LOGIQUE DES P.L.A.
  - II.2.1. La segmentation ou partitionnement des PLA.
  - II.2.2. La minimisation booléenne ou  
réduction du nombre de termes produit.
  - II.2.3. La réduction du nombre d'entrées.
  - II.2.4. La réduction du nombre de sorties.
- II.3. OPTIMISATION TOPOLOGIQUE DES PLA.
  - II.3.1. Optimisation topologique par MONOMES BRISES.
  - II.3.2. Optimisation topologique par ENTREES(SORTIES) BRISEES.
- II.4. LA METHODE DE LIGNES BRISEES DE "PAOLA".
  - II.4.1. Représentation topologique d'un PLA classique.
  - II.4.2. Le réordonnancement de monômes.
  - II.4.3. Le compactage des matrices.
  - II.4.4. La duplication de monômes.
  - II.4.5. Prise en compte des entrées/sorties verticales.
- II.5. CONCLUSION.



## CHAPITRE DEUXIEME

=====

### OPTIMISATION DES P.L.A.

#### II.1. GENERALITES SUR LES P.L.A.

##### II.1.1. Qu'est-ce qu'un PLA?

Un PLA (Programmable Logic Array = Réseau Logique Programmable) est un dispositif combinatoire programmé ou programmable qui permet la réalisation de circuits logiques de type combinatoire ou séquentiel. Plus spécifiquement, un PLA transpose en multi-fonctions soit des équations booléennes, soit des fonctions séquentielles [50U-82].

Les circuits combinatoires sont réalisés à l'aide de fonctions booléennes exprimées en somme de produits des variables d'entrée. Ceci entraîne le découpage du circuit en deux niveaux logiques successifs dont chacun reçoit le nom de matrice (ou plan) ET et OU respectivement. La matrice ET génère les produits et la matrice OU génère la somme de ces produits.

Les circuits séquentiels sont réalisés à l'aide d'éléments de mémorisation connectés comme des entrées additionnelles de la matrice ET et chargées depuis les sorties de la matrice OU (pour les PLA statiques). Cette connexion constitue le bouclage des circuits séquentiels [FLO-64], [GLA-80]. Actuellement, il n'est plus utile d'avoir des éléments de mémorisation, car on peut les faire en rebouclant le PLA directement (en utilisant les PLA dynamiques).

Un PLA peut aussi être vu comme une mémoire associative morte qui reconnaît un profil d'entrée et lui associe un profil de sortie.

II.1.2. Représentation Logique et Topologique d'un PLA.

Le comportement d'un circuit combinatoire réalisant une fonction  $F$ , peut être représenté par une table de vérité qui spécifie les valeurs binaires des variables de sortie pour chaque combinaison des valeurs binaires des variables d'entrée.

Dans le but de définir une table de vérité compacte, nous rappelons [DIE-75]:

Soit,

- \*  $F$  une fonction de " $m$ " entrées (ou arguments) et " $n$ " sorties (ou valeurs).
- \*  $X_F$  l'ensemble des variables d'entrée de la fonction  $F$ ,  
 $X_F = [x_1, x_2, \dots, x_m] = [x_i, i \text{ dans } [1..m]]$ .
- \*  $Y_F$  l'ensemble des variables de sortie de la fonction  $F$ ,  
 $Y_F = [y_1, y_2, \dots, y_n] = [y_j, j \text{ dans } [1..n]]$ .

DEFINITION 2.1.

Un cube singulier " $P_k = (R_k, V_k) = R_k / V_k$ " est une assignation des valeurs " $r_{ki}$ " et " $v_{kj}$ " à chacune des variables " $x_i$ " et " $y_j$ " respectivement, dont:

$$R_k = (r_{k1}, r_{k2}, \dots, r_{km}) \text{ est le cube d'entrée, et}$$

$$V_k = (v_{k1}, v_{k2}, \dots, v_{kn}) \text{ est le cube de sortie.}$$

Plus précisément,

$$x_i := r_{ki}, i \text{ dans } [1..m], r_{ki} \text{ dans } [0, 1, *];$$

$$y_j := v_{kj}, j \text{ dans } [1..n], v_{kj} \text{ dans } [0, 1, -].$$

Le symbole "/" est utilisé comme un simple séparateur entre les variables d'entrée et de sortie. Les symboles "\*" et "-" représentent une valeur indéfinie ("don't care") qui peuvent être considérées comme étant la valeur "0" ou "1".

Un cube singulier définit donc une correspondance entre les valeurs

## CHAPITRE II : Optimisation des PLA

assignées aux variables d'entrée et celles assignées aux variables de sortie. Le terme singulier indique l'existence d'une relation entre un cube d'entrée et un cube de sortie.

### DEFINITION 2.2.

Une fonction  $F$  est correctement définie par un ensemble de cubes singuliers  $P_k$ :

$$F = [ P_k = (R_k, V_k), k \text{ dans } [1..NT] ],$$

dont  $V_k \neq (0,0,\dots,0)$ .

La raison de ne pas inclure les cubes ayant un vecteur de sortie  $V_k$  nul dans  $F$  est que ce  $V_k$  n'est plus nécessaire pour la réalisation de  $F$  du point de vue physique.

### DEFINITION 2.3.

Une table de vérité compacte  $CTT_F$  est une représentation tabulaire des cubes  $P_k$  de la fonction  $F$ .

TERME	CUBES D'ENTREE				/	CUBES DE SORTIE		
	X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>		Y <sub>1</sub>	Y <sub>2</sub>	Y <sub>3</sub>
1	1	1	0	0		1	-	-
2	0	1	0	0		1	-	1
3	0	1	1	0		1	0	0
4	*	1	1	1		1	-	0
5	*	0	*	1		0	0	0
6	1	*	1	0		0	0	0
7	0	0	0	0		-	1	1
8	*	1	0	1		-	1	0
9	0	0	1	0		-	0	0
10	1	0	0	0		-	-	-

Fig. 2.1. Une Table de Vérité Compacte.

La figure 2.1 montre un exemple d'une table de vérité compacte d'une fonction de quatre entrées et trois sorties. Cette table est parfois directement transformée en une structure de PLA sans aucune optimisation (Fig.2.2).



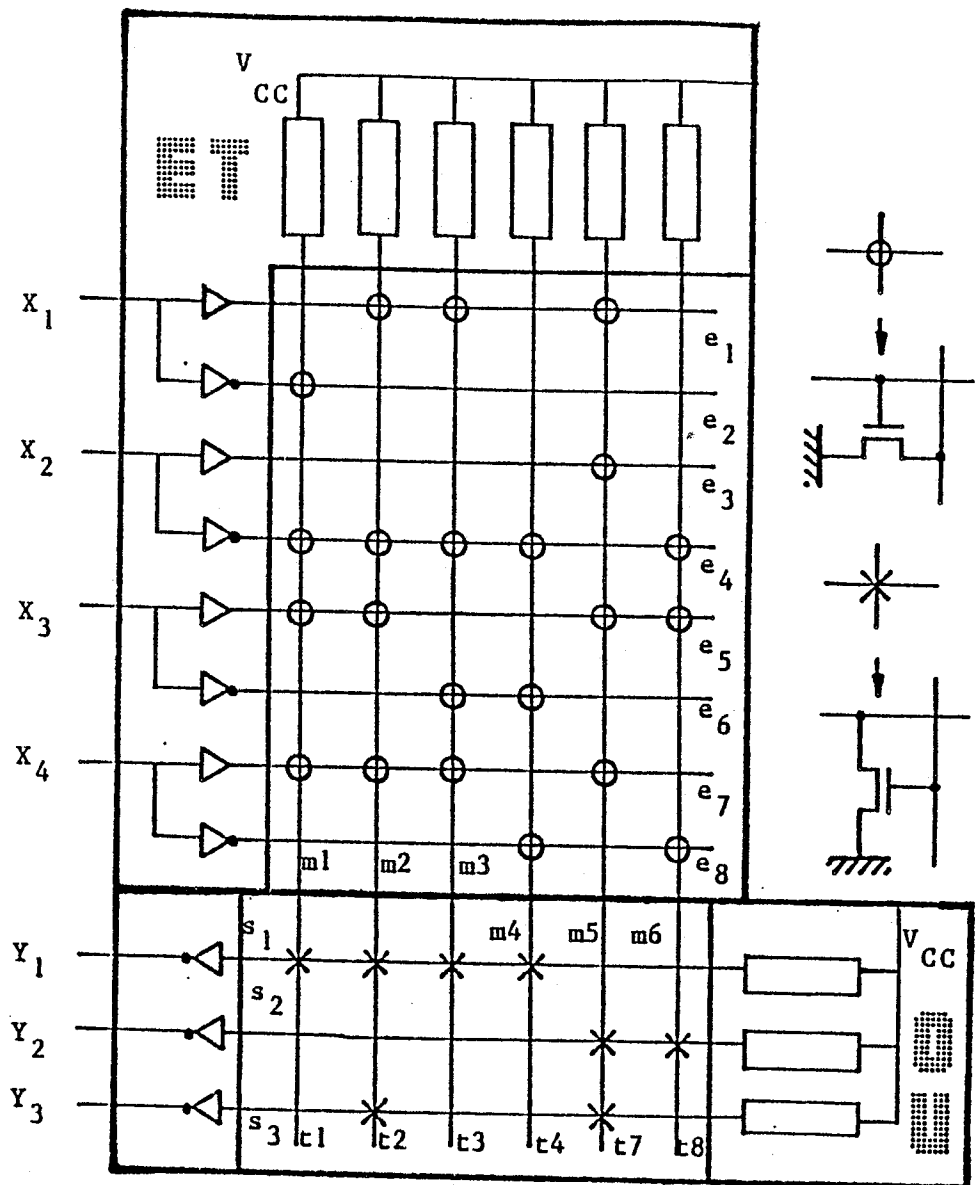


Fig. 2.2. Implantation conventionnelle d'un P.L.A.

En outre, un PLA réalise des fonctions exprimées sous la forme d'une somme de termes produit, dont:

\* Un terme produit " $t_k$ " dans  $PI_F$  est lié au cube d'entrée " $R_k$ " de la façon suivante:

$$t_k := \prod_{i, u_{ki} \text{ dans } [0, 1]} (u_{ki}' + x_i) * (u_{ki} + x_i')$$

par exemple,  $u_5 = (*, 0, *, 1)$  donne  $t_5 = x_2' * x_4$ .

## CHAPITRE II : Optimisation des PLA

\*  $PI_F$  est l'ensemble de termes produit de la fonction  $F$  dont l'élément " $t_k$ " est au moins lié à une variable de sortie  $y_j$  ayant une valeur "1" ( $v_{kj}=1$ ).

\* Une sortie  $y_j$  est donc décrite par:

$$y_j = \sum_{k, t_k \text{ dans } PI_F} v_{kj} * t_k,$$

par exemple (Fig.2.1),  $y_1 = t_1 + t_2 + t_3 + t_4$ , en conséquence,  
 $y_1 = x_1 x_2 x_3' x_4' + x_1' x_2 x_3' x_4' + x_1' x_2 x_3 x_4' + x_2 x_3 x_4$ .

C'est sur cette table de vérité compacte que l'on agit pour lui faire subir l'optimisation logique qui englobe la segmentation ou partitionnement du PLA, la réduction du nombre de termes produit, d'entrées et de sorties.

Le concept de la programmation d'un PLA concerne la fixation des cubes (remplissage de la table de vérité compacte).

La réalisation physique d'un PLA concerne l'implantation de cette forme logique sur silicium. Ce passage fait appel à la notion de porte logique qui est réalisée généralement par un réseau de transistors. Par ailleurs, une porte logique ne distingue pas entre une variable normale " $x$ " et son complément " $x'$ " qui sont nécessaires pour la détermination d'un terme produit " $t_k$ ". Pour cela, nous ferons la différence entre une table de vérité compacte qui reste dans un monde logique, et une table de vérité d'implantation équivalente qui se trouve dans un monde physique.

### DEFINITION 2.4.

Une table de vérité d'implantation  $III_F$  est une ensemble de cubes " $U_k/W_k$ ", appelé dorénavant monôme, dont  $k$  dans  $[1..NM]$ . " $U/W$ " est obtenu par application d'une fonction " $D$ " de pré-traitement sur " $R/V$ " de la fonction  $F$ . Autrement dit,

$$D : (R,V)_F \longrightarrow (U,W)_F.$$

Dans le cas le plus simple, " $D$ " concerne l'utilisation d'un décodeur "1 parmi 2" (qui est implanté à l'aide d'un amplificateur et un inverseur), pour

TERME	X <sub>1</sub> X <sub>2</sub> X <sub>3</sub> X <sub>4</sub>								Y <sub>1</sub> Y <sub>2</sub> Y <sub>3</sub>			
	e <sub>1</sub>	e <sub>2</sub>	e <sub>3</sub>	e <sub>4</sub>	e <sub>5</sub>	e <sub>6</sub>	e <sub>7</sub>	e <sub>8</sub>	/	s <sub>1</sub>	s <sub>2</sub>	s <sub>3</sub>
1	0	1	0	1	1	0	1	0		1	0	0
2	1	0	0	1	1	0	1	0		1	0	1
3	1	0	0	1	0	1	1	0		1	0	0
4	0	0	0	1	0	1	0	1		1	0	0
7	1	0	1	0	1	0	1	0		0	1	1
8	0	0	0	1	1	0	0	1		0	1	0

Fig. 2.3. Table de Vérité d'Implantation.

chaque entrée  $x_i$  (Fig.2.3). Par exemple, pour  $R_1=(1,1,0,0)$  et  $V_1=(1,-,-)$ , nous trouvons  $U_1=(0,1,0,1,1,0,1,0)$  et  $W_1=(1,0,0)$ . Pour des cas complexes, la fonction "D" peut modifier complètement la table de vérité et être implantée par un réseau de décodage (Cf. II.2.3).

Par ailleurs, le lien entre "Y" et "V" est réalisé par une fonction "C" de post-traitement appliquée sur "U/W". Dans l'exemple, l'implantation de "C" est effectuée par un inverseur associé à chaque sortie.

En outre, les fonctions "D" et "C" dépendent du processus de synthèse logique des PLA.

Pour le système PAOLA, en ce qui concerne l'optimisation topologique, nous nous restreignons à utiliser la table de vérité d'implantation III dont l'ensemble de cubes d'entrée "U" (liés aux entrées " $e_i$ ") constitue la matrice ou plan "ET", tandis que l'ensemble de cubes de sortie "W" (liés aux sorties " $s_j$ ") constitue la matrice ou plan "OU" (Fig.2.2).

### II.1.3. Fonctionnement et Programmation d'un PLA

Le fonctionnement d'un PLA est précisé par le comportement des matrices ET-OU lors de l'activation de leurs entrées.

La matrice ET fournit un ensemble de monômes (ou termes produit) qui sont activés en fonction de la programmation de chaque entrée par rapport à chaque monôme.

Chaque entrée " $e_i$ " reçoit une valeur logique "0" ou "1". Celle-ci contrôle un certain nombre de monômes dépendant de leur programmation.

## CHAPITRE II : Optimisation des PLA

En outre, une variable logique "x" est généralement implantée comme étant deux entrées "e<sub>p</sub>" et "e<sub>q</sub>" qui gardent la relation: "e<sub>p</sub>=(e<sub>q</sub>)'" dont "e<sub>p</sub>:=x" et "e<sub>q</sub>:=(x)'" . Cette propriété entraîne l'utilisation d'un décodeur "1 parmi 2<sup>n</sup>" dont "n" étant le nombre de variables logiques à décoder.

Un monôme "m<sub>j</sub>" est défini comme le produit de certaines entrées "e<sub>i</sub>".

$$m_j := \prod_i (f_{ij} + e_i).$$

Ici, la variable " f<sub>ij</sub>" programme l'incidence de "e<sub>i</sub>" dans "m<sub>j</sub>", dont:

$$f_{ij} := \begin{cases} 0, & \text{si "e}_i\text{" intervient dans "m}_j\text{",} \\ 1, & \text{si "e}_i\text{" n'intervient pas dans "m}_j\text{".} \end{cases}$$

La matrice OU fournit un ensemble de sorties qui sont activées en fonction de la programmation de chaque monôme par rapport à chaque sortie.

Une sortie "s<sub>k</sub>" est définie comme la somme logique de certains monômes "m<sub>j</sub>".

$$s_k := \sum_j \sigma_{kj} * m_j.$$

Ici, la variable " σ<sub>kj</sub>" programme l'incidence de "m<sub>j</sub>" dans "s<sub>k</sub>" , dont

$$\sigma_{kj} := \begin{cases} 1, & \text{si "m}_j\text{" intervient dans "s}_k\text{",} \\ 0, & \text{si "m}_j\text{" n'intervient pas dans "s}_k\text{".} \end{cases}$$

Donc, la programmation s'effectue en manipulant les variables, dites d'implantation, f<sub>ij</sub> et σ<sub>kj</sub> (Fig.2.4).

En outre, les sorties "s<sub>k</sub>" peuvent être les entrées d'un encodeur dans le but de réduire leur nombre (exemple: le cas de l'utilisation des portes OU-EXCLUSIVE à la sortie d'un PLA travaillant comme une UAL).

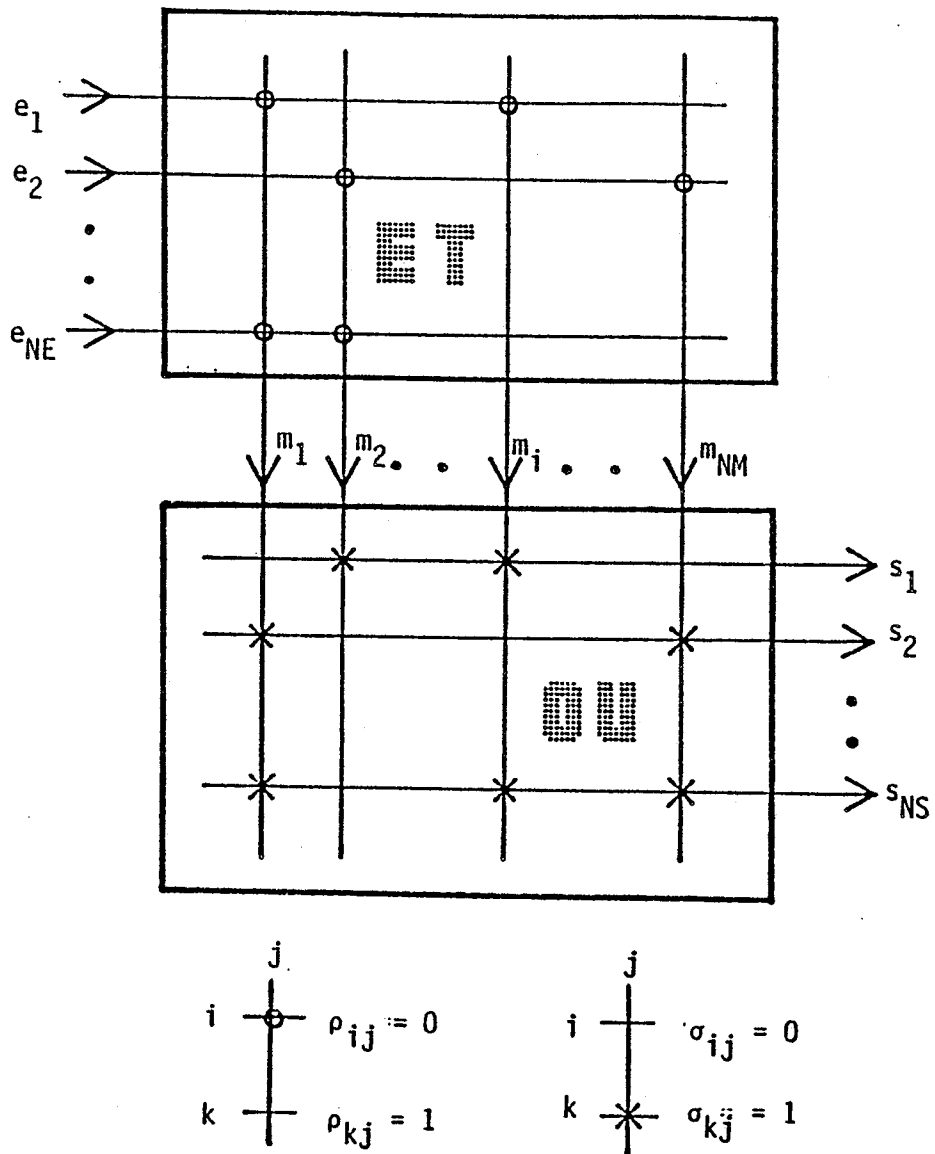


Fig. 2.4 Notation des Variables d'Implantation d'un PLA

#### II.1.4. Implantation d'un PLA

L'implantation d'un PLA tient compte des variables d'implantation  $\rho$  et  $\sigma$ . Il existe trois types d'implantation connus:

- \* Implantation masquée, dans laquelle la fixation des variables  $\rho$  et  $\sigma$  est effectuée avant sa fabrication. Les PLA ainsi obtenus sont appelés MPLA (mask programmed logic array).
- \* Implantation programmable, dans laquelle la fixation des variables  $\rho$  et  $\sigma$  sera réalisée après sa fabrication (par exemple, par claquage de fusibles). Les PLA ainsi obtenus sont appelés FPLA (field programmable

logic array) ou PAL (programmable array logic).

- \* Implantation reprogrammable, dans laquelle les valeurs des variables  $f$  et  $\sigma$  sont stockées dans des éléments de mémorisation (par exemple, une bascule). Donc, la fixation de ces variables se fait dynamiquement et de manière synchrone. Les PLA ainsi obtenus sont appelés RPLA (re-programmable logic array). Actuellement, ils sont aussi connus comme les SLA (storage logic array) dû aux éléments de mémorisation [GOA-81].

Aujourd'hui, l'implantation des variables  $f$  et  $\sigma$  varie suivant les technologies utilisées. Les technologies prédominantes du marché sont sans aucun doute les MOS et les bipolaires, sans oublier la montée de l'AsGa.

Les portes logiques facilement réalisables dans ces technologies sont l'inverseur, les NON-OU (NOR) et les NON-ET (NAND). Ceci nous amène à considérer la synthèse logique des PLA.

### II.1.5 La synthèse des PLA.

Un PLA est décrit par:

$$a_k := \sum_j \sigma_{kj} * \pi_i (f_{ji} + e_i).$$

Après une synthèse en portes NAND [LIN-81], ce PLA sera décrit par:

$$a_k := \pi_j ( \overline{\sigma_{kj}} + \overline{\pi_i (f_{ji} + e_i)} ).$$

Tandis qu'après une synthèse en portes NOR, ce PLA sera décrit par:

$$\overline{a_k} := \sum_j \sigma_{kj} * ( \sum_i \overline{f_{ji}} * \overline{e_i} ).$$

Ces deux types de synthèse amènent des avantages et des désavantages par rapport au temps de transit dans le PLA, et à sa surface occupée [IBA-71].

Les PLA réalisés avec des portes NAND utilisent un motif de base très compact (c.-à-d. un croisement d'une ligne en polysilicium sur une ligne en

diffusion). Ces PLA occupent peu de place, mais présentent des temps de propagation longs à cause de la structure série des motifs (Fig.2.5a).

Par ailleurs, les PLA réalisés avec des portes NOR utilisent un motif de base ayant besoin d'une ligne de masse en diffusion dans sa structure. Ces PLA permettent des temps de propagation plus courts, mais nécessitent plus de place pour leur implantation à cause de la structure parallèle des motifs (Fig.2.5b).

#### II.1.6. L'optimisation des PLA.

Optimiser un PLA veut dire réduire sa surface tout en augmentant sa performance. Cette surface est exprimée par:

$$S_{PLA} := C*((a*NE + NS)*NM + b*NE + c*NM + d*NS + h).$$

dont  $NE := |X_F| = m$ ,  $NS := |Y_F| = n$ ,  $NM := |PT_F| = NT$ ,  
 $a$  dans  $[1..2]$ ;  $b$ ,  $c$ , et  $d$  sont des coefficients;  
 $C$  et  $h$  sont des constantes.

La constante "C" dépend fortement du type d'implantation dans la technologie utilisée. Par contre, elle n'est pas influencée par les techniques de minimisation. Dans la plupart des cas, le coefficient "a" vaut "2" puisqu'une entrée logique est dédoublée en elle même et son complément. Les coefficients "b", "c" et "d" sont associés directement à la topologie des amplificateurs-décodeurs d'entrée, des amplificateurs d'interface et des amplificateurs-encodeurs de sortie respectivement

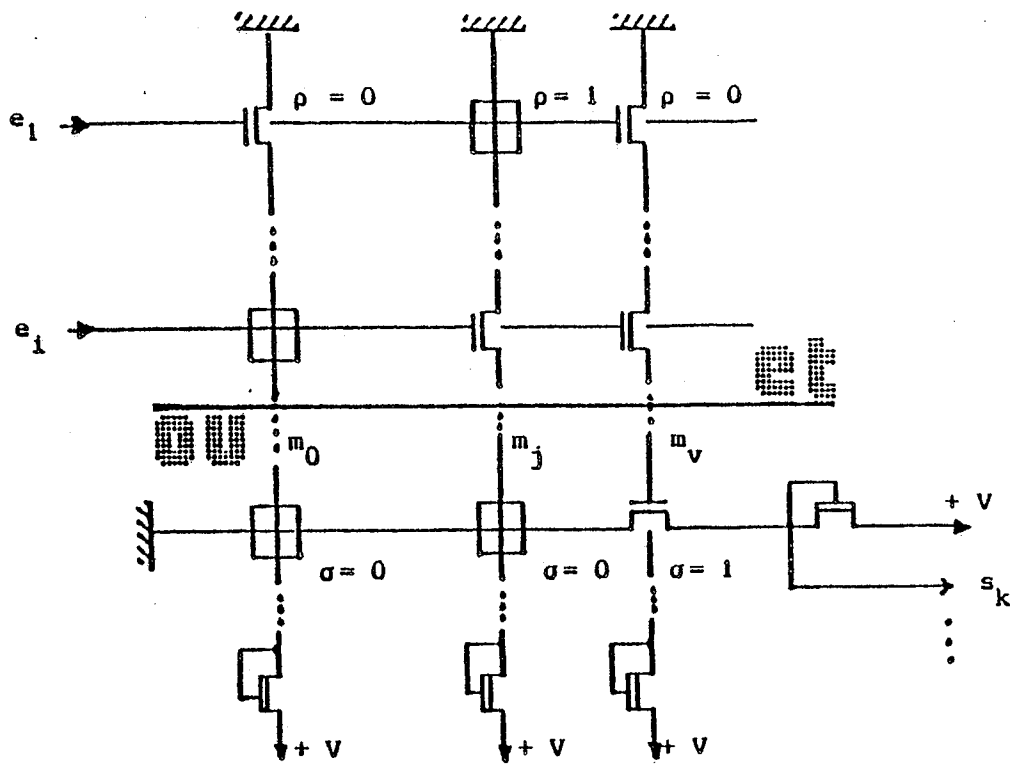
Les sensibilités de la surface  $S_{PLA}$  par rapport à  $NE$ ,  $NS$  et  $NM$  sont:

$$\frac{\partial S_{PLA}}{\partial NE} := C*(a*NM + b).$$

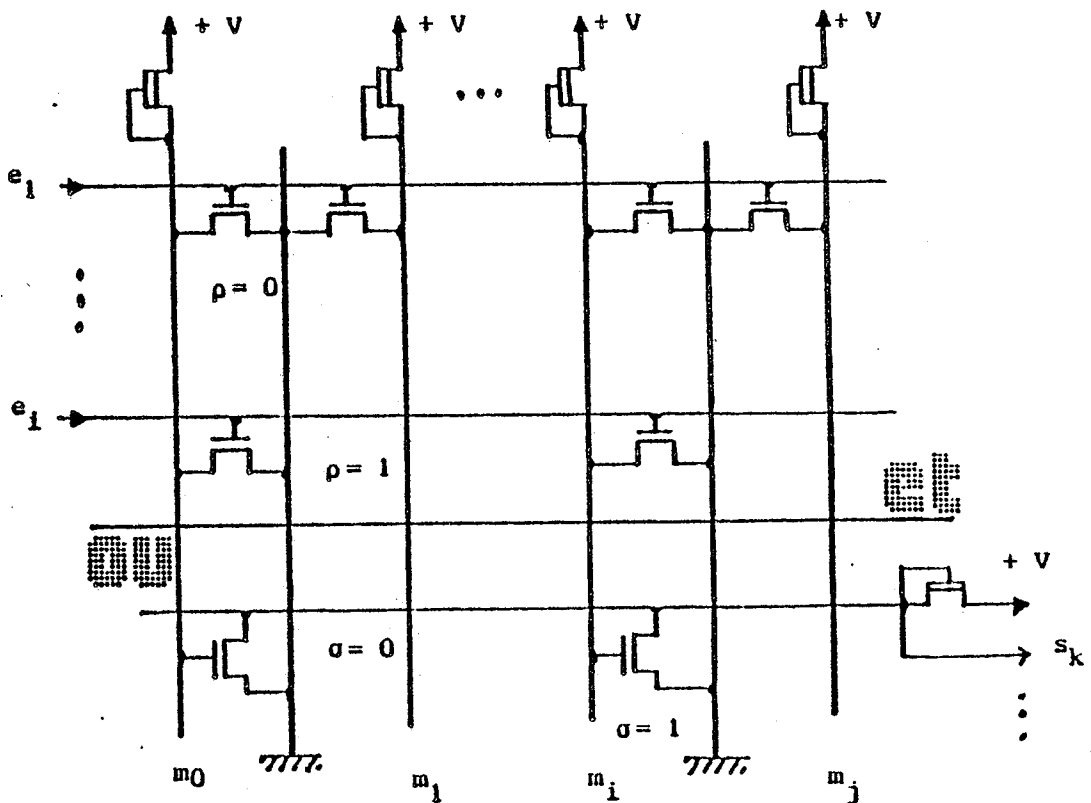
$$\frac{\partial S_{PLA}}{\partial NS} := C*(NM + d).$$

$$\frac{\partial S_{PLA}}{\partial NM} := C*(a*NE + NS + c).$$

Ceux-ci veulent dire que pour un grand nombre de monômes la surface du PLA est sensible au nombre d'entrées et de sorties. Cependant, il est important



a. PLA avec de portes NAND.



b. PLA avec de portes NOR.

Fig. 2.5. Implantation des PLA en Technologie MOS.



## CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

de réduire le nombre de monômes des PLA ayant un grand nombre d'entrées/sorties.

Les PLA classiques peuvent être optimisés en surface par des méthodes logiques et topologiques. L'optimisation en surface des PLA entraîne un gain en surface considérable lorsque le remplissage de ses matrices est faible.

L'optimisation logique agit surtout sur la segmentation ou le partitionnement du PLA, la minimisation du nombre de monômes, d'entrées et de sorties [DIE-69], [AUG-76], [KAN-81].

L'optimisation topologique ré-organise la structure interne des matrices de manière à trouver un compactage convenable. Cette ré-organisation doit permettre de placer plusieurs entrées ou sorties dans une même colonne et plusieurs monômes dans une même rangée, dans le but de diminuer, au maximum, le nombre de colonnes et de rangées respectivement. Les méthodes de compactage sont heuristiques ou énumératives [SUW-81]. Quelle que soit la méthode d'optimisation topologique utilisée, un PLA optimisé présentera toutefois ses colonnes partagées par plusieurs entrées ou sorties, et ses rangées par plusieurs monômes dans les cas complexes.

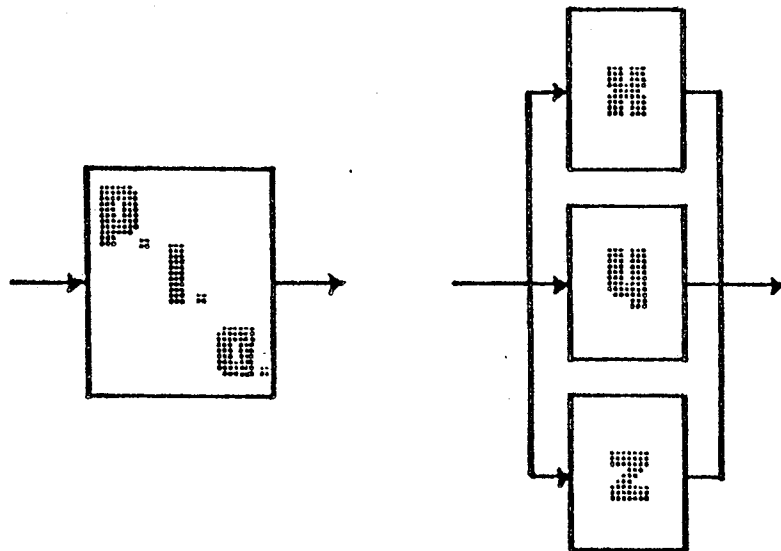
Un compromis entre l'optimisation logique et topologique doit être établi en fonction de leur efficacités respectives. La minimisation logique doit donc viser, en effet, l'amélioration de l'optimisation topologique [KAM-79], [TEE-82].

Les PLA classiques présentent néanmoins un avantage non négligeable concernant la facilité de programmation de leur points [McC-79]. Cette dernière consiste surtout à modifier le contenu des matrices (c.-à-d., le profil des bits du PLA), sans déformer la topologie globale vis-à-vis des blocs voisins. Ce type de PLA est très adapté aux circuits pré-diffusés.

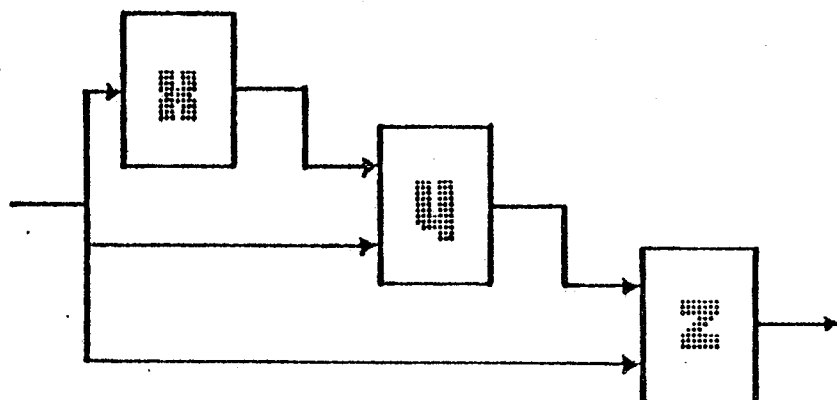
II.2. LA MINIMISATION LOGIQUE DES P.L.A..

II.2.1. Partitionnement ou Segmentation des PLA.

Le partitionnement d'un PLA est une technique qui consiste à morceler un PLA original en plusieurs petits PLA en vue de réduire sa surface et son temps de reponse.



A. Partitionnement parallèle.



B. Partitionnement multi-niveaux.

Fig. 2.6. Segmentation d'un P.L.A.

Cette segmentation peut être effectuée de deux manières:

- \* partitionnement parallèle pour lequel les petits PLA sont placés dans un seul niveau logique (Fig.2.6a).

\* partitionnement multi-niveaux dont les petits PLA sont cascades l'un après l'autre (Fig.2.6b).

Grass [GRA-83] et Kang [KAN-81] présentent clairement des algorithmes trouvant un partitionnement optimal (c.-à-d. une réduction du nombre de points de PLA).

Le principe pour partitionner un PLA consiste à trouver des entrées et/ou des sorties indépendantes ou disjointes (c.-à-d. qui n'ont aucun monôme ou terme produit en commun).

Les figures 2.7a, 2.7b, 2.7c et 2.7d montrent respectivement la démarche de la segmentation pour les cas des entrées découplées, faiblement couplées sur l'horizontale, faiblement couplées sur la verticale et fortement couplées. Les figures 2.8a, 2.8b, 2.8c et 2.8d les font respectivement pour les sorties.

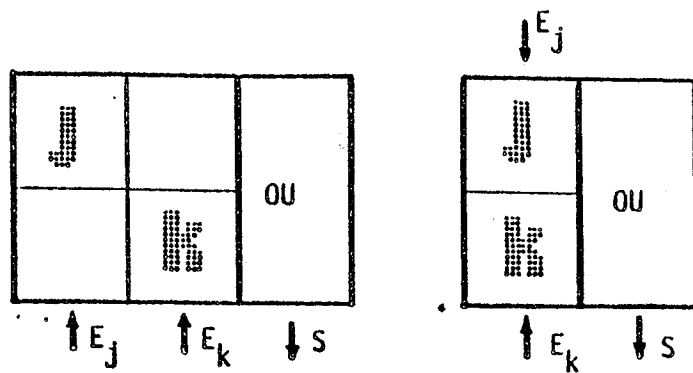
#### II.2.2. La minimisation booléenne ou réduction de termes produit.

Cette minimisation est connue comme celle des fonctions booléennes exprimées en somme de termes produit et elle est donc orientée vers la réduction du nombre de ces termes produit dans le PLA. Son but est donc la diminution du nombre de transistors dans chaque matrice du PLA, en respectant la couverture logique minimale.

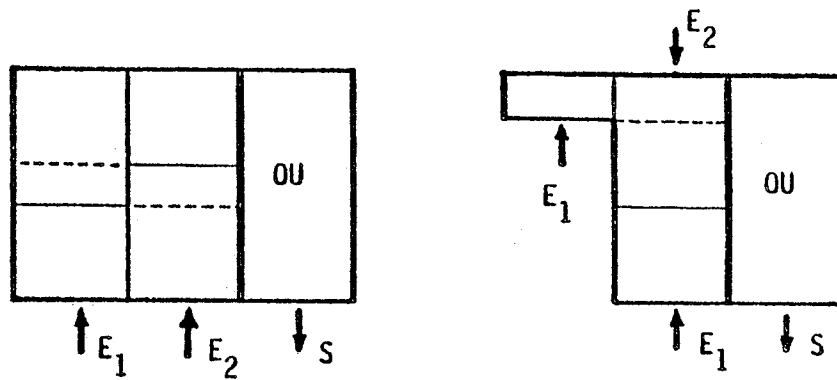
Un nombre assez important de contributions de recherche sur la minimisation booléenne ont été faites ces trois dernières décennies.

Actuellement, il existe plusieurs méthodes de minimisation qui peuvent être regroupées en deux: celles donnant un résultat optimal (c.-à-d. les méthodes classiques [QUI-52], [QUI-55], [HU-83]) et les autres fournissant un résultat pseudo-optimal (c.-à-d. les méthodes heuristiques [ARE-78], [KAN-81]). Cette classification répond exclusivement au temps de calcul qu'elles utilisent pour aboutir à un tel résultat.

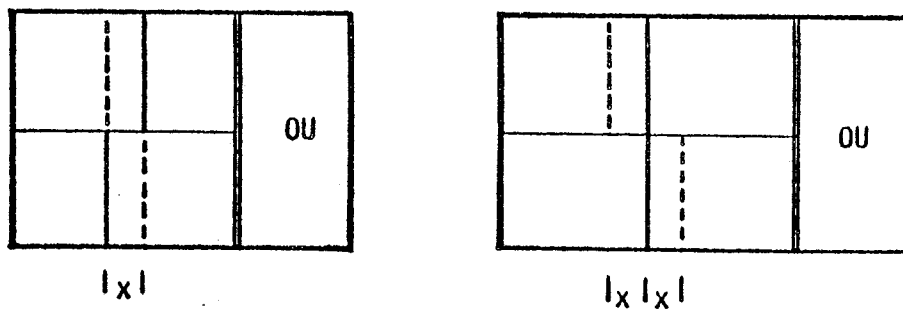
La méthode classique de minimisation logique d'un PLA consiste à minimiser une fonction logique généralisée à deux niveaux, et elle a été introduite par QUINE [QUI-52] et McCLUSKEY [McC-56]. Elle consiste à générer initialement tous les impliquants premiers (I-P) et ensuite à chercher la couverture minimale parmi ces impliquants.



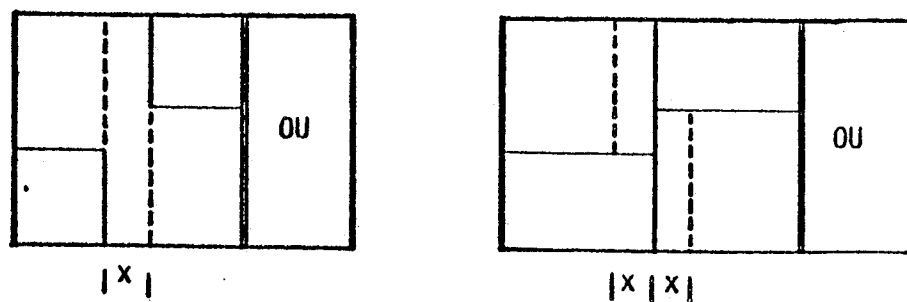
A. Entrées non couplées.



B. Entrées faiblement couplées sur l'horizontale.



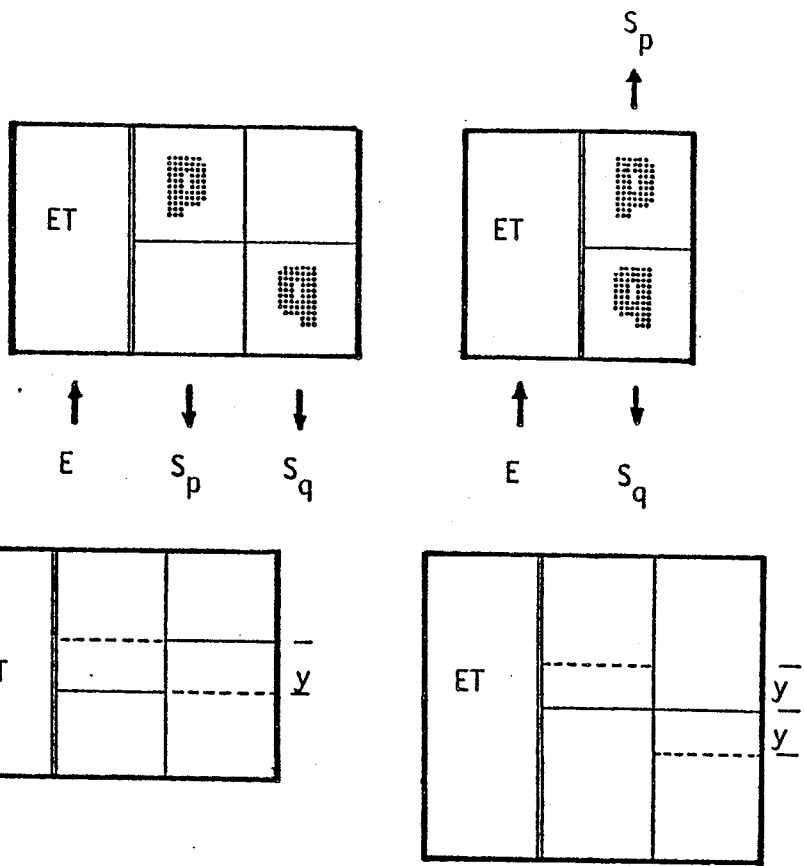
C. Entrées faiblement couplées sur la verticale.



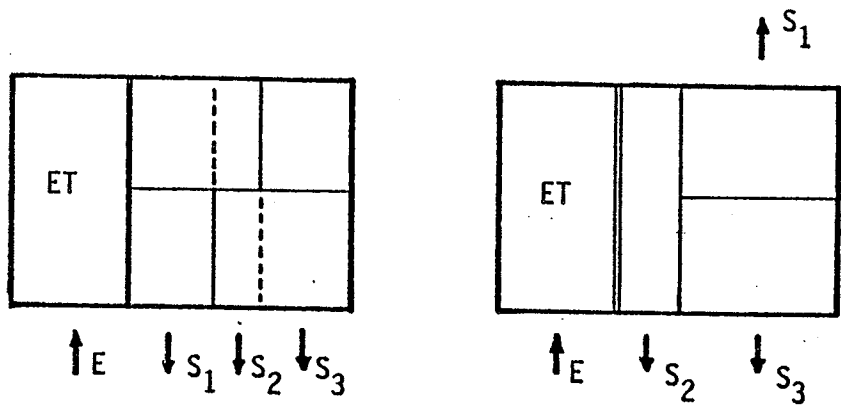
D. Entrées fortement couplées.

Fig. 2.7. Segmentation d'entrées.

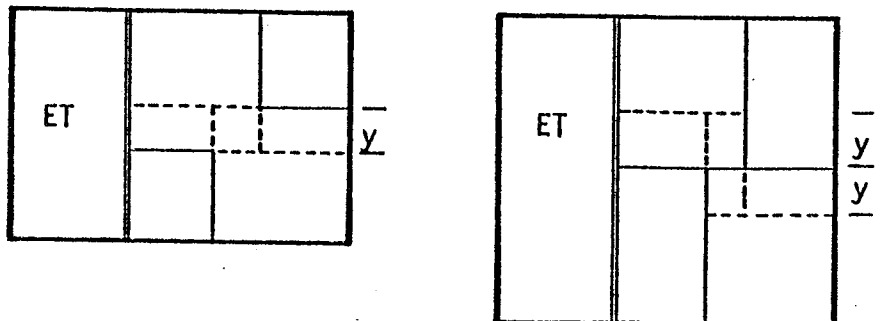
A. Sorties non couplées.



B. Sorties faiblement couplées sur l'horizontale.



C. Sorties faiblement couplées sur la verticale.



D. Sorties fortement couplées.

Fig. 2.8. Segmentation de sorties.

## CHAPITRE II : Optimisation des PLA

Quine et McCluskey proposèrent de générer les I-P par un processus itératif de consensus en utilisant une forme tabulaire qui nécessite un arrangement convenable des termes produit. Ce processus itératif consiste à générer les I-P par comparaison successive des impliquants. Elle fut développée par Quine [QUI-55] et généralisée par Tison [TIS-62] (dans le cas où plusieurs impliquants participent simultanément dans la génération d'un I-P).

Il existe une autre approche, dite algébrique et introduite par Nelson [NEL-55], pour engendrer les I-P qui consiste à manipuler directement les équations booléennes en tenant compte des règles de DE MORGAN et de la multiplication. Cette méthode fut améliorée par Slagle et al. [SLA-70], Bredeson et Hulena [BRE-71], Hulme et Worrel [HUL-75] et dernièrement Monbaron [MON-80].

Par ailleurs, il existe une autre méthode, dite topologique et introduite par Roth, qui consiste à utiliser la notion de cube (Cf. définition 2.1) et à générer les I-P par un opérateur "SHARP" [ROT-78].

La génération d'impliquants premiers est donc devenue un processus simplifié grâce aux apports de Roth [ROT-80] et Morreale [MOR-70].

L'obtention de la couverture minimale est influencée par les résultats de la génération des I-P. Biswas [BIS-71] utilisa la méthode tabulaire pour générer les I-P essentiels pendant le processus de formation des différents tableaux de combinaison. Sureshchander [SUR-74], Rhyne et al. [RHY-77] ont essayé d'améliorer cet algorithme mais les résultats sont insignifiants pour le cas des PLA complexes.

Le nombre possible d'impliquants d'une fonction à  $n$  variables est borné par  $3^n$  qui devient énorme pour les PLA complexes. Par exemple, dans un tableau d'I-P, chaque I-P devient une rangée, un terme produit élémentaire pour chaque sortie devient une colonne. Donc, la taille maximale de ce tableau pour une fonction de  $n$  entrées et de  $m$  sorties est bornée par  $3^n * m * 2^n$  (par ex..  $n=10$  et  $m=16$  donnent  $9,68 * 10^8$ ).

Par ailleurs, trouver la couverture minimale parmi ces impliquants devient un problème combinatoire très complexe qui dépasse, pour les grands PLA, les possibilités de calcul des plus gros ordinateurs [PYN-62]. Krasicki [KRA-83] présente un résumé des principales méthodes de minimisation logique.

Les méthodes heuristiques tendent à ne pas chercher la solution optimale, sinon celle qui repose sur la recherche itérative améliorant une solution initiale [BOW-70], [BRE-72], [MUR-76]. Le but est de traiter les PLA ayant un

grand nombre d'entrées, de termes produit [HON-74] et de sorties.

Ces méthodes prétendent utiliser un espace mémoire et un temps de calcul raisonnables. Elles peuvent être divisées en trois groupes, à savoir:

- \* Les méthodes qui utilisent une représentation intermédiaire des miniterms. Celles-ci sont limitées au traitement de petits problèmes due à la dépendance d'évolution exponentielle avec la complexité du PLA. Bowman et McVey [BOW-70] proposèrent une méthode basée sur les probabilités pour déterminer les couvertures complètes des cartes des I-P. Bricaud et Campbell [BRI-78] rapportèrent la mise en oeuvre de l'optimiseur EMIN basé sur un algorithme de McCluskey. Arevalo et Bredeson [ARE-78] proposèrent à leur tour un autre algorithme heuristique performant dédié aux fonctions booléennes à une sortie.
- \* Les méthodes qui utilisent une représentation compacte dont la solution finale est atteinte par une série d'itérations successives améliorant la méthode classique. Hong et al. [HON-74] introduisirent cette méthode dans l'optimiseur MINI qui du point de vue performance était mieux adapté que PRESTO (développé par A. Svoboda [SVO-75]). Brown modifia PRESTO et obtenait ainsi de bons résultats (moins de mémoire et de temps que MINI).
- \* Les méthodes qui utilisent une représentation compacte dont la solution finale est obtenue par une approche de recherche soit directe, soit indirecte. Ces méthodes constituent une amélioration des méthodes d'itérations successives. Brayton et al. [BRA-82] introduisirent cette méthode dans l'optimiseur ESSPRESSO (dont sa procédure MINIMAL implante une recherche directe en un pas). Kang [KAN-81] utilisa une recherche indirecte dans l'optimiseur SPAM. Martinez-Carballido [MAR-83] proposa une recherche directe en un pas, mais améliorée, qui a été utilisée dans l'optimiseur PRONTO.

PAOLA comporte une série d'algorithmes heuristiques de minimisation [KRA-83], qui ont été introduits en vue d'améliorer l'optimisation topologique des PLA complexes.

En outre, PAOLA comporte une phase de minimisation logique visant la réduction du nombre de transistors dans la matrice OU d'un PLA complexe. Le nombre de termes produit donne l'ordre du temps de calcul. Le principe

suisant est utilisé:

Soient A et B deux cubes disjoints.

SI  $A_{ET}$  est incluse dans  $B_{ET}$

ALORS  $A_{OU}^* := A_{OU} - B_{OU}$ .

Exemple: Soient A = 110101/10101 et B = 110X01/00110 disjoints.

Ici,  $A_{ET} \leq B_{ET}$  (c.-à-d. 110101  $\leq$  110X01)

Alors,  $A_{OU}^* := A_{OU} - B_{OU} := 10101 - 00110 := 10001$ .

Nous vérifions que  $A^* = 110101/10001 \leq A = 110101/10101$ .

Cette approche est pratique, car aucune opération booléenne des entrées n'intervient, sauf le test d'inclusion.

### II.2.3. Autres techniques de réduction du nombre de termes produit.

Ces techniques agissent sur le changement de la structure topologique des PLA:

#### \* Décodage des entrées.

Il consiste à générer un ensemble de nouvelles variables " $e_j$ " en fonction des anciennes entrées "X" en passant à travers un décodeur. Ce dispositif fournit  $2^n$  variables à partir de n entrées. Lorsque  $n=1$ , nous nous trouvons dans le cas simple dans lequel une entrée est doublée en elle même et en son complément. Cette opération permet la réduction indirecte du nombre de termes produit [SAS-81], [KWA-77]. On peut démontrer que la surface d'un PLA utilisant des décodeurs est inférieure ou égale à celle du PLA utilisant des inverseurs.

Maintenant, le problème se pose sur le choix d'un nombre minimal de décodeurs qui minimise la surface de la matrice ET. La figure 2.10 montre la réalisation d'un PLA à 4 entrées (Fig.2.9) de 3 manières différentes en utilisant 2 décodeurs. Par ailleurs, la surface demandée par les décodeurs est supérieure à celle des inverseurs, ce qui oblige à établir un compromis entre ces deux possibilités d'implantation.



$e_1$	$e_2$	$e_3$	$e_4$	$f$
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

Fig. 2.9 PLA à sortie unique.

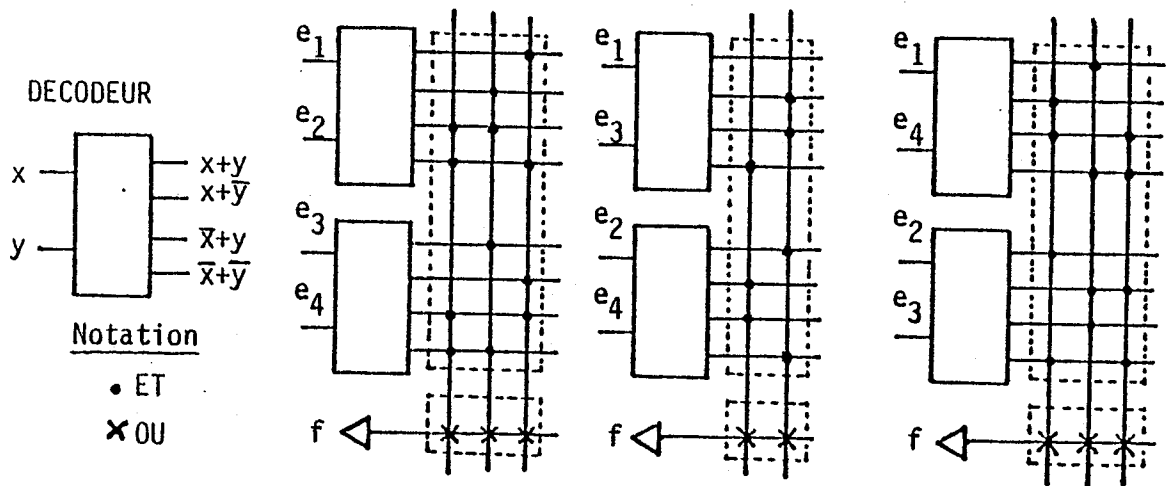


Fig. 2.10. Réalisations Possibles d'un PLA en utilisant un Décodeur à deux entrées.

Le choix des variables d'entrée des décodeurs concerne le partitionnement des entrées. Une généralisation de cette approche consiste à considérer un PLA à trois niveaux logiques (ET-ET-OU) dont le premier sert à engendrer les expressions et en conséquence remplace les décodeurs. Puisqu'une entrée participe parfois sur plusieurs décodeurs, ce premier niveau ET réduit considérablement la surface d'interconnexion.

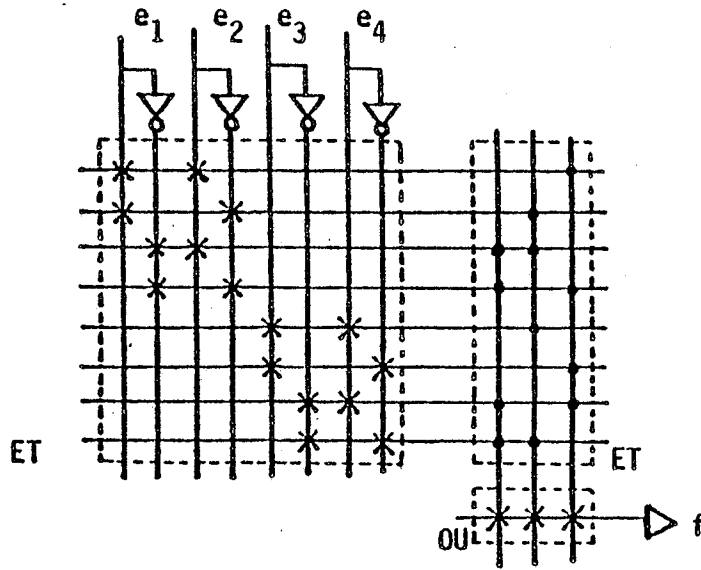


Fig.2.11. PLA à trois niveaux logiques ET -ET-OU.

La figure 2.11 montre la réalisation du PLA à décodeurs (Fig.2.9) en utilisant ces trois niveaux logiques. Le contenu du premier résulte d'un processus de pré-traitement des termes produit.

Cette technique a été utilisée par Weinberger [WEI-79], Wood [WOO-79] et Jones [JON-75] pour implanter une unité arithmétique et logique.

\* Négation des sorties.

Cette approche consiste à générer le complément des sorties dans le but de réduire le nombre de transistors de la matrice OU. Ceci entraîne le choix des sorties qui induisent un nombre minimum de transistors (Fig.2.12).

$X_1$	$X_2$	$X_3$	$X_4$	/	$Y_1$	$Y_2$	$Y_3$		$X_1$	$X_2$	$X_3$	$X_4$	/	$Y_1$	$\bar{Y}_2$	$Y_3$
0	x	0	x		1	0	0		0	x	0	x		1	1	0
x	1	0	x		1	0	0	→	x	1	0	x		1	0	0
1	x	x	x		0	1	0		0	x	1	x		0	1	1
0	x	1	x		0	0	1		x	1	x	1		0	0	1
x	1	x	1		0	0	1									

Fig. 2.12. Réduction du nombre de termes produit par NEGATION des SORTIES.

\* Décodage des sorties.

Il consiste à remplacer les inverseurs ou un groupe d'inverseurs

par un décodeur (processus de post-traitement), qui permet de déplacer une partie de la complexité du PLA sur la périphérie (Fig.2.13). Tel est le cas de l'utilisation de portes OU-EXCLUSIVES à la sortie de la matrice OU, d'un PLA réalisant un additionneur au lieu de les réaliser à l'intérieur des matrices, ce qui engendrerait une perte considérable de surface [SCH-80], [WEI-79].

$X_1$	$X_2$	$X_3$	$X_4$	/	$Y_1$	$Y_2$		$X_1$	$X_2$	$X_3$	$X_4$	/	$Z_1$	$Z_2$	$Z_3$
0	x	0	0		1	0		0	x	0	x		1	0	0
0	0	0	1		1	0	→	x	1	x	1		0	1	0
1	1	x	1		1	0		1	x	1	x		0	0	1
0	1	1	1		1	1									
x	1	0	1		0	1		dont:					$Y_1 = Z_1 \oplus Z_2$		
1	0	1	x		0	1							$Y_2 = Z_2 \oplus Z_3$		
1	x	1	0		0	1									

Fig. 2.13. Réduction du nombre de termes produit par DECODAGE des SORTIES.

#### II.2.4. La réduction du nombre d'entrées.

Cette réduction concerne la diminution de la surface du PLA par élimination d'un certain nombre d'entrées, dites redondantes, et ensuite par la réduction du nombre de termes produit. Kambayashi [KAM-79] explicite la méthode. Celle-ci assume que plusieurs combinaisons des entrées ne sont pas utilisées et que leur sorties correspondantes sont indéfinies.

Il y a trois manières de réduire le nombre d'entrées:

**\* L'élimination des entrées redondantes.**

Si un certain nombre d'entrées ne participent pas dans la formation des termes produit (autrement dit, si elles ont partout une valeur indéfinie), elles peuvent être éliminées du PLA.

**\* L'encodage des entrées.**

Cette technique est le contraire de celle du décodage des entrées, car on peut décroître le nombre d'entrées par leur encodage (Fig.2.14).

Elle consiste parfois à découper le PLA en deux ou plusieurs sous-PLA cascades (Fig.2.15) [EGA-82], [MIC-03a,d].

Ce processus d'encodage comporte la duplication de certaines entrées

## CHAPITRE II : Optimisation des PLA

$X_1$	$X_2$	$X_3$	$X_4$	$X_5$	$X_6$	$X_7$	/	$Y_1$	$Y_2$	$Y_3$		$X_1$	$X_2$	$X_3$	$X_4$	/	$Z_1$	$Z_2$
0	0	0	0	0	0	1		0	0	1		0	0	0	0		0	1
0	0	0	0	1	0	1		0	1	0		0	0	0	1		1	0
0	0	0	0	0	1	0		1	0	0		1	0	1	0		1	1
0	0	0	0	1	0	0		0	1	0		(le	reste)	0	0		0	0
0	0	0	0	0	1	1		1	0	0								
0	0	0	1	1	0	1		0	1	0								
1	0	1	0	1	1	0		0	0	1								
0	0	0	1	0	1	1		0	1	0								
1	0	1	0	0	1	0		1	0	0								

Fig. 2.14. Réduction du nombre d'entrées par ENCODAGE des ENTREES.

et de termes produit, le découpage d'une sortie dont les composantes se rejoignent à l'extérieure du PLA qui utilise parfois la notion de portes OU câblées ("wired OR") [HEN-83]. Ce processus est proche du partitionnement d'un PLA [MIC-83], [PAL-83] (Cf. II.2.1).

**\* Le groupement des entrées.**

Il consiste à regrouper un ensemble d'entrées " $x_i$ " (ayant une valeur fixe) pour générer une nouvelle entrée " $e_j$ " (qui ne nécessite d'aucun décodeur) par l'intermédiaire d'une fonction booléenne simple telle que: NON-OU, NON-ET, ET, OU, OU-EXCLUSIVE, etc. (Fig.2.16).

### II.2.4. Réduction du nombre de sorties.

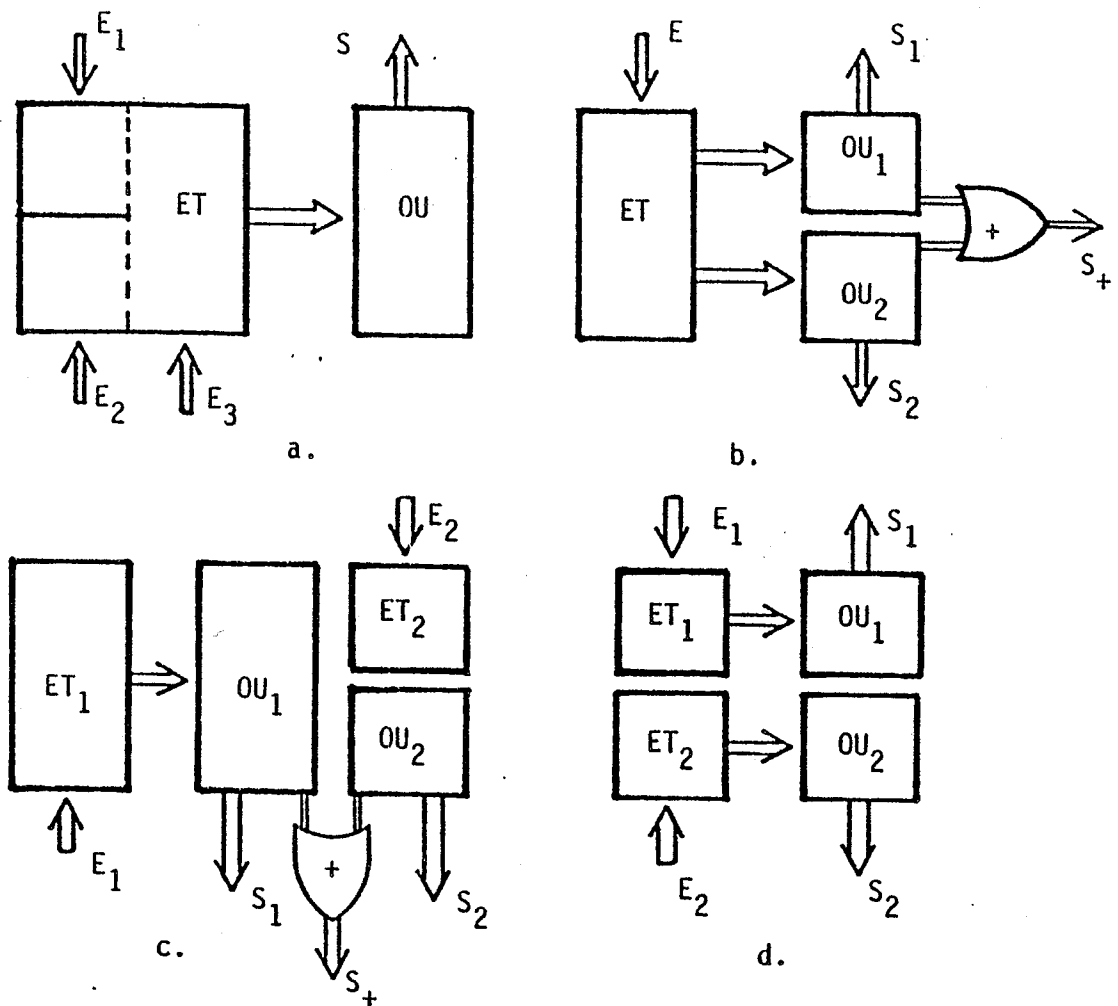
Il y a trois manières de réduire le nombre de sorties:

**\* L'élimination des sorties redondantes.**

Si une sortie a une valeur zero dans tous les monômes, elle peut être connectée directement à la masse et en conséquence éliminée du PLA.

Si une sortie a une valeur un dans toute la table de vérité du PLA, elle peut être connectée directement à l'alimentation et en conséquence éliminée du PLA.

Si une sortie utilise un monôme défini par une seule entrée, cette sortie peut être directement connectée à cette entrée, ou à son complément selon le cas (Fig. 2.17).



- a. Partitionnement des entrées: folding bipartite sur la matrice ET.
- b. Partitionnement des sorties: utilisation des OU câblées.
- c. Partitionnement globale: tranches en parallèle.
- d. Partitionnement globale: folding en colonne.

Fig. 2.15. Découpages d'un PLA.

$X_1$	$X_2$	$X_3$	$X_4$	$X_5$	/	$Y_1$	$Y_2$
0	0	1	1	x		0	1
x	0	1	x	1		1	0
x	0	1	0	x		1	x
1	0	1	x	0		1	0

→

$X_1$	Z	$X_4$	$X_5$	/	$Y_1$	$Y_2$
0	1	1	x		0	1
x	1	x	1		1	0
x	1	0	x		1	x
1	1	x	0		1	0

dont  $Z = \overline{X_2} \cdot X_3$

Fig. 2.16. Réduction du nombre d'entrées par GROUPEMENT des ENTREES.

\* Encodage des sorties.

On peut encoder les sorties venant de la matrice OU et les sorties originales seront récupérées par décodage hors du PLA.

## CHAPITRE II : Optimisation des PLA

$X_1$	$X_2$	$X_3$	$X_4$	/	$Y_1$	$Y_2$	$Y_3$
0	1	0	x		1	1	0
x	1	x	1		0	1	0
x	1	x	x		0	0	1
0	x	1	x		0	1	0

$Y_3 := X_2$

Fig. 2.17. Réduction du nombre de sorties par ELIMINATION des SORTIES REDONDANTES.

**\* Groupement des sorties.**

Si plusieurs sorties ont le même profil parmi les termes produit, elles peuvent être groupées dans une seule sortie (Fig.2.18).

$X_1$	$X_2$	$X_3$	/	$Y_1$	$Y_2$	$Y_3$	$Y_4$
0	x	0		1	0	1	0
0	1	0		1	1	1	1
1	x	1		0	1	0	1
1	x	0		1	0	1	0
1	1	x		1	1	1	1

$Y_3 := Y_1$   
 $Y_4 := Y_2$

Fig. 2.18. Réduction du nombre de sorties par GROUPEMENT des SORTIES.

### II.3. OPTIMISATION TOPOLOGIQUE DES PLA.

**BUT:**

Chercher une nouvelle structure topologique des matrices ayant une surface plus réduite que celle du PLA classique.

Cette recherche consiste à réorganiser la structure interne du PLA sans modifier sa structure logique. Les réorganisations topologiques que l'on connaît, concernent surtout la permutation des monômes et la permutation des entrées(sorties).

Après cette réorganisation, nous essayons de placer plusieurs monômes dans une même rangée ou plusieurs entrées(sorties) dans une même colonne. Ce processus est connu comme le compactage en rangée et en colonne.

Ces permutations internes et ces compactages constituent les axes

principaux de l'optimisation topologique par monômes brisés et par entrées(sorties) brisées.

### II.3.1. Optimisation topologique par MONOMES BRISES.

Ce type d'optimisation consiste à découper la matrice ET(OU) en plusieurs tranches. Ce processus de découpage essaie de chercher un certain nombre d'ensembles des entrées(sorties) DISJOINTS dont chacun constituera une tranche.

#### DEFINITION 2.5.

Deux tranches ET(OU) sont dites DISJOINTES si et seulement si leur ensemble de monômes contrôlés (ou les contrôlant) sont DISJOINTS.

La recherche des tranches disjointes entraîne la permutation des monômes et des entrées(sorties) de manière à obtenir une redistribution des transistors proche de la diagonale qui permettra le découpage (Fig.2.19). Le compactage en rangée consiste donc à intercaler les tranches ET-OU de manière alternée.

Pour obtenir un bon alignement des monômes, il faut encore les permuter dans chaque paire ET-OU vis-à-vis des paires voisines de manière à pouvoir obtenir une bonne distribution des monômes dans chaque tranche.

Ce type d'optimisation est peu utilisé mais elle est très efficace lorsque plusieurs systèmes séquentiels s'enchaînent et coopèrent, et dans le cas des PLA monomatrices. Cette optimisation est proche du partitionnement des entrées ou de l'utilisation des encodeurs en sortie.

En outre, il y a une contrainte intrinsèque concernant le nombre de tranches exprimé par la propriété suivante:

#### LEMME 2.1.

Le nombre de tranches ET et le nombre de tranches OU, résultant d'une optimisation par monômes brisés, gardent la relation suivante:

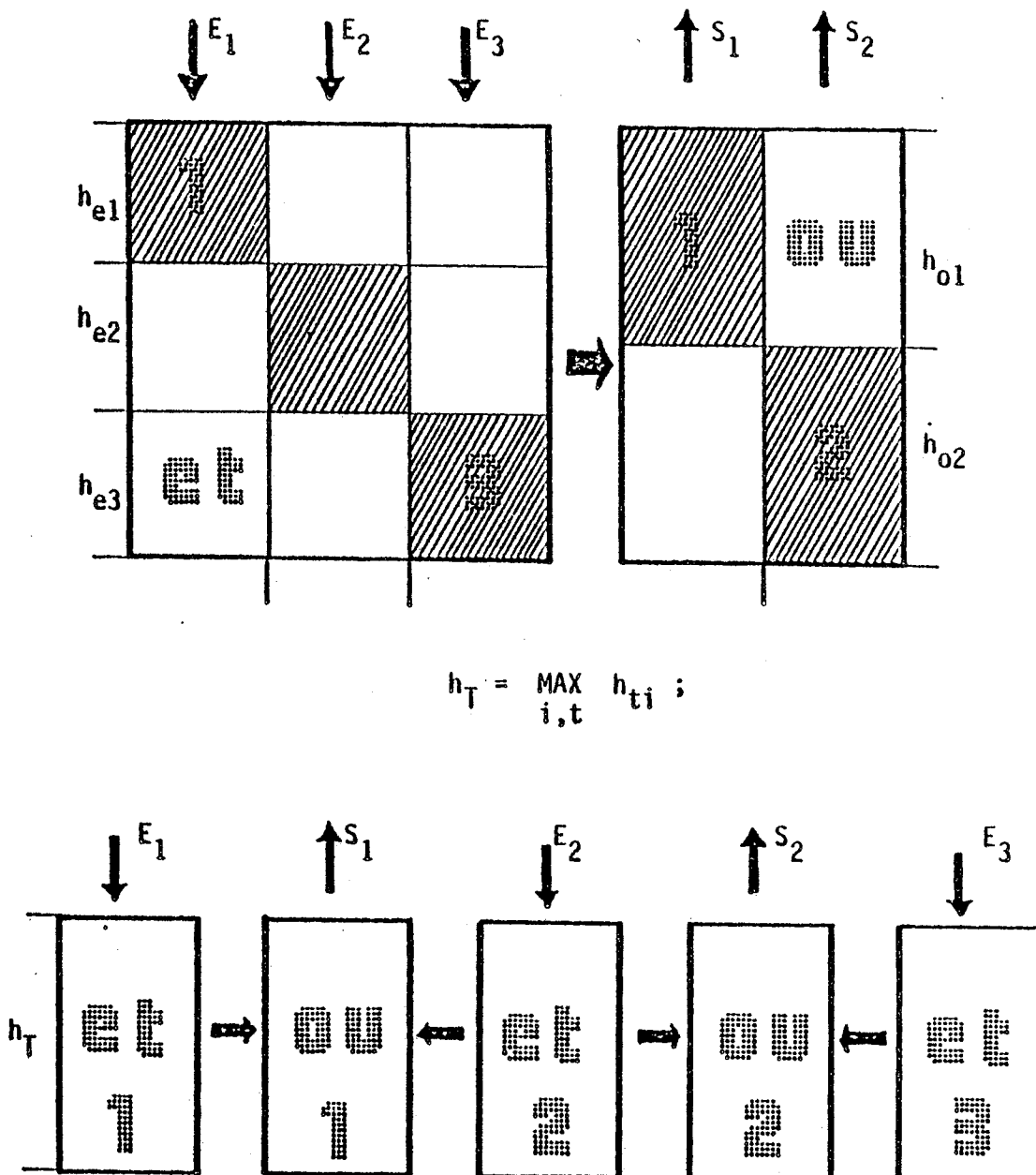


Fig. 2.19 Schéma de découpage et d'assemblage d'un PLA par la méthode de monômes brisés.

$$| NT_{ET} - NT_{OU} | \text{ dans } [0, 1].$$

Cette propriété concerne la bonne imbrication des tranches.



### II.3.2. Optimisation topologique par ENTREES(SORTIES) BRISEES.

Ce type d'optimisation consiste à permuter les monômes de manière à pouvoir distribuer les transistors proche de la diagonale, et ensuite déterminer les entrées(sorties) "disjointes".

#### DEFINITION 2.6.

Deux entrées sont dites DISJOINTES si et seulement si les ensembles de monômes qu'elles excitent sont DISJOINTS.

#### DEFINITION 2.7.

Deux sorties sont dites DISJOINTES si et seulement si l'ensemble des monômes qui les excitent sont DISJOINTS.

Après avoir obtenu un bon ordonnancement des monômes, nous restreignons les entrées(sorties) à leur "couvertures géométriques" pour qu'elles puissent participer à un processus de compactage en colonne.

Ce compactage consiste à placer plusieurs entrées(sorties) brisées, disjointes et compatibles dans une même colonne. Ceci oblige à prendre en compte la position des connecteurs (ou bornes terminales) des entrées et des sorties. Car, les bornes terminales ont été considérées comme faisant partie de la couverture géométrique de l'entrée(sortie) correspondante.

La position de chaque connecteur restreint le processus de réordonnancement et de compactage, car un placement aléatoire de ces entrées(sorties) brisées peut les éloigner de leur connecteurs, ce qui compliquerait le "tracé des connexions internes" (Cf. chapitre IV).

Dans la littérature nous trouvons plusieurs méthodes pour ordonner(ou trier) les monômes, ainsi que pour compacter les matrices. Nous classifions ces méthodes de la manière suivante:

1. Méthodes modifiant la position des connecteurs avec une influence faible sur la réduction de la surface:

\* Le positionnement classique des connecteurs soit en haut soit

## CHAPITRE II : Optimisation des PLA

en bas des matrices. Cette approche concerne les PLA classiques car chaque entrée(sortie) occupe une colonne entière.

- \* Le positionnement latéral des connecteurs. L'accès aux entrées(sorties) depuis leur connecteurs est réalisé par l'insertion de canaux accueillant la connexion correspondante. Ceci réduit la surface d'interconnexion mais augmente la surface du PLA. Cette méthode a été bien utilisée dans le microprocesseur NS-8072.
- \* Les PLA multi-tranches sont utilisés pour distribuer les connecteurs sur son pourtour. Cette méthode a été bien utilisée dans le microprocesseur Intel-8085, dans laquelle un PLA "OU-ET-OU" génère par sa matrice OU gauche\* les commandes d'exécution issues de l'instruction courante, tandis que la matrice OU droite génère les commandes pour le générateur de temps.

### 2. Méthodes réduisant la surface d'un PLA et modifiant la position des connecteurs:

- \* La technique de triangularisation consiste à ordonner les monômes et les entrées(sorties) de manière à pouvoir distribuer les transistors d'une matrice sous une forme triangulaire dont la partie ne contenant aucun transistor peut être utilisée pour y placer d'autres blocs. La position des bornes terminales est altérée ce qui augmente la complexité d'interconnexion entre le PLA et ses voisins. Cette technique a été utilisée dans le microprocesseur NS-SC/MP.
- \* La technique du folding (pliage de segments) consiste à placer:
  - \* deux entrées(sorties) dans une même colonne.
  - \* deux monômes dans une même rangée.
  - \* plusieurs entrées(sorties) dans une même colonne.
  - \* plusieurs monômes dans une même rangée.

## CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

Cette technique a été introduite par Wood [WOO-79] et concerne le folding simple. Plus tard, Hachtel [HAC-80], [HAC-82] proposa le folding multiple. Sa performance dépend étroitement du contenu du PLA [LUB-82]. Avec cette technique les connecteurs sont distribués aléatoirement sur le pourtour du PLA ce qui induit une augmentation de la complexité d'interconnexion [LIU-83], [PAI-81]. Dernièrement, De Micheli [MIC-83c] montre l'intérêt de le restreindre en tenant compte de la position des connecteurs (le folding multiple restreint).

3. La technique des lignes brisées consiste à réduire la surface d'un PLA par un changement de sa topologie interne et par l'adaptation de sa forme de manière à augmenter sa connectabilité et sa transparence [CHU-82], [PER-80].

L'amélioration de la connectabilité est obtenue par une distribution préalable des connecteurs sur son pourtour. Donc, le réordonnement des monômes et le compactage des matrices sont restreints à cette distribution.

La transparence est assurée par l'insertion des canaux ad-hoc accueillant les connexions externes.

Cette technique devient la base du système PAOLA, que nous allons expliciter.

### II.4. LA METHODE DES LIGNES BRISEES DE "PAOLA".

Cette méthode concerne l'optimisation topologique des PLA, telle qu'elle est réalisée dans le système PAOLA. Elle correspond au travail réalisé par Monsieur Pérez Segovia [PER-80]. Elle comporte trois phases, à savoir:

- \* Le réordonnement des monômes.
- \* Le compactage des matrices.
- \* La duplication de monômes.

L'optimisation topologique de la matrice ET est semblable à celle de la matrice OU, car il suffit d'échanger les lignes de polysilicium et de métal de la matrice OU par celles de métal et polysilicium de la matrice ET.

## CHAPITRE II : Optimisation des PLA

Les phases de réordonnancement et de compactage s'appliquent soit à la matrice ET, soit à la matrice OU. Dans une version ultérieure nous allons considérer l'application simultanée de ces deux phases aux deux matrices.

La phase de duplication de monômes ne s'applique toutefois que sur la matrice OU mais avec des répercussions sur la matrice ET.

Avant de présenter ces phases, nous donnons quelques définitions pour mieux détailler ce qui suit.

### II.4.1. Représentation topologique d'un PLA classique.

Un PLA classique comporte une entrée pour chaque colonne de sa matrice ET, ainsi qu'une sortie pour chaque colonne de sa matrice OU.

Une matrice est définie par:

$$Q = [ Q[i,j], i \text{ dans } [1..N_m], j \text{ dans } [1..N_s] ].$$

dont,  $Q[i,j]$  dans  $[0..N_s]$ .

plus précisément,

$$Q[i,j] \text{ dans } [0, 1, S_j].$$

$N_m$  étant le nombre de monômes du PLA.

$N_s$  étant le nombre d'entrées de la matrice ET, ou  
le nombre de sorties de la matrice OU.

$S_j$  étant un nombre entier qui représente le numéro  
de l'entrée/sortie se trouvant dans la colonne "j".

La sémantique associée à chaque élément  $Q[i,j]$  étant:

$$Q[i,j] := \begin{cases} 0, & \text{transistor ou point absent.} \\ 1 \text{ ou } S_j, & \text{présence d'un transistor.} \end{cases}$$

C'est à partir de cette représentation que nous allons introduire les

définitions suivantes:

DEFINITION 2.8.

Un "segment interne" d'une entrée (ou d'une sortie) est le segment de colonne compris entre le premier et le dernier transistor contrôlé par cette entrée (ou contrôlant cette sortie).

DEFINITION 2.9.

La couverture géométrique d'un segment interne est l'ensemble des monômes se trouvant entre le premier et le dernier transistor de l'entrée (ou sortie), connectés, ou non, à cette entrée (ou sortie). Plus précisément, la "couverture géométrique" d'un segment interne "S<sub>j</sub>" se trouvant dans la colonne "j" est définie par:

$$\text{Couv } S_j = [h_j \dots f_j]$$

dont,

$$h_j := \min_{Q[i,j]=S_j} i, \text{ et } f_j := \max_{Q[i,j]=S_j} i.$$

DEFINITION 2.10.

La couverture géométrique d'un monôme "m<sub>i</sub>" est l'ensemble d'entrées(ou sorties) se trouvant entre le premier et le dernier transistor de la partie ET(OU) du monôme "m<sub>i</sub>". Il est évident que ces couvertures dépendent directement de la distribution des entrées(sorties). Plus précisément, la couverture géométrique d'un monôme "m<sub>i</sub>" est définie par:

$$\text{Couv } m_i = [l_i \dots r_i].$$

dont,

$$l_i := \min_{Q[i,j] > 0} j, \text{ et } r_i := \max_{Q[i,j] > 0} j.$$

II.4.2. Le réordonnement de monômes.

Cette phase consiste à réordonner les monômes de manière à obtenir une distribution adéquate des transistors qui permettra un meilleur compactage.

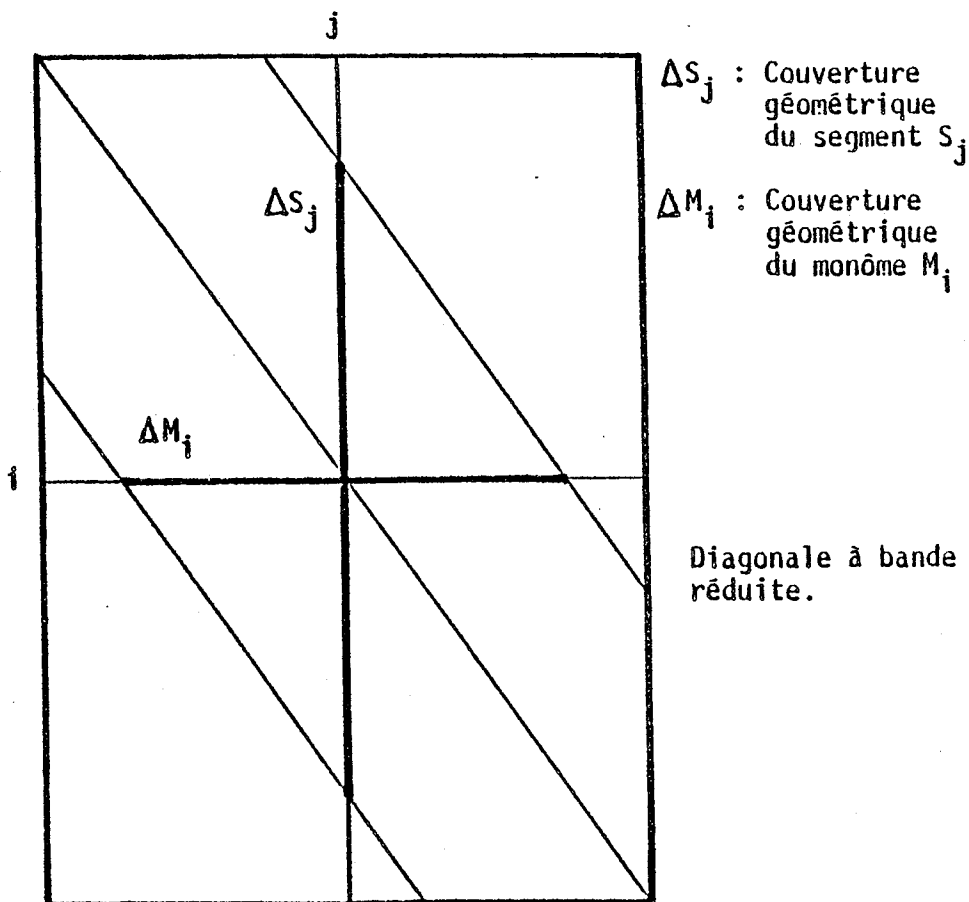


Fig. 2.20. Schéma de triangulation.

L'approche utilisée, pour réordonner les monômes, concerne la triangulation d'une matrice qui consiste à redistribuer les transistors de manière qu'ils soient placés sur une bande diagonale décrite par  $\Delta M$  et  $\Delta S$  (Fig.2.20). Le but est de trouver une bande diagonale de largeur minimale. Meilleure est la triangulation de la matrice, meilleure sera l'optimisation.

Par ailleurs, la minimisation de  $\underline{\Delta}_S$  (par permutation des monômes) induit la minimisation de  $\underline{\Delta}_M$  (par permutation des colonnes) et vice versa. Dans notre cas, la minimisation de  $\underline{\Delta}_S$  est plus prioritaire que celle de  $\underline{\Delta}_M$ .

La contrainte de départ que nous avons considérée est exprimée par la proposition suivante.

PROPOSITION 2.1.

Les connecteurs ou bornes terminales d'une matrice quelconque doivent être positionnés sur son pourtour suivant un ordre topologique imposé par la connectabilité du PLA vis-à-vis des blocs voisins et défini par le concepteur (Cf. lemme 1.1).

Cet ordre repose sur la numérotation relative des entrées(sorties). Ce positionnement des connecteurs est schématisée dans la figure 2.21, dont leur sens de placement est montré. Rien empêche l'extension de ce placement sur les extrêmités des matrices.

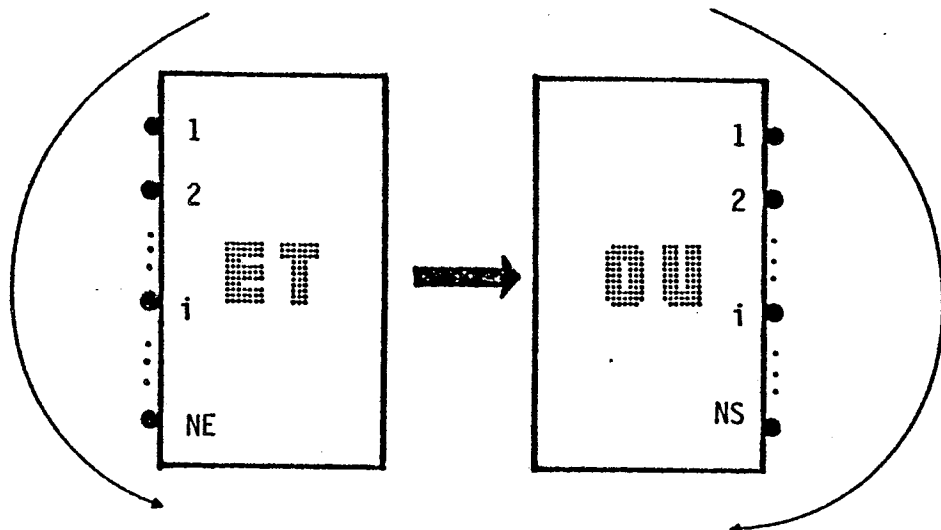


Fig. 2.21 Schéma du sens de distribution des Connecteurs.

Plus formellement, l'ordonnancement des monômes est décrit ci-dessous.

Soit  $Q$  la matrice à optimiser, dont une rangée "i" représente un monôme ("i" dans  $[1..N_m]$ ) et une colonne "j" représente une entrée ou une sortie ("j" dans  $[1..N_s]$ ). Pour classer les monômes, il faut que chacun d'eux

## CHAPITRE II : Optimisation des PLA

ont une propriété P qui les identifie. Cette propriété P est obtenue par application d'une fonction heuristique de projection, PROJ, calculée par rangée. Alors,

$$P := \text{PROJ} (Q); \text{ dont } P_i := \text{PROJ} ( Q[i,*] ).$$

Une bonne heuristique de projection permettant de suivre la distribution des connecteurs concerne la coordonnée du barycentre:

\* des transistors connectés au monôme.

$$\text{PROJ} ( Q[i,*] ) = \frac{\sum_j ( \text{si } Q[i,j] > 0 \text{ alors } j \text{ sinon } 0 )}{\sum_j ( \text{si } Q[i,j] > 0 \text{ alors } 1 \text{ sinon } 0 )}$$

\* de la couverture géométrique du monôme.

$$\text{PROJ} ( Q[i,*] ) = \text{Barycentre de Couv } Q[i,*] = (h_i + f_i) / 2.$$

$$\text{dont, Couv } Q[i,*] = [h_i..f_i].$$

\* du poids des entrées(sorties) connectées. Ce poids représente le nombre de transistors de l'entrée(sortie) concernée.

$$\text{PROJ} ( Q[i,*] ) = \frac{\sum_j ( \text{si } Q[i,j] > 0 \text{ alors } j * \text{poids}_j \text{ sinon } 0 )}{\sum_j ( \text{si } Q[i,j] > 0 \text{ alors } \text{poids}_j \text{ sinon } 0 )}$$

$$\text{dont, poids}_j = \sum_k ( \text{si } Q[k,j] > 0 \text{ alors } 1 \text{ sinon } 0 ).$$

\* de la "dispersion" des entrées(sorties) connectées. Cette "dispersion" représente l'inverse du poids de l'entrée(sortie) concernée.





$$\text{PROJ} ( Q[i,*] ) = \frac{\sum_j ( \text{si } Q[i,j] > 0 \text{ alors } j * \text{disper}_j \text{ sinon } 0 )}{\sum_j ( \text{si } Q[i,j] > 0 \text{ alors } \text{disper}_j \text{ sinon } 0 )}$$

dont,  $\text{disper}_j := 1/\text{poids}_j$ .

Ensuite, le vecteur P qui représente implicitement l'ordre initial des monômes va servir comme source d'information pour les classer. Le nouvel ordre, exprimé par le vecteur V, est obtenu par une simple fonction heuristique d'ordonnement CLASS appliquée au vecteur P, ainsi:

$$V := \text{CLASS} ( P ).$$

La fonction CLASS effectue le TRI. La modification topologique de la matrice Q fournira une nouvelle matrice Q' ayant une nouvelle distribution de monômes, ainsi:

$$Q' := \text{ORD}_V ( Q ).$$

ORD<sub>V</sub> est un opérateur de permutation suivant l'ordre défini par V. Le but de cet ordonnancement est donc de transformer la matrice Q en une matrice Q' ayant une structure proche d'une matrice diagonale. Plus la matrice Q' est diagonale, meilleur sera son compactage.

Le choix du type de fonction PROJ, est réalisé par le concepteur puisque le système PAOLA lui offre un menu. Il est évident que l'opérateur ORD<sub>V</sub> doit être appliqué aux matrices qui ne participent point à l'ordonnement, mais, elles doivent garder le même ordre des monômes pour garantir la cohérence structurelle et logique du PLA.

Le résultat du ré-ordonnement des monômes du PLA non optimisé de la figure 2.22 est montré dans la figure 2.23.



## CHAPITRE II : Optimisation des PLA

### II.4.3. Le compactage des matrices.

#### DEFINITION 2.11.

Deux entrées (sorties) sont dites COMPATIBLES si elles sont DISJOINTES (c.-à-d. si elles n'ont aucun recouvrement au sens booléen du terme). Autrement dit,

$$S_i \text{ est compatible à } S_j, \text{ si et seulement si,} \\ \text{Couv } S_i * \text{Couv } S_j = [ ].$$

En conséquence, une colonne d'une matrice compactée (c.-à-d., "niveau") ne contiendra que des entrées(sorties) "compatibles".

Soit,

- \*  $Q'$ , la matrice ayant ses monômes déjà classés ou ordonnés.
- \*  $COUV$  le vecteur de couvertures géométriques des segments internes (c'est-à-dire  $COUV [j] = \text{Couv } S_j, j \text{ dans } [1..N_s]$  )
- \*  $S$  le vecteur-ensemble des segments internes ( $S [i]$  est le numéro du segment se trouvant dans la colonne "j").

Donc, le compactage consiste à trouver un ensemble  $N$  tel que  $(|N|=N_L)$  soit minimum (c.-à-d. un nombre d'éléments réduit). Chaque élément de  $N$  est une partition de  $S$ . Alors,

$$N [i] := [ S [k], k \text{ dans } [1..N_s] ].$$

et que,

$$N [i] * N [j] = [ ], i \langle \rangle j; i, j \text{ dans } [1..N_L].$$

Une bonne heuristique trouvant  $N$  consiste à ne pas énumérer toutes les combinaisons possibles des segments compatibles.

D'abord, nous calculons pour chaque segment  $S [i]$  l'ensemble  $COMPAT [S [i]]$  comportant ses segments compatibles, dont

## CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

$$\text{COMPAT}[\overline{S[i]}] := [\overline{S[k]}, \overline{S[k]} \text{ compatible à } \overline{S[i]}, \\ k \text{ dans } [1..N_s], k \neq i].$$

Ensuite, nous vérifions que l'ensemble  $\text{COMPAT}[\overline{k}]$  contient des segments mutuellement compatibles. Lorsque nous trouvons deux segments  $\overline{S[p]}$  et  $\overline{S[q]}$  non compatibles dans  $\text{COMPAT}[\overline{k}]$ , alors nous éliminons le segment  $\overline{S[p]}$  le moins approprié. Autrement dit,

$$\text{SI PROP}(\text{COMPAT}[\overline{S[p]}]) < \text{PROP}(\text{COMPAT}[\overline{S[q]}]) \\ \text{ALORS COMPAT}[\overline{k}] := \text{COMPAT}[\overline{k}] - \overline{S[p]}.$$

Ce processus reçoit le nom de décompatibilisation dont la fonction heuristique PROP de propriété extrait une valeur représentative du degré de compatibilité d'un ensemble de segments. Or, l'ensemble  $\text{COMPAT}[\overline{S[i]}]$  contient des segments mutuellement compatibles avec  $\overline{S[i]}$ . Maintenant, il ne nous reste qu'à trouver l'ensemble N ayant un nombre minimal d'éléments. Chaque élément de N est choisi parmi les segments  $\overline{S[i]}$  qui référencent les éléments de COMPAT. Alors,

$$N[\overline{k}] := \overline{S[i]} + \text{COMPAT}[\overline{S[i]}] = \text{CHOIX}_i(S, \text{COMPAT});$$

CHOIX est une fonction heuristique agissant sur la réduction du nombre d'éléments de N. Chaque niveau  $N[\overline{k}]$  contient donc un ensemble de segments mutuellement disjoints.

Maintenant, nous nous trouvons en face du problème: comment attribue-t-on une colonne de la nouvelle matrice B compactée à chaque niveau  $N[\overline{k}]$ ?

Pour ramener un niveau  $N[\overline{k}]$  sur une colonne de B, il nous faut d'abord que chacun d'eux aie une propriété  $P[\overline{k}]$  qui les identifie. Cette propriété P est obtenue par application d'une fonction heuristique de projection, PROJ, calculée par niveau. Alors,

$$P := \text{PROJ}(N); \text{ dont } P_k := \text{PROJ}(N[\overline{k}]).$$

Cette fonction PROJ peut considérer un des critères suivants:



CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

\* Couverture géométrique de niveau.

$$\text{PROJ} ( N[\bar{i}] ) = \text{Couv } N[\bar{i}] := \sum_{S_k \text{ dans } N[\bar{i}]} ( f_k - h_k + 1 ).$$

$$\text{dont, } \text{Couv } S_k = [h_k \cdot f_k].$$

\* Nombre de segments par niveau  $N[\bar{i}]$ , ( $\text{NSN}[\bar{i}]$ ).

$$\text{PROJ} ( N[\bar{i}] ) = \text{NSN} [\bar{i}] := | N [\bar{i}] |.$$

\* Nombre de transistors par niveau  $N[\bar{i}]$ , ( $\text{NTN}[\bar{i}]$ ).

$$\text{PROJ} ( N[\bar{i}] ) = \text{NTN} [\bar{i}] := \sum_{t, S_j \text{ dans } N[\bar{i}]} (\text{si } Q[t, j] > 0 \text{ alors } 1 \text{ sinon } 0 ).$$

\* Facteur d'utilisation de niveau, ( $\text{Couv } N/\text{NTN}$ ).

\* Nombre moyen de transistors par niveau, ( $\text{NTN}/\text{NSN}$ ).

Ensuite, nous obtenons  $V$  par application de l'heuristique de classement CLASS sur  $P$ .

$$V := \text{CLASS} ( P ).$$

Cette heuristique CLASS tient compte des contraintes imposées par le concepteur. Il faut enfin donc modifier  $Q'$  et donner naissance à la matrice  $B$  plus compacte,

$$B := \text{ORD}_V ( Q' ).$$

L'opérateur ORD assigne une colonne de  $B$  à chaque  $N[\bar{k}]$ . En fait,  $\text{ORD}_V$  est une permutation des niveaux suivant l'ordre défini par  $V$  qui, en même temps, ramène chaque segment  $S[\bar{i}]$  de  $N[\bar{k}]$  à la colonne assignée.

Le but du compactage est donc de placer plusieurs entrées(sorties) sur une même colonne appelée NIVEAU. Autrement dit, nous cherchons à transformer la structure de la matrice  $Q'$  en une matrice  $B$  ayant une surface plus réduite.

## CHAPITRE II ; Optimisation des PLA

Le choix du type de fonction pour PROP, CHOIX et CLASS est effectué par le concepteur, puisque PAOLA lui offre un menu pour chacune d'elles. Ce compactage est indépendant dans chaque matrice. D'autres contraintes seront ajoutées en vue d'améliorer "le tracé de connexions internes" (Cf. chapitre IV).

La figure 2.24 montre le PLA exemple après compactage de leur matrices.

### II.4.4. La duplication de monômes.

La connexion directe d'un PLA aux blocs voisins (par abutement) peut nécessiter son allongement à la taille des blocs concernés. Ceci dit que la longueur du PLA peut être plus petite que celle du bloc commandé (Fig.2.25). Cette opportunité est mise à profit pour améliorer la diagonalisation de la matrice OU par duplication de certains monômes avant son compactage.

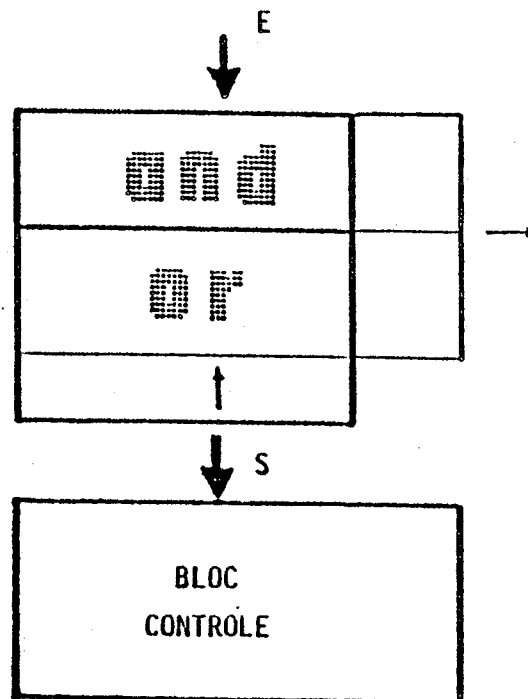


Fig. 2.25. Adaptation Morphologique d'un PLA par Allongement.

La duplication d'un monôme, dit monôme-père, consiste à le dédoubler en deux monômes fils ayant pour partie OU la découpe de la partie OU initiale à son barycentre. A chacune des deux parties OU ainsi obtenues, nous leur associons la même partie ET du monôme-père. Ces deux monômes fils sont



ensuite insérés dans le PLA en fonction de leurs nouveaux barycentres (Fig.2.26).

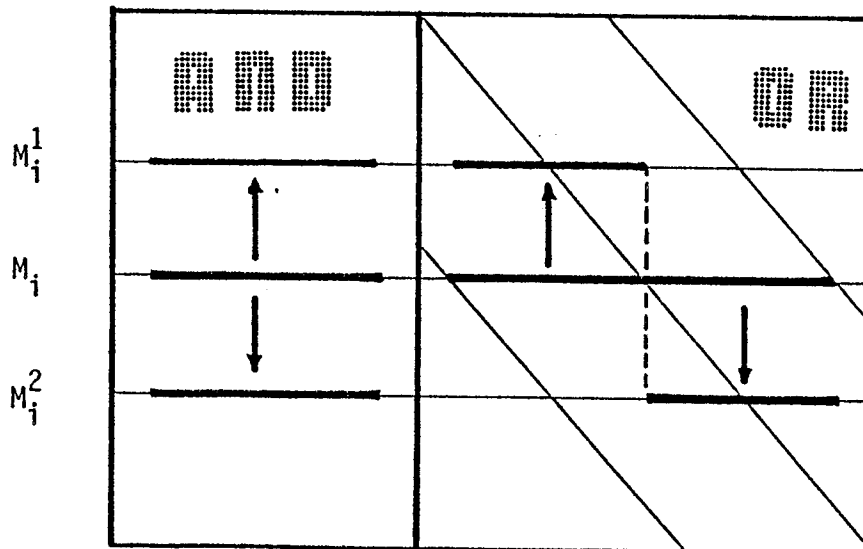


Fig. 2.26. Duplication d'un monôme.

Le nombre de monômes à dupliquer est fixé par le concepteur. Il existe une limite supérieure dont PAOLA tient compte pendant la duplication. Cette limite est fixée par:

LEMME 2.2.

Le nombre maximum de monômes à dupliquer est limité par la relation suivante:

$$\begin{aligned} \text{Nombre de monômes} &\leq (\text{Nombre de transistors de la matrice OU}) \\ \text{à dupliquer} &\quad - (\text{Nombre de monômes initiaux}). \end{aligned}$$

La preuve est évidente car le cas extrême se présente lorsqu'un monôme contrôle un seul transistor et celui-ci ne peut point être dupliqué.

Le choix du monôme à dupliquer doit être en effet une application d'une fonction heuristique concernant certaines propriétés de l'ensemble des monômes. Chaque monôme "i" a donc une propriété  $P_i$  qui est obtenue par application d'une fonction heuristique PROJ de projection, calculée par rangée. Alors,

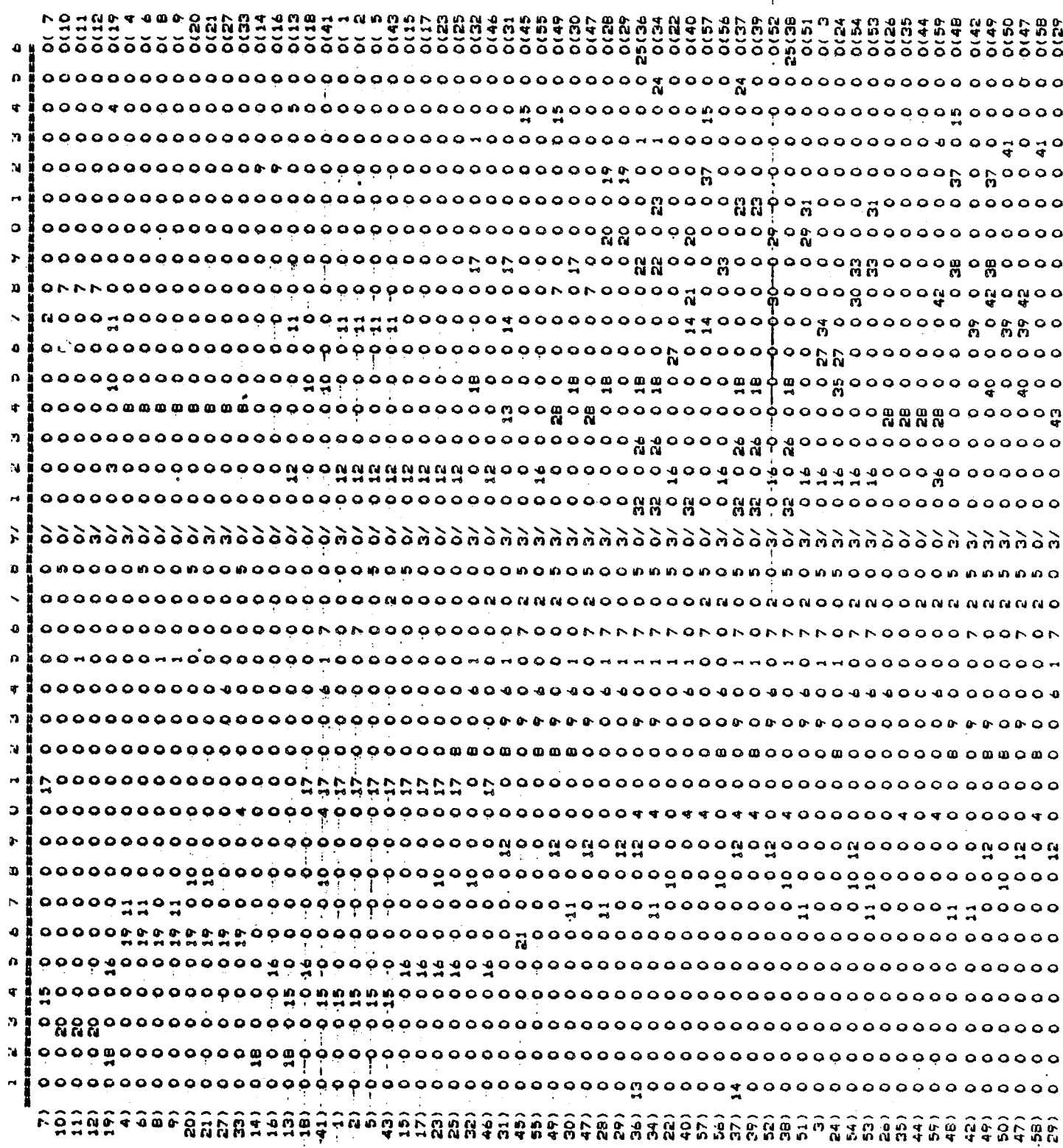


FIGURE 2.27. Profil des bits d'un PLA après une duplication de 3 monômes et compactage.

CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

$$P_i := \text{PROJ} ( Q' [i, *] ).$$

Cette fonction PROJ considère un des critères suivants:

- \* le nombre de sorties contrôlées, (NTM).

$$\text{PROJ}(Q' [i, *]) = \text{NTM}[i] := \sum_j (\text{si } Q' [i, j] > 0 \text{ alors } 1 \text{ sinon } 0 ).$$

- \* la couverture géométrique du monôme, (CGM).

$$\begin{aligned} \text{PROJ}(Q' [i, *]) = \text{CGM}[i] &:= (f_i - h_i + 1), \\ \text{dont Couv } Q' [i, *] &= [h_i .. f_i]. \end{aligned}$$

- \* le facteur d'occupation, (CGM/NTM).

- \* le facteur d'utilisation, (CGM\*NTM).

- \* la distance entre le barycentre et chacune des sorties contrôlées.

$$\text{PROJ}(Q' [i, *]) = \sum_j (\text{si } Q' [i, j] > 0 \text{ alors } |j - \text{bary}| \text{ sinon } 0 ),$$

dont bary étant le barycentre courant (Cf. II.5.1).

- \* le poids des trous extrêmes de chaque sortie.

$$\text{PROJ}(Q' [i, *]) = \sum_j (\text{si } Q' [i, j] > 0 \text{ alors } ( \text{TROU}[h_j] * |h_j - i| + \text{TROU}[f_j] * |f_j - i| ) \text{ sinon } 0 ),$$

dont TROU[x] représente le nombre de cellules vides voisines à x, et Couv Q' [\* , j] = [h\_j .. f\_j].

Ensuite, le monôme "m<sub>k</sub>" à être dédoubler est choisi par application d'une fonction heuristique CHOIX,

$$m_k := \text{CHOIX} ( P ).$$

Plusieurs critères peuvent être utilisés pour déterminer la fonction CHOIX suivant un ordre déterminé par le concepteur.

## CHAPITRE II : Optimisation des PLA

Il faut remarquer que la diagonalisation et le compactage de la matrice OU sont améliorés au détriment du taux de remplissage de la matrice ET qui subit une dégradation de son compactage.

La figure 2.27 montre le PLA exemple compacté après une duplication de 3 monômes.

### II.4.5. Correction de cette optimisation pour les entrées/sorties verticales.

Il s'agit de modifier le processus de calcul du barycentre des monômes de manière que les entrées/sorties verticales soient placées juste à l'extrémité que leur convient.

La modification proposée est exprimée par:

#### PROPOSITION 2.2.

Une heuristique permettant le placement d'une entrée/sortie verticale proche du bord de pénétration par un rassemblement de ses points actifs, est:

$$\text{BARYCENTRE}_k := \text{BORD}_k + \text{BARYCENTRE}_k / \text{DEPLACEMENT}.$$

BORD vaut  $N_M$  lorsqu'il y a au moins une entrée/sortie pénétrant par l'extrémité base dans le monôme  $k$ . Il vaut zero autrement.

DEPLACEMENT vaut  $N_M$  lorsqu'il y a des entrées toutes pénétrant par une seule extrémité dans le monôme  $k$ . Il vaut 1 autrement.

### II.5. CONCLUSION.

Nous présentons quelques résultats de la performance de cette optimisation topologique dans la figure 2.28 [PER-80].

Il est à remarquer que les performances obtenues dépendent du degré de remplissage initial, qui est étroitement lié à la fonction réalisée par le

CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

	PLA1 (SC/MP)	PLA2 (MC2)	PLA3 (Z-80)	PLA4	PLA5	
FORME CLASSIQUE	Nb. monômes	65	108	75	131	147
	Nb. sorties	46	40	45	57	38
	surface	2990	4320	3375	7467	5586
	Nb. transistors	314	139	303	520	1383
OPTIMISATION SANS DUPLICAT. DE MONOMES	Nb. monômes	65	108	75	131	147
	Nb. niveaux	28	14	26	34	30
	surface	1820	1512	1590	4454	4410
	temps-CPU (secondes)	39	26	31	36	130
OPTIMISATION AVEC DUPLIC. DE MONOMES	Nb. monômes	78	131	88	160	205
	Nb. niveaux	23	3	18	24	27
	surface	1794	393	1584	3840	5535
	temps-CPU (secondes)	55	89	90	110	250

FIG. 2.28 RESULTATS DE QUELQUES OPTIMISATIONS TOPOLOGIQUES  
DES MATRICES "OU".

PLA [REI-83]. Ainsi, les PLA utilisés pour le séquençement ont des taux de remplissage importants, et de ce fait, c'est avec eux que la méthode utilisée donne les plus mauvais résultats.

Par contre, les PLA dont la fonction est de décoder (par exemple pour la génération de micro-commandes à partir d'un code opération) ont peu de transistors par rapport à leur surface, et donnent les meilleurs résultats lors de l'optimisation topologique. Il faut remarquer que c'est précisément sur ces PLA de commande que l'on peut tirer le meilleur profit par une amélioration de leur connexion avec les blocs qu'ils commandent.

Une formule statistique [REI-82] donne le rapport "TRN" (taux de réduction des niveaux) entre le nombre de niveaux d'une matrice OU optimisée et son nombre de sorties pour un taux de remplissage "TR" (fig.2.29).

## CHAPITRE II : Optimisation des PLA

\* Sans duplication de monômes:

$$TRN = LN(TR)/0.0465 + 10.01$$

\* Avec duplication de monômes fournissant une réduction du nombre des niveaux optimale:

$$TRN = LN(TR)/0.033 - 25.22$$

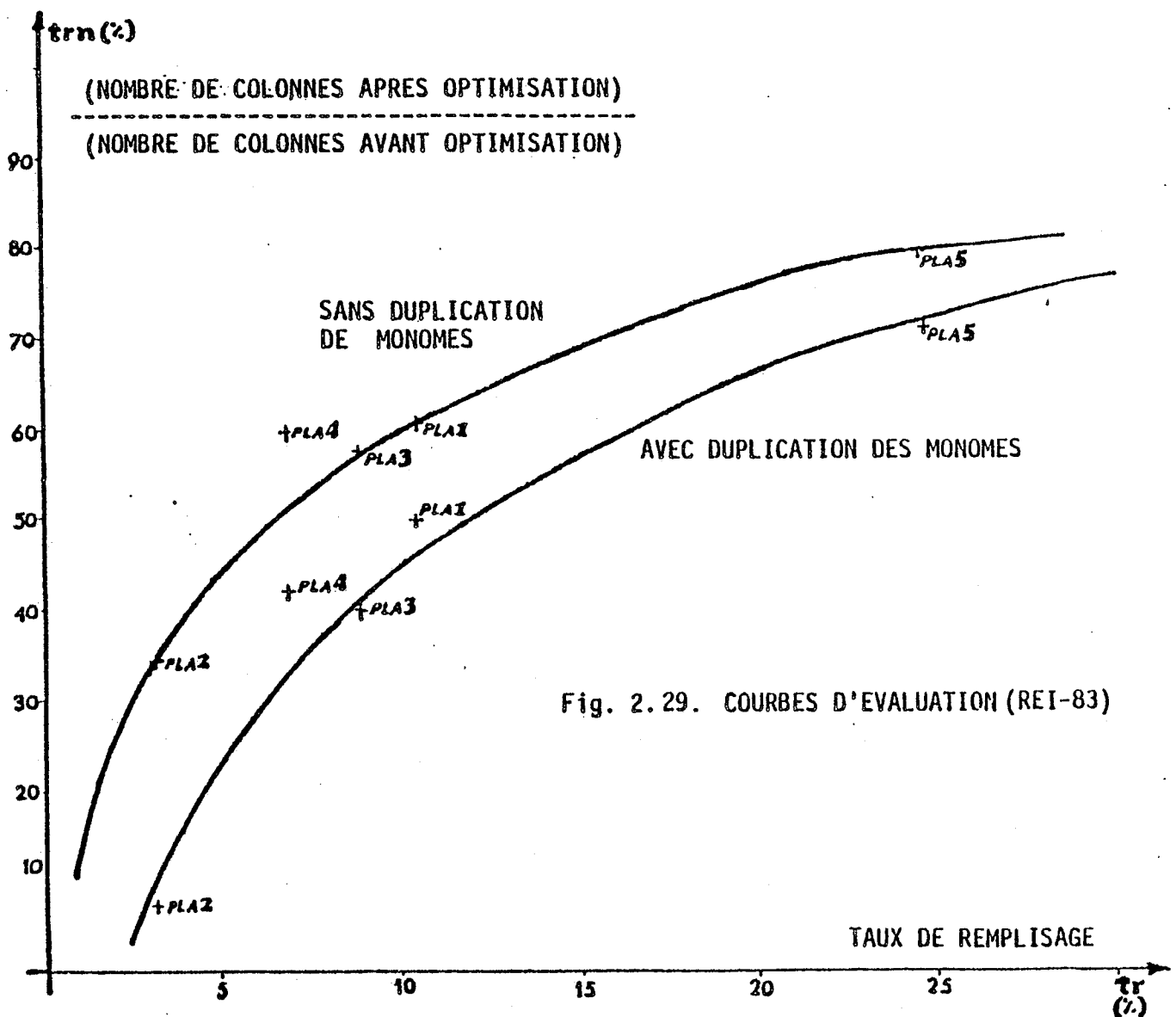


Fig. 2.29. COURBES D'EVALUATION (REI-83)

Les matrices d'un PLA optimisé topologiquement présentent une structure compacte. Ceci influence aussi le processus de dessin, plus notamment dans le tracé des connexions internes, car la présence de plusieurs segments dans une colonne peut engendrer des interblocages. Donc, le processus de compactage va

## CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

être restreint par des problèmes concernant la bonne distribution des segments. En outre, le dessin de ces PLA n'est plus aussi simple qu'avant, car les entrées(sorties) brisées amènent à changer la façon de dessiner les masques.

## **CHAPITRE III**

# **DESSIN AUTOMATIQUE DES P.L.A. OPTIMISES**





## CHAPITRE TROISIEME

=====

### DESSIN AUTOMATIQUE

### DES P. L. A. OPTIMISES.

#### III.1. INTRODUCTION.

III.1.1. Automatisation du dessin des circuits VLSI.

III.1.2. Méthodologie de l'automatisation du dessin.

III.1.3. Les outils de dessin automatique des PLA.

#### III.2. DESSIN D'UN P.L.A.

III.2.1. Le dessin classique d'un PLA non optimisé topologiquement.

III.2.2. Le dessin d'un PLA optimisé topologiquement.

III.2.3. Dispositifs internes d'un PLA.

#### III.3. MODELISATION DU DESSIN.

III.3.1. Topologie d'un point de PLA.

III.3.2. Définition du modèle de bandes pour le dessin.

III.3.3. Les bandes de dessin.

III.3.4. Influence de la technologie.

#### III.4. EFFETS D'ORIGINE TOPOLOGIQUE MODIFIANT LA MORPHOLOGIE D'UN P.L.A.

III.4.1. Les conflits topologiques.

III.4.2. L'allongement du bloc PLA.

III.4.3. Les rappels de masse.

III.4.4. La transparence d'un PLA.

III.4.5. L'insertion des canaux d'écartement.

III.4.6. L'interaction entre les matrices ET et OU.

#### III.5. STRUCTURE INTERMEDIAIRE DU MODELE DE BANDES DE DESSIN.

III.5.1. Structure du modèle.

III.5.2. Structure des données.

#### III.6. ASSEMBLAGE DE LA STRUCTURE INTERMEDIAIRE.

III.6.1. Approche.

III.6.2. Algorithme d'assemblage.

#### III.7. GENERATION DE LA DESCRIPTION GRAPHIQUE.

III.7.1. Approche.

III.7.2. Algorithme de génération.

#### III.8. CONCLUSION.



## CHAPITRE TROISIEME

=====

### DESSIN AUTOMATIQUE

#### DES P. L. A. OPTIMISES.

#### III.1. INTRODUCTION.

Un concepteur de circuits VLSI qui a la tâche quotidienne de dessiner des masques est confronté à un grand nombre de méthodes de dessin. Le compromis majeur qu'il doit résoudre concerne la relation entre le coût de conception et le coût de production [AVE-83].

Un circuit intégré ayant une densité élevée de composants est très cher et long à dessiner [CHE-77], [SOU-81]. Mais, en contrepartie, une surface minimale induira une haute productivité et la réalisation d'un grand nombre de circuits par tranche de silicium.

Donc, les critères importants à être pris en compte pour le choix d'une méthode de dessin concernent le volume de production et la durée de la conception.

Aujourd'hui, la taille et la complexité des circuits imposent l'utilisation des approches symboliques à chaque stade de la conception [MEA-80]. Par ailleurs, il est très important que les circuits complexes aient l'opportunité de suivre l'évolution technologique [COR-82].

Une nécessité première concernant la vérification du dessin avant la génération des masques est apparue, et elle est une conséquence de la complexité croissante [CLE-76]. Ceci entraîne encore l'augmentation des coûts et des durées de la conception. Ces vérifications incluent celles de gardes (DRC), électriques et logiques [BAR-82]. Une bonne performance des approches nouvelles pour la conception et la vérification des circuits est donc nécessaire.

## CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A.

L'évolution de la CAO des circuits intégrés se réalise au fur et à mesure du besoin de l'automatiser [DIR-81], [NEW-81b]. Dans la plupart des cas, le concepteur écrivait lui-même des programmes pour résoudre un problème spécifique et particulier.

Aujourd'hui, un grand nombre de systèmes CAO en service consiste en un ensemble de programmes qui nécessitent une quantité énorme de données qu'il faut transférer et adapter d'un programme vers un autre. Ces opérations nécessitent souvent l'intervention manuelle du concepteur.

Le dessin symbolique constitue un pont entre la description topologique du circuit et le dessin de ses masques [KAR-82]. Ce dessin contient les informations concernant la connectique, ainsi que le placement relatif de chaque composant (par exemple, les transistors qui forment une cellule de base, ces cellules à son tour font partie d'un bloc et ces blocs composent le circuit). Un dessin symbolique, au niveau des transistors, est connu sous le nom de diagramme bâtons (STICKS). Un avantage des diagrammes sticks concerne la facilité de maintenir explicitement la connectique électrique du circuit. Un processus de compactage de ces diagrammes est tout à fait nécessaire pour réduire leur surface [HSU-81].

Il existe deux types d'approches communes pour l'utilisation du dessin symbolique:

- \* La méthode utilisant un quadrillage fixe sur lequel le dessin se développe sur les mailles. L'espacement de celles-ci est déterminé par un ensemble de règles dominantes de la technologie, de manière à ce que le concepteur ne puisse aucunement violer les gardes [WES-81], [WHI-81].
- \* La méthode utilisant un quadrillage relatif dans lequel le dessin indique seulement le placement relatif et l'interconnexion des éléments symboliques.

### III.1.1. Automatisation du dessin des circuits VLSI.

L'avènement du VLSI, et sa complexité croissante, engendre la nécessité d'automatiser le dessin des masques. Cette automatisation dépend fortement de la technologie et de la méthode de conception utilisées [KRI-81], [HIE-83].

### Chapitre III: Dessin automatique des PLA optimisés

Le terme "automatisation du dessin" était mal utilisé en dépit de la maigre assistance de l'ordinateur. Le dessin purement manuel n'utilise pas l'ordinateur, tandis que le dessin complètement automatique ne permet pas la participation du concepteur. Ces deux cas, tout à fait opposés, déterminent les limites entre lesquelles nous trouvons un grand nombre de philosophies de dessin, dont le degré d'assistance et d'intelligence de l'ordinateur sont distribuées.

L'évolution depuis le dessin manuel vers le dessin entièrement automatique est marquée par les étapes suivantes [MAN-80]:

#### \* Dessin manuel.

Le concepteur dessine lui même les masques du circuit. Les blocs fonctionnels sont placés les un après les autre et les interconnexions n'ont pas un ordre de tracé.

L'utilisation d'un digitaliseur ou d'un système graphique permet de diminuer le temps de conception. Or, l'entrée d'un dessin est réalisée plus efficacement avec un digitaliseur qu'avec un système graphique, tandis que la correction du dessin est réalisée plus facilement avec un système graphique que refaire le dessin à la main. Dans les deux cas, il faut une vérification exhaustive du dessin.

#### \* Dessin automatique interactif.

Un système graphique incluant des procédures de placement et de routage automatique est utilisé. Le concepteur manipule ces procédures dans un processus répétitif construisant le dessin complet.

#### \* Dessin automatique.

Le dessin est réalisé par un logiciel qui analyse et prévoit le traitement à suivre. Les règles de dessin ne sont jamais violées, donc, la vérification des gardes est rarement utilisée.

#### III.1.2. Méthodologie de l'automatisation du dessin.

L'automatisation du dessin est une conséquence directe de la croissance des coûts de la conception dues à la complexité des circuits VLSI [BAT-81], [SAS-82]. Ces coûts dépendent de deux facteurs: le temps de conception et le nombre d'erreurs par cycle de conception. Donc, automatiser le dessin amène à

réduire ces deux facteurs.

Les différentes approches permettant une automatisation du dessin proposent:

- \* L'utilisation de cellules de base implantant une fonction logique élémentaire [SCH-83]. Ceci permet un placement et routage automatique [TOS-83], [UEH-81].
- \* L'automatisation du dessin à certains niveaux hiérarchiques [PRE-78]. Ceci permet le partitionnement d'un dessin complexe en plusieurs morceaux faciles à dessiner.
- \* L'utilisation poussée de structures régulières telles que les UAL, les PLA, les ROM, etc. [MEA-80], [GAJ-81]. Car leur dessin peuvent être générés par des outils ad-hoc, tel que PAOLA pour les PLA.

### III.1.3. Les outils de dessin automatique des PLA.

Dessiner un PLA est apparemment simple compte tenu de sa structure régulière. De ce fait, plusieurs systèmes CAO traitant l'optimisation et le dessin des PLA ont été développés.

La plupart des systèmes optimisent un PLA en fournissant comme resultat une représentation symbolique de son dessin. Ensuite, à partir de cette dernière, une description graphique du dessin des masques est générée. Celle-ci est en effet la source du système graphique qui est utilisé pour dessiner et assembler les blocs composant le circuit VLSI.

Parmi les systèmes que l'on connaît se trouvent:

1. A l'Université de California (Berkeley) : Les systèmes LOGMIN (minimiseur logique) et PLAFOLD (optimiseur topologique) fournissent un dessin symbolique des PLA [NEW-81a]. Ensuite, celui-ci est traité par le système CABBAGE (un assembleur de cellules) qui génère le dessin des masques. Dernièrement, le système PLAFOLD a été remplacé par le système PLEASURE [MIC-83c] qui tient compte de l'optimisation topologique avec contraintes.

2. A l'Université de Stanford : La description symbolique d'un PLA optimisé est générée soit par SLIM (langage et système définissant et implémentant le microcode d'une machine à l'aide des PLA), soit par APLAS réalisant la synthèse depuis une description DDL-P (une implémentation Pascal du langage DDL) générant directement les PLA pour la partie contrôle des machines digitales (sous forme d'équations booléennes qui seront traduites par SALT) [KAN-81]. Ces PLA peuvent être optimisés logiquement par SPAM qui inclut une phase de segmentation des PLA (le système PAPA). Ensuite, le dessin des masques est généré par le système graphique SICLOPS qui tient compte des interconnexions entre les cellules [DUT-81].
3. A l'Institut Technologique de California (CALTECH) : Un PLA est dessiné symboliquement en diagrammes STICKS [DES-80]. Ensuite, un outil de composition et d'assemblage génère la description graphique CIF. Les diagrammes en STICK sont générés soit par l'intermédiaire du système PAUL (langage graphique sous SIMULA) ou par le système REST (éditeur graphique de diagrammes STICK). La génération de la source CIF est réalisée par un de ces systèmes: LAP (langage graphique sous SIMULA), SLAP/EARL (système de composition ou assemblage de cellules) ou SAM (langage graphique).
4. L'Institut Technologique de Massachusetts (M.I.T.) a développé un système de synthèse fournissant le dessin symbolique des PLA. Ce système part d'une description en langage de haut niveau. Ensuite, le système AIDS (un langage graphique interactif sous APL) transforme la description du dessin symbolique en CIF (forme intermédiaire du CALTECH). Par ailleurs, le système DPL (un système sous LISP) transforme aussi ce dessin symbolique en CIF [ALL-81].
5. L'Université de LOUVAIN utilise le système PLASCO pour optimiser et dessiner les PLA. L'optimisation fournit un dessin symbolique du PLA. Ce dessin est ensuite pris en compte par un assembleur de cellules résolvant les interconnexions. Il utilise une bibliothèque de cellules pré-dessinées [MAN-83].

L'outil PAOLA, que l'on présente dans cette thèse, effectue aussi le processus de dessin d'un PLA en deux étapes:



- \* La génération d'une description symbolique.
- \* La génération de la source représentant le dessin qui peut être exprimée dans un langage graphique tel que: LUCIE, CALMA, CIF, GAMMA, GRANIT, etc.

Cette approche reste valable pour le dessin automatique des ROM, RAM, Décodeurs, Encodeurs, etc..

L'automatisation du dessin d'un PLA est nécessaire lorsque la description graphique correspondante va être générée un grand nombre de fois .

L'assemblage des cellules par un processus d'abutement est une voie très répandue et bien connue.

Nous exposons par la suite un autre type d'assemblage de cellules réduisant beaucoup le nombre de lignes source générées.

### III.2. DESSIN D'UN P.L.A.

Les PLA considérés dans cette thèse appartiennent à l'ensemble des PLA synthétisés à base de portes logiques NON-OU (NOR). Ces PLA comportent deux matrices ET-OU en serie battissant ainsi une structure logique à deux niveaux.

Chaque matrice est donc implantée comme un étage logique de portes NON-OU. Une partie de la matrice ET est schématisée électriquement par la figure 3.1 dont sa topologie est caractérisée par:

- \* Les lignes commandant les transistors parcourent la matrice parallèlement à sa grande dimension.
- \* Les transistors sont reliés entre eux. Tantôt par les drains, tantôt par les sources. Les drains sont reliés entre eux par un fil métallique tandis que les sources le sont par un fil en diffusion.

Il est bien connu qu'en technologie MOS, la résistance carrée de la diffusion est beaucoup plus élevée que celle du métal. Cette résistance dégrade donc l'excursion logique du niveau ZERO.

Pour pallier à cet inconvénient, le besoin de connecter un fil métallique à la ligne de diffusion sur un certain intervalle est rendu nécessaire. Ce fil métallique reçoit le nom de RAPPEL DE MASSE.

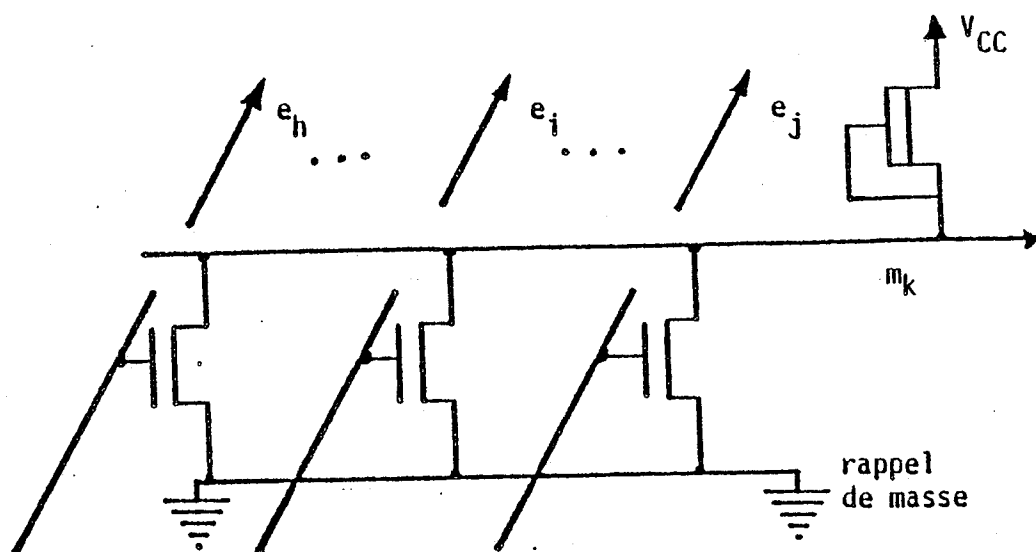


Fig. 3.1. Schéma électrique de la partie ET d'un monôme.

Le calcul de la distance maximale entre les rappels de masse et la détermination de la forme des contacts depuis les paramètres de la technologie semble donc nécessaire (Cf. chapitre V).

### III.2.1. Le dessin classique d'un PLA non optimisé topologiquement.

Le dessin des masques d'un PLA classique consiste habituellement en un ensemble de "motifs" distribués de manière régulière dans un bloc englobant [PRI-82].

Les "motifs" implantant les entrées et les sorties sont placés dans le sens vertical, tandis que ceux implantant les monômes sont placés dans le sens horizontal (Fig.3.2).

Chaque "motif" comporte un ensemble de rectangles appartenant aux divers niveaux de masque de la technologie utilisée. La correspondance directe et implicite d'une colonne avec une entrée ou une sortie, et celle d'une rangée avec un monôme est à remarquer.

Par ailleurs, on a besoin d'une nappe d'interconnection depuis les entrées et les sorties du PLA vers les bornes de connexion des blocs voisins auxquels ce PLA est connecté. Cette nappe augmente considérablement la surface du circuit utilisant ce type de PLA. Cette augmentation est due principalement au placement des entrées et des sorties à un pas minimal sur les extrémités du PLA.

0 50 100 150 200 250 300 350 400 450 500 550

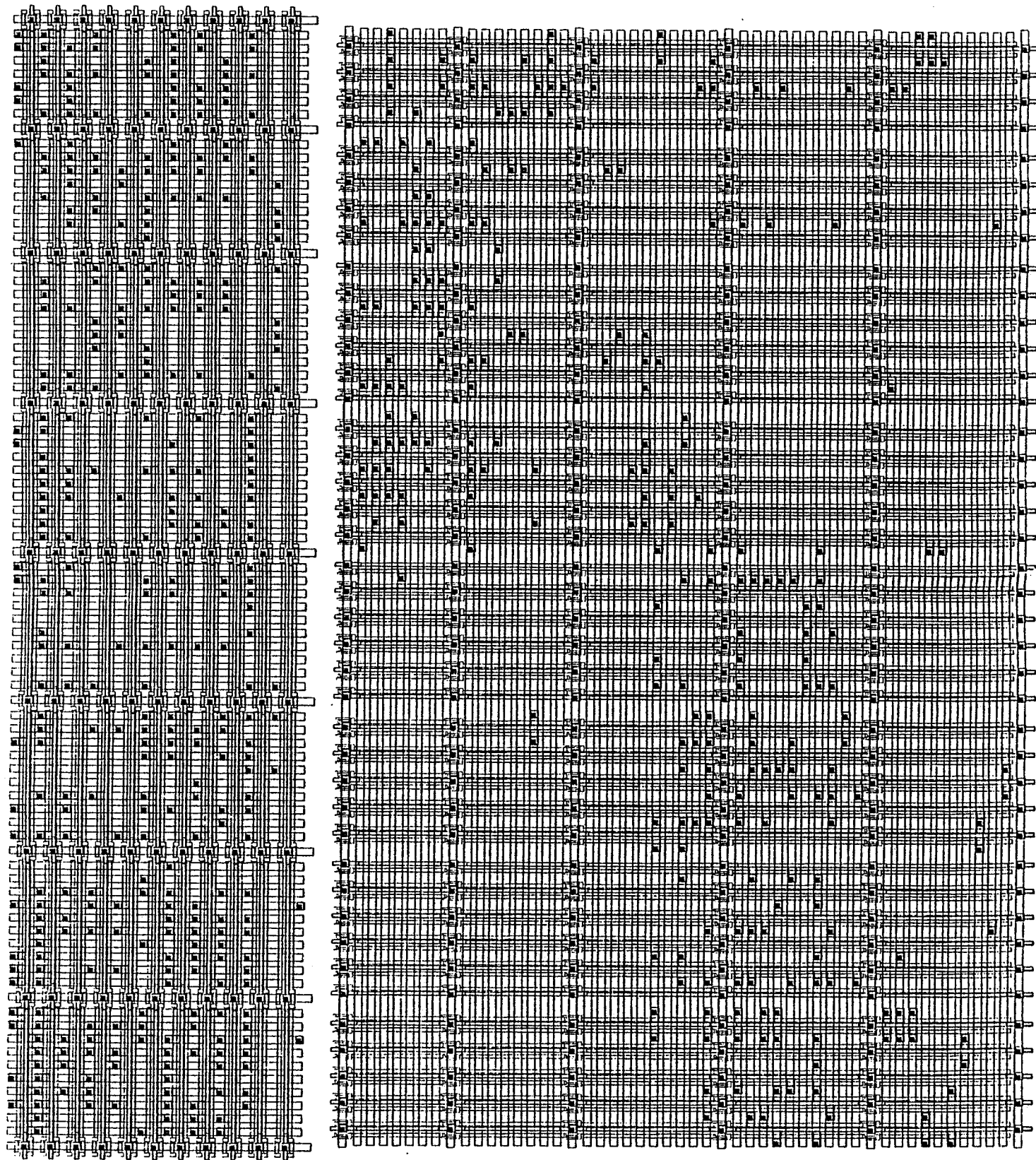


Figure 3.2. Dessin des masques d'un PLA classique.

0 50 100 450 500 550

NOM : cla NB.UN/CH : 20 NIVEAU md  mc  mp  mm  mg  mi

### III.2.2. Le dessin d'un PLA optimisé topologiquement.

Un PLA optimisé présentera, dans la plupart des cas, une structure topologique compacte, qui est caractérisée par la présence de plusieurs entrées ou sorties partageant une même colonne. Cette prémisse suggère, en quelque sorte, le degré de complexité du dessin si l'on veut lui faire subir un traitement automatique. Car, le partage de plusieurs entrées ou sorties d'une colonne évite parfois la connexion directe des entrées ou des sorties qui se trouvent à l'intérieur du PLA avec leurs bornes qui se trouvent sur son pourtour .

Le désir d'automatiser le dessin d'un PLA nous oblige à concevoir une forme intermédiaire adaptée à la complexité mentionnée, qui servira en même temps de base pour y reconnaître chaque élément interne du PLA. Ceci permettra de réaliser le tracé nécessaire pour assurer la connectique de l'ensemble des blocs du circuit intégré auquel appartient ce PLA.

La génération de la description du dessin des masques reste néanmoins complexe, mais elle permettra l'indépendance technologique.

Lorsqu'un PLA optimisé doit être connecté aux blocs voisins, la nécessité du tracé des interconnexions est mise en évidence. Ce tracé varie en complexité selon la distribution des connecteurs sur le pourtour de chaque bloc concerné. Le choix d'un ordre parmi les connecteurs qui se trouvent sur le pourtour de chaque bloc doit faire partie de la stratégie de conception du circuit (Cf. lemme 1.1).

### III.2.3. Dispositifs internes d'un PLA.

Un PLA comporte comme dispositifs internes, autre que les matrices ET et OU, les dispositifs suivants:

- \* Les transistors de charge des monômes.
- \* Les transistors de charge des sorties.
- \* Les amplificateurs-Décodeurs des entrées.
- \* Les amplificateurs-Encodeurs des sorties.

Il est bien entendu que ces dispositifs internes peuvent être placés suivant une politique dépendant de l'optimisation et de l'adaptation

topologique du PLA concerné. Ceci vise à soumettre les dispositifs préalablement dessinés au processus de calcul du point de PLA. Autrement dit, dès que le point de PLA vient d'être fixé, les dispositifs internes doivent s'adapter aux caractéristiques géométriques, telles que:

- \* la distance entre les dispositifs internes vis-à-vis des connecteurs.
- \* les dimensions du dispositif interne adaptées à cette distance.
- \* le nombre de dispositifs internes.
- \* l'emplacement des matrices ET-OU.

Le pas entre les dispositifs de même nature doit s'adapter à l'environnement où l'on le place. Par exemple, les transistors de charge des monômes doivent s'adapter à leur pas [PET-83].

La dimension d'un dispositif dépend fortement de son comportement électrique vis-à-vis du comportement du PLA. Par exemple les amplificateurs des entrées et les décodeurs sont placés au pas minimal lorsque l'incursion des entrées se fait par les extrémités du PLA. Autrement, ils vont être distribués sur le pourtour du PLA en fonction des emplacements des connecteurs d'entrée. Le nombre de dispositifs dépend étroitement du nombre d'éléments contrôlés par ces dispositifs ou du nombre d'éléments qui contrôlent ces dispositifs.

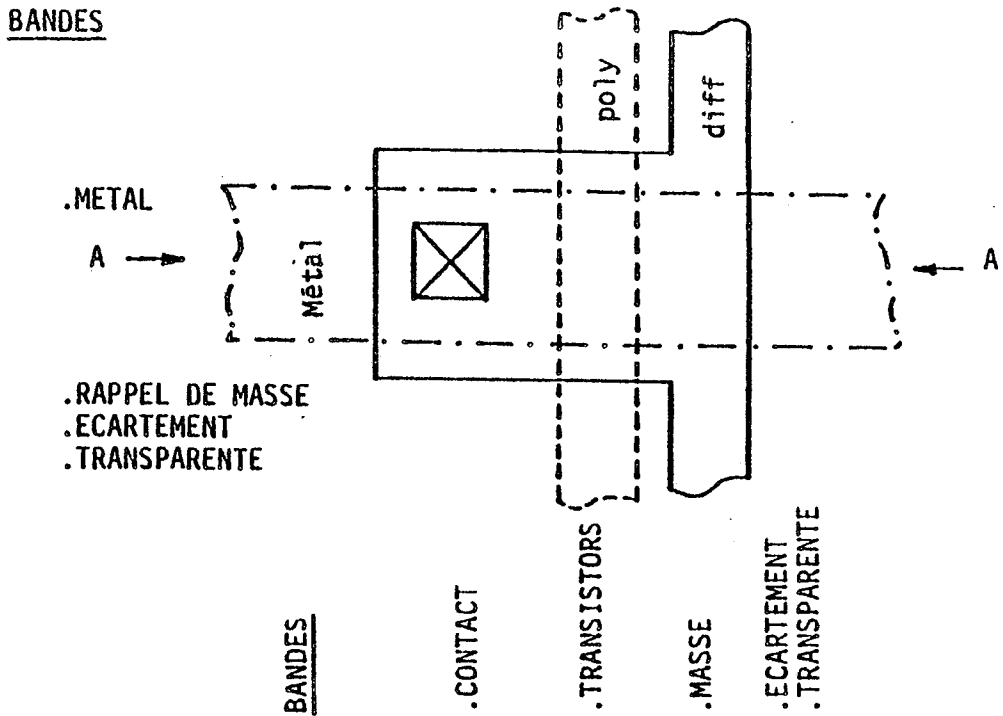
### III.3. MODELISATION DU DESSIN.

#### III.3.1. Topologie d'un point de PLA.

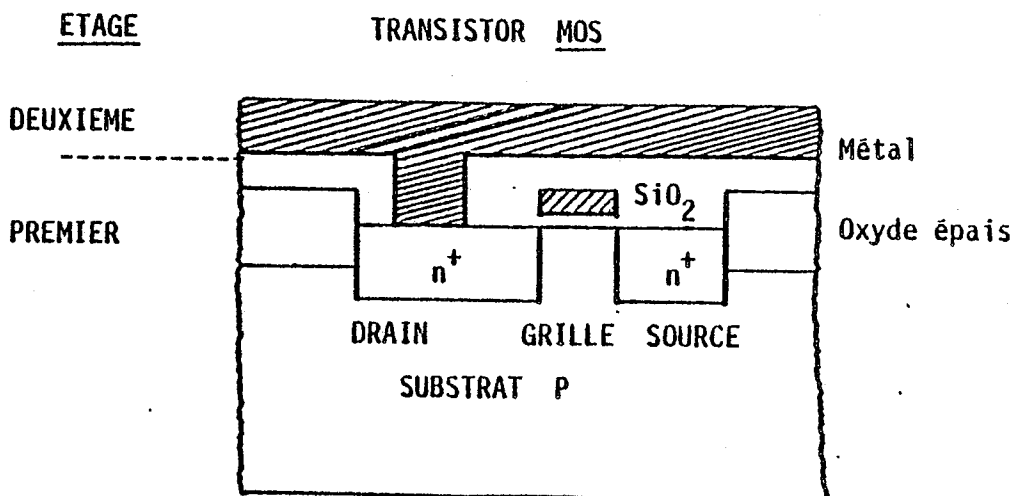
Dans une technologie MOS, un point de PLA consiste en un seul transistor enrichi. La topologie de ce transistor est schématisée dans la figure 3.3 dont le dessin des masques et une coupe montrent la structure du transistor.

La technologie fixe donc la topologie du transistor qui est étroitement liée au dessin de ses masques, tandis que sa géométrie est fixée par un calcul électrique préalable d'après les hypothèses de fonctionnement. Cette topologie du transistor devient alors l'objet de départ pour la conception du modèle de dessin [ASA-82].

En outre, les paramètres technologiques déterminent le comportement



a. Dessin des masques et bandes associées.



b. Coupe A-A': Topologie physique.

Fig. 3.3. Un POINT PLA en technologie MOS.

électrique du transistor. Il y a donc un compromis entre la taille du transistor et la surface du PLA pour déterminer le temps de reponse du PLA.

### III.3.2. Définition du modèle de bandes pour le dessin.

La structure topologique d'une matrice est définie par celle d'un point de PLA, car les points sont placés régulièrement dans les matrices. Un point de PLA peut être représenté symboliquement tel que l'on montre dans la figure 3.4.

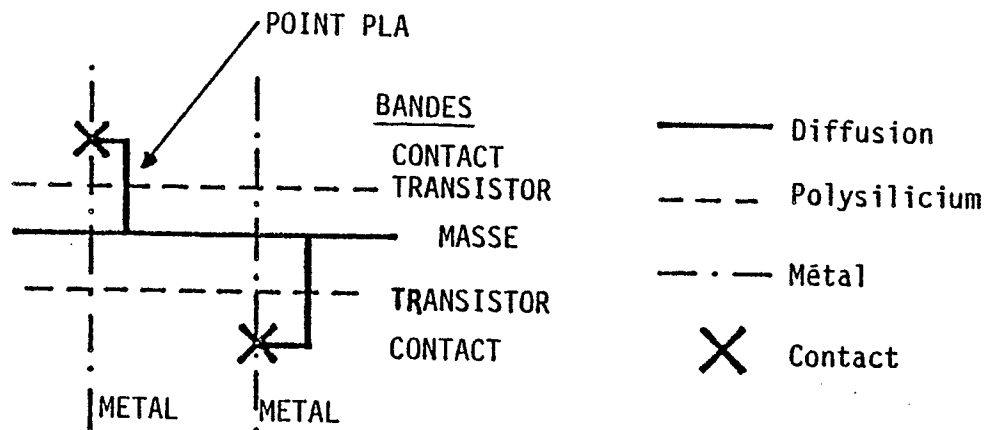


Fig. 3.4. Dessin symbolique d'un POINT PLA.

La perpendicularité et le parallélisme des traits sont les caractéristiques de départ du modèle des bandes pour le dessin.

Chaque trait horizontal est alors associé à une bande de dessin d'un type défini telle qu'une bande de masse, une bande de contacts, etc.

Chaque trait vertical est aussi associé à une bande de dessin telle qu'une bande de métal, une bande de rappel de masse, etc.

Un trait est donc représenté par une bande de dessin et dorénavant la biunivocité entre ces deux représentations doit être comprise implicitement.

L'ajout des informations sémantiques à chaque croisement de deux bandes qui font référence à la géométrie et à la technologie vis-à-vis du dessin des masques va permettre une gestion plus souple de cette structure lors de la génération de sa description. Ceci nous amène à considérer la proposition suivante:

## Chapitre III: Dessin automatique des PLA optimisés

### PROPOSITION 3.1.

Une bande de dessin accueille toujours un conducteur.

#### III.3.3. Les bandes de dessin.

Dans une technologie MOS, les bandes de dessin sont groupées en deux couches qui géométriquement sont placées de manière perpendiculaire. La première couche comporte la séquence parallèle des bandes suivantes [CHU-82]:

- \* Bande de transistors qui contient une ligne de polysilicium et les zones actives des transistors commandés. Cette bande comportera plusieurs segments de polysilicium lorsque ceux-ci représentent les entrées brisées d'une matrice ET.
- \* Bande de contacts comportant les zones de contact entre le drain des transistors et le fil métallique les reliant (c'est-à-dire, un monôme dans la matrice ET ou une sortie de la matrice OU).
- \* Bande de masse comportant une ligne de diffusion qui constitue la masse électrique reliant toutes les sources des transistors. Cette ligne comporte ses contacts avec les "rappels de masse".
- \* Bande d'écartement qui correspond à l'espace nécessaire pour résoudre les conflits dans la matrice OU. Elle est utilisée comme un canal libre pendant le tracé des connexions internes.
- \* Bande de transparence qui correspond à un espace réservé au passage d'une connexion externe traversant le PLA dans la direction du silicium polycristallin et de la diffusion.

La seconde couche comporte la séquence parallèle des bandes suivantes:

- \* Bande de métal qui contient une ligne de métal. Cette bande comporte plusieurs segments métalliques lorsque ceux-ci représentent les sorties brisées d'une matrice OU.
- \* Bande de rappel de masse comportant une ligne de métal qui distribue la masse électrique aux différentes bandes de masse en diffusion.



## CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A.

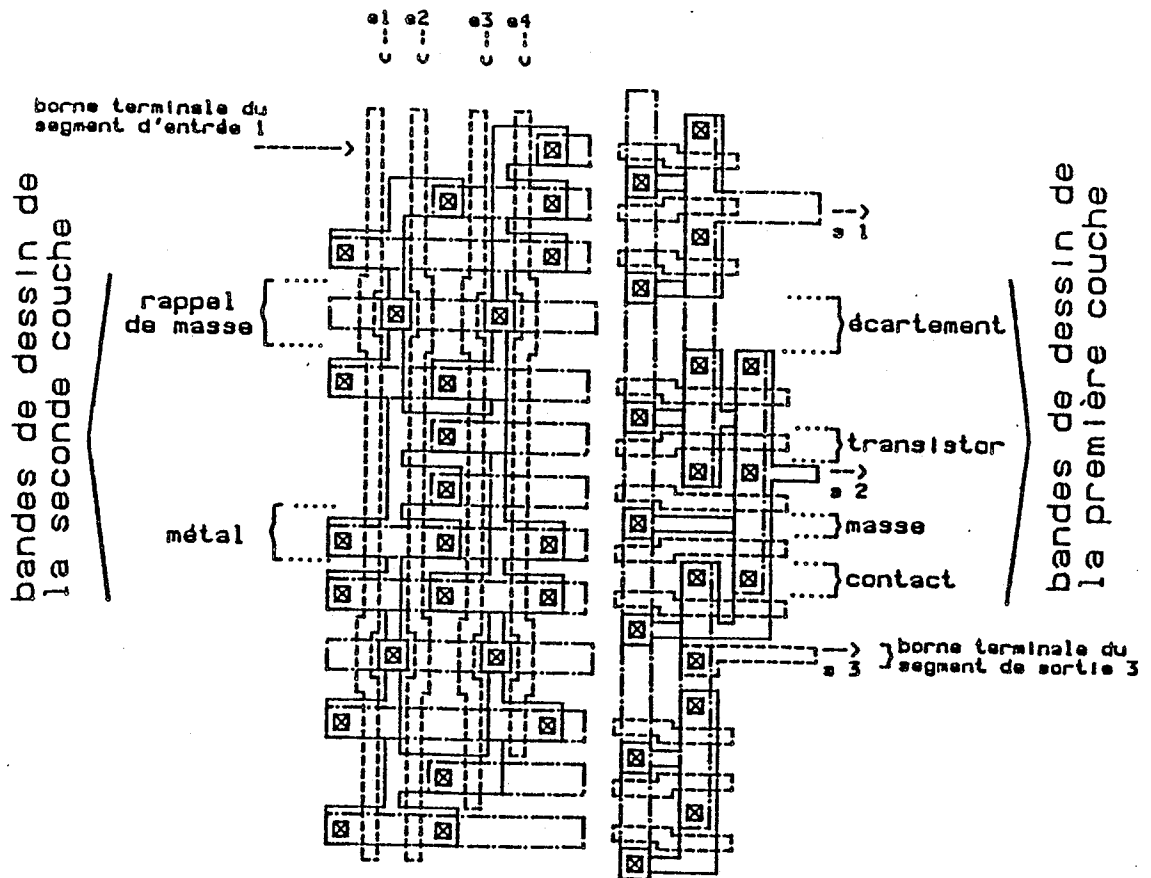


FIG. 3.5. DISPOSITION GEOMETRIQUE DES BANDES DE DESSIN.

- \* Bande d'écartement qui correspond à l'espace nécessaire pour résoudre les conflits dans la matrice ET. Elle est utilisée comme un canal libre pendant le tracé des connexions internes.
- \* Bande de transparence qui correspond à un espace réservé au passage d'une connexion externe traversant le PLA dans la direction du métal.

Il est évident que les bandes définies ci-dessus ne sont valables que pour les technologies MOS. Un changement de technologie (AsGa, bipolaire, etc.) oblige à changer les types des bandes, mais le principe de la génération du dessin reste le même. La figure 3.5 montre la disposition des BANDES sur le dessin d'un PLA.

## Chapitre III: Dessin automatique des PLA optimisés

### III.3.4. Influence de la technologie.

Le dessin des masques d'un PLA doit obéir aux règles de la technologie utilisée. Ceci oblige à prendre en compte les paramètres de cette technologie, en ce qui concerne les règles de dessin et les paramètres électriques [STE-82].

La taille d'un point de PLA, la couverture géométrique des entrées (sorties) et des monômes fixent le temps de transit dans le PLA. D'autre part lorsqu'une technologie change de règles de dessin, il faut rédéfinir les points et les diverses cellules constituant le dessin.

Le calcul automatique d'un point à partir des paramètres de la technologie est nécessaire (Cf. chapitre V). En outre, la topologie du PLA dépend fortement de la technologie et du type de porte logique utilisée pour sa réalisation.

### III.4. EFFETS D'ORIGINE TOPOLOGIQUE MODIFIANT LA MORPHOLOGIE D'UN P.L.A.

Il existe un certain nombre d'effets d'origine topologique concernant soit une action provenant du concepteur, soit un phénomène intrinsèque, qui modifient la morphologie d'un PLA.

Parmi les actions provenant du concepteur se trouvent: l'allongement et la transparence du PLA, et l'insertion des canaux d'écartement.

Parmi les phénomènes intrinsèques se trouvent: les conflits topologiques, les rappels de masse, l'insertion des canaux d'écartement et l'interaction entre les matrices ET et OU.

#### III.4.1. Les conflits topologiques.

Un conflit topologique est engendré lorsque deux segments internes  $S_m$  et  $S_n$  sont placés dans une même colonne "j" et que la distance entre leur couvertures géométriques est égale à "1". Formellement, un conflit topologique est défini de la manière suivante:

## CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A.

Soit

- \*  $S_m$  et  $S_n$  deux segments internes placés dans la même colonne "j" de la matrice B, dont  $S_m$  se trouve au-dessus de  $S_n$ .
- \*  $\text{Couv } S_m = [h_m \dots f_m]$ .
- \*  $\text{Couv } S_n = [h_n \dots f_n]$ .
- \*  $\text{Couv } S_m * \text{Couv } S_n = []$ .

Donc

### DEFINITION 3.1.

Deux segments internes  $S_m$  et  $S_n$  placés dans une même colonne "j" engendrent un CONFLIT topologique lorsque la condition 3.1 est accomplie.

### CONDITION 3.1.

$$h_n - f_m = 1.$$

De manière générale, nous dirons qu'un CONFLIT est présent dans la rangée "i" de la matrice B si la condition 3.2 est accomplie.

### CONDITION 3.2.

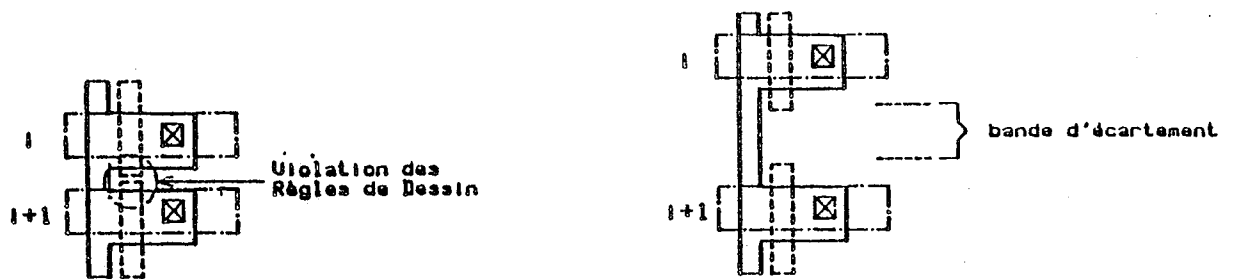
$$C[i] := (B[i,j] > 0) \text{ et } (B[i+1,j] > 0) \text{ et } (B[i,j] <> B[i+1,j])$$

Cette condition projette tous les conflits présents dans la matrice B sur le vecteur conflit C.

Physiquement, un conflit topologique indique la présence de deux transistors contigus appartenant à deux segments internes différents se trouvant dans une même colonne.

LEMME 3.1.

Un conflit topologique dans une matrice ET peut engendrer une violation de gardes.



Un 'Conflit Topologique' dans la matrice ET.

Elimination du CONFLIT par placement d'une bande d'écartement.

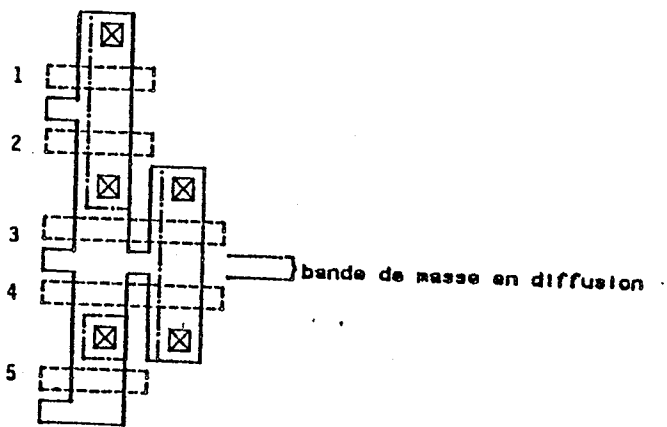
FIGURE 3.6.

Lorsque nous implantons directement une matrice ET dans une technologie MOS, la présence d'un conflit topologique engendre la structure montrée dans la figure 3.6. Il est évident que les gardes seront violées lorsque le pas des monômes oblige à un rapprochement des entrées " $e_m$ " et " $e_n$ " au-delà des limites souhaitées. Pour éviter cette violation, l'insertion d'un canal d'écartement les éloignant suffisamment est impérative. L'insertion d'un rappel de masse à l'endroit du conflit, au lieu d'un canal d'écartement, est aussi envisagée.

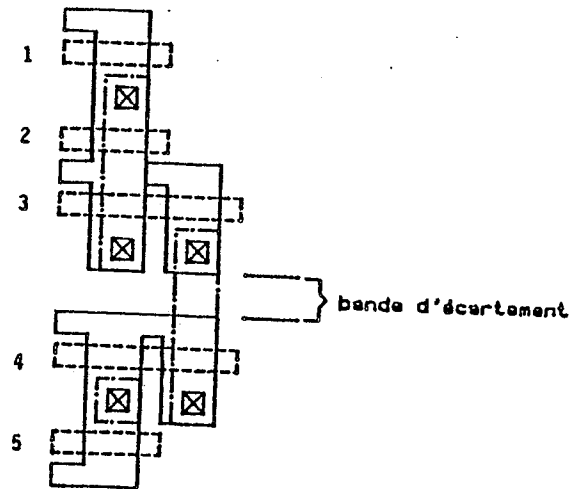
LEMME 3.2.

La présence d'un conflit topologique dans une matrice OU peut engendrer une violation de gardes.

Lorsque nous implantons directement une matrice OU dans une technologie MOS, deux cas se présentent, à savoir:



*Elimination d'un "Conflit" par placement d'une bande de masse.*



*Elimination d'un "Conflit" par placement d'une bande d'écartement.*

FIGURE 3.7.

Cas 1.

Une ligne de masse peut être placée pour écarter ces deux transistors contigus (c'est-à-dire, le conflit est éliminé par le placement d'une bande de masse, Fig.3.7a).

Cas 2.

Un contact peut être partagé par ces deux transistors contigus dont les couvertures géométriques se chevauchent et donnent une configuration de "court circuit". Celle-ci doit être éliminée ou évitée de manière à que les deux sorties concernées soient écartées convenablement. L'insertion d'un canal d'écartement évite ce conflit (c'est-à-dire, son élimination par écartement, Fig.3.7b).

Ces deux cas montrent la nécessité de gérer aussi bien les conflits que les rappels de masse et les canaux de transparence. Plus tard, nous introduirons l'insertion de canaux d'écartement qui vont accueillir les connexions internes.

III.4.2. L'allongement du bloc PLA.

D'après la méthodologie de conception des circuits VLSI présentée dans le chapitre I, la notion essentielle qui consiste à réaliser une adaptation topologique des blocs composant un circuit VLSI pour réduire la surface d'interconnexion reste valable, et peut-être encore mieux utilisée lorsqu'il s'agit des PLA.

L'adaptation topologique (Cf. lemme 1.2) des PLA concerne précisément leur allongement dans le sens vertical (c'est-à-dire, dans le sens des entrées/sorties) de telle manière que les blocs à connecter se trouvent face à face et que leur bornes d'interconnexion soient dans le même ordre (Fig.2.25).

Cette approche amène un gain de surface puisqu'on élimine carrément la nappe d'interconnexion qui pouvait exister si l'on ne faisait pas cette adaptation de longueur. Un PLA qui a une longueur plus petite que celle du bloc auquel il est connecté peut donc être allongé d'après l'un de ces critères:

- \* Dupliquer certains monômes. Ce critère vise un meilleur compactage de la matrices OU en dégradant le compactage de la matrice ET (Cf. chapitre II).
- \* Insérer un certain nombre de canaux d'écartement. Cette insertion peut être réalisée par le concepteur (pour améliorer considérablement le tracé des connexions internes) ou de manière automatique (lors du tracé des connexions internes dans le cas défaillant des algorithmes de tracé, voir chapitre IV).
- \* Elargir les bandes de dessin de telle manière que l'on accomplit la dite adaptation topologique. Ce critère permet l'amélioration du comportement électrique du PLA, car les rappels de masse peuvent être plus éloignés et les points seront plus rapides et moins résistants.
- \* Diminuer la distance entre deux rappels de masse. Ce critère permet une augmentation implicite du nombre de rappels de masse qui allongent considérablement la matrice ET et élargissent la matrice OU, mais rend

plus simple le tracé des connexions internes dans la matrice OU. La performance électrique du PLA sera en même temps améliorée.

### III.4.3. Les rappels de masse.

Dans un point de PLA, la masse électrique est véhiculée par un barreau de diffusion. Ceci entraîne une dégradation du niveau logique ZERO lorsque ces lignes de diffusion ont une longueur importante [MAT-83]. Pour pallier à cet inconvénient, il nous faut utiliser des RAPPELS DE MASSE en métal qui vont distribuer la masse électrique partout où l'on trouve ces lignes de masse en diffusion. Ceci assure un bon maintien du ZERO logique de la masse dans chaque élément actif des matrices.

Il est évident que l'insertion de ces rappels de masse va augmenter la surface du PLA. Une étude déterminant la distance maximum entre deux rappels de masse est tout à fait nécessaire. Pour cette distance maximum  $PAS_{RM}$ , la surface additionnelle sera minimale en regard des performances à atteindre. Un calcul électrique préalable, concernant le temps de propagation dans le PLA, fixe la distance maximale entre ces rappels.

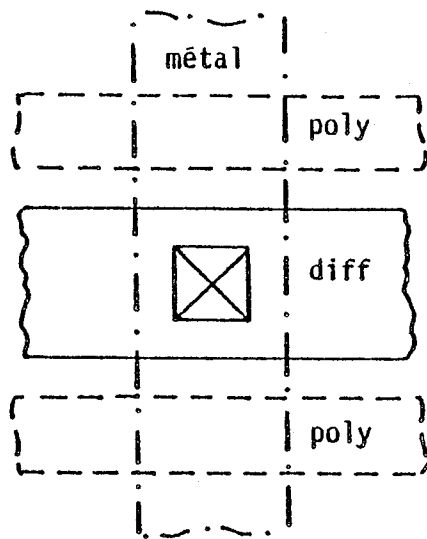
Ce placement fait partie du processus d'assemblage de la structure des bandes. Il dépend du type des matrices. Les rappels de masse seront toujours implantés en métal. Dans la matrice ET, ils seront placés parallèlement aux monômes, tandis que dans la matrice OU, ils seront placés parallèlement aux sorties. Le placement des rappels de masse dans la matrice ET entraîne ici un écartement forcé dans la matrice OU pour assurer la cohérence géométrique.

Les emplacements effectifs des rappels sont uniformément distribués et leur nombre est fourni par la formule suivante:

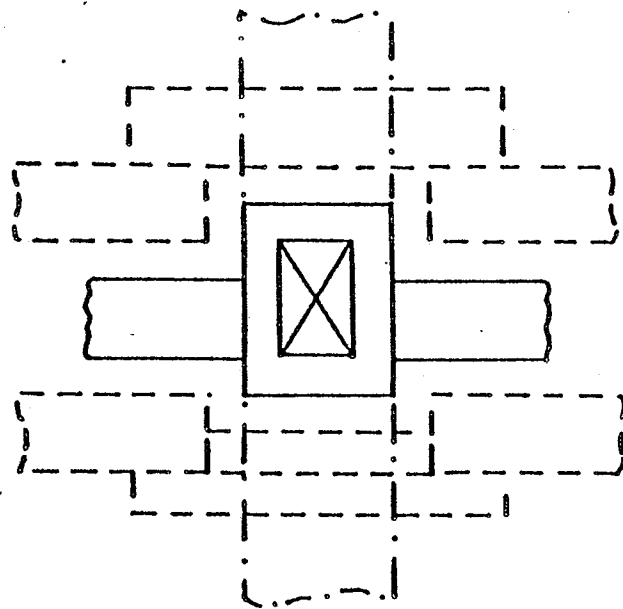
$$\text{Nombre de Rappels} = \left[ \frac{N - PAS_{RM}}{PAS_{RM}} \right] + 1;$$

dont N représente le nombre de monômes de la matrice ET, ou le nombre de niveaux de la matrice OU.

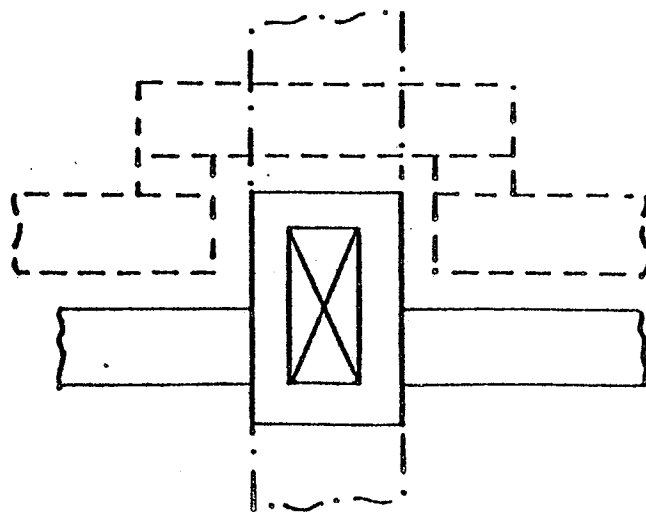
La forme d'un rappel de masse dépend exclusivement des dimensions des



A. Dominance de la ligne de masse.



B. Faible dominance du contact



C. Forte dominance du contact

Fig. 3.8. Formes de Rappels de Masse en technologie MOS.



lignes en jeu (par ex., la largeur des bandes de transistor, de masse et de contact). La figure 3.8 montre toutes les possibilités de forme des rappels de masse en fonction des paramètres géométriques du point de PLA.

L'incidence de la largeur d'un rappel de masse placé dans la matrice ET vers la matrice OU est réalisée en lui associant un monôme fictif qui assure la cohérence géométrique à l'intérieur du PLA. Ce monôme fictif est représenté par le rappel de masse dans la matrice ET et par un canal d'écartement dans la matrice OU.

Le temps de reponse d'un PLA dépend fondamentalement de la capacité attaquée par chaque matrice. Cette dernière dépend des matériaux et de la longueur des connexions. Nous sommes donc obligés de minimiser la longueur des connexions internes lors de leur tracé. La figure 3.9 montre le circuit équivalent d'une partie de PLA dont:

- \* r représente la résistance équivalente de la géométrie de connexion entre la source d'un transistor et les rappels de masse voisins.
- \* z représente la résistance équivalente de la connexion interne, qui dépend de la longueur et des divers matériaux constituants.

#### III.4.4. La transparence d'un PLA.

Il est souhaitable de rendre transparent un bloc PLA de manière à pouvoir tracer certaines interconnexions le traversant (Cf. lemme 1.3). Ceci améliore la topologie du circuit et représente une surface dédiée aux interconnexions, faible par rapport à la surface des blocs.

D'après la définition de la transparence d'un bloc, il est toutefois nécessaire d'intégrer cette notion dans la conception des PLA. Un PLA a généralement une surface non négligeable par rapport aux autres blocs composant un système VLSI. Le nombre de ces blocs oblige à appliquer la notion de transparence à chacun d'entre eux de manière à pouvoir réduire la surface d'interconnexion et en même temps les rendre plus déformables [GUY-83].

Si l'on tient compte de ces prémisses dans la conception des PLA, ceux-ci

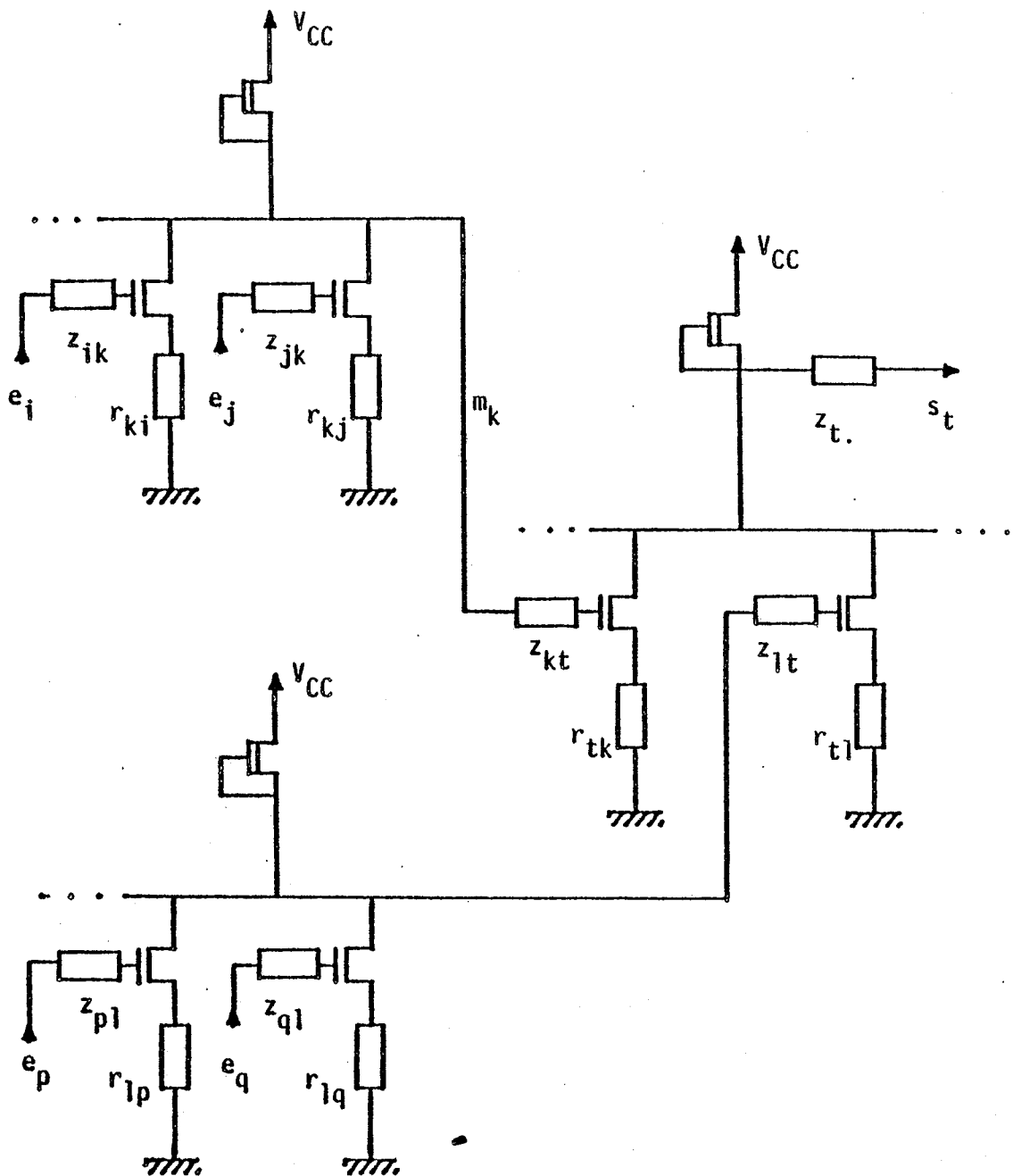


Fig. 3.9. Circuit équivalent statique d'une partie de PLA.

doivent être transparents dans les deux sens: vertical et horizontal. Cette transparence est possible si nous insérons dans la structure des bandes un ensemble de bandes dites "de transparence" qui vont réaliser les connexions externes traversant le PLA.

Du point de vue de la topologie globale d'un PLA, une connexion qui le traverse dans le sens vertical va se comporter comme une entrée ou une sortie supplémentaire, tandis que si cette connexion le traverse dans le sens

horizontal, elle va se comporter comme un monôme de plus n'ayant aucun élément interne actif.

L'insertion des canaux de transparence dans le sens horizontal ne pose aucun problème ceux-ci sont considérés comme des monômes fictifs. Un canal de transparence est réalisé par une bande d'écartement mais elle doit accueillir le conducteur nécessaire réalisant la connexion externe concernée. Ce conducteur consiste en une couche métal dans la matrice ET et en une couche polysilicium dans la matrice OU.

L'insertion des canaux de transparence dans le sens vertical ne pose aucun problème car ceux-ci sont considérés comme des entrées/sorties fictives. Un canal de transparence est réalisé par une bande d'écartement mais elle doit accueillir le conducteur nécessaire réalisant la connexion externe concernée. Ce conducteur est implanté en métal dans la matrice OU et en polysilicium dans la matrice ET.

#### III.4.5. L'insertion des canaux d'écartement.

Un canal d'écartement est inséré dans la structure d'un PLA afin d'améliorer le tracé des connexions internes. Cette insertion est réalisée tantôt par le concepteur, tantôt par le processus de tracé automatique.

Ces canaux occupent une place qui est considérée comme un monôme fictif (si ils sont placés dans le sens horizontal) ou comme une entrée/sortie fictive (si ils sont placés dans le sens vertical).

Les algorithmes de tracé automatique détectent l'impossibilité de trouver une connexion interne (Cf. chapitre IV). Dans ce cas, un canal d'écartement est inséré automatiquement dans la structure intermédiaire pour permettre le placement direct de la connexion interne recherchée.

En outre, plutôt que de résoudre un conflit topologique par une réorganisation supplémentaire des matrices pendant leur compactage, nous utilisons sa présence pour améliorer les possibilités du tracé des connexions internes dans la matrice OU, car un conflit est parfois éliminé par l'insertion d'un canal d'écartement (Cf. paragraphe III.4.1).

Par ailleurs, le concepteur peut allouer au préalable un certain nombre de

canaux d'écartement destinés au placement direct des connexions internes en vue d'aider le tracé automatique.

#### III.4.6. L'interaction entre les matrices ET et OU.

L'allongement de la matrice ET doit être reflété dans la matrice OU et vice versa. Par contre l'élargissement de la matrice ET n'influe pas sur la matrice OU. Cette réflexion doit tenir compte de la topologie des rappels de masse, du placement des canaux d'écartement, etc. car, ceux-ci engendrent une déformation de la topologie globale du PLA. Ceci nous oblige à maintenir une cohérence très poussée entre les descriptions des matrices ET et OU.

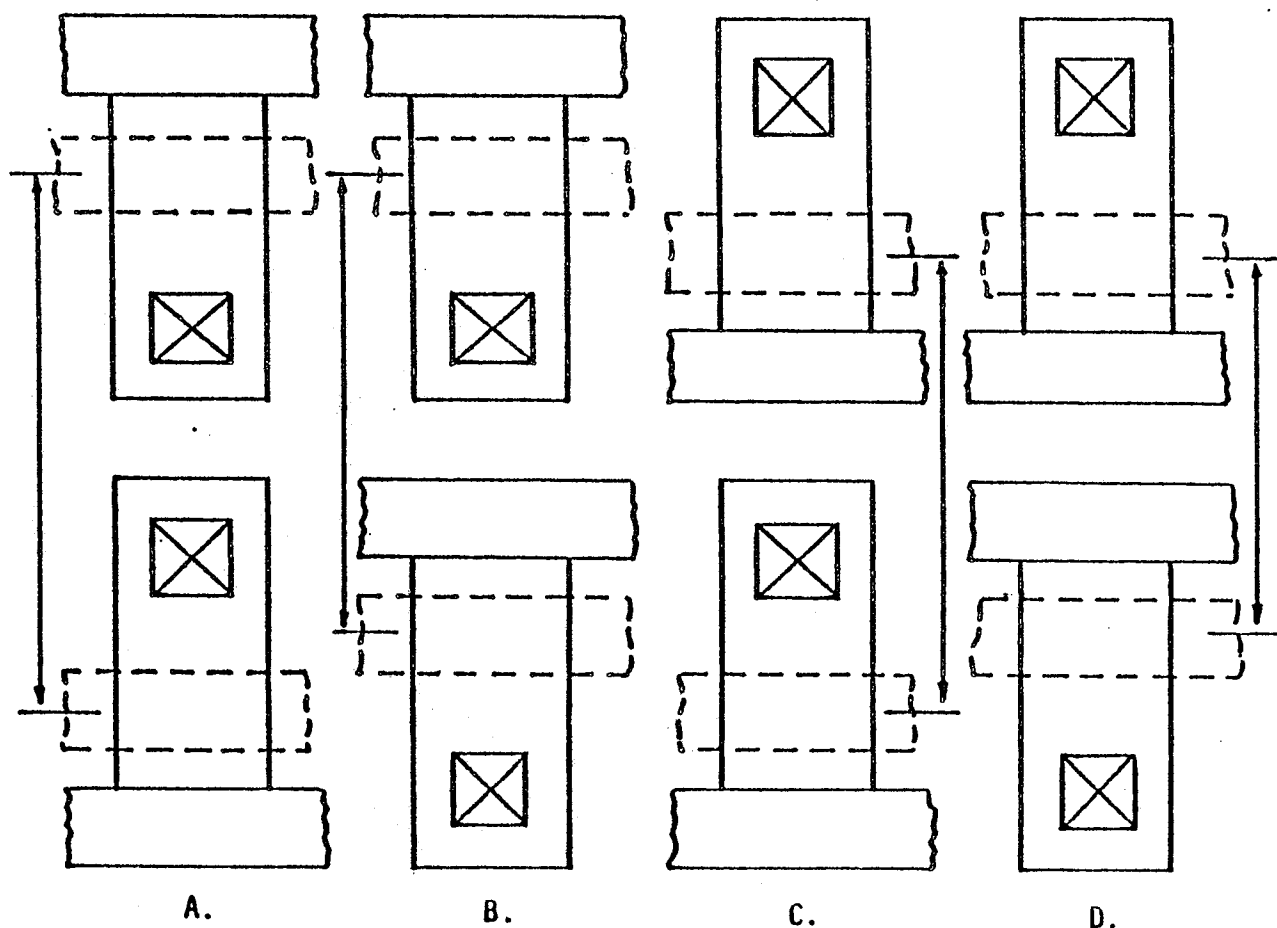


Fig. 3.10. Variantes dans l'insertion d'une bande d'écartement.

En outre, l'alternance des formes topologiques correspondant aux monômes dans la matrice OU nous oblige de prévoir les alternatifs d'implantation lors de l'insertion d'un canal d'écartement dans la matrice ET. Ces alternatifs sont montrés dans la figure 3.10. D'après une analyse succincte des

configurations adaptées au traitement automatique, nous tenons à garder les configurations "b" et "c", car celles-ci n'altèrent pas les pas verticaux des bandes.

Par ailleurs, les matrices doivent avoir une cohérence mutuelle du point de vue de leur géométrie, autrement dit, la hauteur d'une matrice doit être compatible avec celle des autres. Les monômes doivent être face à face et pour s'en assurer, le dimensionnement des transistors de chaque matrice du PLA ainsi que celui des éléments auxiliaires (tels que les rappels de masse, etc.) doit globalement s'adapter de manière cohérente. Ceci nous oblige à considérer la proposition suivante:

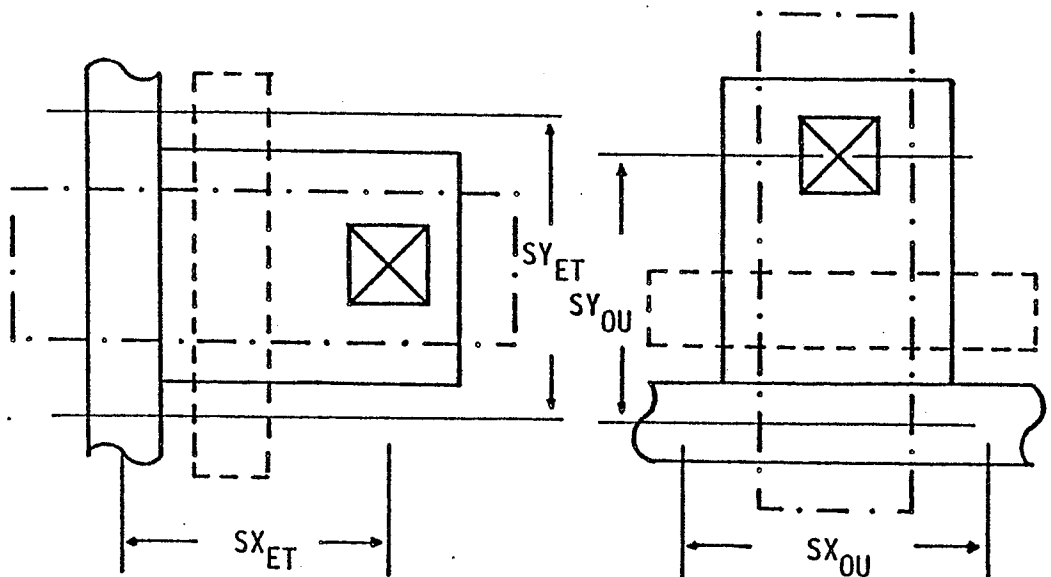


Fig. 3.11. Cohérence géométrique des POINTS ET-OU.

**PROPOSITION 3.2.**

Les motifs de base de chaque matrice composant un PLA doivent concorder en hauteur (Fig.3.11). Ceci dit:

$$\text{HAUTEUR motif ET} = \text{HAUTEUR motif OU}$$

### III.5. STRUCTURE INTERMEDIAIRE DU MODELE DES BANDES DE DESSIN.

#### III.5.1. Structure du modèle.

Cette structure est bâtie d'après les critères suivants:

- \* Un monôme est transformé en un ensemble de bandes de dessin parallèles dans le sens horizontal. Cette transformation dépend du type de matrice et du voisinage du monôme. Par exemple, un monôme de la matrice OU est transformé en deux bandes: soit une bande de masse et une bande de transistors, soit une bande de contacts et une bande de transistors.
- \* Une entrée ou une sortie est de même transformée en un ensemble de bandes de dessin parallèles dans le sens vertical.
- \* L'intersection ou le croisement de deux bandes de dessin détermine une "cellule".
- \* Chaque "cellule" contient un certain nombre d'informations concernant:
  - \* le "mode de placement" des rectangles composant la cellule,
  - \* la topologie de la cellule vis-à-vis des cellules voisines et de la topologie globale de la matrice,
  - \* les étages symboliques (Fig.3.3) vis-à-vis de la structure du point de PLA concerné.

Cette structure ainsi décrite permet de repérer un ensemble de cellules référencant un même rectangle sous un mode de placement défini, qui facilite sa génération en lui associant une longueur maximale. Cette approche minimise le nombre de rectangles à dessiner et permet ainsi l'indépendance technologique et le traitement des PLA optimisés et non-optimisés.

L'allongement d'un rectangle est réalisé en fonction du "mode de placement" qui lui est associé au moment de la définition de la cellule. Les "modes de placement" pris en compte sont:

\* Extensible.

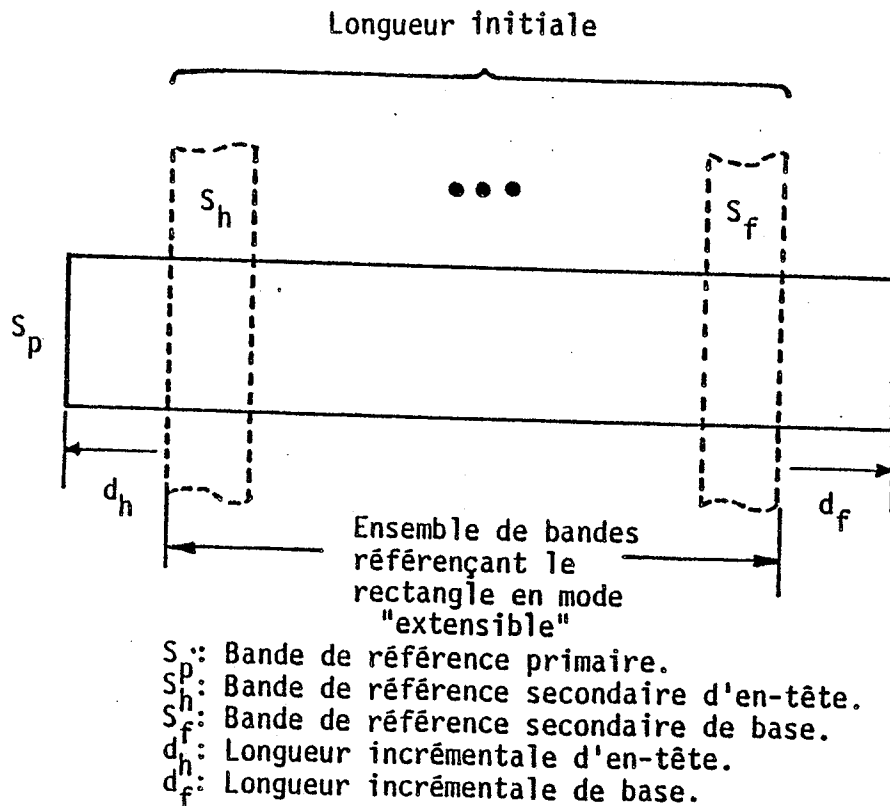


Fig. 3.12. Allongement d'un rectangle en mode extensible.

Ce mode oblige à prendre en compte le voisinage de la cellule pour déterminer l'ensemble de cellules lui faisant référence. Cet ensemble fixe la dimension du rectangle en fonction des bandes dites "primaires" et "secondaires" (fixées par les références d'accès à la cellule, Fig.3.12), et les extrémités de l'ensemble.

\* Semi-extensible.

Ce mode est semblable au précédent, mais la compatibilité géométrique des rectangles parmi les cellules voisines doit être respectée.

\* Ponctuel.

Ce mode entraîne le placement direct du rectangle sans aucun changement.

Une extension particulière de ce mode concerne la prise en compte de la topologie des connexions internes. Une connexion interne est constituée d'un ensemble de segments ordonnés dont chacun est

perpédiculaire à son prédecesseur et à son successeur. La prise en compte de cette structure (Fig. 3.13) nous amène à enrichir le modèle de bandes avec deux nouveaux modes de placement concernant les angles ou coudes de la connexion. Ces deux modes sont la "tête" et la "queue" dont l'un est symétrique à l'autre lorsqu'ils sont présents dans une même bande de dessin.

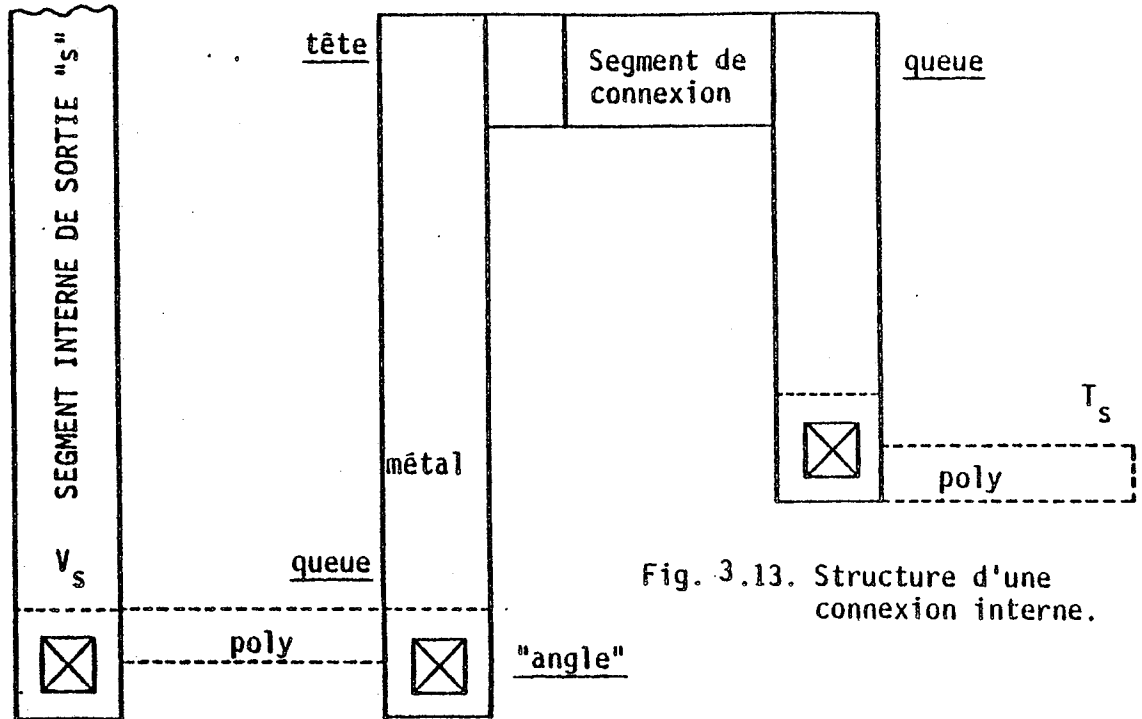


Fig. 3.13. Structure d'une connexion interne.

### III.5.2. Structure des données.

La structure des données correspondant au modèle ci-dessus est implantée dans la mémoire de l'ordinateur selon le schéma montré par la figure 3.14, dont les trois descripteurs, la forme intermédiaire de la matrice, et l'interface vers l'ensemble de rectangles qui définissent un point de PLA, sont enchaînés [CHU-81].

Cette structure est bâtie par un assembleur de bandes qui, d'une part construit la forme intermédiaire du dessin depuis la représentation symbolique de la matrice, et d'autre part, construit l'image des rectangles composants un point de PLA à partir d'un "fichier technologique" conçu à cet effet.



## CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A.

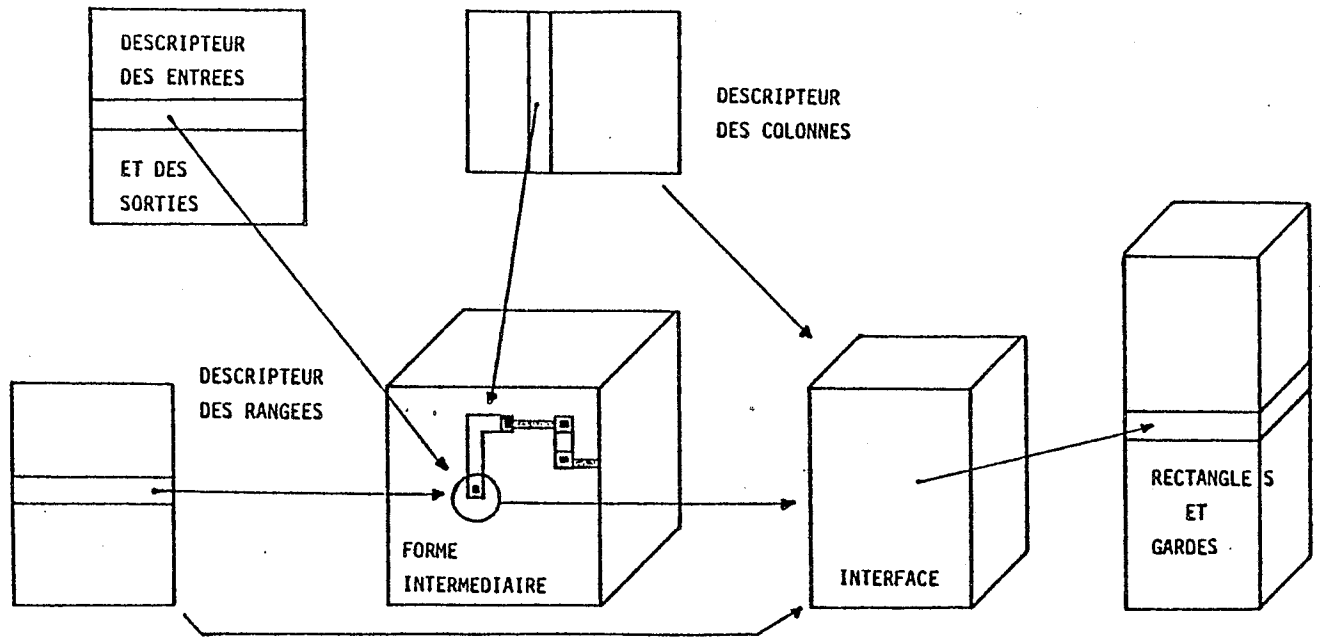


FIG. 3.14. STRUCTURE DES DONNEES INTERMEDIATRES.

### III.6. ASSEMBLAGE DE LA STRUCTURE INTERMEDIAIRE.

#### III.6.1. Approche.

La structure des bandes est assemblée d'après la représentation symbolique de la matrice concernée [ACK-83], [DOL-82]. Le dessin de chaque matrice est généré sous la forme d'un croisement de deux couches, chacune constituée d'une "séquence" parallèle de bandes. Chaque "séquence" est constituée en fonction des différentes dispositions d'un point de PLA dans chacune des matrices ET-OU. Dans le cas d'une technologie MOS, ces deux "séquences" ont chacune les bandes de dessin suivantes:

- \* Les bandes horizontales d'une matrice ET (verticales d'une matrice OU)  
= [Métal, Rappel de Masse, Ecartement, Transparence].
- \* Les bandes verticales d'une matrice ET (horizontales d'une matrice OU)  
= [Contact, Masse, Transistors, Ecartement, Transparence].

L'assemblage de ces bandes tient compte des caractéristiques telles que:

- \* Les conflits topologiques qui engendrent le placement des canaux

### Chapitre III: Dessin automatique des PLA optimisés

d'écartement les absorbant.

- \* Le placement préalable des rappels de masse.
- \* Les emplacements des canaux de transparence.
- \* La cohérence géométrique entre les matrices ET et OU.
- \* Les emplacements des canaux d'écartement définis soit par le concepteur, soit automatiquement lors du tracé des connexions internes.

Ces caractéristiques entraînent la prise en compte des répercussions mutuelles entre les deux matrices ET-OU, qui nous amènent à considérer un certain ordre dans l'assemblage des matrices. Car, les résultats de l'assemblage de l'une influencent sur l'assemblage de l'autre et vice versa. Cet ordre est imposé par le placement des canaux d'écartement, de transparence et de rappel de masse. Cet ordre est donc:

- \* L'assemblage des bandes dans la matrice ET.
- \* L'assemblage des bandes dans la matrice OU.

#### III.6.2. Algorithme d'assemblage.

La figure 3.15 montre l'algorithme d'assemblage des bandes pour une matrice ET, dans lequel la fonction SUIVANT tient compte de:

- \* la présence d'une bande pré-assignée (c.-à-d., une bande de transparence, de rappel de masse, ou d'écartement) à la rangée "i" pour l'insérer dans une séquence normale de bandes "[métal]\*",
- \* la présence d'une bande pré-assignée (c.-à-d., une bande d'écartement ou de transparence) à la colonne "j" pour l'insérer dans une séquence normale des bandes "[masse, transistors, contact, transistors]\*".

La fonction MOTIFS assigne au point  $B[i,j]$  un ensemble de cellules d'après une analyse incluant les points voisins et les types des bandes assignées à la rangée "i" et à la colonne "j".

Le même algorithme est utilisé pour assembler les bandes de la matrice OU mais auparavant il faut échanger le rôle du scalaire R avec le rôle du scalaire C, et le refléter dans la fonction SUIVANT.

## CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A.

```
AND_STRIP_ASSEMBLY:
  LET B be the bit pattern of the matrix;
  LET S be the strip structure;
  LET R = (Metal, Ground_Refresh, Free, Transparent);
  LET C = (Contact, Grid, Ground, Free, Transparent);
  LET RS be the STRIP types of the matrix rows;
  LET CS be the STRIP types of the matrix columns;
  FOR each row i DO (* row strip types assignment *)
    RS[i] := NEXT(R);
  FOR each column j DO (* column strip types assignment *)
    CS[j] := NEXT(C);
  FOR each cell B[i,j] DO (* build the strip structure *)
    S[i,j] := MOTIVES(B[i,j], RS[i], CS[j]);
END; (* AND_STRIP_ASSEMBLY *)
```

Fig. 3.15. Algorithme d'assemblage de la structure de bandes pour le dessin d'une matrice ET.

### III.7. GENERATION DE LA DESCRIPTION GRAPHIQUE.

#### III.7.1. Approche.

Chaque cellule fournit les informations suffisantes pour la génération des rectangles appartenant aux différents niveaux de masque vis-à-vis des configurations topologiques des points de PLA [LEE-81].

Un fichier technologique (Cf. chapitre V) contient les informations géométriques concernant:

- \* l'ensemble de rectangles configurant un point de PLA,
- \* le pas entre les niveaux métal, polysilicium et diffusion,
- \* la largeur des conducteurs,
- \* la taille des transistors qui implicitement est déterminée par les dimensions des rectangles, etc.

Dessiner une matrice complète consiste à balayer toutes les cellules de la structure des bandes et à générer les rectangles de chaque bande en fonction de leur mode de placement et des configurations rencontrées

L'assemblage de cellules pré-dessinées donne comme résultat un grand nombre de rectangles générées. Par contre, l'allongement convenable de certains rectangles d'une cellule sur un voisinage de cellules semblables

réduit sensiblement le nombre de rectangles générés, ce qui est notre cas.

### III.7.2. Algorithme de génération.

```
LAYOUT:
  LET S be the strip structure;
  FOR each cell S[i,j] DO
    CASE each MOTIVE IN S[i,j] OF
      Header,
      Footer,
      Punctual:
        PLACEMENT of all rectangles referring
        to this motive in this cell;
      Semi-Extend:
        PLACEMENT by extention of all rectangles
        referring to this motive in a set of contiguous
        cells and having the same specification on
        the TECHNOLOGICAL file;
      Extend:
        PLACEMENT by extention of all rectangles
        referring to this motive in a set of
        contiguous cells (Fig.3.12)
    END;
  END; (* LAYOUT *)
```

Fig. 3.16. Algorithme de génération de la description de DESSIN.

La figure 3.16 montre l'algorithme qui interprète la partie dessin du fichier technologique en fonction du contenu de la structure des bandes.

La partie dessin du fichier est préalablement calculée par un sous-système. Elle a la structure qui est montrée par la figure 3.17. Elle est automatiquement calculée depuis les paramètres secondaires qui sont calculés auparavant et décrivent la dimension du transistor de base. Ceci nous amène en quelque sorte à la paramétrisation du point par intervention directe du concepteur. Cette partie a un lien très étroit avec la structure des bandes. Par exemple l'imbrication des étages, des bandes primaires, des bandes secondaires, des modes de placement et des rectangles concernés correspond au modèle des bandes de dessin.

PAOLA génère une description géométrique des matrices exprimée dans un langage graphique tel que LUCIE, CALMA, CIF, GAMMA, GRANIT, etc. [SEQ-80]. Par exemple le contenu de la génération en langage LUCIE a une structure telle que:

```

LAYOUT_PART:
  WIDTH of each STRIP TYPE;
  LAYOUT_PARAMETERS:
    SET OF PHYSICAL_LAYERS;
    SET OF PRIMARY_STRIP;
    SET OF SECONDARY_STRIP;
    SET OF MOTIVES;
    SET OF RECTANGLES;
    END_MOTIVES;
    etc.
    INTERNAL_ROUTING_CONSTRAINTS;
    etc.
    END_SECONDARY_STRIP;
    etc.
    END_PRIMARY_STRIP;
    etc.
    END_PHYSICAL_LAYERS;
    etc.
  END_LAYOUT_PARAMETERS;
END; (* LAYOUT_PART *)

```

Fig. 3.17. Structure de la partie PARAMETRES de DESSIN du fichier technologique.

niv <Liste de niveaux de masque>

fig <nom de la matrice>

<Liste de rectangles>

ffig

Dans laquelle un rectangle est décrit ainsi:

rec(<origine X>,<origine Y>,<delta X>,<delta Y>,<niveau de masque>)

Il est évident qu'un changement de langage graphique nous oblige à changer soit les coordonnées des rectangles, soit la structure générée.

La figure 3.18 montre le dessin des masques d'un PLA n'incluant pas les connexions internes.

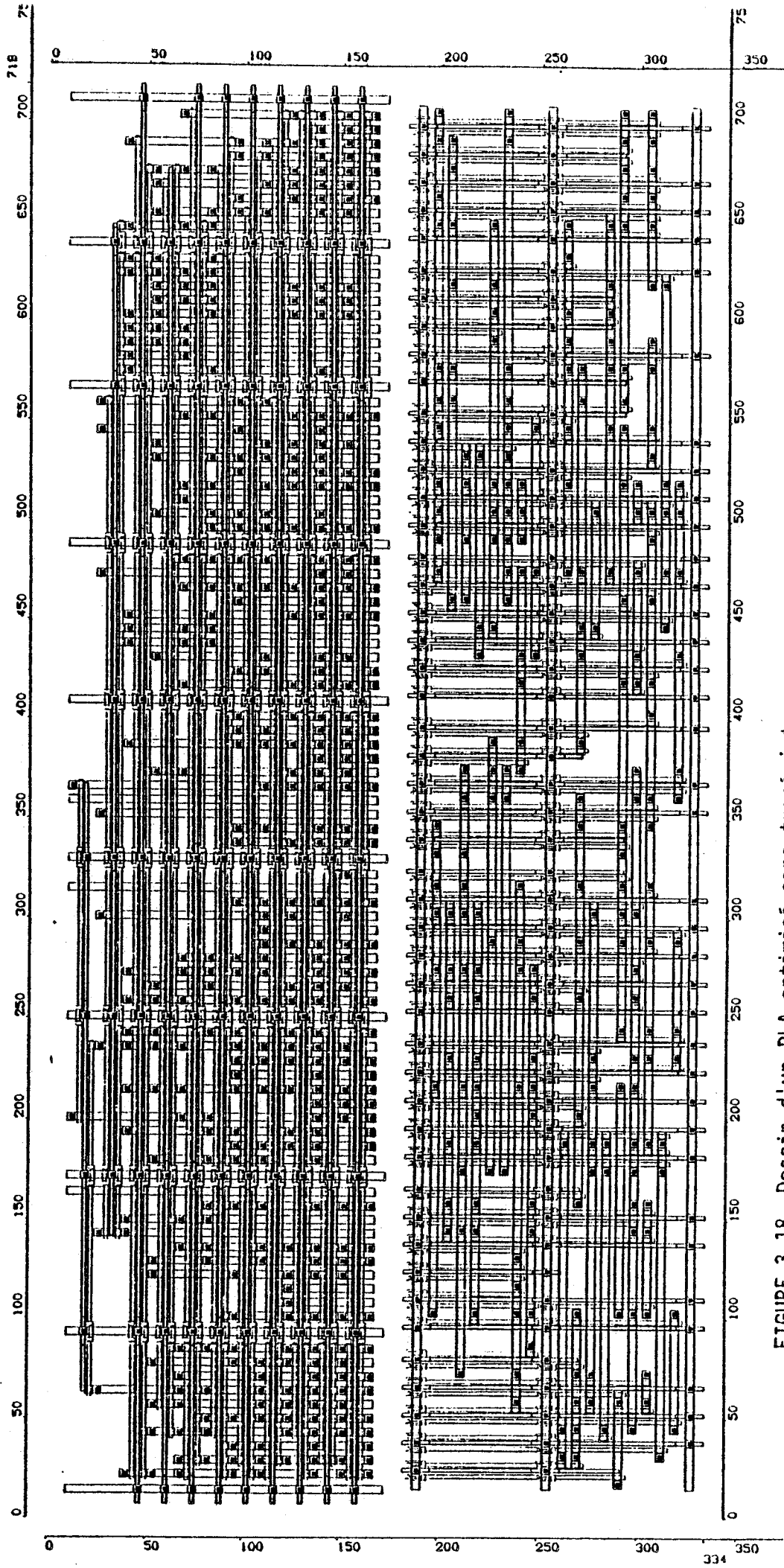


FIGURE 3.18. Dessin d'un PLA optimisé sans tracé interne.

### III.8. CONCLUSION.

Le dessin des matrices d'un PLA quelconque est généré de manière automatique et simple depuis la structure intermédiaire des matrices et le contenu du fichier technologique. Ce dessin ne présente évidemment aucune violation des gardes.

L'approche concernant l'extensibilité des rectangles, minimise le nombre de rectangles générés. Cette approche devient moins importante lorsque le langage graphique utilisé offre la possibilité de transformer un ensemble de rectangles qui se chevauchent en un polygone équivalent.

Dans ce chapitre, nous n'avons pas abordé le traitement de connexions internes, mais nous allons le faire dans le chapitre suivant.

Le calcul automatique de la partie dessin du fichier technologique est présenté dans le chapitre V. Ce calcul rend le dessin indépendant de la technologie toutefois que la structure des bandes reste la même.

## **CHAPITRE IV**

# **TRACE DES CONNEXIONS INTERNES DES P.L.A. OPTIMISES**





CHAPITRE            QUATRIEME  
=====            =====

LE   TRACE   DES   CONNEXIONS  
INTERNES   DES   P. L. A. OPTIMISES

IV.1. INTRODUCTION.

IV.1.1. Placement et tracé des connexions.

IV.2. LE TRACE DES CONNEXIONS INTERNES.

IV.2.1. Influence du modèle des bandes de dessin.

IV.2.2. Distribution des bornes d'interconnexion.

IV.2.3. Influence de la topologie d'un PLA optimisé.

IV.2.4. Influence des règles de dessin.

IV.2.5. Caractéristiques électriques des couches conductrices.

IV.2.6. Influence de la technologie.

IV.3. TRACE DANS UN MODELE COUCHE UNIQUE.

IV.3.1. Hypothèses pour le tracé.

IV.3.2. Formalisation du tracé.

IV.3.3. Complexité du tracé.

IV.3.4. Contraintes améliorant la distribution des segments internes.

IV.3.5. Algorithme de tracé.

IV.4. TRACE DANS UN MODELE DOUBLE COUCHE.

IV.4.1. Hypothèses pour le tracé.

IV.4.2. Formalisation du tracé.

IV.4.3. Complexité du tracé.

IV.4.4. Contraintes améliorant la distribution des segments internes.

IV.4.5. Algorithme de tracé.

IV.5. CONCLUSION.



## CHAPITRE            QUATRIEME

=====                    =====

### LE TRACE DES CONNEXIONS INTERNES DES P. L. A. OPTIMISES

#### IV.1. INTRODUCTION.

La conception d'un circuit VLSI nous montre que toute structure complexe doit être décomposée en plusieurs structures simples (Cf. chapitre I). L'implantation d'un circuit VLSI est alors décomposée en trois étapes:

- \* Le découpage du circuit en blocs fonctionnels. Ceci a pour but de réduire la complexité en la distribuant aux niveaux inférieurs.
- \* Le placement des composants dans chacun des blocs fonctionnels, et l'affectation des blocs à un emplacement quelconque sur la puce (dans le cas d'un circuit à la demande) ou un emplacement bien défini sur la puce (dans le cas d'un circuit prédiffusé).
- \* Le tracé des connexions reliant ces blocs.

Ces trois phases dépendent les unes des autres. Elles peuvent devenir très complexes lorsqu'on les traite séparément [NEW-82].

C'est ici que les méthodes de conception interviennent pour réduire le coût de ce dernier.

Parmi les méthodes en vogue, celle du "Placement"- "Routage" semble être la plus répandue [CHE-83], [MAY-83]. Elle propose un traitement séquentiel de ces trois étapes, qui, en fin de compte, induit un coût de conception très prohibitif.

Par contre, la méthode CAPRI agit de manière à minimiser la complexité du tracé, en utilisant les principes de TRANSPARENCE et d'ADAPTATION TOPOLOGIQUE des blocs (Cf. chapitre I).

Vue la complexité du problème d'implantation globale, il est évident que

la méthodologie CAPRI ne garantira pas une solution minimale. Par contre, elle agira surtout sur la réduction du temps de conception et sur son coût. L'utilisation de fonctions HEURISTIQUES programmables et rationnelles en est la principale cause.

#### IV.1.1. Placement et tracé des connexions.

Un circuit VLSI est constitué d'un réseau de composants, de modules ou de blocs [SAN-81]. Le problème majeur qui se pose dans la conception de ces circuits, s'agit de l'implantation de ces blocs dans une structure englobante. La tâche la plus importante de cette implantation concerne le dessin des masques.

Le dessin d'un circuit VLSI consiste généralement à placer et à interconnecter des blocs rectangulaires dont chacun d'eux possède une surface et une morphologie différentes [BAU-81], [BRE-83]. Notre but est donc de minimiser la surface du bloc englobant délimitant le dessin du circuit. La plupart des solutions que l'on trouve dans la littérature proposent de diviser ce processus en deux phases: le PLACEMENT et le TRACE des connexions.

Le PLACEMENT consiste à assigner une position à chacun des blocs dans un plan en respectant certaines contraintes, telles que la forme, la connectabilité, etc. [BRE-77]. En outre, chaque bloc possède un ensemble de connecteurs qui sont localisés sur son pourtour. ceux-ci vis-à-vis du bloc qui les englobe, peuvent être de type ENTREE, SORTIE ou ENTREE/SORTIE (c.-à-d., un connecteur bidirectionnel) [DUN-83].

Les plots reliant le circuit avec le monde extérieur sont aussi considérés comme des blocs spéciaux, mais ils ont un nombre réduit de bornes (ou connecteurs) en comparaison des blocs fonctionnels.

Les connecteurs seront reliés par l'intermédiaire d'un fil conducteur qui, dorénavant, sera appelé CONNEXION. Une connexion peut établir le lien entre plusieurs bornes formant ainsi une equipotentielle électrique (c'est-à-dire, une interconnexion).

Les interconnexions seront localisées dans des régions situées entre les blocs. Ceux-ci sont généralement réalisés sous la forme de plusieurs

## CHAPITRE IV : Tracé des connexions internes

rectangles appelés CANAUX de connexion [KHO-77], [LEI-81].

Le TRACE des connexions consiste à spécifier un chemin géométrique pour interconnecter les bornes des blocs [BUR-83]. Le problème est facilement résolu: étant donnée que le placement des blocs et le schéma de leurs interconnexion sont établis; il faut alors tracer les chemins conducteurs nécessaires pour atteindre la connexion électrique correspondant en respectant un certain nombre de contraintes [AGR-77], [DOR-81].

Le processus de tracé est divisé en deux parties. La première concerne le tracé topologique, dans laquelle chacune des connexions est associée à un chemin parcourant les canaux. La deuxième concerne le tracé détaillé de la connexion dans les canaux. Autrement dit, chaque connexion passant ou traversant un canal est alors assignée à une piste spécifique [HON-83]:

SI un canal a un nombre excessif ou insuffisant  
de pistes pour le tracé  
ALORS le placement des blocs est en conséquence  
perturbé et modifié.

Le tracé des connexions devient plus complexe lorsque les blocs d'un circuit ont été placés de manière quelconque [CHA-83]. Par ailleurs, lorsque les bornes de chaque bloc n'ont pas un ordre topologique et que la configuration des interconnexions entre les bornes concernées est compliquée (c'est-à-dire, une interconnexion parcourant un nombre excessif des canaux), alors, le tracé devient encore plus complexe.

Dès l'avènement des circuits SSI, les méthodes de tracé se sont développées très rapidement. Parmi les algorithmes de tracé, l'algorithme de LEE continue encore à orienter le développement de nouveaux algorithmes très sophistiqués [HOE-76]. Les algorithmes de tracé utilisés pour les circuits imprimés ont été d'ailleurs adaptés au tracé des connexions des circuits intégrés.

Parmi les méthodes connues, nous trouvons en terminologie anglaise:

- \* Single/multiple layer, single row routing [YSU-81], [YSU-80].
- \* Channel routing [RIV-81], [YOS-82], [LEO-83].

- \* Maze routing [TAD-80], [SOU-79].
- \* Area routing [RIV-83], [SMI-82].
- \* River routing [PIN-83], [PIN-81], [HSU-83], etc.

Dorénavant, le tracé des connexions que l'on vient de décrire sera appelé le TRACE GENERAL ou GLOBAL [SOU-79], [WAD-81]. Nous allons introduire un autre type de tracé des connexions que nous appellerons: le TRACE INTERNE.

Ce tracé est réalisé, à l'intérieur d'un bloc fonctionnel (Fig.4.1), pendant ou après l'implantation de ces composants. Ces deux cas sont les résultats d'un processus d'assemblage de composants. Il existe alors un nombre important d'obstacles qu'il faudra prendre en considération pendant le tracé.

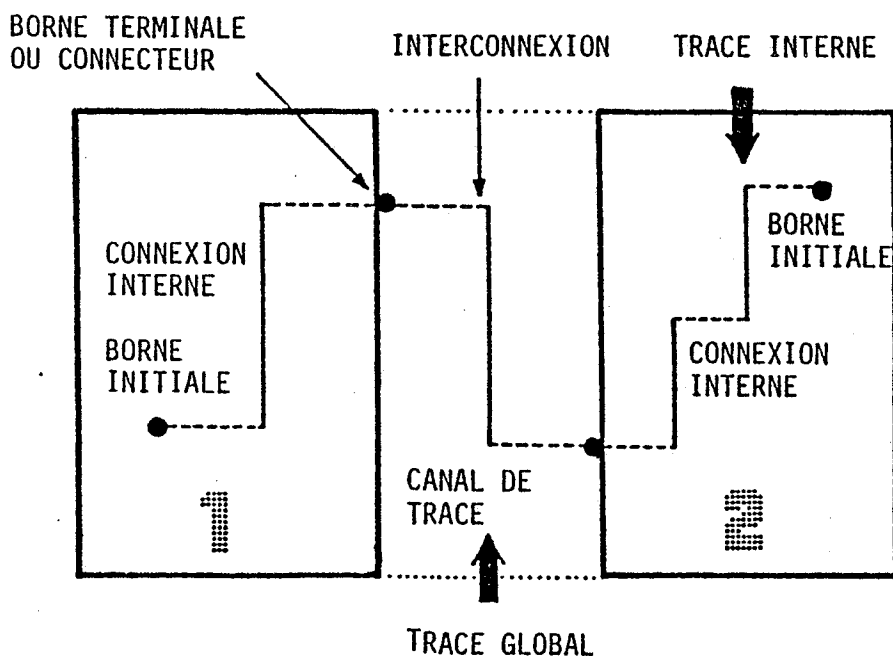


Fig. 4.1. Les Tracés Global et Interne.

Pour réduire la complexité de l'assemblage, il nous faut utiliser les propriétés de la déformabilité et de la transparence des blocs et des cellules composant ces blocs.

Un cas particulier de tracé interne concerne les PLA optimisés. Une des caractéristiques de ces types de PLA est de posséder plusieurs entrées (sorties) sur une même colonne de la matrice ET (OU). Donc, il est fort probable qu'une connexion directe entre un segment d'entrée (sortie) et sa borne correspondante ne soit guère possible et cela nous obligera à

## CHAPITRE IV : Tracé des connexions internes

rechercher un autre moyen de tracer cette connexion.

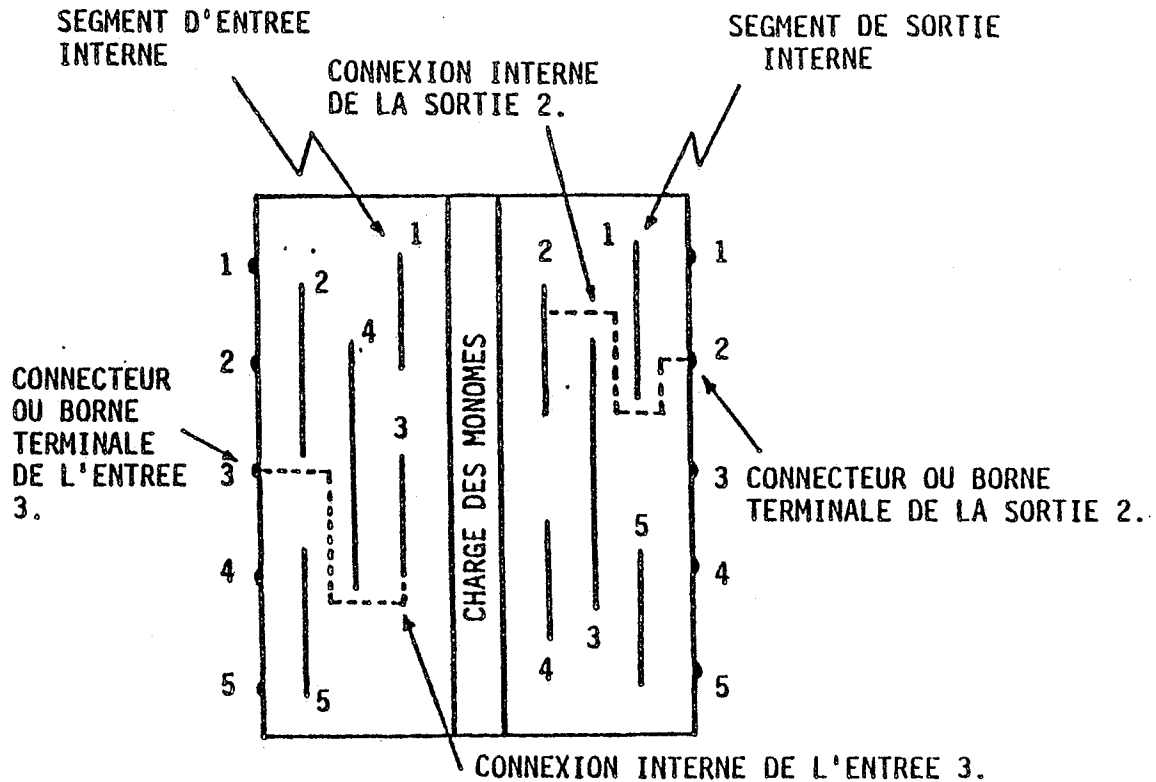


Fig. 4.2. Modèle d'un PLA Optimisé.

Grâce à la structure régulière des matrices d'un PLA optimisé, l'automatisation du tracé interne est possible. La figure 4.2 montre le modèle de PLA pris en compte pour y réaliser le tracé des connexions internes.

### IV.2. LE TRACE DES CONNEXIONS INTERNES.

#### IV.2.1. Influence du modèle des bandes de dessin.

La structure des bandes de dessin présentée dans le chapitre précédent ressemble à une structure quadrillée [IU-82]. Il est donc évident que le tracé des connexions internes doit se réaliser à l'intérieur de cette structure.

En outre, d'après la proposition 3.1, chaque bande de dessin peut accueillir un seul conducteur dans chaque niveau. Cette propriété nous amène à considérer une certaine prédiction concernant l'utilisation des places



libres ou vides qui se trouvent dans chaque bande.

D'autre part, la structure topologique d'un PLA optimisé présente l'inconvénient de ne pas pouvoir y trouver une connexion directe entre un segment interne d'entrée/sortie et sa borne correspondante. Cette particularité entraîne la réalisation d'une connexion par plusieurs segments connectés de manière perpendiculaire et ordonnée. L'ordonnement de ces segments consiste à donner un niveau de conduction à chacun d'eux.

#### IV.2.2. Distribution des bornes d'interconnexion.

Lorsqu'un PLA participe à un processus de placement des blocs dans un circuit VLSI quelconque, il est certain que ce PLA doit comporter toutes ses bornes d'interconnexion déjà fixées sur son pourtour.

Le processus de tracé des interconnexions prendra ces positions pour les relier avec celles des blocs voisins. Nous devons donc fixer la position des bornes de connexion d'un PLA pendant le processus de tracé des connexions internes en concordance avec le lemme 1.1 qui nous indique le degré de mobilité de ces bornes pour assurer l'adaptation topologique du PLA.

Il en résulte un compromis entre le processus de tracé global des connexions et le processus de tracé des connexions internes du PLA. La complexité du compromis dépend de la souplesse d'adaptation du PLA au sein du plan de masse du circuit.

Le degré de mobilité des connecteurs d'un PLA reste donc très important, car il nous permet de réduire considérablement la surface d'interconnexion entre ce PLA et ses blocs voisins.

Les bornes de connexion seront distribuées sur le pourtour d'un PLA suivant un ORDRE TOPOLOGIQUE qui sera défini par le concepteur (Cf. chapitre II). Lors du tracé d'une connexion, il est possible qu'il n'existe aucun chemin reliant un point de la couverture géométrique du segment concerné et sa borne correspondante. Cet échec doit être résolu sur le champ par l'activation d'un processus de traitement, mais la solution de ce problème ne doit en aucun cas modifier la structure logique du PLA.

L'adaptation sur le plan topologique d'un PLA, y inclu son élargissement, permet une meilleure distribution des bornes d'interconnexion sur son pourtour. D'autre part, le concepteur a la priorité d'imposer le placement

## CHAPITRE IV : Tracé des connexions internes

d'une borne d'interconnexion, dans le but d'améliorer le tracé global du circuit.

La mobilité des bornes d'interconnexion est contrainte à l'ORDRE topologique. Ce critère établit une correspondance entre les bornes d'un PLA et les bornes des blocs voisins. Pour rendre les interconnexions plus faciles à réaliser, ce sera les blocs voisins au PLA qui imposeront cet ordre.

En conséquence, la mobilité des bornes ne gêne pas l'ordre établi et vice versa. D'après cette prémisse, le processus d'interconnexion devient facile, car il suffit de mettre les blocs face à face et de connecter leurs bornes.

### IV.2.3. Influence de la topologie d'un PLA optimisé.

Lorsqu'un PLA est défini sous une forme intermédiaire, (par exemple, la structure des bandes de dessin), son dessin sera produit directement à partir de la géométrie du point de PLA correspondant.

Cependant, si ce PLA est optimisé, il est nécessaire de le soumettre à un processus de tracé des connexions internes. Ce tracé doit établir un lien entre un point quelconque d'un segment interne et sa borne respective qui se trouve sur son pourtour.

Le tracé interne est très difficile à exécuter, car les connexions internes doivent être placées dans l'espace vide laissée par les éléments constitutifs du PLA. Cette espace vide est rendu maximum puisque les monômes, les entrées et les sorties sont implantés avec sa couverture géométrique minimale. Nous utilisons aussi l'espace situé entre les contacts afin d'y placer quelques segments des connexions internes.

La prise en compte d'obstacles internes qui empêchent la souplesse du tracé est impérative. Ces obstacles, (c'est-à-dire, les rappels de masse, les lignes de masse, les monômes, les points actifs et les segments internes), vont donc dégrader la performance du tracé.

### IV.2.4. Influence des règles de dessin.

Il est évident que l'on doit éviter les contacts entre les conducteurs de matériau différent, ainsi que le rapprochement des connexions, (c'est-à-dire, une possible violation des gardes).

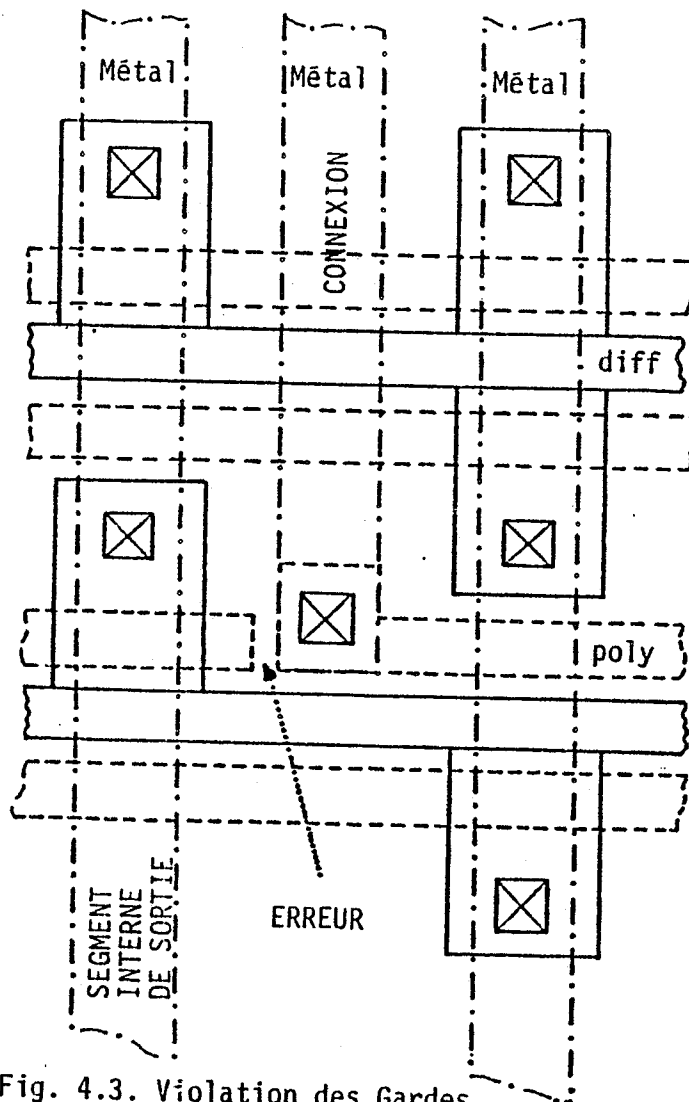


Fig. 4.3. Violation des Gardes.

Un problème majeur se pose lorsque nous devons éviter cette violation des gardes au moment du tracé interne (Fig.4.3). Pour cela les emplacements vides doivent être recherchés systématiquement et gérés au fur et à mesure que le tracé les nécessite.

D'autre part, le processus de tracé doit assurer la recherche d'un chemin à l'intérieur des matrices pour y placer chaque connexion interne.

D'après ces prémisses, nous pouvons conclure ceci: la restriction et l'enrichissement sémantique du modèle de bandes, en ce qui concerne la biunivocité entre un conducteur et une bande de dessin sont impératifs.

Il s'agit d'une relation étroite entre la dimension d'une connexion et sa protection contre une possible erreur de garde. La largeur minimum "CW" d'une connexion et la distance minimum "SD" qui doit être maintenue entre les

## CHAPITRE IV : Tracé des connexions internes

connexions, donnent un pas minimum "UW" entre ces connexions:

$$UW := CW + SD$$

Donc la contrainte qui s'impose à l'égard de la largeur d'une bande de dessin "SW" est:

SI  $UW > SW$

ALORS Protéger autant des bandes voisines  
que  $(UW - SW)$  peut les couvrir.

Cette contrainte permet d'obtenir une grille rectangulaire de pas variable contenant des bandes. Chacune d'elles possède un type et une largeur bien définis.

### IV.2.5. Caractéristiques électriques des couches conductrices.

Les divers niveaux conducteurs que nous offre la technologie ont des paramètres électriques différents. Puisque le métal est moins résistif que le polysilicium et que la diffusion, nous essayons de tracer toutes les connexions internes en métal si cela est possible:

PUISQUE

$$R_{\text{métal}} \ll R_{\text{poly}} < R_{\text{diff}}$$

DONC

$$\text{Longueur}_{\text{métal}} \gg \text{Longueur}_{\text{poly}} > \text{Longueur}_{\text{diff}}$$

Ceci améliore aussi la minimisation du nombre des contacts ou "vias" entre couches. D'autre part, la distance de "Manhattan" est utilisée comme métrique pendant la minimisation de la longueur des connexions.

### IV.2.6. Influence de la technologie.

La technologie utilisée pour le dessin des masques d'un PLA quelconque influence fortement le tracé des connexions internes sur le plan des niveaux conducteurs qu'elles offrent pour réaliser ces connexions. Certaines technologies possèdent deux niveaux de métal.

Cette propriété rend la progression du tracé plus simple. Dans ce cas,

nous n'utiliserons le deuxième niveau de métal que pour les connexions.

En outre, la technologie utilisée influence fortement la manière de résoudre le problème de tracé. La qualité d'une technologie de posséder plusieurs niveaux de masques supplémentaires est alors très importante.

Les technologies peuvent être classifiées en deux grands groupes:

- \* Les technologies n'offrant aucun niveau supplémentaire de masque.
- \* Les technologies fournissant des niveaux supplémentaires qui ne seront utilisés que pour les connexions.

Ces deux groupes de technologie vont respectivement donner origine à deux types de tracé :

- \* Le tracé dans un modèle couche unique.

Il est réalisé sur une couche supplémentaire libre n'accueillant que des connexions. Ce niveau sera soit de métal (métal-2), soit de polysiliciure (poly-2) qui est plus resistif.

- \* Le tracé dans un modèle double couche.

Il est réalisé sur deux couches (métal et diffusion ou polysilicium) qui contiennent déjà les éléments constitutifs du PLA tels que les transistors, les monômes, les rappels de masse, etc.

La différence entre ces deux modèles repose donc sur la composition des connexions. Une connexion dans le modèle couche unique est constituée d'un seul niveau, (c.-à-d. métal ou polysiliciure). Une connexion dans le modèle double couche est constituée de deux niveaux, (c.-à-d., un premier niveau métallique et un deuxième soit en polysilicium, soit en diffusion).

Pour disposer une connexion à l'intérieur d'un PLA, il est indispensable de vérifier l'existence d'un chemin entre un segment interne et son connecteur. Ceci nous amène à développer des algorithmes réalisant le tracé très rapidement, et pouvant déterminer un chemin pour chaque segment interne.

Dans les paragraphes suivants nous exposons les modèles de tracé et les algorithmes de recherche des chemins dans le dessin même.

## CHAPITRE IV ; Tracé des connexions internes

### IV.3. TRACE DANS UN MODELE COUCHE UNIQUE.

#### IV.3.1. Hypothèses pour le tracé.

Les hypothèses que nous allons tenir compte pour réaliser le tracé dans un modèle couche unique, ne possédant aucun obstacle, sont énoncées ci-après:

- \* Nous disposons seulement d'une couche pour le tracé: la couche métal-2 ou poly-2.
- \* Les bornes terminales (ou connecteurs) et les "segments internes fictifs" se trouvent sur la même couche.
- \* Chaque connexion comporte exactement deux bornes (la borne terminal et la borne correspondante à un point du segment fictif) et leur liaison constituée des segments.
- \* Le nombre de monômes du PLA doit être supérieur au nombre d'entrées ainsi qu'au nombre de sorties. Car, on suppose qu'un monôme alloue une connexion directe y inclu sa garde de protection.
- \* Les bornes terminales et les segments internes doivent être distribués de manière à éviter le croisement des connexions.
- \* La couche supplémentaire ne contient aucun obstacle autre que les connexions déjà réalisées.
- \* Les segments internes sont placés de manière convenable, ainsi dans une colonne, il existe un ordre entre les segments qui y sont présents.
- \* Les segments internes doivent posséder des couvertures géométriques extensibles jusqu'à la diagonale de la matrice.
- \* Ce tracé est restreint seulement à la matrice OU pour la plus part des cas.

#### IV.3.2. Formalisation du tracé.

Soient les définitions de départ:

DEFINITION 4.1.

Soit:  $T = [t_1, t_2, \dots, t_N]$ .

L'ensemble des bornes terminales placées sur le pourtour de la matrice. Chaque borne  $t_i$  est caractérisée par sa position, sa largeur et son niveau de masque. La position d'une borne terminale est donnée comme un voisinage de points.

DEFINITION 4.2.

Soit:  $V = [v_1, v_2, \dots, v_N]$ .

L'ensemble de segments internes fictifs placés sur la couche métal-2. Un segment interne fictif est considéré comme la projection d'un segment interne placé sur la couche métal-1, sur la couche métal-2 ou la couche polysiliciure. Ces segments fictifs sont situés à l'intérieur de la matrice et chacun de ses points est considéré comme la borne initiale de sa connexion.

DEFINITION 4.3.

Soit  $F$  une fonction telle que  $F(t_i)$  ou  $F(v_i)$  est un entier contenu dans l'ensemble  $[0, 1, 2, \dots, N]$  qui dénote l'appartenance de  $t_i$  ou  $v_i$  à la connexion correspondante déjà tracée. Autrement dit,  $F(t_i)$  ou  $F(v_i)$  est égal à zéro lorsque  $t_i$  ou  $v_i$  n'ont pas encore été affectées à leur connexion, (c'est-à-dire, que la connexion n'a pas été tracée).

DEFINITION 4.4.

Une connexion est un ensemble de segments des fils verticaux et horizontaux se connectant bout à bout.

## CHAPITRE IV : Tracé des connexions internes

### DEFINITION 4.5.

Pour placer une connexion il faut trouver d'abord un chemin reliant un point du segment interne fictif et sa borne terminale. Ce chemin est alors une liste continue de segments verticaux et horizontaux alternés. Les éléments qui constituent une connexion interne dans ce modèle de tracé sont alors:

- \* Contact entre les couches métal-1 et métal-2.
- \* Conducteur sur le niveau métal-2.

### DEFINITION 4.6.

Un contact ou via est nécessaire pour relier le segment interne et la borne initiale fixée au moment du tracé. Autrement dit, ce contact est une surface où le métal-1 et le métal-2 sont électriquement reliés. Le schéma du contact représente son contour et l'ensemble des couches associées.

Finalement, le problème du tracé interne dans un modèle couche unique consiste donc à implanter toutes les connexions, autrement dit, à déterminer la distribution topologique de chemins sur un plan en respectant les contraintes données par la technologie, et d'après les hypothèses précédentes.

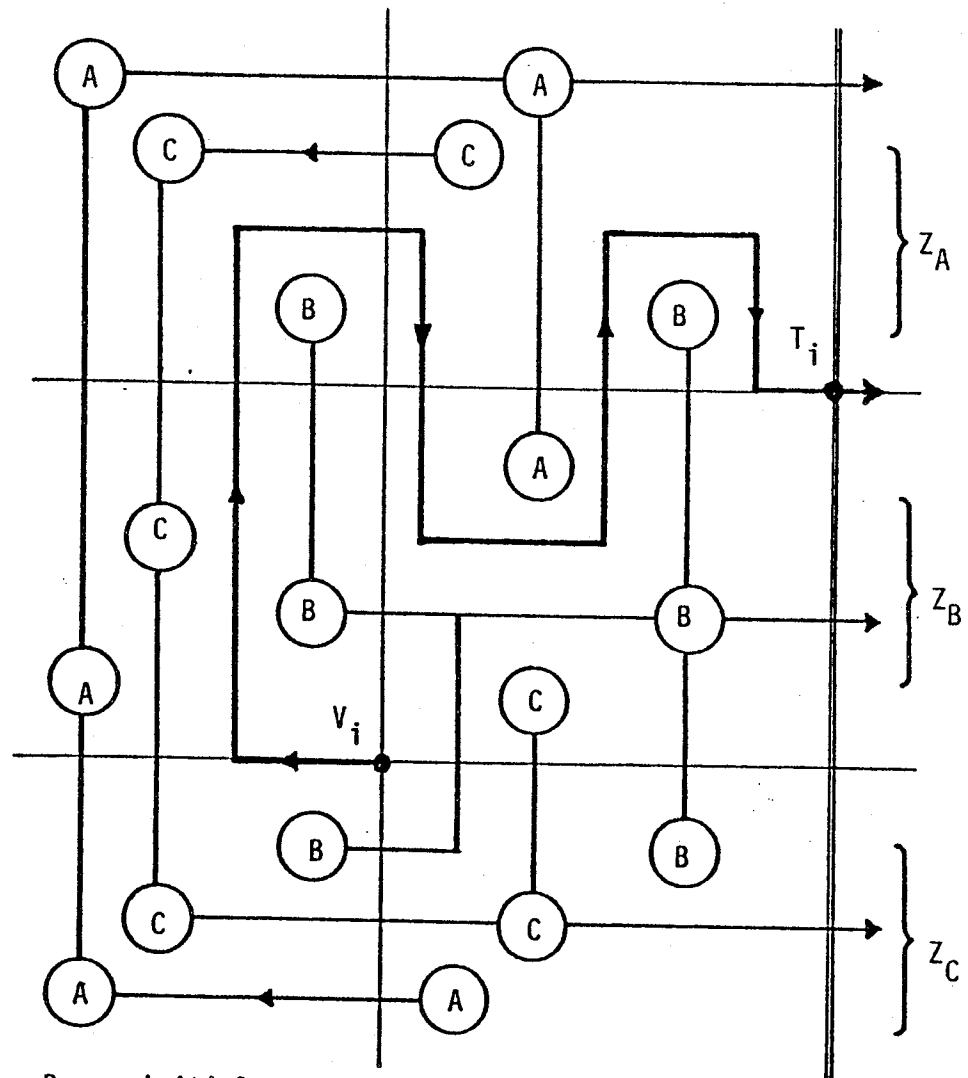
#### IV.3.3. Complexité du tracé.

La distribution des bornes terminales sur le pourtour du PLA suit un ordre topologique. Par contre, la distribution des segments internes dépend du processus d'optimisation topologique du PLA.

Dans le cas où la distribution de segments est perturbée vis-à-vis de celle des bornes respectives, des aléas de tracé peuvent surgir suivant la présence ou non de croisements entre connexions (blocage interne). Mais, en vue d'aboutir à une solution, celle-ci possèdera une complexité de traitement de l'ordre des problèmes NP-complets.

Si nous regardons de plus près ce problème, un chemin topologique d'une connexion quelconque devra être trouvé en s'interdisant tout croisement de connexions. La figure 4.4 montre la façon de contourner les chemins. Il faut





$V_i$ : Borne initiale;  $T_i$ : Borne terminale;  
 $A, B$  et  $C$ : Ensemble de segments internes fictifs ayant leur connecteurs dans les zones  $Z_A$ ,  $Z_B$  et  $Z_C$  respectivement.  
 Fig. 4.4. Schéma montrant la complexité du Tracé en Couche Unique.

remarquer que la complexité du chemin reliant  $v_i$  et  $t_i$  dépend de l'espace vide laissé entre les connexions et du degré de dispersion des segments internes vis-à-vis de leurs bornes.

Pour améliorer la performance du tracé interne, il faudra restreindre encore un peu plus l'optimisation topologique de la matrice OU de manière à ce que le tracé soit plus souple.

## CHAPITRE IV : Tracé des connexions internes

### IV.3.4. Contraintes améliorant la distribution des segments internes.

Les bornes terminales doivent guider la distribution des segments internes de la matrice OU. L'optimisation topologique est obtenue par la méthode barycentrique d'ordonnement des monômes. Ce placement fixe implicitement les segments internes face à leur bornes lorsque celles-ci sont distribuées uniformément. Le compactage de la matrice OU doit donc être limité à un certain nombre de critères qui vont améliorer la distribution des segments internes. Les critères pris en compte sont décrits par les propositions suivantes:

#### PROPOSITION 4.1.

Chaque colonne physique doit comporter un ensemble ordonné de segments internes.

SOIT

$S_m$  et  $S_n$ , deux segments internes  
se trouvant dans une même colonne.

DONC

SI  $S_m$  se trouve au-dessus de  $S_n$   
ALORS il faut vérifier que ( $m < n$ ).

Cette proposition interdit toute formation de la configuration décrite dans la figure 4.5.

#### PROPOSITION 4.2.

La distance verticale entre deux segments dans une même colonne doit être supérieure à "N" monômes. "N" est un paramètre contrôlé par le concepteur.

SOIT

- $S_m$  et  $S_n$ , deux segments internes  
se trouvant dans une même colonne.
- $m < n$ .
- $\text{Couv } S_i = [h_i \dots f_i]$

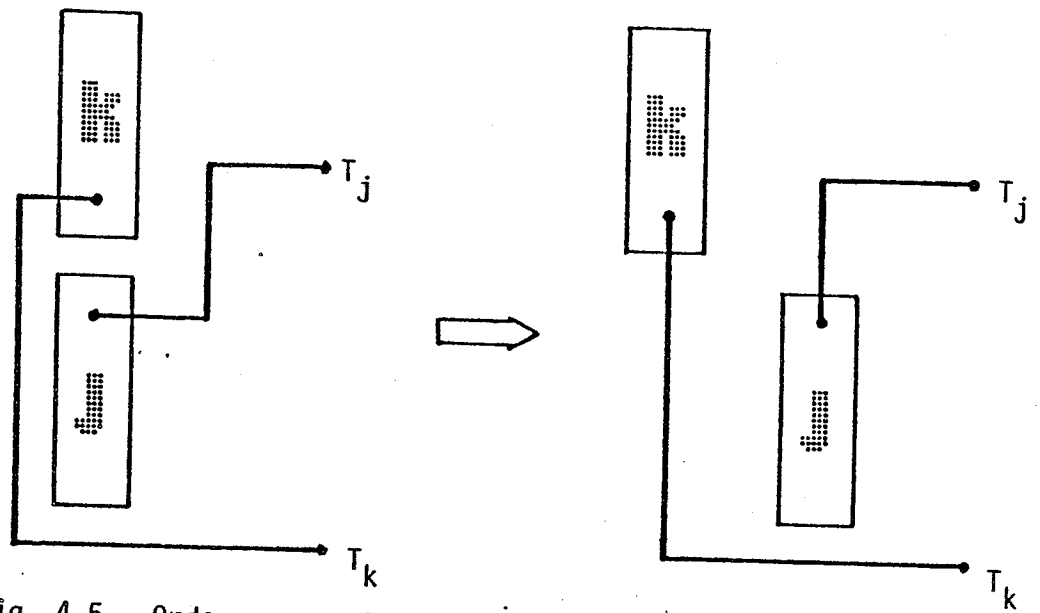


Fig. 4.5. Ordonnancement des segments internes en colonne pour éliminer les inter-blocages.

DONC

Il faut vérifier que:

$$h_n - f_m > N$$

Cette proposition permet de réaliser une bonne liaison des segments internes comportant un seul transistor, avec leur bornes respectives.

**PROPOSITION 4.3.**

Les colonnes d'une matrice OU déjà compactée doivent être triées de manière à pouvoir éviter que les connexions se croisent. Ce tri est réalisé suivant les critères suivants:

- \* Par ordre croissant, en s'eloignant du bord des bornes, par rapport au numéro de segment se trouvant le premier dans la colonne.
- \* Par ordre décroissant, en s'eloignant du bord des bornes, par rapport au numéro de segment se trouvant le dernier dans la colonne.

## CHAPITRE IV : Tracé des connexions internes

Ces deux ordres ne s'excluent pas . Cette proposition allonge certe la couverture géométrique des monômes au détriment de leur comportement électrique mais facilite le tracé (Fig.4.6).

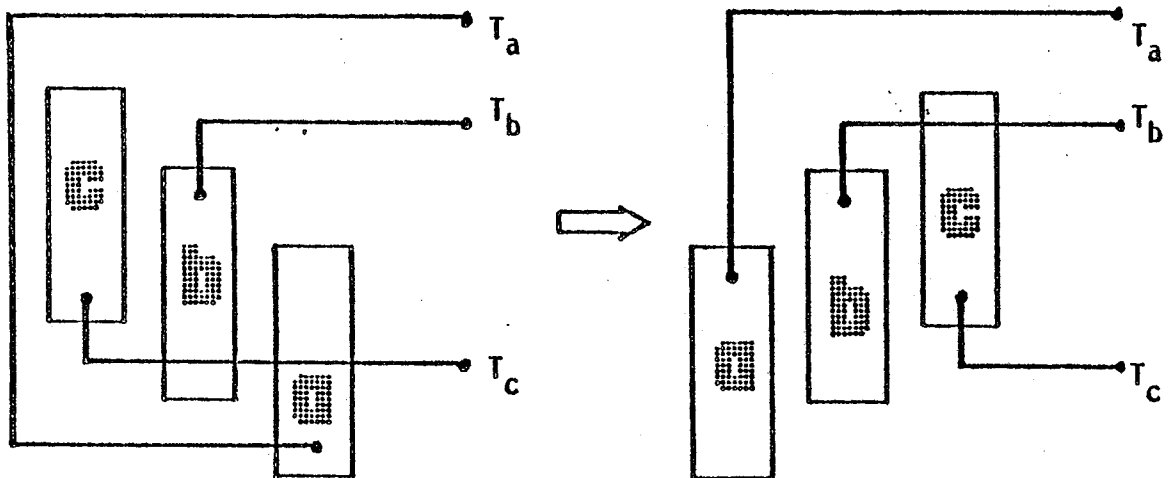


Fig. 4.6. Tri des "niveaux" diminuant la longueur des chemins et éliminant les inter-blocages.

### PROPOSITION 4.4.

La couverture géométrique d'un segment interne peut être allongée fictivement jusqu'à la hauteur de sa borne, avant le processus de compactage. Cette proposition dégrade la performance du compactage mais rend le tracé encore plus souple car ne figureront alors que des connexions directes. Cette proposition annule la précédente car dans tous les cas on trouvera une connexion.

#### IV.3.5. Algorithme de tracé.

L'algorithme de tracé des connexions internes utilisant le modèle couche unique implante les connexions internes en considérant les phases suivantes:

##### \* Localisation de bornes et de segments fictifs.

Le voisinage de chaque borne terminale et la couverture géométrique fictive étendue de chaque segment interne sont fixés. Les données fournies par la partie d'assemblage de la structure des bandes sont

utilisées. C'est ici que l'ensemble des connexions est constitué (Fig.4.7).

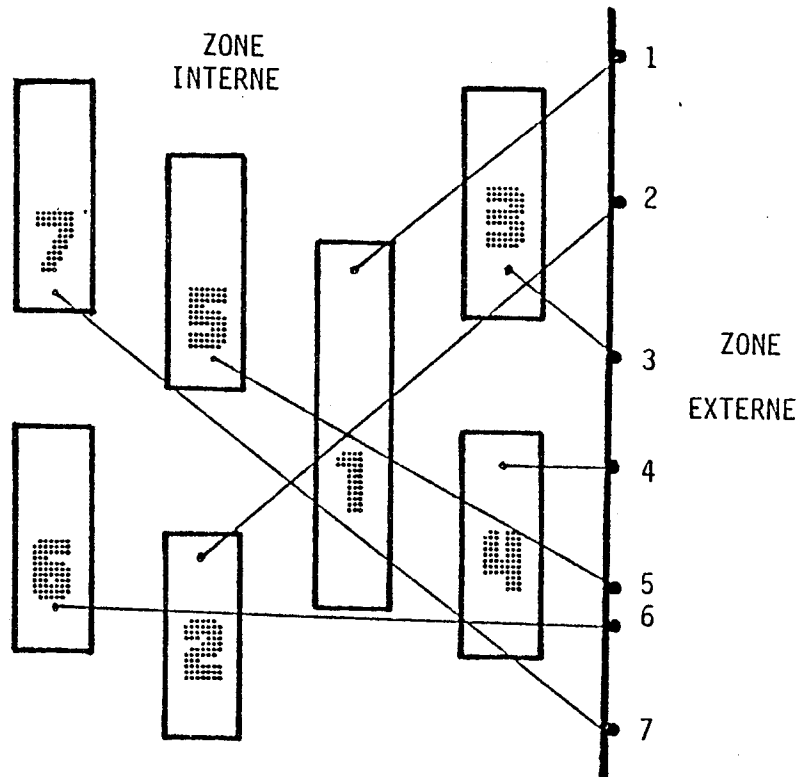


Fig. 4.7. Constitution de la liste des connexions.

\* Ordonnancement des connexions.

Le partitionnement de l'ensemble des connexions suivant les modèles de chemin est concerné. Ces modèles ont été déterminés en fonction de la position des bornes et des segments internes. Les différents modèles de chemins considérés sont (Fig.4.8):

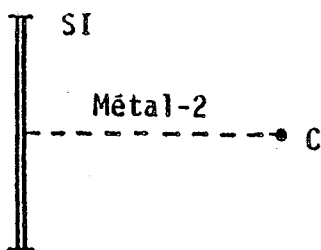
\* Chemin direct.

Celui-ci se forme lorsque le voisinage de la borne terminale et la couverture fictive du segment ont un nombre entier non nul de monômes communs.

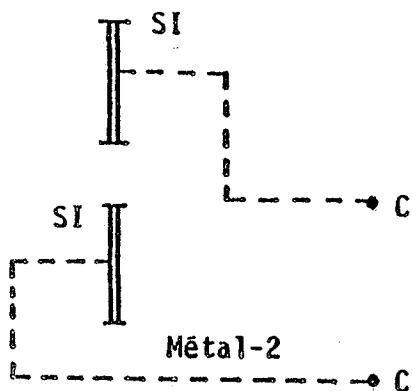
\* Chemin dévié "vers le bas".

Il n'est possible que lorsque le voisinage de la borne terminale se trouve en bas de la couverture fictive du segment.

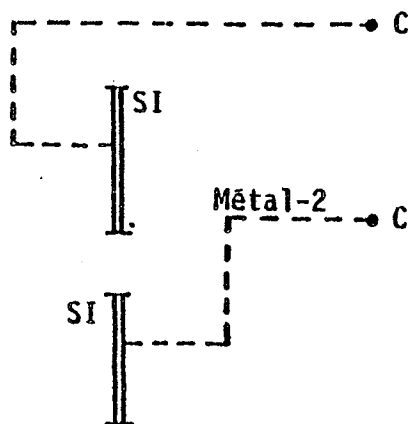
CHAPITRE IV : Tracé des connexions internes



a. Chemin direct.



b. Chemin dévié vers le bas.



c. Chemin dévié vers le haut

SI = segment interne.  
C = connecteur.

Fig.4.8. Modèles de chemin pour le tracé en couche unique.

\* Chemin dévié "vers le haut".

C'est le même type que le précédent à part que la borne terminale se trouve en haut de la couverture fictive.

L'ordonnancement s'effectue par groupes. Les chemins directs sont

traités avant ceux qui sont déviés.

\* Tracé topologique.

Il consiste à construire la liste de segments d'une connexion (Fig.4.9). Ce tracé est schématisé par l'algorithme montré dans la figure 4.10.

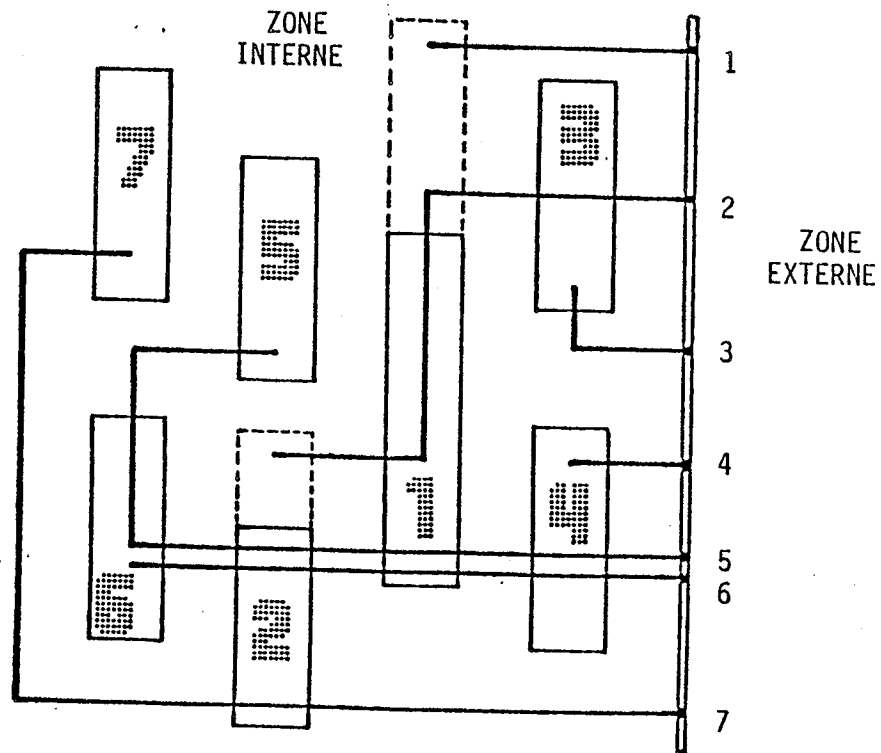


Fig. 4.9. Tracé topologique des connexions internes.

Cet algorithme recherche le plus court trajet. D'abord, il recherche les chemins directs (par la procédure CONNEXION\_DIRECTE) et ensuite les chemins déviés (par les procédures CONNEXION\_HAUTE et CONNEXION\_BASE).

\* Implantation de la connexion.

Lorsqu'un chemin est découvert, la connexion correspondante est implantée dans la structure des bandes. Par contre, si une connexion ne possède aucun chemin, l'algorithme précédent suggère le déplacement du segment courant interne vers une autre colonne où il est possible de trouver un chemin. Pendant l'implantation de la connexion, celle-ci est protégée contre une future violation des gardes.

## CHAPITRE IV : Tracé des connexions internes

```
FREE_LAYER_ROUTING:
  LET U be the set of unconnected segments;
  U := [];
  FOR each segment s DO
  BEGIN
    LET G[s] = [h[s]..f[s]] be
              the cover of the segment s;
    LET V[s] = [up[s]..down[s]] be the terminal
              node vicinity of the segment s;
    IF G[s]*V[s] > []
    THEN
      DIRECT_CONNECTION(s,G[s],V[s])
    ELSE
      U := U + V[s];
  END;
  FOR each remaining segment s DO
  IF G[s] < V[s]
  THEN
    IF [f[s]+1..up[s]-1]*U = []
    THEN
      BEGIN
        UP_CONNECTION(s,G[s],V[s]);
        U := U - V[s];
      END
    ELSE
      ELSE
        IF [down[s]+1..h[s]-1]*U = []
        THEN
          BEGIN
            DOWN_CONNECTION(s,G[s],V[s]);
            U := U - V[s];
          END;
        END;
  END; (* FREE_LAYER_ROUTING *)
```

Fig. 4.10. Algorithme de TRACE en COUCHE UNIQUE.

Ces deux dernières phases sont traitées séquentiellement pour chaque segment, mais en gardant l'ordre du tracé. Comme exemple, nous montrons dans la figure 4.11 le résultat du tracé en couche unique sur une matrice OU, dont seuls les segments internes et leurs connexions sont présents.

### IV.4. TRACE DANS UN MODELE DOUBLE COUCHE.

#### VI.4.1. Hypothèses pour le tracé.

Les hypothèses que nous allons tenir compte pour réaliser le tracé dans un modèle double couche comportant des obstacles, sont:



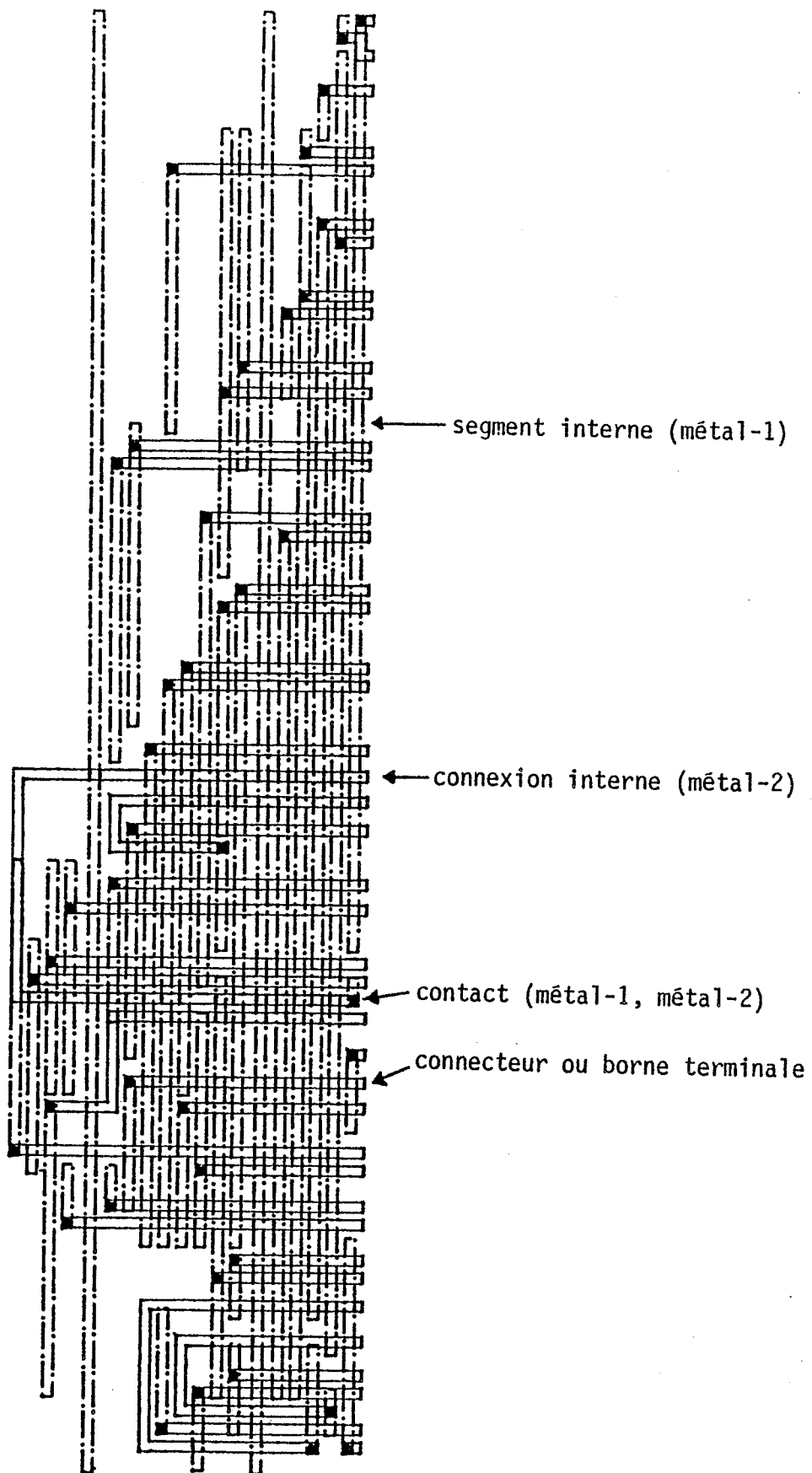


Fig. 4.11. Dessin d'une matrice OU optimisée.  
Tracé interne en "couche unique".

## CHAPITRE IV : Tracé des connexions internes

- \* Nous disposons seulement de deux couches pour le tracé: les couches métal-1, et polysilicium ou diffusion.
- \* Les bornes terminales ou connecteurs se trouvent soit dans la couche métal-1 ou dans la couche polysilicium ou diffusion, et sur le pourtour de la matrice qui les contient.
- \* Les segments internes se trouvent dans la couche polysilicium (matrice ET) ou dans la couche métal-1 (matrice OU).
- \* Chaque connexion est formée exactement de deux bornes (la borne terminale et la borne correspondante à un point du segment interne) et de leur liaison.
- \* Le nombre de monômes du PLA doit être supérieur au nombre d'entrées ainsi qu'au nombre de sorties. Car on suppose qu'un monôme peut accueillir une connexion en tenant compte de sa garde de protection.
- \* Les bornes terminales et les segments internes doivent être distribués de manière à éviter l'interblocage des connexions.
- \* Les deux couches comportent des obstacles (c'est-à-dire, les segments internes et les rappels de masse sur la couche métal-1, les monômes sur la couche polysilicium, et les lignes de masse et les contacts sur la couche diffusion; pour une matrice OU).
- \* Les segments internes sont placés de manière convenable, ainsi dans une colonne, il existe un ordre entre les segments qui y sont présents.

### IV.4.2. Formalisation du tracé.

Les définitions 4.1, 4.3, 4.4 et les suivantes sont pris en compte:

DEFINITION 4.7.

Soit:  $V = [v_1, v_2, \dots, v_N]$ .

L'ensemble de segments internes placés sur la couche poly-1 pour une matrice ET ou sur la couche métal-1 pour une matrice OU. Ces segments se trouvent à l'intérieur de la matrice et chacun de ses points est considéré comme la borne initiale de leur connexion.

DEFINITION 4.8.

Pour placer une connexion il faut trouver d'abord un chemin reliant un point du segment interne et la borne terminale. Ce chemin est alors une liste continue de segments verticaux et horizontaux alternés. Les éléments qui constituent une connexion interne dans ce modèle de tracé sont alors:

- \* contact entre les couches diffusion et métal-1.
- \* contact entre les couches polysilicium et métal-1.
- \* conducteur sur le niveau métal-1.
- \* conducteur sur le niveau diffusion.
- \* conducteur sur le niveau polysilicium.

DEFINITION 4.9.

Un contact est nécessaire pour relier un segment de la connexion placé sur la couche polysilicium ou diffusion et celui placé sur la couche métal-1, et vice versa.

Finalement, le problème du tracé interne dans un modèle double couche consiste donc à implanter toutes les connexions, c'est-à-dire, à déterminer la distribution topologique des chemins sur deux plans en respectant ces hypothèses et les contraintes données par la technologie.

#### IV.4.3. Complexité du tracé.

Le chemin d'une connexion quelconque doit être obtenu en interdisant :

- \* le croisement des connexions dans une même couche, et
- \* l'apparition d'une violation des gardes.

La complexité de traitement du problème est de l'ordre des problèmes NP-complets.

Le degré de dispersion des segments internes vis-à-vis de leur bornes (c'est-à-dire, l'éloignement d'un segment par rapport à sa borne terminale) influe fortement sur la complexité du tracé.

La présence d'obstacles dans chaque couche impose une phase prédictive de propagation des chemins à partir des segments internes vers la périphérie de la matrice.

Une gestion des places vides dans chaque couche diminue la complexité du tracé. L'insertion des canaux d'écartement vides est impérative lorsque le tracé d'une connexion est impossible. Celle-ci permettra le tracé total au détriment de la surface totale du PLA.

Pour améliorer la performance du tracé, il est nécessaire de restreindre d'avantage l'optimisation topologique du PLA en vue de simplifier le processus de tracé.

#### IV.4.4. Contraintes améliorant la distribution des segments internes.

Les bornes terminales doivent guider la distribution des segments internes de la matrice. L'optimisation topologique est obtenue par la méthode barycentrique d'ordonnement des monômes. Ce placement fixe implicitement les segments internes face à leur bornes lorsque celles-ci sont distribuées uniformément.

Le compactage des matrices doit donc être limité à un certain nombre de critères qui vont améliorer la distribution des segments internes. Les critères pris en compte sont décrits par les propositions 4.1, 4.2, et les suivantes :

**PROPOSITION 4.5.**

Les colonnes d'une matrice déjà compactée doivent être triées de manière à pouvoir éliminer les croisements des connexions et les impossibilités du tracé. Pour trier les colonnes, un des critères suivants est utilisé (Cf. chapitre II pour les notations):

- \* Nombre de transistors par colonne (NTC).
- \* Nombre de segments internes par colonne (NSC).
- \* Facteur d'utilisation de la colonne (NM/NTC).
- \* Nombre moyen de transistors par segment interne (NTC/NSC), etc.

**PROPOSITION 4.6.**

La couverture géométrique d'un segment interne peut être allongée jusqu'à la position de sa borne, avant de les compacter.

Cette proposition dégrade la performance du compactage mais rend le tracé encore plus souple car il donne une liberté supplémentaire à la borne initiale et plus de place au tracé.

**IV.4.5. Algorithme de tracé**

L'algorithme de tracé des connexions internes utilisant le modèle double couche implante les connexions internes en considérant les phases suivantes:

**\* Localisation de bornes et de segments fictifs.**

Le voisinage de chaque borne terminale et la couverture géométrique étendue de chaque segment interne sont fixés.

Les données fournies par la partie d'assemblage de la structure des bandes sont utilisées. C'est ici que l'ensemble des connexions est constitué.

## CHAPITRE IV : Tracé des connexions internes

### \* Ordonnancement des connexions.

Le partitionnement de l'ensemble des connexions suivant les modèles de chemin est concerné. Ces modèles ont été déterminés en fonction de la position des bornes et des segments internes (cf. paragraphe IV.3.5).

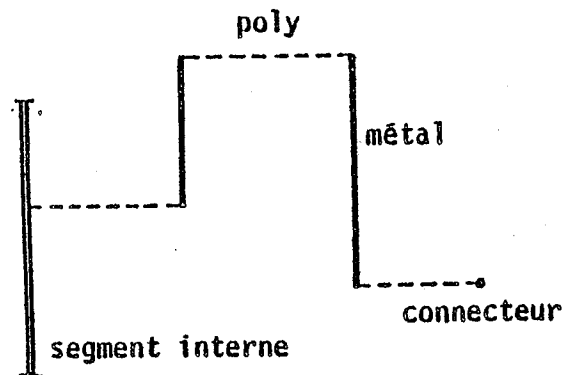


Fig. 4.12. Modèle de chemin pour le tracé en double couche.

La figure 4.12 montre le modèle de chemin généralisé qui est utilisé avec ce type de tracé.

### \* Affectation des couches.

De manière générale, elle consiste à affecter un niveau de masque à chaque segment de connexion [CIE-81]. En absence de contraintes, un segment formant une connexion a trois couches possibles (c.-à-d. métal-1, polysilicium et diffusion) sur lesquelles il peut être placé. Pour réduire la complexité du tracé, on impose certaines contraintes, telles que:

- \* Un segment vertical est affecté à une couche en dépendant du type de matrice, à savoir: un segment vertical dans une matrice ET est affecté à la couche diffusion ou polysilicium et le choix dépend du type de bande dans laquelle il se trouve (par ex. une bande de transistor contiendra un segment en polysilicium et une bande de masse contiendra un segment en diffusion), un segment vertical dans une matrice OU est affecté à la couche métal-1.
- \* Un segment horizontal est affecté à une couche en dépendant du

type de matrice, à savoir: un segment horizontal dans une matrice ET est affecté à la couche métal-1, un segment horizontal dans une matrice OU est affecté à la couche diffusion ou polysilicium.

\* Tracé topologique.

Il consiste à construire la liste de segments d'une connexion. Il est divisé en deux étapes:

1. Propagation des chemins.

Tous les chemins possibles partant de chaque point de la couverture géométrique d'un segment interne et atteignant le bord latéral de la matrice sont propagés. Cette propagation est schématisée par l'algorithme montré dans la figure 4.13.

```

SEGMENT_PROPAGATION:
  LET S be the strip structure;
  LET AUX be the auxiliar structure
    allowing the paths;
  FOR each segment s DO
  BEGIN
    LET COUL[s] be the column containing
      the segment "s" ;
    FOR each column j >= COUL[s] DO
      FOR each row i DO
        IF PATH_ALLOW(S[i,j])
          THEN
            AUX[i,j] := AUX[i,j] + [s];
  END;
END; (* SEGMENT_PROPAGATION *)

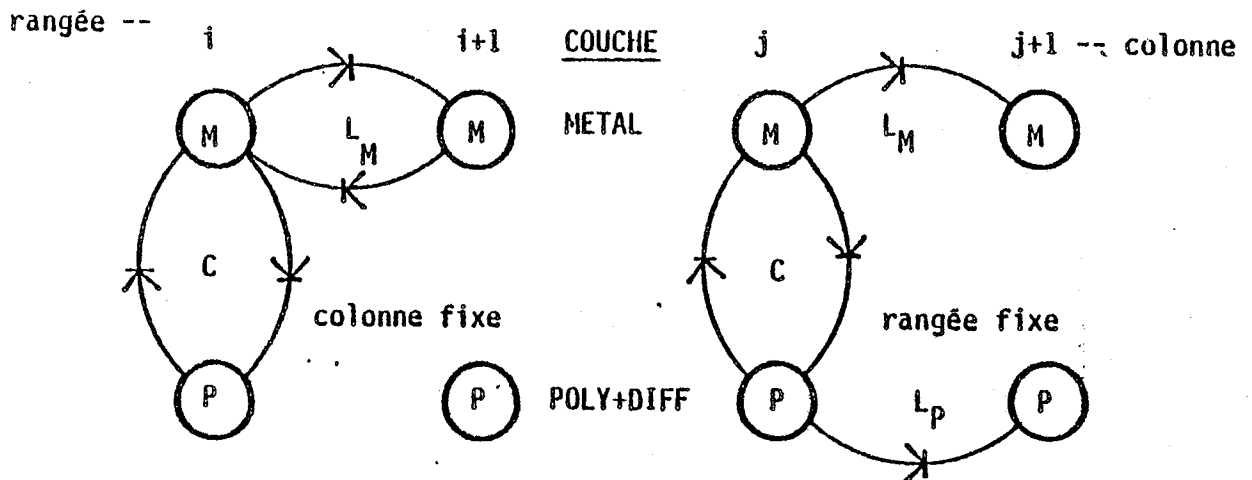
```

Fig. 4.13. Algorithme de propagation des chemins.

Cet algorithme cherche d'abord les places libres dans chaque couche. Il utilise une structure auxiliaire qui contient tous les chemins possibles d'une connexion quelconque.

Dans le cas d'une matrice OU, on propage un chemin suivant l'automate montré dans la figure 4.14.

Les transitions verticales font appel à un test de pouvoir placer un contact entre les deux couches. Les transitions



$L_P$  = Niveaux POLY+DIFF libres;  $L_M$  = Niveau métal libre;  
 $C = L_M \& L_P \& \text{GARDE}(\text{motif});$

Fig. 4.14. Automates de propagation des chemins en double couche dans une matrice OU.

horizontales font appel à un autre test de pouvoir allonger le segment dans la couche concernée, c'est-à-dire, un test de violation des gardes.

Dans le cas d'une matrice ET, on propage un chemin suivant l'automate montré dans la figure 4.15. Les critères de transition du cas précédent restent valables.

L'algorithme est une modification de l'algorithme de LEE en ce qui concerne le remplacement de la propagation de la distance par le numéro de la connexion.

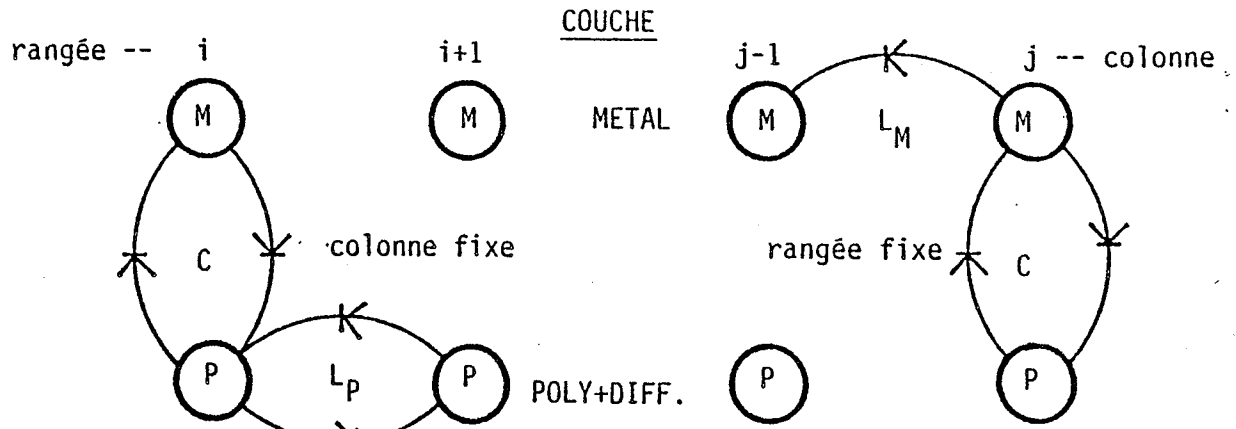
La fonction ALLOUER\_CHEMIN exécute ces automates pour déterminer la bonne propagation des chemins dans la structure auxiliaire AUX. La facilité d'utiliser des données de type ENSEMBLE permet une propagation des chemins en parallèle.

## 2. Recherche d'un chemin.

Un chemin reliant un point de la couverture d'un segment interne et un point du voisinage de la borne terminale correspondante est recherché. Celle-ci est une conséquence de la propagation précédente, car la liste des segments d'une



CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES



$L_p$  = Niveaux POLY+DIFF libres;  $L_m$  = Niveau métal libre;  
 $C$  =  $L_m$  &  $L_p$  & GARDE(motif);

Fig. 4.15. Automates de propagation des chemins en double couche dans une matrice ET.

connexion n'est pas constituée.

La construction de la liste des segments du chemin est réalisée au fur et à mesure que la recherche avance depuis la borne terminale vers un point du segment interne.

L'existence d'un chemin est vérifiée avant de chercher celui-ci. Alors, il existe un chemin, si dans l'étape précédente de la propagation, un chemin quelconque atteint le voisinage de la borne terminale. Cette recherche est schématisée par l'algorithme montré dans la figure 4.16.

La recherche part de chaque point du voisinage de la borne terminale. La longueur de chaque chemin est calculée lorsque la couverture géométrique du segment en cours est atteint. Pour chaque chemin du voisinage de la borne terminale, on choisit le chemin ayant un nombre minimal de contacts [LEE-81], [BEL-57]. Pendant la recherche, l'algorithme teste si une violation des gardes est en train de se produire.

```

PATH_SEARCH:
  LET NC be the number of columns of
    the PLA plane;
  FOR each segment s DO
  BEGIN
    SET V[s] = [up..down] the terminal
      node vicinity of the segment s;
    FOR each row i IN V[s] DO
      SEARCH (i,NC,PL[i],PATH[i]);
    CHOOSE the best PATH[k] IN
      (PATH[up],...,PATH[down]);
    IF PL[k] < MAXINT
    THEN
      PLACEMENT of the PATH[k]
    ELSE
      STRETCH_CHANNEL allowing the
        connection of the segment s;
  END;
END; (* PATH_SEARCH *)

```

Fig. 4.16. Algorithme de recherche d'un chemin pseudo-optimal.

L'ordre de recherche est déterminé par l'ordonnement des connexions. Dans le cas échéant, (c.-à-d. lorsqu'un chemin n'a pas été trouvé), l'algorithme propose l'insertion d'un canal vide au bon endroit de telle manière que le placement d'une connexion directe soit possible.

Plus spécifiquement, la construction de la liste de segments d'une connexion est schématisée par l'algorithme montré dans la figure 4.17.

La fonction CONTACT teste si une violation des gardes est engendrée. La procédure TROUVER cherche aussi un segment qui n'engendre aucune violation des gardes. La fonction SUCCES vérifie si un point de la couverture du segment interne est atteint.

\* Implantation de la connexion.

Lorsqu'un chemin optimal ou pseudo-optimal est trouvé, la connexion correspondante est implantée dans la structure des bandes. Les segments composants de la connexion déterminent que seule cette connexion les utilise.

CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

```

SEARCH (i,j,pl,path):
  path := nil;
  pl := MAXINT;
  angle := (i,j);
  (* path component in polysilicon layer *)
  FIND the "horizontal component [left[i]..j]";
  IF left[i] = COUL[s]
  THEN
    IF SUCCESSFUL(i,left[i],l,p)
    THEN
      BEGIN
        pl := l + (j - left[i]);
        path := p + angle;
        RETURN;
      END;
    FOR each k IN [left[i]..j-1] DO
      IF CONTACT(i,k)
      THEN
        BEGIN
          (* path component in metal layer *)
          FIND the "vertical component
            [up[k]..down[k]]";
          FOR each t IN [up[k]..down[k]] DO
            IF CONTACT(t,k)
            THEN
              BEGIN
                SEARCH(t,k,l,p);
                l := l + (j-k) + ABS(t-i);
                IF l < pl
                THEN
                  BEGIN
                    pl := l;
                    path := p;
                    angle := (k,t);
                  END;
                END;
              END
            ELSE
              AUX[i,k] := AUX[i,k] - [s];
            IF pl < MAXINT
            THEN
              path := path + angle;
            END; (* SEARCH *)
          END
        END
      END
    END
  END

```

Fig. 4.17. Algorithme de construction des constituants d'une connexion interne.

Une modification dans la structure auxiliaire est donc réalisée en considérant le chemin comme un obstacle de plus pour la recherche d'un chemin pour le segment interne suivant.

Les deux dernières phases sont traitées séquentiellement pour chaque

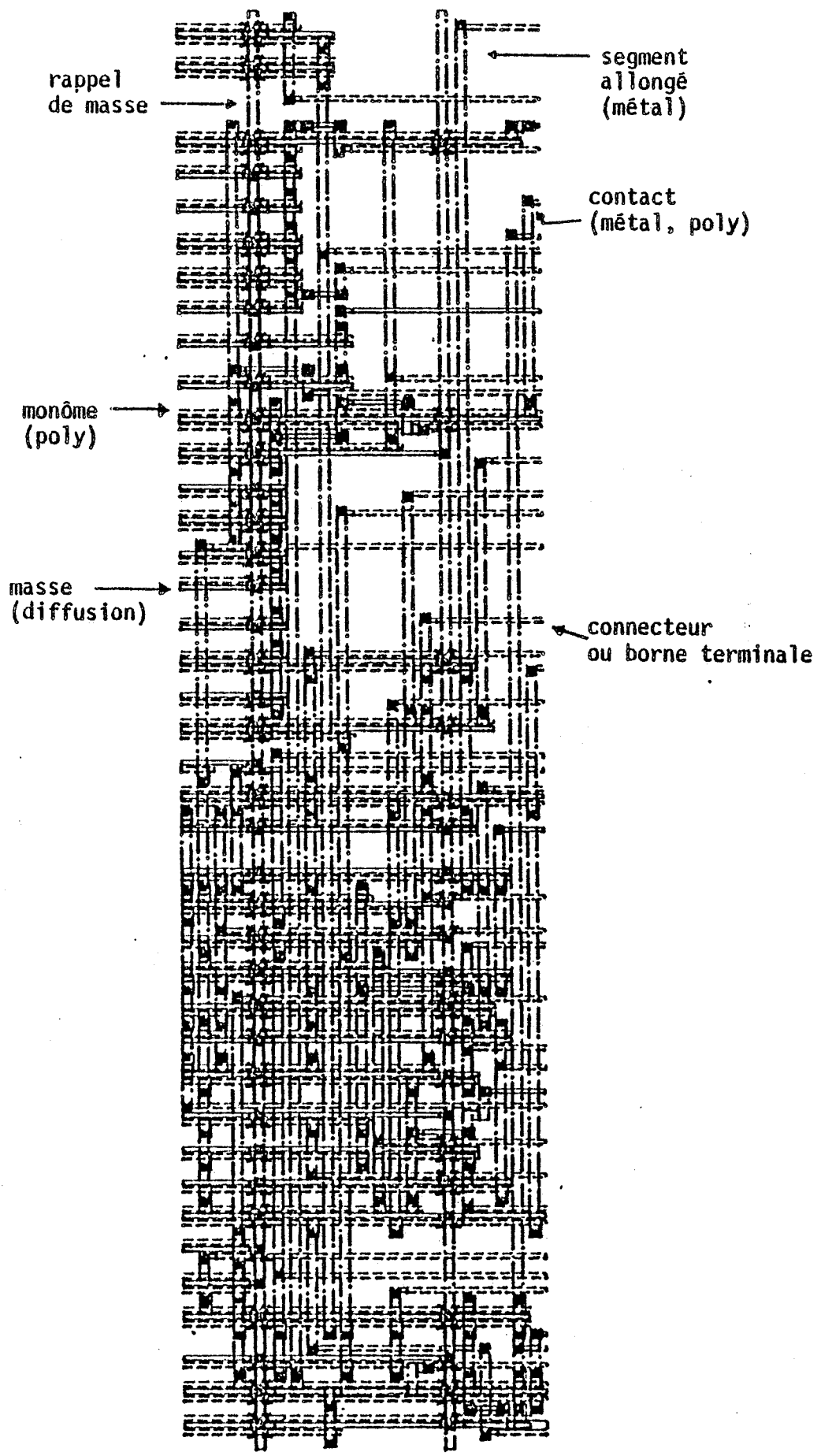


Fig. 4.18. Dessin d'une matrice OU optimisée. Tracé interne en "double couche".

segment, mais en gardant l'ordre du tracé. Comme exemple, nous montrons dans la figure 4.18 le resultat du tracé en double couche d'une matrice OU.

#### IV.5. CONCLUSION.

Les deux algorithmes présentés peuvent être utilisés, un après l'autre, dans le but de diminuer le nombre des canaux d'écartement à insérer.

Le tracé des connexions internes permet la réduction de la complexité du tracé GLOBAL au détriment d'une augmentation de la surface du PLA, mais peu importante lorsqu'il s'agit d'une optimisation globale.

L'approche de tracé présentée dans ce chapitre peut être étendue à d'autres types des problèmes semblables que l'on rencontre dans la conception des systèmes VLSI.

**CHAPITRE V**

**PARAMETRISATION**

**TECHNOLOGIQUE**



## CHAPITRE C INQUIEME

=====

### PARAMETRISATION TECHNOLOGIQUE

- V.1. INTRODUCTION.
- V.2. DEFINITION D'UNE FILIERE TECHNOLOGIQUE.
  - V.2.1. Les niveaux de masque.
  - V.2.2. Les règles de dessin.
  - V.2.3. Les paramètres électriques
  - V.2.4. L'indépendance technologique.
- V.3. LA PARAMETRISATION TECHNOLOGIQUE.
  - V.3.1. Caractéristiques requises d'un fichier technologique.
  - V.3.2. Structure d'un fichier technologique.
  - V.3.3. Le système de gestion d'un fichier technologique.
  - V.3.4. Approche pour le calcul des paramètres secondaires.
- V.4. CALCUL DES PARAMETRES ELECTRIQUES SECONDAIRES.
- V.5. CALCUL DES PARAMETRES GEOMETRIQUES SECONDAIRES.
  - V.5.1. Topologie d'un POINT de PLA.
  - V.5.2. Calcul automatique d'un POINT de PLA.
  - V.5.3. Topologie d'un POINT de rappel de masse.
  - V.5.4. Calcul automatique d'un point de rappel de masse.
  - V.5.6. Couplage des points ET-OU.
  - V.5.7. Calcul automatique des constituants d'une connexion interne.
  - V.5.8. Génération des contraintes pour le tracé.
  - V.5.9. Génération globale des paramètres géométriques.
- V.6. CONCLUSION.





## CHAPITRE

## CINQUIEME

=====

=====

### PARAMETRISATION

### TECHNOLOGIQUE

#### V.1. INTRODUCTION.

Les technologies qui permettent d'intégrer des systèmes électroniques sur silicium, ont constitué un facteur important pour la réduction des coûts de leur conception et pour l'augmentation de leur fonctionnalité. Par ailleurs, il est évident que les nouvelles techniques de conception ont poussé à améliorer les filières technologiques.

Ces dernières années, la technologie permet une plus grande facilité dans l'intégration. Or, l'amélioration des performances et de la fiabilité des circuits VLSI est la conséquence d'une grande maîtrise de la technologie et d'un nouveau mode de pensée des concepteurs de systèmes et des architectes de machines informatiques.

Au cours des dernières années la densité d'intégration des circuits VLSI a été presque doublée (\*1.6) chaque année, plus particulièrement celle des mémoires. La réduction des géométries et l'amélioration des procédés technologiques ont permis cette évolution rapide. Par exemple, la largeur des fils conducteurs a été réduite de six microns à trois microns.

Les améliorations dans la photolithographie ont permis un gain de surface sans dégrader la productivité. Dans les laboratoires naît aujourd'hui des technologies sub-microniques.

En outre, la réalisation des systèmes électroniques a évolué depuis l'utilisation de composants discrets vers leur intégration sur silicium. Cette évolution rapide a entraîné des pressions économiques obligeant l'automatisation de la conception et du dessin des masques. Les premiers efforts sur l'automatisation du dessin visaient les circuits imprimés. Tandis que récemment des outils de dessin viennent d'être développés pour les tâches

complexes apparaissant dans la conception des circuits VLSI. Le développement des systèmes de dessin tenant compte d'un style d'implantation et d'une technologie spécifique devient de moins en moins pratique. Les outils (ainsi que les styles d'implantation) indépendants de la technologie vont voir leur développement accéléré.

Dans une approche classique de la conception des circuits intégrés, les différents niveaux de masque pour le procédé de fabrication doivent être dessinés de manière très précise (dessin au micron). Suivant les filières technologiques utilisées, un ensemble de règles de dessin sont définies et doivent être respectées. Le dessin des masques est alors une tâche longue et fastidieuse, souvent génératrice d'erreurs. Les détails des règles de dessin deviennent complexes suivant l'évolution de la technologie. Ceci oblige à reconsidérer la conception géométrique ou physique d'un circuit lors d'un changement substantiel de la technologie.

Pendant la conception d'un circuit, une petite modification d'échelle dans le procédé de fabrication rend cette conception inutilisable ou inefficace avant la production du circuit. Par ailleurs, le seul changement, très important, dans un procédé de fabrication générique concerne la résolution qui augmente avec le temps.

Or, les règles de dessin paramétrées par une variable simple (soit la résolution, soit l'échelle, etc.) peuvent augmenter la longévité des conceptions, et qui ne deviendraient efficaces que lorsque le procédé aura changé radicalement.

Cette variable de paramétrisation des procédés de fabrication génériques permet donc une simplification des règles de dessin.

### V.2. DEFINITION D'UNE FILIERE TECHNOLOGIQUE.

Une technologie quelconque est définie par [HON-80]:

- \* Les niveaux de masque.
- \* Les règles de dessin.
- \* Les paramètres électriques intrinsèques.

#### V.2.1. Les niveaux de masque.

## CHAPITRE V : Paramétrisation technologique

Un niveau de masque correspond à une opération de fabrication. Ce niveau est garni de zones opaques reproduisant le schéma original du circuit à implanter. Un masque est utilisé dans un masqueur soit optique (par projection d'une image lumineuse -UV-), soit électronique (à l'aide d'un faisceau d'électrons), soit aux rayons "X", soit grâce aux rayons laser.

Une filière technologique décrit une séquence de masquage sur la pastille de silicium, donc un ensemble de masques utilisés.

La fabrication d'un circuit intégré se réalise en deux phases [DEM-80].

La première concerne la fabrication des masques à partir de la spécification des formes à réaliser sur le silicium.

La deuxième phase concerne la fabrication des pastilles dans laquelle les masques sont utilisés pour réaliser la topographie superficielle de la pastille. Ensuite, le fabricant découpe cette pastille en circuits, puis encapsule chacun d'eux dans un boîtier pour obtenir enfin le produit final.

Ces deux phases sont complexes et requièrent un équipement spécial d'une précision considérable.

Masque	Mnemonique	Couleur Conventiionnelle
Diffusion	DIFF	Vert
Silicium POLYcristallin	POLY	Rouge
Via de connexion	CONTACT	Noir
Métal	METAL	Bleu
Implantation ionique	IMPLANT	Jaune
Passivation	PASSIV	Marron

FIG. 5.1. Niveaux de masque en technologie NMOS.

Les circuits intégrés MOS sont construits comme une série de couches gravées ou grimées sur la surface d'une pastille de silicium. A titre d'exemple nous présentons dans la figure 5.1 les niveaux de masque d'un procédé NMOS très connu et utilisés par Mead et Conway [MEA-80]. La dénomination correspondante des niveaux sera utilisée tout le long de ce chapitre.

### La génération des masques.

Il existe deux techniques de génération des masques: l'optique et le faisceau d'électrons. Ces deux techniques engendrent un ensemble de masques

maîtres. Ces masques serviront pour réaliser les masques de fabrication qui à son tour de rôle seront utilisés pour fabriquer les tranches de silicium.

Les masques générés optiquement consistent à isoler une plaque photosensible à partir du dessin des masques fournis par le concepteur. Le premier masque ainsi obtenu constitue un réticule. Le masque maître est ensuite généré par duplication successive et réduction (par 10) de ce réticule.

Les masques générés par un faisceau d'électrons sont obtenus par exposition directe du masque maître par un faisceau qui effectue un balayage continu et est modulé en intensité d'après les données du dessin des masques.

Par ailleurs un masque est caractérisé par sa polarité. Ceci signifie, que les régions actives du masque au moment de l'opération sont, soit les zones opaques (masque positif), soit les zones claires (masque négatif), et ont une influence sur le type de résine utilisée.

#### Le procédé de fabrication.

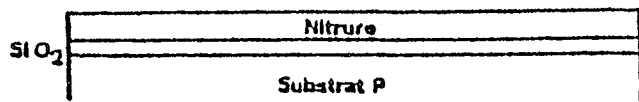
Il consiste à graver les couches actives (DIFF, POLY, METAL) ou isolantes (oxyde mince, oxyde épais, passivation) par attaque chimique sur la surface d'une pastille de silicium [RID-81]. Une séquence appropriée de masques permet alors la superposition de ces couches formant ainsi les dispositifs élémentaires d'un circuit électronique (une diode, un transistor, une résistance, une capacité). Les différentes phases d'exposition des masques se font soit par pression du masque sur la tranche de silicium (photolithographie par contact), soit par projection de l'image du masque sur la surface de la tranche (photolithographie par projection).

La figure 5.2 montre, à titre d'exemple, une séquence d'exposition des masques permettant la formation d'un transistor enrichi et d'un transistor déplété dans une technologie HMOS.

#### V.2.2. Les règles de dessin.

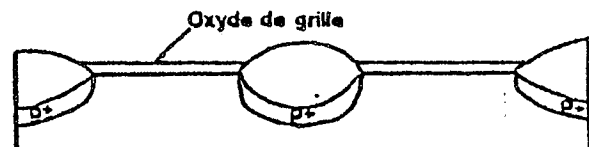
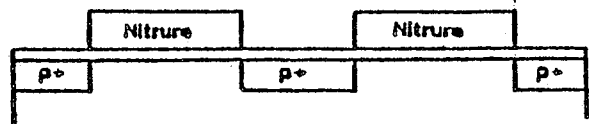
Les règles de dessin d'une technologie sont constituées d'un ensemble de contraintes géométriques (c.-à-d., d'inégalités dimensionnelles) que le

- \* Substrat de départ
- \* Oxydation substrat
- \* Dépôt nitrure



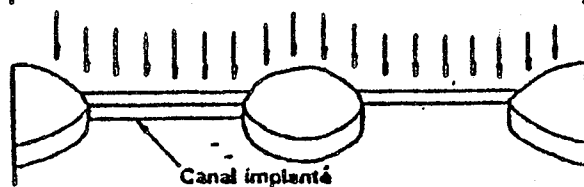
Masque 01

- \* Gravure nitrure
- \* Implantation  $p^+$  de champ
- \* Oxydation de champ
- \* Enlèvement nitrure et oxyde
- \* Oxydation grille



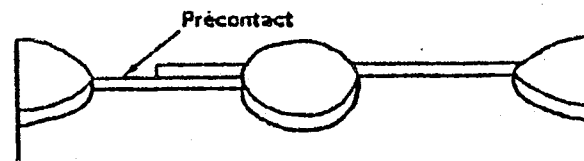
Masque 02, 022, 025

- \* Implantation ajustement des tensions de seuil



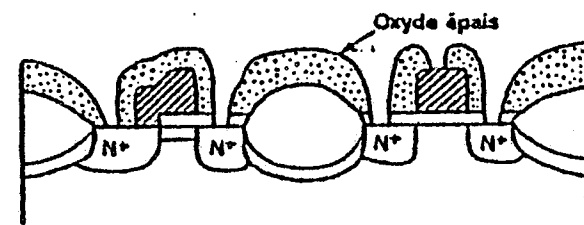
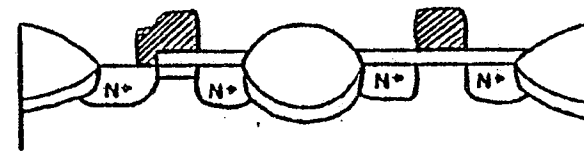
Masque 03, 04

- \* Ouverture précontact POLY/ $N^+$
- \* Dépôt et dopage Si-POLY
- \* Dépôt siliciure



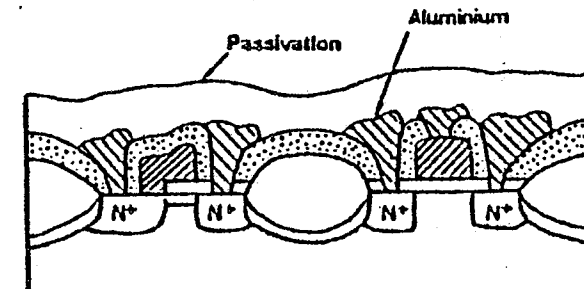
Masque 05

- \* Gravure Si-POLY
- \* Implantation source-drain
- \* Dépôt oxyde épais



Masque 06, 07

- \* Ouverture des contacts
- \* Dépôt METAL



Masque 08

- \* Gravure METAL
- \* Dépôt oxyde de PASSIVation

Masque 09

- \* Gravure oxyde de PASSIVation

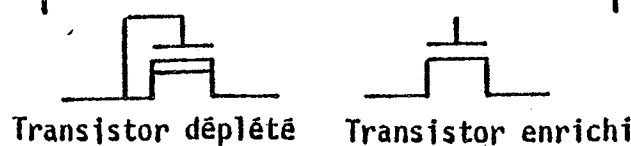


Fig. 5.2. Séquence d'exposition des masques.

Technologie HMOS.

concepteur doit tenir compte lorsqu'il dessine un circuit [LYO-81].

Ces contraintes visent à éviter des anomalies de fabrication des dispositifs élémentaires. Ces anomalies dépendent de la précision des machines utilisées dans la fabrication. Plus exactement, une anomalie se présente lorsqu'un masque "ne tombe pas au bon endroit". Malgré la précision atteinte dans ce domaine, l'erreur absolue de positionnement de tels masques n'est pas totalement nulle. Les règles de dessin doivent donc permettre de garder une certaine marge de sécurité dans le positionnement.

Pour mieux développer ce qui suit, nous définissons:

**DEFINITION 5.1.**

Un élément géométrique représente une zone spécifique d'un niveau de masque qui permet la gravure de la tranche de silicium pendant la fabrication des circuits.

**DEFINITION 5.2.**

Un motif est un arrangement d'éléments géométriques appartenant à différents niveaux de masque qui forment un dispositif électronique particulier. Par exemple le motif transistor enrichi est défini comme le croisement d'un élément POLY et d'un élément DIFF.

En outre, les dimensions d'un motif se trouvant dans le dessin d'un circuit ne sont pas exactement celles du même motif se trouvant sur la pastille de silicium après fabrication. Ce problème physique dépend du mode de fabrication des dispositifs élémentaires. Il existe d'autres problèmes qui doivent aussi être résolus par une bonne spécification des règles. Parmi les plus connus se trouvent:

- \* la diffusion latérale (étranglant et raccourcissant le canal d'un transistor ce qui fait augmenter la probabilité de son claquage).
- \* le retrecissement des fils conducteurs (augmentant leur résistance).
- \* les craquelures des couches minces (donnant un court circuit ou un circuit ouvert), etc.

Les contraintes géométriques sont spécifiées pour chaque motif de base

## CHAPITRE V : Paramétrisation technologique

(fil conducteur, transistor enrichi, etc.). Des critères de normalisation de ces contraintes permettront la simplification des règles [SEQ-81]. Nous présentons dans ce qui suit quelques critères de normalisation:

### DIMENSION (S).

Ce critère indique la dimension minimale d'un élément mesurée selon les axe X ou Y, ou les deux (Z).

par ex., la dimension minimale d'un contact:

SZCONTACT  $\geq$  2 unités.

### LARGEUR (L).

Celui-ci concerne la largeur minimale d'un élément mesurée selon les axes X ou Y, ou les deux (Z).

par ex., la largeur minimale de la diffusion:

LZDIFF  $\geq$  2 unités.

### DISTANCE (D).

Celui-ci représente la distance minimale entre deux éléments mesurée selon les axes X ou Y, ou les deux (Z).

par ex., la distance minimale entre le POLY et la diffusion:

DZPOLYDIFF  $\geq$  1 unité.

### DEPASSEMENT (P).

Celui-ci indique le dépassement d'un élément par rapport à un autre mesuré selon les axe X ou Y, ou les deux (Z), engendrant un motif particulier (un transistor par exemple).

par ex., le dépassement du POLY par rapport à la diffusion:

PZPOLYDIFF  $\geq$  2 unités.

### DEBORDEMENT (B).

Celui-ci concerne le débordement ou le dépassement



d'un élément sur tout le pourtour d'un autre élément mesuré selon les axe X ou Y, ou les deux (Z) engendrant un motif particulier (un contact enterré par exemple).

par ex., le débordement de la diffusion par rapport au contact:

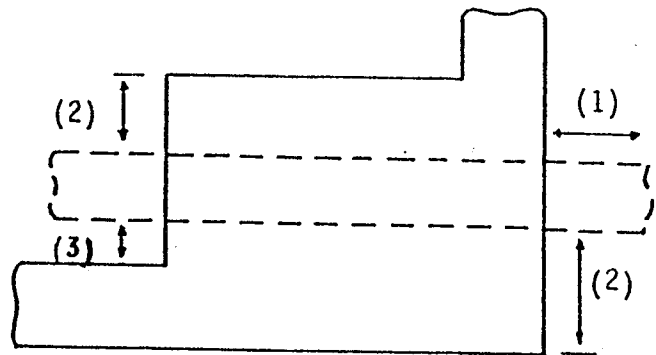
BZDIFFCONTACT  $\geq$  1 unité.

Pour un transistor enrichi,

(1) PZPOLYDIFF  $\geq$  2 u.

(2) PZDIFFPOLY  $\geq$  2 u.

(3) DZPOLYDIFF  $\geq$  1 u.



Pour un contact POLY-METAL,

(1) SZCONTACT  $\geq$  2 u.

(2) BZPOLYCONTACT  $\geq$  1 u.

(3) BZMETALCONTACT  $\geq$  1 u.

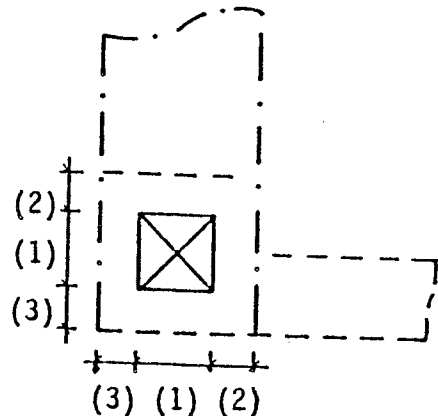


Fig. 5.3. REGLES DE DESSIN POUR DES MOTIFS COMPLEXES.

Les règles pour la formation ou la spécification des motifs complexes se font par une combinaison des contraintes simples (Fig.5.3) [SEI-81].

Le terme unité est utilisé comme un moyen de simplifier les règles. Ceci exprime qu'une règle de dessin peut être formulée en termes de cette unité appelée PARAMETRE. Mead et Conway ont baptisé ce paramètre du nom de LAMBDA ( $\lambda$ ) qui interprète la résolution de la lithographie d'un procédé de fabrication quelconque. Lambda représente soit la limite de la déviation d'un trait sur la pastille depuis sa position idéale, soit le déplacement d'un motif dans un niveau de masque par rapport à sa position idéale repérée par

## CHAPITRE V : Paramétrisation technologique

un autre motif placé sur un niveau différent.

Caractéristique	facteur d'échelle
Lambda	1/K
Largeur de canal	1/K
Longueur de canal	1/K
Densité d'intégration	K**2
Tension d'alimentation	1
Courant	K
Vitesse des portes	K**2
Puissance dissipée par porte	K
Puissance par unité de surface	K**3

Fig. 5.4. Influence du facteur K d'échelonnement.

Par ailleurs, l'utilisation du paramètre lambda permet l'indépendance technologique de la conception d'un circuit, car, l'évolution d'une technologie est exprimée par un maigrissement des dispositifs réduisant leur taille par un facteur K ( $K=3/2$ , pour réduire un conducteur de 3 microns sur 2 microns). Le maigrissement d'une technologie entraîne le changement des caractéristiques de la technologie, tel que le montre la figure 5.4.

L'utilisation de règles exprimées en lambda permet de préserver l'ensemble de cellules dessinées et stockées dans une bibliothèque pour une durée assez longue couvrant plusieurs évolutions de la technologie.

### V.2.3. Les paramètres électriques

Les paramètres d'une filière technologique définissent le comportement d'un dispositif élémentaire dessiné sur du silicium. Plus spécifiquement, il existe deux ensembles de paramètres:

\* Paramètres intrinsèques au matériau (Silicium, AsGa, Germanium) et du procédé de fabrication, qui sont:

- \* La mobilité des porteurs dépendant du degré de dopage.
- \* Les constantes diélectriques.
- \* La capacité d'oxyde fin par unité de surface,  $C_{ox}$ .
- \* La tension de seuil dépendant de l'implantation ionique.
- \* Le coefficient d'effet de substrat.

## CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

- \* Les épaisseurs des couches: oxyde de champ, oxyde de grille, diffusion de source, de drain, oxyde épais, poly-silicium, métal, etc.
  - \* Les résistances carrées de chaque couche.
  - \* Les capacités unitaires de chaque couche.
  - \* Le coefficient d'effet de canal étroit ou court, etc.
  - \* Les coefficients de dépendance de la tension de seuil vis-à-vis des facteurs géométriques du canal, du dopage, etc.
- \* Paramètres dûs à la géométrie des dispositifs:
- \* La profondeur de jonction.
  - \* Les dimensions d'un canal.
  - \* Les dimensions de la source, le drain, la grille, etc.

Avec ces paramètres, le calcul du comportement temporel d'un circuit est simple. Ceci permet la modélisation des circuits et de le simuler, ce qui permet aussi le dimensionnement des dispositifs voisins.

### V.2.4. L'indépendance technologique.

Les règles de dessin d'une technologie donnée constituent un des piliers de la production de haute qualité. Elles sont requises pour exécuter une conception et la vérifier avec exactitude. Les outils de conception et de vérification sont paramétrés par ces règles qui sont complexes et difficiles à utiliser dans les outils de CAO pour les CI.

Pendant qu'une technologie et son procédé de fabrication évoluent, leurs règles dépendent du degré de cette évolution et leurs révisions sont fréquentes. D'ailleurs, nous nous trouvons dans un environnement dans lequel la technologie change rapidement, et nous nous demandons à notre tour:

- \* Comment pouvons-nous développer les outils de CAO qui survivront dans cet environnement?.
- \* Comment pouvons-nous donner à ces outils une certaine indépendance technologique?.

En outre, actuellement, nous nous trouvons face à un certain nombre de

## CHAPITRE V : Paramétrisation technologique

problèmes concernant la génération automatique des règles qui nous posent les questions:

- \* Ce processus de génération peut-il être formalisé couvrant ainsi les différentes technologies en évolution et améliorant la qualité de la production?
- \* L'intégrité de la conception peut-elle être améliorée avec la CAO de génération des règles?
- \* Le travail pénible de génération manuelle des règles peut-il être éliminé?

Les réponses à ces questions peuvent varier en fonction des technologies, du degré d'intégration et des types de procédés. Après tout, nous pouvons affirmer que:

- \* Un outil CAO précis incluant les détails d'une technologie spécifique peut être utilisable avec d'autres technologies, mais restreint l'habilité du concepteur pour exploiter ces technologies.
- \* En restreignant les règles de base pour permettre la génération automatique, nous restreignons encore les nouvelles applications de la technologie sur de nouvelles architectures de machines informatiques [ZIN-83].
- \* Les règles créées par de techniques simples enrichissent l'habilité et la dextérité de réaliser une conception à la demande.

### V.3. LA PARAMETRISATION TECHNOLOGIQUE.

Le terme paramétrisation technologique est peut-être mal employé, mais il s'agit de rendre les paramètres de la technologie accessible aux différents outils CAO lui faisant référence. Ceci implique que ces outils sont conduits ou paramétrés par la technologie [WU-83]. Alors, nous dirons que paramétriser une telle technologie consiste à translater tous ses paramètres sous une forme intermédiaire interprétable (c'est-à-dire le code technologique) par n'importe quel outil CAO. Il est évident que le stockage de cette forme intermédiaire se fera sur un fichier appelé dorénavant fichier technologique.

### V.3.1. Caractéristiques requises d'un fichier technologique.

Etant donnée qu'une technologie évolue constamment, que les diversités de circuits conçus varient en architecture et en implantation, que pendant le processus de conception d'un circuit le concepteur est ramené à y faire de retours en arrière lui faisant référence, alors un fichier technologique doit remplir les caractéristiques suivantes:

- \* Lisibilité à chaque stade de la conception permettant de changer certains paramètres de manière directe (c'est-à-dire par forçage).
- \* Modularité des données qui consiste à partager le fichier en zones regroupant un certain nombre de paramètres ayant le même rôle fonctionnel (par exemple: dessin, électrique, procédé, etc.).
- \* Manipulation souple permettant une mise à jour ou re-génération rapide.
- \* Format libre et sous forme de texte permettant sa construction à la main. Ceci est très important lorsqu'il n'y a pas un système de gestion de ce fichier.

### V.3.2. Structure d'un fichier technologique.

Les contraintes précédentes ont guidé la conception d'un fichier expérimental ayant une structure modulaire qui est schématisée ci-dessous. L'annexe II comporte une présentation plus détaillée de sa structure.

## CHAPITRE V : Paramétrisation technologique

### Zone primaire:

- Niveaux de masques.
- Règles de dessin.
- Paramètres électriques.

### Zone secondaire:

- Paramètres de dessin calculés.
- Paramètres électriques calculés.
- Structure intermédiaire de cellules de base

La zone primaire est constituée en quelque sorte par tous les paramètres provenant de la technologie et qui servent de base pour le calcul du comportement électrique, des cellules de base, de la taille approximative d'un circuit, etc.

La zone secondaire est constituée par l'ensemble de paramètres calculés ou intermédiaires qui vont permettre l'allègement des calculs plus complexes. Parmi ceux-ci se trouvent:

- \* Les paramètres géométriques des motifs de base (transistor, diode, etc.).
- \* Les paramètres électriques correspondants.
- \* Les paramètres topologiques permettant l'assemblage des cellules de base.
- \* La forme intermédiaire des cellules de base (cf. paragraphe III.7.2), etc.

### V.3.3. Le système de gestion d'un fichier technologique.

D'après ce que nous venons de présenter, un fichier peut être géré manuellement ou automatiquement. La gestion automatique mise en oeuvre dans le système PAOLA est réalisée par un ensemble de programmes ad-hoc formant un sous-système auxiliaire.

Parmi ces programmes de calcul se trouvent:

- \* Le programme de définition d'un POINT de PLA permettant la fixation de sa géométrie de manière interactive.
- \* Le programme de calcul de paramètres électriques du POINT PLA donnant

## CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

des abaques qui vont permettre au concepteur de fixer, ou forcer, certaines valeurs.

- \* Le programme de calcul des paramètres électriques supplémentaires dépendant des ceux déjà calculés.
- \* Le programme de calcul géométrique et topologique des cellules de base formant un POINT de PLA.

Cet ensemble de programmes permet donc une certaine automatisation de la génération des paramètres pour l'évaluation électrique et le dessin d'un PLA. En ce qui suit, nous détaillons les démarches entreprises pour la mise en oeuvre des programmes de calcul, mais restant encore le développement de l'ensemble de programmes gérant la mise à jour du fichier de manière interactive.

### V.3.4. Approche pour le calcul des paramètres secondaires.

L'influence de la technologie dans chaque étape de la conception d'un circuit est plus ou moins forte (Fig.5.5). Celle-ci est encore plus forte lorsque le concepteur fait des retours en arrière ou des avances prématurées. Nous allons détailler l'influence directe de la technologie dans l'étape d'implantation et les démarches entreprises pour la réussite d'une conception à l'aide des motifs ou objets réguliers.

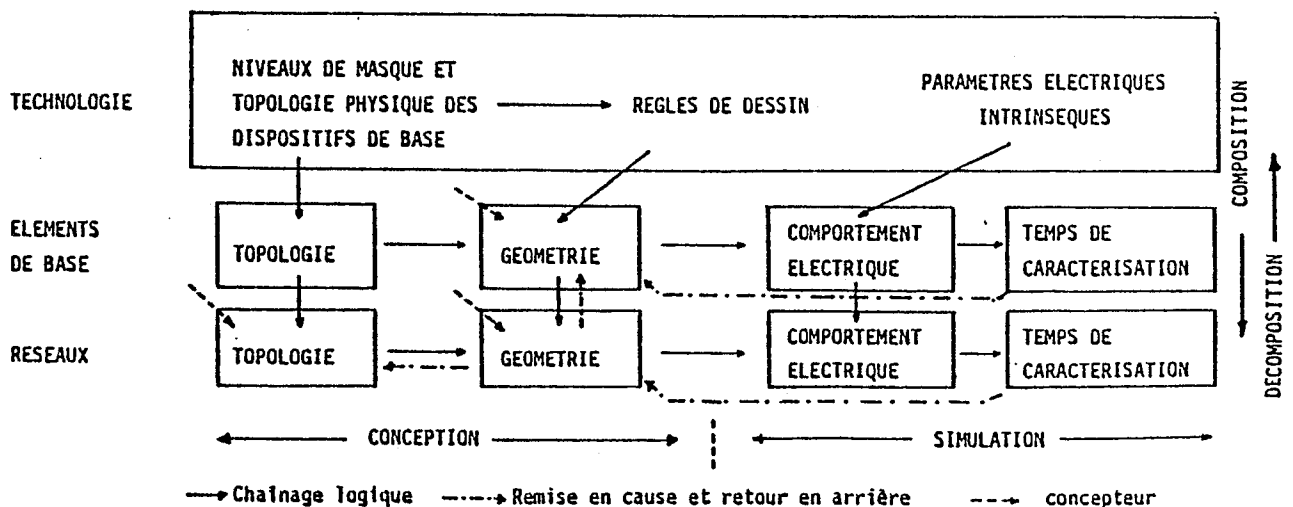


Fig. 5.5 INFLUENCE DE LA TECHNOLOGIE DANS LA CONCEPTION DE CIRCUITS INTEGRES.

### Conception d'une cellule de base.

Intuitivement, composer une cellule (un objet simple ou un motif complexe)

## CHAPITRE V : Paramétrisation technologique

de base consiste à définir d'abord sa topologie en fonction des niveaux de masque et des dispositifs élémentaires implantables que la technologie nous offre.

Le concepteur plante la cellule et fixe ses dimensions à son gré en tenant compte des règles de dessin.

Les pas suivant consiste à calculer ou à simuler le comportement électrique de la cellule exprimé par son temps de montée, de descente, de transit, etc. (temps caractéristiques) [DAN-83]. Ceci est à compléter par d'autres paramètres électriques inhérents à la cellule (par exemple, l'impédance d'entrée et de sortie, la puissance consommée, la qualité de transfert des niveaux logiques, etc.).

En fonction du comportement électrique de la cellule, le concepteur peut valider l'implantation ou la remettre en cause. Ce retour en arrière s'effectue autant de fois que nécessaire jusqu'à atteindre des résultats corrects.

Dès qu'une cellule a été implantée et validée, celle-ci peut faire partie d'une bibliothèque de cellules de base allant être utilisées pendant l'étape de composition (assemblage).

Composition d'un réseau de cellules.

Théoriquement, un réseau de cellules est le résultat de l'application d'une fonction d'assemblage.

Réseau : ASSEM ---> [ Cellules de Base ].

La fonction ASSEM est définie par le concepteur en tenant compte de la topologie du réseau fixée par celle des cellules de base, de leur géométrie et de leur autres caractéristiques.

Par exemple:

INVERSEUR := ASSEM ([TR<sub>Signal</sub>, TR<sub>Charge</sub>]);

dont, ASSEM indique l'assemblage de type placer au-dessous de (c.-à-d. "placer" TR<sub>enrichi</sub> "au-dessous de" TR<sub>déplété</sub>, Fig. 5.6).



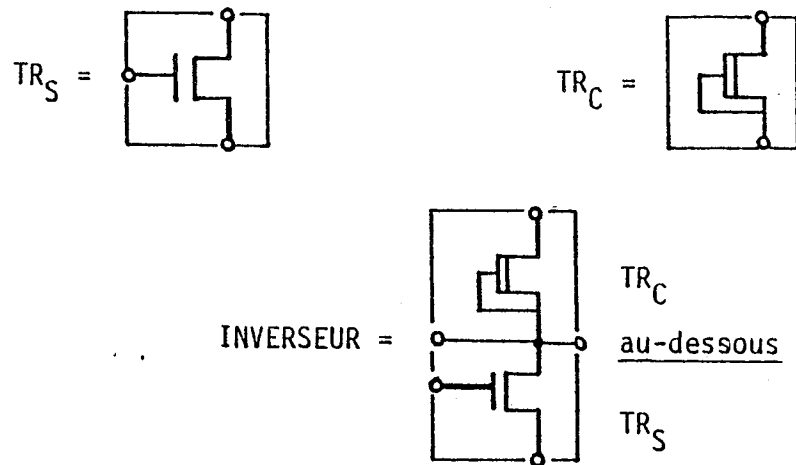


Fig. 5.6. Assemblage Symbolique de deux CELLULES.

La fonction ASSEM peut être confondue avec certaines commandes d'un assembleur de cellules (par exemple le système LUBRICK [SCH-83]), ou simplement elle devient une commande de type: placer, connecter, compacter, etc. d'un système graphique (par exemple les systèmes LUCIE [JER-81], LUCIFER [LEV-82], GAMMA [GAM-74], CIF [SEQ-80], etc.).

Par ailleurs, on peut assembler une porte NON-OU (NOR) à plusieurs entrées de la manière suivante:

$$\text{NON-OU} := \text{ASSEM}_{\text{NOR}}([\text{TR}_S, \text{TR}_C, \text{CX}_H, \text{CX}_B]);$$

La structure obtenue est schématisée dans la figure 5.7.

Cette approche d'assemblage des cellules est très répandue parmi les assembleurs des blocs fonctionnels d'un circuit dont les cellules sont très variées. Lorsque nous assemblons peu de cellules pour constituer un réseau complexe ayant une structure régulière, nous nous trouvons en face d'un assemblage par répétition. Quand la taille du réseau est grande (par exemple, dans le cas d'un PLA complexe), le processus d'assemblage devient monotone et lourd (par exemple les systèmes PLASCO [MAN-83], PLESURE [MIC-83]), donc une façon de pallier à cet inconvénient consiste à connaître la topologie globale du réseau et ensuite bâtir sa géométrie par assemblage d'une structure intermédiaire (la structure des bandes de PAOLA par exemple).

Cet assemblage est influencé par la géométrie des cellules formant le

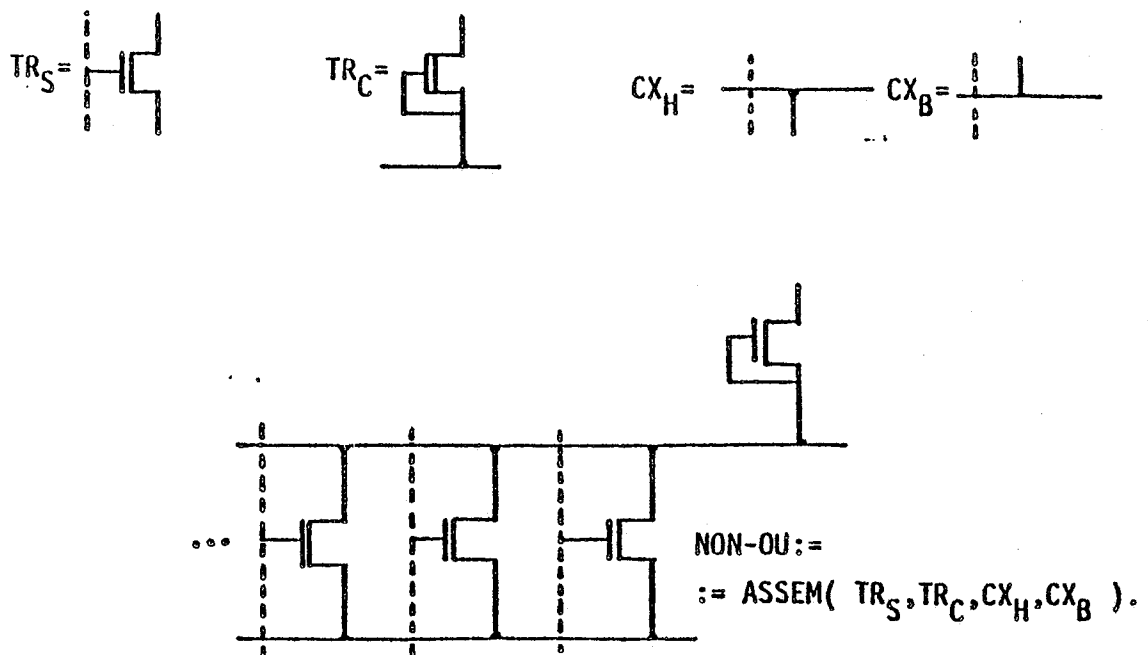


Fig. 5.7. Assemblage Symbolique d'une porte NON-OU.

réseau. Le concepteur calcule ensuite le comportement électrique du réseau pour obtenir son temps caractéristique et certains d'autres paramètres permettant valider l'implantation du réseau [DAN-83].

De même, dès qu'un réseau vient d'être implanté, son insertion dans une bibliothèque de briques est possible pour ensuite l'utiliser dans un assemblage de blocs spécialisés.

Pour l'automatisation de tout ce que nous venons de décrire, il nous faut structurer la séquence de calcul et partager l'ensemble de paramètres secondaires nécessaires pour le dessin automatique et l'évaluation temporelle des PLA. La séquence de calcul suit le partage de ces paramètres de manière logique:

- \* La géométrie d'un POINT de PLA.
- \* Les paramètres électriques de ce point.
- \* Les paramètres topologiques pour l'assemblage d'une matrice d'après une évaluation temporelle.
- \* Les paramètres géométriques pour le dessin et le tracé interne de cette matrice.

## CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

Les deux premières parties sont de calculs directs, tandis que les deux dernières sont explicitées ci-après.

### V.4. CALCUL DES PARAMETRES ELECTRIQUES SECONDAIRES.

Les paramètres électriques intrinsèques de la technologie concernent:

- \* La résistance carrée des niveaux.
- \* La capacité carrée des niveaux.
- \* La tension de seuil.
- \* Le beta indiquant l'effet de substrat, etc.

D'après le calcul géométrique du POINT, les paramètres que le définent concernent:

- \* Les dimensions du CONTACT (SXCONTACT, SYCONTACT).
- \* La longueur du canal (L).
- \* La largeur du canal (W).
- \* La largeur d'une ligne de masse (G).
- \* La largeur d'une ligne de métal (M).

Maintenant, le calcul du comportement d'un POINT de PLA est direct. Il consiste à déterminer la chute de tension dans le transistor signal en mode saturé et à pouvoir ainsi calculer les dimensions de la géométrie du transistor de charge déplété.

Dès que le transistor de charge est électriquement fixé, un calcul concernant l'excursion des niveaux logiques est lancé. Ceci permet de déterminer la distance entre deux rappels de masse, et d'améliorer la qualité du niveau ZERO logique.

Lorsque nous fixons le temps de reponse d'un PLA, nous avons deux voies à suivre:

- \* D'abord le choix de la distance entre les rappels de masse et ensuite le calcul des dimensions des transistors.
- \* D'abord le choix des dimensions des transistors et ensuite le calcul de la distance entre les rappels de masse.

## CHAPITRE V : Paramétrisation technologique

Dans les deux cas, nous modifions la géométrie des transistors. Parmi eux, le plus susceptible à changer en dimension est certainement le transistor de charge, car nous envisageons de fixer la dimension du transistor signal afin de pouvoir assurer la surface minimale du PLA. Autrement dit, l'augmentation de la surface due aux transistors de charge est moins important que celle due aux transistors signaux. Cette prémisse reste valable si nous augmentons la complexité du PLA.

Pour calculer le comportement d'un PLA particulier, il nous faut connaître sa structure topologique définie par leur nombre de ses entrées, de ses sorties et de ses monômes. Ce qui nous permet de calculer le temps de transit à travers ce PLA. Si nous voulons l'accroître ou le réduire, il suffit de remonter la chaîne des calculs et d'aboutir à la fixation des nouvelles dimensions des transistors signaux et de charge.

PAOLA estime les performances électriques d'un PLA spécifique en fonction des paramètres électriques de la technologie et de leur dessin des masques. La stratégie utilisée évalue le pire cas de son temps de réponse de la manière suivante [OHK-80], [DAN-83]:

- \* Les temps de propagation des lignes d'entrée sont calculés en considérant que ces lignes sont excitées par des amplificateurs ayant de temps de montée et de descente idéaux.
- \* Le temps de propagation de chaque monôme est calculé en considérant le temps de propagation de la ligne d'entrée la plus lente qui l'excite.
- \* Le temps de propagation de chaque sortie est calculé en considérant le temps de propagation du monôme le plus lent qui l'excite.

En fait le temps de réponse du PLA sera le temps de propagation de la sortie la plus lente. Les formules utilisées dans le calcul des temps de propagation sont des simplifications de celles que l'on utilise dans la simulation temporelle.

En outre, le programme correspondant fournit des informations supplémentaires concernant:

- \* Les dimensions des amplificateurs d'entrée.

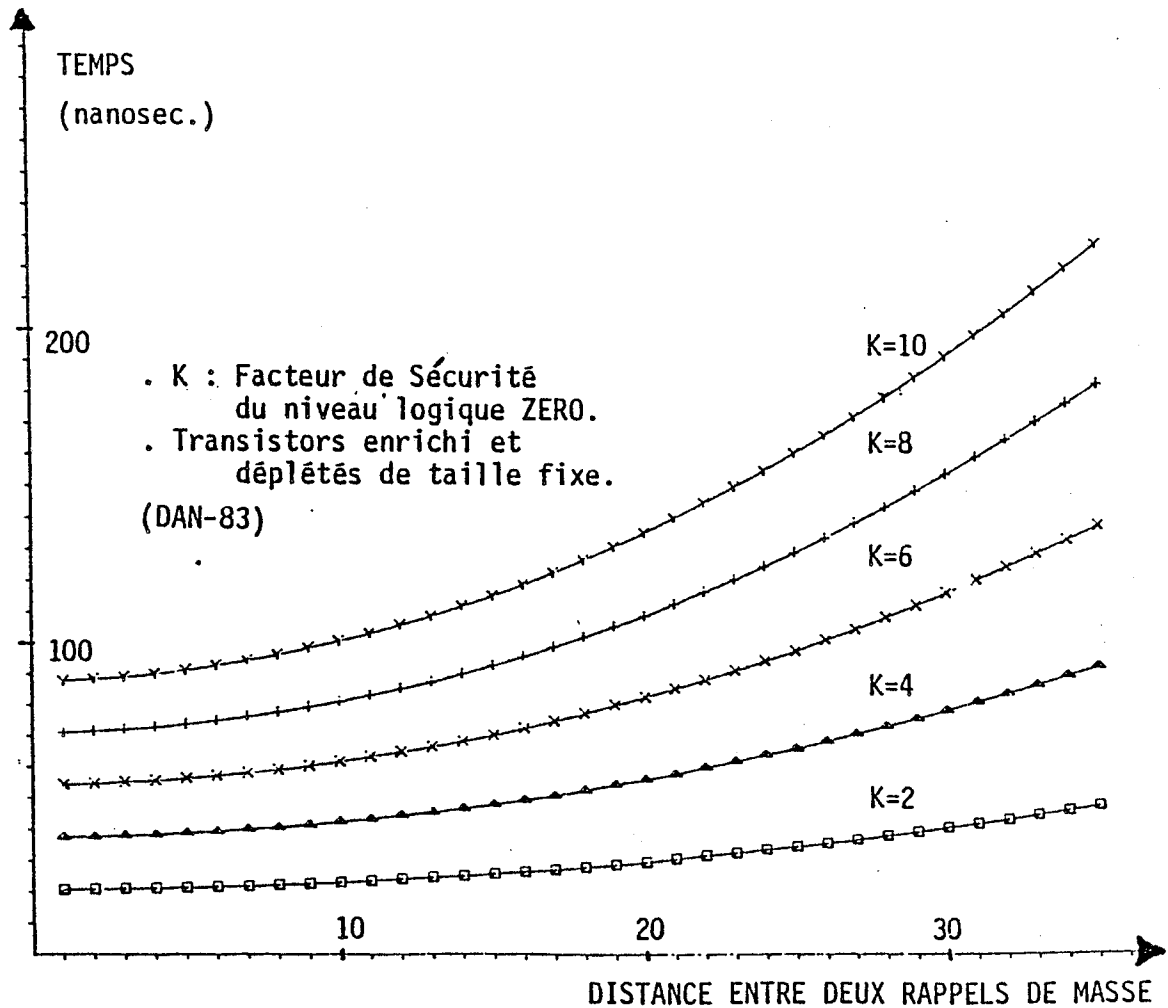


Fig. 5.8. Temps de Propagation versus Distance entre rappels de masse.

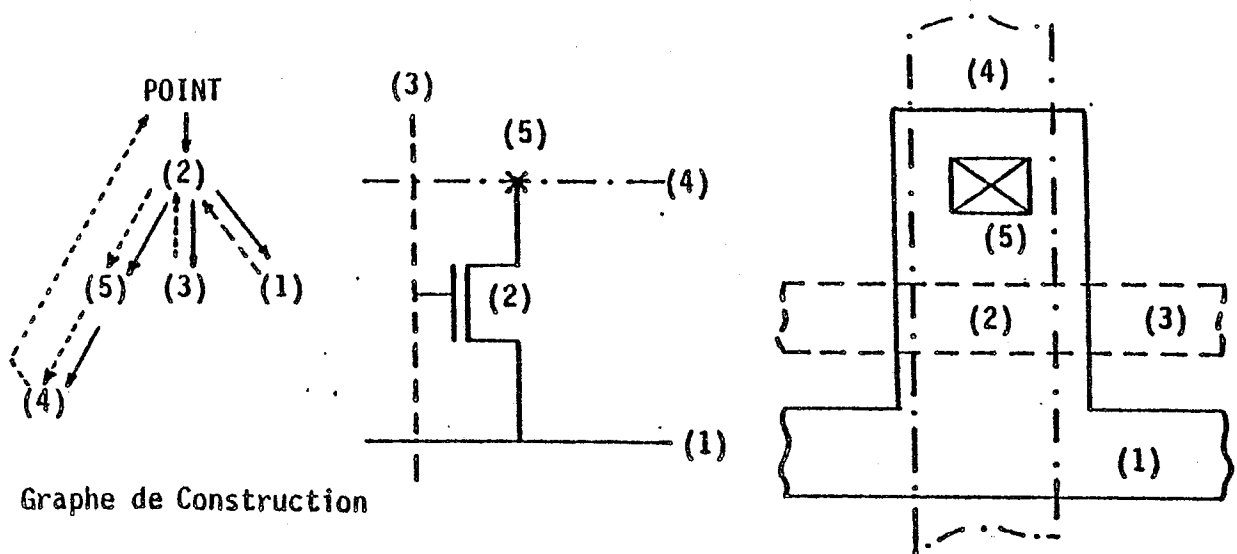
- \* La taille des transistors de charge des monômes et des sorties.
- \* Les abaques nécessaires pour la fixation de la distance entre deux rappels de masse (Fig.5.8).

#### V.5. CALCUL DES PARAMETRES GEOMETRIQUES SECONDAIRES.

##### V.5.1. Topologie d'un POINT de PLA.

Un POINT de PLA est généralement constitué soit d'un transistor (en MOS, AsGa et Bipolaire), soit d'une diode (en AsGa et Bipolaire). La figure 5.9 montre les schémas électrique et géométrique d'un point de PLA en technologie MOS, dont leur correspondance est exprimée par un graphe de construction.

Le graphe de construction donne l'ordre de composition du point, ainsi que



Graphique de Construction

Notation:  $\longrightarrow$  Ordre de constituants  
 $\dashrightarrow$  Ordre de composition ou formation.

Fig. 5.9. Le POINT PLA et son graphe de construction.

la présence de chacun de ses constituants. Les feuilles de l'arbre représentent le fait d'avoir de fils conducteurs isolés.

#### Paramètres géométriques intrinsèques.

La figure 5.10 montre les principaux paramètres géométriques d'un POINT, dont nous remarquons:

- L : Longueur du canal.
- W : Largeur du canal.
- G : Largeur de la ligne de masse.
- SXC, SYC : Dimensions du contact.
- M : Largeur de la ligne métallique.

Ces paramètres peuvent varier suivant les critères du concepteur ou simplement dus aux résultats d'un calcul électrique, mais ils doivent respecter les contraintes (voir les paragraphes V.2.1 et V.2.2, pour les règles mnémoniques):

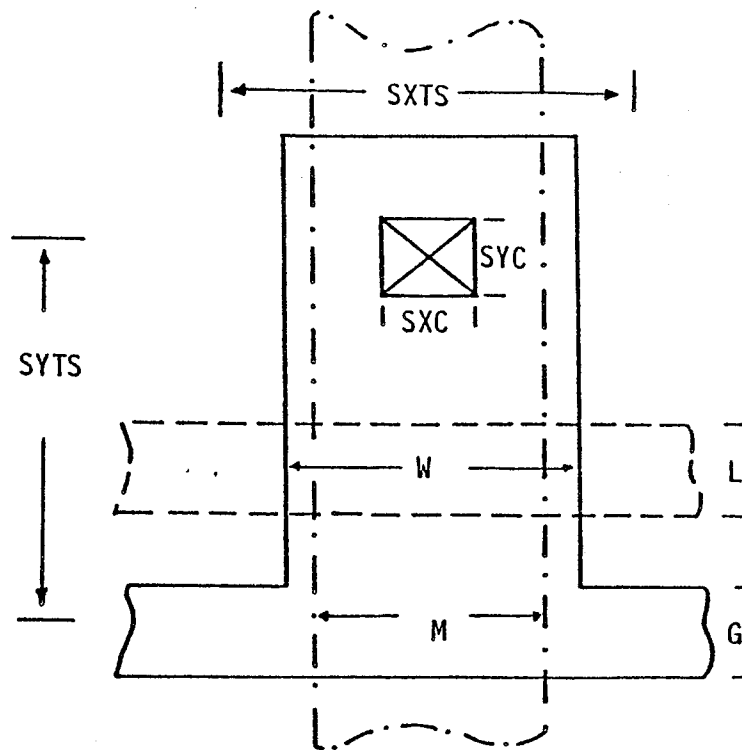


Fig. 5.10. Paramètres géométriques intrinsèques d'un POINT PLA.

L => LZPOLY

W => LZDIFF

M => LZMETAL

G => LZDIFF

SXC,SYC => SXCONTACT,SYCONTACT

Les dimensions du contact varient suivant les axes X ou Y, et sont définies par le concepteur. C'est à partir de ces dimensions que le POINT de PLA va être fixé.

Un point PLA aura comme dimensions (SXTS et SYTS, dans la figure 5.10) en premier temps:

$$SXTS := SXC + \text{MAX} ( 2 * BXMétalContact + DZMétalMétal, \\ 2 * BXDiffContact + DZDiffDiff).$$

$$2 * SYTS := G + 2 * L + SYC + 2 * DZPolyDiff + \\ 2 * \text{MAX} ( DZPolyContact, BYDiffContact + DZPolyDiff).$$

dont, DZPolyDiff: distance entre un POLY et une diffusion.

DZDiffDiff: distance entre deux diffusions.

DZMétalMétal: distance entre deux métaux.

## CHAPITRE V : Paramétrisation technologique

DZPolyContact: distance entre un POLY et un contact.

BXMétalContact: débordement d'un métal par rapport à un contact.

BXDiffContact: débordement d'une diffusion par rapport à un contact.

La raison d'utiliser la fonction MAX dans la deuxième relation vient du fait que nous vérifions toujours dans une technologie MOS quelconque l'inégalité suivante:

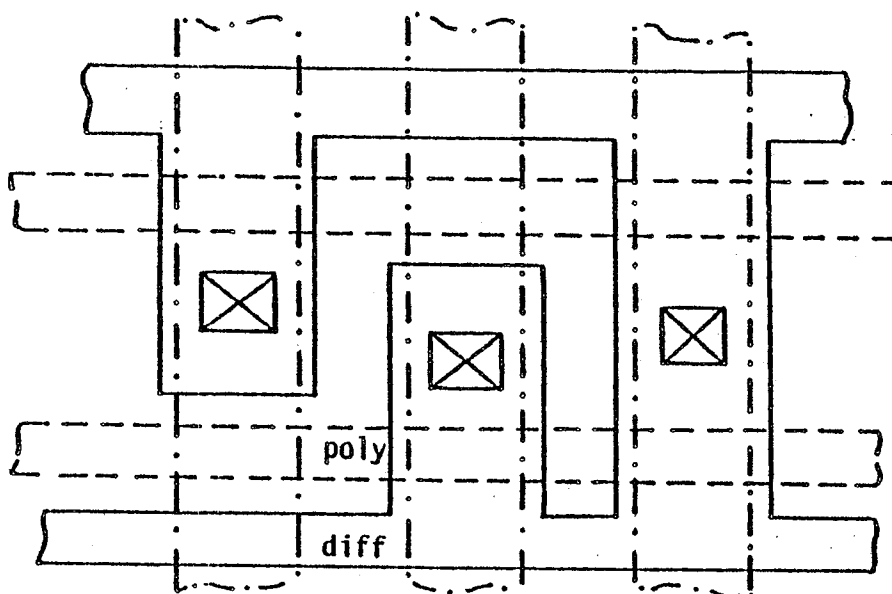


Fig. 5.11. Structure disymétrique des contacts.

$$DZPolyContact \leq BYDiffContact + DZPolyDiff.$$

Cette relation peut être utilisée pour encore réduire la surface d'un PLA, car celle-ci engendre une structure des bandes disymétrique à propos de l'alignement des contacts (Fig.5.11). Cette particularité n'est pas encore incluse dans le système PAOLA, mais va être considérée dans une version ultérieure.

### V.5.2. Calcul automatique d'un POINT de PLA.

Pour calculer automatiquement les dimension d'un POINT de PLA, il nous suffit de connaître ses paramètres géométriques intrinsèques. Ceux-ci peuvent être figés soit par défaut à partir de ceux d'un point de taille minimale, soit par fixation directe venant du concepteur.



Par ailleurs, il existe plusieurs aspects géométriques dont nous devons tenir compte avant le calcul final et qui apparaissent comme le résultat de l'application directe des règles de dessin. Parmi ces aspects définissant un point de surface réduite se trouvent:

**La fixation de la largeur de canal.**

Cette largeur varie en fonction de la valeur de W qui est fixée par le concepteur en tenant compte du comportement électrique du POINT. La valeur de W introduit une modification dans le calcul de la dimension SXTS du POINT:

$$SXTS := SXC + \text{MAX} ( 2 * BX\text{MétalContact} + DZ\text{MétalMétal}, \\ \text{MAX} ( 2 * BX\text{DiffContact}, W - SXC) + DZ\text{DiffDiff}).$$

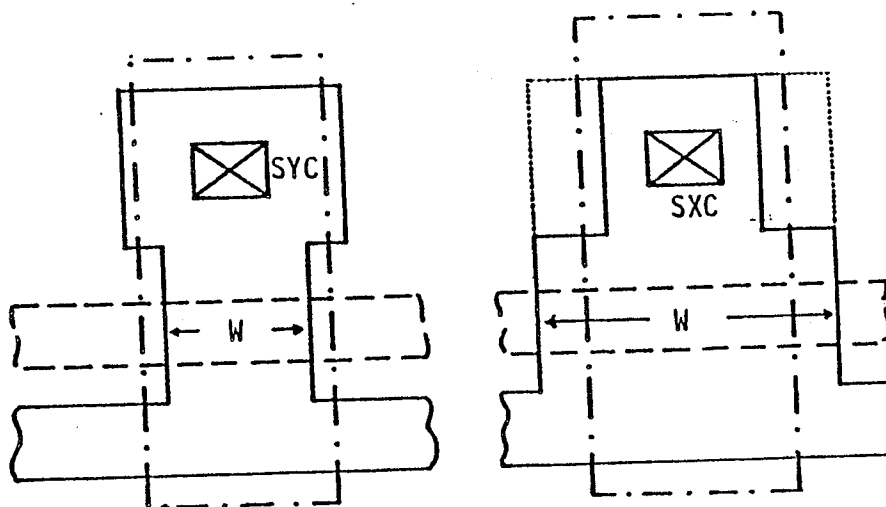


Fig: 5.12. Influence de la variation géométrique du canal sur la régularité du POINT PLA.

La figure 5.12 montre la variation géométrique du canal et ses répercussions sur le rétrécissement de la diffusion autour du contact.

Dans notre cas:

SI  $(W - SXC) > (2 * BX\text{DiffContact})$

ALORS  $(2 * BX\text{DiffContact})$  sera remplacé par

$(W - SXC)$  pour rendre le point régulier.

**Le retrecissement des conducteurs.**

Il s'agit de retrecir un conducteur soit dans la zone d'un contact (pour le niveau métal), soit dans la zone du canal (pour le niveau polysilicium). La prise en compte de cette particularité entraîne un nouveau changement de la dimension X du POINT de PLA:

$$SXTS := SXC + \text{MAX} ( \text{MAX} ( 2 * \text{BXMétalContact}, M - SXC ) + \text{DZMétalMétal}, \\ \text{MAX} ( 2 * \text{BXDiffContact}, W - SXC ) + \text{DZDiffDiff} ).$$

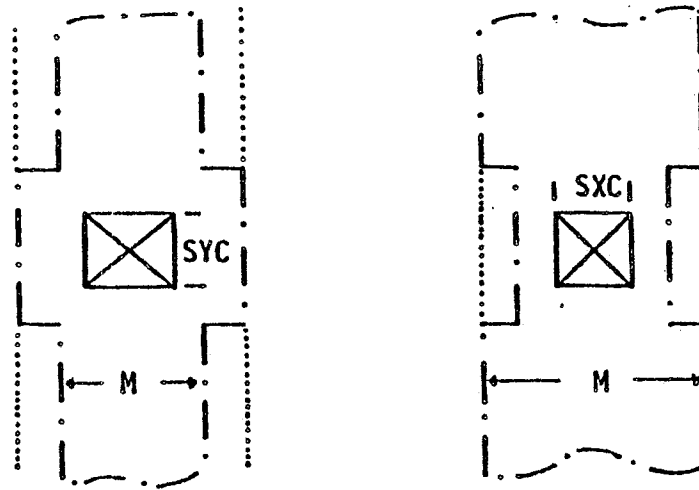


Fig. 5.13. Influence du retrecissement d'un conducteur sur la régularité de son DESSIN

Cette expression SXTS représente en fait le pas du POINT sur l'axe X, ainsi que l'expression SYTS représente le pas sur l'axe Y. La figure 5.13. montre les retrecissements du métal autour et hors d'un contact.

**V.5.3. Topologie d'un POINT de rappel de masse.**

La figure 5.14 nous montre les schémas électrique et géométrique d'un POINT de rappel de masse, dont la correspondance entre eux est exprimée par un graphe de construction.

Cette figure montre aussi les paramètres géométriques que l'on associe aux divers éléments caractéristiques du point. Les variables auxiliaires VC et VD vont décrire les déformations soit de la ligne de masse, soit des lignes de polysilicium dues à la présence du contact de rappel reliant le conducteur en métal (c'est-à-dire le rappel de masse) et la ligne de masse (c'est-à-dire

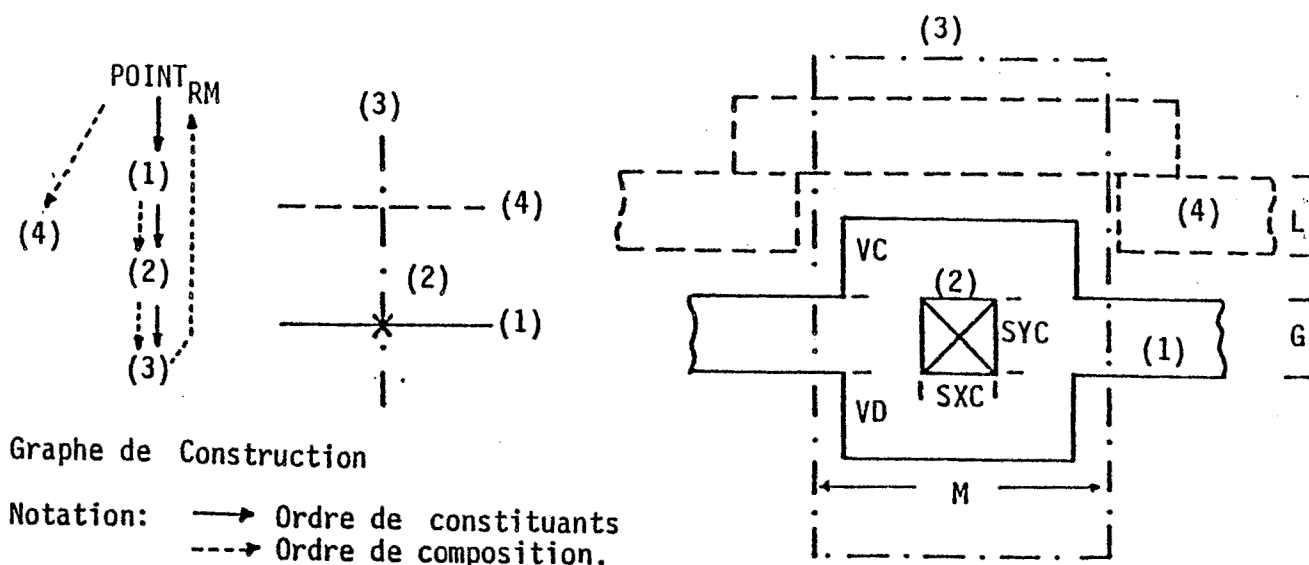


Fig.5.14. Le POINT Rappel de Masse et son graphe de construction.

celle en diffusion). VC est associée à la déformation située entre les bandes des contacts et de diffusion, tandis que VD est associée à la déformation située entre les bandes de diffusion et des contacts, vue de haut en bas. Les dimensions d'un POINT de rappel de masse seront donc:

$$SXPR := SXC + \text{MAX} ( 2 * BXDiffContact + 2 * (L + 2 * DZPolyDiff) - DZDiffDiff, \\ \text{MAX} (M - SXC, 2 * BXMétalContact) + DZMétalMétal).$$

$$2 * SYPR := SYC + 2 * (L + BYDiffContact + DZPolyPoly + DZPolyDiff).$$

$$VC := (SYC + 2 * BYDiffContact - G) \text{ DIV } 2.$$

$$VD := SYC + 2 * DiffContact - G - VC.$$

#### V.5.4. Calcul automatique d'un point de rappel de masse.

Lorsque  $VC \leq 0$  et  $VD \leq 0$ , le calcul du point de rappel est direct, tandis que dans le cas contraire, les déformations VC et VD vont créer un certain écartement entre la bande contenant le rappel de masse et les bandes voisines de métal.

Il existe certaines configurations du point de rappel qui modifient les expressions ci-dessus données, et qui sont:

## CHAPITRE V : Paramétrisation technologique

Effet d'un POINT de PLA terminal sans retrecissement de son canal.

Le dépassement de la ligne POLY influence sur le pas en X:

$$\begin{aligned} \text{SXPR} := & \text{SXC} + \text{MAX} ( 2 * \text{BXDiffContact} + 2 * ( \text{MAX} ( \text{L} + \text{DZPolyDiff}, \text{PZPolyDiff} ) \\ & + \text{DZPolyDiff} ) - \text{DZDiffDiff}, \\ & \text{MAX} ( \text{M} - \text{SXC}, 2 * \text{BXMétalContact} ) + \text{DZMétalMétal} ). \end{aligned}$$

Effet d'un POINT de PLA terminal avec retrecissement de son canal.

Dans ce cas, l'effet du retrecissement du canal modifie l'expression SXPR:

$$\begin{aligned} \text{SXPR} := & \text{SXC} + \text{MAX} ( 2 * ( \text{MAX} ( \text{L} + \text{DZPolyDiff}, \text{PZPolyDiff} - \text{DRet} ) + \text{DZPolyDiff} ) \\ & - \text{DZDiffDiff} + 2 * \text{BXDiffContact}, \\ & \text{MAX} ( \text{M} - \text{SXC}, 2 * \text{BXMétalContact} ) + \text{DZMétalMétal} ). \end{aligned}$$

$$\text{dont, DRet} = ( 2 * \text{BXDiffContact} + \text{SXC} - \text{W} + 1 ) \text{DIV } 2.$$

Les expressions ci-dessus montrées serviront pour calculer tous les composants géométriques des points de PLA et de rappel.

### V.5.5. Couplage d'un point de PLA avec un point de rappel.

La condition de couplage, autrement dit, la cohérence géométrique entre les points de PLA et de rappel de masse s'exprime par la relation:

$$\text{SYTS} \geq \text{SYPR}$$

Cette condition assure la disposition des points de manière que la continuité des lignes de polyallicium ou de diffusion ne soit aucunement modifiée.

### V.5.6. Couplage des points ET-OU.

Il s'agit de calculer les points des matrices ET-OU en gardant une cohérence géométrique de manière à ce que l'assemblage de ces matrices donne comme résultat une distribution uniforme des monômes (c'est-à-dire que la partie ET des monômes se trouve juste en face de leur partie OU).

Ce couplage est aussi influencé par le placement, dans la matrice OU, d'un

canal d'écartement vide juste en face d'un rappel de masse placé dans la matrice ET. La largeur de ce canal dépend essentiellement du pas des monômes des deux matrices. L'expression donnant cette largeur SYBV est (Fig.5.15):

$$SYBV_{OU} = (SXTS_{ET} + SXPR_{ET}) - SYTS_{OU}$$

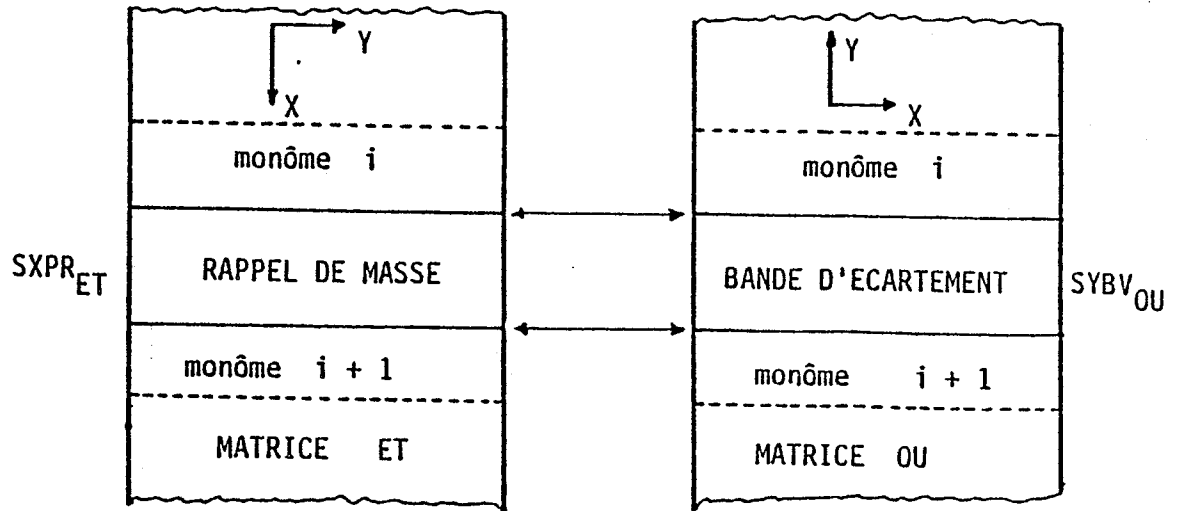


Fig. 5.15. Cohérence géométrique des matrices ET-OU.

Le problème de la transparence d'un bloc PLA est entrepris de la même manière. La largeur de la bande de transparence dépend de la matrice et du sens de transit. En général une telle bande sera assimilée soit à un monôme, soit à une entrée(sortie) (Cf. chapitre III).

Le processus d'auto-écartement pendant le tracé automatique des connexions internes le prend aussi en compte.

#### V.5.7. Calcul automatique des constituants d'une connexion interne.

La figure 5.16 montre les segments constituant une connexion interne, dont chaque segment comporte 3 parties: la tête, la queue et le corps. Ces segments sont reliés perpendiculairement. La tête et la queue ont une structure symétrique suivant le sens horizontal ou vertical. Leur calcul repose sur le dimensionnement de ces motifs tandis que le corps est engendré par expansion. Ce calcul est contraint à:

\* Les motifs tête et queue sont interdits d'être placés côte-à-côte, car

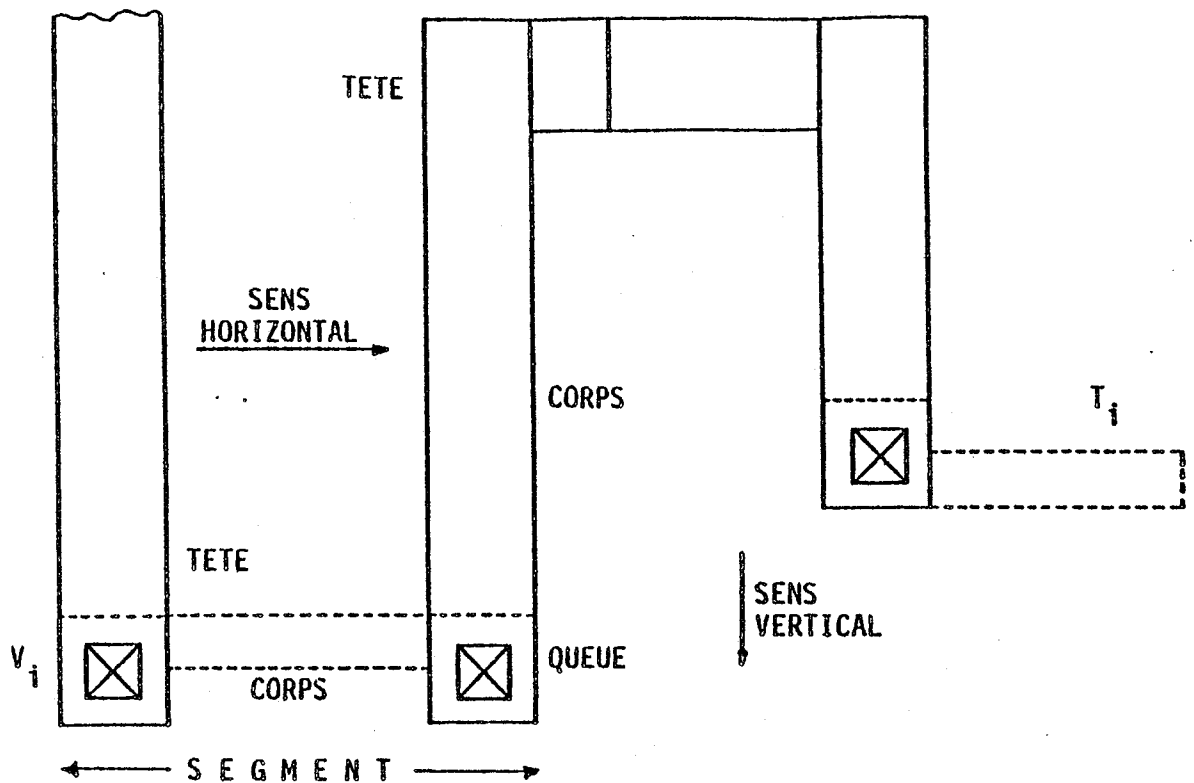


Fig. 5.16. PARTIES d'un Segment constituant une Connexion Interne.

la présence du motif corps est nécessaire.

- \* Le placement de ces motifs requiert un test préalable concernant l'existence d'une place libre dans le dessin. Ces tests agissent sur un ensemble de contraintes de tracé qui sont calculées en fonction de la dimension des bandes de dessin.

#### V.5.8. Génération des contraintes pour le tracé.

Le but est d'engendrer un certain nombre de paramètres pour la protection des bandes contigës à une connexion de manière à éviter une violation possible des gardes. Le nombre des bandes contigës à protéger lors du placement d'une connexion est une fonction de la distance minimum entre conducteurs, et est donnée approximativement par l'expression:

(Nombre de bandes voisines à protéger) :=

$$\left\lfloor \frac{(\text{Largeur de conducteur}) + (\text{Distance minimale entre deux conducteurs}) - (\text{Largeur de la bande hôte})}{(\text{Largeur de la bande voisine})} \right\rfloor + 1$$

#### V.5.9. Génération globale des paramètres géométriques.

La description du dessin des masques d'un PLA quelconque est engendrée d'après une interprétation d'un CODE TECHNOLOGIQUE et du contenu de ce PLA. Ce code est constitué d'un ensemble de paramètres liés à la technologie. Parmi ces paramètres, ceux concernant le dessin sont difficiles à générer manuellement, mais la génération automatique de ce code à partir des notions décrites dans ce chapitre et les considérations structurelles du fichier TECHNOLOGIQUE, devient possible. La structure de ce fichier ainsi que sa description détaillée sont présentées dans l'annexe II, dont une partie du fichier est donnée à titre d'exemple.

#### V.6. CONCLUSION.

Dans ce chapitre nous avons remarqué l'importance de la paramétrisation technologique rendant les outils CAO indépendants d'une technologie particulière.

Le calcul automatique de l'ensemble de paramètres, dont a besoin le système PAOLA, permet la simplification de la tâche du concepteur concernant le dessin des cellules de base.

La conception d'un langage de construction automatique des cellules de base, qui tient compte du modèle des bandes de dessin devant être assemblées pour former une structure régulière, qui passe par la création d'une base de données technologique dans un environnement de système expert, est à entreprendre.

**CHAPITRE VI**

**PRESENTATION DU SYSTEME**

**"PAOLA"**





CHAPITRE SIXIEME

=====

PRESENTATION DU SYSTEME

PAOLA

- VI.1. INTRODUCTION.
- VI.2. DESCRIPTION DES MATRICES D'UN PLA.
- VI.3. STRUCTURE DU SYSTEME "PAOLA".
- VI.4. ETAPES D'EXECUTION DU SYSTEME.
- VI.5. DESCRIPTION DES PROGRAMMES.
- VI.6. EXTENSION DE PAOLA AUX TECHNOLOGIES AUTRES QUE LES "MOS".
  - VI.6.1. Adaptation de PAOLA aux technologies JFET-AsGa.
  - VI.6.2. Adaptation de PAOLA aux technologies bipolaires.
- VI.7. CONCLUSION.



## CHAPITRE SIXIEME

=====

### PRESENTATION DU SYSTEME

#### PAOLA

##### VI.1. INTRODUCTION.

Le système PAOLA fait partie du compilateur de silicium CAPRI qui est en développement au sein de l'Equipe en Architecture d'Ordinateurs du Laboratoire IMAG-TIM3.

Le rôle de ce système consiste à fournir le dessin optimisé des masques d'un PLA quelconque. Pour y arriver, PAOLA part d'une description de PLA sous la forme d'une table de vérité compacte. Au fur et à mesure du traitement, l'utilisateur peut accéder aux données intermédiaires de manière à soit les améliorer, soit modifier certains paramètres.

Les critères qui ont guidé la conception de ce système et de son développement sont:

**\* Portabilité.**

Ceci permet la diffusion vaste du système et repose sur le choix d'un langage de programmation portable, qui est dans notre cas, le langage PASCAL.

**\* Maintanibilité.**

Ceci concerne la structuration du système et le format des données utilisés.

\* Extensibilité.

Ceci indique les possibilités d'extension soit du point de vue logiciel (qui permet l'ajout d'autres sous-systèmes), soit du point de vue technologique (qui permet l'extension du traitement et la prise en compte de technologies autres que le MOS).

\* Durabilité.

Ceci est influencé par la durée de vie d'une méthodologie de conception telle que CAPRI. Un changement de la méthodologie modifie soit la topologie d'implantation d'un PLA, soit la synthèse logique, et en conséquence engendre une modification du système.

La structure générale du système PAOLA est schématisée dans la figure 6.1 dont les données initiales sont la description logique du PLA et les paramètres de la technologie.

Le système fournit:

- \* Une description graphique du dessin des masques du PLA exprimée dans un langage graphique tels que LUCIE, CALMA, CIF, GAMMA, GRANIT, etc.
- \* Une estimation du comportement temporel du PLA concernant son temps de transit.
- \* Le dimensionnement des dispositifs externes aux matrices du PLA, tels que les charges des monômes, les amplificateurs et décodeurs d'entrée, et les amplificateurs et encodeurs de sortie.
- \* Une description aidant l'assemblage du bloc PLA avec les blocs voisins [GOL-80], [VER-80]. Dans notre cas, cette description concerne les fichiers pour le système LUBRICK [SCH-83].
- \* Ultérieurement, la génération automatique d'un ensemble de

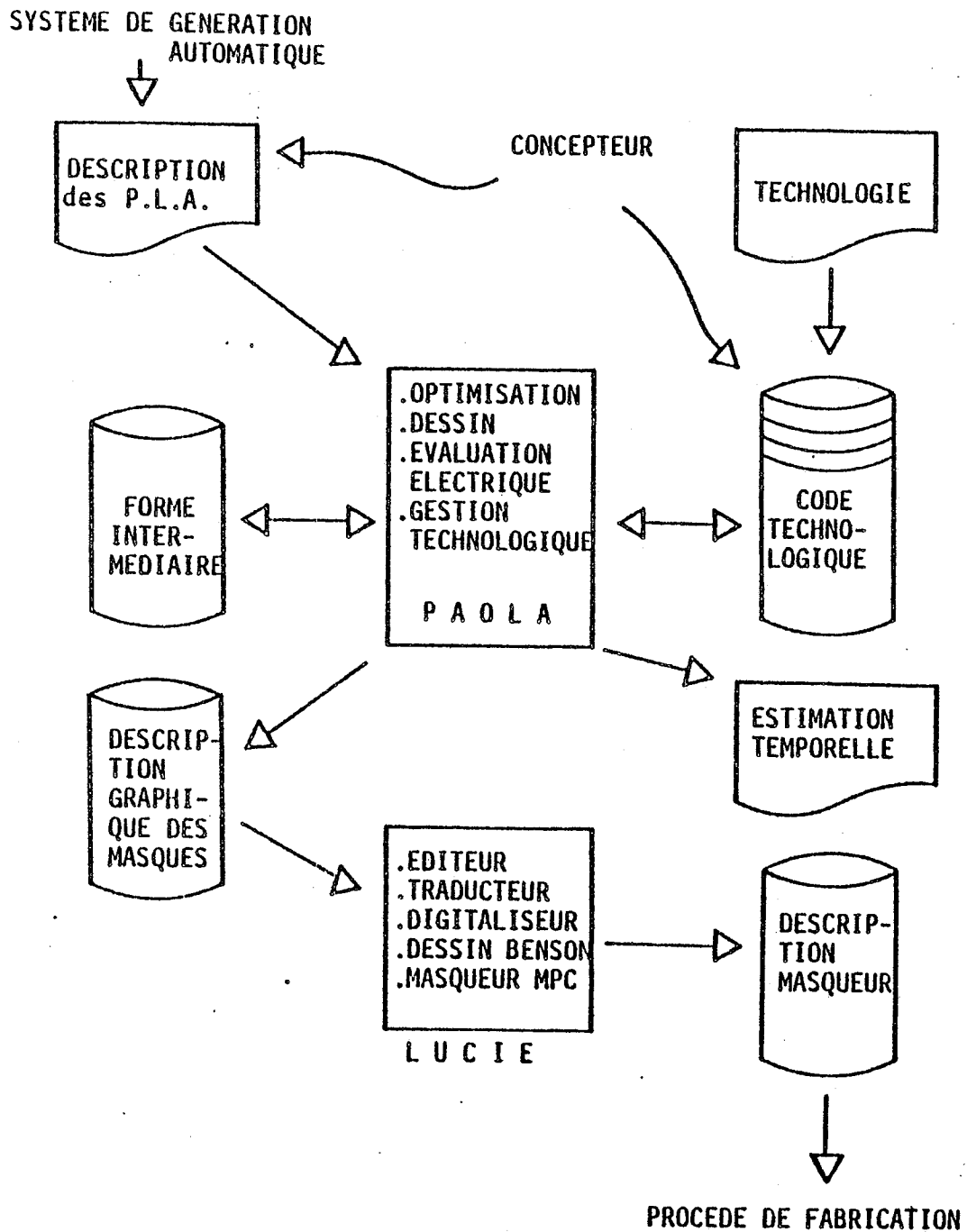


Fig. 6.1. Environnement du système PAOLA.

vecteurs de test pour tester le PLA [OST-79], [EIC-80], et des circuits autour des matrices rendant le PLA autotestable [NIC-84], sera entreprise.

PAOLA a été conçu pour implanter les matrices d'un PLA réalisées à l'aide de portes NON-OU (NOR). Un changement de ce type de porte le modifie substantiellement, surtout la partie concernant la génération automatique des

masques (cf. paragraphe VI.6).

## VI.2. DESCRIPTION DES MATRICES D'UN PLA.

Les matrices d'un PLA sont décrites sous une forme d'une table de vérité compacte, dont:

- \* Une rangée ne peut accueillir qu'un seul monôme actif.
- \* Une colonne peut comporter plusieurs segments internes.

Un rappel de masse, une connexion externe traversant le PLA ou un canal d'écartement sont considérés comme des segments internes ou des monômes fictifs.

Ces matrices subiront un traitement purement topologique (optimisation de leur surface), et un autre purement géométrique (structure des bandes). Ces deux traitements ne modifieront aucunement le fonctionnement logique du PLA ni l'ordre des entrées et des sorties.

Pendant le traitement géométrique, un PLA augmente en surface à cause de l'insertion de monômes et de segments fictifs dans sa structure. Parmi ces éléments fictifs se trouvent:

- \* Les canaux d'écartement liés, à priori, à certaines entrées ou sorties, et alloués par le concepteur.
- \* Les rappels de masse. Leur nombre dépend de la distance entre eux.
- \* Les conflits topologiques demandant l'insertion de canaux d'écartement pour les absorber.
- \* Les canaux de transparence pour le tracé des connexions externes, etc.

En outre, une matrice est décrite de manière interne comme un tableau d'entiers. Chaque rangée de ce tableau représente un monôme. L'élément  $[i,j]$  du tableau contient une valeur "s" appartenant au sous-ensemble  $[0..S]$ . Ici S représente le nombre total d'entrées(sorties). Lorsque "s" a une valeur

## CHAPITRE VI : Le système PAOLA

supérieure à zero, il indique la présence d'un transistor entre le monôme "i" et le segment d'entrée(sortie) "s" se trouvant dans la colonne "j". Cette représentation entière est utilisée pour décrire une matrice ET(OU) optimisée ayant un ou plusieurs segments d'entrée(sortie) dans une colonne.

La figure 6.2 montre les profils des bits d'une matrice OU optimisée logiquement que nous allons prendre comme exemple pour montrer la performance du système.

### VI.3. STRUCTURE DU SYSTEME "PAOLA".

PAOLA comporte trois sous-systèmes principaux et un sous-système auxiliaire (Fig.6.3):

- \* Le premier comporte deux parties dont la première (2 programmes) est chargée de l'optimisation logique, et la deuxième (6 programmes, Fig.6.4) est chargée de l'optimisation topologique des matrices ET et OU. Les programmes échangent des données à l'aide de fichiers intermédiaires.
- \* Le deuxième est chargé de la génération automatique de la description graphique du dessin des masques d'un PLA particulier. Ce PLA peut être optimisé ou non. Ce sous-système comporte 7 programmes tel que l'on montre dans la figure 6.5. Ce sous-système va être bientôt étendu pour assembler les dispositifs externes aux matrices d'un PLA à l'aide du système LUBRICK [IMI-84].
- \* Le troisième s'occupe de l'évaluation électriques des PLA. Ces PLA peuvent être optimisés ou non. Ce sous-système ne comporte actuellement qu'un seul programme.
- \* Le sous-système auxiliaire est chargé de gérer le fichier TECHNOLOGIQUE. Ce sous-système comporte 4 programmes et agit sur la génération, le pré-calcul, la mise à jour et le forçage des paramètres technologiques stockés dans ce fichier. Il est totalement indépendant du PLA à optimiser.

Ces trois principaux sous-systèmes s'enchaînent un après l'autre de





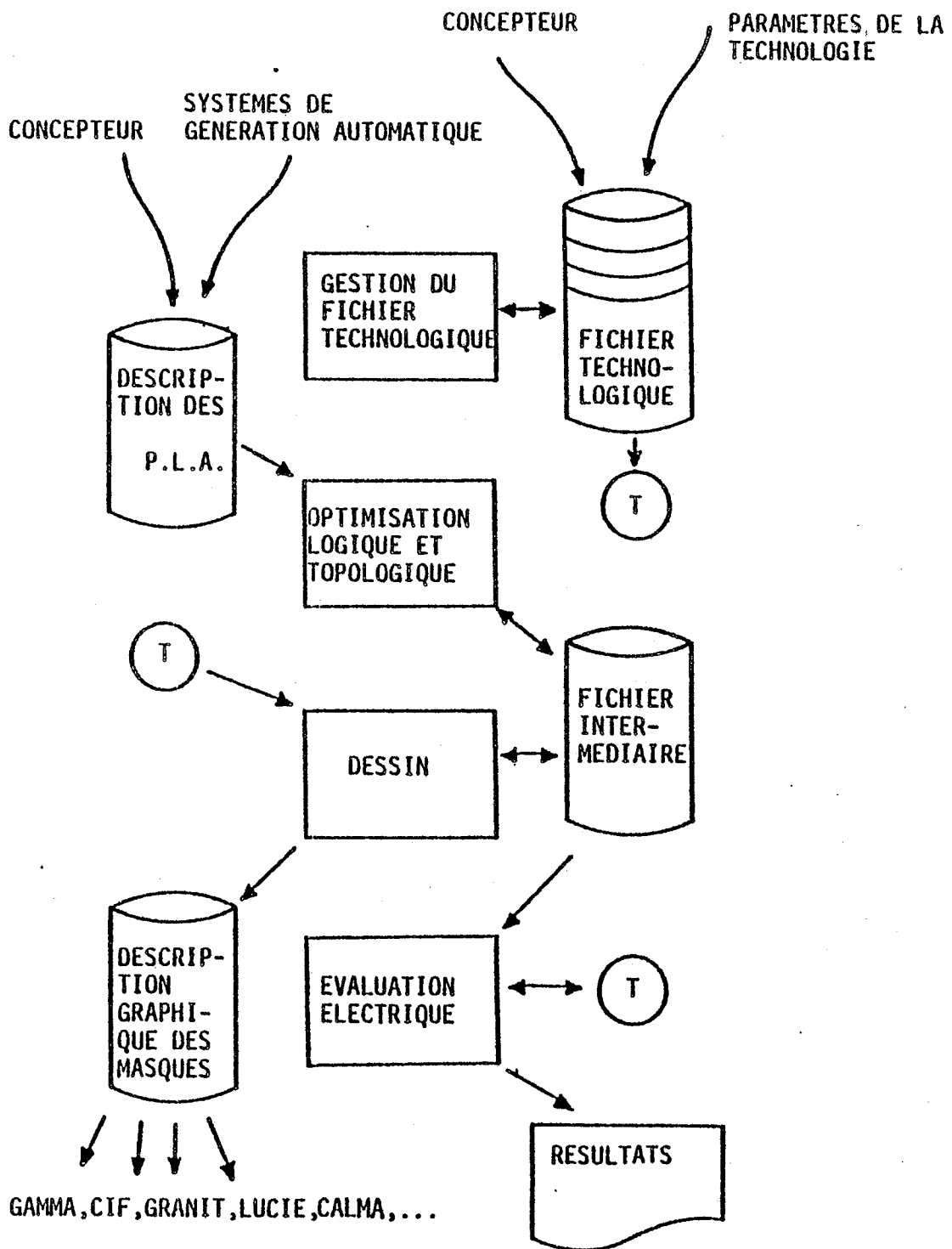


Fig. 6.3. Structure du SYSTEME "PAOLA".

manière logique. Par ailleurs, chacun peut s'exécuter indépendamment et pour le faire, il suffit de lui fournir les données sous un format qu'il reconnaît. La communication entre les programmes est assurée par l'intermédiaire de fichiers de type TEXTE ce qui permet leur liaibilité.

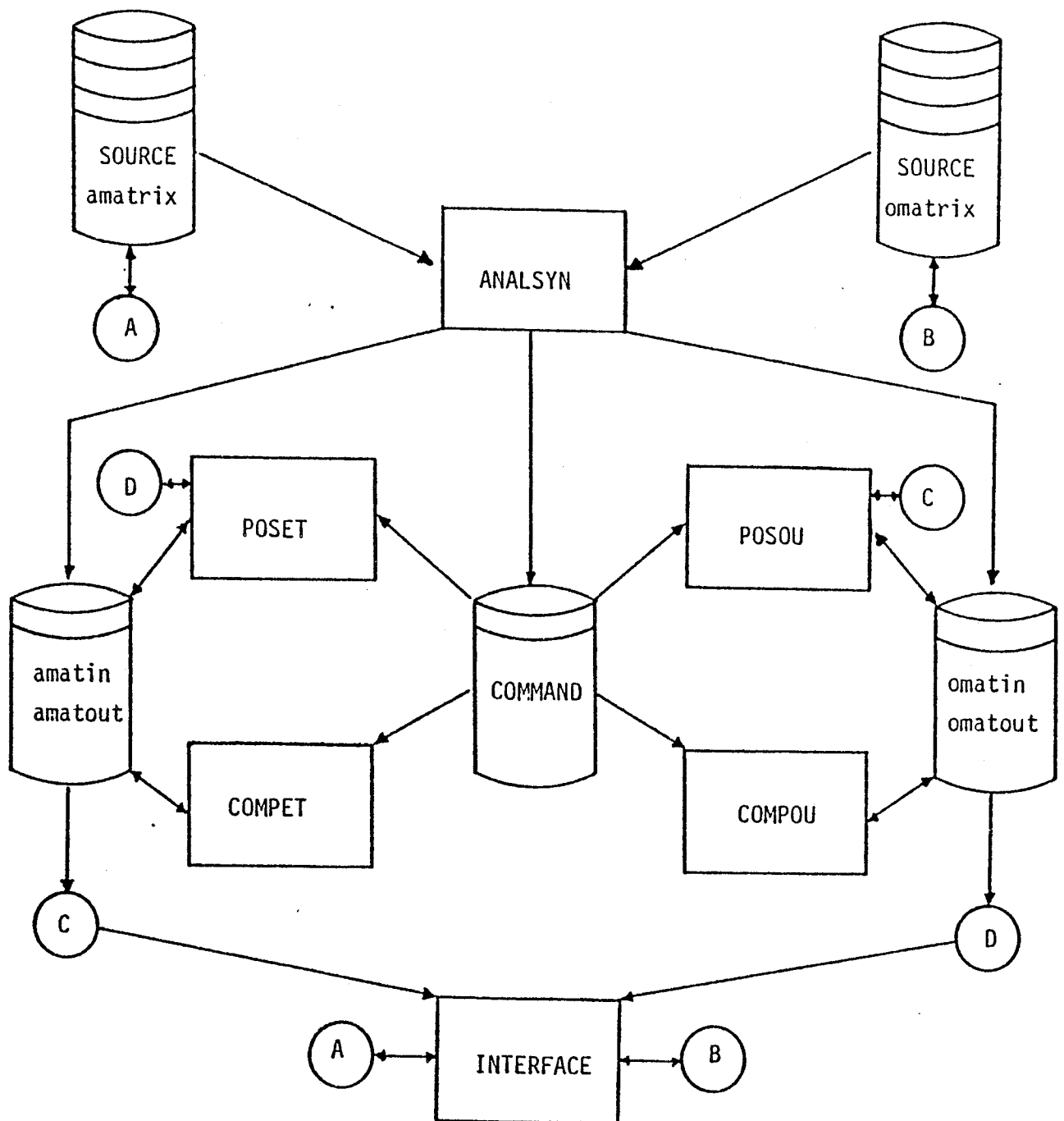


FIG. 6.4. SYSTEME PAOLA: Structure de la partie OPTIMISATION TOPOLOGIQUE.

#### VI.4. ETAPES D'EXECUTION DU SYSTEME.

Il est bien entendu qu'étant donnée la description d'un PLA quelconque sous la forme d'une table de vérité compacte, et de certains indicateurs de contrôle, PAOLA génère comme produit final la description graphique du dessin des masques du PLA sous la forme d'un ensemble de rectangles. Pour le faire,

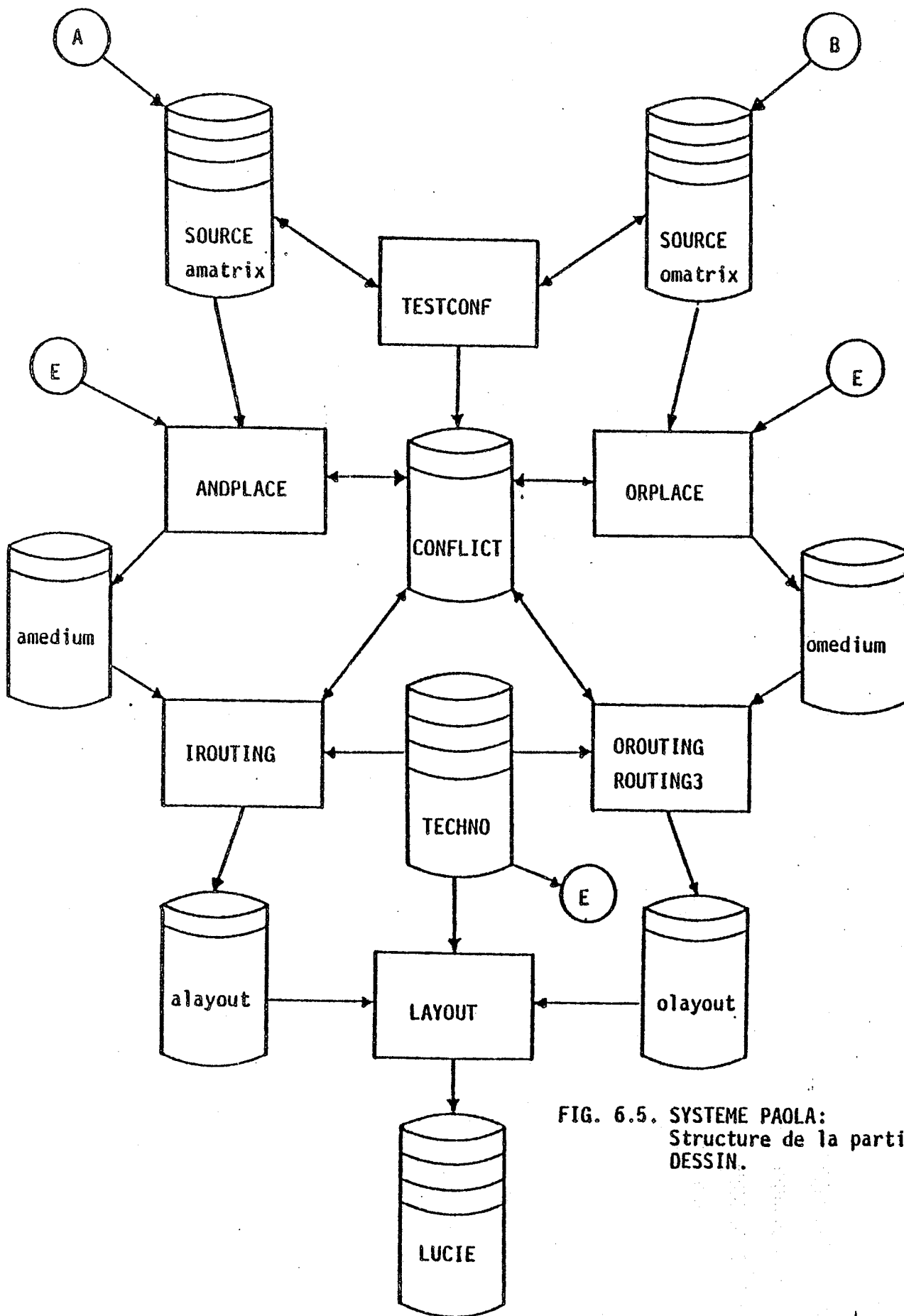


FIG. 6.5. SYSTEME PAOLA:  
Structure de la partie  
DESSIN.

## CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

il faut expliciter dans la description du PLA (qui est fourni par le concepteur ou généré par un système spécialisé [FOR-83], [HEN-81], [HEN-80], [KAN-81], [STE-83]):

- \* Les emplacements relatifs des matrices qui vont permettre la bonne connectabilité du PLA avec ses blocs voisins et la simplification du placement des dispositifs périphériques tels que les amplificateurs d'entrée(sortie) et les charges des monômes.
- \* La possibilité de connecter de manière directe certains monômes aux blocs contrôlés.
- \* L'option de placer dans une matrice quelconque, une bande de dessin spécifique qui sera utilisée comme la bande initiale pour l'assemblage de la structure intermédiaire.
- \* L'ordre des bornes de connexion sur le pourtour du PLA.
- \* Les positions des bornes de connexion des entrées(sorties).
- \* Les emplacements des bandes d'écartement soit pour le passage des connexions externes, soit pour améliorer la connexion des segments à leurs bornes.
- \* Les emplacements des connexions en "L" provenant des segments internes ou de l'extérieur.

Par ailleurs, PAOLA implante toutes les possibilités pour configurer les connexions externes et internes d'un PLA tel que les montre la figure 1.10.

Une session de PAOLA se déroule en quatre étapes dont chacune des deux premières peut être optionnelle:

- \* La première étape d'optimisation logique.
- \* La deuxième étape d'optimisation topologique s'exécute suivant l'organigramme présenté dans la figure 6.6. Il est évident que le choix d'optimiser une matrice avant l'autre doit être guidé par

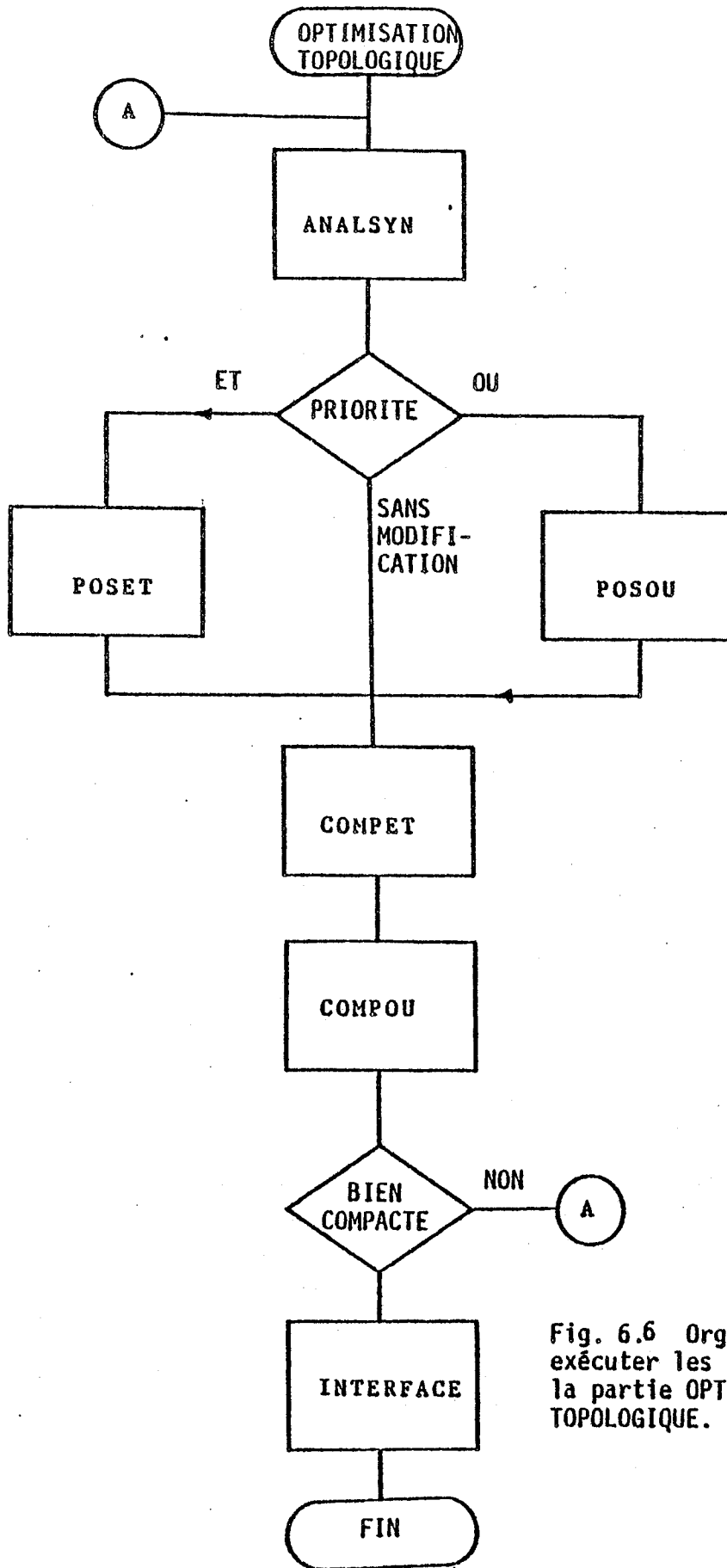


Fig. 6.6 Organigramme pour exécuter les programmes de la partie OPTIMISATION TOPOLOGIQUE.



## CHAPITRE VI : Le système PAOLA

certaines caractéristiques du PLA lui même. Ce choix est plus restreint lorsqu'on utilise l'option de duplication des monômes car il impose la réorganisation de la matrice OU avant la réorganisation de la matrice ET. La figure 6.7 montre le résultat d'optimiser topologiquement la matrice OU de la figure 6.2 en dupliquant 13 monômes (ce qui amène un gain de 50% en surface dans la matrice OU).

- \* La troisième étape s'exécute suivant l'organigramme présenté dans la figure 6.8. Le choix de tracer ou non les connexions internes dans chaque matrice est laissé au concepteur. Dans tous les cas, il y a un nombre minimum de programmes à exécuter (3) pour obtenir le dessin des masques d'une matrice, quelle soit optimisée ou non. Les figures 6.9 et 6.10 montrent respectivement des dessins incluant les connexions internes tracées en utilisant les modèles double couche et couche unique.
- \* La quatrième étape consiste en fait à exécuter le programme d'évaluation électrique des PLA.

La performance du système PAOLA est assez remarquable tel qu'on peut le voir dans la figure 6.11. L'annexe III expose un exemple de session sur un ordinateur VAX 11/780 et un jeu de dessins qui montrent les possibilités offertes par PAOLA.

### VI.5. DESCRIPTION DES PROGRAMMES.

Dans ce qui suit, nous décrivons brièvement les principaux rôles des programmes qui font partie de PAOLA.

#### POSET (POSOU).

Ce programme réordonne les monômes de la matrice ET (OU) du PLA en fonction de leur barycentre. Il tient compte d'une option permettant la duplication d'un certain nombre de monômes qui améliore ultérieurement le compactage du PLA. L'ordre des entrées et des sorties est maintenu. Après le réordonnement des monômes, la nouvelle disposition de ceux-ci est reflétée ou répercutée à la matrice voisine.



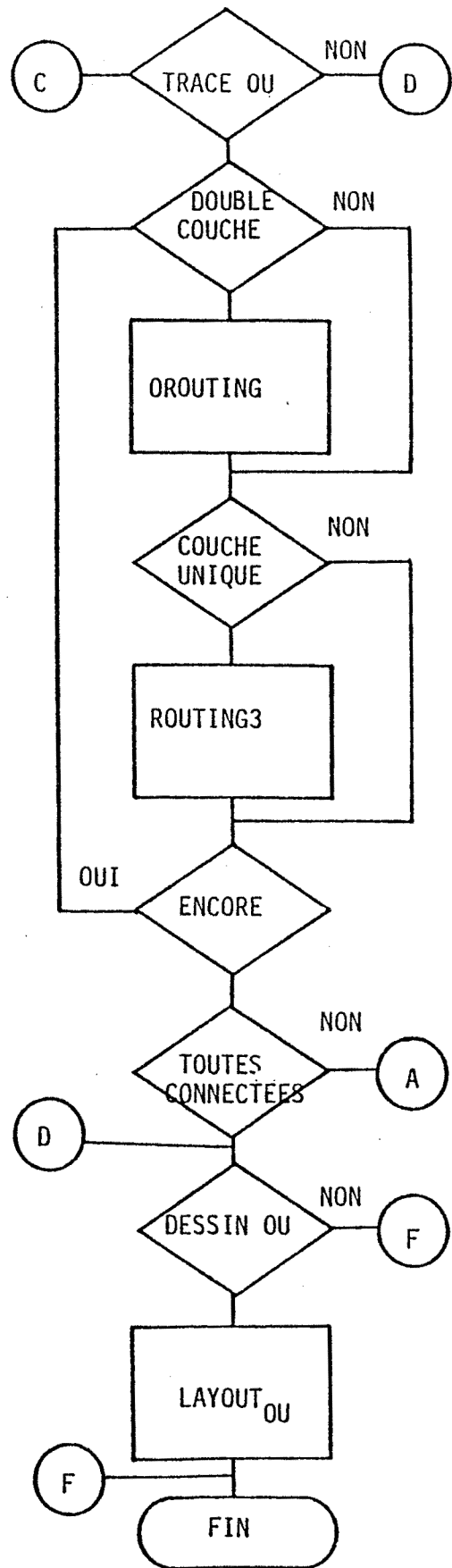
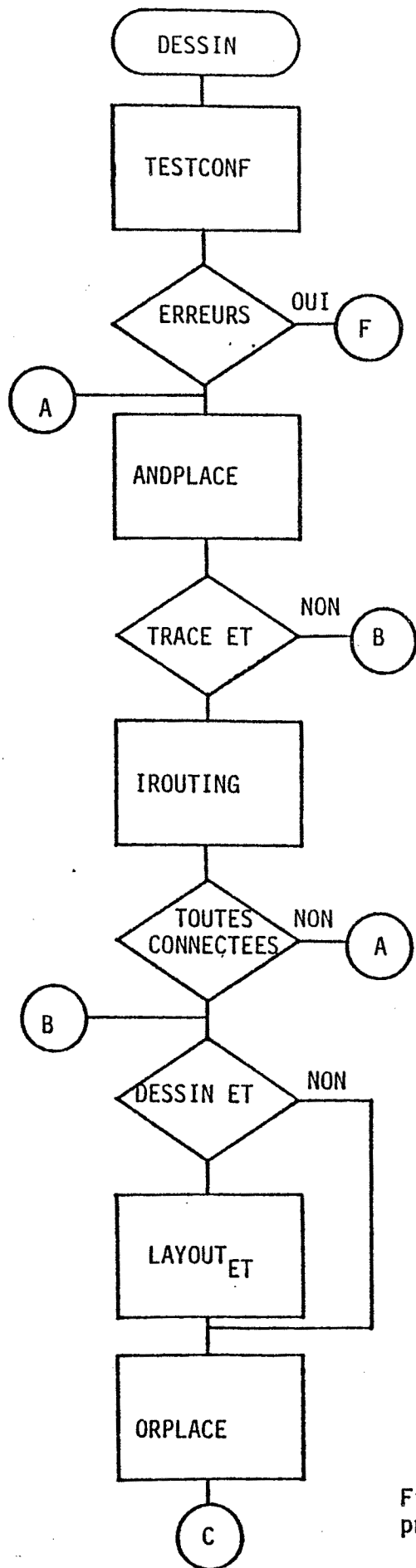


Fig. 6.8 Organigramme pour exécuter les programmes de la partie DESSIN.

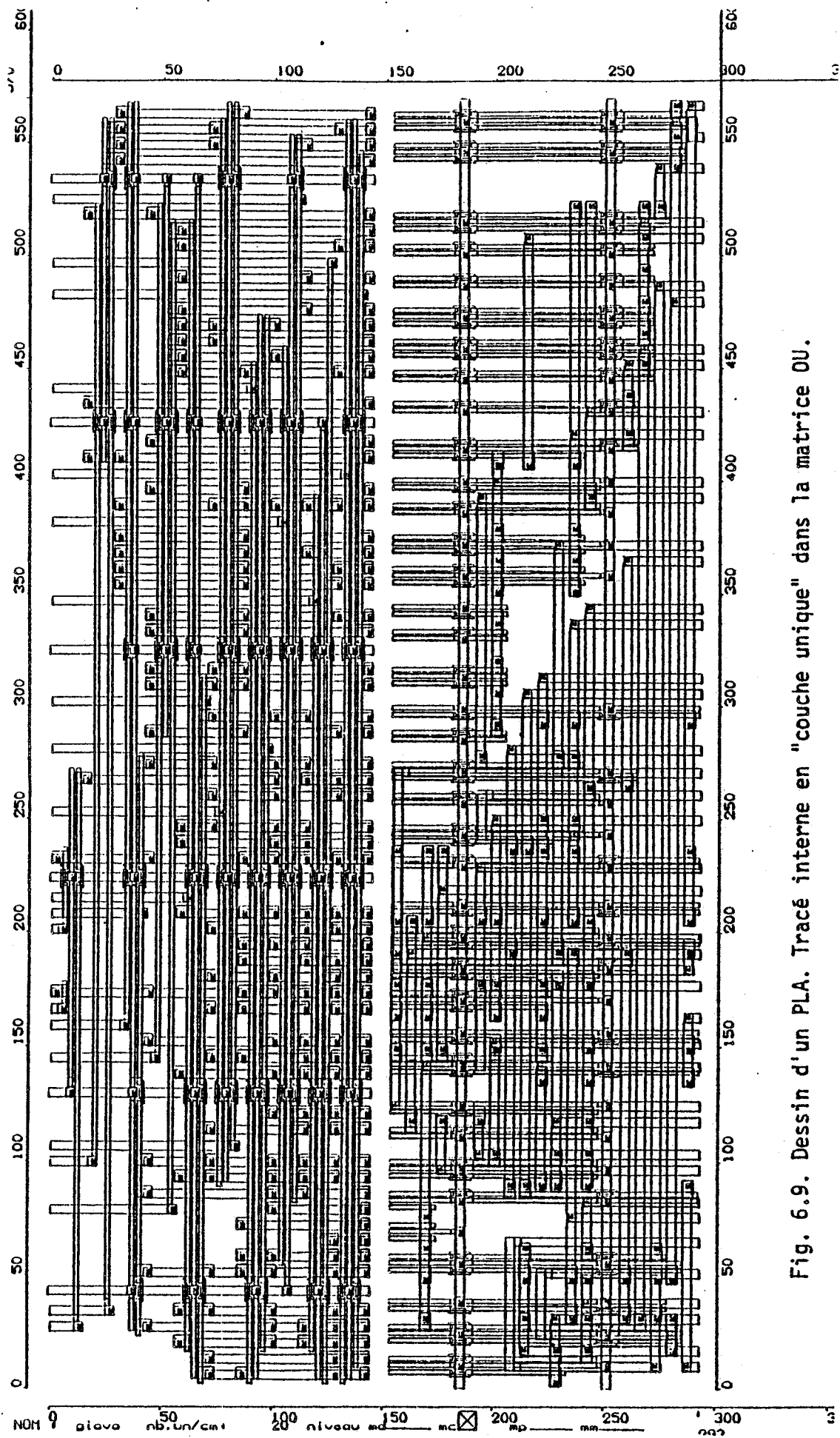


Fig. 6.9. Dessin d'un PLA. Tracé interne en "couche unique" dans la matrice OU.

NOM 9 piova nb.un/cm 50 100 niveau mc 150 mc 200 mp 250 300 3

Chuqui le 22/03/83 a 22:39:9 dessin no 1

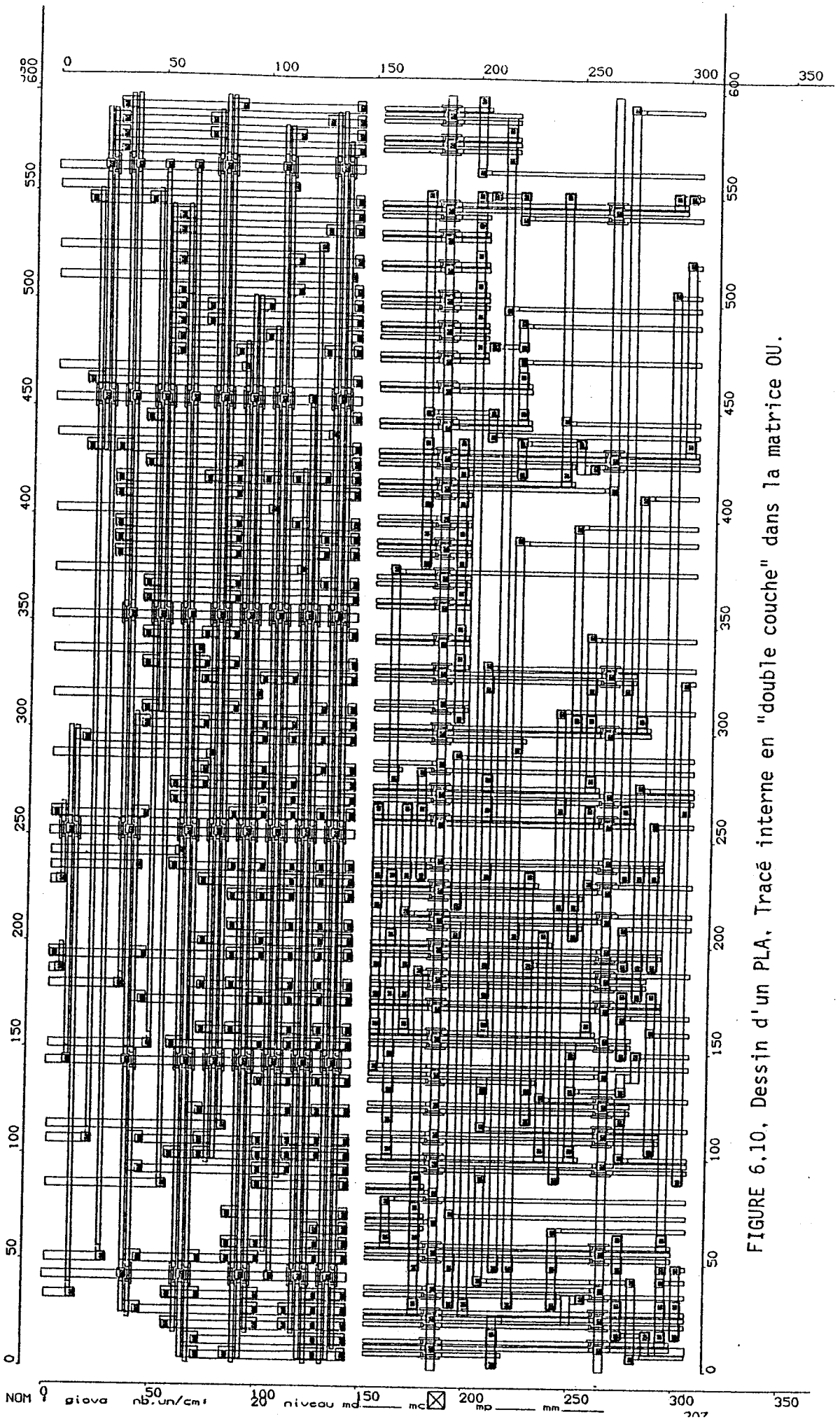


FIGURE 6.10, Dessin d'un PLA, Tracé interne en "double couche" dans la matrice OU.

Chuqui le 22/03/83 a 22:41:3 dessin no

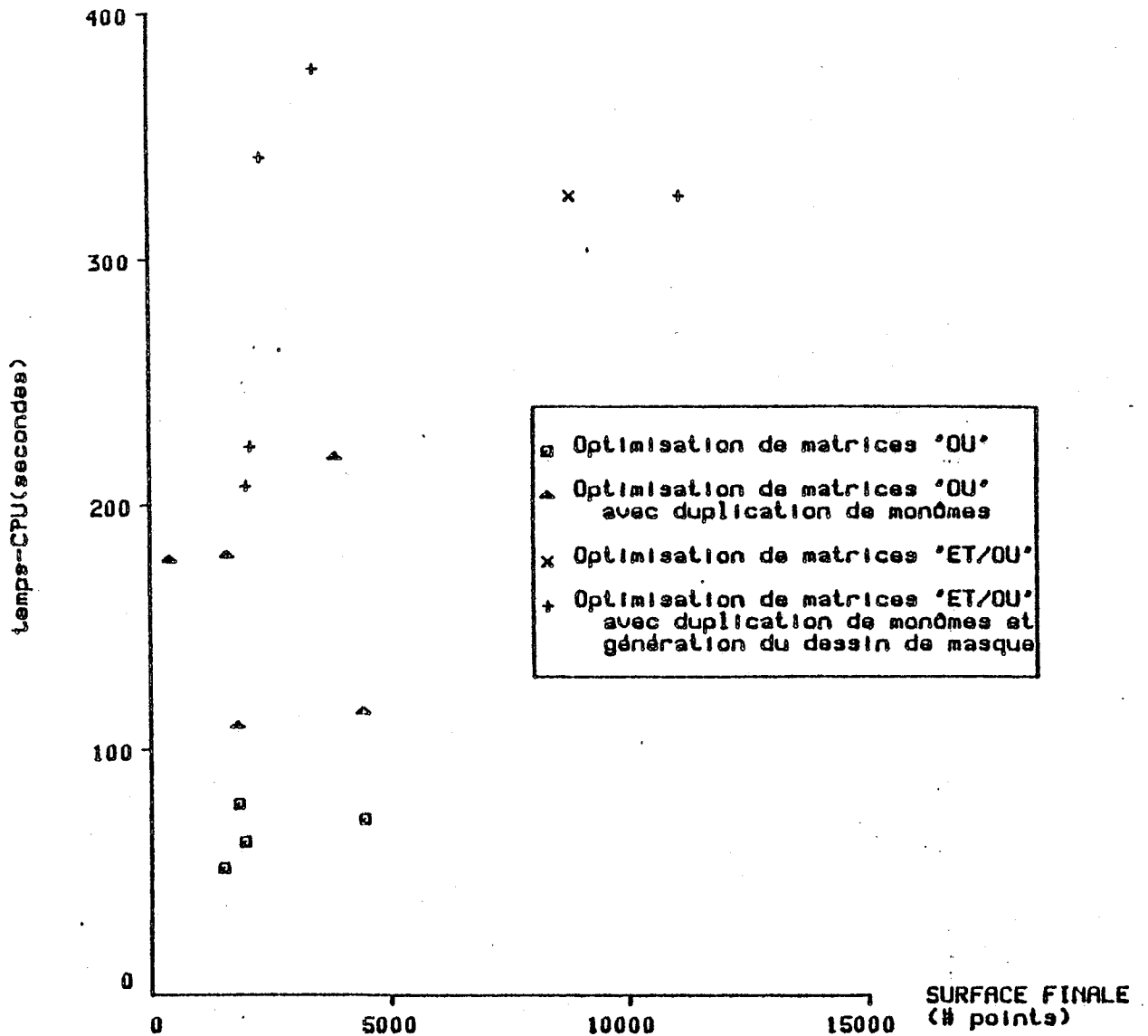


FIG. 6.11 Temps-CPU vs. surface finale de quelques exemples d'optimisation.

COMPET (COMPOU).

Ce programme compacte la matrice ET (OU) en fonction de certains paramètres aidant le choix des segments devant être placés dans une même colonne ainsi que le tri des colonnes facilitant le tracé des connexions internes.

TESTCONF.

Ce programme détecte tous les conflits topologiques possibles qui peuvent exister dans un PLA optimisé. Il cherche d'abord dans la matrice ET, puis ensuite dans la matrice OU. Il offre la possibilité de manipuler des

## CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

matrices en tranche tout en gardant la cohérence interne à propos de l'ordre existant parmi les entrées et les sorties. Il génère le fichier CONFLIT qui est utilisé par le reste de programmes du sous-système. Ce fichier contient les emplacements des conflits et des écartements de chaque matrice. En outre, le programme teste le respect de la syntaxe des données d'entrée. Si il detecte une erreur alors il envoie un message au concepteur en lui indiquant l'origine ou la cause de l'erreur.

### ANDPLACE (ORPLACE).

Ce programme assemble la structure des bandes (la forme intermédiaire de PAOLA) de la matrice ET (OU). Auparavant, les écartements, les canaux de transparence, etc. sont pris en compte, ainsi que la distribution des rappels de masse. Le contenu de la structure des bandes est obtenu comme le resultat d'un traitement d'attribution de types de bande en rangées et en colonnes, et de l'analyse du contenu de la matrice ET (OU).

### IRROUTING (ORROUTING, ROUTING3).

Ce programme réalise le tracé des connexions internes. Il les trace une par une en suivant la priorité du tracé et l'ordre des connexions. La priorité du tracé concerne l'attribution préalable d'un canal d'écartement pour la réalisation de la connexion. Lorsqu'une connexion n'a aucun chemin disponible, le programme suggère l'insertion au bon endroit d'un nouveau canal d'écartement accueillant cette connexion.

### LAYOUT.

Ce programme interprète le code technologique en fonction du contenu de la structure des bandes. Les rectangles générés ont une taille maximale (ils sont la fusion des rectangles constituants les cellules élémentaires voisines), ce qui minimise leur nombre.

## CHAPITRE VI : Le système PAOLA

Cette sortie est exprimée dans un langage graphique de description des masques tels que LUCIE, CALMA, CIF, GAMMA, GRANIT, etc. moyennant le choix du programme de génération spécifique.

### PCALCUL.

Ce programme interactif aide à déterminer la géométrie du POINT de PLA en prenant en compte les règles de dessin.

### BGENER.

Ce programme calcule tous les paramètres de dessin (code technologique interprétable) permettant la génération de la description des masques du PLA. Parmi ce code interprétable se trouve les conditions de tracé interne qui assurent le respect automatique des règles de dessin.

### EPCOMPUTE.

Ce programme calcule tous les paramètres secondaires électriques dépendants du POINT de PLA.

### EPLAYOUT(GRCOMPUTE).

Ce programme fournit les baques nécessaires pour que le concepteur puisse déterminer la distance entre deux rappels de masse du PLA particulier. Les paramètres secondaires concernant le dimensionnement des charges et des amplificateurs sont aussi calculés.

## VI.6. EXTENSION DE PAOLA AUX TECHNOLOGIES AUTRES QUE LES "MOS".

Un changement substantiel de technologie modifie presque complètement les modèles de dessin automatique et d'évaluation électrique. Car la structure des bandes comporte des séquences différentes, ainsi que l'évaluation qui utilise des formules de calcul différentes.

Parmi les technologies étudiées se trouvent:

\* ASGA.

Un léger changement de la partie dessin de PAOLA a permis de montrer l'extensibilité du système à cette technologie.

\* BIPOLAIRE.

Le changement de la partie dessin ainsi que de la partie d'évaluation a permis de montrer l'extensibilité du système à cette technologie, mais il en reste à modifier la partie de calcul automatique du code technologique interprétable.

VI.6.1. Adaptation de PAOLA aux technologies JFET-AsGa.

Tous les transistors JFET (par ex. les MESFET) ont une topologie physique qui se ressemble. Un point de PLA exprimé dans une technologie BFL MESFET AsGa a une structure physique telle que celle montrée dans la figure 6.12 [NUZ-82], [PER-82]. Les bandes de dessin sont groupées en:

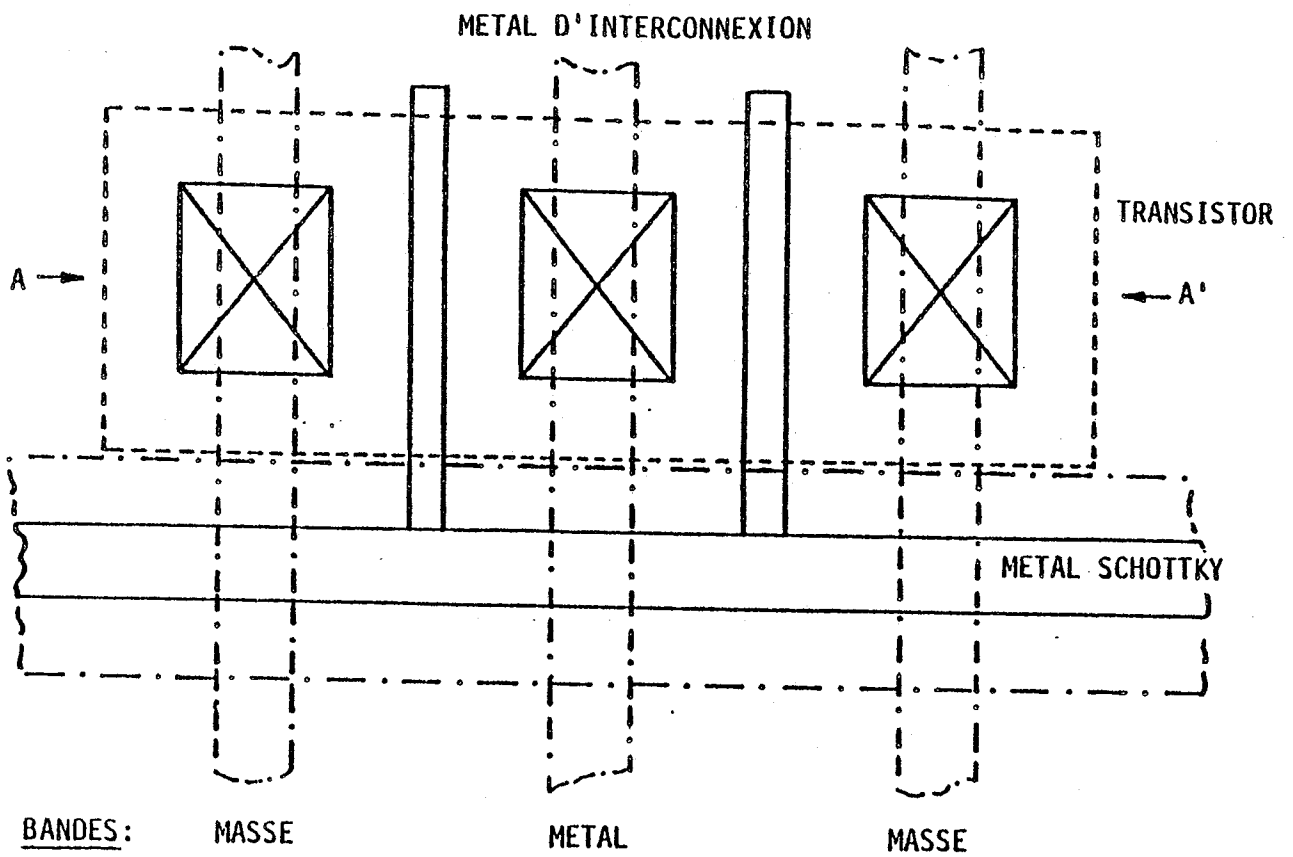
- \* Bandes verticales d'une matrice ET (horizontales d'une matrice OU)  
= [Métal, Masse, Ecartement, Transparence].
- \* Bandes verticales d'une matrice OU (horizontales d'une matrice ET)  
= [Métal-Schottky, Transistors, Ecartement, Transparence].

Il faut remarquer qu'un point de PLA est constitué de deux transistors en parallèle. Cette disposition était la seule manière qui rendait le point presque carré, car la largeur du canal de ces transistors est très importante [LON-82], [SUY-82].

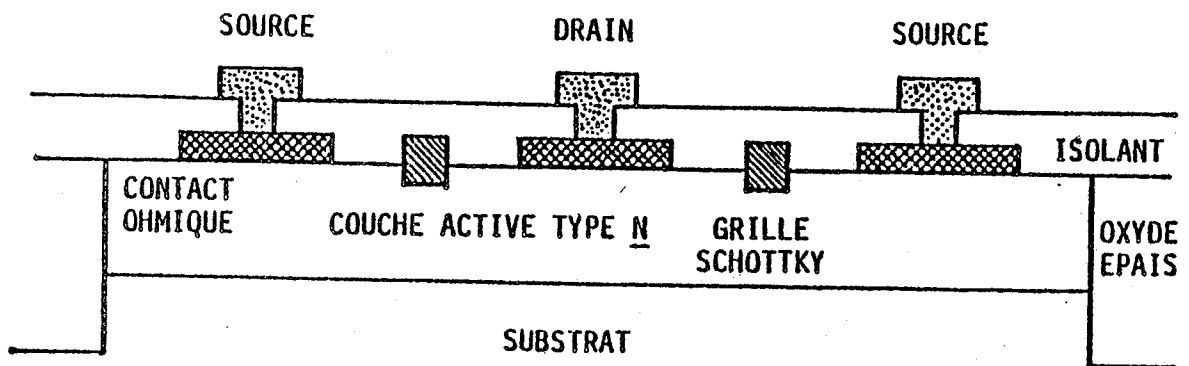
Les premiers pas d'adaptation consistaient à inclure les nouvelles bandes de dessin et ensuite à propager ce changement sur l'assemblage de sa structure. Ceci demandait par ailleurs la régénération d'un nouveau fichier technologique.

Les résultats obtenus (Fig.6.13) ont permis de fixer une démarche d'adaptation du système aux diverses technologies disponibles actuellement.

Les technologies AsGa présentent actuellement une difficulté supplémentaire due au nombre de croisements entre le métal servant pour les



a. Dessin des masques et bandes associées.



b. Coupe A-A': Topologie physique.

Fig. 6.12 Détail d'un POINT PLA en technologie BFL MESFET AsGa.



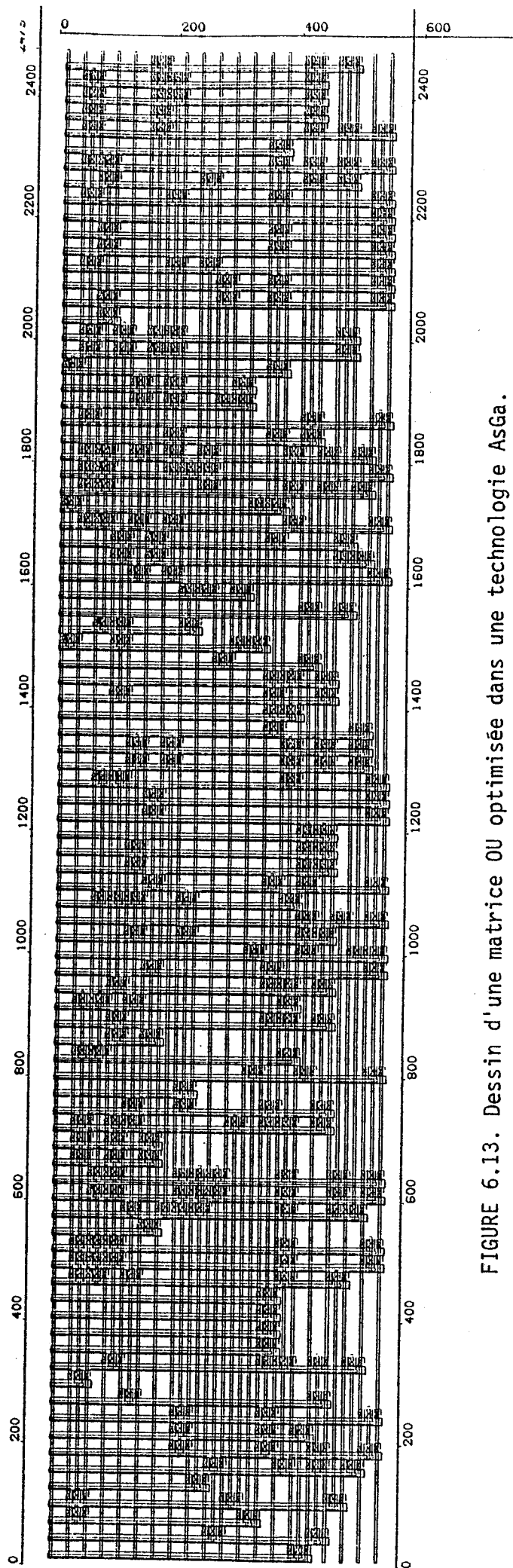


FIGURE 6.13. Dessin d'une matrice OU optimisée dans une technologie AsGa.

canaux Schottky et le métal d'interconnexion, dont sa prise en compte entraînerait une modification substantielle de la partie optimisation topologique. Un croisement augmente le degré d'interférence entre ces deux fils, car ceux-ci se comportent comme des guides d'onde.

En outre, le tracé des connexions internes était fortement lié à ce nombre de croisements. Ceci nous obligeait à connecter directement les segments internes à leur bornes, ce qui aurait pour conséquence d'augmenter considérablement la surface du PLA.

#### VI.6.2. Adaptation de PAOLA aux technologies bipolaires.

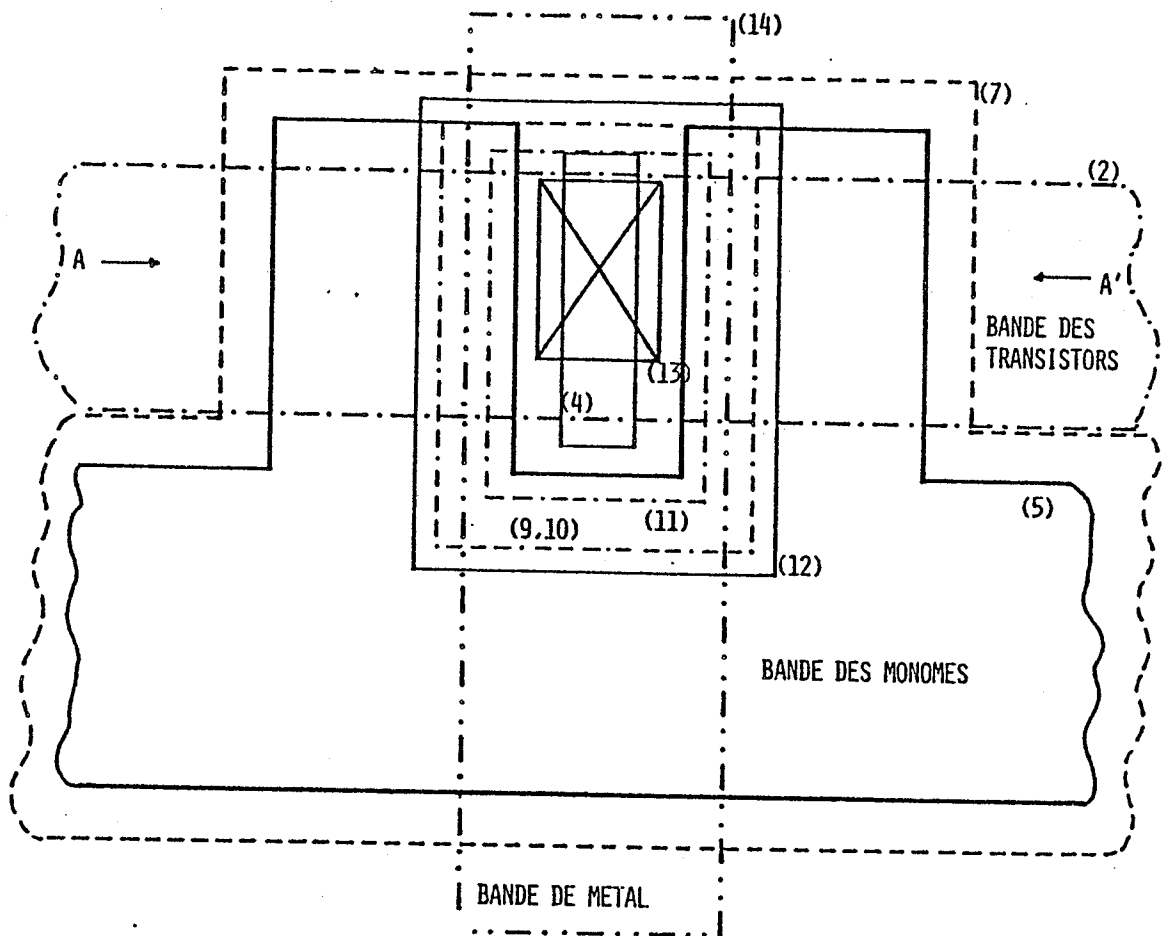
Les transistors bipolaires ont une topologie physique qui ressemble à celle qui est montrée dans la figure 6.14. Les variations de celle-ci sont dues au type de structure (NPN ou PNP) et au mode de fonctionnement (émetteur, base ou collecteur commun) [CHA-79], [NUE-82], [MAT-82].

Les bandes de dessin que l'on peut associer à un point de PLA dépendent de la structure du transistor bipolaire utilisé [ABL-81]. Pour le point de la figure 6.14, nous avons utilisé les bandes suivantes [CHU-83a] :

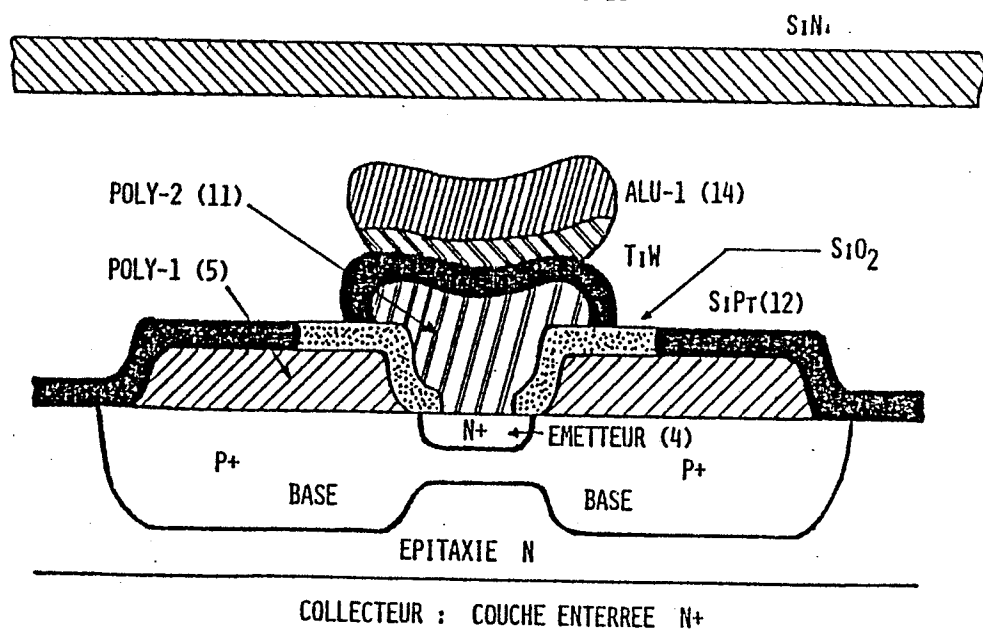
- \* Bandes verticales d'une matrice ET (horizontales d'une matrice OU)  
= [Transistor, Base, Ecartement, Transparence].
- \* Bandes verticales d'une matrice OU (horizontales d'une matrice ET)  
= [Émetteur, Rappel de collecteur, Ecartement, Transparence].

La constitution de ces groupes peut changer en fonction des structures topologiques et de l'implantation des matrices ET-OU, qui sont liés à la synthèse de ces matrices [WIE-83]. Pour cela, nous avons inclus deux types de structure de PLA en technologie bipolaire.

- \* Les PLA de type OU-NON-OU en logique ECL (Fig.6.15). Les deux matrices comportent le même point dont l'un est tourné de 90 degrés [CHU-83a].
- \* Les PLA de type ET-OU-NON en logique STL (pour la matrice ET) et ECL (pour la matrice OU, Fig.6.16) [CHU-84b].



A. DESSIN DES MASQUES ET BANDES ASSOCIÉES.



B. COUPE A-A': TOPOLOGIE PHYSIQUE.

Fig. 6.14. Structure d'un transistor bipolaire en technologie HBIP3A.

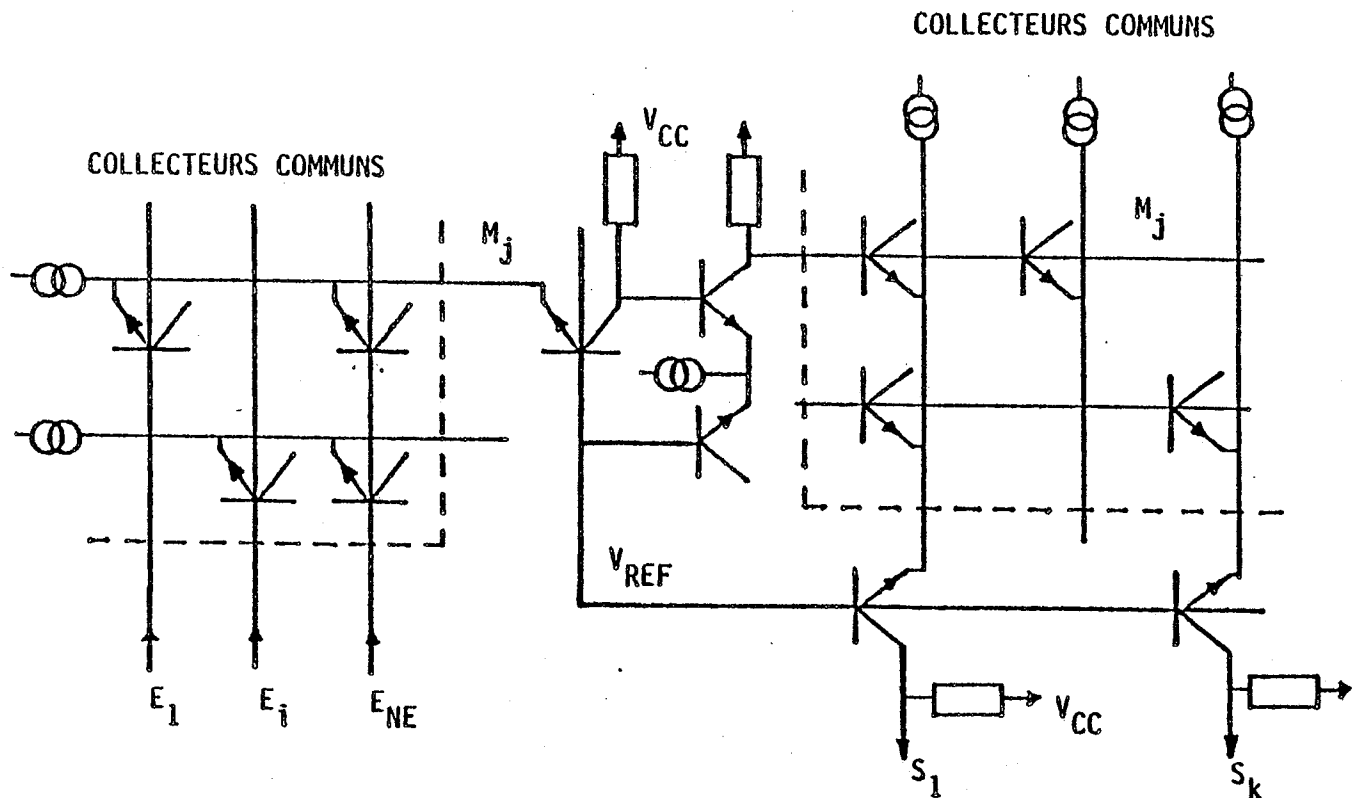


Fig. 6.15 Schéma électrique d'un PLA de type OU-NON-OU en logique ECL.

Il faut remarquer que les collecteurs de tous les transistors sont couplés en utilisant une couche enterrée hautement dopée ( $n^+$ ). Pour le moment, nous avons adapté PAOLA à ces deux types de PLA. L'influence de la technologie (soit HBIP3A, soit HBIP3A-1 que l'on trouve chez THOMPSON-CSF) sur la partie dessin se résume à modifier et à adapter le fichier technologique.

Les tracés des connexions internes restent basés sur le même principe que celui présenté dans le chapitre IV, mais il peut être simplifié grâce à la présence de plusieurs niveaux d'interconnexion (POLY-1, POLY-2, ALU-1, ALU-2).

La figure 6.17 montre le dessin d'un PLA qui inclut le tracé des connexions internes en suivant le modèle couche unique [CHU-83a].

L'adaptation de la partie d'évaluation électrique est détaillée dans [DAN-83].

Actuellement, nous entreprenons la conception d'un nouveau sous-système pour gérer le fichier technologique dans la technologie HBIP3A-1. Cette

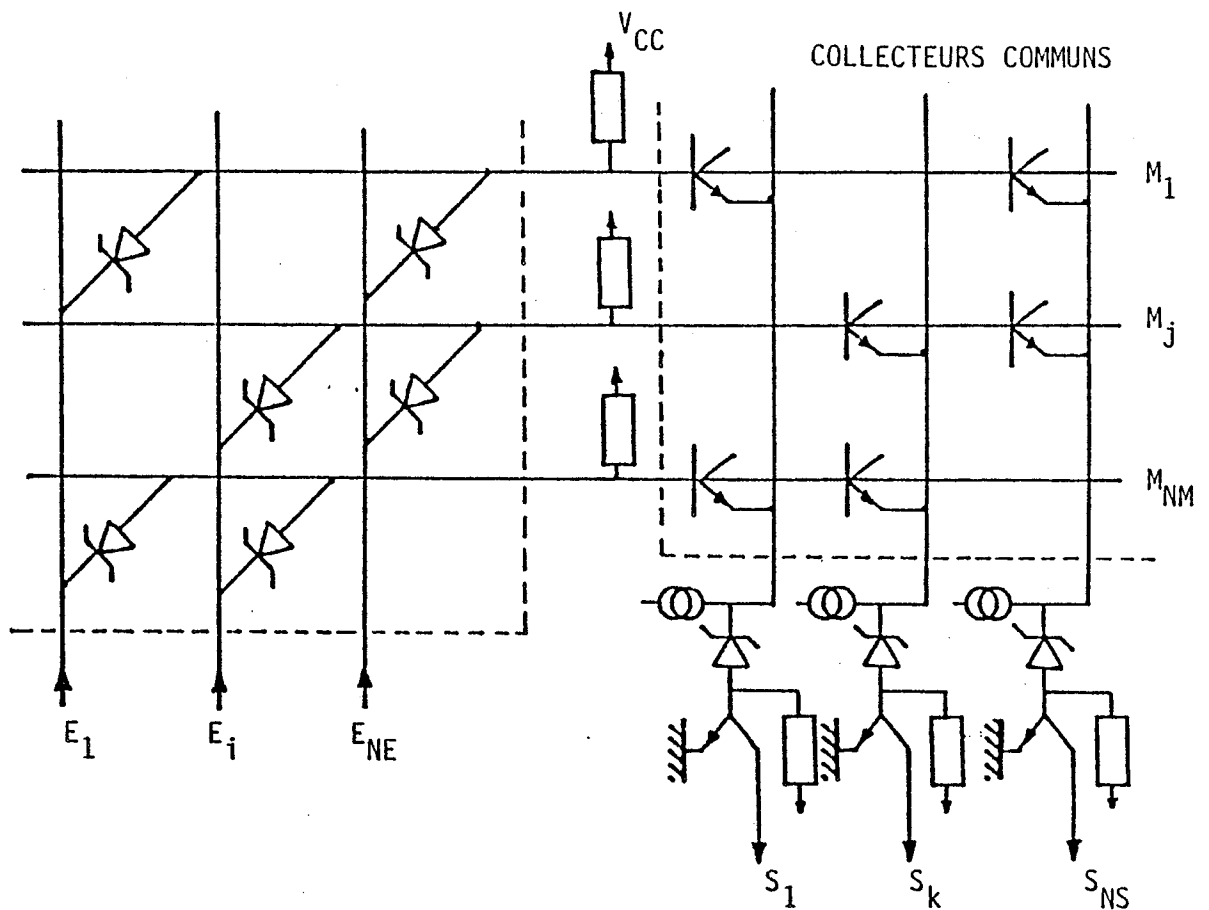


Fig. 6.16. Schéma électrique d'un PLA de type ET-OU-NON en logique STL.

conception vise la construction automatique des points de PLA. De même les outils manquants dédiés à l'assemblage des dispositifs internes d'un PLA sont en cours de développement (Cf. Annexe III) [CHU-84b].

#### VI.7. CONCLUSION.

Le système PAOLA accomplit les tâches concernant la conception automatique des PLA. Il a été testé sur plusieurs PLA issus d'exemples industriels avec des taux d'optimisations en surface atteignant 20% à 50%. Les temps d'exécution dépendent de la taille des PLA sans dépasser 5 minutes pour des PLA ayant 11070 points (16 entrées, 38 sorties et 205 monômes, Cf. annexe III).

Ce système est actuellement diffusé et a été installé sur plusieurs sites, notamment chez: Digital Equipment Corporation (Boston, USA), Silver Lisco (Louvain, Belgique), Thompson-CSF (DCI à Saint Egrève et DIS à Paris), Matra Harris Semiconductor (Nantes), Bull Système (Les Clayes), EFCIS,

## CHAPITRE VI : Le système PAOLA

l'Université Autonome de Barcelone (Espagne), l'Université Technique de Lisbonne (Portugal), l'Université College Cork (Irlande).

Par ailleurs, PAOLA est disponible sur divers ordinateurs tels que IB-68 (sous MULTICS), VAX 11/780 (sous VMS), HP-1000 (sous RTE/A), et prochainement sur SM90 incluant un gestionneur de mémoire virtuelle adapté aux PLA de grande dimension.

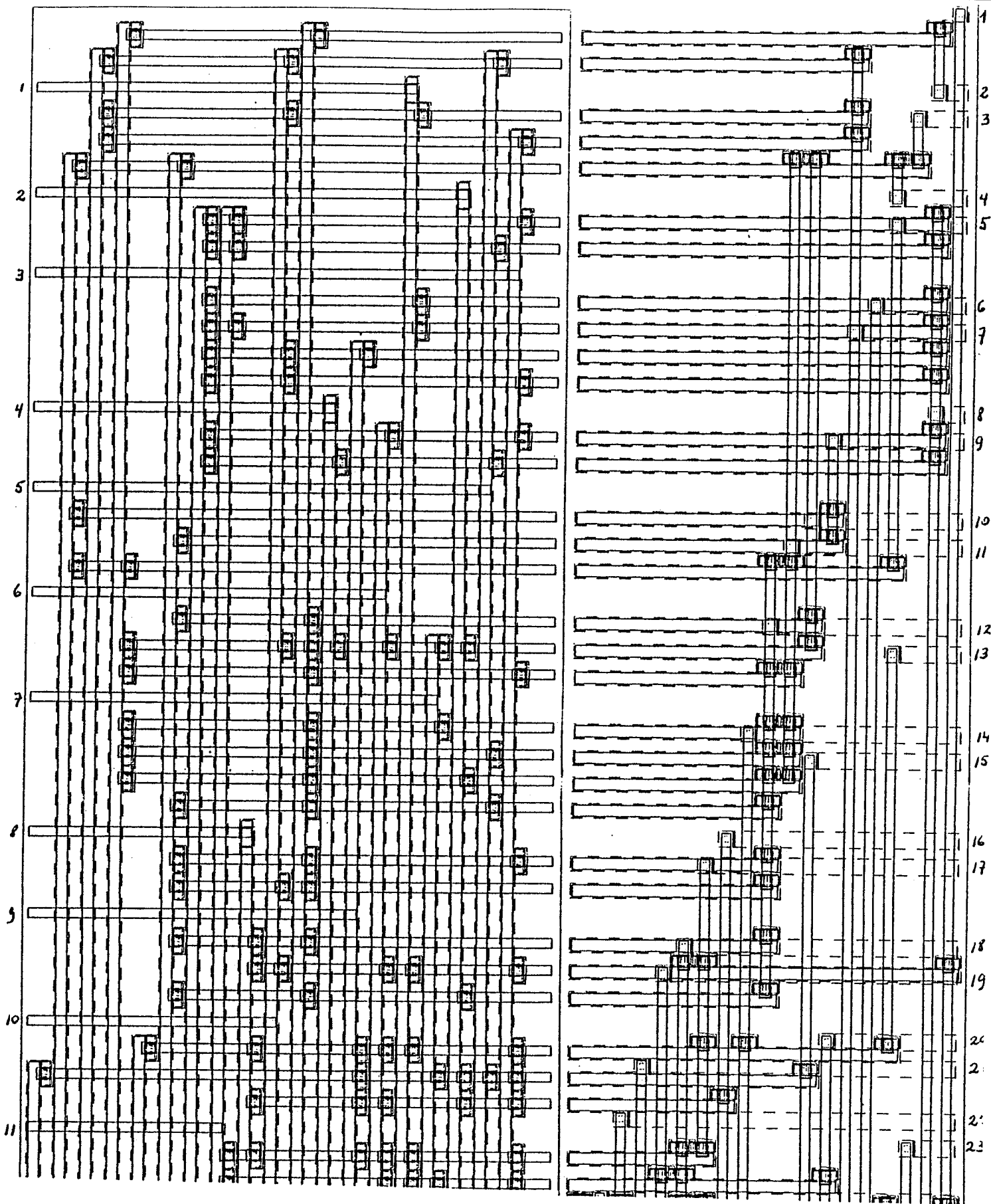


Figure 6.17. Dessin des masques d'un PLA en technologie HBIP3A.

## **CONCLUSION**





## C O N C L U S I O N

Cette thèse a décrit un travail concernant l'optimisation du dessin des masques d'un PLA complexe. Partant d'un domaine d'application précis - la CAO des processeurs intégrés - nous avons suivi une démarche qui nous semble de portée assez générale, et qui peut s'énoncer ainsi:

- \* Phase de restriction de la généralité du problème portant sur l'adaptation morphologique, la transparence et la connectabilité d'un PLA en vue d'améliorer la performance d'optimisation.
- \* Phase d'optimisation englobant les aspects logique et topologique.
- \* Phase de dessin à l'aide d'une structure intermédiaire qui facilite sa réalisation et permet son indépendance technologique.
- \* Phase d'évaluation incluant les divers paramètres de la technologie et portant sur la validation de la conception qui peut remettre en cause les phases précédentes.
- \* Phase parallèle de gestion de la technologie permettant les retours en arrière.

Par ailleurs, l'automatisation de cette démarche est assurée par l'outil PAOLA dont nous avons tant parlé tout au long de cette thèse.

En conclusion, PAOLA permet le dessin optimisé des PLA avec une certaine indépendance vis-à-vis de la technologie, tout en ayant une souplesse dans sa manipulation et en assurant un temps de conception réduit.

THEMES DE RECHERCHES A VENIR.

Plusieurs thèmes de recherches semblent se dégager de ce travail, à savoir:

En amont du système PAOLA actuel.

- \* Adapter la partie d'optimisation logique des PLA pour ceux de grande dimension. Le travail réalisé par Monsieur Krasicki est à améliorer dans le but de rendre rapide et versatile l'outil concerné. Ce travail ne couvre pas la minimisation globale de transistors des matrices, ce qui serait souhaitable et orienté au traitement des PLA de grande densité de remplissage.
- \* Développer une interface avec les systèmes de génération automatique des descriptions de PLA, tel que MACSIM [SCH-84] par exemple. Cette interface doit s'adapter aux besoins du concepteur concernant le format des descriptions (par ex. des équations booléennes, des équations d'état, etc.).
- \* Développer un évaluateur de la surface requise par un PLA avant de l'optimiser et de dessiner son dessin des masques. Cet évaluateur doit tenir compte de :
  - \* la densité de remplissage du PLA.
  - \* l'efficacité d'optimisation logique et topologique.
  - \* le degré d'allongement du bloc PLA.
  - \* le degré de transparence du bloc PLA.

Il faudra prouver l'hypothèse suivante : "La surface d'un PLA a un comportement pseudo-hyperbolique lorsque ce PLA est soumis à un processus d'allongement par duplication des monômes" (Fig.7.1). Ceci oblige à considérer que le résultat de l'optimisation d'un PLA dépend de ses dimensions. Il est bien entendu que la complexité d'un PLA vue sur un plan soit logique, soit topologique, va être considérée en termes d'un ensemble de fonctions heuristiques de prédiction.

## Conclusion

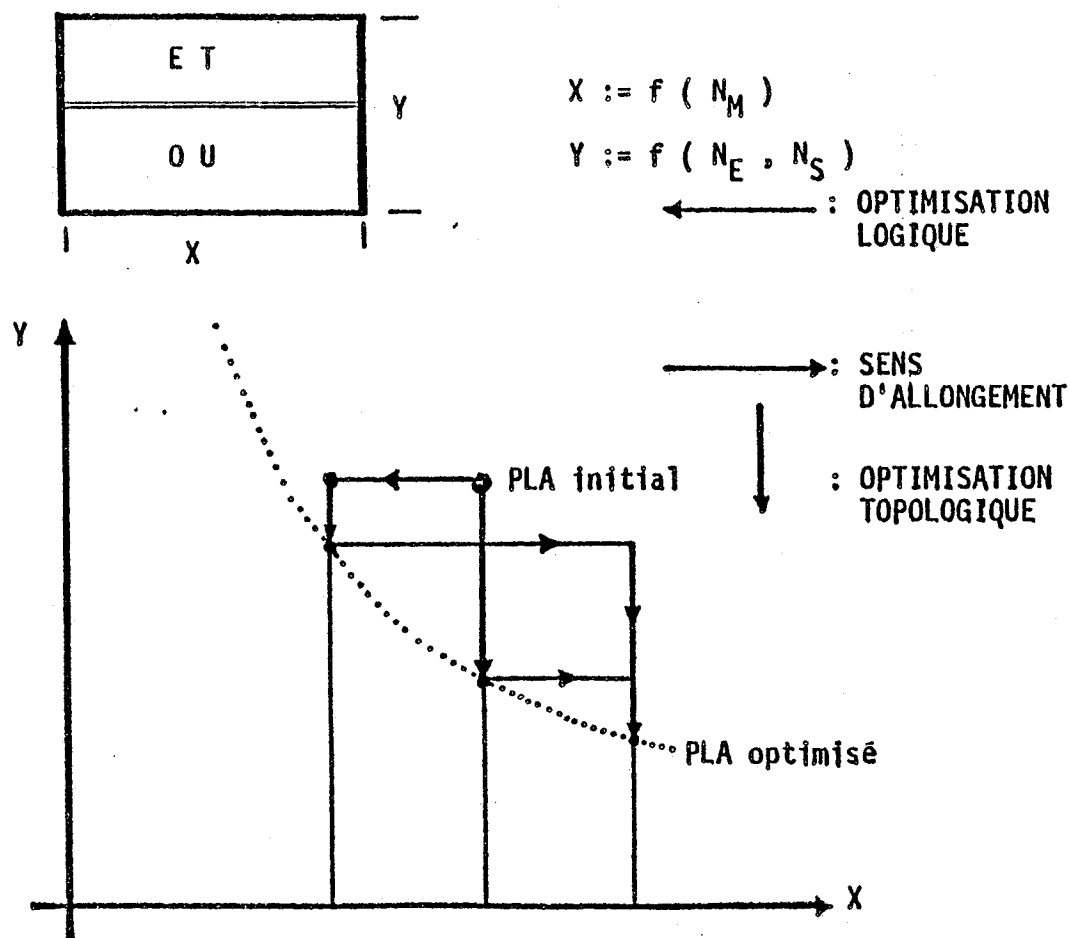


Fig. 7.1. Variations de la surface d'un PLA optimisé.

En aval du système PAOLA actuel.

- \* Améliorer l'assemblage des dispositifs externes aux matrices d'un PLA. Le travail entrepris par Monsieur Hmimid [HMI-84] couvre seulement les technologies NMOS. Il génère automatiquement ces dispositifs en tenant compte du fichier technologique et des contraintes géométriques imposées par le circuit qui contiendra le PLA à assembler.

Actuellement l'assemblage est réalisé en sélectionnant un dispositif déjà calculé et stocké dans un fichier intermédiaire, et en arrangeant ces dispositifs autour des matrices du PLA concerné de manière interactif. Ce générateur devra s'adapter aux technologies autres que les NMOS.

- \* Compléter le gestionneur du fichier technologique actuel et l'adapter pour les autres technologies que les NMOS. Ceci doit envisager l'intégration de PAOLA et LUBRICK dans l'environnement du compilateur

de silicium CAPRI.

- \* Définir, si possible, un langage de spécification de cellules de base indépendant de la technologie. Ceci doit envisager la manière d'intégrer les diverses spécifications des cellules: géométrique, électrique, logique, topologique et comportementale, dans le but de le rendre invulnérable aux changements de la technologie.

Extension du système PAOLA aux PLA MONOMATRICE.

Un PLA monomatrice est celui qui comporte ses entrées et sorties imbriquées de manière que sa morphologie soit représentée par un bloc rectangulaire tel que la montre la figure 7.2.

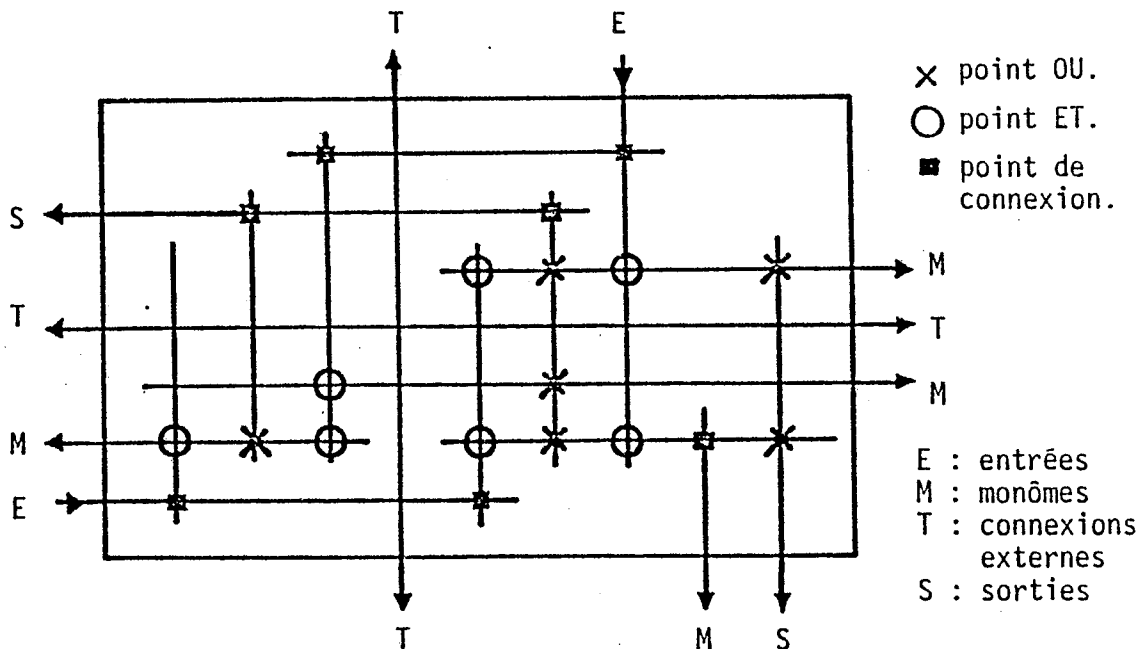


Fig. 7.2. Modèle d'un PLA monomatrice optimisé.

La distribution parallèle des entrées et des sorties se réalise en fonction de l'ordre des connecteurs des blocs voisins auxquels ce PLA est connecté.

De ce fait, on envisage les buts suivants:

- \* L'optimisation topologique de ce type de PLA par compactage de ses monômes. La démarche proposée est schématisée par:

## C o n c l u s i o n

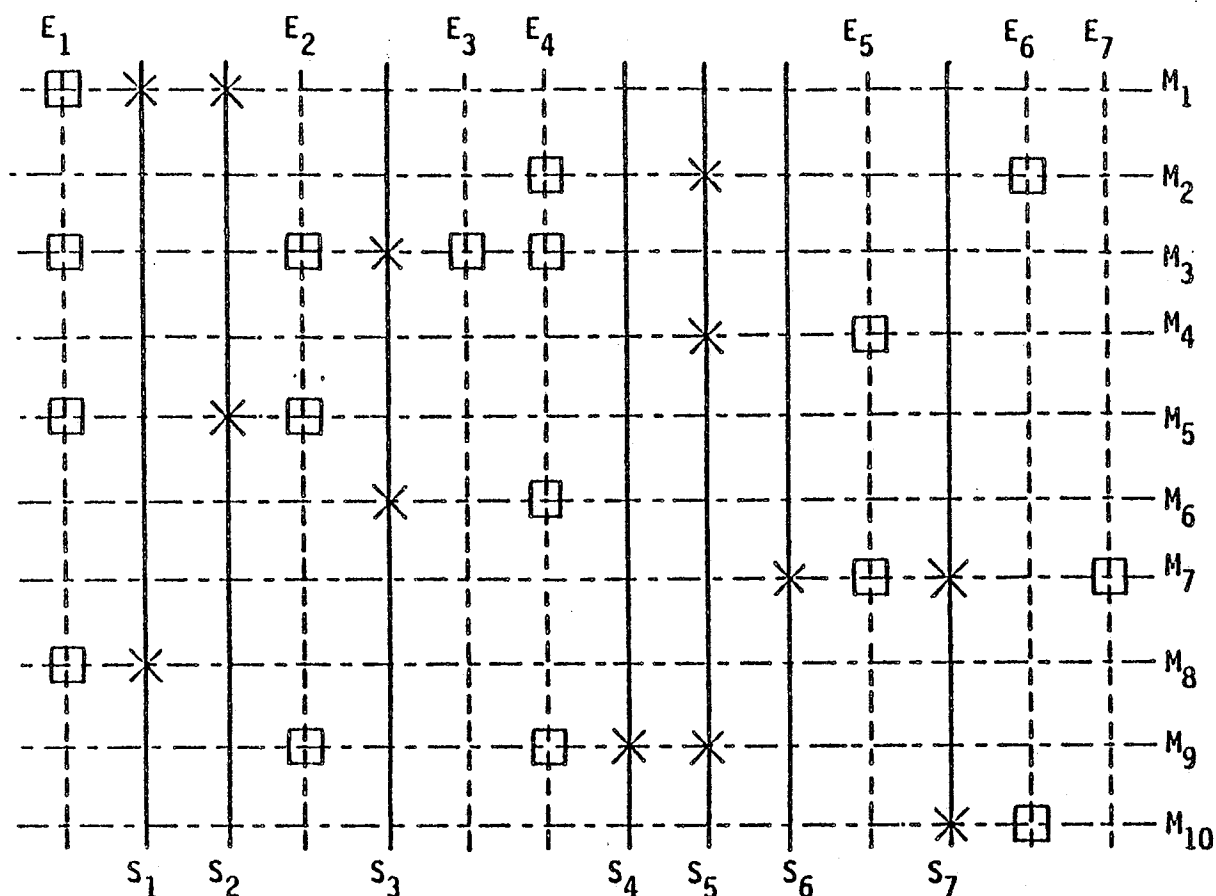


Fig.7.3.A.Exemple de PLA monomatrice (7entrées, 7 sorties et 7 monômes).

- \* ré-ordonnancement des monômes dans le but de diagonaliser le PLA. La figure 7.3.b montre un PLA (Fig.7.3.a) diagonalisé.
- \* compactage du PLA par le placement de plusieurs monômes compatibles dans une même rangée (Fig.7.3.c).

Cette démarche a été entreprise par Monsieur Varinot [VAR-84] et les premiers résultats semblent être satisfaisants.

- \* Ce compactage peut être amélioré par la duplication de certaines entrées ou sorties. Cette duplication demandera l'insertion de monômes fictifs réalisant la distribution des entrées/sorties dupliquées à l'intérieur du PLA.
- \* Les charges des monômes seront placées sur le pourtour du PLA au même titre que les amplificateurs d'entrée/sortie. Le fait de connecter un monôme à sa charge induira parfois la nécessité d'écartier le PLA à un certain endroit pour y placer la connexion respective.

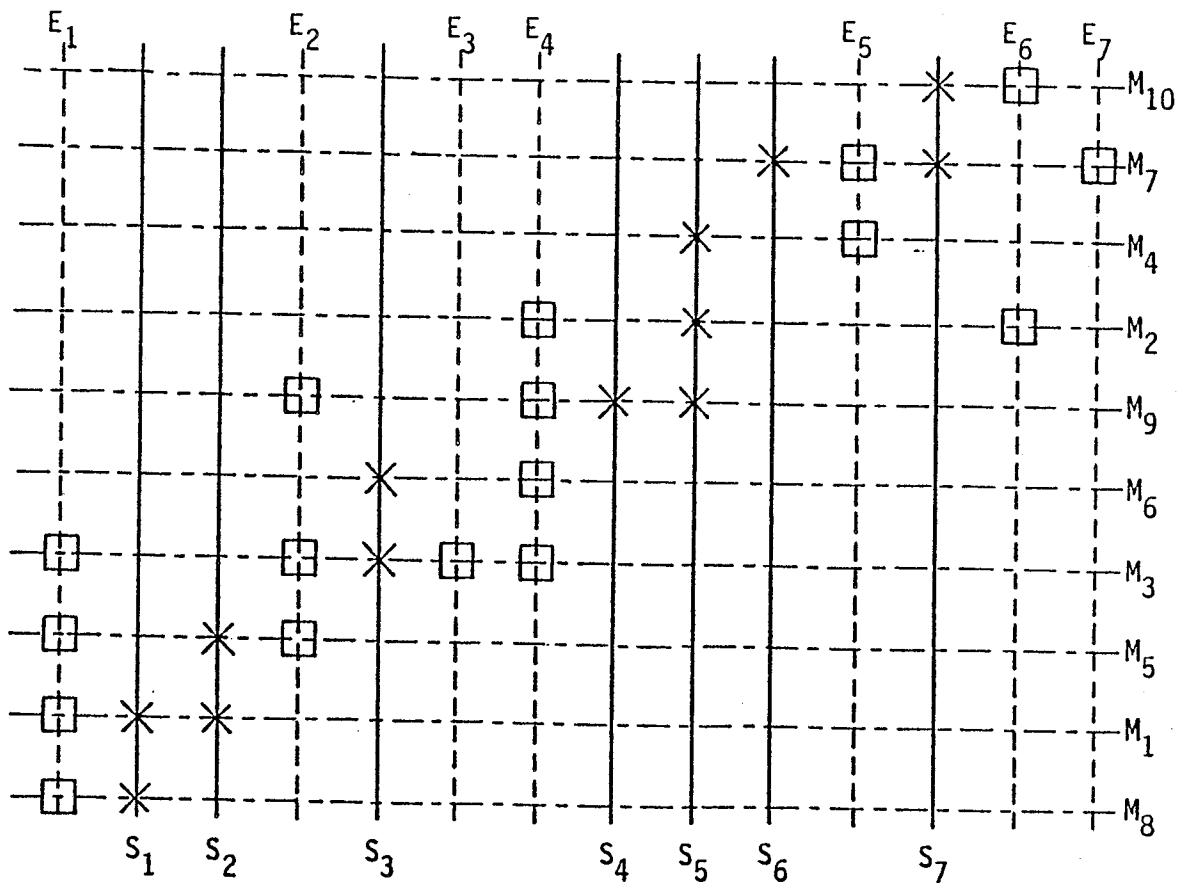


Fig.7.3.B. PLA monmatrice après réordonnancement des monômes.

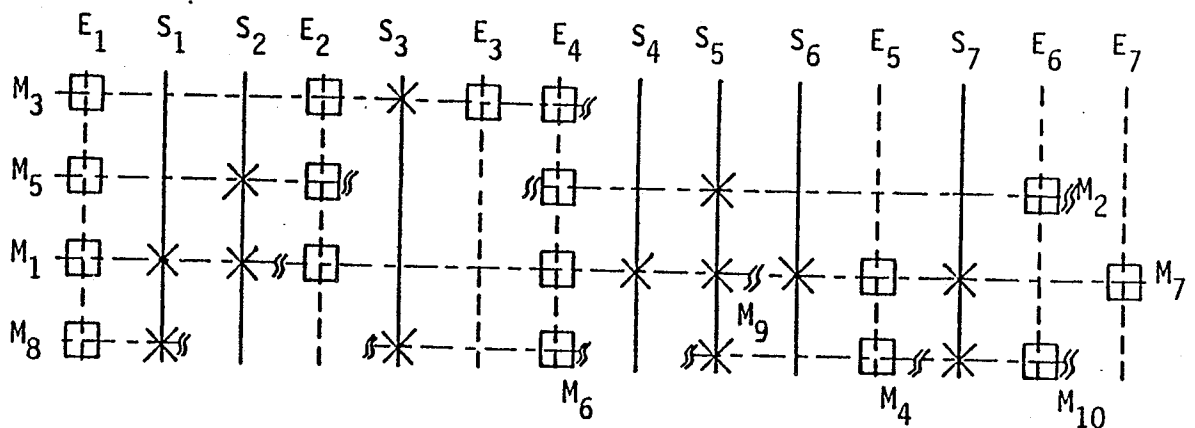


Fig.7.3.C. PLA monmatrice après compactage des monômes.

\* Les entrées peuvent pénétrer par l'un des quatre côtés, ainsi que les sorties peuvent émerger par l'un de ces quatre côtés.

\* Ce type de PLA doit être complètement transparent par les deux sens: vertical et horizontal; à l'aide de canaux de transparence (voir la figure 7.2).

## C o n c l u s i o n

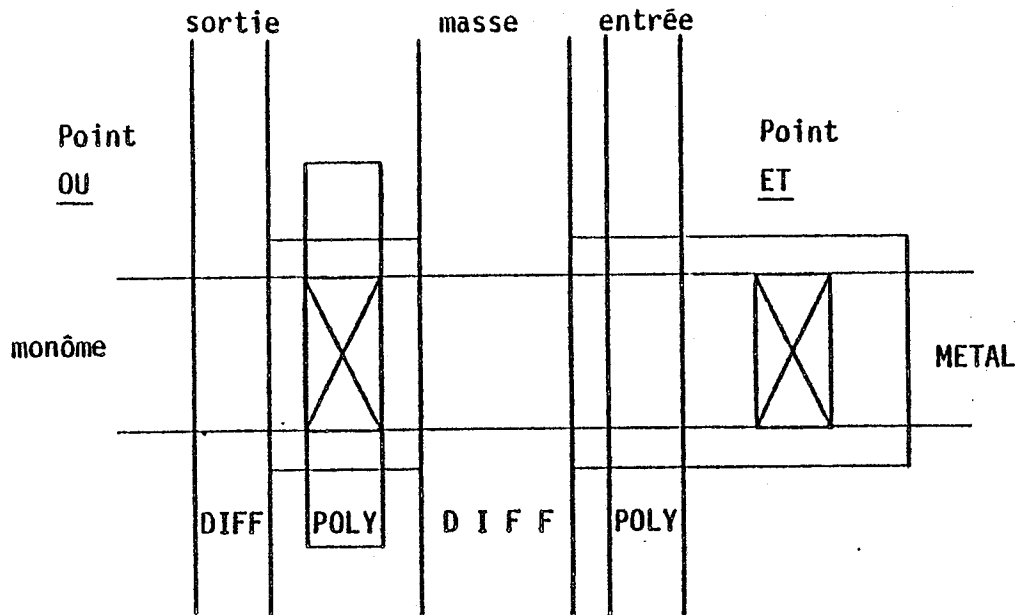


Fig. 7.4.A. Points de PLA monomatrice ET-OU dans une technologie NMOS permettant un CONTACT sur GRILLE

\* Le principe de génération du dessin des masques en utilisant la structure de bandes pour le dessin, reste le même. La topologie d'un point de PLA dépend fortement de la technologie (Fig.7.4), ce qui modifiera les constituants des motifs de la structure des bandes selon le cas. La figure 7.5 montre le dessin des masques du PLA exemple (Fig.7.2) dont on considère que la technologie permet de réaliser un contact polysilicium-métal sur la grille du transistor NMOS (qui reçoit le nom de contact "externe") [MIK-83].

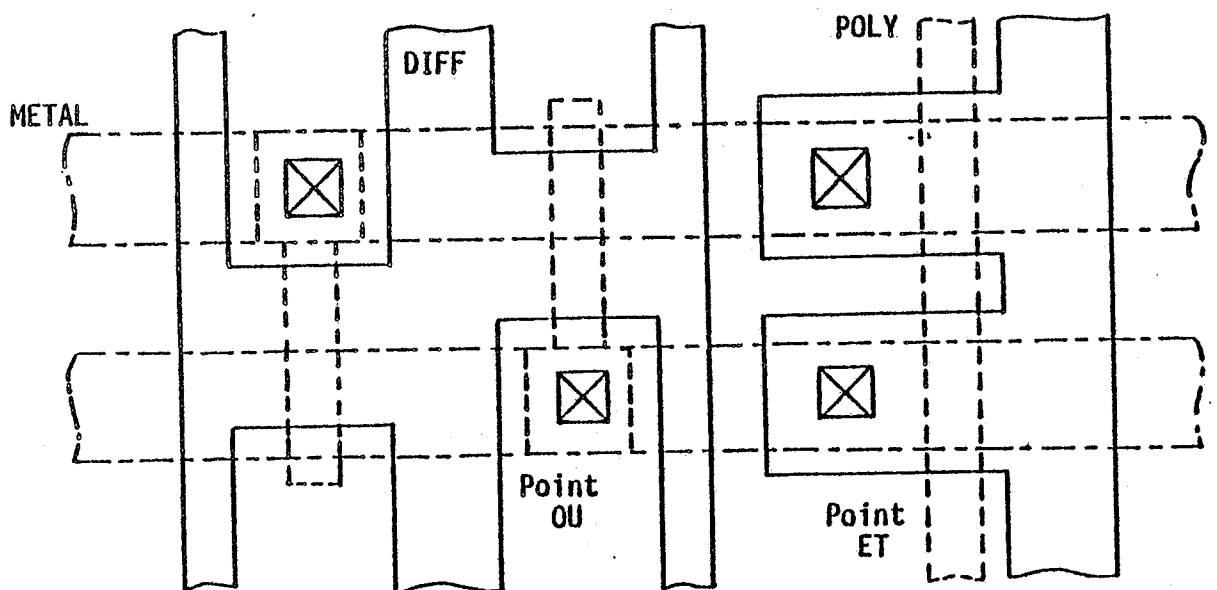


Fig. 7.4.B. Points de PLA monomatrice ET-OU dans une technologie NMOS normale.



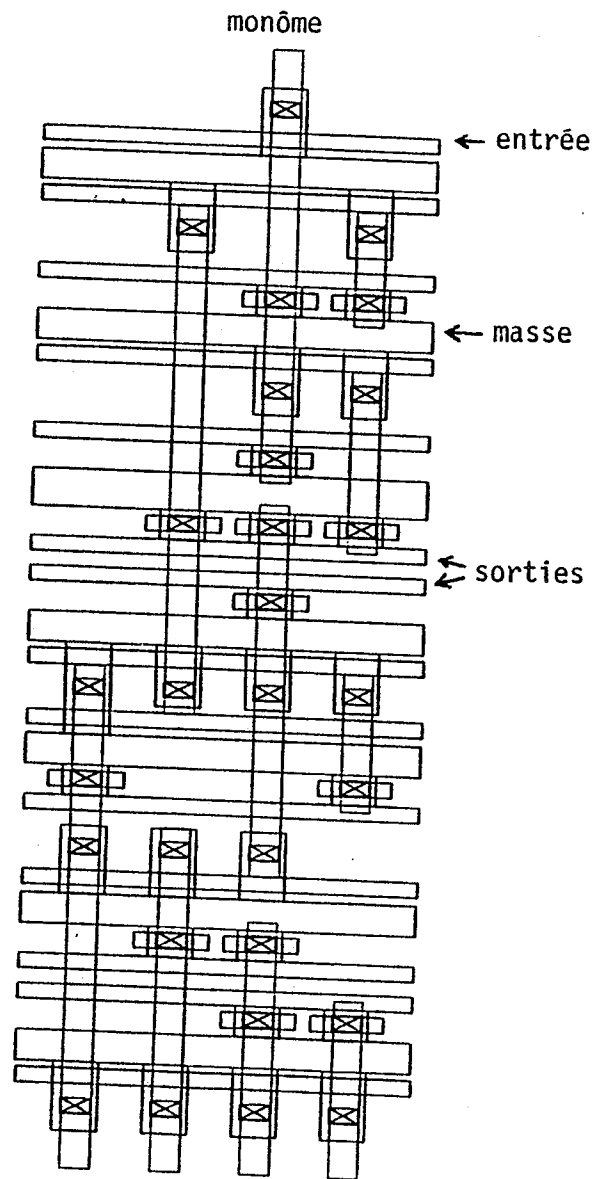


Figure 7.5. Dessin des masques d'un PLA monomatrice optimisé avec une technologie permettant un "contact sur grille" [MIK-83].

## C o n c l u s i o n

Traitement des PLA de grande dimension.

Actuellement, PAOLA traite des PLA ayant 100 entrées, 250 monômes et 100 sorties. Les prévisions des concepteurs de circuits intégrés au sujet de la taille des PLA à concevoir se placent bien au-delà de ces dimensions.

Donc, le développement d'un gestionneur de mémoire virtuelle ad-hoc qui configure la mémoire suivant le besoin du concepteur, et utilise les moyens de mémoire secondaire, est à entreprendre.



## ***REFERENCES***



## REFERENCES

- [ABL-81] I. ABLASSER & U. JAGER, "Circuit Recognition and Verification from Bipolar and MOS Layout Information", ACM SIGDA Newsletter, Vol.11, No.2, Septembre 1981, pp.3-17.
- [ACK-83] B. ACKLAND & N. WESTE, "An Automatic Assembly Tool for Virtual Grid Symbolic Layout", dans [VLSI83], pp.457-466.
- [AGR-77] P. AGRAWAL & M.A. BREUER, "Some theoretical Aspects of Algorithmic Routing", dans [DAC-77], pp.23-31.
- [ALA-82] H.A. AL ABDUL KADIR, "Performances et Limitations des Technologies Monocanal N HMOS Actuelles, Applications aux Circuits VLSI", Thèse de Docteur-Ingénieur, INPG, 26 Novembre 1982.
- [ALL-81] J. ALLEN & P.PENFIELD, "VLSI Design Automation Activities at MIT", IEEE Trans. on Circuits and Systems, Vol.CAS-28, No.7, Juillet 1981, pp.645-653.
- [ANC-83] F. ANCEAU, "CAPRI: A Design Methodology and a Silicon Compiler for VLSI Circuits Specified by Algorithms", dans [CALT83], pp.15-31.
- [ANC-82a] F. ANCEAU, "VLSI Processor Architecture and Design", dans [BRIS82], pp.138-148.
- [ANC-82b] F. ANCEAU & J.P. SCHOELLKOPF, "CAPRI: A Silicon Compiler for VLSI Circuits Specified by Algorithms", dans [BRIS82], pp.149-154.
- [ANC-82c] F. ANCEAU & R. REIS, "Complex Integrated Circuit Design Strategy", IEEE Journal of Solid State Circuits, Vol.17, No.3, Juin 1982, pp.459-464.
- [ANC-81] F. ANCEAU, "VLSI-Processor Architecture", dans [ESSC81], pp.24-30.

CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

- [ANC-80] F. ANCEAU, "Architecture and Design of Von Neumann Microprocessors", dans [NAT080], pp.301-328.
- [ARE-78] Z. AREVALO & J.G. BREDESON, "A Method to Simplify a Boolean Function into a Near-Minimal Sum of Products for PLA", IEEE Trans. on Computers, Vol. C-27, Novembre 1978, pp.1028-1039.
- [ASA-82] T. ASANO, "An Optimum Gate Placement for MOS One-Dimensional Arrays", Journal of Design Systems, Vol.6, No.1, 1982, pp.1-28.
- [ATK-81] D.E. ATKINS et al. "Overview of an Arithmetic Design System", dans [DAC-81], pp.314-321.
- [AUG-78] M. AUGUIN, "Conception des Systèmes de Commande à l'Aide de Réseaux Logiques Programmables", Thèse de Docteur de Spécialité Signaux et Systèmes, 17 Novembre 1978, Université de Nice.
- [AVE-83] J.P. AVENIER, "Digitizing, Layout, Rule Checking - The Every Day Task of Chip Designers", Proc. of the IEEE, Vol.71, No.1, Janvier 1983, pp.49-56.
- [AYR-79] R. AYRES, "Silicon Compilation - A Hierarchical Use of PLAs", dans [CAL79], pp.311-326.
- [BAR-82] E. BARKE, " A Technology Independent Approach for Device Recognition from IC Mask Artwork Data", Journal of Digital Systems, Vol.6, No.4, 1982, pp.291-306.
- [BAT-81] J. BATALI et al. "The DPL/Daedalus Design Environment", dans [VLSI81], pp.183-192.
- [BAU-81] M. BAUGE, "A Highly Automated Semi-Custom Design Approach for VLSI", dans [ESSC81], pp.90-97.
- [BEK-77] H.BEKE et al. "CALMOS: A Computer Aided Layout Program for MOS/LSI", IEEE Journal of Solid-State Circuits, Vol.SC-12, Juin 1977, pp.281-282.

## R é f é r e n c e s

- [BEL-57] R. BELLMAN, "Dynamic Programming", Princeton University Press, 1957, New Jersey, USA.
- [BIS-71] N.N. BISWAS, "Minimization of Boolean Functions", IEEE Trans. on Computers, Vol.C-20, Août 1971, pp.925-929.
- [BON-81] M. BONNET & J.F. TANT, "Les PLA NMOS Statiques", Rapport de Projet d'Ingénieur, INPG-ENSERG, Juin 1981.
- [BOW-70] R.M. BOWMAN & E.S. McVEY, "A Method for the Fast Approximate Solution of Large Prime Implicant Charts", IEEE Trans. on Computer, Vol.C-19, 1970, pp.169-173.
- [BRA-82] R.K. BRAYTON, et al., "A Comparison of Logic Minimization Strategies using EXPRESSO: an APL Program Package for Partitionning Logic Minimization", Proc. of the ISCAS'82, Mai 1982, pp.42-48.
- [BRE-83] M.A. BREUER & A. KUMAR, "A Methodology for Custom VLSI Layout", IEEE Trans. on Circuits and Systems, Vol.CAS-30, No.6, Juin 1983, pp.358-364.
- [BRE-77] M.A. BREUER, "A Class of Min-Cut Placement Algorithms", dans [DAC-77], pp.284-290.
- [BRE-72] M.A. BREUER, "Design Automation of Digital Systems", PRENTICE-HALL Inc. Englewood Cliffs, New Jersey, 1972.
- [BRE-71] J.G. BREDESON & P.T. HULENA, "Generation of Prime Implicants by Direct Multiplication", IEEE Trans. on Computers, Vol.C-20, Avril 1971, pp.475-476.
- [BRI-78] P. BRICAUD & J. CAMPBELL, "Multiple Output PLA Minimization: EMIN", Proc. of the WESCON'78, paper 33/3.
- [BRIS82] Proc. of the Advanced Course on VLSI Architecture, Université de Bristol, Royaume Uni, 19-30 Juillet 1982.
- [BRO-81] D.W. BROWN, "A State-Machine Synthesizer- SMS", dans [DAC-81],



CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

pp.301-305.

- [BUR-83a] M. BURSTEIN & R. PETAVIN, "Hierarchical Channel Router", dans [DAC-83], pp.591-597.
- [BUR-83b] M. BURSTEIN, "Hierarchical Channel Router", Integration: The VLSI Journal, Vol.1, 1983, pp.21-38.
- [CALT83] Proc. of the Third CALTECH Conference on VLSI, Pasadena, California, USA, 21-23 Mars 1983.
- [CALT81] Proc. of the Second CALTECH Conference on VLSI, Pasadena, California, USA, 19-21 Janvier 1981.
- [CALT79] Proc. of the First CALTECH Conference on VLSI, Pasadena, California, USA, 22-24 Janvier 1979.
- [CAR-81] L. CARDELLI & G. PLOTKIN, "An Algebraic Approach to VLSI Design", dans [VLSI81], pp.173-182.
- [CHA-83] W.S. CHAN, "A New Channel Routing Algorithm", dans [CALT83], pp.117-139.
- [CHA-79] C.S. CHANG, "LSI Layout Checking using Bipolar Device Recognition Technique", dans [DAC-79], pp.95-101.
- [CHE-83a] N.P. CHEN, C.P. HSU & E.S. KUH, "The Berkeley Building-Block Layout System for VLSI Design", dans [VLSI83], pp.37-44.
- [CHE-83b] N.P. CHEN et al. "BBL: A Building Block Layout System for Custom Chip Design", dans [ICCAD83], pp.40-41.
- [CHE-77] K.A. CHEN et al. "The Chip Layout Problem: An Automatic Wiring Procedure", dans [DAC-77], pp.298-302.
- [CHU-84] S. CHUQUILLANQUI, "Adaptation du Système PAOLA à la technologie bipolaire HBIP3A-1", Thompson-CSF/DCI, Rapport No. SC/MC/564-84, Saint Egrève, Août 1984.

## R é f é r e n c e s

- [CHU-83L] K. CHU, Y.E. LIEN, "Two Issues in VLSI Design Systems: Technology Independence and Data Management", dans [ICCAD83], pp.109-110.
- [CHU-83a] S. CHUQUILLANQUI, "Adaptation du Système PAOLA à la technologie bipolaire HBIP3A", Thompson-CSF/DCI, Rapport No.MD/SC/EN/501-83, Saint Egrève, Decembre 1983.
- [CHU-83b] S. CHUQUILLANQUI et al. "A VLSI Topological Optimization Strategy Applied to PLA Design", dans [ICCAD83], pp.184-189.
- [CHU-83c] S. CHUQUILLANQUI, "Internal Routing Problem in Large Optimized PLAs", dans [DAC-83], pp.795-802.
- [CHU-82a] S. CHUQUILLANQUI & T. PEREZ SEGOVIA, "PAOLA: un système CAO pour l'optimisation topologique et la génération automatique du dessin des masques des PLA complexes", Actes du Congrès AFCET sur l'Architecture des Machines et Systèmes Informatiques, Lille, 17-19 Novembre 1982, pp.193-204.
- [CHU-82b] S. CHUQUILLANQUI & T. PEREZ SEGOVIA, "PAOLA: A Tool for Topological Optimization on Large PLAs", dans [DAC-82], pp.300-306.
- [CIE-81] M.J. CIESIELSKI & E. KINNEN, " An Optimum Layer Assignmet for Routing in ICs and PCBs", dans [DAC-81], pp.733-737.
- [CLE-79] W.M. van CLEEMPUT, "Hierarchical Design for VLSI: Problems and Advantages", dans [CAL79], pp.259-273.
- [CLE-76] W.M. van CLEEMPUT, "Mathematical Models for the Circuit Layout Problem", IEEE Trans. on Circuits and Systems, Vol.CAS-23, No.12, Decembre 1976, pp.759-767.
- [CMU-81] Proc. of the Carnegie Mellon University Conference on VLSI Systems and Computations, Pittsburgh, Pennsylvania, USA, 19-21 Octobre 1981.
- [COR-82] A. CORREALE, "Physical Design of a Custom 16 Bit Microprocessor", IBM Journal on Res.&Dev., Vol.26, Juillet 1982, pp.446-452.

CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

- [DAC-83] Proc. of the ACM IEEE 20th Design Automation Conference, Miami Beach, Florida, USA, 27-29 Juin 1983.
- [DAC-82] Proc. of the ACM IEEE 19th Design Automation Conference, Las Vegas, Nevada, USA, 28-30 Juin 1982.
- [DAC-81] Proc. of the ACM IEEE 18th Design Automation Conference, Nashville, Tennessee, USA, 29 Juin -1 Juillet 1981.
- [DAC-80] Proc. of the ACM IEEE 17th Design Automation Conference, Minneapolis, Minnesota, USA, 23-25 Juin 1980.
- [DAC-79] Proc. of the ACM IEEE 16th Design Automation Conference, San Diego, California, USA, 25-27 Juin 1979.
- [DAC-78] Proc. of the ACM IEEE 15th Design Automation Conference, Las Vegas, Nevada, USA, 19-21 Juin 1978.
- [DAC-77] Proc. of the ACM IEEE 14th Design Automation Conference, New Orleans, Louisiana, USA, 20-22 Juin 1977.
- [DAH-72] D .S. DAHL, E.W. DIJKSTRA & C.A.R. HOARE, "Structured Programming", Academic Press, New York, 1972.
- [DAN-83] A. DANDACHE, "Evaluations Electriques et Temporelles des PLA complexes (COMPLETE)", Thèse de 3ème Cycle, INPG, 21 Novembre 1983.
- [DEM-80] E. DEMOULIN, "Technological Processes for VLSI", dans [NAT080], pp.11-54.
- [DIE-75] D.L. DIETMEYER, "Logic Design of Digital Systems", Allen & Bacon Pub., Boston, 1975.
- [DIE-69] D.L. DIETMEYER & Y.H. SU, "Computer Reduction of Two-Level, Multiple Output Switching Circuits", IEEE Trans. on Computer, Vol.C-18, 1969.
- [DIR-81] S.W. DIRECTOR et al. "A Design Methodology and Computer Aids for Digital VLSI Systems", IEEE Trans. on Circuits and Systems,

## R é f é r e n c e s

Vol.CAS-28, No.7, Juillet 1981, pp.634-645.

- [DOL-82] D. DOLEV et al. "Optimal Algorithms for Structural Assembly", Lambda, No.2, 1982, pp.38-42.
- [DOR-81] M.T. DOREAN & P. KOZIOL, "TWIGY: A Topological Algorithm Based Routing System", dans [DAC-81], pp.746-753.
- [DUN-83] A.E. DUNLOP & B.W. RERNIGHAN, "A Placement Procedure for Polycell VLSI Circuits", dans [ICCAD83], pp.51-52.
- [DUT-81] R.W. DUTTON, "STANFORD Overview in VLSI Research", IEEE Trans. on Circuits and Systems, Vol.CAS-28, No.7, Juillet 1981, pp.654-665.
- [EDW-82] J. EDWARDS, "VLSI Process Technology Selection", dans [BRIS82], pp.54-82.
- [EGA-82] J.R. EGAN & C.L. LIU, "Optimal Bipartite Folding of PLAs", dans [DAC-82], pp.141-146.
- [EIC-80] E.B. EICHELBERGER & E. LINDBLOOM, "A Heuristic Test Pattern Generator for Programmable Arrays", IBM Journal on Res.&Dev., Vol.24, Janvier 1980, pp.15-22.
- [ESSC83] Proc. of the 9th European Solid-State Circuits Conference, Lusanne, Suisse, 21-23 Septembre 1983.
- [ESSC82] Proc. of the 8th European Solid-State Circuits Conference, Brussels, Belgique, 22-24 Septembre 1982.
- [ESSC81] Proc. of the 7th European Solid-State Circuits Conference, Freiburg, R.F.A., 22-24 Septembre 1981.
- [ESSC80] Proc. of the 6th European Solid-State Circuits Conference, Grenoble, 22-25 Septembre 1980.
- [ESSC79] Proc. of the 5th European Solid-State Circuits Conference, Université de Southampton, Royaume Uni, 18-21 Septembre 1979.

CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

- [ETI-83] R. ETIENNE, "Etude des Méthodologies de Conception, Outils de Synthèse et de Génération Automatiques des Parties Contrôles de Microprocesseurs", Thèse Docteur-Ingénieur, INPG, 29 Juin 1983.
- [FLE-75] H.FLEISHER & L.I. MAISEL, "An Introduction to Array Logic", IBM J.Res.& Dev. Vol.19 No.2, Mars 1975, pp.98-109.
- [FLO-64] J. FLORINE, "La Synthèse des Machines Logiques", DUNOD, Paris, 1964.
- [FOR-83] J. FORREST & M.D. EDWARDS, "The Automatic Generation of PLAs from Algorithmic State Machine Description", dans [VLSI83], pp.183-193.
- [GAJ-82] D.D. GAJSKI, "The Structure of a Silicon Compiler", dans [ICCC82], pp.272-276.
- [GAJ-81] D.D. GAJSKI et al. "Algorithmic Layout of Gate Macros", dans [CALT81], pp.237-252.
- [GAM-74] "GAMMA: Manuel d'utilisation", Thomson-CSF/DIS/SCAS, Manuel No.SCAS-74.693-MCT, Paris, 12 Août 1974.
- [GLA-80a] L.A. GLASSER, "Implementation of Regular Logic with Feedback Reduced PLAs", Integrated Circuit Memo No.80-8, MIT, Cambridge, Massachusetts, USA, Février 1980.
- [GLA-80b] L.A. GLASSER & P.PENFIELD, Jr. "An Interactive PLA Generator as an Archetype for a New VLSI Design Methodology", dans [ICCC80], pp.608-611.
- [GOA-81] G.B. GOATES & S.S. PATIL, "ABLE: A Lisp-Based Layout Modeling Language with User-Definable Procedure Modes for Storage/Logic Array Design", dans [DAC-81], pp.322-329.
- [GOT-83] S. GOTO et al. "LAMBDA: An Integrated Master-Slice LSI CAD System", Integration: The VLSI Journal, Vol.1, 1983, pp.53-69.
- [GRA-82] W. GRASS, "A Depth-First Branch and Bound Algorithm for Optimal PLA Folding", dans [DAC-82], pp.133-140.

## R é f é r e n c e s

- [GUY-83] A. GUYOT, R. REIS et I. SUPRIANA, "FLOPE: Un Editeur Graphique de Plan de Masse de Circuits Intégrés", Rapport de Recherche No.333, IMAG, Janvier 1983.
- [HAC-82a] G.D. HACHTEL, A.L. SANGIOVANNI-VICENTELLI & A.R. NEWTON, "Techniques for Programmable Logic Array Folding", dans [DAC-82], pp.147-155.
- [HAC-82b] G.D. HACHTEL, A.L. SANGIOVANNI-VICENTELLI & A.R. NEWTON, "An Algorithm for Optimal PLA Folding", IEEE Trans. on CAD of IC and Systems, Vol.CAD-1, No.2, Avril 1982, pp.63-67.
- [HAC-80] G.D. HACHTEL, A.L. SANGIOVANNI-VICENTELLI & A.R. NEWTON, "Some Results in Optimal PLA Folding", dans [ICCC80], pp.1023-1027.
- [HEL-77] W.R. HELLER et al. "Prediction of Wiring Space Requirements for LSI", dans [DAC-77], pp.32-42.
- [HEN-81] J. HENNESSY, "SLIM: A Simulation and Implementation Language for VLSI Microcode", Lambda, No.2, 1981, pp.20-28.
- [HEN-80] J. HENNESSY, "Language for Microcode Description and Simulation in VLSI", IEEE Trans. on Computers, Vol.C-13, No.7, Juillet 1980, pp.66-67.
- [HMI-84] J. HMIMID, "Assemblage et Génération Automatique des Dispositifs Périphériques de PLA Complexes", Thèse de 3ème Cycle, INPG, en préparation.
- [HOE-76] J.H. HOEL, "Some Variations of LEE's Algorithm", IEEE Trans. on Computers, Vol.C-25, No.1, Janvier 1976, pp.19-24.
- [HON-83] S.J. HONG & R. NAIR, "Wire Routing Machines - New Tools for VLSI Physical Design", Proc. of the IEEE, Vol.71, No.1, Janvier 1983, pp.57-65
- [HON-80a] R.HON, "IC Fabrication for the Independent Chip Designer", Lambda, No.1, 1980, pp.6-9.

CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

- [HON-80b] R.W. HON & C.H. SEQUIN, "A Guide to LSI Implementation", Xerox Palo Alto Research Center, Rapport SSL 79-7, Janvier 1980.
- [HON-74] S.J. HONG, R.G. CAIN & D.L. OSTAPKO, "MINI: a Heuristic Approach for Logic Minimization" IBM J. Res.&Dev., Septembre 1974, pp.443-458.
- [HSU-83] C.HSU, "General River Routing Algorithm", dans [DAC-83], pp.578-583.
- [HSU-81] M.Y. HSUEH, "Symbolic Layout Compaction", dans [NATO-81], pp.499-541.
- [HU-83] T.C. HU & Y.S. KUO, "Optimum Reduction of PLAs", dans [DAC-83], pp.553-538.
- [HUL-75] B.L. HULME & R.B. WORREL, "A Prime Implicant Algorithm", IEEE Trans. on Computers, Vol.C-24, Novembre 1975, pp.1129-1131.
- [IBA-71] T. IBAKARI & S. MUROGA, "Synthesis of Networks with a Minimum Number of Negative Gates", IEEE Trans. on Computers, Vol.C-20, No.1, Janvier 1971, pp.49-58.
- [ICCAD83] Proc. of the IEEE International Conference on Computer-Aided Design, Santa Clara, California, USA, 12-15 Septembre 1983.
- [ICCC82] Proc. of the IEEE International Conference on Circuits and Computers, New York, New York, USA, Septembre 1982.
- [ICCC80] Proc. of the IEEE International Conference on Circuits and Computers, Rye, New York, USA, Septembre 1980.
- [ICCD83] Proc. of the IEEE International Conference on Computer Design: VLSI in Computers, Port Chester, New York, USA, 31 Octobre - 3 Novembre 1983.
- [JER-83] A.A. JERRAYA, "Une Nouvelle Approche pour la Vérification des masques des Circuits Intégrés", Thèse Docteur-Ingénieur, INPG, 24 Novembre 1983.

## R é f é r e n c e s

- [JER-81] A.A. JERRAYA, A. GUYOT et J. RAYMOND, "LUCIE: Manuel d'utilisation", IMAG, 1981.
- [JOH-79] D. JOHANSEN, "Bristle Blocks: A Silicon Compiler", dans [CAL79], pp.303-310.
- [JON-75] J.W. JONES, "Array Logic Macros", IBM J.Res.&Dev. Vol.19, No.2, Mars 1975, pp.120-126.
- [KAM-79] Y. KAMBAYASHI, "Logic Design of PLA", IEEE Trans. on Computers, Vol. C-28, No.9, Septembre 1979, pp.609-617.
- [KAN-81a] S. KANG et W.M. van CLEEMPUT, "Automatic PLA Synthesis from DDL-P Description", dans [DAC-81], pp.391-397.
- [KAN-81b] S. KANG, "Synthesis and Optimization of Programmable Logic Arrays", Ph.D. Thesis, Université de Stanford, California, USA, Mai 1981.
- [KAR-82] K. KARPLUS, "CHISEL: An Extension to the Programming Language C for VLSI Layout", Rapport No. STAN-CS-82-959, Dept. of Computer Science, Université de Stanford, California, USA, 1982.
- [KHO-77] K.H. KHOKHAMI & A.M. PATEL, "The Chip Layout Problem: a Placement Procedure for LSI", dans [DAC-77], pp.291-297.
- [KIN-81] D.J. KINNIMENT, "Regular Programmable Control Structures", dans [VLSI81], pp.193-202.
- [KRA-83] R. KRASICKI, "Etude d'un Optimiseur Logique de PLA", Thèse d'Ingénieur CNAM, CUEFA, Grenoble, 28 Octobre 1983.
- [KRI-81] M.S. KRISHNAN, "A Structured Approach to VLSI Layout Design", dans [CAL81], pp.413-432.
- [KWA-77] C. KWAN et al. "The Design of Structured Digital Systems Controlled by PLAs", EUROMICRO, North Holland Publishing Co. 1977.
- [LAT-81] W.W. LATTIN & W. RICHARDSON, "A Methodology for VLSI Chip Design",



CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

Lambda, No.2, 1981, pp.34-44.

- [LAW-82] H.S. LAW & M. SHOJI, "PLA Design for the BELLMAC 32A Microprocessor", dans [ICCC82], pp.161-164.
- [LEE-81a] D.T. LEE, S.J. HONG & C.K. WONG, "Number of Vias: A Control Parameter for Global Wiring of High-Density Chips", IBM J.Res.&Dev. Vol.25, No.4, Juillet 1981, pp.261-271.
- [LEE-81b] C.M. LEE et al. "Automatic Generation and Characterization of CMOS Polycells", dans [DAC-81], pp.220-224.
- [LEI-81] C.E. LEISERSON & R.Y. PINTER, "Optimal Placement for River Routing", dans [CMU-81], pp.126-142.
- [LEO-83] H.W. LEONG & C.L. LIU, "A New Channel Routing Algorithm", dans [DAC-83], pp.584-590.
- [LEV-82] T.-J. LEVY, "On the LUCIFER System", dans [BRIS82], pp.155-166.
- [LIN-81] C.M. LIN, "PLA Design in NAND Structures", dans [CALT81], pp.343-354.
- [LIU-83] W. LIU & D.E. ATKINS, "Bounds on the Saved Area Ratio Due to PLA Folding", dans [DAC-83], pp.538-544.
- [LIU-82] W. LIU & D.E. ATKINS, "On the Routability and Channel Routing Order of a General Cell Approach", dans [ICCC82], pp.246-249.
- [LOG-75] J.C. LOGUE et al. "Hardware Implementation of a small System in Programmable Logic Arrays", IBM Journal on Res.&Dev., Vol.19, Mars 1975, pp.98-109.
- [LON-82] S.I. LONG et al. "High Speed GaAs Integrated Circuits", Proc. of the IEEE, Vol.70, No.1, Janvier 1982, pp.35-45.
- [LUB-82] M. LUBY et al. "Some Theoretical Results on the Optimal PLA Folding Problem", dans [ICCC82], pp.165-170.

## R é f é r e n c e s

- [LYO-81] R.F. LYON, "Simplified Design Rules for VLSI Layout", Lambda, No.1, 1981, pp.54-59.
- [MAN-83] H. De MAN et al. "PLASCO: A Silicon Compiler for NMOS and CMOS PLA's", dans [VLSI83], pp.171-182.
- [MAN-80] H. De MAN, "Computer Aided Design Techniques for VLSI", dans [NATO80], pp.173-225.
- [MAR-83a] J.F. MARTINEZ-CARBALLIDO & V.M. POWERS, "PRONTO: Quick PLA Product Reduction", dans [DAC-83], pp.545-552.
- [MAR-83b] MARINE et al. "IRENE: Un Langage de Description des Circuits Intégrés Logiques", Rapport de Recherche No.356, IMAG, 1983.
- [MAT-83] T.G. MATHESON et al. "Embedding Electrical and Geometric Constraints in Hierarchical Circuit Layout Generators", dans [ICCAD83], pp.3-5.
- [MAT-82] K.F. MATHEWS & L.P. LEE, "Bipolar Chip Design for a VLSI Microprocessor", IBM Journal on Res.&Dev. Vol.26, Juillet 1982, pp.464-473.
- [MAY-83] M. MAY et al. "Placement and Routing for Logic Schematics", Computer-Aided Design, Vol.15, No.3, Mai 1983, pp.115-122.
- [McC-79] E.J. McCLUSKEY, Jr., "Design with PLAs", Center for Reliable Computing, Technical Note No. 168, Stanford University, November 1979.
- [McC-57] E.J. McCLUSKEY, Jr., "Minimization of Boolean Functions", Bell Syst. Tech. Journal Vol.35, Avril 1957, pp.1417-1444.
- [MEA-80] C. MEAD & L. CONWAY, "Introduction to VLSI Systems", Addison-Wesley Publishing Company, 1980.
- [MIC-83a] G. De MICHELI & M. SANTOMAURO, " Topological Partitioning of PLAs", dans [ICCAD83], pp.182-183.

CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

- [MIC-83b] G. De MICHELI & A. SANGIOVANNI-VICENTELLI, "Computer-Aided Synthesis of PLA Based Finite State Machines", dans [ICCAD-83], pp.154-156.
- [MIC-83c] G. De MICHELI & A. SANGIOVANNI-VICENTELLI, "PLEASURE: A Computer Program for Simple/Multiple Constrained/Unconstrained Folding of PLAs", dans [DAC-83], pp.530-537.
- [MIC-83d] G. De MICHELI & M. SANTOMAURO, " SMILE: A Computer Program for Partitionning of PLAs", Computer-Aided Design, Vol.15, No.2, Mars 1983, pp.89-97.
- [MIT82] Proc. of the Conference on Advanced Research in VLSI, MIT, Cambridge, Massachusetts, USA, 25-27 Janvier 1982.
- [MON-80] J.J.MONBARON, "Description des Systèmes Logiques Combinatoires par des Fonctions Booleennes Caracteristiques permettant le calcul des impliquants premiers et des couvertures irredundantes au moyen d'un algorithme unique adapté aux petits ordinateurs", Thèse D-Sc., Université de Newchatel, Suisse, 1981.
- [MOR-70] E. MORREALE, "Recursive Operators for Prime Implicant & Irredundant Normal Form Determination", IEEE Trans. on Computer, Vol.C-19, June 1970.
- [MOR-67] E. MORREALE, "Partitionned List Algorithms for Prime Implicant Determination from Canonical Forms", IEEE Trans. on Computer, Vol.C-16, 1967.
- [MUR-76] S.MUROGA, H.C. LAY, "Minimization of Logic Networks under a Generalized Cost Function" IEEE Trans. on Computers, Vol. C-25, September 1976, pp.893-907.
- [NAI-82] R. NAIR et al. "Global Routing on a Wire Routing Machine", dans [DAC-19], pp.224-231.
- [NAK-72] K. NAKAMURA et al. "Minimal Negative Gate Networks", IEEE Trans. on Computers, Vol.C-21, No.1, Janvier 1972, pp.72-79.

## R é f é r e n c e s

- [NAT080a] Proc. of the Advanced Study Institute on "Computer Design Aides for VLSI Circuits", Sogesta, Urbino, Italie, 21 Juillet - 1 Août 1980.
- [NAT080b] Proc. of the Advanced Study Institute on "Design Methodologies for VLSI Circuits", Louvain-la-Neuve, Belgique, 8-18 Juillet 1980.
- [NEM-83] M. NEMOUR, "The Block-Slice Structures, a New Methodology for Custom Design VLSI", dans [ICCAD83], pp.228-232.
- [NEM-81] M.NEMOUR, "Formalisme DELTA: Un Outil de Description Logique pour la Synthèse Automatique dans la Conception des Machines Séquentielle Synchrones", Thèse de 3ème Cycle, INPG, 3 Decembre 1981.
- [NEW-82] M.E. NEWELL & D.T. FITZPATRICK, "Exploiting Structure in Integrated Circuit Design Analysis", dans [MIT-82], pp.84-92.
- [NEW-81a] A.R. NEWTON et al. "Design Aids for VLSI: The Berkeley Perspective", IEEE Trans. on Circuits and Systems, Vol.CAS-28, No.7, Juillet 1981, pp.666-680.
- [NEW-81b] A.R. NEWTON, "Computer Aided Design of VLSI Circuits", Proc. of the IEEE, Vol.69, No.10, Octobre 1981, pp.1189-1199.
- [NIC-84] M. NICOLAIDES, "Conception de Circuits Intégrés Autotestables pour des Hypothèses de Pannes Analytiques", Thèse Docteur-Ingénieur, INPG, 6 Janvier 1984.
- [NIE-83] C. NIESSEN, "Hierarchical Design Methodologies and Tools for VLSI Chips", Proc. of the IEEE, Vol.71, No.1, Janvier 1983, pp.66-75.
- [NIE-81] C. NIESSEN, "The Role of the CAD Tools in VLSI Design Methodology", dans [ESSC81], pp.75-85.
- [NUE-82] J.P. NUEZ & M. GRANDGUILLLOT, "Bipolar 72K bit ROM", dans [ESSC82], pp.196-199.
- [NUZ-82] G. NUZILLAT et al. "GaAs MESFET ICs for Gigabit Logic Applications", IEEE Journal of Solid-State Circuits, Vol-SC17, No.3, June 1982,

CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

pp.569-583.

- [OBR-81] M. OBREBSKA, "Etude Comparative de Différentes Méthodes de Conception des Parties Contrôle des Microprocesseurs", Thèse de Docteur-Ingénieur, INPG, 25 Juin 1982.
- [OES-80] D. OESTREICHER, "PLASYS: Final Report", CALTECH Computer Science Dept. Silicon Structure Project Report 3655, Mai 1980.
- [OHK-80] I. OHKURA, K. OKAZAKI & Y. HORIBA, "A New Exact Delay Logic Simulation for ED MOS LSI", dans [ICCC80], pp.953-961.
- [OST-79] D.L. OSTAPKO & S.J. HONG, "Fault Analysis and Test Generation for PLAs", IEEE Trans. on Computers, Vol.C-28, Sept.1979, pp.617-627.
- [PAI-83] J.F. PAILLOTIN, "Optimization of PLA Area", dans [DAC-83], pp.406-410.
- [PAL-83] C.A. PALESKO & L.A. AKERS, "Logic Partitionning for Minimizing Gate Arrays", IEEE Trans. on CAD of IC and Systems, Vol.CAD-2, No.2, Avril 1983.
- [PAR-60] P. P. PARKHOMENKO, "Machine Analysis of Switching Circuits", Automation & Remote Control, Vol.20, Janvier 1960.
- [PAT-79] S.S. PATIL & T.A. WELCH, "A Programmable Logic Approach for VLSI", IEEE Trans. on Computers, Vol.C-28, No.9, Septembre 1979, pp.594-601.
- [PAY-82] M.I. PAYNE, "An Integrated VLSI Design System", Lambda, No.1, 1982, pp.46-50.
- [PER-82a] E.H. PEREA et al. "MESFET PLA's for GaAs LSI and VLSI Integrated Circuits", Proc. of the IEEE GaAs IC Symposium, New Orleans, USA, 9/11 Novembre 1982.
- [PER-82b] E.H. PEREA et al. "A GaAs Low Power Normally-on 4-Bit Ripple Carry Adder", dans [ESSC82], pp.126-129.

## R é f é r e n c e s

- [PER-80] T. PEREZ SEGOVIA, "Topologic Optimization of PLAs", Rapport de Recherche No. 216, IMAG, Octobre 1980.
- [PET-83] J.C. PETERSON & K.F. SMITH, "Techniques for Automatic Layout of Constrained PPL Circuits", dans [ICCAD83], pp.194-195.
- [PIN-83] R.Y. PINTER, "River Routing: Methodology Analysis", dans [CALT83], pp.141-164. .
- [PIN-81] R.Y. PINTER, "Optimal Routing in Rectilinear Channels", dans [CMU-81], pp.160-177.
- [PRE-79] B.T. PREAS & W.M. van CLEEMPUT, "Placement Algorithms for Arbitrarily Shaped Blocks", dans [DAC-79], pp.474-480.
- [PRE-78] B.T. PREAS & C.W. GWYN, "Methods for Hierarchical Automatic Layout of Custom LSI Circuit Masks", dans [DAC-78], pp.206-212.
- [PRI-82] W.D. PRITCHARD, " A C-MOS PLA Generator", IEEE Journal of Solid-State Circuits, Vol.SC-17, No.1, Fevrier 1982, pp.94-97.
- [PYN-62] I.B. PYNE & E.J. McCLUSKEY, JR. "The Reduction of Redundancy in Solving Prime Implicant Tables", IRE Trans. on Electronic Computers, 1962, pp.473-482.
- [QUI-55] W. V. QUINE, "A Way to Simplifying Truth Functions", American Math. Montly, Vol.62, Nov.1955, pp.627-631.
- [QUI-52] W. V. QUINE, "The Problem of Symplifying Truth Functions", American Math. Monthly, Vol.59, 1952.
- [REI-83] R. REIS, "TESS: Evalueur Topologique Prédicatif pour la Génération Automatique des Plans de Masse de Circuits VLSI", Thèse de Docteur-Ingénieur, INPG, 11 Janvier 1983.
- [REI-82] R. REIS, "TESS: A Topological Evaluator Tool", dans [ICCC82], pp.539-542.

CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

- [RHY-77] V.T. RHYNE et al. "A New Technique for the Fast Minimization of Switching Functions", IEEE Trans. on Computers, Vol.C-26, Août 1977, pp.757-763.
- [RID-81] V.L. RIDEOUT, "Trends in Silicon Processing", dans [CALT81], pp.65-110.
- [RIV-83] R.L. RIVEST & C.M. FIDUCCIA, "A GREEDY Channel Router", Computer-Aided Design, Vol.15, No.3, Mai 1983, pp.135-140.
- [RIV-81] R.L. RIVEST, A.E. BARATZ & G.MILLER, "Provably Good Channel Routing Algorithms", dans [CMU-81], pp.153-159.
- [ROS-81] L.M. ROSENBERG, "The Evolution of Design Automation toward VLSI", Journal of Digital Systems, Vol.5, No.4, 1981, pp.301-318.
- [ROT-80] J.P. ROTH, "Computer Logic, Testing & Verification", Computer Science Press Inc, Potomac Maryland, 1980.
- [ROT-78] J.P. ROTH, "Programmed Logic Array Optimization", IEEE Trans. on Computers, Vol.C-27, Feb.1978, pp.174-176.
- [ROT-60] J.P. ROTH, "Minimization over Boolean Trees", IBM Journal on Res.&Dev., Novembre 1960, pp.543-558.
- [ROT-58] J.P. ROTH, "Algebraic Topological Methods for the Synthesis of Switching Functions", Trans. Amer. Math. Soc., Vol.88, Juillet 1958, pp.301-326.
- [RUE-83] A.E. RUEHLI & G.S. DITLOW, "Circuit Analysis, Logic Simulation and Design Verification for VLSI", Proc. of the IEEE, Vol.71, No.1, Janvier 1983, pp.34-48.
- [SAN-81] W. SANSEN, W. HEYNES & H. BEKE, "Layout Automation Based on Placement and Routing Algorithms", dans [NAT081], pp.465-498.
- [SAS-82] S.SASTRY & S.KLEIN, "PLATES: A Metric-Free VLSI Layout Language", dans [MIT-82], pp.165-134.

## R é f é r e n c e s

- [SAS-81] T. SASAO, "Multiple-Valued Decomposition of Generalized Boolean Functions and the Complexity of Programmable Logic Arrays", IEEE Trans. on Computers, Vol-C30, No.9, September 1981, pp.635-643.
- [SCH-84] J.-P. SCHOELLKOPF, "SILICIEL: Compilation du Silicium et Architecture des Circuits Intégrés", Thèse de Docteur ès Sciences, INPG, en préparation.
- [SCH-83] J.-P. SCHOELLKOPF, "LUBRICK: A Silicon Compiler and its Application to Data Path Design for FISC", dans [ESSC83], pp.435-446.
- [SCH-80] M.S. SCHMOOKLER, "Design of large ALUs using multiple PLA Macros", IBM Journal on Res.&Dev. Vol.24, No.1, January 1980, pp.2-14.
- [SEI-81] L. SEILER, "Special Purpose Hardware for Design Rule Checking", dans [CALT81], pp.197-216.
- [SEQ-83] C.H. SEQUIN, "Managing VLSI Complexity: An Outlook", Proc. of the IEEE, Vol.71, No.1, Janvier 1983, pp.149-166.
- [SEQ-81] C.H. SEQUIN, "Generalized IC Layout Rules and Layout Representations", dans [VLSI81], pp.13-23.
- [SEQ-80] C.H. SEQUIN, "Standard Interchange Formats for IC Design", dans [NAT080], pp.139-172.
- [SHA-83] V.M. SHAW & T.R. O'CONNELL, "Systematic Design Methodology for High Density CMOS Gate Arrays", dans [ICCAD83], pp.222-223.
- [SHI-83] S.G. SHIVA, "Automatic Hardware Synthesis", Proc. of the IEEE, Vol.71, No.1, Janvier 1983, pp.76-87.
- [SHR-83] H.E. SHROBE, "AI Meets CAD", dans [VLSI83], pp.387-400.
- [SIS-82] J.M. SISKIND et al. "Generating Custom High Performance VLSI Designs from Succinct Algorithm Description", dans [MIT-82], pp.28-40.
- [SLA-70] J.R. SLAGLE, C.L. CHANG & R.C.T. LEE, "A New Algorithm for



CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

Generating Prime Implicants", IEEE Trans. on Computers, Vol. C-19, April 1970, pp.304-310.

- [SMI-82] L.R. SMITH et al. "A New Area Router, the LRS Algorithm", dans [ICCC82], pp.256-259.
- [SOU-82] E. SOUTSCHEK et al. "PLA versus Bit-Slice Comparison for a 32 Bit ALU", IEEE Journal of Solid-State Circuits, Vol.SC-17, No.3, Juin 1982, pp.584-586.
- [SOU-81] I. SOUKUP, "Circuit Layout", Proc. of the IEEE, Vol.69, No.10, Octobre 1981, pp.1281-1304.
- [SOU-79] J. SOUKOUP, "Global Router", dans [DAC-79], pp.481-484.
- [SOU-78] J. SOUKOUP, "Fast Maze Router", dans [DAC-78], pp.100-102.
- [STE-83] M.W. STEBNISKY et al. "APSS: An Automatic PLA Synthesis System", dans [DAC-83], pp.430-435.
- [STE-82] M.W. STEBNISKY et al. "A Fully Automatic Technology-Independent PLA Macro-Cell Generator", dans [ICCC82], pp.156-160.
- [SUR-74] SURESHCHANDER, "Minimization of Switching Functions - A Fast Technique", IEEE Trans. on Computers, Vol.C-23, Juillet 1974, pp.753-756.
- [SUW-81] I. SUWA & W.J. KUBITZ, "A Computer-Aided Design System for Segmented Folded PLA Macro-Cells", dans [DAC-81], pp.398-405.
- [SUY-82] K. SUYAMA et al. "An MSI GaAs Integrated Circuit: 4-Bit Arithmetic and Logic Unit", IEEE Journal of Solid-State Circuits, Vol.SC-17, No.4, Août 1982, pp.653-657.
- [SUZ-81] A. SUZIM, "Etude des Parties Opératives à Eléments Modulaires pour Processeurs Monolithiques", Thèse de Docteur-Ingénieur, INPG, Novembre 1981.

## R é f é r e n c e s

- [SVE-83] C. SVENSSON, "VLSI Physics", Integration: The VLSI Journal, Vol.1, 1983, pp.3-19.
- [SVO-75] A. SVOBODA, "The Concept of Term Exclusiveness and its Effect on the Theory of Boolean Functions", Journal of the ACM, Vol.22, No.3, Juillet 1975, pp.425-440.
- [TAD-80] F.TADA et al. "A Fast Maze Router with Interactive Use of Variable Search Space Restriction", dans [DAC-80], pp.250-254.
- [TEE-82] B.TEEL & D. WILDE, "A Logic Minimizer for VLSI PLA Design", dans [DAC-82], pp.156-162.
- [THO-81] D.E. THOMAS, "The Automatic Synthesis of Digital Systems", Proc. of the IEEE, Vol.69, No.10, Octobre 1981, pp.1200-1211.
- [TIS-67] P. TISON, "Generalization of Consensus Theory and Application to the Minimization of Boolean Functions", IEEE Trans. on Electronique Computers, Vol.EC-16, Août 1967, pp.446-456.
- [TIS-65] P. TISON, "Théorie des Consensus", Thèse de Docteur-Ingénieur, Université de Grenoble, 18 Juin 1965.
- [TOS-83] N. TOSUNTIKOL & C.L. SAXE, "Rapid Design of Functional Cells", VLSI Design, No.4, 1983, pp.73-77.
- [TRI-81] S. TRIMBERGER et al. "A Structured Design Methodology and Associated Software Tools", IEEE Trans. on Circuits and Systems, Vol.CAS-28, No.7, Juillet 1981, pp.618-634.
- [TSA-83a] L.L. TSAI & J.O. ACHUGBUE, "BURLAP: A Cell-Based VLSI Design System", dans [ICCAD83], pp.42-43.
- [TSA-83b] L.L. TSAI & J.O. ACHUGBUE, "BURLAP: A Hierarchical VLSI Design System", VLSI Design, No.4, 1983, pp.21-26.
- [TSU-81] R.Y.TSUIR & R.J.SMITH,II, "A High Density Multilayer PCB Router Based on Necessary and Sufficient Condition for Single Row Routing",

CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

dans [DAC-81], pp.372-381.

- [TSU-80] S. TSUKIYAMA et al. "An Algorithm for Single Row Routing with prescribed Street Congestion", IEEE Trans. on Circuits and Systems, Vol.CAS-27, No.9, September 1980, pp.765-772.
- [TUC-82] M. TUCKER & L. SCHEFFER, "A Constrained Design Methodology for VLSI", Lambda, No.3, 1982, pp.60-65.
- [UEH-81] T. UEHARA & W.M. vanCLEEMPUT, "Optimal Layout of CMOS Functional Arrays", IEEE Trans. on Computers, Vol.C-30, No.5, Mai 1981, pp.305-312.
- [VAR-84] P. VARINOT, "Optimisation et Dessin des Masques de PLA Monomatrice", Rapport de D.E.A. en Electronique - Circuits Intégrés, USMG, Juin 1984.
- [VER-80] B. VERGNIERES, "Macrogeneration Algorithms for VLSI Custom Chip Design", IBM Journal on Res.&Dev. Vol.24, No.5, Septembre 1980, pp.612-621.
- [VLSI83] Proc. of the IFIP TC10/WG10.5 International Conference on VLSI, Trondheim, Norvège, 16-19 Août 1983.
- [VLSI81] Proc. of the First International Conference on VLSI, Université d'Edinburgh, Royaume Uni, 18-21 Août 1981.
- [WAD-81] M.M. WADA, "A Dogleg Optimal Channel Router with Completion Enhancements", dans [DAC-81], pp.762-768.
- [WEI-79] A. WEINBERGER, "High Speed Programmable Logic Array Adders", IBM Journal on Res.&Dev. Vol.23, No.2, March 1979, pp.163-178.
- [WES-81] N.WESTE, "Virtual Grid Symbolic Layout", dans [DAC-81], pp.225-233.
- [WHI-81] T. WHITNEY, "A Hierarchical Design-Rules Checking Algorithm", Lambda, No.1, 1981, pp.40-43.

## R é f é r e n c e s

- [WIE-83] S.K. WIEDMANN, "Advancements in Bipolar VLSI Circuits and Technologies", dans [ESSC83], pp.77-84.
- [WOO-79] R.A. WOOD, "A High Density Programmable Logic Array Chip", IEEE Trans. on Computers, Vol.C-28, No.9, September 1979, pp.602-608.
- [WU-83] K.H. WU, A.C. PARKER & K. CORNER, "Procedural Layout: Some Practical Experience for Production-Quality Integrated Circuits", dans [VLSI83], pp.447-456.
- [YAB-83] S. YABE et al. "MASTER2: A Hierarchical Layout System for Gate Arrays", dans [ICCAD83], pp.46-48.
- [YOS-82] T. YOSHIMURA & E.S. KUH, "Efficient Algorithms for Channel Routing", IEEE Trans. on CAD of IC and Systems, Vol. CAD-1, No.1, Janvier 1982.
- [YOS-81] J. YOSHIDA et al. "PANAMAP-B: A Mask Verification System for Bipolar IC", dans [DAC-81], pp.690-695.
- [YOS-77] K. YOSHIDA et al. "A Layout Checking System for LSI Circuits", dans [DAC-77], pp.322-330.
- [ZIN-83] R. ZINSZNER et al. "Technology Independent Symbolic Layout Tools", dans [ICCAD83], pp.12-13.

- (ANC-83a) F. ANCEAU, "Layout strategies for NMOS-CMOS VLSI"  
dans (ICCD83), pp.705-708.
- (CHU-84a) S. CHUQUILLANQUI et al. "PAOLA: a CAD system for area, power  
and delay optimized layout generation of large PLAs", Proc.  
of the Fourth International Conference on Custom and Semi-custom  
ICs, 6-8 Novembre 1984, Londres, Angleterre.
- (DER-84) H. DERANTONIAN, "Génération automatique de parties contrôles de  
microprocesseurs sous forme de PLA spécialisés", Thèse de  
Docteur-Ingénieur, INPG, 6 Juillet 1984.
- (GOL-80) R.L. GOLDEN, et al. "Design automation and programmable logic  
array macro", IBM J.Res.& Dev. Vol.24, No.1, Janvier 1980.
- (MIK-83) J.M. MIKKELSON, et al. "NMOS-III Process Technology",  
Hewlett-Packard Journal, Août 1983, pp.27-30.

***ANNEXES***



A N N E X E      P R E M I E R E  
=====

D E S C R I P T I O N   D E S   P . L . A .

A-1.0. INTRODUCTION. . .

Les informations concernant la description des matrices ET-OU d'un PLA quelconque doivent être stockées dans un fichier SOURCE. Ces informations fournissent les renseignements nécessaires à chaque programme du système PAOLA pour qu'ils puissent agir sur ces matrices de manière à pouvoir en obtenir la version optimisée. En fait ce fichier peut comporter plusieurs tranches d'un même type de matrice ET(OU), c'est-à-dire que la partie ET(OU) de la table de vérité compacte (ou d'implantation) du PLA est composée par plusieurs tranches. Dans la description d'une matrice (ou d'une tranche de matrice, il faut respecter l'ordre des déclarations, à savoir:

- \* Une première partie contenant les indicateurs nécessaires soit pour le placement et la connexion des segments, soit pour le placement des monômes, soit pour le placement prioritaire de certaines bandes de dessin (en ligne ou en colonne) dans chaque tranche.
- \* Une deuxième partie donnant le profil des bits qui correspond à une tranche de la matrice ET(OU) de la table de vérité compacte décrivant le PLA à dessiner.

Pendant le traitement d'un PLA particulier, toutes leurs tranches gardent cette structure. Cette particularité est maintenue grâce à la lisibilité des fichiers intermédiaires qui ont la particularité d'être de type textuel.

A-1.1. STRUCTURE DU FICHIER "SOURCE".

Le fichier SOURCE a une structure modulaire. Il a été déclaré avec le type TEXTE, ce qui permet sa lisibilité à chaque étape du processus. La structure normale de ce fichier est définie sous la forme BNF comme (les symboles "<"



## CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

et ">" sont des délimiteurs d'un méta-symbole, le symbole "/" est un séparateur d'option et les mots-clés sont indiqués en majuscule):

```

<Fichier SOURCE> ::= <suite de tranches>
<suite de tranches> ::= <tranche>/<suite de tranches><tranche>
<tranche> ::= <en-tête><cellules>
<en-tête> ::= <indicateur>/<en-tête><indicateur>
<cellules> ::= CELLS<profil des bits>END
<profil des bits> ::= <entier>/<profil des bits><entier>
<indicateur> ::=
    NAME<idf>/
    MATRIX<type de matrice>/
    ROWS<nombre de lignes>/
    COLUMNS<nombre de colonnes>/
    PTERM<type de placement des monômes>/
    SEGMENT<type de placement des segments>/
    OPTION<emplacement de la matrice>/
    ORDERED/RANDOM/
    FREEROW<suite de numéros de monôme>/
    FREECOL<suite de numéros de colonne>/
    STRETCHROW<suite de canaux d'écartement>/
    STRETCHCOL<suite de canaux d'écartement>/
    FIRSTROW<type de bande initiale>/
    FIRSTCOL<type de bande initiale>/
    CONNECT<suite d'emplacements des bornes de connexion>/
    LTRAVEL<position en ligne><position en colonne>/
    RTRAVEL<position en ligne><position en colonne>/
    STRAIGHT<suite de numéros de monôme>
<idf> ::= <lettre>/<idf><lettre>/<idf><chiffre>
<nombre de lignes> ::= <entier>
<nombre de colonnes> ::= <entier>
<type de placement des monômes> ::= LEFT/RIGHT/COVER
<type de placement des segments> ::= UP/DOWN/COVER/NARROW
<emplacement de la matrice> ::= LEFT/RIGHT/INTERNAL
<suite de numéros de monôme> ::= <suite d'entiers>
<suite de numéros de colonne> ::= <suite d'entiers>
<suite de canaux d'écartement> ::=
    <position d'écart>/

```

## ANNEXE I : Description des PLA

<suite de canaux d'écartement><position d'écart>  
<position d'écart> ::= <entier><numéro de segment>  
<type de bande initiale> ::= METAL/GROUND/GNDBUS/CONTACT/CHOISE  
<suite d'emplacements des bornes de connexion> ::=  
    UP<suite de rangs>/  
    DOWN<suite de rangs>/  
    FEEDBACK<position fixe>/  
    LATERAL<suite de rangs>  
<suite de rangs> ::= <rang>/<suite de rangs><rang>  
<rang> ::= <position fixe>/<position fixe>:<entier>  
<position fixe> ::= <numéro de segment><entier>  
<numéro de segment> ::= <entier>  
<position en ligne> ::= <entier>  
<position en colonne> ::= <entier>  
<suite d'entiers> ::= <entier>/  
    <suite d'entiers><entier>

### A-1.2. SEMANTIQUE DES MOTS-CLES:

- \* NAME: ce mot-clé est suivi par un identificateur <idf> ayant comme maximum 10 caractères. Cet indicateur représente le nom du PLA concerné et doit être présent dans chacune des tranches des matrices (ET,OU).
- \* MATRIX: ce mot-clé est suivi par l'un des mots-clés: AND, OR. Ces mots-clés sont respectivement associés aux parties ET et OU du PLA, et l'un de ces mots-clés doit être présent dans chaque matrice.
- \* ROWS, COLUMNS: L'<entier> suivant l'un de ces mots-clés indique respectivement le nombre de lignes et le nombre de colonnes de la matrice concernée.
- \* PTERM: ce mot-clé est suivi par l'un des mots-clés: LEFT, RIGHT ou COVER; qui signifient respectivement l'allongement de la couverture géométrique des monômes vers la gauche, vers la droite ou dans les deux sens.
- \* SEGMENT: ce mot-clé est suivi par l'un des mots-clés: UP, DOWN, COVER

## CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

- ou NARROW; qui signifient respectivement l'allongement de la couverture géométrique des segments vers le haut, vers le bas, dans les deux sens ou sans allongement.
- \* OPTION: ce mot-clé est suivi par l'un des mots-clés: LEFT, RIGHT ou INTERNAL; qui signifient l'emplacement relatif (à gauche, à droite ou interne respectivement) de la matrice concernée par rapport aux autres matrices qui constituent le PLA.
  - \* FREEROW, FREECOL: ces mots-clés sont suivis par une suite d'entiers qui indiquent les emplacements relatifs des canaux de passage d'une connexion externe traversant le PLA. Ces entiers repèrent respectivement la ligne ou la colonne de placement d'un canal de transparence dans la matrice spécifiée.
  - \* STRETCHROW, STRETCHCOL: ces mots-clés sont suivis par une suite de paires d'entiers. Une paire d'entiers indique le placement de la connexion du segment spécifié par le premier entier dans une ligne ou dans une colonne repérée par le deuxième entier.
  - \* FIRSTROW, FIRSTCOL: ces mots-clés indiquent la priorité de placer en début de ligne, ou de colonne, une bande de métal (METAL), de masse (GROUND), de rappel de masse (GNDBUS), de contact (CONTACT), ou de laisser le choix au système (CHOISE); lors de l'assemblage des bandes de dessin d'une matrice quelconque.
  - \* CONNECT: ce mot-clé est suivi par un des mots-clés: UP, DOWN, FEEDBACK ou LATERAL; qui indiquent le côté de placement (haut, bas, gauche ou droite respectivement) des connecteurs spécifiés sur le pourtour de la matrice de PLA concernée. Ces mots-clés sont suivis par la spécification du placement des bornes (ou connecteurs) des entrées(ou sorties). La position de chaque connecteur est donnée par le <numéro de segment> et son rang (<entier>:<entier>).
  - \* STRAIGHT: ce mot-clé est suivi par l'ensemble de monômes qui devront être directement connectés avec les blocs voisins.
  - \* ORDERED: ce mot-clé impose un tracé interne qui tient compte de

## ANNEXE I : Description des PLA

l'ordre des entrées (ou sorties) sur le pourtour du PLA concerné.

- \* **RANDOM**: ce mot-clé est opposé au dernier dans le sens que le tracé interne est réalisé de manière aléatoire.
- \* **LTRAVEL**: ce mot-clé est suivi par les <position en ligne> et <position en colonne> par où doit passer une connexion en "L" dont sa partie horizontale pénètre par le côté gauche et sa partie verticale émerge par le haut (<position en colonne> positive) ou par le bas (<position en colonne> négative).
- \* **RTRAVEL**: ce mot-clé est suivi par les <position en ligne> et <position en colonne> par où doit passer une connexion en "L" dont sa partie horizontale pénètre par le côté droite et sa partie verticale émerge par le haut (<position en colonne> positive) ou par le bas (<position en colonne> négative).
- \* Le <profil des bits> est toujours représenté sous une forme matricielle et correspond à une tranche de la table de vérité compacte (ou d'implantation) du PLA considéré.

### A-1.3. CREATION DU FICHER.

Un fichier SOURCE doit être fourni pour chaque matrice ET(OU). Il peut être généré par l'utilisateur soit à la main (avec un éditeur de textes) ou soit d'une manière automatique (fournit par un système de conception automatique). Dans les deux cas, PAOLA teste la validité de ces données par l'intermédiaire des programmes ANALSYN ou TESTCONF.

### A-1.4. EXEMPLE.

Nous présentons ci-dessous le contenu du fichier SOURCE qui nous ont servi pour dessiner le PLA montré dans la figure 3.10.

#### A-1.4.1. Fichier "SOURCE" pour la matrice "ET".

```
name      EXEMPLE * nom du PLA
matrix    AND    * matrice ET
```

## CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

```

rows      09      * nombre de lignes
columns   04      * nombre de colonnes
pterm     RIGHT   * retrecissement vers la droite
segment   NARROW  * sans allongement
option    LEFT    * matrice placée à gauche
firstrow  METAL   * premiere bande en ligne
firstcol  CONTACT * premiere bande en colonne
connect
  UP      * placement supérieur
          01 01:01 * entrée 01 entre colonnes 01 et 01
          04 04:04 * entrée 04 entre colonnes 04 et 04
cells
  0 0 0 4
  0 2 0 0
  1 0 0 0
  0 2 0 4
  1 2 0 4
  1 2 0 0
  1 0 3 4
  1 0 0 4
  0 2 3 0
end      * delimitateur de matrice
<E-0-F>

```

### A-1.4.2. Fichier "SOURCE" pour la matrice "OU".

```

name      EXEMPLE * nom du PLA
matrix    OR      * matrice OU
rows      09      * nombre de lignes
columns   03      * nombre de colonnes
pterm     LEFT    * retrecissement vers la gauche
segment   NARROW  * sans allongement
option    RIGHT   * matrice placée à droite
noprint
firstrow  CHOISE  * premiere bande en ligne au choix
firstcol  GNDBUS  * premiere bande en colonne

```

# ANNEXE I : Description des PLA

```
connect          * spécification de placement des bornes
  LATERAL        * placement lateral
    01 01:03     * sortie 01 entre monômes 01 et 03
    03 08:09     * sortie 03 entre monômes 08 et 09
cells            * profil de bits
  1 0 0
  0 2 0
  1 2 0
  1 0 0
  0 2 0
  0 0 3
  0 2 3
  1 0 3
  1 2 3
end              * delimitateur de matrice
<E-0-F>
```

NAME SANGIO  
MATRIX AND  
ROWS 59  
COLUMNS 20  
NOPRINT  
CELLS

0	0	0	0	0	15	0	17	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	13	0	15	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	18	15	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	20	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	20	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	5
0	0	20	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
0	0	0	19	0	0	0	0	0	0	0	0	0	0	0	0	0	0	3	0
0	0	0	19	0	0	0	0	0	0	0	0	0	0	0	0	0	11	3	0
0	0	0	19	0	0	0	0	0	0	0	0	0	0	0	0	0	11	0	5
0	0	0	19	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
0	0	0	19	0	0	0	0	0	0	0	0	0	0	0	0	1	11	0	0
0	0	0	19	0	0	0	0	0	0	0	0	0	0	0	10	0	0	0	5
0	0	0	19	0	0	0	0	0	0	0	0	0	0	0	10	0	0	3	0
0	0	0	19	0	0	0	0	0	0	0	0	6	0	0	0	0	0	3	0
0	0	0	0	13	0	0	0	0	0	0	0	0	0	4	0	0	0	0	5
0	0	0	0	0	0	16	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	16	17	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	15	0	17	0	0	0	0	7	6	0	4	10	1	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	6	8	0	10	1	0	3
0	0	0	0	0	15	0	17	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	15	0	17	0	0	0	0	0	0	0	0	0	0	0	3
0	0	0	0	0	15	0	17	0	0	0	0	7	0	0	0	0	0	0	0
0	0	0	0	0	15	0	17	0	0	0	0	0	0	0	0	0	0	0	5
0	0	0	0	0	0	16	17	0	0	2	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	16	17	0	0	0	0	0	0	0	0	0	0	0	5
0	0	0	0	0	0	16	17	0	0	0	0	0	0	0	0	0	0	3	0
0	0	0	0	0	0	16	17	0	0	0	0	0	0	0	10	0	0	0	0
0	0	0	0	0	0	16	17	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	16	17	0	0	0	0	0	0	0	3	0	0	0	0
0	0	0	0	0	0	15	17	0	0	2	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	12	9	0	0	6	8	0	0	0	1	0	3
0	0	21	0	0	0	0	0	0	9	2	7	0	0	0	0	0	0	0	3
0	0	0	0	0	0	0	0	0	9	2	0	6	8	0	0	0	0	0	5
0	0	0	0	0	0	0	0	0	9	0	0	6	8	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	7	5	0	0	0	1	11	3	0
13	0	0	0	0	0	0	0	12	9	0	7	0	0	4	0	1	11	0	5
0	0	0	0	0	0	0	0	0	9	0	7	0	0	4	0	1	11	0	5
0	0	0	0	0	0	0	0	0	0	0	0	6	0	4	0	1	0	0	0
0	0	0	0	0	0	0	0	0	0	2	7	0	0	4	0	0	0	0	5
0	0	0	0	0	0	0	0	0	0	0	7	0	0	0	10	1	0	0	5
0	0	0	0	0	0	0	0	0	0	2	0	6	0	4	0	0	0	0	0
14	0	0	0	0	0	0	0	12	9	0	7	0	0	4	0	1	0	0	5
0	0	0	0	0	0	0	0	0	0	0	0	8	4	0	1	0	0	0	5
0	0	0	0	0	0	0	0	0	0	0	7	0	0	4	10	1	0	0	5
0	0	0	0	0	0	0	0	0	0	0	0	5	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	4	0	0	0	0	0
0	0	0	0	0	0	0	0	0	2	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	12	9	2	7	5	0	0	0	0	0	0	3	0
0	0	0	0	0	0	0	0	0	9	2	7	5	0	0	0	0	11	3	0
0	0	0	0	0	0	0	0	0	0	2	0	5	3	0	10	0	0	3	0
0	0	0	0	0	0	0	12	0	2	7	6	0	0	10	0	0	0	3	0
0	0	0	0	0	0	0	0	0	2	7	6	0	0	10	0	11	3	0	0
0	0	0	0	0	0	0	0	0	9	0	7	0	0	0	0	1	0	3	5
0	0	0	0	0	0	0	0	0	0	0	0	8	0	0	1	0	0	3	5
0	0	0	0	0	0	0	12	0	0	7	6	0	0	0	1	0	0	3	0
0	0	0	0	0	0	0	0	9	2	0	0	8	0	0	0	11	3	5	0
0	0	0	0	0	0	0	12	9	2	0	0	8	0	0	0	0	0	3	5
0	0	0	0	0	0	0	0	12	9	2	7	0	0	0	0	0	0	3	5
0	0	0	0	0	0	0	0	0	9	2	7	0	0	0	0	11	3	5	0
0	0	0	0	0	0	0	0	0	0	2	0	0	0	0	10	0	0	3	5
0	0	0	0	0	0	0	0	0	0	2	0	0	0	0	0	0	0	0	5







A N N E X E      D E U X I E M E  
=====

DESCRIPTION DU FICHIER  
TECHNOLOGIQUE

A-2.0. DEFINITION.

Le fichier TECHNOLOGIQUE stocke toutes les informations concernant les règles de dessin des masques et les paramètres électriques de la technologie (dits paramètres primaires ou initiaux) ainsi que les paramètres du système qui peuvent être précalculés (dits paramètres secondaires). Ces paramètres secondaires sont calculés par des programmes ad-hoc, mais certains peuvent être modifiés de manière directe par l'utilisateur. Par contre les paramètres primaires ne peuvent pas être modifiés car l'intégrité du fichier serait violée.

A-2.1. VERSION INITIALE DU FICHIER.

La version initiale du fichier technologique correspondant à une technologie quelconque, doit être soit construite par l'utilisateur en tenant compte de la structure du fichier et de la sémantique associée à chaque champ des enregistrements (à l'aide d'un éditeur de textes ou d'un programme spécialisé), soit obtenue par une copie de régénération d'un fichier déjà existant, c'est-à-dire, une copie ne conservant que les paramètres initiaux.

A-2.2. STRUCTURE DU FICHIER.

Le fichier technologique a une structure modulaire. Ceci permet sa manipulation aisée lors du traitement topologique et de la génération automatique du dessin des masques des PLA complexes. Cette structure modulaire est schématisée par:

## CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

- \* Un descripteur des ZONES.
- \* Un ensemble de ZONES ayant toutes:
  - Un descripteur de ZONE.
  - L'ensemble de PARAMETRES de cette ZONE.

Chaque zone comporte un ensemble de PARAMETRES ayant des caractéristiques communes par rapport à l'usage que l'on en fait. Par exemple, le fichier technologique peut contenir les zones suivantes:

- ZONE primaire des règles de dessin.
- ZONE secondaire des paramètres géométriques.
- ZONE primaire des paramètres électriques.
- ZONE secondaire des paramètres électriques.
- ZONE secondaire des briques décrivant toutes les configurations d'un point de PLA (Cf. paragraphe III.7.2).
- ETC.

Ce partage en zones permet une actualisation et une gestion souple du fichier, surtout lorsqu'on veut y ajouter de nouveaux paramètres. Les programmes qui calculent les paramètres secondaires opèrent de la manière suivante:

- Lecture des paramètres à modifier, à calculer ou de référence à partir du fichier technologique.
- Traitement des paramètres tout en respectant les conditions de modification.
- Ecriture des paramètres calculés ou modifiés sur le même fichier technologique.

Ce schéma modulaire assure la maintenabilité du fichier sans risque d'incohérence.

## ANNEXE II : Description du fichier technologique

### A-2.3. REGENERATION DU FICHER.

Cette régénération est effectuée par un programme ad-hoc à partir d'un ancien fichier technologique qui contient les paramètres initiaux, calculés ou modifiés. Ce programme fournit un nouveau fichier technologique ne contenant que les enregistrements de la version initiale. Ceci permet le changement des paramètres technologiques en fonction des besoins de l'utilisateur soit pour forcer certains paramètres de manière spécifique qui s'adapte à un nouveau type de PLA, soit pour travailler avec une nouvelle technologie.

Tout changement de technologie ou tout forçage des paramètres nécessite la réutilisation du programme de calcul des paramètres secondaires pour que ceux-ci prennent en compte les nouvelles valeurs introduites.

### A-2.4. STRUCTURE D'UN ENREGISTREMENT.

La structure d'un enregistrement du fichier technologique est définie en fonction de sa lisibilité lors de l'utilisation du fichier dans la génération automatique du dessin des masques, ou dans une intervention manuelle pour FORCER certains paramètres en vue d'améliorer certains aspects d'un PLA particulier. Etant donné que le fichier technologique comporte de données sous la forme d'une suite de caractères, les champs d'un enregistrement sont séparés par un ou plusieurs caractères de l'ensemble [ ' ', ',', ';', ': ' ].

Structure d'enregistrement:

- Etiquette ou Clé.
- Type de l'enregistrement.
- Etat de l'enregistrement.
- Contrainte de modification.
- Type des valeurs du paramètre.
- Nombre de valeurs définissant le paramètre.
  - Ensemble des valeurs.
- Description de l'enregistrement.
- Fin de l'enregistrement (RC).

A-2.5. DESCRIPTION DES CHAMPS.

A-2.5.1. Etiquette.

L'etiquette (<CLE>) est un nombre entier associé à chaque enregistrement. Ceci rend plus facile la recherche des paramètres désirés dans le fichier. La structure de cette etiquette est la suivante:

<CLE> ::= <Début de ZONE> + <Déplacement dans la ZONE>.

Le <Début de ZONE> est choisi de telle manière que, dans une zone, il puisse y avoir encore des places disponibles pour des nouveaux paramètres.

Le <Déplacement dans la zone> correspond à la sémantique associée à chaque paramètre.

A-2.5.2. Type d'enregistrement.

Ce champ indique en quelque sorte l'usage que l'on associe à l'enregistrement en question. Par exemple l'imbrication d'un paramètre par rapport à celui qui décrit une ZONE. Les types d'enregistrement utilisés dans le système PAOLA sont:

Code	Sémantique
----	-----
00	Non identifié.
01	Descripteur de FICHER ou des ZONES.
02	Descripteur de ZONE.
03	Descripteur de VECTEUR ou de SOUS-ZONE.
04	Descripteur de MATRICE.
05	Elément(s) de VECTEUR ou de MATRICE.
06..99	Enregistrement d'usage spécial (Cf. A-2.6).

A-2.5.3. Etats d'un enregistrement.

Ce champ indique l'état du paramètre au moment du traitement. Il peut changer suivant la valeur du champ de contrainte de modification. Les états possibles que l'on peut avoir sont:

## ANNEXE II : Description du fichier technologique

Code Sémantique

-----

### 10 Etat Vide:

Cet état est attribué à un paramètre secondaire lors de la création d'un nouveau fichier par le programme de régénération. Cet état indique que la place occupée pour ce paramètre doit être prévue dans le fichier généré.

### 11 Etat Eliminé:

Cet état est attribué lors d'une élimination physique du paramètre (qui reste dans le fichier). Ceci permet de maintenir la couverture des données lors de la génération d'un nouveau fichier par le programme de régénération.

### 12 Etat Forcé:

Cet état est attribué lors de la fixation du paramètre à une valeur déterminée par l'utilisateur.

### 13 Etat Calculé:

Cet état est attribué lors du calcul de la valeur du paramètre à partir d'autres paramètres. Ce calcul est effectué par un programme ad-hoc comportant l'expression arithmétique d'évaluation correspondante.

### 19 Etat Initial:

Cet état est attribué lors de la création de l'enregistrement du paramètre dit primaire. Cet état est toujours lié à la contrainte de modification "non modifiable".

#### A-2.5.4. Contrainte de modification.

Ce champ exprime les conditions de modification du contenu des champs de l'enregistrement concerné. Ces conditions sont:

## CONCEPTION AUTOMATIQUE HIERARCHISEE DES P.L.A. COMPLEXES

Code Sémantique

-----

- 20 Totalement modifiable.
- 21 Modifiable seulement par calcul.
- 22 Modifiable seulement par forçage.
- 23 Modifiable par calcul ou forçage.
- 29 Non Modifiable.

### A-2.5.5. Type de valeur.

Ce Champ indique le type des valeurs du paramètre. Ces types sont:

Code Sémantique

-----

- 30 Chaîne de caractères.
- 31 Booléen.
- 32 Entier.
- 33 Réel.

### A-2.5.6. Nombre de valeurs.

Ce champ indique le nombre de valeurs qui définissent le paramètre. Il est une espèce de contrôleur de la partie variable de l'enregistrement.

### A-2.5.7. Ensemble de valeurs.

Ce champ contient les valeurs du paramètre. Il est considéré comme la partie variable de l'enregistrement.

### A-2.5.8. Description.

Ce champ contient un message qui décrit l'usage de l'enregistrement. Il est composé par une suite des caractères commençant par un '\*' et se terminant par un <RC>.

## ANNEXE II : Description du fichier technologique

### A-2.6. TYPES D'ENREGISTREMENT.

CODE MNEMONIQUE	SIGNIFICATION
00..05	Descripteurs (Cf. A-2.5.2)
06 n.	Niveaux de MASQUE.
07	Règles de DESSIN (départ).
08	Paramètres électriques (départ).
17	Règles de DESSIN calculées.
18	Paramètres électriques calculés.
41 DAND	Description géométrique de la matrice ET.
42 DOR	Description géométrique de la matrice OU.
43 DORIGINE	Coordonnées de l'origine du dessin.
44 DBANDE	Largeur des bandes.
51 DCOUCHE	Etages physiques.
52 DBANDE1	Ensemble de bandes de référence (ou primaires).
53 DBANDE2	Ensemble de bandes secondaires.
54 DMOTIF	Ensemble de motifs de placement.
55 DRECTANGLE	Rectangles conformant le motif.
56 DGARDEPT	Garde (en nombre de bandes) d'un motif ponctuel TETE.
57 DGARDEPB	Garde d'un motif ponctuel QUEUE.
58 DGARDEXT	Garde d'un motif extensible TETE.
59 DGARDEXB	Garde d'un motif extensible QUEUE.
61 FCOUCHE	Délimiteur d'étages physiques.
62 FBANDE1	Délimiteur de bandes de référence.
63 FBANDE2	Délimiteur de bandes secondaire.
64 FMOTIF	Délimiteur de motifs.
98 FZONE	Délimiteur de sous-zones.
99 FZONE	Délimiteur de zones.

### A-2.7. EXEMPLE.

Nous présentons ci-dessous une partie du fichier technologique pour illustrer d'une manière précise son contenu pour une technologie particulière.



PAOLA USER'S MANUAL

TECHNOLOGICAL FILE EXAMPLE

=====

```

1000 1 11 29 32 3 1100 3000 4000 * FILE DESCRIPTOR
1100 2 11 29 32 2 1200 1500 * PRIMARY PARAMETERS DESCRIPTOR
1110 6 11 29 30 1 MD * DIFFUSION LAYER
1111 6 11 29 30 1 MC * CONTACT LAYER
1112 6 11 29 30 1 MP * POLYSILICON LAYER
1113 6 11 29 30 1 MM * METAL-1 LAYER
1114 6 11 29 30 1 MG * PASSIVATION LAYER
1115 6 11 29 30 1 MI * IMPLANTATION LAYER
1116 6 11 29 30 1 M7 * BUTTING CONTACT LAYER
1117 6 11 29 30 1 M8 * CONTACT-2 LAYER
1118 6 11 29 30 1 M9 * METAL-2 LAYER
1200 03 11 29 32 1 9 * VECTOR SX *
1201 05 11 29 32 6 2 2 2 3 0 6 *
1202 05 11 29 32 3 4 2 3 *
1203 03 11 29 32 1 9 *VECTOR SY *
1204 05 11 29 32 6 2 2 2 3 0 6 *
1205 05 11 29 32 3 4 2 3 *
1206 03 11 29 32 1 9 *VECTOR LZ *
1207 05 11 29 32 6 2 2 2 3 0 6 *
1208 05 11 29 32 3 4 2 3 *
1500 04 11 29 32 1 9 9 * MATRIX DZ *
1501 05 11 29 32 9 2 2 1 0 0 0 0 0 0 *
1502 05 11 29 32 9 2 2 2 5 0 0 0 2 5 *
1503 05 11 29 32 9 1 2 2 0 0 0 0 0 0 *
1504 05 11 29 32 9 0 5 0 3 0 0 0 5 0 *
1505 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
1506 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
1507 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
1508 05 11 29 32 9 0 2 0 5 0 0 0 2 5 *
1509 05 11 29 32 9 0 5 0 0 0 0 0 5 3 *
1510 04 11 29 32 1 9 9 * MATRIX BX *
1511 05 11 29 32 9 0 1 1 0 0 0 0 0 0 *
1512 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
1513 05 11 29 32 9 2 1 0 0 0 0 0 0 0 *
1514 05 11 29 32 9 0 1 0 0 0 0 0 1 0 *
1515 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
1516 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
1517 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
1518 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
1519 05 11 29 32 9 0 1 0 0 0 0 0 1 0 *
1520 04 11 29 32 1 9 9 * MATRIX BY *
1521 05 11 29 32 9 0 1 1 0 0 0 0 0 0 *
1522 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
1523 05 11 29 32 9 2 1 0 0 0 0 0 0 0 *
1524 05 11 29 32 9 0 1 0 0 0 0 0 1 0 *
1525 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
1526 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
1527 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
1528 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
1529 05 11 29 32 9 0 1 0 0 0 0 0 1 0 *
1530 04 11 29 32 1 9 9 * MATRIX 3X9 *
1531 05 11 29 32 9 0 1 1 0 0 0 0 0 0 *

```

PAOLA USER'S MANUAL

```

1532 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
1533 05 11 29 32 9 2 1 0 0 0 0 0 0 0 *
1534 05 11 29 32 9 0 1 0 0 0 0 0 1 0 *
1535 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
1536 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
1537 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
1538 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
1539 05 11 29 32 9 0 1 0 0 0 0 0 1 0 *
1540 04 11 29 32 1 9 9 * MATRIX BY9 *
1541 05 11 29 32 9 0 1 1 0 0 0 0 0 0 *
1542 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
1543 05 11 29 32 9 2 1 0 0 0 0 0 0 0 *
1544 05 11 29 32 9 0 1 0 0 0 0 0 1 0 *
1545 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
1546 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
1547 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
1548 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
1549 05 11 29 32 9 0 1 0 0 0 0 0 1 0 *
1550 04 11 29 32 1 9 9 * MATRIX PZ *
1551 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
1552 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
1553 05 11 29 32 9 2 1 0 0 0 0 0 0 0 *
1554 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
1555 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
1556 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
1557 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
1558 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
1559 05 11 29 32 9 0 0 0 0 0 0 0 0 0 *
2900 17 11 29 32 1 7 * ALX: X DIMENSION OF MINIMAL AND CELL
2901 17 11 29 32 1 7 * ALY: Y DIMENSION OF MINIMAL AND CELL
2902 17 13 29 32 1 2 * ALS: SIGNAL TRANSISTOR CHANNEL LENGTH
2903 17 12 29 32 1 6 * AWS: SIGNAL TRANSISTOR CHANNEL WIDTH
2904 17 13 29 32 1 2 * AG: GROUND LINE PITCH
2905 17 11 29 32 1 2 * ALP: POLY LINE PITCH
2906 17 13 29 32 1 3 * ALM: METAL-1 LINE PITCH
2907 17 12 29 32 1 2 * ASXC: X DIMENSION OF AND CONTACTS.
2908 17 12 29 32 1 3 * ASYC: Y DIMENSION OF AND CONTACTS.
2909 17 13 29 32 1 8 * ALXS: X DIMENSION OF AND CELL
2910 17 13 29 32 1 7 * ALYS: Y DIMENSION OF AND CELL
2911 17 13 29 32 1 11 * ALXGR: X DIMENSION OF GROUND REFRESH CELL
2912 17 13 29 32 1 7 * ALYGR: Y DIMENSION OF GROUND REFRESH CELL
2920 17 11 29 32 1 7 * OLX
2921 17 11 29 32 1 7 * OLY
2922 17 13 29 32 1 2 * OLS
2923 17 12 29 32 1 6 * OWS
2924 17 12 29 32 1 3 * OG
2925 17 11 29 32 1 2 * CLP
2926 17 13 29 32 1 3 * OLM
2927 17 12 29 32 1 2 * OSXC
2928 17 12 29 32 1 3 * OSYC
2929 17 13 29 32 1 8 * OLXS
2930 17 13 29 32 1 8 * OLYS
2931 17 13 29 32 1 10 * OLXGR
2932 17 13 29 32 1 8 * OLYGR
2940 17 11 29 33 1 3.0 * AND GAMMA SIGNAL = AWS/ALS

```

PAOLA USER'S MANUAL

```

2941 17 11 29 33 1 3.0 * OR GAMMA SIGNAL = QWS/OLS
3000 02 11 29 32 1 3999 *** ELECTRICAL PARAMETERS ZONE ***
3001 08 13 29 33 1 0.2 * BULK EFFECT: BETAS_COEFF. ON SIGNAL TR.
3002 08 13 29 33 1 0.2 * BULK EFFECT: BETAC_COEFF. ON LOAD TR.
3003 08 13 29 33 1 5.0 * VCC
3004 08 13 29 33 1 -1.7 * VTC THRESHOLD VOLTAGE ON LOAD TR.
3005 08 13 29 33 1 0.6 * VTS THRESHOLD VOLTAGE ON SIGNAL TR.
3006 08 13 29 33 1 800.0 * MOBS SIGNAL TR. MOBILITY [CM2/VOLT/SEC]
3007 08 13 29 33 1 800.0 * MOBC LOAD TR. MOBILITY [CM2/VOLT/SEC]
3008 08 13 29 33 1 3.0E-4 * COX OXYDE CAPACITY [PF/LAMBDA2]
3009 08 13 29 33 1 1.0 * XJ DIFFUSION DEPTH [MICRONS]
3010 08 13 29 33 1 2.0E-4 * COPOLY POLYSILICON CAPACITY [PF/LAMBDA2]
3011 08 13 29 33 1 2.0E-4 * CNDIFF DIFFUSION-BULK CAPACITY [PF/LAMBDA2]
3012 08 13 29 33 1 2.0E-4 * COMETAL METAL-BULK CAPACITY [PF/LAMBDA2]
3013 08 13 29 33 1 2.0E-4 * COMETALPOLY METAL-POLY CAPACITY [PF/LAMBDA2]
3014 08 13 29 33 1 2.0E-4 * COMETALDIFF METAL-DIFFUSION CAPACITY [PF/LAMBDA2]
3015 08 13 29 33 1 2.0E-5 * K SIGNAL = MOBS * COX / 2.
3016 08 13 29 33 1 2.0E-5 * K LOAD = MOBC * COX / 2.
3017 08 13 29 33 1 20.0 * RPOLY POLY SQUARE RESISTANCE [OHM/LAMBDA]
3018 08 13 29 33 1 50.0 * RDIFF DIFFUSION SQUARE RESISTANCE [OHM/LAMBDA]
3030 18 19 20 33 1 8.00000E+01 * ARPOLYLINE
3031 18 19 20 33 1 2.00000E+02 * ARDIFFLINE
3032 18 19 20 33 1 3.24000E-02 * ACGRILLESOURCE
3033 18 19 20 33 1 2.88000E-02 * ACPOLY
3034 18 19 20 33 1 1.08000E-02 * ACMETALPOLY
3035 18 19 20 33 1 9.12000E-02 * ACGRILLESUBSTRAT
3036 18 19 20 33 1 1.62000E-02 * ACMETALDIFF
3037 18 19 20 33 1 2.16000E-02 * ACMETAL
3040 18 19 20 33 1 8.00000E+01 * ORPL
3041 18 19 20 33 1 1.00000E+02 * ORDL
3042 18 19 20 33 1 3.24000E-02 * OCGS
3043 18 19 20 33 1 2.88000E-02 * OCP
3044 18 19 20 33 1 1.08000E-02 * OCMP
3045 18 19 20 33 1 9.12000E-02 * OCGS
3046 18 19 20 33 1 2.70000E-02 * OCMD
3047 18 19 20 33 1 2.16000E-02 * OCM
3101 18 19 20 32 1 10 * GROUND REFRESH BUSES DISTANCE
3102 18 19 20 32 1 2 * QUALITY FACTOR OF LOGICAL ZERO VOLTAGE
3103 18 19 20 33 1 6.46167E+02 *
3104 18 19 20 33 1 1.40779E+00 *
3105 18 19 20 33 1 1.24969E+00 *
4000 41 13 22 32 0 **** MATRIX AND ZONE ****
4001 44 13 22 32 2 1 4 * STRIP WIDTH
4002 44 13 22 32 2 3 4 * STRIP WIDTH
4003 44 13 22 32 2 4 4 * STRIP WIDTH
4004 44 13 22 32 2 2 2 * STRIP WIDTH
4005 44 13 22 32 2 5 4 * STRIP WIDTH
4006 44 13 22 32 2 6 4 * STRIP WIDTH
4007 44 13 22 32 2 7 4 * STRIP WIDTH
4008 44 13 22 32 2 8 4 * STRIP WIDTH
4009 44 13 22 32 2 9 8 * STRIP WIDTH
4010 44 13 22 32 2 10 11 * STRIP WIDTH
4011 44 13 22 32 2 11 8 * STRIP WIDTH
4012 44 13 22 32 2 12 8 * STRIP WIDTH
4013 43 13 22 32 2 1 3 *(X0,Y0) OF MATRIX

```

PAOLA USER'S MANUAL

4014 51 13 22 32 1 1 \*=== FLOOR  
 4015 52 13 22 32 4 3 4 7 8 \*=== P-STRIP  
 4016 52 13 22 32 2 5 6 \*=== P-STRIP  
 4017 53 13 22 32 4 9 11 10 12 \*== S-STRIP  
 4018 54 13 22 32 1 5 \*=  
 4019 55 13 22 32 5 1 0 2 0 3 \*\*  
 4020 64 13 22 32 0 \*+  
 4021 63 13 22 32 0 \*++  
 4022 62 13 22 32 0 \*+++  
 4023 52 13 22 32 3 3 7 5 \*=== P-STRIP  
 4024 53 13 22 32 1 10 \*== S-STRIP  
 4025 54 13 22 32 2 2 1 \*=  
 4026 55 13 22 32 5 1 0 2 2 3 \*\*  
 4027 55 13 22 32 5 1 9 2 2 3 \*\*  
 4028 55 13 22 32 5 1 2 1 7 3 \*\*  
 4029 55 13 22 32 5 0 0 1 11 3 \*\*  
 4030 64 13 22 32 0 \*+  
 4031 63 13 22 32 0 \*++  
 4032 53 13 22 32 2 9 11 \*== S-STRIP  
 4033 54 13 22 32 3 1 2 3 \*=  
 4034 55 13 22 32 5 0 3 2 3 2 \*\*  
 4035 64 13 22 32 0 \*+  
 4036 54 13 22 32 2 1 3 \*=  
 4037 55 13 22 32 5 -1 2 4 5 3 \*\*  
 4038 64 13 22 32 0 \*+  
 4039 54 13 22 32 1 3 \*=  
 4040 55 13 22 32 5 1 7 2 1 3 \*\*  
 4041 64 13 22 32 0 \*+  
 4042 54 13 22 32 1 1 \*=  
 4043 55 13 22 32 5 1 0 2 2 3 \*\*  
 4044 64 13 22 32 0 \*+  
 4045 54 13 22 32 1 2 \*=  
 4046 55 13 22 32 5 -1 2 2 5 3 \*\*  
 4047 64 13 22 32 0 \*+  
 4048 63 13 22 32 0 \*++  
 4049 62 13 22 32 0 \*+++

.....

4152 61 13 22 32 0 \*++++  
 4153 51 13 22 32 1 2 \*=== FLOOR  
 4154 52 13 22 32 3 9 11 12 \*=== P-STRIP  
 4155 53 13 22 32 1 1 \*== S-STRIP  
 4156 54 13 22 32 1 5 \*=  
 4157 55 13 22 32 5 0 2 0 5 4 \*\*  
 4158 64 13 22 32 0 \*+  
 4159 54 13 22 32 1 2 \*=  
 4160 55 13 22 32 5 1 3 2 3 2 \*\*  
 4161 64 13 22 32 0 \*+  
 4162 63 13 22 32 0 \*++

.....

4186 62 13 22 32 0 \*+++  
 4187 61 13 22 32 0 \*++++

PAOLA USER'S MANUAL

```

4188 98 13 22 32 0 *** END OF SUB-ZONE
4189 51 13 22 32 1 1 *=== FLOOR === ROUTING CONSTRAINTS
4190 52 13 22 32 3 9 11 12 *=== P-STRIP
4191 53 13 22 32 3 3 5 7 *=== S-STRIP
4192 56 13 22 32 1 1 ** P-HEADER PITCH
4193 63 13 22 32 0 *++
4194 53 13 22 32 3 4 6 8 *=== S-STRIP
4195 57 13 22 32 1 1 ** P-FOOTER PITCH
4196 63 13 22 32 0 *++
4197 53 13 22 32 1 2 *=== S-STRIP
4198 56 13 22 32 1 1 ** P-HEADER PITCH
4199 57 13 22 32 1 1 ** P-FOOTER PITCH
4200 63 13 22 32 0 *++
4201 62 13 22 32 0 *+++
4202 61 13 22 32 0 *++++
4203 51 13 22 32 1 2 *=== FLOOR
4204 52 13 22 32 3 9 11 12 *=== P-STRIP
4205 53 13 22 32 3 3 7 5 *=== S-STRIP
4206 56 13 22 32 1 1 ** P-HEADER PITCH
4207 57 13 22 32 1 1 ** P-FOOTER PITCH
4208 63 13 22 32 0 *++
4209 53 13 22 32 3 4 8 6 *=== S-STRIP
4210 56 13 22 32 1 1 ** P-HEADER PITCH
4211 57 13 22 32 1 1 ** P-FOOTER PITCH
4212 63 13 22 32 0 *++
4213 53 13 22 32 1 2 *=== S-STRIP
4214 56 13 22 32 1 1 ** P-HEADER PITCH
4215 57 13 22 32 1 1 ** P-FOOTER PITCH
4216 63 13 22 32 0 *++
4217 62 13 22 32 0 *+++
4218 61 13 22 32 0 *++++
4219 98 13 22 32 0 *** END OF SUB-ZONE
4220 99 13 22 32 0 **** END OF ZONE
4221 42 13 22 32 0 **** MATRIX OR ZONE ****
4222 44 13 22 32 2 1 5 * STRIP WIDTH
4223 44 13 22 32 2 2 3 * STRIP WIDTH
4224 44 13 22 32 2 3 4 * STRIP WIDTH
4225 44 13 22 32 2 4 4 * STRIP WIDTH
4226 44 13 22 32 2 5 7 * STRIP WIDTH
4227 44 13 22 32 2 6 7 * STRIP WIDTH
4228 44 13 22 32 2 7 4 * STRIP WIDTH
4229 44 13 22 32 2 8 4 * STRIP WIDTH
4230 44 13 22 32 2 9 8 * STRIP WIDTH
4231 44 13 22 32 2 10 10 * STRIP WIDTH
4232 44 13 22 32 2 11 8 * STRIP WIDTH
4233 44 13 22 32 2 12 8 * STRIP WIDTH
4234 43 13 22 32 2 0 1 *(X0,Y0) OF MATRIX
4235 51 13 22 32 1 1 *=== FLOOR
4236 52 13 22 32 4 3 4 7 8 *=== P-STRIP
4237 53 13 22 32 4 9 11 10 12 *=== S-STRIP
4238 54 13 22 32 1 5 *=
4239 55 13 22 32 5 0 1 0 2 3 **
4240 64 13 22 32 0 *+
4241 63 13 22 32 0 *++
4242 62 13 22 32 0 *+++

```

PAOLA USER'S MANUAL

4243 52 13 22 32 2 3 7 \*=== P-STRIP  
 4244 53 13 22 32 1 10 \*=== S-STRIP  
 4245 54 13 22 32 2 2 1 \*=  
 4246 55 13 22 32 5 0 1 2 2 3 \*\*  
 4247 55 13 22 32 5 8 1 2 2 3 \*\*  
 4248 55 13 22 32 5 2 2 6 1 3 \*\*  
 4249 55 13 22 32 5 0 3 10 1 3 \*\*  
 4250 64 13 22 32 0 \*+  
 4251 63 13 22 32 0 \*++

.....

4410 61 13 22 32 0 \*++++  
 4411 51 13 22 32 1 2 \*=== FLOOR  
 4412 52 13 22 32 3 9 11 12 \*=== P-STRIP  
 4413 53 13 22 32 1 1 \*=== S-STRIP  
 4414 54 13 22 32 1 5 \*=  
 4415 55 13 22 32 5 2 0 4 0 4 \*\*  
 4416 64 13 22 32 0 \*+  
 4417 54 13 22 32 1 2 \*=  
 4418 55 13 22 32 5 3 1 2 3 2 \*\*  
 4419 64 13 22 32 0 \*+  
 4420 63 13 22 32 0 \*++

.....

4532 62 13 22 32 0 \*+++  
 4533 61 13 22 32 0 \*++++  
 4534 51 13 22 32 1 3 \*=== FLOOR  
 4535 52 13 22 32 3 9 11 12 \*=== P-STRIP  
 4536 53 13 22 32 1 1 \*=== S-STRIP  
 4537 54 13 22 32 1 5 \*=  
 4538 55 13 22 32 5 2 0 4 0 9 \*\*  
 4539 64 13 22 32 0 \*+  
 4540 63 13 22 32 0 \*++  
 4541 53 13 22 32 1 2 \*=== S-STRIP  
 4542 54 13 22 32 1 5 \*=  
 4543 55 13 22 32 5 2 -1 4 1 9 \*\*  
 4544 64 13 22 32 0 \*+  
 4545 63 13 22 32 0 \*++

.....

4760 62 13 22 32 0 \*+++  
 4761 61 13 22 32 0 \*++++  
 4762 98 13 22 32 0 \*\*\* END OF SUB-ZONE  
 4763 51 13 22 32 1 1 \*=== FLOOR  
 4764 52 13 22 32 3 9 11 12 \*=== P-STRIP  
 4765 53 13 22 32 2 3 7 \*=== S-STRIP  
 4766 56 13 22 32 1 1 \*\* P-HEADER PITCH  
 4767 63 13 22 32 0 \*++  
 4768 53 13 22 32 2 4 8 \*=== S-STRIP  
 4769 57 13 22 32 1 1 \*\* P-FOOTER PITCH  
 4770 63 13 22 32 0 \*++  
 4771 53 13 22 32 1 2 \*=== S-STRIP

PAOLA USER'S MANUAL

```

4827 53 13 22 32 2 4 8 *== S-STRIP
4828 56 13 22 32 1 1 ** P-HEADER PITCH
4829 57 13 22 32 1 1 ** P-FOOTER PITCH
4830 63 13 22 32 0 *++
4831 53 13 22 32 1 2 *== S-STRIP
4832 56 13 22 32 1 1 ** P-HEADER PITCH
4833 57 13 22 32 1 1 ** P-FOOTER PITCH
4834 63 13 22 32 0 *++
4835 62 13 22 32 0 *+++
4836 52 13 22 32 2 3 7 *=== P-STRIP
4837 53 13 22 32 4 9 10 11 12 *== S-STRIP
4838 58 13 22 32 1 1 ** X-HEADER PITCH
4839 59 13 22 32 1 1 ** X-FOOTER PITCH
4840 63 13 22 32 0 *++
4841 62 13 22 32 0 *+++
4842 52 13 22 32 2 4 8 *=== P-STRIP
4843 53 13 22 32 4 9 10 11 12 *== S-STRIP
4844 58 13 22 32 1 1 ** X-HEADER PITCH
4845 59 13 22 32 1 1 ** X-FOOTER PITCH
4846 63 13 22 32 0 *++
4847 62 13 22 32 0 *+++
4848 52 13 22 32 1 2 *=== P-STRIP
4849 53 13 22 32 4 9 10 11 12 *== S-STRIP
4850 58 13 22 32 1 1 ** X-HEADER PITCH
4851 59 13 22 32 1 1 ** X-FOOTER PITCH
4852 63 13 22 32 0 *++
4853 62 13 22 32 0 *+++
4854 52 13 22 32 1 1 *=== P-STRIP
4855 53 13 22 32 4 9 10 11 12 *== S-STRIP
4856 58 13 22 32 1 1 ** X-HEADER PITCH
4857 59 13 22 32 1 1 ** X-FOOTER PITCH
4858 63 13 22 32 0 *++
4859 62 13 22 32 0 *+++
4860 61 13 22 32 0 *++++
4861 98 13 22 32 0 *** END OF SUB-ZONE
4862 99 13 22 32 0 **** END OF ZONE

```

**A N N E X E    I I I**

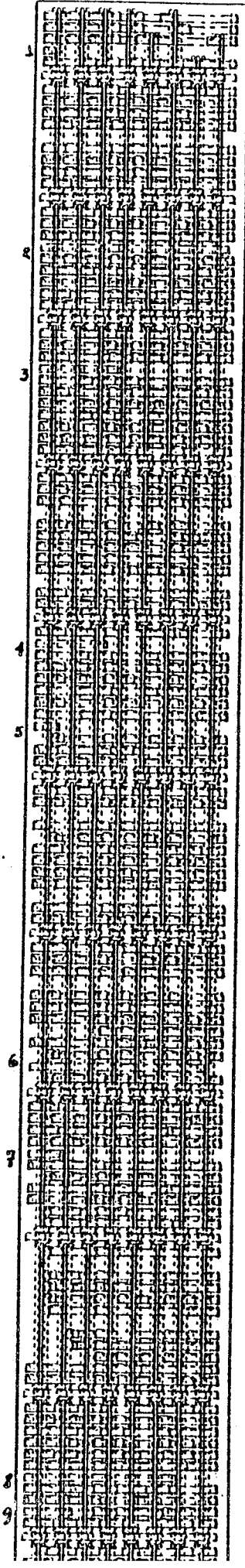
**EXEMPLES DE DESSIN**

**DES MASQUES**





7 124 1882 0.4000 0.4000



1 236 1882 0.4000 0.4000

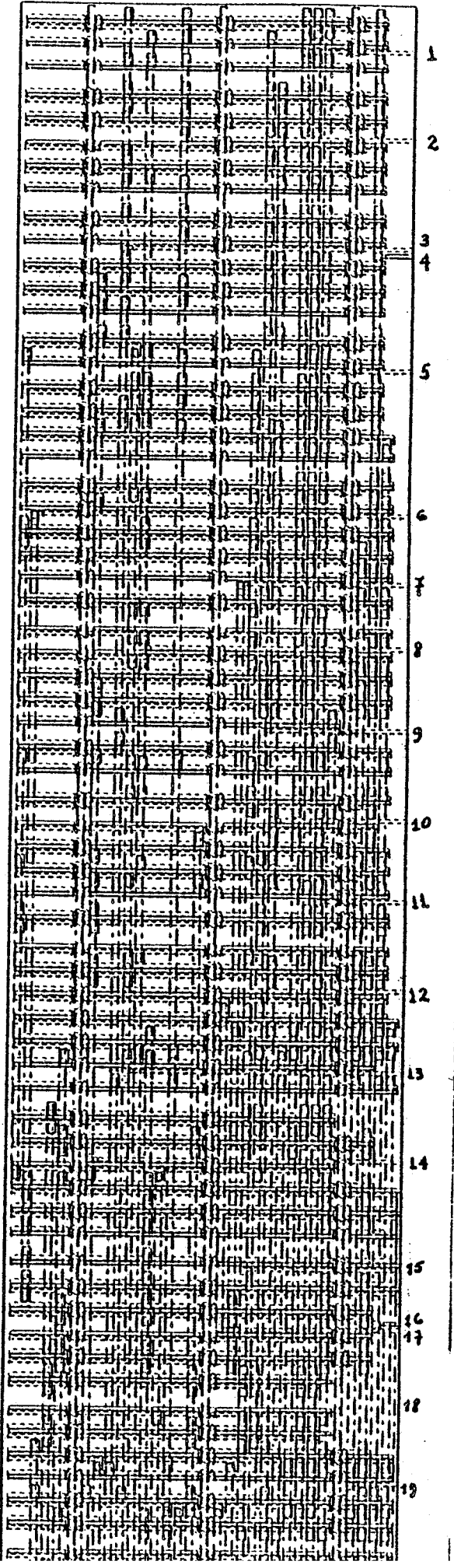
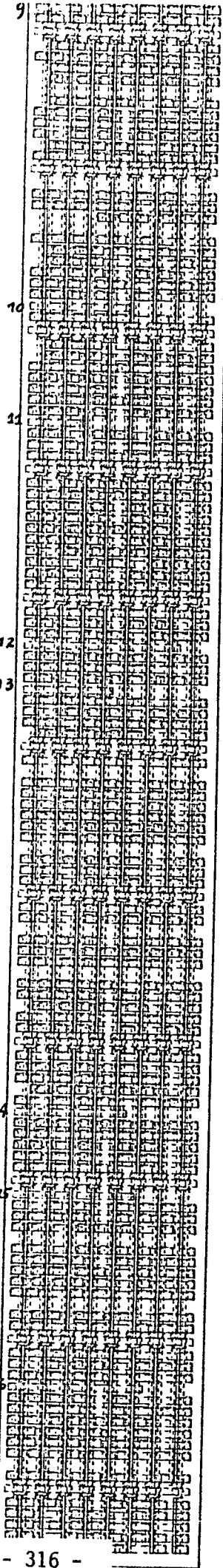


Fig. A3.1a. Dessin des masques d'un PLA (16E, 205M, 38S): partie haute.

PAOLA 21/ 9/84 21:31:50 -4 -7

2 3 4 8 9



PAOLA 21/ 9/84 23:17:46 -4 -4

2 3 4 8 9

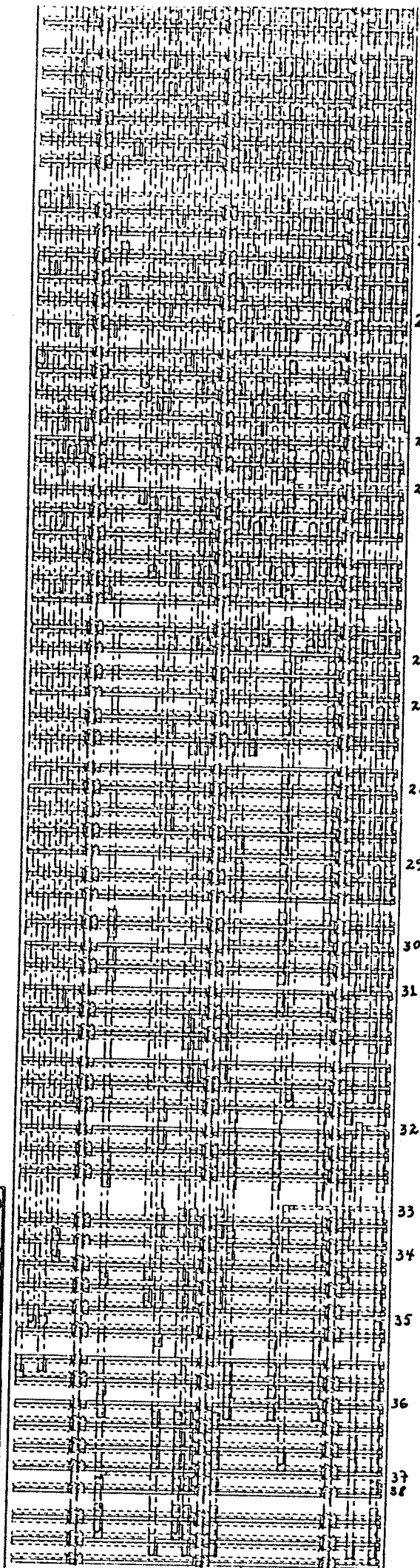


Fig. A3.1b. Dessin des masques d'un PLA (16E, 205M, 38S): partie base.

CIRCUIT-ETAPOLA UTILIS-TEUR-JAMES DATE: 20/ 9/84 N°REV: 1-01 JAMES PRODUCTIONS (S.A.) (S.A.)

FIGURES: COUPES

NIVEAUX: 1 3 4 5 7 8 9 12 13 14 15 16 17 38 39 800 301

FENETRE: MIN=576 YMIN=1721 MAX=277 YMAX=2007

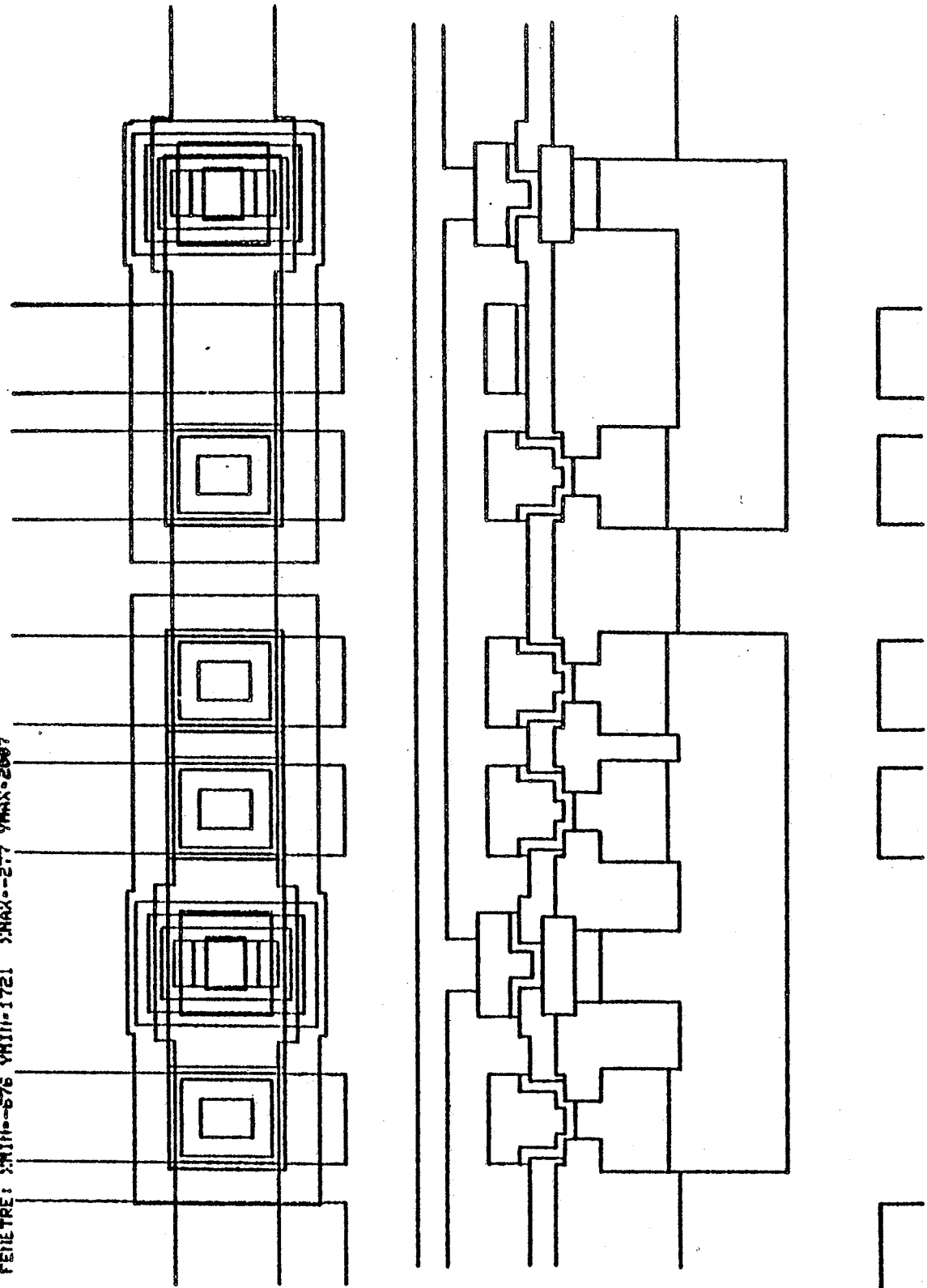


Fig. A3.2. Point ET d'un PLA en technologie HBIP3A-1.

FIGURES: COUPES  
 NIVEAUX: 1 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 200 203  
 FENETRE: XMIN=18 YMIN=1035 XMAX=226 YMAX=1211

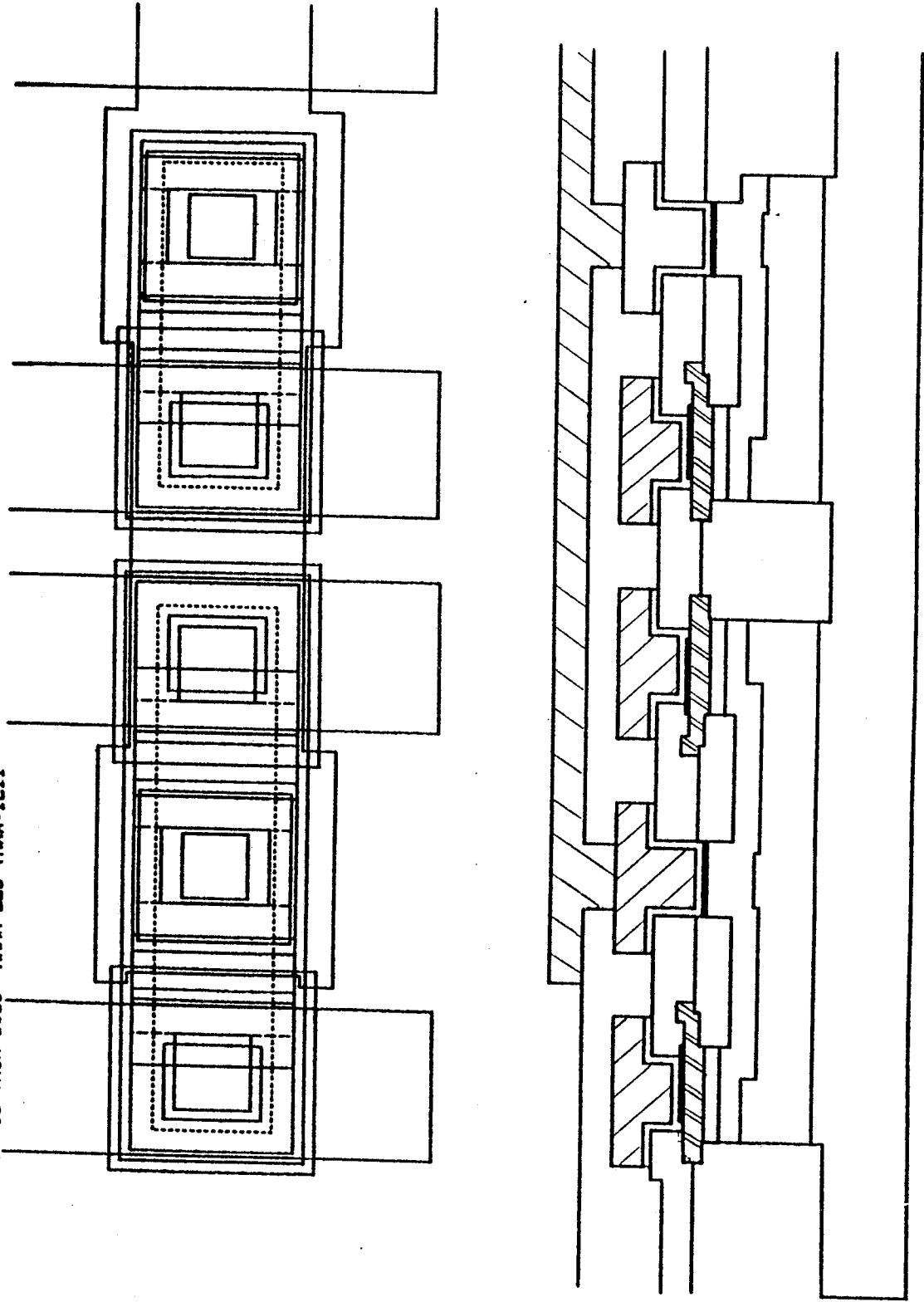


Fig. A3.3. Point OU d'un PLA en technologie HBIP3A-1.

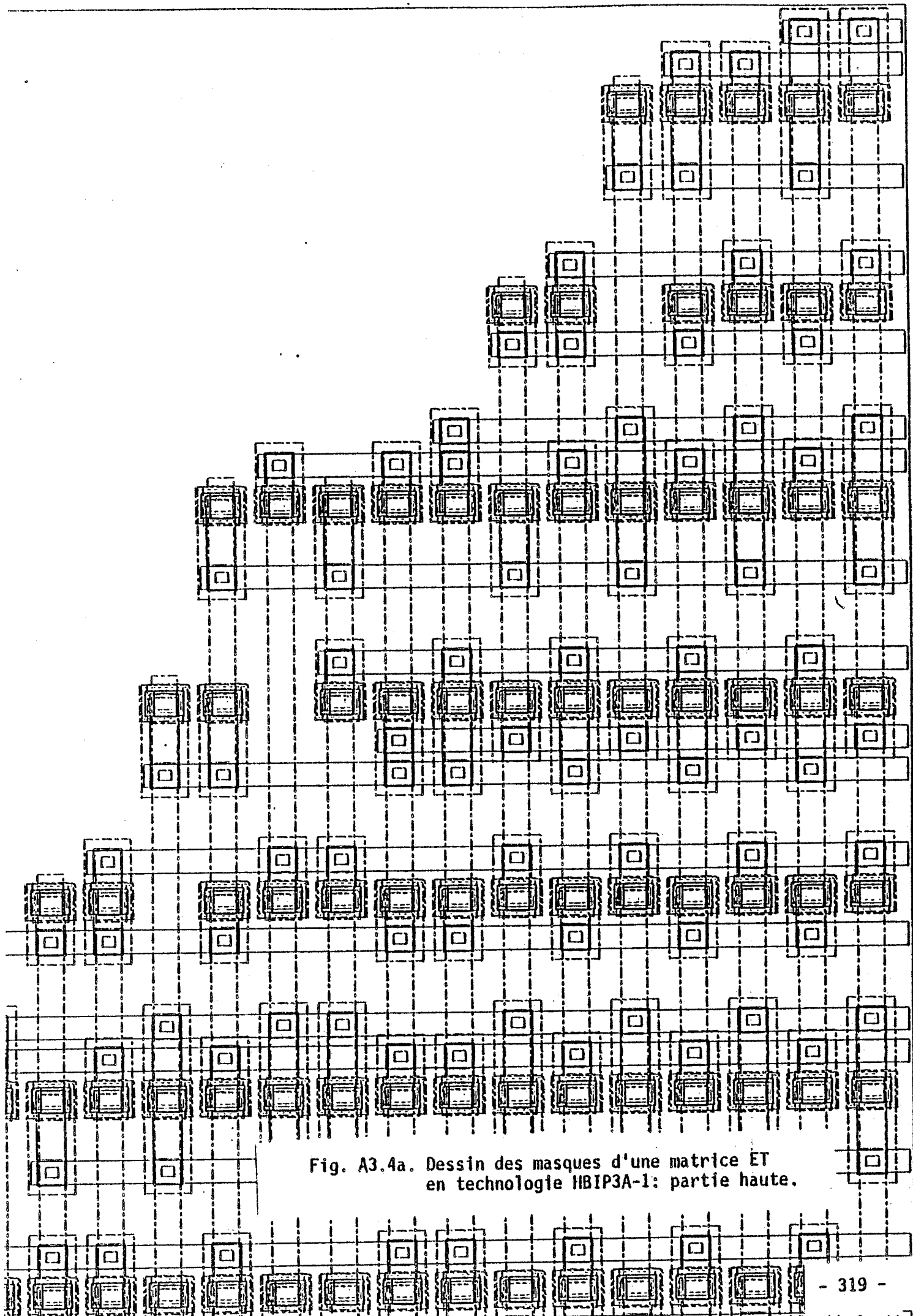


Fig. A3.4a. Dessin des masques d'une matrice ET en technologie HBIP3A-1: partie haute.

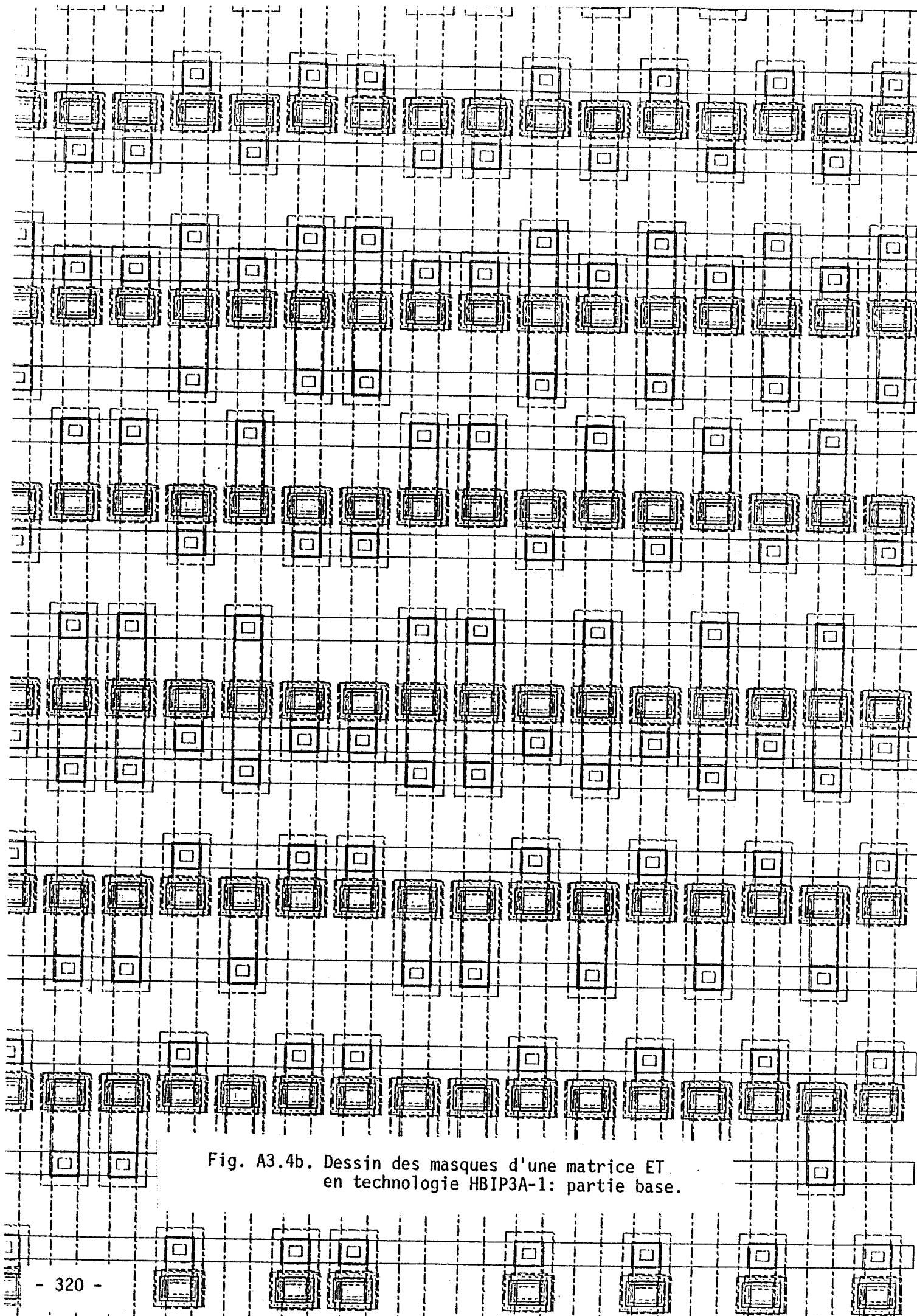


Fig. A3.4b. Dessin des masques d'une matrice ET en technologie HBIP3A-1: partie base.

610 3310 0.2500 0.2500

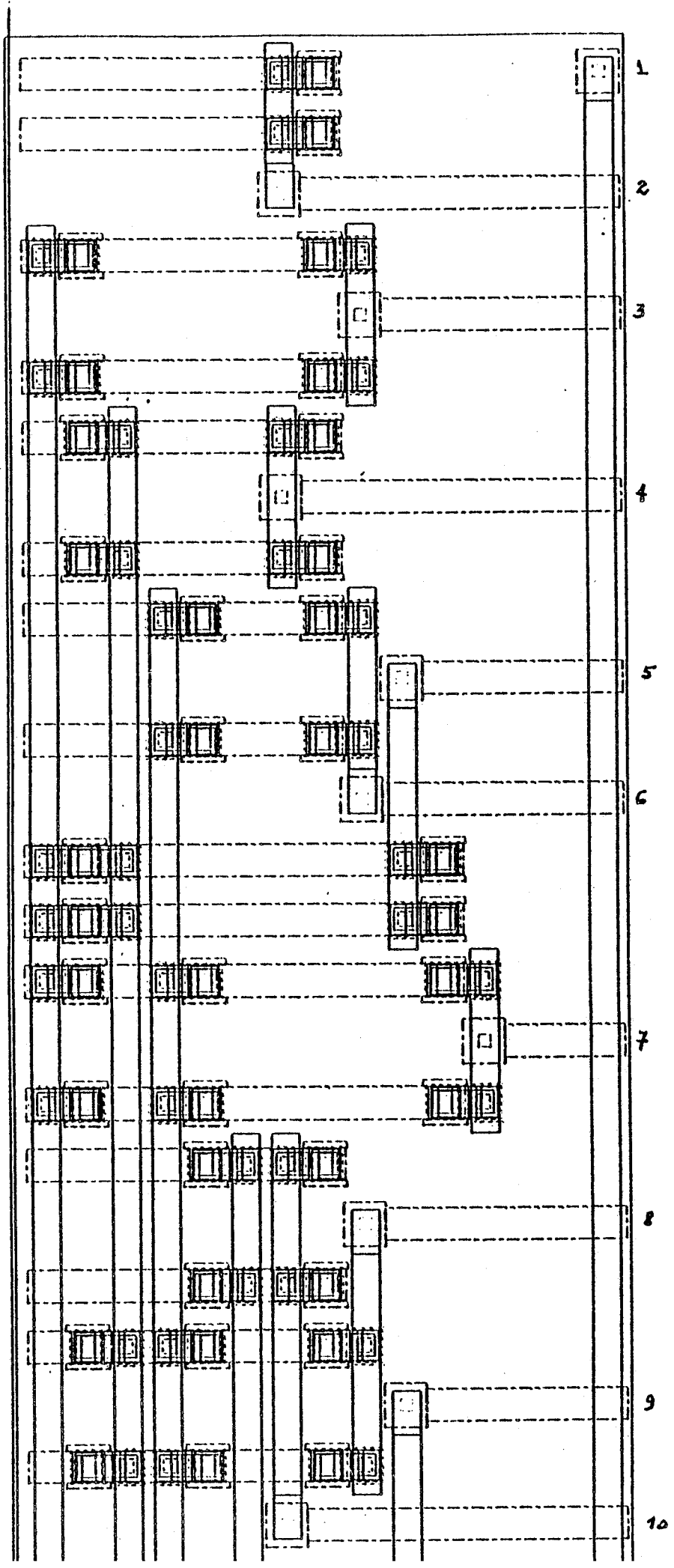


Fig. A3.5a. Dessin des masques d'une matrice OU en technologie HBIP3A-1: partie haute.



75PA010 24/ 9/84 14:14:13 -10 0

6 10 22 2 7 9 18 3 12 20 21 13 4 5 8 15 19 17

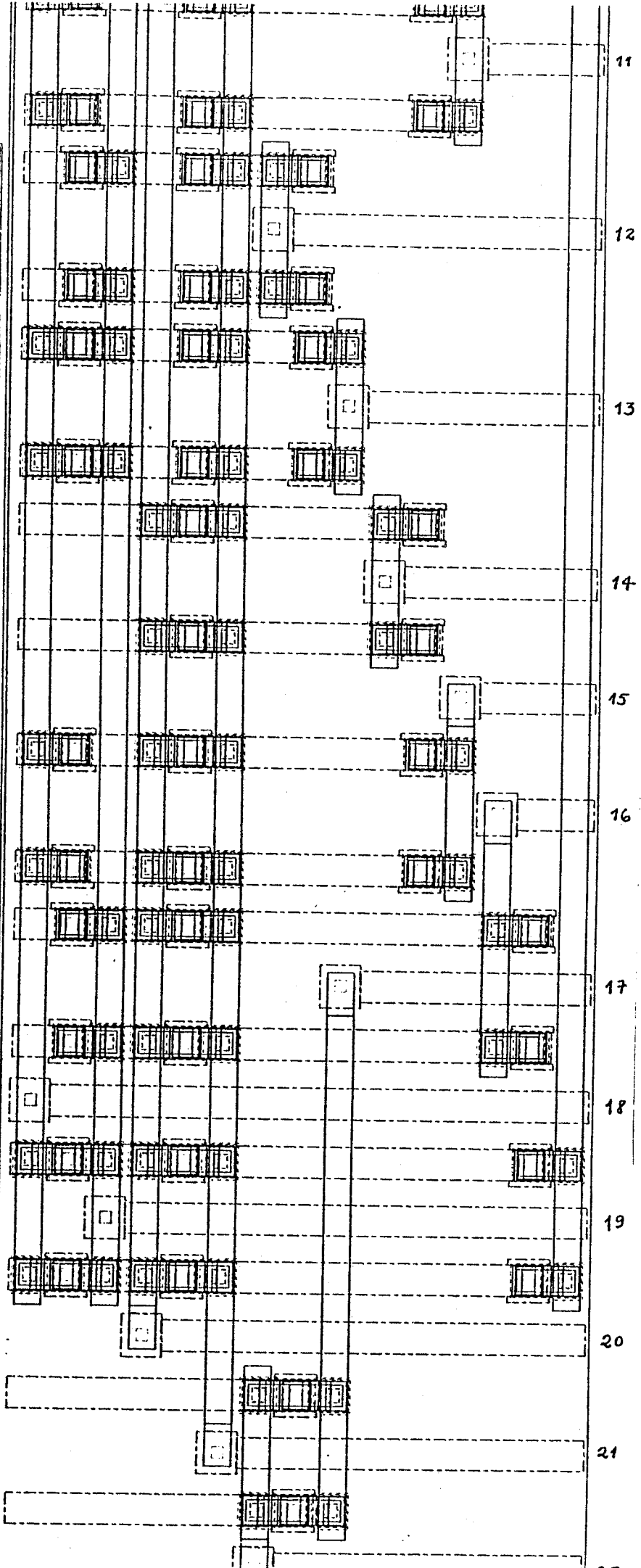


Fig. A3.5b. Dessin des masques d'une matrice OU en technologie HBIP3A-1: partie base.

AUTORISATION de SOUTENANCE

VU les dispositions de l'article 3 de l'arrêté du 16 avril 1974,

VU les rapports de présentation de Messieurs

- . F. ANCEAU, Professeur
- . J.F. TRICHARD, Docteur-Ingénieur

**Monsieur CHUQUILLANQUI BERNAOLA Samuel Heli**

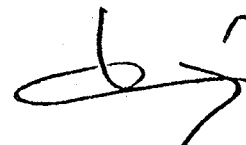
est autorisé à présenter une thèse en soutenance pour l'obtention du diplôme de  
DOCTEUR-INGENIEUR, spécialité "Informatique".

Fait à Grenoble, le 24 septembre 1984

Le Président de l'I.N.P.-G

**D. BLOCH**  
Président  
de l'Institut National Polytechnique  
de Grenoble

*P.O. le Vice-Président,*



## ABSTRACT

We present a new approach for optimizing large PLAs by taking into account the logical, topological, electrical and geometrical levels.

The optimization techniques used are heuristical. They consist in compacting the AND/OR plane by cutting and reorganizing the input/output lines in order to place several input/output cut lines in the same column. They involve several VLSI topological optimization strategies and PLA design key factors such as the block size, transparency, shape flexibility, connectability, I/O terminal nodes location and mobility, and PLA's position within the integrated circuit.

The layout generation of an optimized PLA is adapted to its particular topology and involves the internal connections routing, an optimal distribution of ground refresh busses, the PLA cell optimization, inter-array and I/O drivers optimization, and finally the entire PLA assembly.

The CAD system called PAOLA implements these approaches. This system has been tested on several examples including industrial PLAs having up to 10K complexity. One of the particularities of the system is its independency from technologies (MOS or Bipolar). It exists in different versions running on the following computers: HB-68 under Multics operating system, VAX 11/780 under VMS operating system and HP-1000 under RTE operating system.

## KEYWORDS

PLA, CAD System, PLA Design, PLA Optimization, PLA Performance, PLA Layout.