



**HAL**  
open science

# Intégration fonctionnelle autour des composants quatre quadrants Avec l'application à la conversion AC/AC

Dac-Binh Nguyen

► **To cite this version:**

Dac-Binh Nguyen. Intégration fonctionnelle autour des composants quatre quadrants Avec l'application à la conversion AC/AC. Sciences de l'ingénieur [physics]. Institut National Polytechnique de Grenoble - INPG, 2008. Français. NNT: . tel-00282112

**HAL Id: tel-00282112**

**<https://theses.hal.science/tel-00282112>**

Submitted on 26 May 2008

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

**T H E S E**

Pour obtenir le grade de

**DOCTEUR DE L'INP Grenoble**

Spécialité : « **Génie Electrique** »

Préparée au **Laboratoire de Génie Electrique de Grenoble (G2ELab)**

Dans le cadre de l'Ecole Doctorale **E.E.A.T.S**

« **Electronique, Electrotechnique, Automatique, Télécommunication, Signal** »

Présentée et soutenue publiquement

Par

**M. NGUYEN Dac Binh**

**Ingénieur Institut Polytechnique de Hanoï (Vietnam)**

Le 06 Mars 2008

**Titre :**

**Intégration fonctionnelle autour des composants quatre quadrants  
Avec l'application à la conversion AC/AC**

---

**DIRECTEUR DE THESE : Christian SCHAEFFER**  
**CO-ENCADRANT : Jean-Christophe CREBIER**

---

**JURY**

---

|                                   |                           |
|-----------------------------------|---------------------------|
| <b>M. Nouredine HADJ-SAID</b>     | <b>Président</b>          |
| <b>M. Stéphane LEFEBVRE</b>       | <b>Rapporteur</b>         |
| <b>M. Laurent GONTHIER</b>        | <b>Rapporteur</b>         |
| <b>M. Christian SCHAEFFER</b>     | <b>Directeur de thèse</b> |
| <b>M. Jean-Christophe CREBIER</b> | <b>Co-encadrant</b>       |
| <b>M. Pascal DORE</b>             | <b>Industriel</b>         |
| <b>M. Emmanuel DUTARDE</b>        | <b>Industriel</b>         |
| <b>M. Laurent AUBARD</b>          | <b>Invité</b>             |







# Remerciements

Ces travaux de recherche se sont déroulés au sein de l'équipe « Electronique de Puissance » du Laboratoire de Génie Electrique de Grenoble (G2ELab). Le prototype a été réalisé par le Centre Interuniversitaire de Micro-Electronique et nanotechnologies (CIME) à Grenoble.

Tout d'abord, merci aux membres de l'équipe électronique de puissance du Laboratoire de Génie Electrique de Grenoble qui m'ont accueilli et plus particulièrement à **M. Robert Perret**. Je voudrais remercier **M. Christian Schaeffer** directeur de cette thèse, et aussi directeur du CIME, pour les différents moyens mis à ma disposition.

Je continue les remerciements avec mon encadrant **M. Jean-Christophe Crébier** pour ses attentions quotidiennes et particulièrement pour ses aides chaleureuses à la fin de la thèse.

Je remercie **M. Laurent AUBARD** professeur à l'ENSIERG-INPG pour m'avoir supporté pendant la fin de la rédaction du mémoire.

Je tiens à exprimer mes sincères remerciements à **MM. Laurent Gonthier** (ingénieur de STMicroelectronics-Tours) et **Stéphane Lefebvre** (professeur de l'Ecole Normale Supérieure de Cachan) pour l'honneur qu'ils m'ont fait d'accepter d'être rapporteurs de ce travail de thèse et pour les nombreuses critiques constructives qu'ils ont émis pour le rapport final. Merci aussi à **M. Nouredine Hadj-Said** (professeur de INP-Grenoble) d'avoir présidé la soutenance de la thèse.

Je pense aussi à **M. Jacques Arnauld** qui malheureusement n'est plus parmi nous et qui m'a aidé avec ses conseils et son expérience pendant la première année de cette thèse.

Merci également à tous les personnels administratifs et techniques du laboratoire G2ELab ainsi que ceux du CIME.

Je tiens à terminer par les jeunes chercheurs du laboratoire pour leur soutien, leur aide, leur amitié et les bons moments que l'on a passé ensemble. Je pense en particulier aux membres de l'équipe électronique de puissance et aux utilisateurs de la salle EPTE.

Merci à **MM. Emmanuel DUTARDE, José SAÏZ**, et les autres membres du laboratoire PEARL d'Alstom-Tarbes pour leur coopération lors de ce travail dans le cadre du projet H2T-Tech.

Enfin, je finis ces remerciements par ma famille : mes parents, mes grands-mères et mon frère **NGUYEN Dac Minh**, ainsi que ma copine **BUI THI HOANG Ngan**. Ils m'ont toujours soutenu tout au long de mes études. Je leur dois beaucoup. Qu'ils trouvent dans ce manuscrit toute ma reconnaissance et le signe que je suis enfin arrivé au bout.

*« Lý tưởng áp ủ trong tâm trí sẽ tạo nên những hành vi phù hợp với lý tưởng »*

*E. Hubbard*







# SOMMAIRE

|                             |   |
|-----------------------------|---|
| INTRODUCTION GÉNÉRALE ..... | 1 |
|-----------------------------|---|

## **Chapitre-I : Conversion AC/AC : Mise en œuvre et intégration monolithique**

|         |  |    |
|---------|--|----|
| I.1     | Introduction .....   | 11 |
| I.2     | L'interrupteur d'électronique de puissance à structure verticale .....           | 12 |
| I.2.1   | La Diode bipolaire de puissance.....   | 12 |
| I.2.2   | La diode Schottky .....  | 14 |
| I.2.3   | Le thyristor .....   | 15 |
| I.2.4   | Triac.....   | 16 |
| I.2.5   | Le thyristor GTO (Gate Turn Off).....  | 16 |
| I.2.6   | Le transistor bipolaire (Bipolar Junction Transistor) .....                      | 17 |
| I.2.7   | Le MOSFET (Metal Oxyde Silicon Field Effect Transistor) .....                    | 18 |
| I.2.8   | L'IGBT (Insulated Gate Bipolar Transistor) .....                                 | 20 |
| I.2.9   | Récapitulatif.....   | 22 |
| I.3     | Contexte de la conversion AC/AC monophasée et champs d'application .....         | 23 |
| I.3.1   | AC Switch à base des composants associés en anti-parallèle .....                 | 24 |
| I.3.1.1 | AC Switch à thyristors (Dispositif bidirectionnel commandable à l'ouverture) ... | 25 |
| I.3.1.2 | AC Switch à base des IGBT .....  | 26 |
| I.3.1.3 | AC Switch à base des MBS (Mos Bidirectionnel Switch) .....                       | 27 |
| I.3.2   | AC Switch à base des composants associés en anti-série.....                      | 28 |
| I.3.2.1 | AC Switch à base des VDMOS .....   | 29 |

|         |  |    |
|---------|--|----|
| I.3.2.2 | AC Switch à base des IGBT .....  | 30 |
| I.4     | Intégration monolithique d'un composant AC Switch à commande MOS ..... | 31 |
| I.5     | Mise en œuvre d'une structure AC/AC discrète à base de MOSFET .....    | 37 |
| I.5.1   | Présentation de la structure .....                                     | 37 |
| I.5.2   | Principe de fonctionnement .....                                       | 39 |
| I.5.3   | Comportement du gradateur monophasé en simulation .....                | 44 |
| I.6     | Introduction sur l'intégration de l'environnement électronique .....   | 48 |
| I.7     | Conclusion .....   | 53 |
|         | Références du chapitre I .....   | 55 |

## **Chapitre-II: Nouvelles fonctionnalités pour la conversion AC/AC à commande MOS (à grille isolée)**

|          |   |    |
|----------|---|----|
| II.1     | Présentation de l'approche retenue .....  | 61 |
| II.2     | Rappel de la structure et principes de fonctionnement de l'auto-alimentation .....                  | 62 |
| II.2.1   | Introduction .....  | 62 |
| II.2.2   | Principe de fonctionnement d'une « Auto-alimentation » MOSFET-MOSFET pour commande rapprochée ..... | 63 |
| II.3     | AC Switch et auto-alimentation .....  | 65 |
| II.3.1   | Auto-alimentation d'un AC Switch à sources communes .....   | 65 |
| II.3.2   | Auto-alimentation d'un AC Switch à drains communs. ....   | 67 |
| II.3.2.1 | Commutation de ACS1 vers ACS2 pour $V_{IN} > 0$ .....   | 68 |
| II.3.2.2 | Commutation de ACS2 vers ACS1 pour $V_{IN} > 0$ .....   | 69 |
| II.4     | Mise en œuvre concrète à base de composants intégrés .....  | 71 |
| II.5     | Validations expérimentales et performances .....  | 72 |
| II.6     | Système de surveillance de la tension aux bornes de l'élément de stockage .....                     | 76 |
| II.7     | Gradateur auto-alimenté avec système de monitoring .....  | 79 |

|      |   |    |
|------|---|----|
| II.8 | Mise en œuvre d'une solution intégrable ..... | 84 |
| II.9 | Conclusion .....                              | 85 |
|      | Références du chapitre II.....                | 86 |

## **Chapitre-III : Intégration de la commande rapprochée**

|          |   |     |
|----------|---|-----|
| III.1    | Introduction .....  | 93  |
| III.2    | Composant de puissance et intégration monolithique .....  | 95  |
| III.3    | Filières technologiques et intégration monolithique .....   | 96  |
| III.4    | Procédé technologique de puissance et intégration fonctionnelle.....                                    | 97  |
| III.5    | Filière N-MOS avec la branche de polarisation .....   | 103 |
| III.6    | La branche de polarisation à résistance .....   | 104 |
| III.7    | Inverseur à transistors N-MOS .....   | 105 |
| III.7.1  | Inverseur N-MOS comme charge.....   | 106 |
| III.7.2  | Inverseur N-MOS à déplétion.....  | 109 |
| III.7.3  | Inverseur à transistors N-MOS avec polarisation indépendante de la grille du transistor de charge ..... | 111 |
| III.7.4  | Récapitulatif.....  | 112 |
| III.8    | Mise en œuvre d'une structure push-pull.....  | 114 |
| III.9    | Topologies de commande rapprochée retenues en technologie N-MOS .....                                   | 115 |
| III.9.1  | Commande rapprochée à commandes complémentaires.....  | 115 |
| III.9.2  | Commande rapprochée à commandes complémentaires et résistance de polarisation .<br>.....                | 117 |
| III.9.3  | Commandes complémentaires à N-MOS à tension de seuil réduite .....                                      | 118 |
| III.10   | Etude comportementale fine des commandes rapprochées à N-MOS proposées .....                            | 122 |
| III.10.1 | Étage de sortie à N-MOS "high side" toujours passant .....  | 124 |

|          |  |     |
|----------|--|-----|
| III.10.2 | Etage de sortie à N-MOS "high side" piloté avec une tension supérieure à la tension d'alimentation.....        | 125 |
| III.10.3 | Etage de sortie à N-MOS "high side" piloté avec une résistance en parallèle .....                              | 126 |
| III.10.4 | Etage de sortie à N-MOS "high side" à tension de seuil réduite 1 toujours passant .....                        | 127 |
| III.10.5 | Étage de sortie à N-MOS "high side" à tension de seuil réduite 2 .....   | 128 |
| III.10.6 | Etage de sortie à N-MOS "high side" à tension de seuil réduite 2 piloté avec une résistance en parallèle ..... | 129 |
| III.10.7 | Commentaires .....   | 130 |
| III.11   | Conclusion .....   | 131 |
|          | Références du Chapitre III.....  | 134 |

## **Chapitre-IV: Transistor N-MOS latéral intégré au sein du composant VDMOS**

|        |   |     |
|--------|---|-----|
| IV.1   | Introduction .....  | 139 |
| IV.2   | Structure physique du transistor latéral intégré .....  | 140 |
| IV.3   | Tenue en tension du transistor latéral N-MOS .....  | 145 |
| IV.3.1 | Phénomène d'ionisation par impact .....   | 149 |
| IV.3.2 | Transistor N-MOS à drain étendu .....   | 152 |
| IV.3.3 | Résultats de simulation d'un transistor N-MOS à drain étendu .....  | 154 |
| IV.3.4 | Etude du bilan fonctionnel de l'ensemble composant de puissance –composant latéral .....                    | 156 |
| IV.4   | Modèle environnemental d'un transistor N-MOS latéral intégré au sein d'un VDMOS à structure verticale ..... | 162 |
| IV.5   | Mise en œuvre des modèles et étude de viabilité de la fonction intégrée .....                               | 167 |
| IV.6   | Comparaison des modèles analytiques et numériques .....   | 175 |
| IV.7   | Présentation et modélisation du N-MOS à tension de seuil réduite .....                                      | 177 |

|                                 |     |
|---------------------------------|-----|
| IV.8 Conclusion .....           | 180 |
| Références du chapitre IV ..... | 183 |

## **Chapitre-V : Réalisation, caractérisations et validations expérimentales**

|  |                |
|--|----------------|
| V.1 Introduction .....   | 187            |
| V.2 Le procédé technologique.....  | 188            |
| V.3 Le travail de conception .....   | 190            |
| V.4 Caractérisation et validation expérimentale des fonctions élémentaires.....  | 207            |
| V.4.1 Le transistor N-MOS à substrat (porte canal) connecté en interne au potentiel de source. ....                                  | 208            |
| V.4.2 Le transistor N-MOS à substrat (porte canal) flottant .....  | 210            |
| V.4.3 Le transistor N-MOS à tension de seuil réduite .....   | 214            |
| V.4.4 Les résistances intégrées.....   | 217            |
| V.5 Caractérisation des fonctions complexes avec application à l'intégration fonctionnelle pour transistors verticaux à grille. .... | 220            |
| V.5.1 Le bras inverseur .....  | 220            |
| V.5.2 La porte logique.....  | 220            |
| V.5.3 L'étage de sortie d'une commande à N-MOS .....   | 220            |
| V.5.4 Intégration au sein d'un composant de puissance.....   | 221            |
| V.6 Premières conclusions et perspectives sur le procédé et l'effort de caractérisation/validation qu'il reste à faire. ....         | 223            |
| V.7 Conclusion du chapitre.....  | 224            |
| Références du chapitre V .....   | 226            |
| <br><b>CONCLUSION GÉNÉRALE .....</b>   | <br><b>227</b> |









# INTRODUCTION GÉNÉRALE



**A**près s'être longtemps consacrée aux aspects topologiques et commande, la recherche en électronique de puissance s'oriente aujourd'hui, entre autres, vers les thématiques accroissement du rendement de conversion et intégration, que celle-ci soit conduite de manière hybride ou monolithique. Dans ce contexte scientifique et technologique en permanente évolution, l'activité développée dans ce travail de thèse concerne l'intégration et l'amélioration des performances au sein des structures de conversion AC-AC monophasées. Ce type de convertisseur est particulièrement utilisé dans les luminaires, la domotique et dans une moindre mesure, le petit électroménager. Aujourd'hui majoritairement constitué de composants actifs partiellement commandables, le fonctionnement de ce type de convertisseurs génère de fortes perturbations électromagnétiques qui rendent leur utilisation massive de plus en plus contraignante. Avec l'avènement des nouvelles technologies, la domotique, le contrôle et la régulation à distance, ces convertisseurs se devaient d'évoluer fortement pour tenter de réduire la pollution électromagnétique qu'ils engendrent. C'est dans ce contexte que des recherches ont été conduites au niveau topologique mais aussi aux niveaux fonctionnels et contrôles, mettant en évidence des structures de conversion réduisant les perturbations conduites en basses fréquences et reportant le problème vers les plus hautes fréquences où, semble-t-il, celles-ci seraient plus simples à traiter! Ces « nouvelles » structures de conversion AC-AC s'appuient sur des types de composants actifs totalement commandables à la fermeture et à l'ouverture et présentant une bidirectionnalité en courant et en tension. Fort de

ces types de fonctionnalités, il devient dès lors possible de moduler le transfert d'énergie à l'aide de convertisseurs AC-AC prélevant une énergie « propre » sur le réseau de distribution BT. Pour ce faire, ces convertisseurs assurent un prélèvement sinusoïdal du courant d'entrée et sont communément appelés convertisseurs à correcteur de facteur de puissance pour « Power Factor Correction converter » (PFC en anglais) à l'aide d'un découpage haute fréquence des grandeurs électriques permettant d'asservir les formes de celles-ci à l'entrée comme à la sortie de la structure de conversion.

Comme nous le disions, ces structures permettent de moduler le transfert de puissance tout en limitant les perturbations conduites et en maintenant un facteur de puissance élevé (proche de 1) mais cela se fait au détriment d'un nombre de composants actifs beaucoup plus important et d'un rendement de conversion, intrinsèque à la structure du convertisseur, moins élevé. Si ces structures de conversion ont vu le jour il y a déjà quelques années, leur utilisation reste marginale car, leur mise en œuvre, reposant sur un grand nombre de composants, un rendement faible et des conditions de fonctionnement en commutation complexes, rendaient rédhitoire leur industrialisation.

Aujourd'hui, avec la pression exercée autour du consommateur pour fonctionnaliser son environnement aux meilleurs rendements énergétiques et économiques, un effort de recherche est réinvestie au niveau de l'intégration et des performances de ce type de structure de conversion. Les enjeux sont importants pour plusieurs secteurs d'activité, surtout si la mise en œuvre et les performances de la structure de conversion élémentaire pouvaient être assez fortement améliorées. Ce travail de thèse s'inscrit précisément dans ce contexte scientifique et technique. Si le support de valorisation de ce document est celui de la conversion AC-AC, il n'en reste pas moins valable et valorisable pour l'ensemble des thématiques de conversion en électronique de puissance. Les objectifs que nous nous étions fixés en début de thèse étaient de contribuer significativement à la fonctionnalisation de ce type de structure de conversion par une simplification de leur mise en œuvre, et cela, à travers un effort d'intégration poussée au niveau de l'environnement électronique des composants actifs. Il est ressorti de ce travail un double dividende puisque, au-delà du travail d'intégration des fonctions d'alimentation et de commande des interrupteurs de puissance, nous avons mis en évidence plusieurs principes de fonctionnement originaux permettant de gérer au mieux les commutations hautes fréquences des structures de conversion AC-AC totalement commandables.

Le premier chapitre de la thèse introduit les différents volets du contexte dans lequel le travail de recherche est conduit. Un rapide état des lieux sur les composants actifs aujourd'hui

disponibles permet d'introduire les évolutions possibles autour du composant actif à quatre quadrants, entièrement commandable à l'ouverture comme à la fermeture. Cette introduction permet de mettre en évidence les différentes topologies de composants présentant les caractéristiques fonctionnelles désirées. À partir de ce constat, il apparaît clairement deux types d'association, à sources ou à drains communs, la dernière d'entre elles étant la seule envisageable dans les versions monolithiques aujourd'hui à l'étude. Fort de ce premier volet, le contexte applicatif est introduit à travers la présentation du principe de fonctionnement d'un gradateur AC-AC monophasé. En fin de chapitre, l'environnement électronique de l'ensemble est discuté. Il apparaît que la mise en œuvre de ce type de structure repose sur un grand nombre de commandes rapprochées et d'alimentations de commandes rapprochées dans les versions de composants AC commandables et à drains communs. Ce constat justifie l'effort d'intégration monolithique de l'environnement électronique au sein du composant de puissance. En effet, l'intégration de l'alimentation et de la commande rapprochée permettraient de simplifier et de fiabiliser grandement la mise en œuvre de ce type de structure de conversion. Les conditions de cet effort d'intégration sont alors abordés des points de vue des compatibilités technologiques et électriques le tout dans un contexte très exigeant au niveau économique. Certains choix sont faits et justifiés. L'ensemble du chapitre permet au lecteur d'avoir une vision d'ensemble et une justification complète des choix fait au cours de la thèse.

Le second chapitre aborde l'un des premiers jalons du travail de thèse avec l'étude et l'analyse des conditions de bon fonctionnement d'une structure de conversion AC-AC monophasée reposant sur la mise en œuvre d'auto-alimentations sur toutes les commandes rapprochées de tous les interrupteurs de puissance de la structure. L'auto-alimentation est un dispositif précédemment étudié dont la fonctionnalité et l'intégration monolithique ont été démontrées dans plusieurs travaux précédents. Sur la base de cet état des lieux, il restait à vérifier si cette solution technique était applicable à la conversion AC-AC dans toutes les configurations envisageables. Des études antérieures avaient mis en évidence que cela était possible lorsque les transistors étaient associés à sources communes. Ce type de configuration, valable lorsque la mise en œuvre repose sur des composants discrets, ne l'était plus dans le cadre d'une utilisation future de composants AC commandable monolithique. De fait, nous avons étudié le comportement de l'auto-alimentation dans ce contexte particulier. Il est apparu que non seulement le principe de fonctionnement de l'auto-alimentation n'était pas perturbé par le contexte particulier issu de la conversion AC-AC mais que, bien au contraire, celui-ci, sous certaines conditions de fonctionnement, permettait de simplifier la gestion des commutations MOS-MOS inhérentes à ce type de structure de conversion. Le chapitre présente alors l'ensemble du principe de

fonctionnement du convertisseur lorsque celui-ci est mis en œuvre à l'aide d'auto-alimentations fonctionnant en mode régulateur impulsif. Après une analyse qualitative, une bonne partie du chapitre est consacrée à la validation expérimentale du principe et des modes de fonctionnement. Il apparaît entre autres que la gestion des phases de commutation est améliorée par la prévention des courts-circuits et des surtensions tout en permettant de recycler une partie de l'énergie à dissiper dans les auto-alimentations. La fin du chapitre conclut sur les besoins en terme de commandes rapprochées et fonctions de pilotage et de gestion de l'auto-alimentation, cette dernière partie permettant d'introduire la suite du travail de thèse dont l'objectif concerne à présent l'intégration monolithique, au sein même du composant de puissance, de fonctions signales latérales en vue de la commande et de la gestion de l'environnement électronique que l'on peut aussi appeler « périphérique » des composants de puissance.

Le troisième chapitre discute donc des possibilités offertes en terme d'intégration monolithique et de synthèse de composants latéraux sur la base des choix technologiques faits dans le premier chapitre. En fonction du contexte applicatif mettant en œuvre des composants de puissance à structure verticale, les conditions de cohabitation électrique sont abordées. Une liste non exhaustive de composants fonctionnels et compatibles est définie. Celle-ci s'avère très réduite et assez contrainte au niveau des caractéristiques fonctionnelles. Néanmoins, il apparaît que un composant essentiel, à la base de toute une technologie, est disponible sans grande difficulté. Ce composant est le N-MOS latéral dont les caractéristiques et modes de fonctionnement restent à adapter à l'application et au contexte de l'intégration monolithique au sein d'un composant de puissance. S'en suit un inventaire des possibilités existantes de mise en œuvre permettant de synthétiser l'étage de sortie d'une commande rapprochée, maillon élémentaire et essentiel de l'effort d'intégration engagé. En effet, si le composant N-MOS est à la base des technologies N-MOS autrefois très répandues, ces technologies ne sont plus aujourd'hui considérées pour deux raisons essentielles qui sont la surface du circuit intégré et la consommation en statique. Une étude approfondie de différentes solutions existantes est alors conduite pour évaluer les possibilités offertes pour réduire ces limitations, en particulier celles au niveau de la consommation en statique (prévu pour être excessive au niveau de l'étage de sortie). La plupart de celles-ci reposent sur des approches techniques peu séduisantes. Après avoir mis en évidence que peut d'entre elles offrent un bilan positif, nous avons imaginé un nouvel élément de base permettant de limiter les problèmes, surtout au niveau de l'étage de sortie. Cet élément fut baptisé le « transistor à tension de seuil réduite ». Il présente la particularité de favoriser un fonctionnement avec faible perte en statique tout en étant réalisable via le même procédé technologique. Après une présentation rapide de sa structure et de ses caractéristiques, nous les

utilisons pour dégager un certain nombre de dividendes (laissant la modélisation du composant pour le chapitre suivant). Grâce à ce nouvel élément, nous mettons en évidence qu'une solution aux performances satisfaisantes est envisageable sans moyens technologiques importants, et en s'appuyant simplement sur des concepts originaux et adaptés aux particularités du contexte d'intégration qui est le notre.

Le quatrième chapitre concentre la majeure partie des travaux de simulations numériques et des développements de modèles que nous avons été amenés à conduire au cours de la thèse. En particulier, les études et analyses de compatibilité électrique et la définition des caractéristiques électriques et fonctionnelles sont présentées avant d'être pour partie modélisées. Une bonne partie du chapitre est consacrée à l'étude en vue de l'amélioration des performances et la modélisation de comportements ou de composants "nouveaux", mis en évidence dans le précédent chapitre ou encore induit par le type de procédé technologique permettant de réaliser les composants ou enfin compte tenu du contexte d'intégration monolithique avec substrat à potentiel de puissance flottant. Le chapitre débute avec l'analyse de la tenue en tension des composants N-MOS latéraux et l'adéquation de celle-ci avec la commande de grille de l'interrupteur de puissance correspondant et au sein duquel il est intégré. La mise en évidence de certaines limites nous a poussé à explorer certaines solutions qu'elles soient technologiques ou conceptuelles. Finalement, une solution intermédiaire s'appuyant sur des travaux antérieurs a permis de mettre en évidence qu'il existe le plus souvent un ou plusieurs points d'intersection entre la conception du composant de puissance en fonction de son cahier des charges et celui du composant latéral qui lui correspond en jouant sur certaines caractéristiques physique de la structure silicium. Cette partie est étudiée avec détail en simulation numérique avant de conclure sur ce point. L'avantage de cette approche réside dans le fait que, comme décidé dans le premier chapitre, aucun surcoût technologique n'est engagé et les caractéristiques du composant de puissance reste inchangées. Seul le choix de l'optimum local de conception de celui-ci est remis en question pour tenir compte de celui du composant latéral. La suite du chapitre aborde avec finesse la modélisation du transistor latéral compte tenu des spécificités technologiques et du contexte environnemental dans lequel il est plongé. En particulier, l'évaluation de la tension de seuil, les effets du substrat porte canal mais aussi ceux du substrat de puissance, sont présentés. Une dernière partie est consacrée à l'analyse et la modélisation des couplages électriques entre les diverses couches et régions du composant latéral et du composant de puissance. La gestion des interactions électriques et des drains de charges dans le contexte très particulier d'une auto-isolation par jonction PN polarisée en inverse est abordée puis modélisée. L'ensemble est validé par l'adéquation des résultats issus des simulations numériques et ceux issus des simulations



« analytiques ». La fin du chapitre est consacrée à l'étude comportementale et la modélisation du transistor à tension de seuil réduite.

Le cinquième et dernier chapitre présente l'effort de conception, de réalisation et de caractérisation pratique engagé dans le cadre de la thèse afin de valider les différents points développés au cours de ce travail. Après un rapide rappel concernant le procédé technologique et les contraintes associées au niveau de la conception des composants, les différentes familles de composants sont présentées et conçues. S'en suit une dernière partie sur la caractérisation des composants réalisés par sous-traitance au CIME-Nanotech au cours de la thèse. Celle-ci fait apparaître quelques premiers résultats qui permettent de valider partiellement les composants élémentaires et les fonctions complexes conçues. Par manque de temps et faisant face à un problème fonctionnel lié au procédé technologique, aucun résultat d'interaction puissance commande n'a pu être apporté à ce travail. Ce dernier chapitre, si il offre déjà quelques éléments de réponse et de validation reste limité à ce niveau. Il est conclu par l'ampleur de la tâche qu'il reste encore à conduire pour poursuivre l'effort de validation engagé. Une conclusion générale vient clore le document de thèse en faisant apparaître le bilan du travail fait, du chemin parcouru, des pistes ouvertes mais qu'il reste encore à parcourir.

**Chapitre-I**  
**Conversion AC/AC : Mise en œuvre et intégration  
monolithique**

## TABLE DES MATIÈRES DU CHAPITE I

|         |   |    |
|---------|---|----|
| I.1     | Introduction .....  | 11 |
| I.2     | L'interrupteur d'électronique de puissance à structure verticale .....          | 12 |
| I.2.1   | La Diode bipolaire de puissance.....  | 12 |
| I.2.2   | La diode Schottky .....   | 14 |
| I.2.3   | Le thyristor .....  | 15 |
| I.2.4   | Triac.....  | 16 |
| I.2.5   | Le thyristor GTO (Gate Turn Off).....   | 16 |
| I.2.6   | Le transistor bipolaire (Bipolar Junction Transistor) .....                     | 17 |
| I.2.7   | Le MOSFET (Metal Oxyde Silicon Field Effect Transistor).....                    | 18 |
| I.2.8   | L'IGBT (Insulated Gate Bipolar Transistor) .....                                | 20 |
| I.2.9   | Récapitulatif.....  | 22 |
| I.3     | Contexte de la conversion AC/AC monophasée et champs d'application .....        | 23 |
| I.3.1   | AC Switch à base des composants associés en anti-parallèle .....                | 24 |
| I.3.1.1 | AC Switch à thyristors (Dispositif bidirectionnel commandable à l'ouverture) .. | 25 |
| I.3.1.2 | AC Switch à base des IGBT .....   | 26 |
| I.3.1.3 | AC Switch à base des MBS (Mos Bidirectionnel Switch).....                       | 27 |
| I.3.2   | AC Switch à base des composants associés en anti-série.....                     | 28 |
| I.3.2.1 | AC Switch à base des VDMOS .....  | 29 |
| I.3.2.2 | AC Switch à base des IGBT .....   | 30 |
| I.4     | Intégration monolithique d'un composant AC Switch à commande MOS .....          | 31 |
| I.5     | Mise en œuvre d'une structure AC/AC discrète à base de MOSFET .....             | 37 |
| I.5.1   | Présentation de la structure.....   | 37 |
| I.5.2   | Principe de fonctionnement .....  | 39 |
| I.5.3   | Comportement du gradateur monophasé en simulation .....                         | 44 |
| I.6     | Introduction sur l'intégration de l'environnement électronique.....             | 48 |
| I.7     | Conclusion.....   | 53 |
|         | Références du chapitre I .....  | 55 |

## I.1 Introduction

Dans ce chapitre, nous présenterons un état de l'art sur les interrupteurs quatre quadrants à semi-conducteurs concernant les applications AC-AC en électronique de puissance. En se basant sur les caractéristiques statiques de ces composants, nous développerons comment, par associations multiples, il est possible d'obtenir des dispositifs bidirectionnels en courant et/ou en tension commandables. Nous verrons comment les interrupteurs « *AC Switch* » sont formés et quels sont les points forts et les points faibles de chaque type de *AC Switch* en fonction des technologies retenues ou considérées. La suite du chapitre présente la mise en œuvre du composant, s'attachant plus particulièrement à traiter la commande des interrupteurs quatre quadrants. Sur la base d'une structure AC-AC monophasée et en tenant compte d'un effort d'intégration monolithique des structures « *AC Switch* », nous soulignerons qu'elles peuvent être les problématiques de mise en œuvre. Par ailleurs, l'encombrement et la complexité de chaque cellule « *AC Switch* » incluant des composants discrets et leurs commandes associées seront abordées. Cela nous conduira à présenter les efforts d'intégration passés et actuellement conduits pour trouver des solutions d'intégration monolithique de la structure interrupteur générique, de sa commande rapprochée et de son alimentation. Cette partie sera abordée tout d'abord sans limite ni contrainte puis prendra en compte le coût technologique global de la fonction créée et à réaliser. Ce premier chapitre introductif pourra paraître quelque peu décousu mais il renferme un ensemble de données importantes pour la suite du document.

## **I.2 L'interrupteur d'électronique de puissance à structure verticale**

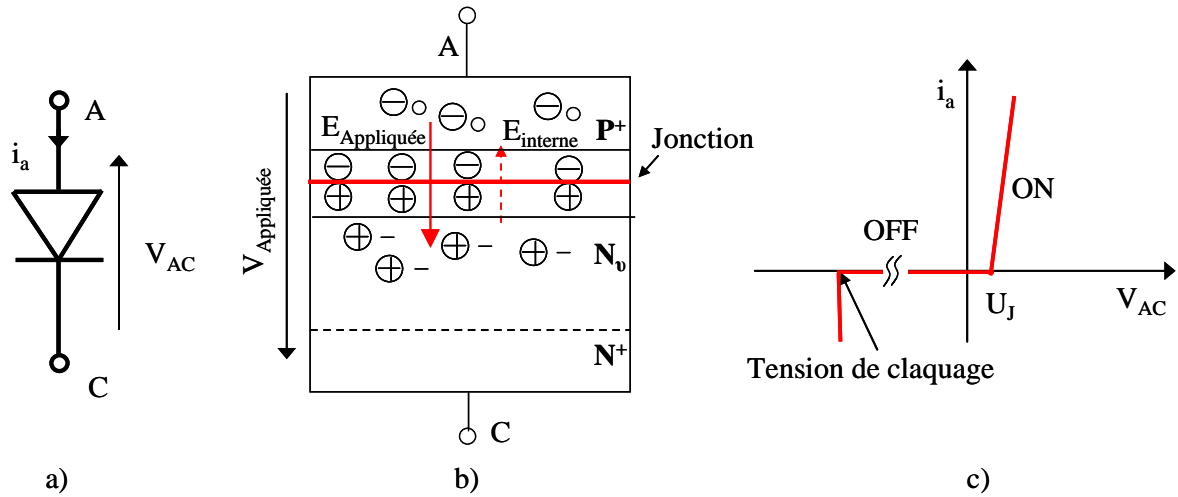
Les composants actifs à semi-conducteur sont classés principalement en trois catégories, en fonction des possibilités de commande qu'ils présentent :

- Les dispositifs non commandables : les diodes.
- Les dispositifs commandables à la fermeture : les thyristors, les triacs.
- Les dispositifs commandables à la fermeture et à l'ouverture : dont les principaux sont les transistors bipolaires, MOSFET, IGBT et les thyristors GTO, etc.

Pour ce qui concerne les composants moyennes et hautes tensions, les structures sont généralement de type verticale, incluant une zone de tenue en tension dans le volume du silicium et plus particulièrement au niveau de la zone dite active. Une région périphérique en bordure de cette zone permet de compenser les effets bi et tridimensionnels permettant de maintenir les niveaux de performances en tension des composants de puissance.

### **I.2.1 La Diode bipolaire de puissance**

C'est un élément non commandable à commutation dite naturelle. Son cœur fonctionnel repose sur celui d'une jonction  $P^+N_pN^+$  dont la structure et les caractéristiques physiques sont ajustées en fonction des caractéristiques électriques recherchées. À l'équilibre thermodynamique et en l'absence de polarisation, une barrière de potentiel interne, de l'ordre du volt, empêche la diffusion des porteurs d'une région où ils sont majoritaires vers celle où ils sont minoritaires. La diode est mise en conduction si une tension positive est appliquée à ses bornes. Cette dernière réduit la hauteur de la barrière de potentiel située à la jonction et favorise ainsi l'afflux par diffusion des charges mobiles majoritaires et issues des zones N et P [LEFEBVRE].



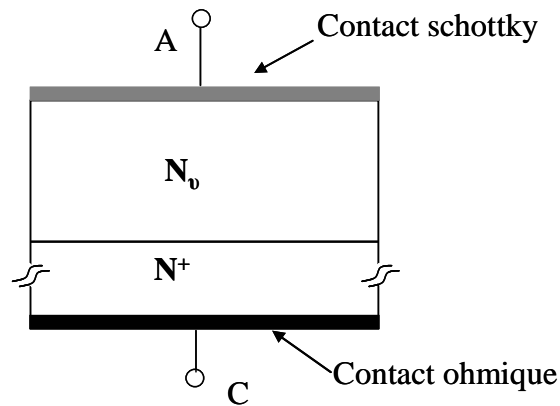
**Figure I-1.** a) Représentation symbolique. b) Structurelle. c) Caractéristique réelle d'une diode

La diode est un composant unidirectionnel en courant et en tension. À l'état passant, le courant de charge traverse le composant de l'anode vers cathode et induit une chute de tension directe au niveau de la jonction et au niveau de sa zone de tenue en tension. Lorsque la diode est bloquée, celle-ci tient la tension de puissance. Il existe alors un faible courant inverse. Au-delà d'une certaine tension inverse, le champ électrique maximum ( $\approx 20\text{V}/\mu\text{m}$ ) au niveau de la jonction devient trop important et le phénomène d'avalanche débute [ARNOULD 92, LEFEBVRE, PERRET-I]. Un fort courant en inverse apparaît sous forte polarisation, ce qui conduit à un emballement thermique puis à la destruction de la diode.

Comme tous les composants actifs moyennes et hautes tensions de puissance, les diodes bipolaires intègrent une zone de tenue en tension qui, en favorisant la tenue en tension, induit une zone fortement résistive. L'injection de porteurs, sous l'effet d'une polarisation directe, vient moduler la résistivité de cette région, permettant au composant de puissance de présenter une faible chute de tension à l'état passant. Cependant, la charge installée doit être retirée lors du blocage du composant ce qui entraîne un phénomène de recouvrement fortement dissipatif. La conception et le dimensionnement de ces composants résident alors dans un compromis entre état passant, recouvrement au blocage et tenue en tension. Cela conduit à décliner plusieurs familles de diodes, en partant des diodes dites de redressement, fonctionnant à faible fréquence et offrant un excellent état passant, jusqu'aux diodes ultra-rapides, pour lesquelles les effets du recouvrement sont minimisés.

## I.2.2 La diode Schottky

La diode Schottky (baptisée selon le nom de physicien allemand **Walter H. Schottky**) utilise une jonction Métal-Semiconducteur au lieu d'une jonction bipolaire. La tenue en tension du composant est assurée par cette jonction. Un fort dopage de la région  $N^+$  en face arrière assure un contact ohmique au droit de la cathode, le contact Schottky au niveau de l'anode étant de son côté faiblement dopé pour offrir la tenue en tension désirée [LEFEBVRE].

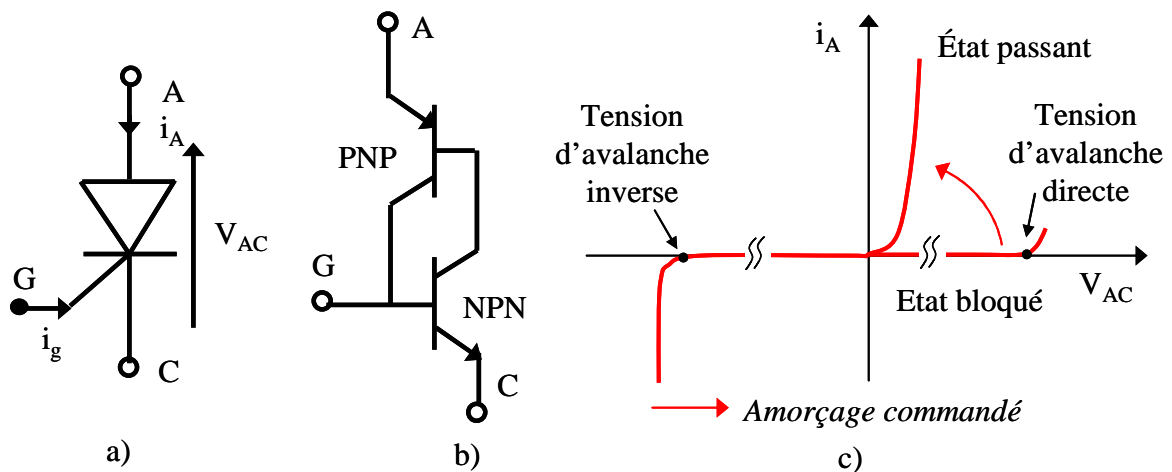


**Figure I-2.** Structure de principe d'une diode Schottky

L'absence de structure semi-conductrice bipolaire fait de la diode Schottky un composant unipolaire (tout comme le très connu transistor MOSFET (présenté dans §I.2.7)). Dans ce type de composant, un seul type de porteur libre participe à la conduction du courant et aucune modulation de résistivité n'est envisageable. Aussi, la zone de tenue en tension affiche une forte chute de tension limitant la montée en tension de ce type de composant. En revanche, son comportement unipolaire lui confère des dynamiques de commutation très élevées au blocage.

### I.2.3 Le thyristor

Le thyristor est un composant aujourd'hui principalement utilisé pour des applications hautes et très hautes tensions et fortes puissances. Il fut longtemps le composant de référence pour la conversion AC-DC, DC-AC et AC-AC avant d'être mis sur la sellette à cause du mauvais facteur de puissance et des fortes perturbations conduites et rayonnées que son utilisation génère. C'est un composant à trois segments : bidirectionnel en tension et unidirectionnel en courant, offrant un excellent compromis tenue en tension, calibre en courant par unité de surface. Technologiquement simple à réaliser, il se compose de quatre couches P.N.P.N alternativement superposées en série. Il n'est commandable qu'à la fermeture.



**Figure I-3.** a) Représentation symbolique. b) Structurelle. c) Caractéristique statique du thyristor

#### Enclenchement

La mise en conduction du composant est assurée par polarisation en direct de la base de l'un des transistors le constituant. L'imbrication naturelle de deux transistors bipolaires entretient par la suite la polarisation des bases des deux transistors. La commande peut alors être impulsionnelle et n'est conditionnée que par « l'accrochage » de la structure [ARNOULD 92].

#### Blocage

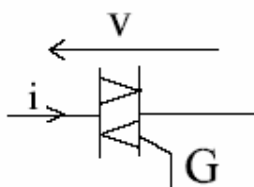
Pour bloquer le composant, il faut agir sur la polarisation des bases des deux transistors bipolaires. Ainsi, lorsque le courant  $I_A$  s'annule et lorsque la tension  $V_{AC}$  est maintenue négative pendant suffisamment de temps, le blocage est « spontané ». Sinon, il faut modifier le couplage entre les deux transistors pour « casser » le lien entre eux. Ceci peut être mise en



œuvre en court-circuitant l'une des bases. Cette seconde solution reste difficile à mettre en œuvre car la structure physique des thyristors ne s'y prête pas toujours lorsque ces derniers sont conçus et optimisés par maximiser les densités de courants commutés tout en limitant les coûts de fabrication.

### I.2.4 Triac

Un triac se comporte comme deux thyristors montés tête-bêche et commandés par une seule gâchette [PERRET-II]. Son comportement est le même que celui du thyristor polarisé en direct, et cela pour des valeurs positives ou négatives de  $V$  : quel que soit le signe de  $V$ , il y a toujours un thyristor polarisé en direct. On trouve donc les mêmes modes de fonctionnement que pour le thyristor.



**Figure I-4.** Symbole du transistor Triac

Le Triac est aujourd'hui l'unique composant quatre quadrants monolithiques industrialisé et commercialisé. Sa structure est basée sur cinq couches imbriquées.

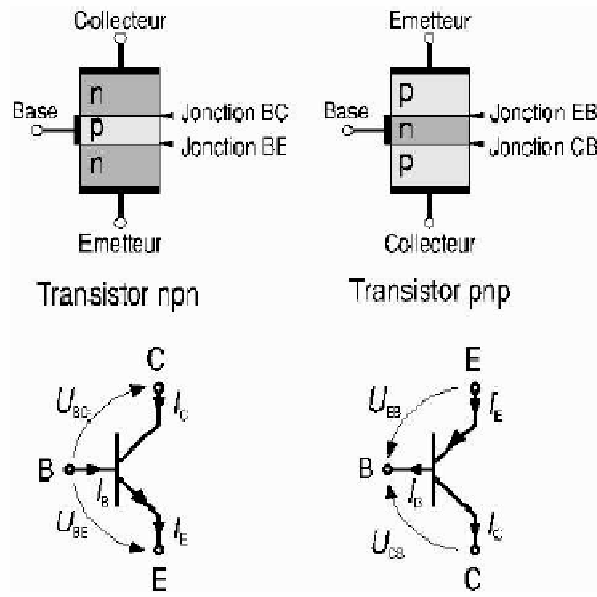
### I.2.5 Le thyristor GTO (Gate Turn Off)

Un thyristor GTO est un thyristor contrôlable à la fermeture et à l'ouverture alors qu'un thyristor simple ne se commande qu'à la fermeture. Il est le premier interrupteur commandé haute tension utilisé en production industrielle de convertisseurs de type onduleurs ou hacheurs. La structure du thyristor blocable est similaire que celle du thyristor à quatre couches P.N.P.N. mise à part certaines modifications géométriques et physiques qui permettent de favoriser son extinction par déviation d'une partie du courant d'anode vers la gâchette pendant un temps suffisant pour annuler le phénomène d'auto maintien du thyristor. Cela est obtenu par une forte inter-digitation face avant du composant de puissance. Le GTO est exclusivement utilisé dans les applications hautes tensions, faibles et moyennes fréquences, car sa commande reste lourde à mettre en œuvre et ses caractéristiques en commutation restent assez médiocres [MOHAN 03]. Il est à noter que si la structure du GTO autorise une tenue en tension bidirectionnelle en théorie, dans la pratique, la jonction

PN en face arrière ne présente pas les caractéristiques nécessaires pour le faire. C'est donc un composant uni directionnel en tension et en courant.

### **I.2.6 Le transistor bipolaire (Bipolar Junction Transistor)**

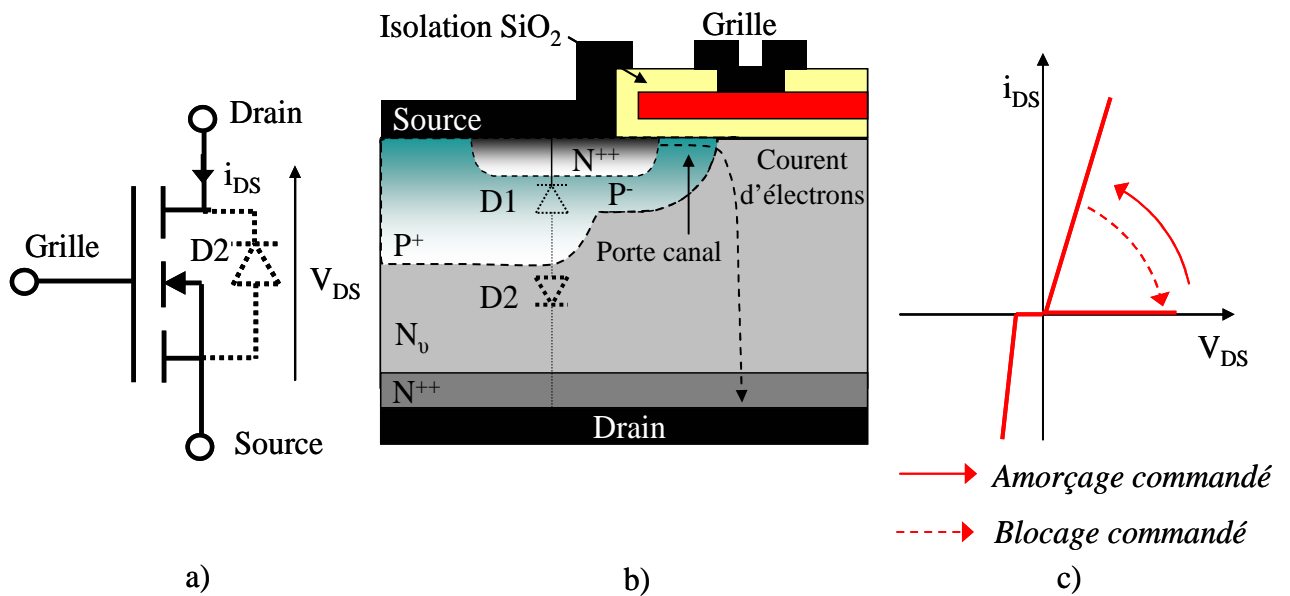
Le transistor bipolaire est constitué de trois électrodes, émetteur, base et collecteur, chacune contactant l'une des trois couches semi-conductrices le constituant. Il existe deux types de transistors bipolaires : le transistor N.P.N et le P.N.P. Pour les composants de puissance, le collecteur intègre une zone de tenue en tension qu'il est nécessaire de moduler pour abaisser la chute de tension à l'état passant. La mise en conduction et le maintien à l'état passant d'un transistor N.P.N sont assurés par une injection de charge via la base du transistor et cela grâce à la polarisation en directe de la jonction base émetteur. Sous fort courant de base, les charges injectées sont stockées dans la base puis éventuellement dans la zone de tenue en tension [LEFEBVRE]. Le transistor fonctionne alors en régime de forte saturation et présente une chute de tension en direct très faible. Néanmoins, lorsque le blocage du transistor est souhaité, il faut évacuer les charges par la base ou attendre la disparition de l'ensemble des charges stockées. De fait, la commande en courant des transistors bipolaires et les limites de ses performances en commutation font de ce composant, un transistor assez lourd à mettre en œuvre. Par ailleurs, l'aire de sécurité des ces transistors conditionne les phases de commutation, particulièrement celle du blocage [ARNOULD 92]. Le transistor bipolaire est aujourd'hui utilisé dans certaines applications mais il a été fortement détrôné par les composants à grille, beaucoup plus simple à commander. La figure I-5 présente les symboles et structures des deux types de transistors bipolaires. Le transistor bipolaire de puissance bien que basé sur une structure symétrique est un composant unidirectionnel en courant et en tension. En effet, les caractéristiques des deux jonctions PN sont fortement dissymétriques pour favoriser certains comportements et caractéristiques.



**Figure I-5.** Représentation symbolique et structurale du transistor bipolaire

### I.2.7 Le MOSFET (Metal Oxide Silicon Field Effect Transistor)

Le MOSFET est le transistor le plus utilisé en micro-électronique et dans les convertisseurs de puissance faibles et moyennes tensions car il est très facile à commander à la fermeture et à l'ouverture et possède des caractéristiques en commutation particulièrement favorables [SZE 85]. Ceci vient du fait que le composant est de type unipolaire (un seul type de porteur participe à la conduction du courant) et que son contrôle s'effectue par simple application d'un champ électrique. Comme tout composant unipolaire, l'état passant du transistor MOSFET est fortement pénalisé avec le calibre en tension. La figure I-6 présente la symbolique, la structure et les caractéristiques statiques d'un transistor MOSFET. Il existe naturellement au sein de l'architecture du transistor MOSFET une diode  $P^+N_0 N^{++}$ . Cette dernière apparaît en anti-parallèle sur le transistor, comme le montre la figure I-6.a, et de ce fait confère au composant sa bidirectionnalité en courant et son unidirectionnalité en tension.



**Figure I-6.** a) Représentation symbolique. b) Structurelle. c) Caractéristique statique d'un transistor MOSFET

### **Enlanchement**

Le transistor MOSFET présente une structure semi-conductrice trois couches comparable à celle d'un transistor bipolaire. Deux régions de même type sont séparées par une couche de type opposée. La différence réside dans la présence d'une région de grille permettant de court-circuiter la région centrale par création d'un canal entre les deux régions extrêmes. Pour mettre en conduction l'interrupteur, il faut polariser positivement la grille du transistor pour venir inverser la polarité de la région sous la grille nommée « porte canal » (figure I-6.b). Par ce biais, l'ensemble de la structure est de même polarité et devient résistive. Un seul type de porteur circule alors. Un niveau de tension  $V_{TH}$  caractérise le seuil d'inversion et la mise en conduction de la structure de la charge sous la grille. On parle alors de régime d'inversion. En fonction du niveau de polarisation de la grille, le canal devient plus ou moins passant par augmentation de la charge inversée [LEFEBVRE, PERRET-I]. Vue de l'extérieur, la région de grille se comporte comme un condensateur qu'il faut charger et décharger pour créer la couche de charges hadock sous l'ordre de la commande de grille. Une fois chargée, la grille assure la présence et le maintien du canal rendant le composant particulièrement simple à piloter. Pour les composants moyennes tensions (de 400 à 700V), la résistance du canal devient fortement masquée par la résistance inhérente à la zone de tenue en tension et non modulée à l'état passant.

### **Blocage**

Pour bloquer le composant, Il suffit de retirer les charges stockées dans le condensateur de grille pour éliminer la présence du canal. Cela se produit lorsque la tension de grille devient inférieure à  $V_{TH}$ , la tension de seuil du transistor.

Par construction, l'architecture du transistor MOSFET fait apparaître une structure de transistor bipolaire de type N.P.N. Afin de maintenir inactive cette dernière au blocage, un court-circuit de qualité est créé entre la base et l'émetteur du transistor bipolaire [MOHAN 03].

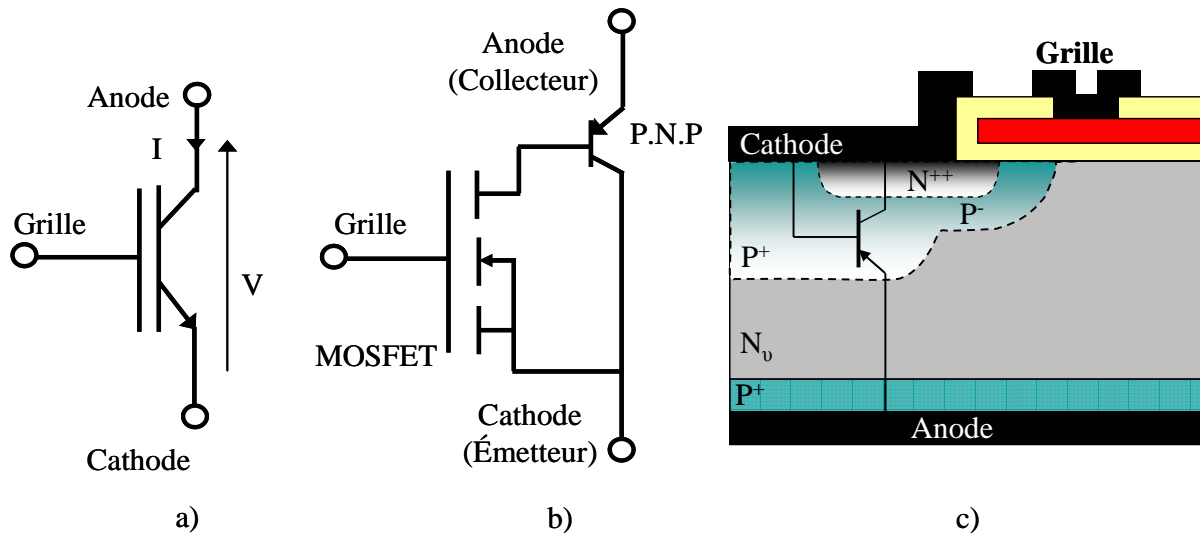
## **I.2.8 L'IGBT (Insulated Gate Bipolar Transistor)**

L'IGBT est l'un des composants d'électronique de puissance les plus utilisés actuellement dans les gammes moyennes et hautes tensions, moyennes puissances. Structurellement, c'est une combinaison de deux composants, un MOSFET et un transistor bipolaire, tous deux verticaux. L'introduction de la commande MOS simplifie son pilotage alors que l'effet bipolaire créé par la structure bipolaire permet de moduler la résistivité de la zone de tenue en tension. Comme tout composant bi-porteurs, l'IGBT se décline en plusieurs variantes selon les compromis état passant et dynamiques de commutations recherchés. Sur la base de la structure quatre couches initiale, l'IGBT donne naissance à une variété de dispositifs à savoir :

- IGT (Insulated Gate transistor) par General Electrical [BALIGA 84].
- GEMFET (Gain Enhanced MOSFET Transistor) par Motorola.
- COMFET (Conductivity Modulated FET) par RCA [RUSSEL 83].
- IEGT (Injection Enhanced Gate Transistor)...

Le symbole et les structures équivalentes et physiques d'un IGBT de type N sont présentés dans la figure I-7 ci-après. On retrouve les deux éléments MOS et bipolaires imbriqués. Il apparaît clairement que cet agencement présente une commande en tension de type MOS. On peut conceptualiser le fonctionnement de la structure en imaginant que le transistor MOS n'est autre qu'une partie de la commande rapprochée du transistor bipolaire. En fermant le transistor MOS, on polarise en direct la jonction base-émetteur du transistor bipolaire. En devenant conducteur celui-ci module plus ou moins l'état passant de la zone de tenue en tension commune aux deux éléments. Avec cette approche on comprend facilement le problème qui peut apparaître au blocage. En effet, lorsque le transistor MOSFET est

bloqué, il n'existe plus au niveau de la base du transistor bipolaire, un chemin d'extraction des charges. Ces dernières doivent alors se recombinaer sur place. Cette topologie rend le transistor IGBT délicat à éteindre. Le niveau des pertes au blocage dépend alors de l'optimisation de la jonction en face arrière du composant afin de garder un certain contrôle sur la charge stockée [ARNOULD 92, LEFEBVRE, PERRET-I]. Dans ce contexte et malgré une structure quatre couches étant capable de générer des composants symétriques en tension, le transistor IGBT est unidirectionnel en tension et en courant.



**Figure I-7.** a) Représentation symbolique. b) Structurelle. c) Coupe verticale d'un IGBT-N.P.T (Non-Punch-Through)

L'optimisation des filières de conception et les stratégies de fabrication ont fait naître deux grandes familles d'IGBT, les Punch-Through (PT) et les Non-Punch-Through (NPT). L'IGBT est également caractérisé par une aire de sécurité, bornée par deux phénomènes, celui du « Latch-up » et celui du « second claquage » [ARNOULD 92]. Le premier est une conséquence de la structure interne quatre couches de l'IGBT, pouvant faire naître un comportement thyristor non contrôlable. Le second est caractérisé par un phénomène d'emballage thermique conduisant rapidement à la destruction du composant [CARMEL 05]. Aujourd'hui, les progrès technologiques, associés à une très bonne connaissance du comportement physique du composant permettent une utilisation très sécurisée de l'IGBT [MOHAN 03, SANCHEZ 97].

### **Enclenchement**

C'est l'application d'une tension entre grille et source supérieure à la tension de seuil qui rend possible la circulation d'électrons de la source N<sup>+</sup> appelée ici *Cathode (ou Émetteur* par certains fabricants) vers la zone de tenue en tension. Cela conduit à polariser en directe la jonction présente en face arrière. Des trous sont injectés en grande quantité dans la zone de tenue en tension ce qui permet de moduler la résistivité de la région. Les trous sont ensuite captés au niveau de la jonction PN face avant qui elle reste polarisée en inverse. On obtient alors la circulation de deux composantes en courant, composantes relevant de l'effet bi-porteur ainsi créé.

### **Blocage**

La disparition du canal permet de bloquer l'apport en électrons au niveau de la jonction PN en face arrière. Il reste alors à évacuer les charges libres présentes dans la zone de tenue en tension pour achever le blocage de l'interrupteur. Cela s'obtient par recombinaison locale. Cette phase de la commutation au blocage, plus ou moins longue, maintient un courant de queue responsable de pertes importantes.

## **I.2.9 Récapitulatif**

Actuellement, l'interrupteur commandable bidirectionnel en tension et en courant monolithique existe mais il n'est pas encore commercialisé (sauf le Triac qui reste un composant partiellement commandable). On peut obtenir une fonction équivalente en combinant les caractéristiques des composants existants précités. Néanmoins, ces structures sont multi-puces et présentent des performances électriques non optimales. Le tableau récapitulatif ci-dessous dresse les caractéristiques fonctionnelles importantes à partir desquelles on peut construire l'interrupteur bidirectionnel générique.

| Composants | Commande  |           | Bidirectionnel<br>en tension | Bidirectionnel<br>en courant |
|------------|-----------|-----------|------------------------------|------------------------------|
|            | Ouverture | Fermeture |                              |                              |
| Diode      | Non       | Non       | Non                          | Non                          |
| Thyristor  | Non       | Oui       | Oui                          | Non                          |
| GTO        | Oui       | Oui       | Oui                          | Non                          |
| MOSFET     | Oui       | Oui       | Non                          | Oui                          |
| Bipolaire  | Oui       | Oui       | Non                          | Non                          |
| IGBT       | Oui       | Oui       | Non                          | Non                          |

**Tableau I-1.** Récapitulatif

L'état des lieux que nous venons de faire nous a permis de voir que si il existe de nombreuses familles de composants actifs, aucun composant universel n'est à ce jour disponible. On entend par composant universel, un élément générique présentant par constitution d'une bidirectionnalité en courant et en tension et offrant la possibilité d'être pilotable à la fermeture comme à l'ouverture. Ainsi, nous avons vu que seul le Triac offre une bidirectionnalité totale. Tous les autres composants ne peuvent offrir des fonctionnements que dans un ou deux quadrants avec ou sans commandabilité. Le tableau ci-dessus en fait une synthèse rapide. On voit dans ce travail que le composant générique ne peut être conçu sur la base d'une association de deux ou plusieurs composants actifs totalement commandables. Ainsi la synthèse d'un composant générique quatre quadrants, sur la base de composants discrets, peut prendre plusieurs formes. C'est ce que nous allons voir maintenant

### **I.3 Contexte de la conversion AC/AC monophasée et champs d'application**

De nos jours, l'*AC Switch* (Alternative Current Switch) (nous utilisons « ACS » comme abréviation de l'*AC Switch* dans le texte) pourrait apparaître comme l'élément générique idéal des applications de conversion d'énergie à savoir : Alternatif- Alternatif (AC-AC), Alternatif- Continue (AC-DC) ou encore Continu- Alternatif (DC-AC). L'ACS pourrait, en



particulier, être utilisé pour commander les nombreuses charges Alternatives connectées sur le réseau dans l'habitat ou l'industrie : pilotage de petits moteurs (pompes, ventilateurs,...) ou encore de charges résistives (luminaires, radiateurs avec variateurs,...). Ils pourraient aussi avantageusement remplacer certains contacteurs et ou relais connectés sur le réseau AC tout en offrant un pouvoir de coupure très réactif et sécurisant. **ST-Microelectronics** a développé et commercialisé des ACS à base des thyristors ou triacs pour ces types d'applications [STMicr 06]. Dans certains cas, l'utilisation de composants commandables permettrait d'augmenter les performances et les fonctionnalités des convertisseurs. Néanmoins, leur mise en œuvre reste à l'heure actuelle assez, voire très complexe. En effet, le développement des structures de conversion à bases de ACS commandables [SEGUIER 03] est limité par l'absence de composants monolithiques simples à mettre en œuvre. Dans cette partie, nous allons présenter les principes permettant de « synthétiser » un dispositif bidirectionnel en courant et en tension basé sur les composants présentés dans la première partie. Nous verrons ensuite comment obtenir des composants monolithiques quatre quadrants avant de conclure sur les difficultés résiduelles de mise en œuvre de ces dispositifs [PEZZANI 95, BALIGA 90].

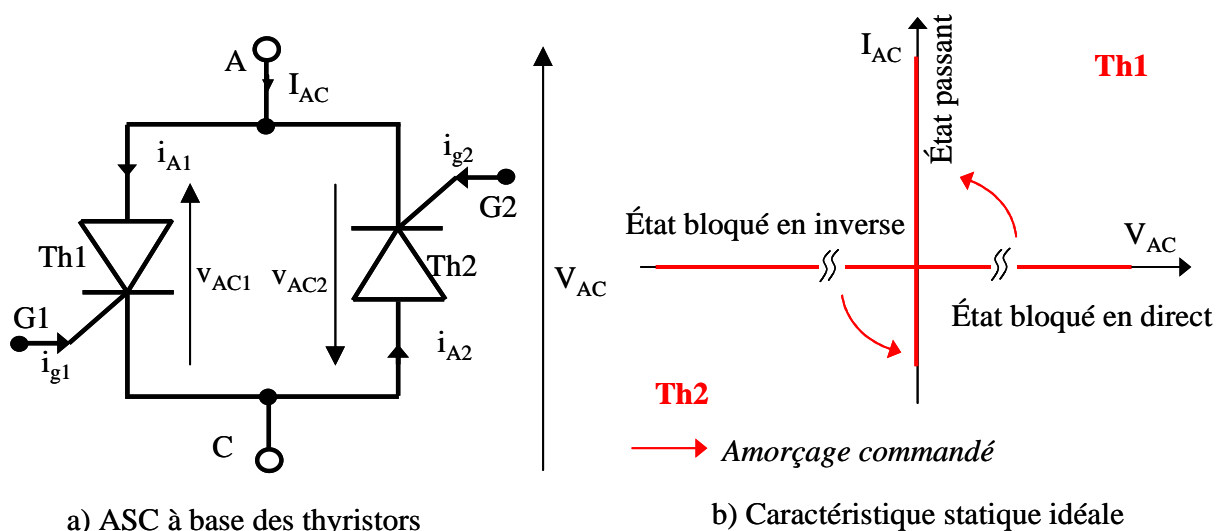
Le fait d'associer des composants deux quadrants nous permet de synthétiser des interrupteurs bidirectionnels en courant et en tension [FOCH 89] ou [CHERON 89]. En particulier, il existe la structure anti-parallèle, la structure anti-série, la structure tête-bêche et la structure en pont. Essayons de les lister et de voir quels peuvent être les avantages et les inconvénients de ces structures.

### **I.3.1 AC Switch à base des composants associés en anti-parallèle**

La mise en commun de deux composants bidirectionnels en tension et unidirectionnel en courant permet de synthétiser un interrupteur qui est à la fois bidirectionnel en tension et en courant. Compte tenu du récapitulatif présenté tableau I-1, les thyristors sont les seuls candidats disponibles répondant à ce type d'association. Leur association correspond d'ailleurs au triac, qui est un composant ACS bien connu.

### I.3.1.1 AC Switch à thyristors (Dispositif bidirectionnel commandable à la fermeture)

La structure est composée de deux thyristors connectés en anti-parallèle comme le montre la figure I-8. Des impulsions appliquées alternativement sur les gâchettes de Th1 et Th2 permettent la transmission de la puissance vers la charge.

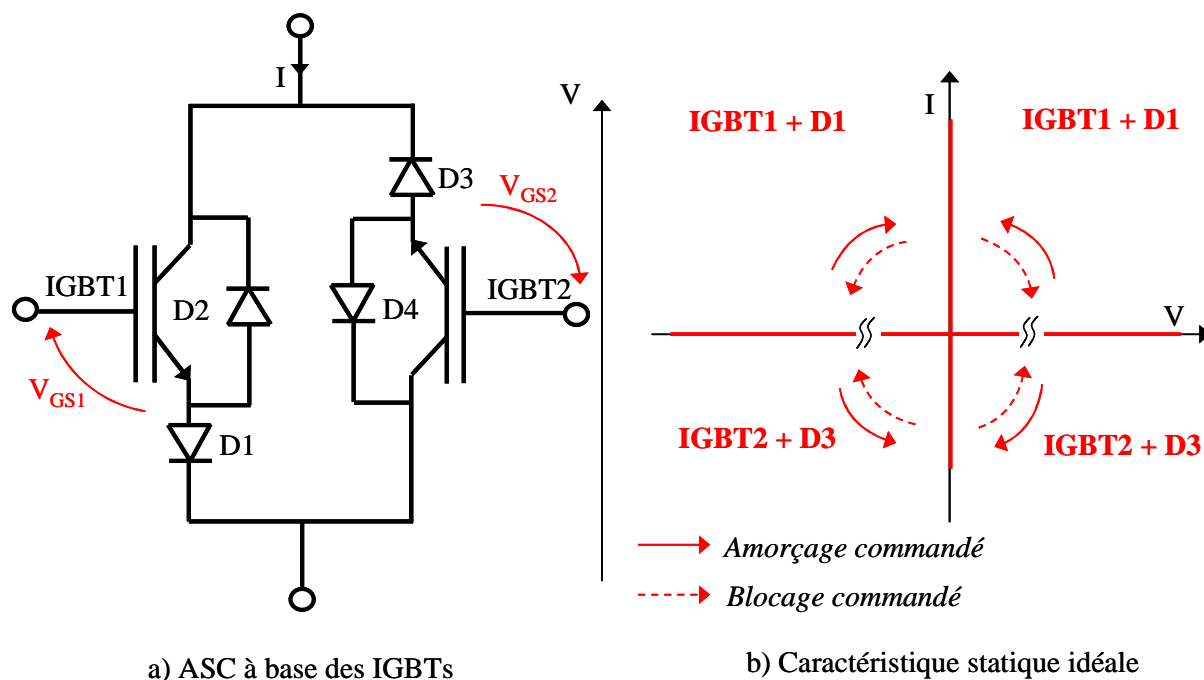


**Figure I-8.** a) ACS à deux thyristors connectés en anti-parallèle. b) Caractéristique statique de l'ACS à base de thyristor

Lorsque la tension appliquée aux bornes de la structure est positive ( $V_{AC1}$  positive), Th1 peut être amorcé. Le courant traversant Th1 ainsi que le courant global sont donc positifs. Lorsque la tension  $V_{AC}$  est négative, c'est le thyristor Th2 qui se retrouve avoir une tension positive à ses bornes et qui peut être amorcé. Le courant qui le traverse est positif, le courant global est donc négatif. Un ACS à base de thyristors est un dispositif quatre quadrants mais il n'est commandable qu'à la fermeture car son ouverture s'effectue spontanément. Dans sa version hybride, il nécessite deux commandes de gâchette référencées à deux potentiels différents. Dans sa version monolithique, une seule gâchette est nécessaire pour garantir l'amorçage du composant quelque soit l'alternance en tension présente [PEZZANI 95]. Cela correspond à une réelle avancée car la mise en œuvre est très simplifiée. Nous verrons cela plus loin. Il permet le contrôle du transfert de puissance mais engendre pour cela perturbations harmoniques basses et moyennes fréquences très importantes et fortement contraignantes.

### I.3.1.2 AC Switch à base des IGBT

Avec quatre composants unidirectionnels, il est possible de « synthétiser » un composant quatre quadrants. Avec un IGBT et une diode de puissance en série, on obtient un interrupteur commandable bidirectionnel en tension. Avec deux structures montées en anti-parallelèle, on peut recréer un interrupteur quatre quadrants, totalement commandable. La figure I-9 ci-après présente une topologie, plus ou moins judicieuse permettant de réaliser un composant bidirectionnel en courant et en tension.



**Figure I-9.** ACS à base des IGBT mis en anti-parallelèle

Dans certains cas où l'ACS est constitué à partir de composants discrets, il faut prévoir dans chaque branche, une diode de protection de petit calibre en parallèle avec l'IGBT (D2 et D4). Ces derniers ont pour but de conduire le courant de recouvrement inverse lors du blocage des diodes séries (D1, D3). Selon la topologie retenue, la commande de chaque IGBT est référencée à un potentiel différent et certains montages peuvent nécessiter deux circuits de commande différents isolés l'un de l'autre. Ces derniers sont généralement source d'encombrement ce qui nuit à la demande d'intégration recherchée.

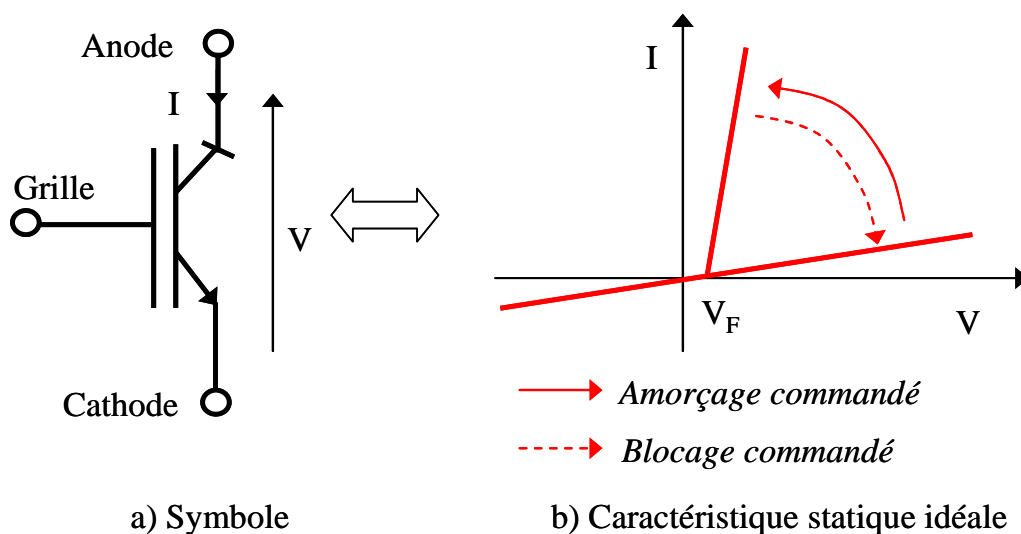
En fonctionnement statique, cette structure présente une chute de tension globale composée de la tension de déchet du transistor IGBT augmentée de celle de la diode en série. En fonctionnement dynamique plusieurs cas sont à considérer suivant le signe de V et I.

L'inconvénient majeur de cette structure réside dans la somme de deux chutes de tension en direct, celle du transistor et celle de la diode associée en série. Par ailleurs, la fonction générique repose sur l'association de quatre puces de puissance au minimum. Une version plus intégrée de cette structure peut être obtenue par la « fonctionnalisation » de la jonction PN en face arrière de chaque IGBT. Ce nouveau type de composant, développé entre autres par ST Microelectronics et le LAAS (Laboratoire d'Analyse et d'Architecture des Systèmes-Toulouse) est un IGBT à tenue en tension symétrique aussi appelé MBS pour (Mos Bidirectionnal Switch) [HEINKE 2000]. Le paragraphe suivant présente sa mise en œuvre au sein d'une structure ACS.

### I.3.1.3 AC Switch à base des MBS (Mos Bidirectionnel Switch)

#### A. Le MBS

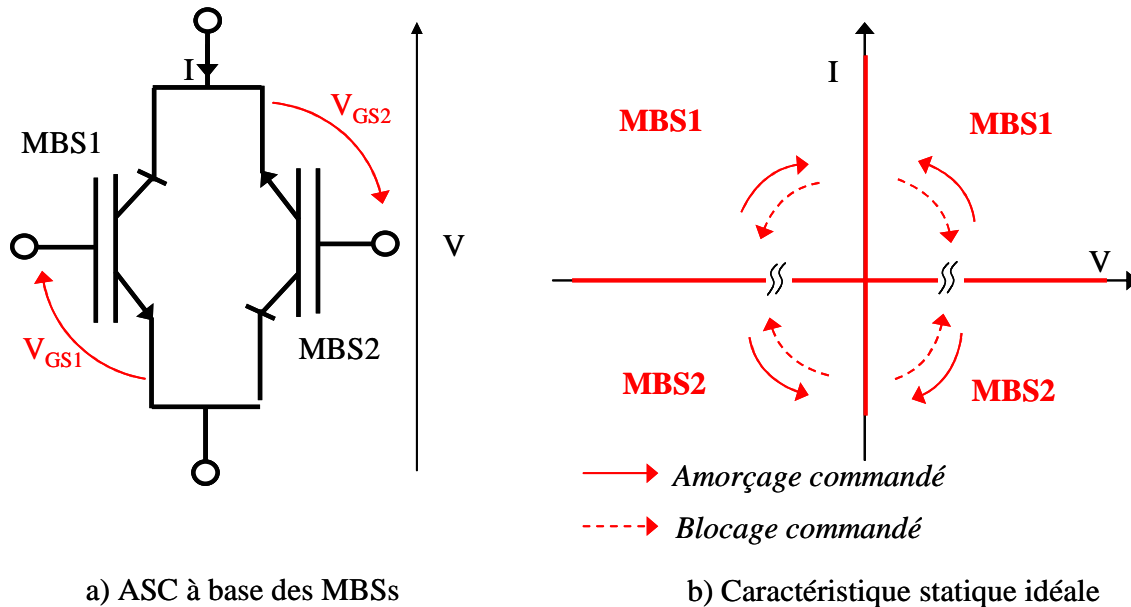
Le MBS (Mos Bidirectionnel Switch) est un *composant intégré* commandable à l'amorçage et au blocage par une grille MOS. Le MBS présente une tension de déchet ( $V_F$ ) réduite à l'état passant dans le sens direct [GONTHIER]. Le fonctionnement du composant en direct est comparable à celui d'un IGBT classique à ceci près que le contrôle sur l'injection est plus difficile à maîtriser. En inverse, la jonction PN en face arrière fonctionne à l'identique d'une diode de puissance polarisée en inverse. En fonctionnalisant cette jonction, on fait l'économie d'une chute de tension directe. L'anode (ou collecteur) est représentée par un trait sur l'électrode ce qui rappelle la présence de la diode [voir figure I-10].



**Figure I-10.** Symbole et caractéristique statique du MBS

## B. AC Switch à base des MBS

L'association de deux MBS en anti-parallèle permet de former un interrupteur quatre quadrants (c.f figure I-11.b). Son contrôle repose sur une structure à deux potentiels de référence ce qui rend sa mise en œuvre assez complexe (deux commandes, et deux alimentations à des potentiels de référence différents).



**Figure I-11.** ACS à base des MBS

Avec cette approche partiellement intégrée, le nombre de composants de puissance discrets est réduit de moitié et les performances statiques à l'état passant de l'interrupteur global sont fortement améliorées. Néanmoins, la mise en œuvre du composant générique reste un problème à cause de la présence des deux électrodes de commande référencées à des potentiels différents.

### I.3.2 AC Switch à base des composants associés en anti-série

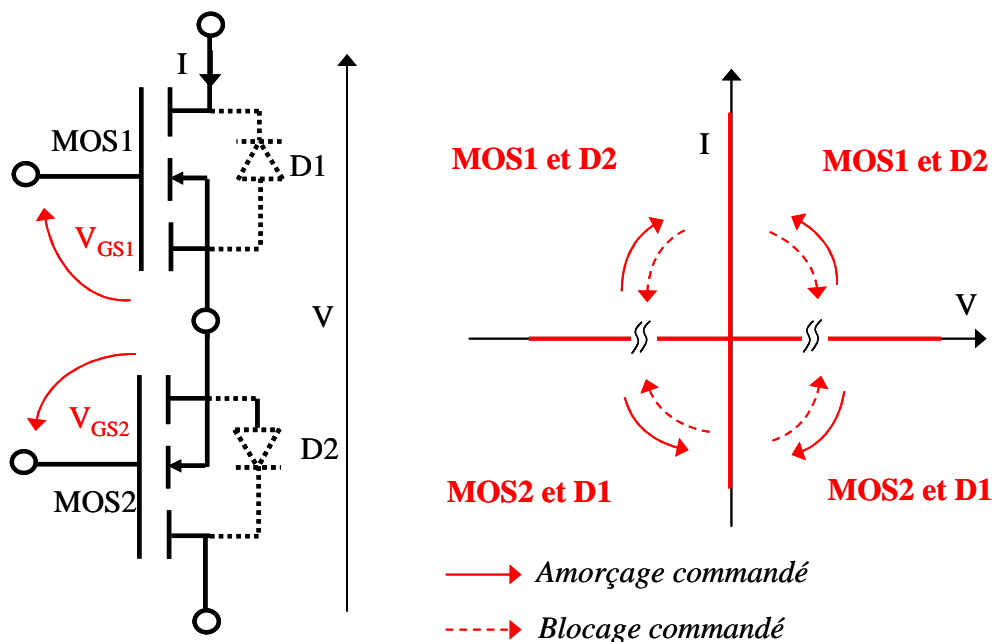
La mise en commun en anti-série de composants bidirectionnels en courant et unidirectionnel en tension permet d'obtenir un interrupteur quatre quadrants. Dans cette partie, on présente la formation d'un ACS sur la base de transistors VDMOS (MOSFET c.f §I.2.6) ou IGBT. Pour les IGBT, il faut associer une diode en anti-parallèle aux bornes de chaque IGBT. Pour les VDMOS de puissance, la diode body présente naturellement peut être utilisée pour former l'interrupteur quatre quadrants.

### I.3.2.1 AC Switch à base des VDMOS

Il existe deux configurations envisageables pour créer un interrupteur quatre quadrants à partir de composants bidirectionnels en courant et unidirectionnel en tension. En les associant en anti-série et ils peuvent soit être connectés à sources communes ou à drains communs.

#### A. ACS à bases des VDMOS montés en sources communes (MSC en abrégiation)

Deux VDMOS montés en sources communes, avec utilisation de leurs diodes internes (D1, D2 c.f figure I-12), forment un interrupteur quatre quadrants. Leurs électrodes de commandes sont référencées à un même potentiel (sources communes), ce qui simplifie la mise en œuvre de la structure. En fonctionnement statique, l'ACS présente une chute de tension globale égale à la somme de la chute de tension aux bornes du VDMOS et de celle de la diode de structure de l'autre transistor. Les deux interrupteurs peuvent être commandés ensemble ou séparément selon les informations dont dispose le circuit de commande. Dans le cas de commandes séparées, les risques de court-circuit sont limités mais il faut connaître avec précision le sens du courant. Dans le cas d'une commande groupée, le risque de court-circuit est plus important mais le fonctionnement du composant est plus versatile. En particulier, il est indépendant du sens du courant.



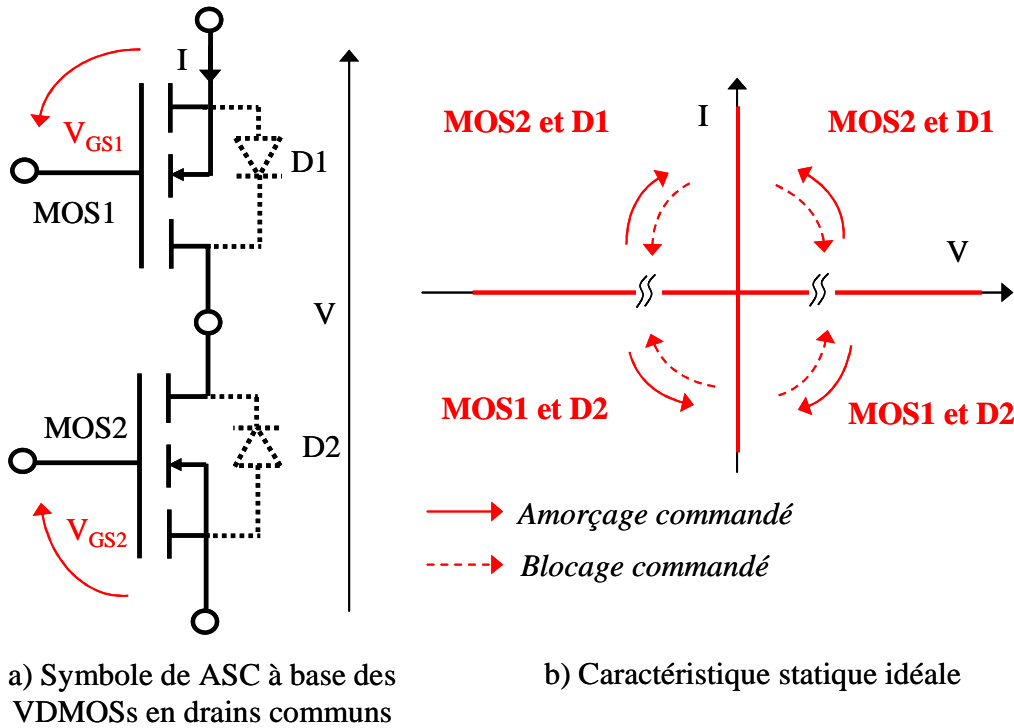
a) Symbole de ACS à base des VDMOSs en sources communes

b) Caractéristique statique idéale

**Figure I-12.** ACS à base des VDMOS mis en sources communes

En commande commune, les interrupteurs étant passants, celui en parallèle avec la diode en conduction peut lui aussi prendre une partie du courant de charge.

**B. ACS à base des VDMOS montés en drains communs (MDC en abrégation)**



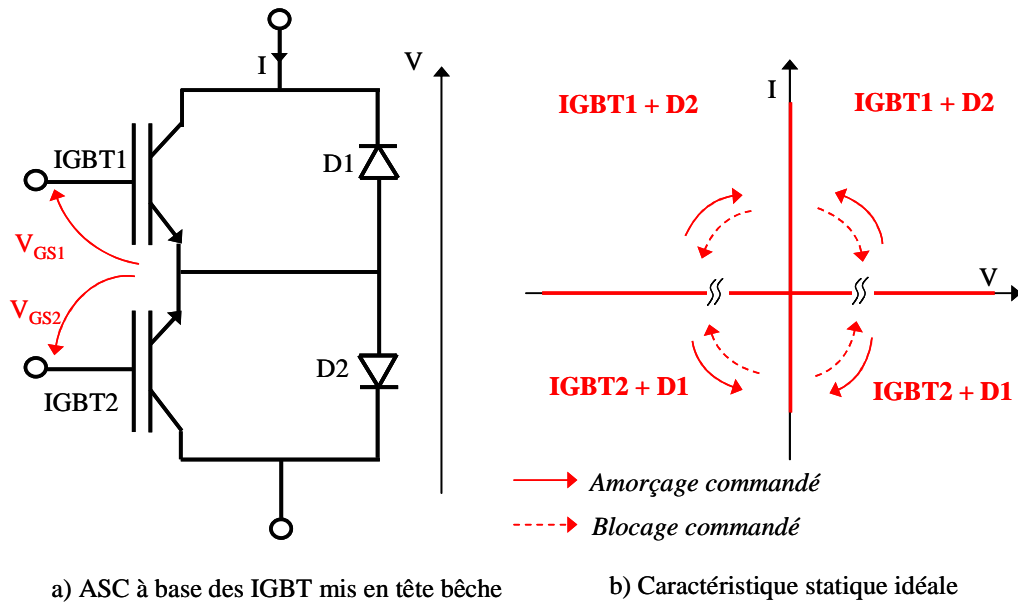
**Figure I-13.** ACS à base des VDMOS mis en drain communs

Dans cette configuration, les commandes des grilles des MOS1 et MOS2 n'ont pas même potentiel de référence. Cela signifie que la mise en œuvre repose sur deux commandes rapprochées et deux systèmes d'alimentation. Comme pour le cas précédent, la chute de tension en direct correspond à la somme des chutes de tension de l'un des VDMOS et d'une des diodes. Comme dans le cas précédent, il y a aussi deux modes de commande pour la structure : commande commune et commande séparée. Sur la base d'une mise en œuvre à base de composants discrets cette approche semble donc moins pertinente.

**I.3.2.2 AC Switch à base des IGBT**

Deux IGBT sont montés en tête-bêche avec chacun une diode en anti-parallèle forment un interrupteur quatre quadrants. Les deux IGBT peuvent avoir leurs émetteurs communs ce qui facilite bien la mise en œuvre de la structure. En fonctionnement statique, l'ACS représente une chute de tension étant la somme de celle de l'IGBT avec la diode anti-parallèle de l'autre l'IGBT. Ici bien évidemment, c'est de nouveau l'aspect de mise en

œuvre qui est intéressant car il réduit le nombre d'alimentation et de commandes rapprochées nécessaires.

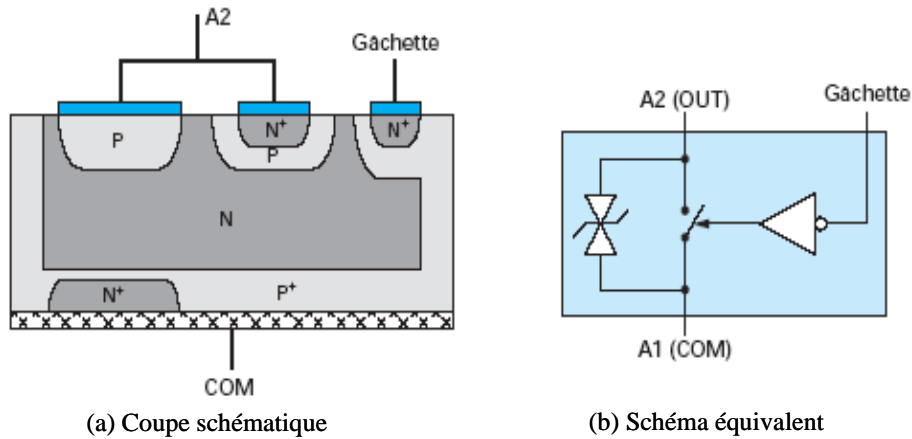


**Figure I-14.** ACS à base des IGBT mis en tête-bêche

#### I.4 Intégration monolithique d'un composant AC Switch à commande MOS

Actuellement, l'effort d'intégration sur silicium bénéficie des avancées offertes par les nouvelles technologies silicium et microsystèmes. Ceci permet de synthétiser des fonctions plus élaborées et plus complexes. Ainsi un grand nombre d'applications, alimentées à partir du réseau de distribution électrique peuvent profiter de ces avantages. Le Triac est le seul composant monolithique commercialisé, bidirectionnel en courant et en tension. Nous présentons ci-dessous un exemple de réalisation proposé par la société ST Microelectronics [ST Microelectronics]. La figure I-15 représente la coupe d'une structure d'un ACS développée par ST Microelectronics Tours, via une filière technologique nommée ASD (Applications Specific Discretes).



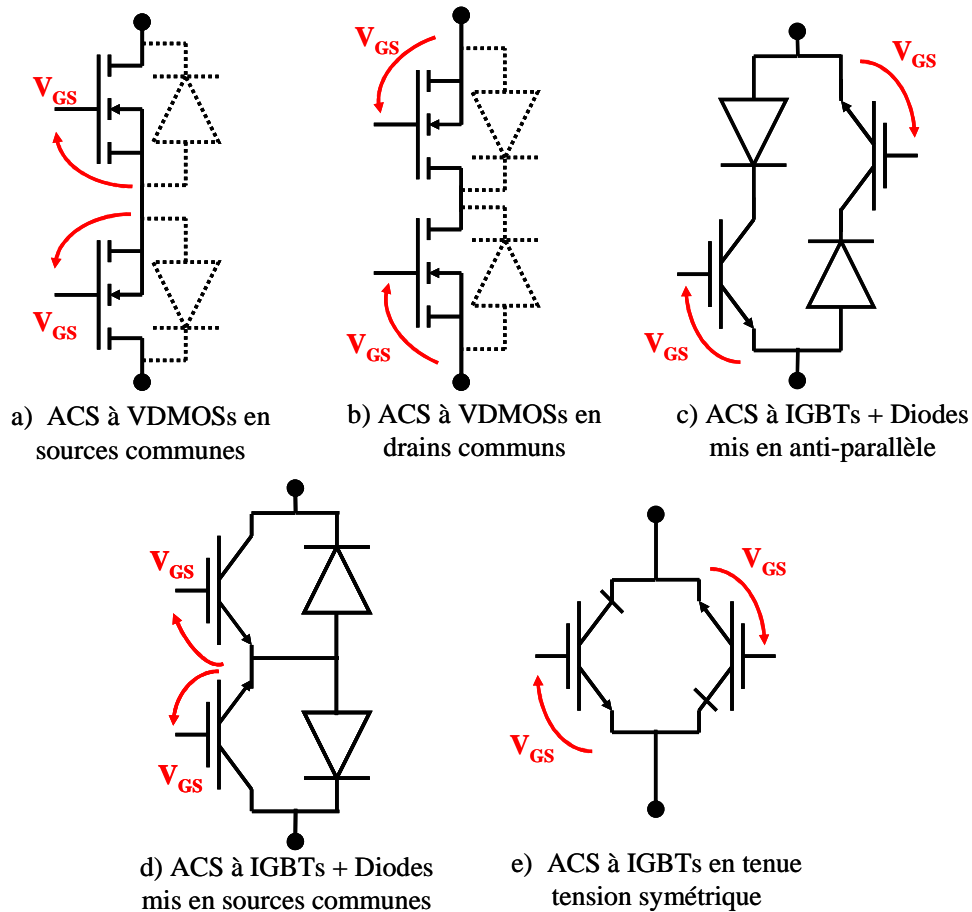


**Figure I-15.** Coupe et symbole d'une structure ACS développée par STM

Le composant conçu exploite des régions particulières et voisines à l'intérieur d'une structure Triac (faite de deux thyristors têtes bêtes) pour permettre de commander le composant, quelque soit l'alternance avec une seule gâchette. Ainsi, l'intégration des deux composants est un réel bénéfice de l'intégration monolithique.

Le principal inconvénient du composant triac reste centré sur ses possibilités de blocage essentiellement possibles par annulation de la valeur du courant sous la valeur de maintien. Il est impossible donc de le bloquer lorsqu'il y a une surintensité du courant due au court-circuit de la charge par exemple. Pour s'affranchir à ce problème, il nous faudrait un composant bidirectionnel en courant et en tension offrant un réel pouvoir de coupure bidirectionnel et plutôt simple à commander. Cette solution a été évoquée de manière hybride dans §I.3 à travers diverses associations de composants à grilles isolées.

Discutons ici des possibilités d'intégration monolithique de ces solutions dans l'objectif de synthétiser des fonctions ACS monolithiques à commande MOS (Métal-Oxyde-Semiconducteur). Le terme « ACS à commande MOS » s'explique par l'association de deux fonctions interrupteurs possédant des électrodes de commande de type MOS comme c'est le cas pour les transistors VDMOS ou IGBT. La figure I-16 ci-dessous résume les différents cas précédemment évoqués.



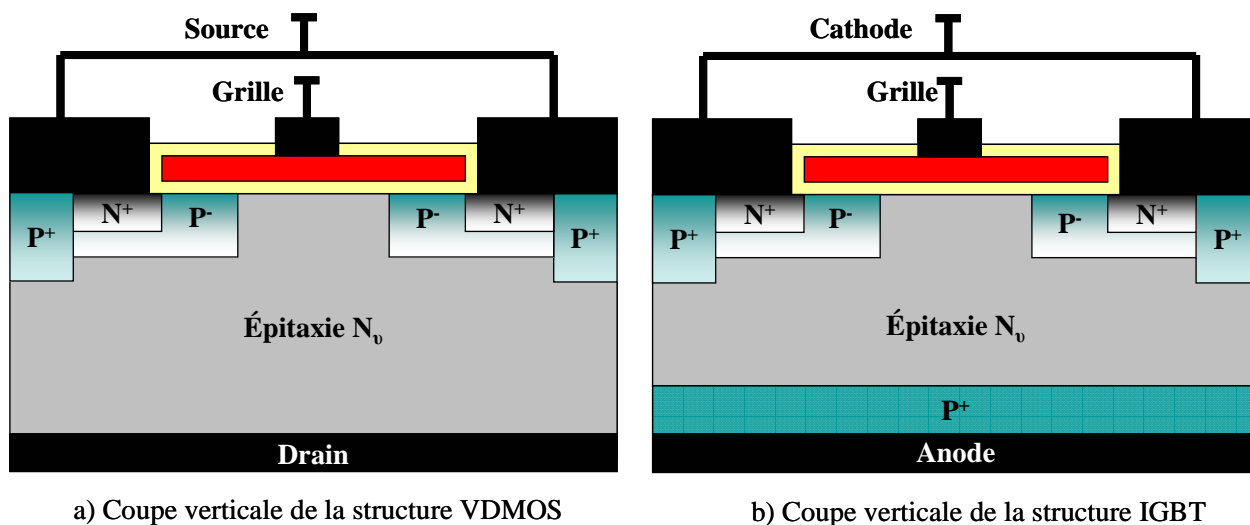
**Figure I-16.** ACS à commande MOS

Les structures à MOS bénéficient naturellement d'une structure bidirectionnelle en courant. Par contre leur utilisation est limitée dans la gamme des moyennes et basses puissances puisqu'ils sont issus d'un compromis entre la résistance à l'état passant et la tenue en tension du composant. Pour leur part, les structures à IGBT permettent d'adresser des applications de plus fortes puissances mais le caractère unidirectionnel en courant et en tension des interrupteurs impose l'ajout de diodes de puissance en série ou en anti-parallèle selon le cas. Tous deux présentent l'avantage d'être à commandes électrostatiques, à la fermeture comme à l'ouverture. Comme nous le verrons plus loin, dans leur version monolithique, tous deux présentent l'inconvénient d'être pilotés via deux électrodes de grilles référencées à deux potentiels différents rendant la mise en œuvre plus complexe.

Actuellement, la complexité de mise en œuvre de gradateurs ou encore de structures de conversion matricielle est rendue rédhibitoire par le nombre de composants de puissance et leurs commandes multi-potentielles associées. L'intégration monolithique de la partie puissance permettrait de simplifier cette mise en œuvre en réduisant le nombre de

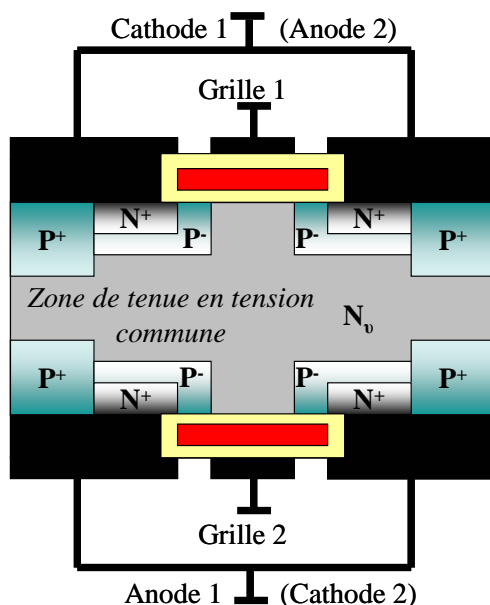
composants et elle pourrait, dans certains cas, augmenter les performances de ces mêmes composants qui en discrets sont fortement affectés par une double chute de tension en direct.

Les ACS utilisant des transistors à sources (cathodes) communes sont plus intéressants que ceux à drains communs grâce à la facilité de mise œuvre de leurs circuits de commande. Mais ils sont difficiles à intégrer de façon monolithique. En effet, comme le montre la coupe verticale du VDMOS (ou de l'IGBT) figure I-17, le drain du VDMOS (ou l'anode de l'IGBT) se trouve en face arrière du composant alors que la grille et la source (ou base et cathode de l'IGBT) sont situées en surface (zone active). Il est donc plus aisé d'intégrer de façon monolithique un ACS à transistors en drains (anodes) communs. Cela peut s'effectuer par l'utilisation de technologie et de lithographie double face. Les IGBT à tenue en tension symétrique partagent, dans ce cas, les mêmes zones de tenue en tension comme présentée dans la figure I-18. Dans cette configuration, le composant possède une électrode de commande sur chacune de ses faces et les ordres de commande doivent être référencés à chacune des cathodes.



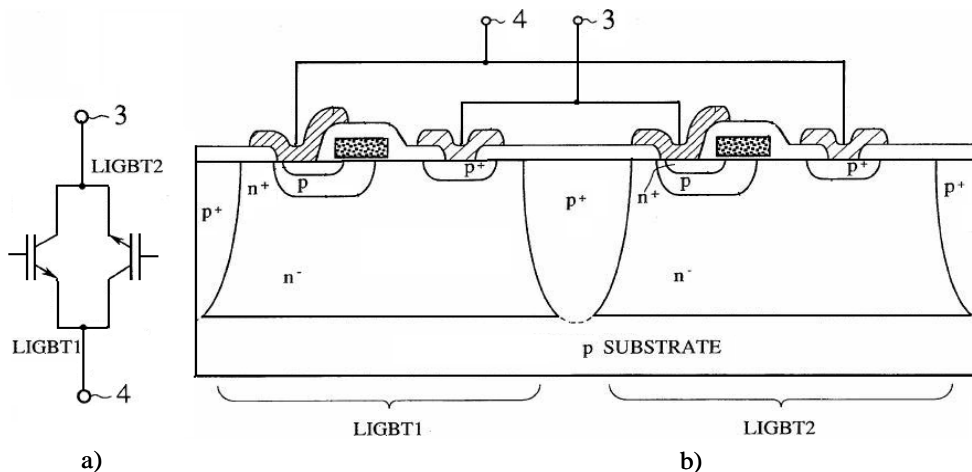
**Figure I-17.** Coupe verticale des structures : a) VDMOS. b) IGBT

En fonction du calibre en tension et en courant, plusieurs solutions monolithiques existent. Les principales concernent la mise en œuvre de transistors IGBT, qu'ils soient à structures latérales ou à structures verticales. Dans ce cas, la zone centrale de chaque composant est commune et la structure est par ailleurs totalement symétrique. La figure I-18 présente une vue en coupe d'un composant ACS à IGBT. Dans cette configuration, le composant possède une électrode de commande sur chacune de ses faces et les ordres de commande doivent être référencés à chacune des cathodes [CREBIER 06].

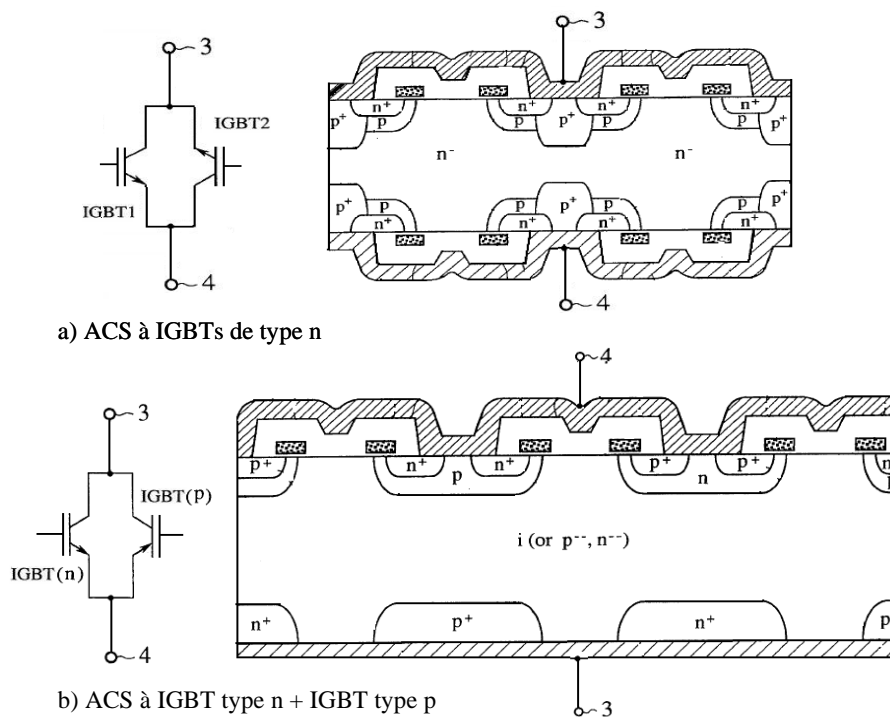


**Figure I-18.** Vue en coupe d'un ACS intégré à IGBT en symétrie

Dans les années 90, plusieurs brevets déposés présentent diverses solutions monolithiques d'interrupteurs bidirectionnels par l'association de transistors MOSFET [NADD 91] ou IGBT [AIZAWA 97]. Les ACS à commande MOS peuvent être obtenus par intégration monolithique des IGBT latéraux (c.f figure I-19) ou verticaux de même type ou de deux types différents (c.f figure I-20). Les deux LIGBT (Latéral IGBT) sont connectés en anti-parallèle : l'émetteur de l'un est relié au collecteur de l'autre. Ils sont réalisés au sein d'un substrat de type P épitaxié N en surface, par implantation de caissons d'anode de type P<sup>+</sup> et de caissons de cathode de type N<sup>+</sup>. L'isolation entre les deux composants est assurée soit par un caisson diffusé de type P<sup>+</sup> soit par une couche diélectrique SiO<sub>2</sub>. Les deux composants peuvent aussi partager la même zone de tenue en tension. Dans ce cas leurs électrodes de puissance sont communes deux à deux.



**Figure I-19.** Intégration monolithique de deux IGBT latéraux



**Figure I-20.** Intégration monolithique de deux IGBT verticaux: a) de même type n.  
b) de deux types différents

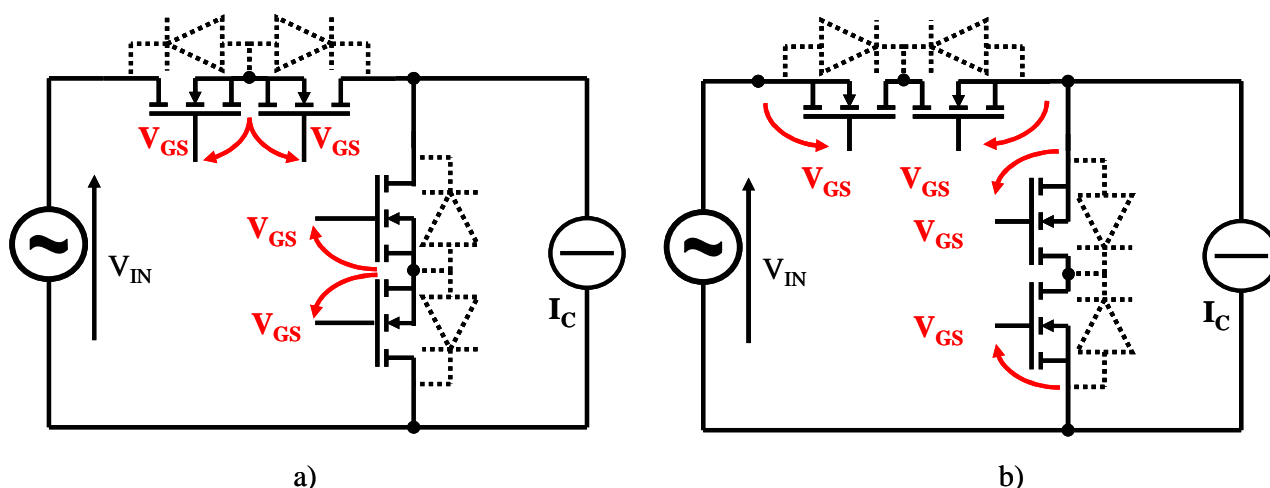
Ce processus d'intégration monolithique dépasse le cadre d'une simple intégration « monopuce » augmentant les densités de puissances commutées. En effet, à travers l'intégration fonctionnelle imaginée dans cette partie, plusieurs dividendes fonctionnels et opérationnels peuvent être mis en évidence. Par exemple, au niveau des transistors à la tenue en tension symétrique, c'est la même zone de tenue en tension qui assure la tenue en tension dans les deux sens de polarisation (MBS). De fait, la chute de tension en direct de la fonction interrupteur ainsi faite est plus faible que dans le cas d'une association série de deux composants discrets. Pour les composants bidirectionnels en courant, le partage des zones modulées peut favoriser le « recyclage » des charges injectées et ainsi limiter les pertes en commutation (courant de queue, recouvrement...). Enfin, dans le cas d'un interrupteur quatre quadrants avec commande de grille indépendante, nous pouvons faire émerger une fonctionnalité supplémentaire intéressante. Celle-ci consiste à agir sur l'électrode de commande côté injecteur de charge lorsque l'on souhaite moduler l'injection. En effet, on peut ainsi court-circuiter plus ou moins les injecteurs et ainsi limiter les niveaux de porteurs injectés et stockés dans la zone de tenue en tension. Cette action, pouvant être dynamique, peut être effectuée un peu avant la commutation pour ne dégrader l'état passant du composant que lorsque l'on s'apprête à bloquer ce dernier [ABDELHAKIM 04].

Cette présentation rapide des possibilités technologiques et électriques en terme d'intégration nous permet d'une part de mettre en évidence la faisabilité et la compatibilité du processus d'intégration des composants de puissance, et d'autre part, de bien identifier le chemin qu'il reste à faire pour aller vers une simplification de la mise en œuvre de composants bidirectionnels en courant et en tension. En particulier, deux grands chantiers restent peu abordés à ce jour. Le premier concerne l'intégration de l'environnement électronique du dispositif qui reste pour l'instant complexe, multi potentiels, multi références et principalement à base de composants discrets [MOBIDIC]. Le second concerne la mise en œuvre du composant à proprement parler, sous entendu son report, son encapsulation et l'interconnexion des électrodes puissance et de sa commande [MOBIDIC]. L'ampleur de ces tâches dépasse largement le cadre de cette seule thèse et c'est sur le premier point que nous avons concentré notre effort d'investigation. Afin de bien comprendre les enjeux liés à la mise en œuvre de ces composants et aux caractéristiques des environnements électroniques qu'il faut leur associer, il est important d'aborder l'aspect applicatif. L'avant dernière partie de ce premier chapitre introduit l'implantation de composants ACS dans une structure de conversion AC-AC classique et typique, celle du gradateur monophasé à prélèvement sinusoïdal.

## **I.5 Mise en œuvre d'une structure AC/AC discrète à base de MOSFET**

### **I.5.1 Présentation de la structure**

Nous choisissons le gradateur monophasé à prélèvement sinusoïdal comme exemple pour illustrer l'application des ACS à commande MOS. Les convertisseurs AC-AC à découpage sont en effet aujourd'hui pressentis comme les actionneurs majeurs dans les applications de gestion de l'énergie pour les réseaux et l'habitat. Ces structures permettent de réguler le transfert de puissance tout en assurant, vue du réseau ou de la source d'alimentation, un prélèvement sinusoïdal du courant (amélioration du facteur de puissance). Leur structure est relativement simple et ressemble au premier abord à un hacheur. Néanmoins sa réversibilité en tension et en courant et le fonctionnement en prélèvement sinusoïdal complique et augmente le nombre de composants de puissance le constituant et leurs environnements électroniques associés.



**Figure I-21.** a) Gradateur AC-AC commandé à VDMOS en sources communes.  
b) Gradateur AC-AC commandé à VDMOS en drains communs

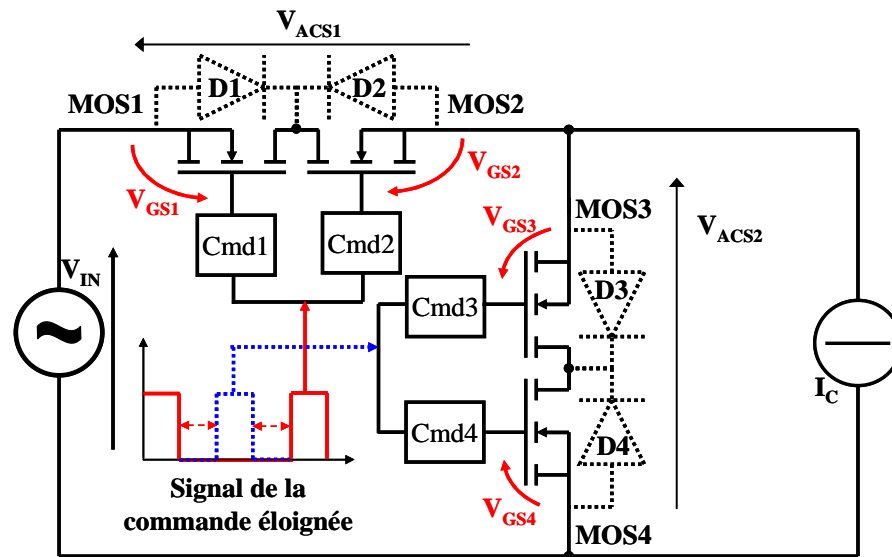
Le gradateur monophasé à base des VDMOS mis en sources communes (figure I-21.a) a été initialement mis en œuvre en discret au sein du Laboratoire d'Electrotechnique de Grenoble [VINCENT 01]. Puis une version à drains communs fut réalisée ultérieurement [NGUYEN 05, NGUYEN 06] pour se rapprocher d'une situation de mise en œuvre à base de composants monolithiques. La structure réalisée est celle de la figure I-21.b : les deux ACS sont constitués de deux VDMOS montés en drains communs, les transistors utilisés étant de type IRFI 730G. Ici les transistors de chaque ACS étant chacun référencé à un potentiel flottant, ils nécessitent quatre alimentations isolées les unes des autres pour leurs commandes rapprochées.

Dans cette partie et en guise d'exemple, nous allons présenter une structure utilisant deux ACS à base de VDMOS pour voir quels sont les problèmes concernant les commandes des interrupteurs ainsi que les phénomènes intervenant lors des commutations entre deux ACS. Cette description permettra d'appréhender les besoins et caractéristiques que doivent présenter les environnements électroniques à associer aux composants actifs. Pour limiter le cadre de cette partie, nous nous contenterons d'aborder la mise en œuvre de ce type de structure sur la base de composants ACS associés comme ils pourraient l'être dans des versions monolithiques (voir §I-4). Il est bien évident, et nous aurons l'occasion d'y revenir dans le second chapitre, que d'autres mises en œuvre, plus simples sont envisageables mais principalement sur la base de composants discrets [VINCENT 01].

## I.5.2 Principe de fonctionnement

Il s'agit d'un convertisseur gradateur AC-AC monophasé composé de deux ACS à transistors VDMOS (c.f figure I-22). Le premier ACS, connecté directement sur la source alternative, assure le découpage principal, l'autre étant placé en parallèle avec la charge pour assurer la roue libre lorsque nécessaire. Les ordres de commande des deux ACS doivent donc être complémentaires.

La figure I-22 ci-dessous présente à nouveau la topologie de la structure étudiée, la configuration équivalente du montage pour l'alternance positive puis négative de la tension d'entrée  $V_{IN}$  est représentée respectivement par figures I-23.a et b. La loi de commande pour chaque ACS est précisée figure I-23.c.



**Figure I-22.** Gradateur monophasé AC-AC à base des VDMOS câblés en drains communs

$V_{IN} > 0$  : Nous nous appuyerons sur le schéma équivalent de la figure I-23.a pour introduire les différentes phases de l'étude.

$$(1-1) \quad V_{ACS1} - V_{ACS2} = V_{IN}$$

$$(1-2) \quad I_C = I_{ACS1} + I_{ACS2}$$

$$(1-3) \quad V_C = -V_{ACS2}$$

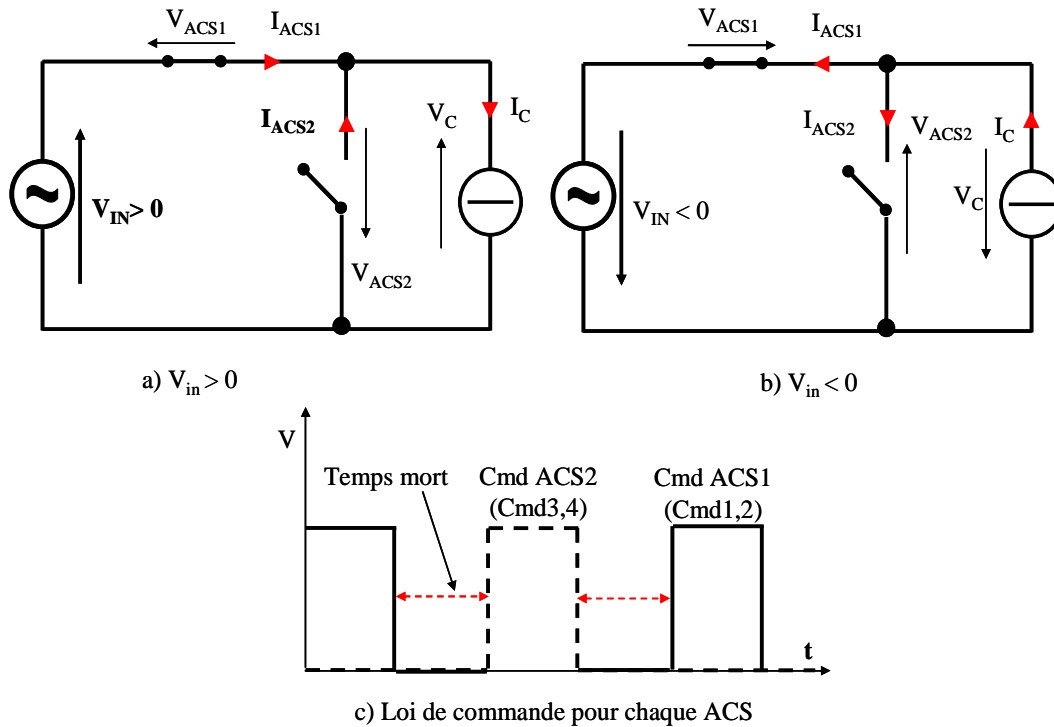
$$(1-4) \quad V_{ACS1} = V_{DS2} - V_{DS1}$$

$$(1-5) \quad V_{ACS2} = V_{DS3} - V_{DS4}$$

Durant cette phase de conduction, ce sont les deux MOS2 et MOS3 avec les diodes intrinsèques D1 et D4 qui assurent le découpage des grandeurs électriques de la structure à



découpage (supposons que le courant de charge  $I_C$  est positif durant cette phase). Initialement l'ACS1 est fermé alors que l'ACS2 est ouvert, c'est la diode D4 qui supporte la tension d'entrée. Le courant issu de la source transite à travers le transistor MOS2 et la diode D1.



**Figure I-23.** Représentation structurelle et symbolique des paramètres pour les périodes positive et négative de la source de tension.

- (1-6)  $I_{ACS1} = I_C$
- (1-7)  $V_{DS1} = -V_{FD1}$
- (1-8)  $V_{DS2} = V_{DS2(ON)}$
- (1-9)  $V_{DS3} \neq 0$
- (1-10)  $V_{DS4} = V_{IN} - V_{DS2(ON)} - V_{FD1}$

( $V_{FD}$  sont les tensions de déchet respectives des diodes intrinsèques).

Pendant la phase de roue libre, l'ACS2 est fermé alors que l'ACS1 est ouvert et c'est le MOS2 qui tient la tension à ses bornes. Le courant de charge transite alors à travers le MOS3 et la diode D4.

$$(1-11) \quad I_{ACS2} = I_C$$

$$(1-12) \quad V_{DS3} = -V_{FD3}$$

$$(1-13) \quad V_{DS4} = V_{DS4(ON)}$$

$$(1-14) \quad V_{DS1} \neq 0$$

$$(1-15) \quad V_{DS2} = V_{IN} + V_{DS3(ON)} - V_{DS4(ON)}$$

$V_{IN} < 0$  : Nous nous appuyerons sur le schéma équivalent de la figure I-23.b pour étudier les différentes phases de l'étude.

$$(1-16) \quad V_{ACS1} - V_{ACS2} = V_{IN}$$

$$(1-17) \quad I_C = I_{ACS1} + I_{ACS2}$$

$$(1-18) \quad V_C = -V_{ACS2}$$

$$(1-19) \quad V_{ACS1} = V_{DS1} - V_{DS2}$$

$$(1-20) \quad V_{ACS2} = V_{DS4} - V_{DS3}$$

Pendant cette phase, ce sont les deux MOS1 et MOS4 avec les diodes D2 et D3 qui assurent le découpage des grandeurs électriques de la structure. Initialement l'ACS1 est fermé et l'ACS2 est ouvert, cette fois la diode D3 supporte la tension d'entrée. Le courant issu de la source  $I_C$  transite à travers la Diode D2 et le MOS1.

$$(1-21) \quad I_{ACS1} = I_C$$

$$(1-22) \quad V_{DS1} = V_{DS1(ON)}$$

$$(1-23) \quad V_{DS2} = -V_{FD2}$$

$$(1-24) \quad V_{DS3} = V_{IN} - V_{DS1(ON)}$$

$$(1-25) \quad V_{DS4} \neq 0$$

Durant la phase de roue libre, l'ACS2 est fermé alors que l'ACS1 est ouvert c'est le MOS1 qui tient la tension à ses bornes. Le courant de charge transite ainsi à travers la diode D3 et le MOS4.

$$(1-26) \quad I_{ACS2} = I_C$$

$$(1-27) \quad V_{DS1} = V_{IN} + V_{DS4(ON)}$$

$$(1-28) \quad V_{DS2} \neq 0$$

$$(1-29) \quad V_{DS3} = -V_{FD3} \text{ et } V_{DS4} = V_{DS4(ON)}$$

Entre ces deux états stables et clairs, il existe les phases de commutation. En fonction du type de commande, les commutations ont des comportements différents et fortement dépendent de la charge connectée à la structure de conversion.

À ce stade, il peut être intéressant d'aborder plus en détails la gestion des ordres de commande au niveau d'un ACS. Deux cas de figure importants doivent alors être abordés. D'une part, il faut éviter de créer une phase de court circuit de l'alimentation par une commande simultanée des interrupteurs des deux ACS et d'autre part, il faut pouvoir garantir un passage pour le courant de charge lorsque celle-ci est inductive, et cela quelque soit le déphasage entre le courant et la tension.

Avant d'aller plus loin dans cette description, une remarque importante doit être faite maintenant : il existe une parade de commande permettant d'assurer une commutation naturelle « interrupteur-diode ». Cette approche nécessite de connaître le sens de passage du courant de charge. On peut alors ne faire commuter que le transistor nécessaire à la roue libre. De cette manière, le court-circuit est impossible car une diode l'empêche. Si cette approche permet de résoudre assez bien le problème de la commutation des dispositifs, elle repose sur une commande plus complexe à mettre en oeuvre. Dans le travail que nous avons conduit, nous avons essayé de tirer profit de cette approche lorsque, par l'ajout de certaines fonctionnalités, une information devenait disponible et exploitable. Cela sera plus amplement détaillé au second chapitre de ce rapport de thèse.

Dans le cas plus classique où les deux transistors de chaque ACS, qu'ils soient à MDC ou à MSC (c.f §I.3.2.1) sont commandés simultanément, il y a un fort risque de passage en court-circuit du bras lors des commutations. Il faut donc gérer au mieux la commutation d'un ACS à l'autre. L'idée initiale consiste alors à insérer un temps mort entre les deux ordres de commande. Néanmoins, la phase de roue libre étant désormais contrôlée par des interrupteurs, les applications sur charges inductives feraient apparaître des surtensions importantes. Sachant que la gestion idéale d'une commutation MOS-MOS est particulièrement difficile à mettre en œuvre pour les applications moyennes et hautes tensions, des surintensités ou des surtensions sont à prévoir. Par exemple, la fermeture de l'ACS2 avant l'ouverture de l'ACS1, provoque une brève mise en court-circuit de la source de tension. Dans un second cas, la fermeture en retard de l'ACS2 par rapport à l'ouverture de l'ACS1 ne permet pas d'offrir un chemin pour le courant soutenu par la charge inductive.

Le premier type de commutations ainsi que l'influence de la durée du court-circuit entre les deux commandes ont été étudiés en détail dans [BOULANT 2000]. Nous nous sommes penchés ici sur le second type de commutations afin de compléter le travail précédent.

➤ Pour une charge de type inductive

Quelque soit la commutation considérée, la présence d'un temps mort sur une charge inductive a pour conséquence une brutale surtension aux bornes des interrupteurs de puissance. L'explication est simple et repose sur le fait que le courant de charge cherche un passage pour évacuer l'énergie stockée temporairement dans l'inductance de charge. Tous les interrupteurs étant bloqués sur ordre de la commande éloignée, le courant qui ne peut s'interrompre, transite alors à travers les éléments parasites de la structure. En particulier, il charge rapidement les capacités parasites des transistors de puissance et cela jusqu'à ce que le courant s'annule ou encore, jusqu'à ce que la tension aux bornes de l'un des transistors excède ses possibilités de tenue en tension. Dans ce second cas, le transistor entre dans une phase de fonctionnement en régime de forte avalanche, fortement dissipative par la coexistence simultanée d'une forte tension et d'un fort courant à ses bornes. A ce stade, le courant de charge trouve un chemin et c'est le transistor qui commence à dissiper l'intégralité de l'énergie stockée dans l'inductance de charge. On comprend bien que si la durée ou le niveau de cette surtension deviennent trop importants, le rendement de conversion sera fortement réduit et le composant fortement stressé dans le meilleur des cas et au pire détruit. Il convient donc de gérer correctement cette phase de commutation sur charge inductive.

Le blocage du transistor MOS2 ou MOS4 va provoquer une surtension aux bornes de la diode tenant la tension au sein de l'ACS2. Une loi des mailles incluant les deux ACS et la source d'alimentation (1-2) montre rapidement que c'est la diode tenant la tension aux bornes de l'ACS1 qui va le plus rapidement passer en avalanche.

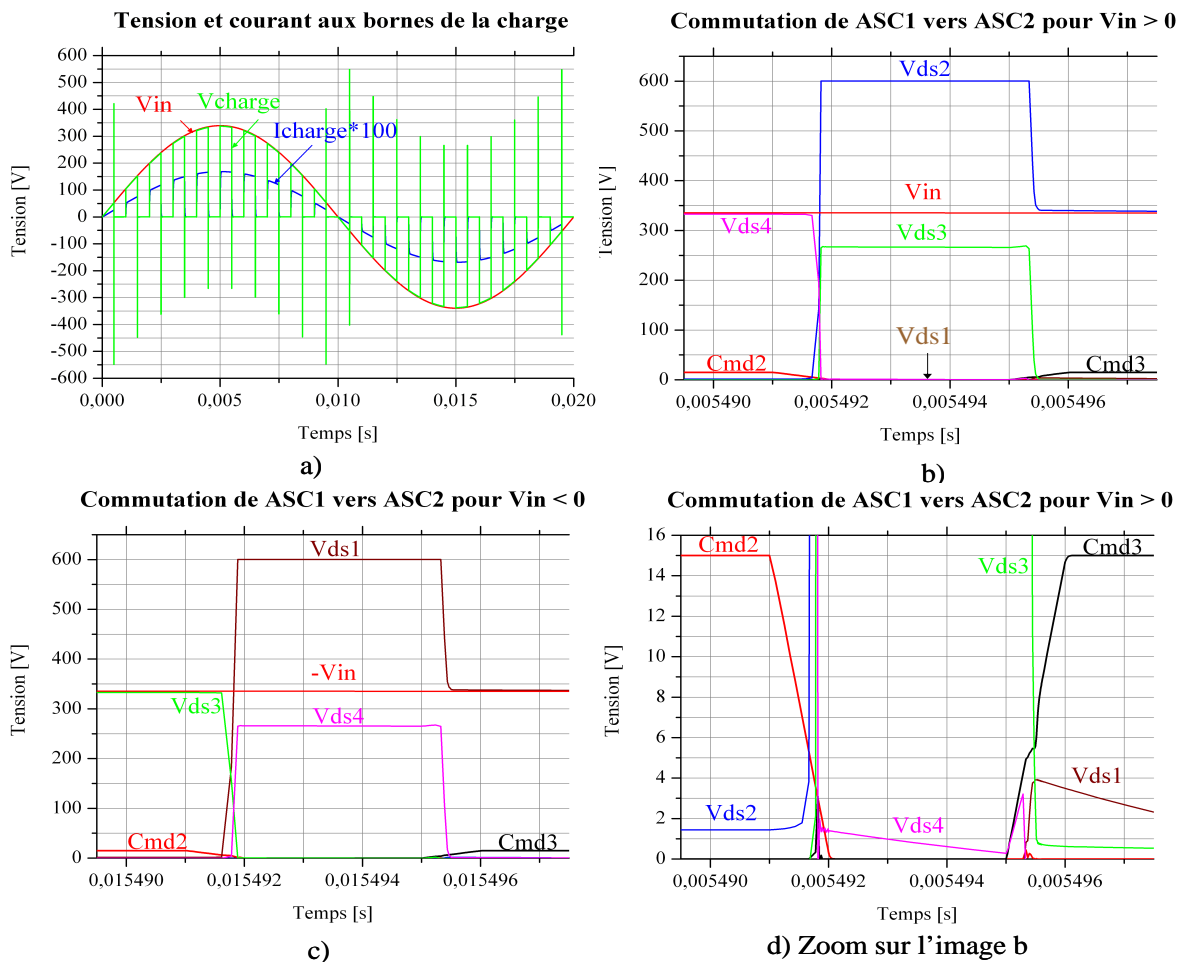
Si l'un des deux transistors s'opposant au passage du courant est rapidement commuté à l'état passant, cette commutation stoppe la phase de surtension et stabilise la structure de conversion dans l'une des deux phases stables. Il en va de même pour l'alternance négative mais cette fois avec les composants complémentaires.

Dans la partie suivante, nous allons étudier les deux cas pour la commande de deux ACS présentés ci-dessus en simulation: Un faible temps morts et un faible court-circuit entre les deux commandes.

### I.5.3 Comportement du gradateur monophasé en simulation

- Faible temps mort entre les deux commandes

Ce paragraphe propose une illustration des points évoqués précédemment à travers l'exemple d'un gradateur monophasé étudié par simulations électriques (PSPice). La topologie est celle présentée figure I-22 et repose sur des modèles de transistors assez simples (IRFBC40-600V level 2) mais pouvant néanmoins rendre compte des problèmes apparaissant lors des commutations. Les éléments complémentaires sont une source de tension sinusoïdale à la fréquence et d'amplitude caractéristiques du réseau de distribution AC et une charge de type R-L dont les valeurs sont :  $R = 200\Omega$  et  $L = 2\text{mH}$ . Une inductance de maille (40nH) est placée en série avec chaque ACS. Elle a pour effet de limiter les di/dt présents lors des commutations des transistors. Les figures suivantes présentent les résultats en simulation : La figure I-24.a donne des formes d'ondes de la tension et du courant aux bornes de la charge. Vous voyez bien qu'il apparaît des surtensions aux bornes de la charge à cause du temps mort.



**Figure I-24.** Formes d'onde des tensions aux bornes des MOS pour un faible temps mort

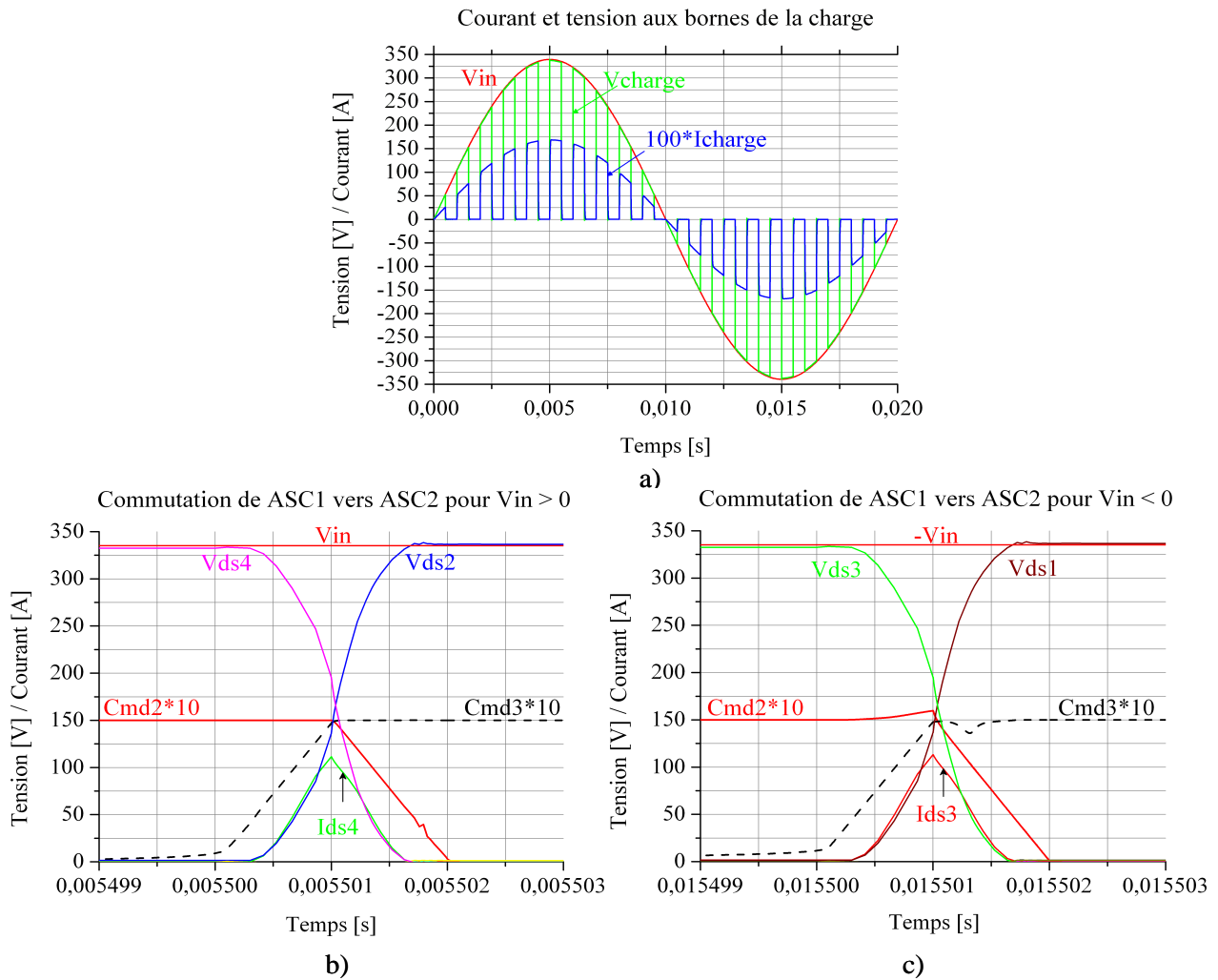
Durant la commutation de ACS1 vers ACS2 (pour  $V_{IN} > 0$ ), pendant que la commande de ACS1 est à l'état haut (la commande de ACS2 n'est pas mise en route) la tension d'entrée est appliquée aux bornes du MOS4 (le MOS3 est court-circuité par sa diode intrinsèque) (c.f. figure I-24.d). Lorsque la commande de ACS1 passe à l'état bas alors que la commande (c.f. figure I-24.b) de l'ACS2 n'arrive pas encore (le temps mort nécessaire entre les deux commandes), la tension  $V_{DS2}$  commence à croître. Cette dernière atteint et dépasse rapidement la tension d'entrée  $V_{IN}$  (une portion du courant de charge inductive qui cherche son chemin via ses capacités parasites). Une fois que la tension  $V_{DS2}$  dépasse la tension d'entrée  $V_{IN}$ , la tension aux bornes du MOS3 devient ainsi positive car  $V_{DS3} \approx -V_{IN} + V_{DS2}$ .

Pour la phase négative de  $V_{IN}$ , cette fois ce sont les MOS1 MOS3 (les diodes intrinsèques D2 et D4 court-circuitent MOS2 et MOS4) qui assurent la conduction de la structure. De la même manière, lorsque l'ACS1 passe à l'état bas alors que l'ACS2 n'est pas fermé, la tension  $V_{DS1}$  augmente et dépasse la tension d'entrée. La tension aux bornes du MOS4 devient positive ( $V_{DS4} \approx V_{IN} + V_{DS1}$ ) (c.f figure I-24.c). Dans les deux cas, les tensions aux bornes des composants de l'ACS1 augmentent jusqu'au claquage. A partir de là, le courant de charge trouve un passage.

Nous voyons bien qu'au blocage de chaque période de découpage de l'ACS1 (MOS2 pour  $V_{in} > 0$  et MOS1 pour  $V_{in} < 0$ ), il y a des surtensions inévitables aux bornes des transistors (MOS2 pour  $V_{in} > 0$  et MOS1 pour  $V_{in} < 0$ ) durant le temps mort. Cette surtension force d'une part ces transistors à fonctionner en régime d'avalanche et d'autre part, la surtension créée, associée au passage d'un fort courant, provoque de fortes pertes en commutation ce qui empêche la montée en fréquence.

➤ Faible court-circuit entre les deux commandes

Toujours avec la même topologie, cette fois nous créons un faible court-circuit entre les deux commandes. Les résultats en simulation sont présentés dans la figure suivante :



**Figure I-25.** Formes d'onde des tensions et courant pour un faible court-circuit

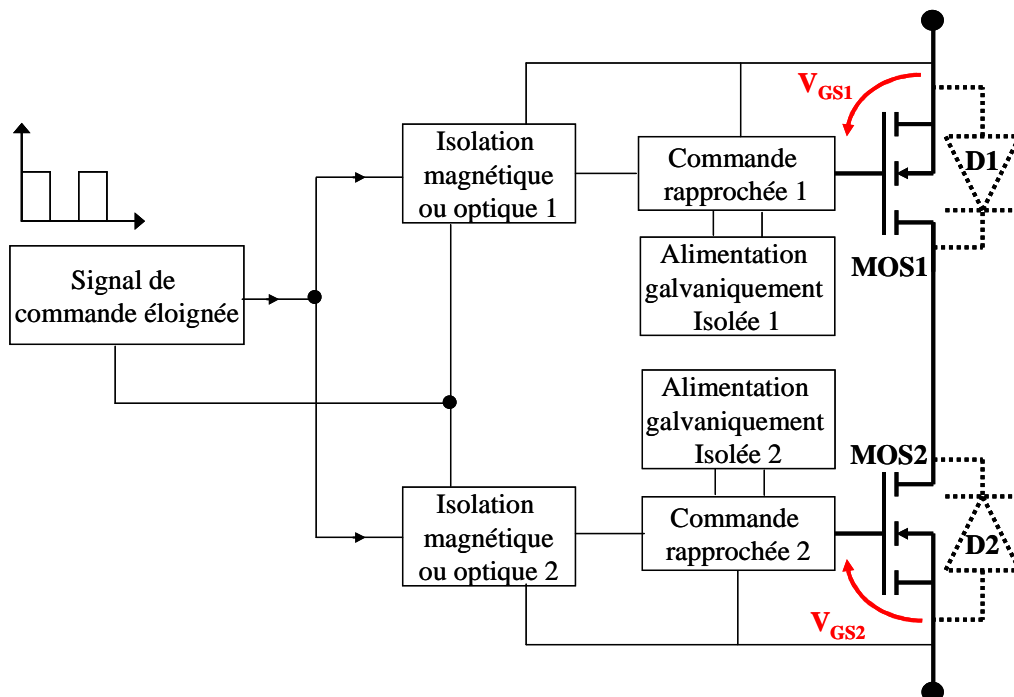
Nous examinons toujours la transition de commutation de ACS1 vers ACS2 pour les deux cas  $V_{IN}$  positive et négative. Lorsque la commande de l'ACS1 tente de passer à l'état bas, la commande de l'ACS2 est déjà commandée. Dans ces conditions, la source de tension est court-circuitée. Un courant de court-circuit important passe dans le bras et provoque une destruction par dissipation des composants de puissance.

Dans les deux cas de loi de commande des ACS, la surtension (pour un faible temps mort) et la surintensité (pour un faible court-circuité) sont inévitables. Les valeurs de la surtension ou de la surintensité dépendent de la durée du temps mort ou du court-circuit et des caractéristiques du courant de montage, des dynamiques de commande et bien sûr, de la nature de la charge [BOULANT 2000]. Aussi, la gestion du temps mort ou de court-circuit agit fortement sur les performances de la structure de commutation.

**Mise en œuvre**

Pour évaluer les besoins et caractéristiques des environnements électriques à intégrer monolithiquement, nous considérerons que chaque ACS est monté en drains communs (MDC). Bien évidemment, cette configuration augmente les contraintes de mise en œuvre du dispositif.

Comme nous l'avons précisé plus haut, la mise en œuvre de chaque ACS repose alors sur une double commande. Pour faire simple et pour traiter le cas général, il faut donc quatre alimentations indépendantes et isolées pour piloter la structure monophasée étudiée (bien sûr, on peut réduire ce nombre en remarquant que la référence de l'une des sources peut être commune à celle de la commande éloignée et que les sources des interrupteurs 2 et 3 sont communes, tout ceci réduisant à 2 le nombre d'alimentations isolées nécessaires). Il en va de même pour la gestion et l'isolation des ordres de commande. Plusieurs dispositifs d'isolation ou d'adaptation des potentiels seront nécessaires pour transmettre les ordres aux différents transistors. La figure I-26 montre la topologie retenue pour les alimentations et la gestion des ordres de l'ACS à MDC réalisé.



**Figure I-26.** Topologie de la commande d'un ACS à MOS câblés en drains communs

La gestion des commutations, les commandes référencées à des potentiels différents, la gestion des transferts d'ordres, les alimentations des différentes fonctions, tout cela forme un ensemble volumineux, coûteux qui peut réduire les performances et la fiabilité du



système. Nous nous apercevons bien quels gains peuvent apparaître si une partie ou l'ensemble de ces fonctions sont intégrées, annoncées au sein des composants constituant les ACS, entre la commande rapprochée et son interrupteur aura pour avantage de simplifier la mise en œuvre de la partie de commande, de réduire le volume et aussi le coût de fabrication de l'interrupteur.

Des intégrations de la commande ont déjà été réalisées [FRUTOS 02, RAMENZANI 88, PEREZ] mais ces dispositifs sont réalisés, en général, en technologie « Smart Power » autant pour la commande que pour la partie puissance, ce qui ne permet pas la création d'interrupteurs à tenue en tension élevée.

Un « push-pull » à transistors complémentaires intégré n'est réalisable que si le processus de fabrication des interrupteurs est modifié pour créer des zones à isolation électrique au sein de la puce de puissance et généralement à côté de celle-ci [DARTIGUES 01]. Ceci est envisageable mais entraîne un surcoût de fabrication des composants sans pour autant simplifier la connectique globale de l'ensemble.

Dans ce contexte, l'objectif de la présente thèse est de trouver une structure et les moyens technologiques (isolation électrique, comptabilité technologique, comptabilité électrique) permettant d'intégrer l'alimentation, l'étage d'amplification et l'interrupteur de puissance (VDMOS ou IGBT) sur la même puce de silicium à coût technologique le plus faible possible. Ce travail s'inscrit totalement dans le cadre de projets tels que H2T-Tech (PEARL-ALSTOM à TARBE) qui consiste à faire cohabiter dans la même puce haute tension un interrupteur son alimentation et sa commande rapprochée et ses protections, le tout dans un contexte technologique très contraint par le calibre haute tension de la fonction. Le défi est important car il ne sera pas simple de faire cohabiter plusieurs technologies ou encore de concevoir quelque chose de performant sur la base d'une technologie verticale assez minimaliste.

## **I.6 Introduction sur l'intégration de l'environnement électronique.**

Les progrès croissants dans les micro-technologies sur silicium de ces dernières années offrent aujourd'hui un vaste panel de possibilités pour favoriser les processus d'intégration et simplifier la conception. Ces progrès ne doivent pas faire oublier le contexte économique, assez classique, d'une l'électronique de puissance qui se doit de rester fiable tout en offrant

continuellement plus. Bien loin de faire systématiquement partie des marchés à fortes valeurs ajoutées, le domaine de l'électronique de puissance doit progresser tout en contenant ses coûts de développement mais aussi et surtout ceux liés à la fabrication. C'est particulièrement le cas des marchés prometteurs de l'électronique de puissance, marchés de masse et de volume où, plus qu'ailleurs, la partie électronique de puissance est un élément non visible et faiblement valorisable sur le plan économique. On peut citer, entre autres, les domaines de l'automobile, ceux des biens de consommation, électroménagers et médiatiques en têtes. Reste bien sûr quelques marchés clés comme la traction électrique, quelques applications de niches et le marché potentiel de la gestion et du raccordement sur le réseau électrique des systèmes de production délocalisée d'énergies renouvelables et non conventionnelles. Dans ce contexte, l'intégration monolithique, avec ces processus collectifs, ses densités de puissance élevées, son niveau de fiabilité élevé apparaît comme la solution miracle. La recherche s'est fortement investie dans les nouvelles technologies pour résoudre les problèmes d'intégration et de cohabitation, quelquefois au prix fort, souvent sans réel potentiel d'industrialisation. Cette thèse et l'effort de recherche qui lui est associé ont tenté d'explorer une piste complémentaire, moins fortement demandeuse en technologie et plus fortement orientée vers une approche système et conceptuelle pour aborder et tenter de résoudre certains verrous de l'intégration.

Les contextes spécifiques électriques et technologiques des composants de puissance sont assez particuliers et différents de ceux des composants de la micro-électronique et des microsystèmes. Dans notre cas, le substrat du composant de puissance est généralement connecté à un potentiel élevé non stable. Par ailleurs, les fonctions réalisées sont souvent uniques, gourmandes en surface et reposent le plus souvent sur des recettes technologiques spécifiques et différentes pour chaque application. De fait, l'effort de conception lié à celui de l'intégration monolithique en électronique de puissance n'a jamais été aussi intense que celui conduit pour la conception en micro-électronique.

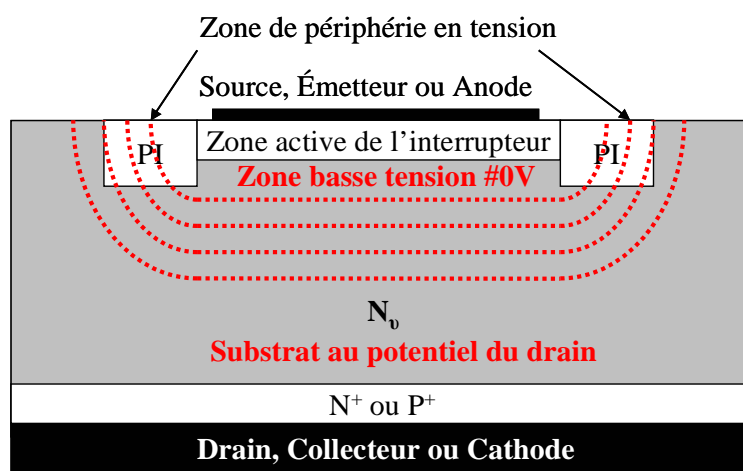
Notre objectif consistant à intégrer des fonctions de « contrôle-commande » au sein des composants de puissance, nous avons dû rechercher quelles pouvaient être les possibilités électriques et technologiques envisageables et réalistes.

En général, le problème majeur qui se pose lors de l'intégration monolithique des fonctions au sein des puces de puissance et de la commande rapprochée en particulier, est l'isolation électrique et fonctionnelle entre les éléments logiques de la commande et le composants de puissance auquel elles sont rattachées électriquement et donc aussi

physiquement. Avec le développement des techniques d'isolation comme : l'auto-isolation, l'isolation par jonctions, l'isolation par diélectrique, le mélange des technologies, de nombreuses approches ont vu le jour [SANCHEZ 99, CARMEL 05], toutes ayant des avantages et des inconvénients.

La première question à se poser consiste à identifier à quel endroit de la puce et comment la ou les fonctions logiques doivent être intégrées et quelles peuvent être les conséquences de ce choix sur le fonctionnement, les performances et les caractéristiques de l'ensemble (taille, caractéristiques électriques, dynamiques, fiabilité, aires de bon fonctionnement, immunité...). En guise d'introduction sur ce thème, au combien vaste de l'intégration monolithique des composants de puissance, nous proposons d'aborder ici ce point.

Pour cela, considérons la vue en coupe d'un transistor de puissance à structure verticale comme celle présentée figure I-27, et essayons de voir quelle peut être la région la plus favorable pour insérer la logique de contrôle commande. Nous ferons ici l'hypothèse d'une technologie de réalisation des fonctions de contrôle-commande compatible avec le procédé technologique de réalisation des composants de puissance à grilles.



**Figure I-27.** Vue en coupe d'un interrupteur de puissance à structure verticale

Dans cette vue en coupe, il y a deux zones délimitées par une région périphérique de tenue en tension. La première zone dite active, correspond à la surface du composant délimitée, on pourrait dire encerclée, par la zone de périphérie en tension. C'est dans la *zone active* que sont localisées les terminaisons comme les électrodes de grille, de base, de source ou encore d'émetteur. Ici, les différences de potentiels restent faibles ( $\pm 15V$  en général) et proches du référentiel d'anode (0V). La seconde zone, dite de *substrat*, correspond au volume de la puce. Celle-ci, pour des contraintes de tenue en tension, est généralement faiblement dopée alors que l'implantation en face arrière est, elle, fortement dopée pour

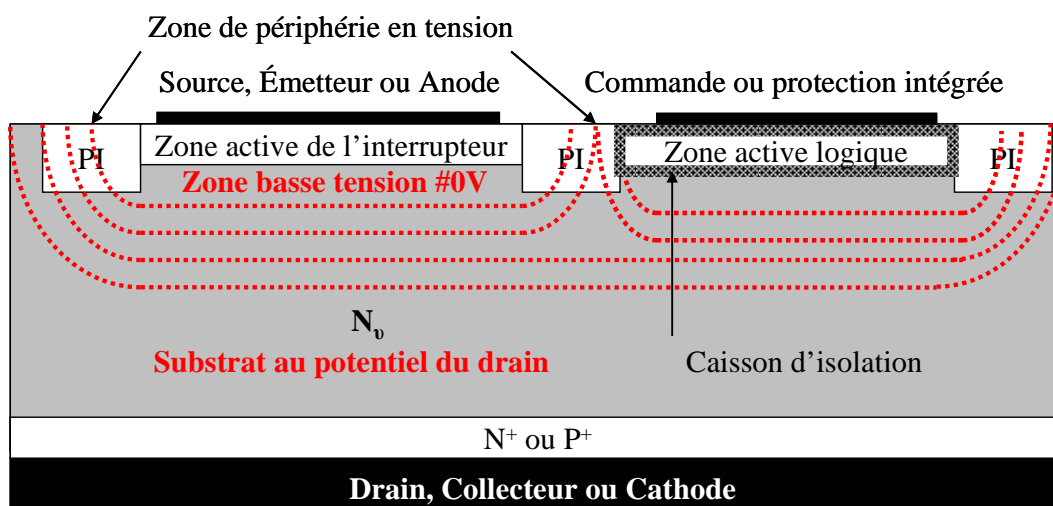
permettre un bon contact ohmique. Si les deux régions de la zone de substrat ne sont pas nécessairement de même type P ou N, elles sont néanmoins toutes deux le siège de potentiels fortement variables et pouvant être élevés, proches ou égaux à celui de la cathode. Pour que cette zone de tenue en tension se comporte de manière optimale, elle doit être de profondeur et de concentration optimales. En surface, on peut délimiter deux régions, l'une externe proche du potentiel de substrat et une interne dont les variations de potentiel sont proches de celles de la commande.

Comme nous le savons, une fonction logique de contrôle commande a pour vocation d'être raccordée essentiellement aux potentiels situés dans la zone active, à l'intérieur de la région périphérique. Deux solutions s'offrent à nous. Soit la fonction est intégrée à côté du composant de puissance, donc à l'extérieur de la périphérie, soit elle est intégrée au sein même du composant de puissance, dans la zone active.

#### **Premier cas : à l'extérieur de la périphérie**

La première solution consiste à juxtaposer au sein de la même puce la fonction puissance et la fonction commande. Cela peut se faire en prenant certaines précautions. Si aucune limite technologique n'est posée, une bonne solution consiste à partitionner le substrat et la connectique en face arrière de la puce. On peut alors bénéficier d'un excellent niveau d'isolation électrique et fonctionnel tout en limitant la distance entre les fonctions et tout en bénéficiant des gains issus des procédés de fabrication collective. Nous l'avons compris, cette approche consiste à créer des caissons d'isolation verticaux, traversant ou pas en s'appuyant sur de nombreuses variantes technologiques [CARAMEL 05]. Lorsque le recours à ces techniques sera obligatoire, il faudra alors bien évaluer les gains potentiels offerts par la mise en œuvre de ces approches technologiques tout de même assez lourdes.

Si ces techniques ne peuvent pas être retenues pour diverses raisons (technologiques ou économiques par exemple), il faudra prévoir une terminaison en tension spécifique pour la fonction auxiliaire [DARTIGUES 01]. Par ailleurs, il faudra veiller à ce que la technologie latérale mise en œuvre ne pénalise pas la tenue en tension globale du dispositif. La figure ci-dessous présente une vue en coupe d'une telle association.

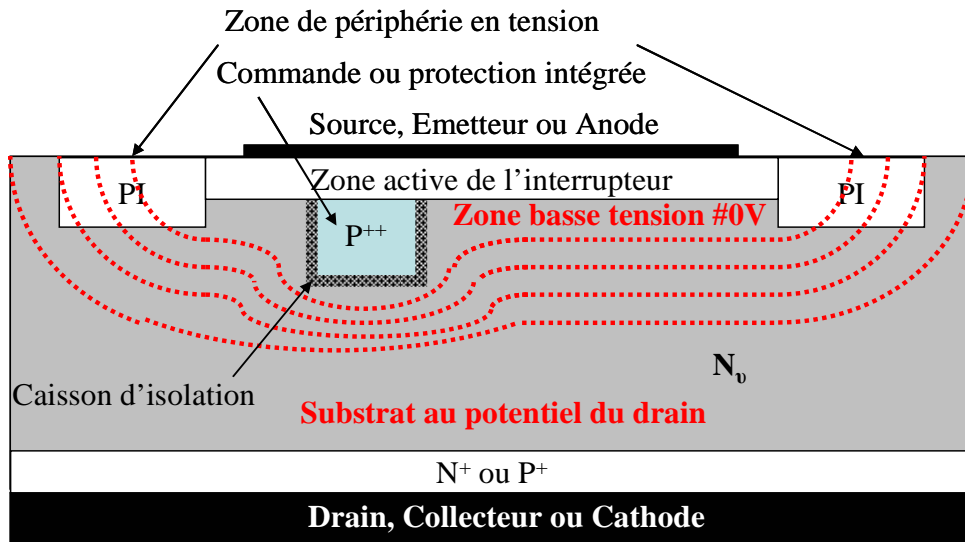


**Figure I-28.** Coupe structurale d'interrupteur de puissance intégré avec un circuit électronique mis à côté

Dans tous les cas de figure, il faudra prévoir l'ajout en surface de dispositifs d'interconnexions spécifiques entre les parties puissance et contrôle-commande car des signaux devront transiter en surface et par-dessus les zones de périphérie en tension.

### **Second cas : A l'intérieur des périphéries**

D'un point de vue connectique, la solution idéale consiste à « loger » la partie « contrôle-commande » au sein même de la puce de puissance, près des électrodes de commande de grille et d'émetteur. En effet, cette approche permet de minimiser la connectique et les effets parasites qui en découlent tout en simplifiant grandement l'interconnexion en surface de la puce (absence de chevauchement sur les zones périphériques). Par contre, cette approche présente certaines contraintes. En effet, en étant au sein même du dispositif de puissance, les couplages électrostatiques sont fortement « exacerbés » et par ailleurs, il faut veiller à ce que la région de contrôle-commande ne pénalise pas les caractéristiques de tenue en tension du dispositif. La figure ci-dessous illustre les effets indésirables consistant à implanter un caisson trop profond au sein d'une région de puissance. On va voir alors que d'une part, l'épaisseur de la zone de tenue en tension où peut se développer la ZCE (Zone de Charge d'Espace) sera réduite et d'autre part que des effets de concentration des équipotentielles sont possibles ce qui conduirait à élever localement et dangereusement le niveau du champ électrique.



**Figure I-29.** Effet négatif sur la distribution du champ électrique et la tenue en tension du composant d'un caisson d'isolation profond au sein de la zone active

Dans un souci de maîtrise et de réalisme technologique, nous avons décidé de nous cantonner à l'utilisation et la mise en œuvre d'une technologie d'isolation électrique par jonctions en essayant de favoriser l'approche dite d'auto-isolation. Dans ces conditions, les caractéristiques de la zone de tenue en tension sont conservées, le procédé technologique reste minimaliste et l'interconnexion optimale. Reste alors à voir quelles peuvent être les possibilités offertes par cette approche. Dans [CREBIER 06, IMBERNON 02] entre autres, il est démontré qu'une filière N-MOS latérale peut être intégrée, elle aussi sans surcoût technologique. Ainsi, en s'appuyant sur les étapes technologiques disponibles dans la « filière de puissance », des transistors latéraux MOS à canal N peuvent être synthétisés à partir de deux régions  $N^+$  de source et drain et d'une région porte canal de type  $P^+$ , ces deux types de régions correspondant respectivement aux caissons d'émetteur et de porte canal dans le transistor de puissance. C'est ce que nous verrons dans la suite de ce travail.

## I.7 Conclusion

Dans ce premier chapitre de la thèse, nous avons fait le point sur les composants de puissance disponibles et leurs dérivés que sont les dispositifs interrupteurs quatre quadrants, bidirectionnels en courant et en tension. Nous avons présenté comment il était envisagé une intégration monolithique de ce type d'interrupteur sur la base de dispositifs à grilles commandables à la fermeture et à l'ouverture. La suite de ce chapitre s'est alors orienté vers la mise en œuvre et l'utilisation de ce type de composant, sur la base de topologies intégrables. Nous avons présenté une réalisation permettant de comprendre et d'évaluer les

contraintes d'intégration possible de l'ensemble. Il s'agit d'une structure monophasée : un gradateur à prélèvement sinusoïdal, basé sur l'association de deux composants ACS permettant de réaliser une cellule de commutation bidirectionnelle en courant et en tension. Après avoir mis en évidence les difficultés et complexités liées à sa mise en œuvre, la dernière partie de ce chapitre fut consacrée à un bilan sur les possibilités d'intégration monolithique des fonctions d'alimentation de contrôle-commande.

Il nous reste maintenant à expliquer comment, par nos activités de recherche conduites ces dernières années, nous avons abordé l'intégration d'un tel dispositif. Le second chapitre se focalisera sur la mise en œuvre de plusieurs systèmes d'auto-alimentation pour simplifier les alimentations des commandes rapprochées des différents composants de puissance des deux cellules ACS. Nous verrons comment, à travers cette mise en œuvre, la gestion des temps morts pourra être envisagée et partiellement solutionnée. Les chapitres qui suivront porteront quand à eux sur l'intégration d'un dispositif de contrôle-commande adapté à tous types d'applications.

## Table des figures et des tableaux du Chapitre I

|   |  |    |
|---|--|----|
| Figure I-1.                                 | a) Représentation symbolique. b) Structurale. c) Caractéristique réelle d'une diode .....  | 13 |
| Figure I-2.                                 | Structure de principe d'une diode Schottky .....   | 14 |
| Figure I-3.                                 | a) Représentation symbolique. b) Structurale. c) Caractéristique statique du thyristor.....  | 15 |
| Figure I-4.                                 | Symbole du transistor Triac.....   | 16 |
| Figure I-5.                                 | Représentation symbolique et structurale du transistor bipolaire.....  | 18 |
| Figure I-6.                                 | a) Représentation symbolique. b) Structurale. c) Caractéristique statique d'un transistor MOSFET.....  | 19 |
| Figure I-7.                                 | a) Représentation symbolique. b) Structurale. c) Coupe verticale d'un IGBT-N.P.T (Non-Punch-Through).....  | 21 |
| Figure I-8.                                 | a) ACS à deux thyristors connectés en anti-parallèle. b) Caractéristique statique de l'ACS à base de thyristor .....                                       | 25 |
| Figure I-9.                                 | ACS à base des IGBT mis en anti-parallèle .....  | 26 |
| Figure I-10.                                | Symbole et caractéristique statique du MBS .....   | 27 |
| Figure I-11.                                | ACS à base des MBS .....   | 28 |
| Figure I-12.                                | ACS à base des VDMOS mis en sources communes .....   | 29 |
| Figure I-13.                                | ACS à base des VDMOS mis en drain communs.....   | 30 |
| Figure I-14.                                | ACS à base des IGBT mis en tête-bêche .....  | 31 |
| Figure I-15.                                | Coupe et symbole d'une structure ACS développée par STM.....   | 32 |
| Figure I-16.                                | ACS à commande MOS.....  | 33 |
| Figure I-17.                                | Coupe verticale des structures : a) VDMOS. b) IGBT .....   | 34 |
| Figure I-18.                                | Vue en coupe d'un ACS intégré à IGBT en symétrie .....   | 35 |
| Figure I-19.                                | Intégration monolithique de deux IGBT latéraux.....  | 35 |
| Figure I-20.                                | Intégration monolithique de deux IGBT verticaux: a) de même type n. b) de deux types différents.....   | 36 |
| Figure I-21.                                | a) Gradateur AC-AC commandé à VDMOS en sources communes.<br>b) Gradateur AC-AC commandé à VDMOS en drains communs.....                                     | 38 |
| Figure I-22.                                | Gradateur monophasé AC-AC à base des VDMOS câblés en drains communs... ..  | 39 |
| Figure I-23.                                | Représentation structurale et symbolique des paramètres pour les périodes positive et négative de la source de tension.....                                | 40 |
| Figure I-24.                                | Formes d'onde des tensions aux bornes des MOS pour un faible temps mort..  | 44 |
| Figure I-25.                                | Formes d'onde des tensions et courant pour un faible court-circuit.....  | 46 |
| Figure I-26.                                | Topologie de la commande d'un ACS à MOS câblés en drains communs .....   | 47 |
| Figure I-27.                                | Vue en coupe d'un interrupteur de puissance à structure verticale .....  | 50 |
| Figure I-28.                                | Coupe structurale d'interrupteur de puissance intégré avec un circuit électronique mis à côté .....  | 52 |
| Figure I-29.                                | Effet négatif sur la distribution du champ électrique et la tenue en tension du composant d'un caisson d'isolation profond au sein de la zone active ..... | 53 |
| <hr style="border-top: 1px dashed black;"/> |  |    |
| <b>Tableau I-1.</b>                         | Récapitulatif.....   | 23 |



## Références du chapitre I

[ARNOULD 92] J. ARNOULD, P. Merle « Dispositifs de l'électronique de puissance », volume 1&2, traité des nouvelles technologies, 1992.

[ABDELHAKIM 04] B.ABDELHAKIM « Etude et conception de structures bidirectionnelles en courant et en tension commandées par MOS », Thèse de doctorat de l'Université Paul Sabatier de Toulouse, juillet 2004.

[AIZAWA 97] Y. AIZAWA et al-United States Patent, « Bidirectional Semiconductor Switch », 4 Mars 1997.

[BERNOT 03] F. BERNOT « Composant de l'électronique de puissance », Les Technique de l'Ingénieur, Volume - E3 960, 2003.

[BREIL 03] M. BREIL et F. Morancho « Evolution de l'intégration en électronique de puissance », J3EA, Journal sur l'enseignement des sciences et technologies de l'information et des systèmes, Volume 2, Hors Série 2-9-2003.

[BOULANT 2000] H. BOULANT « Gestion des commutations dans les convertisseurs matrices. Régulation par décalage des ordres de commande ».

[BALIGA 90] B.J. BALIGA, « The MOS-gated emitter switched thyristor », IEEE Electron Device Lett., Vol. EDL-11, 1990, pp.75-77.

[CREBIER 06] Jean-Christophe CREBIER « Intégration monolithique et composants de puissance », Habilitation à diriger des recherches en sciences CNRS, le 22 mai 2006.

[CARMEL 05] C. CARMEL, « Techniques d'isolations applicables à une structure intégrées de protection des IGBT contre les courts-circuits », Article des journées scientifique du GdR ISP3D, Lyon, Octobre 2005.

[CHERON 89] Y. CHERON « La commutation douce dans la conversion de l'énergie électrique » LAVOISIER 1989.

[DARTIGUES 01] A. DARTIGUES « Etude des interactions dans un circuit de puissance monolithique », Thèse doctorat de l'INPG, soutenue le 29 novembre, 2001.

[EPFL] Ecole Polytechnique de Lausanne, <http://lei.epfl.ch/>, « Conversion Alternative - Alternative à fréquence invariable ».

[FRUTOS 02] X. FRUTOS, International Rectifier « Integrated power H – Bridge controller for 80-watt automotive DC motors », PCIME, Europe 2002.

[FOCH 89] H. FOCH « Electronique de puissance. Principes fondamentaux. Eléments constructifs et synthèse des convertisseurs statiques », Techniques de l'Ingénieur D1352, 1989.

[GONTHIER] L. GONTHIER, T. LEQUEU, C. ANCEAU, « Application de la démarche d'intégration fonctionnelle : intégration d'un interrupteur MOS à tenue inverse en tension et définition une cellule de commutation pour le cas alternatif », EPF Proc, 1997.

[HUSELSTEIN 98] J.J HUSELSTEIN, C.GLAIZE, « IGBT en tenue en tension symétrique. Caractérisation statique et dynamique en fonctionnement transistor, diode et interrupteur bidirectionnel bi commandable », EPF'98, Belfort, 1998.

[HEINKE 2000] F. HEINKE, R.Sittig, « The Monolithic Bidirectional Switch (MBS) », ISPSD'2000, May 22-25, Toulouse, France.

[IMBERNON 02] Eric IMBERNON « Etude et optimisation d'une filière technologique flexible adaptée au mode d'intégration fonctionnelle », Thèse de docteur de l'Université Paul Sabatier de Toulouse, septembre 2002.

[MOHAN 03] N. MOHAN et al « Power Electronics: Converter, Applications and Design », John Wiley & sons, 2003.

[MOBIDIC] ANR-MOBIDIC: MOS controlled BI-Directional power Integrated Component « Full functional monolithic integration of MOS controlled AC Switch for AC-AC power conversion applications » November 2006 to December 2009.

[NGUYEN 05] B. NGUYEN et all « AC Switches with integrated gate driver supplies », EPE'05, Dresden, Allemagne, 14-15 September 2005.

[NGUYEN 06] B. NGUYEN et al « MOS Controlled AC switches implemented with full driver power supplies and dead time management circuits », IECON'06, Paris France, 7-10 November 2006.

[NADD 91] Bruno NADD-United States Patent, « Monolithic Bidirectional Switch With Power MOS Transistors », 26 Mars 1991.

[LEFEBVRE] Stéphane LEFEBVRE « Composants à semi-conducteur pour l'électronique de puissance » Editions Tec & Doc, Lavoisier.

[PEZZANI 95]. R. PEZZANI et al, « Functional integration of power devices: a new approach », EPE'95, Sevilla, Spain, September 95, vol.2 p219.

[PERRET-I] Robert PERRET « Mise en œuvre des composants électroniques de puissance » série génie électrique (Traité EGEM), Hermès Science Publications, Lavoisier.

[PERRET-II] Robert PERRET « Interrupteurs électroniques de puissance » série génie électrique (Traité EGEM), Hermès Science Publications, Lavoisier.

[PITTET 05] S. PITTET « Modélisation physique d'un transistor de puissance IGBT traînée en tension à l'enclenchement », Thèse EPFL 2005.

[PEREZ] A.PEREZ, « An IGBT gate driver integrated circuit with full-bridge output stage and short circuit protections»

[RUSSEL 83] J.P.RUSSEL et al, « The COMFET – A new high conductance MOS-gated device », IEEE Electron Device Lett, Vol EDL-4, pp 63-65, Mars 1983

[RAMENZANI 88] M. RAMENZANI et al « A monolithic IGBT Gate Driver Implemented in a Conventional 0.8 $\mu$ m BiCMOS process », International Symposium on Power Semiconductor Devices and ICs, Kyoto, 1988.

[SZE 85] S.M.Sze « Semiconductor Devices, Physics and Technology », John Wiley & Sons, 1985.

[SEGUIER 03] G. SEGUIER R. BAUSIERE, F. LABRIQUE « Electronique de puissance : Structure, fonctions de base principales » 8<sup>ème</sup> éditions.

[SANCHEZ] Jean-Louis SANCHEZ, Frédéric MORANCHO « Composants semi-conducteur : Intégration de puissance monolithique », Techniques de l'Ingénieur D3110.

[SANCHEZ 97] J-L. SANCHEZ, P. Austin, R. Berriane, M. Marmouget, « Trends in design and technology for new power devices based on functional integration », European Power Electronics (EPE'97), Trondheim (Norway), 1997, pp. 1302-1307

[SANCHEZ 99] J-L. Sanchez, « State of the art and trends in power integration », MSM, Puerto Rico (USA), 1999, pp. 20-29

[VINCENT 01] L.VINCENT « Gradateur à commande forcée avec auto-alimentation », rapport de fin d'étude IUT1 Grenoble, 2001.

[ST Microelectronics] « Cost-saving switches offer higher voltage capability while enhancing overall system electrical performances » <http://www.st.com/>

## **Chapitre-II**

### **Nouvelles fonctionnalités pour la conversion AC/AC à commande MOS (à grille isolée)**

## TABLE DES MATIÈRES DU CHAPITE II

### **Chapitre-II: Nouvelles fonctionnalités pour la conversion AC/AC à commande MOS (à grille isolée)**

|          |   |    |
|----------|---|----|
| II.1     | Présentation de l'approche retenue .....  | 61 |
| II.2     | Rappel de la structure et principes de fonctionnement de l'auto-alimentation .....                  | 62 |
| II.2.1   | Introduction .....  | 62 |
| II.2.2   | Principe de fonctionnement d'une « Auto-alimentation » MOSFET-MOSFET pour commande rapprochée ..... | 63 |
| II.3     | AC Switch et auto-alimentation .....  | 65 |
| II.3.1   | Auto-alimentation d'un AC Switch à sources communes .....   | 65 |
| II.3.2   | Auto-alimentation d'un AC Switch à drains communs. ....   | 67 |
| II.3.2.1 | Commutation de ACS1 vers ACS2 pour $V_{IN} > 0$ .....   | 68 |
| II.3.2.2 | Commutation de ACS2 vers ACS1 pour $V_{IN} > 0$ .....   | 69 |
| II.4     | Mise en œuvre concrète à base de composants intégrés .....  | 71 |
| II.5     | Validations expérimentales et performances .....  | 72 |
| II.6     | Système de surveillance de la tension aux bornes de l'élément de stockage .....                     | 76 |
| II.7     | Gradateur auto-alimenté avec système de monitoring .....  | 79 |
| II.8     | Mise en œuvre d'une solution intégrable .....   | 84 |
| II.9     | Conclusion .....  | 85 |
|          | Références du chapitre II .....   | 86 |

## II.1 Présentation de l'approche retenue

L'étude et la mise en œuvre d'une «auto-alimentation » permettant d'alimenter la commande rapprochée d'un interrupteur dont la référence est flottante a déjà été abordée à plusieurs reprises dans des structures de conversion DC-DC [MITOVA 05, VINCENT-ISPSD'06, ROUGER-ISPSD'06]. Son implantation au sein d'une structure AC-AC composée de deux *AC Switch* constituait une nouvelle application intéressante car très contraignante au niveau fonctionnel. Son utilisation massive dans les structures AC-AC permettrait d'en simplifier la mise en œuvre surtout si la fonction d'alimentation s'avère être intégrable au sein même d'un *AC Switch* [MOBIDIC]. Après un bref rappel sur le fonctionnement du système d'auto-alimentation, nous allons montrer les avantages obtenus par leur utilisation dans une structure *AC Switch* (ACS) composée de VDMOS montés en drains communs [NGUYEN IECON'06]. Les conditions d'intégration seront rapidement abordées avant d'étudier et d'analyser avec précision l'impact des différentes auto-alimentations sur le fonctionnement du gradateur.

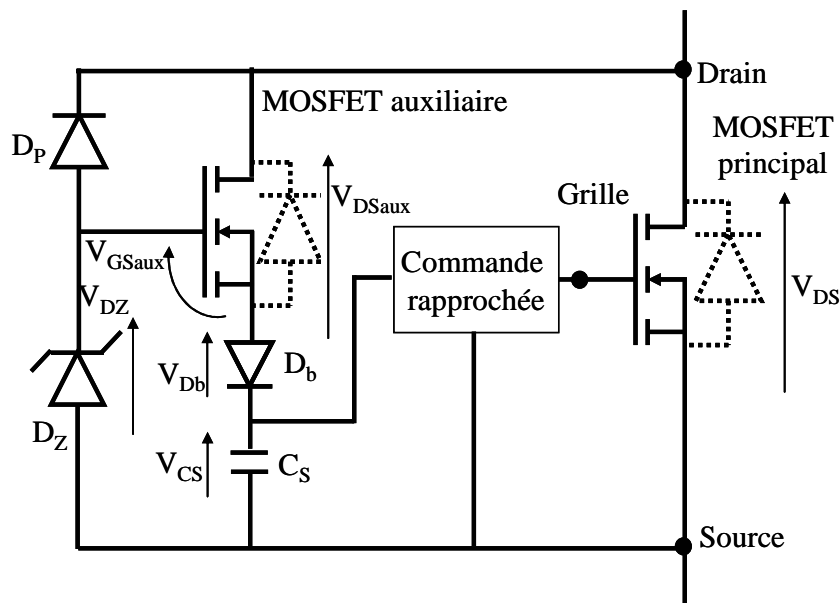
En particulier, nous allons étudier le fonctionnement de la structure lors des commutations MOS-MOS inhérentes aux gradateurs AC-AC. En effet, les dispositifs d'auto-alimentation peuvent être conçus pour être sensibles au  $dV/dt$  apparaissant à leurs bornes au court des commutations [ROUGER ISPSD'06]. Nous montrerons que les auto-alimentations vont permettre de faciliter la gestion des commutations MOS-MOS en limitant l'amplitude et la durée des temps morts. Ce travail d'analyse théorique sera validé par une campagne expérimentale conduite à partir d'une structure discrète.

## II.2 Rappel de la structure et principes de fonctionnement de l'auto-alimentation

### II.2.1 Introduction

L'ACS est composé de deux interrupteurs de puissance dont les circuits de commande peuvent être référencés au même potentiel ou pas. Dans tous les cas, plusieurs alimentations isolées sont nécessaires. En électronique de puissance, il existe différentes solutions qui permettent d'assurer l'adaptation des potentiels requis. On peut utiliser par exemple un transformateur d'impulsions [VASIC 01] ou encore une alimentation « Bootstrap » [ZVERREV 97] ou une « Pompe à charge » [LEFEBVRE]. Un principe d'auto-alimentation par prélèvement d'énergie sur la partie puissance est aussi envisageable [VERVEAU 03, MITOVA 05]. C'est celui-ci que nous allons introduire rapidement.

Commençons par rappeler le principe de notre solution « d'auto-alimentation » permettant l'alimentation des commandes rapprochées de tout interrupteur à potentiel de référence flottant. Le système consiste en un régulateur linéaire dont la structure est présentée figure II-1. Cette technique permet de réguler la tension aux bornes d'un réservoir d'énergie capacitif et permet de s'affranchir de toute alimentation externe.

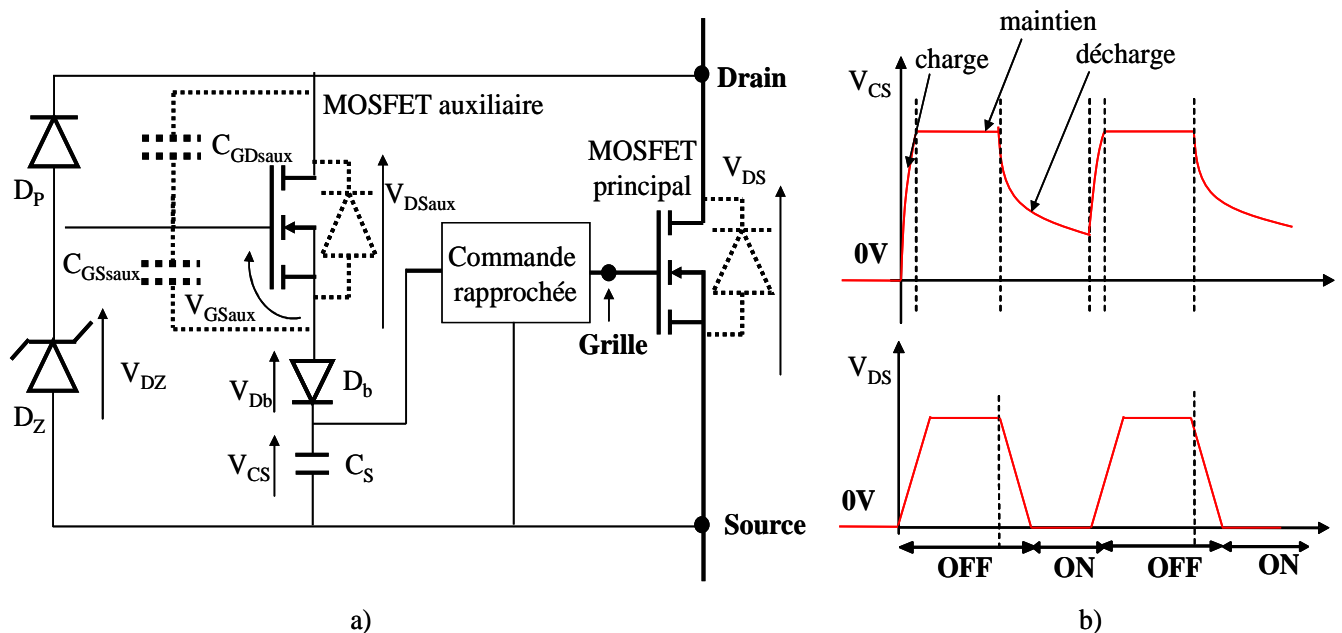


**Figure II-1.** Structure de principe d'auto-alimentation

L'auto alimentation est composée d'un transistor auxiliaire plus petit que le transistor de puissance à piloter et réalisé via la même technologie (un MOSFET vertical). Ce composant auxiliaire peut être soit de type MOS ou JFET [MITOVA 05] soit de type bipolaire (montage Darlington) [ROUGER IAS'06]. Dans notre étude portant sur la conception d'un ACS à base de MOSFET, nous avons retenu la solution MOSFET-MOSFET qui se montre plus simple à mettre en œuvre de manière concrète.

## II.2.2 Principe de fonctionnement d'une « Auto-alimentation » MOSFET-MOSFET pour commande rapprochée

La topologie retenue pour l'auto alimentation est décrite par la figure II-1. On y distingue une structure classique de régulateur linéaire mise en parallèle avec le transistor de puissance (MOSFET principal). Le régulateur est constitué d'une diode  $D_P$  dont le courant de fuite permet la polarisation de la diode zener  $D_Z$ . Lorsque le transistor principal est bloqué, la tension  $V_{DS}$  est maximale et permet au régulateur de fonctionner. La tension zener est choisie pour obtenir la tension d'alimentation  $V_{CS}$  souhaitée aux bornes de la capacité  $C_S$ . La tension entre grille et source du transistor auxiliaire vaut alors  $V_{GSaux} = V_{DZ} - V_{Db} - V_{CS}$ .



**Figure II-2.** a) Auto alimentation de type MOSFET-MOSFET. b) Formes d'ondes illustrant le principe de fonctionnement

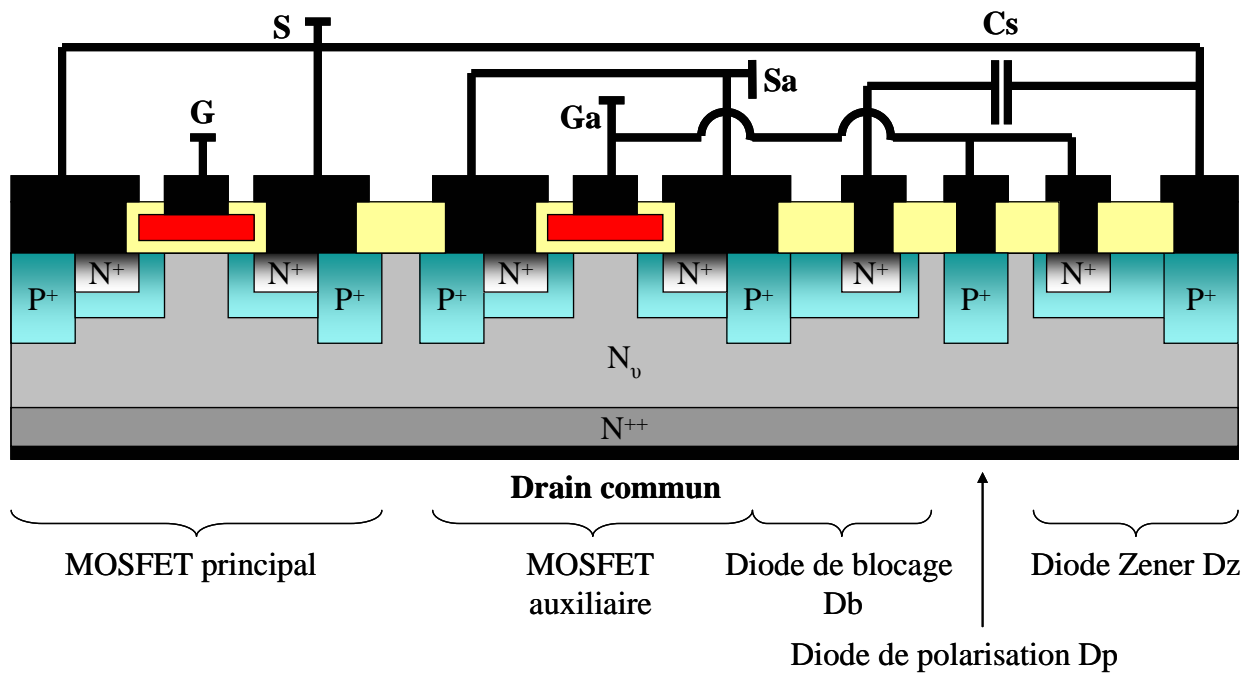
Une analyse plus fine du fonctionnement montre que très tôt, à la remontée de  $V_{DS}$  (début du passage de l'interrupteur principal d'un état « ON » à un état « OFF ») le  $dV/dt$  crée des courants capacitifs (capacités parasites du MOSFET auxiliaire  $C_{GSaux}$  et  $C_{DGaux}$  en particulier, voir figure



II-2.a) qui par division capacitive parvient à polariser la diode zener à sa tension zener  $V_Z$  et à recharger la capacité  $C_S$  dès le début de la consommation en tension. Le courant principal qui traversait intégralement l'interrupteur principal est alors dérivé en partie dans la capacité de stockage qui fait office de circuit d'aide à la commutation (CALC) [ROUGER-IAS'06]. La recharge de  $C_S$  se fait ainsi à relativement faible tension  $V_{DS}$  ce qui est très bénéfique pour le rendement global du système. A la remontée de  $V_{DS}$ , la mise en conduction du transistor auxiliaire et la recharge de  $C_S$  débute dès que  $V_{GSaux}$  devient supérieure à  $V_{GSaux(th)} + V_{Db} + V_{CS}$  on observe un léger retard à la remontée de  $V_{DS}$  dû à un effet circuit d'aide à la commutation [ROUGER-IAS'06, MITOVA 05]. La diode  $D_b$  sert quant à elle à empêcher la décharge de la capacité  $C_S$  via la diode intrinsèque du MOSFET auxiliaire lors de la fermeture du transistor principal. La diode  $D_P$  permet de polariser la diode zener par son courant de fuite afin d'initier une première phase de recharge lors de mise en fonctionnement du convertisseur.

Un bilan des puissances permet d'établir qu'une partie de l'énergie de commutation prélevée aux bornes du transistor principal est stockée dans la capacité de stockage  $C_S$  lorsque celui-ci est commandé au blocage. Cette énergie stockée sera ensuite utilisée pour alimenter la commande rapprochée du transistor principal, ce qui conduira en définitive à un bilan énergétique global (prenant en compte les puissances mises en jeu dans les alimentations de la commande rapprochée) favorable dans le cas de notre solution auto alimentée [CREBIER 03]. Ce mode de fonctionnement est nommé auto-alimenté en mode impulsif.

Avec la structure d'auto-alimentation MOSFET-MOSFET, tous les composants utilisés peuvent être intégrés monolithiquement (en dehors de l'élément de stockage  $C_S$ ) comme le montre la structure présentée figure II-3. Ce travail d'intégration a été réalisé partiellement dans la thèse [MITOVA 05, ROUGER-ISDPS'06]. Les deux drains communs des MOSFET: le drain du transistor principal et celui du transistor auxiliaire se trouvent tous deux en face arrière de la puce alors que la diode zener ( $D_Z$ ) et la diode de blocage ( $D_b$ ) se situent en surface, dans la zone active du composant.



**Figure II-3.** Vue en coupe de la structure intégrée réalisant l'alimentation de la commande rapprochée d'un transistor MOSFET

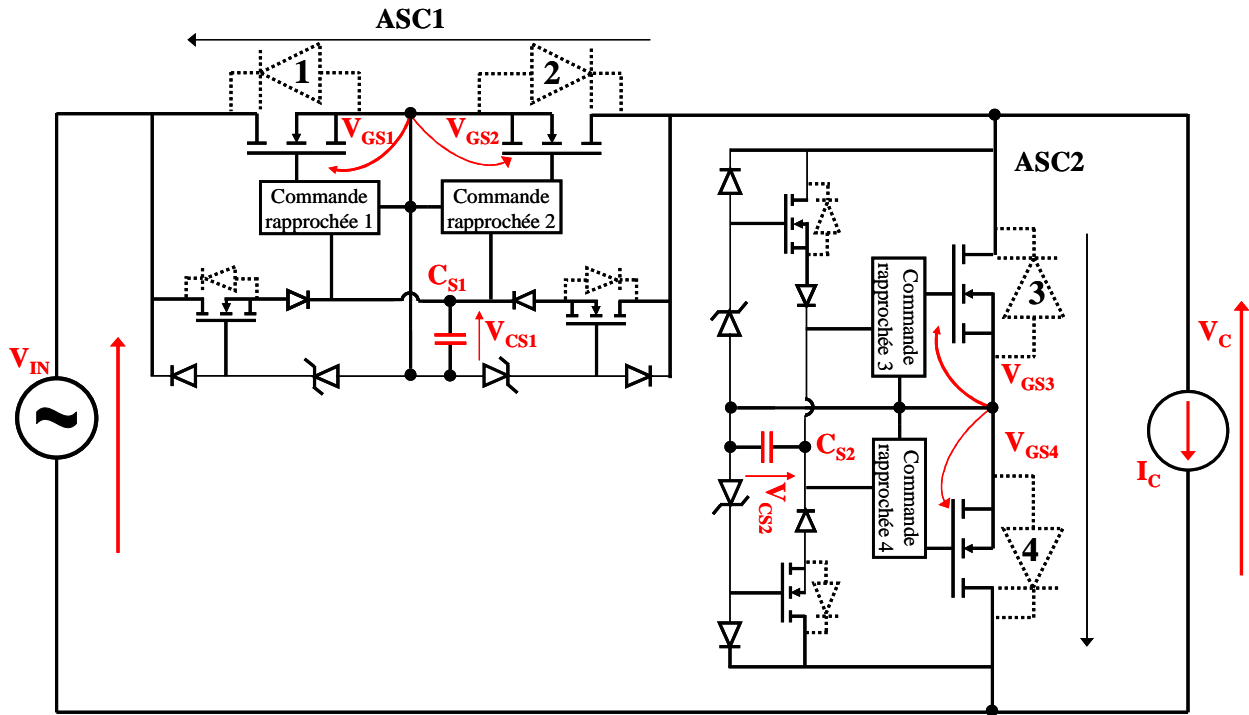
Il est intéressant de noter que dans cette structure, l'isolation entre ces composants s'effectue naturellement par les jonctions P/N polarisées en inverse. Aucune étape technologique supplémentaire par rapport au procédé de fabrication du transistor MOSFET principal n'est donc nécessaire pour intégrer l'auto-alimentation de la commande rapprochée au sein du composant principal.

## II.3 AC Switch et auto-alimentation

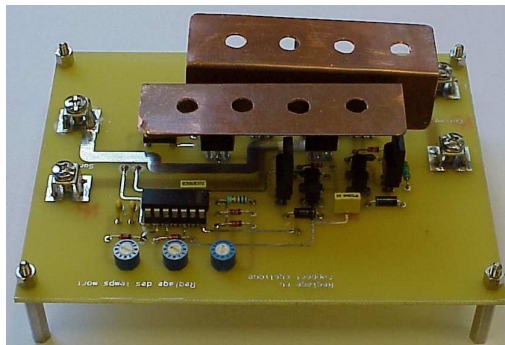
Dans cette partie, nous allons présenter le principe de fonctionnement du gradateur monophasé à l'ACS à base des MOSFET à sources et à drains communs en y incluant l'auto-alimentation de la commande rapprochée des transistors principaux.

### II.3.1 Auto-alimentation d'un AC Switch à sources communes

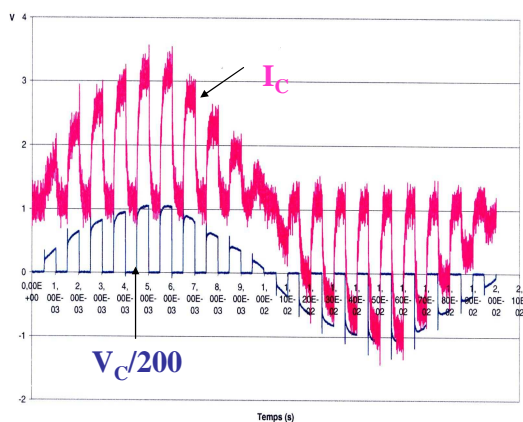
La topologie à base des composants MOS verticaux à sources communes est présentée dans la figure II-4 ci-dessous. La commande rapprochée de chaque transistor de puissance est auto-alimentée par la méthode présentée ci-dessus. Ce travail a été réalisé au Laboratoire d'Electrotechnique de Grenoble par L. Vincent [VINCENT 01].



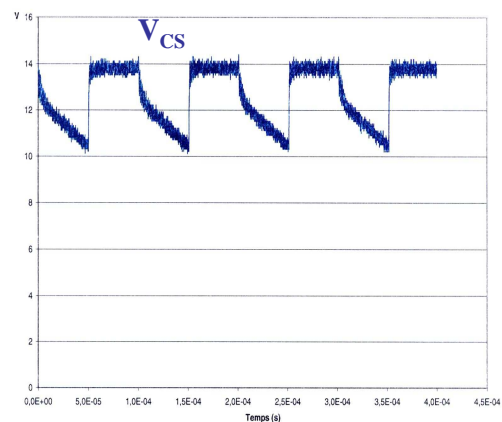
**Figure II-4.** Schéma de principe du gradateur monophasé à MOS en sources communes



a) Gradateur monophasé à MOSFETs mis en sources communes



b) Tension et courant aux bornes de la charge



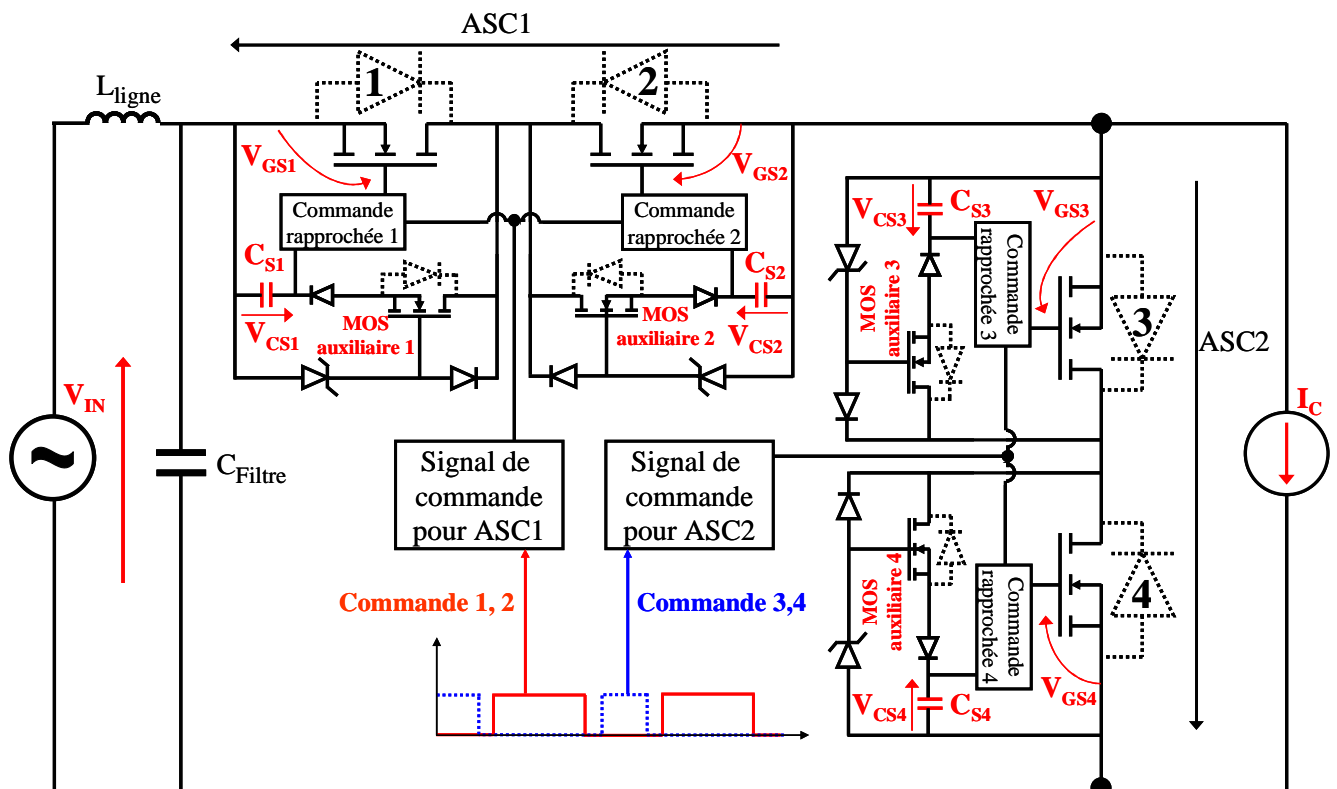
c) Tension aux bornes de capacité de stockage

**Figure II-5.** Gradateur monophasé à MOSFET câblés en sources communes avec commandes rapprochées auto-alimentées

Cette approche est validée et fonctionnelle. Elle permet de limiter le nombre de commande et d'opto-coupleur à deux unités. Néanmoins, cette solution repose sur un montage des MOS à sources communes ce qui ne correspond pas aux structures monolithiques venant le jour. Aussi nous avons abordé la seconde approche à drains communs.

### II.3.2 Auto-alimentation d'un AC Switch à drains communs.

La topologie à base de composants MOS verticaux à drains communs auto-alimentés est présentée dans la figure II-6. On peut voir que la commande de chaque interrupteur est référencée à un potentiel flottant différent, ce qui nécessite globalement quatre alimentations isolées. Sur le schéma de principe du gradateur, les diodes représentées en pointillé sont les diodes de structure des VDMOS.



**Figure II-6.** Schéma de principe du gradateur monophasé à MOS câblés en drains communs avec des commandes auto-alimentées

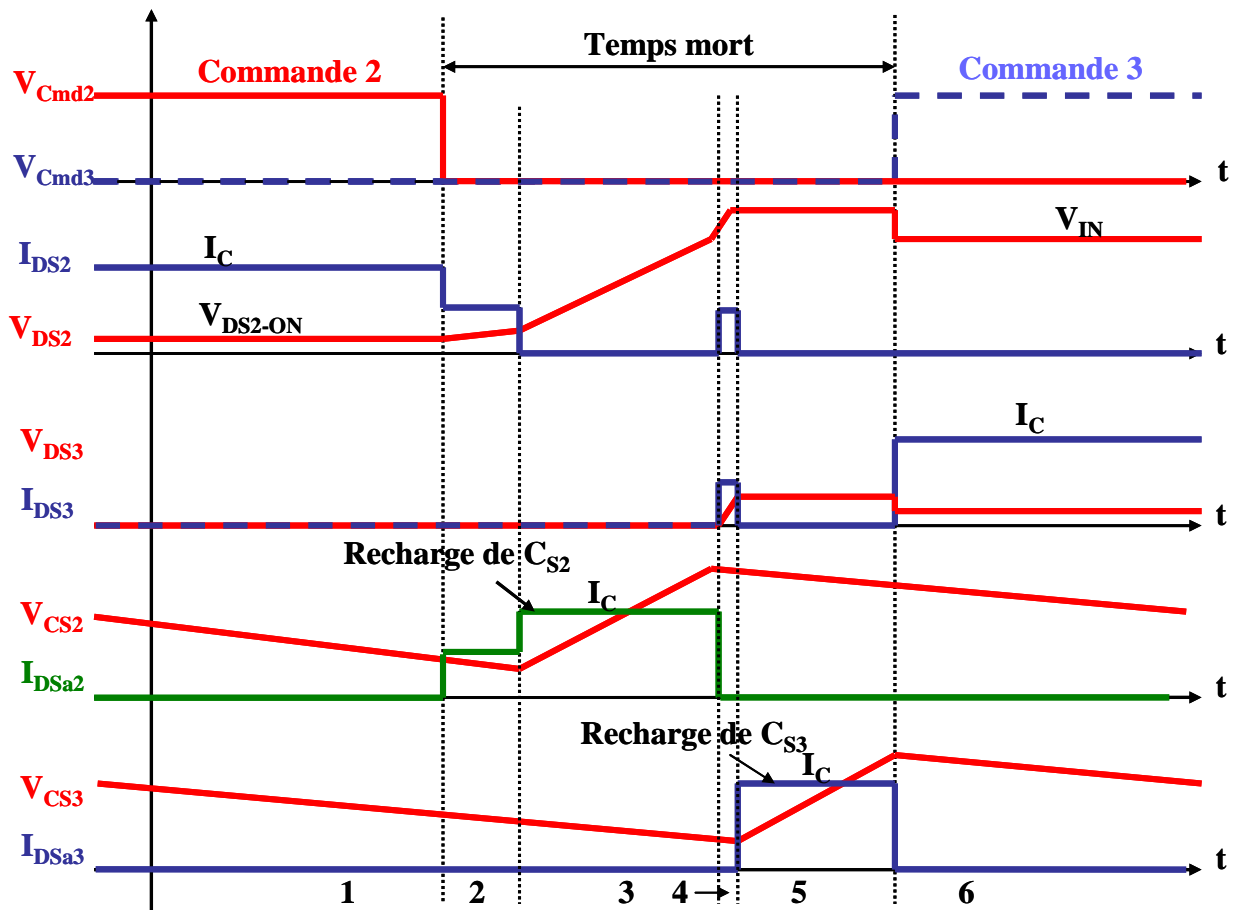
La source d'entrée est classiquement prélevée du secteur, les commandes rapprochées des transistors principaux sont auto-alimentées. Les deux transistors MOS1 et MOS2 de l'ACS1 sont commandés ensemble alors que ceux de ACS2 sont commandés de façon complémentaire. Les signaux de commande peuvent être transférés aux commandes rapprochées via des opto-coupleurs. Un temps mort est prévu entre les deux signaux de commande afin d'éviter le court-

circuit de la source lors de chaque commutation. Ceci a pour inconvénient de provoquer une surtension aux bornes des transistors lorsque aucun chemin n'est offert pour la circulation du courant de charge [SEGUIER 03] comme nous l'avons vu dans le premier chapitre.

Détaillons la commutation de la structure pour l'alternance positive, les résultats étant identiques pour l'alternance négative. Les figures II-7 et II-8 suivantes présentent d'une manière qualitative des formes d'onde des tensions et des courants que l'on retrouve aux bornes des transistors principaux et des capacités de stockage des commandes rapprochées autoalimentées.

### II.3.2.1 Commutation de ACS1 vers ACS2 pour $V_{IN} > 0$

La commutation de la structure est assurée ici par les MOS2, MOS3 et les diodes intrinsèques D1 et D4 des transistors MOS1 et MOS4. La commande ordonne le blocage des MOS1 et MOS2 alors que les MOS3 et MOS4 sont maintenus bloqués. Rapidement la tension  $V_{DS2}$  aux bornes du MOS2 commence à croître et l'auto-alimentation de sa commande rapprochée devient active car le  $dV/dt$  rend le MOS auxiliaire 2 passant quasiment immédiatement. Une partie du courant de charge  $I_C$  est alors déviée dans la branche d'auto-alimentation et charge la capacité de stockage  $C_{S2}$  (phase 3 sur figure II-7). Lorsque la capacité est pleinement chargée, le MOS2 termine son blocage et sa tension  $V_{DS2}$  continue à augmenter. Il est à noter que le MOS1 qui ne tient pas la tension est rapidement bloqué et le peu de courant qui le traversait transite alors intégralement à travers sa diode de structure. La surtension due au temps mort apparaît dès que la tension  $V_{DS2}$  atteint la tension d'entrée (phase 4). À ce moment, la tension aux bornes du MOS3 devient positive et croît comme  $V_{DS2}$ . Cette variation rapide de tension aux bornes du MOS3 excite son auto-alimentation. Le MOS auxiliaire 3 devient alors passant et la capacité de stockage  $C_{S3}$  commence à se charger, ce qui fait croître la tension à ses bornes et ce qui en même temps écrête les tensions  $V_{DS2}$  et  $V_{DS3}$  (phase 5). À un moment, la tension aux bornes de la capacité  $C_{S3}$  atteint une valeur suffisante. La commande du transistor MOS3 ne devient effective qu'à cet instant même si le signal issu de la commande éloignée était actif avant (phase 6). Le MOS3 assure la roue libre du courant de charge et sa tension diminue rapidement jusqu'à  $V_{DS2-ON}$  (faible valeur). La tension  $V_{DS2}$  redevient alors égale à la tension d'entrée  $V_{IN}$ . Les oscillogrammes qui illustrent ce propos sont présentés figure II-7.



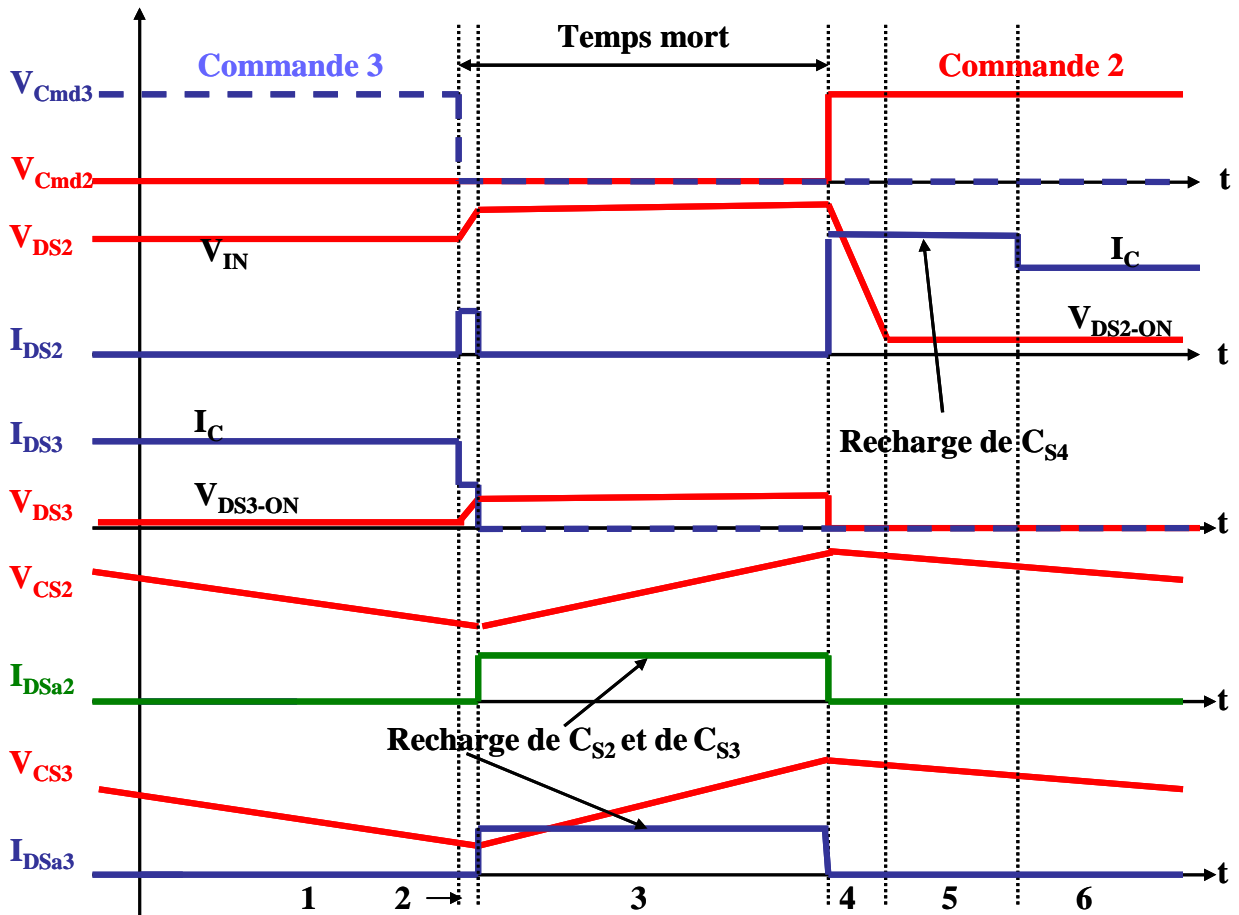
**Figure II-7.** Commutation de ACS1 vers ACS2 pour  $V_{IN} > 0$

Durant toute cette phase de commutation, le MOS1 est court-circuité par sa diode de structure ce qui rend son auto-alimentation inactive. Pour ce qui est du MOS4, avant la commutation, il voyait la pleine tension de source à ses bornes. L'absence de  $dV/dt$  positif empêchait toute recharge. Lorsque la commutation est engagée, le  $dV/dt$  aux bornes du MOS4 devient négatif ce qui rend son auto-alimentation totalement bloquée. Des deux auto-alimentations n'interviennent donc pas durant cette phase de fonctionnement.

### II.3.2.2 Commutation de ACS2 vers ACS1 pour $V_{IN} > 0$

Lors de l'ouverture de l'ACS2, les MOS1 et MOS2 sont encore maintenus à l'état ouvert (durant le temps mort évitant le court-circuit du bras). Les tensions  $V_{DS2}$  et  $V_{DS3}$  croissent rapidement car aucun chemin n'est offert au passage du courant de charge. Les deux capacités de stockage  $C_{S2}$  et  $C_{S3}$  se rechargent et ensuite elles se déchargeaient à cause de la consommation permanente de leur commande rapprochée et notamment celle de l'opto-coupleur avec une rapidité qui dépend du niveau de courant dérivé dans leurs branches d'auto-alimentations (phase 2 sur la figure II-8). Lorsque le condensateur  $C_{S2}$  du MOS2 est rechargé, la commande du

transistor de puissance est autorisée et il devient passant (phase 3). La tension aux bornes de l'ACS2 décroît rapidement et crée une variation de tension positive aux bornes du MOS4. L'auto-alimentation de ce dernier va se mettre en route pour recharger sa capacité  $C_{S4}$  (phase 4 et 5). Pendant cette phase, le signal de commande de l'ACS2 est maintenu à l'état bas et le MOS4 n'est pas commandé à la fermeture. Ces phases successives sont décrites figure II-8. Il est à noter que cette phase de recharge se fait sans limitation en courant. Elle est donc rapide mais génératrice de surintensités.

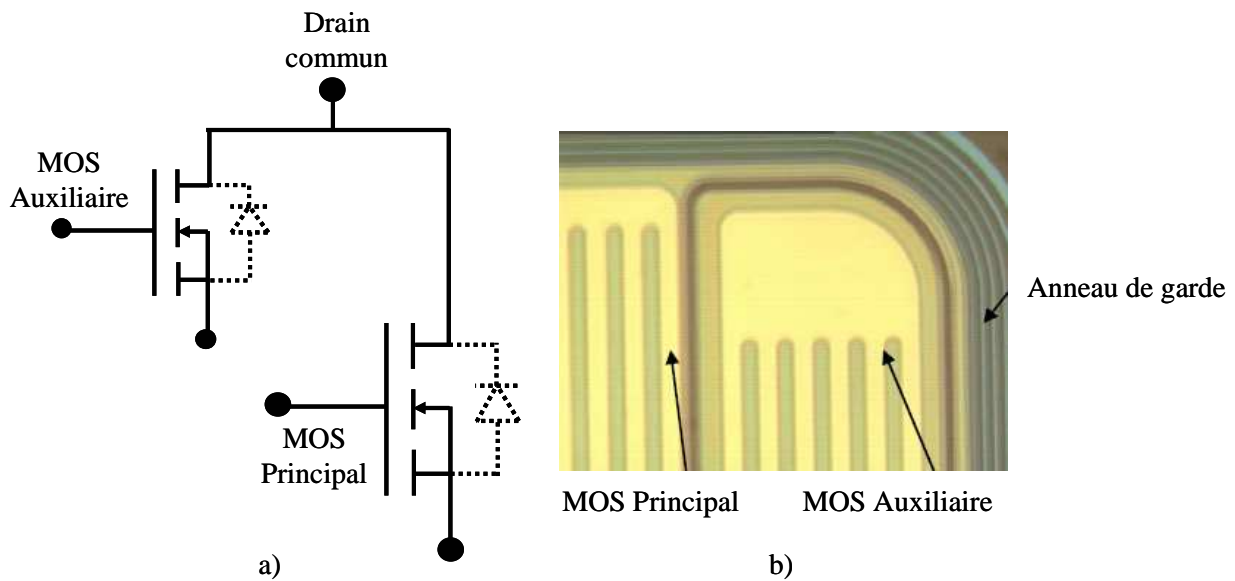


**Figure II-8.** Commutation de ACS2 vers ACS1 pour  $V_{IN} > 0$

Les deux figures ci-dessus présentent d'une manière qualitative le comportement de quatre transistors de puissance durant le temps mort pour la période positive de la tension d'entrée. Nous allons voir dans la partie qui suit des résultats pratiques illustrant le comportement qui vient d'être analysé.

## II.4 Mise en œuvre concrète à base de composants intégrés

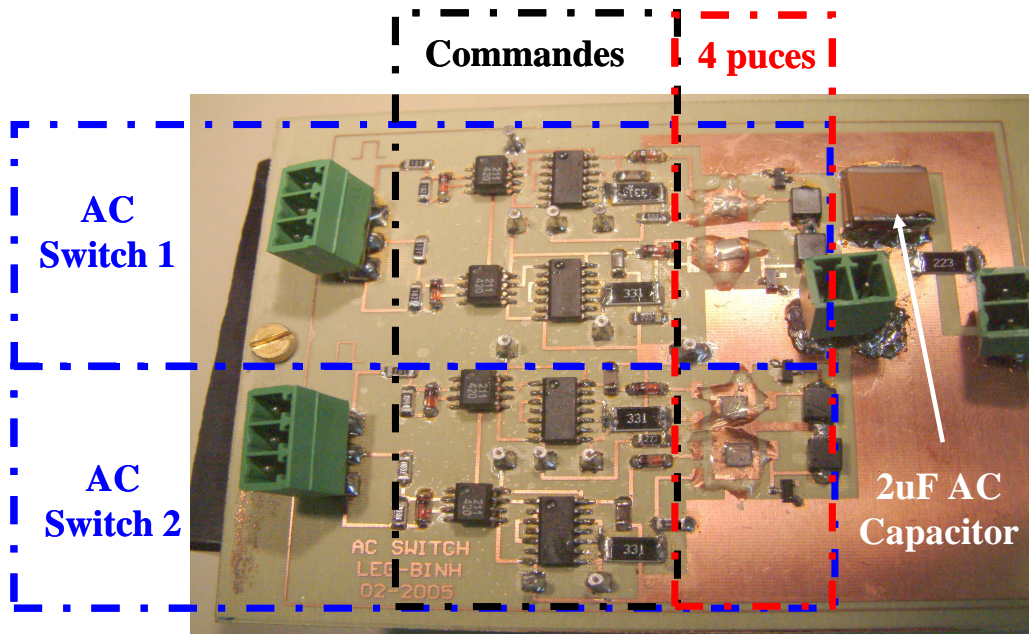
Nous avons mis en œuvre le gradateur monophasé à VDMOS en drains communs présenté ci-dessus. Les MOS principaux et auxiliaires intégrés monolithiquement sur le même substrat silicium ont été réalisés au Centre Interuniversitaire de Micro Electronique de Grenoble (CIME) [MITOVA 05]. Le transistor VDMOS principal a une tenue en tension de 600V pour un courant nominal proche de 1A. Le transistor auxiliaire est dimensionné arbitrairement avec une surface active 5 fois plus faible. Ces deux transistors à drains en commun, sont réalisés ensemble au cœur d'une même périphérie (l'anneau de garde) II-9.b.



**Figure II-9.** Transistors principal et auxiliaire au cœur de la même puce

L'ensemble du gradateur monophasé a été réalisé en reportant plusieurs de ces puces sur un même support de type SMI (Substrat Métallique Isolé). Ce dernier a pour but de profiter largement du refroidissement des composants en face arrière et de réduire l'encombrement de la structure par rapport à un support époxy classique. Les autres composants sont des éléments discrets en boîtiers CMS (Composant Monté en Surface). La diode de polarisation  $D_P$  possède une tenue en tension de 600V et permet un courant direct maximal de 1A. La tension entre la grille du transistor auxiliaire avec la source du principal est écrêtée à 18V grâce à une diode zener. Une diode standard de signal permet d'éviter la décharge de la capacité  $C_S$  via la diode intrinsèque du transistor auxiliaire durant la fermeture du transistor principal. La structure globale se compose de quatre puces incluant deux transistors VDMOS, un transistor principal et un transistor auxiliaire (c.f. figure II-9). Le schéma électrique complet de la structure est donné dans l'annexe II (II-1.A et II-1.B).





**Figure II-10.** Photo du gradateur monophasé câblé en drains communs avec commandes rapprochées auto-alimentées réalisé en carte SMI

La figure II-10 présente la réalisation du gradateur monophasé complet sur support SMI. Les puces et la carte ont été réalisées au sein du Laboratoire de Génie Electrique de Grenoble. Ces dernières ont été brasées directement sur les pistes en cuivre du circuit imprimé. Les autres liaisons ont été réalisées par « bondings » (connexion des grilles et sources des transistors principaux et auxiliaires). La mise en place des bondings a été réalisée au CIME en utilisant des fils d'aluminium de  $35\mu\text{m}$  de diamètre. Chaque puce a ensuite été recouverte après report par une résine spéciale recuite aux ultraviolets de façon à protéger l'ensemble de l'environnement extérieur (humidité, particules, contacts, manipulation...).

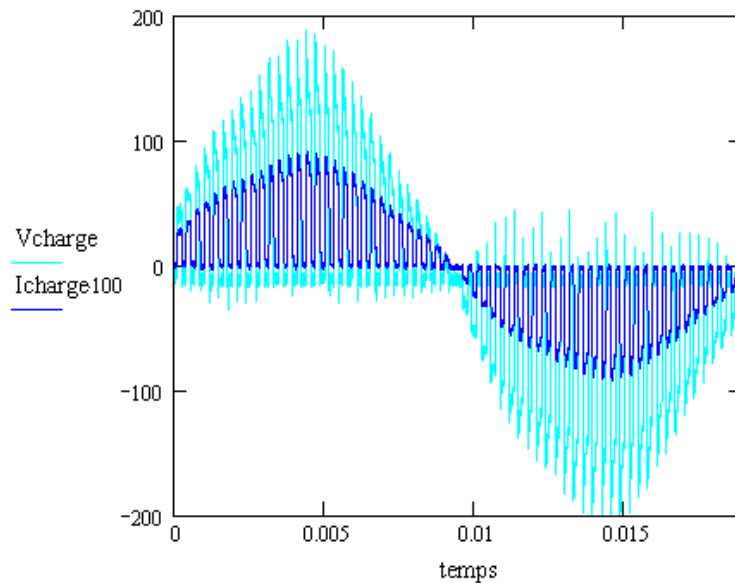
## II.5 Validations expérimentales et performances

Une première étape a été conduite pour vérifier les performances des puces réalisées ainsi que celles des diodes internes. Après avoir caractérisé les composants sous pointes à l'aide d'un traceur, nous avons testé chaque interrupteur principal muni de son auto-alimentation dans diverses configurations de hacheurs série ou parallèle. Nous avons ainsi pu sélectionner et vérifier les performances de chaque puce en situation avant leur utilisation dans la structure complète.

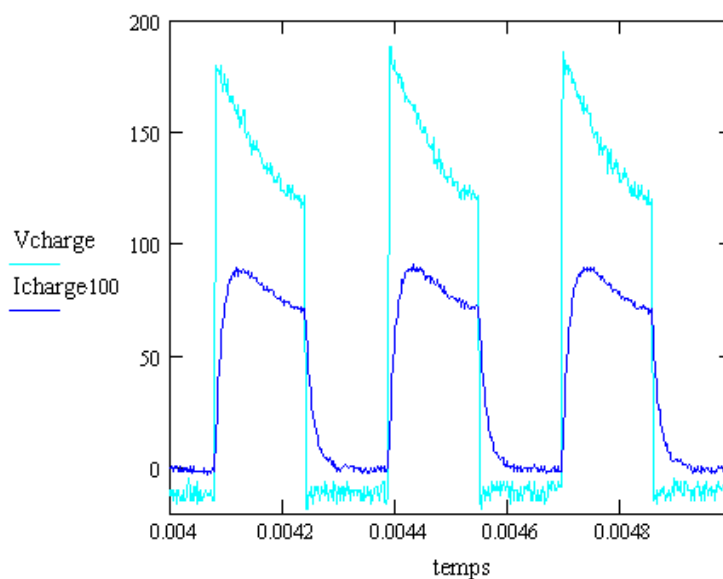
La charge utilisée dans le prototype est de nature inductive, composée d'une résistance connectée en série avec une inductance ( $R = 200\Omega$ ,  $L = 2,2\text{mH}$ ). La tension d'entrée  $V_{IN}$  était de 220V efficace (tension réseau direct) et la commande du convertisseur fonctionnait à une

fréquence proche de 3kHz à rapport cyclique constant. En conduction discontinue, ce fonctionnement assure le prélèvement sinusoïdal du courant avec un facteur de puissance proche de 1.

Les relevés du courant et de la tension aux bornes de la charge pendant une période du réseau et quelques périodes de commutation sont présentés dans la figure II-11 et figure II-12. Ces derniers valident totalement le fonctionnement du convertisseur utilisant les auto-alimentations. La figure II-11 montre qu'il sera aisé de faire fonctionner un tel convertisseur en prélèvement sinusoïdal. L'évolution rapide de la tension de charge est induite par une valeur trop faible au niveau du filtrage d'entrée.

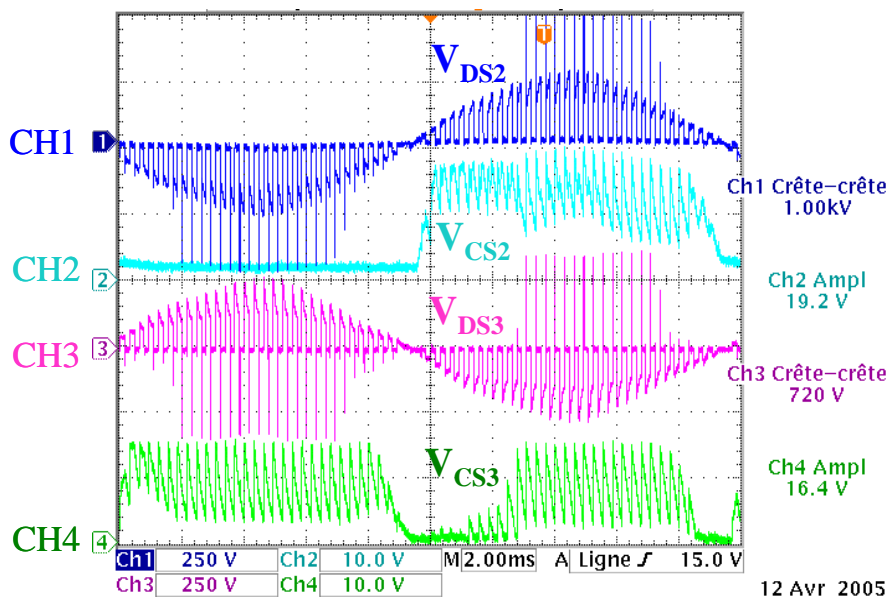


**Figure II-11.** Courant et tension aux bornes de la charge pendant une période du réseau



**Figure II-12.** Zoom sur ces mêmes courant et tension aux bornes de la charge

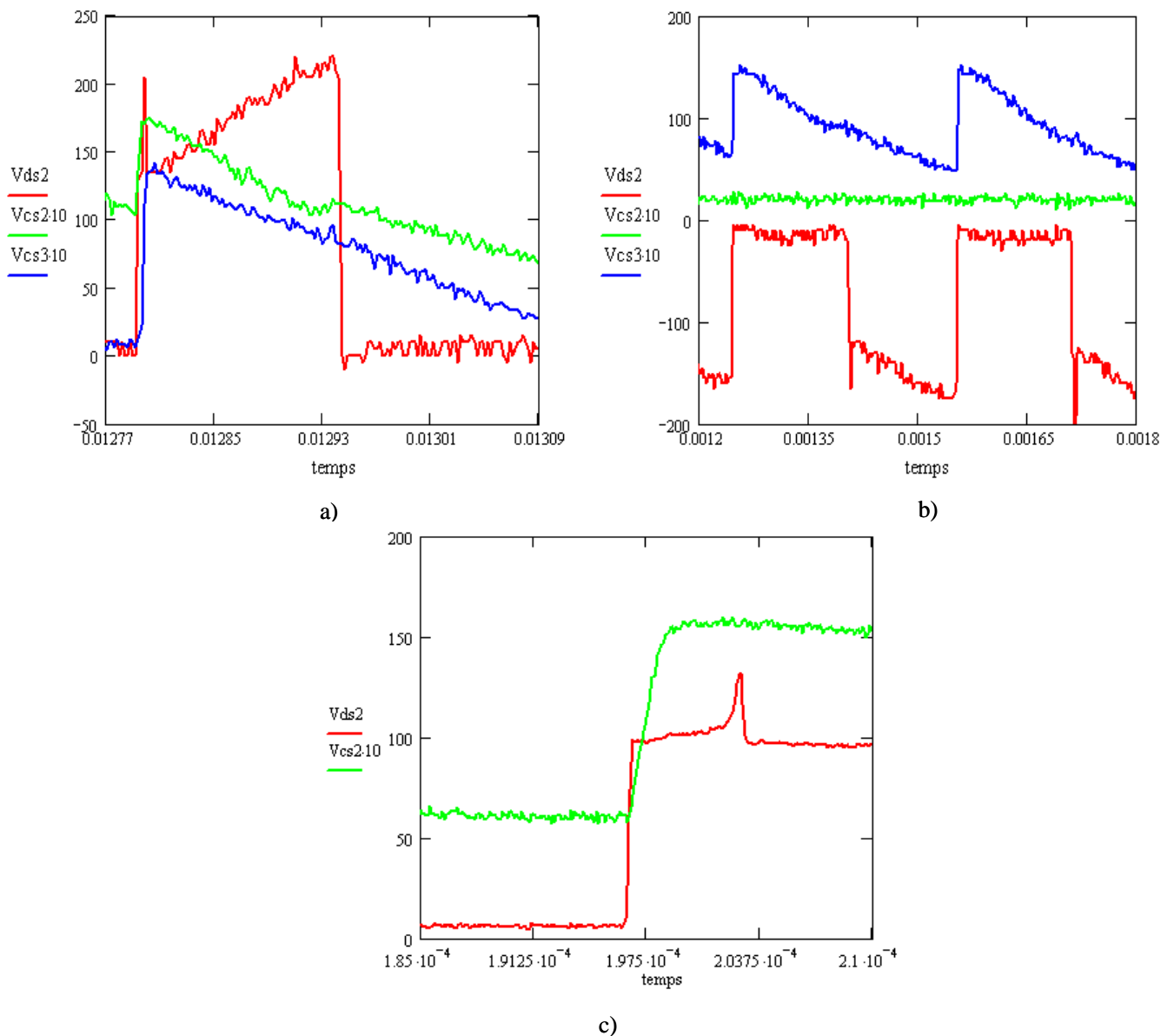
Les chronogrammes des tensions aux bornes des transistors MOS2, MOS3 et des capacités de stockage sont donnés figure II-13 et figure II-14 ci-dessous. Nous constatons à première vue que les résultats pratiques sont cohérents avec l'étude théorique présentée précédemment. Durant l'alternance positive de la tension  $V_{IN}$ , les capacités de stockage  $C_{S2}$  et  $C_{S3}$  sont bien rechargées lors de l'ouverture du MOS2. Elles se déchargent ensuite pour alimenter leur commande rapprochée et les tensions à leurs bornes diminuent alors continuellement. Ces phases de charges et de décharges de  $C_{S2}$  et  $C_{S3}$  sont visualisées sur les voies CH2 et CH4 des relevés expérimentaux présentés figure II-13 et figure II-14. Ils valident pleinement le fonctionnement en régime impulsionnel des auto-alimentations étant conçues pour n'être sensibles qu'aux  $dV/dt$ . Nous constatons ici que ces charges et décharges des éléments de stockage dépendent du point de fonctionnement de la structure (niveau de  $V_{IN}$  qui évolue en permanence), ceci s'observe par exemple sur le relevé de la tension relevée aux bornes de la capacité  $C_{S3}$  (c.f figure II-13 et le zoom dans la figure II-14). Par ailleurs, on peut observer que, pendant cette phase, l'auto-alimentation du MOS1 n'est pas activée puisqu'elle est court-circuitée par sa diode de structure du MOS1.



**Figure II-13.** Tensions aux bornes du MOS2, MOS3 et leur capacité de stockage  $C_{S2}$ ,  $C_{S3}$

Concernant l'alternance négative de  $V_{IN}$ , les transistors MOS1 et MOS4 et les diodes internes des MOS2 et MOS3 assurent la continuité du courant dans le convertisseur. L'auto-alimentation du MOS2 n'est donc plus opérationnelle. Par contre celle du MOS3 l'est toujours puisque ce composant récupère à ses bornes la tension d'entrée, le MOS1 étant passant (le MOS4 est court-circuité par sa diode interne). Cela est visible figure II-14.b : la tension aux bornes de  $C_{S2}$  ne change pas alors que  $C_{S3}$  se recharge lors de chaque ouverture du MOS2.

Deux points peuvent être soulignés à partir de ces résultats. Premièrement, la surtension aux bornes du MOS2, qui est due à la présence d'un temps mort, est atténuée partiellement par la recharge de la capacité  $C_{S3}$ . Ce phénomène dépend de la durée de ce temps mort entre les deux signaux de commande, de la valeur instantanée de la tension d'entrée et du courant dans la charge. Deuxièmement, lorsque la tension d'entrée  $V_{IN}$  est basse, la recharge de la capacité  $C_{S3}$  n'est pas satisfaite. Ce phénomène est visible sur le relevé de la tension  $V_{CS3}$  figure II-13, au début ou à la fin de chaque alternance de  $V_{IN}$ . Ce phénomène diminue le rendement du convertisseur lorsque les commandes fonctionnent en basse tension et peut aussi conduire en une diminution du facteur de puissance. Nous verrons plus tard comment résoudre ce problème et améliorer les performances de cette structure.



**Figure II-14.** a) Recharge et décharge des capacités de stockage  $C_{S2}$  et  $C_{S3}$  pour  $V_{IN} > 0$ . b) Charge et décharge de la capacité  $C_{S3}$  pour  $V_{IN} < 0$ . c) Zoom de  $V_{DS2}$  et  $V_{CS2}$  lors de la fermeture du MOS2 Pour  $V_{IN} > 0$

Nous venons de présenter les résultats expérimentaux sur le convertisseur monophasé AC/AC à MOS en drains communs avec auto-alimentations des commandes rapprochées des interrupteurs principaux. Les résultats obtenus valident bien le fonctionnement sur le convertisseur proposé. De plus, la technique d'auto-alimentation fonctionne très bien en accord avec nos espérances. Une fonctionnalité intéressante a été relevée lors de l'utilisation de l'auto-alimentation de la commande rapprochée : celle-ci fait apparaître comment les performances en commutation du convertisseur peuvent être améliorées. Nous verrons dans paragraphe II.6 une technique, basée sur ces observations, permettant d'améliorer encore les performances du convertisseur AC/AC à MOS. Il s'agira de tenter d'annuler complètement les surtensions dues aux temps morts nécessaires au bon fonctionnement de la structure.

## **II.6 Système de surveillance de la tension aux bornes de l'élément de stockage**

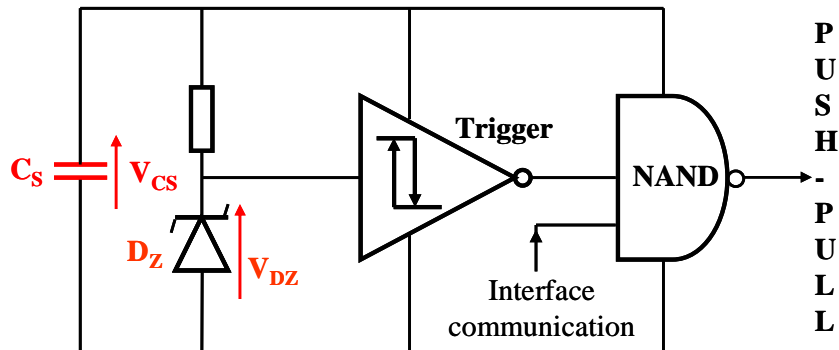
Cette partie présente un système appelé « monitoring », système de surveillance de la tension aux bornes de l'élément de stockage  $C_S$ . Son objectif est double :

- Surveiller l'évolution de la tension aux bornes de la capacité de stockage
- Renseigner la commande rapprochée sur l'état de la charge mais aussi sur le moment de la phase de recharge et plus particulièrement la fin de celle-ci.

De ce fait, le système de monitoring doit donc tout d'abord pouvoir forcer le transistor principal à s'ouvrir pour permettre la recharge de la capacité de stockage lorsque la tension à ses bornes descend trop bas et n'est plus apte à alimenter correctement la commande de grille du MOSFET principal (seuil à déterminer en fonction des caractéristiques de la grille de ce dernier). Cette nouvelle fonctionnalité permettra d'étendre la plage de fonctionnement garanti pour les convertisseurs utilisant des structures de commande auto-alimentées [NGUYEN-IECON'06].

En fin, le système de monitoring doit aussi maintenir ouvert le transistor principal jusqu'à ce que la capacité de stockage associée soit suffisamment chargée afin de garantir un certain niveau de charge afin de s'adapter aux conditions de commutation dans les cellules de commutation MOS-MOS. En effet, dans les applications AC-AC le point de fonctionnement de la cellule de commutation évolue en permanence et nécessite un monitoring pour gérer efficacement le fonctionnement des auto-alimentations. La figure II-15 présente le schéma de principe retenu. Le système se base sur une tension de référence et se compose :

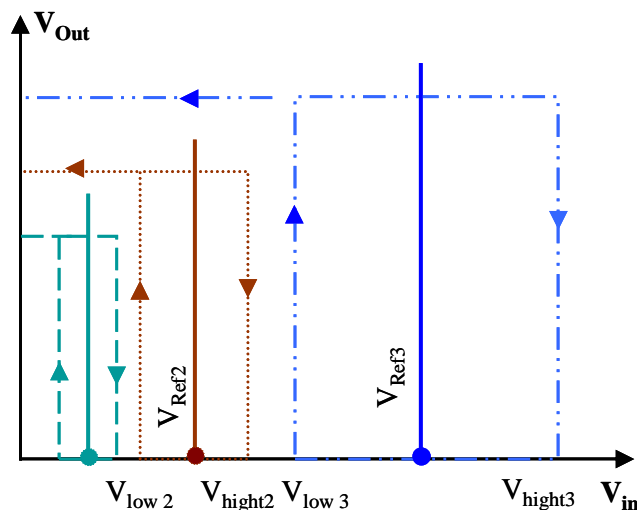
- d'un inverseur à Trigger Schmitt dont les seuils bas et haut détermineront les valeurs extrêmes atteintes par la tension  $V_{CS}$
- d'une porte logique NAND autorisant ou pas la commutation du MOS principal.



**Figure II-15.** Schéma de principe du système de monitoring de tension aux bornes de l'élément de stockage

Le système est lui-même alimenté par la capacité  $C_s$  de stockage de l'auto-alimentation. La tension d'alimentation du trigger étant variable, les seuils de celui-ci sont également variables. C'est donc l'entrée de celui-ci qui sera fixe via la diode zener  $D_z$  afin de constituer un référentiel.

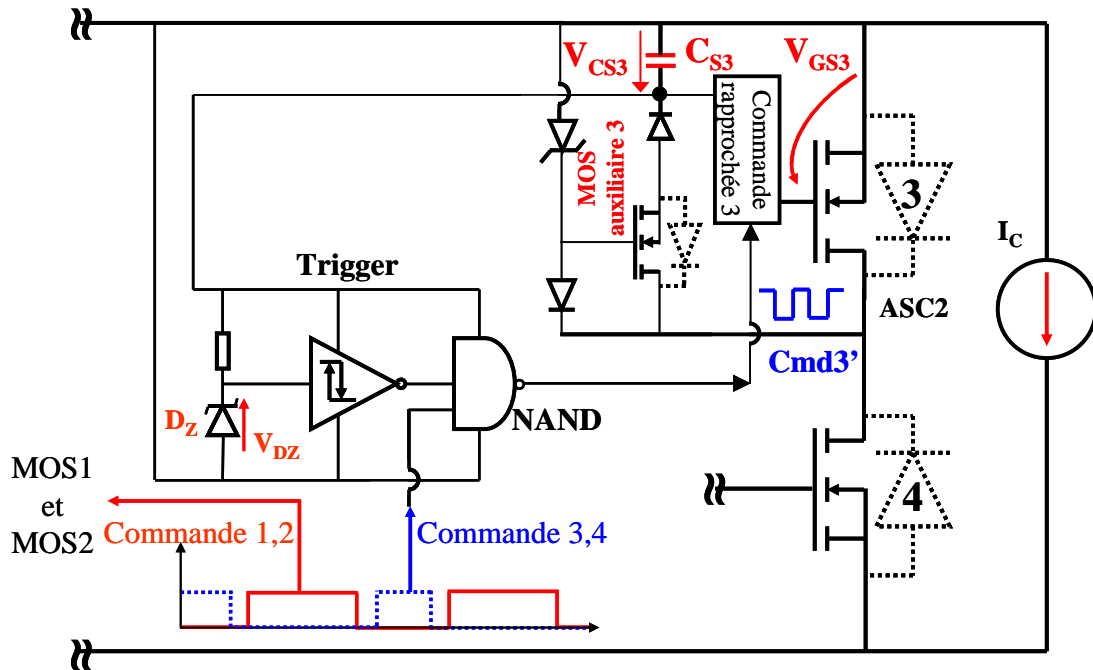
La figure suivante présente la caractéristique de transfert d'un circuit trigger en fonction de sa tension d'alimentation. La largeur de l'hystérésis varie linéairement en fonction de la tension  $V_{CS}$ .



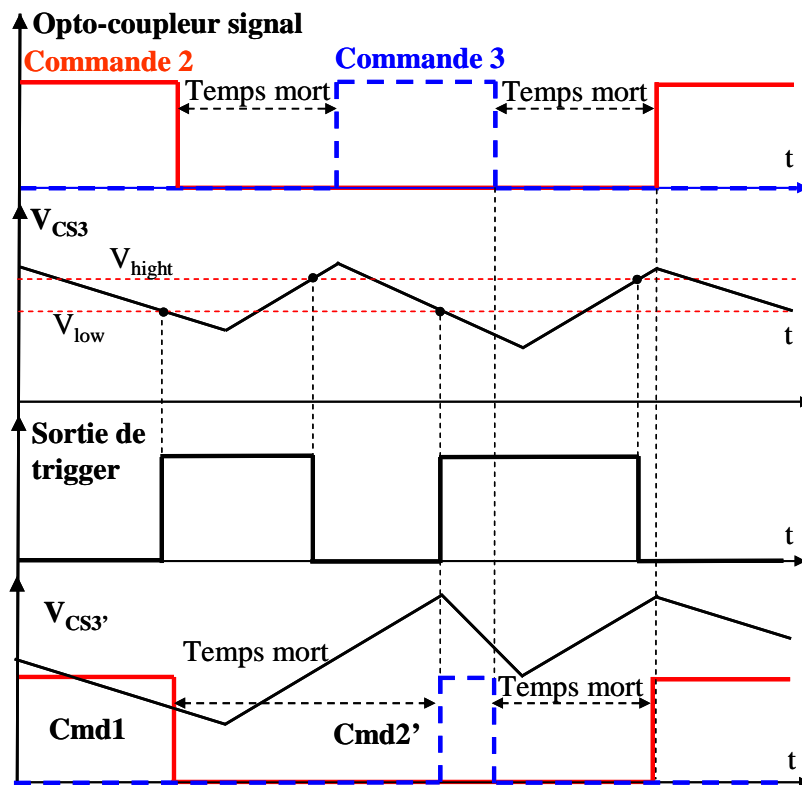
**Figure II-16.** Caractéristiques du trigger de Schmitt ( $V_{low}$ ,  $V_{high}$ ) en fonction de sa tension d'alimentation

Pour mieux apprécier le rôle du circuit « monitoring », considérons la variation de la tension aux bornes de la capacité  $C_{S3}$  (figure II-17.a). En ajoutant ce circuit dans la structure l'auto-alimentation précédemment étudiée, nous pouvons modifier la phase de recharge de cette capacité. Nous allons maintenant analyser le comportement de cet ensemble. Lors de l'ouverture

du MOS2, une surtension apparaît aux bornes du MOS3 due au temps mort, et la capacité  $C_{S3}$  se recharge. La tension à ses bornes croît ainsi que la tension d'alimentation du trigger.



a) Monitoring de tension aux bornes de la capacité de stockage  $C_{S3}$



b) Processus d'intervention du monitoring

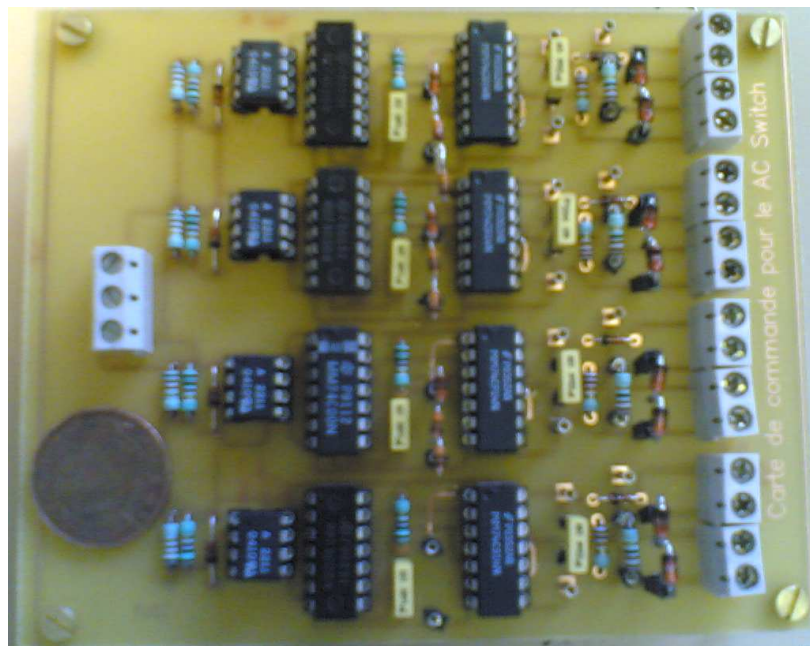
**Figure II-17.** Fonctionnement du système de monitoring aux bornes de la capacité  $C_{S3}$

Le fonctionnement est alors le suivant : si la tension  $V_{CS3}$  est inférieure à la tension de basculement  $V_{low}$ , la sortie du trigger passe à l'état haut (il faut noter que dans ce cas la tension

d'entrée du trigger  $V_{DZ}$  doit être supérieure à la tension de référence  $\frac{V_{high} - V_{low}}{2}$  pour que la sortie du trigger bascule au niveau haut). La capacité  $C_{S3}$  se recharge jusqu'au moment où la charge souhaitée est atteinte. Ensuite, en fonction du niveau du signal de commande, l'interrupteur est fermé et une phase de conduction en auto-alimentation est initiée. Par ce biais, on crée un dispositif de gestion du temps mort. Celui-ci est fonction des conditions de fonctionnement comme nous allons le voir.

## II.7 Gradateur auto-alimenté avec système de monitoring

Pour valider cette solution, nous utilisons toujours la topologie du convertisseur AC/AC à drains communs, mais cette fois la carte a été réalisée en discret. En effet, pour étudier les phases de commutation avec précision, il est important de pouvoir disposer de différents courants et tensions aux bornes des composants et cela s'avère être plus facile lorsque des composants discrets sont utilisés. Les MOSFET principaux sont des IRF710 et les transistors auxiliaires des IRF520. La figure II-18 montre la carte de commande de la structure réalisée. L'ensemble du schéma électrique de la carte de commande est fourni dans l'annexe II-2.A et II-2.B.



**Figure II-18.** Carte de commande du gradateur câblé en drains communs avec commandes rapprochées auto-alimentées + système de monitoring de tension

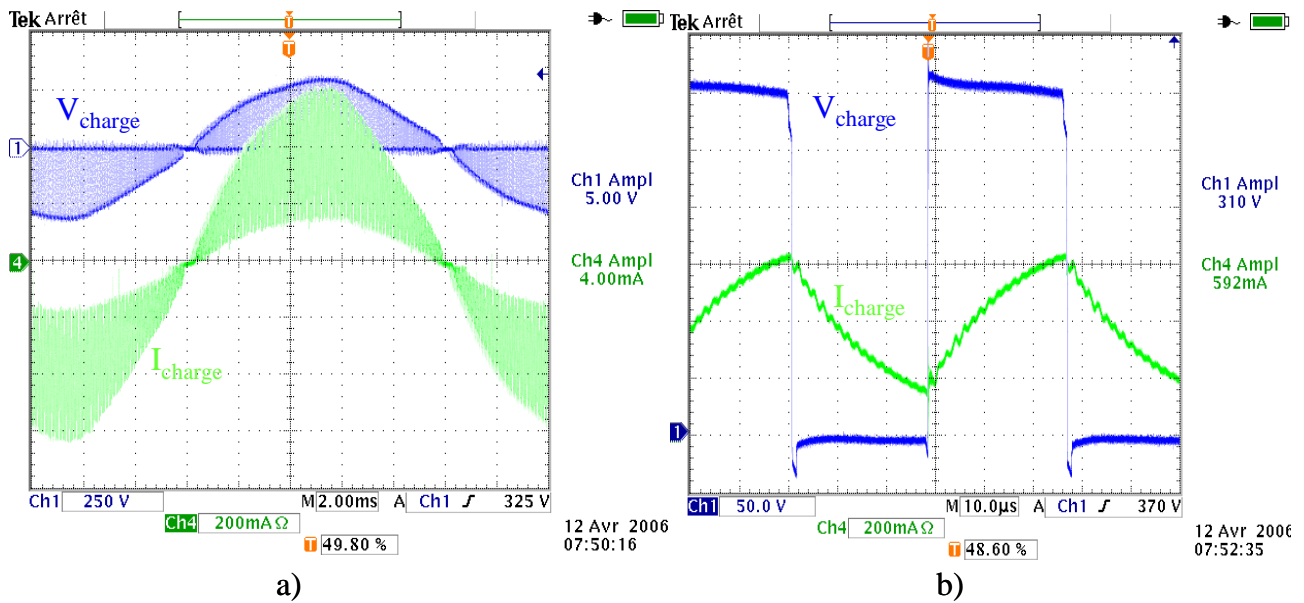


Le convertisseur fonctionne sous une tension de 400V crête, 50Hz et 2A (RMS). La charge utilisée se compose d'une résistance de 600Ω en série avec une inductance de 1,8mH. Le convertisseur fonctionne à une fréquence de découpage proche de 25kHz. Nous allons voir que dans ce mode de fonctionnement, le temps mort est supprimé et il devient automatiquement géré par l'auto-alimentation et le système de monitoring des tensions aux bornes des capacités de stockage  $C_S$ .

Durant la commutation de l'ACS1 vers l'ACS2, la recharge de la capacité de stockage  $C_{S3}$  est assurée par la déviation du courant de charge lorsque le MOS2 se bloque. En effet, après le blocage du transistor, une légère surtension suffit pour enclencher une phase de recharge de l'auto-alimentation du MOS3 ce qui offre un passage pour le courant de charge ( $I_C$ ). Dès que la capacité de stockage est complètement chargée, le circuit de monitoring enclenche la mise en conduction du transistor principal ce qui stoppe l'auto-alimentation. Cette commutation fait disparaître la surtension tout en limitant au maximum la durée de la phase de transition.

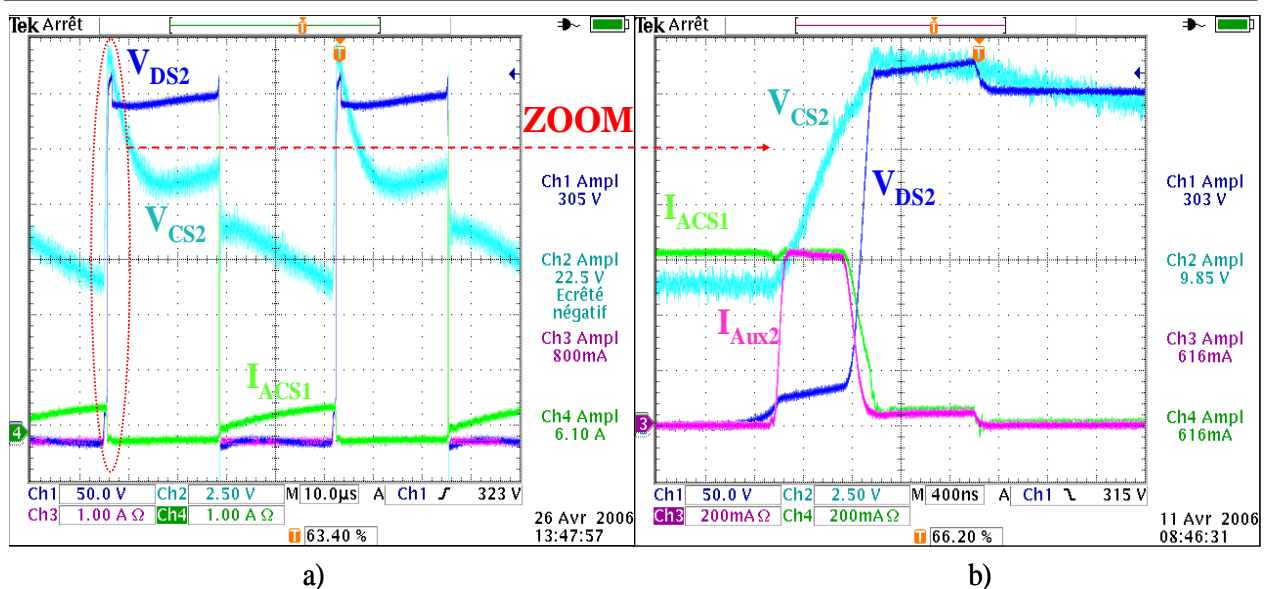
Pendant la commutation de l'ACS2 vers l'ASC1, les transistors principaux MOS3 et MOS4 s'ouvrent alors que les deux autres transistors sont maintenus à l'état bloqué, la tension  $V_{DS3}$  augmente et crée encore une fois une variation positive de la tension aux bornes des MOS2 et MOS3. Leurs capacités de stockage sont rapidement chargées tout en limitant la surtension à une valeur raisonnable. Dès que le circuit de monitoring du MOS2 détecte que  $C_{S2}$  est pleinement chargée, le transistor MOS2 est mis en conduction. Le temps mort est ainsi est autogéré et le phénomène de surtension a disparu. Lorsque le MOS2 conduit, la recharge de la capacité  $C_{S4}$  peut avoir lieu. Durant cette phase, les signaux de commande des MOS3 et MOS4 sont à l'état bas, ils ne se mettent pas à conduire même si le « monitoring » du MOS4 se trouve convenablement alimenté. La phase de roue libre s'arrête naturellement.

Les relevés de la figure II-19 ci-après font apparaître clairement que les surtensions aux bornes de la charge sont éliminées grâce au circuit de monitoring. Nous allons maintenant détailler un peu plus les phénomènes en observant les tensions aux bornes des transistors principaux et celles aux bornes des capacités de stockage pendant la commutation. Nous ne considérerons que la phase positive de la tension du réseau, les phénomènes étant parfaitement similaires pour l'alternance négative de  $V_{IN}$ .



**Figure II-19.** a) Tension et courant aux bornes de la charge. b) Zoom sur ces mêmes courant et tension

Nous suivons ici la même démarche que pour l'approche théorique, nous commencerons par la commutation de l'ASC1 vers l'ASC2 puis le cas complémentaire suivra. Prenons le MOS2 comme acteur principal pour étudier les comportements des autres composants. Les courbes enregistrées à l'oscilloscope prennent l'ouverture ou la fermeture du MOS2 comme point de repère. A l'état passant du transistor principal MOS2, le MOS1 est court-circuité par sa diode intrinsèque et son auto-alimentation n'est pas en fonctionnement. Les transistors MOS3 et MOS4 sont maintenus ouverts. Au moment où le MOS2 se bloque, la tension  $V_{DS2}$  croît et son auto-alimentation prend la totalité du courant de charge pour charger la capacité  $C_{S2}$ . Ce dernier est représenté sur la figure II-20.b dans laquelle la totalité du courant de charge  $I_{charge}$  est dérivé dans la capacité de stockage  $C_{S2}$  (courant  $I_{Aux2}$ ). Pendant cette phase de recharge de  $C_{S2}$ , la tension  $V_{DS2}$  est maintenue quasiment constante. A la fin de la charge de  $C_{S2}$ , la tension  $V_{DS2}$  continue à augmenter jusqu'à dépasser la tension d'entrée  $V_{IN}$ .

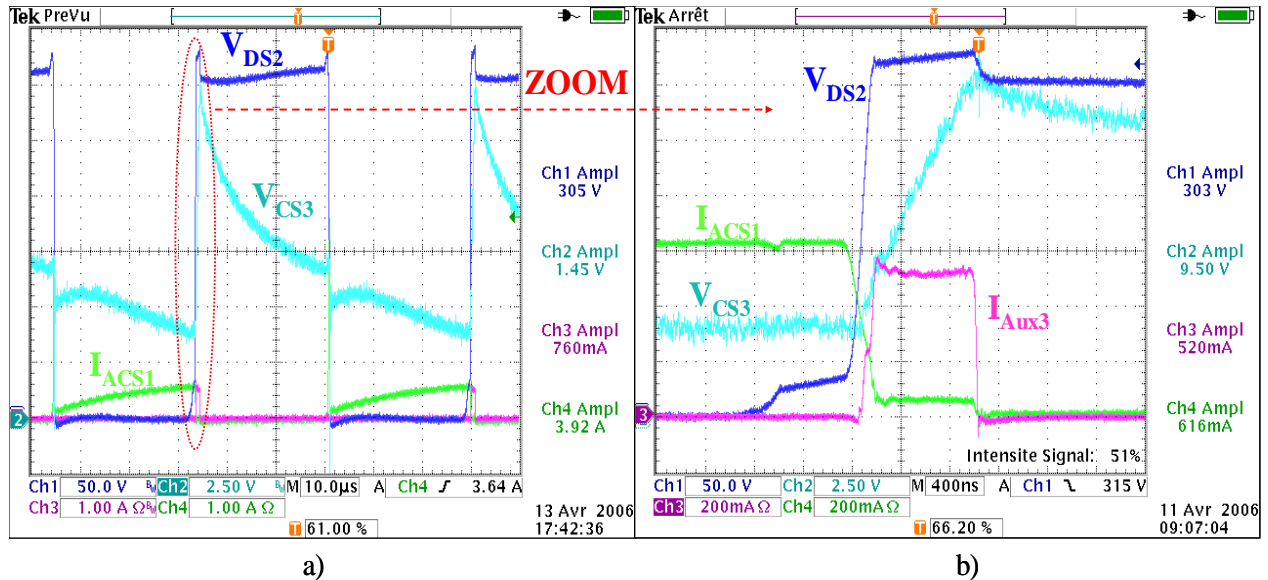


**Figure II-20.** a) Tension aux bornes du MOS2 et de  $C_{S2}$ . b) Visualisation du courant de charge dérivé dans  $C_{S2}$

Tant que la phase de roue libre ne prend pas le relais, la nature inductive de la charge provoque une surtension qui apparaît aux bornes du transistor MOS2 et du MOS3, toutes deux positives. Celle-ci est favorable parce qu'elle permet d'initier la recharge de la capacité  $C_{S3}$ , ce qui a pour effet de limiter cette surtension (environ de 40V dans notre application comme nous le constatons figure II-20.a ou le zoom sur la figure II-20.b). En effet, l'auto-alimentation du MOS3, en se rechargeant, offre un passage pour le courant de charge ce qui limite la surtension aux bornes des composants bloqués. La capacité  $C_{S3}$  se recharge donc jusqu'à atteindre sa tension souhaitée, puis le dispositif de monitoring détecte cette tension et rend conducteur le MOS3. La phase de roue libre peut alors débiter, ce qui termine la commutation entre les deux ACS sans (ou presque) surtension aux bornes des transistors concernés et avec un temps mort optimisé en fonctions des conditions de fonctionnement. Grâce à l'auto-alimentation et au circuit de monitoring, le transistor MOS2 est donc auto-protégé contre toute surtension et le transistor MOS3 est auto-déclenché. La recharge de la capacité  $C_{S3}$  s'effectue au courant nominal de la charge. Durant toute cette commutation, le transistor MOS4 n'intervient pas.

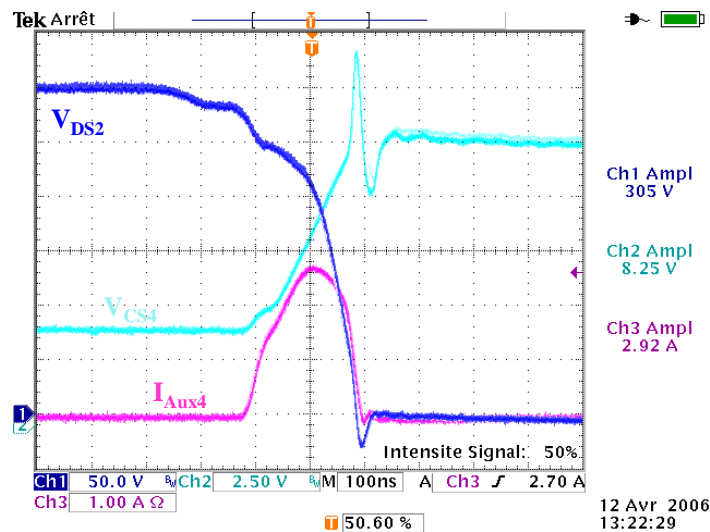
Pour la commutation ASC2 vers ASC1, au moment où le transistor MOS3 s'ouvre, débute une autre phase de transfert de puissance vers la charge via l'ASC1. Le MOS2 est mis en conduction dès que sa capacité de stockage est rechargée, cette charge étant due à nouveau à la surtension sur le MOS2 causée par la charge inductive. Le principe est identique à ce qui vient d'être expliqué, les  $dV/dt$  appliqués aux bornes des transistors MOS2 et MOS3 rechargent les capacités de stockage associées. La figure II-21 montre bien une légère remontée de la tension  $V_{DS2}$  due au temps mort de la transition de l'ASC2 vers l'ASC1. La capacité  $C_{S2}$  rechargée, le transistor

MOS2 se met à conduire. Le temps mort durant cette transition est là encore minimisé. La surtension apparaissant aux bornes du MOS3, dès que la tension  $V_{DS}$  dépasse la tension d'entrée  $V_{IN}$ , permet la recharge de  $V_{CS3}$  mais non l'autoamorçage de MOS3 puisque sa commande n'est pas active. Les surtensions des MOS2 et MOS3 sont néanmoins soulagées.



**Figure II-21.** Recharge de la capacité  $C_{S3}$  due à la variation positive  $dV/dt$  aux bornes du transistor MOS3

Le transistor MOS2 devient maintenant passant et la tension  $V_{DS2}$  décroît, ce qui entraîne une variation de tension positive aux bornes du transistor MOS4 et déclenche la recharge de la capacité  $C_{S4}$ . Cette phase est représentée figure II-22 où l'on peut noter que le courant de recharge est largement supérieur à celui de la charge. La capacité  $C_{S4}$  se recharge via l'ASC1 et la diode intrinsèque du MOS3. L'impédance de cette maille étant très faible, la recharge est très rapide (200ns au lieu de 1µs pour la recharge des autres capacités).



**Figure II-22.** Recharge de la capacité de stockage  $C_{S4}$  durant la transition l'ACS2 vers l'ASC1

En fait, le problème vient du transistor auxiliaire utilisé dans la structure dont l'impédance est trop faible à l'état passant. Nous venons de valider le principe de fonctionnement du convertisseur AC-AC à MOS montés en drains communs munis de systèmes d'auto-alimentation avec circuit de monitoring. Les résultats expérimentaux correspondent bien aux études théoriques menées précédemment et valident entièrement le fonctionnement du démonstrateur.

Si cette partie de la thèse n'a pas présenté des travaux sur l'intégration fonctionnelle, elle a néanmoins permis de mettre en évidence que des solutions particulières mais intégrables peuvent fonctionner correctement dans des structures de conversion complexe.

## II.8 Mise en œuvre d'une solution intégrable

Comme nous l'avons dit, l'ACS à VDMOS en drains communs pourrait être partiellement intégré de façon monolithique avec toutes ses auto-alimentations (figure II-3, figure II-9). Une des raisons pour laquelle nous ne retenons pas l'ACS à VDMOS en sources communes comme structure à développer est qu'il ne favorise pas l'intégration monolithique de deux VDMOS sur un même support, et ceci malgré la facilité de mise en œuvre de sa commande par rapport à celle de l'ACS à MOS en drains communs.

Nous avons vu que le système de monitoring de la tension aux bornes du transistor principal présenté ci-dessus se compose d'une porte logique NAND, d'une diode *zener*, d'une résistance et d'un trigger de Schmitt. Ces composants devraient pouvoir être intégrés de façon monolithique avec le transistor principal sans surcoût technologique, ce que nous tenterons de montrer dans les chapitres qui suivent.

## II.9 Conclusion

Dans ce chapitre, nous avons présenté une structure du convertisseur AC/AC à VDMOS en drains communs avec commandes rapprochées auto-alimentées. L'ensemble de la structure a été validé expérimentalement. Pour conclure sur ce chapitre nous pouvons rappeler les points marquants suivants :

- ✓ La conversion AC/AC monophasée à VDMOS en drains communs fonctionne bien de même que l'auto-alimentation des commandes rapprochées.
- ✓ Une fonctionnalité intéressante de la structure est à retenir : grâce à l'auto-alimentation, les surtensions inévitables dues aux temps morts ont été limitées aux bornes des transistors de puissance. En particulier le MOS3 soulage la contrainte apparue aux bornes du MOS2 due au temps mort. Ces surtensions ne sont par contre pas supprimées totalement.
- ✓ Cette structure peut fonctionner avec n'importe quel type de charge : résistif, capacitif ou inductif.

Pour améliorer les performances de la structure, nous avons proposé une technique que nous avons nommé « monitoring » qui permet de contrôler les variations de tensions aux bornes des capacités de stockage. Ces circuits ont pour effet de forcer les recharges des capacités de stockage si la tension à leurs bornes descend sous un certain seuil. Cette technique nous a aussi permis d'annuler la plupart des surtensions qui apparaissaient aux bornes des transistors principaux à cause des temps morts.

L'intégration monolithique de l'auto-alimentation de la commande rapprochée a été partiellement menée dans la thèse de [MITOVA 05] et son développement se poursuit actuellement à travers la thèse de N. ROUGER [ROUGER 08]. Dans la suite de ce travail, nous allons nous focaliser sur l'intégration monolithique de la commande et sur la gestion des ordres de commande : la mise forme, « monitoring » et amplification de la commande.

## Table des figures du Chapitre II

|               |  |    |
|---------------|--|----|
| Figure II-1.  | Structure de principe d'auto-alimentation .....  | 62 |
| Figure II-2.  | a) Auto alimentation de type MOSFET-MOSFET. b) Formes d'ondes illustrant le principe de fonctionnement .....   | 63 |
| Figure II-3.  | Vue en coupe de la structure intégrée réalisant l'alimentation de la commande rapprochée d'un transistor MOSFET.....   | 65 |
| Figure II-4.  | Schéma de principe du gradateur monophasé à MOS en sources communes...   | 66 |
| Figure II-5.  | Gradateur monophasé à MOSFET câblés en sources communes avec commandes rapprochées auto-alimentées.....  | 66 |
| Figure II-6.  | Schéma de principe du gradateur monophasé à MOS câblés en drains communs avec des commandes auto-alimentées.....   | 67 |
| Figure II-7.  | Commutation de ACS1 vers ACS2 pour $V_{IN} > 0$ .....  | 69 |
| Figure II-8.  | Commutation de ACS2 vers ACS1 pour $V_{IN} > 0$ .....  | 70 |
| Figure II-9.  | Transistors principal et auxiliaire au cœur de la même puce.....   | 71 |
| Figure II-10. | Photo du gradateur monophasé câblés en drains communs avec commandes rapprochées auto-alimentées réalisé en carte SMI.....   | 72 |
| Figure II-11. | Courant et tension aux bornes de la charge pendant une période du réseau.....  | 73 |
| Figure II-12. | Zoom sur ces mêmes courant et tension aux bornes de la charge .....  | 73 |
| Figure II-13. | Tensions aux bornes du MOS2, MOS3 et leur capacité de stockage CS2, CS3 ... ..   | 74 |
| Figure II-14. | a) Recharge et décharge des capacités de stockage CS2 et CS3 pour $V_{IN} > 0$ . b) Charge et décharge de la capacité CS3 pour $V_{IN} < 0$ . c) Zoom de VDS2 et VCS2 lors de la fermeture du MOS2 Pour $V_{IN} > 0$ ..... | 75 |
| Figure II-15. | Schéma de principe du système de monitoring de tension aux bornes de l'élément de stockage .....   | 77 |
| Figure II-16. | Caractéristiques du trigger de Schmitt ( $V_{low}$ , $V_{high}$ ) en fonction de sa tension d'alimentation .....   | 77 |
| Figure II-17. | Fonctionnement du système de monitoring aux bornes de la capacité CS3.....   | 78 |
| Figure II-18. | Carte de commande du gradateur câblé en drains communs avec commandes rapprochées auto-alimentées + système de monitoring de tension.....  | 79 |
| Figure II-19. | a) Tension et courant aux bornes de la charge. b) Zoom sur ces mêmes courant et tension.....   | 81 |
| Figure II-20. | a) Tension aux bornes du MOS2 et de CS2. b) Visualisation du courant de charge dérivé dans CS2 .....   | 82 |
| Figure II-21. | Recharge de la capacité CS3 due à la variation positive $dV/dt$ aux bornes du transistor MOS3.....   | 83 |
| Figure II-22. | Recharge de la capacité de stockage CS4 durant la transition l'ACS2 vers l'ASC .....   | 84 |

## Références du Chapitre II

[LEFEBVRE] Stéphane LEFEBVRE, Bernard MULTON « MOSFET et IGBT: Circuits de commande », Techniques de l'Ingénieur D3 233.

[VERNEAU 03] G. VERNEAU « Optimisation géométrique de MOSFETs de puissance en vue d'intégrer l'alimentation de l'étage de commande » Thèse INPG, mai 2003.

[MITOVA 05] R. MITOVA « Intégration d'alimentation de la commande rapprochée d'un interrupteur de puissance à potentiel flottant », Thèse INPG, Octobre 2005.

[SEGUIER 03] G. SEGUIER R. BAUSIERE, F. LABRIQUE « Electronique de puissance : Structure, fonctions de base principales » 8<sup>ème</sup> éditions.

[DARTIGUES 01] A. DARTIGUES « Etude des interactions dans un circuit de puissance monolithique » Thèse doctorat de l'INPG, soutenu 29 novembre, 2001.

[ROUGER-IAS'06] N. ROUGER et al « High Efficiency and Fully Integrated Self Powering Technique for VIPer-based Flyback Converters » IAS'06, Tampa, FL, USA, October 8-12, 2006.

[ROUGER-ISPSD'06] N. ROUGER et al « Fully Integrated Power Supply for Insulated Gate Transistors », ISPSD'06, Napoli-Italy, 2006.

[VINCENT 01] Loïc VINCENT « Gradateur à commande forcée avec auto-alimentation » Rapport de fin d'étude IUT1 Grenoble, 2001.

[VINCENT-ISPSD'06] Loïc VINCENT et al « FET Transistor used for power devices integrated over voltage protection » ISPSD'06, Napoli-Italy, 2006.

[NGUYEN-IECON'06] B. NGUYEN et al « MOS Controlled AC switches implemented with full driver power supplies and dead time management circuits » IECON'06, Paris France, 7-10 November 2006.

[MOBIDIC] ANR-MOBIDIC: MOS controlled BI-Directional power Integrated Component « Full functional monolithic integration of MOS controlled AC Switch for AC-AC power conversion applications » November 2006 to December 2009

[ZVERREV 97] I. ZVERREV et al « Comparison of state of the art gate drive techniques for high side switch », Trondheim, EPE'97, p4.250-4.255.

[CREBIER 03] J.C. CREBIER et al « Integrated Driver Power Supply for Power Switch », EPE 2003, Toulouse, France.

[VASIC 01] D. VASIC et al « A new MOSFET & IGBT gate device insulated by a piezoelectric transformer », PESC01, Ireland, Vol.3 pp1479-84.





**Chapitre-III**  
**Intégration de la commande rapprochée**

## TABLE DES MATIÈRES DU CHAPITE III

### **Chapitre-III : Intégration de la commande rapprochée**

|          |   |     |
|----------|---|-----|
| III.1    | Introduction .....  | 93  |
| III.2    | Composant de puissance et intégration monolithique .....  | 95  |
| III.3    | Filières technologiques et intégration monolithique .....   | 96  |
| III.4    | Procédé technologique de puissance et intégration fonctionnelle.....                                    | 97  |
| III.5    | Filière N-MOS avec la branche de polarisation .....   | 103 |
| III.6    | La branche de polarisation à résistance .....   | 104 |
| III.7    | Inverseur à transistors N-MOS .....   | 105 |
| III.7.1  | Inverseur N-MOS comme charge.....   | 106 |
| III.7.2  | Inverseur N-MOS à déplétion.....  | 109 |
| III.7.3  | Inverseur à transistors N-MOS avec polarisation indépendante de la grille du transistor de charge ..... | 111 |
| III.7.4  | Récapitulatif.....  | 112 |
| III.8    | Mise en œuvre d'une structure push-pull .....   | 114 |
| III.9    | Topologies de commande rapprochée retenues en technologie N-MOS .....                                   | 115 |
| III.9.1  | Commande rapprochée à commandes complémentaires.....  | 115 |
| III.9.2  | Commande rapprochée à commandes complémentaires et résistance de polarisation .<br>.....                | 117 |
| III.9.3  | Commandes complémentaires à N-MOS à tension de seuil réduite .....                                      | 118 |
| III.10   | Etude comportementale fine des commandes rapprochées à N-MOS proposées .....                            | 122 |
| III.10.1 | Étage de sortie à N-MOS "high side" toujours passant .....  | 124 |
| III.10.2 | Étage de sortie à N-MOS "high side" piloté avec une tension supérieure à la tension d'alimentation..... | 125 |
| III.10.3 | Étage de sortie à N-MOS "high side" piloté avec une résistance en parallèle .....                       | 126 |

|          |   |     |
|----------|---|-----|
| III.10.4 | Étage de sortie à N-MOS "high side" à tension de seuil réduite 1 toujours passant .....                           | 127 |
| III.10.5 | Étage de sortie à N-MOS "high side" à tension de seuil réduite 2 .....  | 128 |
| III.10.6 | Étage de sortie à N-MOS "high side" à tension de seuil réduite 2 piloté avec une<br>résistance en parallèle ..... | 129 |
| III.10.7 | Commentaires .....  | 130 |
| III.11   | Conclusion .....  | 131 |
|          | Références du Chapitre III.....   | 134 |



### III.1 Introduction

La première partie de ce document de thèse a permis de mettre en évidence certains concepts qui, associés à un processus d'intégration monolithique, pourraient avantageusement faciliter la mise en œuvre des interrupteurs quatre quadrants du type *AC Switch* (ACS) au sein des structures de conversion AC-AC. Nous avons vu que l'utilisation de la technique dite "d'auto-alimentation" permettait de simplifier leur mise en œuvre tout en faisant émerger des modes de fonctionnement simplifiant la gestion des transitions MOS-MOS inhérentes à ce type de convertisseurs. L'intégration de cette fonction, au sein même du composant de puissance, a fait l'objet de plusieurs travaux de recherche [MITOVA 05, ROUGER IECON'06, ROUGER ISPSD'06]. Il a été montré, entre autres, que cette fonction pouvait être intégrée de façon monolithique, exception faite de l'élément de stockage capacitif [MITOVA 05] qui, à l'heure actuelle, reste encore assez difficile à intégrer même si des travaux encourageants sont en cours sur la question [HAKIM 01]. Pour compléter l'effort d'intégration fonctionnelle menée ici, l'une des pistes les plus importantes est bien évidemment celle concernant *l'intégration de la commande rapprochée*. L'intégration de cette dernière, au sein même du composant de puissance, permettrait de synthétiser un composant assurant sa fonction de façon totalement autonome [International Rectifier 02, ST Microelectronics]. Aussi, la suite du document décrit le travail conduit en ce sens et a pour objectifs de servir l'application présentée précédemment mais aussi de faire

émerger une approche simple et fiable permettant d'intégrer une fonction de commande générique pouvant être mise en œuvre dans un large spectre d'applications. Ce chapitre va être consacré à l'identification du champ des possibilités, compte tenu des choix technologiques faits au premier chapitre. La suite du document fera ressortir l'effort de modélisation, d'analyse, de conception et de caractérisation de la fonction à intégrer.

La première partie du présent chapitre aborde les problèmes de compatibilité induits par l'effort d'intégration monolithique. En effet, faire cohabiter plusieurs fonctions différentes au sein d'une même puce repose sur plusieurs niveaux de compatibilité. Il y a tout d'abord et bien évidemment la *compatibilité technologique* [IMBERNON 02, MARMOUGET 2000, MURANI] celle qui permet à deux ou plusieurs composants d'être fabriqués sur le même support sans qu'il n'y ait dégradation ou même destruction de l'un d'eux ou encore sans qu'il n'y ait d'incompatibilité technologique tout simplement. Le second niveau de compatibilité, directement lié au fonctionnement des composants, est caractérisé par la *compatibilité électrique* [MARMOUGUET 2000, CREBIER 06]. Celle-ci doit être garantie pour ne pas pénaliser la fonction intégrée, les performances ou les plages de fonctionnement envisagées. On distingue aussi aisément un dernier niveau de compatibilité, celui lié à la *thermique* des composants [ALKAYAL 05, TOUNSI 93]. Celui-ci vient en dernier car sa prise en compte ne doit être conduite qu'une fois les deux premiers aspects réglés. Il n'en reste pas moins important car les couplages thermiques peuvent conduire à certains dysfonctionnements ou dérives mettant en péril les performances mais aussi tout simplement le bon fonctionnement de l'application dans laquelle la fonction est mise en œuvre.

Cette première partie mettra en évidence qu'il est possible de converger vers des solutions simples permettant de limiter les efforts technologiques tout en autorisant la réalisation de fonctions élémentaires, embryons d'un système de commande complet.

Une fois les solutions identifiées, une seconde partie tentera de présenter les possibilités offertes par la technologie dite « N-MOS » [COGAN 90, MADOU 97], exclusivement constituée de composants latéraux de type N-MOS. Nous verrons quelles sont les limites de son utilisation et pourquoi, malgré tout, elle présente un certain nombre d'avantages.

Fort de cette analyse, la fin du chapitre sera consacrée à l'identification des solutions envisageables, qu'elles soient conceptuelles, technologiques ou encore topologiques.

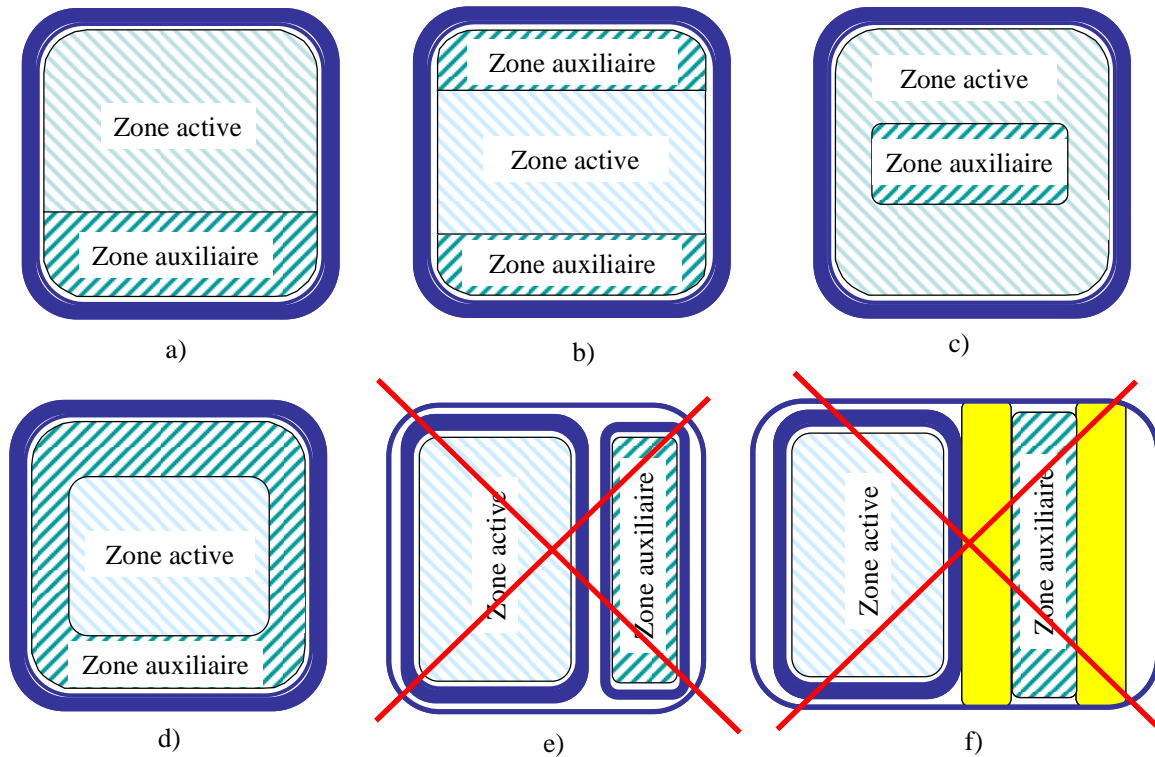
---

## III.2 Composant de puissance et intégration monolithique

L'effort d'intégration fonctionnelle consiste ici à concevoir une puce dans laquelle cohabiterait une région dite de puissance (zone active) correspondant au composant de puissance et une région dite de commande (zone auxiliaire), regroupant l'ensemble des éléments permettant de mettre en forme le signal de commande, de l'amplifier afin de piloter l'électrode de contrôle du composant de puissance. L'implantation géographique des deux régions est envisageable sous plusieurs formes. Comme nous l'avons énoncé au premier chapitre, toutes les solutions considèreront que les deux zones partageront la même périphérie en tension. Il en découle plusieurs niveaux de contraintes technologiques selon la manière dont la fonction de commande est intégrée au sein du composant de puissance. La figure-III.1 ci-dessous représente plusieurs variantes envisageables pour le placement des différentes fonctions au sein du composant.

Nous avons imaginé quelques variantes, toutes présentées figure III-1. Il est intéressant de noter que l'intégration monolithique d'une fonction au sein du composant peut devenir bénéfique d'un point de vue thermique puisqu'elle permet le partage des moyens de refroidissement de la structure. Pour mieux comprendre les échanges thermiques existants au sein de la puce, il faut observer les distributions de température lorsque le composant de puissance conduit puis lorsqu'il ne conduit plus pour comprendre les couplages thermiques qui peuvent exister [ALKAYAL 05, TOUNSI 07]. Ces aspects positifs ne doivent pas occulter les effets négatifs des couplages thermiques qui peuvent, par exemple, agir de manière significative sur les caractéristiques de la partie commande. Une étude approfondie doit être menée en ce sens. Néanmoins dans le cadre de ce travail de thèse, nous ne pousserons pas plus loin cet aspect thermique pour nous focaliser dans un premier temps sur des aspects fonctionnels.





**Figure III-1.** Variantes pour le placement de la commande (zone auxiliaire) par rapport au composant de puissance (zone active)

### III.3 Filières technologiques et intégration monolithique

À l'heure actuelle, la plupart des commandes rapprochées (qu'elles soient intégrées ou discrètes) sont basées sur des technologies dites complémentaires [MURANI, MUKHERJEE, ZDEBEL 97], c'est-à-dire à base de transistors N et P qu'ils soient de type bipolaires ou à effet de champ. La plupart des technologies complémentaires actuelles sont basées sur l'intégration de transistors complémentaires auto-isolés qui sont lorsque c'est nécessaire réalisés dans des caissons dont la jonction structurelles qu'il forme avec le substrat est polarisée en inverse. Cette approche repose sur le fait que le substrat du transistor est polarisé à l'un des niveaux maximum ou minimum (selon son type) de l'alimentation de commande afin de garantir l'auto-isolation de l'ensemble des éléments ou composants. Dans le cas d'une intégration au sein d'un composant de puissance à structure verticale utilisant lui le substrat comme potentiel de puissance, la compatibilité technologique ne pose pas de problème majeur. En revanche, il naît une incompatibilité électrique de taille. En effet, si les potentiels des substrats des deux régions (celles de la commande et du transistor de puissance) ne sont pas identiques, l'intégration de l'ensemble devra passer par une isolation électrique supplémentaire entre les deux parties. En technologie « smart power », le problème est souvent levé car les deux potentiels de substrats

sont identiques et l'intégration de transistors latéraux fonctionnant sous tension réduite est facilement envisageable [MURANI]. Néanmoins, pour des applications moyennes et hautes tensions, où le composant de puissance est nécessairement à structure verticale et où le potentiel en face arrière de ce même composant est clairement distinct de celui de l'alimentation de la partie commande, il naît une incompatibilité électrique totale. Pour remédier à ce problème, plusieurs approches sont envisageables [GIVELIN 04, CARMEL 07]. Toutes reposent sur la mise en œuvre d'une structure physique isolant les deux parties. La mise en œuvre de ces techniques impose souvent une disposition géographique des deux régions l'une à côté de l'autre, en n'autorisant une disposition géographique l'une au sein de l'autre que dans certains cas et sous certaines conditions. Une fois la cohabitation électrique réussie, le problème reste entier car il faut pouvoir faire un lien en surface entre la partie commande et la partie puissance et cela en passant par dessus les terminaisons en tension du composant de puissance. Même si des techniques ont été mises au point pour relever cette nouvelle difficulté [DARTIGUES 01], au final, cette approche reste lourde à mettre en œuvre sans pour autant offrir de réels dividendes d'un point de vue connectique et couplages positifs.

Pour toutes ces raisons nous décidons de ne pas nous orienter vers ces approches qui restent technologiquement, électriquement et économiquement une entreprise importante et ambitieuse. Dès lors, comment inverser la tendance et se tourner vers une approche relativement simple, viable et offrant de réels bénéfices liés à l'intégration monolithique ? Notre démarche a été de prendre le problème dans l'autre sens et au lieu de vouloir faire en monolithique ce qui est fait en discret, préférer une approche plus pragmatique partant de ce qu'il est possible d'intégrer pour voir jusqu'où il est possible d'aller. C'est ce que nous avons fait et ce que nous présentons maintenant.

### **III.4 Procédé technologique de puissance et intégration fonctionnelle.**

Cette approche fut longtemps suivie par le groupe ISGE (Intégration des Systèmes pour la Gestion de l'Energie) du LAAS (Laboratoire d'Architecture et d'Analyse des Systèmes) avec de belles réalisations [SANCHEZ 99, SANCHEZ 99-1, BREIL 98, HAKIM 01, CARMEL 07]. Elle repose sur l'utilisation de la structure verticale du dispositif de puissance pour faire émerger de nouvelles fonctions à partir de celle de base. Nous sommes partis de ce point de départ avec pour contrainte supplémentaire celle de se limiter au maximum au niveau technologique. Moins pour limiter le coût ou encore les possibles conséquences néfastes (qui peuvent apparaître) que

pour faire face à un souci de standardisation et de normalisation des technologies. En effet, en micro-électronique classique (VLSI), les marchés et les investissements sont énormes et les flots de développement très standardisés et on voit mal comment le domaine de l'électronique de puissance dans lequel la production est bien moindre et les investissements beaucoup plus faibles pourrait s'offrir des filières modifiables à souhait.

Les structures des composants de puissance standards (VDMOS ou IGBT) sont communes en surface (cellules MOS) et c'est en surface que l'intégration de nouvelles fonctions peut être faite. La structure silicium disponible est une structure trois couches, l'une d'elles, la plus profonde, étant connectée au potentiel le plus élevé en face arrière (le Drain pour les VDMOS et le Collecteur pour les IGBT). S'y ajoute un empilement MOS en surface.

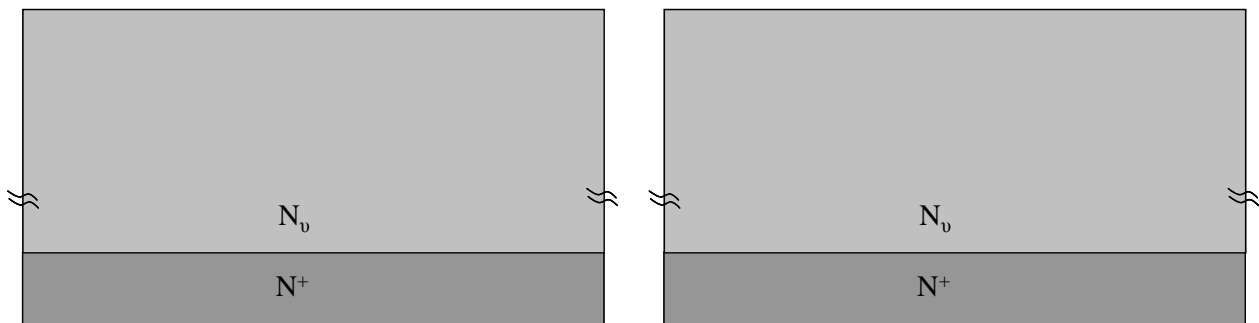
Cette structure de base offre un certain nombre de solutions mais seules quelques unes d'entre elles sont compatibles avec le contexte imposé par l'intégration et la cohabitation au sein du composant de puissance. Essayons de voir cela de plus près. L'inventaire des différentes possibilités (à technologie figée) fut conduit il y a quelques années par [MARMOUGET 00] et les banques de composants sont clairement répertoriées dans son document de thèse.

Pour que les fonctions créées soient et restent isolées du substrat, il faut en permanence que, dans le cas le plus simple, une jonction PN soit insérée dans l'empilement et il faut aussi en permanence que cette jonction soit polarisée en inverse. Cela signifie que les composants réalisés devront l'être dans un caisson P dont le potentiel doit toujours rester inférieur à celui du substrat. Autant dire que la liste des solutions initialement assez importante se réduit comme peau de chagrin. Surtout que pour garantir que le caisson P soit et demeure à un potentiel inférieur à celui du substrat, la solution la plus sûre consiste à le référencer au potentiel le plus bas du composant de puissance (la source ou l'émetteur selon le type du composant de puissance). Ainsi, lorsque ce dernier sera saturé, l'auto-isolation restera fonctionnelle et si, dans le cas des VDMOS, la diode de structure (diode body) est activée, les caissons P pourront contribuer au passage du courant principal.

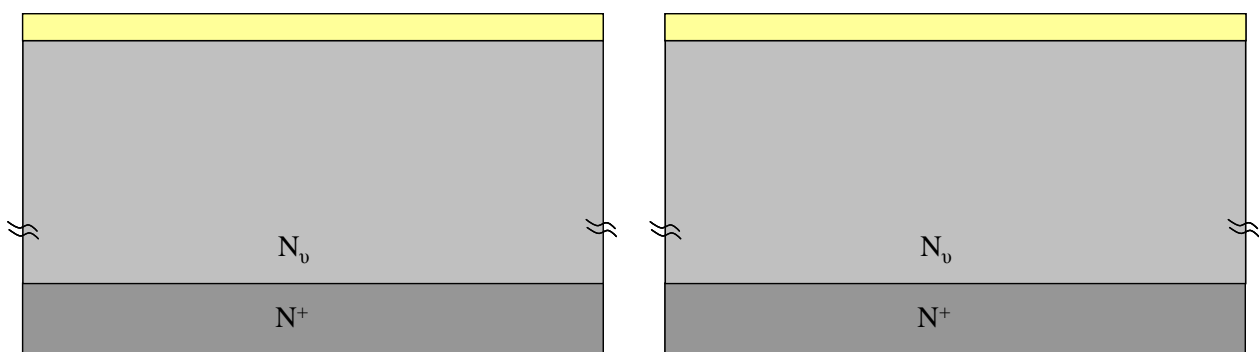
Après analyse, il nous est apparu deux composants susceptibles d'être utilisés. Le premier, le plus intéressant est le transistor N-MOS, à canal N dans un « porte canal » P référencé au potentiel le plus bas. Le second est la diode signal avec anode référencée elle aussi au potentiel le plus bas. D'autres structures peuvent être envisagées sans pour autant être totalement fonctionnelles car non commandables dans toutes les conditions [CREBIER 06]. C'est le cas par exemple du transistor N.P.N dont on ne peut pas garantir le fonctionnement dans tous les états du composant de puissance.

Nous allons présenter les processus de réalisation d'un transistor N-MOS en parallèle avec un transistor à structure verticale (un VDMOS dans l'exemple qui suit mais un IGBT aurait tout aussi bien pu être choisi). Dans les figures suivantes, les représentations de gauche concernent la description du procédé technologique du VDMOS alors que celles de droite représentent celui du N-MOS à enrichissement. Le procédé de fabrication du transistor de puissance VDMOS se compose de neuf étapes consécutives qui sont :

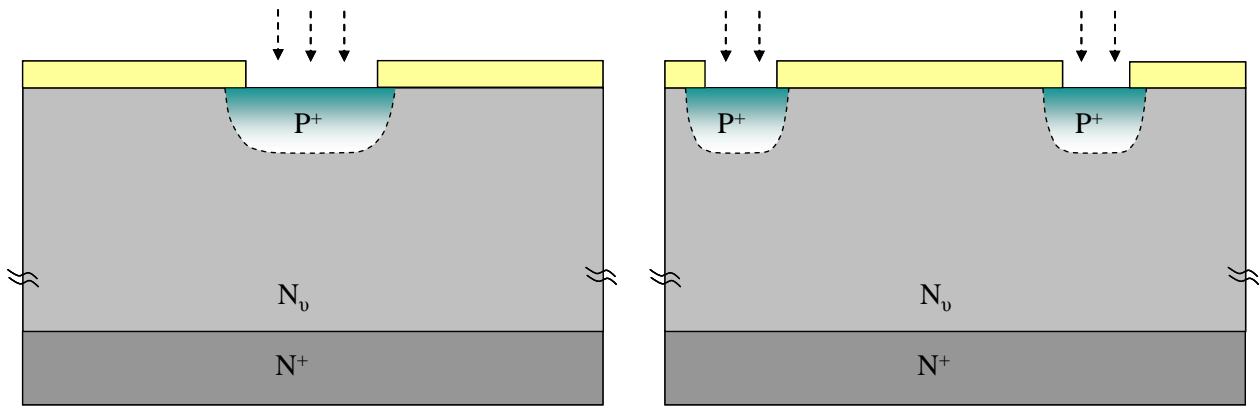
1. Le substrat de départ est une tranche (Wafer) de silicium dopé  $N^+$  de 300 à 450 $\mu\text{m}$  d'épaisseur sur laquelle est réalisée par la croissance épitaxiale une couche de silicium faiblement dopée  $N_v$  (sous-traitée à l'extérieur en général) dont l'épaisseur et la résistivité dépendent de la tenue en tension du transistor souhaitée.



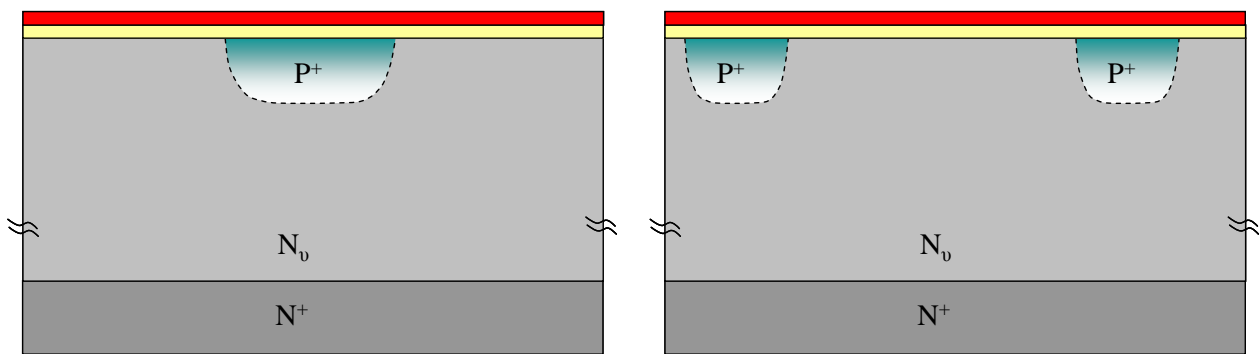
2. Croissance en surface d'un oxyde de silicium  $\text{SiO}_2$  épais sur l'ensemble de la tranche. Cette couche servira d'une part à masquer les diffusions de la région P du canal et de la région  $N^+$  de la source et d'autre part à participer à la création de la zone périphérique du transistor.



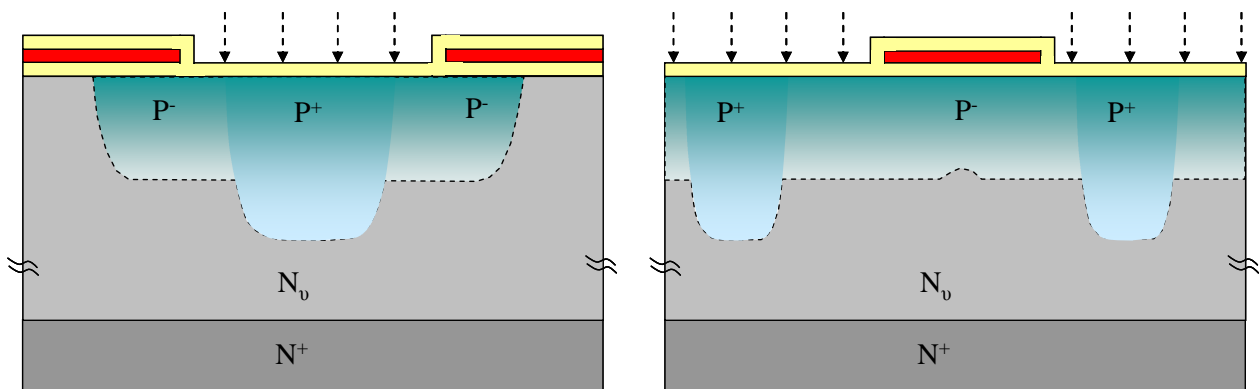
3. Gravure oxyde, lithographie PPlus ( $P^+$ ) implantation et diffusion de la sous-région  $P^+$  servant de court-circuit au niveau des cellules du composant de puissance. Ces sous régions offrent un excellent « drainage de charge » pour les régions signal que l'on souhaite intégrer.



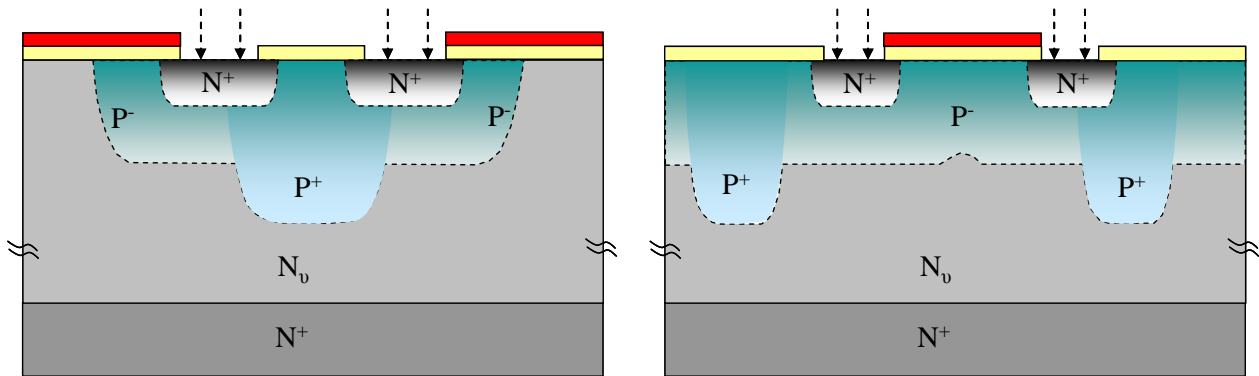
4. Retrait de l'oxyde épais dans la zone active (il n'est conservé qu'en périphérie, zone n'apparaissant pas ici), puis croissance d'un oxyde fin (oxyde de grille) et dépôt d'une couche de silicium polycristallin pour la grille.



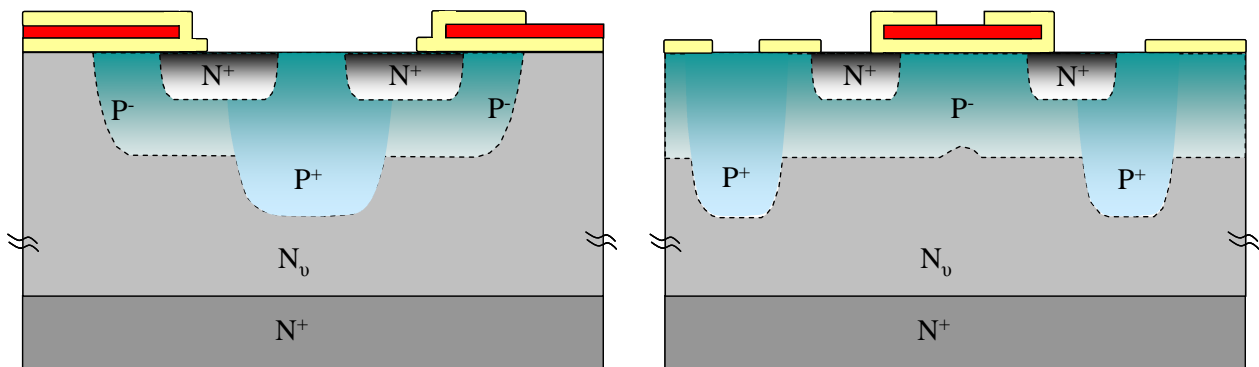
5. Gravure du polysilicium et de l'oxyde de grille puis implantation ionique de bore et diffusion des deux sous régions P<sup>-</sup> du canal sous la grille. Croissance d'un oxyde sur le silicium et le polysilicium. Au niveau du composant latéral, la longueur de la grille est conçue pour permettre aux caissons P<sup>-</sup> d'envahir la totalité de la surface sous la grille après diffusion. De cette manière, le caisson auto-isolé est créé.



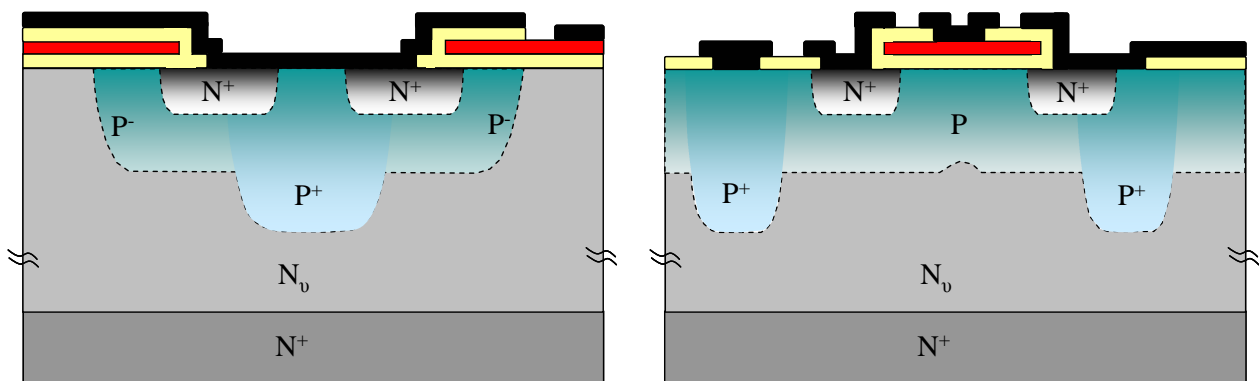
6. Gravure et retrait de l'oxyde ayant crû pendant la diffusion P<sup>-</sup>, implantations N<sup>+</sup> dans les zones où l'on souhaite des contacts (contacts de source à gauche ou source et drain du transistor N-MOS à droite).



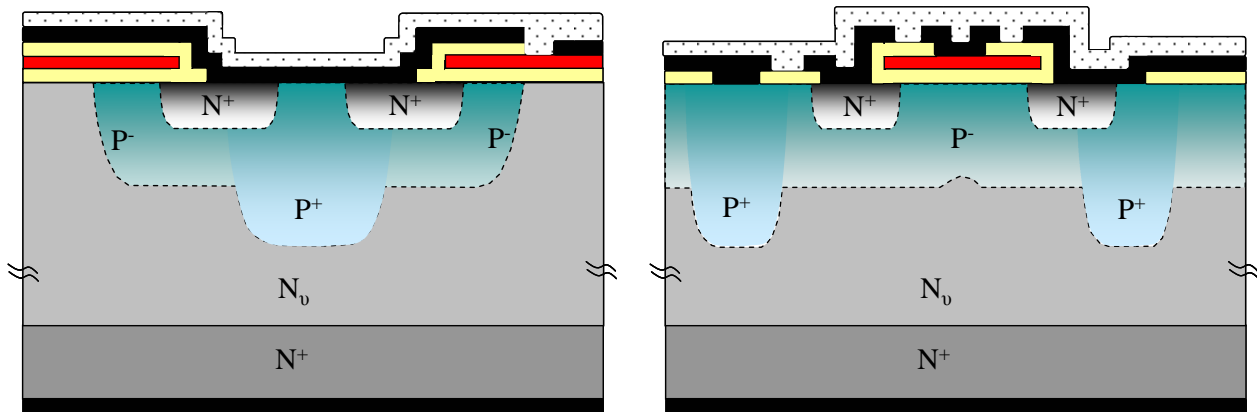
7. Passivation de la grille par un dépôt SiO<sub>2</sub> et ouverture des prises de contacts de la source et de la grille et de drain face avant pour les composants latéraux.



8. Dépôt puis gravure de métal (aluminium) pour les contacts des sources drains et grilles.



9. Dépôt d'une couche de passivation et gravure des plots de soudure (emplacements pour les *bondings*), métallisation de la face arrière.



Nous voyons clairement ici que le transistor N-MOS peut être obtenu à partir du procédé de fabrication du transistor VDMOS sans ajout d'étape supplémentaire. Deux remarques importantes concernant la réalisation du NMOS sont à relever sur ce transistor.

La première est que le substrat du transistor N-MOS est la conséquence de la diffusion latérale des zones P<sup>-</sup> aux deux extrémités de la grille. Si l'on veut garantir que ces deux zones se rejoignent bien pour ne former qu'un seul caisson P<sup>-</sup>, la longueur de la grille du N-MOS doit nécessairement être inférieure à une valeur limite dépendant des paramètres de la diffusion P<sup>-</sup>, contrainte qui limitera les possibilités de dimensionnement de ce N-MOS. Ensuite, il faut noter que la présence de la zone de tenue en tension du VDMOS aura un impact sur le fonctionnement du transistor N-MOS, surtout en dynamique par l'intermédiaire de la capacité de jonction que l'on retrouvera entre le caisson P et le substrat N<sub>0</sub>. Cet aspect sera particulièrement étudié dans le chapitre IV de ce rapport de thèse. Enfin, les performances et caractéristiques du composant latéral ainsi formé dépendent totalement de la structure verticale du composant de puissance. Si dans un premier temps, il est fait le choix de garantir l'optimum pour le composant de puissance, celles du composant latéral seront ce qu'elles seront. Le cas échéant, une évolution technologique mineure sera nécessaire pour offrir un degré de liberté supplémentaire au niveau de la conception des composants latéraux, au niveau de la tenue en tension de ce ceux-ci par exemple.

Le bilan sur les composants susceptibles de répondre à nos besoins s'avère assez médiocre mais il est cependant déjà intéressant car un composant essentiel, le transistor latéral N-MOS, peut être intégré au sein même de la puce de puissance sans aucune modification du processus technologique. En plus, il est théoriquement parfaitement isolé quelques soient les conditions de polarisation du composant de puissance. Il s'agit maintenant de répondre aux questions suivantes.

Ce composant est-il susceptible de répondre seul à nos besoins ? Ses caractéristiques sont-elles en adéquation avec nos besoins ? L'auto-isolation par jonction permet-elle d'immuniser totalement cet élément contre les perturbations générées par son environnement ? Des variantes sont-elles envisageables ? A quels prix ? Ce choix ne remet-il pas en cause l'approche simplifiée et normative retenue ? De nombreuses questions dont les réponses se trouvent au confluent de compétences technologiques, physiques, électriques et systèmes.

### **III.5 Filière N-MOS avec la branche de polarisation**

Les filières N-MOS ont été les premières filières technologiques standards permettant le développement des circuits intégrés MOS à grande échelle [WESTE 94, SARRAFZADEH 96]. Ces filières reposaient sur la réalisation de transistors à canal N, rendue possible par une bonne maîtrise technologique de la structure MIS (Métal-Isolant-Semiconducteur). On pouvait alors construire une branche de polarisation classique (constituée d'un transistor et d'une résistance entre drain et alimentation) et créer un inverseur ou encore un amplificateur linéaire. La filière était relativement simple tout en offrant la possibilité d'intégrer un grand nombre de composants sur la même puce de silicium. Des points de vue électrique et fonctionnel, le principal inconvénient de ce type de circuit était une consommation en statique, transistor passant, non nulle et des dynamiques de commutation lentes, ce qui entraînait des niveaux de consommation importants dans les versions classiques [SEDRA 04]. Des efforts ont été faits pour réduire ces problèmes fonctionnels [DEMASSA] mais l'évolution majeure fut technologique. En effet, les progrès technologiques et leur maîtrise ont permis de synthétiser le transistor complémentaire, de type P, avec pour conséquence l'émergence des filières technologiques CMOS. Si le procédé technologique de ce type de filière a été plus complexe à mettre en œuvre, la réalisation de structures complémentaires a permis de considérablement réduire les consommations en statique tout en favorisant fortement les dynamiques de commutation. Si la montée en fréquence s'avère encore assez gourmande en énergie à cause d'une phase de court-circuit, les gains énergétiques sont bien réels.

Aussi, remettre en selle cette filière N-MOS pouvait paraître rétrograde mais comme nous l'avons dit, c'est la seule qui ne nécessite, a priori, aucune modification technologique et qui autorise une implantation au sein même du composant de puissance. Choix de raison, choix volontaire, nous avons opté pour la rigueur technologique en fondant le souhait que nous arriverions à compenser les limites et inconvénients d'une filière N-MOS. Il s'agira, en l'utilisant,



de chercher à limiter les pertes engendrées, en espérant pouvoir mener à bien nos investigations dans la réalisation de commandes rapprochées voire de circuits de contrôle et de protection.

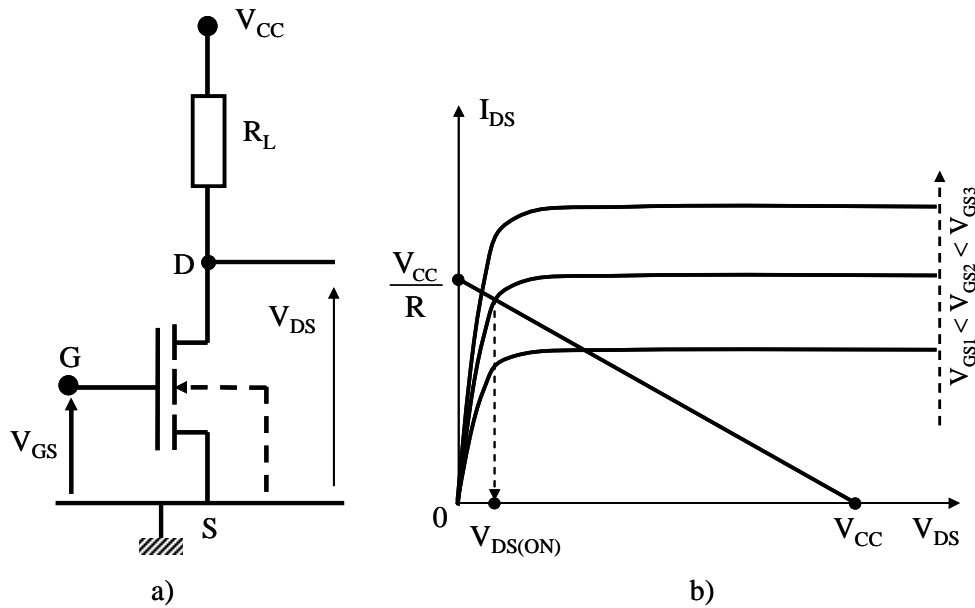
Pour évaluer les possibilités de cette filière, un chantier fut engagé pour :

- Identifier les caractéristiques du composant en fonction du procédé technologique permettant de le réaliser.
- Imaginer et identifier les topologies permettant de tirer le meilleur parti de cette approche.
- Analyser les dividendes que cette approche intégrée aura sur le contrôle du composant de puissance et les conséquences sur son comportement électrique.
- Appréhender les conséquences de son intégration monolithique en terme de partage de surface, de densité de puissance, etc...
- Et au final comparer l'approche intégrée avec une approche plus classique bi-puces, en technologie CMOS par exemple.

Si tous les points évoqués ci-dessus n'ont pas pu tous être menés à terme aujourd'hui, plusieurs d'entre eux ont été abordés. Nous allons en présenter quelques uns dans la suite de ce chapitre. Le quatrième chapitre en abordera aussi quelques autres.

### III.6 La branche de polarisation à résistance

Commençons par un petit rappel sur le comportement d'un étage constitué d'un transistor MOS latéral chargé par une simple résistance et fonctionnant en commutation (figure III-2.a). On entend par fonctionnement en commutation, un étage offrant deux points de fonctionnement logique, 1 ou 0 correspondant à  $V_{DS} = 0V$  ou  $V_{DS} = V_{CC}$ . Comme on peut le voir sur la caractéristique statique du transistor, la droite de charge permet de créer, en sortie de la branche, une tension  $V_{DS}$  allant de  $V_{DS(ON)}$  jusqu'à  $V_{CC}$  pour une tension en entrée  $V_{GS}$  allant de  $V_{CC}$  à  $V_{GSth}$ . Sur la caractéristique, on retrouve bien le caractère inverseur du dispositif. Dans le cas d'un fonctionnement en commutation, la cascade de deux ou plusieurs étages impose une condition de dimensionnement afin de garantir que  $V_{DS(ON)}$  de la branche en amont soit bien inférieur à la tension de seuil  $V_{GSth}$  du transistor de la branche en aval. C'est une condition vitale pour chaque branche de polarisation. Par ailleurs, les résistances de polarisation doivent être dimensionnées pour assurer des dynamiques de commutation convenables.



**Figure III-2.** a) Etage élémentaire b) Réseau de caractéristiques et droite de charge

Il est important de remarquer que pour un fonctionnement en commutation, la consommation de l'étage, transistor saturé ( $V_{DS} = V_{DS(ON)}$ ), sera conditionnée par la valeur de la résistance de charge. C'est aussi cette même résistance qui fixera les dynamiques de commutation de l'étage (associée à la capacité de grille du MOS de l'étage qui suit). On voit bien apparaître ici la faiblesse de cette technologie, dans le cas où elle serait mise en œuvre pour la commande des composants de puissance.

### III.7 Inverseur à transistors N-MOS

Compte tenu des inconvénients liés à l'utilisation de résistances de charge, il est nécessaire d'envisager des alternatives de mise en oeuvre. Un transistor N-MOS peut jouer le rôle d'une résistance variable s'il est convenablement polarisé.

L'examen des caractéristiques d'un transistor N-MOS montre qu'en le polarisant convenablement, il se comporte comme une résistance non linéaire. Plusieurs pistes peuvent être envisagées : soit en polarisant  $V_{GS} > V_{GSth}$  et  $V_{DS} < V_{DSsat}$  (fonctionnement dans sa zone « saturé » voir ohmique si  $V_{DS} \ll V_{DSsat}$ ) soit en polarisant le transistor à  $V_{DS} > V_{DSsat}$  dans la zone de plateau.

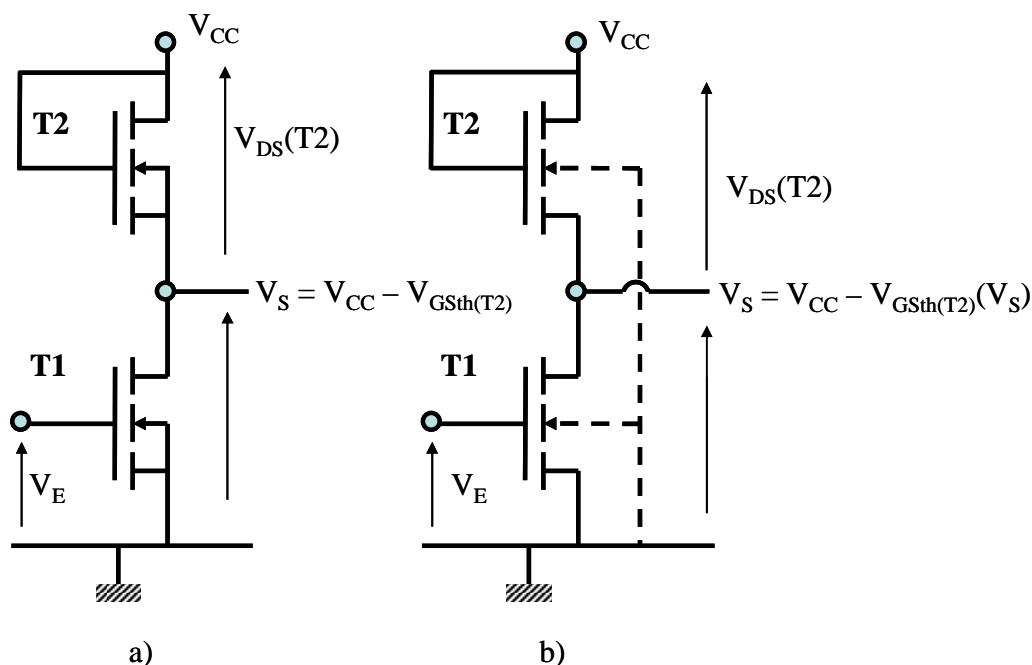
En micro-électronique, on préfère souvent utiliser un transistor MOS à la place d'une résistance de charge  $R_L$  car le gain en surface est important sur la puce :  $625 \cdot 10^{-12} \text{ m}^2$  pour un transistor N-MOS au lieu de 25 fois plus pour une résistance de l'ordre de  $20 \text{ k}\Omega$  [METZGER].

Par ailleurs, le contrôle du transistor permettrait de limiter les pertes en statique tout en favorisant des dynamiques de commutation convenables.

Nous allons donc voir ci-après comment utiliser un transistor N-MOS comme charge d'un étage inverseur, nous allons évaluer plusieurs solutions issues de la bibliographie et nous retiendrons celles qui répondent technologiquement et électriquement le mieux à nos attentes. Dans un premier temps nous discuterons des possibilités utilisant un N-MOS à enrichissement comme charge ; soit en le faisant fonctionner dans la zone « linéaire », soit dans la zone de plateau. Puis nous évoquerons une solution améliorant le fonctionnement en introduisant un niveau de tension supplémentaire permettant de polariser le transistor servant de charge. Enfin, nous terminerons sur des solutions utilisant un N-MOS à appauvrissement.

### III.7.1 Inverseur N-MOS comme charge

La topologie de cet inverseur est présentée figure III-3, le transistor N-MOS « high-side » (ou transistor de charge) fonctionne toujours en régime de plateau. En effet, l'électrode de grille du transistor de charge T2 est reliée directement à son drain et, dans cette configuration, on a toujours  $V_{GS(T2)} - V_{GSth(T2)} < V_{DS(T2)}$ .



**Figure III-3.** Remplacement d'une résistance par un transistor N-MOS

a). portes canaux indépendants et b). portes canaux communs

Dans la solution représentée figure III-13.a, le substrat et la source du transistor de charge sont reliés ensemble. Si d'un point de vue technologique, la topologie proposée figure III-13.a est réalisable aisément, au niveau électrique, elle pose un problème important car si le potentiel du porte canal du transistor T2 devient supérieur à celui du substrat du composant de puissance, l'isolation entre les deux parties ne sera plus effective. Or, si l'on souhaite garder un *process* proche de celui présenté pour le VDMOS, aucune isolation électrique ne peut être envisagée sans modification majeure du procédé technologique.

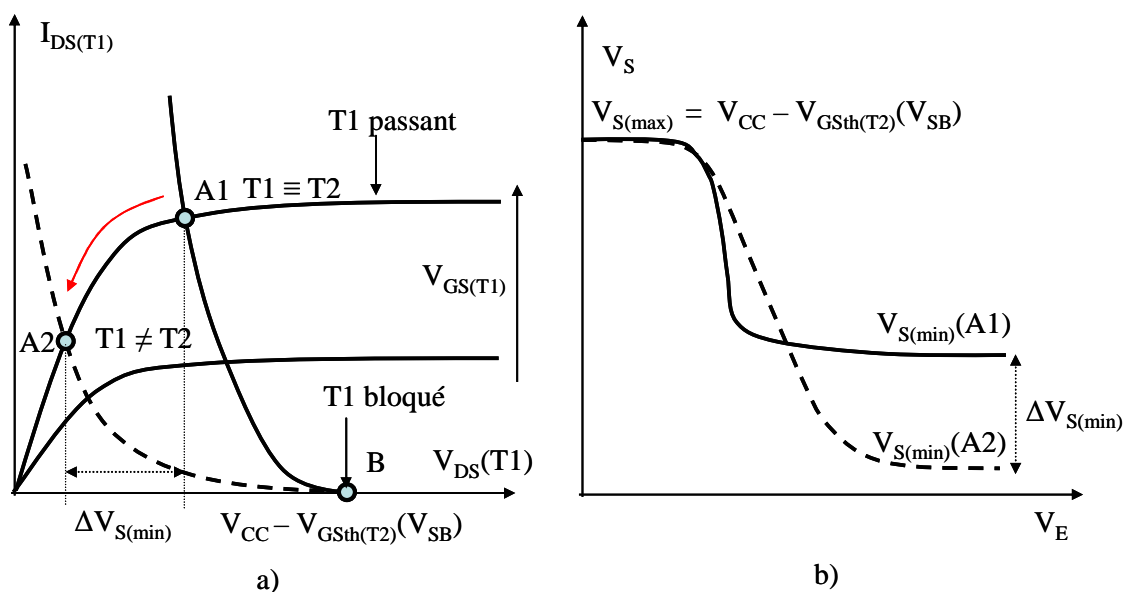
La configuration proposée figure III-13.b à substrat commun pour les deux transistors permet de résoudre les problèmes de compatibilité électrique et de simplicité technologique. Le « porte canal » du transistor de charge est cette fois relié au potentiel le plus bas, ce qui évite d'envisager la réalisation d'un caisson d'isolation supplémentaire. En revanche, cette solution dégrade un peu les performances électriques de l'inverseur et en particulier la valeur maximale de sortie  $V_{Smax}$  à cause de « l'effet de substrat » que l'on retrouve sur le transistor de charge. En effet, plus la différence de potentiel entre la source et le substrat  $V_{SB}$  de ce transistor augmentera, plus sa tension de seuil sera élevée, ce qui engendrera une diminution de la tension de sortie maximale de l'inverseur car  $V_{Smax} = V_{CC} - V_{GSth(T2)}(V_S)$ . D'un point de vue technologique, l'intégration monolithique de cette topologie est beaucoup plus aisée et répond à nos demandes malgré une limitation dans son utilisation qui a pour conséquence de poser des problèmes lors de la mise en cascade de plusieurs étages d'inverseurs. Nous pouvons écrire :

- Pour  $V_E < V_{GSth(T1)}$  :  $V_{Smax} = V_{CC} - V_{GSth(T2)}(V_S)$
- Pour  $V_E \geq V_{GSth(T1)}$  et  $V_{GS(T1)} - V_{GSth(T1)} > V_{DS(T1)}$  nous avons :

$$V_{Smin} \approx \frac{[V_{CC} - V_{GSth(T2)}(V_S)]^2}{K_1 \cdot (V_E - V_{GSth(T1)}) + K_2 \cdot [V_{CC} - V_{GSth(T2)}(V_S)]}$$

Étant donné que la tension de seuil du transistor de charge T2 est fonction, cette fois-ci, de la tension  $V_{SB(T2)}$ , afin de déterminer la tension  $V_{Smin}$  il est nécessaire ici de résoudre numériquement l'équation ci-dessus pour obtenir une valeur numérique.

La figure III-4 explique comment la caractéristique  $I_{DS(T2)}$  (de la solution retenue) peut remplacer la droite de charge de la résistance  $R_L$ .



**Figure III-4.** Droite de charge et caractéristique de transfert de l'inverseur N-MOS

Notons deux possibilités pour T2. La première, si T2 et T1 ont les mêmes caractéristiques, le point de fonctionnement A1 (voir figure III-4.a) se trouve alors dans une zone de forte dissipation et l'excursion de la tension de sortie  $V_{DS(T1)}$  donnée par les points B et A1 est faible. La tension minimale de  $V_{DS(T1)}$  pourrait être supérieure à celle du seuil du N-MOS de l'étage suivant, ce qui interdirait la mise en cascade de plusieurs étages.

Une seconde possibilité est de choisir une largeur de canal plus courte pour le transistor T2 et/ou plus importante que pour le transistor T1. Dans ce cas, le point de fonctionnement se déplace vers A2 ce qui diminue la dissipation tout en augmentant l'excursion de tension en sortie (on gagnerait sur l'excursion de  $V_{S(min)}$ ). Cette seconde solution moins consommatrice sera bien évidemment retenue même si elle ne permet pas d'annuler les pertes lorsque T1 est ON comme dans les technologies CMOS.

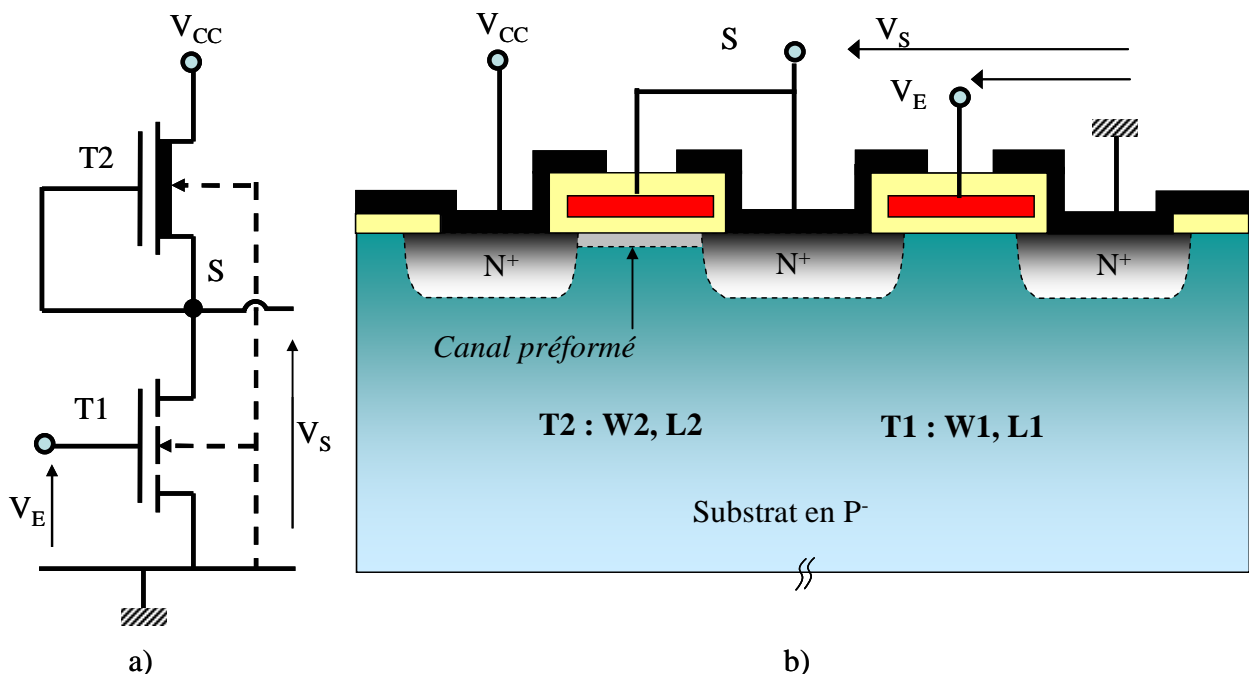
Un commentaire important sur lequel nous devons revenir concerne la caractéristique entrée/sortie de ce type de structure. Comme cela fut mentionné plus haut, la caractéristique de sortie de cette structure est limitée par la tension appliquée sur la grille de T2 et la tension de seuil de celui-ci. Cela signifie que la cascade de plusieurs étages de ce type conduirait rapidement à une tension de sortie très faible. Par ailleurs, plus la tension de sortie de la structure s'élève, plus l'effet de substrat devient important et plus le niveau d'inversion devient faible. Cela signifie que l'impédance offerte par le transistor T2 est fortement dépendante de la tension de sortie de la structure ce qui peut s'avérer devenir un problème lorsque certaines dynamiques sont recherchées. Au final, il faudra considérer cette structure pour les étages de sorties (gourmands en puissance) en ajustant la tension d'alimentation de la partie commande en fonction du niveau

de polarisation recherchée sur la grille de l'interrupteur de puissance. On pourra aussi envisager de modifier la tension de seuil du transistor T2 afin de la rendre moins sensible à l'effet de substrat! Nous analyserons cela plus en détails plus loin et nous tenterons d'apporter une solution à ce point particulier dans le chapitre suivant.

Il est à noter que cette seconde approche ne résout nullement la consommation en statique, transistor T1 passant. C'est une étape intermédiaire introduisant le transistor « high-side » dans la topologie.

### III.7.2 Inverseur N-MOS à déplétion

Une évolution technologique sans grande conséquence sur le composant de puissance permettrait d'introduire un transistor à appauvrissement dans le nombre des éléments disponibles et intégrables sans problème au sein d'un composant de puissance. L'inverseur qui en résulte se compose d'un transistor N-MOS à canal préformé (à déplétion) qui joue le rôle de la résistance de charge et d'un transistor N-MOS qui commute (voir figure III-5). Le transistor à canal préformé a la particularité d'être toujours conducteur, puisque sa grille est reliée à sa source et que sa tension de seuil est négative. La tension de sortie est égale à la tension d'alimentation lorsque la tension  $V_E$  est nulle, et tend vers zéro volt lorsque  $V_E$  est proche de  $V_{CC}$ .



**Figure III-5.** Inverseur N-MOS à déplétion

En adoptant la même démarche que précédemment, déterminons les deux valeurs extrêmes atteignables en sortie d'inverseur :  $V_{Smax}$  et  $V_{Smin}$ .

- Pour  $V_E < V_{GSth(T1)}$ ,  $I_{DS(T2)} = 0$  et T2 est dans sa zone de fonctionnement « linéaire » (car  $V_{DS(T2)}$  est a priori faible). Comme  $V_{GS(T2)} = 0$  on obtient :

$$-K_2 \left( V_{GSth(T2)} (V_{BS}) V_{DS(T2)} + \frac{V_{DS(T2)}^2}{2} \right) = 0$$

La solution réaliste est  $V_{DS(T2)} = 0$  d'où :

$$V_{Smax} = V_{CC}$$

- Pour  $V_E \gg V_{GSth(T1)}$  nous pouvons dire que  $V_{DS(T1)} < V_{DSat(T1)}$ , T1 fonctionne dans sa zone « linéaire » tandis que T2 dans sa zone de saturation de courant puisque  $V_{DS(T2)} \gg V_{DSat(T2)}$ . Comme  $I_{DS(T2)} = I_{DS(T1)}$  nous avons :

$$\frac{K_2}{2} \cdot (V_{GS(T2)} - V_{GSth(T2)})^2 = K_1 \cdot \left[ (V_E - V_{GSth(T1)}) \cdot V_{S(low)} - \frac{V_{Smin}^2}{2} \right]$$

Et puisque  $V_{GS(T2)} = 0$  :

$$\frac{K_1}{2} \cdot V_{Smin}^2 - K_1 \cdot (V_{CC} - V_{GSth(T1)}) \cdot V_{S(low)} + \frac{K_2}{2} \cdot V_{GSth(T2)}^2 (V_{SB}) = 0$$

La tension  $V_{S(low)}$  est suffisamment petite le terme  $V_{S(low)}^2$  peut être négligé :

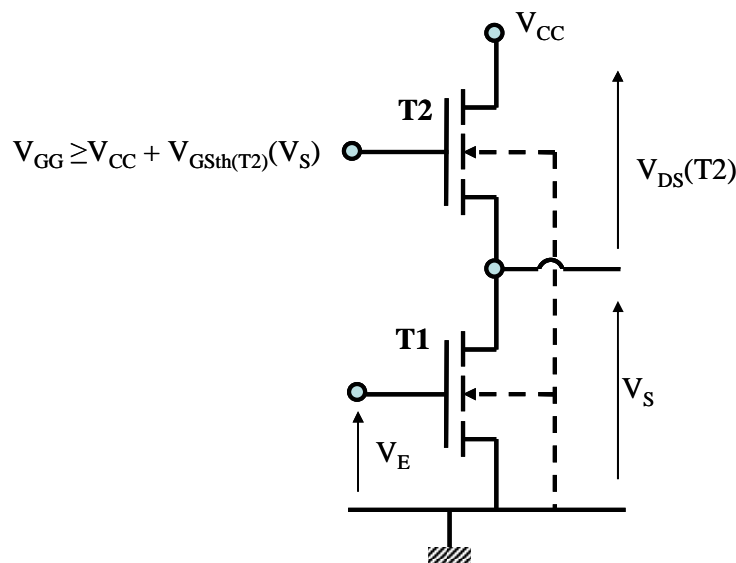
$$V_{Smin} \approx \frac{K_2 \cdot V_{GSth(T1)}^2 (V_S)}{2 \cdot K_1 \cdot (V_{CC} - V_{GSth(T1)})}$$

D'un point de vue technologique, la réalisation du transistor N-MOS à déplétion demande une étape supplémentaire par rapport au procédé technologique du VDMOS ; il s'agit de l'implantation (et la photolithographie correspondante) et de la diffusion d'impuretés de type N pour préformer le canal. Cette étape délicate doit avoir lieu en fin du procès, et dans tous les cas, après l'implantation ionique du bore réalisant les caissons P-well du VDMOS.

Cette approche permet de densifier les structures logique et commande et permet de synthétiser des résistances de fortes valeurs. En revanche, elle n'enlève en rien les problèmes de consommation et de dynamiques inhérentes aux technologies N-MOS.

### III.7.3 Inverseur à transistors N-MOS avec polarisation indépendante de la grille du transistor de charge

La topologie de l'inverseur est similaire à celle donnée dans le paragraphe précédent, par contre le potentiel de l'électrode de grille du transistor T2 est ici porté à un potentiel différent du potentiel d'alimentation de la structure :  $V_{GG} \geq V_{CC} + V_{GSth(T2)}$ . Ce dernier a pour but de forcer le transistor T2 à fonctionner toujours dans la zone ohmique (puisque  $V_{GS(T2)} - V_{GSth(T2)}(V_S) > V_{DS(T2)}$ ). Cela va permettre de remonter le potentiel de blocage (point B de la figure III-4.a) vers la tension d'alimentation  $V_{CC}$ .



**Figure III-6.** Topologie de l'inverseur à N-MOS avec tension de polarisation adaptable pour le transistor de charge

En adoptant la même démarche que précédemment, déterminons les deux valeurs extrêmes atteignables en sortie d'inverseur :  $V_{Smax}$  et  $V_{Smin}$ .

- Pour  $V_E < V_{GSth(T1)}$  :

$$V_{Smax} = V_{CC} - V_{DS(T2)} = V_{CC}$$

- $V_E \geq V_{GSth(T1)}$  et  $V_{DS(T1)} < V_{DSat(T1)}$  :

$$V_{Smin} \approx \frac{K_2 \cdot \left[ (V_{GG} - V_{GSth(T2)}(V_{SB2})) V_{CC} - \frac{V_{CC}^2}{2} \right]}{\left[ K_1 \cdot (V_E - V_{GSth(T1)}) + K_2 \cdot (V_{GG} - V_{GSth(T2)}(V_{SB2})) \right]}$$

Ainsi l'emploi de deux tensions d'alimentation différentes  $V_{CC}$  pour l'ensemble et  $V_{GG}$  pour la grille du N-MOS de charge permet d'accroître l'excursion de la tension de sortie de la branche de polarisation jusqu'à atteindre comme tension maximale  $V_{CC}$ , ce qui solutionne le problème de

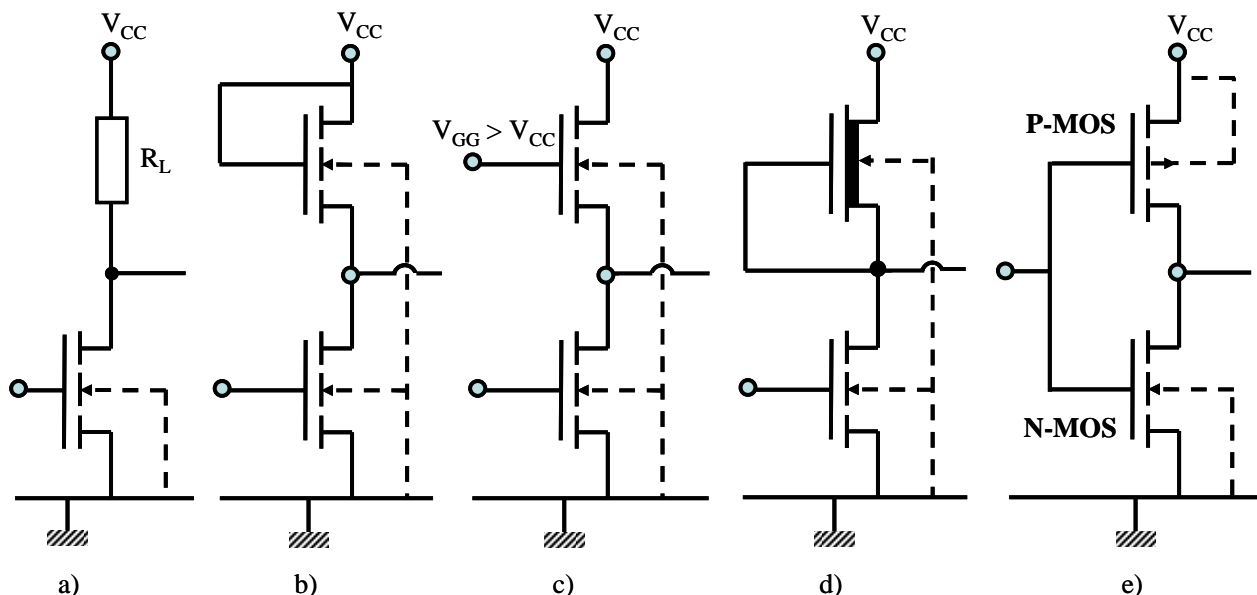


la mise en cascade de plusieurs étages. Cette solution a en plus l'avantage d'améliorer la rapidité de la réponse transitoire du circuit [METGZER 85].

Nous avons donc vu que l'intégration de résistances classiques fut rapidement remise en cause par l'introduction de techniques d'alimentations doubles permettant de mettre en œuvre des transistors N-MOS en guise de résistance. Les solutions présentées nous donnent des premières possibilités en identifiant un étage d'inverseur qui répond le plus à nos demandes tout en permettant une forte augmentation des densités de fonctions intégrées au sein d'un circuit intégré. Néanmoins, le problème de la consommation en statique reste entier et nous allons devoir aborder ce point en détail. Avant cela, nous allons effectuer un premier récapitulatif.

### III.7.4 Récapitulatif

La figure III-7 rappelle l'ensemble des solutions évoquées ci-dessus alors que le tableau-III.1 fait un bilan des avantages et inconvénients de chacune d'elle. Les solutions "a", "c" et "d" sont celles qui semblent convenir le mieux à notre démarche (même si elles posent certains problèmes de performances). En effet, ce sont les seules qui, comme la structure CMOS, permettent d'obtenir une tension de sortie  $V_{S_{max}}$  satisfaisante. Comme nous l'avons indiqué, la solution "b" peut se rapprocher d'une tension de sortie satisfaisante si la tension de seuil du transistor « high-side » est suffisamment réduite.



**Figure III-7.** Récapitulatifs des différentes solutions pour l'exemple de l'inverseur

| Topologie               | a)  | b)   | c)   | d)   | e)  |
|-------------------------|---|--|--|--|---|
| Technologie du VDMOS    | OK  | OK   | OK   | MODIFIE  | Non compatible  |
| $V_{Smax}$              | $V_{CC}$  | $V_{CC} - V_{GSth(T2)}(V_S)$                                       | $V_{CC}$   | $V_{CC}$   | $V_{CC}$  |
| Performances statiques  | ☺   | ☺ ☺ ☺  | ☺ ☺ ☺  | ☺ ☺  | ☺ ☺ ☺ ☺   |
| Performances dynamiques | ☺   | ☺ ☺  | ☺ ☺ ☺  | ☺  | ☺ ☺ ☺ ☺   |
| Autres remarques        | Compromis de faible qualité (valable uniquement pour le signal) | Compromis à faire entre perte et rapidité (dépend de l'étage aval) | Deux sources d'alimentation pour le N-MOS de charge (solution complexe à mettre en oeuvre) | Densité d'intégration importante mais performances faibles | Solution optimale mais difficile à intégrer à faible coût |

**Tableau III-1.** Récapitulatifs des avantages et inconvénient pour chaque solution d'inverseur

Le bilan dressé ci-dessus peut laisser quelque peu perplexe quand à l'approche technologique retenue. En effet, il apparaît clairement que la technologie N-MOS présente de réelles limitations et plus particulièrement pour les applications devant fournir de l'énergie (elle reste valable pour le traitement du signal et de la logique car la consommation reste alors raisonnable). En particulier, il semble important de prendre le contrôle de l'élément de polarisation afin de pouvoir le couper lors des phases en statique  $V_S$  étant au potentiel bas  $V_{Smin}$ . Aussi, nous avons poursuivi nos investigations conceptuelles en ce sens pour tenter d'améliorer l'existant. Nous avons tout d'abord identifié une solution commandée intermédiaire issue d'une compilation de deux techniques permettant de créer un compromis acceptable pour les applications peut exigeantes. Puis nous avons regardé comment par modification de la tension de seuil, des gains pouvait être obtenus. Nous avons alors identifié un moyen permettant de modifier la tension de seuil des

transistors « high-side » sans modification conséquente du procédé technologique. En limitant son effet, on peut imaginer améliorer encore la seconde approche. Ces solutions et leurs variantes font l'objet de la fin de ce chapitre.

### III.8 Mise en œuvre d'une structure push-pull

Suite à l'analyse conduite jusqu'ici sur les technologies N-MOS et leurs variantes, il apparaît logique d'essayer de retirer l'élément "résistif" de polarisation et de le remplacer par un élément contrôlable qui permettrait de limiter les pertes en statique. Néanmoins l'utilisation d'un transistor de charge dans une configuration comparable à celle de la figure III-13.b fait apparaître un problème important déjà souligné au paragraphe précédent. Un double problème devrait être relevé par cette configuration :

Le premier problème, le plus important, est que la tension de sortie maximale ne peut être qu'inférieure ou égale à la tension d'alimentation moins la tension de seuil du transistor de charge, ce qui limite automatiquement le nombre d'étages en cascade possible. Par ailleurs, cela pose une condition sur le niveau de la tension d'alimentation en fonction de la tension nécessaire pour polariser correctement le transistor de puissance.

Le second problème repose sur la dépendance de la tension de seuil du transistor de charge en fonction de la différence de potentiel entre la source et le substrat. En effet, dans les configurations classiques des technologies N-MOS, le « porte canal » est commun à tous les interrupteurs et de fait, le transistor à source flottante se voit imposé une différence de potentiel entre source et substrat, différence de potentiel conduisant à une augmentation apparente de sa tension de seuil.

Les deux problèmes précités étant couplés, on voit combien la mise en cascade de plusieurs étages pourrait s'avérer rédhitoire vis-à-vis du niveau de tension maximal possible en sortie.

Comment dès lors faire émerger une topologie dont les caractéristiques resteraient acceptables ? Nous avons identifié plusieurs solutions que nous développons dans le paragraphe suivant. Un premier jeu de solutions consiste à créer une double polarisation pour le transistor du haut qui offrirait une dynamique de réponse satisfaisante pour chaque étage et une valeur finale elle aussi satisfaisante. Cette solution consiste à ajouter une résistance ayant une valeur raisonnable entre drain et source flottante du N-MOS « high-side » afin d'augmenter la tension de sortie de la commande au-delà de  $V_{CC} - V_{GSth}(T_2)(V_S)$  tout en limitant la consommation en statique par le blocage du transistor "high-side" devenu commandable. Un second jeu consiste à

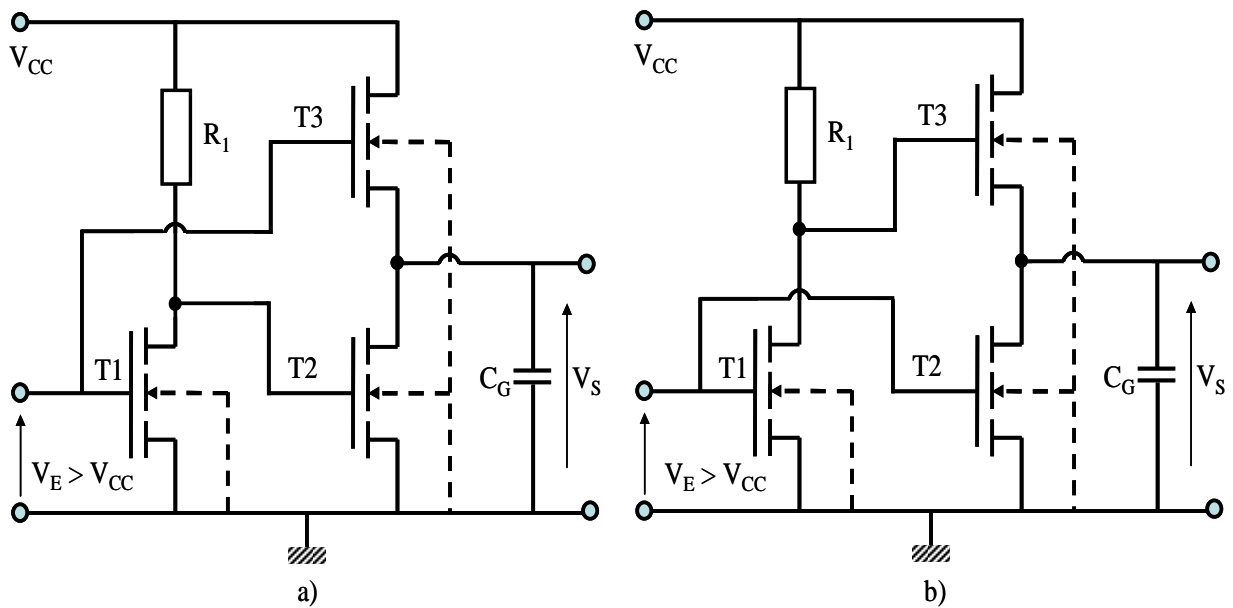
jouer sur la tension de seuil du transistor commandable "high-side" pour augmenter les dynamiques et/ou la consommation en statique.

### III.9 Topologies de commande rapprochée retenues en technologie N-MOS

#### III.9.1 Commande rapprochée à commandes complémentaires

La figure suivante présente la topologie de la commande rapprochée à commandes complémentaires en technologie N-MOS soit de type suiveur (figure III-8.a) soit de type inverseur (figure III-8.b). Considérons par exemple la commande rapprochée de type suiveur. La structure de la commande rapprochée reste très classique. L'étage de sortie est constitué d'un simple N-MOS (T2) piloté par un signal logique évoluant entre 0 et  $V_{CC}$  ; il est chargé par un transistor T3 piloté par le complément du signal contrôlant T2, ce signal complémenté étant réalisé par un simple étage de type source commune (T1,  $R_1$ ). Le premier étage de petite taille présente des résistances de fortes valeurs et consomme peu. Le second étage est constitué de deux transistors de tailles plus importantes pour conduire un courant de grille conséquent et assurer des dynamiques correctes côté puissance. Pour dimensionner la résistance  $R_1$ , il faudra trouver un compromis entre pertes en statique (lorsque  $V_E = V_{CC}$ ) et rapidité (constante de temps faisant intervenir  $R_1$  et la capacité de grille de T2 ou T3). La chute de tension du transistor T1 lorsque celui-ci est à l'état passant doit être inférieure à la tension de seuil du transistor T2, et la valeur de la résistance  $R_1$  détermine aussi la valeur de la tension de déchet ( $\frac{R_{DS(on)(T1)}}{R_{DS(on)(T1)} + R_1} \cdot V_{CC}$ ).

Le transistor T3 a une forte largeur de canal et va favoriser une dynamique de commutation importante. La capacité  $C_G$  représente la capacité de la grille du transistor de puissance piloté par l'ensemble. A cause de la tension de seuil et de l'effet de substrat du transistor T3, la tension de sortie de la commande rapprochée est égale au maximum à  $V_{CC} - V_{GS(th)(T3)}(V_S)$ .



**Figure III-8.** Commande rapprochée push-pull à commandes complémentaires

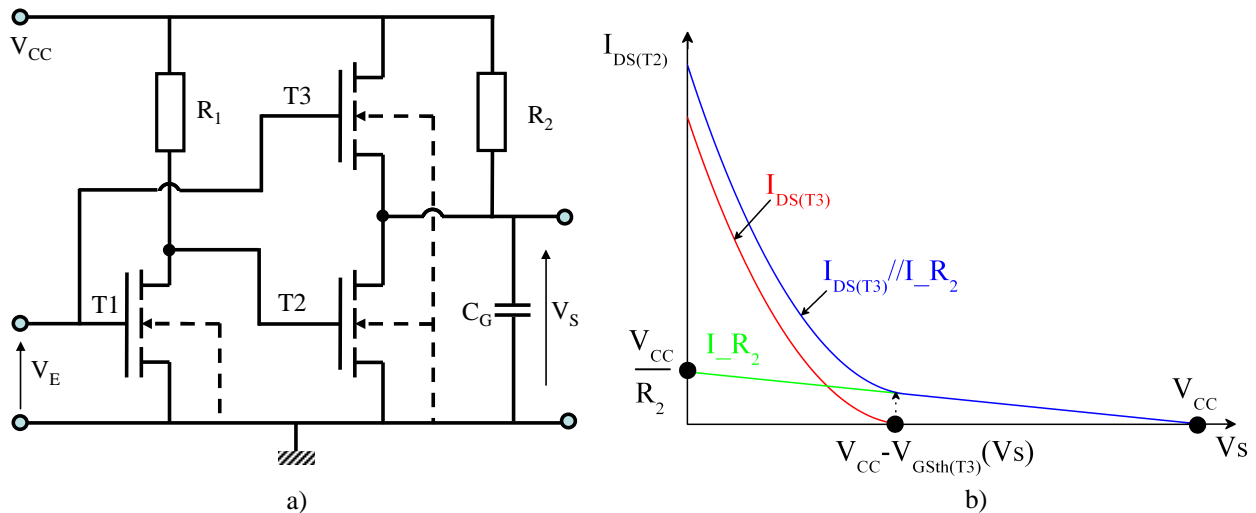
Cette approche complète le panel de solutions précédemment évoqué. Cette fois-ci, la consommation en statique est réduite du gain entre les deux étages d'amplification (l'étage inverseur et le push-pull). Par contre, la tension de sortie reste limitée ce qui est contraignant.

De fait, soit nous parvenons à relâcher cette contrainte par une nouvelle amélioration soit il faudra adapter les caractéristiques de l'alimentation de la commande rapprochée pour faire en sorte que l'étage de sortie polarise convenablement le transistor de puissance. Cette dernière solution, si elle paraît logique et crédible, s'avère être un problème. En effet, l'augmentation de la tension d'alimentation de la commande rapprochée passe par des contraintes électriques au niveau des transistors N-MOS que nous aurions du mal à tenir. Nous verrons cela en détail dans le quatrième chapitre. De fait, nous avons fait évoluer cette approche fort des analyses précédentes.

Il est à noter que la gestion de la commutation du transistor "high-side" au transistor "low-side" doit être étudiée pour maîtriser l'éventuel court-circuit. Cela peut être facilement géré par l'étage d'inversion qui est inséré dans la structure.

### III.9.2 Commande rapprochée à commandes complémentaires et résistance de polarisation

La topologie de la commande proposée est similaire à celle de la commande à commandes complémentaires. Par contre maintenant, il y a une deuxième résistance  $R_2$  entre drain et source du T3. Celle-ci a pour rôle de terminer la charge de la grille du transistor de puissance que l'on cherche à polariser au delà de  $V_{CC} - V_{GSth(T3)}(V_S)$  jusqu'à atteindre la tension d'alimentation  $V_{CC}$ , ce qui assurera un meilleur état passant du transistor de puissance.



**Figure III-9.** Topologies de la commande rapprochée à N-MOS proposées

Pour les deux configurations (commande rapprochée de type suiveur ou inverseur), la capacité de la grille est chargée par deux composantes en courant : de  $V_{DS(T2)-ON}$  à  $V_{CC} - V_{GSth(T3)}(V_S)$  phase pendant laquelle le courant de charge est surtout dû au courant dans T3 mais aussi de façon moindre au courant dans  $R_2$ , puis de  $V_{CC} - V_{GSth(T3)}(V_S)$  jusqu'à  $V_{CC}$  : phase pendant laquelle seule  $R_2$  conduit. On peut noter que la grille  $C_G$  sera chargée plus rapidement pendant la première phase que pendant la seconde où le courant sera beaucoup plus faible. Les bénéfices potentiels offerts par l'ajout du transistor T3 associé à la résistance  $R_2$  sont une meilleure dynamique due au courant de charge élevé en début de commutation et des pertes en statique réduites au niveau de la commande car  $R_2$  peut être maintenue assez importante et au niveau de la puissance car la polarisation du transistor sera satisfaisante.

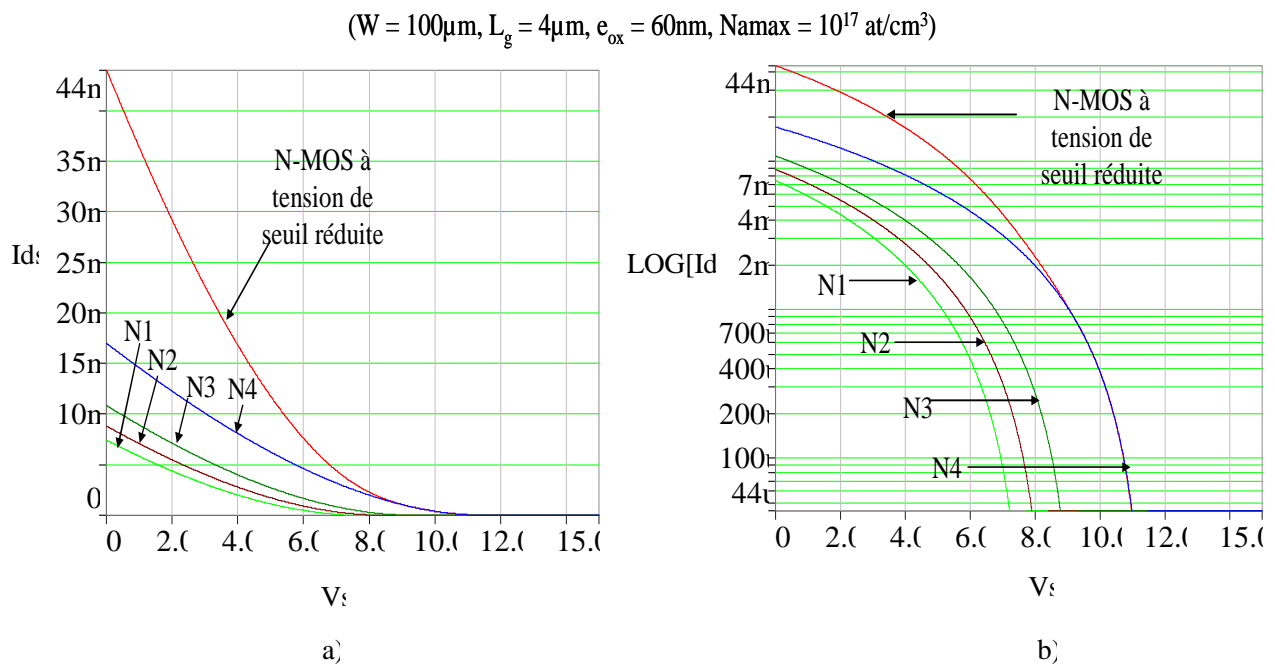
Cette solution intermédiaire améliore les caractéristiques de sortie et maintien les performances dynamiques. En revanche, le bilan énergétique est dégradé. Une évolution possible consiste alors à faire évoluer les caractéristiques du transistor "high-side" pour le rendre conducteur sur une plage de tension de sortie  $V_S$  plus importante. La principale solution consiste alors à réduire la tension de seuil.

### III.9.3 Commandes complémentaires à N-MOS à tension de seuil réduite

Pour réduire les effets négatifs liés à la mise en œuvre de transistor N-MOS en position "high-side" comme précédemment défini ( $V_s$  réduit et effet de substrat important), l'une des solutions évidente consiste à réduire la tension de seuil des transistors "high-side". Par ce biais, les effets négatifs (liés à la tension de seuil et effet induits) peuvent être réduits de manière plus ou moins conséquente en fonction de notre capacité à réduire le niveau de la tension de seuil. Idéalement, celui-ci doit être réduit proche de 0V tout en maintenant un léger seuil pour garder le contrôle du transistor. Bien sur, il sera nécessaire de vérifier si dans ces conditions l'immunité de l'étage de sortie de la commande rapprochée sera maintenue...

Une première solution consiste à modifier le cheminement technologique pour permettre la réalisation d'un N-MOS à tension de seuil réduite. Technologiquement cela peut être fait insérant les étapes nécessaires pour réduire l'épaisseur de l'oxyde de grille ou la concentration du « porte-canal » des transistors "high-side". Une seconde solution consiste à exploiter le cheminement technologique actuel pour créer un dérivé exploitable. Nous verrons cela plus loin.

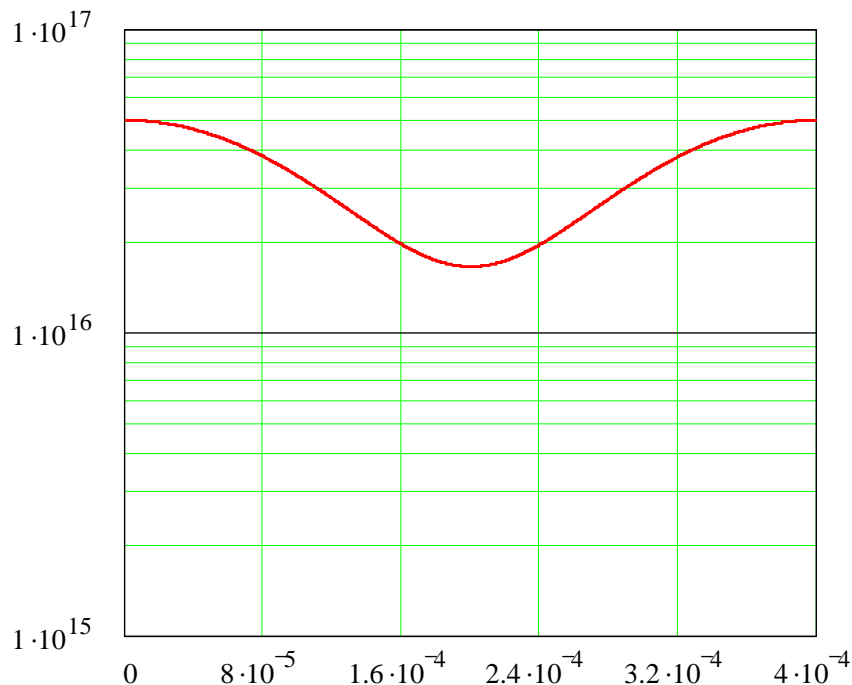
Commençons par voir les gains potentiels offerts par cette nouvelle approche. La figure ci-dessous présente l'évolution du courant de sortie en fonction de la tension de sortie ( $V_s$ ) pour différentes tensions de seuil et pour une largeur de grille équivalente.



**Figure III-10.** Caractéristique de sortie d'un push-pull à N-MOS à transistors "high-side" à tension de seuil réduite (4 N-MOS en parallèle de  $W = 25\mu\text{m}$ )

On peut voir que la caractéristique se rapproche de ce que l'on désire. On garde le pouvoir de coupure sur le transistor et on agit sur la tension de seuil pour obtenir une meilleure caractéristique de sortie. Néanmoins, comme nous l'avons dit, cette solution impose l'ajout d'un jeu d'étapes supplémentaires.

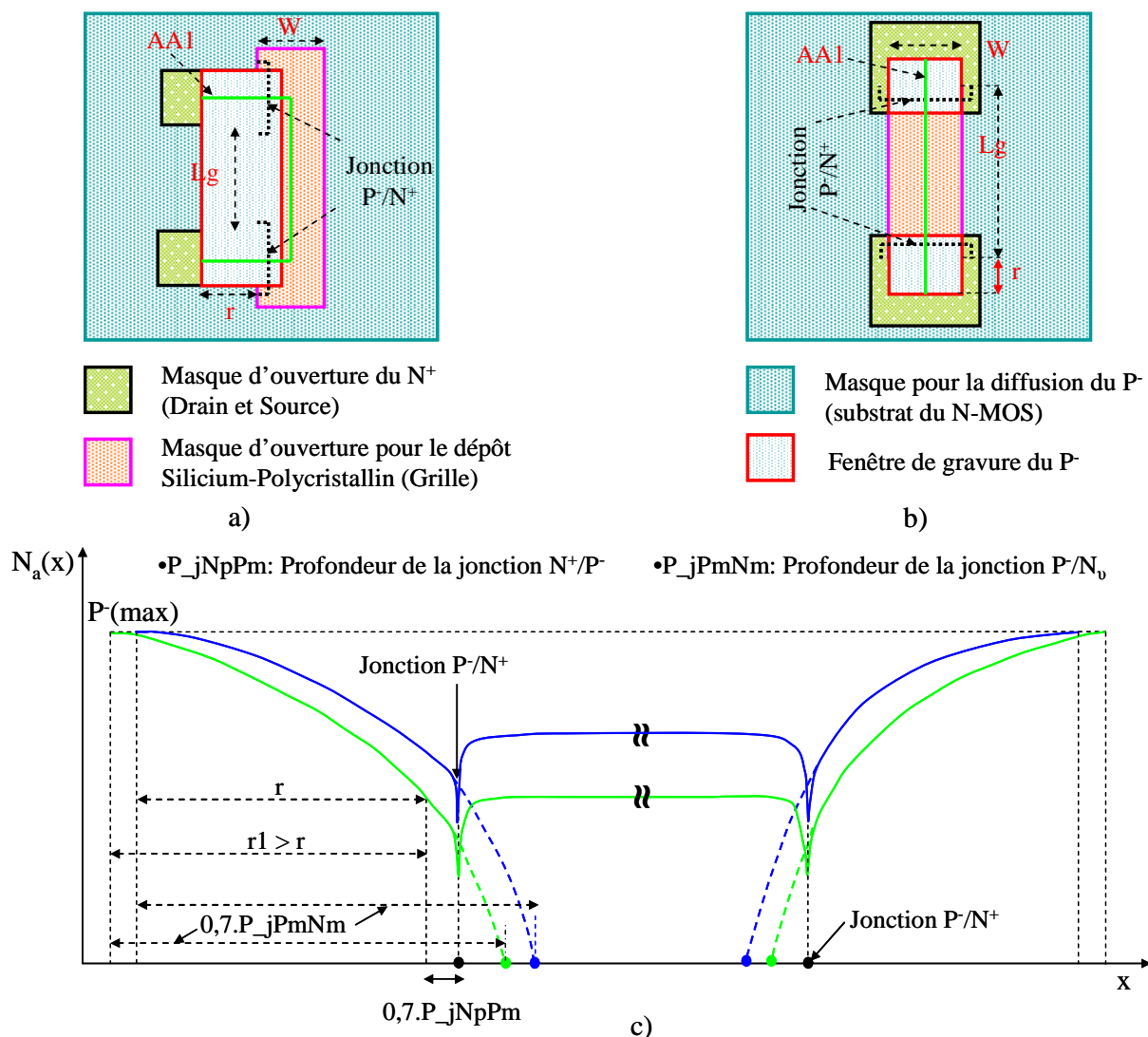
Aussi, voyons une autre approche qui, elle, exploite le procédé technologique. Comme nous le savons, le substrat du transistor N-MOS en technologie VDMOS est non homogène, car il se forme par l'extension latérale du P<sup>-</sup> à partir des bornes de la grille. De cette manière, le niveau de dopage du substrat décroît exponentiellement de la jonction PN jusqu'au point de croisement de deux diffusions sous la grille. La figure III-11 montre une vue en coupe de la concentration sous la grille des transistors N-MOS, compte tenu du procédé technologique de puissance.



**Figure III-11.** Vue en coupe de la concentration sous la grille d'un transistor N-MOS construit à partir du procédé technologique d'un composant de puissance.

En utilisant judicieusement la structure physique et le procédé technologique du composant de puissance, il est possible de synthétiser un « transistor à tension de seuil réduite ». L'idée consiste à exploiter l'étape technologique utilisée pour dissocier la lithographie de grille et celle de l'implantation P<sup>-</sup> porte canal des composants actifs. Ces deux niveaux lithographiques peuvent être utilisés pour remettre en cause le principe d'auto-alignement des caissons P<sup>-</sup> et N<sup>+</sup> ce qui permet d'abaisser la concentration du porte canal des transistors. La figure ci-dessous présente, à l'aide des vues en coupes, comment on peut faire évoluer les diverses concentrations en dopants des différentes régions en fonction de cette opportunité technologique.





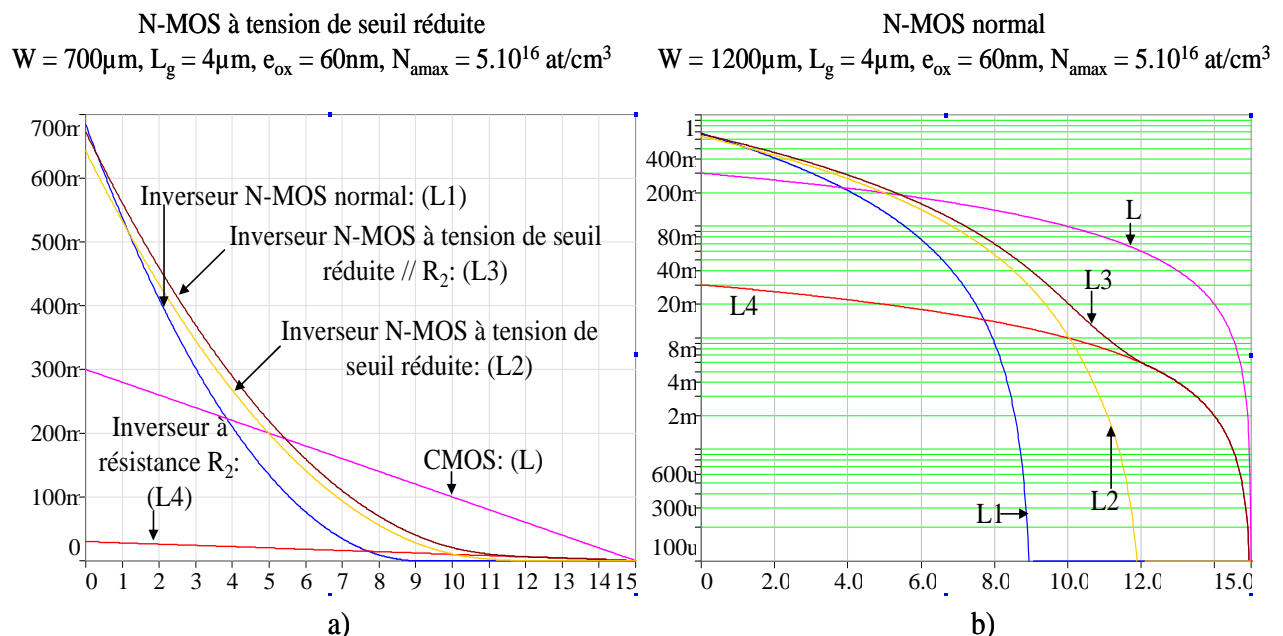
**Figure III-12.** Transistors N-MOS à tension de seuil réduite

La figure ci-dessus présente deux configurations possibles pour le transistor N-MOS à tension de seuil réduite : le drain et la source se trouve au même côté de la grille (figure III-12.a) ou aux extrémités de la grille (figure III-12.b). En vue de mieux illustrer la variation du dopage depuis le bord externe de la lithographie ajoutée jusqu'au point de croisement des extensions latérales (au milieu de la grille supposons qu'il n'y a pas d'erreur d'alignement), une coupe AA1 (figures III-12.a, III-12.b) et la variation de concentration suivant cette coupe (figure III-12.c) est présentée. On s'aperçoit que plus l'écart «  $r$  » (distance entre la bordure extérieure de la lithographie ajoutée par rapport à celle de la grille) est grand, plus la concentration à la jonction P<sup>-</sup>/N<sup>+</sup> et aussi le gradient de concentration du substrat sous la grille diminuent (figure III-12.c). Par contre avec une largeur de grille et la profondeur du caisson P<sup>-</sup> ( $P_jPmNm$ ) figées (définie par la technologie du VDMOS), l'écart «  $r$  » doit respecter la condition :  $r < 0,7 \cdot P_jPmNm$  afin de garantir la rejointe par les diffusions latérales du caisson P<sup>-</sup> sous la grille.

Il est ainsi intéressant de noter que l'utilisation judicieuse du procédé technologique existant permet de synthétiser des transistors latéraux présentant des caractéristiques fonctionnelles différentes. En ce qui nous concerne, le transistor ainsi créé peut avoir différentes valeurs de tension de seuil en jouant sur un niveau lithographique. Si la version 1 (c.f figure III-12.a) peut s'avérer difficile à reproduire en raisons de possibles erreurs d'alignement, la version 2 (c.f figure III-12.b) est de son côté exempte de cette limitation ce qui confère à notre nouveau composant toutes les qualités nécessaires à son utilisation massive.

Fort de ce nouveau de type de composant, nous avons tenté d'évaluer les gains potentiels vis-à-vis de notre problématique. Pour se faire, un modèle équivalent de ce composant a été développé et utilisé. La description de ce modèle est donnée dans le chapitre qui suit. Les analyses fonctionnelles qui suivent s'appuient sur l'utilisation de ce modèle.

Pour analyser le comportement et les gains potentiels pouvant apparaître via l'utilisation de ce type de composant, nous avons comparé quatre cas, consistant à mettre en œuvre des structures N-MOS avec un N-MOS présentant une tension de seuil réduite, notre "nouveau" composant à tension de seuil réduite et une référence de type résistive. Les résultats sont décrits ci-dessous. La figure III-13 compare quatre cas pour l'inverseur : Inverseur à résistance classique ( $R_2 = 500\Omega$ ) (la courbe L4), inverseur N-MOS normal comme charge (courbe L1), inverseur N-MOS à tension de seuil réduite (courbe L2) et le CMOS (courbe L).



**Figure III-13.** Comparaisons de différents types d'inverseur

Nous constatons que la tension de seuil du transistor à tension de seuil réduite devient proche de 3V au lieu de 6V dans le cas du N-MOS normal (lorsque la tension d'alimentation est  $V_{CC} =$

15V). De fait, la tension de sortie de l'inverseur augmente jusqu'à 12V au lieu de 9V (pour l'inverseur N-MOS normal c.f figure III-13.b). En plus, avec le même calibre du courant, le gain de surface sur le silicium pour l'inverseur N-MOS à tension de seuil réduite est 1,8 fois plus petit que celui du transistor N-MOS normal. Enfin, nous pouvons terminer la charge de la grille avec une résistance ( $R_2$ ) mise en parallèle (L2).

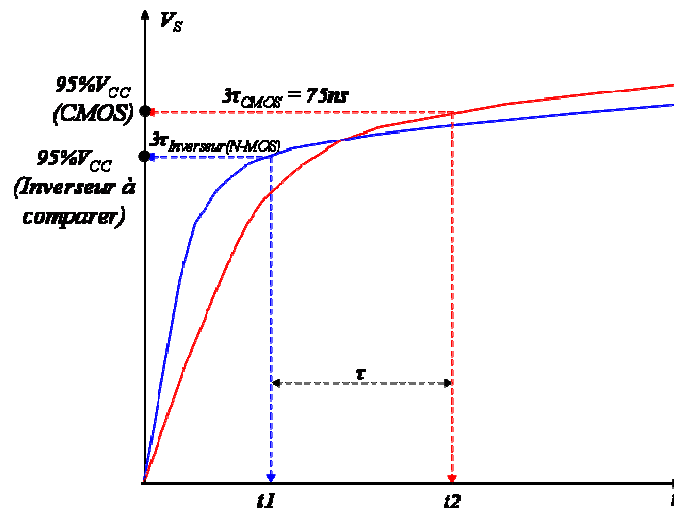
Il ressort de cette analyse que le transistor à tension de seuil réduite permet bel et bien d'améliorer les caractéristiques et les performances d'une structure de push-pull à N-MOS. Selon la tension de seuil définie, on parvient à augmenter de manière conséquente la tension de sortie de cette fonction.

Selon le type de fonction que l'on souhaite synthétiser, on peut moduler la tension de seuil et rendre le composant commandable ou pas en jouant sur son électrode de grille. On peut éventuellement le transformer et se rapprocher d'un comportement résistif dont la valeur restera variable en fonction de la part du canal inversé sous la grille et de son taux d'inversion.

Pour aller plus loin dans l'étude et l'analyse comparative des performances, nous avons évalué l'ensemble des caractéristiques importantes des solutions que nous avons présenté. Pour se faire, nous avons développé des modèles complets des transistors N-MOS "low-side" et "high-side" en fonction du procédé de puissance et nous les avons ensuite utilisés pour l'analyse comparative. La partie suivante offre une synthèse de ce travail.

### **III.10 Etude comportementale fine des commandes rapprochées à N-MOS proposées**

Dans cette partie, nous allons analyser le comportement électrique de plusieurs commandes rapprochées et comparer les résultats à un cas de référence représentant le comportement idéalisé d'un étage de sortie en cellule CMOS. Les différentes commandes seront pilotées en commandes complémentaires à chaque fois que possible pour se rapprocher d'une structure push-pull, structure qui semble être la plus appropriée. Les effets de l'inversion de commande seront négligés. Les critères de comparaison seront la consommation de la commande, les dynamiques de commutation et les largeurs de canal des différents transistors mis en œuvre. Pour ce qui est dynamiques, nous comparerons les réponses temporelles à 95% de la valeur finale (voir figure III-14). En effet, à partir de ce niveau, peu de conséquences sur le niveau de polarisation du transistor de puissance sont à attendre. La charge sera symbolisée par un condensateur représentant la capacité de grille d'un transistor de puissance.



**Figure III-14.** Comparaison du temps de réponse du CMOS et celui de l'inverseur à comparer

L'inverseur CMOS étant considéré parfait, le temps de charge du condensateur de charge est fixé arbitrairement à 75ns. On en déduit les valeurs du condensateur et de la résistance de grille :  $C_G = 500\text{pF}$  et  $R_G = 50\Omega$ . Nous considérons la réponse indicielle comme référence, les calculs et la conception étant conduits par ailleurs pour limiter les écarts entre les structures à quelques ns (temps  $\tau$  sur la figure III-14). La consommation de référence est  $P = 9,5\text{mW}$  (du CMOS) pour une période de découpage de  $12\mu\text{s}$ .

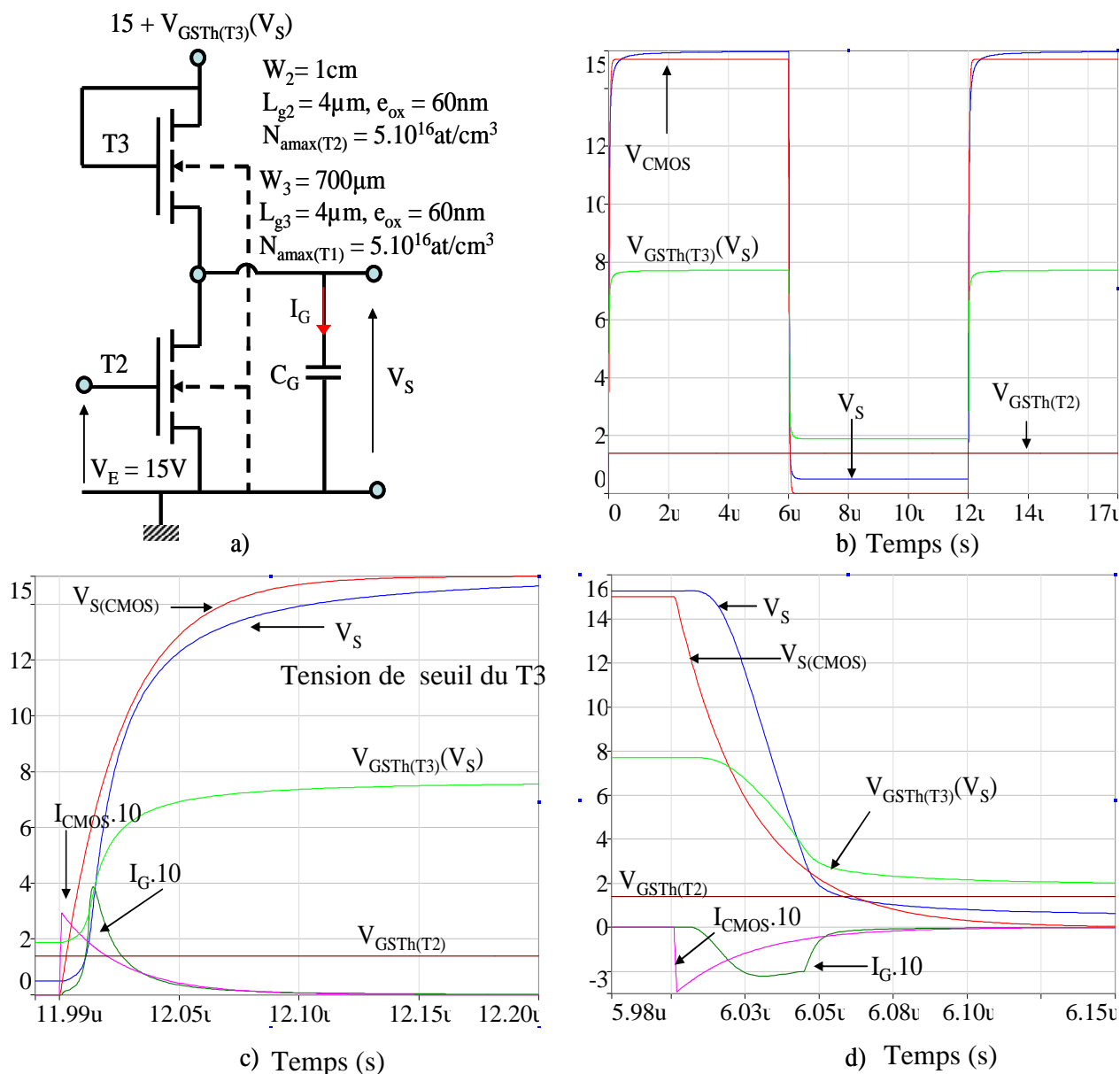
Les différentes solutions seront :

Une branche de polarisation à transistor N-MOS "high-side" :

- standard (mêmes caractéristiques physiques que le transistor "low-side") toujours passant avec une alimentation en conséquence.
- standard piloté avec une tension supérieure à la tension d'alimentation
- standard piloté à la tension d'alimentation mais avec une résistance de  $100\Omega$  en parallèle (pour compléter la charge).
- à tension de seuil réduite (1) (créé avec un caisson porte canal spécifique).
- à tension de seuil réduite (2) (créé par exploitation du procédé technologique).
- à tension de seuil réduite (2) (créé par exploitation du procédé technologique) avec résistance en parallèle.

Les résultats présentés ci-dessous sont obtenus à partir des modèles du N-MOS (N-MOS en technologie VDMOS, N-MOS à tension de seuil réduite) et du P-MOS établis en VHDL-AMS (Annexe III).

### III.10.1 Étage de sortie à N-MOS "high side" toujours passant



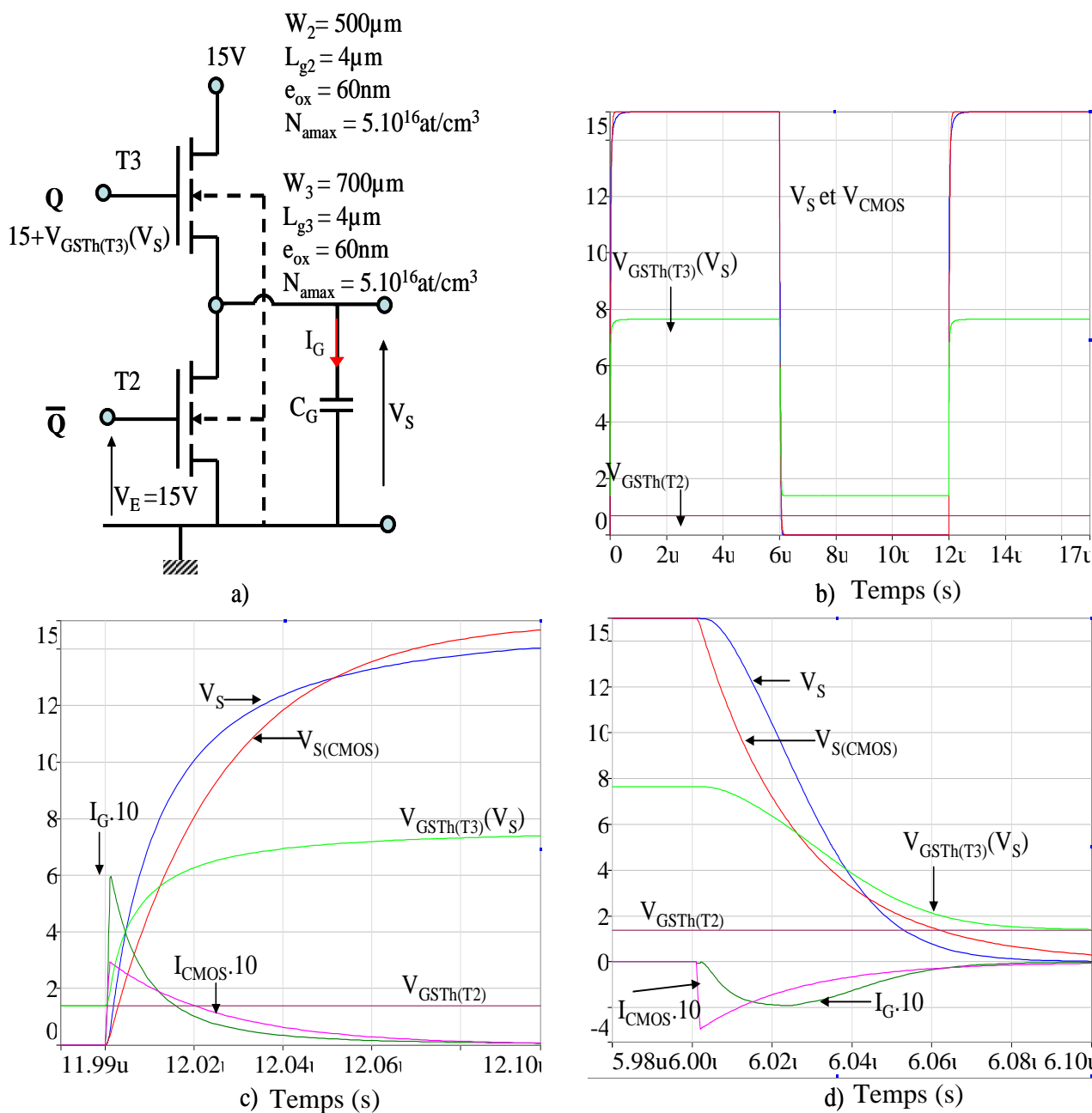
**Figure III-15.** Inverseur N-MOS à simple commande

| $V_{Alim}$<br>(V) | $V_{Commande}$<br>(V) | $V_{Smin}$<br>(mV) | Pertes<br>(mW) | W ( $\mu\text{m}$ )<br>(largeur de la grille) |     | $T_{rise}$<br>(ns) | $T_{fall}$<br>(ns) |
|-------------------|-----------------------|--------------------|----------------|---|-----|--------------------|--------------------|
|                   |                       |                    |                | T2  | T3  |                    |                    |
| 23                | 23                    | 490                | 7100           | 10000   | 700 | 110                | 100                |

**Tableau III-2.** Récapitulatif pour l'étage de sortie à N-MOS toujours passant

La puissance consommée par cette solution à commande simple est 700 fois à celle fournie à la grille. Par ailleurs, la surface du transistor T2 est excessive. Enfin, la tension d'alimentation doit être égale à 23V. Le temps de descente est grand par rapport à la référence et la tension de sortie minimale est très importante. Tous ces points rendent cette solution totalement inadaptée à notre application.

### III.10.2 Etage de sortie à N-MOS "high side" piloté avec une tension supérieure à la tension d'alimentation



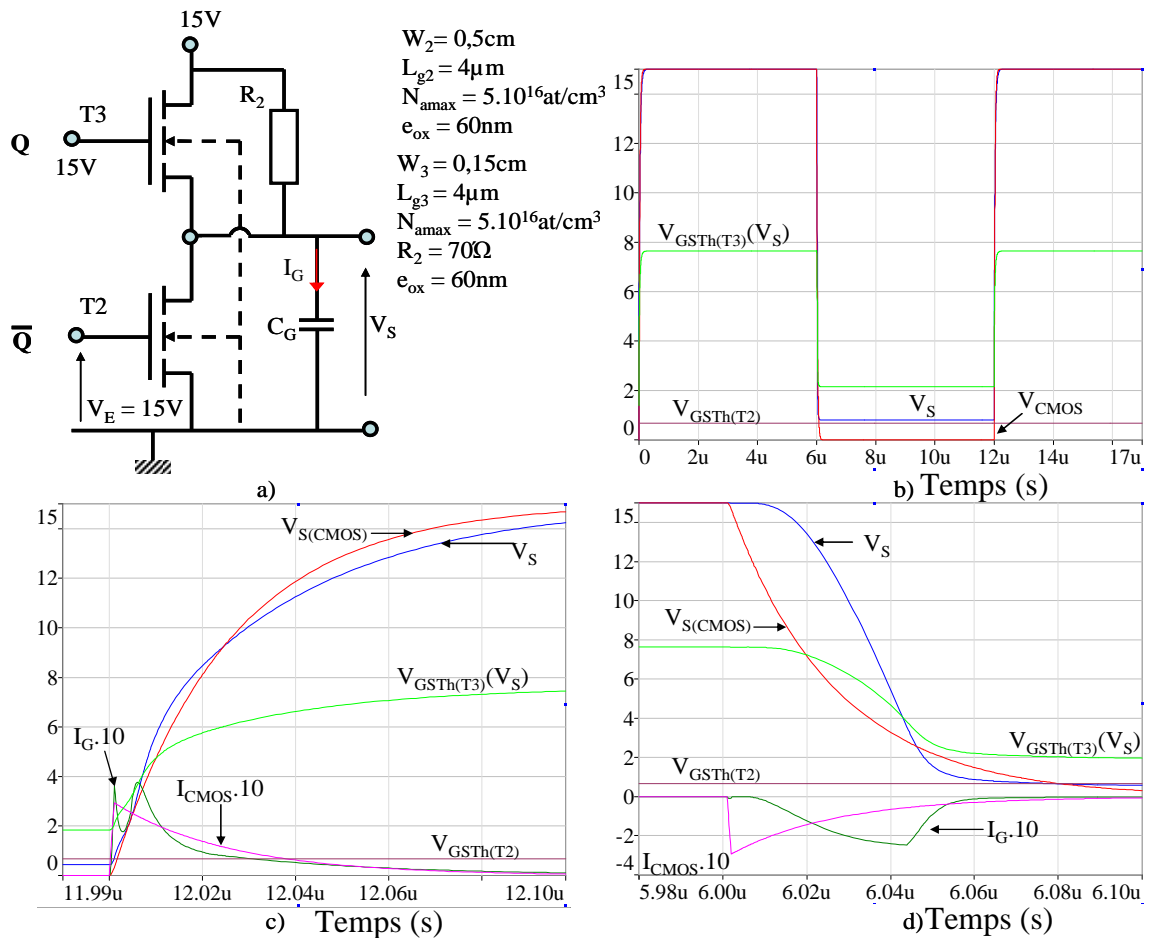
**Figure III-16.** Inverseur N-MOS à double alimentation et commandes complémentaires

| $V_{Alim}$<br>(V) | $V_{Commande}$<br>(V) | $V_{Smin}$<br>(mV) | Pertes<br>(mW) | $W$ ( $\mu m$ )<br>(largeur de la grille) |     | $T_{rise}$<br>(ns) | $T_{fall}$<br>(ns) |
|-------------------|-----------------------|--------------------|----------------|---|-----|--------------------|--------------------|
|                   |                       |                    |                | T2  | T3  |                    |                    |
| 15                | 23                    | 2                  | 10             | 500                                       | 700 | 100                | 60                 |

**Tableau III-3.** Récapitulatif pour l'étage de sortie à N-MOS à double alimentation

Cette solution est bien meilleure. Les pertes sont limitées, la taille des composants est raisonnable (voire faible), les dynamiques sont correctes et la tension de sortie minimum est très faible. Par contre, cette approche nécessite une seconde alimentation, assez élevée, ce qui, nous le verrons est un problème.

### III.10.3 Etage de sortie à N-MOS "high side" piloté avec une résistance en parallèle



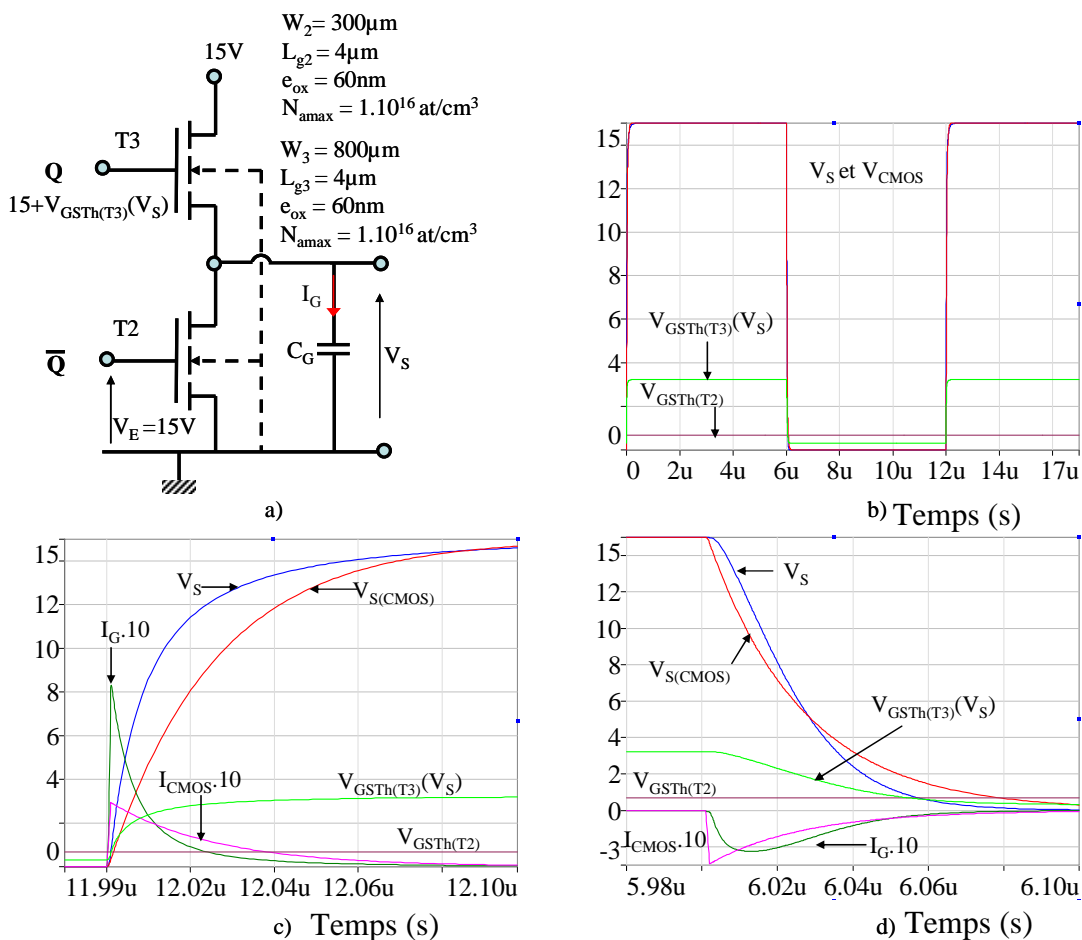
**Figure III-17.** Inverseur N-MOS à commandes complémentaires

| $V_{Alim}$<br>(V) | $V_{Commande}$<br>(V) | $V_{Smin}$<br>(mV) | Pertes<br>(mW) | $W$ ( $\mu m$ )<br>(largeur de la grille) |      | $T_{rise}$<br>(ns) | $T_{fall}$<br>(ns) |
|-------------------|-----------------------|--------------------|----------------|---|------|--------------------|--------------------|
|                   |                       |                    |                | T2  | T3   |                    |                    |
| 15                | 15                    | 450                | 1600           | 5000                                      | 1500 | 96                 | 60                 |

**Tableau III-4.** Récapitulatif pour l'étage de sortie à N-MOS avec une résistance en parallèle

Ici, on réduit la tension d'alimentation mais par contre, la consommation augmente à nouveau avec une valeur 160 fois plus importante. On voit bien ici que la solution n'est pas viable pour les applications HF car la résistance est de trop faible valeur et elle engendre des pertes en statique trop importantes.

### III.10.4 Etage de sortie à N-MOS "high side" à tension de seuil réduite 1 toujours passant



**Figure III-18.** Inverseur N-MOS à tension de seuil réduite 1 toujours passant

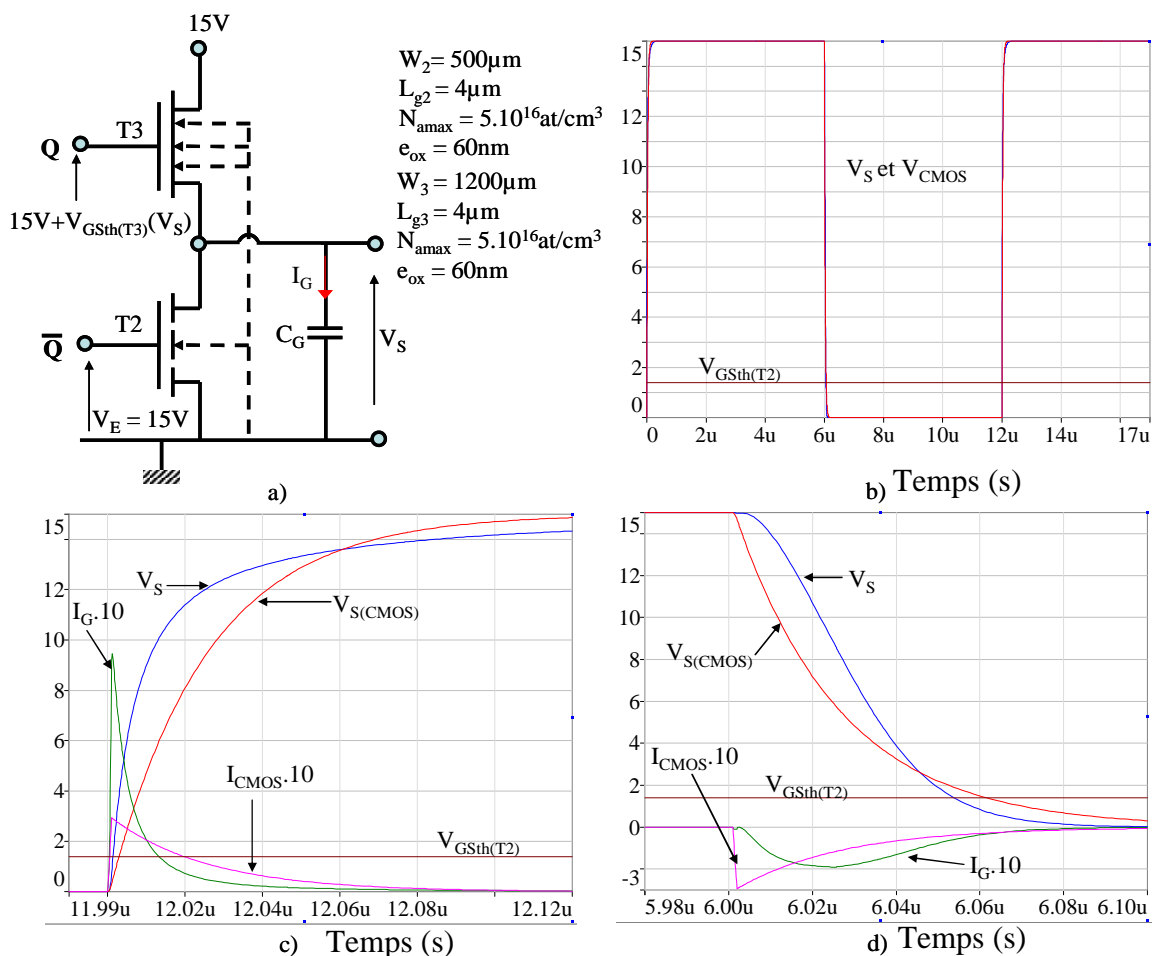


| $V_{Alim}$<br>(V) | $V_{Commande}$<br>(V) | $V_{Smin}$<br>(mV) | Pertes<br>(mW) | $W(\mu m)$<br>(largeur de la grille) |     | $T_{rise}$<br>(ns) | $T_{fall}$<br>(ns) |
|-------------------|-----------------------|--------------------|----------------|--------------------------------------|-----|--------------------|--------------------|
|                   |                       |                    |                | T2                                   | T3  |                    |                    |
| 15                | 19                    | 2                  | 10             | 300                                  | 800 | 70                 | 60                 |

**Tableau III-5.** Récapitulatif pour l'étage à N-MOS en tension de seuil réduite1 toujours passant

De nouveau, cette solution offre un bon compromis et permet, en plus de la solution 2, de diminuer l'amplitude de la seconde tension d'alimentation. Néanmoins, cette tension devra être supérieure à 15V (19V dans notre cas). De plus, cette approche nécessite l'ajout d'un jeu d'étapes supplémentaires pour créer le « porte canal » à la concentration souhaitée.

### III.10.5 Étage de sortie à N-MOS "high side" à tension de seuil réduite2



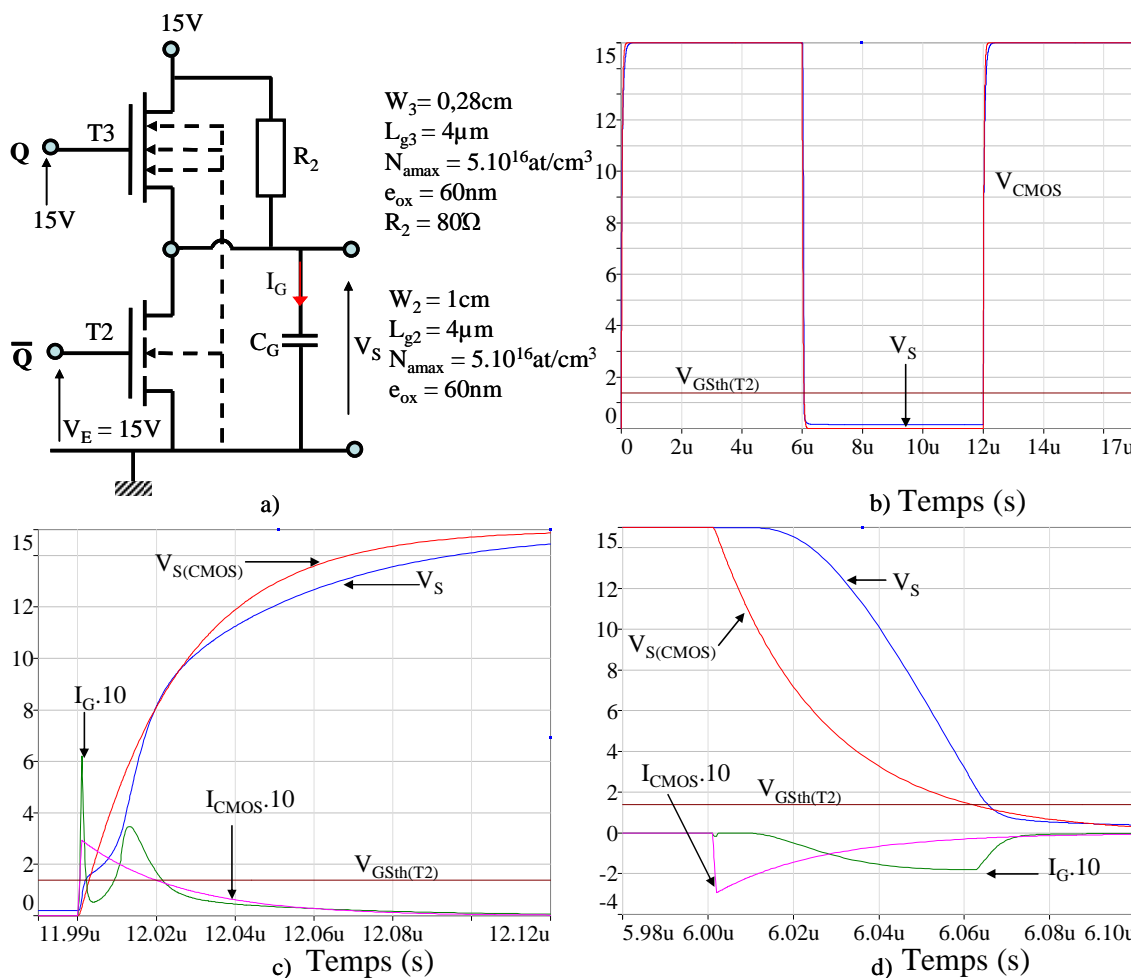
**Figure III-19.** Inverseur N-MOS à tension de seuil réduite 2 à double alimentation et commandes complémentaires

| $V_{Alim}$<br>(V) | $V_{Commande}$<br>(V) | $V_{Smin}$<br>(mV) | Pertes<br>(mW) | W ( $\mu\text{m}$ )<br>(largeur de la grille) |       | $T_{rise}$<br>(ns) | $T_{fall}$<br>(ns) |
|-------------------|-----------------------|--------------------|----------------|---|-------|--------------------|--------------------|
|                   |                       |                    |                | T2  | T3    |                    |                    |
| 15                | 20                    | 2                  | 10             | 500   | 4*300 | 100                | 60                 |

**Tableau III-6.** Récapitulatif pour l'étage de sortie à N-MOS en tension de seuil réduite 2

Cette solution sans surcoût technologique offre un compromis satisfaisant même si la surface des composants doit être quelque peu augmentée. La encore, la tension de commande (ou d'alimentation mutuelle dans le cas d'une alim pour l'ensemble) devra être supérieure à 15V.

### III.10.6 Etage de sortie à N-MOS "high-side" à tension de seuil réduite 2 piloté avec une résistance en parallèle



**Figure III-20.** Inverseur N-MOS en tension de seuil réduite 2 avec une résistance en parallèle

| $V_{Alim}$<br>(V) | $V_{Commande}$<br>(V) | $V_{Smin}$<br>(mV) | Pertes<br>(mW) | $W(\mu m)$<br>(largeur de la grille) |       | $T_{rise}$<br>(ns) | $T_{fall}$<br>(ns) |
|-------------------|-----------------------|--------------------|----------------|--------------------------------------|-------|--------------------|--------------------|
|                   |                       |                    |                | T2                                   | T3    |                    |                    |
| 15                | 15                    | 200                | 1400           | 10000                                | 4*700 | 100                | 58                 |

**Tableau III-7.** Récapitulatif pour l'étage de sortie à N-MOS en tension de seuil réduite 2 avec une résistance en parallèle

L'ajout de la résistance de polarisation pénalise à nouveau cette solution pour les applications hautes fréquences. Le bilan énergétique est donc directement lié au cahier des charges de l'application. On voit bien que certains degrés de liberté existent et qu'il faudra approfondir l'adéquation composant de puissance, composant de commande et alimentation de commande.

### III.10.7 Commentaires

Il apparaît que la solution ne limitant pas la consommation en statique est particulièrement contraignante des points de vue énergétique et surface (solutions où les composants de polarisation sont non commandés). Pour les solutions à commandes complémentaires, une réduction significative des pertes est obtenue tout en maintenant des dynamiques de commutation et des surfaces de composants acceptables. Il est clair que les solutions mettant en œuvre deux alimentations sont plus contraignantes. Néanmoins elles sont aussi celles qui offrent les meilleurs compromis. L'ajout des résistances de polarisation n'est valable que pour des applications basse fréquence sans quoi les gains énergétiques restent faibles.

Les choix des différentes grandeurs des composants furent conduits de manière itérative et par simulations temporelles. De fait, bien loin d'être des points optimisés, ces valeurs sont ces points particuliers utilisés pour donner des ordres de grandeur et des tendances. Ils ont été choisis pour l'adéquation qu'ils offraient en fonction du cahier des charges (dynamiques,  $V_{Smax}$  et  $V_{Smin}$ ). Bien sur, en fonction des pondérations appliquées par chaque application, une multitude de nouveaux points peut être identifiée.

Au final, on peut conclure en disant qu'il est intéressant d'utiliser des N-MOS "high-side" à tension de seuil réduite en essayant, autant que faire se peut, d'adapter la tension d'alimentation en fonction de l'adéquation optimale entre commande et composant de puissance.

Toutefois, cette adéquation tendant à augmenter la tension de commande n'est pas simple à obtenir. En effet, dans notre contexte technologique limité, il reste difficile de concevoir des composants latéraux qui tiennent bien la tension (supérieur à 10V). Nous verrons dans le chapitre suivant que, en fait, au lieu d'augmenter la tension de commande, nous devons plutôt la réduire pour améliorer les caractéristiques de tenue en tension des composants latéraux. Il s'avère que selon les conditions choisies pour faire cela, de légers gains supplémentaires peuvent être obtenus.

### **III.11 Conclusion**

Dans ce chapitre, nous avons abordé la question de l'intégration monolithique de la commande rapprochée sur la même puce que le composant de puissance, au sein même de celui-ci. Nous avons mis en évidence que cet effort d'intégration monolithique, pour être positif tout en restant réaliste, devait se faire au sein même du composant de puissance. Il est apparu clairement que cela réduisait et conditionnait fortement le champ des possibilités techniques et technologiques.

Après avoir identifié que seules les solutions à N-MOS pouvaient être utilisées et mise en œuvre sans modification technologique et sans contrainte fonctionnelle, nous avons étudié les conditions dans lesquelles nous pourrions intégrer, au mieux, notre fonction de commande. Il est clairement ressorti que cette approche pouvait présenter un handicap important vis-à-vis des pertes supplémentaires au niveau de la commande. Néanmoins, en jouant sur les caractéristiques électriques des composants et sur la structure de l'étage de sortie de la commande, nous avons réussi à contenir les problèmes. Ce premier travail a permis de mettre en évidence que des solutions étaient envisageables. Néanmoins un gros travail reste à faire pour évaluer, maintenant, dans le contexte d'intégration qui est le notre, quels sont les effets des choix faits, en particulier au niveau de la susceptibilité de la commande en fonction des perturbations induites par la partie puissance. Ce travail reste en chantier et devra être approfondi.

Pour conduire ce travail d'analyse fine effectué dans ce chapitre, nous nous sommes appuyés sur des modèles de composants assez spécifiques dont le développement va maintenant être présenté. Par ailleurs, jusqu'à présent nous avons tenu sous silence un aspect important de l'intégration monolithique, celui induit par les effets de proximité et les couplages électrostatiques, particulièrement présents dans les systèmes auto-isolés par jonctions PN polarisées en inverse. Dans le chapitre suivant, nous allons aborder en détail ces deux points, d'une part afin de donner au lecteur plus d'information sur les modèles qui nous ont permis de conduire nos études et, d'autre part, afin de présenter l'effort d'analyse qui a été conduit autour

des couplages parasites de type électrostatique. Ces travaux permettront entre autres de poursuivre les analyses débutées dans ce chapitre et qu'il faudra poursuivre.

## Table des figures et des tableaux du Chapitre III

|                |   |     |
|----------------|---|-----|
| Figure III-1.  | Variantes pour le placement de la commande (zone auxiliaire) par rapport au composant de puissance (zone active).....                                     | 96  |
| Figure III-2.  | a) Etage élémentaire b) Réseau de caractéristiques et droite de charge .....  | 105 |
| Figure III-3.  | Remplacement d'une résistance par un transistor N-MOS<br>a). portes canaux indépendants et b). portes canaux communs .....                                | 106 |
| Figure III-5.  | Inverseur N-MOS à déplétion.....  | 109 |
| Figure III-6.  | Topologie de l'inverseur à N-MOS avec tension de polarisation adaptable pour le transistor de charge .....  | 111 |
| Figure III-7.  | Récapitulatifs des différentes solutions pour l'exemple de l'inverseur.....   | 112 |
| Figure III-8.  | Commande rapprochée push-pull à commandes complémentaires.....  | 116 |
| Figure III-9.  | Topologies de la commande rapprochée à N-MOS proposées.....   | 117 |
| Figure III-10. | Caractéristique de sortie d'un push-pull à N-MOS à transistors "high-side" à tension de seuil réduite (4 N-MOS en parallèle de $W = 25\mu\text{m}$ )..... | 118 |
| Figure III-11. | Vue en coupe de la concentration sous la grille d'un transistor N-MOS construit à partir du procédé technologique d'un composant de puissance. ....       | 119 |
| Figure III-12. | Transistors N-MOS à tension de seuil réduite .....  | 120 |
| Figure III-13. | Comparaisons de différents types d'inverseur.....   | 121 |
| Figure III-14. | Comparaison du temps de réponse du CMOS et celui de l'inverseur à comparer .....  | 123 |
| Figure III-15. | Inverseur N-MOS à simple commande .....   | 124 |
| Figure III-16. | Inverseur N-MOS à double alimentation et commandes complémentaires ...  | 125 |
| Figure III-17. | Inverseur N-MOS à commandes complémentaires .....   | 126 |
| Figure III-18. | Inverseur N-MOS à tension de seuil réduite 1 toujours passant.....  | 127 |
| Figure III-19. | Inverseur N-MOS à tension de seuil réduite 2 à double alimentation et commandes complémentaires .....   | 128 |
| Figure III-20. | Inverseur N-MOS en tension de seuil réduite 2 avec une résistance en parallèle .. ..  | 129 |
| <hr/>          |   |     |
| Tableau III-1. | Récapitulatifs des avantages et inconvénient pour chaque solution d'inverseur... ..   | 113 |
| Tableau III-2. | Récapitulatif pour l'étage de sortie à N-MOS toujours passant .....   | 124 |
| Tableau III-3. | Récapitulatif pour l'étage de sortie à N-MOS à double alimentation .....  | 126 |
| Tableau III-4. | Récapitulatif pour l'étage de sortie à N-MOS avec une résistance en parallèle.... ..  | 127 |
| Tableau III-5. | Récapitulatif pour l'étage à N-MOS en tension de seuil réduite 1 toujours passant.....  | 128 |
| Tableau III-6. | Récapitulatif pour l'étage de sortie à N-MOS en tension de seuil réduite 2 ...  | 129 |
| Tableau III-7. | Récapitulatif pour l'étage de sortie à N-MOS en tension de seuil réduite 2 avec une résistance en parallèle .....   | 130 |

## Références du Chapitre III

[ALKAYAL 05] M.F. ALKAYAL « Contribution à l'intégration monolithique de protection contre les surtensions : application aux convertisseurs de puissance haute tension », thèse de doctorat de l'INPG, soutenue en Octobre 2005.

[BREIL 98] M. BREIL, « Étude d'associations MOS-thyristor autoamorçables et blocables. Exemple d'intégration de la fonction thyristor dual. », thèse de doctorat de l'Institut National des Sciences Appliquées, Toulouse, janvier 1998.

[CREBIER 06], Jean-Christophe CREBIER « Intégration monolithique et composants de puissance », Habilitation à diriger des recherches en sciences CNRS, le 22 mai 2006.

[COGAN 90] D.De. COGAN « Design and Technology of Intergrated Circuits » John Wiley & Sons. New York 1990.

[DEMASSA] Thomas A. DEMASSA and Zack CICCONE « Digital Integrated Circuits », John Wiley & Sons, INC.

[IMBERNON 02], Eric IMBERNON « Etude et optimisation d'une filière technologique flexible adaptée au mode d'intégration fonctionnelle », Thèse de docteur de l'Université Paul Sabatier de Toulouse, septembre 2002.

[International Rectifier 02] Xavier De Frutos, Randy Frank « Integrated Power H-Bridge Controller For 80-Watt Automotive DC Motors », PCIM Europe 02.

[MARMOUGET 2000] M. MARMOUGET « Contribution au développement d'outils d'aide à la conception de dispositifs de puissance basés sur le mode d'intégration fonctionnelle », thèse de doctorat de l'Institut National de Sciences Appliquées, Toulouse, Juillet 2000.

[MADOU 97] M. MADOU « Fundamentals of Microfabrication », CRC Press, 1997.

[MITOVA 05] R. MITOVA « Intégration d'alimentation de la commande rapprochée d'un interrupteur de puissance à potentiel flottant », thèse de doctorat de l'INPG, soutenue en Octobre 2005.

[METGZER] G. METGZER, J.P.VABRE « Pratiques des circuits intégrés numériques ».

[METGZER 85] G. METGZER, J.P.VABRE « Electronique des impulsions » tome I, Circuit à éléments localisés, Masson, 3<sup>ème</sup> édition 1985.

[MUKHERJEE] A. MUKHERJEE « Introduction to N-MOS and CMOS VLSI Systems Design », Departement of Computer Science University of Central Florida.

[MURANI 81] B. MURANI « The application of smart power technology », GME-Fachtagung BiCMOS und Smart Power, Bad Nauheim, Germany, pp.278-283, june 1981.

[MURANI] B. MURANI, C. CONTIERO, R. GANBOLDI « Smart Power Technologies Evolution » STMicroelectronics, TPA Group, Milano, Italy.

[HAKIM 01] H. HAKIM « Intégration de composants passifs sur silicium » Thèse de Doctorat de l'INSA - Spécialité Electronique - Préparée au LAAS-CNRS, Mardi 10 juillet 2001.

[ZDEBEL 97] Peter.J. Zdebel « Low Power/Low Voltage CMOS technologies, a comparative analysis » Microelectronic Engineering, Volume 39, Issues 1-4, December 1997, Pages 123-137.

[GIVELIN 04] P.GIVELIN « Bibliothèque compatible CMOS/DMOS de fonctions de commande et de protection pour les applications automobiles de puissance intelligente », Thèse doctorat de l'Institut National des Sciences Appliquées, Toulouse, 4 Mars 1994.

[ROUGER-IECON'06] N. ROUGER et al « Toward Generic Fully Integrated Gate Driver Power Supplies » IECON'06, Paris France, 7-10 November 2006.

[ROUGER-ISPSD'06] N. ROUGER et al « Fully Integrated Power Supply for Insulated Gate Transistors », ISPSD'06, Napoli-Italy, 2006.

[SANCHEZ 99] J-L. SANCHEZ, M. Breil, P. Austin, J-P. Laur, J. Jalade, B. Rousset, H. Foch, « A new high voltage integrated switch : the “ thyristor dual ” function », International Symposium on Power Semiconductor Devices and ICs, ISPSD'99, May 26-28, 1999, Toronto, Canada, pp 157-160.

[SANCHEZ 99-1] J-L. Sanchez, M. Breil, J-P. Laur, P. Austin, J. Jalade, F. Rossel, H. Foch, « Functional integration for new power switches design : example of the « thyristor dual » function, 8th European Conference on Power Electronics and Applications, EPE'99, September 7-9, 1999, Lausanne, switzerland, pp 10.

[SARRAFZADEH 96] M. SARRAFZADEH and C.K. Wong « An introduction to VLSI Physical Design », McGraw-Hill Book Company, New York, 1996.

[SEDRA 04] Adel S. SEDRA (University of Waterloo) « Microelectronic Circuits » Oxford University Press 2004.

[ST Microelectronics] <http://www.st.com/>



[TOUNSI 07] P. TOUNSI et al « A new methodology for extraction of dynamic compact thermal models », 13th International Workshop on THERMal INvestigations of ICs and Systems (THERMINICS 2007), Budapest (Hongrie), 17-19 Septembre 2007, pp.141-144.

[TOUNSI 93] P. TOUNSI « Méthodologie de la conception thermique des circuits électroniques hybrides et problèmes connexes », Thèse de l'INSA Toulouse N°221, 1993.

[WESTE 94] N. WESTE and K.Eshraghian « CMOS VLSI Design », 2<sup>nd</sup> ed, Addison-Wesley, Reading, MA, 1994.

## Chapitre-IV

# Transistor N-MOS latéral intégré au sein du composant VDMOS

## TABLE DES MATIÈRES DU CHAPITE IV

### **Chapitre-IV: N-MOS latéral intégré au sein d'un transistor à structure verticale**

|        |   |     |
|--------|---|-----|
| IV.1   | Introduction .....  | 139 |
| IV.2   | Structure physique du transistor latéral intégré .....  | 140 |
| IV.3   | Tenue en tension du transistor latéral N-MOS .....  | 145 |
| IV.3.1 | Phénomène d'ionisation par impact .....   | 149 |
| IV.3.2 | Transistor N-MOS à drain étendu .....   | 152 |
| IV.3.3 | Résultats de simulation d'un transistor N-MOS à drain étendu .....  | 154 |
| IV.3.4 | Etude du bilan fonctionnel de l'ensemble composant de puissance –composant latéral .....                    | 156 |
| IV.4   | Modèle environnemental d'un transistor N-MOS latéral intégré au sein d'un VDMOS à structure verticale ..... | 162 |
| IV.5   | Mise en œuvre des modèles et étude de viabilité de la fonction intégrée .....                               | 167 |
| IV.6   | Comparaison des modèles analytiques et numériques .....   | 175 |
| IV.7   | Présentation et modélisation du N-MOS à tension de seuil réduite .....                                      | 177 |
| IV.8   | Conclusion .....  | 180 |
|        | Références du chapitre IV .....   | 183 |

## IV.1 Introduction

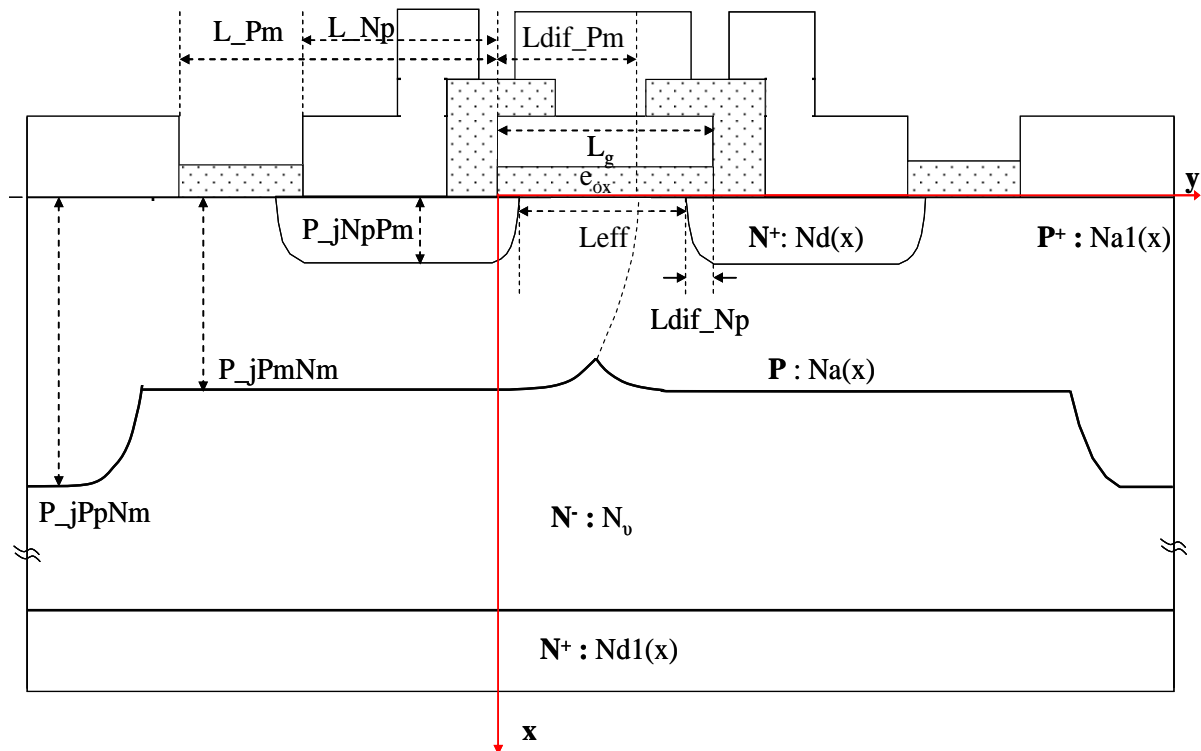
Ce quatrième chapitre est le bilan de l'activité de modélisation et d'analyse conduite au niveau du composant latéral N-MOS. Il présente le travail effectué autour de l'étude des caractéristiques du composant et de son comportement lorsque celui-ci est inséré au cœur du composant de puissance et qu'il partage le même processus technologique. Dans le chapitre précédent, nous avons abordé les aspects systèmes liés à l'utilisation et la mise en œuvre de ce type de composant. Nous avons, entre autres, détaillé la conception d'un étage push-pull de commande intégrée. Les études conduites et les concepts analysés se sont appuyés sur des modèles comportementaux et environnementaux que nous avons développés pour tenir compte des spécificités de l'application. En effet, nous avons dû appréhender une nouvelle fois la modélisation de ce type de transistor afin de pouvoir tenir compte des spécificités liées à l'utilisation du processus technologique couramment retenu en puissance et à son intégration au sein d'un composant de puissance à structure verticale, en notant que ce dernier induit un potentiel de substrat flottant.

Dans ce chapitre, nous aborderons donc différents points de modélisations et d'analyses. Nous commencerons par décrire les spécificités "physiques" qui apparaissent au niveau du composant dont la structure physique est réalisée via le procédé de puissance. A partir de cet état des lieux, nous aborderons trois points. Le premier concerne la caractéristique de tenue en tension du composant latéral. Étant réalisé sur la base d'un procédé de puissance optimisé pour le composant de puissance, le composant latéral peut présenter des caractéristiques de tenue en tension plus ou moins intéressantes et compatibles avec la fonction recherchée (adéquation entre tension de commande et caractéristique de la grille du transistor de puissance). Nous verrons qu'en fonction des besoins, des évolutions sont envisageables. Dans certains cas, celles-ci

impliquent de faire évoluer le procédé technologique de puissance. Les deuxième et troisième points abordés dans ce chapitre concernent la modélisation du composant latéral dans son environnement électrique. Nous verrons les conséquences des spécificités structurales sur les caractéristiques et le comportement du composant. Ce travail permettra de définir un certain nombre de règles de conception et de mise en œuvre du composant latéral N-MOS au sein d'un composant de puissance à structure verticale. Le dernier point abordé concerne la modélisation de l'effet de substrat et ses conséquences sur le comportement du transistor N-MOS « high-side » comme nous en avons déjà parlé plus haut. En particulier, nous aborderons l'étude du « transistor à tension de seuil réduite », transistor original que nous réalisons sans modification du processus technologique et qui permet de réaliser un transistor « high-side » aux caractéristiques avantageuses pour notre application.

## IV.2 Structure physique du transistor latéral intégré

La structure physique du composant N-MOS latéral a été présentée dans le précédent chapitre comme étant l'unique structure facilement intégrable via le procédé technologique du composant de puissance. Essayons de voir quelles sont les spécificités de cette structure par rapport à un composant N-MOS classique. Ci-dessous figure IV-1 la structure du composant avec l'ensemble des cotes technologiques et physiques importantes.



**Figure IV-1.** Principales dimensions du transistor N-MOS en technologie du VDMOS

Les paramètres technologiques, géométriques et électriques du transistor N-MOS compatibles avec ceux du VDMOS, sont fournis dans le tableau suivant. Les unités de ces paramètres sont toutes données en cm.

| Symbole du paramètre                            | Définition du paramètre  | Unité              |
|---|--|--------------------|
| Paramètres de l'instance                        |  |                    |
| $L_g$   | Longueur de la grille  | cm                 |
| $W$   | Largeur de la grille   | cm                 |
| Paramètres du Processus de fabrication du VDMOS |  |                    |
| $e_{ox}$  | Epaisseur de l'oxyde de la grille  | cm                 |
| $L_{diffNp}$                                    | Extension du caisson $N^+$ de la source ou du drain sous la grille                   | cm                 |
| $P_{jNpPm}$                                     | Profondeur de la jonction $N^+/P$  | cm                 |
| $P_{jPmNm}$                                     | Profondeur de la jonction $P/N_0$  | cm                 |
| $P_{jPpNm}$                                     | Profondeur de la jonction $P^+/N_0$  | cm                 |
| $L_{Np}$  | Largeur d'ouverture de masque de Source et Drain                                     | cm                 |
| $N_u$   | Niveau dopage du caisson $N_u$ (zone de tenue en tension du transistor de puissance) | At/cm <sup>3</sup> |
| $Na_p(x)$                                       | Niveau dopage du caisson P en fonction de la profondeur                              | At/cm <sup>3</sup> |
| $N_{amax}$                                      | Dopage maximal du caisson P à l'interface Si/SiO <sub>2</sub>                        | At/cm <sup>3</sup> |
| $Na_1(y)$                                       | Niveau de dopage du caisson P en direction latérale                                  | At/cm <sup>3</sup> |
| $Nd_p(x)$                                       | Niveau de dopage du caisson $N^+$ (drain ou source) en profondeur                    | At/cm <sup>3</sup> |
| $Nd_1(y)$                                       | Niveau de dopage du caisson $N^+$ (drain ou source) en direction latérale            | At/cm <sup>3</sup> |
| $Nd_{max}$                                      | Dopage maximal du caisson $N^+$ à l'interface Si/SiO <sub>2</sub>                    | At/cm <sup>3</sup> |
| $Nd_1(x)$                                       | Dopage du caisson $N^+$ en face arrière  | At/cm <sup>3</sup> |
| $k_{diff}$                                      | Coefficient de diffusion latérale des caissons implantés                             |                    |
| Paramètres électriques                          |  |                    |
| $V_{Gsth0}(V_{SB})$                             | Tension de seuil du transistor N-MOS en fonction de la tension $V_{SB}$              | V                  |

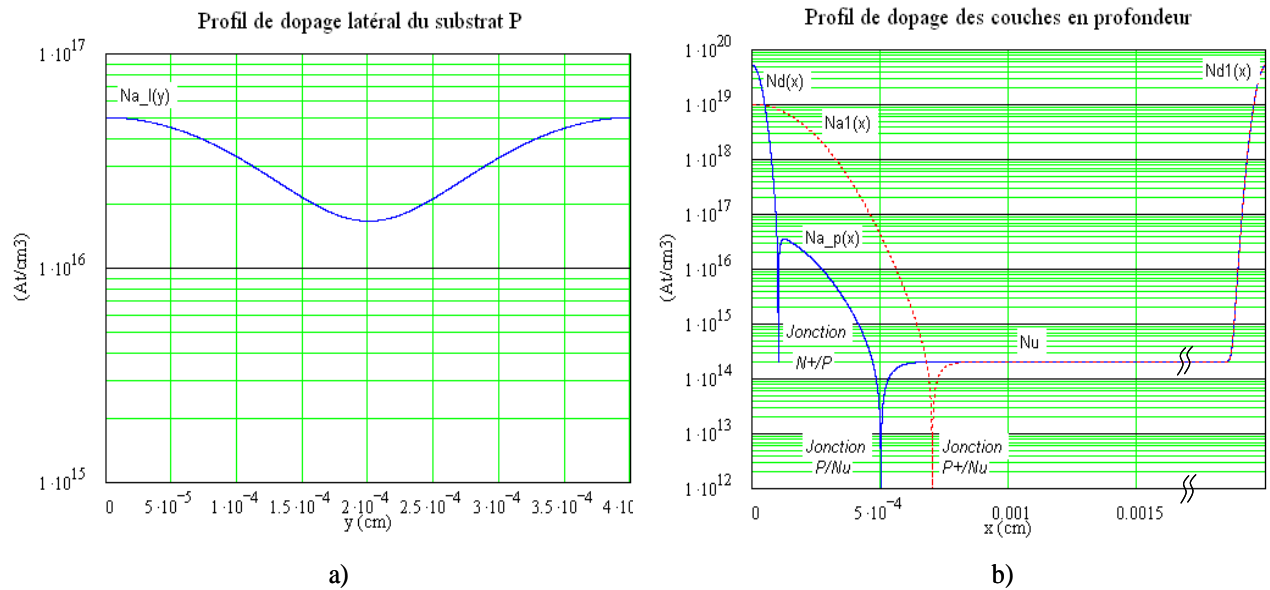
|                |   |                                     |
|----------------|---|-------------------------------------|
| $\mu_{ns}$     | Mobilité surfacique des électrons                           | $\text{cm}^2/\text{V}\cdot\text{s}$ |
| $\mu_{n\_eff}$ | Mobilité effective des électrons                            | $\text{cm}^2/\text{V}\cdot\text{s}$ |
| $C_{GS}$       | Capacité entre Grille et Source                             | F/cm                                |
| $C_{GS0}$      | Capacité de recouvrement côté de la Source                  | F/cm                                |
| $C_{GB}$       | Capacité entre Grille et Substrat                           | F/cm                                |
| $C_{GD}$       | Capacité entre Grille et Drain                              | F/cm                                |
| $C_{GD0}$      | Capacité de recouvrement côté du Drain                      | F/cm                                |
| $C_{JS}$       | Capacité de la jonction N <sup>+</sup> /P côté de la Source | F/cm                                |
| $C_{JD}$       | Capacité de la jonction N <sup>+</sup> /P côté du Drain     | F/cm                                |

**Tableau IV-1.** Paramètres du N-MOS en technologie VDMOS

Le premier point important concerne les dimensions physiques du composant latéral. Si aujourd'hui les technologies en micro-électronique sont toutes sub-microniques, il n'en va pas de même pour les composants de puissance qui dans leurs versions standards reposent sur des motifs de tailles micrométriques. Cela conduit bien évidemment en la synthèse de composants latéraux relativement plus imposants et présentant des caractéristiques non optimisées. C'est particulièrement le cas pour les capacités parasites et l'état passant pour des densités de courant par unité de largeur de grille équivalente. Fort heureusement, l'électronique de puissance fonctionne à des fréquences raisonnables auxquelles les éléments parasites précités présentent des valeurs satisfaisantes. Pour donner dès à présent un ordre de grandeur, disons que la longueur du canal du N-MOS que nous allons étudier est de 2,6 $\mu\text{m}$ , valeur à mettre en relief avec une technologie CMOS standard pour laquelle la longueur de grille est aujourd'hui autour de quelques dixièmes de microns.

Afin de limiter au maximum les changements et évolutions du procédé technologique, le porte canal du transistor latéral est réalisé à partir de la double diffusion de caissons P porte canal des deux cotés de la grille. En fonction de la profondeur de diffusion et de la résolution minimale du procédé, la diffusion de part et d'autre de la grille recrée un caisson P sous l'intégralité de la grille. En conséquence de quoi, le canal du transistor latéral n'est plus homogène, à l'image de celui du transistor de puissance. En plus, dans le cas présent, le canal est diffusé dans les deux directions ce qui conduit à un comportement du canal assez particulier pour des longueurs importantes. La

figure IV-2 présente deux coupes montrant les profils de dopages sous la grille d'un transistor latéral et en profondeur sous les régions de sources et de court-circuit.



**Figure IV-2.** a) Profil de dopage latéral du caisson P sous la grille. b) Profil de dopage des couches du transistor N-MOS en profondeur

La principale particularité du transistor N-MOS en technologie VDMOS est que son substrat se forme par extension latérale du caisson P des deux extrémités de la grille. De ce fait, son substrat est non homogène dans les deux directions. Nous allons définir les concentrations en impuretés du substrat P dans les différentes directions latérale et verticale afin de déterminer précisément l'évolution de la valeur de la barrière de potentiel le long du canal, sachant que l'extension latérale des caissons implantés vaut  $k_{diff}$  fois la profondeur de jonction ( $k_{diff}$  proche de 0,7). Nous avons ainsi :

$$L_{eff} = L_g - 1,4 P_j N_p P_m$$

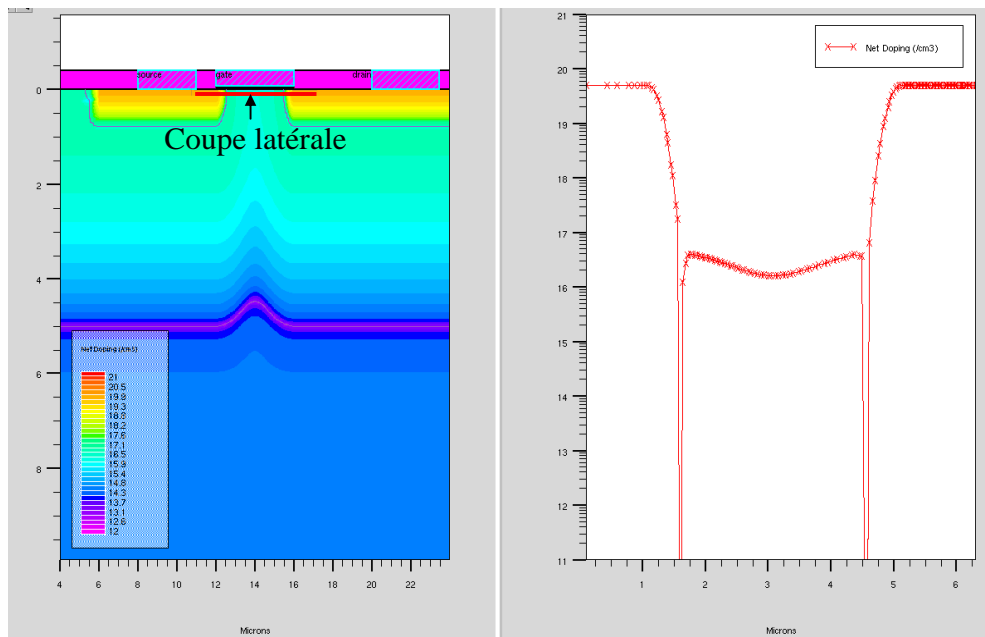
$$L_{diff\_Np} = 0,7 P_j N_p P_m$$

$$L_{diff\_Pm} = 0,7 P_j P_m N_m$$

La dernière spécificité du composant est sa réalisation sur substrat de puissance (tranche épitaxiée faiblement dopée  $v$ ). D'une part les variations de potentiel du substrat vont induire des perturbations conduites qu'il faudra appréhender et d'autre part, la structure conditionne le potentiel auquel doit être porté le porte canal du transistor latéral si l'on souhaite garantir l'auto-isolation par jonction. Ces points, apparemment sans conséquence au premier abord, conditionnent fortement le dimensionnement du composant latéral, ainsi que ses caractéristiques fonctionnelles, surtout à cause de l'effet du substrat (qui fait office de porte canal dans notre cas).



La figure IV-2.c ci-dessous présente la structure globale du composant N-MOS intégré au sein d'un composant de puissance.



**Figure IV-2.c.** Transistor N-MOS basé sur la technologie du VDMOS (Coupe verticale du N-MOS : gauche et profil de dopage du transistor suivant la coupe latérale: droite)

À partir de structure de puissance type VDMOS-600V, nous pouvons construire un N-MOS latéral par double diffusion sous la grille. Nous choisisons arbitrairement pour les figures et l'étude numérique une largeur de grille de  $4\mu\text{m}$ , cette grandeur correspondant à une longueur de canal d'environ  $2,6\mu\text{m}$ . Dans ce cas, la structure latérale du transistor est celle présentée figure IV-2.c.

Pour garantir la viabilité de la structure, la largeur de la grille  $L_g$  doit satisfaire une condition pour que l'extension latérale des implantations P aux extrémités de la grille se rejoigne :

$$L_{\text{OCON}} \leq L_g \leq 2 \cdot k_{\text{diff}} \cdot P_{\text{jPmNm}}$$

Où :  $k_{\text{diff}}$  est le coefficient de diffusion latéral du caisson implanté, ce paramètre déterminé empiriquement est habituellement choisi proche de 0,7.  $P_{\text{jPmNm}}$  est la profondeur de jonction P/Nu et sa valeur est imposée par le processus technologique du transistor VDMOS ( $5\mu\text{m}$  dans notre cas). Ainsi, la longueur de la grille du transistor N-MOS doit être inférieure à  $8\mu\text{m}$  et supérieure à la largeur d'ouverture minimale de contact  $L_{\text{OCON}}$  ( $4\mu\text{m}$  : valeur elle aussi imposée par la technologie du VDMOS).

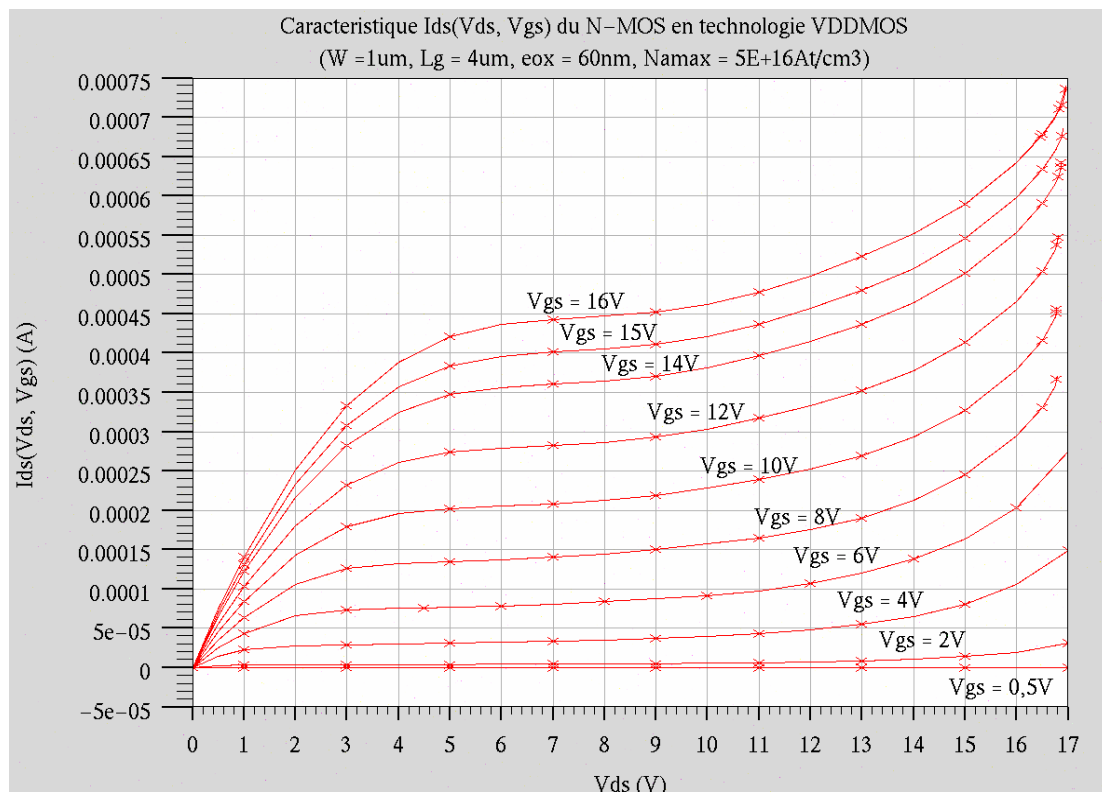
La prise en compte de ces éléments particuliers nous a conduit à faire un effort particulier en terme de caractérisation mais aussi de modélisation des caractéristiques de tenue en tension du

transistor N-MOS mais aussi des interactions entre la partie puissance (qui est aussi le support du dispositif complet) et la partie commande (intégrée au sein de celui-ci).

### IV.3 Tenue en tension du transistor latéral N-MOS

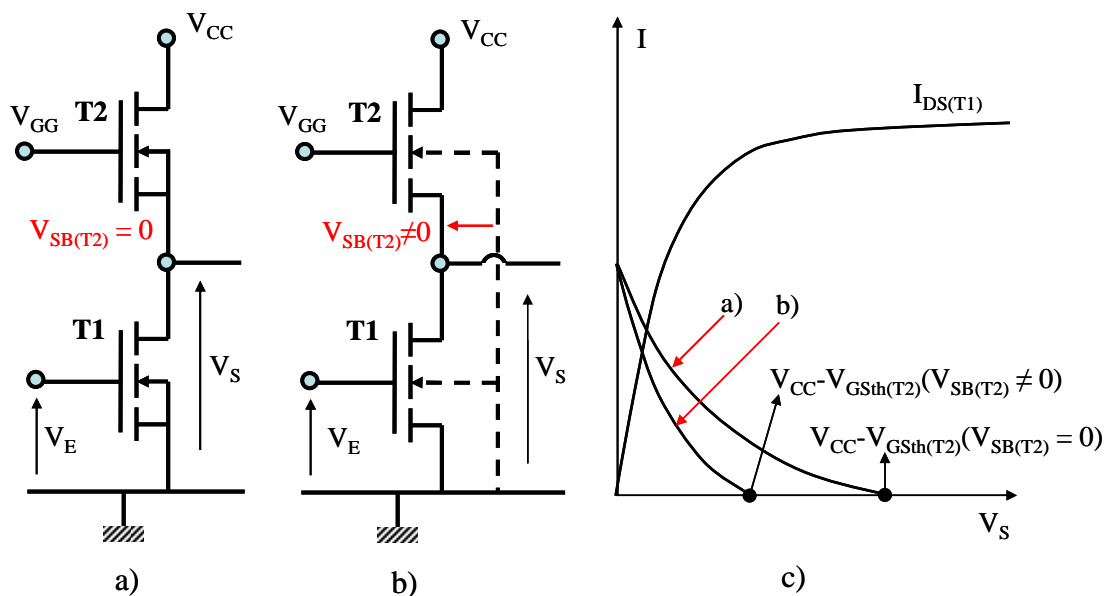
L'étude de la tenue en tension du composant latéral est importante car celle-ci doit être compatible avec les niveaux de polarisation attendus sur l'électrode de grille du transistor de puissance. Les grandeurs physiques des régions N et P imposées par le procédé technologique de puissance permettent-elles des niveaux de tenue en tension satisfaisants ? Si tel n'est pas le cas, quels sont nos degrés de liberté, qu'ils soient conceptuels ou technologiques ? Compte tenu des études et conclusions du chapitre précédent, essayons de voir ce que nous allons pouvoir attendre des composants N-MOS latéraux issus du procédé de puissance.

Une simulation numérique de ce composant permet de tracer le réseau de caractéristiques statiques  $I_{DS} = f(V_{DS}, V_{GS})$  comme présenté figure IV-3. Cette caractéristique fait clairement apparaître une zone de fonctionnement ohmique puis une zone de plateau et enfin une zone dans laquelle le courant de drain augmente fortement avec la tension. Dans cette dernière région, la caractéristique issue des simulations numériques rend compte du claquage du composant.



**Figure IV-3.** Caractéristique statique  $I_{DS}(V_{GS}, V_{DS})$  du N-MOS en technologie VDMOS (source comme potentiel de référence)

Cette caractéristique non idéale est néanmoins acceptable pour nos applications. C'est particulièrement le cas dans les montages de type « source commune » (pour lequel le composant à sa source connectée au potentiel de référence). En effet, dans ce cas les phénomènes d'ionisation (que nous verrons plus loin) sont contenus par le fait que le composant fonctionne le long de la droite de charge comme le montre le schéma et les caractéristiques présentées figure IV-4.a. Les potentiels de la source et de substrat étant tous deux identiques en montages en sources communes, la résistance de charge impose le courant et dans les fonctionnements en commutation, peu de problèmes sont à attendre (cela ne serait être le cas en amplification linéaire où le gain du transistor serait alors dépendant de l'ionisation, rendant la linéarité du dispositif impossible). En revanche, un réel problème se pose pour les configurations où le composant à son drain connecté au potentiel haut de l'alimentation de commande IV-4.b.

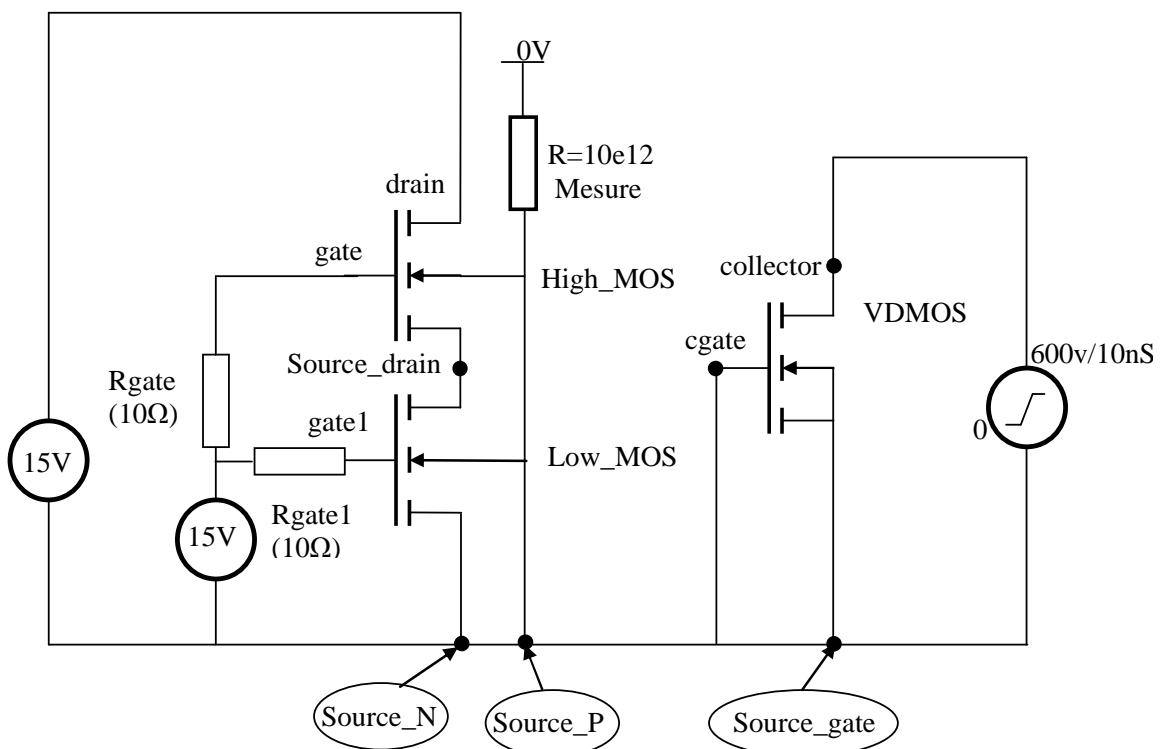


**Figure IV-4.** a) Montage à sources communes. b) Montage à source flottante  
c) Droite de charge sur caractéristique statique : montages à sources communes ou flottantes

Lorsque le champ électrique au voisinage de la zone de pincement devient trop élevé, un phénomène d'ionisation par impact apparaît. Celui-ci donne naissance à des paires électrons-trous en plus ou moins grandes quantités. Si les électrons se retrouvent à transiter par le canal, il n'en est pas de même pour les trous qui eux sont repoussés par l'électrode de grille et transitent via le substrat. Aussi, lorsque la source du transistor est connectée au potentiel de référence, les courants de trous et d'électrons convergent vers le même potentiel ce qui ne produit aucune conséquence fâcheuse dans le montage « sources communes ». En revanche, lorsque la source du transistor est à un potentiel flottant, le courant de drain (somme du courant de source et du courant de trous transitant par le substrat relié au potentiel de référence) ne transite plus

exclusivement par la source. Le courant de trous, issu d'un phénomène d'avalanche, n'est plus contrôlable par la structure et il peut devenir important conduisant à la circulation d'un courant de drain pouvant devenir très important.

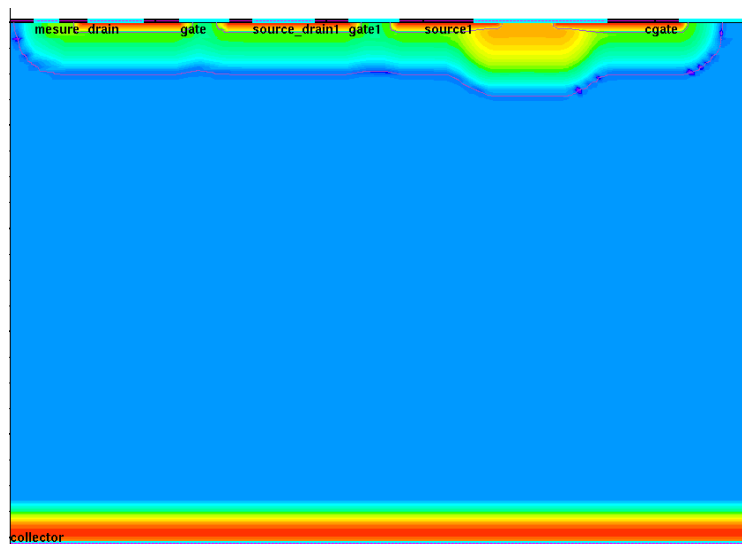
L'analyse qualitative des phénomènes est conduite sous Silvaco-Atlas dans lequel la structure physique de la topologie électrique ci-dessous (figure IV-5) est décrite. On remarque la présence d'une structure VDMOS verticale pouvant être polarisée en statique ou dynamique. Néanmoins, dans un premier temps, la structure verticale n'est pas commandée. Coté commande, nous considérons un Push-pull de sortie dont les deux transistors NMOS sont montés en série et tous deux commandés et alimentés par une tension de 15V. Ainsi, nous pouvons étudier les effets de certaines conditions de polarisation sur transistor "high-side". En particulier, en fonction de l'état passant du transistor "low-side", le potentiel du point milieu du bras push-pull peut être ajusté (en statique ou dynamique en fonction de l'étude conduite). Cela permet de bien visualiser les conséquences de l'effet de substrat sur les caractéristiques du composant et plus particulièrement ici au niveau de la tenue en tension de ce même composant. On notera la présence d'un potentiel de mesure au niveau du substrat porte canal des transistors latéraux. Ce point de mesure est important car il permet d'évaluer les évolutions du potentiel à l'extrémité du porte canal en fonction des conditions de polarisation de l'ensemble. Cela est particulièrement visible sur la vue en coupe figure IV-6 qui suit.



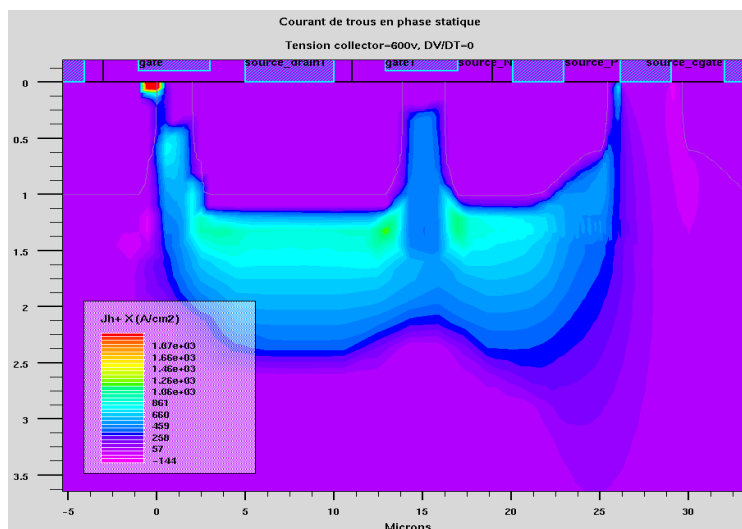
**Figure IV-5.** Topologie de la structure modélisée et simulée sous Silvaco-Atlas

On retrouve, au sein d'un caisson P formé à partir du procédé technologique du composant de puissance, la région de canal du composant vertical à droite, et à gauche, la structure intégrée des deux transistors NMOS. À l'extrémité gauche du caisson, l'électrode de mesure du potentiel du caisson P est présente.

En polarisant la structure comme présenté figure IV-5 précédemment, on peut facilement observer la naissance d'un phénomènes d'ionisation important au niveau du transistor "high-side", initiant un courant de trous important dans le caisson porte canal. Ce courant, incontrôlable, circule intégralement via le caisson P comme on peut le voir dans la figure IV-7. Il prend naissance sous la grille du transistor "high-side" au droit de la jonction entre le caisson P et la région de drain.



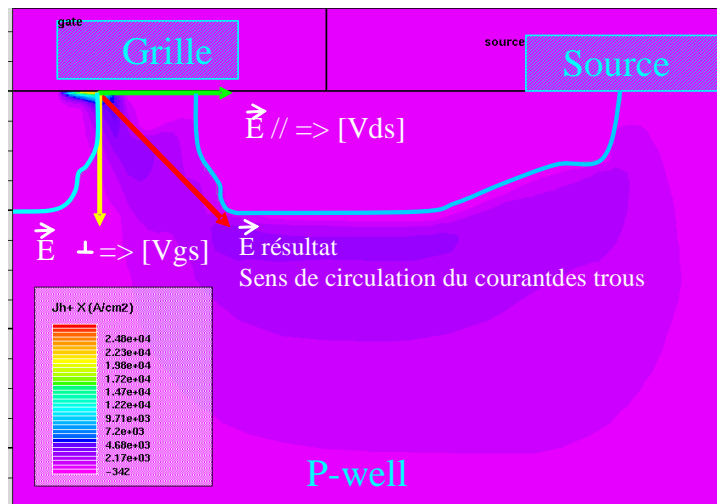
**Figure IV-6.** Vue en coupe de la structure modélisée et simulée sous Silvaco-Atlas



**Figure IV-7.** Densités de courant de trous en régime d'avalanche sous Silvaco-Atlas

Cela est particulièrement visible sur la figure zoomée ci-dessous. Le claquage se produit à l'endroit précis où la coexistence d'une composante latérale de champ électrique avec une autre verticale conduit en un champ électrique résultant trop important pour le silicium (voir figure IV-8). Des paires électron-trou sont alors générées en grand nombre, les trous étant rapidement orientés vers le caisson P sous l'effet du champ. Ils sont alors drainés par le contact de source du VDMOS, ce contact étant le potentiel de référence de toute la structure.

Mise en évidence de la génération de courant de trous en régime statique ( $V_{\text{Drain}} = V_{\text{Gate}} = 15\text{V}$ ,  $e_{\text{ox}} = 100\text{nm}$ )



**Figure IV-8.** Zoom sur les densités de courant en régime d'avalanche dans la région critique avec visualisation des composantes du champ électrique dans cette même région (simulations Silvaco-Atlas)

Ce comportement est rédhibitoire pour notre projet. En effet, nous avons vu dans le précédent chapitre que la mise en œuvre de transistors "high-side" est incontournable si l'on veut intégrer de manière réaliste l'étage de sortie de la commande rapprochée (en contenant la consommation et en maximisant les dynamiques). Or celui-ci ne semble pas pouvoir tenir des tensions supérieures à la dizaine de volt alors que les conclusions du chapitre III nous proposaient même des fonctionnements jusque vers 18V. Commençons donc par clairement poser le problème physique puis voyons quelles solutions ont pu être envisagées.

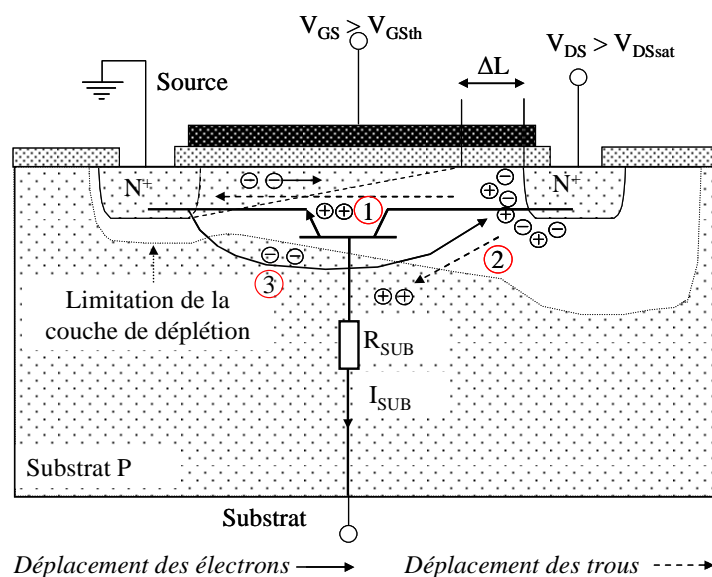
### IV.3.1 Phénomène d'ionisation par impact

Le phénomène d'ionisation par impact provoquant le claquage prématuré d'un simple transistor N-MOS se produit à la jonction Porte canal-drain pour des tensions telles que le transistor latéral travaille en régime plateau (saturation du courant de drain). Dans ce mode de fonctionnement, la jonction porte canal-drain est assimilable à une diode PN+ polarisée en

inverse. Au sein de cette jonction va se créer une zone de charge d'espace de longueur  $\Delta L$  (figure IV-9) presque exclusivement située dans le canal et qui augmentera avec la tension  $V_{DS}$  lorsque celle-ci dépassera la tension dite de saturation  $V_{DSsat}$ .

L'excédent de tension ( $V_{DS} - V_{DSsat}$ ) se retrouve aux bornes de la zone désertée (entre le point de pincement et le drain) dont la résistance est beaucoup plus importante que celle du canal. Ceci implique un champ intense dans cette zone. Le courant est transporté par les porteurs libres dans le canal conducteur jusqu'au point de pincement. Ces porteurs sont ensuite propulsés vers le drain par le champ électrique régnant dans la zone de charge d'espace.

L'ionisation par impact ou par choc apparaît dans cette zone désertée. Sous l'effet du champ électrique intense, un électron propulsé dans le silicium peut emmagasiner suffisamment d'énergie cinétique et la transmettre au cristal par le biais des nombreux chocs qu'il effectue avec les atomes du réseau cristallin. Certains électrons de la bande de conduction peuvent acquérir une énergie telle que leurs impacts sur les atomes du réseau cristallin aboutissent à la rupture de liaisons de valence. Après la création des paires électrons-trous par *ionisation primaire* (pour  $V_{GS}$  varie de  $V_{DS}/4$  à  $V_{DS}/2$ ) [PETIT 04], les trous sont collectés par le substrat et donne le courant de substrat comme montré dans les figures IV-7-8-9. Si le substrat est polarisé négativement (par rapport à la source), sous l'action du champ électrique, l'énergie cinétique acquise par les trous est suffisante pour ioniser encore une fois les atomes du substrat par impact et ainsi générer de nouvelles paires d'électron-trou. Ce processus peut devenir cumulatif et conduire au phénomène d'avalanche massive. Les trous générés par l'ionisation peuvent emprunter différents chemins comme présentés dans la figure IV-9.



**Figure IV-9.** Phénomène d'ionisation par impact

Ces trous peuvent être attirés par l'électrode de substrat et donner suite à un important courant de substrat  $I_{SUB}$  (chemin 2). Ce courant de trous se déplaçant vers le substrat du transistor va abaisser la barrière de potentiel entre substrat et canal et donc la tension de seuil. Autrement dit, ce courant va diminuer la charge d'espace dans la couche de déplétion engendrant une augmentation du courant  $I_{DS}$  pour une même tension  $V_{GS}$  appliquée.

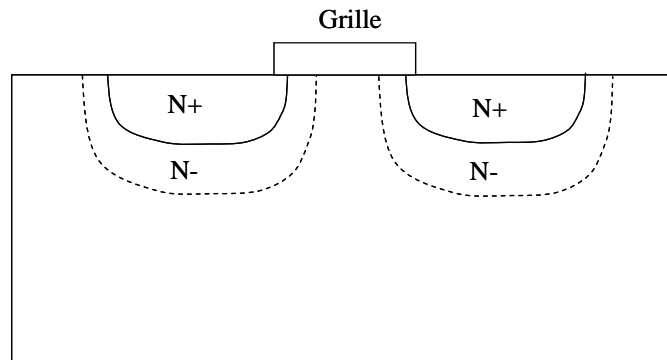
Certains d'entre eux peuvent également migrer vers la source (chemin 1) et créer donc un abaissement de la barrière à la jonction source-canal. Il se produit alors une injection d'électrons supplémentaires de la source vers le canal. Cet ensemble source-canal-drain travaille comme un transistor n-p-n dont la base (canal du N-MOS) est flottante et le collecteur (Drain) se trouve dans des conditions d'avalanche une fois que la chute de tension  $I_{SUB} * R_{SUB}$  est supérieure à la barrière de potentiel source-substrat

Ainsi le phénomène d'ionisation par impact fournit un accroissement du nombre d'électrons injectés de la source vers le drain (chemin 3) provoquant une augmentation du nombre de paires électron-trou dans la zone de déplétion à proximité du drain. Ceci implique un abaissement de la barrière à la jonction source-canal encore plus prononcé et donc encore plus d'électrons injectés de la source... De cette manière, le courant  $I_{DS}$  va augmenter exponentiellement à cause du phénomène d'ionisation par impact non contrôlé par la grille comme nous le voyons sur la caractéristique  $I_{DS}(V_{GS}, V_{DS})$  du transistor (c.f figure IV-3). Ce phénomène est d'autant plus important que la longueur de canal (base) diminue (effet transistor) [GAUTIER].

Si le courant résultant n'est pas limité, il va se produire un phénomène d'avalanche destructeur pour le composant. Afin de réduire le phénomène d'ionisation par impact, différentes techniques peuvent être mises en œuvre :

- ✓ les techniques dites de « drain étendu » qui permettent de réduire le champ maximal côté drain ce qui diminue donc le phénomène d'ionisation par impact (figure IV-10). Ces techniques sont en fait dérivées des composants de type « LDD » (Lightly Doped Drain) [RICHARD 04] et nécessitent de nouvelles étapes technologiques.



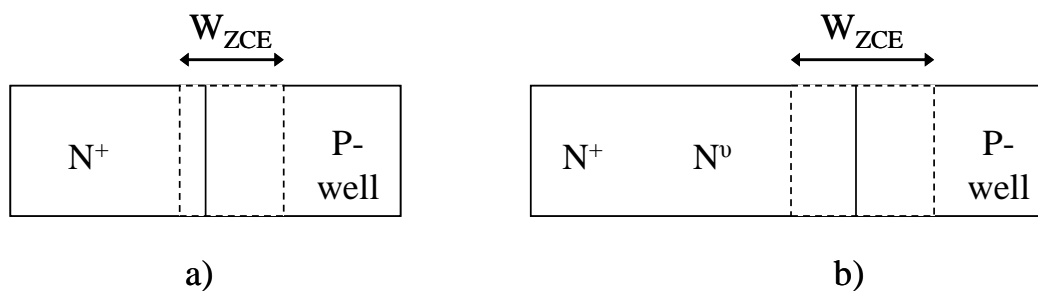


**Figure IV-10.** Vue en coupe d'un transistor à canal N de type « LDD »

- ✓ une autre approche consiste à faire un nouveau bilan fonctionnel du couple composant de puissance – composant latéral. En modifiant la tension de fonctionnement globale du système on peut arriver à en réduire les contraintes de tenue en tension.

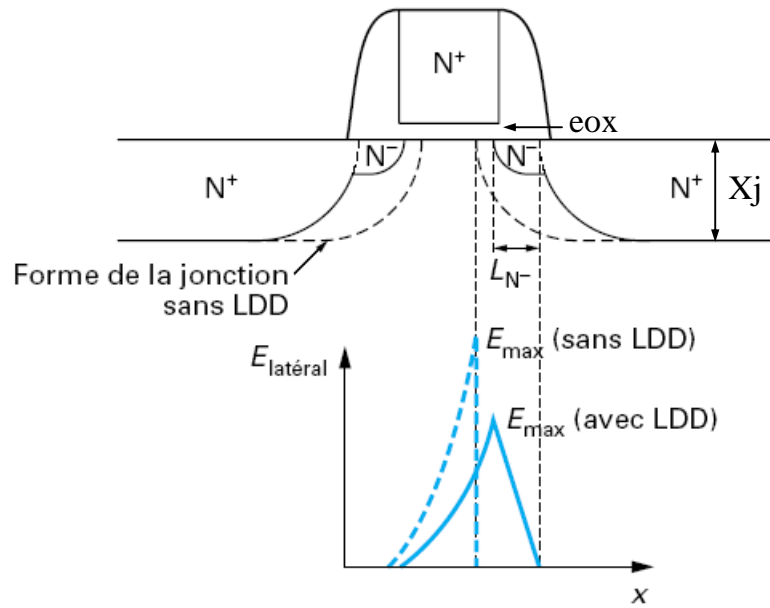
### IV.3.2 Transistor N-MOS à drain étendu

Le premier principe énoncé repose sur l'ajout d'une zone « tampon » dopée N de concentration en atomes donneurs plus faible que celle du drain. Cette concentration doit néanmoins rester plus grande que celle du caisson P-well du transistor pour que cette couche puisse être implantée et diffusée au sein du caisson P-well. De cette manière, la zone de charge d'espace aux alentours du drain peu s'étendre davantage dans ce dernier et plus exclusivement dans le canal comme on peut le voir sur les figures IV-11 et IV-12.



**Figure IV-11.** Zone de charge d'espace dans a) cas du N-MOS. b) cas du N-MOS à drain étendu

En effet, en raison de la concentration en charge fixe plus faible que celle de la région de contact de source, le champ électrique latéral ne chute pas à zéro aussi rapidement coté drain et permet, à champ max donné de tenir davantage la tension (voire répartition du champ électrique figure IV-12).



**Figure IV-12.** Amélioration de la tenue en tension du N-MOS latéral en présence d'une couche tampon [SKOTNICKI]

La différence des potentiels entre le point de pincement du canal et la jonction n'est alors plus  $V_{DS} - V_{DSsat}$  mais plutôt  $V_{DS} - 0,5.E_{Max}.L_{N-} - V_{DSsat}$  [SKOTNICKI] où  $E_{Max}$  est le champ électrique maximal dans la jonction P/N+ et  $L_{N-}$  la longueur de la couche N-. Le champ maximal en présence de la couche N-  $E_{Max(LDD)}$  peut être calculé en fonction de la tension  $V_{DS}$  appliquée et la longueur  $L_{N-}$  :

$$E_{Max(LDD)} = \frac{V_{DS} - V_{DSsat}}{\sqrt{\frac{\epsilon_{Si}}{\epsilon_0} eox.Xj}} \left( 1 - \frac{L_{N-}}{2 \cdot \sqrt{\frac{\epsilon_{Si}}{\epsilon_0} eox.Xj}} \right)$$

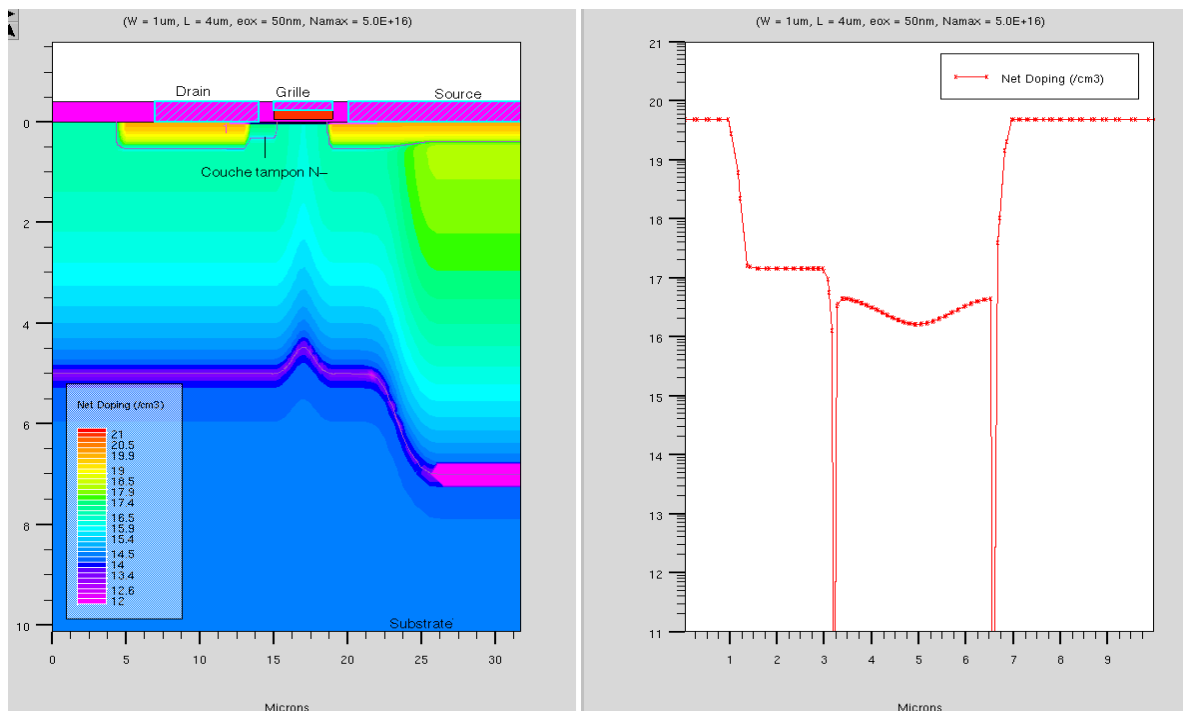
Il est ainsi possible d'augmenter la tenue en tension du transistor sans pour autant modifier les caractéristiques du caisson de source ni celles du porte canal, toutes deux optimisées pour le composant de puissance. En revanche, cette technique n'est pas sans défaut : elle introduit surtout une résistance série supplémentaire qui dégrade les densités de courant maximales obtenues. Par ailleurs, la réalisation des "couches tampons" nécessite la mise en œuvre de plusieurs étapes technologiques supplémentaires. Enfin, la concentration de la couche tampon doit rester confinée dans une plage assez restreinte ce qui conditionne la qualité de l'implantation et de la diffusion.

Dans notre cas, il n'est pas nécessaire de disposer d'une couche tampon du côté de la source car la structure du transistor n'est pas nécessairement symétrique. Cela permet de limiter la

détérioration de la résistance série. Il est à noter qu'une alternative offrant un meilleur compromis consisterait à implanter les régions de tampon à travers la grille du transistor pour en limiter la longueur de canal.

### IV.3.3 Résultats de simulation d'un transistor N-MOS à drain étendu

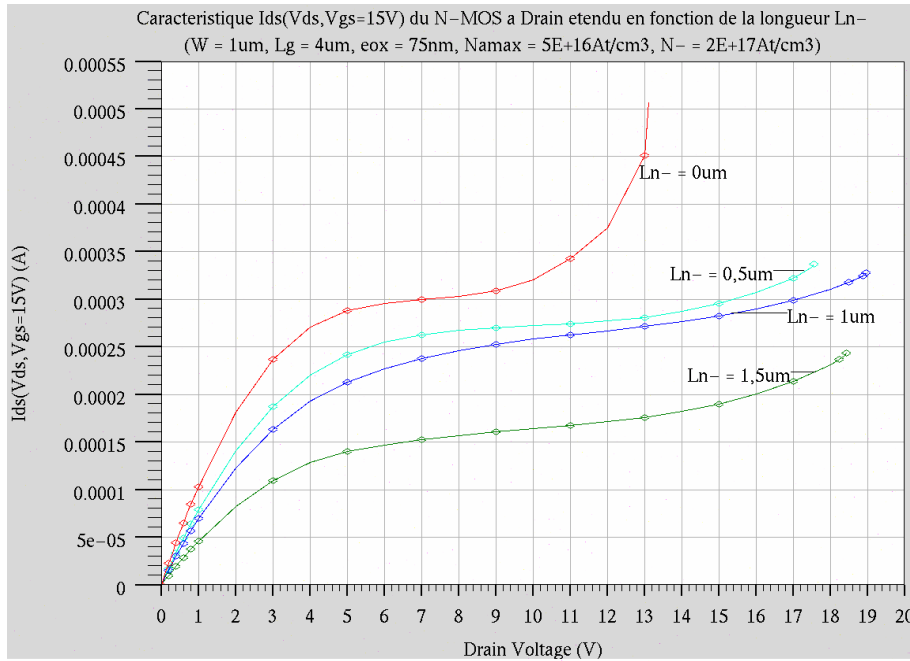
La figure IV-13 présente la structure simulée. La couche « tampon » est ajoutée côté drain du transistor latéral afin d'augmenter sa tenue en tension. La longueur et le niveau de dopage de la couche sont les variables à optimiser pour améliorer celle-ci.



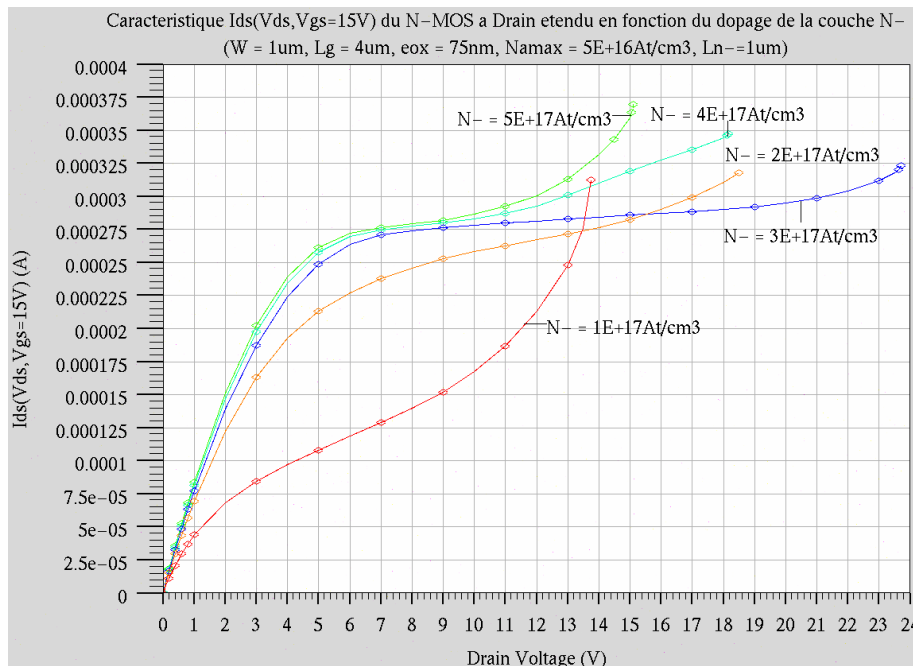
**Figure IV-13.** Coupe verticale (gauche) et profil de dopage du transistor N-MOS en présence de la couche N<sup>-</sup> (droite)

La figure IV-14 présente les caractéristiques  $I_{DS}(V_{DS}, V_{GS} = 15V)$  pour différentes longueurs  $L_{N-}$  de la couche N<sup>-</sup>. Les autres paramètres du transistor N-MOS sont :  $W = 1\mu m$ ,  $L_g = 4\mu m$ ,  $e_{ox} = 75nm$ ,  $N_{amax} = 5.10^{16} At/cm^3$ . Nous constatons que, pour  $L_{N-} = 0\mu m$ , le transistor latéral part en avalanche lorsque  $V_{DS}$  dépasse les 9V. Le phénomène d'ionisation par impact débute à ce niveau et s'emballé vers les 12V ; le courant  $I_{DS}$  augmente alors de manière exponentielle et le transistor bipolaire parasite interne N<sup>+</sup>/P<sup>-</sup>/N<sup>+</sup> est déclenché. Pour les autres valeurs de  $L_{N-}$  allant de 0,5 $\mu m$  à 1,5 $\mu m$  et une répartition gaussienne de la concentration partant de la surface dont la valeur maximale en surface est de  $2.10^{17} At/cm^3$  et une profondeur de jonction de 0,5 $\mu m$ , les résultats sont positifs. Première remarque : le transistor N-MOS part en avalanche pour une

tension  $V_{DS}$  plus grande : 17,5V ( $L_{N-} = 0,5\mu\text{m}$ ), 18,5V ( $L_{N-} = 1,5\mu\text{m}$ ) ou encore 19V ( $L_{N-} = 1\mu\text{m}$ ) contre 9V ( $L_{N-} = 0\mu\text{m}$ ). Nous gagnons ainsi plus d'un rapport 2 sur la tension d'avalanche. Deuxième remarque : nous constatons que plus la longueur  $L_{N-}$  augmente plus son niveau de courant  $I_{DS}$  se dégrade. Ceci est dû à l'augmentation de la résistance série due à l'ajout de la couche tampon.



**Figure IV-14.** Evolution de la tenue en tension du transistor N-MOS en fonction de  $L_{N-}$ .



**Figure IV-15.** Evolution de la tenue en tension du N-MOS en fonction du dopage de la couche « tampon »

En prenant  $L_N = 1\mu\text{m}$  et en faisant varier le dopage surfacique du caisson « tampon » allant de  $10^{17}\text{At/cm}^3$  à  $5.10^{17}\text{At/cm}^3$ , nous obtenons les résultats présentés figure IV-15. Pour  $N = 3.10^{17}\text{At/cm}^3$  (et  $L_N = 1\mu\text{m}$ ), le transistor latéral peut cette fois supporter une tension  $V_{DS} = 24\text{V}$ .

Il est clair que l'ajout d'une couche « tampon » N- côté drain permet d'augmenter notablement la tenue en tension du transistor au delà de la tension  $V_{DS}$  souhaitée dans notre application. Cela nous permettra d'obtenir pour notre commande rapprochée la tenue en tension souhaitée malgré la présence de l'effet de substrat. Cependant, l'ajout de la couche « tampon » demande une étape supplémentaire par rapport au procédé technologique du VDMOS. Évaluons maintenant la seconde piste.

### IV.3.4 Etude du bilan fonctionnel de l'ensemble composant de puissance –composant latéral

Pour évaluer les possibles gains offerts par un nouveau bilan technologique et fonctionnel, nous nous sommes basés sur les travaux de [VERNEAU 03].

Il est apparu que la réduction de la tension de polarisation de la grille du composant de puissance, et en conséquence la réduction importante de l'épaisseur d'oxyde de grille, pouvait relâcher le stress sur le transistor latéral. En abaissant la tension de polarisation de la grille et celle de l'épaisseur de l'oxyde grille dans le même rapport, l'inversion du canal reste inchangée. Par contre, cela permet d'abaisser la tension d'alimentation de la partie commande. De fait, les contraintes de tenue en tension sur le transistor latéral seront réduites et pourront être compatibles avec celles permises par le procédé technologique de puissance. L'avantage de cette approche réside dans le fait que le procédé technologique, s'il est modifié, n'est pas complexifié. Par ailleurs, celui-ci reste optimal vis-à-vis du transistor de puissance. Au final, en jouant sur certains paramètres technologiques, on arrive à faire apparaître un nouveau compromis plus satisfaisant dans notre effort d'intégration monolithique à faible coût technologique.

L'étude conduite dans les lignes qui suivent consiste à évaluer l'intérêt que présenterait l'abaissement du couple  $E_{ox}/V_{lim}$  vis-à-vis des besoins en tenue en tension de notre partie commande. On suppose en effet que l'optimisation du dimensionnement du VDMOS présente plusieurs minimums locaux [VERNEAU 03] dont certains peuvent être profitables au N - MOS. Les tableaux ci-dessous rassemblent un certain nombre de tendances des caractéristiques fonctionnelles susceptibles d'être modifiées par les variations de ce couple pour les composants VDMOS vertical et N-MOS latéral (cela pour deux couples des valeurs  $E_{ox}$   $V_{lim}$ ).

|                             |           |          | <b>Commentaires</b>  |
|-----------------------------|-----------|----------|--|
| <b>Eox(nm) / Valim (Vn)</b> | 100<br>15 | 30<br>7V | Eox épaisseur d'oxyde de grille  |
|                             |           |          |  |
| <b>V<sub>GSth</sub></b>     | =         | =        | Evolution de la tension de seuil   |
| <b>V<sub>gmax</sub></b>     | +         | -        | Tension de calquage de l'oxyde de grille   |
| <b>Q(Vn)</b>                | =         | =        | Charge d'inversion à tension de grille nominale (permet de visualiser la qualité de la couche d'inversion et donc de la conductivité de cette région). De cette valeur dépend la correspondance entre les deux couples de valeurs (par unité de surface) |
| <b>C<sub>ox</sub></b>       | -         | +        | Capacité surfacique  |
| <b>C<sub>GS</sub></b>       | -         | +        | Evolution de la capacité de grille partiellement fonction de Eox (par unité de surface)  |
| <b>C<sub>GD</sub></b>       | -         | +        | Evolution de la capacité de réaction partiellement fonction de Eox (selon le type de polarisation et par unité de surface))  |
| <b>E<sub>gr</sub></b>       | +         | -        | Energie de polarisation nominale (représentative de la consommation de la commande rapprochée) =Q*Vn (par unité de surface)  |
| <b>S</b>                    | =         | =        | Grandeur représentative de la susceptibilité de la grille aux effets de contre réaction (calculé comme suit).  |
| <b>I<sub>DS(nom)</sub></b>  | =         | =        | Valeur du courant de drain en polarisation   |

|                            |   |   |  |
|----------------------------|---|---|--|
|                            |   |   | nominale (par unité de surface)  |
| <b>dI<sub>DS</sub>/dt</b>  | = | = | Evolution des dynamiques de commutation en courant et en tension   |
| <b>dV<sub>DS</sub>/dt</b>  | = | = |  |
| <b>I<sub>GS</sub>(nom)</b> | = | = | Valeur crête du courant de grille en vue d'une dynamique de polarisation comparable (par unité de surface) |

**Tableau IV-2.** Tendances du rapport Eox/Valim sur le VDMOS

|                            |     |    | <b>Commentaires</b>  |
|----------------------------|-----|----|--|
| <b>Eox (nm) /</b>          | 100 | 30 |  |
| <b>Valim (Vn)</b>          | 15V | 7V |  |
|                            |     |    |  |
| <b>V<sub>GSth</sub></b>    | =   | =  | Evolution de la tension de seuil   |
| <b>Vgmax</b>               | 50  | 15 | Tension de claquage de l'oxyde de grille   |
| <b>Q(Vn)</b>               |     |    | Charge d'inversion à tension de grille nominale (permet de visualiser la qualité de la couche d'inversion et donc de la conductivité de cette région). De cette valeur dépend la correspondance entre les deux couples de valeurs (par unité de surface) |
| <b>V<sub>DS</sub>(max)</b> | 8   | 8  | Valeur maximale de la tension d'alimentation ne générant pas (ou peu) d'effet d'avalanche  |
| <b>Vs(max)</b>             |     |    | Tension de source imposant l'ouverture du canal sous polarisation nominale   |
| <b>C<sub>ox</sub></b>      | -   | +  | Capacité surfacique  |
| <b>C<sub>GS</sub></b>      | -   | +  | Evolution de la capacité surfacique de grille  |

|          |   |   |  |
|----------|---|---|--|
|          |   |   | partiellement fonction de $E_{ox}$ (par unité de surface)  |
| $C_{GD}$ | - | + | Evolution de la capacité de réaction partiellement fonction de $E_{ox}$ (selon le type de polarisation par unité de surface)   |
| $W_g$    | - | + | Largeur de grille à courant de drain comparable (In pour une fonction donnée)<br><br>(avec les conséquences que cela peut présenter par rapport à la surface du composant, aux valeurs des éléments parasites et à la consommation de la commande en conséquence...) |

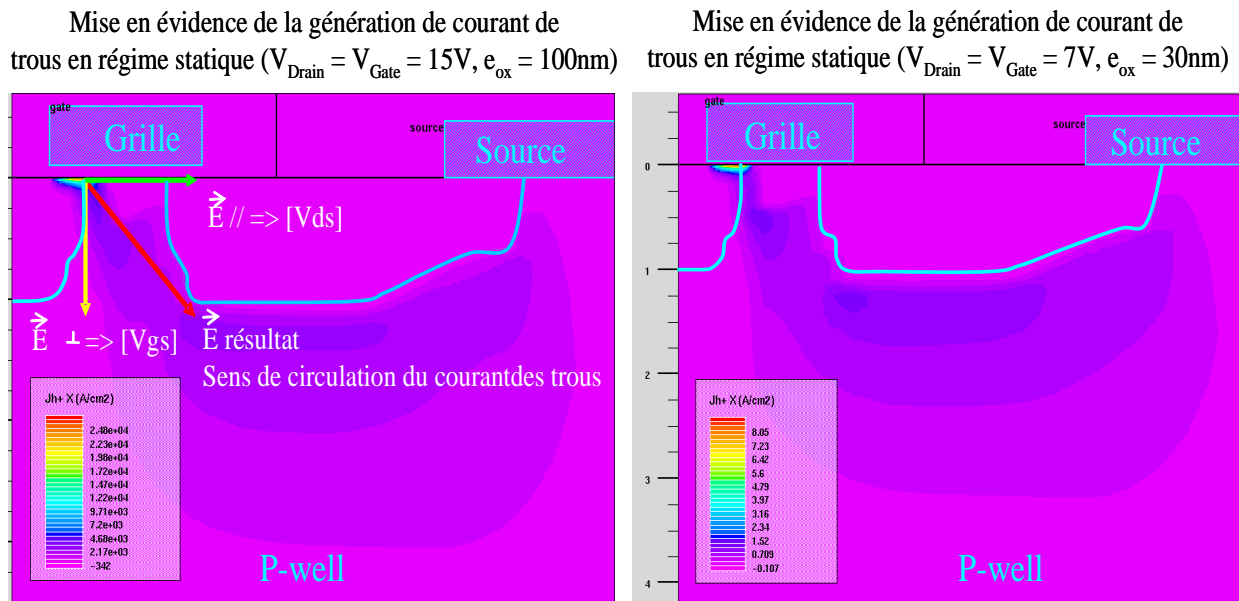
**Tableau IV-3.** Tendances du rapport  $E_{ox}/V_{lim}$  sur le N-MOS

L'analyse des résultats présents dans ce tableau montre que le composant de puissance est globalement insensible aux deux couples de valeurs  $E_{ox}/V_{lim}$ . Cela signifie que le composant vertical peut globalement se comporter de manière équivalente en statique et dynamique dans les deux cas de figure si sa commande est ajustée en conséquence.

Pour ce qui est du transistor latéral, les choses ne sont pas sans conséquence. Cela tombe bien puisque c'est précisément en ce sens que nous avons fait évoluer le couple  $E_{ox}/V_{lim}$ . Toutefois, si des effets positifs escomptés au niveau du composant latéral sont visibles, au niveau de la fonction et du bilan fonctionnel, cela n'est pas sans conséquence. Evaluons cela :

Tout d'abord, regardons les points bénéfiques. Au niveau de la tenue en tension, le nouveau point de fonctionnement nominal semble être avantageux. Les vues en coupe figure IV-16 relatent l'évolution du courant de trou sous polarisation nominale pour les deux cas. On voit que si la polarisation verticale stresse de manière identique la région de canal (ce qui est recherché), la composante latérale est plus faible et conduit à un niveau de courant de trou nettement plus faible (plus de trois décades de réduction).



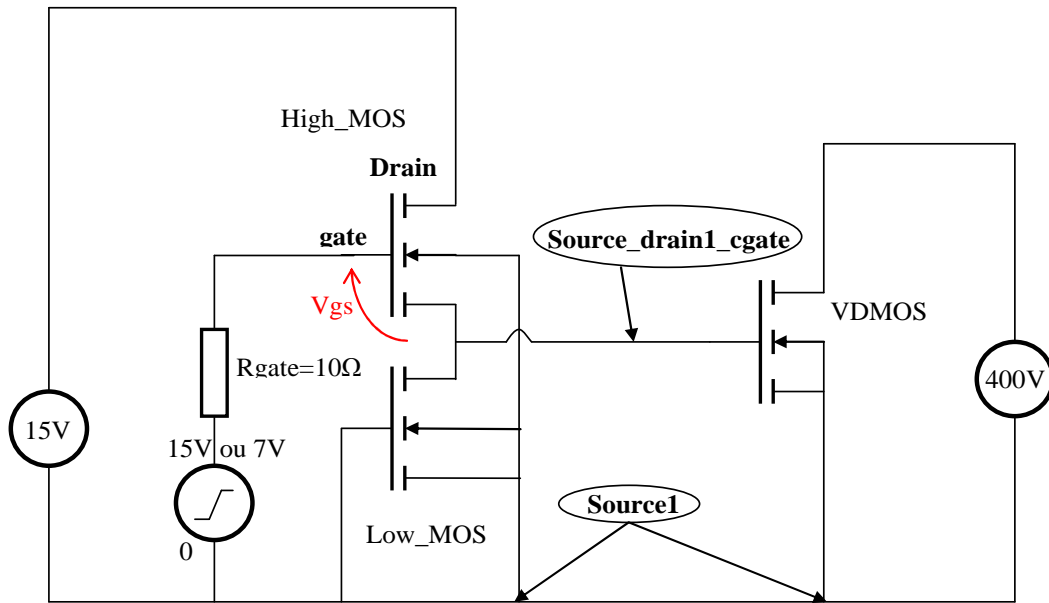


**Figure IV-16.** Zoom sur les densités de courant dans la région critique pour deux couples de valeurs  $E_{\text{ox}}/V_{\text{alim}}$  (simulations Silvaco-Atlas).

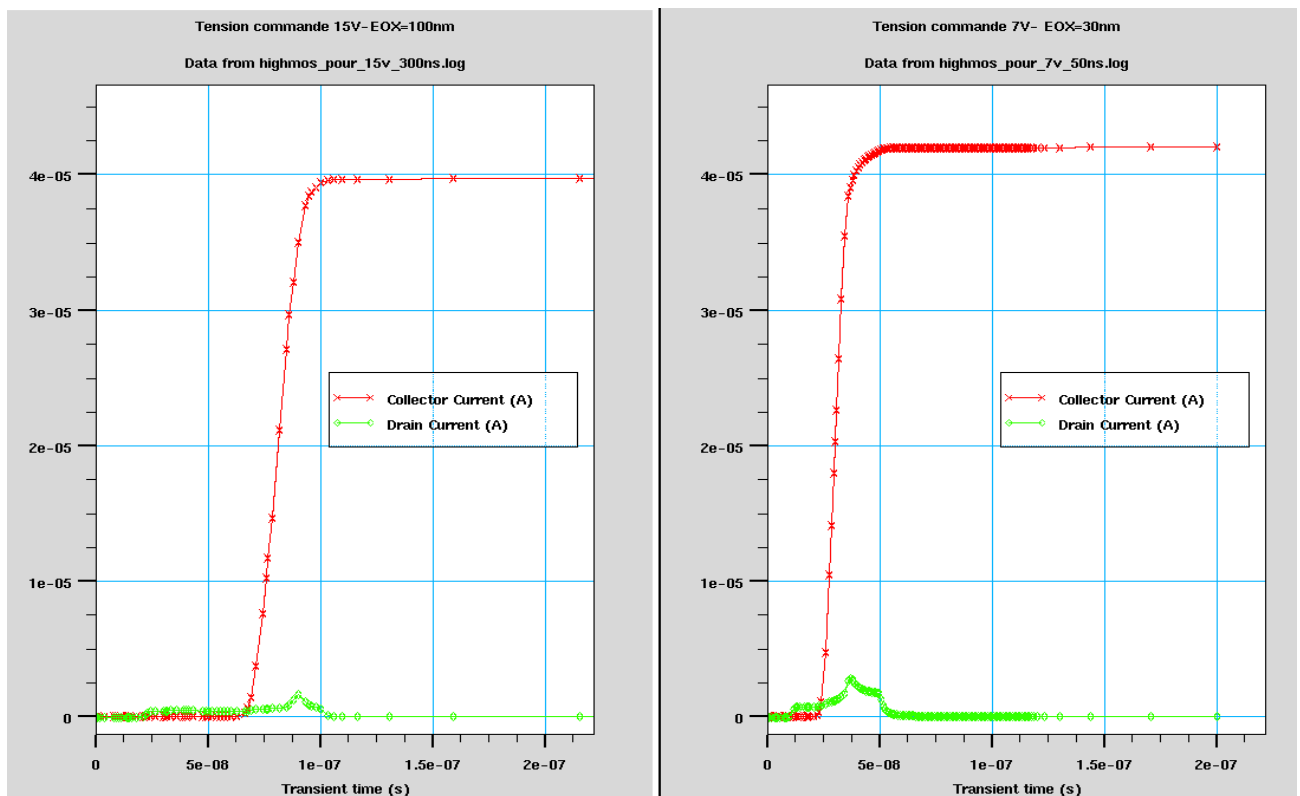
Par ailleurs, au niveau de l'effet de substrat, en valeur relative, la tension maximale de source sera elle aussi légèrement plus élevée. Cela signifie que le transistor de puissance sera mieux polarisé.

Par contre, compte tenu du fait que le canal conserve des propriétés identiques, cela signifie que pour véhiculer le même courant sous une tension d'alimentation réduite (de moitié environ), il faudra augmenter en conséquence la taille des transistors latéraux. Cela induira des augmentations de tailles et d'éléments parasites.

Globalement, les gains obtenus par modification du point de fonctionnement nominal des fonctions puissance et commande se paient par une augmentation de la taille de l'étage de sortie. Cette analyse semble au final assez positive. Afin de vérifier nos dires, nous avons jugé important de faire une vérification quantitative par simulation numérique. Cette simulation prend sa valeur dans le fait que les conclusions que nous allons en tirer seront le fruit de comparaisons relatives. Aussi, même en l'absence de validation expérimentale, on peut raisonnablement convenir des tendances qui apparaîtront. La figure IV-17 présente la topologie simulée et les dynamiques que nous avons imposées au système sous Silvaco-Atlas en Mixemode. Les deux relevés temporels figure IV-18 qui suivent présentent pour les deux couples de valeurs  $E_{\text{ox}}/V_{\text{alim}}$  quelles en sont les conséquences au niveau d'une réponse indicielle.



**Figure IV-17.** Topologie de la structure modélisée et simulée sous Silvaco-Atlas en Mixemode



**Figure IV-18.** Réponse temporelle de la structure à un ordre de fermeture du VDMOS pour deux valeurs Eox/Valim (structure modélisée et simulée sous Silvaco-Atlas en Mixemode).

Si le choix des conditions de simulation s'avère un peu malheureux, par un maintien des dynamiques de commande identique ( $dV/dt$  côté commande), on peut néanmoins extraire plusieurs points de ces relevés :

o-Le niveau du courant de drain du composant de puissance est comparable dans les deux cas. Cela signifie que le niveau d'inversion dans le canal du VDMOS est comparable.

o-La taille des NMOS est inchangée dans cette simulation. Du coup, pour compenser les différences de dynamiques de commutation du VDMOS, la dynamique de commande est multipliée par deux. Ce choix de simulation, quelque peu maladroit (car n'étend pas totalement clair et nécessitant plus de réflexions) permet toutefois de confirmer nos précédents dires.

Fort de ces résultats, nous avons fait évoluer le diagramme de cheminement du procédé technologique en ce sens. Par ailleurs, le nouveau couple  $E_{ox}/V_{lim}$  : 30nm/7V fut utilisé pour la des dispositifs de validation en fin de thèse (voir chapitre V). Nous allons maintenant passer sur le second point qui aborde la modélisation comportementale et environnementale du N-MOS.

#### **IV.4 Modèle environnemental d'un transistor N-MOS latéral intégré au sein d'un VDMOS à structure verticale**

L'outil de simulation 2D Silvaco [SILVACO] qui se base sur la résolution d'équations différentielles par la méthode des éléments finis permet, moyennant une description fine de la structure physique (profils de dopage, épaisseur d'oxyde, largeur des régions..), d'observer les principes et modes de fonctionnement ainsi que les caractéristiques statiques et dynamiques du dispositif décrit, au prix cependant, d'une description soignée en terme de maillage et d'une utilisation adaptée des modèles physiques et des paramètres correspondants. Il est tout à fait conseillé pour étudier un composant unique et la puissance de calcul qu'offrent aujourd'hui les ordinateurs permet de délivrer des résultats de bonne qualité en un temps raisonnable. Toutefois, ce mode de description et d'analyse devient assez vite lourd et limité lorsque l'on cherche à traiter un système complexe basé sur plusieurs composants. Il apparaît clairement à l'usage, que cet outil de simulation 2D n'est pas très bien adapté à la conception d'une fonction de commande intégrée au sein du composant de puissance, même s'il constitue un maillon indispensable de la chaîne de conception nécessaire au développement de telles fonctions.

De ce fait, la structure du transistor N-MOS en technologie VDMOS ainsi que la structure de la fonction intégrée sont décrits par ses schémas électriques équivalents pour en simplifier la conception et l'analyse. Les modèles seront décrits en VHDL-AMS (annexe III-B). Le résultat entre le modèle établi sera comparé avec celui issu de la simulation numérique avant l'étape de conception et de dimensionnement du composant latéral et de la commande.

Afin d'étudier le comportement, les caractéristiques et les performances des fonctions élaborées à partir des transistors N-MOS latéraux, nous devons reprendre, valider et approfondir les modèles comportementaux et environnementaux existants. C'est particulièrement nécessaire dans notre démarche compte tenu du fait que le transistor latéral que nous pouvons construire possède une structure très spécifique. De plus, son implantation au sein même du substrat de puissance, et cela via une structure auto-isolante par jonction PN polarisée en inverse, nous oblige à appréhender avec attention son environnement et les possibles conséquences ou conditions de fonctionnement induites par les couplages indésirables qui vont exister. Nous ne nous attarderons pas sur les travaux de modélisation de niveaux 1 et 2 qui décrivent le comportement de la source de courant et des effets parasites. En effets, ces points ont déjà fait l'objet de plusieurs travaux de modélisations et sont clairement admis [SZE 85]. Par contre, nous présenterons en détail l'analyse et le développement d'un modèle de niveau 3 qui rend compte de l'environnement dans lequel le composant est implanté.

Comme cela a été évoqué dans le premier chapitre, le transistor VDMOS se compose de 4 couches  $N^+/P/N_v/N^+$  en partant de la source en surface du jusqu'au drain en face arrière. L'intégration d'une structure N-MOS latéral au sein de cet empilement crée inévitablement un lien important entre la fonction interrupteur de puissance et celle signal ou commande au niveau du transistor latéral malgré la présence du joint de fonction. Dans cette partie, nous allons aborder l'analyse des interactions qui peuvent naître de la structure isolante imparfaite. Puis nous modéliserons le comportement des couplages et interactions qui auront été identifiés.

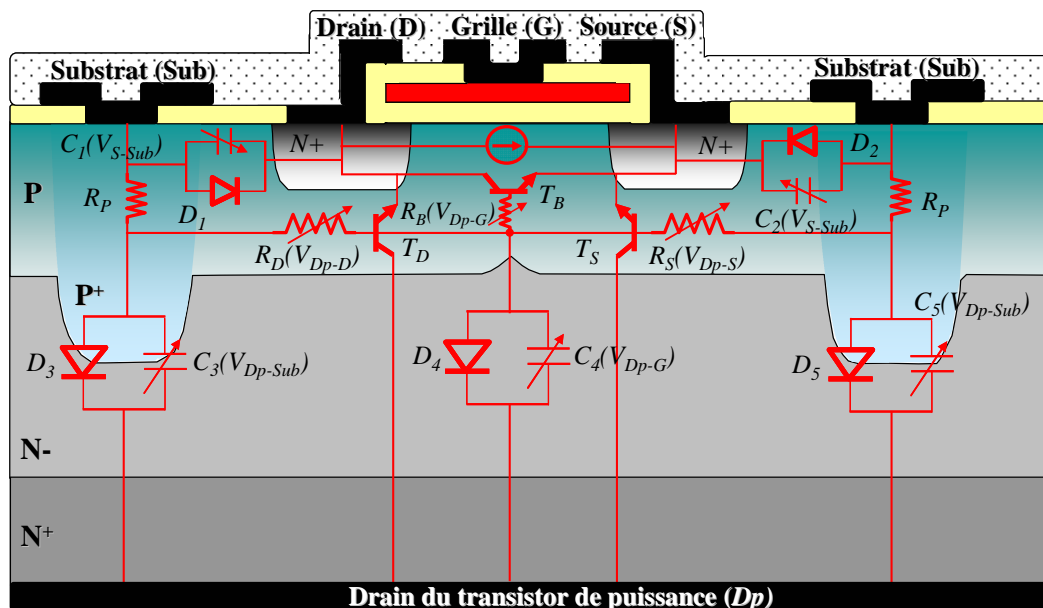
La figure IV-9 présente un transistor N-MOS dont la source du transistor latéral est flottante. Le potentiel du substrat du transistor est fixé et égal à celui de la source du VDMOS grâce à la prise de contact de substrat (voir figure IV-1).

Ces contacts jouent un rôle relativement important en garantissant le bon fonctionnement en statique ainsi qu'en dynamique de la fonction intégrée. Ils servent à fixer et à maintenir le potentiel du substrat du N-MOS au potentiel de la source du transistor de puissance. Dans ces conditions l'auto-isolation peut être garantie.

En régime statique, lorsque la diode de structure (diode body) du VDMOS laisse passer un courant (imposé par le circuit extérieur), les contacts de substrat assurent que ce courant ne soit pas dérivé au niveau de la zone active du N-MOS, ou encore que son passage n'engendre pas un niveau de polarisation indésirable. Pour ce faire, ils doivent être placés à des distances adéquates des caissons de Source et Drain du transistor latéral, le plus proche possible et en même temps suffisant loin pour ne pas altérer la tenue en tension latérales.

En régime dynamique, lors d'une variation importante  $dV_{DS}/dt$  induite entre drain et source du transistor de puissance, il apparaît un courant de déplacement (courant capacitif pour dépeupler ou repeupler en porteurs libres les zones correspondant à l'extension de la ZCE d'isolation) via des capacités de jonction :  $C_4(V_{Dp-G})$  (Voir figure IV-19). Ce courant capacitif peut éventuellement activer des transistors bipolaires verticaux parasites  $T_D$  et  $T_S$ . Ce courant, en circulant dans la région de porte canal qui est résistive (résistances  $R_D(V_{Dp-D})$ ,  $R_D(V_{Dp-S})$  et  $R_D(V_{Dp-G})$ ), peut induire une chute de tension et modifier les potentiels attendus au niveau du composant latéral. Par exemple, une fois que la chute de tension, entre base-émetteur du transistor bipolaire latéral parasite, dépasse la valeur critique (de l'ordre 0,7V) une dérive en courant de commande pourrait être induite sans commande au niveau de l'électrode de grille ! L'activation de ce dernier créerait un courant non contrôlé par la grille du transistor latéral comme présenté dans §IV.1.2. Aussi, les contacts de substrat doivent être placés régulièrement et correctement pour favoriser l'évacuation des charges tout en réduisant au maximum les conséquences de leur transit à travers les régions de porte canal des transistors latéraux.

La cohabitation entre le composant latéral et le composant de puissance VDMOS donne lieu à d'autres composants parasites qui sont présentés dans la figure IV-19. Ils peuvent être agencés pour former un modèle comportemental équivalent qui rend compte au mieux des interactions et couplages entre les différentes régions et fonctions présentes au sein de la puce. On peut alors aboutir à un modèle équivalent de niveau trois qui tient compte de l'environnement de la fonction intégrée.

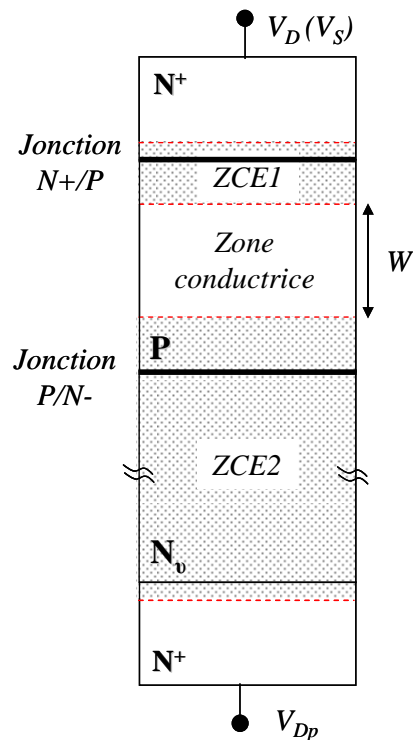


**Figure IV-19.** Schéma équivalent décrivant les interactions puissance commande au sein d'un VDMOS auto-isolé

Ce modèle équivalent est composé des éléments suivants qui représentent les comportements électriques et physiques suivants :

- Le transistor N-MOS peut être représenté par :
  - Une source de courant reliant son drain et sa source, commandée par  $V_{GS}$ .
  - Un transistor bipolaire latéral formé par l'empilement drain-substrat-source.
  - Un modèle à cinq capacités parasites propre au transistor latéral.
- Les diodes  $D_3$  et  $D_5$  formées par les caissons de prise de contact du substrat du NMOS et le Drain ( $D_P$ ) du transistor de puissance en parallèle avec des capacités de jonction  $C_3(V_{D_P-Sub})$  et  $C_5(V_{D_P-Sub})$ . Ces diodes représentent le comportement de la jonction PN sous les régions de drains de charges. En polarisation inverse (en fonction auto-isolante), ces diodes deviennent de simples capacités de jonctions et sont à l'origine de possibles courants capacitifs lorsque les jonctions subissent des  $dV/dt$ . Pour plus de précision, le courant de fuite de la jonction PN peut également être pris en compte.
- La diode  $D_4$  et la capacité de jonction  $C_4(V_{D_P-G})$  montre l'influence du Drain ( $D_P$ ) du transistor de puissance sur le transistor latéral. Cette diode représente le comportement de la jonction PN sous les régions drain-source-grille du transistor latéral. Le modèle, dans cette configuration, présente un majorant des perturbations en localisant l'élément parasite au centre de la structure.
- Transistors bipolaires verticaux  $T_D$  et  $T_S$  dues aux trois couches verticales en alternance N+/P/NuN+ du côté du drain et de la source du transistor latéral. Ces transistors matérialisent uniquement le possible effet transistor bipolaire qui peut apparaître lors d'une polarisation en direct entre base et émetteur de chacun d'eux. La modélisation ne considère que les cas de fonctionnement du transistor en régime de plateau car seul ce régime semble pouvoir exister dans les configurations dans lesquelles nous utilisons le composant.
- Note : Pour l'ensemble de ces composants à structure verticale, nous n'avons pas pris en compte la modélisation des régimes extrêmes tels que l'avalanche et ses conséquences. Ces travaux de modélisation font l'objet d'une thèse en cours au laboratoire [ROUGER 08].
- Les résistances parasites  $R_p$  des drains de charge. Ces résistances matérialisent la partie résistive des régions P+ des drains de charges. Elle est augmentée de la résistance de contact entre le silicium dopé P et le métal.

- Des résistances variables  $R_D(V_{Dp-D})$  et  $R_S(V_{Dp-S})$  de la zone conductrice existant entre la ZCE de la jonction N+/P du drain (ou source) du transistor latéral et la ZCE de la jonction P/N- du transistor vertical VDMOS (figure IV-20).



**Figure IV-20.** Zone conductrice entre les deux ZCE des deux jonctions N<sup>+</sup>/P et P/N<sup>-</sup>

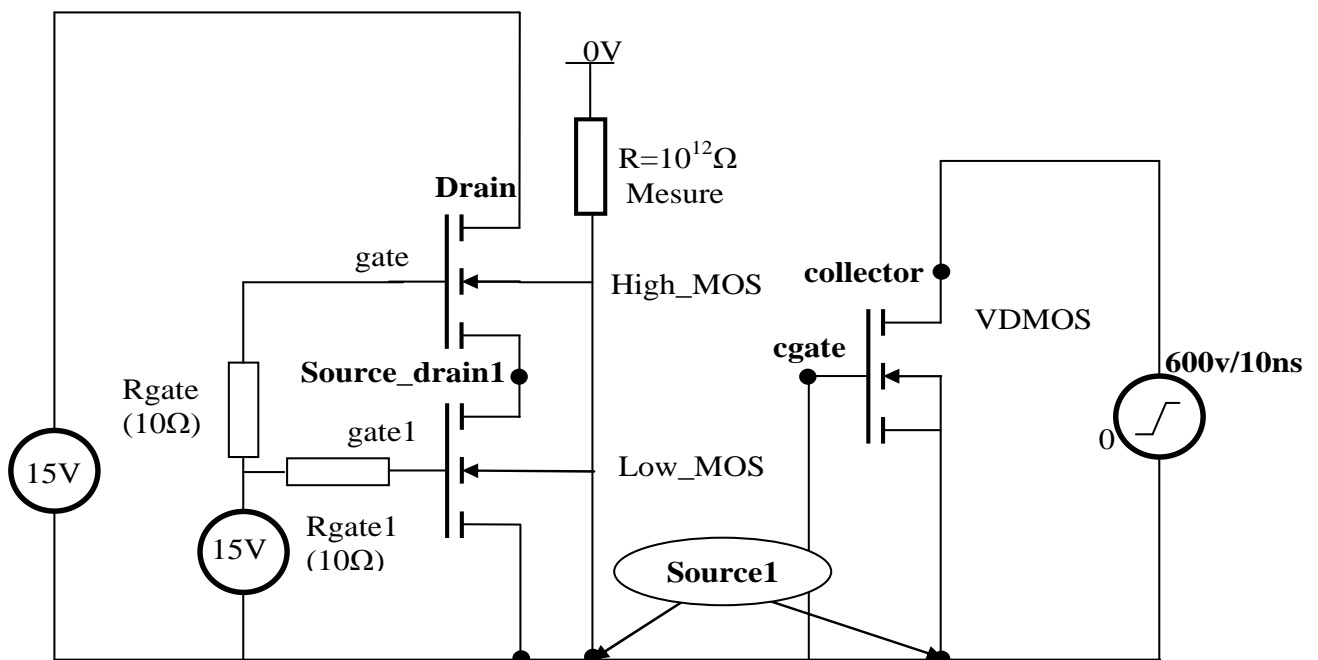
Cette résistance est fortement variable en fonction des potentiels présents aux bornes des diverses jonctions. Là aussi, la représentation localisée conduira à majorer les perturbations et couplages possibles.

L'approche de modélisation multi-niveaux peut facilement être mise en œuvre en langage VHDL-AMS. C'est par ailleurs le langage qui a été retenu pour la modélisation physique et comportementale au niveau de notre plateforme "Conception Assistée et Prototypage des Systèmes Intégrés sur Silicium" (CAPsis [VINCENT 08]). L'implémentation sous **Simplorer** et **Cadence** a été conduite sans problème majeur même si malheureusement la compatibilité entre les deux outils de simulations n'a pu être vérifiée.

Le modèle ainsi développé nous a permis d'étudier un certain nombre de phénomènes électriques, en particulier au niveau des couplages entre les éléments liés à la commande en surface et la fonction puissance verticale.

## IV.5 Mise en œuvre des modèles et étude de viabilité de la fonction intégrée

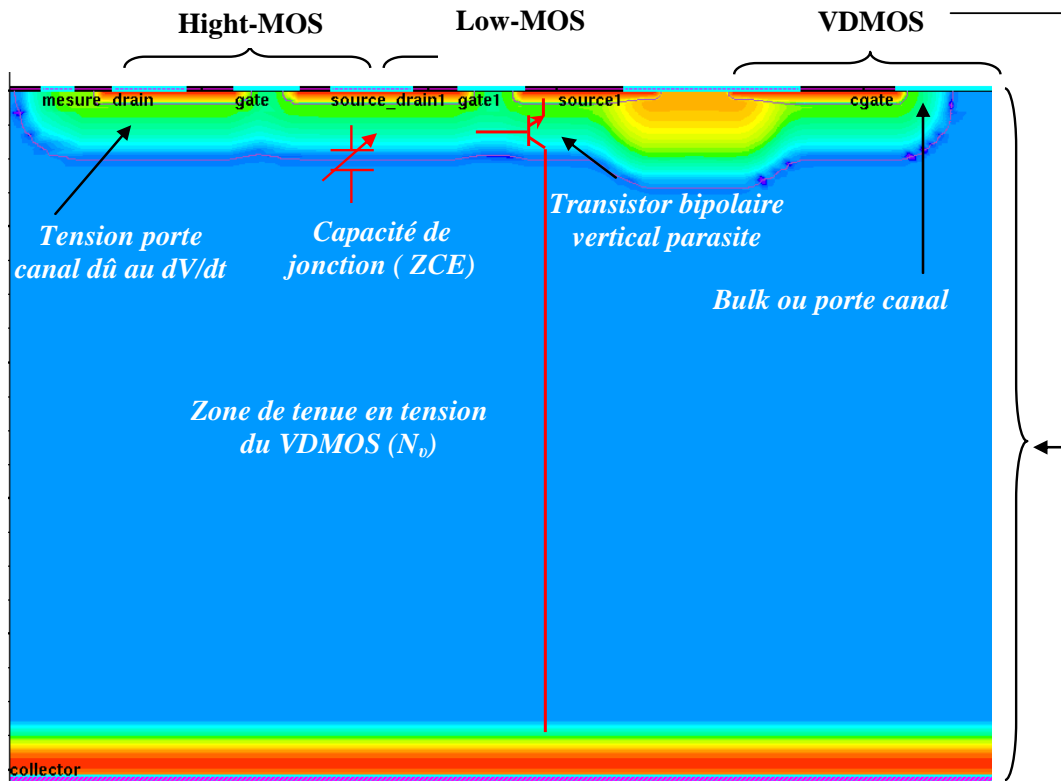
Afin de bien comprendre les différents phénomènes mis en jeu dans cette structure intégrée, nous l'avons modélisée sous Silvaco-Atlas et Mixedmode. La topologie de la structure étudiée est présentée figure IV-21 ci-dessous. Dans cette structure, on retrouve une cellule de puissance et une cellule latérale représentant l'étage de sortie de la partie commande du composant de puissance. On notera que l'ensemble de ces simulations fut conduit en désactivant la prise en compte de certains phénomènes physiques comme l'ionisation par impact, afin de se concentrer sur les points importants à étudier.



**Figure IV-21.** Topologie de la structure modélisée et simulée sous Silvaco-Atlas en Mixemode

La figure IV-22 présente une vue en coupe de la structure monolithique au sein de laquelle nous avons étudié les interactions. En effet, si la proximité favorise clairement la réduction des perturbations électromagnétiques (en réduisant les couplages inductifs), elle augmente fortement les couplages de type capacitif, tout spécialement dans notre cas. Dans notre cas d'étude, la partie commande est découplée électriquement de la partie puissance, sous entendu, la commande de la partie puissance est extérieure au dispositif. Cela fut conduit afin de ne pas boucler le système et créer des contre réactions pouvant rendre l'analyse plus complexe. Le bouclage sera abordé plus loin dans cette partie, lors d'une phase de validation finale des analyses et efforts de modélisation conduits.





**Figure IV-22.** Vue en coupe de la structure modélisée et simulée sous Silvaco-Atlas en Mixemode

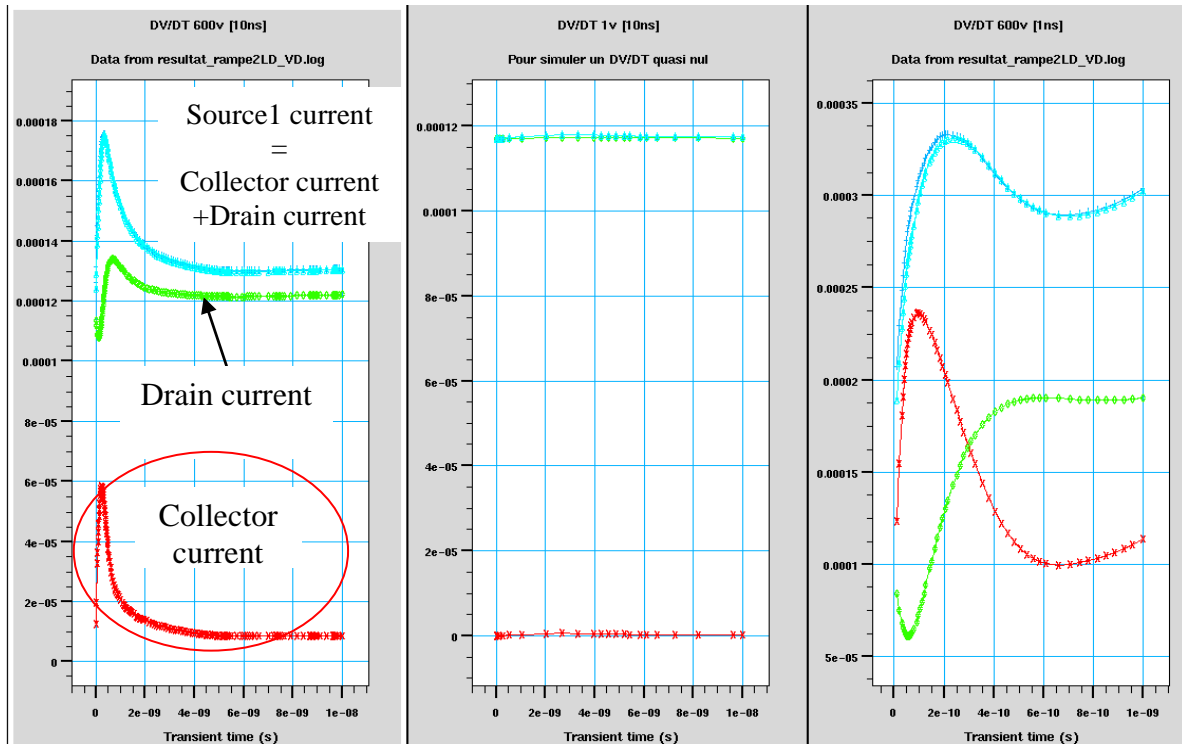
Nous avons donc étudié une configuration statique dans laquelle il est apparu que très peu de couplages étaient visibles, quelque soit le potentiel statique de la partie puissance. Cette première remarque peut paraître évidente puisque en statique les couplages capacitifs ne véhiculent pas de courant. Néanmoins, dans le cas des dispositifs intégrés à partir de jonctions PN polarisées en inverse, la ZCE s'étend dans le caisson porte canal et la montée en tension peut induire une modification comportementale du substrat, ce qui ne s'avère pas être notre cas dans la présente configuration.

Pour ce qui est d'une configuration dynamique, nous avons conduit une série de test en simulation pour identifier la gamme dans laquelle, les dynamiques de commutation en tension du transistor de puissance pouvaient induire des variations de courant ou de tension au niveau de la partie commande.

Les résultats des simulations temporelles sont présentés **figure IV-23** pour plusieurs cas:

- **À gauche**, un  $dV/dt$  de 600V/10ns, de forte amplitude et de longue durée ( $dV/dt$  moyen)
- **Au centre**, un  $dV/dt$  de 1V/10ns, de faible amplitude et de longue durée ( $dV/dt$  faible)

- À droite, un  $dV/dt$  de  $600V/1ns$ , de forte amplitude et de courte durée ( $dV/dt$  important)
- Le courant nominal circulant dans le drain compte tenu des diverses polarisations est de  $120\mu A$ , celui du collecteur étant négligeable.



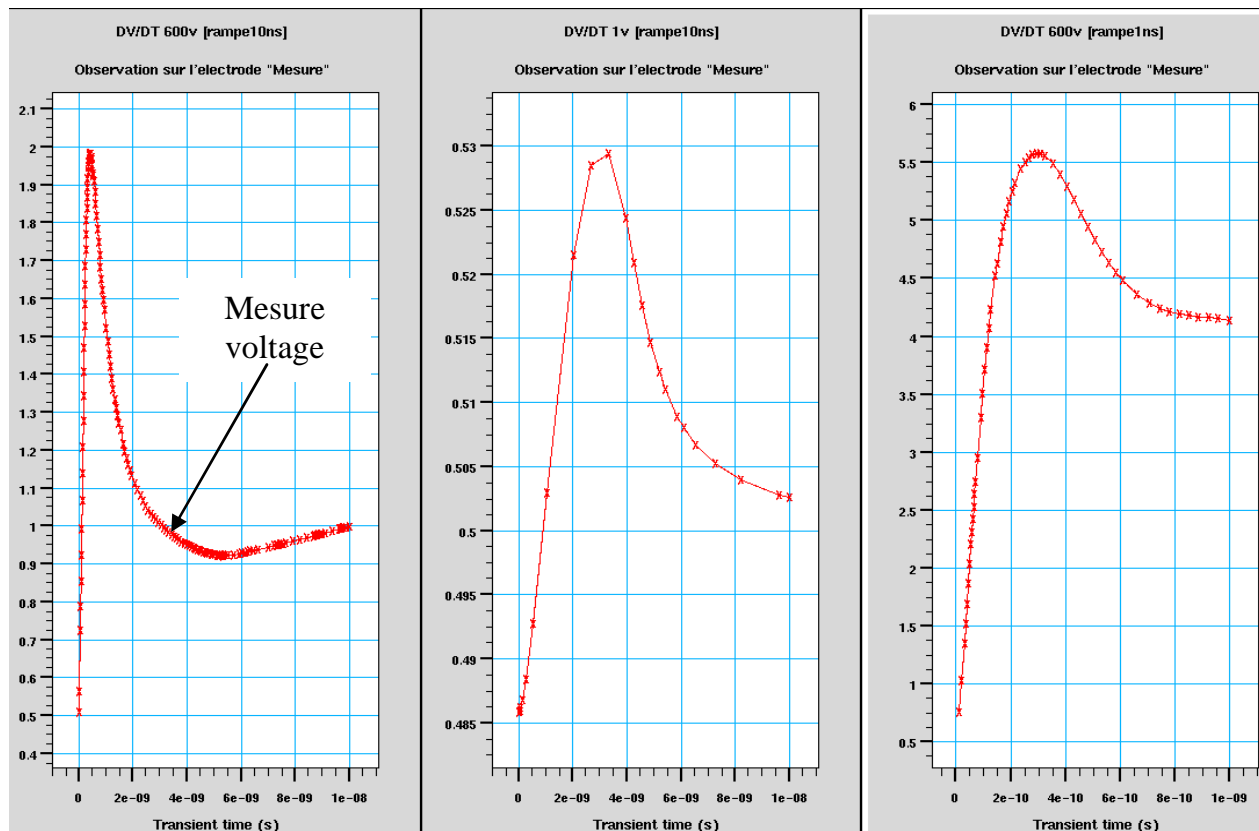
**Figure IV-23.** Effets de plusieurs  $dV/dt$  sur certaines grandeurs électriques de la structure (structure modélisée et simulée sous Silvaco-Atlas en Mixemode).

L'analyse de ces résultats numériques montre que le niveau du  $dV/dt$  est important et que ce dernier conditionne le niveau des perturbations induites. Par ailleurs, nous avons identifié que le  $dV/dt$  devait être d'une durée assez faible sans quoi aucun phénomène d'accumulation de charge ne peut apparaître.

Pour les  $dV/dt$  de faibles amplitudes, on peut remarquer qu'ils induisent peu de conséquences sur les niveaux des courants de drain et de source1 (voir figure IV-21). Lorsque l'amplitude et la valeur du  $dV/dt$  augmentent, des perturbations sur les niveaux de courant apparaissent. Figure IV-23 à gauche, on peut voir une légère augmentation du courant de drain. Après analyse, il apparaît que cette augmentation est conditionnée par la circulation d'un courant collecteur capacitif. On remarque bien l'évolution exponentielle décroissante de ce courant, évolution représentative de la charge d'une capacité de jonction (non linéaire). La circulation de ce courant engendre une modification du potentiel de substrat porte canal (nous le démontrerons plus loin) induit par la résistance du P pincé de ce même porte canal, le tout induisant dans des proportions

non identifiées un effet de substrat au niveau des transistors latéraux et une polarisation parasite de l'une des structures bipolaires parasites verticales.

Lorsque le  $dV/dt$  est encore augmenté par réduction de sa durée comme le montre la figure IV-23 à droite, l'amplitude du courant collecteur induit devient importante et la présence de celui-ci induit des phénomènes perturbateurs importants. En particulier, on peut observer une augmentation, avec stabilisation, de plus de 50% du courant de drain. Nous considérons que les perturbations induites génèrent de fortes variations de potentiels au niveau du substrat porte canal. Cela est validé par l'observation du potentiel "mesure" situé à l'extrémité du substrat porte canal comme on peut le remarquer sur la figure IV-22. La figure IV-24 ci-dessous présente, pour les différents cas d'études, l'évolution de ce potentiel.

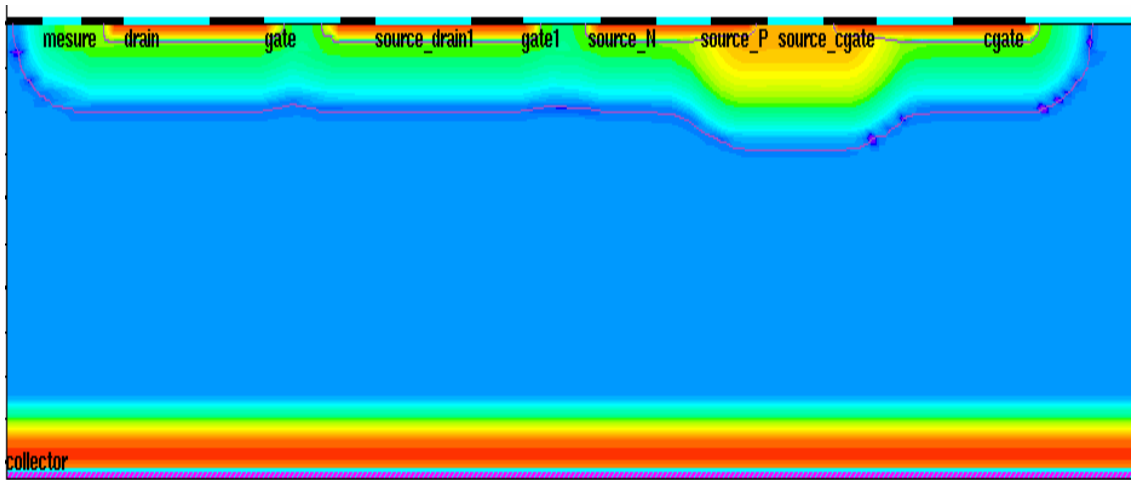


**Figure IV-24.** Evolution du potentiel "mesure" pour plusieurs sollicitations dynamiques du substrat de puissance.

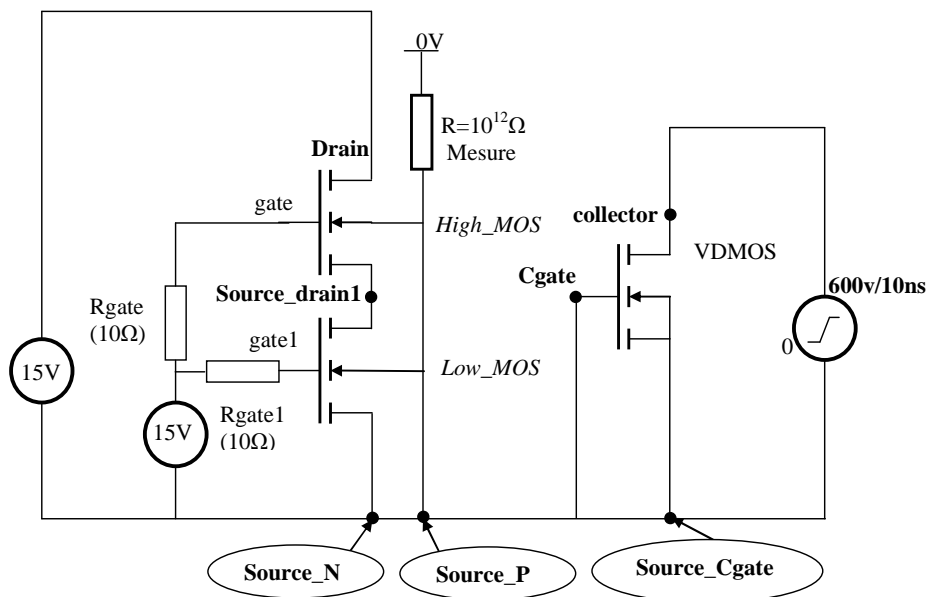
Comme on peut le voir sur ces résultats numériques, le potentiel "mesure" est bien loin d'être maintenu au potentiel de référence ( $Source1 = 0V$ ). Cela vient bien évidemment de la circulation des charges au niveau du porte canal, charges produites par les effets capacitifs au niveau de la structure verticale, et transitant via ce même substrat porte canal jusqu'au drain de charge situé au niveau du court circuit du VDMOS. Ce parcours, pincé entre deux jonctions est suffisamment

résistif pour induire des chutes de potentiels importantes et modifier le niveau de polarisation du substrat porte canal.

Afin de bien visualiser cela, nous avons modifié la structure étudiée en insérant deux contacts supplémentaires. Ces contacts se situent au niveau du drain de charge. Source1 fut discrétisée pour identifier le courant issu de la structure latérale **source\_N**, le courant issu du transistor vertical **Source\_cgate** et le courant pouvant venir du caisson P porte canal **source\_P**. Les figures IV-25 et IV-26 ci-dessous présentent les contacts sur la topologie et sur la vue en coupe de la structure modifiée.

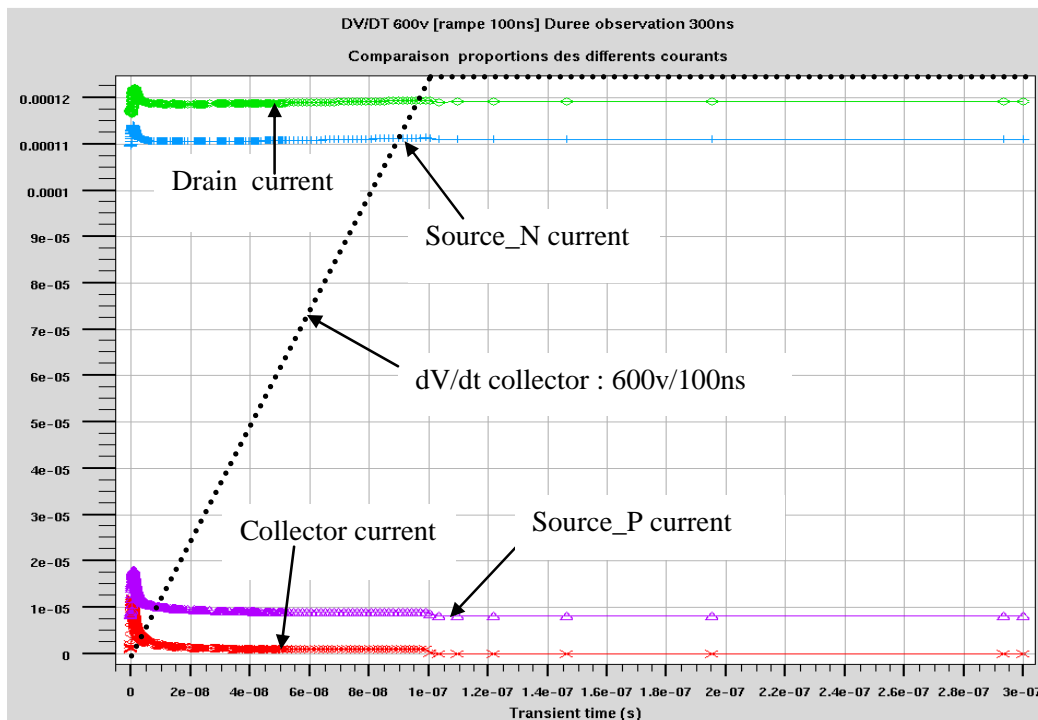


**Figure IV-25.** Vue en coupe de la structure étudiée avec séparation du contact de court-circuit de source.



**Figure IV-26.** Topologie de la structure avec les différents contacts au niveau du potentiel de référence

Il est à noter que le courant transitant via l'électrode **Source\_P** est un courant de trous provenant du dépeuplement de la jonction PN verticale, de plus en plus polarisée en inverse. Ce courant est fortement non linéaire car l'évolution du potentiel aux bornes de la jonction produit des variations de charges coté P fortement non linéaires pour plusieurs raisons que sont la structure asymétrique de la jonction, le profil non constant des dopants coté P et enfin, la structure tronquée de la jonction PN. Les résultats sont consignés dans les figures suivantes.



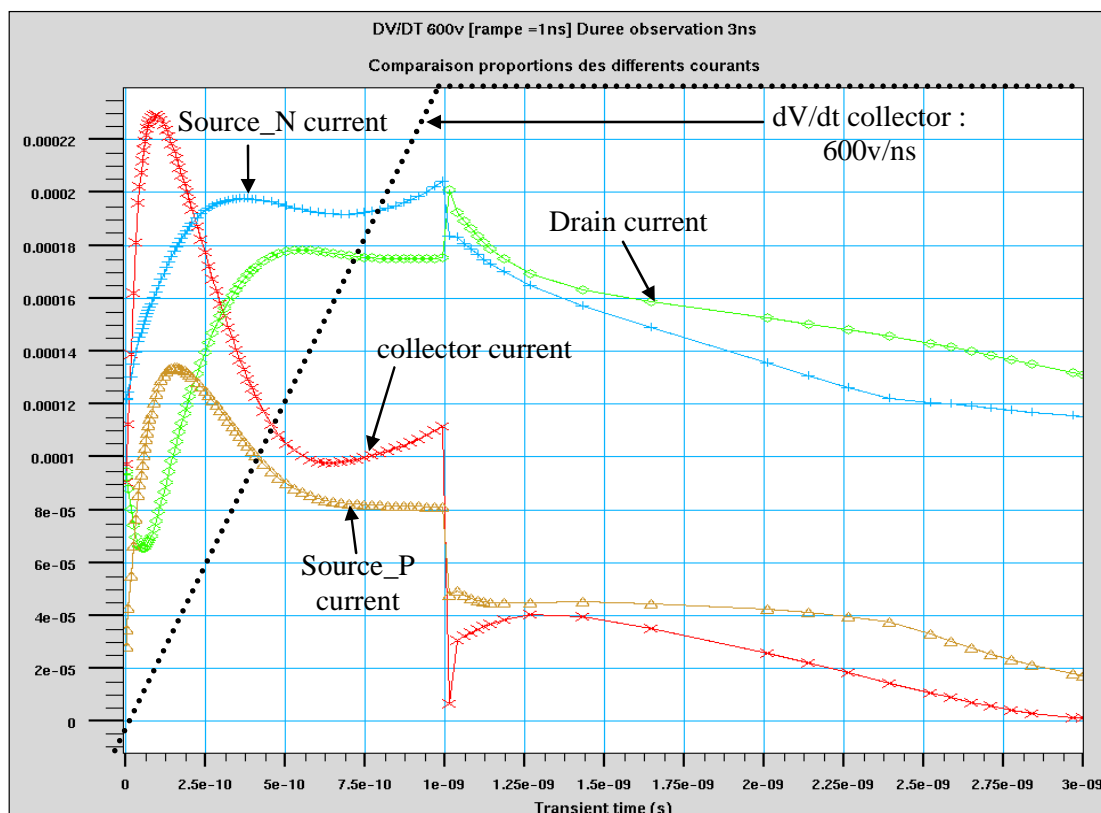
**Figure IV-27.** Evolution des courants traversants les divers contacts du potentiel de référence pour un  $dV/dt$  de 6V/ns

On voit tout d'abord que si le  $dV/dt$  est faible : 6V/ns, peu d'effets sont visibles. Le courant collecteur reste faible et réellement représentatif du  $dV/dt$ . Il en est de même du courant **Source\_P** qui lui aussi varie légèrement avec le  $dV/dt$ . On peut noter un pic de variations des courants Drain et **Source\_N** au tout début du  $dV/dt$  lorsque les capacités parasites sont importantes. Celles-ci sont fortement liées à l'effet de substrat induit.

On applique un  $dV/dt$  important de 600V/ns sur l'ensemble de la structure intégrée. Il apparaît comme prévu des variations de courant importantes au niveau des courants circulants dans les transistors latéraux (voir figure IV-28). On constate une forte augmentation du courant collecteur dès le début du  $dV/dt$ . Cette augmentation correspond au courant capacitif, important au début du  $dV/dt$  puis, devenant plus faible. Toutefois, ce courant collecteur ne correspond pas exclusivement à un courant de **Source\_P** comme cela devrait être le cas si le courant était seulement capacitif ! Que devient le reliquat de charges issues du dépeuplement de ZCE Source-

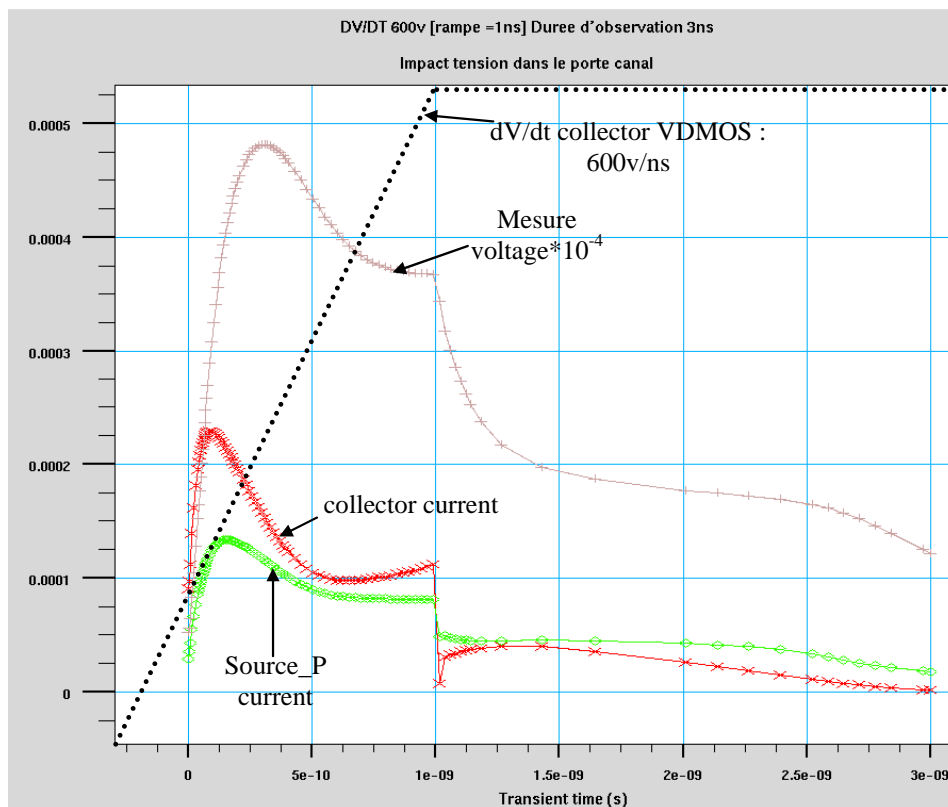
Collecteur ? Par ailleurs, à la fin du  $dV/dt$ , après 1ns, on peut constater le maintien d'un courant collecteur et d'un courant de **Source\_P**. Cela signifie sans confusion possible que le courant capacitif du  $dV/dt$  a donné naissance à un courant issu d'une ou plusieurs composantes bipolaires parasites inhérentes à la structure. Cette approche permet d'interpréter l'ensemble des courbes présentées sur le graphique. En effet, l'écart entre le courant collecteur et le courant **Source\_P** durant le  $dV/dt$  correspond à la charge stockée dans les bases des transistors bipolaires parasites. Cette charge stockée initie la circulation d'un courant d'émetteur qui se retrouve être la différence entre le courant de Drain et le courant de **Source\_N**. Le courant de Drain et de **Source\_N** est par ailleurs augmenté par un effet de substrat introduit par la circulation de charges dans la région de base (porte canal des transistors latéraux).

À la fin du  $dV/dt$ , le courant collecteur est maintenu tant que des charges restent stockées dans les bases des transistors parasites. Celles-ci sont retirées petit à petit à travers le courant **Source\_P** qui persiste et qui représente bien l'évacuation de charges stockées suite au  $dV/dt$ . Ce même déstockage de charge dans la région de base conduit à la circulation d'un courant base émetteur qui tend à réduire le courant de **Source\_N**. L'explication physique fournie semble donc en accord avec les tendances affichées par l'ensemble des courants.



**Figure IV-28.** Evolution des courants traversants les divers contacts du potentiel de référence pour un  $dV/dt$  de  $600 \text{ V/ns}$

L'observation du potentiel « **Mesure** » placée à l'extrémité du substrat porte canal vient corroborer nos dires. En effet, On peut facilement remarquer la forte élévation de potentiel, proche de 5V en bout de caisson sur la figure IV-29. Cette élévation de potentiel induit l'effet de substrat déjà traité mais elle peut aussi engendrer une polarisation en direct des transistors bipolaires parasites présents dans la structure intégrée. Cette polarisation directe peut paraître un peu excessive ! Néanmoins, il ne faut pas oublier que les caissons  $N^+$  des différents transistors latéraux sont également à des potentiels variables selon leurs propres conditions de mise en œuvre. Ainsi, le drain du transistor "high-side" sera polarisé au potentiel de l'alimentation de commande et la source du transistor "low-side" sera polarisée au potentiel de référence. Ainsi, en fonction des diverses conditions de polarisations latérales et verticales, on peu aboutir à certains phénomènes parasites problématiques.

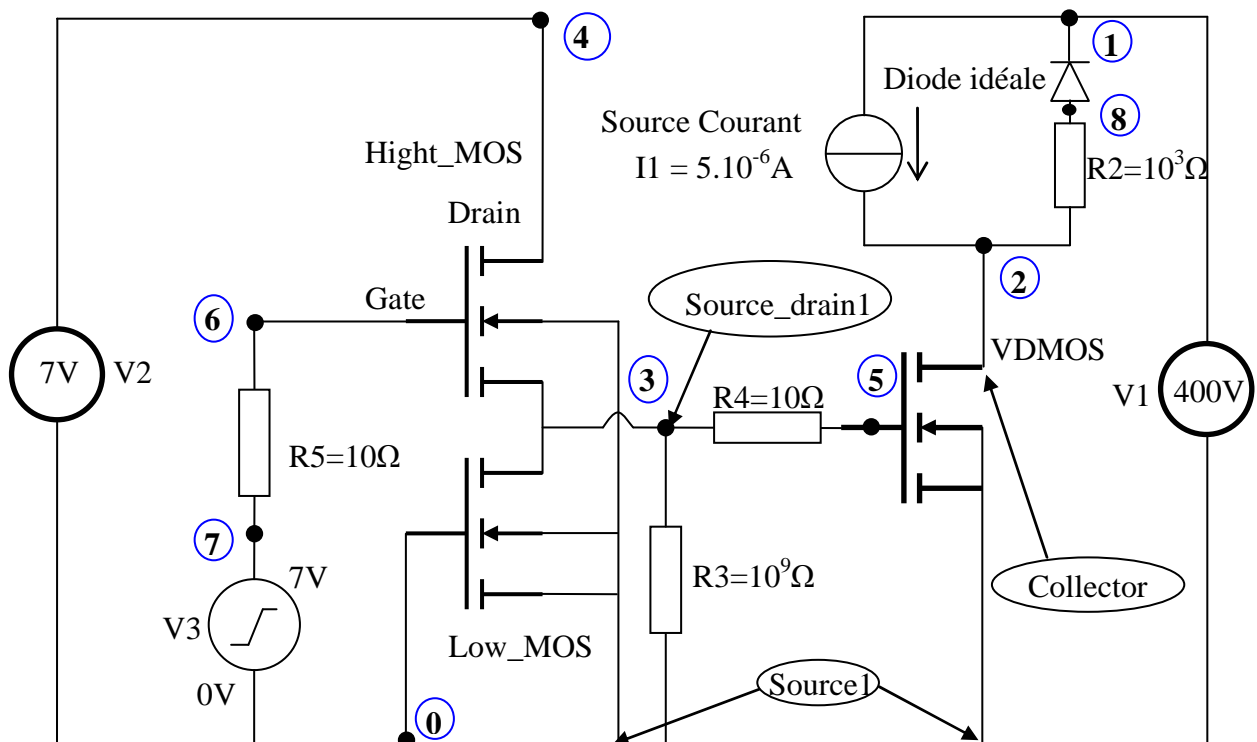


**Figure IV-29.** Evolution de certains courants et du potentiel "mesure" pour un  $dV/dt$  de 600V/ns

A ce stade, il devient difficile de faire une analyse plus fine de qui fait quoi et quelle région plutôt qu'une autre pose un problème. En effet, notre outil de simulation ne permet pas de réaliser des cartographies en coupe présentant le comportement dynamique de la structure. De fait, à ce stade, il nous faudra coupler notre analyse avec un outil de simulation à phénomènes localisés pour tenter d'élucider à précision le comportement parasite de la structure et ses conséquences sur le bon fonctionnement du dispositif.

## IV.6 Comparaison des modèles analytiques et numériques

Nous allons finaliser ce chapitre "analyses et modélisations" par une rapide comparaison simulation numérique/simulation analytique. La structure considérée consiste en un ensemble composant de puissance – étage de sortie de commande rapproché, le tout fonctionnant au sein d'une structure hacheur série. Les caractéristiques de la structure verticale sont inchangées si ce n'est l'épaisseur de l'oxyde de grille fixée à 30nm. La tension d'attaque de l'étage de sortie évolue de 0 à 7V en 100ns, ce qui correspond à une commande classique assez lente. Coté puissance, la tension d'alimentation est de 400V et le courant circulant dans la cellule de commutation correspond à celui pouvant circuler dans notre structure intégrée pour une profondeur de 1 $\mu$ m. La topologie complète est décrite ci-après figure IV-30 avec les différents points de mesures disponibles. Il est à noter que pour ce travail de simulation final, nous avons considéré une simulation à la fermeture au niveau du composant de puissance. Cela signifie que le dV/dt appliqué au niveau de la structure intégrée est négatif.

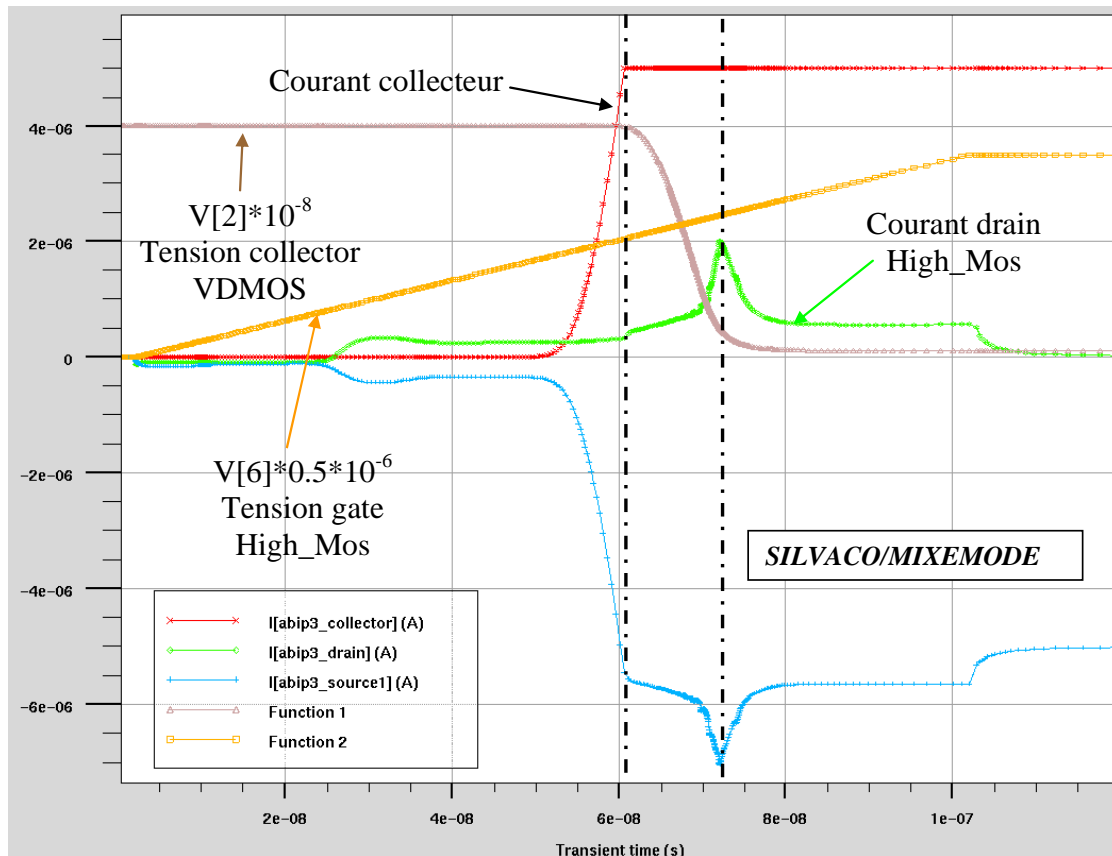


**Figure IV-30.** Topologie de la structure « hacheur série » simulée sous **Silvaco-Atlas en Mixemode**

La simulation **Silvaco-Atlas en Mixemode** donne le résultat temporel présenté figure IV-31. On peut remarquer la commutation des grandeurs électriques coté puissance. Celles-ci sont conformes à celles que l'on peut attendre de ce type de structure (quelque peu idéalisée). On

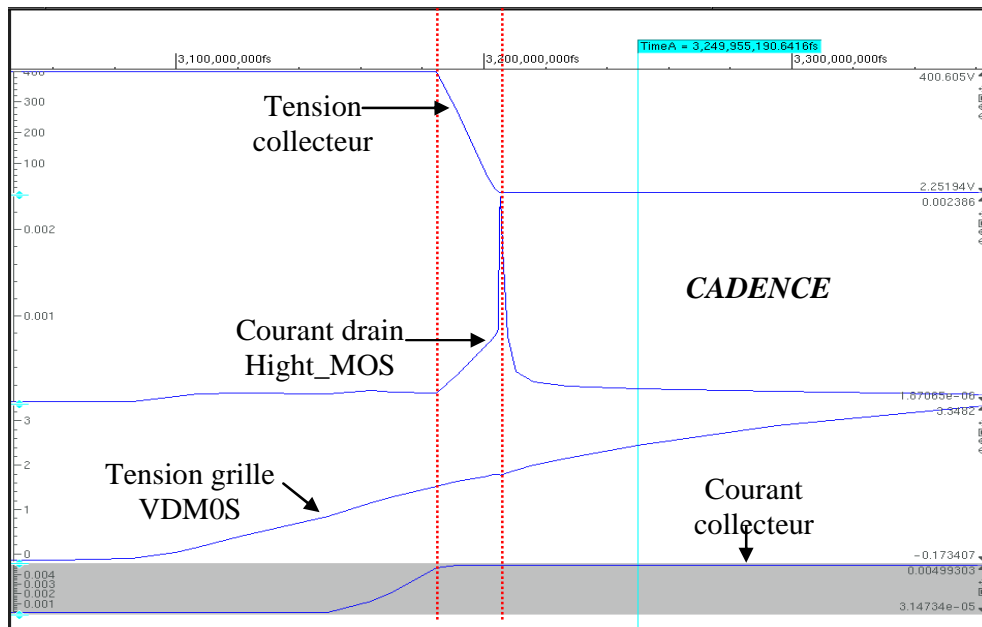


peut remarquer le courant de la partie commande (en vert sur le graphique). Ce courant passe par un pic lorsque l'interrupteur se ferme et en particulier lorsque la tension aux bornes de l'interrupteur de puissance devient faible. Ici encore, la tension en diminuant fait apparaître un effet capacitif de plus en plus important qui tend à créer des perturbations assez importantes. Mais avant tout, ce pic est lié à une phase de plateau au niveau du transistor de puissance (cela est bien visible dans les courbes de simulations temporelles qui suivent).



**Figure IV-31.** Résultats de simulation numérique sous Silvaco présentant une commutation au blocage de la structure intégrée au sein d'une structure hacheur série

La simulation analytique est présentée figure IV-32. On peut voir que, qualitativement, les formes d'ondes sont assez comparables. Au niveau des grandeurs, la correspondance est aussi correcte. Nous considérons que les deux types de résultats de simulations étant comparables, nous pouvons commencer à utiliser l'outil de modélisation analytique pour étudier et concevoir des fonctions intégrées plus complexes et pouvant tenir compte des divers niveaux de modélisation et de description des phénomènes parasites. C'est ce que nous ferons dans le dernier chapitre de cette thèse.



**Figure IV-32.** Résultats de simulation analytique sous Cadence présentant une commutation au blocage de la structure intégrée au sein d'une structure hacheur série

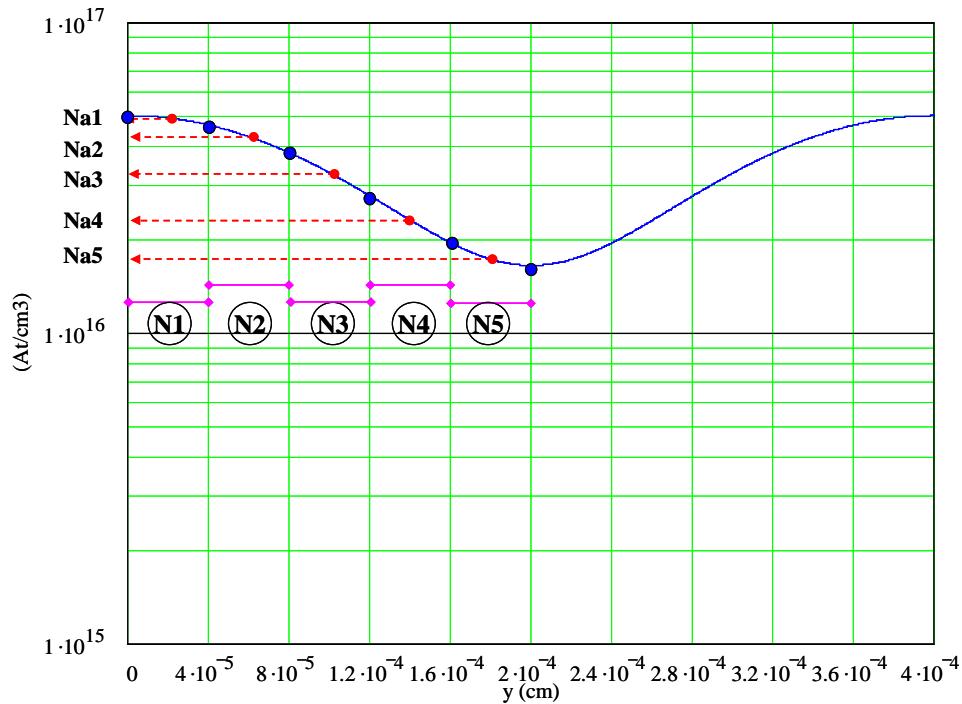
Pour finaliser notre travail d'analyse et de modélisation, il reste à aborder le cas du transistor N-MOS à tension de seuil réduite conçu à partir du procédé technologique de puissance. C'est ce que nous allons voir dans le dernier paragraphe de ce chapitre.

## IV.7 Présentation et modélisation du N-MOS à tension de seuil réduite

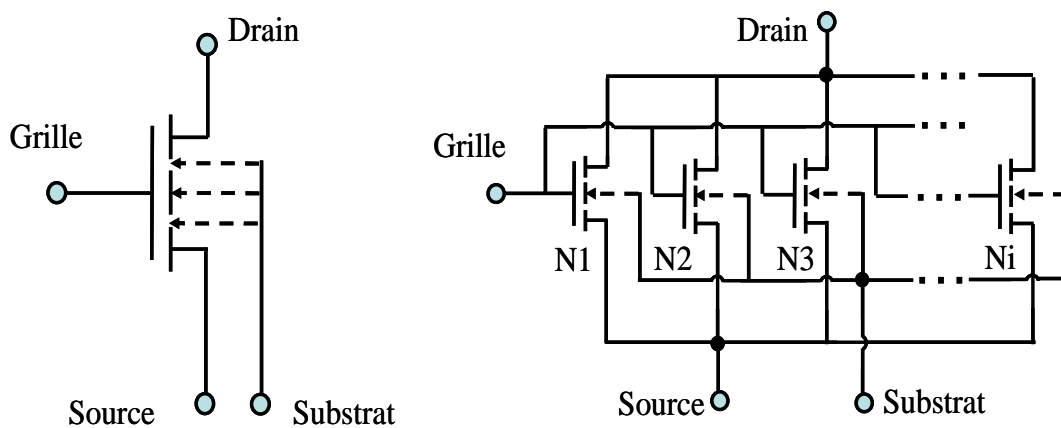
Le N-MOS à tension de seuil réduite est une structure originale qui peut être fabriquée à partir du procédé technologique de puissance employé pour "synthétiser" les composants de surface. En exploitant la structure du porte canal sous la grille des composants latéraux (comme nous l'avons vu précédemment), nous pouvons accéder à des concentrations plus faibles au niveau des jonctions. Le transistor se présente alors comme un ensemble de canaux homogènes parallèles dont les concentrations et les tensions de seuil diffèrent en fonction de la position relative du canal considéré sous la grille. La figure IV-33 ci-après illustre cette vision par une discrétisation de la région de canal en « n » mini canaux parallèles. À partir de cette approche, on peut modéliser le comportement du transistor à tension de seuil réduite par un ensemble de "n" transistors élémentaires en parallèles et aux caractéristiques différentes.

En fonction du taux de discrétisation, le modèle peut être affiné. Dans notre cas, nous avons arbitrairement choisi de discrétiser la largeur du canal en  $2 \times 5$  sous-canaux (voir figure IV-34). À partir de là, il ne reste plus qu'à considérer la longueur du canal pour déduire les caractéristiques

globales du composant par association de comportements élémentaires. La tenue en tension de cette structure reste bien évidemment à évaluer, de même que le comportement dynamique. Néanmoins, à notre stade, c'est bien évidemment le comportement de la source de courant qui nous est le plus utile de bien modéliser compte tenu de l'utilisation qui en a été faite dans le chapitre III.



**Figure IV-33.** Vue en coupe de la concentration sous le canal et l'approximation en un nombre «  $n = 2 \cdot 5$  » de canaux à concentrations homogènes.

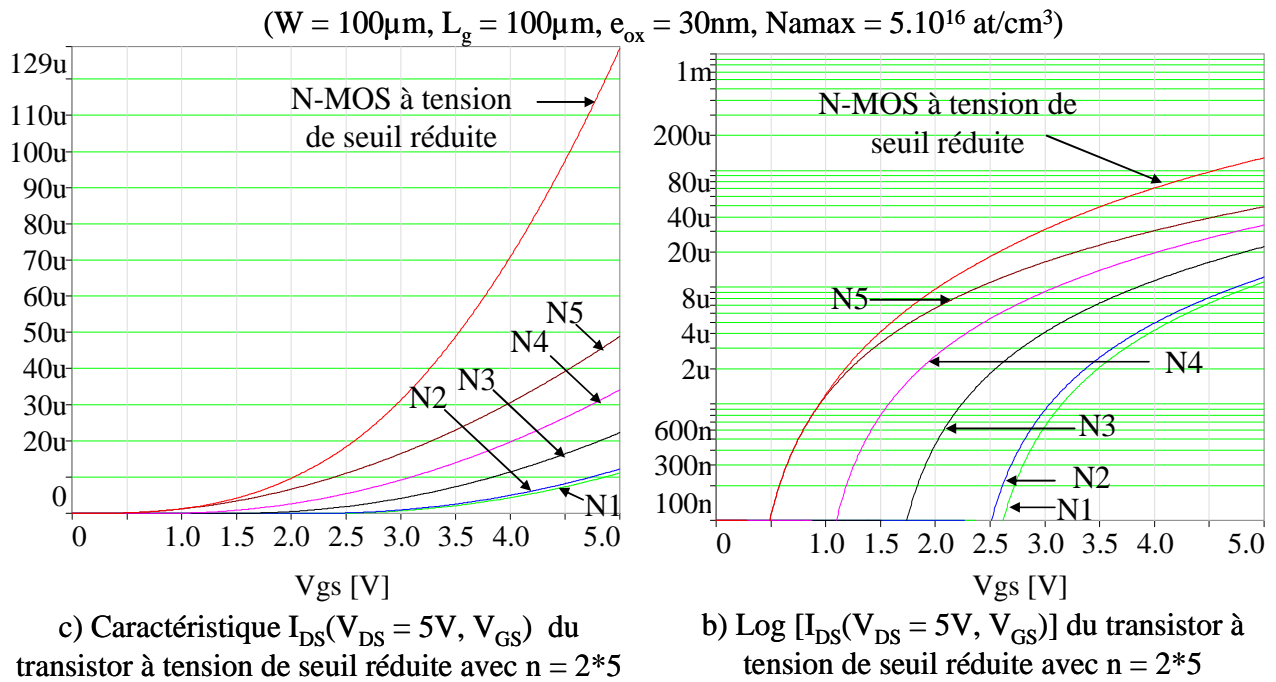


a) Symbole du transistor N-MOS à tension de seuil réduite

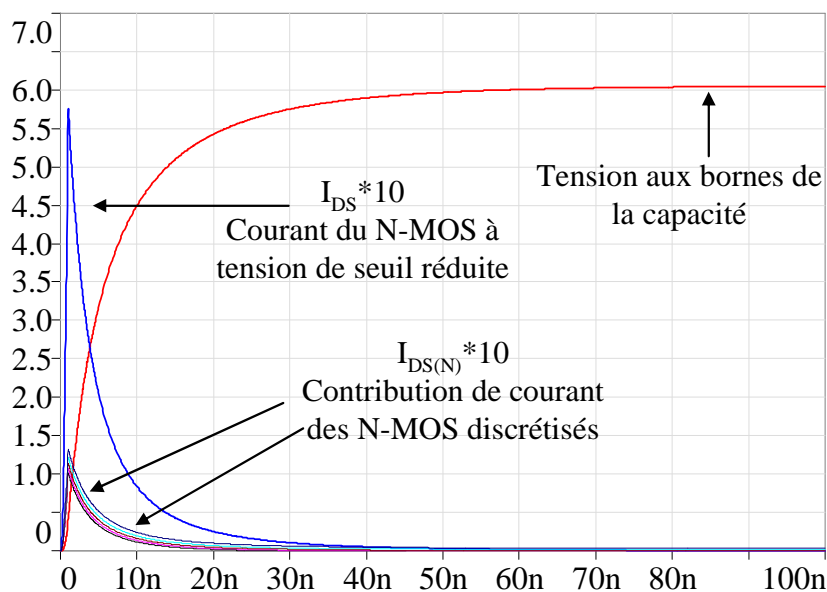
b) Discrétisation du transistor à tension de seuil réduite en «  $n$  » transistors N-MOS ayant des sous-canaux homogènes

**Figure IV-34.** Schéma représentant le symbole du transistor à tension de seuil réduite et son schéma équivalent à «  $n$  » transistors discrets avec des tensions de seuil et niveaux d'inversion différents.

Ci-dessous quelques images présentant le comportement en statique (figure IV-35) et en dynamique (figure IV-36) avec l'évolution du courant dans les différents sous-canaux. On entend par comportement dynamique, l'évolution du comportement de la source de courant en fonction des conditions de mise en œuvre du composant. Sous entendu, aucun phénomène parasite de type capacitif n'est pris en compte dans l'étude dynamique du dispositif.



**Figure IV-35.** Caractéristiques statiques  $I_{\text{DS}}=f(V_{\text{DS}} = 5\text{V}, V_{\text{GS}})$  du N-MOS à tension de seuil réduite



**Figure IV-36.** Réponse dynamique d'une charge de capacité à travers n N-MOS à tension de seuil réduite

La prise en compte de l'effet de substrat est possible et permet de bien visualiser les conséquences d'une utilisation en position "high-side" comme cela est voulu. La discrétisation du modèle permet bien évidemment de mieux coller à la réalité, en particulier au niveau de la concentration minimale au niveau de la grille. La validation du modèle avec des simulations numériques repose sur une approche en trois dimensions que nous n'avons pu conduire. Celle-ci pourra être conduite ultérieurement si l'expérimentation tend à confirmer nos suppositions.

## IV.8 Conclusion

Ce quatrième chapitre concentre l'ensemble des efforts de modélisation conduits au cours de la thèse. Nous sommes partis de l'existant que nous avons adapté en fonction des besoins ou du contexte. Au final, les contributions ont répondu à des besoins spécifiques qu'il reste encore à organiser. Même si un effort de structuration ressort de ce quatrième chapitre, il faudra encore fournir du travail pour finaliser, organiser et valider les analyses comportementales décrites et modélisées dans ce chapitre. C'est en outre le cas au niveau du transistor à tension de seuil réduite qui, s'il fut imaginé, conçu et réalisé, manque encore d'une étude fonctionnelle précise pour dégager les potentiels, les limites et plages de bon fonctionnement. Pour ce qui est du transistor latéral, une bonne partie des besoins en terme de modélisation est maintenant atteinte. Il reste à finaliser une partie importante du travail autour de la tenue en tension et de la modélisation du régime d'avalanche. Cela fait l'objet d'un travail de thèse en cours [ROUGER 08].

Le formalisme développé dans ce travail de modélisation et sa transcription en VHDL-AMS a permis de l'intégrer au sein de notre plateforme de conception assistée en cours de développement. Cela nous a demandé un effort particulier qui fut récompensé. En effet, nous avons pu ensuite bénéficier des outils conçus et développés en micro-électroniques et autour de la plateforme CAPsis [VINCENT 08] pour simplifier la conception des dispositifs de validation.

Globalement le travail conduit ici nous a beaucoup aidé dans le dimensionnement des composants élémentaires et au niveau de la conception et de la réalisation des prototypes de démonstration. Ces points font l'objet du dernier chapitre de cette thèse. Nous allons maintenant aborder la partie conception, réalisation et caractérisation/validation du travail conduit autour de l'effort d'intégration fonctionnelle.

## Table des figures et des tableaux du Chapitre IV

|               |  |     |
|---------------|--|-----|
| Figure IV-1.  | Principales dimensions du transistor N-MOS en technologie du VDMOS.....  | 140 |
| Figure IV-2.  | a) Profil de dopage latéral du caisson P sous la grille. b) Profil de dopage des couches du transistor N-MOS en profondeur .....   | 143 |
| Figure IV-3.  | Caractéristique statique IDS(VGS, VDS) du N-MOS en technologie VDMOS (source comme potentiel de référence).....  | 145 |
| Figure IV-4.  | a) Montage à sources communes. b) Montage à source flottante<br>c) Droite de charge sur caractéristique statique : montages à sources communes ou flottantes .....                             | 146 |
| Figure IV-5.  | Topologie de la structure modélisée et simulée sous Silvaco-Atlas.....   | 147 |
| Figure IV-6.  | Vue en coupe de la structure modélisée et simulée sous Silvaco-Atlas .....   | 148 |
| Figure IV-7.  | Densités de courant de trous en régime d'avalanche sous Silvaco-Atlas .....  | 148 |
| Figure IV-8.  | Zoom sur les densités de courant en régime d'avalanche dans la région critique avec visualisation des composantes du champ électrique dans cette même région (simulations Silvaco-Atlas) ..... | 149 |
| Figure IV-9.  | Phénomène d'ionisation par impact.....   | 150 |
| Figure IV-10. | Vue en coupe d'un transistor à canal N de type « LDD » .....   | 152 |
| Figure IV-11. | Zone de charge d'espace dans a) cas du N-MOS. b) cas du N-MOS à drain étendu.....  | 152 |
| Figure IV-12. | Amélioration de la tenue en tension du N-MOS latéral en présence d'une couche tampon [SKOTNICKI].....  | 153 |
| Figure IV-13. | Coupe verticale (gauche) et profil de dopage du transistor N-MOS en présence de la couche N- (droite) .....  | 154 |
| Figure IV-14. | Evolution de la tenue en tension du transistor N-MOS en fonction de LN-....  | 155 |
| Figure IV-15. | Evolution de la tenue en tension du N-MOS en fonction du dopage de la couche « tampon » .....  | 155 |
| Figure IV-16. | Zoom sur les densités de courant dans la région critique pour deux couples de valeurs Eox/Valim (simulations Silvaco-Atlas). .....   | 160 |
| Figure IV-17. | Topologie de la structure modélisée et simulée sous Silvaco-Atlas en Mixemode .....  | 161 |
| Figure IV-18. | Réponse temporelle de la structure à un ordre de fermeture du VDMOS pour deux valeurs Eox/Valim (structure modélisée et simulée sous Silvaco-Atlas en Mixemode).....                           | 161 |
| Figure IV-19. | Schéma équivalent décrivant les interactions puissance commande au sein d'un VDMOS auto-isolé .....  | 164 |
| Figure IV-20. | Zone conductrice entre les deux ZCE des deux jonctions N+/P et P/N- .....  | 166 |
| Figure IV-21. | Topologie de la structure modélisée et simulée sous Silvaco-Atlas en Mixemode .....  | 167 |
| Figure IV-22. | Vue en coupe de la structure modélisée et simulée sous Silvaco-Atlas en Mixemode .....   | 168 |
| Figure IV-23. | Effets de plusieurs dV/dt sur certaines grandeurs électriques de la structure (structure modélisée et simulée sous Silvaco-Atlas en Mixemode). .....   | 169 |

|               |   |     |
|---------------|---|-----|
| Figure IV-24. | Evolution du potentiel "mesure" pour plusieurs sollicitations dynamiques du substrat de puissance.....  | 170 |
| Figure IV-25. | Vue en coupe de la structure étudiée avec séparation du contact de court-circuit de source. ....  | 171 |
| Figure IV-26. | Topologie de la structure avec les différents contacts au niveau du potentiel de référence .....  | 171 |
| Figure IV-27. | Evolution des courants traversants les divers contacts du potentiel de référence pour un $dV/dt$ de 6V/ns.....  | 172 |
| Figure IV-28. | Evolution des courants traversants les divers contacts du potentiel de référence pour un $dV/dt$ de 600V/ns .....   | 173 |
| Figure IV-29. | Evolution de certains courants et du potentiel "mesure" pour un $dV/dt$ de 600V/ns.....   | 174 |
| Figure IV-30. | Topologie de la structure « hacheur série » simulée sous Silvaco-Atlas en Mixemode .....  | 175 |
| Figure IV-31. | Résultats de simulation numérique sous Silvaco présentant une commutation au blocage de la structure intégrée au sein d'une structure hacheur série .....   | 176 |
| Figure IV-32. | Résultats de simulation analytique sous Cadence présentant une commutation au blocage de la structure intégrée au sein d'une structure hacheur série.....   | 177 |
| Figure IV-33. | Vue en coupe de la concentration sous le canal et l'approximation en un nombre « $n = 2*5$ » de canaux à concentrations homogènes.....  | 178 |
| Figure IV-34. | Schéma représentant le symbole du transistor à tension de seuil réduite et son schéma équivalent à « $n$ » transistors discrets avec des tensions de seuil et niveaux d'inversion différents..... | 178 |
| Figure IV-35. | Caractéristiques statiques $I_{DS}=f(V_{DS} = 5V, V_{GS})$ du N-MOS à tension de seuil réduite.....   | 179 |
| Figure IV-36. | Réponse dynamique d'une charge de capacité à travers $n$ N-MOS à tension de seuil réduite.....  | 179 |
| <hr/>         |   |     |
| Tableau IV-1. | Paramètres du N-MOS en technologie VDMOS .....  | 142 |
| Tableau IV-2. | Tendances du rapport $E_{ox}/V_{lim}$ sur le VDMOS .....  | 158 |
| Tableau IV-3. | Tendances du rapport $E_{ox}/V_{lim}$ sur le N-MOS .....  | 159 |

## Références du Chapitre IV

[MITOVA 05] R. MITOVA « Intégration d'alimentation de la commande rapprochée d'un interrupteur de puissance à potentiel flottant », thèse de doctorat de l'INPG, soutenue en Octobre 2005.

[VERNEAU 03] G. VERNEAU « Optimisation Géométrique de MOSFETs de Puissance en vue de d'intégrer l'Alimentation de l'Etage de commande », thèse doctorat de l'INPG, soutenue le 6 mai 2003.

[PETIT 04] C. PETIT « Contribution à l'étude de la dégradation des films minces et ultra minces de SiO<sub>2</sub> de structure MOS soumises à des contraintes électriques et à la caractérisation par spectroscopie tunnel inélastique de jonction Al-SiO<sub>2</sub>-Si », thèse de doctorat de Reims Champagne-Ardenne, le 6 juillet 2004.

[SKOTNICKI] T. SKOTNICKI « Transistor MOS et sa technologie de fabrication », Technique de l'ingénieur E-2340.

[ZEGHBROECK 04], B.Van. ZEGHBROECK « Principles of Semiconductor Devices », <http://ece-www.colorado.edu/%7Ebart/book/book/title.htm>

[GAUTIER] J. GAUTIER « Physique des dispositifs pour circuits intégrés silicium », l'édition Lavoisier.

[MARYLINE] B. MARYLINE « Transistor MOS Submicronique »

[ATLAS] <http://www.silvaco.com/>

[RICHARD 04], J.F. RECHARD « Conception d'interface haut-voltage utilisant une technologie CMOS/DMOS », Mémoire de maîtrise en sciences appliquées, Université de Montréal, 2004.

[DARTIGUES 01], A. DARTIGUES « Etude des interactions dans un circuit de puissance monolithique », Thèse doctorat de l'INPG, soutenu 29 novembre, 2001.

[CAMEL 07], C. CAMEL « Nouvelles fonctions interrupteurs intégrés pour la conversion d'énergie », Thèse doctorat de l'Université Paul Sabatier de Toulouse, soutenu 27 avril 2007.

[SILVACO] <http://www.silvaco.com/>



[VINCENT 08] L. VINCENT « Conception assistée et prototypage de systèmes intégrés sur silicium - Application interrupteur de puissance à commande automatique », thèse de doctorat de l'INPG, soutenue prévue Septembre 2008.

[MOS 5] « Semiconductor Technology Handbook », technology associates, MOS page 12.5 1985.

[PIERRET 96], R.F. PIERRET, "Semiconductor Device Fundamentals", Addison Wesley, 1996.

[SZE 85] S.M.Sze « Semiconductor Devices, Physics and Technology », John Wiley & Sons, 1985.

[ROUGER 08] N. ROUGER « Intégration monolithique pour transistors à grille isolée : Auto-alimentation de la commande rapprochée et isolation optique », thèse de doctorat de l'INPG, soutenue prévue Septembre 2008.

**Chapitre-V**

**Réalisation, caractérisations et validations  
expérimentales**

## TABLE DES MATIERÈS DU CHAPITE V

### **Chapitre-V : Réalisation, caractérisations et validations expérimentales**

|       |  |            |
|-------|--|------------|
| V.1   | Introduction .....   | 187        |
| V.2   | Le procédé technologique.....  | 188        |
| V.3   | Le travail de conception .....   | 190        |
| V.4   | Caractérisation et validation expérimentale des fonctions élémentaires.....  | 207        |
| V.4.1 | Le transistor N-MOS à substrat (porte canal) connecté en interne au potentiel de source. ....                                    | 208        |
| V.4.2 | Le transistor N-MOS à substrat (porte canal) flottant .....  | 210        |
| V.4.3 | Le transistor N-MOS à tension de seuil réduite .....   | 214        |
| V.4.4 | Les résistances intégrées.....   | 217        |
| V.5   | Caractérisation des fonctions complexes avec application à l'intégration fonctionnelle pour transistors verticaux à grille. .... | 220        |
| V.5.1 | Le bras inverseur .....  | 220        |
| V.5.2 | La porte logique.....  | 220        |
| V.5.3 | L'étage de sortie d'une commande à N-MOS .....   | 220        |
| V.5.4 | Intégration au sein d'un composant de puissance. ....  | 221        |
| V.6   | Premières conclusions et perspectives sur le procédé et l'effort de caractérisation/validation qu'il reste à faire. ....         | 223        |
| V.7   | Conclusion du chapitre. ....   | 224        |
|       | Références du chapitre V.....  | 226        |
|       | <b>CONCLUSION GÉNÉRALE .....</b>   | <b>227</b> |

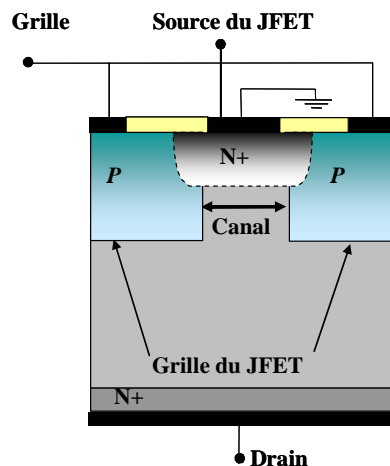
## V.1 Introduction

Ce dernier chapitre est consacré à la conception et la réalisation technologique des concepts développés dans les chapitres précédents et correspondants aux efforts investis au niveau de l'intégration fonctionnelle monolithique. Il contient également un premier retour au niveau des phases de caractérisations et de validations expérimentales. Vis-à-vis de la technologie, la conception des dispositifs fut conduite en conformité avec les choix et contraintes énoncés dans les chapitres précédents. Nous avons donc considéré la structure verticale comme figée (épaisseurs ou profondeurs et niveaux de dopages des différentes couches), nos seuls degrés de liberté résidant au niveau du layout de surface. Ce chapitre débutera avec un bref aperçu du procédé technologique. La conception et les choix des différentes variantes et familles seront ensuite abordés. Viendra alors la partie la plus importante de ce chapitre, celle consacrée à la caractérisation expérimentale des fonctions élémentaires et la validation des approches et modèles présentés ou développés dans ce travail de thèse. Pour des raisons de délais et de retards importants au niveau du procédé technologique, nous n'avons pas pu évaluer l'ensemble des familles conçues. Il ressort néanmoins de cette dernière partie un certain nombre de conclusions et commentaires importants, tant sur le procédé technologique que sur les fonctions et concepts introduits et développés.

## V.2 Le procédé technologique

Le procédé technologique d'un VDMOS fut décrit de nombreuses fois [VERNEAU 03, MITOVA 05, ALKAYAL 05] et nous nous contenterons de rappeler des points particuliers importants et conditionnant fortement la partie de conception. Dans notre procédé, nous avons considéré que la zone périphérique de tenue en tension sera de type d'anneaux de garde et réalisée intégralement à travers le procédé technologique de la cellule élémentaire. La réalisation de la cellule élémentaire repose sur le procédé « planar » double diffusé qui offre la possibilité d'un auto-alignement des régions « porte-canal » et des sources par rapport à la grille en polysilicium. Le procédé technologique du composant de puissance des VDMOS classiques ne nécessitant pas une résolution importante, nous nous sommes appuyés sur la résolution bien maîtrisée sur les plateformes technologiques universitaires auxquelles nous pouvons faire appel (celle du LAAS à Toulouse et celle que nous avons utilisé dans le cas présent à savoir le CIME-Nanotech sur Grenoble – Nous tenons à ce titre à remercier les personnels techniques des deux plateformes pour leur travail dans le cadre de cette thèse). Celle-ci correspond à une erreur d'alignement de + ou -  $1\mu\text{m}$  avec une largeur de motif élémentaire négatif ou positif conditionnée par son épaisseur, sa valeur minimale ne pouvant être inférieure à  $4\mu\text{m}$ .

Une étape particulière est présentée dans le procédé technologique. Cette étape consiste à dissocier la phase de gravure du silicium poly-cristallin de la phase d'implantation du « porte-canal » P. Cette étape supplémentaire, qui ne comprend qu'une étape de lithographie en plus, permet en revanche d'offrir une certaine souplesse au niveau de la conception de certaines fonctions élémentaires intéressantes au niveau de l'intégration fonctionnelle [MITOTVA 06, CARMEL 05]. Par exemple, on peut facilement créer une structure JFET vertical par cette évolution du procédé de puissance. Ceci est présenté dans la figure V-1.



**Figure V-1.** Structure d'un JFET vertical de puissance

À partir de cet état des lieux, nous avons pu travailler sur l'identification des différentes contraintes et limites de conceptions liées au procédé technologique. Ce travail fut conduit dans le cadre de la thèse de [VINCENT 08] et nous ne faisons ici qu'en reprendre les grandes lignes. Celles-ci sont répertoriées succinctement dans le tableau ci-dessous. Elles permettent de comprendre pourquoi certains choix ont été faits au niveau du layout de surface.

|    | Masques      | Etape   | VDMOS                                      |
|----|--------------|---|--|
|    | <b>PPLUS</b> | Ouverture périphérie, P <sup>+</sup> court-circuit          | Court-circuit de la source                 |
| 1  |              | Implantation P <sup>+</sup>                                 |  |
|    | <b>OZUT</b>  | Ouverture Zone Utile  | Ouverture de la zone active                |
| 2  |              | Gravure d'oxyde   |  |
| 3  |              | Croissance thermique d'oxyde fin                            | Oxyde de grille du VDMOS                   |
| 4  |              | Dépôt de silicium polycristallin                            | Électrode de grille                        |
|    | <b>POLY</b>  | Ouverture des zones de source (porte canal P <sup>-</sup> ) | Création de la grille et la zone de source |
| 5  |              | Gravure de silicium polycristallin et de l'oxyde fin        |  |
| 6  |              | Implantation de P <sup>-</sup>                              | Création du porte-canal P <sup>-</sup>     |
|    | <b>NPLUS</b> | Ouverture du caisson de la source                           |  |
| 7  |              | N <sup>+</sup> implantation                                 | Création des caissons de la source         |
| 8  |              | Dépôt d'oxyde épais (LTO)                                   | Isolation entre zones                      |
|    | <b>OCON</b>  | Ouverture des contacts                                      | Ouvertures des zones de contact            |
| 9  |              | Gravure LTO   |  |
| 10 |              | Dépôt d'aluminium   |  |
|    | <b>GALU</b>  | Séparation des contacts                                     | Création des électrodes                    |

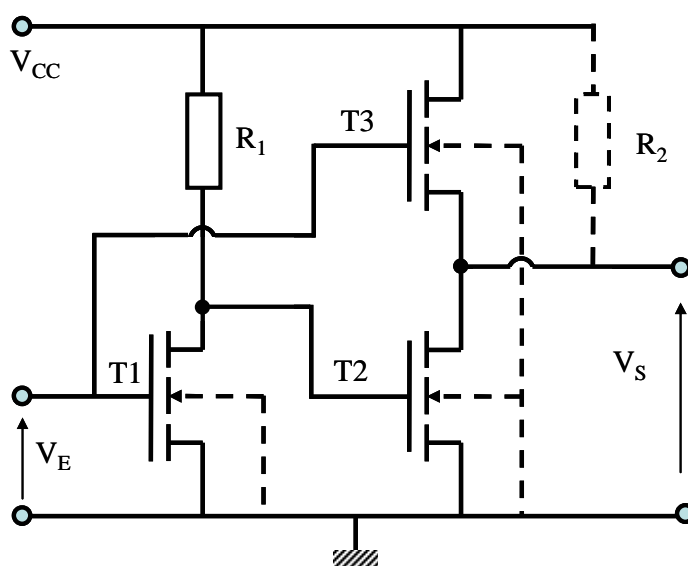
|    |             |  |   |
|----|-------------|--|---|
| 12 |             | Gravure d'aluminium                                    | Séparation des contacts                 |
| 13 | <b>OSCO</b> | Passivation par $\text{Si}_3\text{N}_4$ , du composant |   |
| 14 |             | Réalisation du contact sur la face arrière             |   |
| 15 |             | Gravure de la couche de passivation                    | Ouverture des zones pour le « bonding » |

**Tableau V-1.** Les étapes principales pour la fabrication d'un VDMOS

### V.3 Le travail de conception

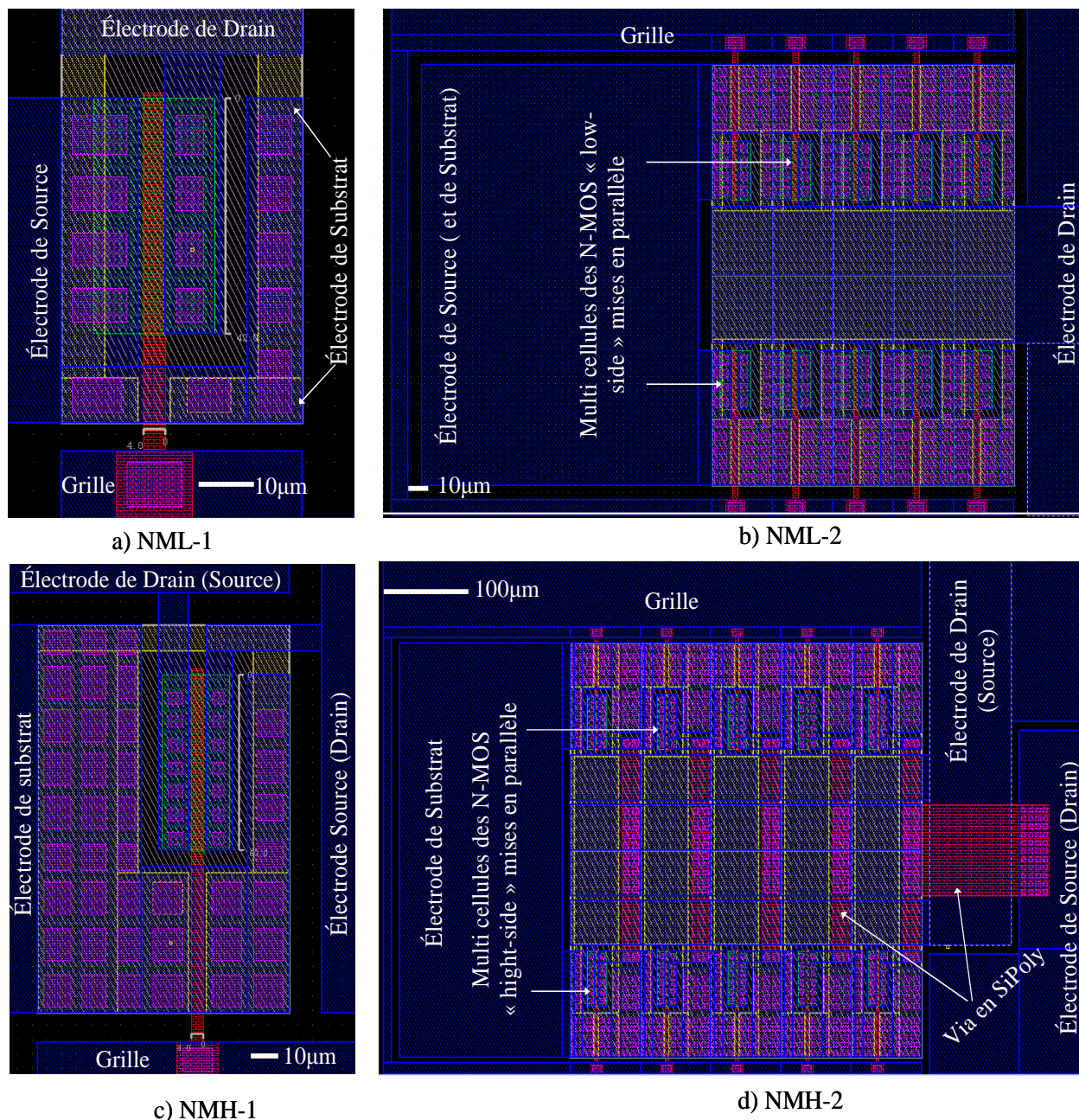
L'analyse du procédé technologique et l'utilisation des modèles de composants nous ont permis d'aborder la phase de conception théorique. Nous avons ainsi identifié plusieurs familles de composants élémentaires à concevoir et à dessiner afin de pouvoir évaluer la pertinence de nos travaux théoriques tant aux niveaux des performances et caractéristiques statiques et dynamiques qu'aux niveaux des couplages, interactions et dépendances avec la partie puissance.

La topologie de la commande rapprochée retenue est donnée dans la figure V-2 : trois transistors N-MOS latéraux avec une ( $R_1$ ) ou deux résistances. La taille des transistors latéraux ainsi que la valeur des résistances sont déterminées en fonction des conditions conceptuelles. En suite, ces paramètres sont implantés dans la structure complète (sous VHDL-AMS) en vue d'évaluer les niveaux de performance finale en dynamique.



**Figure V-2.** Topologie retenue de la commande rapprochée à intégrer

De cette structure de commande découle l'ensemble des composants, des résistances et des transistors, standards ou à tension de seuil réduite, «low-side et high-side", des fonctions élémentaires et complexes imaginées et conçues. Des images présentent des layouts réalisés de différentes variantes à l'intérieur de chaque famille du N-MOS.



**Figure V-3.** Layouts des transistors N-MOS en technologie VDMOS  
a) NML-1. b) NML-2. c) NMH-1. d) NMH-2



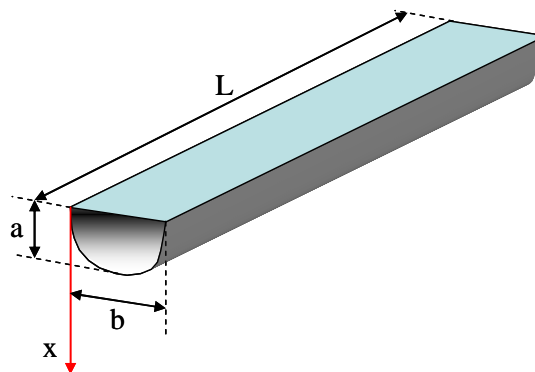
|       |  |
|-------|--|
| NML-1 | Transistor N-MOS low-side calibre de courant de 0,03A  |
| NML-2 | Transistor N-MOS low-side calibre de courant de 0,3A   |
| NMH-1 | Transistor N-MOS high-side calibre de courant de 0,03A |
| NMH-2 | Transistor N-MOS high-side calibre de courant de 0,3A  |

**Tableau V-2.** Variantes des transistors N-MOSs.

La technologie du transistor VDMOS n'a qu'un seul niveau de métal pour faire les connexions. Aussi, nous prenons le silicium-polycristallin enterré dans l'oxyde d'isolation comme via pour la liaison entre des multi-cellules des transistors N-MOS.

Au niveau des résistances, nous avons aussi retenu deux familles compatibles avec le procédé de puissance, compatible au sens où ces résistances se retrouvaient être isolées de la partie puissance par auto-isolation, et qu'elles présentaient des caractéristiques raisonnables des points de vue fonctionnel et dimensionnel. Ainsi des résistances en silicium polycristallin et des résistances formées par des caissons N<sup>+</sup> dans des substrats P<sup>-</sup> ont été conçues.

➤ Résistance en N<sup>+</sup>



**Figure V-4.** Résistance intégrée en caisson diffusé en N<sup>+</sup>

La valeur de la résistance est calculée en fonction de la formule suivante :

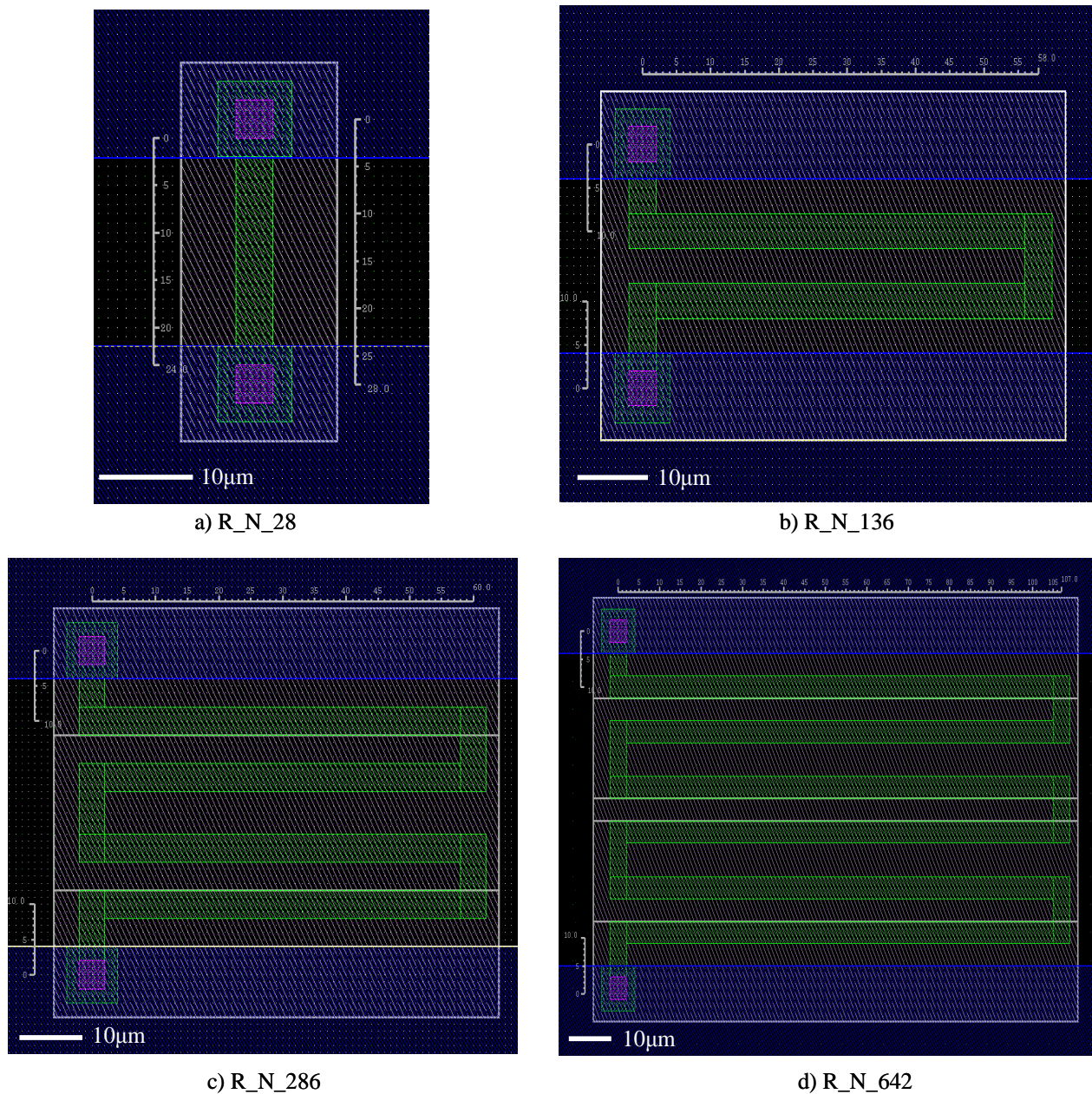
$$R = \rho_N(x) \frac{L}{b}$$

Dans laquelle :  $\rho_N(x)$  est la résistivité du couche N<sup>+</sup> égale à  $\int_0^a N_{d-p}(x) \cdot \mu_n(N_{d-p}(x)) dx$

$N_{d-p}(x)$  : la concentration en profondeur du caisson N<sup>+</sup>

Pour une résistance de faible valeur (inférieure à  $1k\Omega$ ), la forme de la résistance en  $N^+$  peut être une droite (figure V-5.a). Pour une résistance de forte valeur, sa forme est en zigzag afin de gagner en surface d'intégration sur silicium (figure V-5.b, c et d).

La figure V-5 présente quatre variantes de résistance en  $N^+$ , et le tableau après présente les valeurs théoriques de chaque variante.



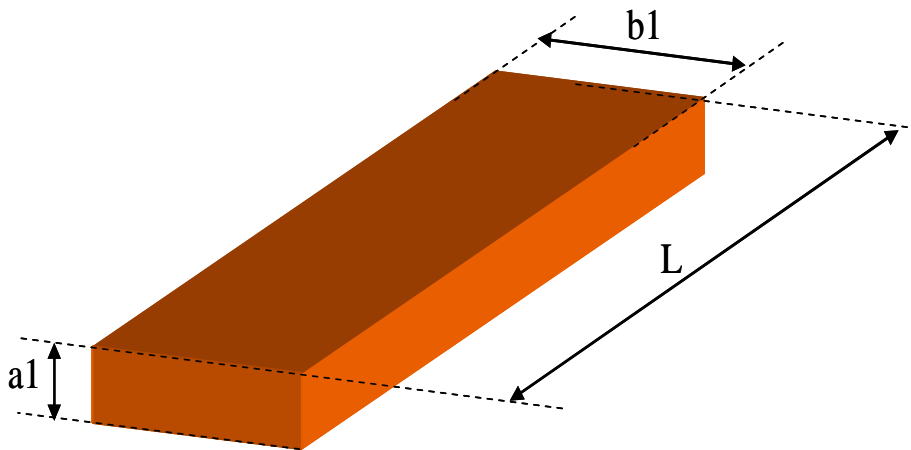
**Figure V-5.** Layouts des résistances en  $N^+$  ayant différentes longueurs

| Ndmax = $5.10^{19}$ at/cm <sup>3</sup> , b = 4μm, a = 1μm |   |                         |
|---|---|-------------------------|
| Résistances   | Longueur (L)<br>de la résistance en N <sup>+</sup> (μm) | Valeur théorique<br>(Ω) |
| R_N_28  | 28  | 300                     |
| R_N_136   | 136   | 1470                    |
| R_N_286   | 286   | 3100                    |
| R_N_642   | 642   | 7000                    |

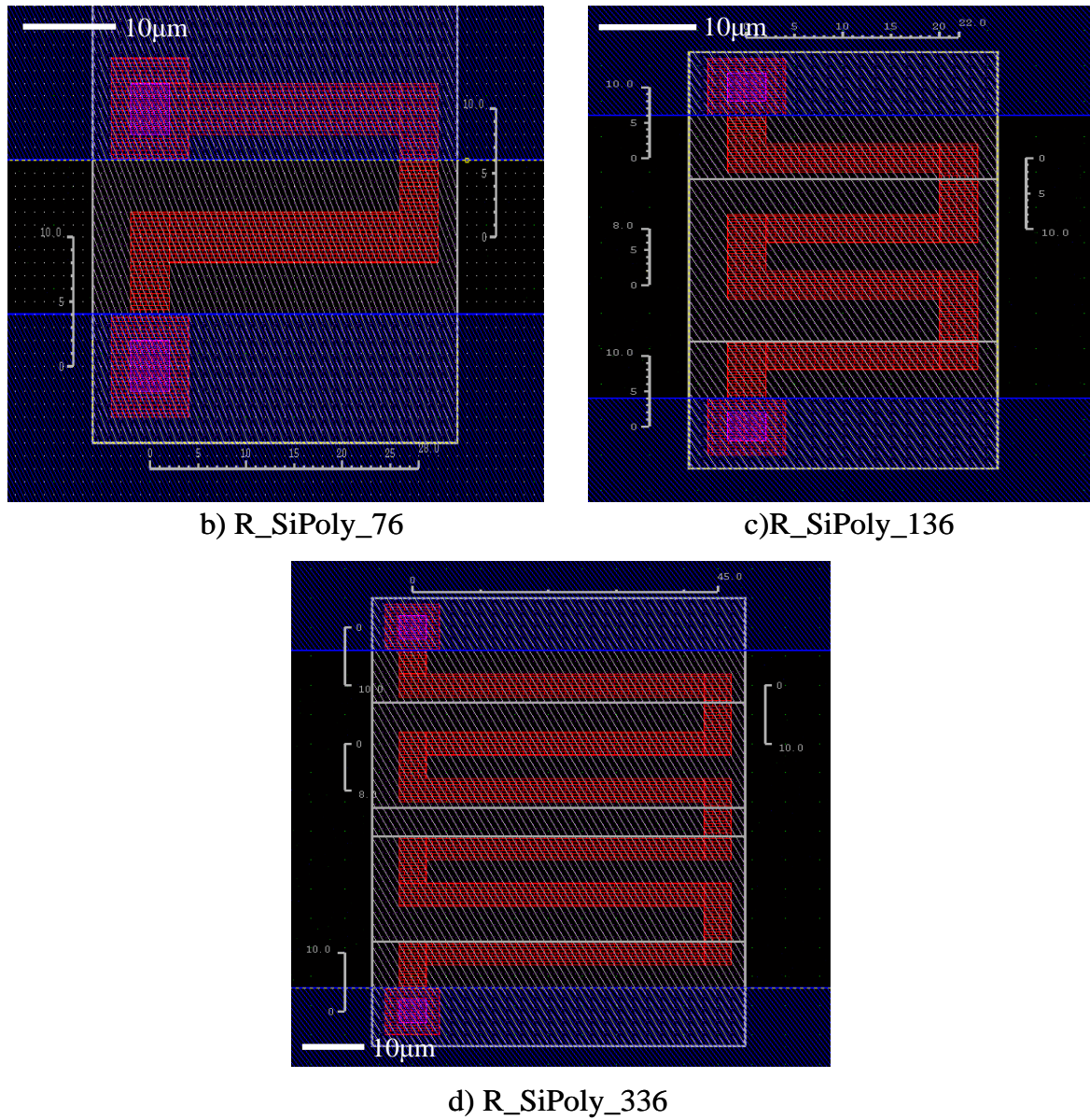
**Tableau V-3.** Valeurs théoriques des résistances en N<sup>+</sup>

Nous allons comparer ces résultats théoriques avec ceux mesurés dans la suite de ce chapitre.

Résistance en silicium-polycristallin : le silicium-polycristallin possède aussi une forte résistivité ( $\rho = 3.10^{-3}\Omega.cm$ ) [SANCHEZ]. Nous pouvons l'utiliser comme résistance, la figure V-7 présente trois variantes de la résistance intégrée en silicium-polycristallin dans notre étude.



**Figure V-6.** Résistance en silicium-polycristallin



**Figure V-7.** Layouts des résistances en silicium-polycristallin

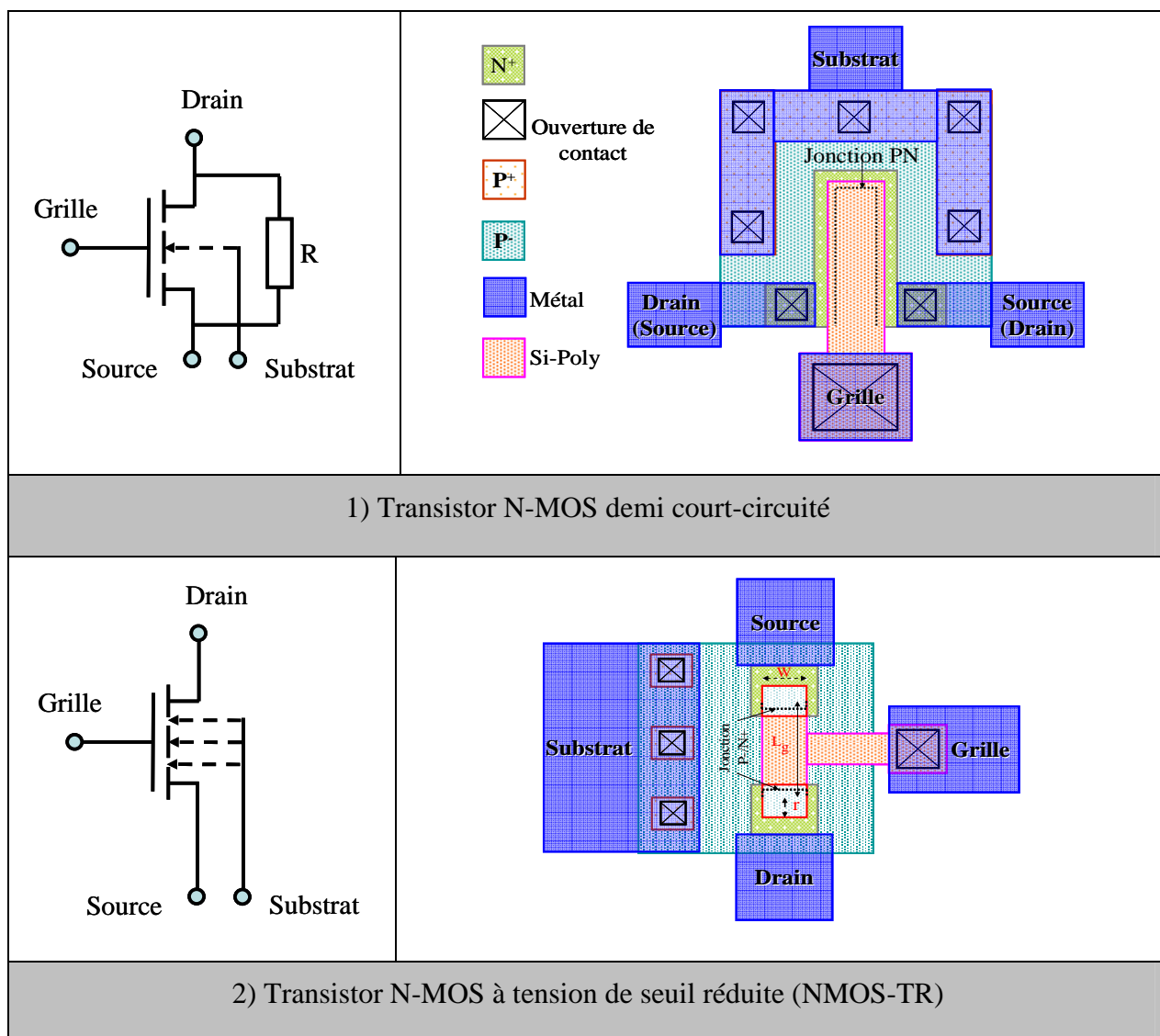
| a1 = 7000Å, b1 = 4µm, ρ = 3.10 <sup>-3</sup> Ω.cm |   |                      |
|---|---|----------------------|
| Résistances                                       | Longueur (L) de la résistance en silicium-polycristallin (µm) | Valeur théorique (Ω) |
| R_SiPoly_76                                       | 76  | 815                  |
| R_SiPoly_136                                      | 136   | 1500                 |
| R_SiPoly_336                                      | 336   | 3600                 |

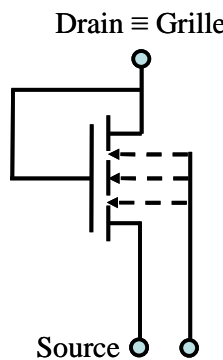
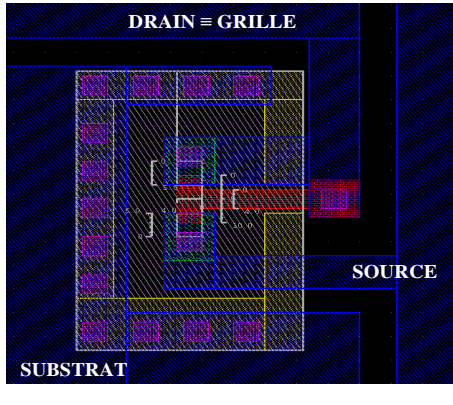
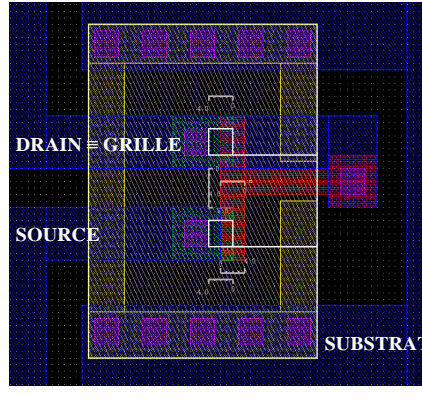
**Tableau V-4.** Valeurs théoriques des résistances en silicium-polycristallin

Pour le cas pratique, il faudra veiller à tenir compte des contacts entre les régions résistives et le métal. Ce sera particulièrement le cas pour les familles de résistances en silicium polycristallin.

Au niveau des diodes, là aussi nous fait un effort conséquent pour créer des diodes avec des caractéristiques différentes. En particulier, nous avons étudié comment concevoir des diodes avec des caractéristiques de tenue en tension différentes selon le layout et les régions mises en œuvre. Plusieurs familles ont été conçues dans le cadre des thèses de [VINCENT 08, ROUGER 08] dans lesquelles de plus amples détails peuvent être trouvés.

D'autres structures de composants élémentaires « exotiques » ont été imaginées et conçues dans le cadre de ce travail de thèse. Certains ont fait l'objet d'un layout en vue d'une évaluation, d'autres sont restés au stade du concept et seront étudiés ultérieurement en fonction du besoin et des opportunités. Le « tableau – image » qui suit récapitule l'ensemble de ces fonctions "exotiques" avec leur fonctionnalité.

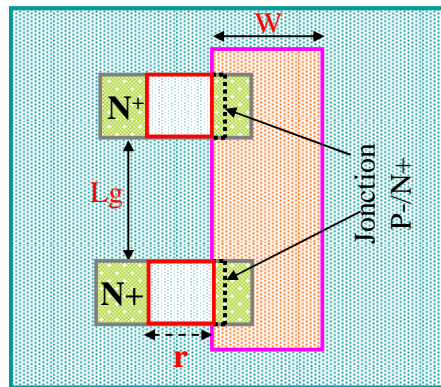


|   |   |  |
|---|---|--|
|  <p>Drain <math>\equiv</math> Grille</p> <p>Source</p> <p>Substrat</p> |  |  |
|   | a) Drain et source à l'extrémité de la grille                                     | b) Drain et source à même côté de la grille  |
| 3) Layouts des résistances par lithographie de source et drain  |   |  |

**Tableau V-5.** Fonctions exotiques des N-MOS en technologie VDMOS

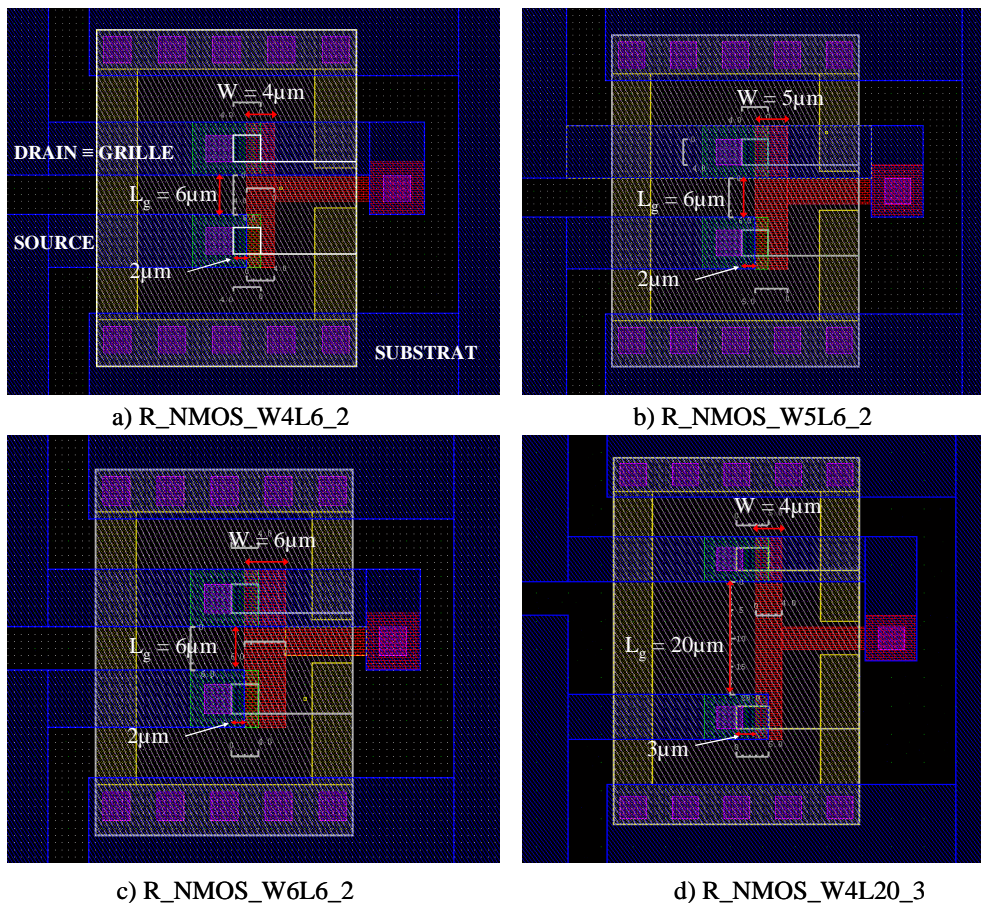
Parmi ces composants, il y a le transistor N-MOS à tension de seuil réduite (N-MOS-TR). Ce composant, assez original est pressenti comme étant un composant permettant de matérialiser une résistance de forte valeur en un minimum de surface. Cette résistance présente l'avantage d'être pilotable puisque le composant reste malgré tout un transistor mais son seuil de mise en conduction serait proche de 0V. Cela permet de le rendre beaucoup moins sensible aux effets de substrat sans pour autant engendrer de modification ou d'ajout technologique. Nous présentons ci-dessous le layout de cette structure qui exploite la grille dans le sens perpendiculaire au sens de diffusion. De fait, la concentration  $P^-$  au droit des jonctions PN des caissons de source est décroissante depuis le bord de la grille jusqu'au centre de celle-ci. Cela conduit à un abaissant de la tension de seuil en fonction de la concentration et le maintien d'un canal plus ou moins important en fonction du potentiel Grille - Substrat plus ou moins important. Ainsi, en fonction de la largeur de la grille ( $W$ ), on peut ajuster la tension de seuil voir même l'annuler! Deux grandes familles de ce composant ont été conçues dans le cadre de ce projet : N-MOS-TR avec drain et source du même côté de la grille (version 1) ou aux extrémités de la grille (version 2).

- N-MOS-TR avec le drain et la source est de même côté de la grille



**Figure V-8.** N-MOS à tension de seuil réduite (version 1)

Dans la première famille des N-MOS à tension de seuil réduite, le paramètre « r » est constant et égale à  $2\mu\text{m}$  (figure V-8). La largeur et la longueur de la grille sont variables à travers des variantes présentées figure V-9.

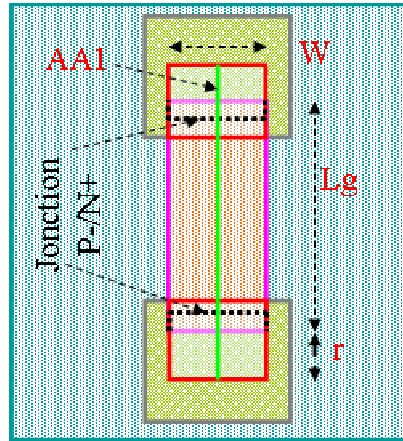


**Figure V-9.** Layouts de la première famille des transistors N-MOS-TR

- a) R\_NMOS\_W4L6\_2:  $W = 4\mu\text{m}$ ,  $L = 6\mu\text{m}$ ,  $r = 2\mu\text{m}$
- b) R\_NMOS\_W5L6\_2:  $W = 5\mu\text{m}$ ,  $L = 6\mu\text{m}$ ,  $r = 2\mu\text{m}$
- c) R\_NMOS\_W6L6\_2:  $W = 6\mu\text{m}$ ,  $L = 6\mu\text{m}$ ,  $r = 2\mu\text{m}$
- d) R\_NMOS\_W4L6\_3:  $W = 4\mu\text{m}$ ,  $L = 20\mu\text{m}$ ,  $r = 3\mu\text{m}$

Les transistors N-MOS-TR ci-dessus ont la grille connectée directement au drain. De cette manière ils fonctionnent toujours dans la zone plateau. Les noms des transistors sont donnés de manière simple pour les distinguer les uns des autres en se basant sur leurs dimensions géométriques.

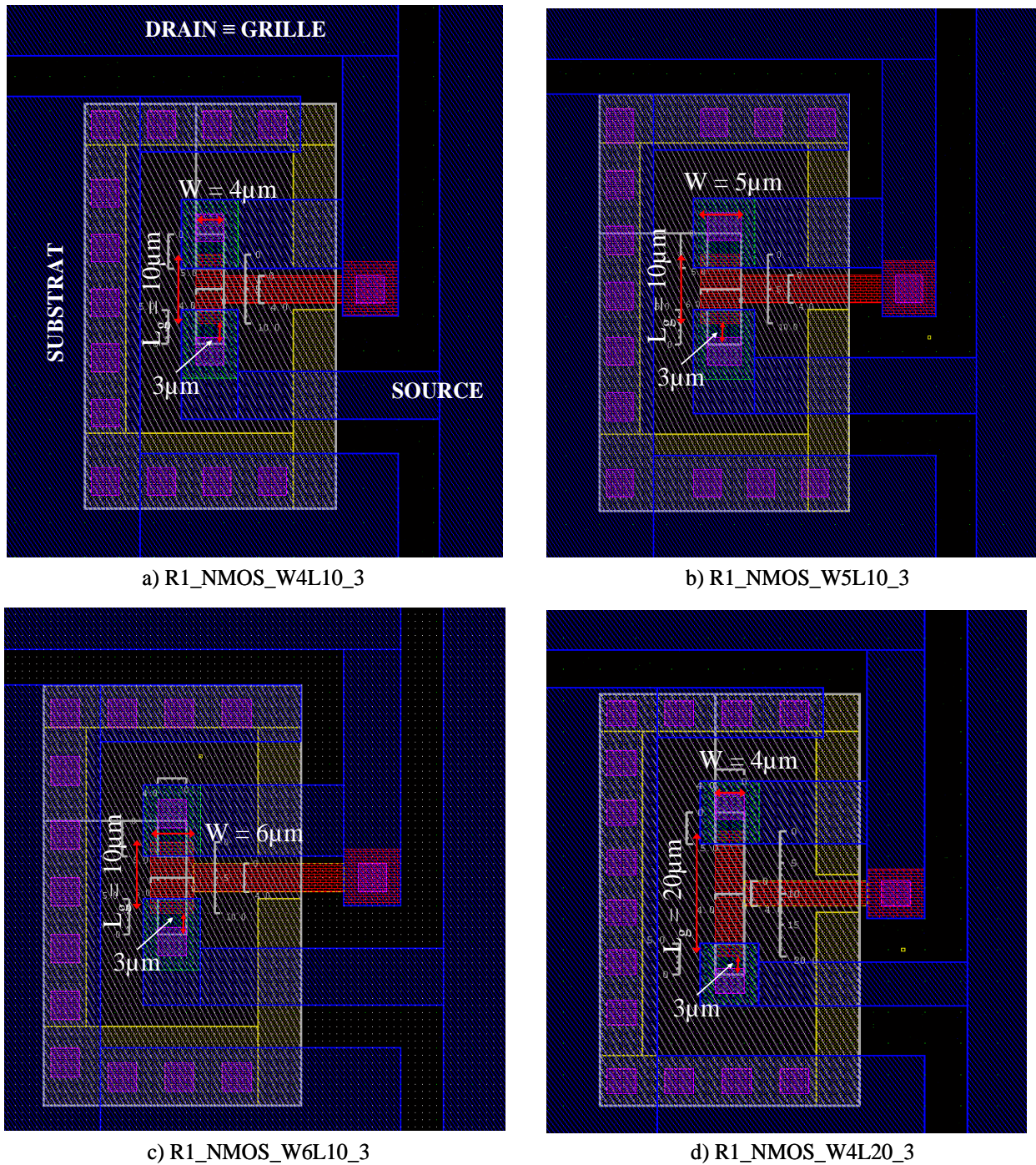
- N-MOS – TR avec drain et source aux extrémités de la grille :



**Figure V-10.** N-MOS à tension de seuil réduite (version 2)

Dans cette famille, le paramètre «  $r$  » est fixé à  $3\mu\text{m}$ , la largeur est variable pour trois cas différents  $W = 4\mu\text{m}$ ,  $5\mu\text{m}$  et  $6\mu\text{m}$  avec la même longueur de la grille  $L_g = 10\mu\text{m}$ . Le quatrième cas,  $W = 4\mu\text{m}$  et  $L_g = 20\mu\text{m}$ .

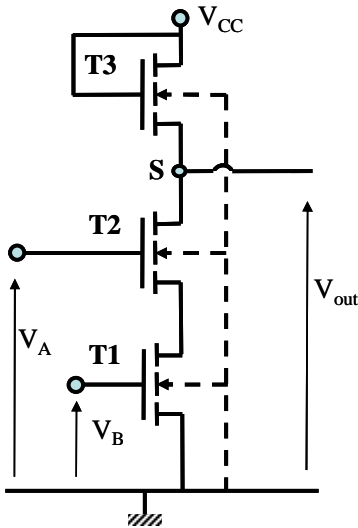
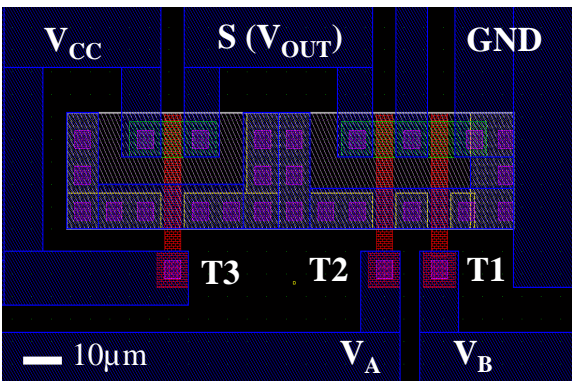
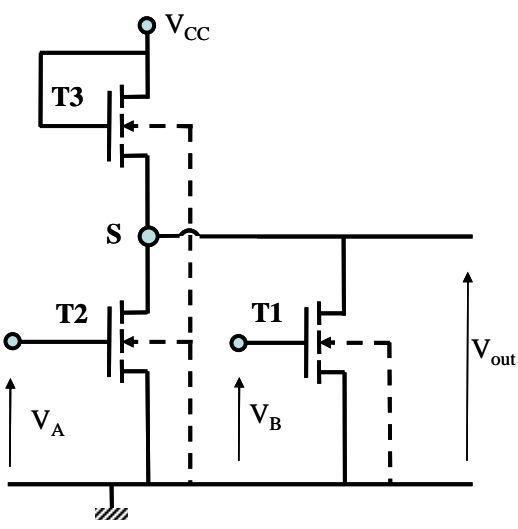
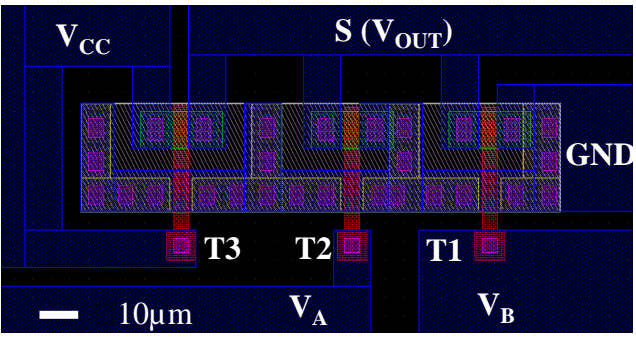



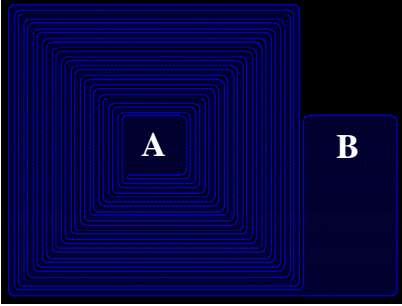

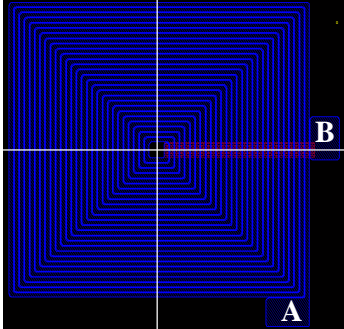
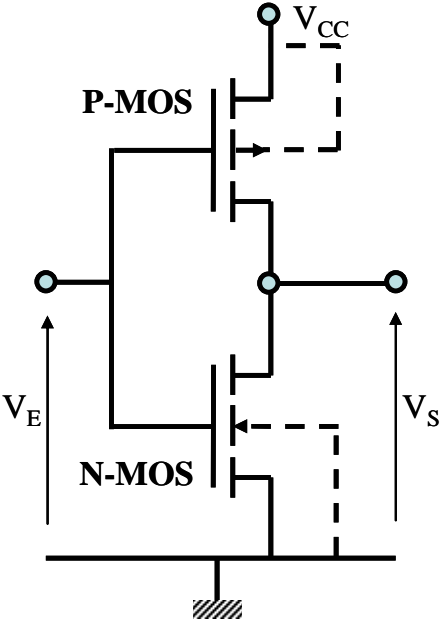
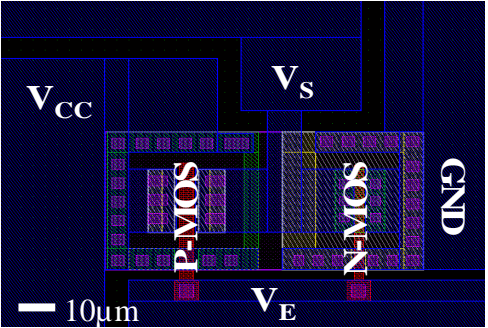
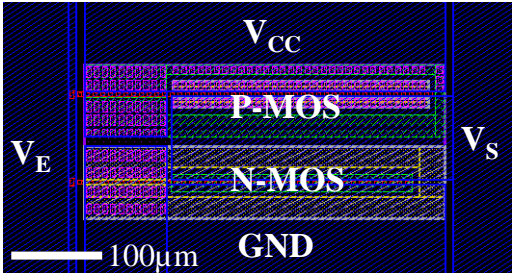


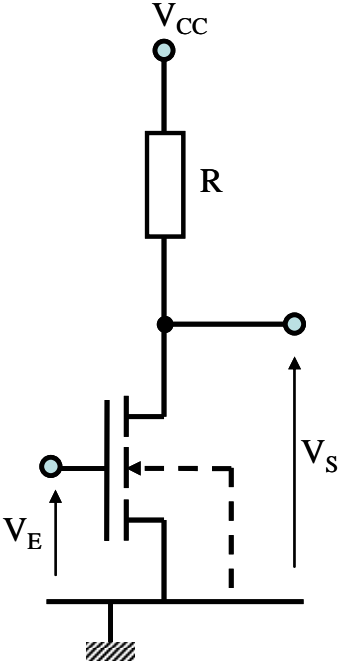
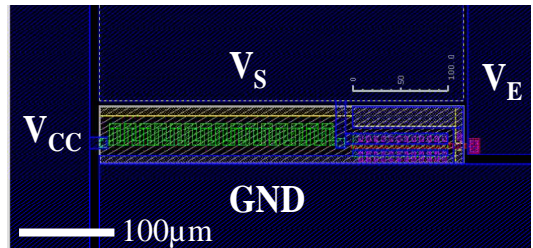
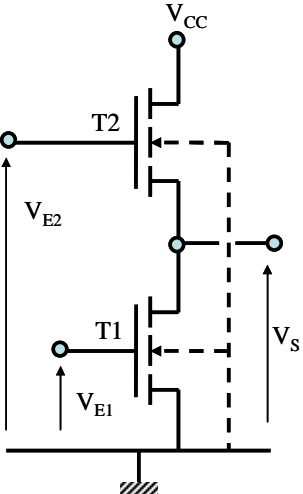
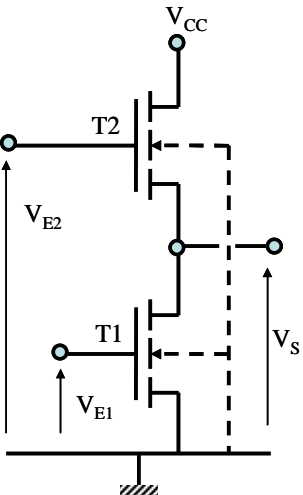
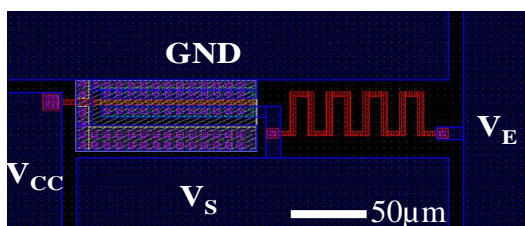
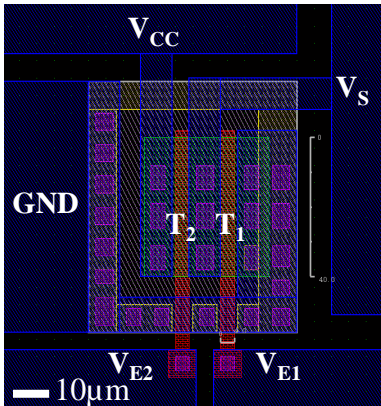
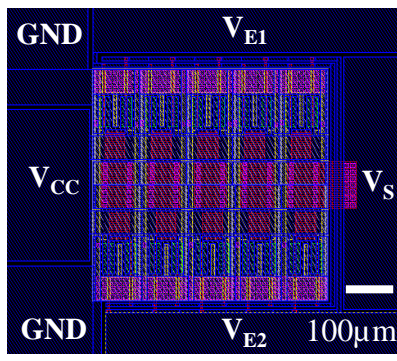
**Figure V-11.** Layouts des N-MOS-TR avec le drain et la source à l'extrémité de la grille

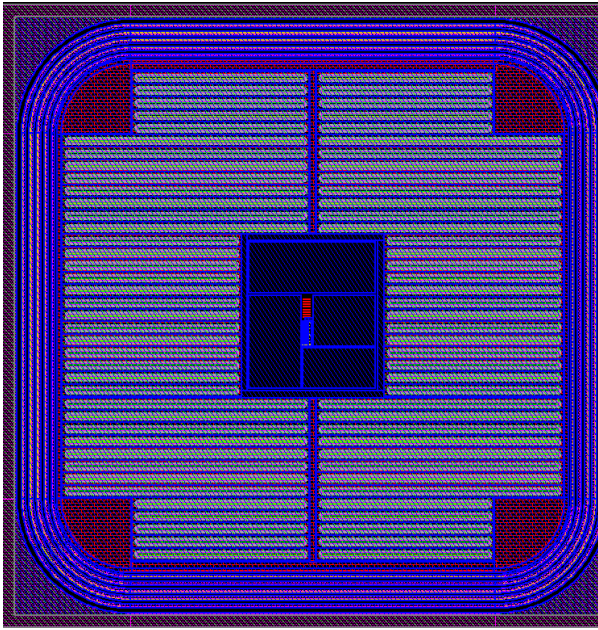
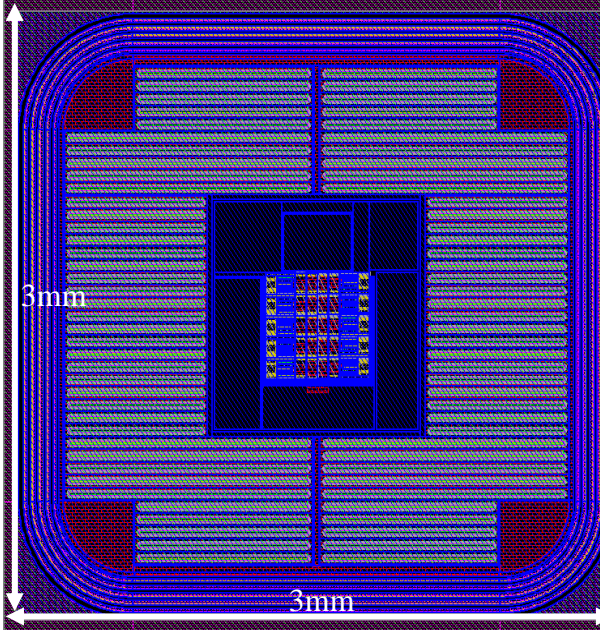
- a) R1\_NMOS\_W4L10\_3:  $W = 4\mu\text{m}$ ,  $L = 10\mu\text{m}$ ,  $r = 3\mu\text{m}$
- b) R1\_NMOS\_W5L10\_3:  $W = 5\mu\text{m}$ ,  $L = 10\mu\text{m}$ ,  $r = 3\mu\text{m}$
- c) R1\_NMOS\_W6L10\_3:  $W = 6\mu\text{m}$ ,  $L = 10\mu\text{m}$ ,  $r = 3\mu\text{m}$
- d) R1\_NMOS\_W4L20\_3:  $W = 4\mu\text{m}$ ,  $L = 20\mu\text{m}$ ,  $r = 3\mu\text{m}$

A la suite de ces fonctions élémentaires, plusieurs fonctions "complexes" ont été étudiées, conçues et dessinées. Parmi elles, il y a bien sûr les topologies de commande rapprochée que nous avons étudié dans les chapitres précédents. Mais nous avons aussi tenté d'intégrer des fonctions logiques comme des portes NAND et NOR, fonctions logiques élémentaires à la base de tout dispositif logique plus complexe (comme une bascule RS par exemple). Ci-dessous, quelques layouts présentent certaines de ces fonctions. Le tableau ci-dessous recense l'ensemble de fonctions "complexes" et variantes conçues et dessinées.

| Schéma de principe de la fonction   | Layout de la fonction  |
|---|--|
|   |   |
| 1) Porte logique NAND en N-MOS  |  |
|  |  |
| 2) Porte logique NOR en N-MOS   |  |

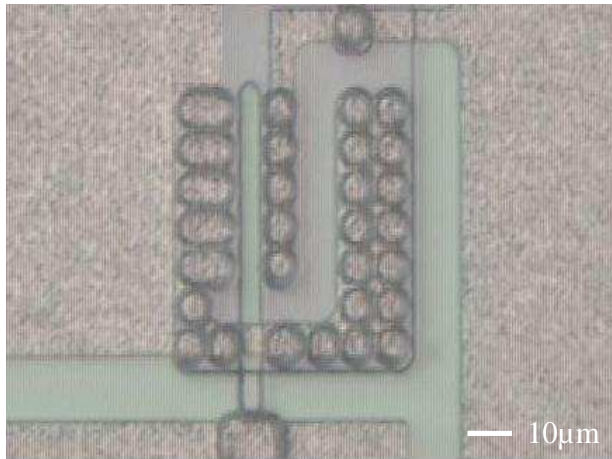
|   |   |
|---|---|
|  <p>3) Inductance en aluminium</p>     |  <p>a) Inductance (version 1)</p>   |
|  <p>3) Inductance en aluminium</p>     |  <p>b) Inductance (version 2)</p>   |
|  <p>4) CMOS en technologie VDMOS</p> |  <p>a) CMOS à faible calibre de courant</p>  <p>b) CMOS à fort calibre de courant</p> |

|  |  |
|--|--|
|  <p>5) Inverseur à résistance</p>   |  <p>a) Inverseur à résistance en N+</p>                      |
|   <p>a) Inverseur N-MOS comme charge de faible calibre de courant</p> <p>b) Inverseur N-MOS comme charge de fort</p> |  <p>b) Inverseur à résistance en silicium-polycristallin</p> |
|   |    |

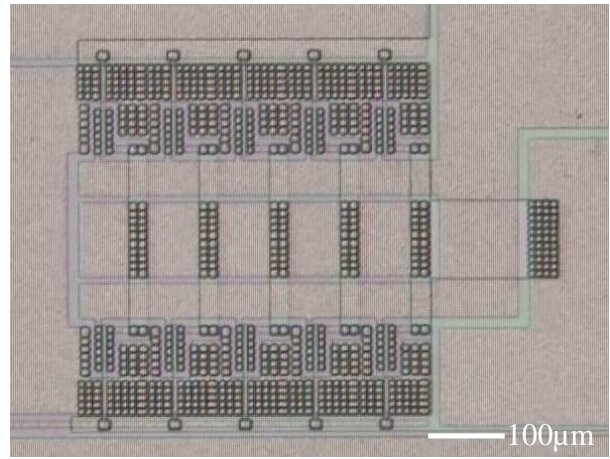
| 6) Inverseur N-MOS comme charge   | calibre de courant   |
|---|--|
|  |  |
| a) Inverseur à résistance implanté au sein du VDMOS                               | b) Transistor N-MOS high-side implanté au sein du VDMOS                            |
| 7) Fonctions et composants implantés au sein du transistor de puissance VDMOS     |  |

**Tableau V-6.** Tableau des fonctions complexes

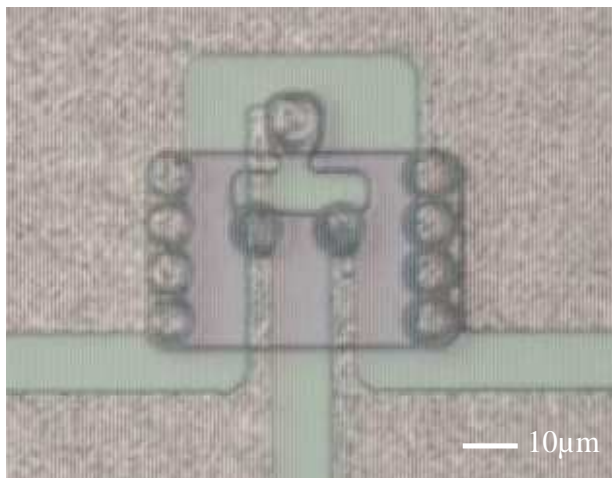
À la suite de cette étape de conception, nous avons lancé deux pistes pour la réalisation des prototypes. Une première piste fut lancée au niveau du LAAS. Celle-ci correspond à la réalisation des dispositifs au sein de transistors de puissance de type IGBT. Une seconde piste fut lancée plus tardivement au niveau du CIME-Nanotech. Celle-ci correspond à la réalisation des dispositifs au sein de transistors de puissance de type VDMOS. Malheureusement, au moment de conclure sur ce document de thèse, seuls les composants issus du procédé technologique mené à bien au CIME étaient disponibles. Ci-dessous, nous présentons quelques images faites au microscope, images présentant différentes vues du composant de puissance et des composants de surface.



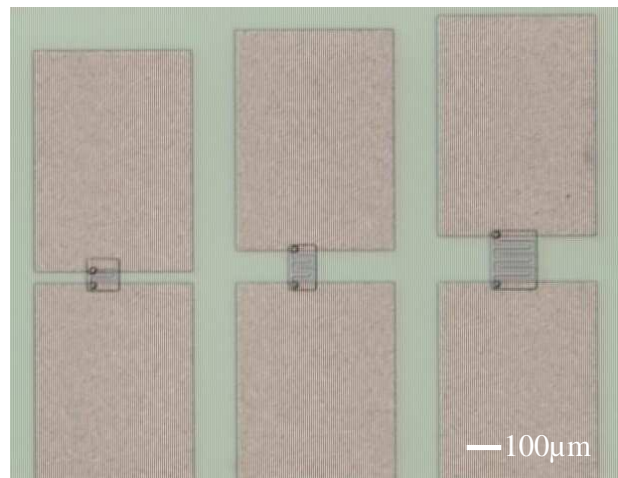
a) Transistor N-MOS « low-side »  
calibre de courant 0,03A



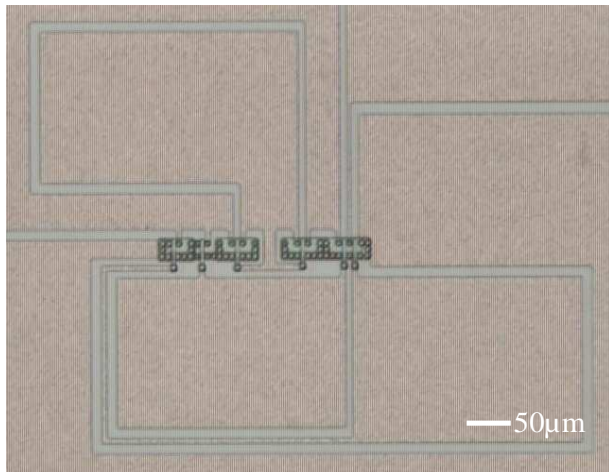
b) Transistor N-MOS « high-side » calibre  
de courant 0,3A



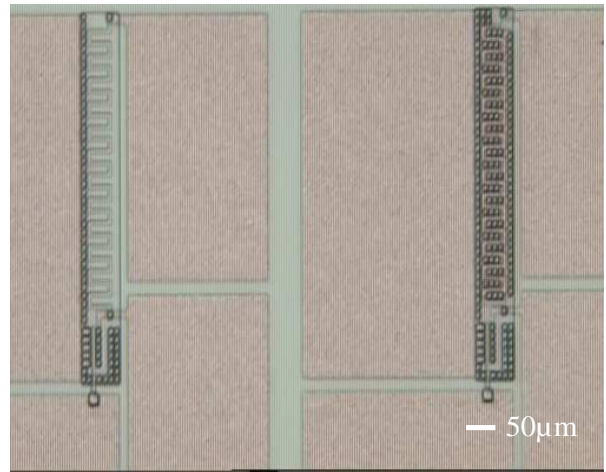
c) Layout du transistor N-MOS à  
tension de seuil réduite



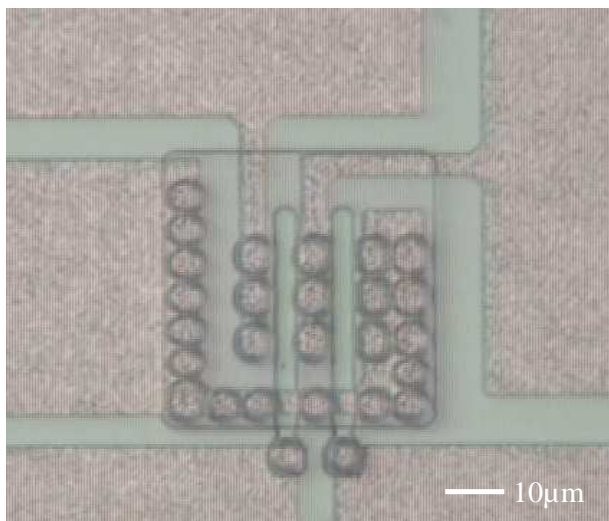
d) Des résistances en N<sup>+</sup> et en Silicium-  
Polycristallin



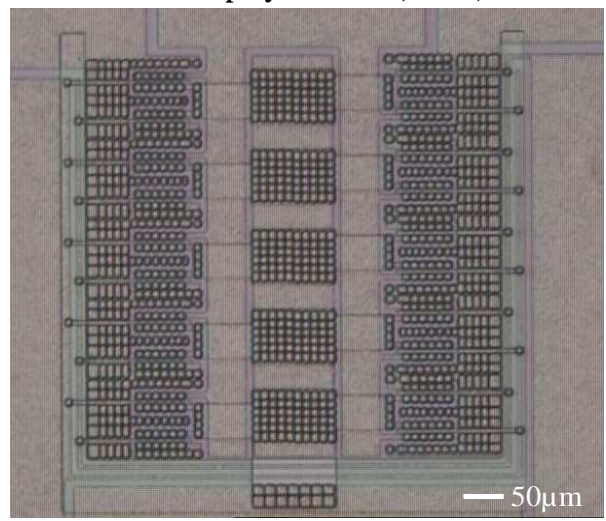
e) Portes logiques NAND et NOR en N-MOS



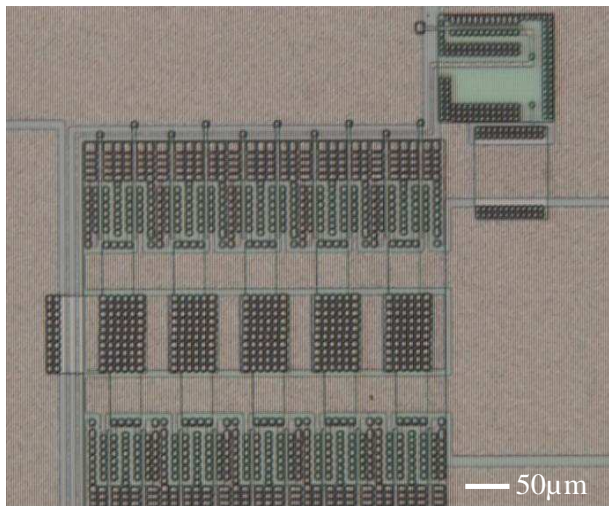
f) Inverseurs à résistance en N+ (gauche) et en silicium-polycristallin (droite)



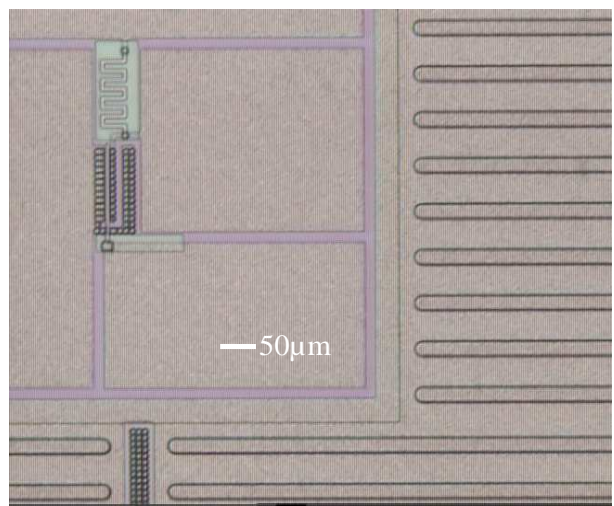
g) Push-pull en N-MOS calibre de courant de 0,03A



h) Push-pull en N-MOS calibre de courant de 0,3A



i) Étage d'amplification complet (3 N-MOS + 1 résistance en N+)



k) Push-pull à résistance (en Si-Poly) intégré au sein du VDMOS

**Figure V-12.** Photos du composant de puissance et des fonctions

En plus des variantes imaginées au niveau du layout, nous avons aussi imaginé engager une variante de procédé au niveau de l'épaisseur de l'oxyde de grille. En effet, comme nous l'avons vu dans les chapitres précédents, nous avons opté pour une réduction de l'épaisseur de grille, épaisseur qui permettait de réduire le niveau de polarisation au niveau de la grille du composant de puissance ce qui réduisait les contraintes de tenue en tension sur les composants latéraux. Nous avons donc lancé deux lots de quatre wafers pour la phase de réalisation. Le premier lot possède une épaisseur de l'oxyde grille ( $e_{ox}$ ) de 15 à 20nm et le second lot possède quand à lui une épaisseur de 30nm.

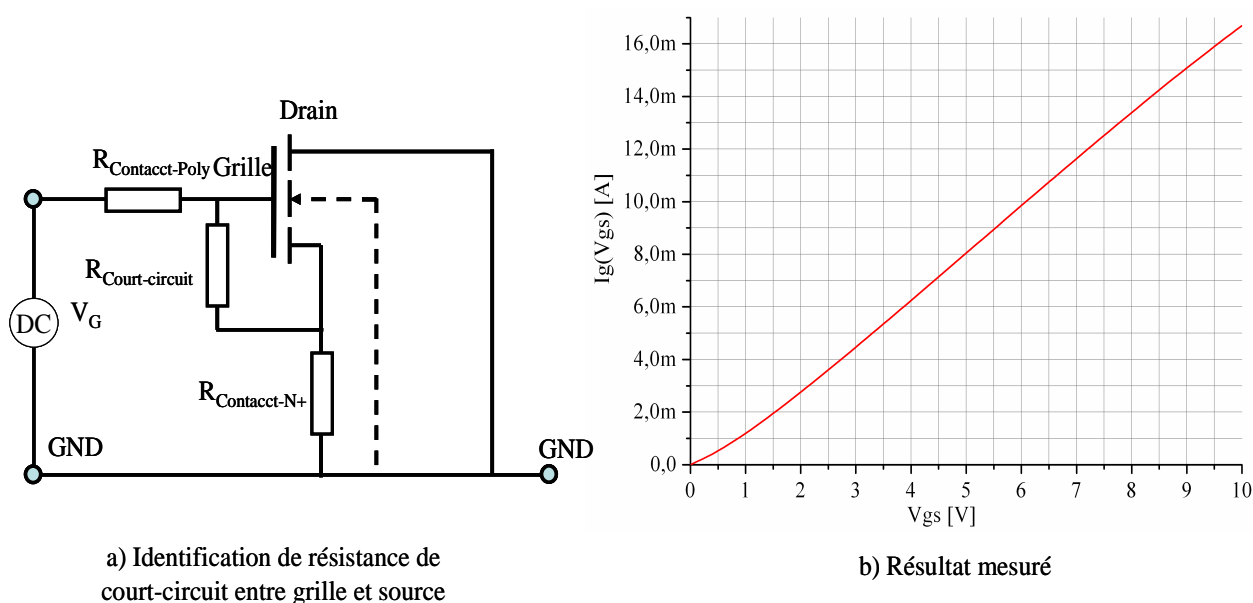
Sur les huit wafers engagés en début de procès dans la salle blanche du CIME, seules deux tranches et "demi" ont pu être poussées jusqu'à l'étape GALU qui correspond à la phase de lithographie qui suit le dépôt d'aluminium. Cette dernière étape s'est avérée difficile à conduire compte tenu de l'épaisseur d'alu déposée. De fait, à l'heure actuelle seule une tranche avec épaisseur de grille 20nm est sortie de la salle blanche. Cette dernière étape de gravure d'aluminium fut particulièrement rude à conduire car nous n'avions pas accès à un bâtiment de gravure RIE comme cela avait été prévu durant la phase de conception du procédé technologique. Or en gravure humide, la surgravure latérale devenait trop importante et coupait de nombreux motifs. La caractérisation qui va suivre porte donc sur l'exploitation de cette tranche.

#### **V.4 Caractérisation et validation expérimentale des fonctions élémentaires.**

Compte tenu des difficultés rencontrées au cours du procédé technologique, la tranche présente un rendement technologique assez faible, de l'ordre de 20%. Ce rendement reste néanmoins tout à fait honorable compte tenu du fait que le procédé était conduit pour la première fois sous cette forme et dans cette salle blanche. Hélas, en cours de caractérisation, nous avons constaté une erreur de conception importante. Cette erreur se situe au niveau des tolérances prises sur l'alignement et marges entre niveaux. Ainsi, une surgravure latérale du LTO due à une épaisseur trop importante nous a conduit à créer un court circuit partiel entre la source et la grille des composants verticaux à grille. C'est en effet sur ces composants seulement que nous avons exploité la tolérance minimale pour densifier les fonctions. Ce choix conceptuel nous coûte aujourd'hui cher car tous les composants de puissance à structure verticale sont défaillants. Par ailleurs, une bonne partie des composants latéraux reposant sur cette tolérance minimale au niveau de la gravure LTO ont subi le même sort sans pour autant être totalement défaillant car dans ces cas les courts circuits restent raisonnables.



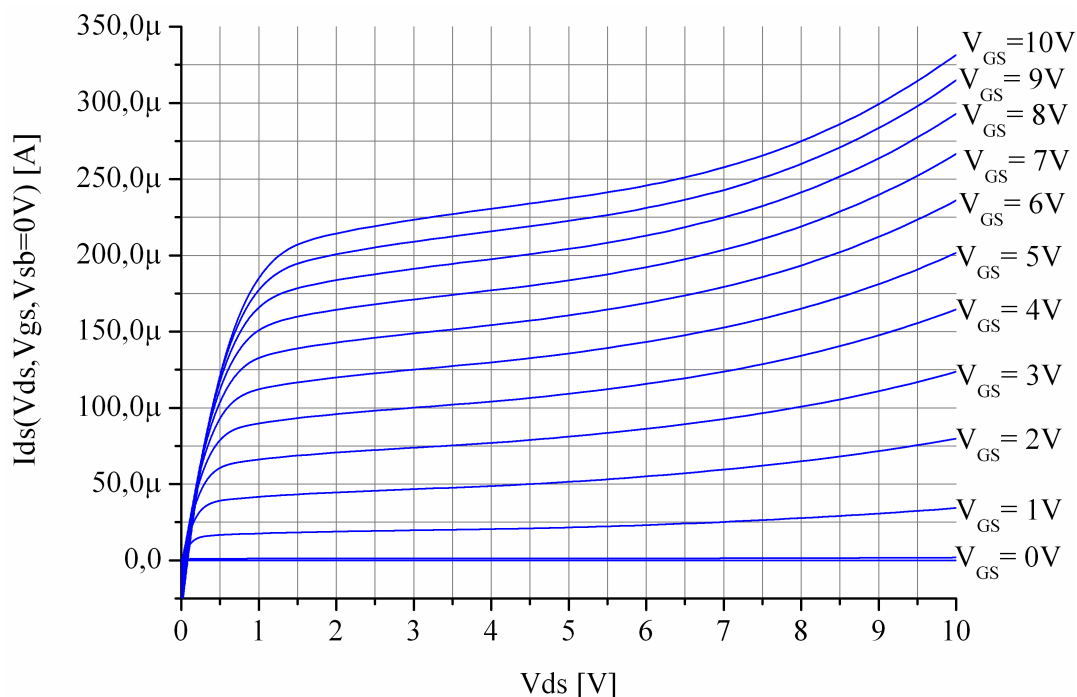
La figure ci-dessous présente un schéma équivalent tenant compte de la présence de l'impédance de court-circuit et d'autres impédances qui, du coup, prennent une certaine importance. Sur la même figure et à droite du schéma, le tracé de l'impédance totale entre les électrodes de grille et de source sur un transistor N-MOS latéral avec une largeur de canal de  $43\mu\text{m}$ . Cette caractéristique fait clairement apparaître le caractère résistif produit par le court-circuit et les autres impédances. L'impédance totale vaut environ  $600\Omega$  qu'il faut répartir sur les trois résistances du circuit. À l'aide des calculs théorique sur les contacts ohmiques métal semi-conducteur et des motifs de test et de caractérisation du procédé technologique [VINCENT 08], nous avons pu identifier que la valeur de la résistance du contact de grille était comprise entre  $500$  et  $600\Omega$ . Par ailleurs, il fut évalué que la résistance de prise de contact de source restait négligeable. La grille effective du transistor se trouve alors précédé d'un pont diviseur résistif particulièrement important et dont l'atténuation excède le facteur 100. Fort de cette interprétation, nous avons pu poursuivre nos efforts de caractérisation en conséquence.



**Figure V-13.** Schéma équivalent tenant compte du court-circuit et caractéristique  $I_{GS}(V_{GS})$  lorsque drain et source est court-circuité

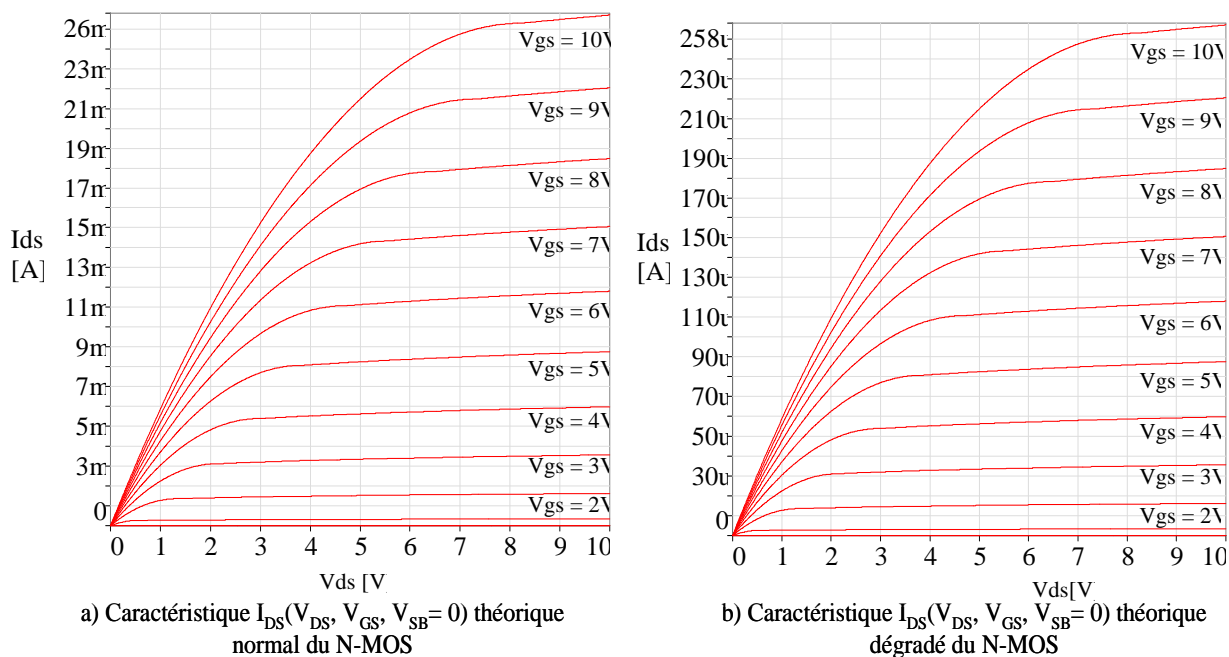
#### V.4.1 Le transistor N-MOS à substrat (porte canal) connecté en interne au potentiel de source.

Ce composant n'échappe pas au problème posé par la surgravure de la couche LTO. De fait, le composant est anormalement polarisé. La figure ci-dessous présente une caractéristique statique mesurée et "dégradée" qui se trouve être bien loin de nos attentes.



**Figure V-14.** Caractéristique dégradée du N-MOS low side de faible courant

Pour tenter de valider notre travail nous avons du tenir compte au niveau modélisation de la présence du court-circuit entre grille et source. En faisant le choix d'un diviseur par 100, nous avons pu identifier que la caractéristique statique théorique se trouvait en accord avec la mesure. Ci-dessous le calcul théorique de la caractéristique statique en présence ou pas de l'effet induit par le court-circuit.

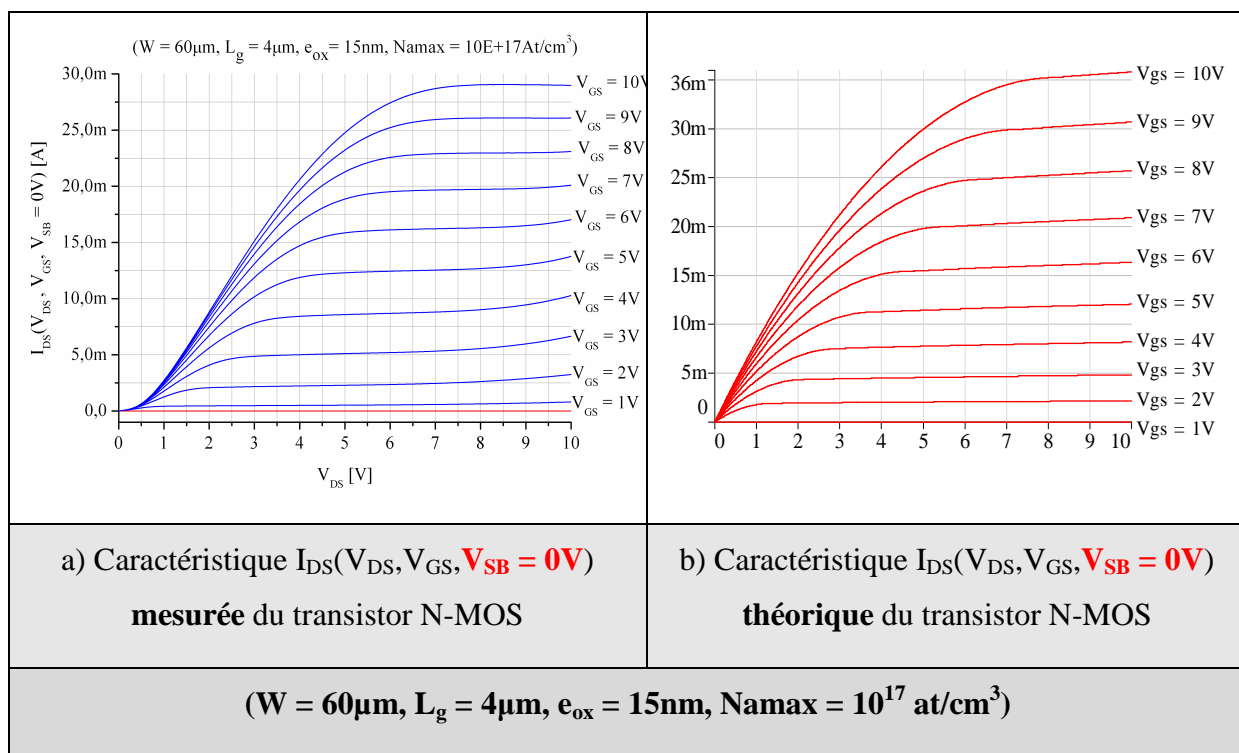


**Figure V-15.** Caractéristique théorique normale et dégradée du N-MOS "low side" ( $W = 43\mu\text{m}$ ,  $L_g = 4\mu\text{m}$ ,  $e_{ox} = 15\text{nm}$ ,  $N_{amax} = 10^{17} \text{at/cm}^3$ )

Ce travail d'analyse et de correction permet de valider partiellement la fonction créée. Il nous a aussi permis de bien prendre conscience de l'importance du contact aluminium silicium polycristallin. En effet, les plots que nous avons dimensionnés au niveau de ce contact s'avère être de petite taille. Aussi dans un cas idéal, l'impédance résistive issue de ce contact pourrait pénaliser la caractérisation dynamique des composants. C'est un point que nous devons approfondir.

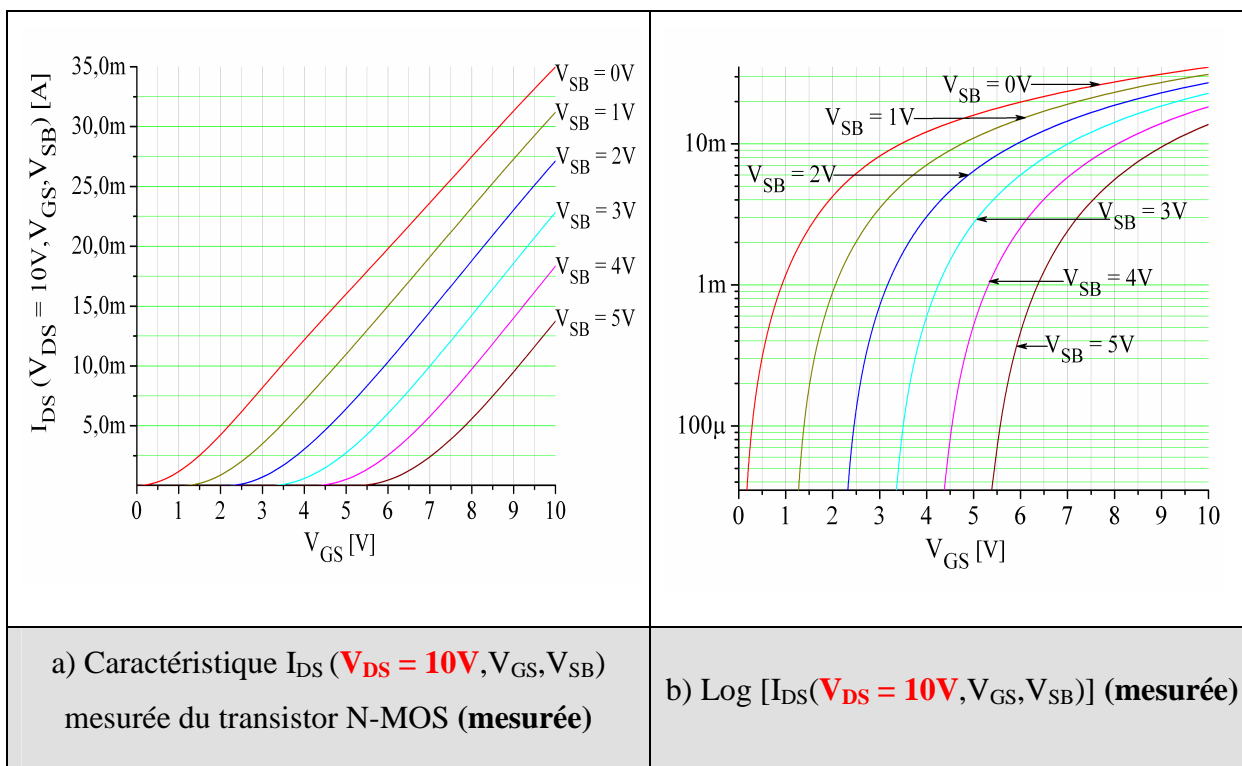
#### V.4.2 Le transistor N-MOS à substrat (porte canal) flottant

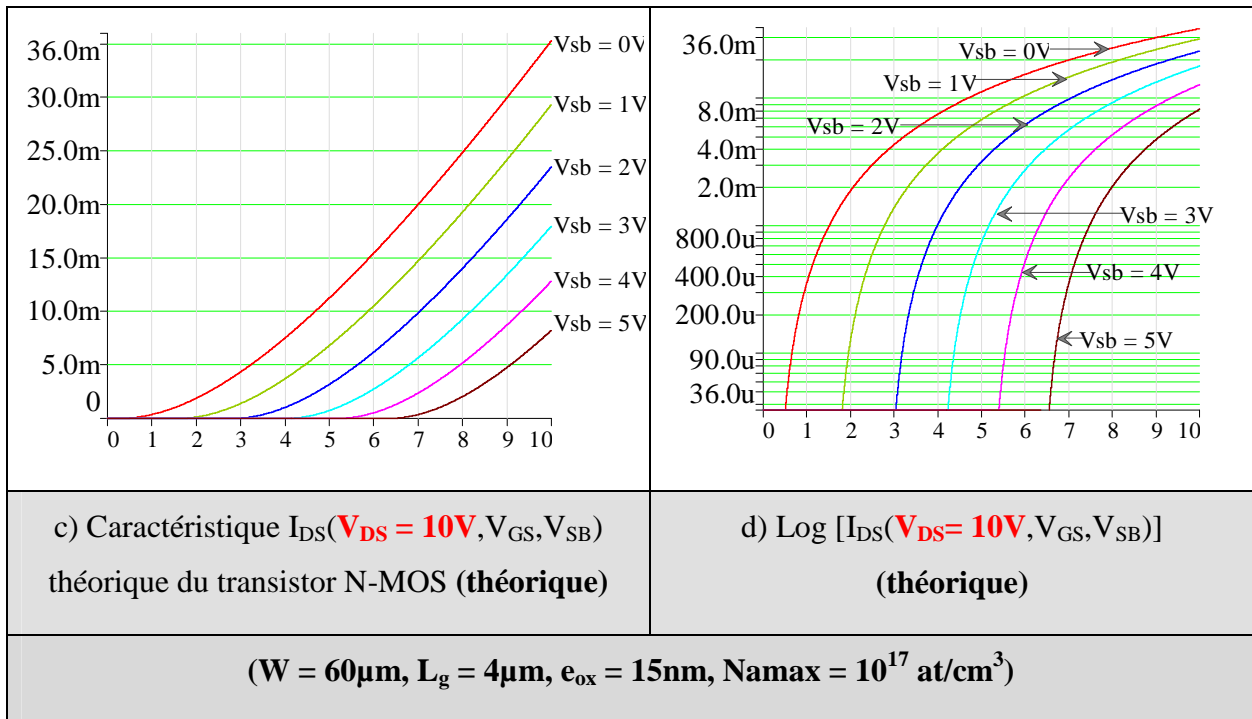
Par chance, ce composant a échappé au problème de gravure LTO. En effet, compte tenu d'une structure du layout différente, nous avons été amenée à relâcher une contrainte qui, du coup, s'avère nous offrir notre seul composant à grille totalement fonctionnel. La figure ci-dessous présente une caractéristique statique  $I_{DS} = f(V_{DS}, V_{GS}, V_{SB})$  du composant. Celle-ci est conforme à nos attentes avec une erreur relative entre notre modèle de dimensionnement et la caractéristique mesurée de l'ordre 30 à 50% selon les transistors testés. Nous avons parlé plus de chance et cela est réellement le cas car sans ce composant fonctionnel, grande aurait été notre déception. Avec ce composant, c'est l'ensemble de notre démarche et de nos efforts que nous pouvons considéré comme au moins partiellement validé ! Les deux caractéristiques théoriques et pratiques ci-dessous sont assez proches comptes tenus du fait que le modèle est purement théorique. En effet, à ce stade de la caractérisation, nous n'avons pas encore pu procéder à la caractéristique du procédé technologique et de la structure physique des composants (par **Spreading** résistance par exemple). De fait, nos modèles s'appuient sur des caractéristiques idéalisées.



**Figure V-16.** Caract  $I_{DS} = f(V_{DS}, V_{GS}, V_{SB} = 0)$  théorique et pratique

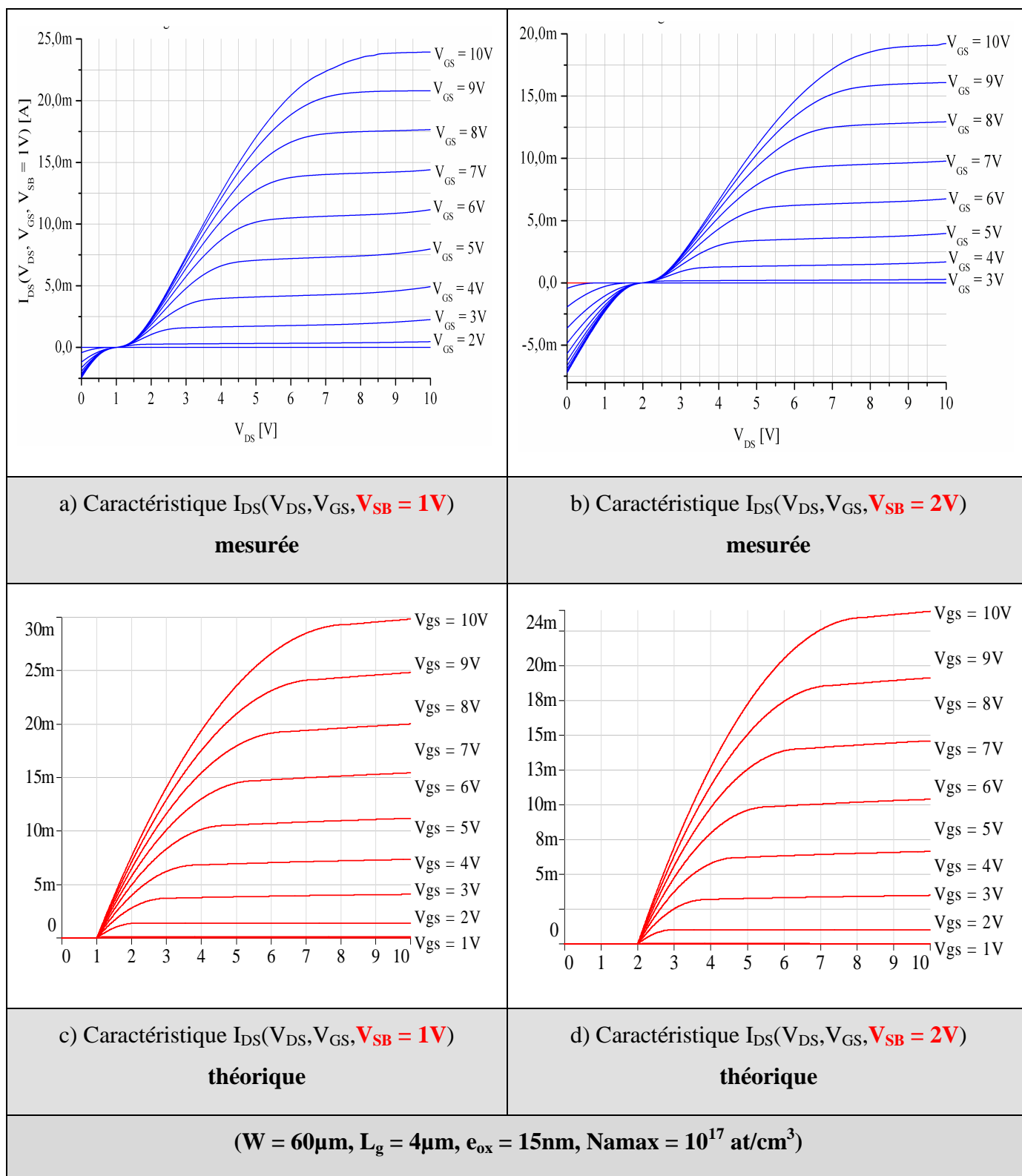
Continuant à analyser et étudier les différentes caractéristiques du composant, nous avons sortie la caractéristique  $I_{DS} = f(V_{DS} = cst, V_{GS}, V_{SB})$  afin d'identifier la tension de seuil précise du dispositif. Cette caractéristique à faible  $V_d$  est présentée figure suivante.





**Figure V-17.** Caractéristique  $I_{DS}(V_{DS} = 10V, V_{GS}, V_{SB})$  mesurée et théorique du transistor N-MOS

L'extrapolation de la partie linéaire et son intersection avec l'axe des abscisses nous donne une valeur de la tension de seuil à faible niveau. Celle-ci est proche de 0,6V ce qui correspond assez bien à nos estimations théoriques en considérant que la concentration du porte canal est conforme à nos attentes. Par ailleurs, nous pouvons constater sur ces caractéristiques les effets induits par le potentiel de substrat. Ici aussi, nous pouvons dire que les résultats pratiques sont en accord avec les résultats théorique prédisant le comportement du composant latéral. Les effets de substrats sont aussi visible sur les caractéristiques statiques qui suivent et pour lesquelles la pratique est assez conforme à la théorie.



**Figure V-18.** Caractéristiques théoriques et pratiques  $I_{DS}=f(V_{DS}, V_{GS}, V_{SB})$

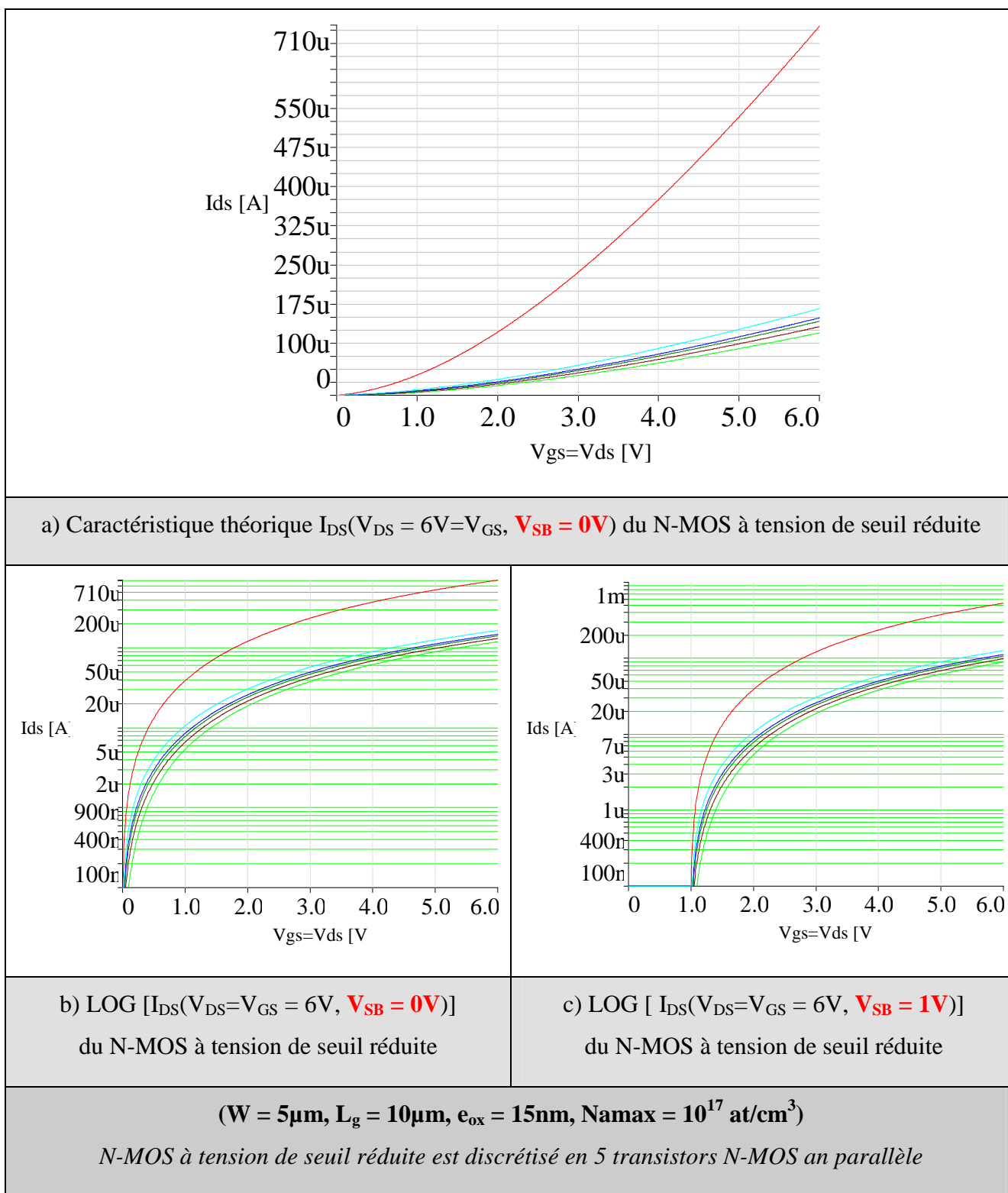
### V.4.3 Le transistor N-MOS à tension de seuil réduite

Nous avons deux versions pour les transistors à tension de seuil réduite : Dans la première version, les transistors ont le drain et la source du même côté de la grille (c.f figure V-8) et dans la deuxième, le drain et la source sont aux extrémités de la grille (c.f. figure V-10). Pour les deux cas, la grille et le drain du transistor N-MOS sont court-circuités, et les transistors se comportent donc comme des sources de courant.

| Transistor N-MOS à tension de seuil réduite (R_NMOS_WL <sub>g</sub> _r) | W (µm)<br>(Largeur de la grille) | Lg (µm)<br>(longueur de la grille) | r (µm) l'écart entre la bordure de lithographie avec la grille |
|---|----------------------------------|------------------------------------|--|
| R_NMOS_W4L6_2   | 4                                | 6                                  | 2  |
| R_NMOS_W5L6_2   | 5                                | 6                                  | 2  |
| R_NMOS_W6L6_2   | 6                                | 6                                  | 2  |
| R_NMOS_W4L20_3  | 4                                | 20                                 | 3  |
| <b>N-MOS à tension de seuil réduite version 1</b>                       |                                  |                                    |  |
| R1_NMOS_W4L10_3   | 4                                | 10                                 | 3  |
| R1_NMOS_W5L10_3   | 5                                | 10                                 | 3  |
| R1_NMOS_W6L10_3   | 6                                | 10                                 | 3  |
| R1_NMOS_W4L20_3   | 4                                | 20                                 | 3  |
| <b>N-MOS à tension de seuil réduite version 2</b>                       |                                  |                                    |  |

**Tableau V-7.** Transistors N-MOS à tension de seuil réduite

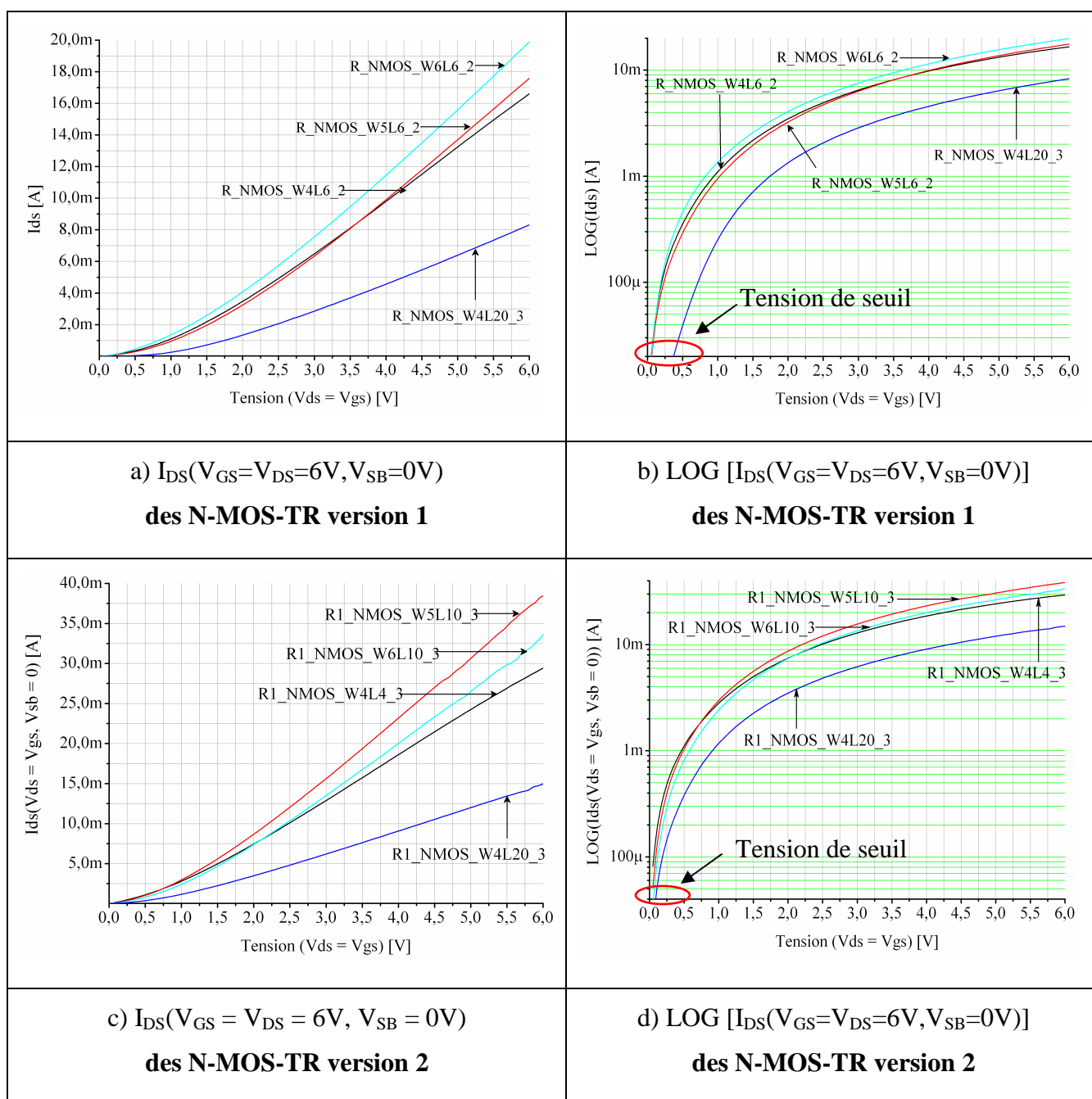
La figure suivante présente les caractéristiques théoriques du transistor N-MOS-TR en discrétisant en cinq transistors en parallèle avec le niveau de dopage constant équivalent pour chacun.



**Figure V-19.** Caractéristiques **théoriques** du N-MOS à tension de seuil réduite

Le tableau ci-dessous présente des résultats mesurés de deux versions N-MOS-TR abordés.



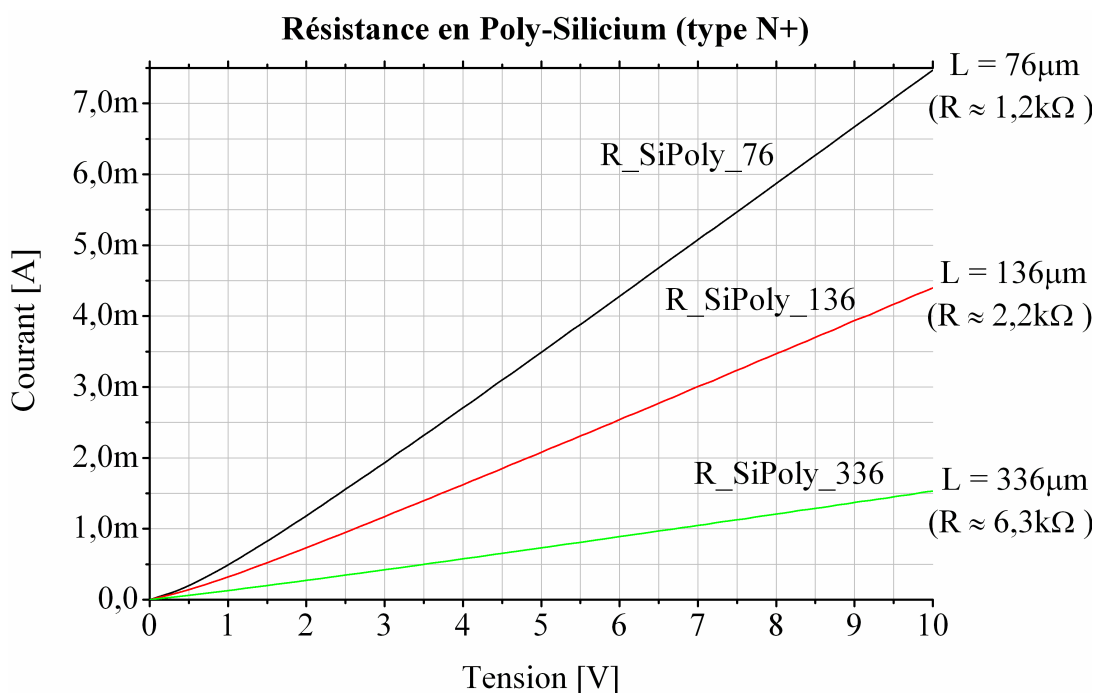


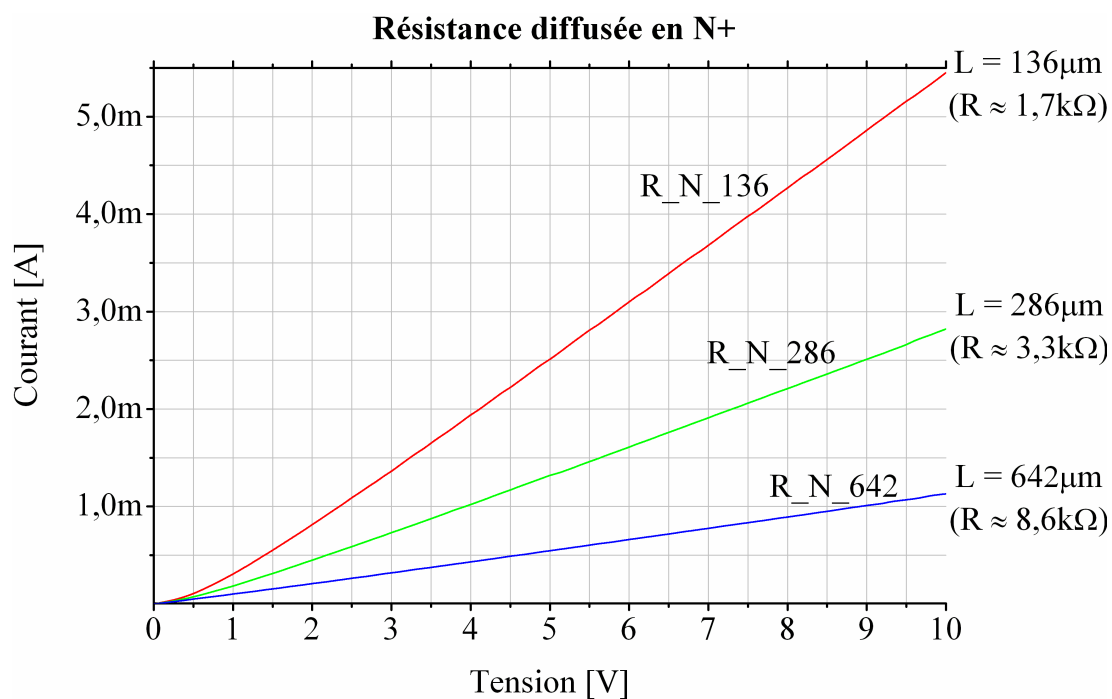
**Figure V-20.** Résultats mesurés des transistors N-MOS à tension de seuil réduite ( $\epsilon_{ox} = 15\text{nm}$ )

Première remarque : les tensions de seuil de ces transistors sont très faibles et proches de 0V. Ceci correspond bien aux résultats théoriques (figure V-19.b). Deuxième point sur l'écart important entre le courant théorique et celui en pratique : En comparant le résultat de la figure V-19.a avec le résultat de R1\_NMOS\_W5L10\_3 (figure V-20.c), on obtient un rapport de 60. Faute de temps, nous n'avons pas pu creuser d'avantage ce point mais il apparaît clairement ici aussi un effet néfaste lié à notre procédé technologique. Probablement, une résistance vient court-circuiter en partie le transistor, ce qui expliquerait les caractéristiques et niveaux de courants obtenus.

#### V.4.4 Les résistances intégrées.

La caractérisation des résistances intégrées n'a posé aucun problème particulier. Le rendement de ces composants est par ailleurs assez élevé. De fait, nous avons consigné dans le tableau suivant un groupe de mesures sur différentes familles et variantes. Celles-ci sont à comparer avec les valeurs théoriques auxquelles nous nous attendons. Comme on peut le voir, l'erreur faite en absolue est relativement importante et proche de 100% dans certains cas mais globalement les évolutions sont linéaires et stables. Par ailleurs, même si l'erreur semble importante, les ordres de grandeurs sont respectés. Enfin, l'heure actuelle, nous ne disposons pas de données de retour sur le déroulement du procédé technologiques et des écarts qu'il y a entre nos attentes et la réalité. Cela peut expliquer les différences qui apparaissent ici. De plus, dans le cas des résistances en silicium polycristallin, les caractéristiques du dépôt conditionnent fortement la résistivité du matériau. Pour ces résistances, le contact avec le métal est aussi un facteur important. Les figures ci-dessous présentent quelques caractéristiques  $I = f(V)$  pour plusieurs familles de résistances.





**Figure V-21.** Résultats mesurés des résistances

Le tableau ci-dessous récapitule la valeur des résistances en N<sup>+</sup> et en silicium-polycristallin mesurées et théoriques. Cela nous donne une image de l'erreur entre la valeur théorique avec celle en pratique.

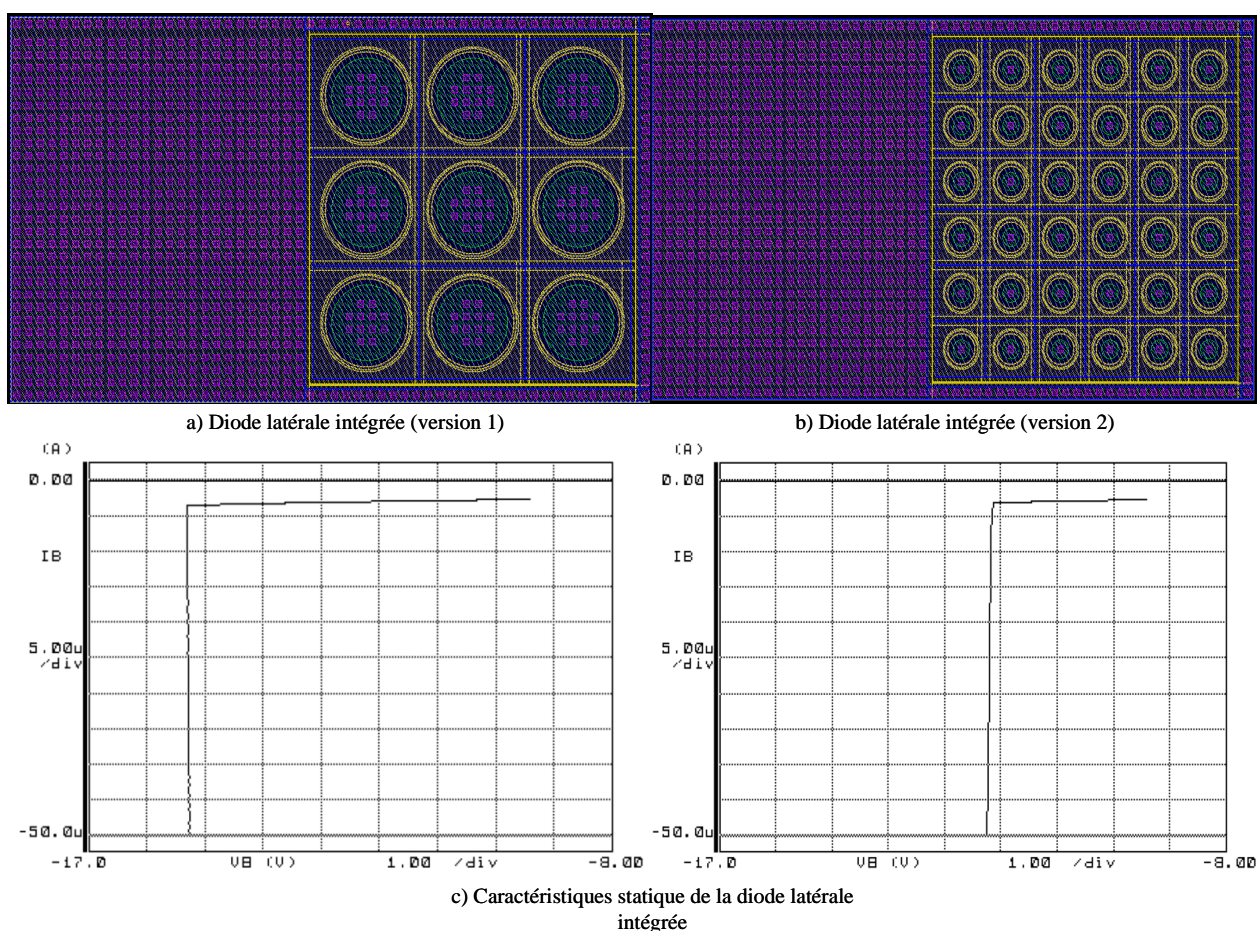
| Résistances                          | N <sup>+</sup><br>(N <sub>dmax</sub> = 5.10 <sup>19</sup> at/cm <sup>3</sup> ,<br>P <sub>jNpPm</sub> = 1μm) |       |       |      | Si-Poly<br>(ρ = 3.10 <sup>-3</sup> Ω.cm,<br>épaisseur = 7000Å) |      |      | Résistance<br>de contact<br>(Ω) |
|--------------------------------------|---|-------|-------|------|--|------|------|---------------------------------|
|                                      | 28  | 136   | 286   | 642  | 76   | 136  | 336  |                                 |
| Longueur de la<br>résistance: L (μm) | 28  | 136   | 286   | 642  | 76   | 136  | 336  | De qqe<br>Ω à qqe<br>100Ω       |
| Valeur mesurée (Ω)                   | 360   | 1700  | 3300  | 8600 | 1200   | 2200 | 6300 |                                 |
| Valeur théorique (Ω)                 | 300   | 1470  | 3100  | 7000 | 820  | 1500 | 3600 |                                 |
| Exactitude (%)                       | 83  | 86,35 | 93,58 | 81,4 | 68,3   | 68,2 | 57,2 |                                 |

**Tableau V-8.** Récapitulatif des valeurs des résistances mesurées et théoriques

Ces premiers résultats encourageants ne doivent pas occulter l'effort qu'il reste à fournir pour les caractériser en situation, au niveau dynamique mais aussi vis-à-vis des couplages et interactions avec l'environnement. Nous aurons l'occasion d'aborder ce point en fin de chapitre.

➤ Les diodes intégrées à avalanches différentes

Cette partie ne contient que quelques résultats pratiques pour information car la comparaison et l'analyse théorique fut conduite dans une autre thèse [ROUGER 08]. On présente néanmoins quelques premiers résultats positifs attestant des possibilités que nous avons au niveau du layout pour faire varier les caractéristiques fonctionnelles de ce type de composant. La figure ci-dessous présente un ensemble de caractéristiques statiques de diodes en polarisation inverse.



**Figure V-22.** Caract  $I_D=f(V_D)$  pratique

En quelques mots, en jouant sur des jonctions cylindriques ou même sphériques, nous pouvons modifier la tenue en tension d'une jonction PN. Par ailleurs, en jouant sur l'étendue possible de la ZCE, nous pouvons également ajuster (sous entendu réduire) la tenue en tension d'une diode. A partir de ces premiers résultats, il reste bien entendu à valider les caractéristiques en courant. Celles-ci seront conduites dans la thèse de N. Rouger [ROUGER 08].

## **V.5 Caractérisation des fonctions complexes avec application à l'intégration fonctionnelle pour transistors verticaux à grille.**

### **V.5.1 Le bras inverseur**

L'inverseur logique est composé d'une résistance de polarisation et d'un transistor N-MOS à porte-canal connecté à la source. De fait, nous avons du mal à caractériser dans les meilleures conditions cette fonction. Nous avons réalisé quelques tests en statique mais la partie importante en dynamique n'a pu être engagée compte tenu des délais mais aussi du manque de performance offerte par le transistor latéral (état passant médiocre, consommation importante de la grille). Aucune conclusion sur les performances ne peut être énoncée.

Une solution intermédiaire consistera à utiliser un N-MOS à porte canal flottant et à connecter par « bondings » les deux composants discrets pour évaluer les caractéristiques fonctionnelles et dynamiques. Néanmoins, dans ce cas, les inductances parasites pourront peut-être dégrader les performances hautes fréquences.

### **V.5.2 La porte logique.**

Un constat comparable peut être fait au niveau des portes logiques. Leur caractérisation dynamique risque d'être assez difficile à faire compte tenu des limites introduites par la présence du court-circuit au niveau des grilles des transistors. Nous avons tout de même prévu de pousser ces composants et voir quelle est la bonne passante fréquentielle des composants logiques. Les études d'interactions avec le substrat seront aussi à conduire.

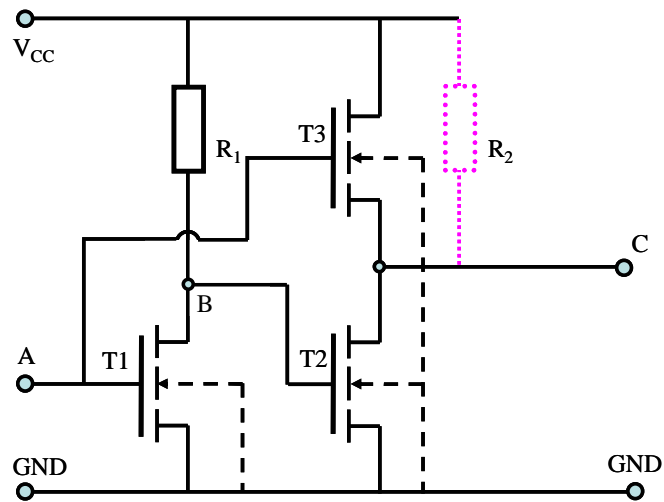
### **V.5.3 L'étage de sortie d'une commande à N-MOS**

L'étage de sortie de d'une commande à N-MOS représente le cœur de notre travail. Malheureusement il est composé de plusieurs transistors N-MOS à porte canal référencé ! De fait, là encore, il nous est difficile de valider et de démontrer une quelconque fonctionnalité. Un gros travail reste à faire au niveau des ces familles de fonctions.

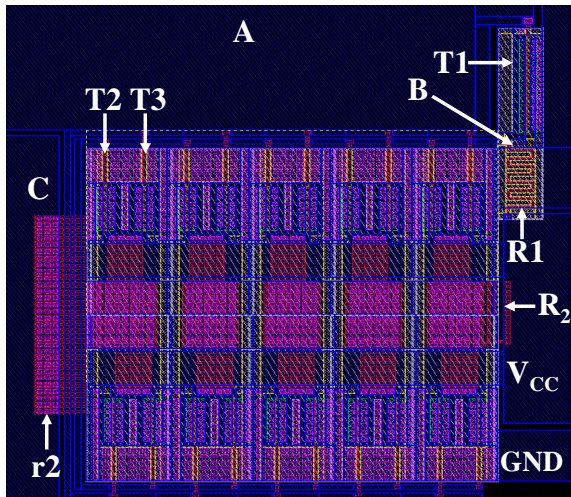
#### **V.5.4 Intégration au sein d'un composant de puissance.**

L'ensemble des fonctions élémentaires et "complexes" a été intégré au sein de composants de puissance. Malheureusement, ces derniers présentent des caractéristiques de mauvaises qualités. Par ailleurs, dans le cadre du peu de temps qu'il nous restons pour conclure sur ce travail de thèse, il ne nous a pas été possible de finaliser un banc de caractérisation complet permettant de mettre en œuvre un composant de puissance et sa ou ses fonctions intégrées.

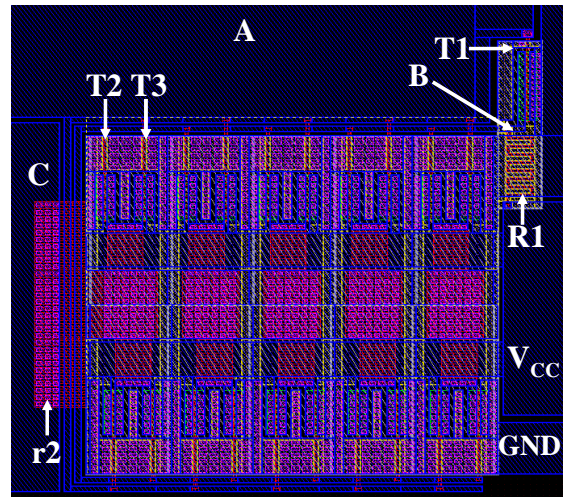
Nous présentons ici quelques images de fonctions "complexes" intégrées au sein d'un composant de puissance. En particulier, plusieurs étages de sortie de commande rapprochée intégrées au sein du composant de puissance de type MOSFET sont visibles. Un long travail de caractérisation reste à conduire.



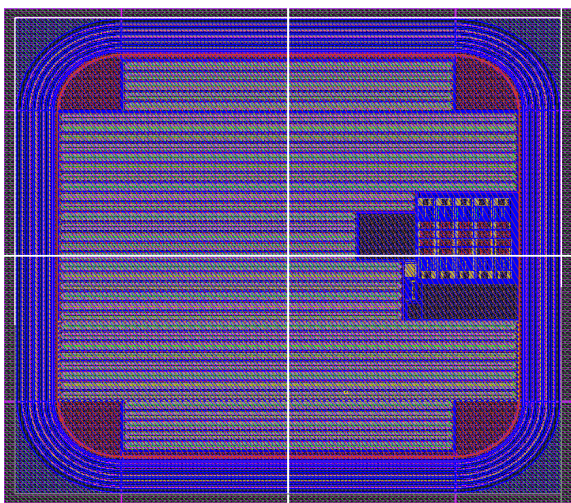
a) Schéma de principe équivalent du layout d'étage d'amplification complet



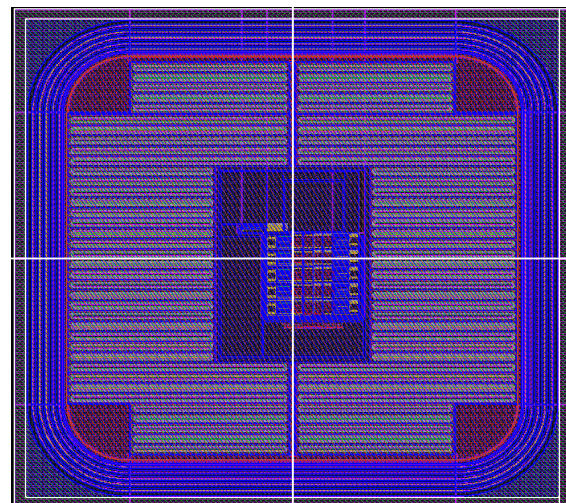
b) Layout de l'étage d'amplification complet avec la résistance  $R_2$



c) Layout de l'étage d'amplification complet sans la résistance  $R_2$



d) Layout de l'étage d'amplification complet intégré au sein du VDDMOS (proche de la grille du VDDMOS)



e) Layout de l'étage d'amplification complet intégré au sein du VDDMOS (mis au centre du composant de puissance)

**Figure V-23.** Étage d'amplification intégré au sein du transistor de puissance VDMOS

## **V.6 Premières conclusions et perspectives sur le procédé et l'effort de caractérisation/validation qu'il reste à faire.**

Les premiers résultats issus des caractérisations statiques des composants élémentaires sont encourageants. Cependant, ces premiers travaux ne représentent qu'une petite partie du travail qu'il va falloir conduire pour poursuivre la caractérisation de la filière et des composants et fonctions issues de la filière. Ce vaste chantier est en train de se mettre en place mais nous n'avons pas pu l'engager avant la rédaction du mémoire de thèse. Parmi les points importants qu'il va nous falloir aborder il y a entre autres :

- La caractérisation du procédé technologique pour le calage des données physiques et électriques élémentaires. Cela sera conduit par une exploitation importante des motifs de test et de caractérisation technologique contenu sur les tranches [VINCENT 08]

- La caractérisation dynamique des composants et fonctions élémentaires et complexes sans prendre en compte de l'environnement de puissance. Cette partie permettra de compléter le calage des paramètres des modèles dynamiques et comportementaux des différentes fonctions.

- La caractérisation des interactions entre puissance et commande dans le but de valider expérimentalement le modèle équivalent du transistor N-MOS en VHDL-AMS et l'étude approfondie de la susceptibilité des composants latéraux face aux composants de puissance. Malgré nos problèmes technologiques, cela est tout à fait envisageable dans les cas de transistors VDMOS en montant les composants de puissance intégrant des fonctions en parallèle avec des interrupteurs fonctionnels.

Pour l'ensemble des tests à venir, des bancs de caractérisation vont devoir être montés pour conduire des essais sous pointes mais aussi après montage en boîtier. C'est à ce prix que nous pourrions réellement conclure sur la viabilité de la démarche et sur les perspectives offertes en terme de conception intégrée et capitalisation des connaissances.



## **V.7 Conclusion du chapitre.**

Ce dernier chapitre vient clore le document reportant le travail de recherche que j'ai conduit pendant plus de trois ans de thèse. Nous le voulions démonstratif et finalisant un travail conséquent sur l'intégration fonctionnelle. Malheureusement, par manque de temps mais aussi par "gourmandise", nous n'avons pu aboutir totalement. Le travail reste conséquent et partiellement couronné de succès. Il reste maintenant à poursuivre sur le travail de caractérisation mais aussi à tirer les enseignements des erreurs commises au niveau conception et réalisation.

## Table des figures et des tableaux du Chapitre V

|   |  |     |
|---|--|-----|
| Figure V-1.                                 | Structure d'un JFET vertical de puissance .....  | 188 |
| Figure V-2.                                 | Topologie retenue de la commande rapprochée à intégrer .....   | 190 |
| Figure V-3.                                 | Layouts des transistors N-MOS en technologie VDMOS<br>a) NML-1. b) NML-2. c) NMH-1. d) NMH-2.....  | 191 |
| Figure V-4.                                 | Résistance intégrée en caisson diffusé en N+ .....   | 192 |
| Figure V-5.                                 | Layouts des résistances en N+ ayant différentes longueurs .....  | 193 |
| Figure V-6.                                 | Résistance en silicium-polycristallin .....  | 194 |
| Figure V-7.                                 | Layouts des résistances en silicium-polycristallin.....  | 195 |
| Figure V-8.                                 | N-MOS à tension de seuil réduite (version 1) .....   | 198 |
| Figure V-9.                                 | Layouts de la première famille des transistors N-MOS-TR .....  | 198 |
| Figure V-10.                                | N-MOS à tension de seuil réduite (version 2) .....   | 199 |
| Figure V-11.                                | Layouts des N-MOS-TR avec le drain et la source à l'extrémité de la grille .   | 200 |
| Figure V-12.                                | Photos du composant de puissance et des fonctions.....   | 206 |
| Figure V-13.                                | Schéma équivalent tenant compte du court-circuit et caractéristique $I_{GS}(V_{GS})$<br>lorsque drain et source est court-circuité .....   | 208 |
| Figure V-14.                                | Caractéristique dégradée du N-MOS low side de faible courant .....   | 209 |
| Figure V-15.                                | Caractéristique théorique normale et dégradée du N-MOS "low side"<br>( $W = 43\mu\text{m}$ , $L_g = 4\mu\text{m}$ , $e_{ox} = 15\text{nm}$ , $N_{amax} = 1017 \text{ at/cm}^3$ ) ..... | 209 |
| Figure V-16.                                | Caract $I_{DS} = f(V_{DS}, V_{GS}, V_{SB} = 0)$ théorique et pratique.....   | 211 |
| Figure V-17.                                | Caractéristique $I_{DS}(V_{DS} = 10\text{V}, V_{GS}, V_{SB})$ mesurée et théorique<br>du transistor N-MOS .....  | 212 |
| Figure V-18.                                | Caractéristiques théoriques et pratiques $I_{DS}=f(V_{DS}, V_{GS}, V_{SB})$ .....  | 213 |
| Figure V-19.                                | Caractéristiques théoriques du N-MOS à tension de seuil réduite .....  | 215 |
| Figure V-20.                                | Résultats mesurés des transistors N-MOS à tension de seuil réduite ( $e_{ox} =$<br>$15\text{nm}$ ).....  | 216 |
| Figure V-21.                                | Résultats mesurés des résistances.....   | 218 |
| Figure V-22.                                | Caract $I_D=f(V_d)$ pratique .....   | 219 |
| Figure V-23.                                | Étage d'amplification intégré au sein du transistor de puissance VDMOS ....  | 222 |
| <hr style="border-top: 1px dashed black;"/> |  |     |
| <b>Tableau V-1.</b>                         | Les étapes principales pour la fabrication d'un VDMOS.....   | 190 |
| <b>Tableau V-2.</b>                         | Variante des transistors N-MOSs.....   | 192 |
| <b>Tableau V-3.</b>                         | Valeurs théoriques des résistances en N+.....  | 194 |
| <b>Tableau V-4.</b>                         | Valeurs théoriques des résistances en silicium-polycristallin .....  | 195 |
| <b>Tableau V-5.</b>                         | Fonctions exotiques des N-MOS en technologie VDMOS .....   | 197 |
| <b>Tableau V-6.</b>                         | Tableau des fonctions complexes .....  | 204 |
| <b>Tableau V-7.</b>                         | Transistors N-MOS à tension de seuil réduite.....  | 214 |
| <b>Tableau V-8.</b>                         | Récapitulatif des valeurs des résistances mesurées et théoriques.....  | 218 |

## Références du chapitre V

[ALKAYAL 05] M.F. ALKAYAL « Contribution à l'intégration monolithique de protection contre les surtensions : application aux convertisseurs de puissance haute tension », thèse de doctorat de l'INPG, soutenue en Octobre 2005.

[CAMEL 05] C. CAMEL, « Techniques d'isolations applicables à une structure intégrées de protection des IGBT contre les courts-circuits », Article des journées scientifique du GdR ISP3D, Lyon, Octobre 2005.

[MITOVA 05] R. MITOVA « Intégration d'alimentation de la commande rapprochée d'un interrupteur de puissance à potentiel flottant », Thèse INPG, Octobre 2005.

[VINCENT 08] L. VINCENT « Conception assistée et prototypage de systèmes intégrés sur silicium - Application interrupteur de puissance à commande automatique », thèse de doctorat de l'INPG, soutenue prévue Septembre 2008.

[SANCHEZ] Jean-Louis SANCHEZ, Frédéric MORANCHO « Composants semi-conducteur : Intégration de puissance monolithique », Techniques de l'Ingénieur D3110.

[ROUGER 08] N. ROUGER « Intégration monolithique pour transistors à grille isolée : Auto-alimentation de la commande rapprochée et isolation optique », thèse de doctorat de l'INPG, soutenue prévue Septembre 2008.

# CONCLUSION GÉNÉRALE



**L**e travail effectué et reporté dans ce document de thèse présente un spectre assez large depuis les structures de conversion, les approches systèmes et circuits en allant jusqu'aux composants de puissance, à leur physique de fonctionnement le tout en passant par des aspects conceptions et prises en main et réalisations technologiques conséquents. Cela confère à ce travail de thèse une certaine difficulté pour faire ressortir clairement et rapidement les avancées réalisées dans chacun des points. L'ensemble présente toutefois une certaine cohérence mettant en évidence le besoin actuel de coupler les sensibilités pour forcer les choses et repousser des limites conceptuelles et fonctionnelles au-delà de l'état de l'art. En effet c'est en mariant astucieusement l'approche système au contexte particulier de l'intégration fonctionnelle autour des composants de puissance à structure verticale que nous avons pu mettre en évidence les quelques points innovants et originaux de la thèse.

Dans cette conclusion générale, nous pouvons citer entre autres des éléments intéressants autour de la mise en œuvre des convertisseurs AC-AC commandables. En particulier, une nouvelle approche pour faciliter la gestion des commutations MOS-MOS, fréquemment présentée dans ce type de structure, a été développée et validée expérimentalement sur la base d'une réalisation discrète. Elle repose sur des dispositifs intégrables qui peuvent, à terme, simplifier et fiabiliser la mise en œuvre de ce type de convertisseur. Au-delà des aspects systèmes conceptuels et

fonctionnels liés aux convertisseurs AC-AC, des éléments et des concepts plus génériques et également intéressants ont aussi été développés au niveau de l'intégration monolithique de l'environnement électronique au sein même du composant de puissance. L'optimisation couplée du composant de puissance et de sa structure de commande à travers les choix d'optimum locaux plus avantageux est un dividende conceptuel fort. Par ailleurs, l'utilisation des particularités du procédé technologique du composant de puissance pour synthétiser un composant latéral aux caractéristiques avantageuses est également le fruit d'une immersion totale dans deux philosophies scientifiques et technologiques qui, lorsqu'elles sont maniées conjointement, permettent d'aborder et de repousser certaines limites fonctionnelles.

Au-delà des points particuliers c'est l'ensemble d'une démarche, d'un choix conceptuel reposant sur (une, la) maîtrise parfaite du contexte technologique et électrique au niveau des composants de puissance et des fonctions intégrées associées, qui se retrouve aujourd'hui conforté. Même si au stade atteint au cours de ce travail de thèse, nous ne sommes pas encore en mesure de valider et de clairement quantifier les atouts supposés par les choix faits, rien n'est pour l'instant venu entraver clairement l'approche. Aussi, il nous semble plus que jamais important de poursuivre les études et les analyses lancées par notre groupe autour de l'intégration de l'environnement électronique au sein des composant de puissance, avec pour maître mot, la rigueur technologique et l'excellence au niveau des concepts et efforts de conception. En restant raisonnable au niveau technologique, nous poursuivons sur une voie complémentaire à celles poursuivies pour nos proches partenaires ce qui, à terme, permettra nous l'espérons, de comparer et d'identifier les domaines privilégiés de chaque approche.

Il faut aussi souligner que ce travail est le fruit d'une collaboration importante entre plusieurs acteurs scientifiques et techniques regroupés au sein d'une équipe de recherche et développement. C'est particulièrement le cas pour les parties qui ont concerné l'intégration fonctionnelle, que se soit au niveau de la conception ou encore au niveau de la technologie. Au passage, je tiens à remercier les différents participants du groupe grâce auxquels nos efforts commencent à porter leurs fruits, que ces derniers soient du G2ELab ou encore du CIME-Nanotech-Grenoble.

Si certaines pistes et concepts originaux ont été identifiés, leur étude n'est à ce jour que partielle et un effort important d'exploitation et de validation reste encore à faire. En particulier, un grand nombre de composants élémentaires et de fonctions complexes ont été conçues et réalisées et il faut maintenant maintenir l'effort engagé et travailler à leur caractérisation et mise en œuvre concrète. Je pense ici en particulier aux études des interactions entre composant de puissance et composants latéraux afin de voir si les choix technologiques faits sont réalistes, au

moins des points de vues technologiques et électriques. Dans un second temps et dans l'hypothèse que cela s'avère positif, un effort important devra être engagé pour pérenniser le travail fait et tenter de le structurer pour, à terme, proposer un outil et un support de conception et de prototypage au service de l'intégration fonctionnelle. Il faudra pour cela coupler ces travaux avec d'autres travaux en cours au G2ELab ou chez nos proches partenaires et poursuivre les analyses d'interactions avec en ligne de mire, celles concernant la thermique. En effet, les composants de puissance sont des composants dont la température de fonctionnement est variable selon les conditions de mise en œuvre et les régimes de fonctionnement. Il ne faudrait pas que les parties logiques ou analogiques se trouvent fortement affectées par les couplages thermiques qui seront automatiquement forts. Enfin, et cela dépend de l'écho que ce travail aura au sein de la communauté scientifique et industrielle, il faudra voir dans quelles mesures ces travaux peuvent faire naître des synergies fortes et profitables pour tous. En effet, l'intégration des périphériques au sein des composants de puissance est un enjeu majeur dans le processus d'intégration, de fiabilisation et de réduction des coûts.





## **Annexes**

**Annexe I : Etablissement du courant  $I_{DS}$  pour transistor N-MOS latéral**

**Annexe II : Schémas électriques et cartes réalisées en PCB des gradateurs monophasés**

**Annexe III : Modèles des transistors latéraux (P-MOS et N-MOS) établis en VHDL-AMS**



## Annexe I

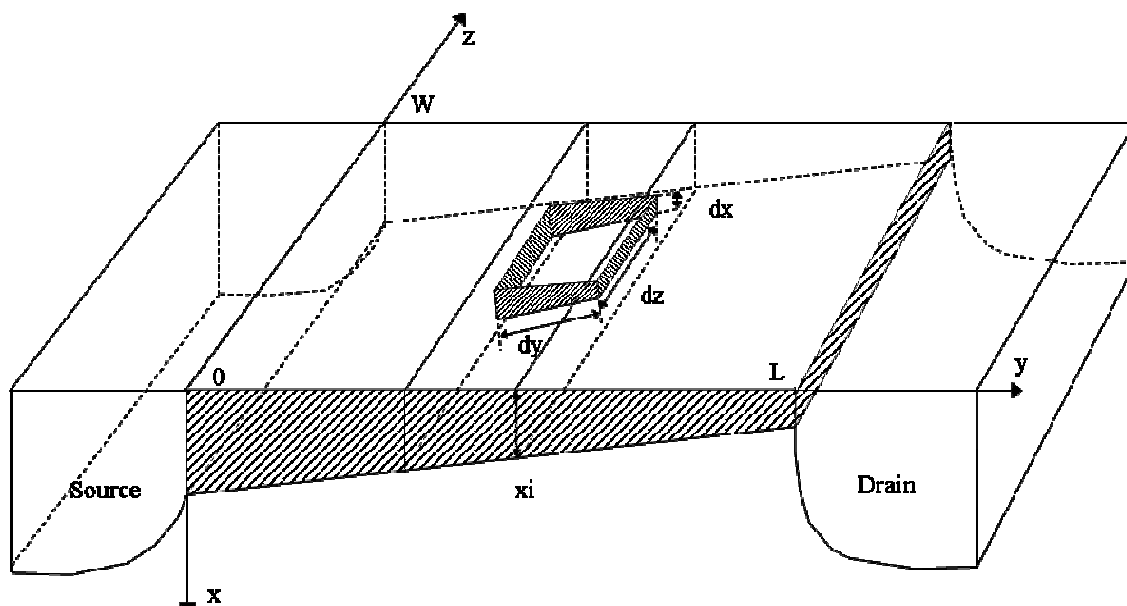
### Etablissement du courant $I_{DS}$ pour transistor N-MOS latéral

#### ❖ Détermination du courant $I_{DS}$ du transistor N-MOS

Pour calculer le courant de drain, nous supposons que :

- La capacité MOS est en régime de bandes plates à polarisation nulle, c'est-à-dire que la différence des travaux de sortie du métal et du semi-conducteur est nulle  $\Phi_{ms} = 0$ .
- Les porteurs ont une mobilité  $\mu$  constante dans toute la zone d'inversion.

Considérons la figure suivante en un point de coordonnées  $(x, y, z)$  du canal conducteur, c'est-à-dire de la couche d'inversion, la densité d'électrons est donc  $n(x, y, z)$  et la conductivité du canal est donné par  $\sigma(x, y, z) = q \cdot \mu \cdot n(x, y, z)$



**Figure A-1.** Zone active du N-MOS

La conductance dans la direction source-drain (direction  $y$ ) d'un élément de canal de coordonnées  $(x, y, z)$  et de volume  $d\tau = dx \cdot dy \cdot dz$  est donné par :

$$(A-1) \quad d^3g = \sigma(x, y, z) \cdot \frac{dx \cdot dz}{dy} = q \cdot \mu \cdot n(x, y, z) \cdot \frac{dx \cdot dz}{dy}$$

Compte tenu de la géométrie de la structure, la densité d'électrons est indépendante de  $z$  de sorte que l'intégrale sur  $z$  donne :

$$(A-2) \quad d^3g = W \cdot q \cdot n(x, y) \cdot \frac{dx}{dy}$$

En intégrant cette expression sur toute la section conductrice du canal, c'est-à-dire  $x = 0$  à  $x = x_i$  où  $x_i$  représente la limite de la zone d'inversion, on obtient alors :

$$(A-3) \quad dg = W.\mu. \frac{\int_0^{x_i} q.n(x, y).dx}{dy} = -W.\mu. \frac{Qs(y)}{dy}$$

$Qs(y)$  représente la charge associée aux électrons présents sur toute la profondeur  $x_i$  de la zone d'inversion par unité de surface de la structure, ou bien c'est la densité surfacique de charge d'inversion.

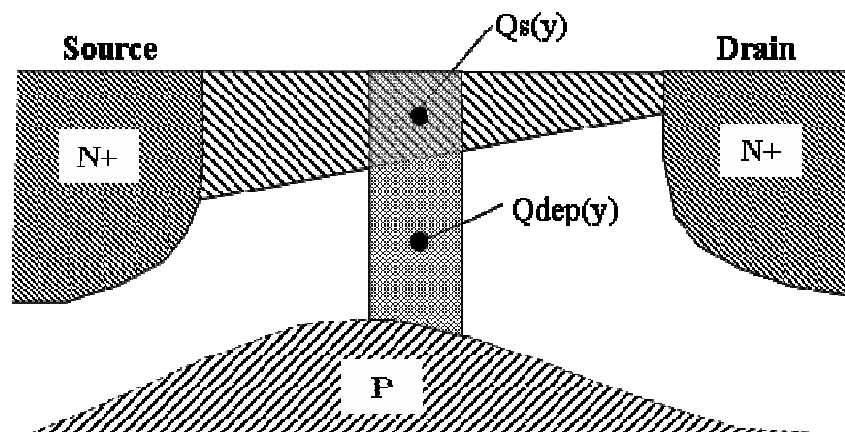
Cet élément de canal de longueur  $dy$  est étendu sur toute la section conductrice du barreau, il est donc parcouru par la totalité du courant de drain  $I_{DS}$ . La loi d'ohm aux bornes de cet élément de canal s'écrit donc :

$$(A-4) \quad I_{DS} = dg.dV$$

Où le courant de drain est conservatif c'est-à-dire constant avec l'axe  $y$ . En explicitant  $dg$  l'expression (A-3) s'écrit :

$$(A-5) \quad I_{DS}dy = -W.\mu.Qs(y).dV$$

Le courant de drain est obtenu par l'intégration de (A-5) sur l'axe  $y$  de  $y = 0$  à  $y = L$ , et sur  $V$  de  $V = 0$  à  $V = V_{DS}$ . Pour cela, il faut au préalable expliciter la variation de  $Qs(y)$ . Regardons la figure suivante, en un point d'abscisse  $y$  de la structure, la densité surfacique de charges du semi-conducteur est donné par :



**Figure A-2.** Distribution de charges dans le transistor N-MOS

$$(A-6) \quad Q_{sc}(y) = Q_{dep}(y) + Q_s(y)$$

$Q_{sc}(y)$  représente la charge totale dans le semi-conducteur et  $Q_{dep}(y)$  est la charge de déplétion et  $Q_s(y)$  la charge d'inversion. La densité surfacique de charges participant au courant de drain est par conséquent donné par :

$$(A-7) \quad Q_s(y) = Q_{sc}(y) - Q_{dep}(y)$$

Si  $V_{GS}$  est le potentiel de la grille et  $V_s(y)$  le potentiel de surface du semi-conducteur à l'abscisse  $y$ , les densités surfaciques de charges développées à cette abscisse, dans le métal  $Q_m(y)$  et dans le semi-conducteur, sont données par

$$(A-8) \quad Q_m(y) = -Q_{sc}(y) = C_{ox} \cdot [V_{GS} - V_s(y)]$$

$$(A-9) \quad C_{ox} = \frac{\epsilon_{SiO_2}}{e_{ox}}$$

$C_{ox}$  représente la capacité de l'oxyde de grille par unité de surface

L'étude de la structure MOS montre qu'en régime de forte inversion la différence de potentiel entre la surface et le volume du semi-conducteur restait sensiblement égale à deux fois la différence entre le niveau de Fermi et le niveau intrinsèque du silicium (milieu de la bande interdite)  $2 \cdot \Phi_{Fi} = 2 \frac{k \cdot T}{q} \ln\left(\frac{N_a}{n_i}\right)$ . Ainsi en un point d'abscisse  $y$  du canal conducteur si on appelle  $V(y)$  le potentiel résultant de la polarisation drain-source et  $V_s(y)$  le potentiel de surface nous avons ainsi :

$$(A-10) \quad V_s(y) - V(y) = 2 \cdot \Phi_{Fi}$$

Compte tenu de la relation (A-10), la formule (A-8) s'écrit alors :

$$(A-11) \quad Q_{sc}(y) = -C_{ox} \cdot [V_{GS} - V(y) - 2 \cdot \Phi_{Fi}]$$

La charge de déplétion est déterminé par :

$$(A-12) \quad Q_{dep}(y) = -q \cdot N_a \cdot W(y) = -\sqrt{2 \cdot q \cdot N_a \cdot \epsilon_{si} \cdot [V_s(y) - V_{substrat}]}$$

Ou bien :

$$(A-13) \quad Q_{dep}(y) = -\sqrt{2 \cdot q \cdot N_a \cdot \epsilon_{si} \cdot [V(y) + 2 \cdot \Phi_{Fi} - V_{substrat}]}$$

En explicitant (A-7) avec (A-8) et (A-13) nous donne l'expression de la densité surfacique de charges d'inversion en un point d'abscisse  $y$  :

$$(A-14) \quad Q_s(y) = -C_{ox} \cdot [V_{GS} - V(y) - 2 \cdot \Phi_{Fi}] + \sqrt{2 \cdot q \cdot N_a \cdot \epsilon_{si} \cdot [V(y) + 2 \cdot \Phi_{Fi} - V_{substrat}]}$$

L'expression (A-5) peut s'écrire :

$$(A-15) \quad I_{DS} dy = W \cdot \mu \cdot C_{ox} \cdot [V_{GS} - V(y) - 2 \cdot \Phi_{Fi} - \frac{\sqrt{2 \cdot q \cdot N_a \cdot \epsilon_{si}}}{C_{ox}} \cdot \sqrt{V(y) + 2 \cdot \Phi_{Fi} - V_{substrat}}] \cdot dV$$

Nous avons  $V_{substrat} = V_{BS} = \text{constante}$ , en intégrant sur toute la longueur du canal nous obtenons :

$$(A-16) \quad I_{DS} = \frac{W}{L} \mu C_{ox} \cdot \left( \left( V_{GS} - 2 \cdot \Phi_{Fi} - \frac{V_{DS}}{2} \right) \cdot V_{DS} - \frac{2}{3} \frac{\sqrt{2 \cdot q \cdot N_a \cdot \epsilon_{si}}}{C_{ox}} \left( (V_{DS} + 2 \cdot \Phi_{Fi} + V_{SB})^{\frac{3}{2}} - (2 \cdot \Phi_{Fi} + V_{SB})^{\frac{3}{2}} \right) \right)$$

### Régime saturé (ohmique)

Nous avons donc le modèle détaillé de source de courant du transistor N-MOS étant déterminé par (A-16). La conductance du transistor en régime saturé détermine la variation du courant  $I_{DS}$  en fonction de la tension  $V_{DS}$  pour une tension  $V_{GS}$  étant constante, nous avons donc :

$$(A-17) \quad G_D = \frac{\partial I_{DS}}{\partial V_{DS}} \Big|_{V_{GS} = \text{const}} = \frac{W}{L} \mu C_{ox} \cdot \left( V_{GS} - 2 \cdot \Phi_{Fi} - V_{DS} - \frac{\sqrt{2 \cdot q \cdot N_a \cdot \epsilon_{si}} \cdot \sqrt{V_{DS} + 2 \cdot \Phi_{Fi} + V_{SB}}}{C_{ox}} \right)$$

Dans ce régime de fonctionnement, la tension  $V_{DS}$  est très faible par rapport à  $V_{GS}$ , le transistor se comporte alors comme une résistance  $R_{DS(ON)}$

$$(A-18) \quad R_{DS(ON)} = \frac{1}{G_D} = \frac{1}{\frac{W}{L} \mu C_{ox} \cdot \left( V_{GS} - 2 \cdot \Phi_{Fi} - \frac{\sqrt{2 \cdot q \cdot N_a \cdot \epsilon_{si}} \cdot \sqrt{2 \cdot \Phi_{Fi} + V_{SB}}}{C_{ox}} \right)}$$

La transconductance du transistor N-MOS détermine la variation du courant  $I_{DS}$  en fonction de la tension  $V_{GS}$  pour  $V_{DS}$  étant constante, nous avons donc :

$$(A-19) \quad G_M = \frac{\partial I_{DS}}{\partial V_{GS}} \Big|_{V_{DS} = \text{const}} = \frac{W}{L} \mu C_{ox} V_{DS}$$

Le courant de drain en régime saturé est calculé par la formule (A-16), celle-ci peut être représentée sous une autre forme suivante:

$$(A-20) \quad I_{DS} =$$

$$\frac{W}{L} \mu C_{ox} \cdot \left( \left( V_{GS} - 2 \cdot \Phi_{Fi} - \frac{V_{DS}}{2} \right) \cdot V_{DS} - \frac{2}{3} \frac{\sqrt{2 \cdot q \cdot N_a \cdot \epsilon_{si}}}{C_{ox}} \cdot (2 \cdot \Phi_{Fi} + V_{SB})^{\frac{3}{2}} \left( \left( \frac{V_{DS}}{2 \cdot \Phi_{Fi} + V_{SB}} + 1 \right)^{\frac{3}{2}} - 1 \right) \right)$$

Si la tension  $V_{DS}$  dans des faibles valeurs, c'est-à-dire pour  $V_{DS} \ll 2 \cdot \Phi_{Fi} + V_{SB}$ , on peut développer le terme en  $(1 + \epsilon)^{\frac{3}{2}} \approx 1 + \frac{3}{2} \epsilon$  nous avons ainsi :

$$\begin{aligned} I_{DS} &= \\ \frac{W}{L} \mu C_{ox} \cdot &\left( \left( V_{GS} - 2 \cdot \Phi_{Fi} - \frac{V_{DS}}{2} \right) \cdot V_{DS} - \frac{2}{3} \frac{\sqrt{2 \cdot q \cdot N_a \cdot \epsilon_{si}}}{C_{ox}} \cdot (2 \cdot \Phi_{Fi} + V_{SB})^{\frac{3}{2}} \left( \left( \frac{3}{2} \frac{V_{DS}}{2 \cdot \Phi_{Fi} + V_{SB}} + 1 \right) - 1 \right) \right) \\ &= \frac{W}{L} \mu C_{ox} \cdot \left( \left( V_{GS} - 2 \cdot \Phi_{Fi} - \frac{V_{DS}}{2} \right) \cdot V_{DS} - \frac{\sqrt{2 \cdot q \cdot N_a \cdot \epsilon_{si}}}{C_{ox}} \cdot (2 \cdot \Phi_{Fi} + V_{SB})^{\frac{1}{2}} \cdot V_{DS} \right) \\ &= \frac{W}{L} \mu C_{ox} \cdot \left( \left( V_{GS} - 2 \cdot \Phi_{Fi} - \frac{\sqrt{2 \cdot q \cdot N_a \cdot \epsilon_{si}}}{C_{ox}} \cdot (2 \cdot \Phi_{Fi} + V_{SB})^{\frac{1}{2}} \right) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right) \end{aligned}$$

En posant :

$$(A-21) \quad V_{GSth}(V_{SB}) = 2 \cdot \Phi_{Fi} + \frac{\sqrt{2 \cdot q \cdot N_a \cdot \epsilon_{si}}}{C_{ox}} \cdot (2 \cdot \Phi_{Fi} + V_{SB})^{\frac{1}{2}}$$

$$(A-22) \quad I_{DS} = \frac{W}{L} \mu C_{ox} \cdot \left( (V_{GS} - V_{GSth}(V_{SB})) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right)$$

Dans la formule (A-19),  $V_{GSth}$  correspond à la tension de seuil du transistor N-MOS. On obtient donc un régime saturé, dans lequel le courant de drain  $I_{DS}$  varie proportionnellement à la tension  $V_{DS}$ .

Le courant  $I_{DS}$  dans la formule (A-23) suivante est le modèle simplifié du transistor N-MOS, de ce fait la conductance et la transconductance sont données par :

$$(A-23) \quad G_M = \frac{W \cdot \mu \cdot C_{ox}}{L} V_{DS}$$

$$(A-24) \quad G_D \approx \frac{W \cdot \mu \cdot C_{ox}}{L} (V_{GS} - V_{GSth}(V_{SB}))$$



### Régime non saturé (régime plateau)

Lorsque la tension  $V_{DS}$  augmente au-delà de  $V_{DSsat}$ , la densité surfacique de porteurs libres décroît au voisinage du drain et le courant drain présente une variation sous-linéaire avant d'attendre un régime de plateau. La tension limite les entre régime saturé et non saturé  $V_{DSsat}$  est déterminée en écrivant que pour  $V_{DS} = V_{DSsat}$ ,  $Q_s(y = L) = 0$ . La formule (A-14) peut s'écrire

$$(A-25) \quad -C_{ox} \cdot [V_{GS} - V_{DSsat} - 2 \cdot \Phi_{Fi}] + \sqrt{2 \cdot q \cdot N_a \cdot \epsilon_{si} \cdot \sqrt{V_{DSsat} + 2 \cdot \Phi_{Fi} - V_{BS}}} = 0$$

Résoudre cette équation avec l'inconnu  $V_{DSsat}$  nous donne :

$$(A-26) \quad V_{DSsat} = V_{GS} - 2 \cdot \Phi_{Fi} - \frac{q \cdot N_a \cdot \epsilon_{si}}{C_{ox}^2} \left( \sqrt{1 + 2 \cdot \frac{C_{ox}^2}{q \cdot N_a \cdot \epsilon_{si}} (V_{GS} + V_{SB})} - 1 \right)$$

On obtient alors le courant de plateau en remplaçant (A-24) dans (A-16)

$$(A-27) \quad I_{DS} =$$

$$\frac{W}{L} \mu C_{ox} \cdot \left( \left( V_{GS} - 2 \cdot \Phi_{Fi} - \frac{V_{DSsat}}{2} \right) \cdot V_{DSsat} - \frac{2}{3} \frac{\sqrt{2 \cdot q \cdot N_a \cdot \epsilon_{si}}}{C_{ox}} \left( (V_{DSsat} + 2 \cdot \Phi_{Fi} + V_{SB})^{\frac{3}{2}} - (2 \cdot \Phi_{Fi} + V_{SB})^{\frac{3}{2}} \right) \right)$$

$$(A-28) \quad G_M = \frac{W}{L} \mu C_{ox} V_{DSsat}$$

La formule (A-28) nous donne la valeur du courant du **modèle détaillé** en régime plateau et si on simplifie la formule ci-dessus on obtient la valeur du courant du **modèle simplifié** dans ce régime:

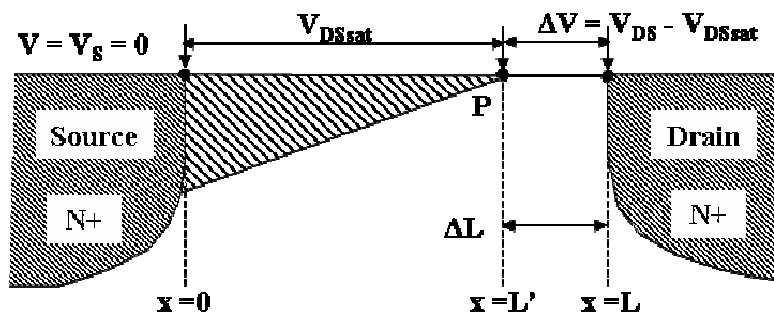
$$(A-29) \quad I_{DS} = \frac{W}{2L} \cdot \mu \cdot C_{ox} \cdot (V_{GS} - V_{GSth}(V_{SB}))^2$$

$$(A-30) \quad G_M = \frac{W}{L} \mu C_{ox} (V_{GS} - V_{GSth}(V_{SB}))$$

### Phénomène de modulation du canal

Lorsque la tension drain-source est égale à la tension de saturation  $V_{DSsat}$  le point de pincement se situe au contact du drain, la longueur du canal conducteur est  $L$ . Le courant de drain est  $I_{DSsat}$ . Lorsque  $V_{DS}$  augmente au-delà de la tension  $V_{DSsat}$  le point de pincement  $P$  se déplace vers la source, la longueur du canal diminue de  $\Delta L$  (c.f figure A-3). L'excédent de tension  $V_{DS} - V_{DSsat}$  s'établit aux bornes de la zone de déplétion de largeur  $\Delta L$ . La tension du point de pincement

reste constante et égale à  $V_{DSsat}$ , le canal reste donc soumis à une tension constante  $V_P = V_{DSsat}$  mais sa longueur diminue quand  $V_{DS}$  augmente et par conséquent sa conductance augmente. Il en résulte que le courant de drain  $I_{DS}$  augmente au-delà de  $I_{DSsat}$ .



**Figure A-3.** Modulation du canal

Au début du régime de saturation, le point de pincement se trouve au drain  $V_i$  ( $V_i = V_{DS} - V_{DSsat}$ ), la longueur de la zone de charge d'espace  $X_D$  varie proportionnellement à  $\sqrt{V_i}$  et la tension à ses bornes proportionnellement à  $V_i$  :

$$(A-31) \quad X_D = \sqrt{\frac{2 \cdot \epsilon_s i}{q \cdot N_a} (V_i + \Phi_d)}$$

$\Phi_d$  : la barrière de potentiel de la jonction P/N+

$N_a$  : la concentration en atomes accepteurs

Il en résulte que une augmentation du champ électrique aux bornes de la ZCE avec la tension :

$$(A-32) \quad V = \sqrt{\frac{2 \cdot \epsilon_s i}{q \cdot N_a} V_i}$$

Cette extension longitudinale de la charge de déplétion dans le canal va réduire la longueur effective de celui-ci (c'est-à-dire repousser les porteurs du canal d'inversion vers la gauche). Le point de pincement est l'endroit où la charge d'inversion s'annule. Si on augmente  $V_{DSsat}$  d'un certain  $\Delta V$ , le point de pincement se déplace vers la gauche et la variation de longueur  $\Delta L$  est donnée par :

$$(A-33) \quad \Delta L = \sqrt{\frac{2 \cdot \epsilon_s i}{q \cdot N_a} \left( \sqrt{(V_{DSsat} + \Delta V) + \Phi_d} - \sqrt{V_{DSsat} + \Phi_d} \right)}$$

Dans la quelle :  $\Delta V = V_{DS} - V_{DSsat}$

Si on augmente  $V_{DS}$  tel que le point de pincement se déplace vers la droite de  $\Delta L$ , on obtient un nouveau courant :

$$(A-34) \quad I_{DS}(V_{DSsat} + \Delta V) = \frac{W}{2.(L - \Delta L)} \cdot \mu \cdot C_{OX} \cdot (V_{GS} - V_{GSth})^2$$

Par conséquent, le changement de courant de drain peut être écrit comme :

$$(A-35) \quad \frac{I_{DS}(V_{DSsat} + \Delta V)}{I_{DS}(V_{DSsat})} = \frac{L}{L - \Delta L}$$

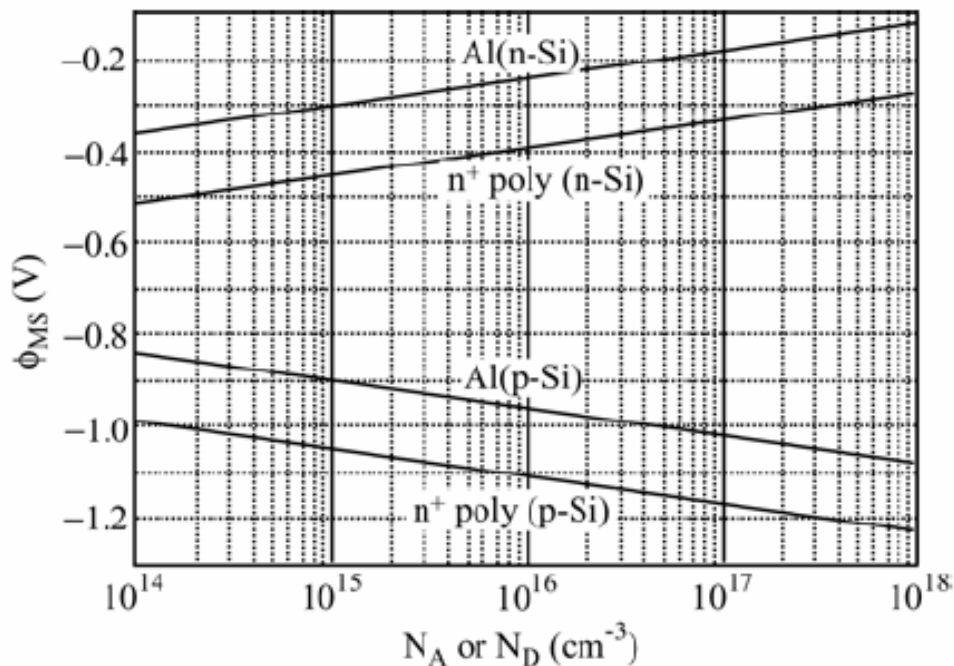
### Transistor N-MOS réel

Dans cette partie, nous avons en particulier supposé que la capacité de grille était en bandes plates en l'absence de toute polarisation. En fait, la prise en considération d'une part de la différence des travaux de sortie de la grille (soit en métal ou en Poly-Silicium) et d'autre part de la présence de charges d'interface, entraîne l'existence d'une tension de bandes plates non nulle et donnée par :

$$(A-36) \quad V_{FB} = \Phi_{ms} - \frac{Q_{SS}}{C_{OX}}$$

$Q_{SS}$  est des charges de défaut piégées dans la grille et à l'interface Si/SiO<sub>2</sub>

La différence de travail de sortie entre la grille avec le substrat du N-MOS est déterminée en fonction de type de la grille par rapport à celui du silicium et son dopage. La figure suivante donne la valeur  $\Phi_{ms}$  pour le cas général [PIERRET 96].



**Figure A-4.** Différence de travail de sortie en fonction du dopage et de type entre la grille et le substrat [PIERRET 96]

La tension de seuil du transistor se trouve décalée d'autant et devient

$$(A-37) \quad V_{GSth}(V_{SB}) = (\Phi_{ms} - \frac{Q_{SS}}{C_{OX}}) + 2 \cdot \Phi_{Fi} + \frac{\sqrt{2 \cdot q \cdot \epsilon_{Si} \cdot Na}}{C_{OX}} \cdot (\sqrt{2 \cdot \Phi_{Fi} + V_{SB}} - \sqrt{2 \cdot \Phi_{Fi}})$$

De ce fait, la résistance en régime saturé du transistor dans les deux modèles de source de courant (simplifié et détaillé) est donnée par la même formule et d'une manière générale:

$$(A-38) \quad R_{DS(ON)} = \frac{1}{G_D} = \frac{1}{\frac{W}{L} \mu \cdot C_{OX} \cdot (V_{GS} - V_{GSth}(V_{SB}))}$$

Jusqu'ici nous avons fait apparaître le terme de mobilité relative aux porteurs dans l'expression du courant, sans tenir compte des différentes interactions que subissent les porteurs durant leur parcours entre la source et le drain. La vitesse des porteurs étant le produit de la mobilité par le champ électrique. La région sous la grille supporte par contre deux types de champs : champ électrique vertical (par la tension  $V_{GS}$ ) et champ électrique latéral (par la tension  $V_{DS}$ )

### Mobilité verticale

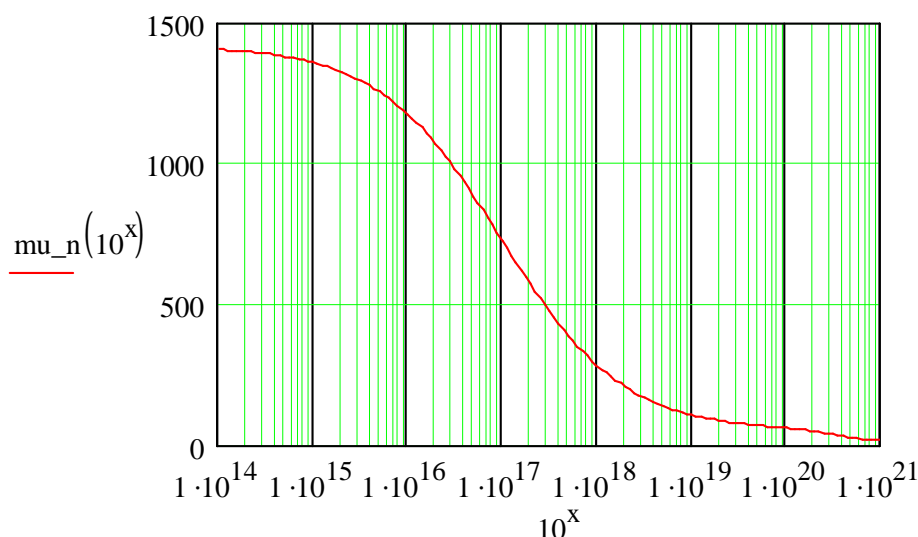
La couche d'inversion est créée en surface par l'action d'un champ électrique vertical (champ de la grille). Physiquement, le gaz bidimensionnel d'électrons résultant interagit avec les rugosités présentes à l'interface Si/SiO<sub>2</sub>. Cette interaction est d'autant plus importante que le champ vertical est fort. Il en résulte une correction sur la mobilité dépendante de  $(V_{GS} - V_{GSth})$  et décrite par la loi empirique :

$$(A-39) \quad \mu_{ns\_eff}(V_{GS}, e_{ox}) = \frac{\mu_0}{2 \cdot \left( 1 + \frac{1,5 \cdot (V_{GS} - V_{GSth})}{e_{ox}} \right)}$$

Dans laquelle :

$\mu_0$  : la mobilité volumique des électrons en fonction du dopage (figureA-5) [ $cm^2/V \cdot s$ ]

$e_{ox}$  : épaisseur d'oxyde de grille [nm]

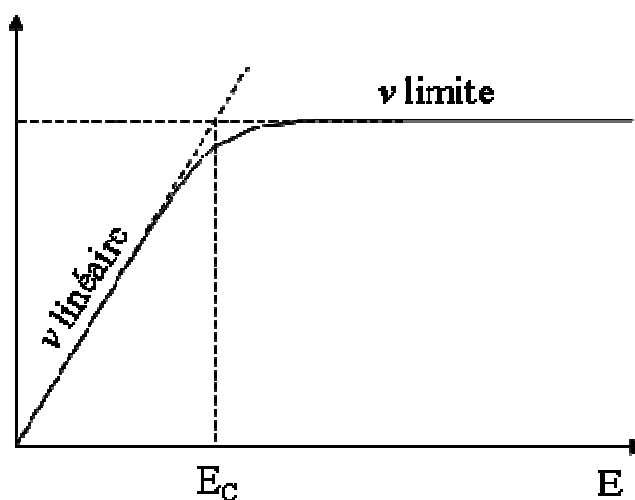


**Figure A-5.** Mobilité volumique des électrons en fonction du dopage du substrat

Cette réduction de mobilité a pour effet une réduction du courant  $I_{DS}$ . On remarque que la diminution de l'épaisseur d'oxyde de grille pour un  $(V_{GS}-V_{GSth})$  donné amplifie la réduction du courant. Ceci traduit l'augmentation du champ électrique vertical lorsque  $e_{ox}$  diminue.

### Mobilité latérale

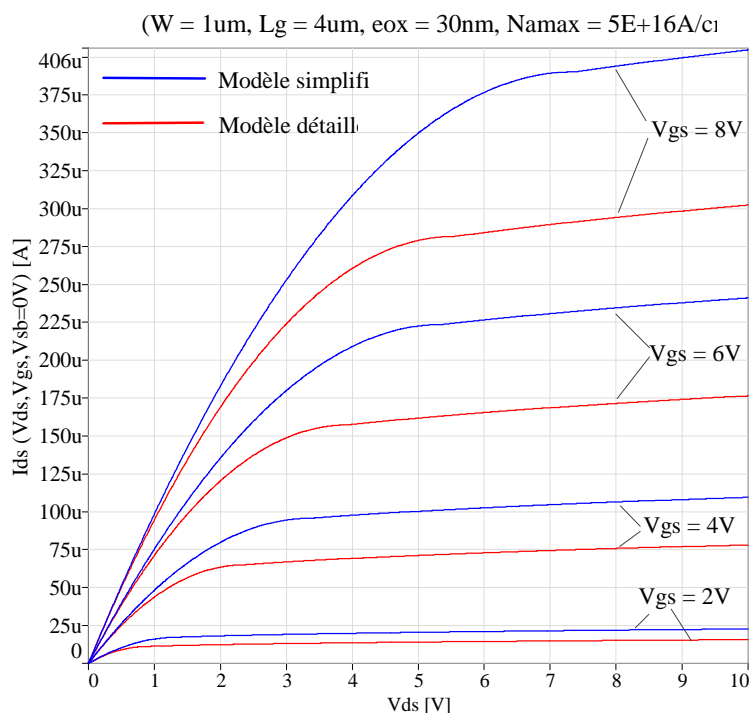
Entre la source et le drain du transistor, les électrons interagissent avec le réseau cristallin (via les phonons acoustiques). Plus le champ électrique au long du canal est trop important, plus la probabilité d'interaction avec le réseau est telle que les porteurs relaxent leur énergie est importante. Il en résulte que la relation entre la vitesse latérale des porteurs  $v$  et le champ électrique n'est plus linéaire, mais sature pour un champ critique  $E_C$  (figure A-6). Ceci entraîne une saturation du courant de drain, qui peut intervenir pour une tension  $V_{DS}$  inférieure à la tension de pincement.



**Figure A-6.** Allure de la vitesse des porteurs en fonction du champ électrique

### ❖ Comparaison de deux modèles du N-MOS : modèle détaillé et simplifié

La figure suivante donne le résultat de comparaison de la caractéristique  $I_{DS}(V_{DS}, V_{GS})$  de deux modèles établis en VHDL-AMS (annexe III-B) et simulé par **Simplorer**.



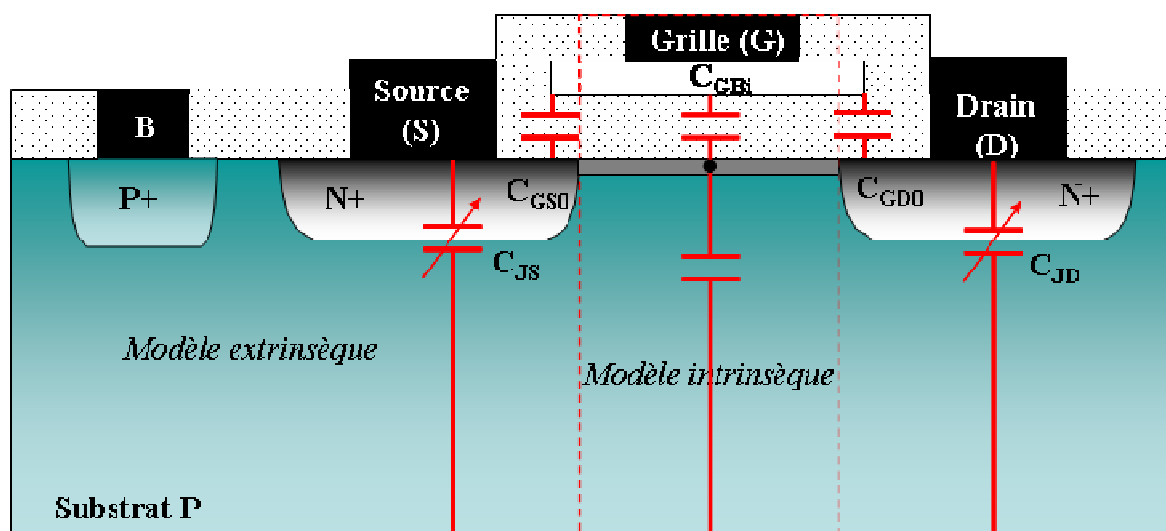
**Figure A-7.** Comparaison de caractéristique  $I_{DS}(V_{DS}, V_{GS})$  entre le **modèle détaillé** et le **modèle simplifié** du N-MOS

Le résultat dans la figure A-7 nous donne une image de l'erreur entre les deux modèles de source de courant. On voit bien que plus la tension  $V_{GS}$  est grande, plus l'erreur entre les deux modèles est importante. Le modèle simplifié est utilisé dans tous les modèles analytiques level 1 existant dans tous les simulateurs type SPICE du N-MOS à enrichissement.

Etant donné une erreur importante entre ces deux modèles de source de courant, nous choisissons donc le **modèle détaillé** de source de courant à suivre pour les études conduites dans ce travail de thèse.

### ❖ Capacités structurées du transistor N-MOS

La figure suivante présente des capacités parasites dans un transistor N-MOS. Il y a deux types de capacités : les capacités fixes et capacités de jonctions. La structure du modèle de niveau 1 est subdivisée en deux niveaux : le modèle intrinsèque et le modèle extrinsèque présenté dans la figure ci-dessous.



**Figure A-8.** Schéma des capacités parasites

### Modèle extrinsèque

Le modèle extrinsèque se compose des capacités géométriques comme :  $C_{GS0}$ ,  $C_{GD0}$ ,  $C_{GB0}$  et des capacités de jonction :  $C_{JS}(V_{SB})$ ,  $C_{JD}(V_{DB})$  entre source et drain avec le substrat P.

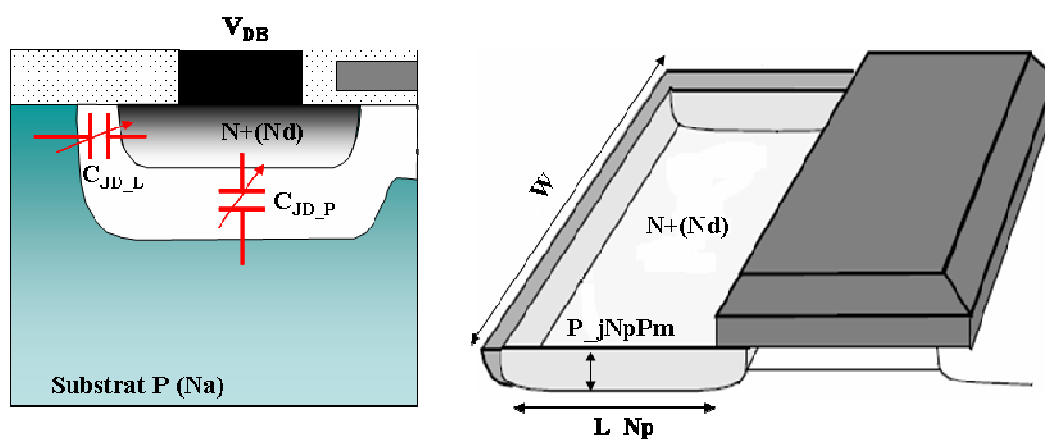
➤ La source et le drain sont obtenus par l'implantation ionique suivie d'un recuit thermique d'activation des dopants. Ce recuit conduit à une diffusion isotrope des dopants et donc à un déplacement de la jonction N+P- sous la grille. Ces recouvrements forment des capacités du côté de la source et du drain :  $C_{GS0}$  et  $C_{GD0}$

$$C_{GS0} = W \cdot 0,7 \cdot P_{jNpPm} \cdot C_{ox}$$

$$C_{GD0} = W \cdot 0,7 \cdot P_{jNpPm} \cdot C_{ox}$$

En fonction du chevauchement des métallisations en surface, d'autres capacités peuvent être prises en compte dans le calcul de  $C_{GS0}$ ,  $C_{GD0}$ .

➤ La source et le drain, implantés N<sup>+</sup> forment une jonction avec le substrat. A cette jonction correspond à une capacité de jonction  $C_{JDe} = C_{JD\_P+} + C_{JD\_L}$  :



**Figure A-9.** Capacités de jonction

$$(A-40) \quad C_{JD\_P}(V_{DB}) = W.L\_Np \cdot \sqrt{\frac{q \cdot \epsilon_{si}}{2} \cdot \frac{Na\_p(P\_jNpPm)}{(\Phi_{d_p} + V_{DB})}}$$

$$C_{JD\_L}(V_{DB}) = P\_jNpPm \cdot (W + 2.L\_Np) \cdot \sqrt{\frac{q \cdot \epsilon_{si}}{2} \cdot \frac{Na\_l(0,7.P\_jNpPm)}{(\Phi_{d_L} + V_{DB})}}$$

Nous avons donc :

$$(A-41) \quad C_{JDe}(V_{DB}) = W.L\_Np \cdot \sqrt{\frac{q \cdot \epsilon_{si}}{2} \cdot \frac{Na\_l(P\_jNpPm)}{(\Phi_{d_p} + V_{DB})}}$$

$$+ P\_jNpPm \cdot (W + 2.L\_Np) \cdot \sqrt{\frac{q \cdot \epsilon_{si}}{2} \cdot \frac{Na\_l(0,7.P\_jNpPm)}{(\Phi_{d_L} + V_{DB})}}$$

$$(A-42) \quad C_{JSe}(V_{SB}) = W.L\_Np \cdot \sqrt{\frac{q \cdot \epsilon_{si}}{2} \cdot \frac{Na(P\_jNpPm)}{(\Phi_{d} + V_{SB})}}$$

$$+ P\_jNpPm \cdot (W + 2.L\_Np) \cdot \sqrt{\frac{q \cdot \epsilon_{si}}{2} \cdot \frac{Na\_l(0,7.P\_jNpPm)}{(\Phi_{d_L} + V_{SB})}}$$

$\Phi_{d_p}$  : barrière de potentiel de la jonction N+/P- en profondeur

$$\Phi_{d_p} = 2 \cdot \frac{k.T}{q} \ln \left( \frac{Na\_p(P\_jNpPm)}{ni} \right)$$

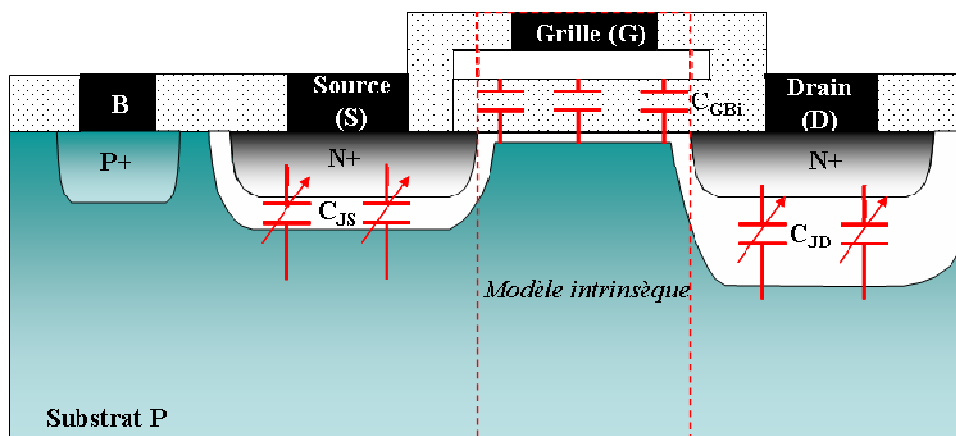
$\Phi_{d_L}$  : barrière de potentiel à l'extrémité de la jonction N+/P-

$$\Phi_{d_L} = 2 \cdot \frac{k.T}{q} \ln \left( \frac{Na\_l(0,7.P\_jNpPm)}{ni} \right)$$

### Modèle intrinsèque

Ce modèle décrit le comportement de l'empilement Grille-Canal-Substrat pour chaque régime de fonctionnement du transistor. La zone de déplétion sous la grille est aussi changée, cela s'ajoute de capacité de jonction côté de la source et du drain.

➤ Régime bloqué



**Figure A-10.** Distribution des capacités intrinsèques à l'état bloqué



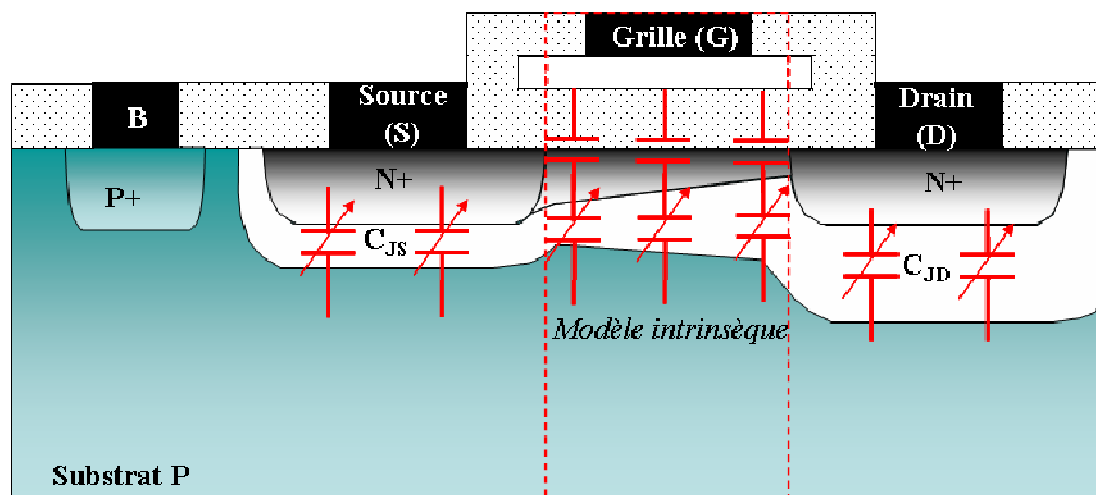
Dans ce régime, le canal n'est pas encore formé (c.f figure 9), il n'y a que la capacité entre la grille et le substrat  $C_{GBi}$  :

$$(A-43) \quad C_{GBi} = W \cdot L_{eff} \cdot C_{OX}, \quad C_{GD_i} = 0, \quad C_{GS_i} = 0$$

$C_{GS_i}$  : Capacité à la proximité de la source

$C_{GD_i}$  : Capacité à la proximité du drain

➤ Régime ohmique (saturé)



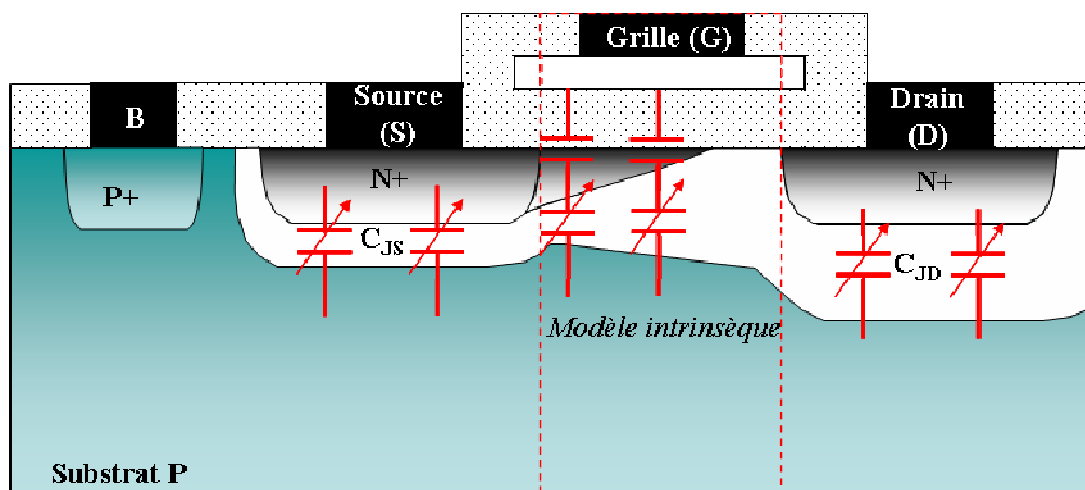
**Figure A-11.** Distribution des capacités intrinsèques en régime saturé (ohmique)

Dans ce régime, le canal est formé et quasiment uniforme la capacité  $C_{GB}$  est donc nulle. On considère donc que la capacité intrinsèque côté de la source égale à celle du drain et vaut la moitié de la capacité Grille-Canal. La capacité de déplétion varie aussi, et cela s'ajoute à celle de jonction côté source et drain.

$$(A-44) \quad C_{GS_i} = \frac{1}{2} \cdot W \cdot L_{eff} \cdot C_{OX}, \quad C_{GD_i} = \frac{1}{2} \cdot W \cdot L_{eff} \cdot C_{OX}, \quad C_{GB_i} = 0$$

$$(A-45) \quad C_{JS_i} = C_{JD_i} = \frac{1}{2} \cdot W \cdot L_{eff} \sqrt{\frac{q \cdot \epsilon_{Si} \cdot N_A \cdot l(0,7 \cdot P_{-jNpPm})}{2 \cdot \Phi_{dL}}}$$

## ➤ Régime plateau (non saturé)



**Figure A-12.** Distribution des capacités intrinsèques en régime plateau

Dans ce régime, le canal est pincé du côté drain et déplété par la ZCE. Donc, la capacité Grille-Canal intrinsèque  $C_{GD_i}$  côté drain est nulle. Par contre on peut estimer la capacité du côté de la source :

$$(A-46) \quad C_{GS_i} = \frac{2}{3} W \cdot L_{\text{eff}} \cdot C_{ox}, \quad C_{GD_i} = 0, \quad C_{GB_i} = 0, \quad C_{JD_i} = 0$$

$$(A-47) \quad C_{JS_i} = \frac{2}{3} \cdot W \cdot L_{\text{eff}} \sqrt{\frac{q \cdot \epsilon_{si} \cdot N_a \cdot I(0,7 \cdot P - jNpPm)}{2 \cdot \Phi_{d_L}}}$$

| Capacités                    | État bloqué  | Régime saturé                            | Régime plateau                           |
|------------------------------|--|--|--|
| $C_{GS}$<br>(totale)         | $C_{GS0}$  | $C_{GS0} + \frac{1}{2} W.L_{eff}.C_{ox}$ | $C_{GS0} + \frac{2}{3} W.L_{eff}.C_{ox}$ |
| $C_{GD}$<br>(totale)         | $C_{DG0}$  | $C_{DG0} + \frac{1}{2} W.L_{eff}.C_{ox}$ | $C_{DG0}$                                |
| $C_{GB}$<br>(totale)         | $W.L_{eff}.C_{ox}$   | $\approx 0$                              | $\approx 0$                              |
| $C_{JS}(V_{SB})$<br>(totale) | $C_{JSe}(V_{SB})$  | $C_{JSe}(V_{SB}) + C_{JSi}(V_{SB})$      | $C_{JSe}(V_{SB}) + C_{JSi}(V_{SB})$      |
| $C_{JD}(V_{DB})$<br>(totale) | $C_{JDe}(V_{DB})$  | $C_{JDe}(V_{SB}) + C_{JDi}(V_{SB})$      | $C_{JDe}(V_{DB})$                        |
| Remarques                    |  |  |  |
| $C_{JSi}(V_{SB})$            | 0  | $\frac{1}{2} C_{Déplétion}$              | $\frac{2}{3} C_{Déplétion}$              |
| $C_{JDi}(V_{DB})$            | 0  | $\frac{1}{2} C_{Déplétion}$              | 0  |
| $C_{GS0}$ ou<br>$C_{GD0}$    | $W.0,7.P_{jNpPm}.C_{ox}$   |  |  |
| $C_{JDe}(V_{DB})$            | $W.L_{Np} \cdot \sqrt{\frac{q \cdot \epsilon_{si}}{2} \cdot \frac{Na_{-l}(P_{-jNpPm})}{(\Phi_{d_p} + V_{DB})}} + P_{-jNpPm} \cdot (W + 2.L_{Np}) \cdot \sqrt{\frac{q \cdot \epsilon_{si}}{2} \cdot \frac{Na_{-l}(0,7.P_{-jNpPm})}{(\Phi_{d_L} + V_{DB})}}$ |  |  |
| $C_{JSe}(V_{SB})$            | $W.L_{Np} \cdot \sqrt{\frac{q \cdot \epsilon_{si}}{2} \cdot \frac{Na(P_{-jNpPm})}{(\Phi_{d} + V_{SB})}} + P_{-jNpPm} \cdot (W + 2.L_{Np}) \cdot \sqrt{\frac{q \cdot \epsilon_{si}}{2} \cdot \frac{Na_{-l}(0,7.P_{-jNpPm})}{(\Phi_{d_L} + V_{SB})}}$        |  |  |
| $C_{Déplétion}$              | $W.L_{eff} \sqrt{\frac{q \cdot \epsilon_{si} \cdot Na_{-l}(0,7.P_{-jNpPm})}{2 \cdot \Phi_{d_L}}}$  |  |  |
| $L_{eff}$                    | $L_g - 1,4.P_{jNpPm}$  |  |  |
| $\Phi_d$                     | $2 \cdot \frac{k.T}{q} \ln\left(\frac{Na(P_{-jNpPm})}{n_i}\right)$   |  |  |
| $\Phi_{d_L}$                 | $2 \cdot \frac{k.T}{q} \ln\left(\frac{Na_{-l}(0,7.P_{-jNpPm})}{n_i}\right)$  |  |  |

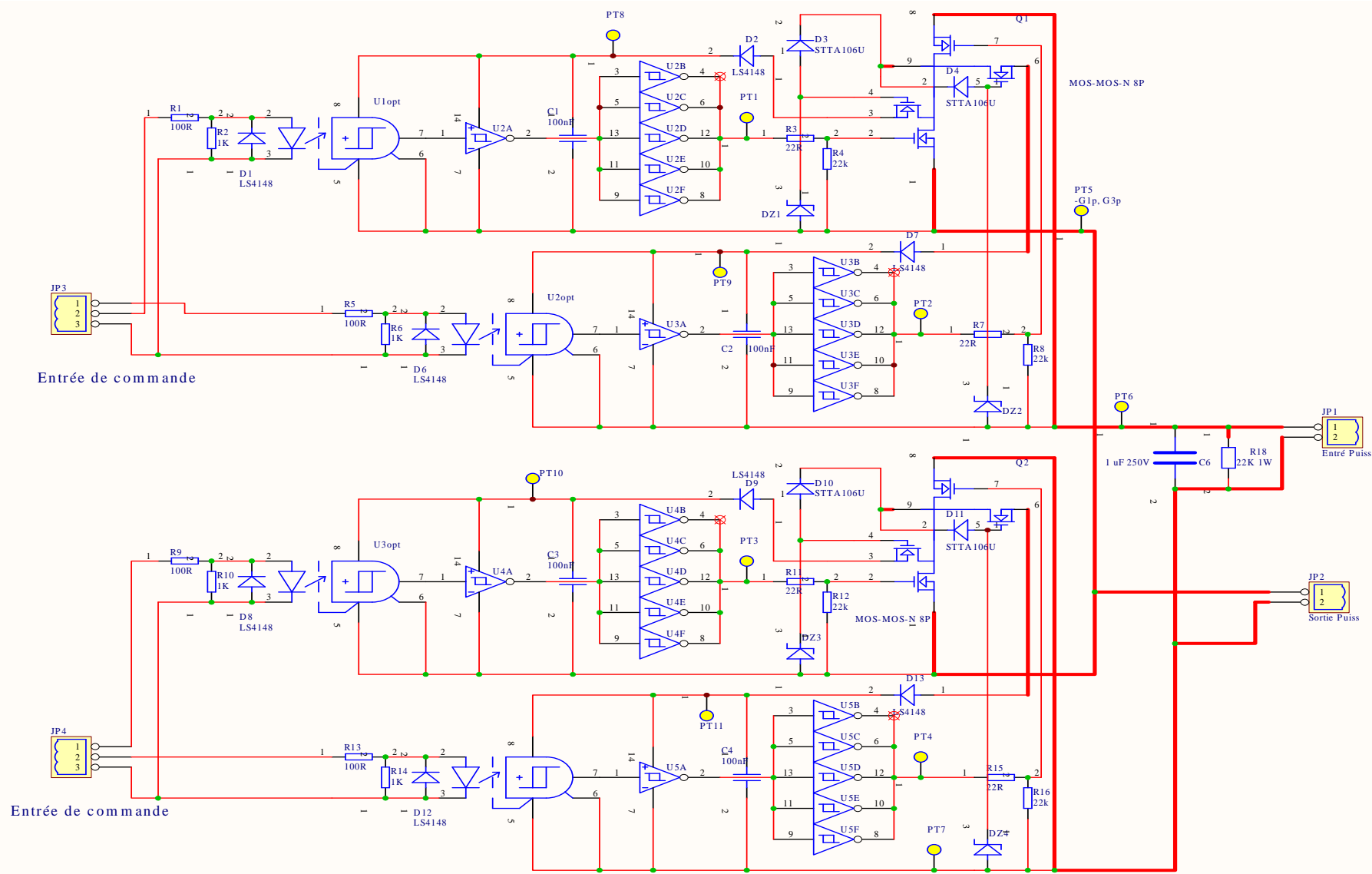
**Tableau A-1** Distribution des capacités du transistor N-MOS en fonction du régime de fonctionnement

## **ANNEXE II**

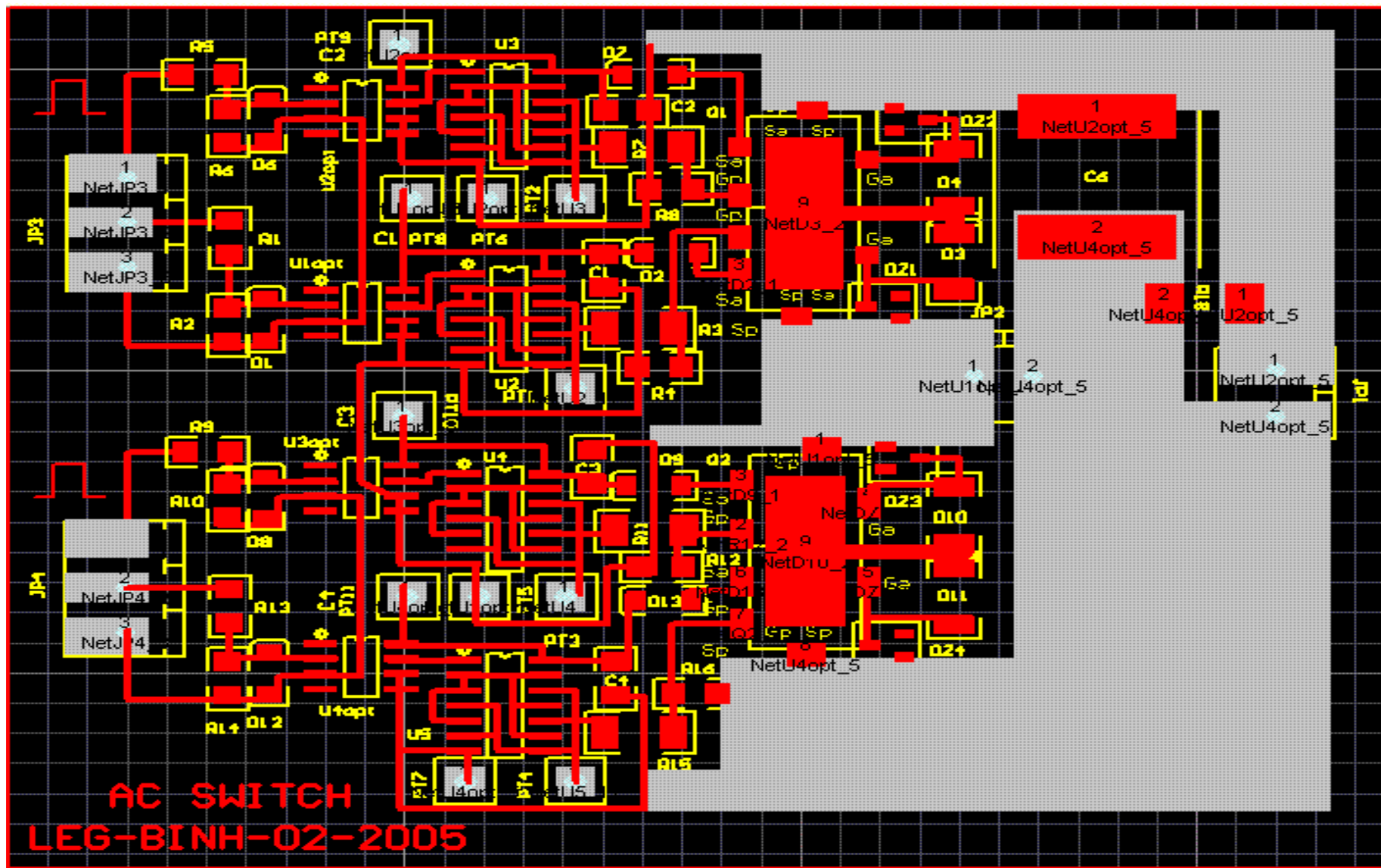
### **Schémas électriques et cartes réalisées en PCB des gradateurs monophasés**



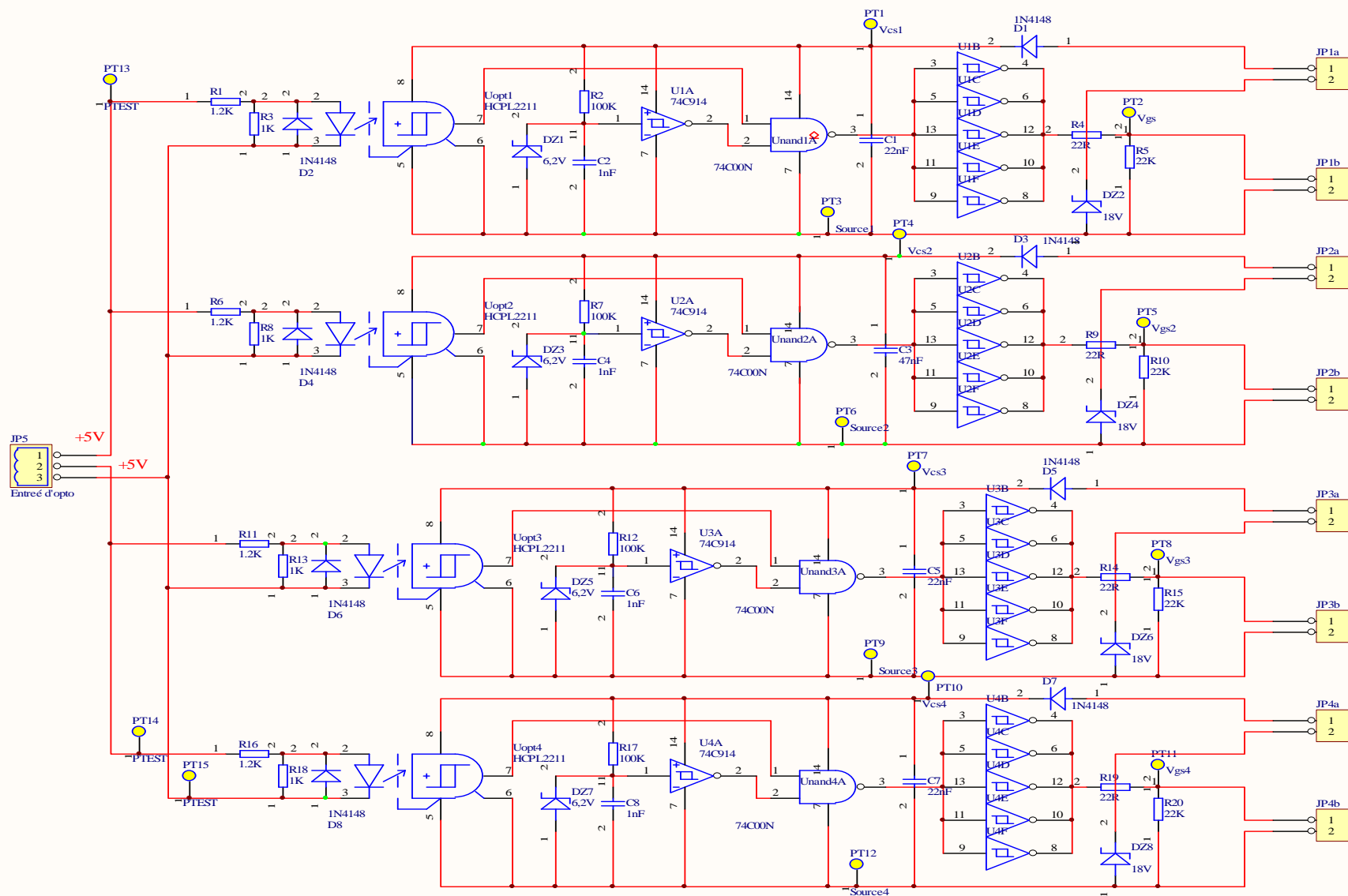
## ANNEXE II-1.A Schéma complet du gradateur monophasé à MOSFETs en drains communs



## ANNEXE II-1.B Gradateur monophasé monté en SMI

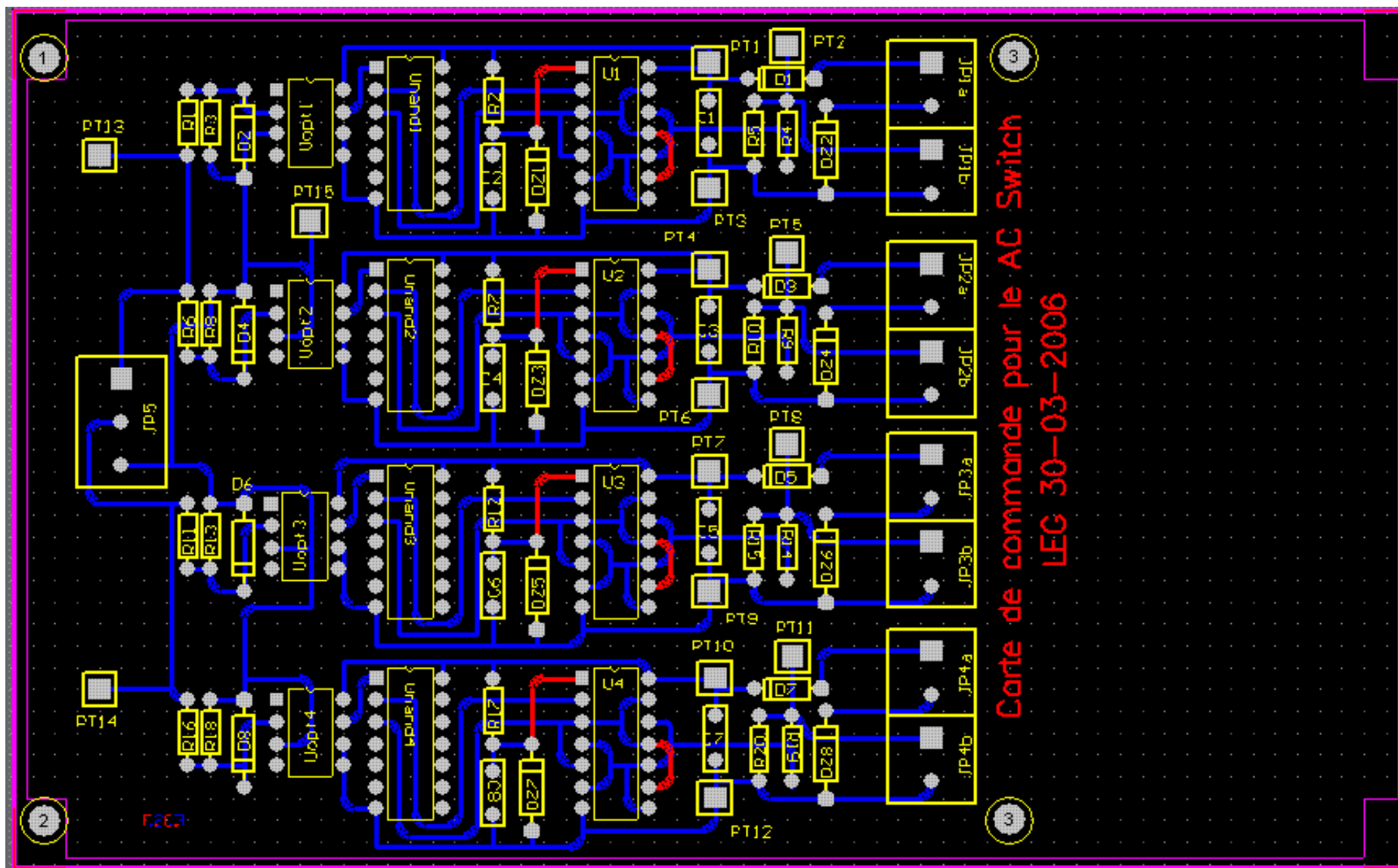


**ANNEXE II-2.A Schématique de la carte de commande pour le gradateur monophasé (avec le monitoring)**





**ANNEXE II-2.B Carte PCB de commande pour le gradateur monophasé (avec le monitoring)**



## ANNEXE III

## Modèles des transistors latéraux (P-MOS et N-MOS) établis en VHDL-AMS

ANNEX III-A : Le modèle du transistor P-MOS en VHDL-AMS

```

----- VHDLAMS MODEL P_MOS -----
LIBRARY ieee;
USE ieee.math_real.ALL;
USE ieee.electrical_systems.ALL;
USE physique.ALL;
----- ENTITY DECLARATION MODEL P_MOS -----
ENTITY p_mos IS
  GENERIC (
    Lg : real := 0.0006;      --Longueur de la grille
    W : real := 0.0001;      --Largeur de la grille
    eox : real :=3.0e-006;  --Epaisseur de l'oxyde de grille
    Xj : real :=1.0e-4;     --Profondeur de la jonction N+/P de la Source
    coff : real :=0.7;       --Coefficient de diffusion latérale
    mup : real :=230.0;    --Mobilité des trous dans le canal
    LNp : real := 6.0e-4;   --Longueur de la source et du drain
    Nd : real := 2.0e+014   --Dopage du substrat du transistor P-MOS
  );
  PORT (
    TERMINAL Drain : electrical; --Drain
    TERMINAL Source : electrical; --Source
    TERMINAL Grille : electrical; --Grille
    TERMINAL Bulk : electrical --Substrat
  );
END ENTITY p_mos;
----- ARCHITECTURE DECLARATION arch_P-MOS -----
ARCHITECTURE arch_p_mos OF p_mos IS

QUANTITY Vds ACROSS Ids THROUGH Drain TO Source;
QUANTITY Vdb ACROSS Idb THROUGH Drain TO Bulk;
QUANTITY Vgs ACROSS Igs THROUGH Grille TO Source;
QUANTITY Vdg ACROSS Idg THROUGH Drain TO Grille;
QUANTITY Vgb ACROSS Igb THROUGH Grille TO Bulk;
QUANTITY Vsb ACROSS Isb THROUGH Source TO Bulk;
QUANTITY Vth_p,Cgs,Cdg,Cgb : real;
--Déclaration des constances physiques et géométriques
CONSTANT Leff : real :=1-2.0*coff*Xj;      --Longueur effective du canal
CONSTANT Cox : real :=(E0*Eox)/hox;      --Capacité de grille par une unité
CONSTANT gamma : real :=mup*Cox*W/leff;    --Gain du transistor P-MOS
CONSTANT Cdg0, Cgs0 : real :=coff*Xj*W*Cox; --Capacité de recouvrement
CONSTANT Cgb0 : real :=W*Leff*Cox;        --Capacité grille-substrat
CONSTANT Phims : real :=-0.14;           --Tension de bande plate
CONSTANT PhiFp : real :=(-(k*Temp)/q)*log(Nd/ni);
CONSTANT teta : real :=sqrt(2.0*E0*Esi*Nd*q)/Cox;

```

---

```
--(Vth0 : tension de seuil du P-MOS lorsque  $V_{SB} = 0V$ )
CONSTANT VTh0 : real := Phi_ms+2.0*Phi_Fp-teta*sqrt(-2.0*Phi_Fp);
```

---

```
--Impact de l'effet de substrat
```

```
FUNCTION Delta_Vth_p(Vsb : real) RETURN real IS
  VARIABLE Result : real := 0.0;
  BEGIN
    Result := -teta*(sqrt(-2.0*Phi_Fp-Vsb)-sqrt(-2.0*Phi_Fp));
  RETURN Result;
```

```
END FUNCTION;
```

```
--Capacité de jonctions
```

```
FUNCTION C(Vn : real) RETURN real IS
  VARIABLE Result : real;
  BEGIN
    Result := W*ldiff*sqrt((0.5*q*Nd*E_0*Esi)/(-2.0*Phi_Fp+Vn));
  RETURN Result;
```

```
END FUNCTION;
```

---

```
BEGIN
```

```
  Vth_p= =VTh_p0 + Delta_Vth_p(Vsb);
```

```
  IF Vgs>Vth_p USE
```

```
    Ids= =0.0;
```

```
    Cgb= =Cgb0;
```

```
    Cgs= =Cgs0;
```

```
    Cdg= =Cdg0;
```

```
  ELSIF Vgs-Vth_p > Vds USE
```

```
    Ids= =-0.5 *gamma *((Vgs-Vth_p)**2.0);
```

```
    Cgb= =0.0;
```

```
    Cgs= =Cgs0+(2.0/3.0)*W*Leff*Cox;
```

```
    Cdg= =Cdg0;
```

```
  ELSE
```

```
    Ids= =- gamma *((Vgs-Vth_p)*Vds-(Vds**2/2.0));
```

```
    Cgb= =0.0;
```

```
    Cgs= =Cgs0+0.5*W*Leff*Cox;
```

```
    Cdg= =Cdg0+0.5*W*Leff*Cox;
```

```
  END USE;
```

```
    Igs= =-Cgs*Vgs'.dot;
```

```
    Idg= =-Cdg*Vdg'.dot;
```

```
    Igb= =-Cgb*Vgb'.dot;
```

```
    Isb= =-C(Vsb)*Vsb'.dot;
```

```
    Idb= =-C(Vdb)*Vdb'.dot;
```

```
END ARCHITECTURE arch_p_mos;
```

**ANNEX III-B : Le modèle du transistor N-MOS en technologie VDMOS en VHDL-AMS**

```

LIBRARY ieee;
USE physique.physic_sc.ALL;
USE ieee.math_real.ALL;
USE ieee.electrical_systems.ALL;

----- ENTITY DECLARATION nmos_new_1 -----
ENTITY nmos_level_2 IS
GENERIC ( Lg : real :=0.0004 ; --Longueur de la grille [cm]
           W : real :=0.0001 ; --Largeur de la grille [cm]

           -----
           e_ox : real :=3.0e-6; --Epaisseur d'oxyde de grille [cm]
           -----
           Na_max : real :=5.0e+16 ; --Dopage maximal en surface du caisson Pm
           Nd_max:real:=5.0e+19; --Dopage maximal en surface du N+ [At/cm3]
           Nu:real:=2.0e+14; --Concentration de la zone tenue en tension Nu
           Phi_ms:real:=-1.15; --Différence de travaux de sortie entre le silicium
                                et la Grille [V]
           Qss:real:=0.0; --Charges de défaut à l'interface Si-SiO2 [At/cm3]
           -----
           P_jNpPm:real:=1.0e-4; --Profondeur de la jonction N+ [cm]
           P_jPmNu:real:=5.0e-4; --Profondeur de la jonction Pm avec Nu [cm]
           L_Np:real:=6.0e-4; --Longueur effective de la source et d drain [cm]
           k_diff:real:=0.7 --Coefficient de diffusion latérale.
           );
PORT (TERMINAL Drain, Source, Grille, Bulk: electrical);
END ENTITY nmos_level_2;

----- ARCHITECTURE DECLARATION arch_nmos_level_2 -----

ARCHITECTURE arch_nmos_level_2 OF nmos_level_2 IS
QUANTITY Vds ACROSS Ids THROUGH Drain TO Source;
QUANTITY Vdb ACROSS Idb THROUGH Drain TO Bulk;
QUANTITY Vgs ACROSS Igs THROUGH Grille TO Source;
QUANTITY Vdg ACROSS Idg THROUGH Drain TO Grille;
QUANTITY Vgb ACROSS Igb THROUGH Grille TO Bulk;
QUANTITY Vsb ACROSS Isb THROUGH Source TO Bulk;
QUANTITY Vth,Cgs,Cdg,Cgb,Cjs,Cjd:real;

--Déclaration des constantes physiques et géométriques
-----
CONSTANT q:real:=1.6e-19; --Charge d'électron élémentaire
CONSTANT ni:real:=1.42e+10; --Concentration intrinsèque
CONSTANT k:real:=1.38066e-23; --Constante de Boltzmann
CONSTANT Temp:real:=300.0; --Température ambiante
CONSTANT Esi:real:=11.9; --Permittivité relative de Si
CONSTANT ESiO2:real:=3.9; --Permittivité relative de SiO2
CONSTANT E_0:real:=8.85418e-14; --Permittivité du vide
CONSTANT EmaxSi:real:=3.0e+5; --Champ max dans le Si [V/cm]
CONSTANT EmaxSiO2:real:=10.0e+7; --Champ max dans l'oxyde

```

---

```

CONSTANT VL:real:=1.0e+7;           --Vitesse de limite [cm/s]
CONSTANT Ec:real:=1.8e+7;         --Champ critique des électrons dans le Si
-----
CONSTANT Na_l:real:=Na_max*EXP (-
((k_diff*P_jNpPm)**2)/((k_diff*P_jPmNu)**2)/(LOG(Na_max/Nu)));
--Niveau dopage à la jonction N+/Pm en diffusion latérale [At/cm3]
CONSTANT Na_p:real:=Na_max*EXP (-
((P_jNpPm)**2)/((P_jNpPm)**2)/(LOG(Na_max/Nu)));
--Niveau dopage à la jonction N+/Pm en profondeur [At/cm3]
-----
CONSTANT Phi_FNa_l:real:(k*Temp/q)*LOG(Na_l/ni);
--Barrière de potentiel de la jonction N+/Pm en diffusion latérale [V]
CONSTANT Phi_FNa_p:real:(k*Temp/q)*LOG(Na_p/ni);
--Barrière de potentiel de la jonction N+/Pm en profondeur [V]
CONSTANT Phi:real:=Phi_FNa_l;      --Niveau Fermi du substrat [V]
-----
CONSTANT Leff:real:=Lg-2.0*k_diff*P_jNpPm;
--Longeur effective de la grille [cm]
CONSTANT Cox:real:(E_0*ESiO2)/e_ox;
--Capacité d'oxyde de grille par une unité de surface [F/cm2]
CONSTANT beta:real:=Cox*W/Leff;    --Gain du transistor
CONSTANT gamma:real:=SQRT(2.0*E_0*ESi*Na_l*q)/Cox;
--Coefficent de l'effet substrat [V0.5]
CONSTANT Vfb:real:=Phi_ms-Qss/Cox; --Tension bande plate [V]
-----
CONSTANT Cdg0, Cgs0:real:=k_diff*P_jNpPm*W*Cox;
--Capacité de recouvrement côté Drain et Source [F]
CONSTANT Cgb0:real:=W*Leff*Cox;  --Capacité effective du canal [F]
-----
CONSTANT Vth0:real:=Vfb+2.0*Phi+ (1.0/Cox)*SQRT (4.0*E_0*ESi*Na_l*Phi*q);
--Tension de seuil sans effet substrat [V]
-----
CONSTANT A:real:=((q*Na_l*E_0*ESi)/(Cox**2));           -- Constance
CONSTANT B:real:=Vfb+2.0*Phi;                             --Constance
CONSTANT C:real:(2.0/3.0)*(W/Leff)*SQRT(2.0*q*Na_l*E_0*ESi) --Constance
CONSTANT D:real:=SQRT (2.0*E_0*ESi/(Na_l*q));           -- Constance
CONSTANT F:real:=SQRT ((ESi/ESiO2)*P_jNpPm*e_ox);      -- Constance
CONSTANT G:real:=1.0+ ((E_0*ESi)/(SQRT(4.0*E_0*ESi*Phi/(Na_l*q))))/Cox;
-----
--Fonction d'extension de la tension de seuil à cause de l'effet de substrat
FUNCTION delta (Vsb:real) RETURN real IS
  VARIABLE Result:real;
  BEGIN
    Result:=gamma*(SQRT(2.0*Phi+Vsb)-SQRT(2.0*Phi));
  RETURN Result;
END FUNCTION;
-----

```

---

---



---

--Fonction de la mobilité des électrons en fonction du dopage

**FUNCTION** mu\_n(n:real) return real **IS**

**VARIABLE** result:real;

**BEGIN**

    result:=52.2\*exp((0.0)/n)+((1417.0-52.2)/(1.0+(n/9.68e16)\*\*0.68)) -  
    (43.4/(1.0+(3.43e20/n)\*\*2.0));

**RETURN** result;

**END FUNCTION** mu\_n;

-----  
--Fonction de la mobilité effective des électrons (champ vertical de la grille et du dopage)

**FUNCTION** mu\_eff(Vgs,Vth:real) **RETURN** real **IS**

**VARIABLE** Result:real;

**BEGIN**

    Result:=0.5\*mu\_n(Na\_1)/(1.0+(1.5/(e\_ox\*1.0e+7))\*(Vgs-Vth));

**RETURN** Result;

**END FUNCTION**;

-----  
--Capacités de jonction (côté Drain ou Source)

**FUNCTION** Cjonction(Vsb:real) **RETURN** real **IS**

**VARIABLE** Result:real;

**BEGIN**

    Result:=W\*L\_Np\*SQRT((0.5\*q\*Na\_p\*E\_0\*Esi)/(2.0\*Phi\_FNa\_p+Vsb))  
    +(W+2.0\*L\_Np)\*P\_jNpPm\*SQRT((0.5\*q\*Na\_1\*E\_0\*Esi)/(2.0\*Phi\_FNa\_1+Vsb));

**RETURN** Result;

**END FUNCTION**;

-----  
--Capacité de jonction Canal-Substrat

**FUNCTION** Cj\_c(Vgb:real) **RETURN** real **IS**

**VARIABLE** Result:real;

**BEGIN**

    Result:=W\*Leff\*SQRT((0.5\*q\*Na\_1\*E\_0\*Esi)/(2.0\*Phi\_FNa\_1+Vgb));

**RETURN** Result;

**END FUNCTION**;

-----  
**BEGIN**

    Vth==Vth0+delta (Vsb);

**IF** Vdb < Vsb **USE**

    Ids==0.0;

    Cgb==0.0;

    Cgs==0.0;

    Cdg==0.0;

    Cjs==0.0;

    Cjd==0.0;

**ELSE**

--Etat bloqué

**IF** Vgs<Vth **USE**

        Ids==mu\_eff(Vgs,Vth)\*beta\*((k\*Temp/q)\*\*2)\*(1.0-EXP(-  
        Vds\*q/(k\*Temp)))\*(EXP(q\*(Vgs-Vth)/(k\*Temp)));

        Cgb==Cgb0;

        Cgs==Cgs0;

---

```

    Cdg==Cdg0;
    Cjs==Cjonction(Vsb);
    Cjd==Cjonction(Vdb);
-- Regime non saturé (plateau)
ELSIF (Vgs<(Vds+B+SQRT(2.0*A*Vds+2.0*A*B+2.0*A*Vsb-2.0*A*Vfb) ) )    USE
    Ids==(mu_eff(Vgs,Vth)*beta*(Vgs-B-0.5*(Vgs-B+A*(1.0-
    SQRT(1.0+2.0*((Vgb-Vfb)/A))))*(Vgs-B+A*(1.0-SQRT(1.0+2.0*((Vgb-
    Vfb)/A))))-mu_eff(Vgs,Vth)*C*((2.0*Phi+(Vgs-B+A*(1.0-
    SQRT(1.0+2.0*((Vgb-Vfb)/A))))+Vsb)**1.5-(2.0*Phi+Vsb)**1.5);
    Cgb==0.0;
    Cgs==Cgs0+(2.0/3.0)*W*Leff*Cox;
    Cdg==Cdg0;
    Cjs==Cjonction(Vsb)+(2.0/3.0)*Cj_c(Vgb);
    Cjd==Cjonction(Vdb);
-- Regime saturé (ohmique)
ELSE
    Ids==(mu_eff(Vgs,Vth)*beta*(Vgs-B-0.5*Vds)*Vds-
    mu_eff(Vgs,Vth)*C*((2.0*Phi+Vdb)**1.5-(2.0*Phi+Vsb)**1.5));
    Cgb==0.0;
    Cgs==Cgs0+0.5*W*Leff*Cox;
    Cdg==Cdg0+0.5*W*Leff*Cox;
    Cjs==Cjonction(Vsb)+0.5*Cj_c(Vgb);
    Cjd==Cjonction(Vdb)+0.5*Cj_c(Vgb);
END USE;
END USE;
--Equations de résolution
    Igs==Cgs*Vgs'dot;
    Idg==Cdg*Vdg'dot;
    Igb==Cgb*Vgb'dot;
    Isb==Cjs*Vsb'dot;
    Idb==Cjd*Vdb'dot;
END ARCHITECTURE arch_nmos_level_2;

```

---

## **RÉSUMÉ DE THÈSE**

La thèse porte sur l'intégration fonctionnelle autour des composants commandables bidirectionnels en courant et en tension, avec pour application, la conversion AC-AC à prélèvement sinusoïdal (PFC). La première partie du document de thèse présente la mise en œuvre d'un gradateur AC-AC à l'aide de dispositifs intégrables. Certains bénéfices sont clairement mis en évidence à travers une analyse fonctionnelle et une validation expérimentale complètes. La seconde partie du mémoire porte sur l'intégration fonctionnelle des périphériques nécessaires à la mise en œuvre d'un composant de puissance à structure verticale. En particulier, les conditions d'intégration, le contexte technologique et les performances électriques sont abordés et analysés. L'étude est conduite à travers un effort de modélisation conséquent, tant au niveau des composants que des interactions entre composants. Une validation expérimentale conduite au CIME-Nanotech apporte des conclusions intéressantes sur la démarche suivie.

### **Mots clés :**

Electronique de puissance, Conversion AC/AC, Gradateur monophasé, Monitoring, Auto-alimentation, Intégration monolithique des fonctions au sein des composants à structure verticale (MOSFET, IGBT), Conception, Environnement électronique, Technologie pour composants de puissance.

---

## **ABSTRACT**

The thesis focuses on the functional integration of the components driven by bidirectional current and voltage, applied for the AC-AC conversion with Power Factor Correction (PFC). The first part of the thesis presents the implementation of a AC-AC dimmer with integrated devices. Some benefits are clearly highlighted through a functional analysis and a complete experimental validation. The second part of the thesis concentrates on the functional integration of « peripherals » which are needed for the implementation of a power component with vertical structure. In particular, the conditions for integration, technological and electrical performances are discussed and analysed. The study is carried on through an important work of modelling efforts both on components and on their interactions. An experimental validation done at CIME-Nanotech provides interesting conclusions about the approach which has been used.

### **Keywords :**

Power electronics, Conversion AC/AC, Dimmer, Monitoring, Auto-alimentation, Monolithic function integration with vertical power devices (MOSFET, IGBT), Design, Power device electronic environment, Silicon power device technology.