



**HAL**  
open science

# Réalisation de structures silicium-sur-isolant partielles pour applications aux circuits de puissance

Isabelle Bertrand

► **To cite this version:**

Isabelle Bertrand. Réalisation de structures silicium-sur-isolant partielles pour applications aux circuits de puissance. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 2006. Français. NNT: . tel-00245808

**HAL Id: tel-00245808**

**<https://theses.hal.science/tel-00245808>**

Submitted on 7 Feb 2008

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# THESE

*Préparée au*

**Laboratoire d'Analyse et d'Architecture des Systèmes du CNRS**

*En convention CIFRE avec*

**FREESCALE SEMICONDUCTEURS France SAS**

*En vue de l'obtention du*

**Doctorat de l'Institut National des Sciences Appliquées de Toulouse**

*Spécialité*

**Micro-électronique**

*par*

**Isabelle BERTRAND**

---

## **Réalisation de structures silicium-sur-isolant partielles pour applications aux circuits de puissance**

---

**Soutenue le 16 juin 2006, devant le jury :**

<b>Présidente</b>	Marise Bafleur	Directrice de Recherche au LAAS-CNRS
<b>Rapporteurs</b>	Sorin Cristoloveanu	Directeur de Recherche CNRS - INP Grenoble
	Guy Vanderschaeve	Professeur Emérite INSA de Toulouse
<b>Examineurs</b>	George Celler	PhD Senior Scientist SOITEC Etats-Unis
	Jean-Pierre Joly	Chef du département Technologies Solaires CEA LITEN INES - Le Bourget du Lac
	Jean-Baptiste Quoirin	Directeur R&D ST Microelectronics Tours
	Philippe Renaud	Ingénieur de recherche Freescale Toulouse
<b>Directeur de thèse</b>	Jean-Marie Dilhac	Professeur à l'Institut National des Sciences Appliquées de Toulouse

**NOM :** BERTRAND

**Prénom :** Isabelle

**Sujet de la thèse :**

Réalisation de structures silicium-sur-isolant partielles pour applications aux circuits de puissance.

**Résumé :**

Le terme SOI (Silicon On Insulator) identifie une structure du type «substrat silicium / film isolant / couche mince de silicium». Depuis les années 70, de nombreux travaux ont été menés afin d'élaborer ce type de structures. Le LEGO (Lateral Epitaxial Growth over Oxide) est une technique basée sur la fusion et la recristallisation de motifs épais de silicium poly-cristallin sur oxyde, et qui permet d'obtenir des motifs localisés de SOI sur un substrat de silicium. Elle a été développée en premier lieu par G. Celler et al. dans les années 80 et est désormais reconsidérée à cause d'un nouveau marché pour les structures SOI partielles à faible coût, celui de l'intégration de composants de commande et de puissance sur une même puce avec une isolation diélectrique efficace.

Après une présentation des différentes technologies permettant d'obtenir des substrats SOI, ce mémoire décrit plus particulièrement le procédé LEGO, et le travail d'optimisation qui a été mené sur ce procédé afin d'obtenir des motifs SOI monocristallins jusqu'à 2mm<sup>2</sup>. Par la suite, nous abordons la fabrication de composants de type MOS sur SOI partiel, et nous démontrons que ce procédé permet d'accueillir des composants entièrement fonctionnels et présentant les mêmes caractéristiques électriques que sur substrat silicium massif. Enfin nous concluons sur les perspectives d'applications de ce procédé.

**Mots clefs :**

SOI, Full SOI, Partial SOI, LEGO, recristallisation en phase liquide, caractérisation physique, MEMS, composants de puissance sur SOI, ...

**NAME:** BERTRAND

**First Name:** Isabelle

**Title:**

Realization of partial silicon-on-insulator structures for power applications.

**Abstract:**

SOI identifies a "silicon substrate / insulating film / thin silicon layer" structure. A lot of studies have been made since the 70's to obtain that kind of structures. The LEGO process is based on fusion and recrystallization of thick poly-silicon patterns on oxide, and provides localized SOI patterns on a silicon substrate. It has first been developed by G. Celler and al. in the 80's and is being reconsidered today because of new market demand for low cost partial SOI: the coexistence of control and power devices on the same chip for mixed power integration and with efficient electrical insulation.

Following an overview of the existing techniques for the fabrication of SOI wafers, this thesis describes the LEGO process and the different optimizations that were performed to obtain monocrystalline SOI patterns up to 2mm<sup>2</sup>. Then, we will present the fabrication of MOS devices on partial SOI substrates, and we will demonstrate that this LEGO process is compatible with completely functional devices showing the same electrical performances than on bulk silicon substrate. Finally, we will conclude on the possible applications of this process.

**Key words:**

SOI, Full SOI, Partial SOI, LEGO, liquid phase recrystallization, physical characterization, MEMS, power devices on SOI, ...

## *Remerciements*

Ce mémoire synthétise le travail effectué dans le cadre d'une convention CIFRE entre le Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS-CNRS) de Toulouse au sein du groupe ISGE (Intégration de Systèmes de Gestion de l'Energie) et de la société FREESCALE Semiconducteurs à Toulouse dans le groupe TSO (Technology Solutions Organization).

Je remercie Mr Malik Ghallab, directeur du LAAS-CNRS, ainsi que les responsables successifs du groupe CIP / ISGE, Jean-Louis Sanchez et Marise Bafleur, pour m'avoir accueillie au sein du laboratoire et du groupe de recherche durant ces trois années de thèse.

Je remercie également Mr. Jacques Blondeau, directeur du site Freescale Toulouse, et Mr. Jean-Louis Chaptal, directeur du groupe TSO, pour m'avoir accueillie dans leur société et dans le groupe de R&D de Freescale.

Je tiens à adresser ma reconnaissance toute particulière à Mr Jean Marie Dilhac du LAAS-CNRS, directeur de cette thèse, et Mr Philippe Renaud de FREESCALE, responsable industriel, tous deux pour leur encadrement, leur disponibilité, leurs conseils judicieux, leur soutien, les échanges scientifiques que nous avons pu avoir, leurs grandes compétences, ainsi que leur gentillesse.

Merci également à Marise Bafleur pour son aide, sa compétence, ses conseils et sa patience.

Je voudrais adresser mes sincères remerciements à toutes les personnes qui ont accepté de juger ce travail,

Madame Marise Bafleur, directrice de recherche CNRS au LAAS, pour l'honneur qu'elle m'a fait en acceptant de présider le jury de cette thèse, et pour l'intérêt qu'elle a bien voulu porter à mon travail durant les 3 années,

Messieurs Sorin Cristoloveanu, directeur de recherche CNRS à l'INP Grenoble, Guy Vanderschaeve, professeur émérite de l'INSA Toulouse, et George K. Celler, Chief Scientist à SOITEC Etats-Unis, en qualité de rapporteurs, pour avoir lu avec attention ce manuscrit, pour leurs remarques constructives et leurs conseils afin d'achever ce mémoire,

Monsieur Jean Pierre Joly, chef du département Techno Solaires CEA LITEN INES, au Bourget du Lac,

Monsieur Jean Baptiste Quoirin, ingénieur ST Microelectronics Tours,  
Merci de m'avoir fait l'honneur d'assister à la soutenance et ce malgré l'éloignement géographique.

Je souhaitais également remercier tous ceux qui se sont impliqués dans ces travaux et avec qui ce fut un plaisir de travailler ces 3 années :

Pour l'équipe du LAAS :

- Tous les membres du groupe ISGE
- Mes collègues de bureau préférés David T et Stéphane A, ainsi que les autres thésards, post docs, stagiaires, Jean Philippe L, Rodolphe D, Eric I, Christian C, Hervé C, et tous les autres...)
- Christian Ganibal, Sandrine Assié-Souleille et Nicolas Mauran, pour leur gentillesse, leur disponibilité, leur patience et leur talent !
- Nos assistantes Isabelle Nolhier et Cathy Couret pour leur aide très précieuse
- L'équipe de la salle blanche au grand complet, notamment Hugues Granier, Bernard Rousset, Monique Benoît, Françoise Roussel...

- Gérard Sarabayrouse, Christian Bergaud, Franck Carcenac, ainsi que bien d'autres membres du laboratoire, pour leur aide sur des sujets techniques, et pour les discussions scientifiques que nous avons pu avoir,

Pour l'équipe Freescale :

- Toute l'équipe qui m'a accueillie au sein du groupe TSO (Philippe Renaud, Christophe Lochot, Michel Zécri, Jean-Michel Reynès, Alain Deram, Jean Louis Chaptal, Cécile Labussière, Céline Desvaux, Léna Saint Macary, Amaury Gendron, Jean Baptiste Sauveplane, Yann Weber...),
- Toute l'équipe de MOS20, et plus particulièrement Joel Margheritta, Mathieu Gaspard-Boulinc, Myriam Baratte... pour leur support et leur disponibilité,
- Anouck Rivière-Jérôme et Bertrand Forgerit pour leurs nombreuses aides sur des analyses, ainsi que de nombreuses autres personnes de Freescale,
- Marlène Nayrolles, Patrice Besse, Stéphane Alves, Adeline Feybesse, Véronique Augé, Virginie Duchemann... une mention particulière à Sylvie Roux-Furgal qui avait effectué sa thèse sur ce sujet auparavant, et qui m'a aimablement conseillé.

Je remercie également les personnes qui m'ont soutenue et encouragée durant cette thèse au fil des années :

Pierric, Sophie, Céline, Guillaume, Pascal, Véronique, Anne, Hélène, et tous les autres...

Kathy et Eric, ma mère et mon père...

... même si tous n'ont pu réellement voir l'aboutissement de ces 3 années, leur présence morale ou leur soutien tout au long de ces années a beaucoup compté.

# Table des matières

Résumés .....	p. 2
Remerciements .....	p. 3
Table des matières .....	p. 5
Table des figures .....	p. 8
<b>INTRODUCTION .....</b>	<b>p. 11</b>
<b>CHAPITRE I – GENERALITES ET ETAT DE L'ART .....</b>	<b>p. 14</b>
<b>I. PRESENTATION GENERALE DU SOI .....</b>	<b>p. 15</b>
A. Historique .....	p. 15
B. Applications actuelles et nouvelles motivations .....	p. 16
C. Le projet PSOI dans le cadre du laboratoire commun .....	p. 22
<b>II. DIFFERENTES TECHNOLOGIES PERMETTANT LA FABRICATION DE WAFERS SOI .</b>	<b>p. 24</b>
Introduction .....	p. 24
A. Les premières méthodes développées .....	p. 25
Silicium sur saphir – SOS .....	p. 25
Isolation diélectrique – DI .....	p. 26
B. Les techniques actuelles et les plus répandues .....	p. 27
1. Techniques de collage, dites « de bonding » : Wafer Bonding .....	p. 28
BESOI (Bonded and Etchback SOI) .....	p. 28
Eltran (Epitaxial Layer Transfer) .....	p. 28
SmartCut (Unibond) .....	p. 29
2. Techniques de conversion du matériau : Réalisation de la couche enterrée par implantation .....	p. 31
SIMOX (Separation by Implantation of Oxygen) .....	p. 31
3. Techniques d'épitaxie .....	p. 32
Epitaxie latérale, ELO et MELO .....	p. 32
Recristallisation de la zone fondue, ZMR (Zone Melting Recrystallization) .....	p. 33
Le LEGO .....	p. 34
C. Le futur des « couches actives sur isolant » .....	p. 34
1. Intérêt du substrat silicium contraint sur isolant .....	p. 35
2. Procédés technologiques permettant de réaliser du silicium contraint sur isolant .....	p. 35
a) SGOI : Strained Silicon on SiGe-On-Insulator .....	p. 36
SGOI par condensation du germanium .....	p. 36
SGOI par approche SIMOX .....	p. 37
SGOI par substrat SiGe virtuel + collage .....	p. 37
b) SSOI : Strained Silicon-On-Insulator .....	p. 39
c) GOI : Germanium On Insulator .....	p. 40
d) Autres technologies .....	p. 40
3. Nouvelles architectures sur SOI .....	p. 40
<b>III. LEGO .....</b>	<b>p. 42</b>
A. Principe du LEGO (Lateral Epitaxial Growth over Oxide) .....	p. 42
B. Four de recristallisation .....	p. 46
C. Résultats précédemment obtenus sur le procédé LEGO .....	p. 48
Résultats physiques .....	p. 48
Résultats électriques .....	p. 49
Simulations thermiques .....	p. 49
D. Choix du procédé le plus compatible avec nos applications .....	p. 50
ELO .....	p. 50

SmartCut .....	p. 50
LEGO .....	p. 51

## **CHAPITRE II – OPTIMISATION DU PROCEDE LEGO – CARACTERISATION PHYSIQUE DU MATERIAU SOI OBTENU ..... p. 54**

### **I. OPTIMISATION DU MATERIAU OBTENU PAR LEGO ..... p. 55**

A. Moyens de caractérisations mis en œuvre .....	p. 55
B. Les paramètres .....	p. 55
1. Paramètres pris en compte pour les DOE .....	p. 55
2. Influence des différents paramètres .....	p. 57
a. La nature et l'épaisseur de la couche d'encapsulant .....	p. 57
b. Cycle de RTP : les paramètres thermiques importants et leur influence .....	p. 59
c. L'épaisseur de silicium et le détail des géométries choisies pour les motifs SOI .....	p. 61
C. Les défauts résiduels .....	p. 65
1. Découvrement de la couche d'oxyde enterrée .....	p. 65
2. Rencontre des fronts de recristallisation .....	p. 69
D. Résultat .....	p. 70

### **II. AMELIORATION DU MATERIAU POST-RECRISTALLISATION ..... p. 74**

A. Analyses complémentaires .....	p. 74
1. SIMS et SRP .....	p. 74
2. TEM et XRD .....	p. 75
3. Durée de vie et charges d'interfaces .....	p. 77
B. Améliorations possibles .....	p. 79
1. Amélioration de la durée de vie .....	p. 79
2. Diminution de la quantité de défauts résiduels dus au recouvrement des fronts de recristallisation .....	p. 80
3. Amélioration de la qualité générale du matériau SOI LEGO .....	p. 81

### **CONCLUSION ..... p. 83**

## **CHAPITRE III – CARACTERISATION ELECTRIQUE ..... p. 85**

### **I. PRESENTATION DU PROJET IMPACT ..... p. 86**

### **II. CHOIX DE LA GEOMETRIE DES MOTIFS SOI ET DU LAYOUT DES COMPOSANTS .. p. 87**

A. Définitions des zones SOI .....	p. 87
B. Présentation du layout complet .....	p. 89

### **III. DETAILS DU PROCESS ..... p. 90**

A. Liste des étapes technologiques .....	p. 90
B. Remarques à propos du procédé IMPACT .....	p. 91
C. Composants fabriqués .....	p. 92

### **IV. CARACTERISATION ELECTRIQUE ..... p. 93**

A. Composants faible puissance .....	p. 93
1. Transistors MOS .....	p. 94
2. Transistors Bipolaires .....	p. 97
B. Composants forte puissance .....	p. 101
1. Simulations numériques .....	p. 103
2. Mesures électriques .....	p. 106

### **CONCLUSION ..... p. 110**

<b>CHAPITRE IV – APPLICATIONS ET PERSPECTIVES DE CE PROJET .....</b>	<b>p. 112</b>
<b>I. LES APPLICATIONS DE TYPE « SMARTPOWER » .....</b>	<b>p. 113</b>
<b>II. LES MEMS .....</b>	<b>p. 114</b>
A. Le principe des HARMEMS .....	p. 114
B. Adaptation du procédé LEGO aux HARMEMS .....	p. 116
C. Améliorations apportées par le procédé LEGO .....	p. 118
<b>CONCLUSION GENERALE .....</b>	<b>p. 121</b>
<b>BIBLIOGRAPHIE PERSONNELLE .....</b>	<b>p. 124</b>
<b>ANNEXES .....</b>	<b>p. 125</b>



# Table des Figures et Tableaux

## CHAPITRE I – GENERALITES ET ETAT DE L'ART

Fig. I.1 : Effet des irradiations sur substrats massifs et sur SOI .....	p. 15
Fig. I.2 : Evolution des performances par rapport à la loi de Moore, pour des composants réalisés sur substrat massif et sur substrat SOI .....	p. 17
Fig. I.3 : Schéma des structures transistors MOS sur Bulk et SOI partiellement et totalement dépeuplés ..	p. 18
Tab. I.1 : Avantages et inconvénients des différentes structures transistors MOS sur Bulk et SOI partiellement et totalement dépeuplés .....	p. 18
Fig. I.4 : Structures SOI pleine plaque ou FSOI, et partielle ou PSOI .....	p. 19
Fig. I.5 : Substrat PSOI comportant un composant de commande faible puissance sur SOI entièrement isolé du reste du substrat, et a) un composant latéral de forte puissance réalisé sur couche SOI comportant une ouverture, b) un composant latéral ou vertical de forte puissance réalisé hors SOI .....	p. 20
Fig. I.6 : Schéma des différentes isolations latérales pour les applications aux PICs sur SOI .....	p. 20
Fig. I.7 : Structure finale et localisation des circuits sur SOI partiel épais .....	p. 22
Fig. I.8 : Classification de quelques procédés technologiques permettant d'obtenir des structures SOI ....	p. 24
Tab. I.2 : Liste des procédés technologiques existants pour obtenir des structures SOI.....	p. 25
Fig. I.9 : Structure SOS – Silicium sur saphir .....	p. 26
Fig. I.10 : Etapes du procédé DI – Isolation diélectrique .....	p. 27
Fig. I.11 : Etapes du procédé BESOI .....	p. 28
Fig. I.12 : Etapes du procédé ELTRAN .....	p. 29
Fig. I.13 : Utilisation d'un jet d'eau pour séparer les 2 wafers .....	p. 29
Fig. I.14 : Etapes du procédé SmartCut .....	p. 30
Fig. I.15 : Observation TEM des microcavités formées à la profondeur d'implantation $R_p$ d'hydrogène ...	p. 30
Fig. I.16 : Etapes du procédé SIMOX .....	p. 31
Fig. I.17 : Substrat SOI réalisé par le procédé MELO – Merged Epitaxial Lateral Overgrowth .....	p. 32
Fig. I.18 : Substrat SOI réalisé par le procédé ELO – Epitaxial Lateral Overgrowth .....	p. 33
Fig. I.19 : Principe du procédé ZMR .....	p. 34
Fig. I.20 : Structures de silicium contraint (a) par procédé SGOI et (b) par procédé sSOI .....	p. 35
Fig. I.21 : Illustration de la création de la contrainte dans une couche de silicium .....	p. 36
Fig. I.22 : Procédé de condensation du germanium permettant d'obtenir des substrats SGOI .....	p. 36
Fig. I.23 : Procédé SIMOX appliqué à l'obtention de substrats SGOI .....	p. 37
Fig. I.24 : Procédé SmartCut appliqué à l'obtention de substrats SGOI .....	p. 38
Fig. I.25 : Procédé SmartCut appliqué à l'obtention de substrats sSOI .....	p. 39
Fig. I.26 : Coupe schématique et observations d'un FinFET .....	p. 41
Fig. I.27 : Cycle de recristallisation thermique .....	p. 43
Fig. I.28 : Flux de chaleur dans la structure SOI .....	p. 44
Fig. I.29 : Etapes du procédé LEGO .....	p. 45
Fig. I.30 : Schéma de principe et schéma détaillé du four RTP .....	p. 47
Fig. I.31 : Motifs de 100 et 200 $\mu\text{m}$ de large sur 15 $\mu\text{m}$ d'épaisseur de silicium .....	p. 48
Fig. I.32 : Coin d'un motif de 500 $\mu\text{m}$ de large sur 15 $\mu\text{m}$ d'épaisseur de silicium. Présence de larges grains au centre du motif et découverture de l'oxyde en bord de motif .....	p. 48
Fig. I.33 : Isothermes dans des structures SOI de même épaisseur de poly mais ayant des zones de germes différentes .....	p. 49
Tab. I.3 : Résultats de simulations montrant la largeur SOI maximale recristallisable en fonction de l'épaisseur de silicium et la taille de germe minimale nécessaire .....	p. 49
Fig. I.34 : Croissance latérale et verticale obtenue par le procédé ELO – coupe MEB .....	p. 50
Fig. I.35 : Qualité cristalline obtenue en bord des motifs d'oxyde sur des wafers de type SmartCut ayant subi gravure du silicium et de l'oxyde et reprise d'épitaxie pour obtenir des wafers PSOI .....	p. 50
Fig. I.36 : Définition de substrats SOI partiel à partir de wafers SOI pleine plaque de type SmartCut .....	p. 51

## CHAPITRE II – OPTIMISATION DU PROCEDE LEGO – CARACTERISATION PHYSIQUE DU MATERIAU SOI OBTENU

Tab. II. 1 : Tableau de synthèse des résultats des différents plans d'expérience .....	p. 56
Fig. II.1 : Motif SOI vu au MEB, a) motif complet, b) fissures de l'encapsulant et évacuation du silicium à l'état liquide .....	p. 57
Fig. II.2 : Coupes MEB sur les fissures de l'encapsulant et l'évacuation du silicium .....	p. 58

Fig. II.3 : Vues de dessus en optique - cycle de recristallisation de 8V/ 2s/ 0s, épaisseur de silicium 13µm, couche d'encapsulant 600Å de nitrure et 1,9µm d'oxyde déposé .....	p. 58
Fig. II.4 : Vues de dessus en optique - cycle de recristallisation 8V/ 2s/ 0s, épaisseur de silicium 13µm, couche d'encapsulant 3µm d'oxyde déposé LPCVD .....	p. 59
Fig. II.5 : Motifs SOI de 1mm <sup>2</sup> et de 13µm d'épaisseur ayant subi des cycles de recristallisation différents, avec une tension de commande de a) 7V et b) 8V .....	p. 60
Fig. II.6 : Coupe MEB - Progression du front de recristallisation pour une descente en puissance de chauffe en 45 sec .....	p. 60
Fig. II.7 : Coupe MEB - Progression du front de recristallisation pour une descente en puissance de chauffe en 30 sec .....	p. 61
Fig. II.8 : Coupe MEB - Progression du front de recristallisation pour une descente en puissance de chauffe en 0 sec .....	p. 61
Fig. II.9 : Masque utilisé pour la définition des motifs SOI LEGO .....	p. 62
Fig. II.10 : Motifs SOI de 100µm à 1mm de côté .....	p. 63
Fig. II.11 : Motifs SOI de 1mm <sup>2</sup> avec des épaisseurs de silicium sur oxyde de 13µm et 30µm .....	p. 63
Fig. II.12 : Masque utilisé pour le projet IMPACT .....	p. 64
Fig. II.13 : Motifs SOI circulaires et inclinés à 45° en fonction du méplat - zones de fusion .....	p. 65
Fig. II.14 : Accumulation de silicium au centre et déplétion de silicium en bord des motifs SOI .....	p. 66
Fig. II.15 : Figure des angles de contact .....	p. 67
Fig. II.16 : Coupe MEB d'un motif SOI épais de 13µm - angle de contact silicium liquide / oxyde .....	p. 68
Fig. II.17 : Coupe MEB de motifs SOI monocristallins de 1000×2000µm - 13µm et 30µm d'épaisseur ...	p. 69
Fig. II.18 : Localisation des défauts résiduels sur les motifs SOI après recristallisation .....	p. 70
Tab. II. 2 : Tableau JMP récapitulatif de l'influence des différents paramètres sur la largeur des motifs SOI recristallisés et des colonnes de motifs SOI entièrement recristallisées .....	p. 71
Tab. II. 3 : Tableau JMP récapitulatif de l'influence des différents paramètres sur le phénomène de découverture de l'oxyde enterré .....	p. 71
Tab. II. 4 : Tableau JMP récapitulatif de l'influence des différents paramètres sur la qualité du matériau obtenu par recristallisation, avec les valeurs les plus désirables pour chaque paramètre .....	p. 72
Fig. II.19 : Photos optiques avec révélation Wright etch des défauts après recristallisation - motifs de 1 et 2mm <sup>2</sup> , entièrement monocristallins et avec peu de défauts résiduels .....	p. 73
Fig. II.20 : Profil SRP sur un motif SOI monocristallin, et sur la zone dite de germe .....	p. 74
Fig. II.21 : Profil SIMS sur un motif SOI monocristallin dopé par de l'arsenic .....	p. 75
Fig. II.22 : Image TEM de la couche SOI recristallisée, motif de 2000 x 1000 µm .....	p. 76
Fig. II.23 : Courbe issue des analyses TEM, quantifiant les dislocations en fonction de la profondeur dans la couche SOI recristallisée .....	p. 76
Fig. II.24 : Analyse XRD des zones SOI et silicium sur silicium .....	p. 77
Tab. II. 5 : Valeurs de mesure de durée de vie pour un wafer SOI recristallisé, avant recuit curatif à 1100°C .....	p. 78
Fig. II.25 : Mesures de durée de vie sur wafer SOI recristallisé, avant recuit curatif à 1100°C .....	p. 78
Tab. II. 6 : Valeurs de mesure de durée de vie pour un wafer SOI recristallisé, après recuit curatif à 1100°C .....	p. 79
Fig. II.26 : Mesures de durée de vie sur wafers SOI recristallisé, après recuit curatif à 1100°C .....	p. 80
Fig. II.27 : Image TEM en champ clair de dislocations isolées, dans le matériau SOI recristallisé, planarisé et épitaxié .....	p. 81
Fig. II.28 : Image optique vue de dessus de motifs SOI recristallisés, polis, épitaxiés, et révélés avec une solution de Wright etch – motifs de 1000 x 2000 µm, 8000 x 1400 µm et 1000 x 1000 µm .....	p. 82

### CHAPITRE III – CARACTERISATION ELECTRIQUE

Fig. III.1 : Layout des transistors MOS sur germe, SOI en dehors des défauts, et SOI dans la zone de défauts .....	p. 87
Fig. III.2 : Vue du niveau de masque 0 définissant les zones SOI .....	p. 88
Fig. III.3 : Vue de l'implantation des puces du projet IMPACT, tous niveaux de masques superposés .....	p. 89
Fig. III.4 : Figure d'alignement choisie pour aligner le masque n°1 sur le masque LEGO de niveau 0 .....	p. 91
Fig. III.5 : Vue optique de transistors bipolaires sur germe, SOI en dehors des défauts, et SOI dans la zone de défauts .....	p. 92
Fig. III.6 : Vue optique de transistors MOS sur germe, SOI en dehors des défauts, et SOI dans la zone de défauts .....	p. 92
Fig. III.7 : Vue optique de transistors LIGBT et LDMOS sur SOI partiellement ouvert .....	p. 93
Fig. III.8 : Coupe schématique des transistors de type PMOS et NMOS sur substrats PSOI .....	p. 93

Fig. III.9 : Caractéristiques I(V) de transistors PMOS sur SOI et Bulk .....	p. 94
Tab. III.1 : Tableau présentant les performances de transistors PMOS sur Bulk, SOI et SOI dans les zones de défauts résiduels .....	p. 94
Fig. III.10 : Caractéristiques I(V) de transistors NMOS sur SOI et Bulk .....	p. 95
Tab. III.2 : Tableau présentant les performances de transistors NMOS sur Bulk, SOI et SOI dans les zones de défauts résiduels .....	p. 95
Fig. III.11 : Caractéristiques I(V) de transistors bipolaires sur SOI et Bulk .....	p. 97
Fig. III.12 : Courbes de Gummel I(V) de transistors bipolaires sur SOI et Bulk .....	p. 98
Fig. III.13 : Caractéristiques électriques I(V) de transistors bipolaires sur SOI et Bulk, courbes de gain ...	p. 99
Fig. III.14 : Caractéristiques du phénomène de claquage I(V) pour des transistors bipolaires sur SOI et bulk .....	p. 100
Tab. III.3 : Tableau présentant les performances de transistors bipolaires sur Bulk, SOI et SOI dans les zones de défauts résiduels .....	p. 100
Tab. III.4 : Résumé des avantages et inconvénients des trois types de substrats .....	p. 101
Fig. III.15 : Nouvelle génération de composants LIGBT et LDMOS sur un substrat SOI partiel .....	p. 102
Tab. III.5 : Structures LIGBT sur substrats massif, FSOI et PSOI, et distributions des lignes de champ au claquage .....	p. 104
Fig. III.16 : Simulation numérique de la commutation de la structure LIGBT .....	p. 105
Tab. III.6 : Comparaison de structures LIGBT sur substrat FSOI et PSOI .....	p. 105
Fig. III.17 : Caractéristiques I(V) de composants LIGBT sur SOI partiel .....	p. 106
Fig. III.18 : Caractéristiques I(V) de composants LDMOS sur SOI partiel .....	p. 106
Fig. III.19 : Caractéristiques Id (Vd) à Vg=0V, phénomène de claquage sur SOI partiel - composants LIGBT et LDMOS .....	p. 107
Fig. III.20 : Vue en caméra infra rouge de deux IGBT latéraux sur SOI partiel .....	p. 108
Fig. III.21 : Circuit électrique utilisé pour les mesures de switch off .....	p. 108
Fig. III.22 : Résultat de la mesure du temps de switch off pour un LIGBT sur PSOI .....	p. 109

## CHAPITRE IV – APPLICATIONS ET PERSPECTIVES DE CE PROJET

Fig. IV.1 : Coupe schématique du substrat proposé pour les futures technologies SmartPower, avec des motifs SOI et des couches enterrées .....	p. 113
Fig. IV.2 : Principe d'un accéléromètre HARMEMS avec des électrodes inter digitées .....	p. 114
Fig. IV.3 : Schéma de principe de la fabrication d'un HARMEMS à partir d'un substrat SOI pleine plaque de type SmartCut .....	p. 116
Fig. IV.4 : Motif SOI de 1mm <sup>2</sup> sur couche enterrée de nitrure, entièrement monocristallin après recristallisation .....	p. 117
Fig. IV.5 : Coupe d'une structure typique pour la fabrication de HARMEMS de type accéléromètre .....	p. 118

## ANNEXES

Fig. A.1 : Puissance électrique consommée par les lampes en fonction de la tension de commande .....	p. 125
Fig. A.2 : Caractéristiques des différentes solutions de révélation chimique des défauts cristallins .....	p. 126

# *Introduction*

Les enjeux actuels de l'industrie du semi-conducteur concernent la réduction de la taille des dispositifs et la diminution des coûts de production, tout en améliorant les performances et les fonctionnalités.

Le domaine de l'électronique de puissance se focalise plus particulièrement sur l'intégration des fonctionnalités de commande et de puissance à moindre coût, avec des dimensions réduites. Le problème, quant à la coexistence de ces deux types de composants, provient des forts courants et/ou fortes tensions résultant du fonctionnement des modules de puissance, qui peuvent dégrader le fonctionnement des composants de commande petit signaux, voire les détruire. Plusieurs pistes d'isolations entre ces deux types de composants ont été envisagées au travers de différentes applications de « puissance intelligente ». La piste la plus fiable, que nous allons présenter dans cette thèse, est la technique d'isolation grâce à des substrats de SOI (Silicon On Insulator) partiel.

Plus généralement, les structures SOI peuvent être utilisées pour plusieurs applications : réalisation de composants partiellement et entièrement dépeuplés sur couche mince, microsystemes, et isolation diélectrique comme déjà mentionné. Par ailleurs, il existe des wafers SOI «pleine plaque» où la couche d'oxyde enterré se situe sur tout le wafer, et des wafers «SOI partiel» où la couche d'oxyde enterrée est localisée.

Afin de faire coexister des composants de commande et de puissance sur une même puce, il est nécessaire de développer un procédé permettant la réalisation des wafers SOI partiel à faible coût. En effet, les motifs d'oxyde enterrés permettent de procurer une isolation diélectrique verticale parfaite, qui peut être couplée avec une isolation latérale par tranchées présentant un oxyde de silicium sur leurs flancs et remplies de poly-silicium. Ces « caissons » SOI parfaitement isolés du reste du substrat peuvent alors accueillir des modules logiques faible puissance, tandis que les zones de silicium massif accueillent des composants de puissance, susceptibles de générer de fortes énergies pouvant être dissipées à travers tout le substrat. Une telle structure SOI partielle est donc particulièrement adaptée à ce type d'applications, puisqu'elle permet d'éliminer les problèmes de courants parasites tels que la diffusion de porteurs minoritaires, tout en permettant une dissipation thermique par le substrat pour les applications de puissance comprenant des modules logiques sur SOI. Elle assure une isolation diélectrique parfaite, et une réduction de la taille des structures d'isolation par rapport aux isolations par jonction.

La thèse présentée ici s'intéresse plus particulièrement à un procédé permettant d'obtenir des substrats SOI partiel à faible coût, complètement compatibles avec ce type d'applications. Cette thèse a été effectuée en convention CIFRE entre Freescale Semiconducteurs Toulouse et le LAAS-CNRS, dans le cadre d'un laboratoire commun, le LCIP (Laboratoire des Circuits Intégrés de Puissance). Le but de cette thèse était tout d'abord d'évaluer la faisabilité industrielle de différents procédés permettant d'obtenir des substrats SOI partiel à moindre coût, puis le procédé LEGO (Lateral Epitaxial Groth over Oxide) étant identifié comme une technologie de choix pour nos applications, nous avons cherché à optimiser cette technique basée sur la fusion et recristallisation de silicium poly-cristallin.

Ce manuscrit présente dans un premier chapitre les différents champs d'application du SOI, puis un état de l'art des différentes techniques permettant d'obtenir des substrats SOI, et enfin le détail du procédé LEGO et l'intérêt qu'il présente pour nos applications. Un second chapitre détaille le travail d'optimisation qui a été mené pour obtenir un matériau de qualité cristalline suffisamment élevée pour que les substrats ainsi obtenus soient compatibles avec des applications microélectroniques, et présente les résultats que nous avons pu obtenir en terme de matériau SOI. Un troisième chapitre s'intéresse à la réalisation et au test électrique

de composants basse puissance et forte puissance que nous avons fabriqués sur des couches SOI recristallisées. Enfin un quatrième chapitre conclu sur l'utilisation possible de ce procédé LEGO pour deux types d'applications intéressant Freescale Semiconducteurs.

*CHAPITRE 1*  
*Généralités et état de l'art*

## I. Présentation générale du SOI :

### - A. Historique.

Le terme SOI (Silicon On Insulator) identifie une structure «substrat / film isolant / couche mince de silicium monocristallin». Le substrat peut être constitué par des matériaux divers, le cas d'un wafer de silicium est le plus courant. La couche isolante enterrée est souvent une couche d'oxyde de silicium (BOX : Buried OXide) dont l'épaisseur peut aller de 100nm à 3 $\mu$ m, mais d'autres couches isolantes peuvent être envisagées. La couche de silicium monocristallin sur isolant a une épaisseur variable en fonction des applications, de 50nm à 100 $\mu$ m.

La difficulté majeure de ce type de structure est l'obtention d'une couche monocristalline sur une couche isolante, car aucune méthode de dépôt ne permet d'élaborer des couches monocristallines sans avoir un «germe», c'est-à-dire un matériau support présentant le même réseau cristallin que celui souhaité pour la couche déposée.

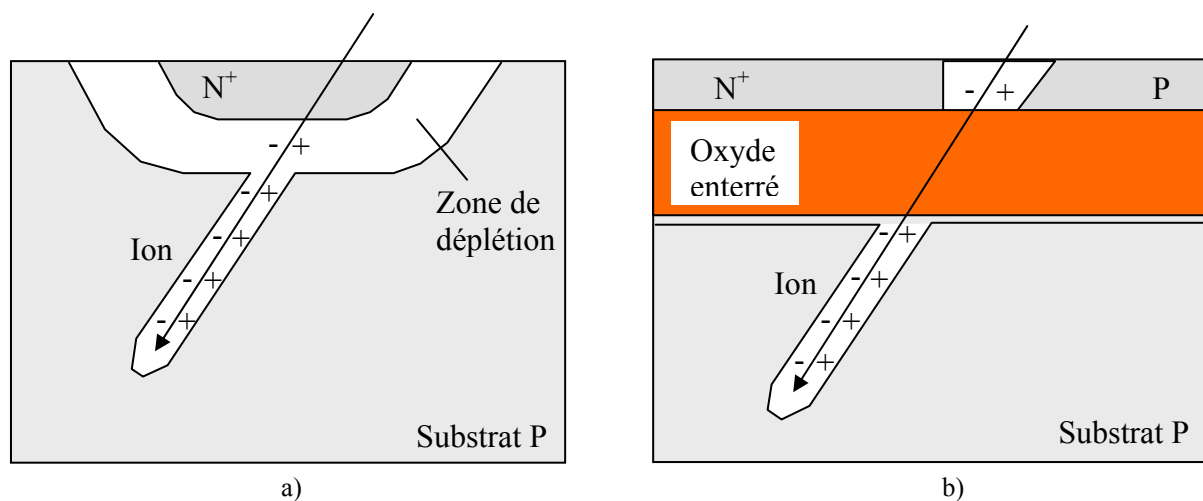
Depuis les années 1960-1970, de nombreux travaux ont été menés afin d'élaborer ce type de structures. Le premier besoin pour ces structures SOI était le durcissement des circuits intégrés aux irradiations ionisantes pour des applications militaires et spatiales [1].

En effet, les forts flux de particules chargées engendrent des «photocourants» dans les circuits intégrés. Par ailleurs, une particule unique très ionisante (proton ou ion) produit le long de sa trace un plasma conducteur (fig. I.1 – a) responsable d'effets isolés : claquages ou courts-circuits, tous deux destructifs ; basculement d'un point mémoire ou erreur dans un circuit logique, non destructifs mais entraînant des erreurs graves au niveau système.

Le durcissement [2] vis-à-vis de ces effets est obtenu principalement par la réduction du volume de silicium contenant les composants. L'utilisation de fines couches actives de silicium minimise l'impact des radiations ionisantes sur les performances des composants.

La réduction de volume est obtenue par l'emploi d'un substrat SOI dans lequel une mince couche d'oxyde isole la couche de silicium de surface contenant les transistors du reste du silicium.

Ainsi, la majorité des charges générées en profondeur par exemple par une particule alpha heurtant un substrat de silicium sera stoppée (fig. I.1 – b) par la couche d'oxyde enterrée, le volume de silicium actif «contaminé» par cette particule est réduit, ce qui permet de diminuer le pic de courant généré dans la couche active.



**Fig. I.1 :** Effet des irradiations (a) sur substrats massifs et (b) sur SOI [5].



Le tout premier matériau SOI développé était le silicium sur saphir (SOS) (voir paragraphe II.A.1). Une multitude de structures SOI ont par la suite été créées. Leur point commun est d'offrir une parfaite isolation diélectrique entre la couche active des circuits et le substrat de silicium massif, grâce à une couche d'oxyde enterré.

Parmi tous ces procédés développés, trois technologies ont émergé et se sont imposées pour la commercialisation de wafers SOI : le SIMOX (Separation by IMplantation of OXYgen) utilisant l'implantation d'ions oxygène pour créer la couche d'isolation enterrée, le SmartCut<sup>®</sup> basé sur le collage de deux wafers oxydés et le découpage au niveau d'une couche implantée d'hydrogène (voir paragraphe II.B. 1 et 2), et le BESOI, également basé sur le collage de deux wafers oxydés et un polissage du wafer supérieur pour obtenir l'épaisseur de SOI désirée.

Ainsi, depuis les années 90, l'apparition de ces nouveaux procédés SOI ainsi que l'explosion des appareils électroniques portables, a promu le SOI comme une technologie de choix pour la fabrication de composants à basse consommation et à haute fréquence (consommation réduite, rapidité de fonctionnement augmentée, isolation accrue, pertes faibles, phénomènes parasites du substrat diminués...).

Le SOI est entré dans le carnet de route (ITRS : international technology roadmap of semiconductors) de l'industrie microélectronique depuis 1998 [3], et son rôle de technologie majeure a été consolidé en 2001.

De nos jours, cette technologie est de plus en plus adoptée par les industriels du domaine de la microélectronique.

De manière générale, le SOI est présent sur de nombreux marchés: Principalement pour des applications CMOS car il permet une augmentation de la vitesse de fonctionnement et une réduction de la puissance consommée, mais également pour les circuits haute tension (pour une meilleure isolation), les circuits RF (réduction des pertes par couplage), les micro-systèmes et applications photoniques (pour définir facilement les parties mobiles ou les guides optiques), le transfert de couches minces de silicium (par exemple sur polyimide pour fabriquer des tags RF flexibles [4]...).

Plus spécifiquement, IBM, AMD, Sharp, Intel, Freescale ... travaillent sur le développement commercial de microprocesseurs ou composants avancés pour la communication mobile aux performances améliorées par le SOI. Ainsi, IBM utilise le SOI depuis plusieurs années, notamment pour les Power PC G4 et G5 des ordinateurs Apple, AMD pour ses processeurs Athlon et Opteron, Freescale fabrique plusieurs processeurs sur SOI... [5] et [6].

## - **B. Applications actuelles et nouvelles motivations**

Les matériaux SOI ont historiquement été développés pour trois raisons :

➤ Comme nous l'avons déjà indiqué, dans les années 70, la motivation principale était la protection des circuits aux irradiations ionisantes.

➤ La seconde motivation part de l'observation que les transistors MOS utilisent seulement la surface du wafer (en moyenne les 0,1 à 0,2  $\mu\text{m}$  supérieurs du wafer) pour le transport des électrons, le reste du substrat constituant un élément parasite. Les structures SOI peuvent donc être utilisées pour séparer et isoler les surfaces actives des composants de l'influence parasite du substrat. Les épaisseurs des couches SOI peuvent être adaptées spécifiquement pour chaque application (couches minces ou ultra minces).

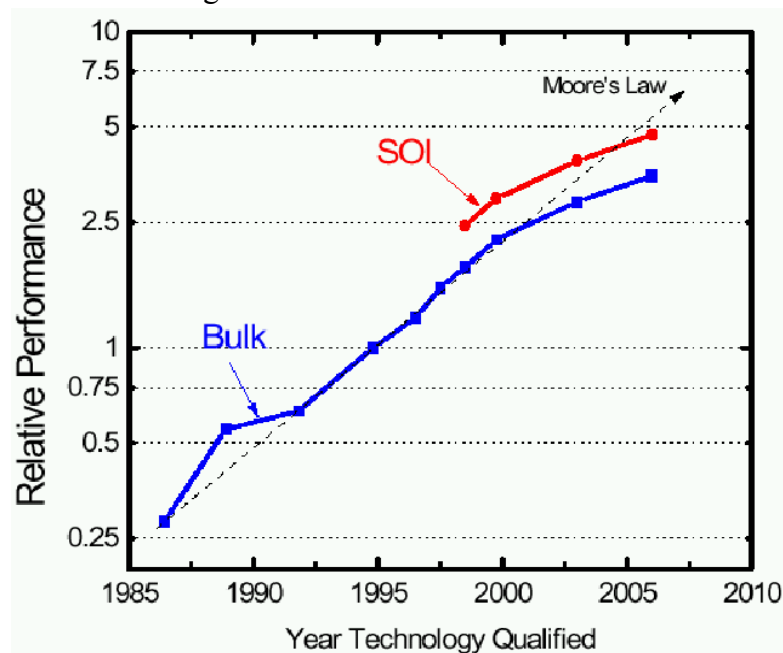
- Actuellement, l'amélioration des performances des transistors faible puissance faible tension de type MOS pousse de nombreuses compagnies fabricantes de circuits intégrés à utiliser des wafers SOI. Ainsi, pour la même tension de commande, les circuits logiques digitaux fonctionnent beaucoup plus vite sur SOI que sur substrat massif. Il est également possible de réduire la consommation en puissance de ces puces SOI en utilisant des tensions de fonctionnement plus faibles, tout en assurant des performances équivalentes à des circuits sur substrat massif beaucoup plus gourmands en puissance.

En résumé, un circuit sur SOI de génération  $n$  présente les mêmes caractéristiques électriques qu'un circuit sur substrat massif de génération  $n+1$ . Cet argument est assez fort pour que la majeure partie des compagnies fabricant des circuits incluent le SOI dans leur stratégie.

- Alors que l'on approche des limites technologiques pour les transistors logiques sur silicium, l'utilisation du SOI semble devenir inévitable. Les substrats SOI permettent en effet de résoudre certains des problèmes rencontrés au cours de la réduction de la taille des structures.

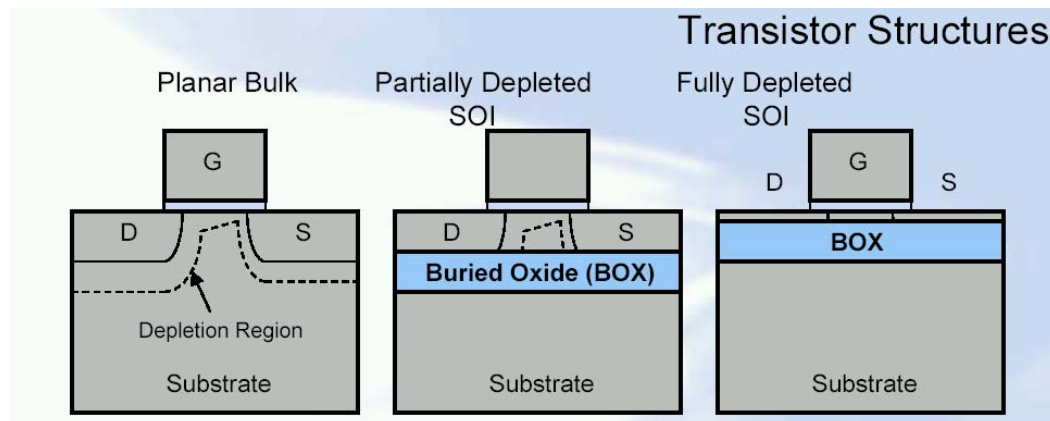
Ainsi, par exemple, des transistors d'une longueur de grille de 25nm ou en deçà ne fonctionnent pas sur substrat massif. Le champ électrique dans le canal du transistor induit par la grille entre en compétition avec les champs créés par la source et le drain. Cet effet canal court (SCE pour « short channel effects ») peut être réduit ou éliminé en utilisant des structures SOI fine couche [1, 7]. Il est reconnu quasiment unanimement que le SOI fine couche peut être une solution clef pour les problèmes de SCE. Ceci est également mentionné dans la partie SOI de l'ITRS 2001.

Le SOI est donc fortement susceptible d'être utilisé pour la réalisation des derniers représentants des transistors sur silicium. Ces substrats permettent en effet de suivre plus fidèlement la loi de Moore (fig. I.2) et de passer aux performances de la génération suivante avec la même géométrie.



**Fig. I.2 :** Evolution des performances par rapport à la loi de Moore, pour des composants réalisés sur substrat massif (Bulk) et sur substrat SOI [6].

C'est pour cette deuxième motivation que de nos jours, les couches SOI les plus utilisées sont les couches minces ou ultra minces. Elles permettent la réalisation de composants de deux sortes (fig. I.3) : Tout d'abord, des composants de type PD pour Partially Depleted, où la couche de SOI est mince (de 500 à 800Å), les zones dépeuplées autour du drain et de la source touchent donc la couche d'oxyde enterrée mais il subsiste toujours une région quasi neutre quel que soit le régime de fonctionnement. Des composants de type FD pour Fully Depleted ensuite, où la couche SOI est si mince (de 150 à 500 Å) qu'elle est entièrement dépeuplée pour créer le canal. Il n'existe alors plus de région quasi neutre. Ces deux types de transistors participent à l'effort pour un gain en vitesse et en puissance consommée.



**Fig. I.3 :** Schéma des structures transistors MOS sur Bulk et SOI partiellement et totalement dépeuplés [5].

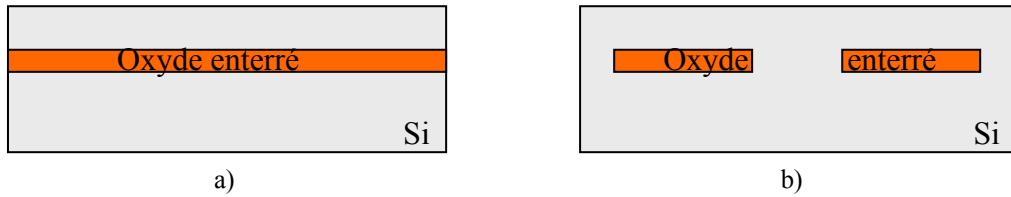
<b>Bulk</b>	<b>PD SOI</b>	<b>FD SOI</b>
+ Coût du wafer	+ Capacité de jonction plus faible	+ Capacité de jonction plus faible
- SCE	- SCE	+ Pente sous le seuil quasi idéale
- Capacité de jonction parasite	- Coût du wafer	- SCE
		- Forte résistivité de la source et du drain → source et drain à surélever par epitaxie
		- Sensible à la très fine épaisseur de Si
		- Coût du wafer

**Tab. I.1 :** Avantages et inconvénients des différentes structures transistors MOS sur Bulk et SOI partiellement et totalement dépeuplés [5].

Ceci concerne les applications faible puissance faible tension. L'utilisation d'une couche mince SOI permet de réduire la quantité de charges électriques à déplacer durant une commutation, ce qui augmente la vitesse de commutation jusqu'à 15%, et réduit l'énergie nécessaire pour ce changement d'état jusqu'à 20% pour les puces de type CMOS.

➤ D'autres intérêts, moins répandus que ceux cités précédemment, sont l'application aux circuits de puissance, haute tension, haute température, hyperfréquences, et l'application à la réalisation de microsystèmes.

Comme nous l'avons déjà précisé dans l'introduction, il existe des wafers SOI «pleine plaque» où la couche d'oxyde enterrée se situe sur tout le wafer, désignés dans ce texte par FSOI pour Full SOI, et des wafers «SOI partiel» où la couche d'oxyde enterrée est localisée, désignés par PSOI pour Partial ou Patterned SOI (Fig. I.4).



**Fig. 1.4 :** Structures SOI (a) pleine plaque ou FSOI et (b) partielle ou PSOI

Il est intéressant de voir dans quel cas l'utilisation de substrats SOI partiels PSOI peut être avantageuse par rapport à l'utilisation de substrats SOI pleine plaque FSOI.

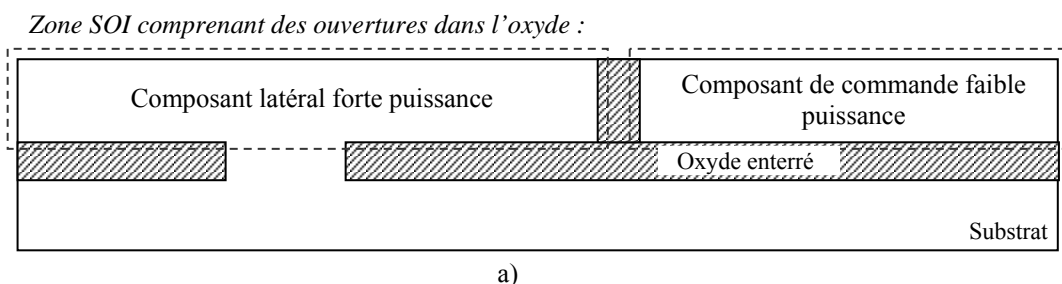
- Application aux PICs (Power Integrated Circuits) [8] :

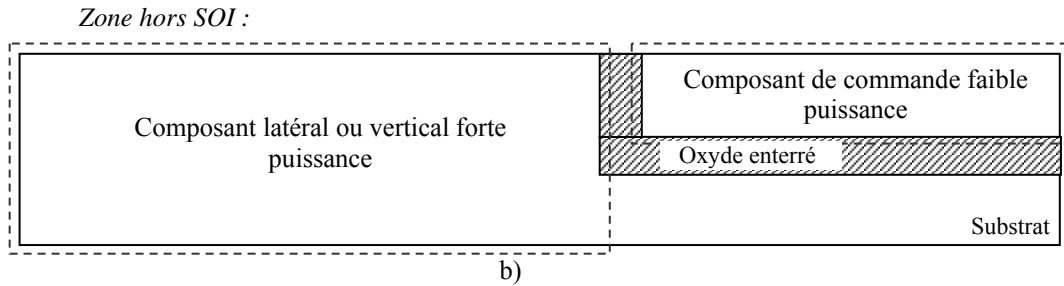
Les PICs concernent l'intégration monolithique de composants de puissance avec leurs circuits de commande sur une même puce, tout en assurant une séparation entre le traitement de l'énergie et le traitement du signal.

La technologie substrat massif avec des isolations par jonctions présente de nombreux inconvénients pour ce type de circuits : les structures d'isolation par jonction occupent beaucoup de place, les courants de fuite peuvent être élevés, le phénomène de latch-up est possible...

L'utilisation d'un substrat SOI permet une isolation diélectrique verticale parfaite entre composants de puissance et de commande grâce à la couche diélectrique enterrée, avec une densité d'intégration plus importante puisque la taille des structures d'isolation est réduite comparée à des isolations par jonctions ou par tranchées successives.

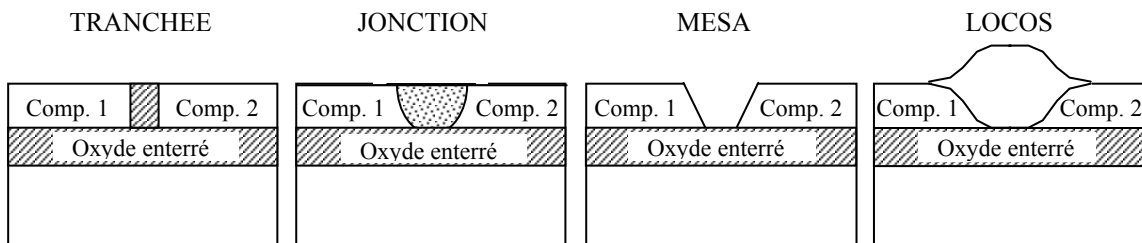
Néanmoins, dans l'utilisation d'un substrat FSOI, la présence de la couche d'oxyde enterrée empêche la dissipation thermique par la face arrière du substrat et peut alors poser un problème d'auto échauffement pour les composants de puissance. On peut donc envisager la possibilité d'utiliser des substrats PSOI, où les composants de commande seraient localisés sur les zones SOI et entièrement isolés, et où les composants de puissance seraient réalisés soit dans des zones SOI comprenant des ouvertures (désignées par oxyde partiellement ouvert dans le chapitre 3), soit sur des zones hors SOI (désignées par oxyde ouvert dans le chapitre 3), afin de permettre une bonne dissipation thermique (Fig. 1.5 - a et b). Si un composant de puissance est implanté sur la zone hors SOI (cas b), il peut être soit latéral, soit vertical, et se comporter comme un composant réalisé sur substrat bulk. En revanche, un composant similaire placé sur couche SOI comportant des ouvertures (cas a) ne peut être que latéral. Nous verrons par la suite, que par un choix judicieux dans la géométrie des couches, il est possible de tirer bénéfice de cet oxyde enterré partiellement ouvert pour améliorer les performances du composant.





**Fig. I.5 :** Substrat PSOI comportant un composant de commande faible puissance sur SOI entièrement isolé du reste du substrat, et a) un composant latéral de forte puissance réalisé sur couche SOI comportant une ouverture, b) un composant latéral ou vertical de forte puissance réalisé hors SOI.

L'isolation latérale (fig. I.6), quant à elle, est obtenue soit en effectuant une gravure RIE (reactive ion etching) du silicium et en la remplissant d'oxyde et de poly-silicium, soit par la fabrication d'isolation par jonctions, soit pour des couches SOI plus fines, par la réalisation d'un méssa (gravure de larges plateaux entre composants) ou un LOCOS (Localized Oxidation Of Silicon).



**Fig. I.6 :** Schéma des différentes isolations latérales pour les applications aux PICs sur SOI.

- Application aux composants de puissance [8] :

L'utilisation de substrats SOI par rapport à des substrats massifs offre de nombreux avantages pour des applications de puissance :

L'isolation est optimisée grâce à la présence de la couche d'oxyde enterrée, et la structure d'isolation occupe moins de place qu'une isolation par jonctions ou par une série de tranchées sur substrat massif.

Le courant de fuite à l'état off est diminué, les pertes à la commutation sont plus faibles, la vitesse de fonctionnement (d'un IGBT par exemple) est augmentée, grâce au fait que la zone de drift est parfaitement isolée du substrat. Ainsi, au cours de l'état ON, l'injection de porteurs dans le substrat est évitée, ce qui entraîne une extinction rapide du plasma au cours du passage à l'état OFF.

Cependant, les substrats FSOI présentent certains inconvénients : un problème d'auto échauffement, déjà cité, peut apparaître. L'effet RESURF (Reduced Surface Field) sera également réduit, ce qui peut affecter la tenue en tension : même si la couche d'oxyde peut supporter une partie de la tension, les champs électriques augmentent dans la couche SOI et provoquent un claquage prématuré et donc une diminution du BV (Breakdown Voltage).

Les substrats PSOI peuvent améliorer certains de ces points :

Une fenêtre ouverte dans la couche d'oxyde sous l'anode et/ou sous la cathode peut en effet faciliter la dissipation thermique et donc supprimer les problèmes d'auto

échauffement, ainsi que permettre à la région de déplétion d'avancer dans le substrat, ce qui réduit le champ électrique régnant dans la zone SOI et crée un effet RESURF. La tension est alors aussi supportée par le substrat, ce qui diminue les risques de claquage prématuré dans la couche SOI et augmente ainsi le BV. On peut également supposer que le BV sera encore meilleur que sur un substrat massif puisque la couche d'oxyde aide aussi à supporter une partie du champ.

Le confinement reste quand même suffisamment important dans la couche SOI pour que le temps de passage de l'état ON à OFF soit amélioré par rapport à un substrat massif [7].

En résumé, les substrats PSOI permettent de combiner les avantages des substrats FSOI (vitesse de switching, isolation entre circuits...) et du silicium massif (dissipation thermique, niveau élevé du BV...).

- Application aux microsystèmes:

En parallèle aux applications purement électroniques, les wafers SOI se sont adaptés à la réalisation de microsystèmes électro-mécaniques (MEMS) [9, 10]. Le principe de base est l'utilisation de l'interface entre le BOX et le substrat de silicium pour le marquage parfait de l'arrêt de la gravure du substrat.

- Traditionnellement, les microsystèmes étaient au départ obtenus par la méthode dite de « Bulk Micromachining », c'est-à-dire un traitement du substrat massif de silicium. L'utilisation du silicium mono-cristallin du substrat garantit d'excellentes propriétés mécaniques. La partie sensible du microsystème est fabriquée en traitant le wafer de silicium de part les faces avant et arrière, jusqu'à obtenir la structure désirée. Ce traitement est réalisé principalement par des attaques chimiques de type KOH, TMAH, EDP... La forme et la taille du microsystème dépendent donc de la structure cristalline de substrat de silicium et de l'épaisseur du substrat. La fin du procédé est déterminée par la durée de gravure, ce qui n'est pas très reproductible, et la réalisation d'une couche d'arrêt est difficile.

- Au cours des années 80, la méthode dite de « Surface Micromachining » a été développée. Cette méthode consiste à utiliser une couche sacrificielle et une couche de silicium poly-cristallin déposée qui constitue la partie sensible du microsystème. La partie active du microsystème est obtenue par gravure réactive du silicium poly-cristallin jusqu'à la couche sacrificielle, et la couche sacrificielle est éliminée par une gravure sélective isotropique, pour enfin libérer la partie active. L'avantage de cette technique par rapport au « bulk micromachining » est que la taille et la forme des microsystèmes ne sont plus dépendantes de la nature et l'épaisseur du substrat, et l'inconvénient principal est lié à la qualité cristalline du silicium poly-cristallin : les propriétés mécaniques du poly-silicium sont en effet bien moins bonnes que celles du silicium monocristallin, l'épaisseur des structures mécaniques est donc limitée à 12µm pour assurer un fonctionnement correct.

- L'utilisation de wafers SOI pour fabriquer des microsystèmes a résolu certains des problèmes posés par les technologies citées précédemment. A partir d'un wafer SOI, on peut définir directement avec une excellente qualité cristalline

la partie sensible du microsysteme par gravure sèche. La couche d'oxyde enterrée constitue une couche d'arrêt et une couche sacrificielle. Ce procédé allie les intérêts du « bulk micromachining » (propriétés mécaniques du silicium monocristallin) et ceux du « surface micromachining » (pas de dépendance de la taille et la forme du motif, présence d'une couche d'arrêt).

Cette technologie est flexible et parfaitement adaptée à la fabrication de tous types de microsystemes : l'épaisseur de la couche active monocristalline peut facilement être augmentée grâce à une épitaxie de silicium pour des applications HARMEMS (High Aspect Ratio MEMS), la partie monocristalline sensible du microsysteme se comporte comme une couche homogène, il n'y a pas de stress résiduel dans la structure ce qui est bénéfique pour des applications mécaniques, et la surface de cette structure est de très bonne qualité, ce qui satisfait aux exigences pour des applications optiques.

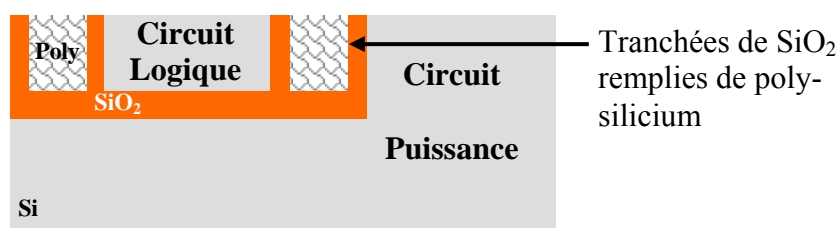
L'inconvénient est le coût important des wafers SOI par rapport aux wafers de substrat silicium massif.

L'utilisation de substrats PSOI à moindre coût de fabrication peut être envisagée puisqu'elle ne pénalise pas la fabrication des microsystemes. Le motif PSOI doit simplement correspondre à la surface active ou mobile du microsysteme.

### - **C. Le projet PSOI dans le cadre du laboratoire commun**

Ce projet a au départ été développé pour la réalisation de PICs, dans le cadre du laboratoire commun entre Freescale Semiconducteurs et le LAAS-CNRS, car il existe un fort besoin de faire coexister des composants de commande et de puissance sur une même puce, tout en assurant une isolation parfaite entre ces différents types de composants. Les wafers de type SOI partiel peuvent correspondre à ce besoin.

En effet, la couche d'oxyde enterré procure une isolation verticale, et les tranchées remplies d'oxyde et de poly-silicium une isolation latérale entre le caisson SOI et le reste du substrat. Il suffit alors de réaliser les composants de commande faible puissance dans les caissons SOI et les composants de forte puissance sur le substrat (fig. I.7).



**Fig. I.7 :** Structure finale et localisation des circuits sur SOI partiel épais.

Le choix de cette structure est justifié parce qu'elle assure une isolation diélectrique parfaite entre commande et puissance, tout en permettant une réduction de la taille des structures d'isolation par rapport à une isolation par jonction. Elle permet d'éliminer les problèmes de courants parasites tels que la diffusion de porteurs minoritaires, tout en permettant une dissipation thermique par le substrat pour les applications de puissance.

La motivation pour développer un procédé permettant d'obtenir des wafers PSOI part du fait que le prix d'achat de wafers PSOI dans le commerce est très élevé. Il était donc nécessaire

d'obtenir ce type de wafers par un procédé beaucoup moins coûteux, afin d'avoir un coût de produit final sur PSOI proche des produits sur simple substrat silicium. Le choix du procédé technologique utilisé pour la fabrication des substrats PSOI sera développé dans le paragraphe III.D du chapitre I.

Le but de cette thèse était d'optimiser le procédé choisi pour fabriquer les structures SOI partielles, de vérifier sa compatibilité avec un environnement industriel, et d'évaluer la fonctionnalité des composants sur les structures ainsi obtenues.

Un exemple d'application d'isolation entre commande et puissance devrait être testé grâce au projet réalisé au cours de la thèse de Christian Caramel au LAAS-CNRS sous la direction de Patrick Austin et Jean Louis Sanchez.

Dans un projet en collaboration entre l'université de Cambridge et le LAAS-CNRS, il était également prévu de tester la compatibilité de ce procédé technologique avec des applications de puissance sur SOI. Ainsi, nous avons pu vérifier que ce type de substrat pouvait être entièrement compatible avec la réalisation de composants de puissance latéraux, tirant profit de la présence de motifs enterrés localisés d'oxyde pour améliorer les performances (voir Chapitre III).

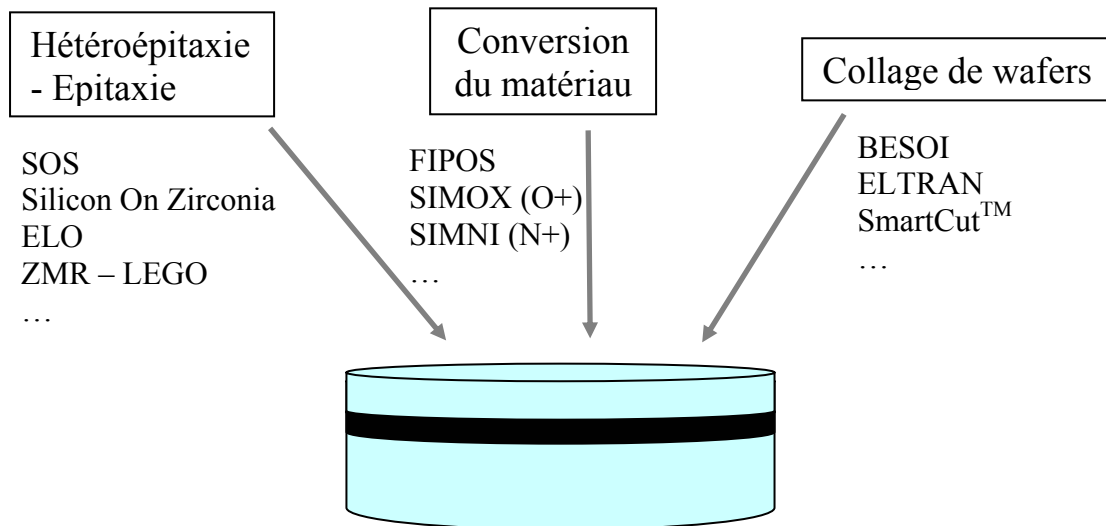
Nous avons également envisagé la possibilité d'utiliser ces structures SOI partielles couche épaisse pour la fabrication de HARMEMS (qui tirent avantage de la présence d'une couche épaisse de silicium monocristallin sur des motifs localisés d'oxyde. Ce procédé est intéressant pour ce type d'applications puisqu'il permet d'obtenir directement et à moindre coût des structures SOI partielles délimitant directement la zone mobile ou active du MEMS, avec la possibilité d'avoir différentes couches enterrés (couche enterrée d'oxyde ou de nitrure, ou les deux incluses l'une dans l'autre...) (voir Chapitre IV).



## II. Différentes technologies permettant la fabrication de wafers SOI :

### Introduction

Il existe différentes méthodes pour réaliser des wafers SOI. On peut classer ces différents procédés en 3 grands groupes (fig. I.8) : Les techniques de collage de 2 wafers, les techniques de conversion du matériau, et les techniques d'épitaxie et hétéroépitaxie [11].



**Fig. I.8 :** Classification de quelques procédés technologiques permettant d'obtenir des structures SOI.

Le tableau I.2 ci-dessous présente brièvement les procédés existants permettant d'obtenir des wafers SOI.

<b>Méthode</b>	<b>Description</b>
DI – Dielectric Isolation	Caissons de silicium monocristallin, isolés par de l'oxyde du wafer support en silicium polycristallin
SOS – Silicon On Sapphire	Epitaxie de silicium sur un substrat de saphir
SOZ – Silicon On Zirconia	Epitaxie de silicium sur un substrat de ZrO <sub>2</sub>
Recrystallisation de la zone fondue :  (a) Laser seeded or unseeded  (b) ZMR – Zone Melt Recrystallization (c) LEGO – Lateral Epitaxial Growth over Oxide	Fusion d'une couche de polysilicium déposée sur une couche de SiO <sub>2</sub> , puis contrôle de la recrystallisation par un fort gradient thermique :  (a) Fusion par un faisceau laser continu scannant la surface. Présence de zones de contact entre le polysilicium déposé et le substrat monocristallin, dites zones de germes (seeded), ou non (unseeded)  (b) Une bande de silicium fondu longue et étroite est propagée sur toute la surface du wafer  (c) Un film de silicium épais est fondu simultanément sur tout le wafer. Des gradients thermiques dus à la présence de zones de germe contrôlent la recrystallisation
ELO – Epitaxial Lateral Overgrowth	Epitaxie sélective de silicium, initiée des zones de germe, et se propageant latéralement au dessus des motifs d'oxyde

SPER – Solid Phase Epitaxy Regrowth	Dépôt de silicium amorphe sur un wafer de silicium oxydé avec des ouvertures dans la couche d'oxyde. Le silicium amorphe est ensuite recristallisé en phase solide.
FIPOS – Full Isolation with Porous Oxidized Silicon	Formation de silicium poreux localement sous des zones de silicium monocristallin, puis oxydation de ce silicium poreux pour réaliser l'isolation
Hétéro-épitaxie d'isolants cristallins et silicium monocristallin	Utilisation de CaF, ZrO <sub>2</sub> , spinel, et autres isolants cristallins
SIMOX / SIMNI – Separation by IMplantation of Oxygen / Nitrogen	La couche d'oxyde enterrée est réalisée in-situ par une implantation d'oxygène (ou d'azote)
BESOI – Bonded and Etch back SOI	Collage de 2 wafers avec une surface oxydée entre les 2. Le wafer supérieur est aminci par une étape de rodage et gravure.
Smart-Cut	Un wafer subi une implantation d'ions hydrogène ou de gaz noble. La couche de silicium au dessus de la couche implantée est transférée par collage et « clivage » sur un wafer support.
ELTRAN	Une couche d'épitaxie est réalisée sur une région de silicium poreux, et transférée par collage et clivage sur un wafer support.
SON – Silicon On Nothing	Épitaxies successives de SiGe et Si sur un film de silicium, puis enlèvement de la couche sacrificielle de SiGe. Les zones laissées vacantes par l'enlèvement de SiGe peuvent être recouvertes par de l'oxyde.

**Tab. I.2 :** Liste des procédés technologiques existants pour obtenir des structures SOI. Extrait de [7].

### - **A. Les premières méthodes développées**

Jusque dans les années 80, seules deux techniques permettaient d'obtenir des films de silicium sur isolant. Elles sont présentées ci-dessous.

#### ***Silicium sur saphir - SOS :***

Le premier procédé SOI développé est le procédé de Silicium sur Saphir (Silicon On Sapphire) [1], qui consiste à réaliser une hétéro-épitaxie d'une fine couche de silicium d'orientation <100> sur un substrat massif de saphir (Al<sub>2</sub>O<sub>3</sub>) d'orientation <1102>, <0112> ou <1012> (fig. I.9). Jusqu'à l'apparition des techniques de collage, le procédé SOS était le procédé le plus mature permettant d'obtenir des wafers SOI.

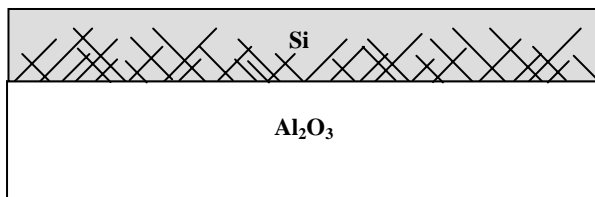
Les avantages de ce procédé proviennent du fait que le saphir est un excellent isolant électrique, empêchant les courants parasites issus de radiations de se propager. Ainsi, ces structures SOS étaient principalement dédiées à des applications militaires et spatiales dans les années 70 et 80.

Les inconvénients de ce procédé sont les nombreux défauts accumulés dans la couche de silicium à partir de l'interface. En effet, la différence entre les paramètres cristallographiques du silicium et du saphir entraîne la création de nombreuses dislocations et fautes d'empilement, leur nombre étant inversement proportionnel à la distance à l'interface. De plus, à cause des différences entre les coefficients thermiques du silicium et du saphir, des stress résiduels ont tendance à s'accumuler dans la couche de silicium. Tous ces défauts réduisent ainsi la mobilité des porteurs [12].

Ce procédé est coûteux, incompatible avec les filières de procédé silicium, et produit des couches de silicium défectueuses.

De nos jours, il est cependant possible d'améliorer la qualité des couches obtenues par ce procédé, grâce notamment à la recristallisation en phase solide (solid phase epitaxial regrowth - SPER) qui consiste à implanter des ions de silicium après épitaxie, de manière à amorphiser le film de silicium, et à reconstruire le réseau cristallin en partant de la surface, grâce à un recuit thermique. Des wafers 6 et 8 pouces de qualité cristalline convenable avec 100nm d'épaisseur de silicium ont été obtenus ainsi [1, 13, 14].

Le plus grand intérêt de ce procédé est essentiellement dû à l'épaisseur quasi infinie du substrat diélectrique, condition idéale pour la fabrication de circuits radiofréquences pour les télécommunications.



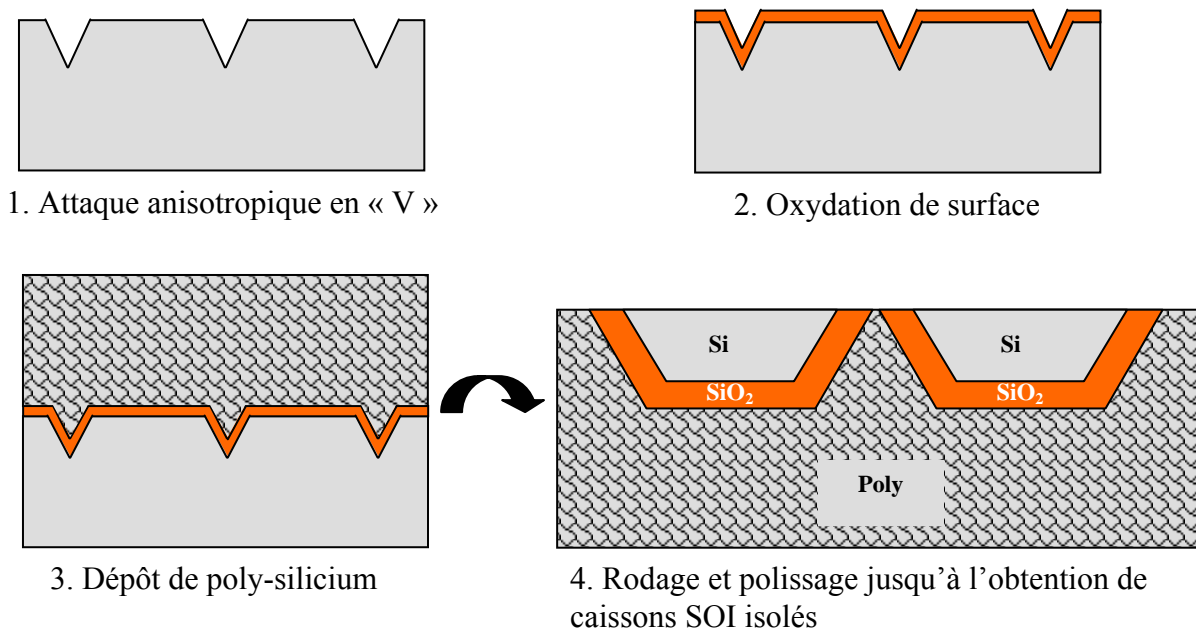
**Fig. I.9 :** Structure SOS – Silicium sur saphir

#### ***Isolation diélectrique - DI :***

Une autre des plus anciennes techniques de réalisation de films de silicium sur isolant est basée sur une isolation entièrement diélectrique [15]. Cette technique a vu le jour au milieu des années 60 et était déjà à cette époque le siège d'intégration de circuits petits signaux mais aussi d'isolation de circuits intégrés de puissance [16].

Les différentes étapes pour obtenir des wafers à partir de ce procédé DI sont listées ci-dessous.

On réalise une attaque chimique KOH anisotropique sur des wafers (100), créant ainsi des sillons en forme de V dans le silicium, jusqu'à environ 50µm de profondeur (fig. I.10-1). On oxyde la surface de ces wafers pour définir la couche d'isolation diélectrique (fig. I.10-2), puis on dépose une couche épaisse de poly-silicium (environ 500µm) par CVD, pour former le nouveau support mécanique du wafer (fig. I.10-3). La couche de silicium monocristallin est alors amincie de 90 à 80% par rodage et polissage, jusqu'à atteindre la pointe des sillons en V, libérant ainsi des caissons de silicium monocristallin sur oxyde, sur un support de silicium poly-cristallin (fig. I.10-4).



**Fig. I.10 :** Etapes du procédé DI – Isolation diélectrique.

Cette technique présente malgré tout quelques étapes critiques, comme l'attaque KOH, qui est assez contaminante pour des procédés standards, ainsi que le dépôt de couches épaisses de poly-silicium qui engendre d'importants stress et contraintes mécaniques dans le substrat, et enfin l'étape de rodage et de polissage d'une forte épaisseur de silicium qui est toujours un procédé délicat à mener à bien. En effet, à cette époque pour une importante couche de silicium à éliminer sur une grande surface, il était difficile d'avoir une bonne uniformité de l'épaisseur de la couche de silicium.

Durant les années 80, d'autres approches ont été développées pour obtenir des substrats SOI. La plupart de ces techniques n'ont pas mené à des applications commerciales, mais elles ont apporté des connaissances supplémentaires sur la croissance d'un cristal, ainsi que sur la formation des défauts. Nous présenterons dans le paragraphe suivant quelques unes de ces techniques, notamment celles qui se révèlent les plus intéressantes pour les applications actuelles.

### - **B. Les techniques actuelles et les plus répandues**

Plusieurs procédés ont été développés afin d'obtenir des wafers entièrement SOI et des wafers SOI partiel. Comme nous l'avons déjà indiqué ci-dessus, il est possible de les séparer en 3 grands groupes : Collage de deux wafers, conversion du matériau, et hétéro-épitaxie. Dans ce paragraphe, pour chaque type de technologie, nous aborderons les procédés les plus significatifs : les procédés de collage permettant d'obtenir des wafers SOI de manière commerciale (BESOI, SmartCut<sup>®</sup>, Eltran), le procédé de conversion du matériau le plus typique, c'est-à-dire la formation de la couche enterrée par implantation à travers le substrat (SIMOX), et les procédés d'épitaxie les plus significatifs pour nos applications, tels que la fusion et recristallisation de silicium poly-cristallin déposé sur oxyde (ZMR, LEGO).

## 1. Techniques de collage, dites « de bonding » : Wafer Bonding

### BESOI (Bonded and Etchback SOI)

Le BESOI [7] consiste à coller deux wafers de silicium préalablement parfaitement nettoyés et dont l'un comporte une surface oxydée. Le collage est initié par des forces de Van der Waals ou liaisons hydrophiles entre les deux surfaces, et finalisé avec un recuit à 1100°C. La structure subit ensuite un rodage puis un polissage jusqu'à ce que l'on atteigne l'épaisseur de couche SOI désirée. Pour déterminer avec précision la fin de l'étape de polissage et donc l'épaisseur de couche SOI, une couche d'arrêt peut être formée par un dopage sélectif (implantation d'une forte dose de bore ou épitaxie de silicium sur une surface dopée au bore...) incorporé dans le wafer A avant collage. On effectue alors une attaque sélective qui cesse lorsque la couche d'arrêt est atteinte, et enfin on élimine cette couche d'arrêt (fig. I.11). Les inconvénients majeurs de ce procédé sont l'utilisation de deux wafers pour en obtenir un seul, et la contamination de la couche finale de silicium sur oxyde par la couche d'arrêt dopée.

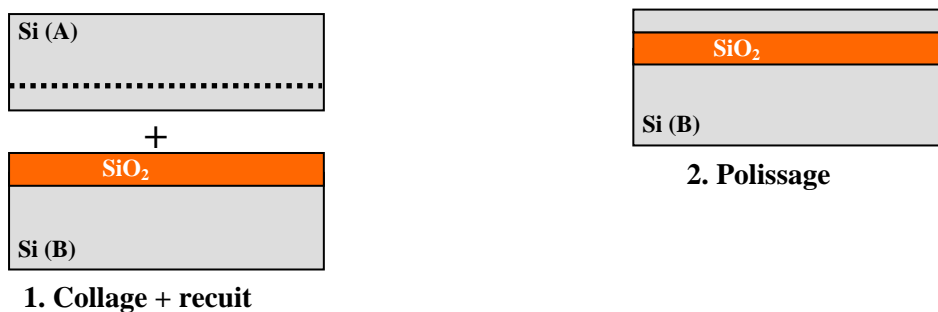
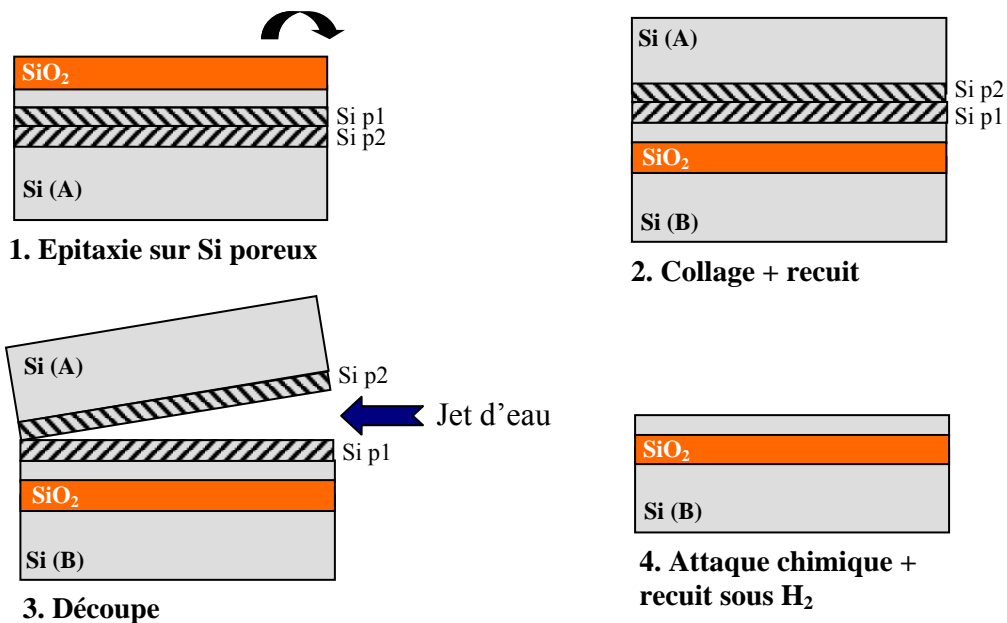


Fig. I.11 : Etapes du procédé BESOI

### Eltran (Epitaxial Layer Transfer)

Le procédé ELTRAN [7, 17, 18, 19, 20], également basé sur le collage de deux wafers, fait intervenir des couches de silicium poreux afin de faciliter la séparation du wafer support et de la couche SOI (fig. I.12). Deux couches de silicium poreux sont élaborées par une réaction électrochimique en surface du wafer support. Ces deux couches présentent une porosité différente, la couche Si p 1 est très peu poreuse pour permettre une épitaxie de silicium de bonne qualité cristalline par dessus, et la couche Si p 2 est trois fois plus poreuse. Une épitaxie de silicium est alors effectuée sur la couche Si p 1 et la croissance monocristalline est assurée par le fait que le silicium poreux conserve le réseau cristallin du substrat. La surface est ensuite oxydée, puis collée sur un deuxième wafer. La différence de porosité entre les deux couches de silicium poreux crée un stress mécanique à l'interface entre ces deux couches. Ainsi, les couches poreuses de silicium peuvent être séparées facilement par une action mécanique (jet d'eau, ultrasons... fig. I.13). La couche de silicium poreux restant en surface est éliminée par attaque chimique et la planéité est rétablie par un recuit sous H<sub>2</sub> à 1100°C.



**Fig. I.12 :** Etapes du procédé ELTRAN



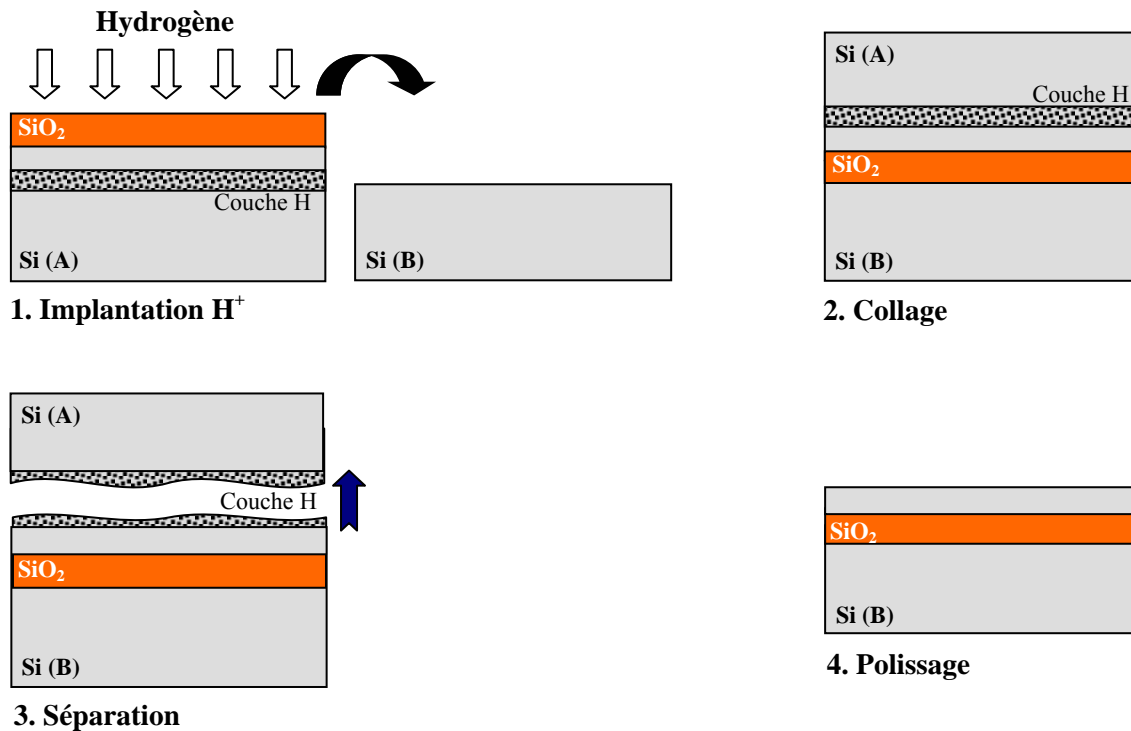
**Fig. I.13 :** Utilisation d'un jet d'eau pour séparer les 2 wafers [17].

Dans ce procédé, le wafer donneur reste quasiment intact et peut être recyclé pour former un autre wafer SOI.

### **SmartCut<sup>®</sup> (Unibond)**

Le SmartCut<sup>®</sup> (ou Unibond) [7, 21] est basé sur le même principe de collage de deux wafers. Sa spécificité est l'utilisation d'ions hydrogènes implantés dans le wafer supérieur comme un « scalpel atomique ».

Le wafer subit tout d'abord une oxydation thermique qui va permettre de constituer la couche d'oxyde enterrée. Ensuite, des ions hydrogènes sont implantés à une dose et une énergie déterminées dans le wafer, ils vont provoquer la création de microcavités (fig. I.15) [22] dans le substrat de silicium, à une profondeur fixée par l'énergie d'implantation (fig. I.14-1).



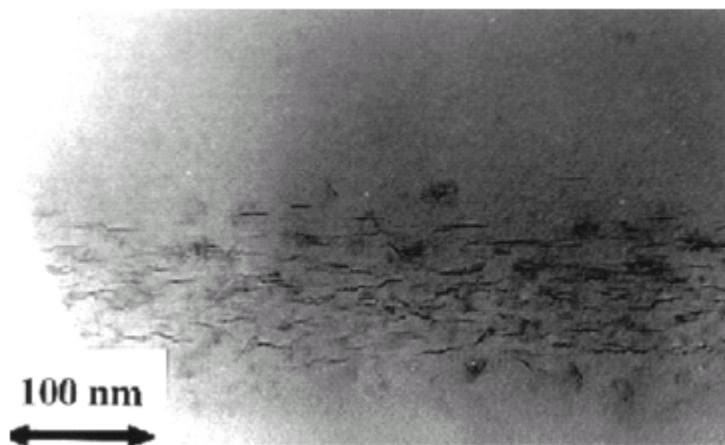
**Fig. I.14** : Etapes du procédé SmartCut®

Puis le collage est réalisé par liaisons hydrophiles entre les deux wafers, après que ceux-ci aient été préalablement nettoyés par RCA (fig. I.14-2).

Un recuit est alors effectué : La première phase de ce recuit, de 400 à 600°C, permet de faire coalescer les microcavités dues à l'implantation, et permettent ainsi la propagation d'une fissure à travers toute la couche implantée d'ions hydrogènes (fig. I.14-3). La seconde phase du recuit, au dessus de 1000°C, aide à consolider les liaisons chimiques entre les deux surfaces collées.

Après séparation, la rugosité de surface du silicium sur oxyde est rectifiée par un polissage (fig. I.14-4).

Le reste du wafer donneur est intact et peut être recyclé pour former un autre wafer support SOI, ce qui diminue le coût de fabrication par rapport au procédé BESOI utilisant deux wafers.



**Fig. I.15** : Observation TEM des microcavités formées à la profondeur d'implantation R<sub>p</sub> d'hydrogène. Extrait de la référence [22]

Les couches SOI obtenues à partir de ces trois procédés sont parfaitement monocristallines et la couche d'oxyde enterré présente toutes les caractéristiques de l'oxyde thermique dont elle découle. De plus, un autre avantage de ces procédés est que la nature et l'épaisseur de la couche enterrée peuvent être modifiées.

Cependant les wafers ainsi obtenus sont des wafers de SOI pleine plaque, et pour réaliser du SOI partiel à partir de ces procédés de collage, des étapes supplémentaires augmentant le coût déjà élevé du wafer doivent être effectuées (masquage des zones de motif, gravure du silicium et de l'oxyde, reprise d'épitaxie, polissage mécano-chimique).

Il faut souligner le fait que le procédé SmartCut<sup>®</sup> est un procédé « universel » dans le sens où il peut être adapté à de nombreux matériaux. De manière générale, le SmartCut<sup>®</sup> permet d'importer dans le royaume du silicium d'autres semi-conducteurs et isolants, avec leur éventail de propriétés spécifiques. Il est également possible de transférer sur substrat isolant des circuits CMOS préalablement fabriqués sur silicium massif. L'ensemble de ces avantages et potentialités fait du procédé Unibond / SmartCut<sup>®</sup> le procédé dominant sur le marché des wafers SOI.

## 2. Techniques de conversion du matériau : Réalisation de la couche enterrée par implantation

### SIMOX (Separation by Implantation of Oxygen)

Le SIMOX [7, 23] est une technique qui permet de réaliser la couche d'oxyde enterré par implantation d'oxygène dans un wafer de silicium. La dose et l'énergie d'implantation permettent de déterminer la profondeur et l'épaisseur de la future couche d'oxyde (fig. I.16-1). Après implantation, de nombreux défauts (dislocations et fautes d'empilement) sont accumulés dans la couche supérieure de silicium. Un recuit à très haute température (1320°C pendant 6 heures ou 1405°C pendant 30 minutes) est donc nécessaire pour rétablir une qualité cristalline acceptable de la couche SOI ainsi que pour lier les atomes d'oxygène avec les atomes de silicium en une couche bien délimitée de SiO<sub>2</sub> enterré (fig. I.16-2).

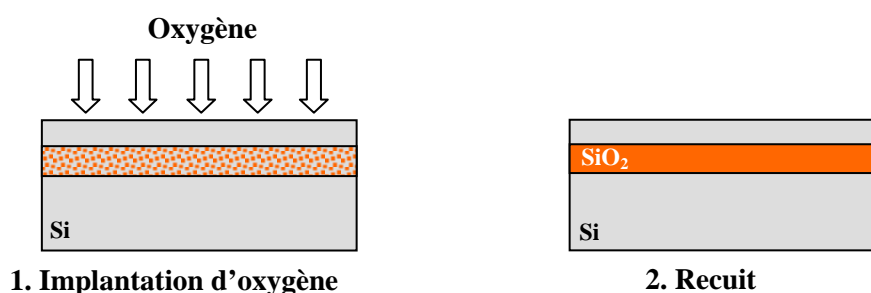


Fig. I.16 : Etapes du procédé SIMOX

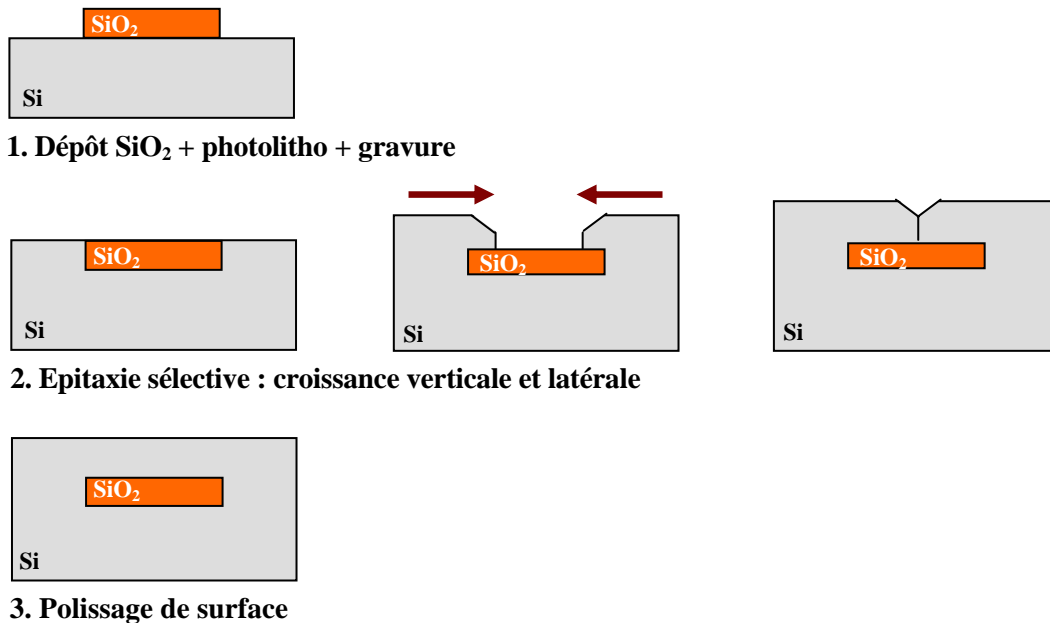
Pour réaliser du SOI partiel à partir de ce procédé, il suffit de faire un masquage avant l'implantation d'oxygène.

Les couches SOI ainsi obtenues sont de bonne qualité cristalline, mais la couche d'oxyde enterré réalisée par implantation n'a pas les qualités d'un oxyde thermique en terme d'isolation, ce qui est pénalisant pour des applications de puissance.



### 3. Techniques d'épitaxie :

#### Epitaxie latérale, ELO et MELO



**Fig. I.17** : Substrat SOI réalisé par le procédé MELO – Merged Epitaxial Lateral Overgrowth

La technique de croissance par épitaxie latérale (Epitaxial Lateral Overgrowth : ELO ou Merged Epitaxial Lateral Overgrowth : MELO) est intéressante pour obtenir une couche SOI localisée (fig. I.17).

A partir d'un wafer de silicium présentant des motifs d'oxyde, on réalise une épitaxie sélective de silicium. Il va donc y avoir croissance de silicium uniquement sur les zones où le substrat de silicium est à nu. La croissance de silicium se fera verticalement au dessus du substrat mais aussi latéralement au dessus du motif d'oxyde. Cette croissance sélective par épitaxie (SEG : Selective Epitaxial Growth) est un procédé assez délicat à réaliser. L'épitaxie se poursuit jusqu'à atteindre une dimension latérale suffisante au-dessus de l'oxyde.

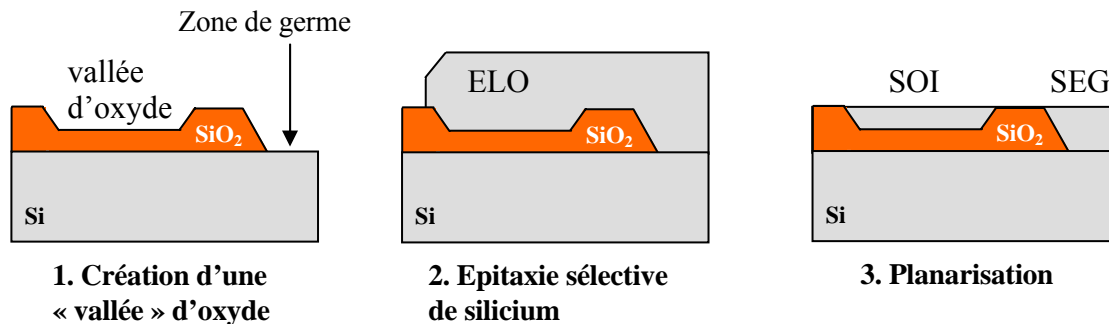
Le rapport de cette croissance latérale pour verticale est estimé à environ 1 : 10 lors de travaux réalisés par Borland [24]. G. Neudeck en revanche a estimé ce rapport de croissance à 1 : 1. Lorsque les fronts d'épitaxie de rejoignent et recouvrent entièrement le motif, une étape de polissage mécano-chimique est nécessaire pour enlever l'excédent de silicium et rétablir une bonne planéité.

Les couches de silicium sur oxyde ainsi obtenues sont de bonne qualité puisqu'elles proviennent d'une épitaxie de silicium. Cependant, la largeur des motifs ainsi réalisés est limitée par le rapport de croissance maximum (la dimension de l'îlot d'oxyde ne doit pas être trop importante sinon l'épaisseur de silicium obtenue en fin de procédé serait démesurée).

Les récents travaux de Neudeck [25] à l'Université de Purdue dans l'Indiana, traitent de l'application de la technique ELO à la réalisation de transistors MOS double grille totalement dépeuplés sur SOI. En effet, le procédé ELO peut permettre la fabrication de couches minces de silicium. On part alors d'un substrat de silicium sur lequel on dépose une première couche d'oxyde. Puis grâce à une gravure RIE (Reactive Ion Etching) et une deuxième oxydation, on détermine la profondeur de la vallée d'oxyde (fig. I.18), d'où l'épaisseur de SOI. On réalise ensuite les ouvertures de germe, à partir desquelles s'initie la

croissance par épitaxie de silicium. On arrête l'épitaxie lorsque la vallée d'oxyde est remplie. Pour terminer, le surplus de silicium est enlevé par polissage mécano-chimique.

Cette technique bénéficie aujourd'hui d'un regain d'intérêt dû aux récentes avancées technologiques en matière de polissage mécano-chimique. Selon Neudeck, le SOI obtenu serait de haute qualité avec une densité de défauts inférieure à celle du "wafer bonding" ou du SIMOX. De plus, le coût de cette technique est estimé inférieur de 20 à 30% à celui d'un SIMOX avec tranchées d'isolation.



**Fig. I.18 :** Substrat SOI réalisé par le procédé ELO – Epitaxial Lateral Overgrowth

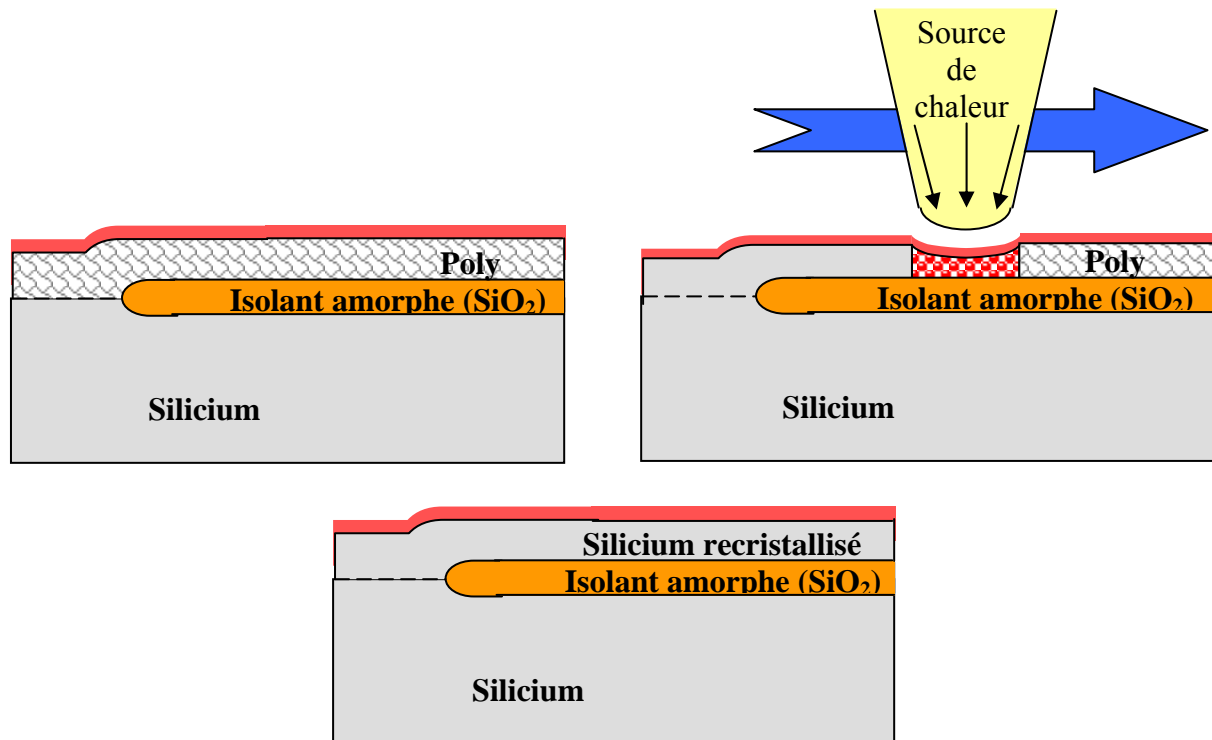
D'autres travaux récents [26, 27] traitent de la possibilité de réaliser, avec le procédé ELO, un empilement en 3 dimensions de couches SOI (MLSOI pour Multiple Layers SOI). L'intégration en trois dimensions de circuits permettrait d'augmenter la densité de composants, et de diminuer les interconnexions pour atteindre des vitesses de l'ordre du Giga hertz.

L'inconvénient majeur de ce procédé concerne les dimensions latérales d'un substrat SOI réalisé par ELO : les valeurs minimales sont voisines de 150 nm x 150 nm et maximales de 8 µm x 500 µm. Les épaisseurs de SOI sont de l'ordre de 40 à 200 nm. Par ailleurs, cette technique présente quelques étapes critiques comme l'épitaxie sélective ou le polissage mécano-chimique.

### **Recristallisation de la zone fondue, ZMR (Zone Melting Recrystallization)**

A partir d'un wafer de silicium comportant des zones de poly-silicium sur oxyde, et quelques zones de silicium monocristallin dites zones de germe, il est également possible de former des wafers SOI par la technique de recristallisation de zone fondue ZMR (pour Zone Melting Recrystallization) [28]. Une source d'énergie mobile (laser, lampe halogène, barreau de graphite incandescent, canon à électrons) va permettre de fondre par balayage les zones de poly-silicium. Lorsque la source d'énergie s'éloigne, le gradient thermique induit par ce balayage crée un front de recristallisation qui s'appuie sur les zones de germe monocristallines. Ainsi, le silicium fondu va se solidifier en silicium monocristallin (fig. I.19). Ce procédé permet d'obtenir des wafers SOI partiel, à bas coût.

Les couches SOI obtenues à partir de ce procédé présentent cependant des caractéristiques électriques médiocres. En effet, le fort gradient thermique localisé permettant la coexistence de zones solides et liquides, crée une accumulation de contraintes thermiques, entraînant ainsi l'apparition de défauts cristallins dans le sens de balayage de la source de chaleur.



**Fig. I.19 :** Principe du procédé ZMR

La préparation initiale des plaquettes est décrite ci-dessous : Tout d'abord, on effectue un dépôt par LPCVD (Low Pressure Chemical Vapor Deposition) ou par oxydation thermique d'une couche d'oxyde de silicium sur un substrat de silicium monocristallin qui deviendra ensuite la couche diélectrique enterrée. On réalise ensuite des ouvertures appelées zones de germe, à partir desquelles la recrystallisation va débiter. On dépose par LPCVD une couche de silicium poly-cristallin. Enfin, le dépôt par CVD (Chemical Vapor Deposition) d'une couche d'encapsulation en oxyde est nécessaire de manière à contenir la fusion du silicium et à éviter que celui-ci ne s'évapore lors de la fusion.

### **Le LEGO**

Le procédé LEGO, que nous développerons dans la partie III est directement issu de ce procédé de recrystallisation de la zone fondue. La principale différence est que la zone de chauffage est ici stationnaire, ainsi toutes les zones de silicium poly-cristallines sont recrystallisées simultanément. Ceci permet d'éliminer les problèmes de gradient de température et d'accumulation de contraintes et dislocations. Ainsi on observe une nette amélioration de la qualité cristalline des couches SOI obtenues par ce procédé LEGO par rapport au procédé ZMR, tout en continuant d'assurer un faible coût de procédé.

#### **- C. Le futur des « couches actives sur isolant »**

De nos jours, la motivation la plus visible pour l'utilisation du SOI est l'application aux circuits CMOS faible tension faible puissance tout en améliorant la vitesse de fonctionnement. Ainsi, les couches SOI les plus utilisées sont les couches minces (voir paragraphe I.B) : La réalisation de composants partiellement ou totalement dépeuplés sur

couche SOI minces permet un fonctionnement plus rapide et une consommation en puissance moindre comparé à des composants sur substrat massif de silicium.

L'utilisation de couches contraintes de silicium permet de repousser encore plus ces limites de fonctionnement en vitesse.

## 1. Intérêt du substrat silicium contraint sur isolant

En effet, sous l'effet d'une contrainte de tension biaxiale dans le plan du wafer, l'espacement entre les atomes dans le plan est plus important que l'espacement dans le silicium relaxé. Cette distorsion du réseau cristallin modifie les diagrammes de bandes électroniques du matériau dans le sens d'une amélioration de la mobilité des électrons et des trous, et donc augmente la vitesse de fonctionnement des composants (Abaissement du minimum d'énergie de la vallée  $\Delta 2$  de la bande de conduction, et séparation en deux types de population, trous légers et trous lourds, pour la bande de valence).

Il a donc été envisagé de combiner les avantages des couches isolées et des couches contraintes, en créant de nouvelles structures de silicium contraint sur isolant.

Les bénéfices de l'utilisation conjointe d'une couche d'isolation et d'une couche contrainte de silicium ont été présentés dans le cadre du partenariat entre Freescale semiconducteurs et SOITEC, pour les technologies dont la taille de grille est inférieure à 65nm [29].

L'utilisation de couches SOI permet aux composants de fonctionner à des vitesses nettement plus importantes et avec des pertes électriques moindres. On estime que par rapport à des composants sur substrat massif de silicium, la réduction sur la puissance consommée est de 2 à 3 fois, et l'augmentation de vitesse est de 20 à 30%. De manière similaire, l'utilisation de couches contraintes de silicium résulte en une augmentation de vitesse de 20 à 30%. En utilisant conjointement ces deux technologies, Freescale Semiconducteurs a annoncé pouvoir obtenir finalement un gain en vitesse des électrons de 70%, tout en assurant une réduction de la puissance consommée par rapport à un composant sur substrat massif.

Dans le cadre de ce partenariat, il a été également possible de réaliser le premier transistor industriel fonctionnel CMOS à 45nm sur substrat - bonded SSOI - silicium contraint sur oxyde obtenu par collage.

De manière générale, l'augmentation de la mobilité des porteurs est estimée à 80% pour les électrons et à 40% pour les trous, pour une consommation similaire à celle sur substrat SOI non contraint.

## 2. Procédés technologiques permettant de réaliser du silicium contraint sur isolant

Deux principes sont développés (fig. I.20) afin d'obtenir des substrats de silicium contraint sur isolant, avec une contrainte globale à travers tout le wafer. Il s'agit des procédés SGOI (Silicon Germanium On Insulator) et sSOI (strained Silicon On Insulator) [30] :



Fig. I.20 : Structures de silicium contraint (a) par procédé SGOI et (b) par procédé sSOI

Dans les deux cas, ces procédés font intervenir des couches d'un alliage de silicium germanium, qui vont permettre de créer la contrainte dans la couche de silicium (fig. I.21). En effet, les atomes de germanium sont plus gros que les atomes de silicium. Ainsi les distances inter-atomiques seront plus grandes de 4,2% dans un réseau de germanium que de silicium, ce qui rend difficile un bon raccord de maille entre les deux réseaux.

En constituant un alliage de silicium et germanium avec des concentrations contrôlées, il est possible d'obtenir un réseau avec une distance inter-atomique plus élevée que celle du silicium, mais qui reste suffisamment proche pour réaliser une épitaxie. L'alliage généralement choisi se compose de 20% de germanium et 80% de silicium. Sur ces couches de  $\text{Si}_{0,8}\text{Ge}_{0,2}$  il est possible de réaliser une épitaxie de silicium, et le silicium ainsi créé s'adaptera aux distances inter-atomiques du réseau cristallin de l'alliage, ce qui crée une contrainte biaxiale de tension localisée dans toute la couche de silicium épitaxié.

Le degré de contrainte atteint dans la couche de silicium est fonction de la concentration en germanium de la couche SiGe.

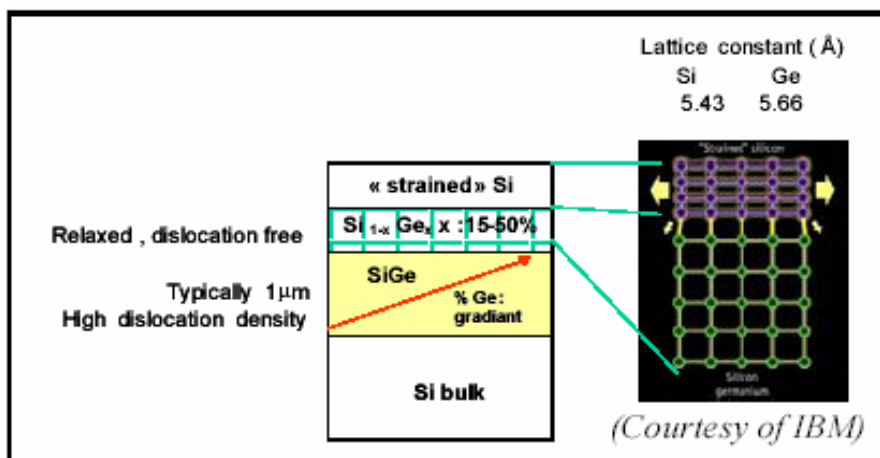


Fig. I.21 : Illustration de la création de la contrainte dans une couche de silicium [31].

### a) SGOI : Strained Silicon on SiGe-On-Insulator

Le substrat SGOI peut être obtenu par différentes technologies : condensation du germanium, SIMOX, ou application des techniques de collage tels que le SmartCut® ou le BESOI.

La structure finale peut être, en fonction des applications, soit du SiGe relaxé sur une couche d'isolant, soit une couche de silicium contraint sur SiGe relaxé sur isolant. Il suffit d'ajouter une étape d'épitaxie de silicium pour obtenir la couche finale de silicium contraint.

SGOI par condensation du germanium [30, 32] :

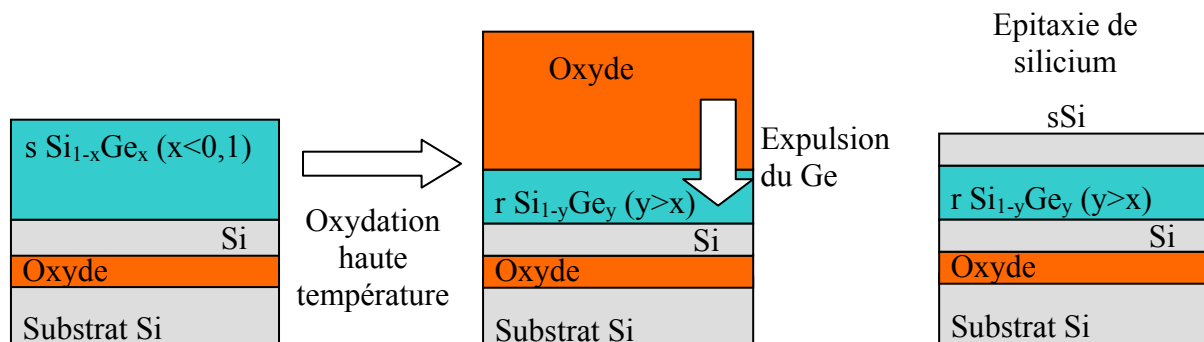
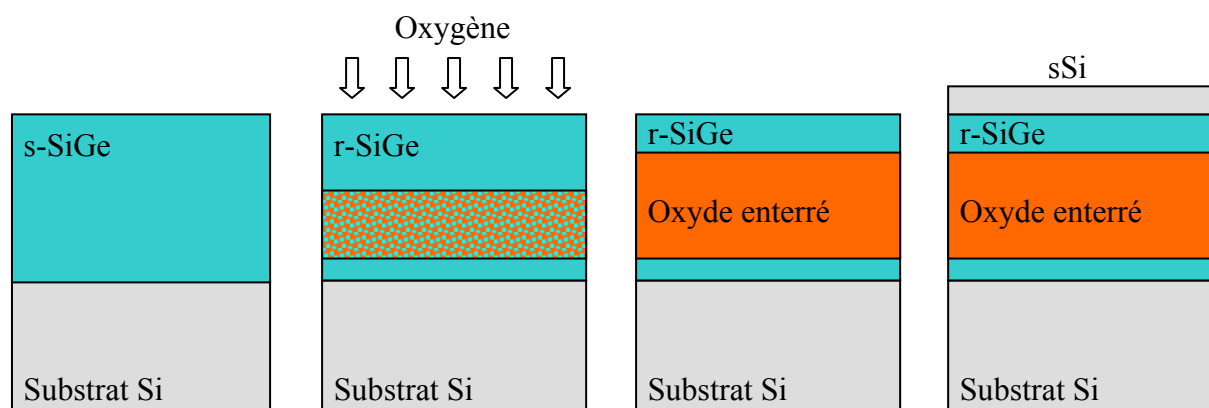


Fig. I.22 : Procédé de condensation du germanium permettant d'obtenir des substrats SGOI.

Le procédé débute par une épitaxie de SiGe contraint sur un wafer SOI (la proportion de germanium  $X_{Ge}$  est petite pour éviter la relaxation et l'apparition de défauts cristallins). Une oxydation à haute température (1200°C) est ensuite effectuée : Le germanium est expulsé de l'oxyde, s'accumule sur le front d'oxydation, et diffuse dans la couche de SiGe.  $X_{Ge}$  augmente, et la couche de SiGe se relaxe partiellement. Une épitaxie permet alors de créer une couche de silicium contraint sur SiGe sur isolant (fig. I.22).

Si la couche de SiGe est contrainte, il n'y a pas de dislocations dans le matériau mais la couche de silicium épitaxiée par-dessus ne sera pas contrainte et l'augmentation de vitesse des porteurs ne sera pas assurée. Si la couche de SiGe se relaxe, la couche de silicium épitaxiée est alors contrainte, l'augmentation de vitesse des porteurs est assurée, mais la densité de dislocations risque d'être élevée dans la couche de SiGe et de se propager dans la couche de silicium. Pour ce procédé, un compromis est donc nécessaire entre le besoin de relaxer la couche de SiGe et le besoin d'avoir une faible densité de dislocations.

#### SGOI par approche SIMOX [33] :



**Fig. I.23 :** Procédé SIMOX appliqué à l'obtention de substrats SGOI.

Une épitaxie de  $Si_{0,9}Ge_{0,1}$  est réalisée sur un substrat de silicium, on obtient alors une couche de SiGe contrainte sur silicium, d'une épaisseur faible (300nm) pour éviter l'apparition de dislocations. On implante des atomes d'oxygène pour définir la couche d'oxyde enterré comme dans le procédé SIMOX. On réalise ensuite 2 recuits successifs. Le premier recuit se fait à 1335°C pour former une couche continue d'oxyde enterré à partir des atomes implantés, et ainsi permettre la relaxation de la couche supérieure de SiGe qui est séparée du reste du substrat par cette couche d'oxyde nouvellement formée. Le second recuit se fait à 1200°C pour réaliser l'étape dite ITOX (internal oxidation) qui permet d'augmenter l'épaisseur de la couche d'oxyde (de 80 à 110 nm), diminuer l'épaisseur de la couche de SiGe relaxée (de 300 à 40 nm), et de la même manière que pour le procédé précédent de condensation du germanium, expulser les atomes de germanium contenus dans la région oxydée vers la couche de SiGe supérieure. Ainsi, la proportion de germanium dans la couche SiGe sur oxyde augmente jusqu'à environ 20%. On peut alors effectuer une épitaxie de silicium sur la couche  $Si_{0,8}Ge_{0,2}$  relaxée, et on obtient ainsi une couche de silicium contraint (fig. I.23).

#### SGOI par substrat SiGe virtuel + collage [34] :

Il s'agit dans ce procédé de transférer, par un procédé de collage de type SmartCut® ou BESOI, une couche de SiGe relaxée d'un wafer donneur à un wafer support (fig. I.24).

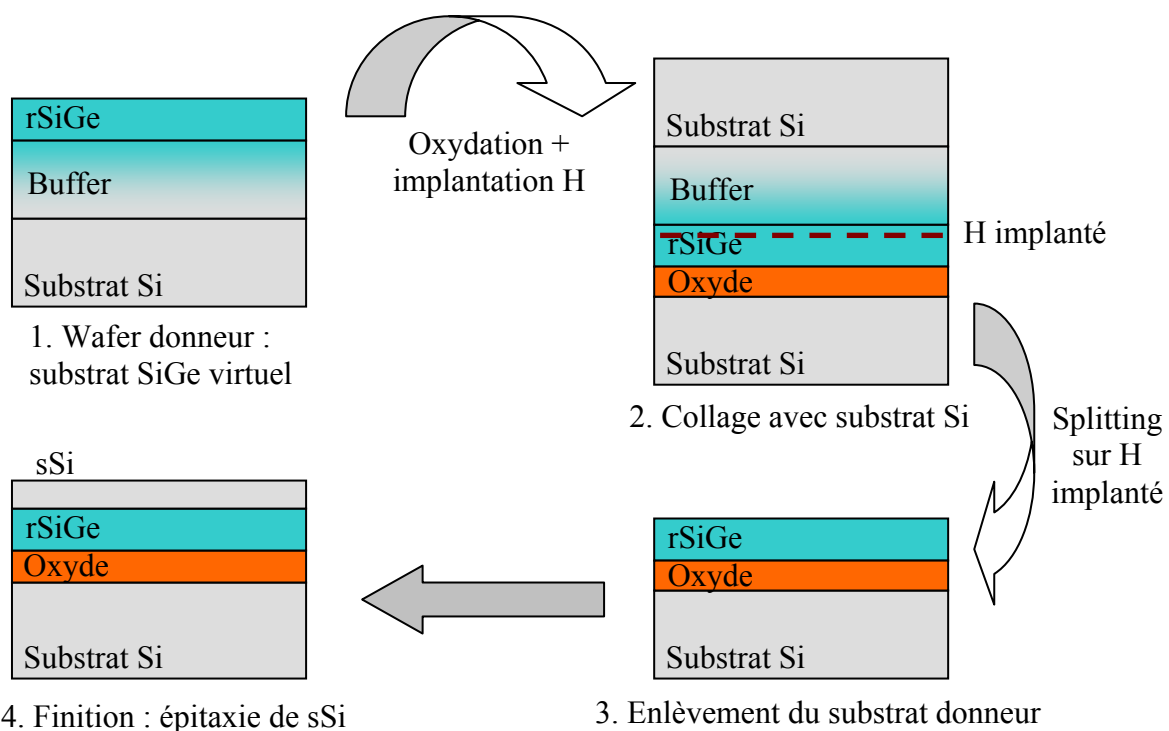
Le wafer donneur est un substrat dit « virtuel » de SiGe relaxé, composé d'un substrat de silicium, sur lequel on a réalisé une hétéro-épitaxie d'un buffer de SiGe, avec une

concentration variable de germanium. Dans ce buffer SiGe, la concentration de germanium part de 0 et augmente progressivement jusqu'à 20% qui est la valeur maximale souhaitée ici. (Typiquement la valeur maximale souhaitée est comprise entre 15 et 50% [31]). Ainsi, le paramètre de maille cristalline s'adapte progressivement de celui du silicium à celui du SiGe relaxé. Ce buffer sert donc à relaxer toutes les contraintes et à accumuler toutes les dislocations nécessaires à la relaxation de ces contraintes en une seule couche (fig I.21). Lorsque la concentration souhaitée de germanium est atteinte, on arrête cette épitaxie du buffer. On effectue alors une autre épitaxie d'une couche de SiGe relaxée à la concentration déterminée de 20% de germanium, et sans dislocations. Ainsi on obtient le substrat dit virtuel de SiGe relaxé.

Dès lors, on réalise l'implantation d'hydrogène dans la couche de SiGe du wafer donneur et l'oxydation de surface du wafer de silicium support, qui vont permettre de coller ces deux substrats, et de cliver cette structure au niveau de la couche de SiGe relaxée. Le collage conserve la contrainte globale créée dans la couche de silicium.

Il reste enfin une couche de SiGe relaxé sur isolant, et on obtient la structure finale en effectuant une épitaxie de silicium, qui résulte en une couche de silicium contraint sur SiGe relaxé sur isolant.

L'empilement de silicium et de buffer SiGe découpé peut être recyclé pour la création d'un autre substrat SGOI.



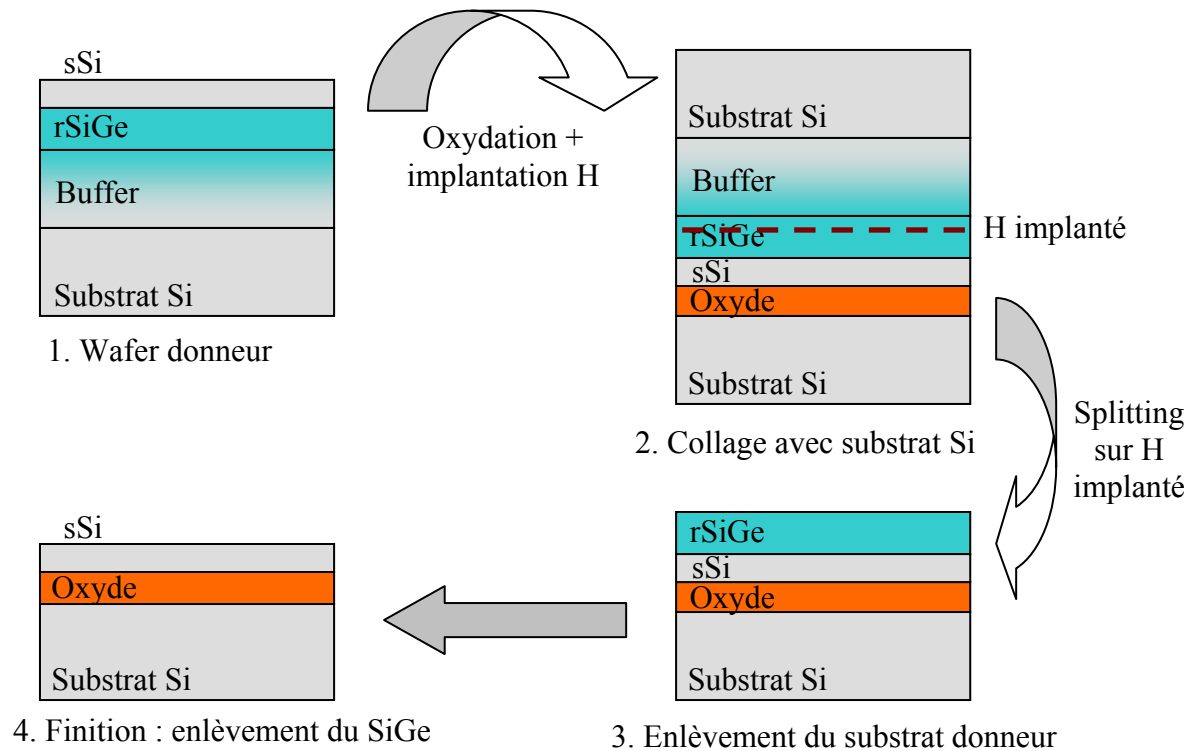
**Fig. I.24** : Procédé SmartCut<sup>®</sup> appliqué à l'obtention de substrats SGOI.

Indépendamment du procédé utilisé pour la fabrication, l'inconvénient de ces structures SGOI par rapport aux structures sSOI décrites ci-dessous est la diffusion possible du germanium [30] dans la couche de silicium contraint, au cours des étapes thermiques permettant de réaliser les composants. La diffusion du germanium pourrait notamment causer une augmentation de la densité de dislocations présentes dans le matériau, une réduction de la mobilité des porteurs...



## b) SSOI : Strained Silicon-On-Insulator

Le substrat sSOI [34] (Strained Silicon on Insulator) est obtenu directement à partir des procédés de collage tels que le SmartCut<sup>®</sup> ou le BESOI (fig. I.25). Le collage d'une couche contrainte nécessite auparavant la création d'un substrat virtuel SiGe relaxé.



**Fig. I.25** : Procédé SmartCut<sup>®</sup> appliqué à l'obtention de substrats sSOI.

Le substrat dit virtuel de SiGe relaxé est créé de la même manière que pour le procédé SGOI par collage. Le buffer SiGe aide à relaxer toutes les contraintes et à accumuler toutes les dislocations nécessaires à la relaxation de ces contraintes. Puis la couche de SiGe relaxé est déposée, suivie cette fois-ci d'une épitaxie de silicium contraint sur SiGe.

A partir de ce wafer donneur, on peut alors effectuer l'implantation d'hydrogène dans la couche de SiGe relaxée et l'oxydation en surface du silicium, nécessaires au collage sur un substrat de silicium et au découpage. Le collage conserve la contrainte globale créée dans la couche de silicium. Il reste alors une couche de SiGe sur la couche contrainte de silicium, qu'il suffit d'éliminer de manière sélective. On obtient alors une couche de silicium contraint sur oxyde.

L'empilement de silicium et de buffer SiGe découpé peut être recyclé pour la création d'un autre substrat sSOI.

Les composants CMOS de 45 nm de grille réalisés dans le cadre du partenariat entre Freescale Semiconducteurs et SOITEC utilisent des couches « bonded sSOI » (silicium contraint sur oxyde obtenu par collage), qui n'ont montré aucune relaxation des contraintes après la réalisation du procédé technologique permettant de créer des composants [28].



### c) GOI : Germanium On Insulator

D'autre part, le procédé permettant d'obtenir des wafers GeOI (germanium sur isolant) par SmartCut<sup>®</sup> est en phase d'optimisation pour une mettre en place une stratégie de production à fort volume. L'intérêt du germanium serait d'augmenter encore de deux fois la mobilité des électrons et de quatre fois celle des trous [35].

Deux variantes de ce procédé existent quant au wafer donneur : l'utilisation de substrats de germanium massif, fragiles, coûteux mais de très bonne qualité cristalline, et l'utilisation d'une épitaxie de germanium sur substrat de silicium, peu coûteuse, moins fragile, mais comportant de nombreuses dislocations. Il reste donc certains problèmes à résoudre, liés notamment à la quantité de dislocations dans le germanium épitaxié.

### d) Autres technologies

Il existe également des méthodes permettant d'obtenir des contraintes localisées sur le composant, en déposant des couches telles que du nitrure de silicium ou du SiGe. Ces deux approches (contrainte locale ou globale) sont complémentaires et seront donc toutes deux nécessaires pour les applications futures [34].

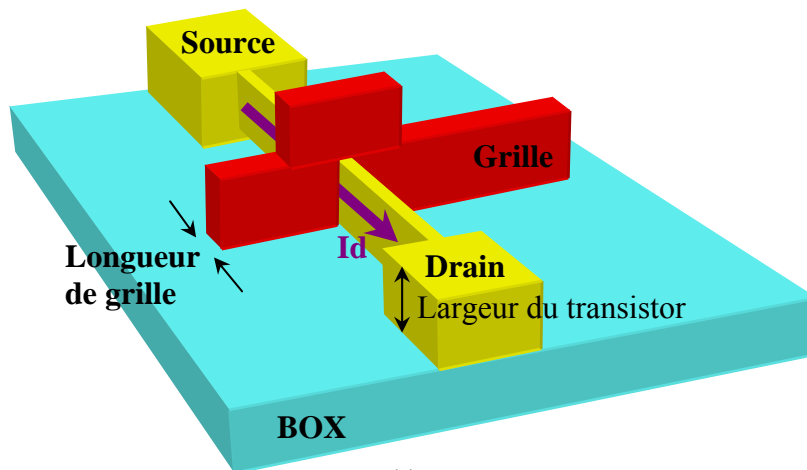
## 3. Nouvelles architectures sur SOI

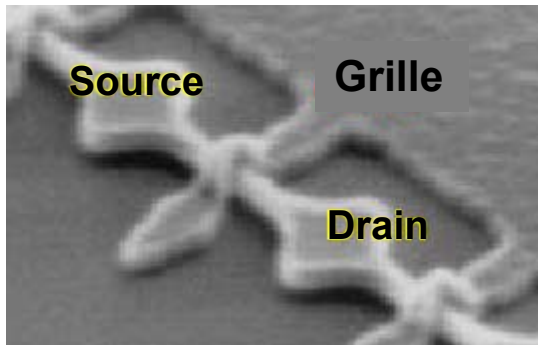
De nouvelles architectures sont également investiguées afin de tirer pleinement profit des avantages offerts par les structures SOI.

Ainsi, la présence d'une couche d'oxyde enterré peut permettre la réalisation d'une grille inférieure, et donc d'un composant actionné par une double grille. Différentes architectures peuvent alors être envisagées concernant la géométrie de la grille [35], on peut également obtenir des composants multi grilles.

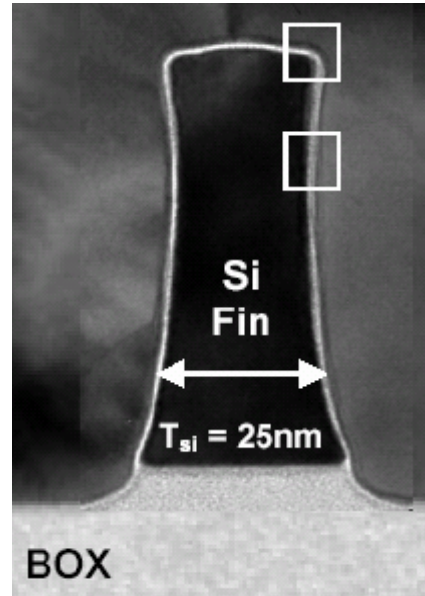
Ces différentes architectures permettent de fabriquer des composants de type MOSFET encore plus petit, avec un bon contrôle des effets canaux courts (SCE) et des courants plus élevés que pour une grille simple.

Une architecture particulièrement intéressante car relativement facile à réaliser est celle du FinFET [36]. Le principe est de constituer le canal par une zone de silicium sur oxyde de section très étroite, que l'on appelle le « fin », et de l'entourer par une grille (fig. I.26). De nombreux travaux sont effectués sur ce type d'architecture.





(b)



(c)

**Fig. I.26 :** Coupe schématique (a) et observations d'un FinFET (b) vue de dessus, (c) vue TEM en coupe. La coupe est perpendiculaire à la section du fin (IBM, IEDM 2002 voir réf. [36]).

### **III. LEGO :**

#### **- A. Principe du LEGO (Lateral Epitaxial Growth over Oxide)**

Le LEGO est une technique directement inspirée de la recristallisation de zone fondue et a été développé en premier lieu par AT&T Bell Laboratories dans les années 80 par G.K. Celler [15, 37]. La principale différence est que la source de chaleur est ici stationnaire et permet de fondre et recristalliser tout le wafer simultanément.

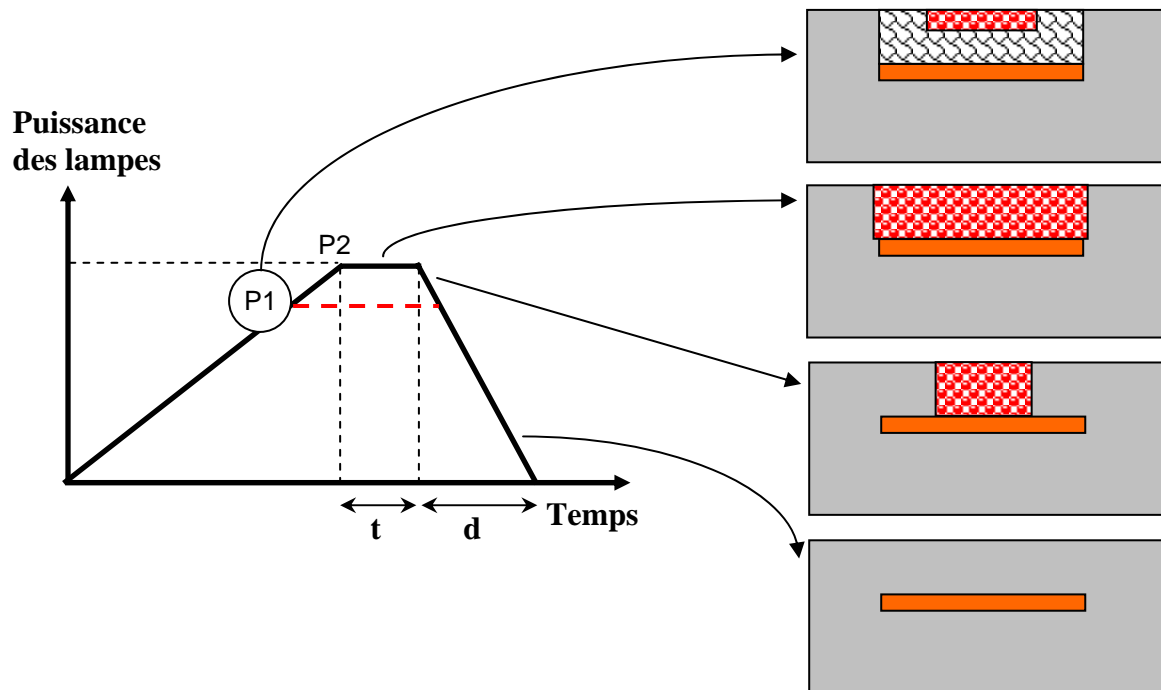
Le wafer initial est pré-traité par une oxydation thermique (fig. I.29-1) et un dépôt d'une couche d'accrochage en poly-silicium (fig. I.29-2). On réalise ensuite un masquage et une gravure RIE du poly-silicium suivis d'une gravure humide de l'oxyde. On dispose ainsi en surface du wafer de motifs localisés d'oxyde recouverts d'une couche d'accrochage, et de zones dites de germe où le silicium monocristallin du substrat est à nu (fig. I.29-3). Ce wafer subit une épitaxie non sélective, qui va permettre la croissance de silicium poly-cristallin sur les motifs d'oxyde, et de silicium monocristallin sur les zones de germe. La structure doit alors être encapsulée (fig. I.29-4), avec une couche d'oxyde par exemple, afin d'éviter une évaporation du silicium liquide lors de l'étape de recristallisation.

La fusion et recristallisation du silicium se fait dans un four de recuit rapide (RTP pour Rapid Thermal Processing) spécifique [38], comportant des lampes halogènes, qui permettent de monter très rapidement à très haute température (aux alentours de 1415°C sur la face avant du wafer). L'intérieur de ce four est étudié pour qu'un fort gradient thermique vertical soit créé entre la face supérieure et la face inférieure du wafer (voir paragraphe suivant III-B). La face supérieure comportant les motifs à recristalliser recevra juste assez d'énergie pour que fondent seulement les zones de silicium poly-cristallin sur oxyde, les zones de silicium monocristallin sur substrat restant solides (fig. I.29-5). En effet, les nombreux défauts cristallins (tels que les joints de grains, les mâcles...) contenus dans le poly-silicium vont agir comme des sites de fusion préférentiels. Ainsi, le silicium poly-cristallin entrera en fusion plus rapidement que le silicium monocristallin qui ne comporte pas de défauts et donc pas de sites initiant la fusion. Grâce au fort gradient thermique créé par le four, le substrat restera quant à lui complètement solide.

Dans le procédé LEGO, la source de chaleur étant stationnaire, les gradients thermiques, mis en jeu lors de la fusion ou de la recristallisation, tirent profit des paramètres géométriques de la structure, des paramètres physiques des couches mises en jeu et du chauffage dissymétrique du four RTP, tout en restant inférieurs, notamment pour les gradients horizontaux, à ceux existant en ZMR.

Le cycle de recristallisation est constitué d'une montée en puissance de chauffe rapide, d'un palier de puissance variable en hauteur ( $P_2$ ) et en durée ( $t$ ), et d'une pente de descente en puissance variable ( $d$ ) (fig. I.27). Le point de fusion du silicium étant atteint en surface et la fusion étant effective sur des épaisseurs de plusieurs dizaines de microns éventuellement, un contrôle du procédé à travers une boucle de contre-réaction utilisant une mesure de température n'est pas possible étant donné l'incertitude sur la mesure de température. La commande s'effectue donc en boucle ouverte (vis-à-vis de la température), directement sur la puissance fournie aux éléments chauffants. Il est à ce propos important de noter que c'est la chaleur latente de fusion relativement élevée du silicium (1650 J/g) qui rend possible la fusion superficielle de la plaquette, sans fusion totale de tout le substrat, en absence d'un asservissement en boucle fermée. Par contre, ainsi qu'on le verra plus loin, une caractérisation optique in-situ (caméra, réflectométrie laser) est possible pour vérifier que le point de fusion

est bien atteint et pour mesurer la durée de l'existence de la phase liquide. C'est par rapport à ces derniers paramètres que la commande en puissance sera étalonnée.



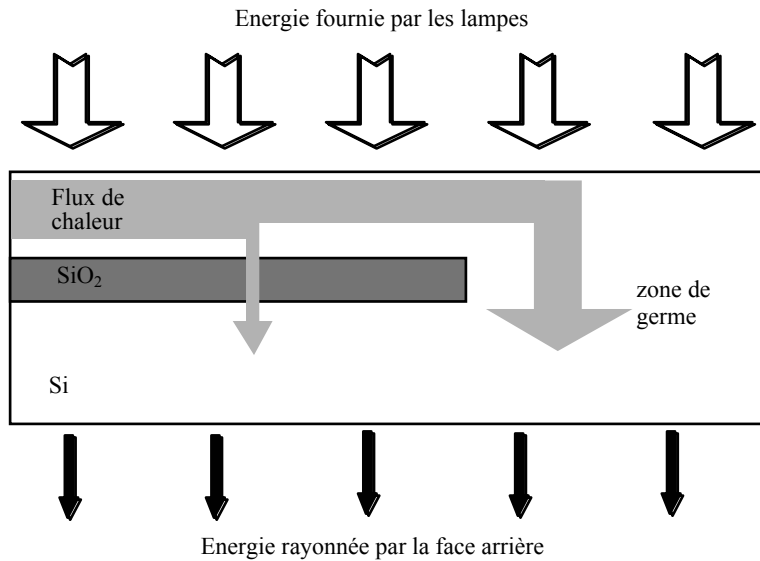
**Fig. I.27** : Cycle de recristallisation thermique

Au cours des travaux effectués précédemment dans la thèse de Sylvie Roux [39], il a été observé qu'un surplus d'énergie était nécessaire pour assurer une bonne fusion de toute la couche poly-cristalline. En effet, si une puissance  $P1$  est suffisante pour initier la fusion en surface de la couche de poly-silicium, elle ne l'est pas pour garantir la fusion de toute l'épaisseur de la couche. En effet, dès le changement de phase de la surface de la couche de poly-silicium, on observe une diminution de l'émissivité : l'émissivité du silicium solide est estimée à 0,7, elle est plus importante que celle du silicium liquide qui est estimée à 0,28 [40, 41]. A cause de ce changement d'émissivité au cours du passage à l'état liquide, l'énergie absorbée diminue, il faut donc fournir un surplus d'énergie pour fondre toute l'épaisseur de la couche de poly-silicium. La fusion de la couche entière de poly-silicium sera atteinte pour une puissance de lampe  $P2 > P1$ .

Lors de la descente en température, un gradient thermique latéral est induit dans les zones SOI par les différences de conductivité thermique entre l'oxyde et le silicium. En effet, la conductivité thermique de l'oxyde de silicium est 10 fois plus faible que celle du silicium à 1685K.

La chaleur s'évacuera donc préférentiellement par les zones dites de germe puis par le substrat de silicium plutôt que par les zones SOI où la couche d'oxyde enterrée fait barrière à l'écoulement de la chaleur. Ainsi, la chaleur présente dans les zones SOI s'évacuera latéralement au dessus de la couche d'oxyde puis ensuite verticalement dans le substrat de silicium.

Le flux de chaleur dans le wafer de silicium est schématisé figure I.28.

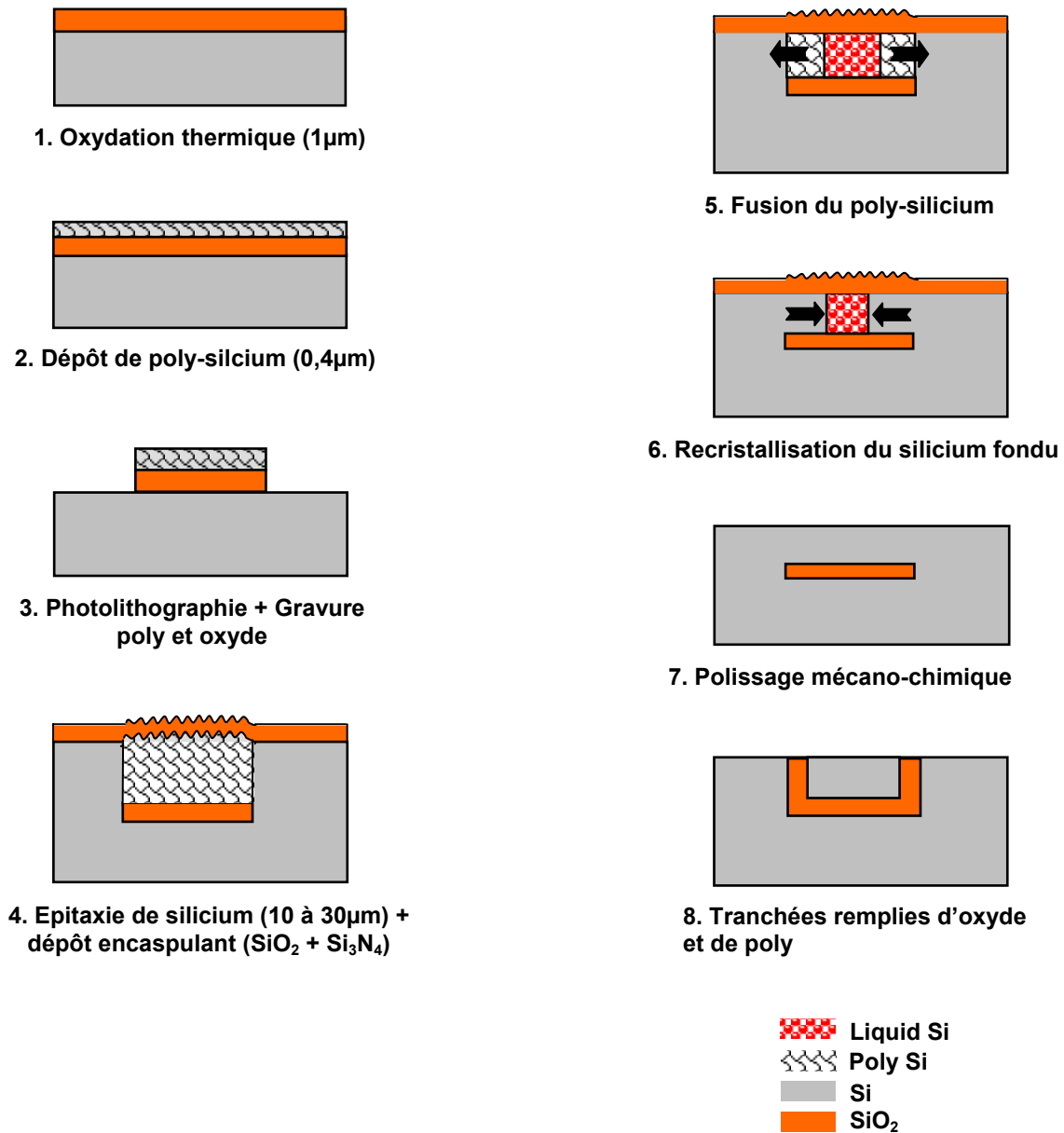


**Fig. I.28 :** Flux de chaleur dans la structure SOI

Ce gradient thermique crée un front de recristallisation qui est initié à partir des zones de germe et qui va se propager latéralement au-dessus de la couche d'oxyde. Le réseau cristallin du substrat est donc reproduit latéralement au dessus de la couche d'oxyde, à partir des bords des motifs SOI. Lorsque ces fronts de recristallisation se sont rejoints, on peut alors obtenir des motifs SOI mono-cristallins (fig. I.29-6).

Après cette étape de recristallisation, la rugosité de surface est très importante : en effet, la couche d'encapsulation possède avant recuit la rugosité du silicium poly-cristallin sur lequel elle est déposée. Elle va donc conserver cette rugosité tout au long du recuit et l'imposer au matériau recristallisé. En effet, à 1685 K, la viscosité de la couche d'oxyde d'encapsulation présente une viscosité de  $10^{10}$  poise, ce qui fournit une flexibilité suffisante pour les changements de volume dus aux mouvements macroscopiques du silicium liquide, mais cette couche d'oxyde reste cependant suffisamment solide pour conserve la rugosité microscopique du silicium poly-cristallin déposé [42]. De plus, l'étape de fusion induit des mouvements de matière dans le silicium liquide qui ne sont pas retenus par la couche d'encapsulation, ce qui favorise une très forte topologie de surface. Il est donc nécessaire en fin de recristallisation de s'affranchir de cette topologie grâce à un polissage mécano-chimique (fig. I.29-7).

Enfin, pour obtenir le caisson complet d'isolation SOI, il suffit par exemple de définir les tranchées d'isolation latérale par une gravure profonde du silicium, puis de remplir ces tranchées avec de l'oxyde déposé et du poly-silicium (fig. I.29-8).



**Fig. I.29** : Etapes du procédé LEGO

Les paramètres critiques pour ce procédé (fig. I.27) sont les paramètres thermiques du cycle de recristallisation, tels que la hauteur et la durée du palier de puissance qui conditionnent une bonne fusion de la couche de poly-silicium, la pente de descente en puissance qui va contrôler la vitesse de la solidification et donc la qualité de la couche cristalline, ainsi que les paramètres géométriques des zones SOI, tels que l'épaisseur de la couche silicium sur oxyde, la nature et l'épaisseur d'encapsulant, la largeur du motif à recristalliser, la largeur de la zone de germe.

Ce procédé devrait permettre d'obtenir des couches SOI partiel à bas coût, de bonne qualité cristalline, et dont la couche d'oxyde enterré présente toutes les qualités de l'oxyde thermique.

Le procédé LEGO utilise un rayonnement principalement infrarouge grâce aux lampes halogènes de forte puissance, qui induit un chauffage uniforme de la plaquette. Les contraintes physiques, au niveau du cristal de silicium, dues aux gradients thermiques horizontaux présents

dans d'autres techniques par fusion localisée, comme par exemple le balayage laser ou le barreau de graphite mobile, sont évitées, ce qui suppose une meilleure qualité cristalline.

## - **B. Four de recristallisation**

Cet équipement spécifique a été conçu au LAAS/CNRS en fonction des besoins liés aux procédés LEGO et de thermo-migration. Sa réalisation a été confiée à l'entreprise AET (Amatis Technologies - Montbonnot). Ce four fait partie du matériel pour procédés thermiques rapides ou RTP (Rapid Thermal Processing) [38, 39].

### Conception du four :

L'équipement de recuit thermique rapide a été étudié de manière à éclairer de façon dissymétrique les deux faces de la plaquette. Cet appareillage se compose d'un élément de chauffage sur la partie supérieure du four et d'un élément appelé « corps noir » sur la partie inférieure du four, qui absorbe le rayonnement (fig. I.30).

La partie de chauffage comporte une rangée de 12 lampes halogènes à filament de tungstène, pouvant délivrer une puissance totale de 90 kW. Les lampes rayonnent dans toutes les directions, il est donc nécessaire de les placer sous un réflecteur pour focaliser le rayonnement vers la surface de la plaquette.

La plaquette se place sur un support en quartz (comportant un axe de quartz permettant de mettre la plaquette en rotation) et plus précisément sur trois picots minces de quartz, afin de minimiser le plus possible les zones froides, pouvant engendrer un chemin d'écoulement de la chaleur. L'utilisation d'un anneau de garde en carbure de silicium [39] tout autour du wafer de silicium permet d'assurer une meilleure homogénéité en température dans le wafer et donc un meilleur contrôle de la recristallisation.

Une plaque absorbante en partie inférieure a pour rôle de piéger le rayonnement infrarouge émis par la face arrière de la plaquette de silicium. L'ensemble du four est refroidi par un circuit d'eau.

Un fort gradient thermique vertical est ainsi créé dans la plaquette du fait de la configuration dissymétrique du four. De manière simple, on peut montrer [39] que l'expression de ce gradient thermique introduit entre les deux faces est :

$$Grad(T) = \frac{\varepsilon\sigma T^4}{K_{Si}}$$

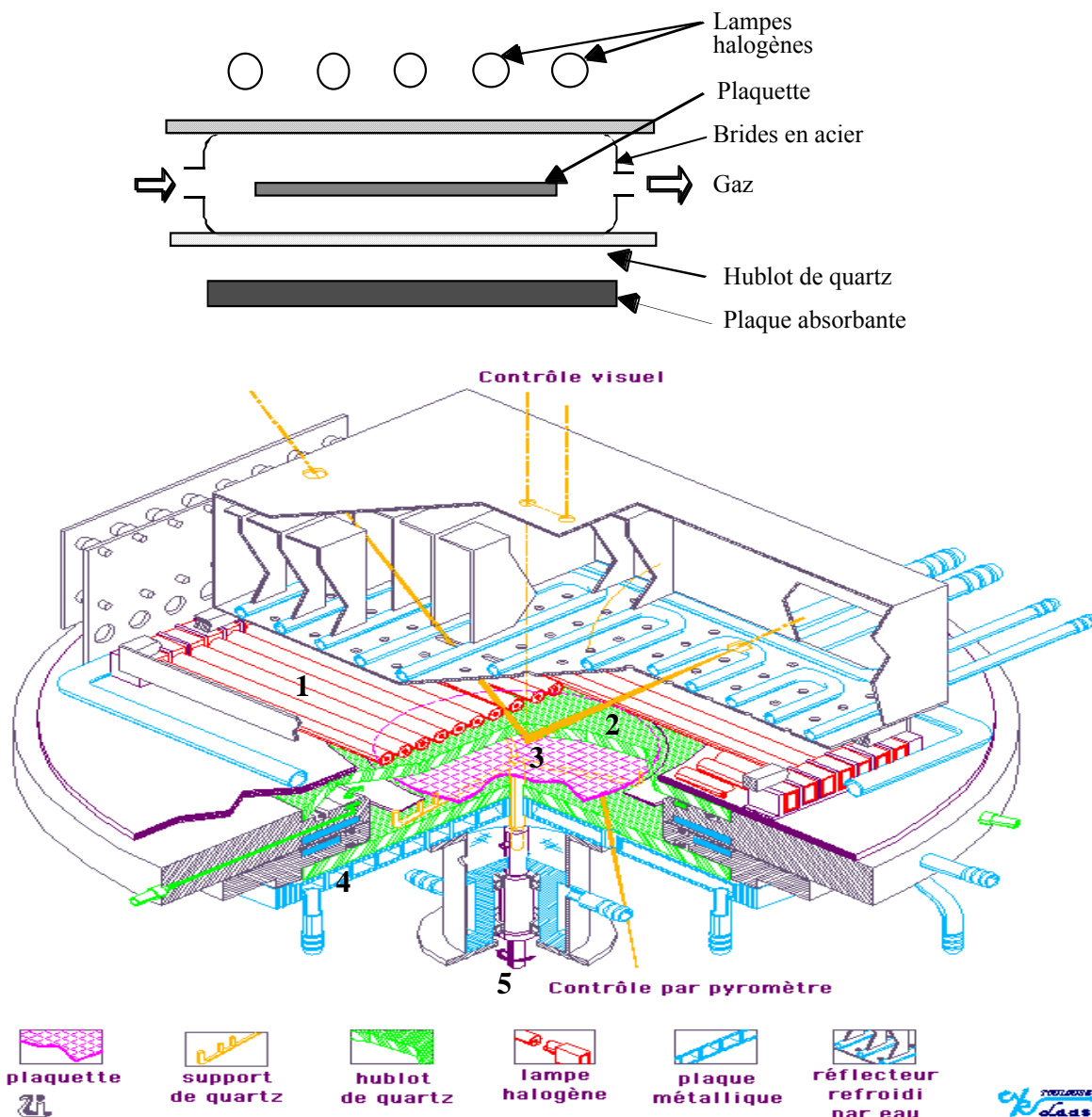
Où : T est la température (K),

$\varepsilon$  est l'émissivité du silicium (de l'ordre de 0,6),

$\sigma$  est la constante de radiation de Stefan-Boltzmann ( $5,672 \cdot 10^{-12} \text{ W/cm}^2 \cdot \text{K}^4$ )

$K_{Si}$  est la conductivité thermique du silicium ( $0,2 \text{ W/cm} \cdot \text{K}$  à  $1400^\circ\text{C}$ )

L'ordre de grandeur de ce gradient thermique est de  $130 \text{ K/cm}$  à  $1400^\circ\text{C}$ , et, combiné à l'effet de la chaleur latente de fusion, il est suffisant pour maintenir le substrat monocristallin à une température inférieure à la température de fusion du silicium, alors que la surface de la plaquette se trouve en phase liquide. Dans nos expériences, la différence de température entre les faces avant et arrière d'un wafer est d'environ  $7^\circ\text{C}$ .



**Fig. I.30 :** Schéma de principe et schéma détaillé du four RTP utilisé au LAAS/CNRS pour la recristallisation, où 1 indique la position des lampes halogènes, 2 est le hublot supérieur de quartz, 3 est la plaquette de silicium, 4 est le corps noir et 5 est l'axe de rotation.

Les lampes sont commandées par des thyristors de puissance, eux-mêmes pilotés par un ordinateur. On définit alors les cycles thermiques nécessaires au procédé LEGO sur l'ordinateur. Ce sont en réalité des cycles de commande en tension des gâchettes des thyristors et donc de commande en puissance des lampes.

Un certain nombre de capteurs permettent de faire de la caractérisation in-situ :

- mesure de température par thermocouple,
- mesure de température par pyromètre optique,
- réflectométrie laser,
- observation optique de la surface par caméra CCD.

Seul ce dernier capteur a été utilisé lors de nos manipulations.

Ce four est optimisé pour des wafers de taille 4 pouces. Il est possible de recristalliser des wafers 6 pouces mais la température de fusion atteinte en surface sera homogène seulement sur la zone 4 pouces centrale incluse dans ce wafer 6 pouces.



### - C. Résultats précédemment obtenus sur le procédé LEGO

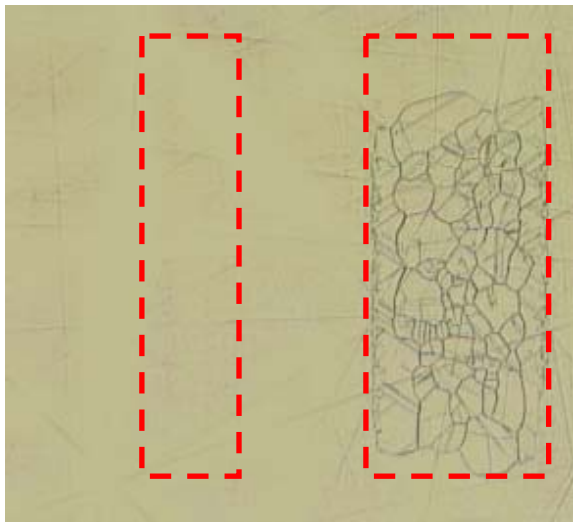
Le travail effectué par Sylvie Roux [39] au cours de sa thèse a permis de confirmer l'idée que le LEGO était un procédé intéressant pour obtenir des structures SOI partielles de bonne qualité cristalline et à faible coût. Les résultats les plus significatifs obtenus au cours de cette thèse sont présentés ci-dessous :

#### Résultats physiques :

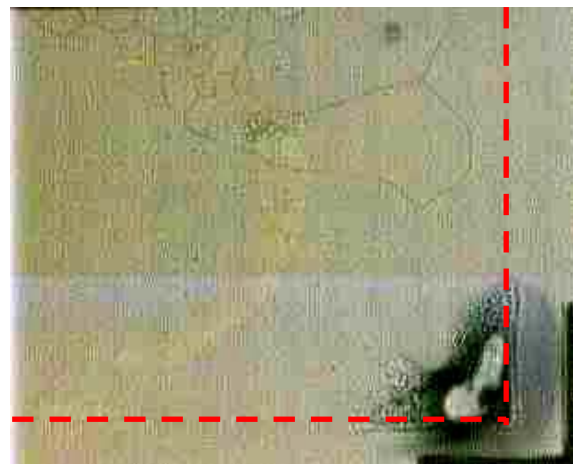
Une recette d'épithaxie de silicium sur un substrat comportant des motifs localisés d'oxyde et de poly-silicium a été mise au point à Motorola. La différence principale avec les recettes classiques est la suppression de l'étape de nettoyage HCl avant le dépôt de silicium. En effet, ce nettoyage HCl attaquait la couche d'accroche en poly-silicium ainsi que la couche d'oxyde enterrée.

L'optimisation du procédé de recristallisation a permis d'obtenir des motifs de  $100\mu\text{m}$  de large entièrement monocristallins sur une épaisseur de silicium de  $10$  à  $15\mu\text{m}$  (fig. I.31).

D'autre part, il a été possible d'observer des motifs de  $500\mu\text{m}$  de large comportant de gros grains de poly-silicium au centre des motifs (fig. I.32), donc où la recristallisation débutait parfaitement en bord de motif puis était de qualité imparfaite au centre. Ces motifs présentent toutefois un défaut supplémentaire : les « taches » de la figure I. 32 en bord ou coin de motif correspondent à une absence de silicium sur oxyde, et donc à un découvrement de la couche d'oxyde enterré pendant l'existence de la phase liquide, par déplacement de matière. Ces défauts posent un problème du fait que l'on ne pourra pas réaliser de composants sur ces zones en bord de motif, et ils peuvent également constituer des zones privilégiées d'accumulation de contaminants au cours du procédé de réalisation des composants. Ce problème de découvrement de l'oxyde enterré était supposé être dû à un apport d'énergie trop important au cours de la recristallisation.



**Fig. I.31 :** Motifs de  $100$  et  $200\mu\text{m}$  de large sur  $15\mu\text{m}$  d'épaisseur de silicium. Le motif de  $100\mu\text{m}$  de large est entièrement monocristallin.



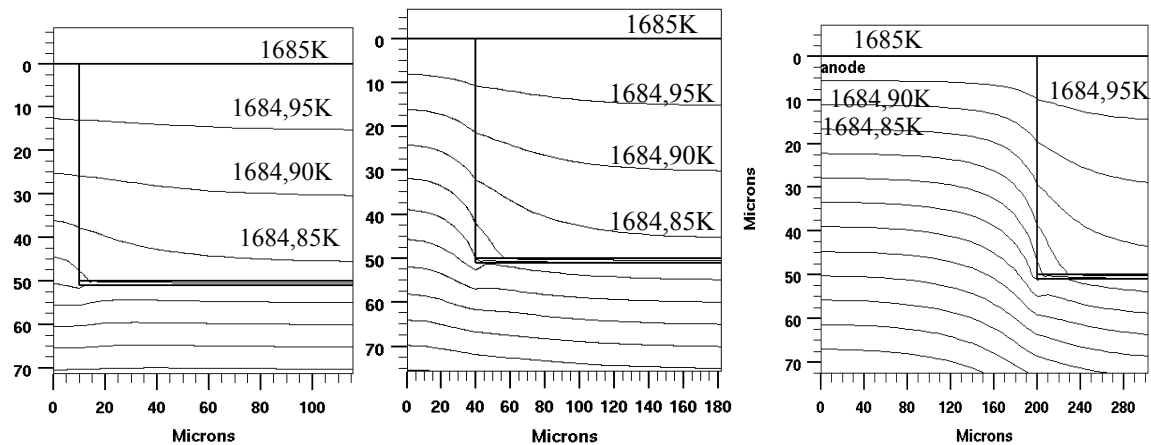
**Fig. I.32 :** Coin d'un motif de  $500\mu\text{m}$  de large sur  $15\mu\text{m}$  d'épaisseur de silicium. Présence de larges grains au centre du motif et découvrement de l'oxyde en bord de motif.

### Résultats électriques :

Des transistors de type PMOS ont été réalisés sur des structures SOI partielles et sur zones de germe pour comparer le comportement de ces zones. Une étude statistique a montré que le comportement de ces transistors était relativement similaire sur zones SOI et sur zones de germe.

### Simulations thermiques :

Des simulations thermiques (fig. I.33) ont permis de constater que la largeur de la zone de germe était un paramètre important pour la recristallisation. En effet, pour une largeur de germe trop petite, les courbes isothermes ne présentent pas d'inflexion au bord de l'oxyde, par conséquent le front de recristallisation ne s'initie pas. Plus la zone de germe est large, plus le flux de chaleur peut s'écouler facilement, et plus le front de recristallisation s'initie facilement.



**Fig. I.33 :** Isothermes dans des structures SOI de même épaisseur de poly mais ayant des zones de germes différentes.

Les conditions minimales pour assurer une bonne recristallisation ont été déterminées grâce à ces simulations. Il semble qu'une zone de germe au moins aussi large que le motif SOI à recristalliser soit nécessaire.

Le tableau I.3 ci-dessous résume les résultats obtenus par simulation,  $L_{tmax}$  représentant la zone SOI recristallisable maximale,  $d$  représentant la largeur de la zone de germe minimale, et  $E_{épi}$  l'épaisseur de silicium épitaxiée.

$E_{épi}$	50 $\mu\text{m}$	30 $\mu\text{m}$	20 $\mu\text{m}$	10 $\mu\text{m}$
$L_{tmax}$	320 $\mu\text{m}$	250 $\mu\text{m}$	200 $\mu\text{m}$	140 $\mu\text{m}$
$d$	$\geq 700 \mu\text{m}$	$\geq 300 \mu\text{m}$	$\geq 200 \mu\text{m}$	$\geq 100 \mu\text{m}$

**Tab. I.3 :** Résultats de simulations montrant la largeur SOI maximale recristallisable en fonction de l'épaisseur de silicium et la taille de germe minimale nécessaire.

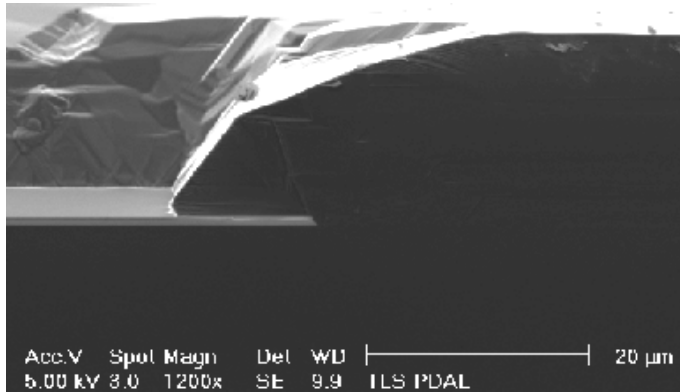
Il semble alors que plus l'épaisseur de silicium à recristalliser est importante, plus la zone de germe doit être grande comparée à la largeur de la zone SOI.

Cependant, aucun simulateur 3D ne permet réellement de prendre en compte tous les phénomènes thermiques. Donc, afin de réaliser une optimisation multicritères de ce procédé, nous avons choisi d'effectuer un plan d'expérience comportant de nombreux essais de recristallisation afin de comprendre l'importance de chaque paramètre.

## - D. Choix du procédé le plus compatible avec nos applications

Trois candidats étaient potentiellement envisageables pour nos applications de puissance et de microsystèmes : les procédés de collage BESOI ou SmartCut<sup>®</sup>, le procédé d'épitaxie sélective ELO et le procédé de recristallisation LEGO. Quant au procédé SIMOX, la qualité de la couche d'oxyde enterré obtenue par implantation n'est pas suffisante pour des applications d'isolation.

ELO :

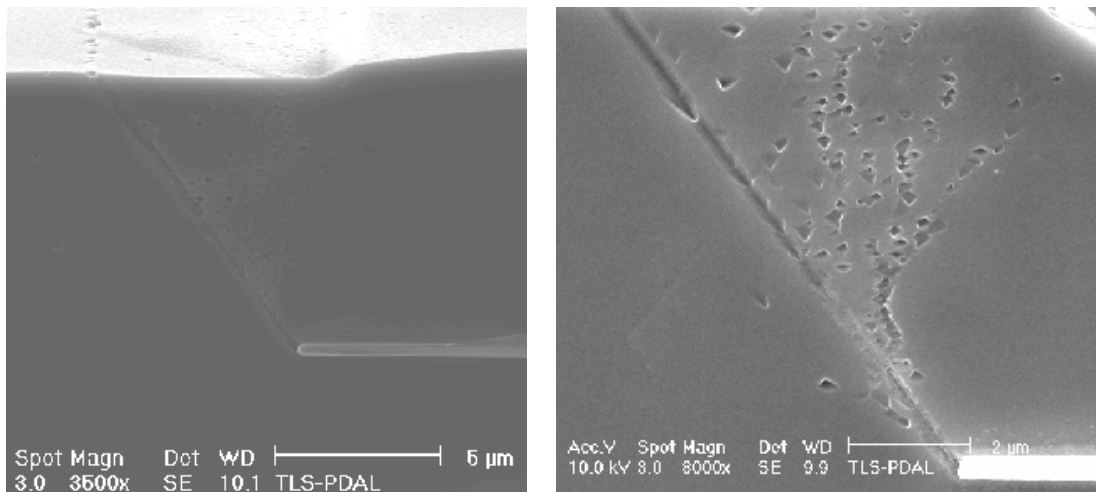


**Fig. I.34 :** Croissance latérale et verticale obtenue par le procédé ELO – coupe MEB.

Le procédé ELO nous a permis d'obtenir un rapport de croissance maximum de 1 : 1 (fig. I.34). Si on effectue une épitaxie de 10µm d'épaisseur, le motif SOI monocristallin le plus large obtenu est de 20µm. Ainsi, ce rapport est trop faible pour obtenir des motifs SOI suffisamment larges pour nos applications.

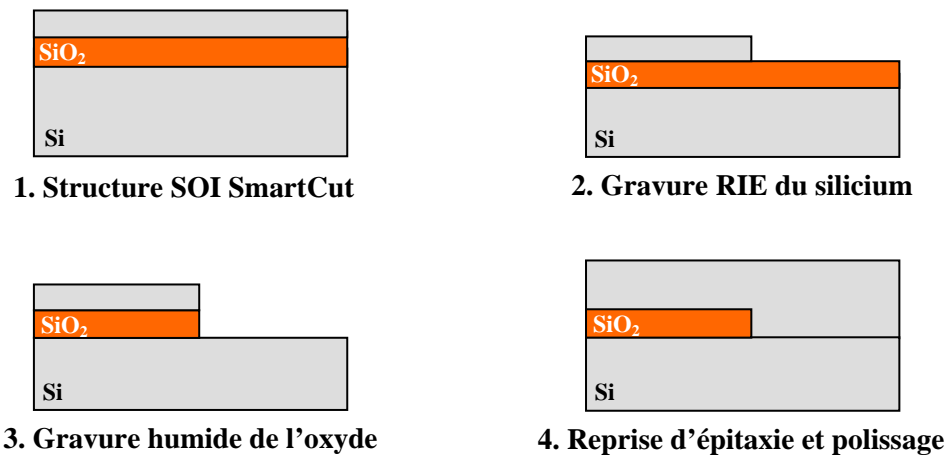
Ce rapport était limité à cause des réacteurs d'épitaxie utilisés. En effet, la pression minimale atteinte par notre réacteur (Applied Materials 7700) était de 80 Torr alors que le procédé ELO aurait nécessité une pression d'environ 25 Torr selon les publications de Borland [43]. Dans des conditions optimales, ce rapport devrait atteindre 10 : 1, ce qui n'est toujours pas suffisant pour nos applications.

SmartCut<sup>®</sup> :



**Fig. I.35 :** Qualité cristalline obtenue en bord des motifs d'oxyde sur des wafers de type SmartCut<sup>®</sup> ayant subi gravure du silicium et de l'oxyde et reprise d'épitaxie pour obtenir des wafers PSOI - coupe MEB et révélation cristalline des défauts.

Des wafers SOI partiel ont été réalisés à partir de wafers SOI pleine plaque de type SmartCut<sup>®</sup>. Ces structures ont été obtenues en effectuant de manière localisée une gravure RIE du silicium, une gravure humide de la couche d'oxyde enterrée et enfin une reprise d'épithaxie de silicium suivie d'un polissage de surface.



**Fig. I.36** : Définition de substrats SOI partiel à partir de wafers SOI pleine plaque de type SmartCut<sup>®</sup>.

On obtient alors une très bonne qualité cristalline pour ces motifs SOI.

Cependant, après révélation cristalline des défauts, nous avons observé au MEB une accumulation de dislocations dans le plan [111] en bord des motifs d'oxyde (fig. I.35). Ces dislocations se propagent dans le matériau environnant les bords de motif. Il y a donc une zone d'exclusion en bord de motif SOI où il est préférable d'éviter de placer des composants. Le plus gros inconvénient du procédé SmartCut<sup>®</sup> est toutefois son coût de revient trop élevé, auquel s'ajoute le prix des étapes supplémentaires pour obtenir du SOI partiel.

#### LEGO :

Le procédé LEGO présente de nombreux avantages pour nos applications puisqu'il permet de résoudre les problèmes posés par les procédés SmartCut<sup>®</sup> et ELO :

Les wafers SOI partiels ainsi obtenus ont un coût de revient beaucoup plus faible que ceux obtenus par des procédés de collage. Dès lors, la réalisation de composants sur SOI partiel à prix abordable devient possible.

Par ailleurs, comme nous allons le voir par la suite, de larges motifs (500 $\mu$ m à 1mm) pouvant accueillir de nombreux composants peuvent être obtenus facilement, alors que le procédé ELO limite la largeur des motifs SOI de par le faible rapport de croissance latérale pour verticale.

Ce procédé mérite donc d'être optimisé afin d'obtenir des motifs SOI partiels de grande taille (environ 2mm<sup>2</sup>) et de bonne qualité cristalline.

## Références :

- [1] *Techniques de l'Ingénieur, E 2 380; S. Cristoloveanu, F. Balestra, « Technologie silicium sur isolant (SOI) ».*
- [2] M. Dentan, « Effet des radiations et du durcissement », extrait de *Scintillations, Journal du département d'astrophysique, de physique des particules, de physique nucléaire et de l'instrumentation associée du CEA, No 43, Septembre 1999.*
- [3] ITRS site internet : <http://public.itrs.net/>
- [4] R. Dekker et al, « A 10 $\mu$ m thick RF-ID tag for chip-in-paper applications » Philips, TU Hamburg, Ecole Nat. Sup. de Physique de Grenoble, Santa Barbara, BCTM 2005.
- [5] MIGAS 2004, G. Celler, "What is SOI? Do we really need it?".
- [6] MIGAS 2004, J.P. Colinge, "SOI Products".
- [7] *Journal of Applied Physics*, vol. 93, No. 9, May 2003; G.K. Celler, S. Cristoloveanu, "Frontiers of silicon-on-insulator".
- [8] F. Udea, D. Garner, K. Sheng, A. Popescu, H.T. Lim, W.I. Milne, "SOI power devices", *Electronics and Communication Engineering Journal*, pp. 27-40, Février 2000.
- [9] MIGAS 2004, Stéphane Renard, « SOI microsystems and MEMS ».
- [10] Brevet US 6,232,140 B1, Ferrari et al., Mai 2001, "Semiconductor integrated capacitive acceleration sensor and relative fabrication method".
- [11] MIGAS 2004, S. Bengtsson, "Other SOI materials".
- [12] *Rep. Prog. Phys.*, 3, p. 327, 1987; S. Cristoloveanu, "Silicon films on sapphire".
- [13] Moriyasu, Morishita, Matsui, Yasujima, "Preparation of high quality silicon on sapphire"; *Silicon on insulator technology and devices IX*, Electrochemical Society, Pennington, 99-3, 1999, pp. 137-142.
- [14] S. Cristoloveanu, « Silicon On Insulator : Technology, Devices and Challenges », 1999 IEEE.
- [15] *Journal of the Electrochemical Society*, vol. 132, No. 1, January 1985; G.K. Celler, McD. Robinson, L.E. Trimble, "Dielectrically isolated thick Si films by lateral epitaxy from the melt".
- [16] K.E. Bean, W.R. Runyan, "Dielectric Isolation: Comprehensive, Current and Future", *Journal of Electrochemical Society*, vol. 124, No. 1, Janvier 1977, pp. 5C-12C.
- [17] <http://www.canon.com/technology/mcat/09.html>
- [18] *Applied Physics Letters*, vol. 64, No. 16, p. 2108-2110, April 1994; T. Yonehara, N. Sato, "Epitaxial layer transfer by bond and etch back of porous silicon".
- [19] *Solid State Technology*, vol. 46, No. 3, p. 88, June 2000; K. Sakaguchi, T. Yonehara, "SOI wafers based on epitaxial technology".
- [20] K. Sakaguchi, K. Yanagita, H. Kurisu, H. Suzuki, K. Ohmi, T. Yonehara, "ELTRAN by splitting porous Si layers", *Proceedings of 195<sup>th</sup> International SOI Symposium*, vol. 99-3, Electrochemical Society, Seattle, 3 mai 1999, pp. 117-121.
- [21] *Electronics Letters*, vol. 31, No. 14, p. 1201, June 1995; M. Bruel, "A new silicon on insulator material technology".
- [22] B. Aspar, H. Moriceau, E. Jalaguier, C. Lagahe, A. Soubie, B. Biasse, A.M. Papon, A. Claverie, J. Grisolia, G. Benassayag, F. Letertre, O. Rayssac, T. Barge, C. Maleville, B. Ghyselen, "The generic nature of the SmartCut process for thin film transfer", *Journal of Electronic Materials*, vol. 30, n°7, pp. 834-840 (2001).
- [23] M. Watanabe, A. Tooi, "Formation of SiO<sub>2</sub> films by oxygen-ion bombardment", *Japanese Journal of Applied Physics*, Vol. 5, 1966, pp 737.
- [24] Presented at *Semiconductor International Korea*, March 1986; J.O. Borland, "Advanced epitaxial processing for submicron device technology".

- [25] May 1996; G.W. Neudeck, "Advanced bipolar and SOI-MOS transistor structures using silicon selective and epitaxial lateral overgrowth technology".
- [26] S. Pae, T. Su, J.P. Denton, G.W. Neudeck, J.C. Stout, D.B. Janes, « Multiple layers of silicon-on-insulator (MLSOI) islands fabrication process and fully-depleted SOI pMOSFETs », *Proceedings IEEE International SOI Conference, Octobre 1998*.
- [27] S. Pae, T. Su, J.P. Denton, G.W. Neudeck, « Multiple layers of silicon-on-insulator islands fabrication by selective epitaxial growth », *IEEE Electron Device Letters*, Vol. 20, n° 5, mai 1999, pp 194-196.
- [28] P.M. Zavracky, D.P. Vu, M. Batty, « Silicon-on-insulator wafers by zone melting recrystallization », *Solid State Technology*, Avril 91, pp. 55-57.
- [29] site internet Nano Tsunanmi - <http://www.voyle.net/Nano%20Electronics%202005/Nano%20Electronics-2005-0028.htm>
- [30] MIGAS 2004; Mireille Mouis, "Strained Si on SOI MOSFETs"
- [31] G. Celler, M. Wolf, "Strained silicon on insulator – A quick guide to the technology, the processes, the products", *Juillet 2003*, site internet [http://www.soitec.com/en/news/n\\_8.htm](http://www.soitec.com/en/news/n_8.htm).
- [32] Tezuka et al. *Symposium on VLSI technology digest of technical paper*, 2002.
- [33] Mizuno et al., "Relaxed SiGe-on-insulator substrates without thick SiGe buffer layers" *Applied Physics Letters*, vol. 80, n°4, pp. 601-603, 28 janvier 2002.
- [34] MIGAS 2004; Ian Cayrefourcq, "SmartCut : Unibond and beyond"
- [35] MIGAS 2004; Anne Vandooren, "Technology modules".
- [36] MIGAS 2004, L. Risch, "Multi gate MOSFETs – FinFET".
- [37] G.K. Celler, McD. Robinson, D.J. Lischner, "Seeded recrystallization of thick polysilicon films on oxidized 3-in. wafers", *Appl. Phys. Lett.*, vol. 42, n°1, pp 99-101, 1983
- [38] J.M. Dilhac, C. Ganibal, *Temperature gradient rapid thermal processor*, 197<sup>th</sup> Meeting of the Electrochemical Society, Toronto, pp 421-428, May 2000.
- [39] S. Roux, « Isolation diélectrique des circuits intégrés de puissance par recristallisation en phase liquide », thèse de l'INSA, préparée au LAAS-CNRS en convention CIFRE avec Motorola Semiconducteurs SA France, rapport LAAS n° 01640, 2001
- [40] G.K. Celler, McD. Robinson, L.E. Trimble, D.J Lischner, "Spatial melt instabilities in radiatively melted crystalline silicon", *Applied Physics Letters*, vol. 43, n°9, pp. 868-870 (1983).
- [41] H. Watanabe, M. Susa, H. Fukuyama, K. Nagata, "Emissivities of liquid and solid silicon at melting point", *High Temperatures – High Pressures*, vol. 31, pp. 587-593 (1999) – 15 ECTP Proceedings, pp. 5-11.
- [42] McD. Robinson, D.J. Lischner, G.K. Celler, "Large area recrystallization of polysilicon with tungsten-halogen lamps"; *Journal of Crystal Growth*, vol. 63, pp. 484-492 (1983).
- [43] J.O. Borland, "Advanced epitaxial processing for submicron device technology", *Applied Materials* (1986).

## *CHAPITRE 2*

*Optimisation du procédé LEGO -  
Caractérisation physique du  
matériau SOI obtenu*

## **I. Optimisation du matériau obtenu par LEGO**

Nous avons choisi de mettre en place plusieurs plans d'expérience (ou DOE pour Design Of Experiment) afin de déterminer les paramètres les plus influents sur ce procédé. Le premier plan d'expérience fait intervenir des variations grossières des paramètres pour nous permettre de trouver un point de départ pour l'optimisation du procédé. Les plans d'expérience suivants permettent d'affiner cette optimisation.

### **A. Moyens de caractérisations mis en œuvre :**

Afin d'obtenir des résultats rapides pour le déroulement de ces plans d'expérience, tous les échantillons ont été caractérisés en surface par un polissage, une révélation chimique des défauts cristallins de type « Wright Etch » [1], et une observation au microscope optique ou au microscope électronique à balayage (MEB). Les motifs SOI obtenus ont également été caractérisés par des coupes révélées et observées au MEB et microscope optique.

La révélation chimique par Wright etch est compatible avec le substrat utilisé (orientation 100) et permet de révéler les défauts tels que les joints de grains, les mâcles, les dislocations, les plans de glissement, les défauts d'empilement...

Ces analyses nous permettent de voir rapidement si le cycle thermique effectué apporte suffisamment d'énergie pour obtenir une bonne qualité de recristallisation, et de localiser les principaux défauts résiduels. D'autres analyses complémentaires sont réalisées sur des échantillons de bonne qualité afin de mieux évaluer la qualité cristalline de ces matériaux recristallisés. Les résultats de ces analyses complémentaires sont présentés dans le paragraphe III.A.

### **B. Les paramètres :**

#### **1. Paramètres pris en compte pour les DOE**

	1	2	3	4	5	6	7	8
N° wafer	palier	durée palier	descente T	Epi	Encapsulant	motifs mono	colonnes mono	D
1	7 V	2 s	15 s	13 µm	1,9 µm SiO <sub>2</sub> + 600A Si <sub>3</sub> N <sub>4</sub>	300 µm	100 µm	0
2	7 V	3 s	30 s	13 µm	1,9 µm SiO <sub>2</sub> + 600A Si <sub>3</sub> N <sub>4</sub>	300 µm	100 µm	0
3	7 V	4 s	22 s	13 µm	1,9 µm SiO <sub>2</sub> + 600A Si <sub>3</sub> N <sub>4</sub>	400 µm	200 µm	1
4	7,5 V	2 s	30 s	13 µm	1,9 µm SiO <sub>2</sub> + 600A Si <sub>3</sub> N <sub>4</sub>	600 µm	300 µm	1
5	7,5 V	3 s	22 s	13 µm	1,9 µm SiO <sub>2</sub> + 600A Si <sub>3</sub> N <sub>4</sub>	400 µm	300 µm	1
6	7,5 V	4 s	15 s	13 µm	1,9 µm SiO <sub>2</sub> + 600A Si <sub>3</sub> N <sub>4</sub>	600 µm	300 µm	2
7	8 V	2 s	22 s	13 µm	1,9 µm SiO <sub>2</sub> + 600A Si <sub>3</sub> N <sub>4</sub>	800 µm	400 µm	3
8	8 V	3 s	15 s	13 µm	1,9 µm SiO <sub>2</sub> + 600A Si <sub>3</sub> N <sub>4</sub>	800 µm	600 µm	4
9	8 V	4 s	30 s	13 µm	1,9 µm SiO <sub>2</sub> + 600A Si <sub>3</sub> N <sub>4</sub>	600 µm	400 µm	2



10	8 V	2 s	0 s	13 $\mu\text{m}$	1,9 $\mu\text{m}$ SiO <sub>2</sub> + 600A Si <sub>3</sub> N <sub>4</sub>	1000 $\mu\text{m}$	400 $\mu\text{m}$	5
11	8 V	2 s	0 s	13 $\mu\text{m}$	600A de Si <sub>3</sub> N <sub>4</sub> + 1,9 $\mu\text{m}$ de SiO <sub>2</sub>	1000 $\mu\text{m}$	1000 $\mu\text{m}$	4,5
12	7,5 V	4 s	15 s	13 $\mu\text{m}$	3 $\mu\text{m}$ SiO <sub>2</sub>	800 $\mu\text{m}$	400 $\mu\text{m}$	5
13	8 V	2 s	0 s	13 $\mu\text{m}$	3 $\mu\text{m}$ SiO <sub>2</sub>	1000 $\mu\text{m}$	1000 $\mu\text{m}$	5
14	8 V	2 s	0 s	17 $\mu\text{m}$	3 $\mu\text{m}$ SiO <sub>2</sub>	1000 $\mu\text{m}$	1000 $\mu\text{m}$	3
15	8 V	2 s	0 s	20 $\mu\text{m}$	3 $\mu\text{m}$ SiO <sub>2</sub>	1000 $\mu\text{m}$	1000 $\mu\text{m}$	2,5
16	8 V	0 s	0 s	20 $\mu\text{m}$	3 $\mu\text{m}$ SiO <sub>2</sub>	1000 $\mu\text{m}$	300 $\mu\text{m}$	2,5
17	7,5 V	2 s	0 s	20 $\mu\text{m}$	3 $\mu\text{m}$ SiO <sub>2</sub>	1000 $\mu\text{m}$	400 $\mu\text{m}$	2,5
18	8 V	2 s	0 s	30 $\mu\text{m}$	3 $\mu\text{m}$ SiO <sub>2</sub>	100 $\mu\text{m}$	0 $\mu\text{m}$	0
19	8 V	6 s	0 s	30 $\mu\text{m}$	3 $\mu\text{m}$ SiO <sub>2</sub>	100 $\mu\text{m}$	0 $\mu\text{m}$	0
<b>20</b>	<b>8,5 V</b>	<b>12 s</b>	<b>0 s</b>	<b>30 <math>\mu\text{m}</math></b>	<b>3 <math>\mu\text{m}</math> SiO<sub>2</sub></b>	<b>1000 <math>\mu\text{m}</math></b>	<b>1000 <math>\mu\text{m}</math></b>	<b>0</b>

**Tab. II. 1 :** Tableau de synthèse des résultats les plus significatifs obtenus pour les différents plans d'expérience menés pour l'optimisation du procédé LEGO.

Dans ce tableau, les colonnes n° 1, 2 et 3 représentent les paramètres thermiques du cycle de recristallisation (hauteur et durée du palier en puissance et temps de descente en température – ici, la hauteur du palier en puissance de chauffe est déterminée par la tension de consigne appliquée aux thyristors alimentant les lampes halogènes), les colonnes n° 4 et 5 les paramètres géométriques des couches SOI (épaisseur de la couche de silicium poly-cristallin à recristalliser et nature et épaisseur de l'encapsulant), et les colonnes n° 6, 7 et 8 résument le résultat obtenu après recristallisation (largeur du plus grand motif SOI recristallisé et largeur de la plus grande colonne de motifs entièrement recristallisée, voir Fig. II. 9, et évaluation du découvrément de l'oxyde enterré, 0 signifiant qu'il n'y a pas de découvrément et 5 signifiant que le découvrément est très important).

Des tests ont tout d'abord été réalisés sur une épaisseur de silicium épitaxié de 13 $\mu\text{m}$ , pour pouvoir atteindre une épaisseur finale de 10 $\mu\text{m}$  après le polissage mécano-chimique nécessaire pour rétablir une bonne planéité de surface. Cette épaisseur de 10 $\mu\text{m}$  a été choisie pour recevoir des composants de commande. La première partie du plan d'expérience effectuée sur une épaisseur de 13 $\mu\text{m}$  nous a permis de comprendre l'influence des paramètres thermiques du cycle de recristallisation, et de la nature ou de l'épaisseur de la couche encapsulante. La suite du plan d'expérience a davantage porté sur l'optimisation du matériau grâce à l'augmentation de l'épaisseur de la couche d'épitaxie, jusqu'à 30 $\mu\text{m}$  d'épaisseur.

En résumé :

- Les critères dans le DOE pour une bonne qualité de matériau sont : Le motif SOI entièrement recristallisée le plus large, la colonne de motifs SOI entièrement recristallisée la plus large, et le découvrément.
- Le plan d'expérience a porté sur plusieurs paramètres. Les principaux paramètres sont le type d'encapsulant, les paramètres du cycle thermique de recristallisation, et la géométrie des motifs SOI grâce au masque LEGO fabriqué pour l'optimisation du procédé.

L'influence de ces différents points est détaillée dans le paragraphe suivant.

## 2. Influence des différents paramètres

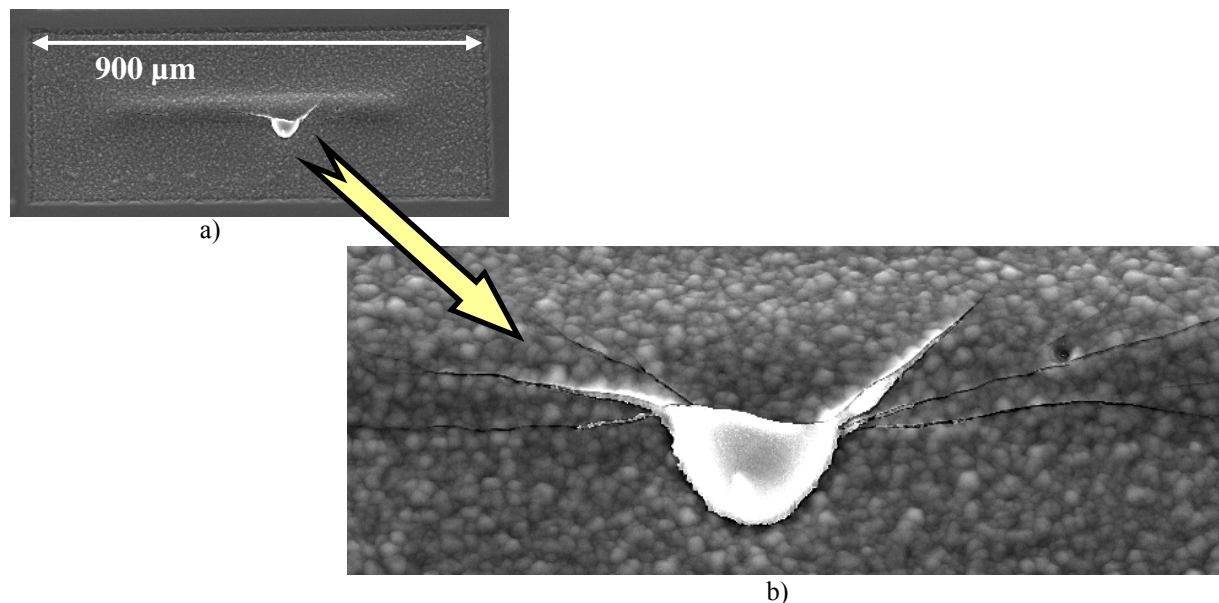
### a) La nature et l'épaisseur de la couche d'encapsulant :

La définition de cette couche d'encapsulant est importante puisqu'elle permet d'éviter l'évaporation du silicium liquide, mais ne doit pas perturber l'absorption de l'énergie lumineuse fournie par les lampes halogènes.

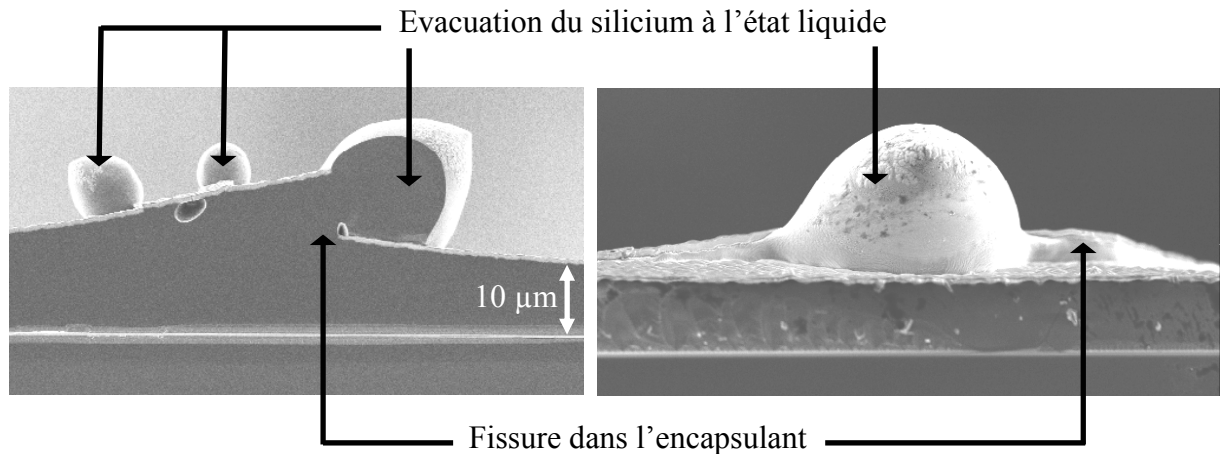
Différentes études sur les techniques de ZMR conseillent d'utiliser un empilement d'oxyde et de nitrure [2, 3, 4]. D'autres études menées par G. Celler sur le procédé LEGO [5] amènent par contre à la conclusion qu'une couche de nitrure sur l'oxyde génère de nombreux trous dans la couche d'encapsulation et donc une évaporation et un manque de silicium, et conseille donc de n'utiliser qu'une couche d'oxyde déposée. Néanmoins, des études sur l'étalement du silicium liquide sur une couche d'oxyde mènent à la conclusion que la présence d'azote (N apporté par exemple par une couche de nitrure) dans la couche d'encapsulation améliore les propriétés de mouillabilité entre le silicium liquide et l'oxyde, et donc l'étalement [6].

Nous avons donc décidé d'évaluer différentes couches d'encapsulation composées d'oxyde et/ou de nitrure : empilement oxyde + nitrure, empilement nitrure + oxyde, nitrure seul, oxyde seul... avec un oxyde thermique ou un oxyde déposé LPCVD, des épaisseurs de 1,9 à 3 $\mu\text{m}$  pour l'oxyde et 600 Å pour le nitrure).

Quel que soit le type d'encapsulant utilisé, nous avons malheureusement toujours observé des fissures laissant s'échapper des gouttes de silicium à l'état liquide (Fig. II. 1 et 2) :



**Fig. II. 1 :** Motif SOI vu au MEB, a) motif complet, b) fissures de l'encapsulant et évacuation du silicium à l'état liquide.

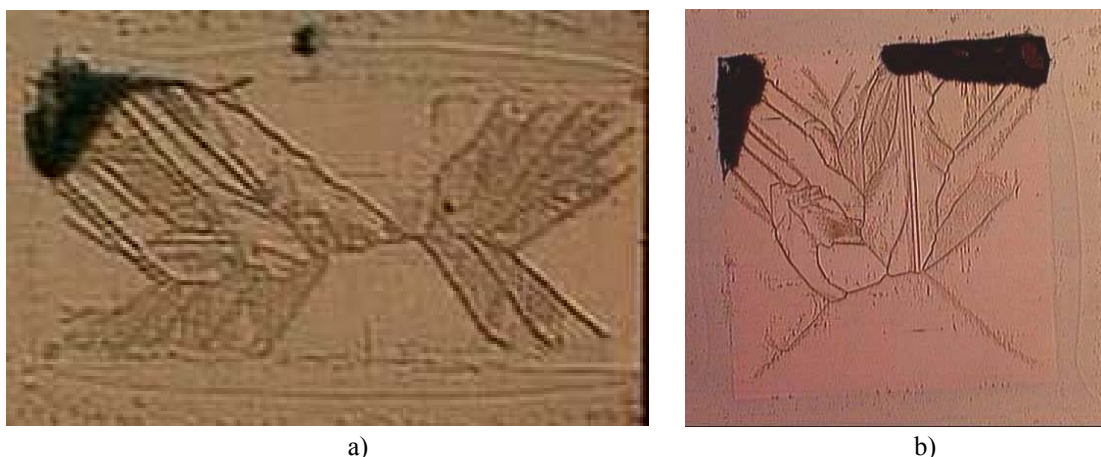


**Fig. II. 2 :** Coupes MEB sur les fissures de l'encapsulant et l'évacuation du silicium.

L'utilisation d'un oxyde thermique en tant que couche d'encapsulation n'a pas été bénéfique, car dans ce cas, les faces avant et arrière du wafer sont encapsulées. La présence d'oxyde en face arrière du wafer change les bilans thermiques dans le substrat à recristalliser, le gradient de température n'est plus le même et la recristallisation ne se fait pas dans les mêmes conditions.

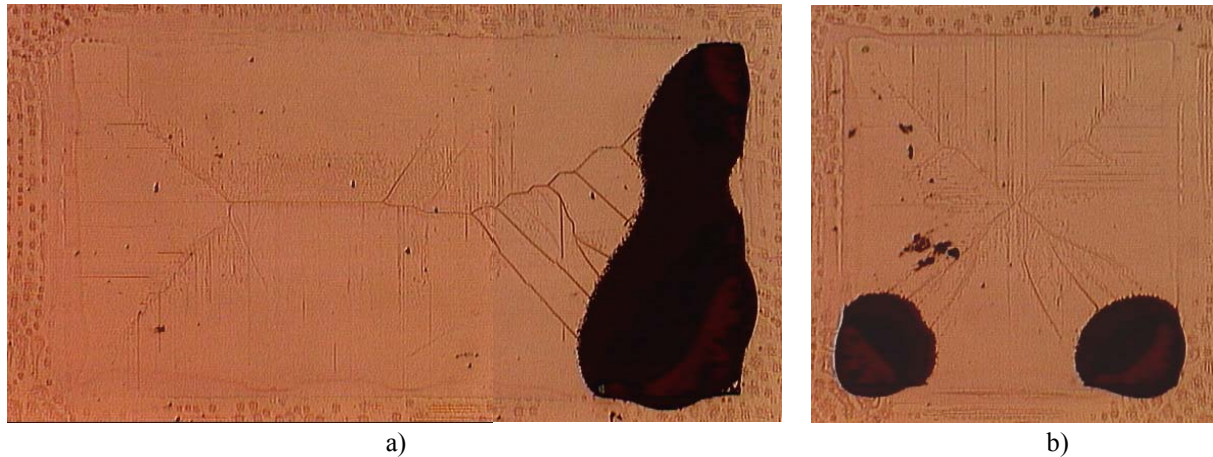
D'autre part, pour un encapsulant de 1,9µm d'oxyde déposé LPCVD TEOS, nous avons constaté que la présence ou non d'une couche de 600 Å de nitrure au dessus de l'oxyde ne semble pas changer la résistance mécanique de la couche d'encapsulation.

Par ailleurs, lors de l'utilisation d'un encapsulant de 600 Å de nitrure et de 1,9µm d'oxyde déposé LPCVD (Ligne 11 du tableau II.1), nous n'avons pas constaté d'amélioration conséquente de la mouillabilité de l'oxyde enterré vis-à-vis du silicium liquide. Il semble en revanche que cet encapsulant permette de capter plus d'énergie que les précédents puisque les motifs entièrement recristallisés sont plus larges. Les plus grands motifs monocristallins observés (2mm<sup>2</sup>) présentent cependant beaucoup plus de contraintes que pour les autres types d'encapsulant (Fig. II. 3).



**Fig. II. 3 :** Vues de dessus en optique, a) motif de 2mm<sup>2</sup> et b) motif de 1mm<sup>2</sup>, présentant de nombreuses contraintes résiduelles après recristallisation. Le cycle de recristallisation utilisé est de 8V/ 2s/ 0s, l'épaisseur de silicium est de 13µm, et la couche d'encapsulant est 600Å de nitrure et 1,9µm d'oxyde déposé.

Enfin, nous avons également testé un oxyde LPCVD déposé de  $3\mu\text{m}$  d'épaisseur (Ligne 13 du tableau II.1). Cet encapsulant nous permet de capter la même énergie que pour le précédent, c'est-à-dire que l'on obtient plus facilement des motifs de  $2\text{mm}^2$  monocristallins, mais on observe beaucoup moins de contraintes du fait de l'absence de la couche de nitrure en encapsulation (Fig. II. 4).



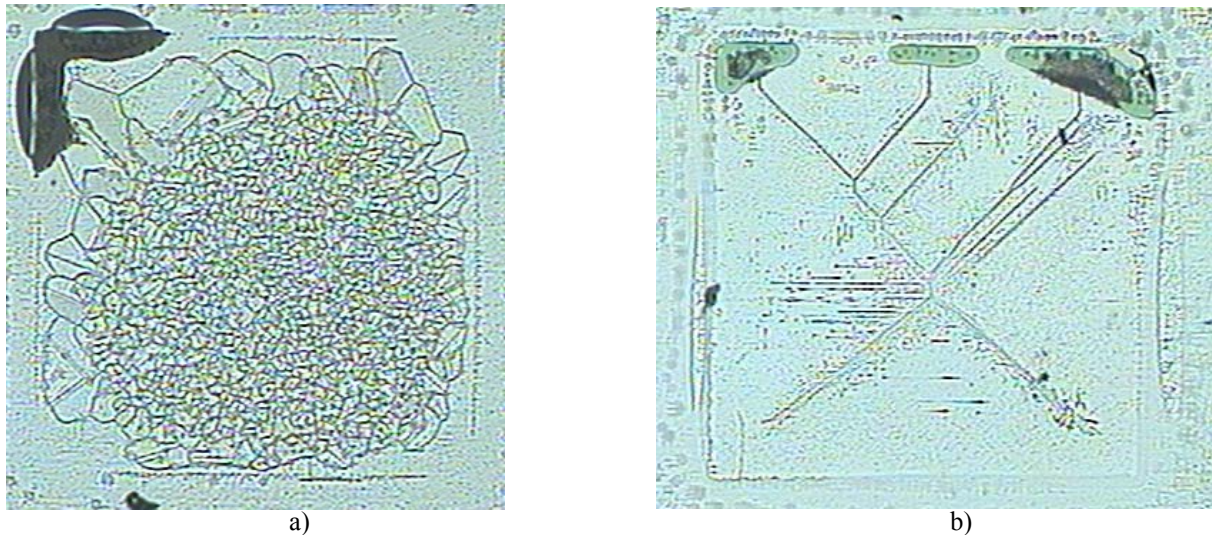
**Fig. II. 4 :** Vues de dessus en optique, a) motif de  $2\text{mm}^2$  et b) motif de  $1\text{mm}^2$ , présentant beaucoup moins de contraintes résiduelles après recristallisation. Le cycle de recristallisation utilisé est de  $8\text{V}/ 2\text{s}/ 0\text{s}$ , l'épaisseur de silicium est de  $13\mu\text{m}$ , et la couche d'encapsulant est  $3\mu\text{m}$  d'oxyde déposé LPCVD.

A partir du résultat de ces expériences, nous avons choisi d'encapsuler nos structures avec  $3\mu\text{m}$  d'oxyde déposé LPCVD TEOS. Cet encapsulant semble en effet apporter un compromis suffisant entre l'énergie captée et la résistance mécanique qui peut générer des défauts de contrainte dans le matériau en cours de solidification.

#### **b) Cycle de RTP : les paramètres thermiques importants et leur influence**

Le cycle de RTP comporte 3 paramètres principaux : La hauteur du palier en puissance de chauffe, la durée du palier, et la descente en puissance. La montée quant à elle, est fixée pour tous nos essais à 35 sec (ce paramètre n'est pas supposé avoir une influence sur le résultat). La hauteur et la durée du palier de puissance déterminent la quantité d'énergie fournie à la couche poly-cristalline pour fondre entièrement. La hauteur du palier, ici déterminée par la tension de consigne, est déterminée pour fournir suffisamment d'énergie pour que la fusion ne se limite pas à la surface de la couche. Il faut apporter une puissance  $P_2$  supérieure à la puissance  $P_1$  de fusion de surface à cause du changement d'émissivité lorsque le silicium passe à l'état fondu (cf. chapitre I – § III. A). La durée du palier doit être juste suffisante pour propager la fusion en profondeur de la couche de poly-silicium, mais ne doit pas être trop importante, sinon la fusion s'étend trop loin dans les zones de germe et en profondeur dans le substrat et sous la couche d'oxyde enterrée. Les figures II. 5-a et II. 5-b montrent des motifs SOI ayant reçu une quantité d'énergie différente. Lorsque l'énergie reçue est insuffisante, de nombreux grains de silicium poly-cristallin subsistent après la recristallisation (fig. II. 5-a et ligne 2 du tableau II.1). Lorsque la quantité d'énergie apportée est adaptée, on n'observe aucun joint de grain (fig. II. 5-b et ligne 10 du tableau II.1).

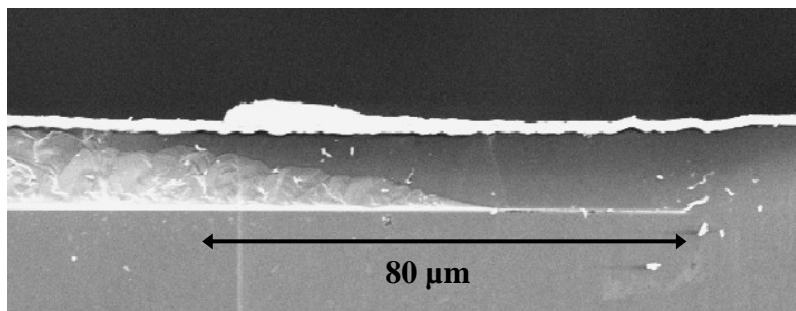




**Fig. II. 5 :** Motifs SOI de 1mm<sup>2</sup> et de 13μm d'épaisseur ayant subi des cycles de recrystallisation différents, avec une tension de commande de a) 7V (Ligne 2 du tableau II.1) et b) 8V (Ligne 10 du tableau II.1) (les paliers de puissance de chauffe sont repérés par la tension de consigne appliquée aux thyristors commandant les lampes).

La descente en puissance de chauffe va déterminer la vitesse de solidification du silicium liquide, et donc la vitesse de propagation des fronts de recrystallisation. Différentes descentes en puissance ont été testées, les autres paramètres restant constants (Ces essais ne sont pas représentés dans le tableau II.1).

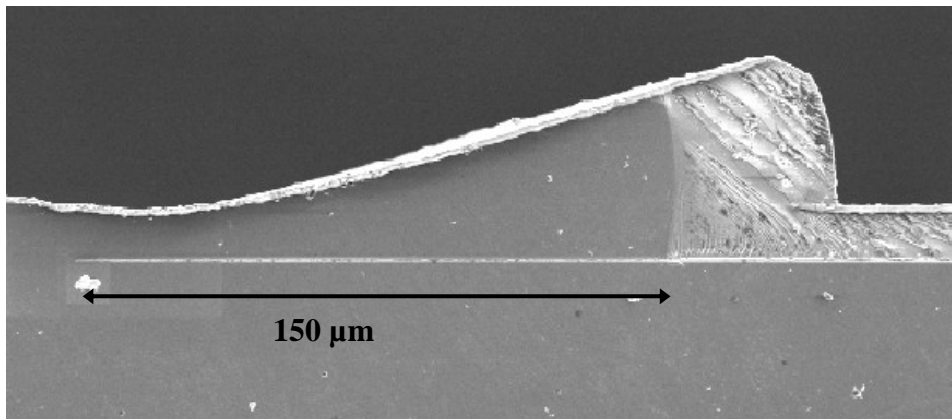
Pour une descente en puissance de chauffe de 45sec (Fig. II. 6), on observe que la zone monocristalline atteint environ 80μm latéralement au dessus de l'oxyde, mais de nombreux joints de grains sont visibles à l'interface entre l'oxyde enterrée et le silicium recrystallisé. On peut donc supposer que la solidification se fait par la propagation des fronts de recrystallisation, mais qu'elle est également amorcée par les défauts ponctuels en surface de la couche d'oxyde. Un phénomène de germination se produit donc, en parallèle avec la recrystallisation, ce qui résulte en une multitude de grains de silicium poly-cristallin.



**Fig. II. 6 :** Coupe MEB - Progression du front de recrystallisation pour une descente en puissance de chauffe en 45 sec. La germination prédomine sur la recrystallisation.

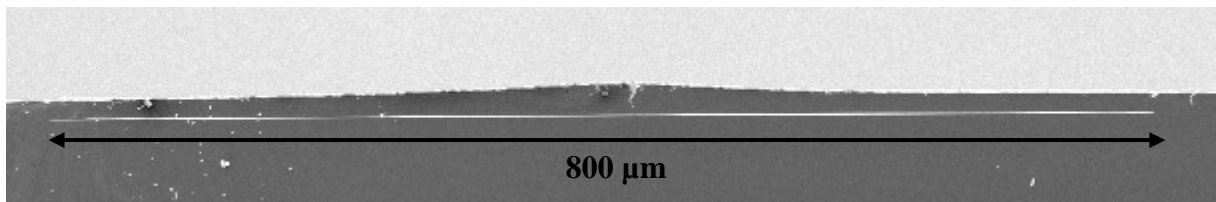
Pour une descente en puissance de 30sec (Fig. II. 7), on observe que la zone monocristalline atteint environ 150μm latéralement au dessus de l'oxyde, et la frontière entre la zone monocristalline et la zone poly-cristalline est bien délimitée. Il n'y a pas de joints de grains observés à l'interface entre l'oxyde enterré et le silicium dans la zone monocristalline. Ainsi on peut donc supposer que la recrystallisation prédomine sur la germination, les fronts de

recristallisation se propagent suffisamment rapidement avant que la germination n'ait le temps de s'initier sur les défauts ponctuels.



**Fig. II. 7 :** Coupe MEB - Progression du front de recristallisation pour une descente en puissance de chauffe en 30 sec. La recristallisation prédomine sur la germination. On observe également une accumulation de silicium qui s'échappe à l'état liquide par la fissure dans la couche d'encapsulant.

Pour une descente en puissance de 0sec (Fig. II. 8), c'est-à-dire si l'on éteint directement les lampes halogènes (à la constante de temps thermique des filaments près), on observe que la zone monocristalline atteint environ 400 à 500µm latéralement au dessus de l'oxyde, des motifs de 800µm et 1mm de large entièrement monocristallins sont visibles. Il n'y a aucun joint de grain observé à l'interface entre l'oxyde enterré et le silicium monocristallin. Dans ce cas, on voit que la recristallisation est largement prédominante sur la germination, les fronts de recristallisation se propagent jusqu'à se rejoindre au centre du motif SOI.



**Fig. II. 8 :** Coupe MEB - Progression du front de recristallisation pour une descente en puissance de chauffe en 0 sec. Le motif est entièrement recristallisé.

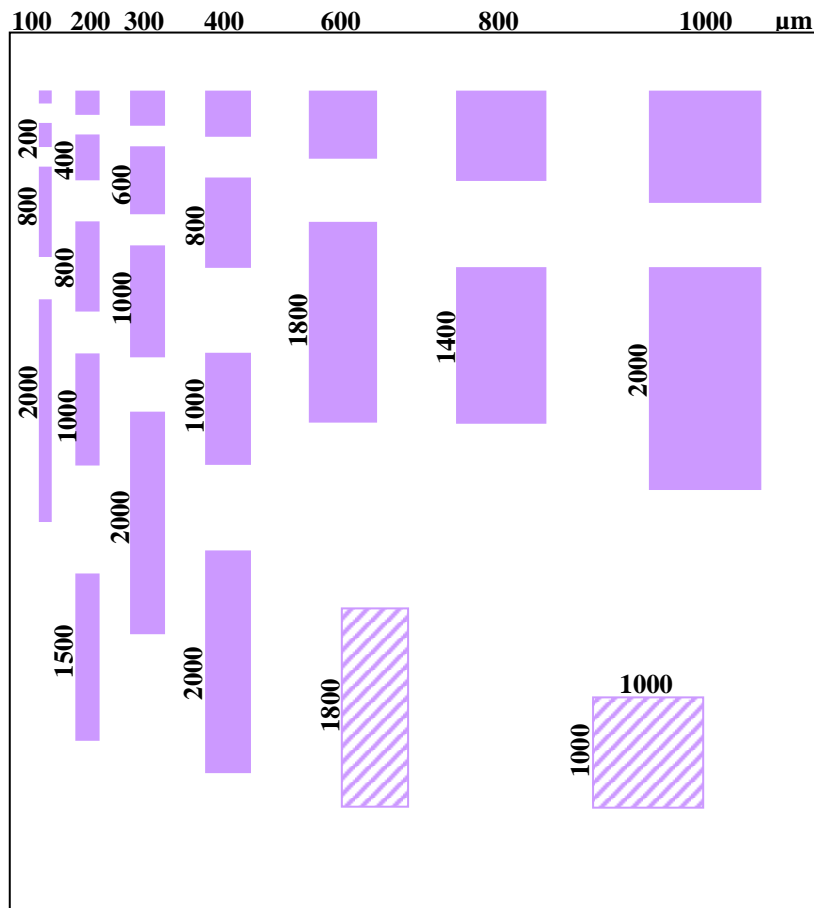
### c) L'épaisseur de silicium et le détail des géométries choisies pour les motifs SOI

La géométrie des motifs SOI à recristalliser influence la qualité de la recristallisation. Les paramètres les plus importants sont l'épaisseur de la couche de poly-silicium sur oxyde, la largeur et la surface du motif SOI, et la largeur de la zone de germe avoisinant le motif SOI à recristalliser.

La largeur de la zone SOI détermine la distance que les fronts de recristallisation auront à parcourir au-dessus de l'oxyde enterré pour recristalliser le motif entier. La largeur de la zone de germe, ainsi que l'épaisseur de la couche de poly-silicium sur oxyde, déterminent le gradient thermique qui permettra la propagation des fronts de recristallisation.

En fonction de la quantité de matériau poly-cristallin à fondre et à recristalliser (surface  $\times$  épaisseur), le cycle RTP devra apporter plus ou moins d'énergie pour assurer une bonne qualité de matériau. Ainsi la tension de consigne des thyristors commandant les lampes sera plus ou moins élevée.

Le DOE a porté sur la largeur et la longueur des motifs SOI, avec des carrés et des rectangles de  $100\mu\text{m}$  à  $1\text{mm}$  de côté, et des longueurs différentes, de  $100\mu\text{m}$  à  $2\text{mm}$  (Fig. II. 9). Les zones de germe ont été choisies à peu près égales à la largeur du motif SOI à recristalliser, en adéquation avec les résultats obtenus par Sylvie Roux en simulation thermique (cf. chapitre 1, III. C). Seuls deux motifs sont entourés de zones de germe plus grandes, un motif de  $600 \times 1800\mu\text{m}$  et un motif de  $1\text{mm}^2$  (motifs hachurés Fig. II. 9). Le plus grand motif SOI testé grâce à ce masque mesure  $2\text{mm}^2$ .



**Fig. II. 9 :** Masque utilisé pour la définition des motifs SOI LEGO. Les deux motifs hachurés sont entourés de zones de germe plus larges. Les cotes sont en microns.

Dès les premiers essais (Lignes 1 et 2 du tableau II.1), il a été visible que plus le motif est petit, et plus la recristallisation est facile (Fig. II. 10). Ainsi pour un palier en tension de  $7\text{V}$  et une épaisseur de  $13\mu\text{m}$ , seuls les motifs de  $100$  et  $200\mu\text{m}$  de côté sont monocristallins (au mieux jusqu'à  $300\mu\text{m}$ ), les autres présentent de nombreux joints de grains.

Expérimentalement, on voit que plus la surface du motif SOI est importante, plus la puissance fournie, et donc la tension de commande, doivent être élevées pour obtenir une bonne qualité de recristallisation. Sur la figure II. 5, on voit qu'un motif de  $1\text{mm}^2$  et  $13\mu\text{m}$  d'épaisseur nécessite une tension de consigne de  $8\text{V}$  (Ligne 10 du tableau II.1) au lieu de  $7\text{V}$  pour atteindre une bonne qualité de recristallisation.



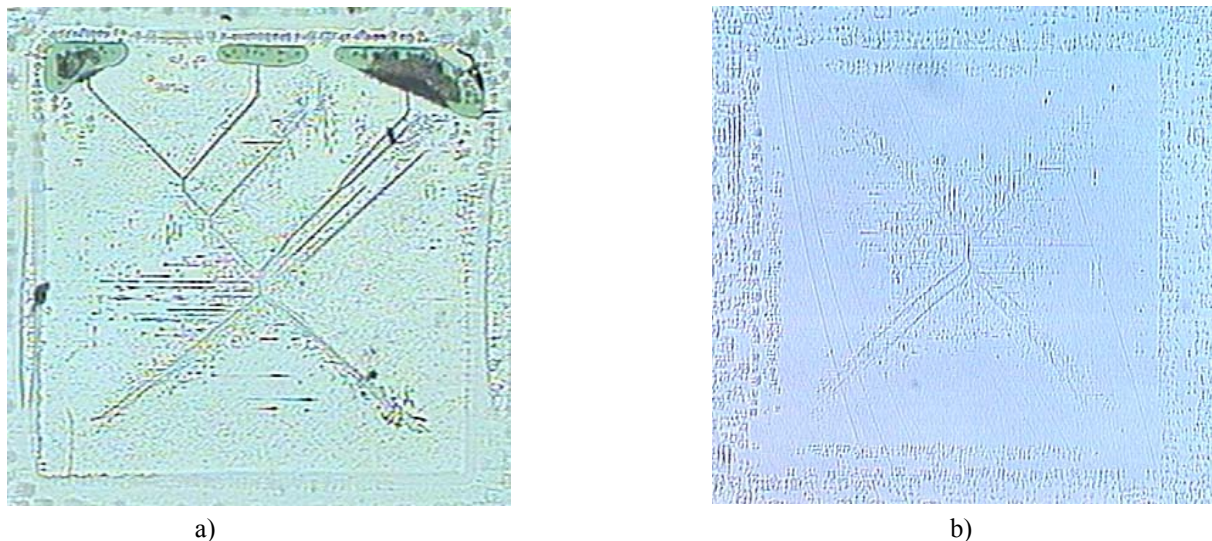


**Fig. II. 10 :** Motifs SOI de 100µm à 1mm de côté.

De même, plus l'épaisseur de la couche de silicium poly-cristallin est importante, plus l'énergie fournie devra être élevée pour fondre et recristalliser correctement toute l'épaisseur de la couche poly-cristalline (Fig. II. 11). Si on augmente l'épaisseur de silicium poly-cristallin de 13µm à 30µm, la tension de commande doit être adaptée à 8,5V et le palier à 12 sec pour obtenir une bonne qualité cristalline (Ligne 20 du tableau II.1).

*(La courbe de la puissance électrique des lampes en fonction de la tension de consigne  $P=f(V)$  est montrée en Annexe I).*

On remarque également que l'augmentation d'épaisseur de la couche de poly-silicium permet de supprimer le problème de découvrement de l'oxyde enterré en bord de motif SOI par mouvement de matière à l'état liquide (cf. § chapitre 2.II.A).



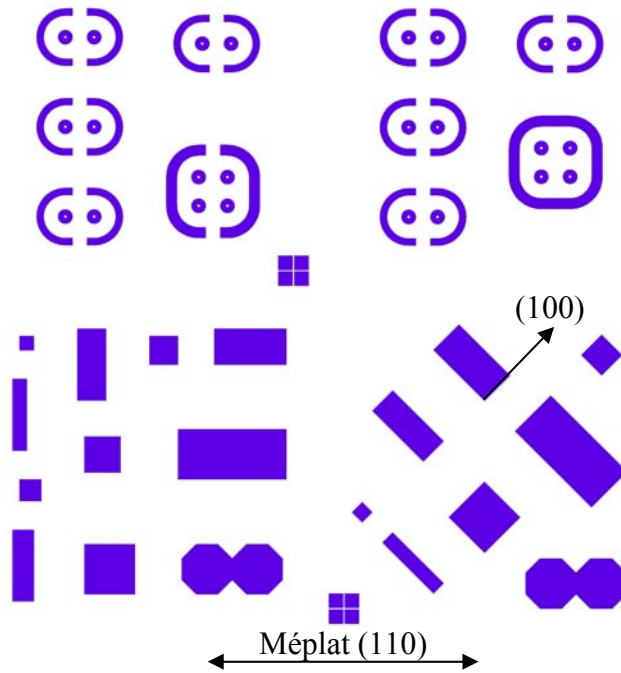
**Fig. II. 11 :** Motifs SOI de 1mm<sup>2</sup> avec des épaisseurs de silicium sur oxyde de a) 13µm et b) 30µm. L'épaisseur joue un rôle sur le phénomène de découvrement de l'oxyde enterré. Le cycle de recristallisation est adapté pour fondre la totalité de l'épaisseur de poly-silicium. Ainsi pour 13µm, la tension de commande est de 8V et le palier de 2 sec (Ligne 10 du tableau II.1), et pour 30µm, la tension de commande est de 8,5V et le palier de 12 sec (Ligne 20 du tableau II.1).

Au cours du DOE, nous avons également constaté que l'épaisseur de la couche de poly-silicium sur oxyde, la largeur du motif SOI, et la largeur de la zone de germe sont liées. Ainsi, plus le motif SOI à recristalliser est large, plus l'épaisseur de la couche de poly-silicium devra être grande. De même, pour un motif SOI épais, la zone de germe devra être plus large. Ceci principalement pour s'assurer des meilleures conditions pour la propagation du gradient thermique latéral permettant la recristallisation. Ainsi, pour un motif SOI par exemple de



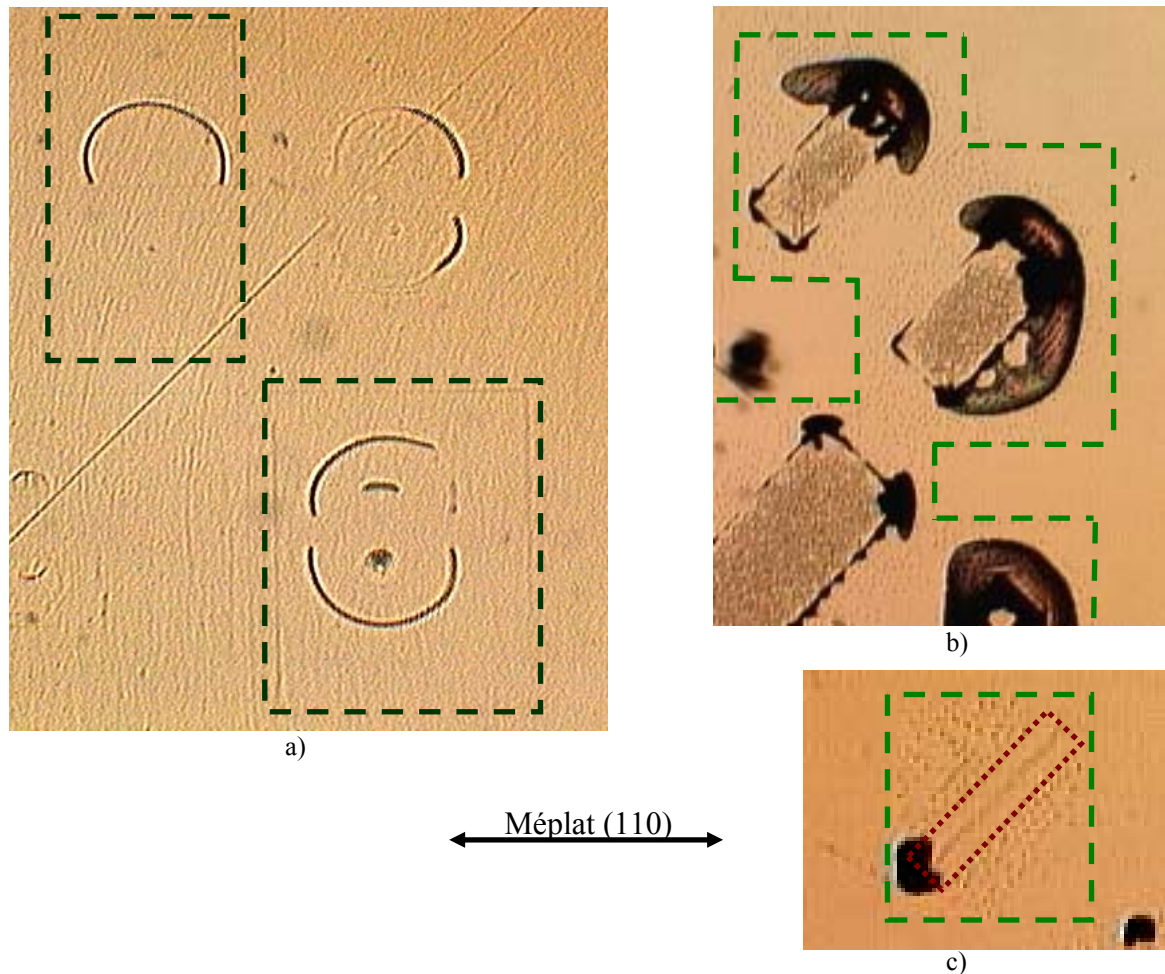
100 $\mu\text{m}$  de large, une épaisseur de silicium poly-cristallin de 10 $\mu\text{m}$  et une zone de germe de 100 $\mu\text{m}$  sont suffisantes. Si ce même motif comporte une épaisseur de 30 $\mu\text{m}$  de poly-silicium, la zone de germe de 100 $\mu\text{m}$  ne suffira plus pour assurer un bon gradient thermique latéral. Par ailleurs, les résultats obtenus dans le cadre des différents DOE nous ont permis de voir que les motifs isolés (Fig. II. 9) sont plus facilement recristallisés que les motifs de même taille voisins d'une zone de germe plus petite.

D'autres géométries de motifs ont été envisagées sur des substrats (100), avec un masque comportant des motifs circulaires et des motifs carrés et rectangulaires orientés à 45° par rapport au méplat représentant la direction cristalline (110) (Fig. II. 12).



**Fig. II. 12 :** Masque utilisé pour le projet IMPACT (chapitre 3) présentant des motifs SOI circulaires pour des applications de puissance et des motifs carrés et rectangulaires orientés parallèlement ou inclinés à 45° par rapport au méplat (110).

D'après les essais réalisés, la forme arrondie et l'orientation à 45° du motif (c'est-à-dire suivant la direction 100) ne changent pas la progression des fronts de fusion et recristallisation. La fusion et la recristallisation se font toujours dans la même orientation, quelle que soit la forme du motif à fondre. En effet, la fusion se propage en fonction des plans denses du silicium, les plans {111} [7]. Ces plans {111} intersectent la surface du wafer selon les directions (110), donc parallèlement au méplat. Ainsi pour les motifs arrondis, la zone fondue s'étendra jusqu'au rectangle parallèle au méplat incluant ce motif arrondi, et pour les motifs inclinés, la zone fondue s'étendra également jusqu'au rectangle orienté parallèlement au méplat et incluant tout le motif incliné (Fig. II. 13).



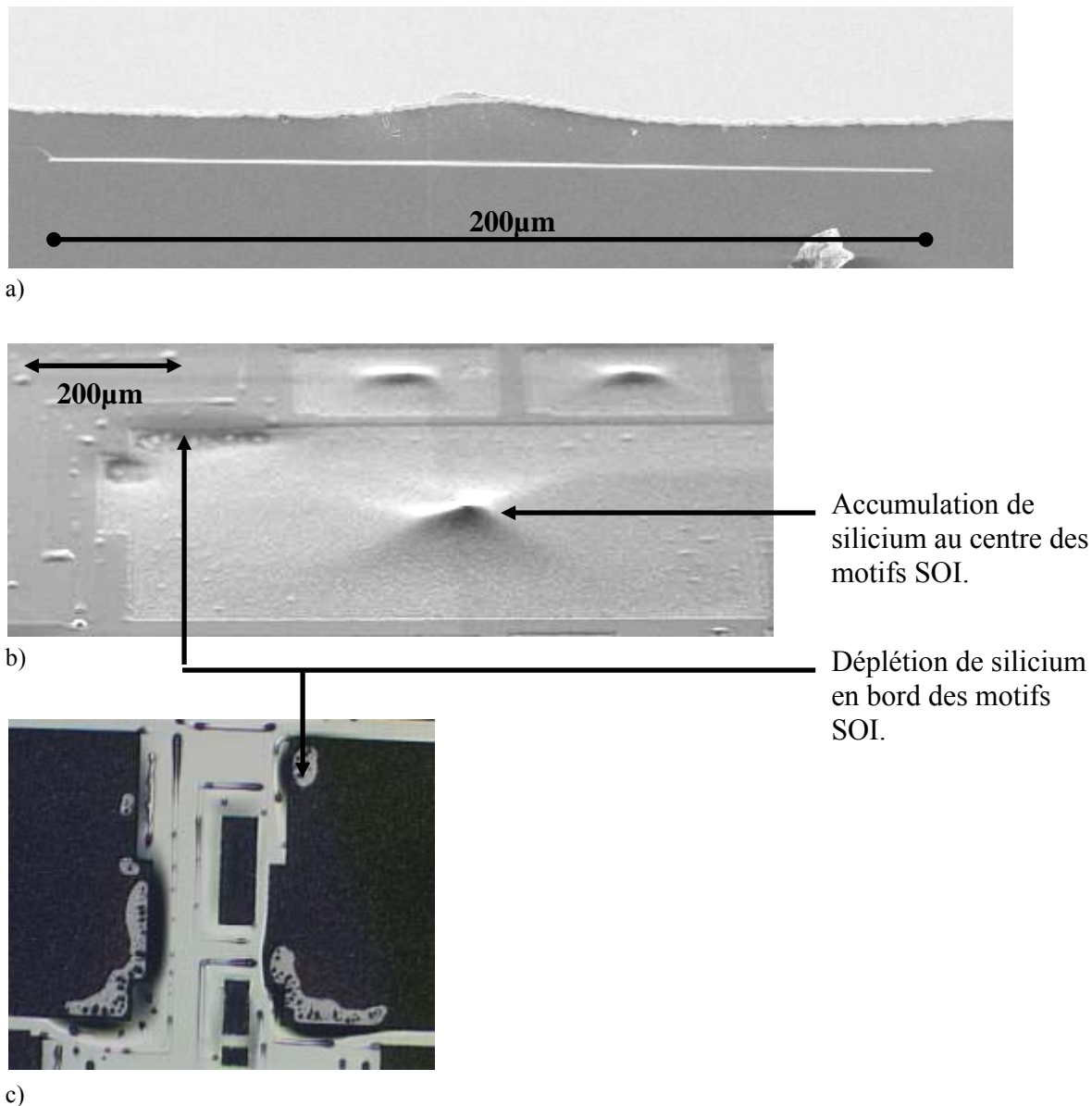
**Fig. II. 13 :** Motifs SOI a) circulaires et b) inclinés à 45° en fonction du méplat, et délimitation en pointillés des zones de fusion en rectangles orientés selon le méplat (110) (pour faciliter la visualisation des motifs, ces photos ne représentent pas l’optimum des résultats obtenus).

### - C. Les défauts résiduels :

Au cours des essais successifs menés pour l’optimisation du procédé LEGO, nous avons principalement observé 2 types de défauts résiduels après recristallisation : le découvrément de l’oxyde enterré et l’accumulation de défauts cristallographiques en forme de croix au centre des motifs SOI.

#### 1. Découvrement de la couche d’oxyde enterrée :

Les premiers essais de recristallisation sur une épaisseur de 13µm de silicium ont mis en évidence un phénomène de découvrément de l’oxyde enterrée en bord des motifs SOI les plus larges (>500µm de large). Les “petits” motifs (<300µm) en revanche ne présentent pas de découvrément de l’oxyde enterré. Des coupes SEM ont également montré que le silicium liquide a tendance à migrer vers le centre du motif SOI, quelle que soit la taille du motif. Nous observons ainsi une accumulation de silicium au centre des motifs SOI, et une déplétion sur les bords de motif, menant éventuellement à un découvrément de l’oxyde enterré pour les motifs les plus larges. (Fig. II. 14. a, b et c.)



**Fig. II. 14 :** a) Accumulation de silicium en centre des motifs SOI de petites dimensions (<300µm de large), vue en coupe au MEB, b) Accumulation de silicium en centre et déplétion au bord des motifs SOI de grandes dimensions (>500µm de large) vue à 45° au MEB, c) Déplétion de silicium en bord des motifs SOI de grandes dimensions (>500µm de large), vue optique de dessus.

Ce phénomène peut être expliqué par l'évaluation des tensions de surface et des angles de contact de notre système.

De manière générale [8], tout matériau liquide a une tendance naturelle à se présenter sous forme de sphère pour offrir la plus petite surface pour un volume donné. Cette caractéristique est définie par la tension de surface.

On définit la tension superficielle  $\gamma$  comme le rapport entre le travail réversible fourni pour étendre une interface de séparation liquide-gaz et l'extension correspondante de l'interface, à T, V,  $N_i$  constants (température, volume, nombre de molécules).

$\gamma_{I-II} = \left( \frac{\partial F}{\partial A} \right)_{T, V, N_i, (déformation)}$ . En résumé,  $\gamma$  est l'énergie à fournir pour augmenter la

surface d'une unité.

La tension superficielle peut aussi être considérée comme une force par unité de longueur : en dimension, on peut écrire  $[\gamma] = FL^{-1}$  et exprimer  $\gamma$  en N/m.

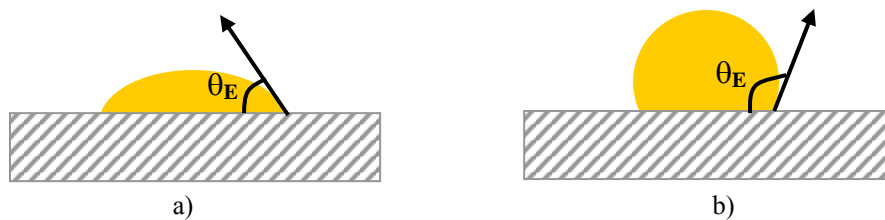
De même pour un solide, on définit l'énergie libre de surface ou la tension interfaciale solide / air  $\gamma_{SO}$ .

La combinaison de la tension de surface d'un liquide et de l'énergie libre de surface du solide génère un angle de contact  $\theta_E$  (Fig. II. 15). Le mouillage total est obtenu quand l'énergie libre de surface du solide est égale ou supérieure à la tension de surface du liquide. Dans ce cas, l'angle de contact est voisin de zéro. Par contre, une goutte d'un liquide de très forte tension de surface (comme l'eau) déposée sur un matériau de faible énergie de surface (comme le téflon) fait un angle de contact relativement élevé.

De manière simplifiée, on peut estimer que :

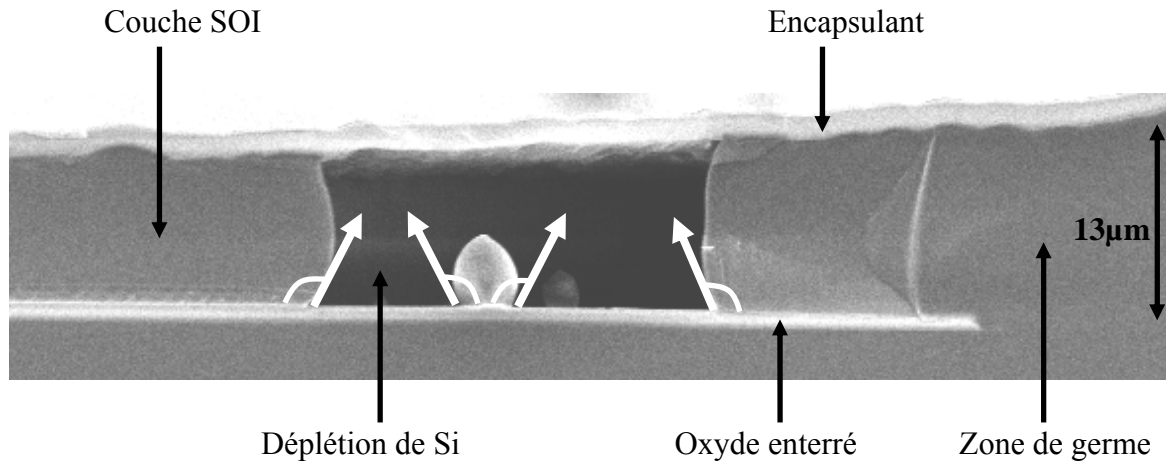
Si  $\theta_E < \pi/2$ , la surface est plutôt mouillante – Fig. II. 15 – a.

Si  $\theta_E > \pi/2$ , la surface est plutôt non mouillante – Fig. II. 15 – b.



**Fig. II. 15 :** Figure des angles de contact, a) pour une surface aux propriétés mouillantes et b) pour une surface aux propriétés non mouillantes vis-à-vis d'un liquide donné.

Dans notre cas, le silicium liquide présente une tension de surface très élevée, aux environs de 730mN/m [9], ainsi il est très improbable qu'il puisse s'étaler correctement sur une surface solide. Ceci est confirmé par l'observation de l'angle de contact formé entre le silicium liquide et la couche d'oxyde solide. Cet angle de contact est clairement supérieur à 90°, ce qui démontre que la couche d'oxyde présente bien des propriétés non mouillantes vis-à-vis du silicium liquide (Fig. II. 16).



**Fig. II. 16 :** Coupe MEB d'un motif SOI épais de 13µm présentant une déplétion de silicium sur oxyde et un découvrement de l'oxyde enterré, et permettant ainsi d'observer l'angle de contact silicium liquide / oxyde.

Ainsi, le silicium liquide ne peut pas s'étaler sur la couche d'oxyde, et se rassemble au centre du motif SOI pour former une goutte. Le film liquide en bord de motif devient de plus en plus fin jusqu'à ce qu'il se rompe, générant ainsi un découvrement de l'oxyde enterré.

Ce problème de découvrement est visible seulement pour les motifs les plus larges (>500µm). Pour les petits motifs, le rapport R entre les surfaces de contact du silicium liquide avec le silicium solide et l'oxyde enterré est plus important que pour les motifs les plus larges. R est donné par :

$$R = \frac{\text{Surface Contact } (Si_{\text{liquide}} / Si_{\text{solide}})}{\text{Surface Contact } (Si_{\text{liquide}} / \text{Oxyde})}$$

Par exemple, pour une épitaxie de silicium d'épaisseur 13µm, la valeur de ce rapport R est d'environ 50% pour un motif de 100×100µm et d'environ 5% pour un motif de 1000×1000µm (à extension maximale du liquide). Nous pouvons alors supposer que l'interface silicium solide / silicium liquide aide à compenser les propriétés non mouillantes de l'oxyde, et maintient le silicium liquide sur la couche d'oxyde enterrée. Ainsi, en augmentant l'épaisseur de la couche de silicium sur oxyde, on peut augmenter le rapport de surfaces de contact du silicium liquide avec le silicium solide et l'oxyde respectivement, réduire l'impact des propriétés non mouillantes de l'oxyde, et ainsi diminuer le phénomène de découvrement de l'oxyde enterré présent pour les motifs les plus larges.

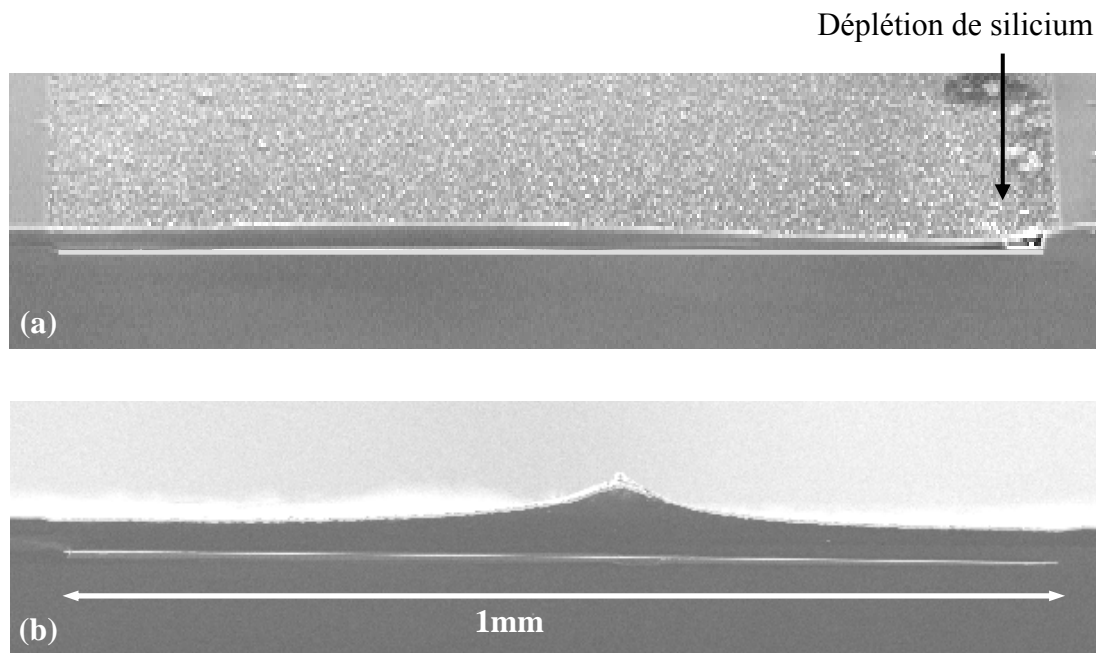
Une évaluation de l'épaisseur d'épitaxie nécessaire pour supprimer le découvrement a été effectuée : D'après les échantillons observés, pour une épaisseur d'épitaxie de 17µm, le motif recristallisé le plus grand et ne présentant pas de découvrement d'oxyde est de 600×600µm. Pour une épitaxie de 20µm ce motif est de 800×800µm. Soit un rapport de surface de contact Si liquide –solide / Si liquide – oxyde de 11% pour une épaisseur d'épitaxie de 17 µm et 10% pour une épaisseur d'épitaxie de 20µm.

Si on considère que le rapport minimum pour supprimer le découvrement d'oxyde est d'environ 10%, on peut estimer que l'épaisseur minimale d'épitaxie nécessaire est donc de 25µm pour un motif de 1mm<sup>2</sup> et de 33µm pour un motif de 2mm<sup>2</sup>.



Ainsi, après ces essais sur des épaisseurs de  $13\mu\text{m}$ ,  $17\mu\text{m}$  et  $20\mu\text{m}$  de silicium sur oxyde, de nouveaux wafers ont été préparés avec une épaisseur d'épitaxie de  $30\mu\text{m}$ , afin d'essayer de supprimer les manques de silicium au bord des plus grands motifs SOI. De manière à garantir la fusion de toute l'épaisseur de la couche de silicium poly-cristallin, le cycle de recristallisation a été adapté, et particulièrement la hauteur du palier de puissance qui a été augmentée.

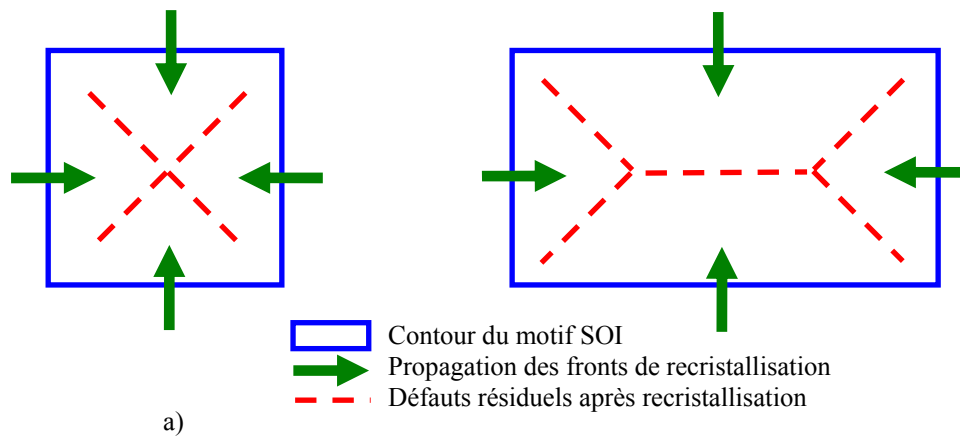
Comme nous l'avions supposé, avec une épaisseur de silicium de  $30\mu\text{m}$  et un palier de puissance plus élevé, nous avons pu obtenir des motifs monocristallins de  $1\text{mm}^2$  et  $2\text{mm}^2$ , tout en supprimant le problème de découvrément de l'oxyde enterré (Fig. II. 17 et Fig. II. 11).



**Fig. II. 17 :** Coupe MEB de motifs SOI monocristallins de  $1000\times 2000\mu\text{m}$ . (a) Le motif avec une épaisseur de silicium de  $13\mu\text{m}$  présente un découvrément de l'oxyde enterré en bord de motif, (b) le motif avec une épaisseur de silicium de  $30\mu\text{m}$  ne présente aucun découvrément de l'oxyde enterré.

## 2. Rencontre des fronts de recristallisation :

Les principaux défauts cristallographiques résiduels après la recristallisation sont en forme de croix pour les motifs carrés, et d'enveloppe pour les motifs rectangulaires, au centre des motifs SOI (Fig. II. 18) : ces défauts sont dus à un décalage des différents fronts de recristallisation. En effet, pendant la solidification, la propagation du réseau cristallin est initiée à partir des quatre bords du motif SOI. Nous avons supposé que le recouvrement entre les réseaux cristallins est parfait lorsque la solidification se propage sur de courtes distances, comme par exemple pour les plus petits motifs SOI recristallisés, c'est-à-dire de largeur inférieure à  $300\mu\text{m}$ , pour lesquels on ne voit pas ces défauts en forme de croix. En revanche, si les fronts de recristallisation se propagent sur des distances plus importantes au dessus de l'oxyde enterré, par exemple pour des motifs SOI de largeur supérieure à  $300\mu\text{m}$ , on observe des décalages entre les réseaux cristallins sur les quatre fronts de recristallisation. La croix au centre des motifs est exactement positionnée à l'endroit où les fronts de recristallisation se rejoignent, elle est due à ce décalage entre les différents réseaux cristallins, et donc à une accumulation de dislocations.



a)

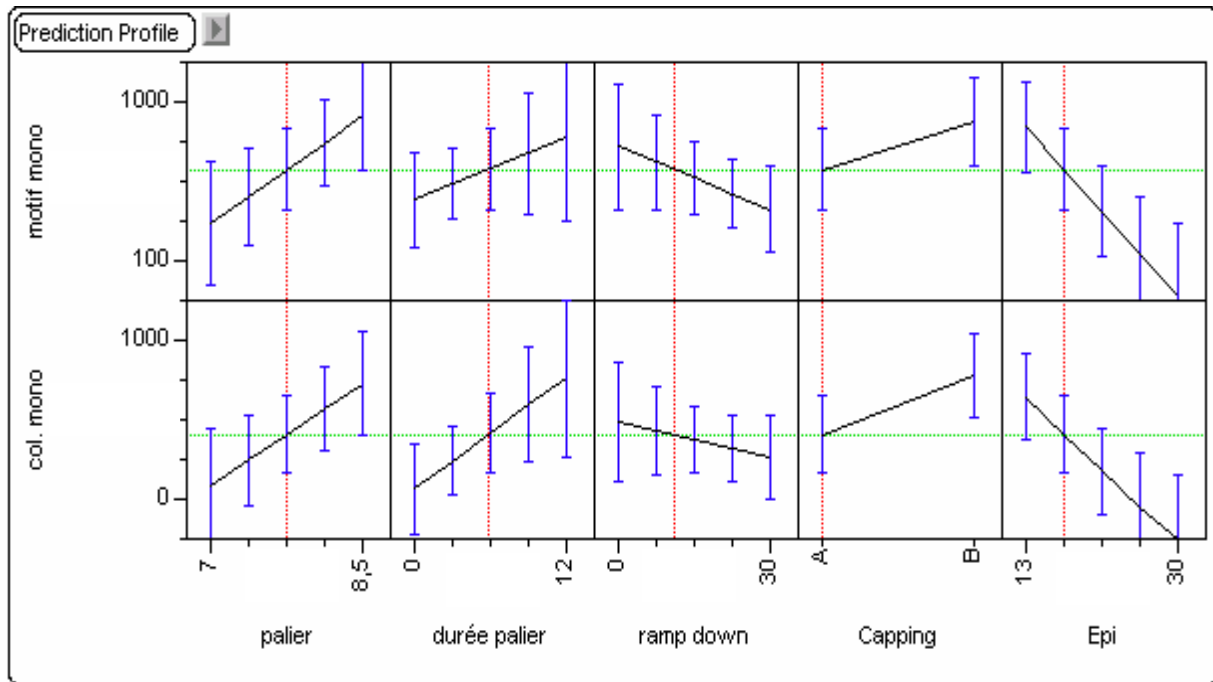


b)

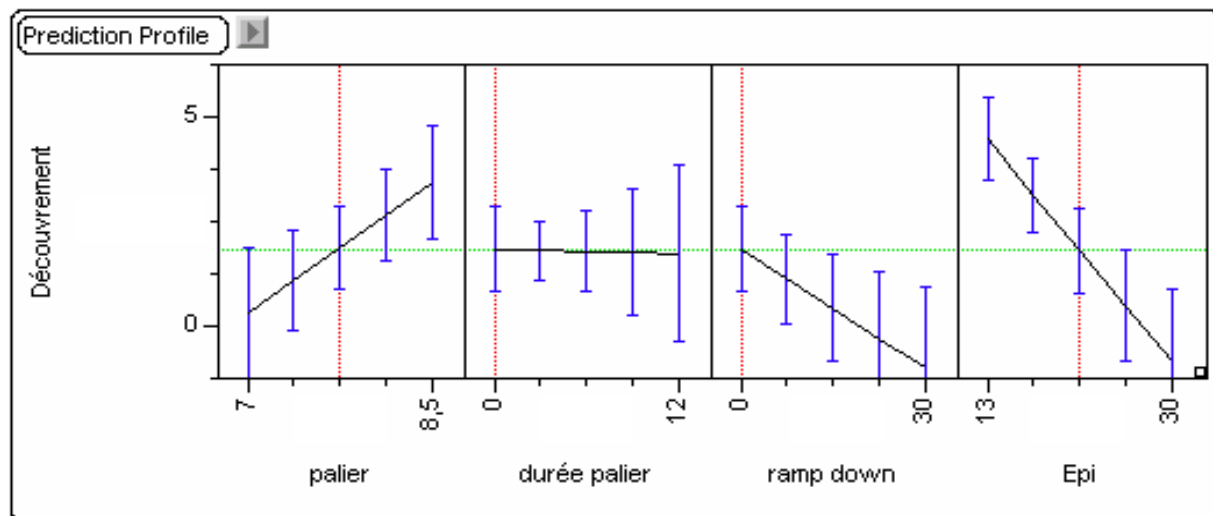
**Fig. II.18 :** Localisation des défauts résiduels sur les motifs SOI après recristallisation : a) schéma, b) vue optique après polissage et révélation cristalline. Les pointillés délimitent les zones à forte concentration de défauts.

#### - **D. Résultat :**

Les tableaux ci-dessous sont extraits du logiciel de plan d'expérience JMP<sup>®</sup>, et résument l'influence des différents paramètres sur la largeur des motifs à recristalliser (Tab. II. 2), et sur le phénomène de découvrément de l'oxyde enterré (Tab. II. 3) : On voit que pour obtenir les plus grands motifs monocristallins, il est nécessaire d'utiliser un cycle de recristallisation avec un palier de puissance élevé (8,5V de tension de consigne, sachant que la tension de consigne est comprise entre 0 et 10V) et relativement long (12sec, sachant que les premiers essais ont été réalisés avec un palier de 2sec), alors que la descente en température doit être la plus rapide possible (0sec). L'encapsulant semble jouer un rôle puisqu'il peut faire plus ou moins écran à la capture de l'énergie lumineuse fournie au cours du cycle de recristallisation. L'encapsulant de type B, qui est constitué de 3 $\mu$ m de SiO<sub>2</sub> déposé LPCVD, est le plus favorable. On voit également que pour réduire le phénomène de découvrément de l'oxyde enterré en bord des motifs SOI, il est important d'avoir une épaisseur de silicium sur oxyde importante. L'épaisseur d'épitaxie est le seul paramètre que nous pouvons faire varier pour supprimer ce problème de découvrément sans pour autant compromettre la qualité et la largeur des motifs SOI recristallisés. Une épaisseur de 30 $\mu$ m nous a permis de supprimer le découvrément pour des motifs SOI jusqu'à 2mm<sup>2</sup>.



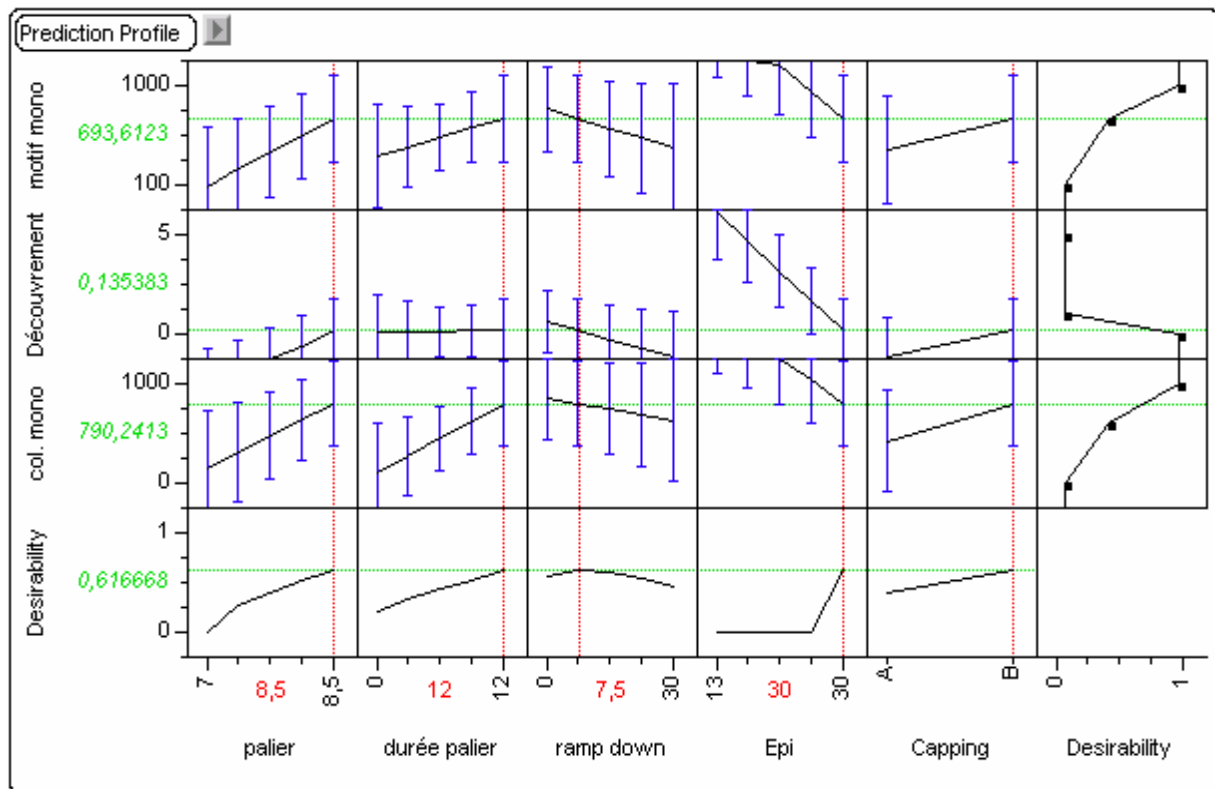
**Tab. II. 2 :** Tableau JMP récapitulatif de l'influence des différents paramètres sur la largeur des motifs SOI recrystallisés et des colonnes de motifs SOI entièrement recrystallisées.



**Tab. II. 3 :** Tableau JMP récapitulatif de l'influence des différents paramètres sur le phénomène de découverture de l'oxyde enterré.

Enfin, le dernier tableau (Tab. II. 4) résume l'influence de tous les paramètres sur la qualité de recristallisation (largeur recristallisable et découverture) ainsi que les cas les plus favorables pour obtenir un bon compromis entre de larges motifs monocristallins et un découverture de l'oxyde enterré réduit. Dans la colonne désirabilité, les valeurs vont de 0 à 1, 0 exprimant un cas très indésirable et 1 exprimant un cas très désirable. Ainsi par exemple pour le découverture, la désirabilité est fixée à 0 pour des valeurs de découverture de 1 à 5, et à 1 pour un découverture nul, de valeur 0.



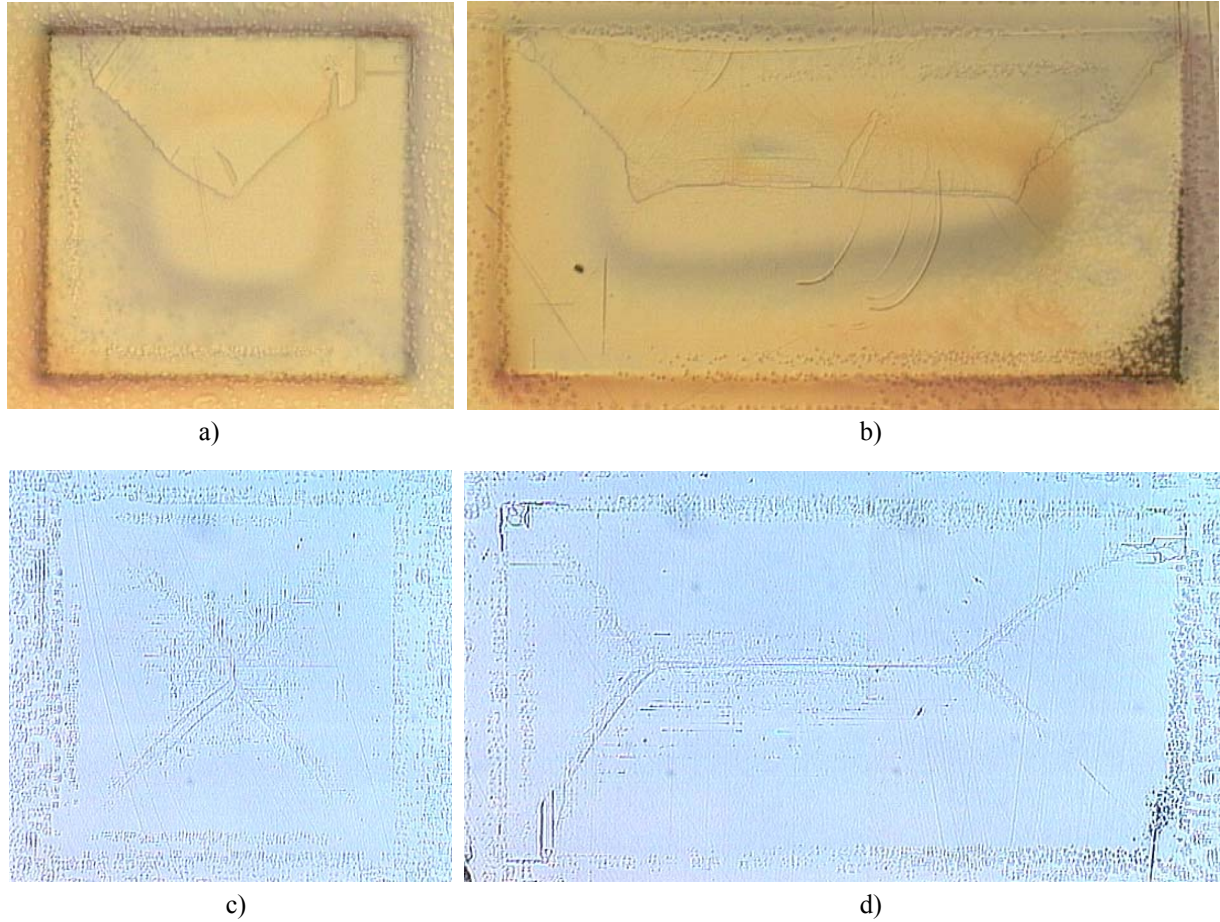


**Tab. II. 4 :** Tableau JMP récapitulatif de l'influence des différents paramètres sur la qualité du matériau obtenu par recristallisation, avec les valeurs les plus désirables pour chaque paramètre.

En ce qui concerne les autres paramètres géométriques des motifs SOI, nous avons vu que pour obtenir des motifs sans découvrément de l'oxyde enterré, le rapport des surfaces de contact « Si liquide – Si solide / Si liquide – oxyde » doit être au minimum de 10%, et la zone de germe doit être au minimum égale à la largeur du motif à recristalliser.

Un moyen in-situ expérimental simple de savoir si la recristallisation se fait dans de bonnes conditions est de contrôler la durée d'existence de la phase liquide. Dans notre cas, pour des motifs de 30µm d'épaisseur de silicium, cette durée doit avoisiner 25sec. En deçà, l'énergie fournie n'est pas suffisante pour bien fondre toute la quantité de silicium poly-cristallin et ainsi la solidification va se faire sur des germes présents dans le poly-silicium non fondu. Au-delà, l'énergie fournie est trop importante et il est possible que la zone de silicium monocristallin sous l'oxyde fonde, ce qui déformera la couche d'oxyde solide.

Grâce à ces différents DOE, nous avons pu obtenir des motifs SOI monocristallins de 1 et 2mm<sup>2</sup>, avec très peu de défauts cristallographiques résiduels, et sans découvrément de l'oxyde enterré. L'accumulation de matière au centre du motif est toujours visible (Fig. II. 17 et 19 a et b). Il suffit alors simplement de réaliser un polissage mécano-chimique de surface sur environ 5µm pour obtenir une parfaite planéité de surface, et s'affranchir de cette topologie. Les photos Fig. II. 19 c et d présentent les motifs SOI monocristallins de 1 et 2mm<sup>2</sup> après polissage et révélation cristalline des défauts résiduels.



**Fig. II. 19 :** Photos optiques avec révélation Wright etch des défauts après recristallisation : (a) et (b) avec un léger polissage de surface conservant la majorité de la topologie due à l'accumulation de matériau au centre des motifs SOI, a) motif de  $1\text{mm}^2$  et b) motif de  $2\text{mm}^2$ , et (c) et (d) avec un polissage de surface restaurant une bonne planéité de surface c) motif de  $1\text{mm}^2$  et d) motif de  $2\text{mm}^2$ , entièrement monocristallins et avec peu de défauts résiduels.

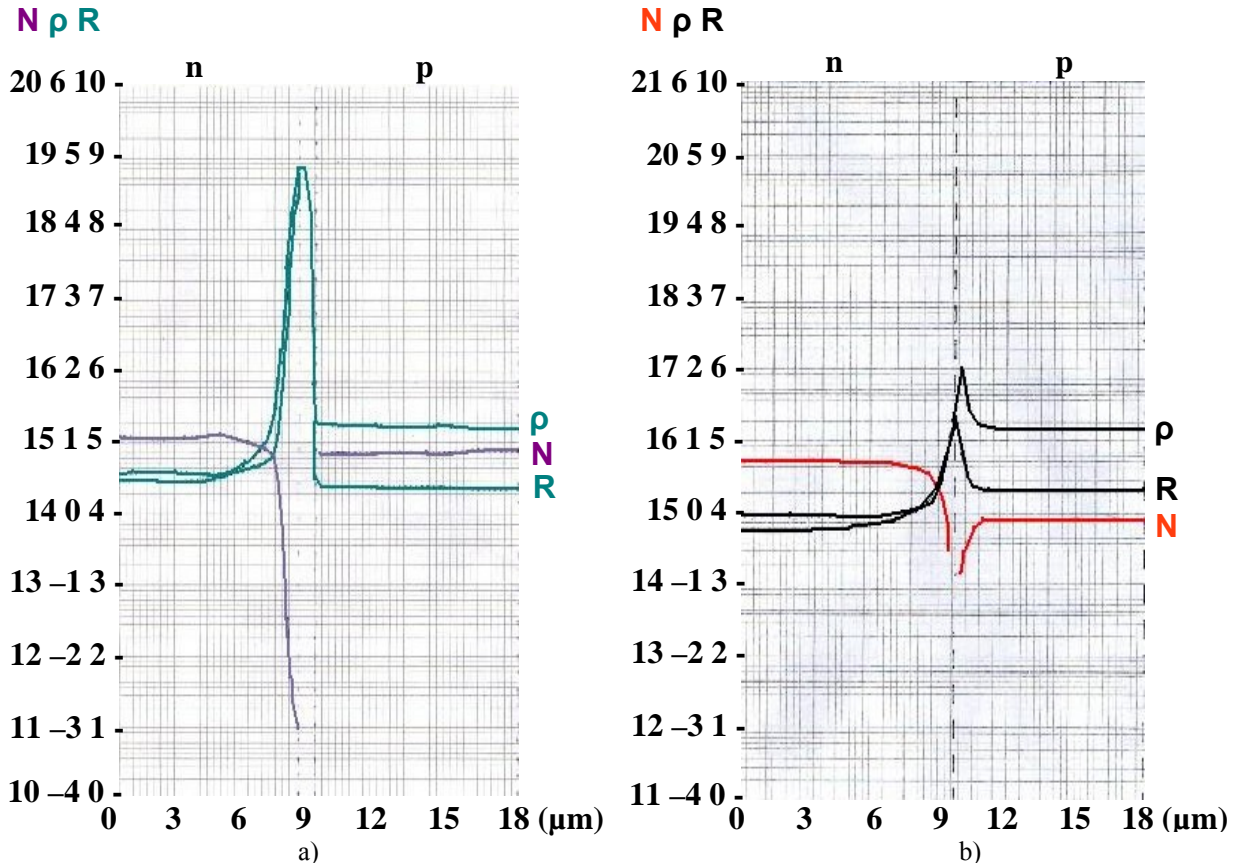
## II. Amélioration du matériau post recristallisation :

### - A. Analyses complémentaires :

D'autres analyses ont été effectuées afin d'avoir une idée plus complète de la qualité réelle du matériau SOI après recristallisation. Ainsi, nous avons effectué des analyses de Spreading Resistance Profile (SRP) et Secondary Ions Mass Spectrometry (SIMS) pour évaluer le dopage et la contamination du matériau recristallisé, des analyses de microscopie électronique à transmission (TEM pour transmission electron microscopy) et des analyses de diffraction des rayons X (XRD pour X-ray diffraction) pour identifier et éventuellement quantifier les défauts cristallographiques résiduels, et des mesures de durée de vie et de charges d'interfaces.

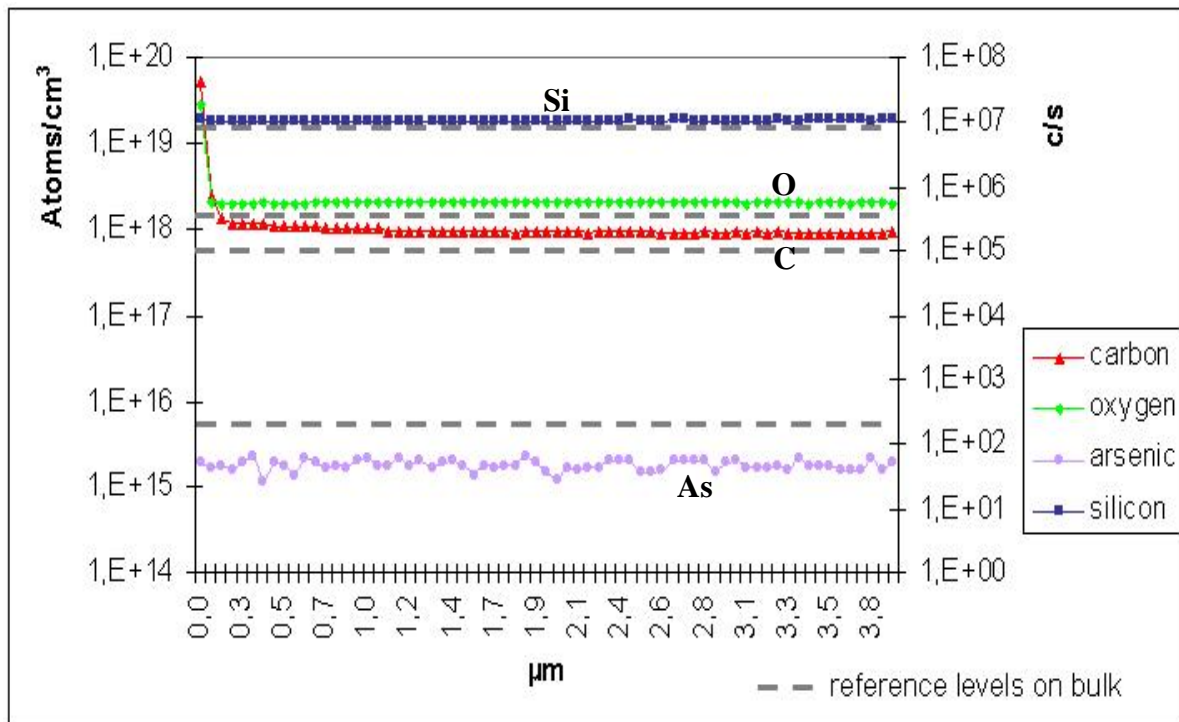
#### 1. SIMS et SRP :

- Des tests de SRP ont été réalisés pour évaluer les niveaux de dopage dans les motifs SOI et dans les zones dites de germe, en fonction de la profondeur dans le silicium (Fig. II. 20). Ces essais nous ont permis de constater que les profils de dopage sont plats à travers toute l'épaisseur de silicium sur oxyde (Fig. II. 20 – a). Le dopage atteint est de  $2 \cdot 10^{15}$  at/cm<sup>3</sup> sur zone SOI (soit une résistivité de 5 ohm.cm), et de 5 à  $6 \cdot 10^{15}$  at/cm<sup>3</sup> sur les zones de germe silicium sur silicium (soit une résistivité de 1 ohm.cm). Cette différence n'est pas due au LEGO, mais provient du fait que les mécanismes d'incorporation in-situ du dopant au cours de l'épitaxie sont différents dans le silicium monocristallin et le silicium poly-cristallin. On peut aussi expliquer cette différence par le fait que les dopants de type N sont moins facilement incorporés lorsque la température augmente. Or, on peut supposer que dans les zones SOI, la couche d'oxyde fait barrière à l'évacuation de chaleur, ce qui entraîne un échauffement local, et donc une incorporation moindre de l'arsenic lors de l'épitaxie.



**Fig. II. 20 :** Profil SRP a) sur un motif SOI monocristallin, et b) sur la zone dite de germe silicium sur silicium. La couche de silicium recristallisée mesure 10μm d'épaisseur et est dopée par de l'arsenic.

- Nous avons également effectué des analyses SIMS afin de vérifier que le procédé de fusion et recristallisation n'introduisait pas de contaminations supplémentaires dans le matériau SOI. La figure II. 21 montre les profils de concentration pour les atomes de carbone, oxygène et arsenic. On vérifie que le niveau de dopage des couches SOI est le même que celui obtenu par le SRP, c'est-à-dire environ  $2 \cdot 10^{15}$  at/cm<sup>3</sup>. Les niveaux de Carbone et Oxygène sont similaires sur les zones SOI et les zones de silicium sur substrat, et avoisinent une concentration de  $1 \cdot 10^{18}$  at/cm<sup>3</sup>. Il n'y a donc pas de contamination spécifique des zones SOI due à la fusion et la recristallisation du matériau.



**Fig. II. 21 :** Profil SIMS sur un motif SOI monocristallin dopé par de l'arsenic. La couche SOI mesure 10μm d'épaisseur. Les niveaux de matériau massif en pointillé se réfèrent à la concentration d'atomes dans la zone dite de germe, silicium sur silicium. L'axe secondaire est pour l'évaluation du nombre de coups / secondes pour le silicium.

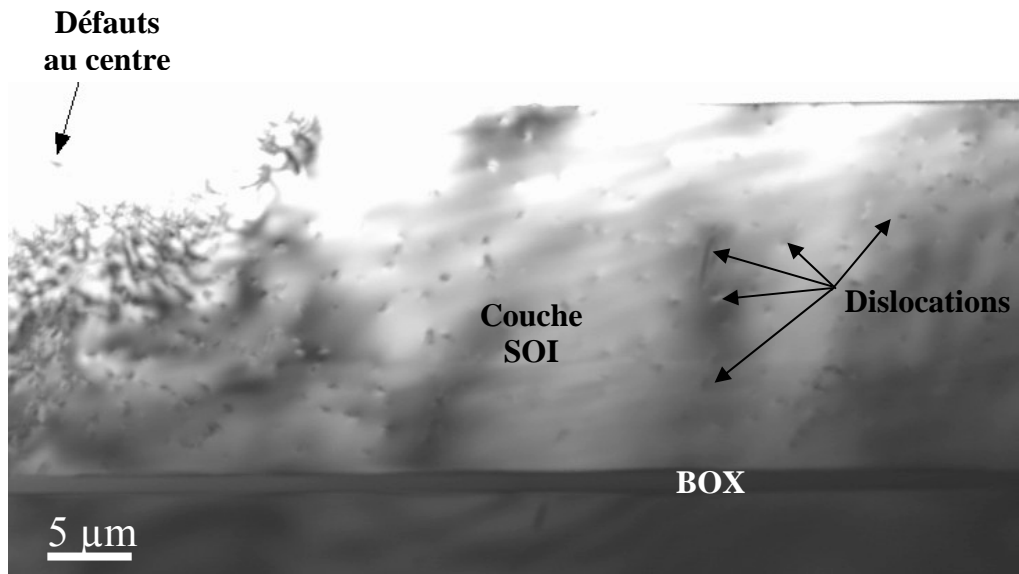
En résumé, après optimisation, le procédé LEGO procure des motifs monocristallins de 2mm<sup>2</sup>, sans contamination supplémentaire, et avec des profils de dopage plats à travers l'épaisseur du matériau SOI. Le niveau de dopage atteint dans les zones SOI est cependant différent de celui des zones de germe silicium sur silicium.

## 2. TEM et XRD :

Une analyse TEM a été effectuée pour observer les défauts résiduels dans la couche SOI recristallisée.

Ainsi, au centre des motifs SOI de 2000 x 1000 μm, on observe une forte densité de dislocations qui s'étend à travers toute l'épaisseur du film SOI. Cette zone semble correspondre à la région où les fronts de recristallisation se rencontrent (Fig. II. 22).





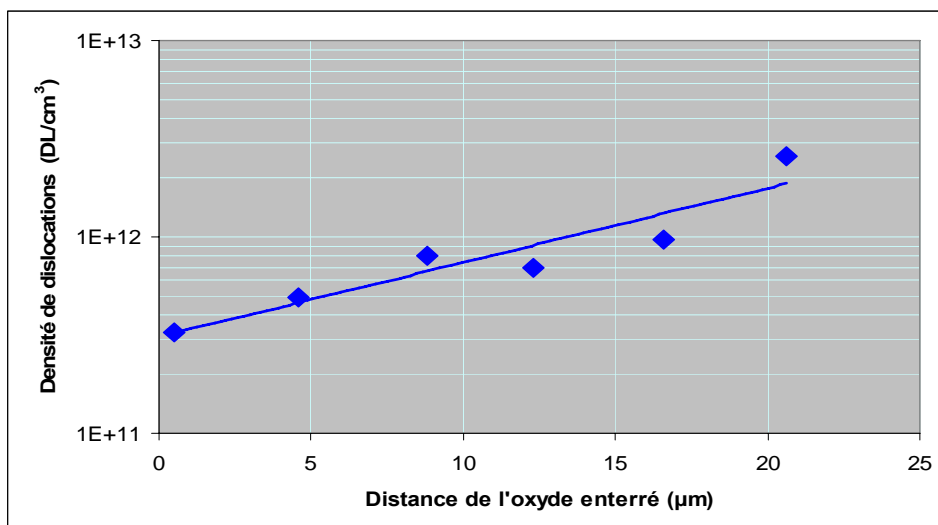
**Fig. II. 22 :** Image TEM de la couche SOI recristallisée, motif de 2000 x 1000 µm.

Sur ces motifs de 2000 x 1000 µm, en dehors du centre, une densité élevée de dislocations est observée (de  $1.10^{11}$  /cm<sup>3</sup> à  $1.10^{12}$  /cm<sup>3</sup>). Cette densité de dislocation diminue de manière exponentielle en fonction de la profondeur dans le film SOI à partir de la surface du silicium (Fig. II. 23). Quelques fautes d'empilements traversant toute l'épaisseur du film sont aussi présentes.

Dans des motifs de 1800 x 600 µm, la quantité de dislocations observée est nettement inférieure par rapport aux motifs de 2mm<sup>2</sup>. Quelques fautes d'empilement sont visibles, la plupart s'étendent sur toute l'épaisseur de la couche SOI.

L'analyse de l'orientation cristalline montre que la majorité du film recristallisé semble dans une orientation inclinée par rapport au substrat. La direction cristallographique du film recristallisé est inclinée de 19,5° par rapport à la normale à la surface.

Dans les régions dites de germe de silicium épitaxié sur substrat, on observe également des dislocations, en quantité moindre que dans les zones SOI. Tout comme dans les zones SOI, cette densité de dislocations diminue rapidement en fonction de la profondeur dans la couche de germe à partir de la surface.

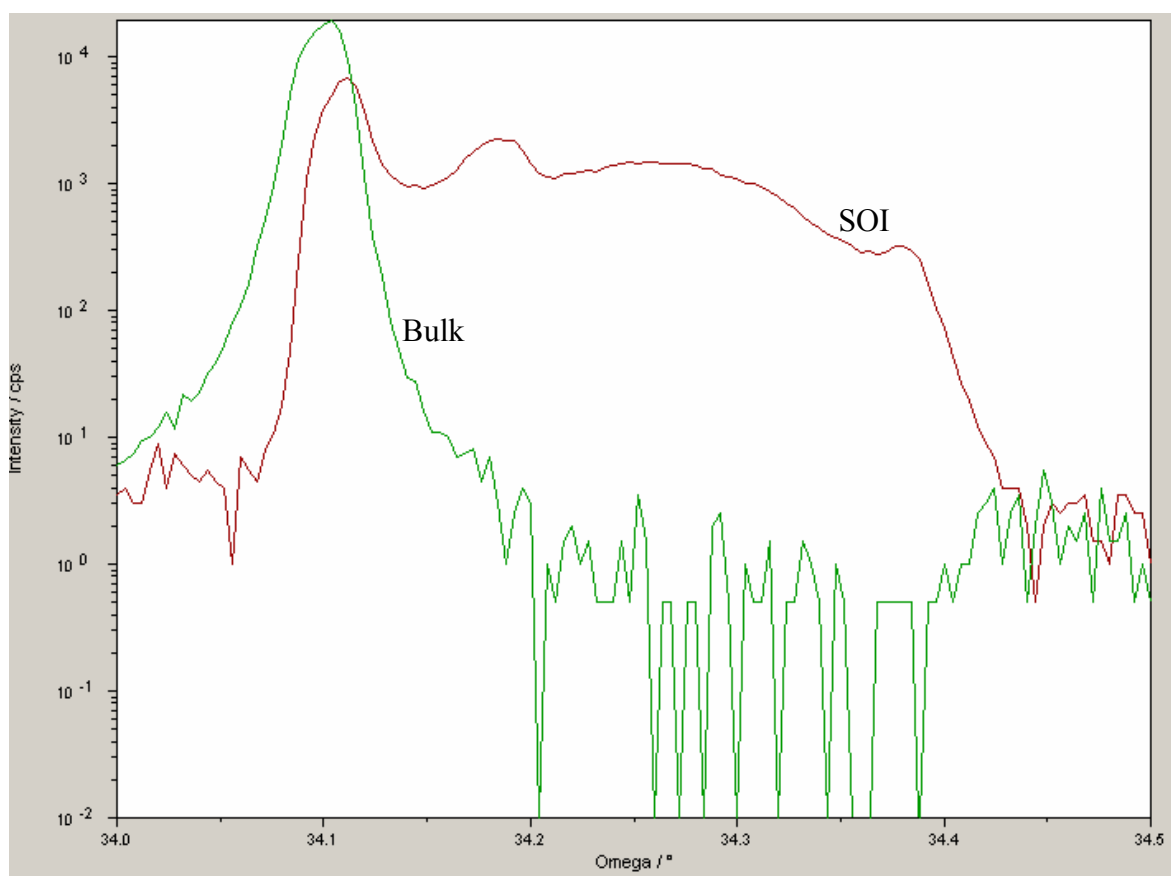


**Fig. II. 23 :** Courbe issue des analyses TEM, quantifiant les dislocations en fonction de la profondeur dans la couche SOI recristallisée. 0 est l'interface entre l'oxyde enterré et le silicium sur oxyde, et 20 est la surface du wafer avec les 20µm de silicium sur oxyde.

Les résultats obtenus par l'analyse XRD corrélient les résultats de l'analyse TEM : l'hypothèse d'une perturbation d'orientation lors de la recristallisation du silicium au dessus des zones d'oxyde enterré est compatible avec l'observation faite avec la diffraction des rayons X.

La figure II. 24 présente une comparaison de l'intensité diffractée en fonction de l'orientation angulaire du faisceau de rayons X, pour les deux zones SOI et bulk :

- La zone de silicium épitaxié sur substrat en vert : Les plans cristallins correspondent à la diffraction du silicium, ils sont tous orientés de la même façon, c'est pour cela que l'on observe un pic d'intensité bien délimité pour un certain angle.
- La zone SOI recristallisée en rouge : L'ouverture angulaire est plus large que pour la zone de bulk, elle est de  $0,3^\circ$ , ce qui est le signe d'une désorientation des plans cristallographiques du silicium.



**Fig. II. 24 :** Analyse XRD des zones SOI et silicium sur silicium. L'intensité en nombre de coups est exprimée en fonction de l'angle de diffraction Oméga correspondant à l'orientation des plans cristallins.

### 3. Durée de vie et charges d'interfaces :

Afin d'estimer la qualité de ces couches de silicium monocristallin recristallisé sur oxyde, nous avons effectué des mesures de durée de vie, sur des wafers 4 et 6 pouces. Les motifs SOI présents sur ces deux types de wafers sont représentés sur les figures II. 12 et II. 9.

Le wafer 4 pouces testé est un substrat de type P, il comporte des motifs SOI avec une épitaxie de  $30\mu\text{m}$  de silicium dopée à l'arsenic, après recuit de recristallisation (le dopage sur Bulk est de  $5.10^{15}$  at/cm<sup>3</sup> et le dopage sur SOI est de  $2.10^{15}$  at/cm<sup>3</sup>, cf. paragraphe II. A. 1 analyse SRP).

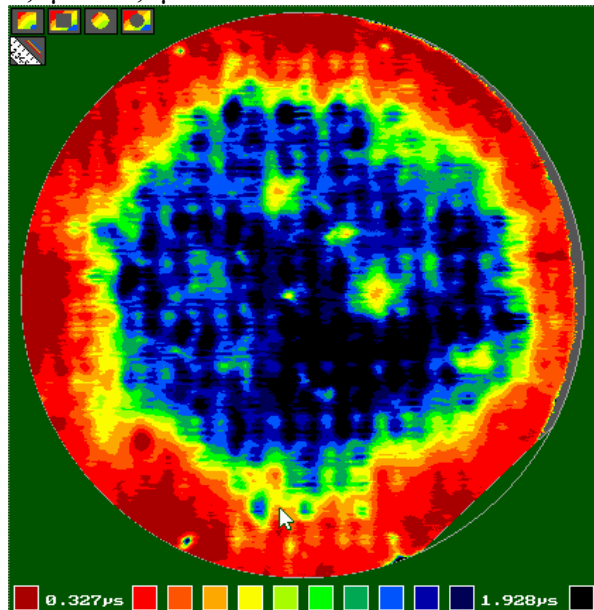
Ce wafer SOI mesuré comporte des motifs de taille minimale  $100 \times 100 \mu\text{m}$  et maximale  $700 \times 1500 \mu\text{m}$ . Ces motifs sont petits vis-à-vis des zones scannées lors de la mesure de durée de vie. On obtiendra donc une valeur moyenne entre les zones d'épitaxie et les zones SOI lors de la mesure de ce wafer.

Un wafer de référence avec une épitaxie de silicium pleine plaque de  $10 \mu\text{m}$  dopée à  $5.10^{15} \text{at/cm}^3$  d'arsenic et sans recuit de recristallisation a été mesuré, la durée de vie approximative obtenue est de 5 à 6  $\mu\text{s}$ . (Les valeurs de durée de vie sont relativement faibles sur les wafers 4 pouces qui ont vu une contamination importante à cause des nombreuses manipulations successives.)

	Après RTP, avant recuit à $1100^\circ\text{C}$
Average ( $\mu\text{s}$ )	1,112
Minimum ( $\mu\text{s}$ )	0,092
Maximum ( $\mu\text{s}$ )	4,494
Deviation (%)	56,8
Median ( $\mu\text{s}$ )	1,135
Hauteur de tête (mm)	3,06 (1,243 + 1,82)

**Tab. II. 5 :** Valeurs de mesure de durée de vie pour un wafer SOI recristallisé, avant recuit curatif à  $1100^\circ\text{C}$ .

Pour le wafer SOI recristallisé, on distingue des zones avec une durée de vie moyenne de  $2,4 \mu\text{s}$  et  $1,6 \mu\text{s}$  au centre du wafer :



**Fig. II. 25 :** Mesures de durée de vie sur wafer SOI recristallisé, avant recuit curatif à  $1100^\circ\text{C}$ . Seules les zones centrales du wafer sont à prendre en compte pour évaluer la durée de vie moyenne en dehors des contaminations apportées par les manipulations successives.

L'influence du recuit rapide en température est ici visible par rapport à un wafer de silicium avec une épitaxie, vierge de tout recuit rapide. Les montée et descente en température très rapides sont à l'origine de contraintes thermiques qui génèrent des défauts de structure dans le matériau et on observe donc une diminution de la durée de vie dans le silicium recristallisé par RTP. La durée de vie moyenne observée après le RTP est deux à trois fois plus faible que celle de l'épitaxie seule.

D'autres mesures de durée de vie ont été effectuées sur des wafers 6 pouces ayant subi la quasi-totalité du procédé de fabrication à MOS20, excepté l'étape de recristallisation. Ces wafers sont donc moins sujets à une contamination extérieure. La durée de vie atteint alors approximativement 20 à 30  $\mu\text{s}$  pour les wafers ayant subi la recristallisation et l'étape de CMP. Cette valeur semble plus fiable que celle obtenue lors des résultats de mesures sur les wafers 4 pouces. La durée de vie ici obtenue est correcte pour des wafers ayant subi une étape de recuit thermique rapide, et peut donc être améliorée grâce à un recuit en température avec une montée et une descente en température lentes, comme celui présenté dans le paragraphe précédent.

- **B. Améliorations possibles :**

**1. Amélioration de la durée de vie :**

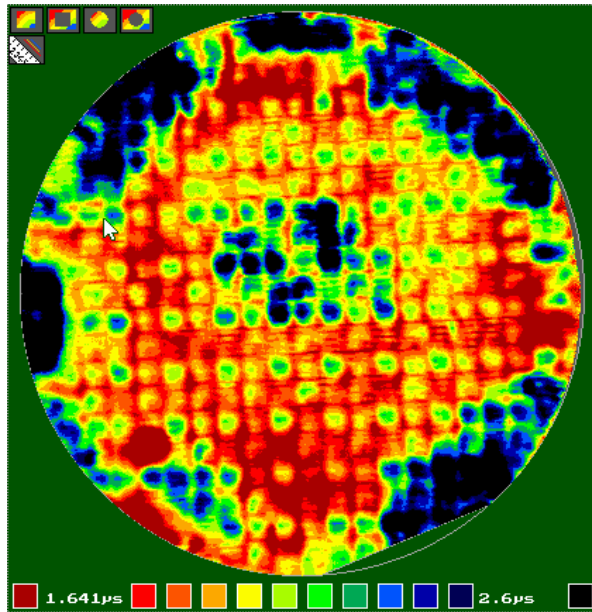
Dans un souci d'améliorer la durée de vie sur ces structures LEGO, nous avons tout d'abord évalué l'influence d'un recuit curatif sur un wafer SOI recristallisé de 4 pouces. Nous avons donc effectué un recuit thermique à 1100°C pendant un palier de 10 minutes, avec une montée et une descente en température très lentes (4h 05 de montée et 4h 10 de descente). Grâce à la montée et au palier en température, ce recuit est susceptible d'améliorer la qualité des couches cristallines comportant quelques défauts cristallographiques, et la descente lente en température garantit que l'on ne va pas créer de défauts supplémentaires au retour à la température ambiante. On suppose donc que l'on peut améliorer la durée de vie dans le matériau grâce à ce type de recuit.

	<b>Après RTP, après recuit à 1100°C</b>
Average ( $\mu\text{s}$ )	2,04
Minimum ( $\mu\text{s}$ )	0,214
Maximum ( $\mu\text{s}$ )	4,963
Deviation (%)	19,5
Median ( $\mu\text{s}$ )	1,95
Hauteur de tête (mm)	3,07 (1,25 + 1,82)

**Tab. II. 6 :** Valeurs de mesure de durée de vie pour un wafer SOI recristallisé, après recuit curatif à 1100°C.

Après recuit à 1100°C, pour ce wafer 4 pouces SOI recristallisé, on distingue des zones avec une durée de vie moyenne de 3,3 $\mu\text{s}$  et 2,1 $\mu\text{s}$  au centre du wafer :





**Fig. II. 26 :** Mesures de durée de vie sur wafers SOI recrystallisé, après recuit curatif à 1100°C. Seules les zones centrales du wafer sont à prendre en compte pour évaluer la durée de vie moyenne en dehors des contaminations apportées par les manipulations successives.

On observe comme espéré une amélioration générale de la durée de vie, due à l'influence de ce recuit sur les défauts cristallographiques inclus dans le silicium recrystallisé.

## **2. Diminution de la quantité de défauts résiduels dus au recouvrement des fronts de recristallisation :**

Un autre type de recuit pourrait permettre de réduire nettement la quantité de défauts cristallographiques résiduels après recristallisation. Ce type de recuit HTA (High Temperature Annealing) est couramment utilisé pour le procédé SIMOX, afin de réduire la quantité de dislocations accumulées dans le matériau SOI après implantation des atomes d'oxygène. Le résultat semble optimal pour une température de 1320 à 1350°C pendant un plateau de 6 à 8 heures, sous atmosphère argon, et avec des pentes de montée et descente en température lentes [9, 10].

La forte température atteinte pendant un long plateau permet de réorganiser les atomes de silicium afin de diminuer la quantité de défauts cristallographiques résiduels, et les pentes de montée et descente en température lentes permettent de s'assurer qu'on ne va pas générer de stress ou de défauts supplémentaires dans la couche du fait de la transition entre température ambiante et haute température, et permettent ainsi d'améliorer la durée de vie.

Les analyses montrent qu'avec un recuit à basse température (1150 à 1200°C), la quantité de dislocations dans les wafers SIMOX peut atteindre environ  $1 \cdot 10^8$  à  $1 \cdot 10^{10} \text{ cm}^{-2}$  et une durée de vie de 10 à 100 ns. Après un recuit à haute température ( $> 1300^\circ\text{C}$ ), la densité de dislocation atteint  $1 \cdot 10^5$  à  $1 \cdot 10^6 \text{ cm}^{-2}$ , et la durée de vie 10 à 150  $\mu\text{s}$  [10].

Un recuit de ce type, sans couche d'encapsulation et sous atmosphère inerte permettrait donc peut-être d'améliorer la densité de dislocations ainsi que la durée de vie de nos wafers recrystallisés.

Cet essai n'a toujours pas pu être réalisé pour des raisons de disponibilité d'équipement.

### 3. Amélioration de la qualité générale du matériau SOI LEGO :

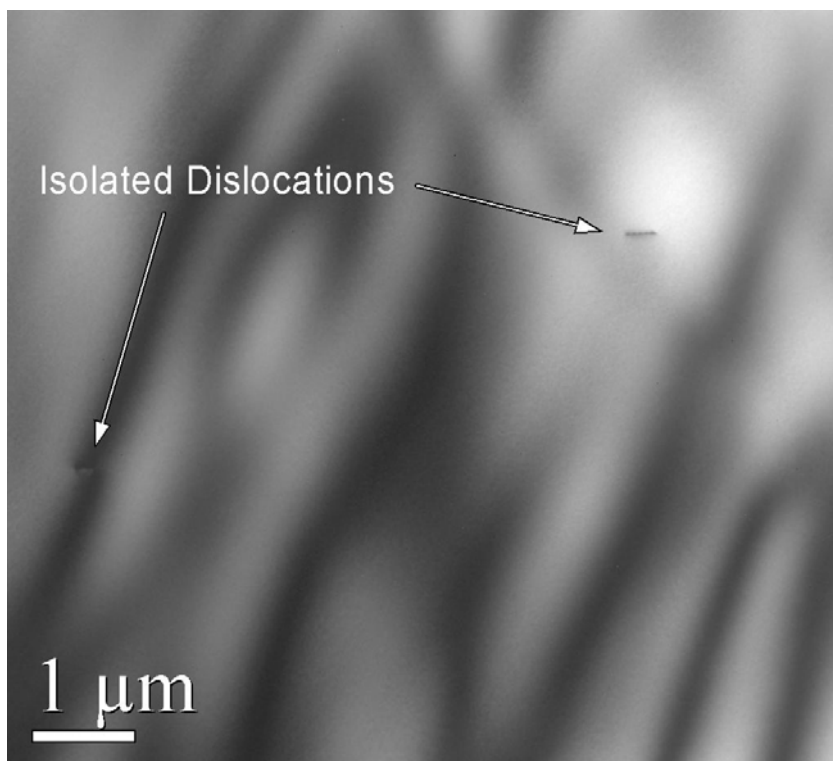
Afin d'obtenir un matériau SOI de très bonne qualité cristalline, nous avons envisagé de faire une reprise d'épitaxie sur un wafer SOI recristallisé et planarisé par CMP.

Grâce à une seconde analyse TEM effectuée, nous avons pu observer les défauts résiduels dans une couche SOI recristallisée, polie et épitaxiée.

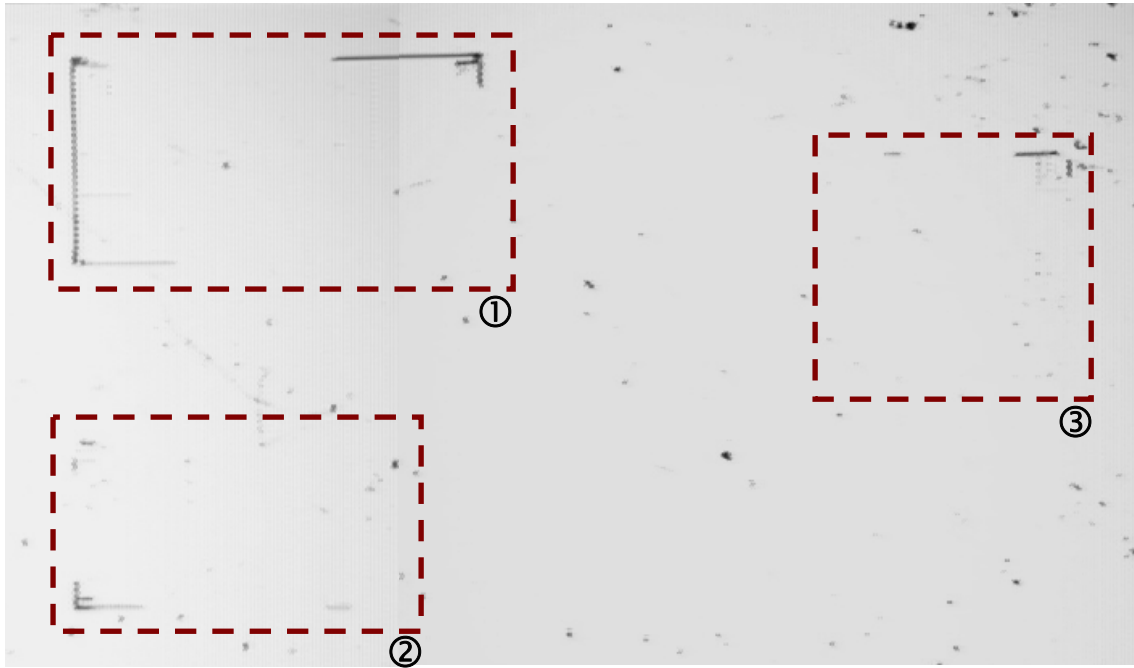
Sur tous les motifs, en dehors du centre, la densité de dislocations est nettement plus faible que celle observée avant l'épitaxie. On observe quelques rares dislocations ou amas de dislocations dans le matériau SOI recristallisé, de manière très localisée, mais en nombre tellement faible qu'il est impossible de les quantifier (Fig. II. 27). Quelques fautes d'empilements ou mâcles traversant toute l'épaisseur du film sont visibles en bord du motif d'oxyde sur une largeur au plus de 30 $\mu\text{m}$  (Fig. II. 28). Elles génèrent une désorientation très localisée du réseau cristallin comparé à celui du substrat sur ces 30 $\mu\text{m}$  en bord de motif.

Cependant, l'orientation de la majeure partie du film recristallisé semble être la même que celle du substrat, et dans la plupart des régions, on n'observe aucun défaut.

Ainsi, la qualité du film SOI avec épitaxie est largement améliorée, et quasiment similaire à celle du substrat, excepté en bord de motifs.



**Fig. II. 27 :** Image TEM en champ clair de dislocations isolées, dans le matériau SOI recristallisé, planarisé et épitaxié.



**Fig. II. 28 :** Image optique vue de dessus de motifs SOI recristallisés, polis, épitaxiés, et révélés avec une solution de Wright etch. Le motif ① mesure 1000 x 2000  $\mu\text{m}$ , le motif ② 8000 x 1400  $\mu\text{m}$  et le motif ③ 1000 x 1000  $\mu\text{m}$ . Les mâcles sont visibles sur les bords des motifs sur une largeur de 30 $\mu\text{m}$  maximum.

## **Conclusion :**

Au cours de ce paragraphe, nous avons pu expliciter l'influence des paramètres thermiques et physiques sur la qualité du motif SOI recristallisé. Ainsi, nous avons pu déterminer deux types de paramètres clefs : les paramètres thermiques et les paramètres géométriques. Les paramètres thermiques clefs sont la hauteur et la durée du palier en puissance de chauffe pour fournir suffisamment d'énergie pour la fusion complète de la couche poly-cristalline, et la vitesse de descente en puissance de chauffe qui contrôle la propagation du front de recristallisation. Les paramètres géométriques clefs sont la nature et l'épaisseur d'encapsulant qui permet de maintenir le silicium liquide sur le substrat, l'épaisseur d'épitaxie qui doit être adaptée en fonction de la largeur du motif SOI à recristalliser pour éviter le phénomène de découverture de l'oxyde enterré, et la largeur de la zone de germe, qui doit également être adaptée en fonction de l'épaisseur et la largeur du motif SOI à recristalliser, afin d'assurer un gradient thermique suffisant pour que la recristallisation s'initie.

Les différents plans d'expérience réalisés nous ont permis d'obtenir des motifs SOI monocristallins de 1 et 2mm<sup>2</sup>, sans découverture de l'oxyde enterré, sans contamination supplémentaire du silicium recristallisé, et avec des profils de dopage plats en fonction de la profondeur dans le matériau.

En revanche, les analyses TEM ont révélé la présence de dislocations et mâcles dans le matériau SOI, de manière localisée, et une inclinaison de l'orientation cristalline des zones SOI par rapport au substrat.

Une solution potentielle pour diminuer la quantité de défauts résiduels est le recuit à 1300°C pendant 6 à 8 heures avec de très lentes rampes en température. L'influence de ce recuit n'a pas pu être évaluée par manque de disponibilité d'un four adapté.

La meilleure solution pour obtenir une très bonne qualité de matériau est d'ajouter une étape de reprise d'épitaxie, après recristallisation et polissage. Ainsi, les motifs SOI de 1 et 2 mm<sup>2</sup> sont parfaitement monocristallins, comportent de très rares dislocations et mâcles, localisées uniquement en bord de motif d'oxyde, et la bonne orientation cristalline est rétablie.

## Références :

- [1] Wright etch: Margarete Wright Jenkins, *J. Electrochem. Soc.* 124 - 757, 1977
- [2] J.P. Colinge, H.K. Hu, S. Peng, "Fabrication of thin silicon-on-insulator films using laser recrystallization", *Electronics Letters*, vol. 21, N° 23, pp. 1102-1103, 1985
- [3] P.W. Mertens, J. Leclair, H.E. Maes, W. Vandervorst, "Oxygen distribution in silicon-on-insulator layers obtained by zone melting recrystallization", *Journal of Applied Physics*, vol. 67, N°12, pp. 7337-7347, 1990
- [4] S. Roux, « Isolation diélectrique des circuits intégrés de puissance par recristallisation en phase liquide », thèse de l'INSA, préparée au LAAS-CNRS en convention CIFRE avec Motorola Semiconducteurs SA France, rapport LAAS n° 01640, 2001
- [5] McD. Robinson, D.J. Lischner, G.K. Celler, "Large area recrystallization of polysilicon with tungsten-halogen lamps", *Journal of Crystal Growth*, vol. 63, pp. 484-492, 1983
- [6] Z.A. Weinberg, V.R. Deline, T.O. Sedgwick, S.A. Cohen, C.F. Aliotta, G.J. Clark, W.A. Lanford, "Investigation of the silicon beading phenomena during zone-melting recrystallization", *Applied Physics Letters*, vol. 43, N°12, pp. 1105-1107, 1983
- [7] G.K. Celler, McD. Robinson, E. Trimble et D.J. Lischner « Spatial melt instabilities in radiatively melted crystalline silicon », *Applied Physics Letters*, vol. 43, n°9, pp. 868-870 (1983)
- [8] P.G. de Gennes, F. Brochard Wyart, D. Quéré, « Gouttes, bulles, perles et ondes »
- [9] H.Fujii, A.Shiraki, M.Kohno, T.Matsumoto, K.Nogi, "Surface tension of liquid silicon", *Osaka University, Joining and Welding Research Institute / 2000*
- [10] S. Cristoloveanu, F. Balestra, "Technologie silicium sur isolant (SOI)", *Techniques de l'ingénieur E 2 380*
- [11] S. Cristoloveanu, S. S. Li, "Electrical Characterization of Silicon-On-Insulator Materials and Devices", 1995, *Kluwer Academic Publishers*

## *CHAPITRE 3*

### *Caractérisation électrique*

Après une analyse physique du matériau obtenu, nous avons également choisi d'évaluer la qualité des substrats obtenus par recristallisation grâce à une caractérisation électrique de composants réalisés sur SOI LEGO. La réalisation de composants de faible et forte puissance sur des substrats SOI LEGO était déjà prévue dans le cadre du projet européen IMPACT. Nous avons eu donc l'opportunité de pousser plus avant la caractérisation des défauts cristallographiques résiduels présents sur les couches SOI recristallisées et d'évaluer leur influence sur les caractéristiques électriques de composants simples basse puissance de type MOS ou bipolaire. Ce projet nous a également donné la possibilité de vérifier certains concepts quant à l'intégration de composants fortes puissance sur des couches SOI « partiellement ouvertes ». Nous désignerons par la suite par le terme SOI partiellement ouvert, des structures présentant une couche d'oxyde enterrée comportant des ouvertures au droit d'une électrode (anode ou cathode).

Il est important de préciser ici que les résultats électriques présentés dans ce paragraphe ont été obtenus sur des substrats SOI recristallisés non optimisés. Pour des questions de délai, nous avons effectivement poursuivi l'optimisation du matériau recristallisé alors que le procédé technologique de fabrication des composants était déjà commencé sur des plaques recristallisées. Les résultats électriques présentés dans ce manuscrit ne sont donc pas les meilleurs que nous ayons pu obtenir.

## **I. Présentation du projet IMPACT :**

Le projet IMPACT [1] est un projet européen qui présente la salle blanche du LAAS comme une plateforme d'accueil pour la réalisation de prototypes. Une partie de ce projet était notamment dédiée à la réalisation de composants de puissance sur substrat SOI, en collaboration avec l'Université de Cambridge (Department of Engineering). Pour plus de facilité, dans la suite du manuscrit nous désignerons cette partie du projet par le terme « projet IMPACT ». Ainsi, ce projet avait pour objectif de développer une nouvelle génération de circuits intégrés de puissance basés sur des technologies silicium sur oxyde ouvert ou partiellement ouvert (voir fig. III.8 et III.15). Plus particulièrement, il s'agit de fabriquer sur une même puce à la fois des composants de puissance haute tension et des circuits basse tension en utilisant la technique du SOI partiel. Cette technique, comme déjà exposé, résout les inconvénients des composants de puissance fabriqués sur des substrats SOI standards ou full SOI (FSOI), tout en tirant parti des avantages de la fabrication de ces dispositifs sur SOI – c'est-à-dire l'intégration de circuits CMOS basse tension sur le même substrat. Les circuits désignés dans la suite du texte par circuits « Cambridge », ont en outre la caractéristique de présenter un substrat « ouvert ou partiellement ouvert » pour le composant de puissance haute tension.

Comparée à la technologie standard SOI, la technologie SOI partiel permet d'obtenir des tensions de claquage significativement plus élevées, pour les composants de puissance latéraux sur SOI partiellement ouvert et pour les composants de puissance verticaux sur SOI ouvert, et une réduction de l'auto-échauffement.

Les substrats à SOI partiel ont été fabriqués au LAAS grâce au procédé LEGO (voir Chapitre I et références [2-4]). L'isolation latérale est obtenue par des diffusions profondes p+ ou par tranchées remplies d'oxyde. Un circuit test commun (12 masques) a été conçu pour partie à Cambridge et pour partie au LAAS. Ce circuit de test comporte 4 puces indépendantes. Sur deux de ces puces, l'Université de Cambridge a conçu des composants de puissance latéraux sur SOI partiel [5-10] de type LIGBT (Lateral Insulated Gate Bipolar Transistor) et LDMOSFET (Lateral Double diffused MOSFET) sur SOI partiellement ouvert, tandis que le LAAS s'est focalisé sur l'intégration de dispositifs faible puissance avec des

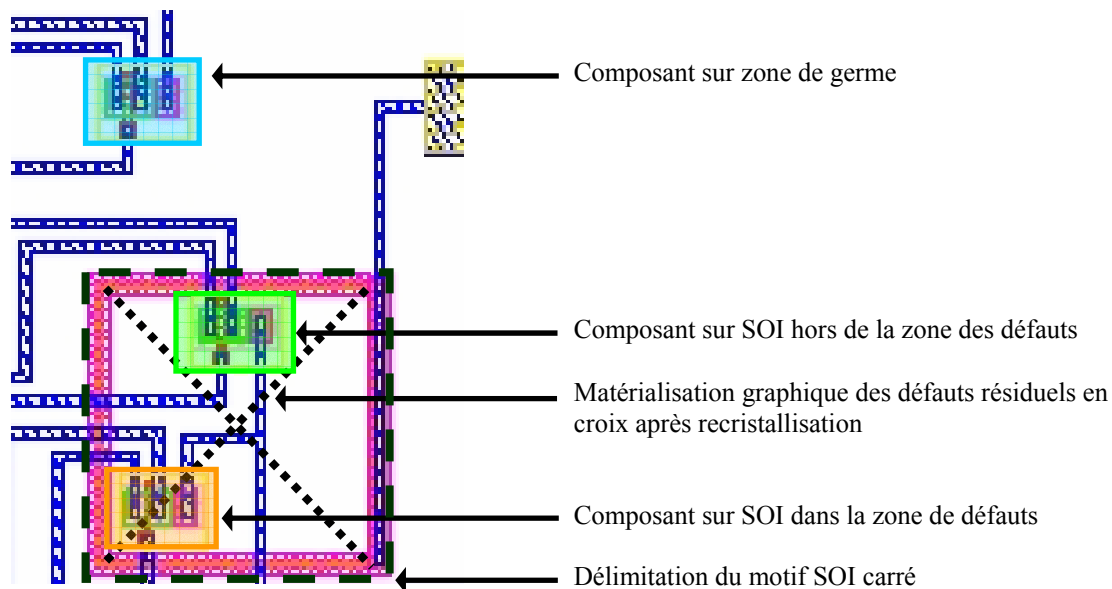
circuits de type MOS, diodes et bipolaires, réalisés sur le SOI. Un procédé de fabrication commun a été développé, d'une part sur la base de la filière technologique déjà existante au LAAS, et d'autre part par le développement de nouvelles étapes avec le support de simulations numériques (sous Athena-Silvaco).

## II. Choix de la géométrie des motifs SOI et du layout des composants

Le procédé LEGO procure des motifs SOI localisés comportant peu de défauts résiduels (voir chapitre II). Les essais effectués grâce au DOE nous ont permis de déterminer que les principaux défauts résiduels après la recristallisation sont situés au centre des motifs SOI et sont en forme de croix pour les motifs SOI carrés ou d'enveloppe pour les motifs SOI rectangulaires. Ces défauts sont visibles seulement pour les motifs SOI les plus grands (au dessus de 300  $\mu\text{m}$  de large).

Ces défauts sont en fait constitués par une accumulation de dislocations alignées avec la diagonale des motifs carrés, ce qui indique une solidification symétrique de par les 4 côtés du motif SOI, et une collision des fronts de recristallisation suivant ces diagonales. La densité de dislocations la plus élevée est bien sûr située au centre des motifs carrés et rectangulaires, à l'endroit où les 4 fronts de recristallisation se rencontrent (Chapitre II. Fig.II.18).

Le layout présenté ci-dessous a été choisi pour évaluer l'influence de ces défauts cristallographiques résiduels sur les caractéristiques électriques des transistors de type MOS ou bipolaire. Les composants sont localisés sur 3 zones différentes : les zones de germe silicium épitaxié sur silicium, les zones SOI en dehors des défauts résiduels, et les zones de défauts résiduels des motifs SOI (Fig. III.1).



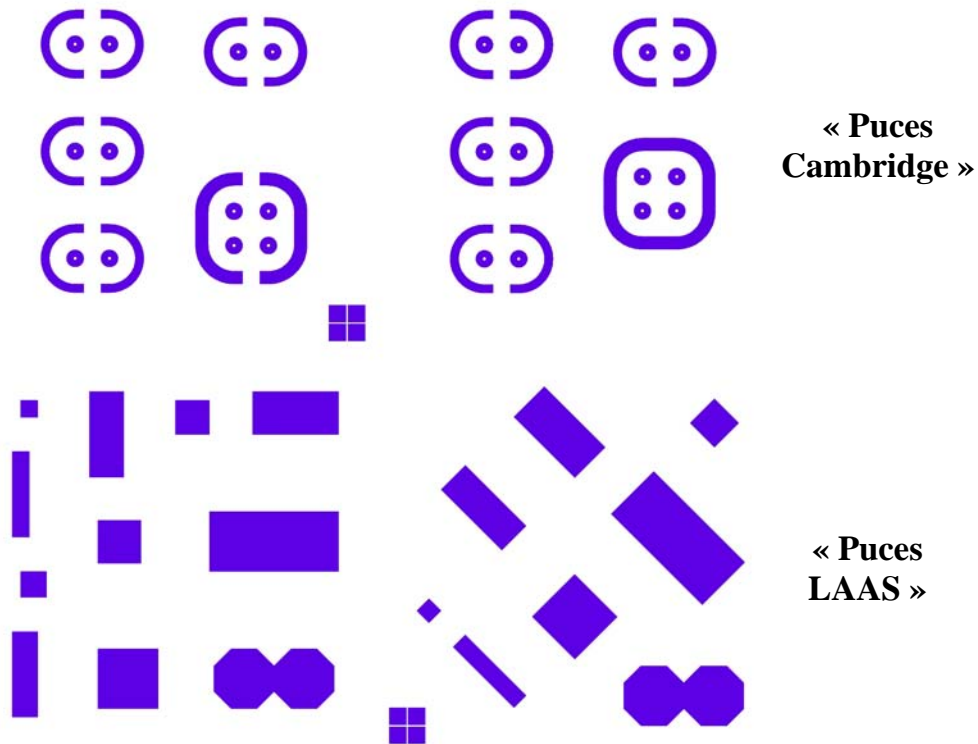
**Fig. III.1 :** Layout des transistors MOS sur germe, SOI en dehors des défauts, et SOI dans la zone de défauts. Le motif SOI est repéré par le carré en pointillés.

### - A. Définitions des zones SOI :

Différentes tailles et géométries de motifs SOI ont été envisagées (Fig. III.2). Des motifs carrés et rectangulaires de largeur variable ont été choisis pour évaluer la qualité de



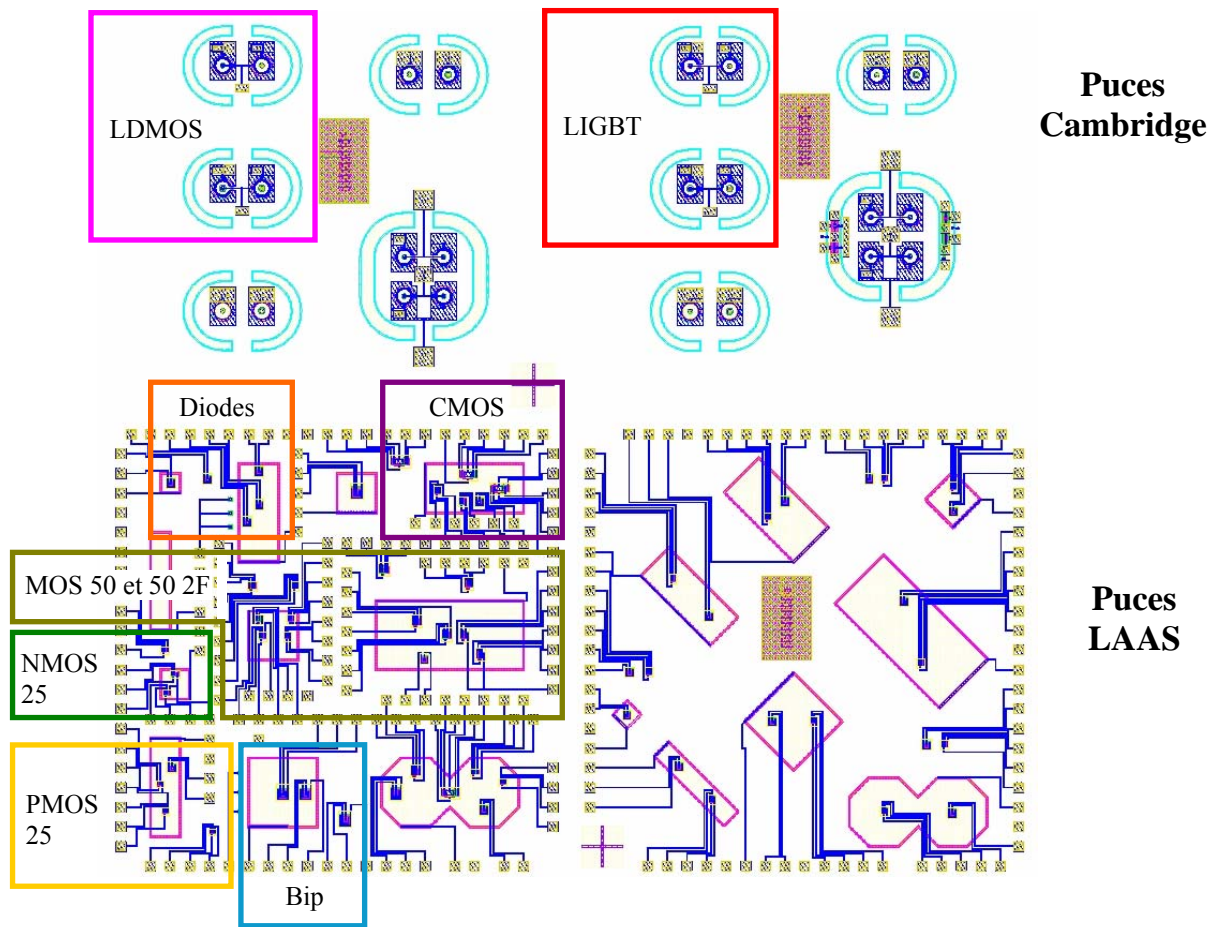
recristallisation en fonction de la largeur et de la surface des motifs SOI. Nous avons également inclus des motifs avec une orientation à 45° par rapport à la direction (100) pour tester les phénomènes de fusion et recristallisation en fonction de l'orientation du motif dans le réseau cristallin, ainsi que des motifs arrondis pour tester l'influence de la forme et des angles au cours de la fusion et recristallisation (voir Chapitre II – I.B.2.3). Les motifs carrés et rectangulaires sont destinés à accueillir les composants basse puissance dessinés par le LAAS-CNRS, et les motifs SOI circulaires sont adaptés aux composants forte puissance dessinés par l'Université de Cambridge.



**Fig. III.2 :** Vue du niveau de masque 0 définissant les zones SOI.

- **B. Présentation du layout complet :**

11 niveaux de masques supplémentaires sont nécessaires pour fabriquer les composants sur le substrat PSOI.



**Fig. III.3 :** Vue de l'implantation des puces du projet IMPACT, tous niveaux de masques superposés.

Les puces proposées par le LAAS comportent des composants faible puissance tels que des transistors PMOS, NMOS, CMOS et bipolaires, et des diodes.

Sur la puce contenant les motifs droits, chaque motif accueille 1 type de composant. Différentes longueurs de transistor ont été choisies pour les transistors MOS. Ainsi on retrouve des transistors de longueur 25  $\mu\text{m}$ , 50  $\mu\text{m}$  et 50  $\mu\text{m}$  à deux doigts.

Sur la puce contenant les motifs inclinés, nous avons décidé d'implanter seulement des diodes et des transistors PMOS 25  $\mu\text{m}$  pour évaluer leur fonctionnalité.

Les puces proposées par Cambridge présentent des composants forte puissance tels que des LDMOS et des LIGBT sur SOI partiel.

Ainsi, 12 niveaux de masques ont été conçus. Ces niveaux de masques sont listés ci-après :

**Niveau 0 :** Masque LEGO - Réalisation des motifs SOI.

**Niveau 1 :** Masque Gravure - Alignement par rapport au niveau 0 et gravure du peigne d'alignement qui servira à aligner tous les autres niveaux.

**Niveau 2 :** Masque Piso - Etape d'isolation  $\text{P}^+$  autour des caissons SOI.

**Niveau 3 :** Masque Pwell - Définition des caissons Pwell.

**Niveau 4 :** Masque Nwell - Définition des caissons Nwell.

**Niveau 5 :** Masque AA - Définition des zones actives et réalisation de l'isolation par LOCOS.

**Niveau 6 :** Masque Poly - Définition de la grille par oxydation et dépôt de poly.

**Niveau 7 :** Masque NA - Définition source et drain des transistors NMOS.

**Niveau 8 :** Masque PA - Définition source et drain des transistors PMOS.

**Niveau 9 :** Masque Contact - Ouverture des contacts.

**Niveau 10 :** Masque Métal - Définition des pistes de métal.

**Niveau 11 :** Masque BPSG - Passivation et ouverture des plots de test.

### **III. Détails du process :**

Les étapes technologiques du procédé IMPACT ayant initialement été déterminées en collaboration avec l'Université de Cambridge, seuls quelques détails restaient à compléter au LAAS par nos soins, grâce à des simulations numériques (sous Athéna-Silvaco), telle que la durée du recuit d'activation - redistribution après implantation des sources P et N.

#### **- A. Liste des étapes technologiques :**

Etape préliminaire : Réalisation des motifs d'oxyde enterré avec le masque de niveau 0 (masque LEGO).

Etape 1 : Révélation Schimmel (cf. Annexe 2 pour les solutions de révélations cristallines) des mires d'alignement dont le principe est défini au paragraphe suivant III. b (Fig. III. 4) ; Photolithographie masque « Gravure » (niveau 1, alignement par rapport au niveau 0 de définition des motifs LEGO) et gravure RIE des peignes d'alignement qui serviront à aligner tous les niveaux de masque supérieurs.

Etape 2 : Photolithographie masque Piso (niveau 2) et implantation de bore P<sup>+</sup> pour obtenir les isolations par jonctions tout autour des caissons SOI. Redistribution pour permettre aux atomes de bore de diffuser jusqu'à la couche d'oxyde enterrée (environ 10 µm de profondeur).

Etape 3 : Photolithographie masque Pwell (niveau 3) et implantation de bore pour obtenir les caissons Pwell accueillant les composants de type NMOS.

Etape 4 : Photolithographie masque Nwell (niveau 4) et implantation de phosphore pour obtenir les caissons Nwell.

Recuit de redistribution et d'activation des dopants à la fois pour les caissons Pwell et Nwell.

Etape 5 : Définition et protection des zones actives par dépôt d'une couche de nitrure, photolithographie avec le masque AA (Active Area, niveau 5) et gravure du nitrure dans les zones non actives.

Etape 6 : Réalisation du Field Implant, par photolithographie avec le masque Pwell (niveau 3) et implantation de bore.

Etape 7 : Réalisation de l'isolation par LOCOS (LOCALized Oxidation Of Silicon). Oxydation thermique épaisse dans les zones non protégées par le nitrure, gravure du nitrure et libération des zones actives. (Cette couche de LOCOS permet de séparer et d'isoler latéralement les différents composants entre eux.)

Etape 8 : Croissance et gravure d'un oxyde sacrificiel, puis croissance de l'oxyde de grille thermique.

Etape 9 : Dépôt de poly-silicium, photolithographie masque Poly (niveau 6), et gravure réactive du poly-silicium pour définir la zone de grille.

Etape 10 : Photolithographie masque NA (niveau 7) et implantation d'arsenic pour réaliser les sources N<sup>+</sup> des transistors NMOS.

Etape 11 : Photolithographie masque PA (niveau 8) et implantation de bore pour réaliser les sources P<sup>+</sup> des transistors PMOS.

Recuit de redistribution et d'activation des dopants pour les sources N<sup>+</sup> et P<sup>+</sup>.

Etape 12 : Oxydation de protection, photolithographie masque CONTACT (niveau 9), et gravure humide de l'oxyde pour ouvrir les contacts.

Etape 13 : Dépôt d'aluminium, photolithographie masque Métal (niveau 10), et gravure du métal pour définir les pistes.

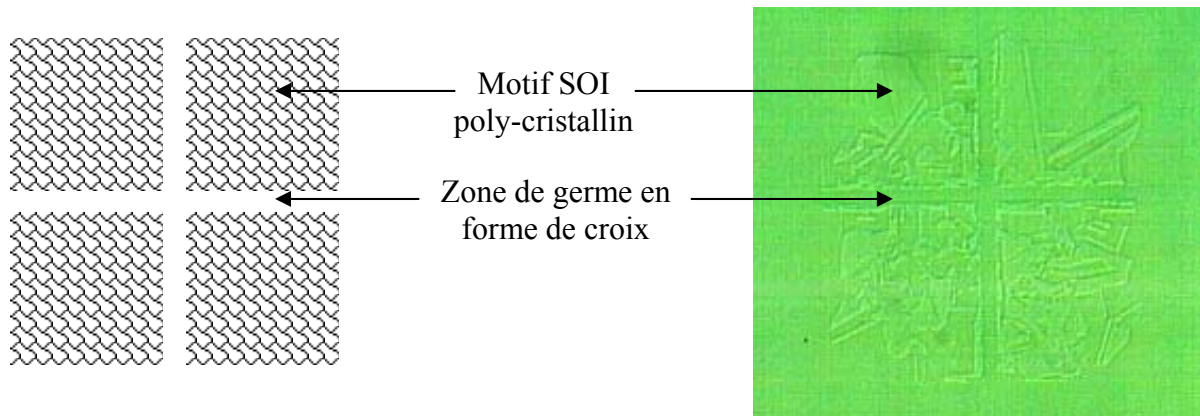
L'étape 14 consiste à passiver la surface avec une couche de BPSG (Boro Phospho Silicate Glass) ouverte sur les plots de métal pour pouvoir tester ou connecter les composants. Cette étape n'a pas été réalisée à cause de la difficulté de traiter des couches BPSG dans la salle blanche du LAAS.

- **B. Remarques à propos du procédé IMPACT :**

- Excepté le niveau 0, qui nécessite une étape d'épitaxie effectuée à Freescale Semiconducteurs et un polissage mécano-chimique (réalisé par l'entreprise Tracit Technologies), ce procédé technologique a été entièrement effectué en salle blanche du LAAS.

Notons également que l'étape n°11 de passivation n'a été effectuée sur aucun des wafers à cause de la difficulté de déposer et traiter une couche de BPSG (Boro Phospho Silicate Glass).

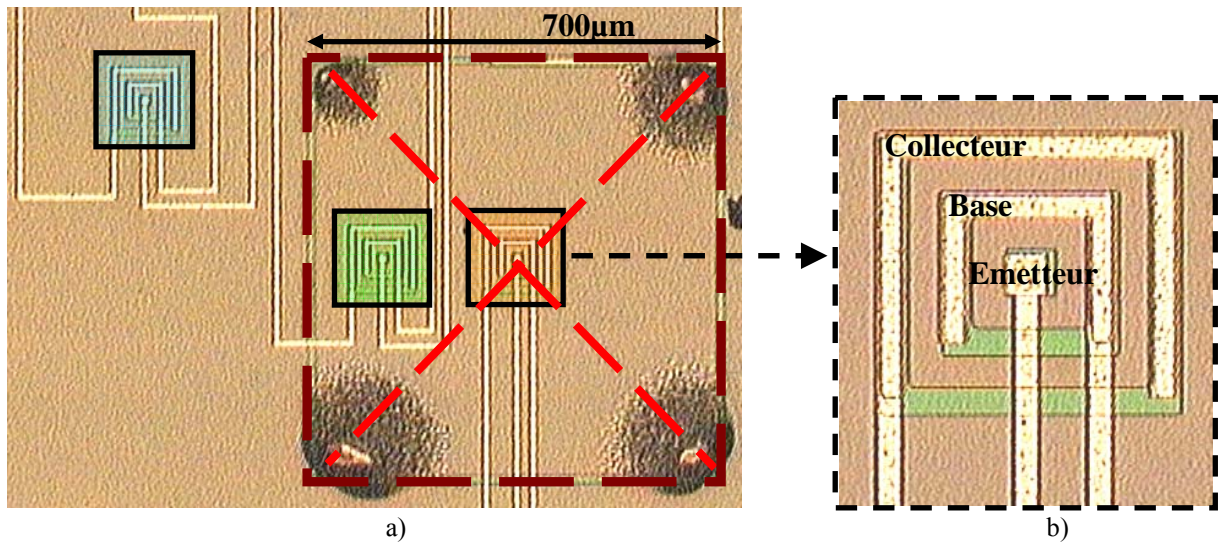
- La méthode originale développée au cours de la thèse de Sylvie Roux pour aligner le 1<sup>er</sup> niveau de masque sur le niveau de masque 0 définissant les motifs SOI a été utilisée ici. On a à nouveau considéré que 4 motifs SOI carrés séparés par une zone de germe en croix très petite ne réussiraient pas à recristalliser quelles que soient les conditions de recristallisation. Ainsi, ces 4 carrés resteraient poly-cristallins, et après une révélation cristalline de type Schimmel etch, seraient facilement repérables au milieu des motifs SOI recristallisés. La figure III.4 démontre ici l'efficacité de la méthode.



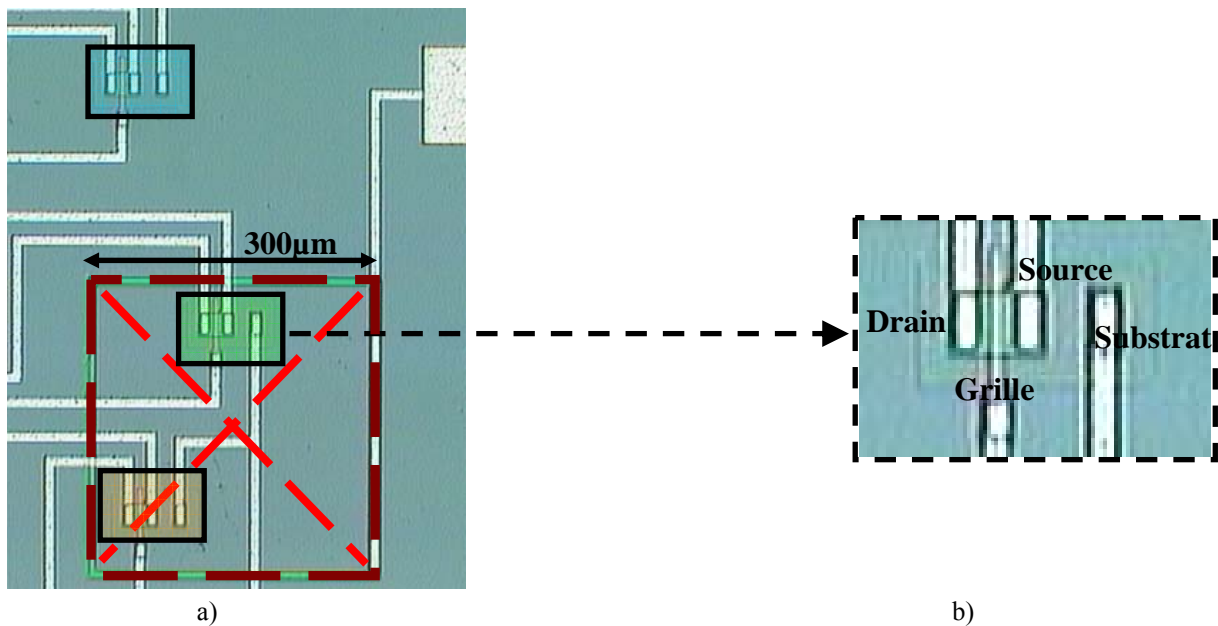
**Fig. III.4** : Figure d'alignement choisie pour aligner le masque n°1 sur le masque LEGO de niveau 0.

- **C. Composants fabriqués :**

Les composants fabriqués sont présentés sur les photos ci-dessous :

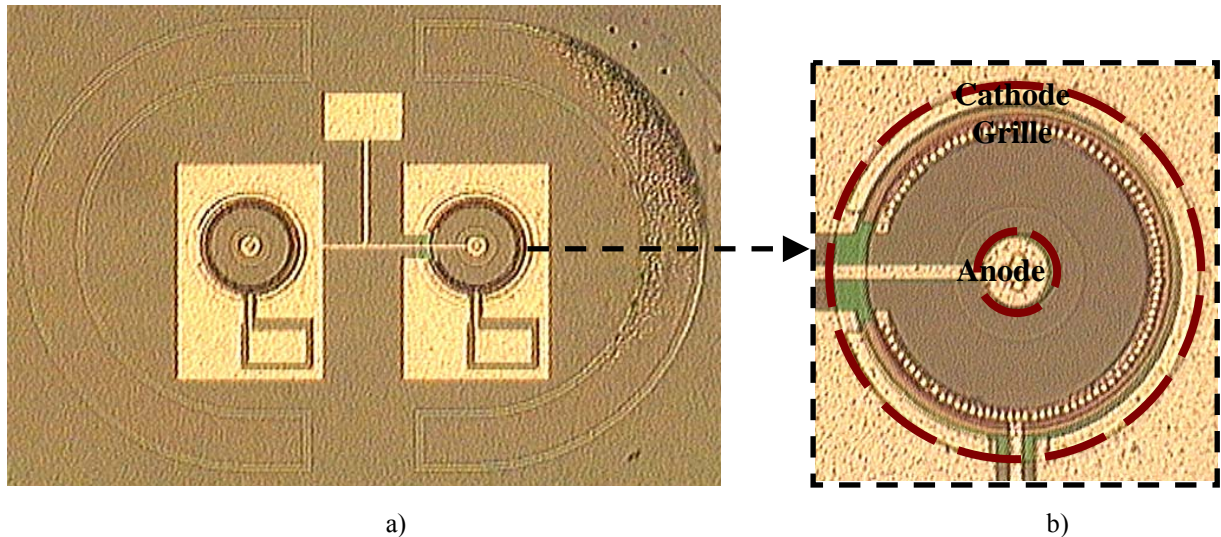


**Fig. III.5 :** Vue optique de transistors bipolaires sur germe, SOI en dehors des défauts, et SOI dans la zone de défauts. Le carré en pointillés matérialise les limites du motif SOI. La croix matérialise l'emplacement de la zone à forte concentration en défauts résiduels dans le motif SOI.



**Fig. III.6 :** Vue optique de transistors MOS sur germe, SOI en dehors des défauts, et SOI dans la zone de défauts. Le carré en pointillés matérialise les limites du motif SOI. La croix matérialise l'emplacement de la zone à forte concentration en défauts résiduels dans le motif SOI.





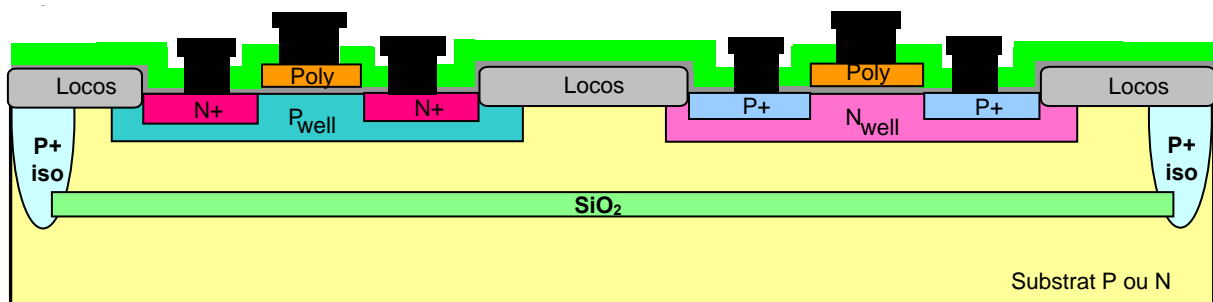
**Fig. III.7 :** Vue optique de transistors LIGBT et LDMOS sur SOI partiellement ouvert. Les cerces en pointillés matérialisent les limites du motif SOI.

#### **IV. Caractérisation électrique :**

Les résultats présentés dans ce paragraphe ont été obtenus pour des composants réalisés sur des couches SOI non optimisées (cf. paragraphe chapitre II). Les courbes et valeurs présentées ci-après ne représentent donc pas les meilleurs résultats que nous ayons pu obtenir sur SOI recristallisé, mais donnent une tendance qui reste à confirmer avec un test de composants sur couches LEGO optimisées. D'autre part, l'absence de wafer « repère » dans ce premier lot réalisé, c'est-à-dire n'ayant pas subi de recuit de recristallisation, ne nous a pas permis de faire une évaluation précise de l'influence du recuit thermique rapide sur les zones dites de germe.

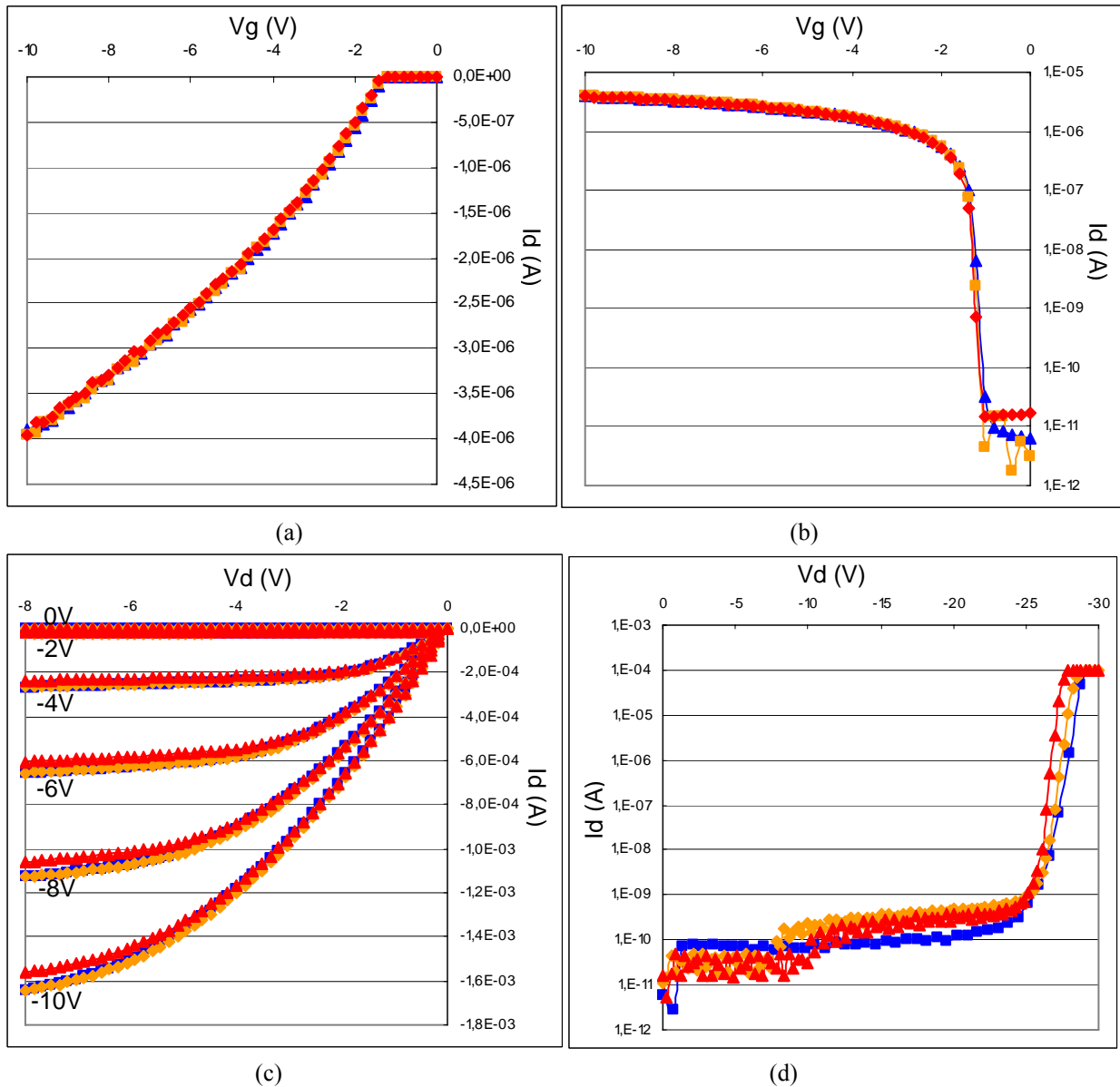
##### **- A. Composants faible puissance :**

Des composants de type NMOS, PMOS, CMOS (Fig. III.8), bipolaires et diodes ont été fabriqués sur substrats PSOI. Des mesures électriques des composants fabriqués lors du projet IMPACT ont été effectuées avec un testeur sous pointe Karl Suss PA200 et un testeur Agilent 4142B, ainsi que grâce à une station Cascade. Les résultats les plus caractéristiques pour les composants de type MOS ( $I_d$  en fonction de  $V_g$  et en fonction de  $V_d$ ) et bipolaires ( $I_c$  en fonction de  $V_{ce}$ , courbes de Gummel et Béta en fonction de  $V_{be}$ ) sont présentés ci-dessous.



**Fig. III.8 :** Coupe schématique des transistors de type PMOS et NMOS sur substrats PSOI.

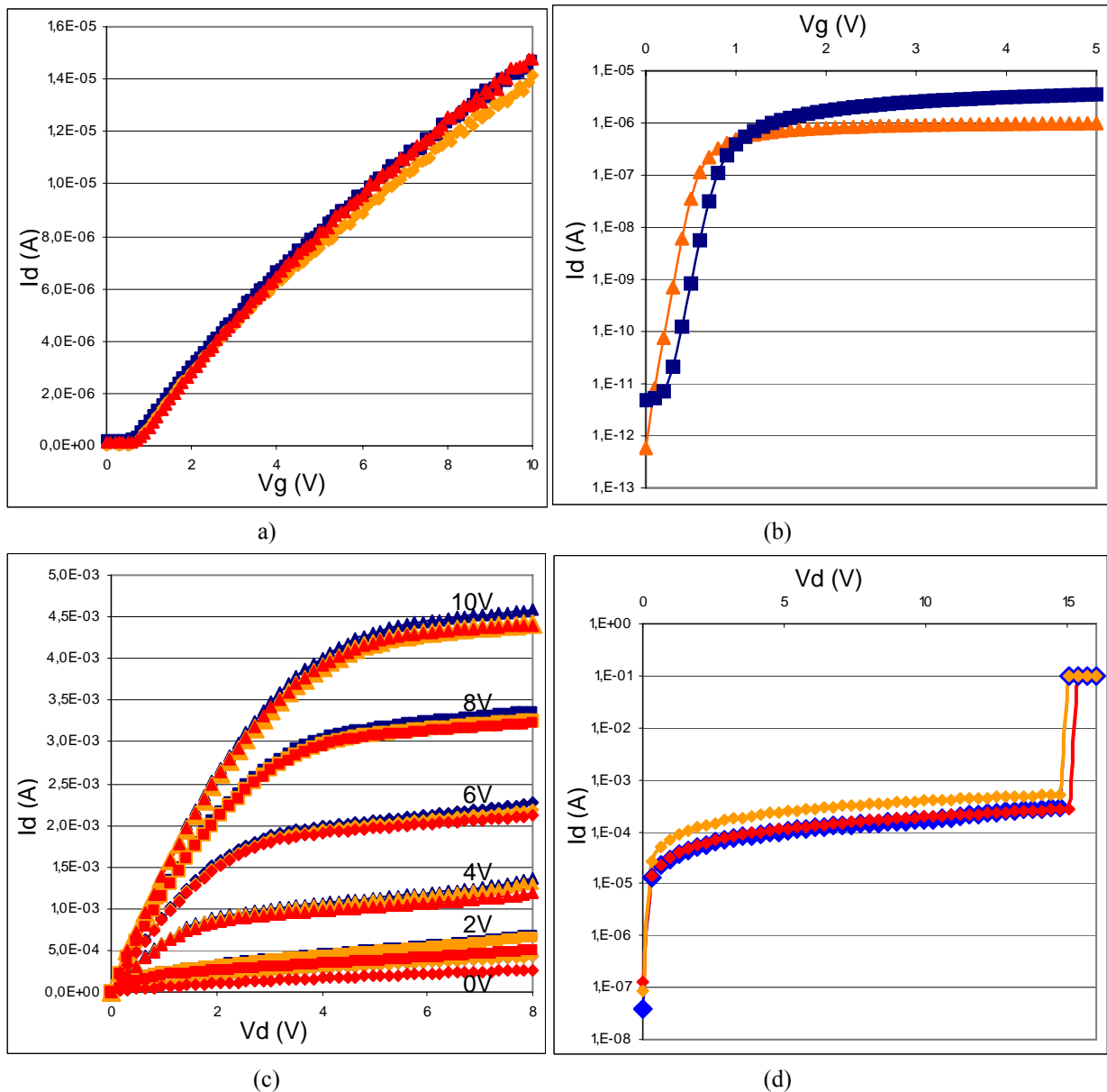
## 1. Transistors MOS :



**Fig. III.9 :** Caractéristiques I(V) de transistors PMOS sur SOI et Bulk. La courbe rouge représente le SOI dans les défauts résiduels, la courbe orange le SOI en dehors des défauts résiduels, et la courbe bleue les zones de germe. (a)  $I_d$  ( $V_g$ ) à  $V_d = -10$  mV, (b)  $I_d$  ( $V_g$ ) en échelle logarithmique à  $V_d = -10$  mV, (c)  $I_d$  ( $V_d$ ) avec  $V_g$  de 0 à -10 V par pas de 2 V, (d) Phénomène de claquage  $I_d$  ( $V_d$ ) en échelle logarithmique à  $V_g = 0$  V.

	Bulk	SOI	SOI défauts
$V_T$ (V)	-1.3	-1.3	-1.3
$\mu$ ( $\text{cm}^2/\text{Vs}$ )	240	239	239
S (mV/dec)	87	94	108
BV (V)	-26	-26	-25.5

**Tab. III.1 :** Tableau présentant les performances de transistors PMOS sur Bulk, SOI et SOI dans les zones de défauts résiduels. La tension de seuil, la mobilité, la pente sous le seuil et la tension de claquage sont comparées.



**Fig. III.10 :** Caractéristiques I(V) de transistors NMOS sur SOI et Bulk. La courbe rouge représente le SOI dans les défauts résiduels, la courbe orange le SOI en dehors des défauts résiduels, et la courbe bleue les zones de germe. (a)  $I_d$  ( $V_g$ ) à  $V_d=10$ mV, (b)  $I_d$  ( $V_g$ ) en échelle logarithmique à  $V_d=10$ mV, (c)  $I_d$  ( $V_d$ ) avec  $V_g$  de 0 à 10V par pas de 2V, (d) Phénomène de claquage  $I_d$  ( $V_d$ ) en échelle logarithmique à  $V_g=0$ V.

	Bulk	SOI	SOI défauts
$V_T$ (V)	0.6	0.6	0.6
$\mu$ ( $\text{cm}^2/\text{Vs}$ )	631	650	630
S (mV/dec)	125	105	--
BV (V)	14.7	14.7	15

**Tab. III.2 :** Tableau présentant les performances de transistors NMOS sur Bulk, SOI et SOI dans les zones de défauts résiduels. La tension de seuil, la mobilité, la pente sous le seuil et la tension de claquage sont comparées. (Un problème technique de traitement de données explique la valeur manquante de pente sous le seuil)



Les mobilités sont calculées à partir de l'expression suivante:

$$\mu = \frac{G_m \times L}{W \times C_{ox} \times V_d}, \text{ avec une longueur de grille estimée à } L=6\mu\text{m.}$$

Les autres paramètres sont :

W : la longueur du transistor (25 $\mu\text{m}$  pour les transistors présentés ici)

C<sub>ox</sub> : la capacité de l'oxyde de grille

V<sub>d</sub> : la tension de drain appliquée (10 ou -10 mV dans ce cas)

G<sub>m</sub> : la valeur maximale de la transconductance, issue de la mesure I<sub>d</sub> (V<sub>g</sub>)

Les caractéristiques obtenues pour les transistors PMOS et NMOS sont très similaires, qu'elles soient sur Bulk, sur SOI ou sur SOI dans les zones de défauts résiduels (Fig. III.9 et III.10). Les tensions de seuil, les mobilités et les tensions de claquage sont égales pour les trois types de localisations (Tab. III.1 et III.2). Les valeurs des pentes sous le seuil apparaissant dans le tableau sont à confirmer dans le cadre d'un nouveau lot, car très affectées par l'absence de passivation.

Pour les transistors PMOS, les courants de fuite sont extrêmement faibles et atteignent les limites de résolution des équipements de mesure. Des courants de fuite compris entre 0,1 et 1pA ont été mesurés pour les zones de germe, les zones SOI en dehors des défauts, et les zones de défauts résiduels dans les motifs SOI.

Pour les transistors NMOS, des problèmes de contamination ont été rencontrés, à cause de l'absence de la couche de passivation en fin de process. Nous n'avons donc pas réussi à mesurer de manière précise les courants de fuite avant la contamination. Toutefois, les premières caractérisations électriques I<sub>d</sub> (V<sub>g</sub>) obtenues permettaient d'estimer ces courants de fuite à environ 1pA avant contamination.

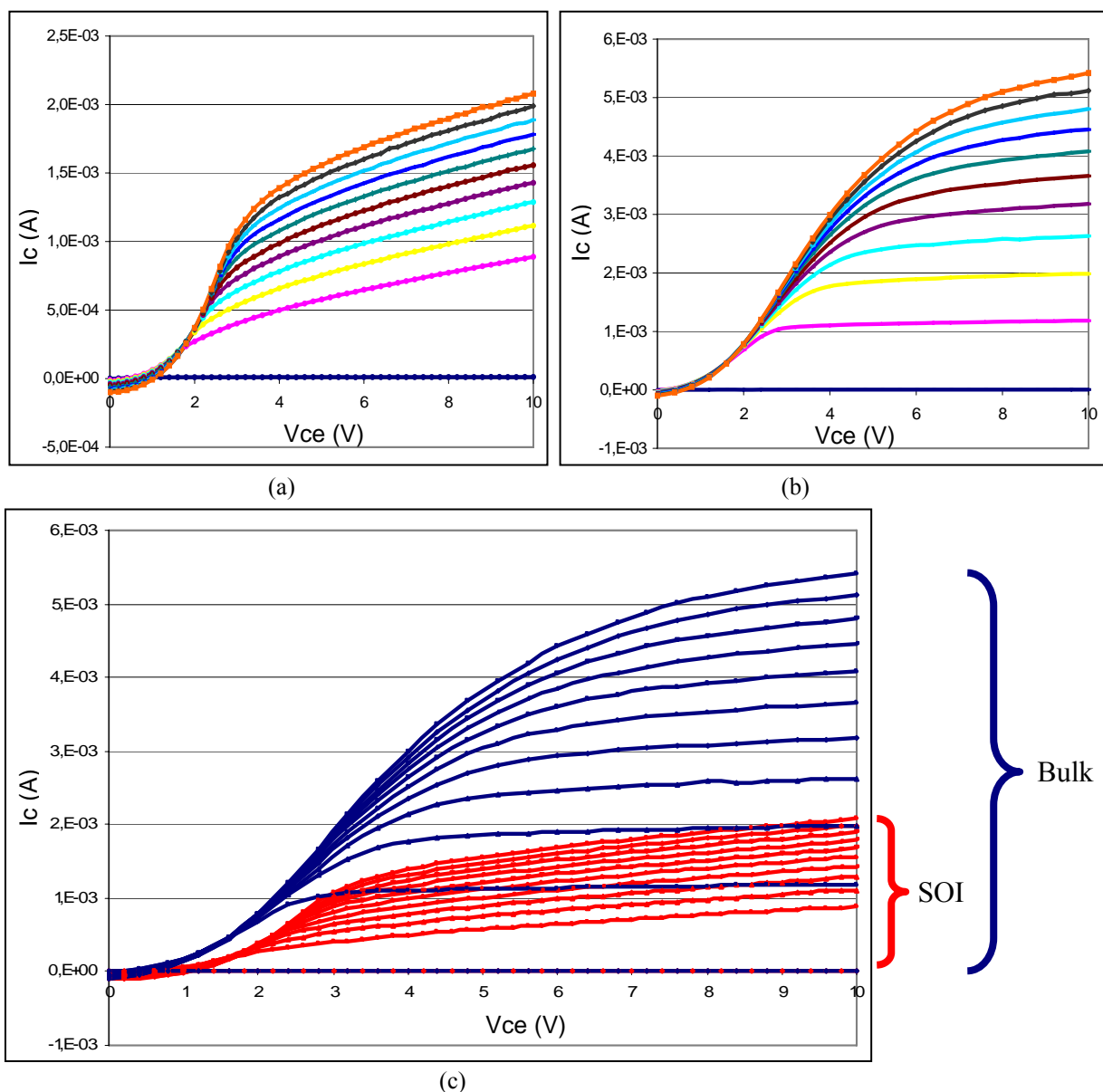
En considérant ces résultats, nous pouvons conclure que les motifs SOI recristallisés ne comportent pas suffisamment de défauts résiduels en surface pour perturber les performances électriques des transistors de type MOS, aussi bien dans les zones centrales comportant des défauts que dans les zones sans défauts résiduels. Ainsi, ces couches recristallisées présentent une qualité cristallographique plutôt bonne pour accueillir des transistors de type MOS.

## 2. Transistors Bipolaires :

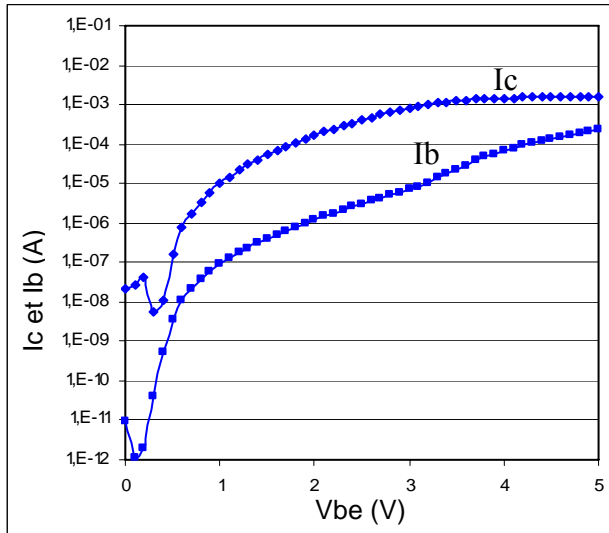
On constate sur les caractéristiques  $I_c(V_{ce})$  (Fig. III.11), que le courant de collecteur est plus faible sur SOI que sur Bulk pour un courant de base  $I_b$  déterminé. De plus, les figures III. 12 et 13 montrent que le gain est plus faible sur SOI que sur Bulk.

En effet, contrairement aux transistors MOS, la conduction dans un transistor bipolaire est principalement verticale (jonctions émetteur-base-collecteur) et implique une zone de silicium beaucoup plus large pour la conduction. Ainsi, la présence de centres de recombinaison créés par des défauts cristallographiques résiduels profonds est beaucoup plus probable que dans la région mise en jeu pour les transistors MOS, et ces centres recombinants sont responsables du faible gain observé sur SOI (Fig. III.12 et 13).

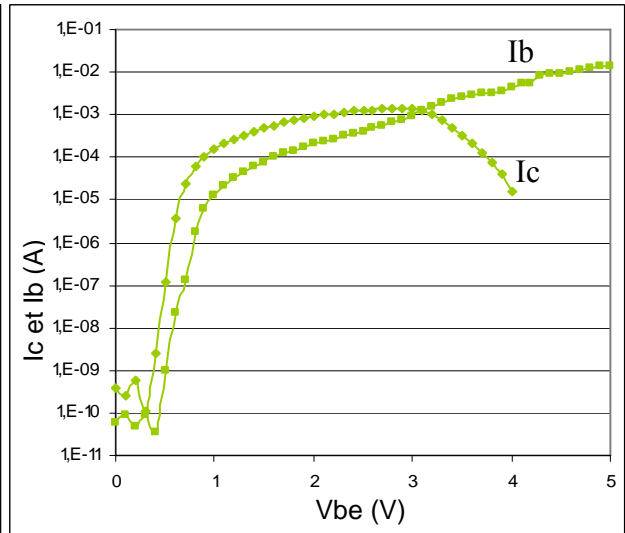
**Note** → La plupart des transistors bipolaires testés sur ces wafers présentent un gain faible, entre 10 et 20, y compris sur les zones de germe. Nous ne pouvons donc pas conclure sur l'impact réel de ces zones recristallisées sur le fonctionnement de ces bipolaires.



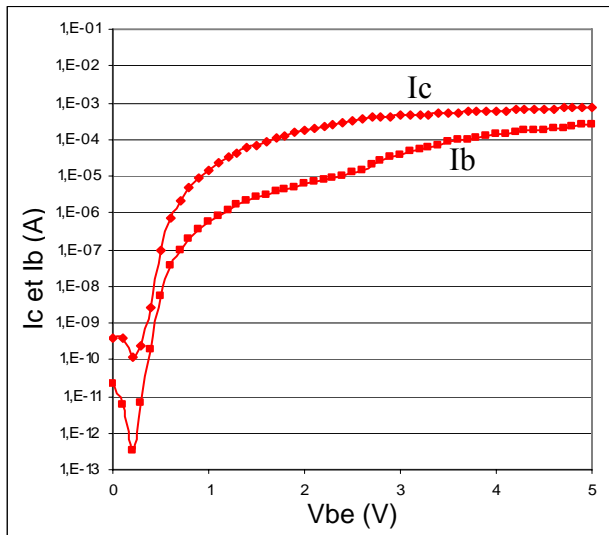
**Fig. III.11 :** Caractéristiques  $I(V)$  de transistors bipolaires sur SOI et Bulk, (a)  $I_c(V_{ce})$  avec  $I_b$  de 0 à 0,1mA par pas de 0,01mA sur SOI, (b)  $I_c(V_{ce})$  avec  $I_b$  de 0 à 0,1mA par pas de 0,01mA sur Bulk, (c) Comparaison de  $I_c(V_{ce})$  sur SOI et Bulk.



(a)

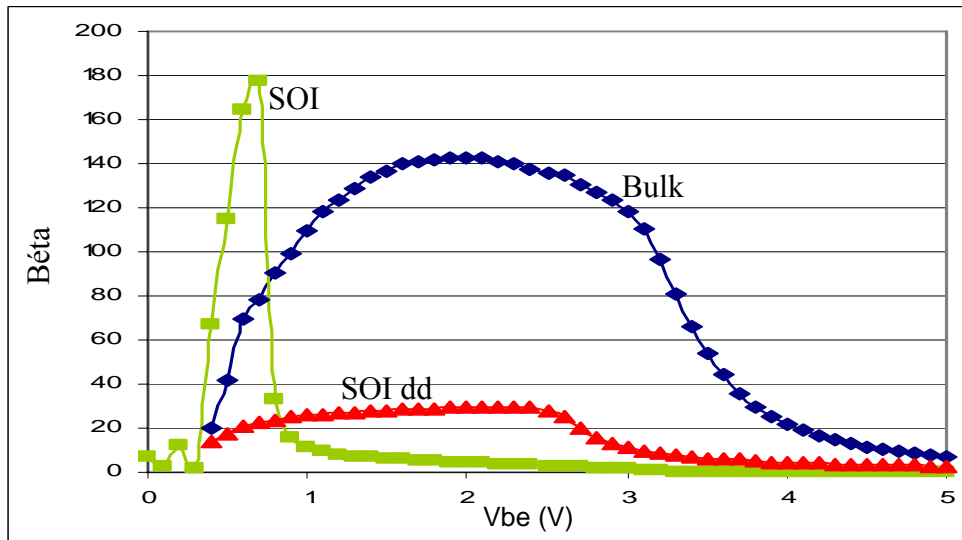


(b)

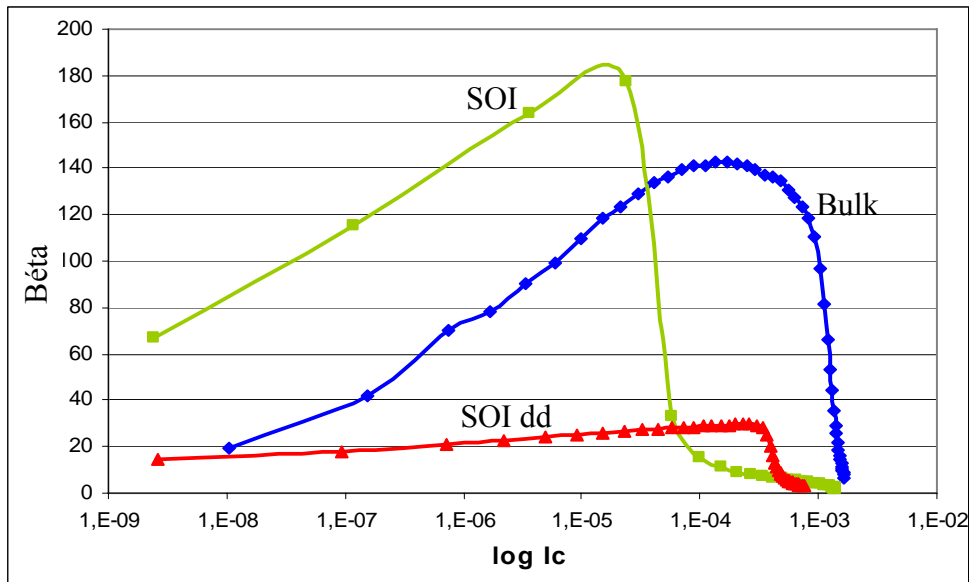


(c)

**Fig. III.12** : Courbes de Gummel I(V) de transistors bipolaires sur SOI et Bulk : (a)  $I_c$  et  $I_b$  ( $V_{be}$ ) en échelle logarithmique sur Bulk, (b)  $I_c$  et  $I_b$  ( $V_{be}$ ) en échelle logarithmique sur SOI, (c)  $I_c$  et  $I_b$  ( $V_{be}$ ) en échelle logarithmique sur SOI dans les zones de défauts résiduels.



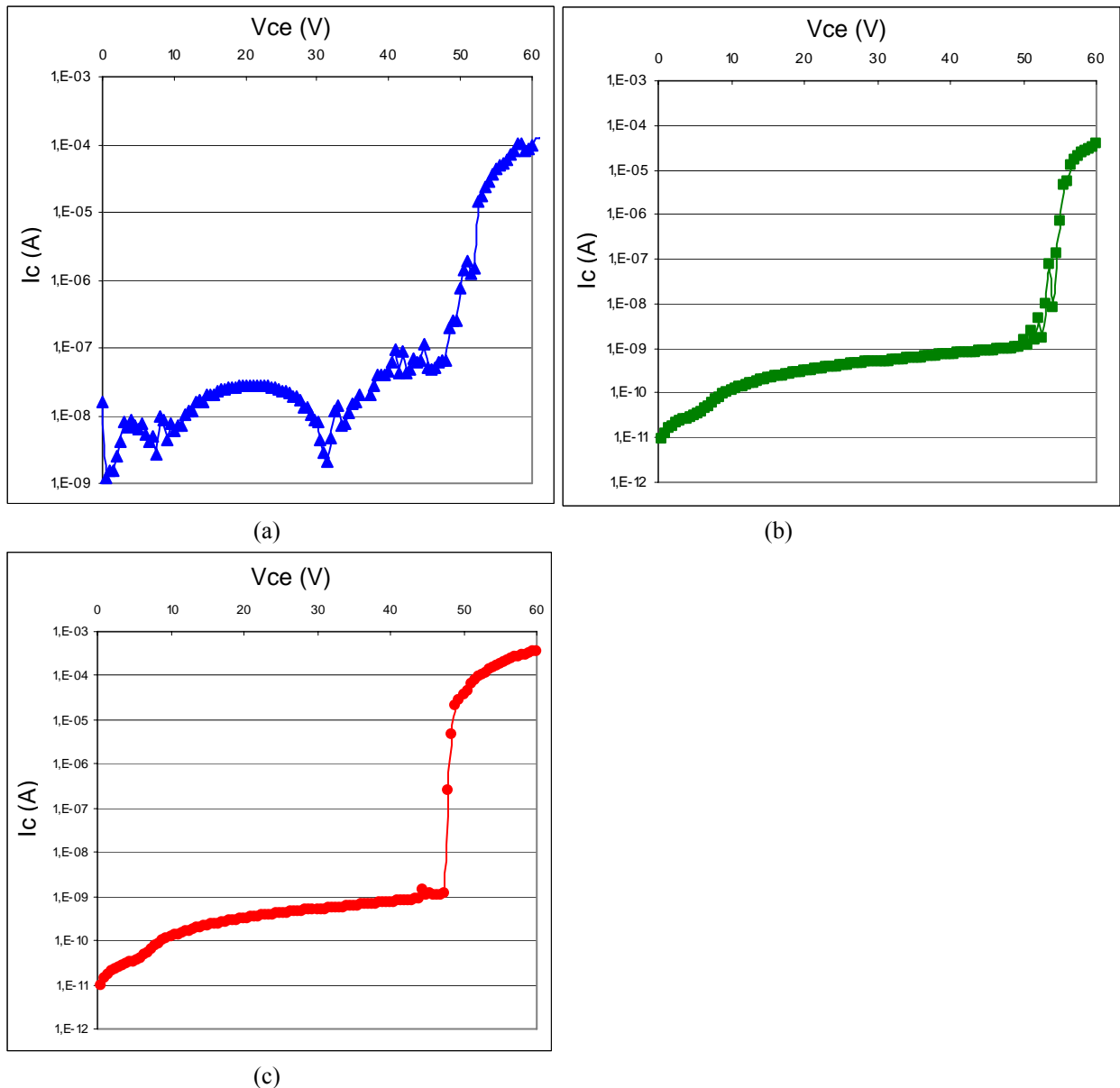
(a)



(b)

**Fig. III.13 :** Caractéristiques électriques I(V) de transistors bipolaires sur SOI et Bulk, courbes de gain : (a) Beta ( $V_{be}$ ) et (b) Beta ( $I_c$  en échelle logarithmique), avec  $V_{ce} = 3V$  sur Bulk, SOI en dehors des défauts et SOI dans les zones de défauts résiduels (SOI dd).

Nous avons également étudié les caractéristiques de claquage de ces transistors bipolaires. Selon ces caractéristiques de claquage (Fig. III.14 et Tab. III.3), il semble que le courant de fuite soit plus élevé sur les zones de germe que sur les motifs SOI. Ce courant de fuite atteint environ 10nA sur Bulk et 0,1nA sur SOI. La tension de claquage, par contre, reste la même, que l'on soit sur Bulk, SOI ou SOI dans les défauts résiduels.



**Fig. III.14 :** Caractéristiques du phénomène de claquage I(V) pour des transistors bipolaires sur SOI et bulk : (a)  $I_c$  (Vce) en échelle logarithmique sur Bulk, (b)  $I_c$  (Vce) en échelle logarithmique sur SOI, (c)  $I_c$  (Vce) en échelle logarithmique sur SOI dans les zones de défauts résiduels.

	<b>Bulk</b>	<b>SOI</b>	<b>SOI défauts</b>
<b>BV (V)</b>	48	48	50
<b>Ioff (A)</b>	$1.10^{-8}$	$1.10^{-10}$	$1.10^{-10}$

**Tab. III.3 :** Tableau présentant les performances de transistors bipolaires sur Bulk, SOI et SOI dans les zones de défauts résiduels. La tension de claquage et le courant de fuite sont comparés.

Les résultats présentés ici de caractérisations électriques sur les transistors bipolaires montrent une réduction importante du gain si le composant est localisé sur SOI. Il semble que les défauts résiduels présents dans le matériau recristallisé dégradent les performances électriques des composants bipolaires. Toutefois, ces caractérisations constituent de premiers résultats, obtenus sur des échantillons présentant de fortes dispersions dans leurs caractéristiques, résultats d'un procédé non optimisé et d'une technologie non évaluée en tant

que telle (aucun substrat n'ayant pas subi de recuit de recristallisation n'a été traité avec ce procédé technologique de fabrication, nous n'avons donc pas de substrat de repère pour notre procédé technologique de fabrication des composants.)

Un second lot avec des couches SOI optimisées (réf au paragraphe du chapitre précédent) est en cours de fabrication au LAAS. Ce lot contient des wafers de silicium massif (wafer de référence), des wafers SOI non recristallisés présentant des zones de silicium poly-cristallin, et des wafers LEGO recristallisés avec un recuit optimisé, certains ayant également subi en plus une reprise d'épitaxie après polissage, pour améliorer la qualité du matériau. Ce lot nous permettra d'évaluer l'influence de couches recristallisées optimisées sur les transistors bipolaires, et de confirmer ou d'invalider les premiers résultats.

### - **B. Composants forte puissance**

Comme nous l'avons déjà précisé dans le 1<sup>er</sup> Chapitre, l'utilisation de substrats PSOI peut être bénéfique pour les applications de puissance (Tab. III.4).

	<b>Bulk</b>	<b>FSOI</b>	<b>PSOI</b>
Isolation	-	+	+
Commutation	-	+	~
Tension de claquage	+	-	+
Thermique	+	-	+

**Tab. III.4 :** Résumé des avantages et inconvénients des trois types de substrats : substrat massif ou Bulk, substrat SOI pleine plaque ou FSOI et substrat SOI partiel ou PSOI.

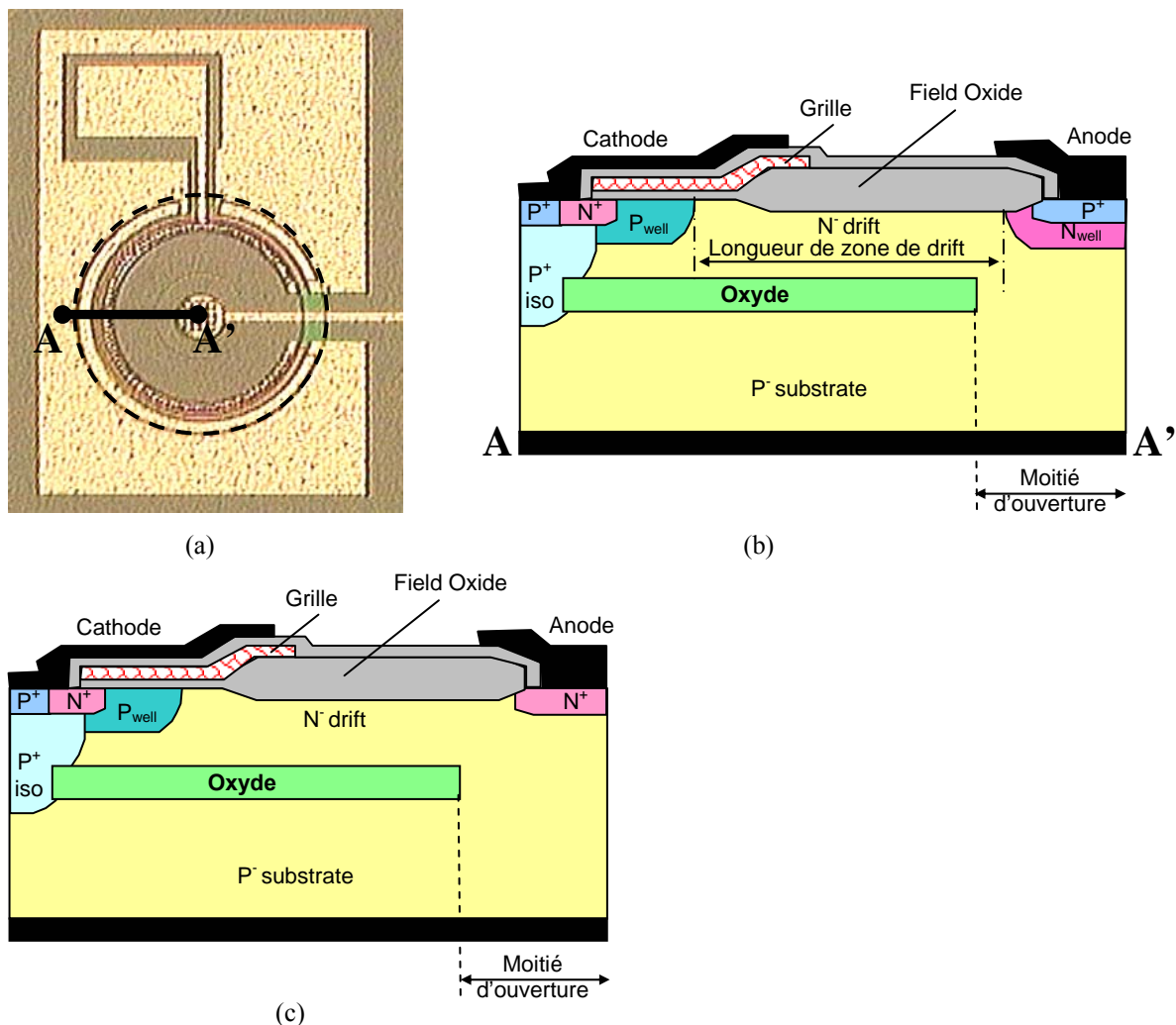
Par rapport à des substrats massifs, les substrats FSOI offrent une meilleure isolation grâce à la présence de la couche d'oxyde enterrée. En effet, les zones de drift des composants sont parfaitement isolées du substrat. Le courant de fuite à l'état off peut être diminué, les pertes à la commutation sont plus faibles, et au cours de l'état on, l'injection de porteurs dans le substrat est évitée, ce qui entraîne une extinction rapide du plasma au cours du passage à l'état off, ainsi la vitesse de commutation est augmentée.

Cependant, les substrats FSOI présentent certains inconvénients : un problème d'auto échauffement peut apparaître, car la chaleur s'évacue moins facilement à cause de la présence de la couche d'oxyde enterrée sous le composant de puissance. L'effet RESURF (Reduced Surface Field) sera également réduit, ce qui peut affecter la tenue en tension. Même si la couche d'oxyde peut supporter une partie de la tension, les champs électriques augmentent dans la couche SOI et provoquent un claquage prématuré et donc une diminution du BV (Breakdown Voltage).

L'utilisation de substrats PSOI peut améliorer certains de ces points : une fenêtre ouverte dans la couche d'oxyde sous l'anode et/ou sous la cathode peut faciliter la dissipation thermique et donc supprimer les problèmes d'auto échauffement, ainsi que permettre à la région de déplétion d'avancer dans le substrat, ce qui réduit le champ électrique régnant dans la zone SOI et crée un effet RESURF. La tension est alors aussi supportée par le substrat, ce qui diminue les risques de claquage prématuré dans la couche SOI et augmente ainsi le BV. On peut également supposer que le BV sera encore meilleur que sur un substrat massif puisque la couche d'oxyde aide aussi à supporter une partie du champ.

Toutefois, le confinement reste quand même suffisamment important dans la couche PSOI pour que le temps de commutation soit amélioré par rapport à un substrat massif, mais on pourrait supposer que le passage à l'état off reste néanmoins plus lent que sur substrat FSOI. La bibliographie nous montre cependant que les valeurs de temps de commutation sont aussi bonnes sur substrat PSOI que sur substrat FSOI [11, 12].

Afin d'évaluer l'impact des substrats PSOI sur les paramètres cités précédemment, une collaboration avec l'Université de Cambridge [10] a permis de fabriquer et de tester des composants de puissance latéraux sur SOI partiel tels que des LIGBTs (Lateral Insulated Gate Bipolar Transistor) et des LDMOS (Lateral Double diffused MOS) (Fig. III.15). Ces composants tirent profit de la présence de la couche enterrée partielle sous le composant. Un layout circulaire (Fig. II.16 - a), plus approprié pour les hautes tensions, a été choisi pour ces composants. Le motif SOI est défini par le cercle extérieur en pointillés mesurant 200 $\mu\text{m}$  de diamètre. Le cercle central constitue l'anode du composant, et une ouverture de 40 $\mu\text{m}$  de diamètre est réalisée en dessous dans la couche enterrée d'oxyde.



**Fig. III.15 :** Nouvelle génération de composants LIGBT et LDMOS sur un substrat SOI partiel (a) photo vue de dessus et (b) coupe schématique d'un LIGBT (la moitié de la structure est ici représentée, l'axe de symétrie est constitué par le contact d'anode), (c) coupe schématique d'un LDMOS.

### **1. Simulations numériques :**

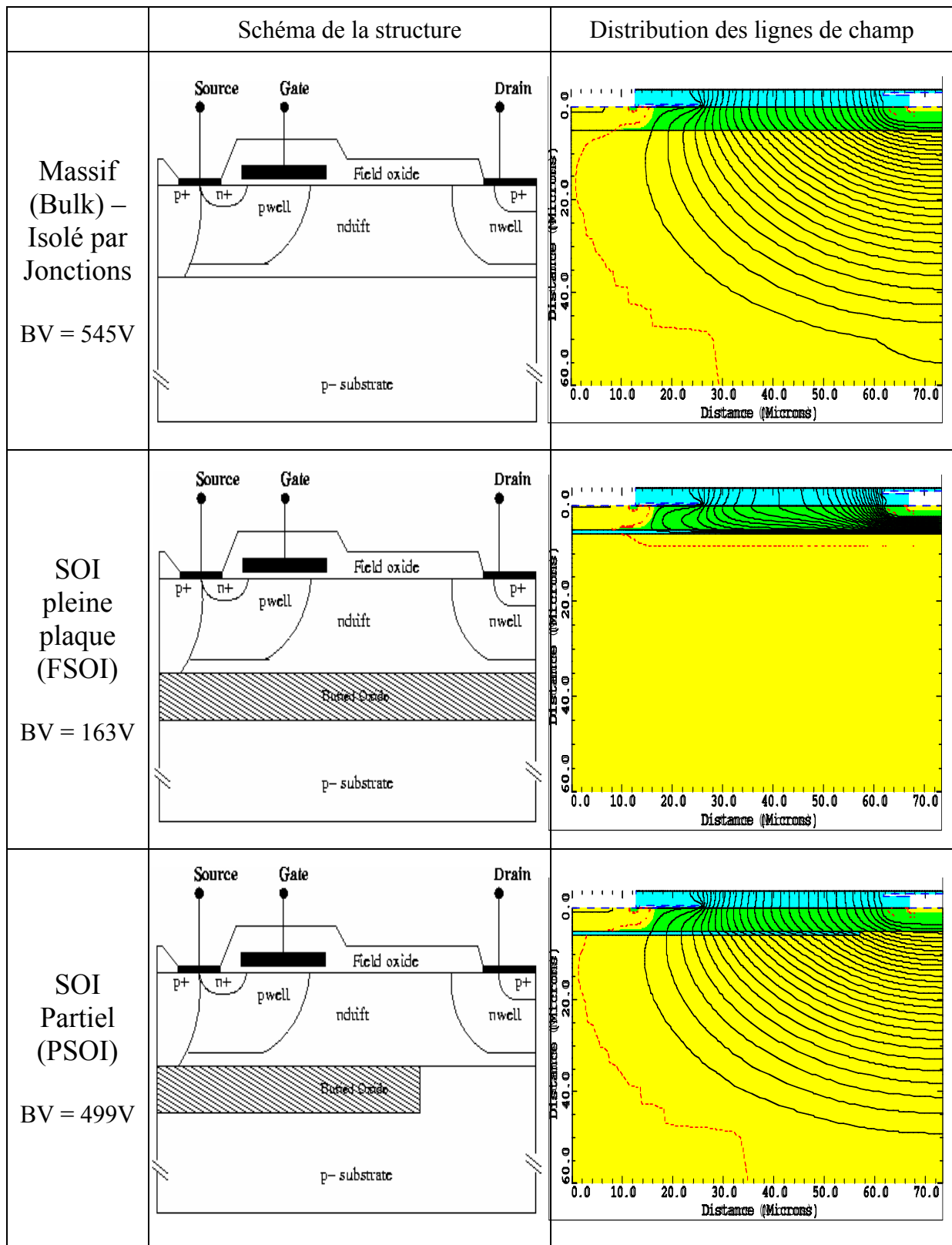
Des simulations numériques ont été réalisées par l'université de Cambridge grâce au simulateur Medici de Silvaco.

- Le tableau III.5 ci-dessous présente les différentes structures LIGBT sur les trois types de substrats (massif isolé par jonctions, SOI pleine plaque ou FSOI et SOI partiel ou PSOI), et la distribution des lignes de champ dans ces structures au claquage. Ces simulations sont réalisées avec des niveaux de dopage optimum pour obtenir de fortes tensions de claquage ( $N_{\text{drift}} = 1.10^{15} \text{ cm}^{-3}$  et  $N_{\text{substrat}} = 1.10^{14} \text{ cm}^{-3}$ ).

On voit que pour un substrat massif, les lignes de champ s'étendent dans la zone épitaxiée et dans tout le substrat. La tension de claquage est de 545V. Pour le substrat FSOI, les lignes de champ sont confinées dans la zone SOI, ce qui crée un claquage prématuré de la structure aux environs de 163V. Les lignes de champ dans la structure PSOI se distribuent de manière similaire au substrat massif. L'ouverture dans la couche d'oxyde enterrée permet d'étendre ces lignes de champ au substrat, de créer un effet RESURF (Reduced Surface Field), et ainsi d'augmenter la tenue en tension jusqu'à 499V, ce qui est très proche de la structure sur substrat massif.

Cette simulation met bien en évidence le fait que l'utilisation d'un substrat PSOI permet d'augmenter la tension de claquage par rapport à un substrat FSOI.



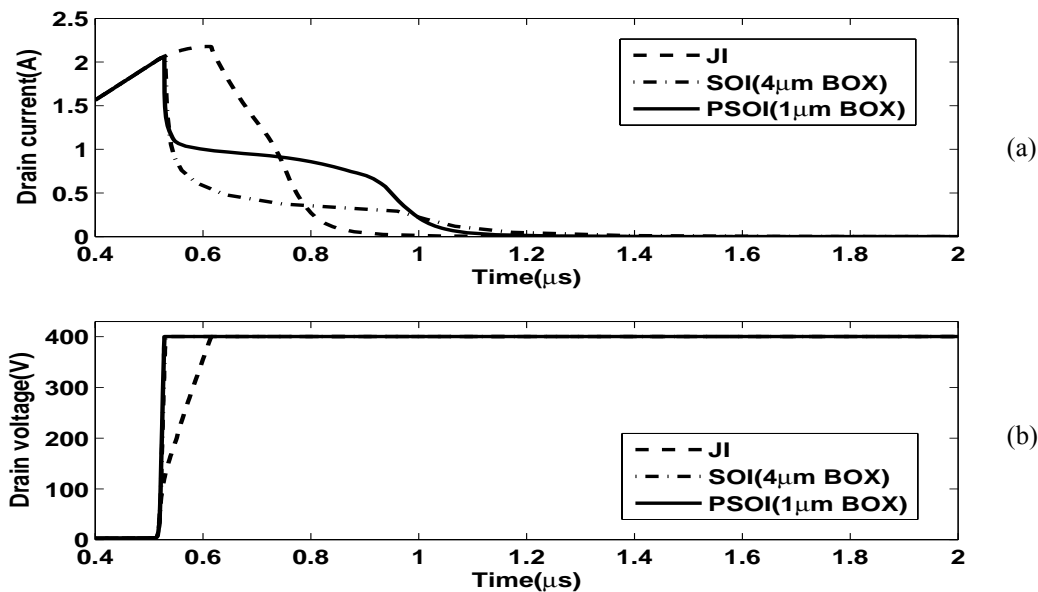


**Tab. III.5 :** Structures LIGBT sur substrats massif, FSOI et PSOI, et distributions des lignes de champ au claquage. Simulation effectuée grâce au logiciel Medici de Silvaco. Epaisseur de la couche d'oxyde = 1µm; Epaisseur de la couche SOI = 5µm; Dopage substrat =  $1.10^{14} \text{ cm}^{-3}$ ; Dopage de drift =  $1.10^{15} \text{ cm}^{-3}$ .

- Les variations du temps de commutation de la structure LIGBT en fonction du substrat ont également été évaluées grâce à des simulations numériques, avec une charge inductive. La fig. III.16 montre l'évolution du courant de drain et de la tension de drain lors du passage de l'état on à l'état off.

*Note :* Dans les conditions particulières de dopage de la structure simulée, le temps de commutation est plus court pour un substrat massif isolé par jonctions que pour un substrat SOI partiel ou pleine plaque. Ce phénomène est explicité dans de précédents articles publiés par l'Université de Cambridge [9, 12].

Cependant, d'après cette simulation, nous avons pu voir que le temps de commutation est similaire sur substrat FSOI et PSOI, et voisin de 600ns. Le courant est plus important sur un substrat PSOI que FSOI à cause de l'injection des porteurs du substrat.



**Fig. III.16 :** Simulation numérique de la commutation de la structure LIGBT. La grille est commandée avec une tension en créneau, et les courbes représentent (a) l'évolution du courant de drain et (b) l'évolution de la tension de drain au cours du passage à l'état off, c'est-à-dire lorsque la polarisation de la grille passe à 0V.

- De précédentes études [10] ont montré que la dissipation thermique était plus importante sur substrat PSOI que FSOI, et donc que la température locale atteinte était plus faible sur structure PSOI que FSOI (Tab. III.6).

La structure PSOI étudiée dans cette publication est différente de celle réalisée ici, la couche d'oxyde enterrée ne présentant qu'une seule ouverture, sous la cathode (ou source). Il est cependant clairement visible que les problèmes thermiques sont réduits sur la structure PSOI. Ainsi, la température locale atteinte pour une densité de courant de drain de 400A/cm<sup>2</sup> est de 317K pour la structure PSOI, alors qu'elle est de 350K pour la structure FSOI.

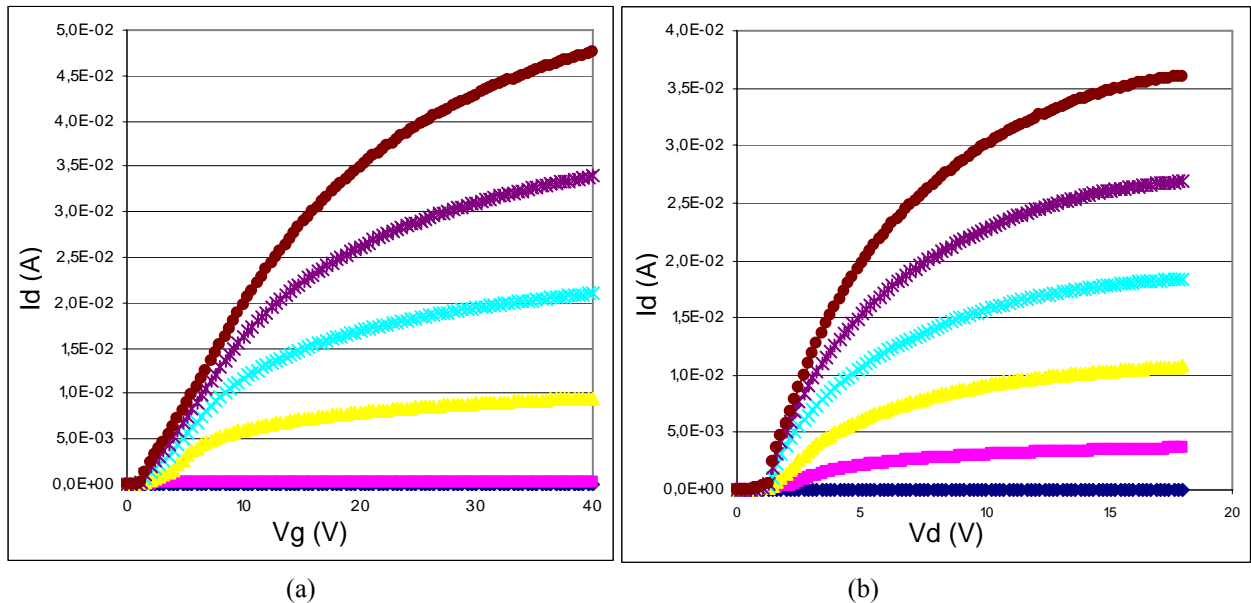
	Full SOI LIGBT	New Partial SOI LIGBT
Maximum temperature at 400 A/cm <sup>2</sup>	350K	317K
Static latch-up	520A/cm <sup>2</sup>	540A/cm <sup>2</sup>

**Tab. III.6 :** Extrait de [10] – Comparaison de structures LIGBT sur substrat FSOI (SOI pleine plaque) et PSOI (SOI partiel).

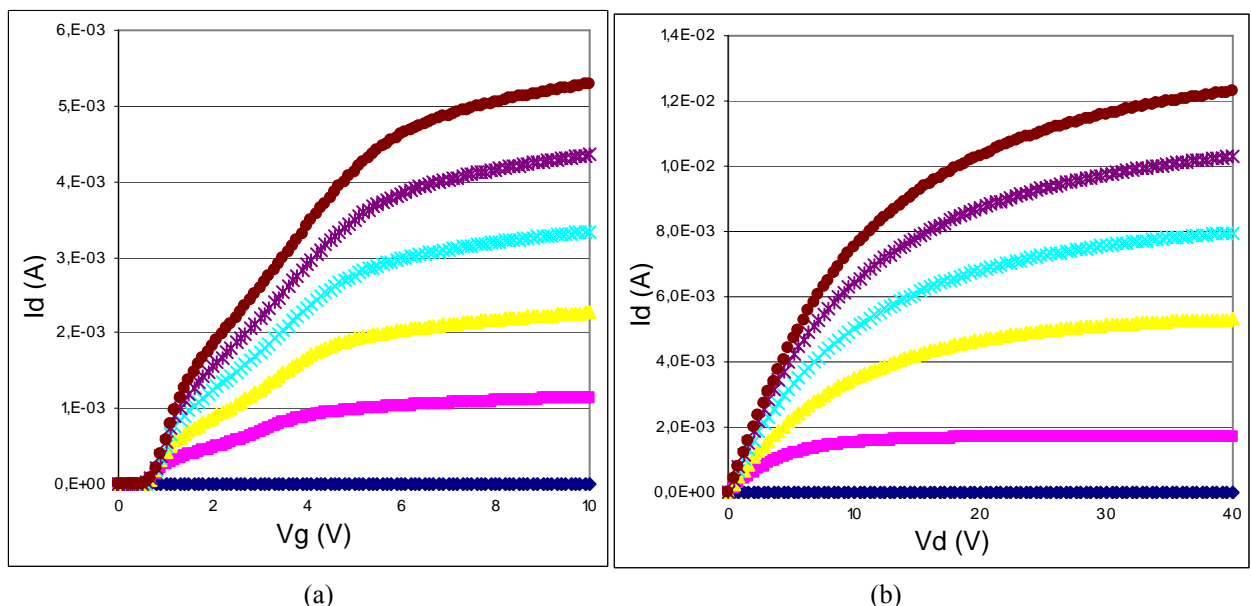
## 2. Mesures électriques :

Des mesures électriques de ces composants de type LIGBT et LDMOS ont été effectuées au LAAS avec les mêmes équipements que pour le test des composants faible puissance, (testeur sous pointe Karl Suss PA200 et testeur Agilent 4142B), ainsi qu'à l'université de Cambridge. Certains de ces résultats sont présentés ci-dessous.

- D'après les caractéristiques électriques obtenues, les composants LIGBT et LDMOS sont entièrement fonctionnels avec des courants de fuite très faibles (voir les caractéristiques DC - fig. III.17 et III.18).



**Fig. III.17 :** Caractéristiques I(V) de composants LIGBT sur SOI partiel, (a)  $I_d$  ( $V_g$ ) avec  $V_d$  de 0 à 5V par pas de 1V, (b)  $I_d$  ( $V_d$ ) avec  $V_g$  de 0 à 10V par pas de 2V.



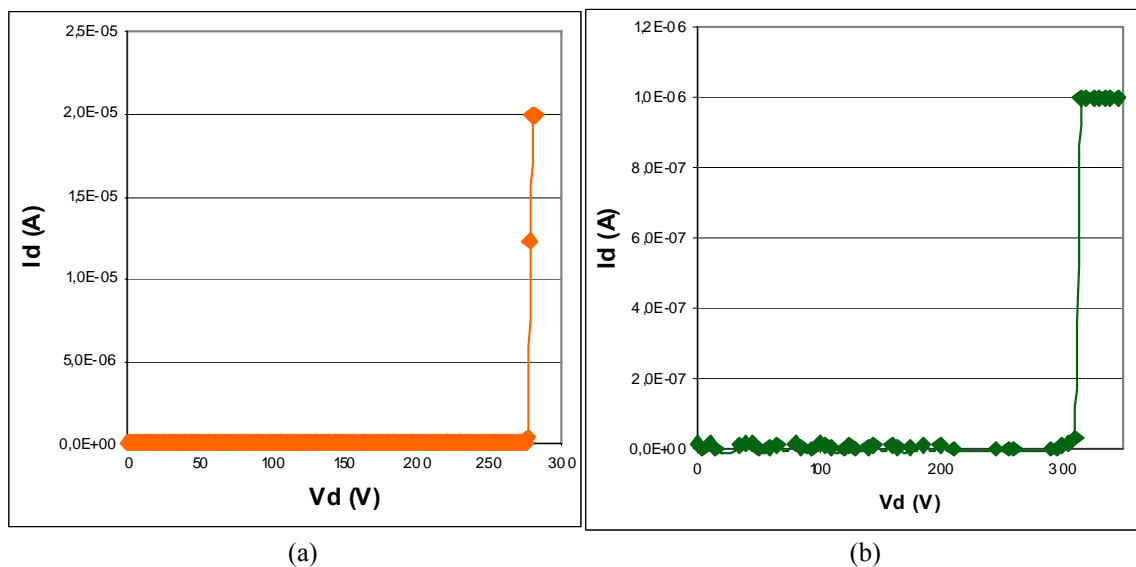
**Fig. III.18 :** Caractéristiques I(V) de composants LDMOS sur SOI partiel, (a)  $I_d$  ( $V_g$ ) avec  $V_d$  de 0 à 5V par pas de 1V, (b)  $I_d$  ( $V_d$ ) avec  $V_g$  de 0 à 10V par pas de 2V.

- Les mesures de tenue en tension sont en accord avec les valeurs prévues par simulation, ce qui confirme l'effet bénéfique de l'ouverture dans la couche d'oxyde. Les composants

LIGBTs atteignent des tensions de claquage moyennes de 280V (fig. III.19 - a). Pour les transistors LDMOS, cette valeur peut atteindre 310V (fig. III.19 - b).

Ces résultats sont conformes aux simulations effectuées pour des dopages équivalents aux structures réelles ( $N_{\text{drift}} = 2.10^{15} \text{ cm}^{-3}$  et  $N_{\text{substrat}} = 6.10^{14} \text{ cm}^{-3}$ ), qui prévoient une tension de claquage voisine de 325V pour les IGBT latéraux. Cela confirme que la présence d'un motif SOI approprié permet d'augmenter de manière significative la tenue en tension des composants en comparaison avec des structures SOI conventionnelles sans ouverture.

*(Attention : les valeurs présentées tab. III. 5 sont simulées pour des dopages différents et montrent la tendance générale en fonction du substrat utilisé. Les mesures obtenues ne sont donc pas directement comparables aux simulations présentées dans ce tableau.)*

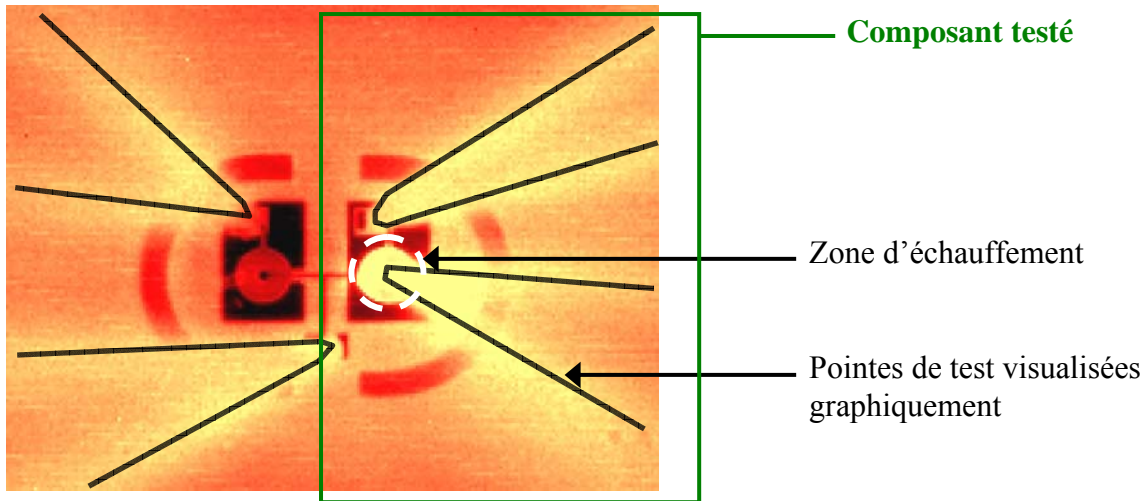


**Fig. III.19 :** Caractéristiques  $I_d (V_d)$  à  $V_g=0V$ . Phénomène de claquage sur SOI partiel (a) composant LIGBT et (b) composant LDMOS.

- Pour ce type de composants, au-delà de l'amélioration des tensions de claquage, il semble utile d'évaluer le comportement thermique et le temps de commutation (ou temps de switch off). Comme cela a déjà été mentionné, il semble que l'ouverture dans la couche SOI en dessous de l'anode permette de dissiper facilement la chaleur à travers le substrat, sans influence néfaste sur le temps de commutation.

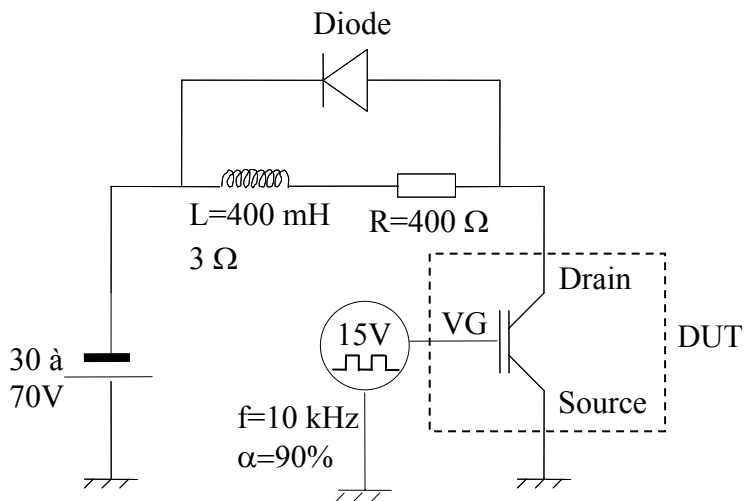
Afin de valider cette hypothèse, des mesures thermiques et des mesures de commutation ont été effectuées sur des LIGBT.

La figure III.20 montre une cartographie de l'échauffement au niveau de la zone centrale, autour du drain et dans la zone de drift. Une température locale de 329K a été mesurée avec  $V_D=19V$  et  $V_G=21V$  pour une densité de courant de drain de  $382A/cm^2$ . Cette mesure concorde qualitativement avec les résultats attendus par l'équipe de Cambridge (voir tab. III.6 qui certes donne des résultats pour une densité de courant plus élevée, mais a été obtenu pour une structure différente) et confirme donc une amélioration au niveau de la dissipation thermique à travers le substrat.

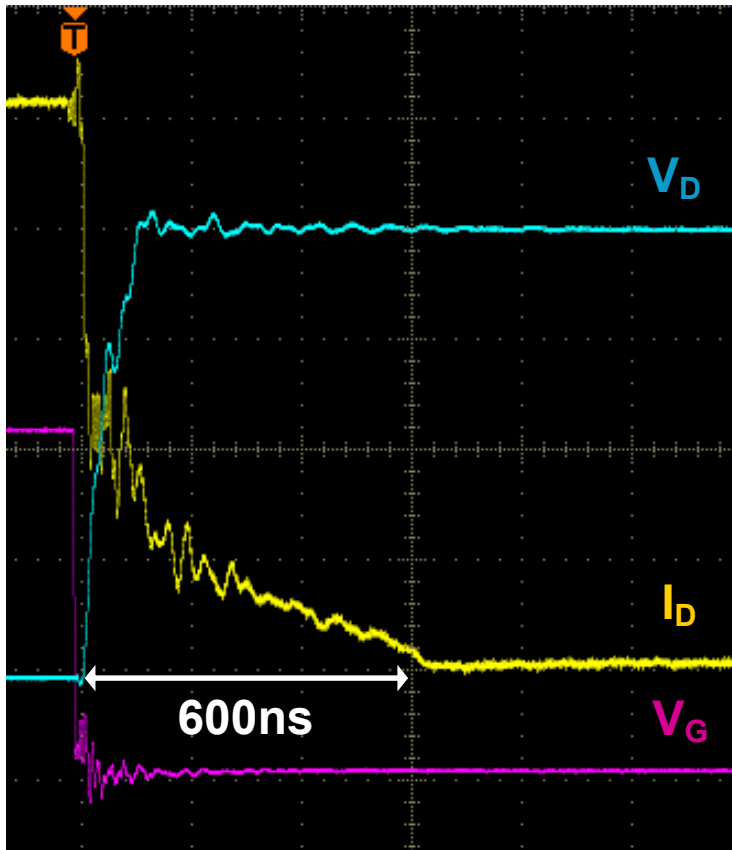


**Fig. III.20 :** Vue en caméra infra rouge de deux IGBT latéraux sur SOI partiel, le composant de droite est testé sous pointes. La zone d'échauffement maximum, correspondant aux zones les plus claires, est visible dans le cercle en pointillés.

Les mesures de commutation ont été effectuées grâce au montage électrique schématisé figure III.21, à travers une charge inductive. Une valeur de 500 à 600ns (fig. III.22) a pu être mesurée, ce qui est du même ordre de grandeur que les résultats obtenus avec les simulations numériques effectuées par l'Université de Cambridge.



**Fig. III.21 :** Circuit électrique utilisé pour les mesures de switch off.



**Fig. III.22** : Résultat de la mesure du temps de switch off pour un LIGBT sur PSOI (10V/carreaux courbe  $V_D$ , 5V/carreaux courbe  $V_G$  et 20mA $\Omega$ /carreaux courbe  $I_D$ ).

Conclusion sur les composants forte puissance « Cambridge » :

Les mesures que nous avons pu effectuer sur ces composants sont conformes aux simulations réalisées par l'Université de Cambridge. Elles démontrent que l'utilisation d'un substrat PSOI obtenu par LEGO peut effectivement améliorer certaines caractéristiques électriques pour des composants de puissance de type LIGBT par exemple.

## **Conclusion :**

Nous avons montré que le procédé LEGO permet de fabriquer des motifs SOI capables d'accueillir des composants de type MOS entièrement fonctionnels et avec des performances électriques similaires à celles de composants implantés sur bulk. Pour les transistors bipolaires, les premiers résultats sont plutôt décevants. Une importante dégradation du gain en courant a été observée, elle est certainement due à des défauts cristallographiques résiduels dans la couche SOI.

Un effort supplémentaire est dorénavant porté sur une nouvelle banque de wafers avec des couches SOI de meilleure qualité grâce à un recuit de recristallisation optimisé, afin d'améliorer le comportement des transistors bipolaires.

Les composants de type LIGBT et LDMOS proposés par l'université de Cambridge sont entièrement fonctionnels et tirent avantage de la structure SOI partielle. Les mesures sont en accord avec les simulations numériques réalisées.

## Références :

1. *IMPACT, Access to Research Infrastructures - Nanotechnologies Project N°HPRI-CT-1999-00076, March 1<sup>st</sup>, 2000-February 28<sup>th</sup>, 2003, <http://www.cordis.lu/improving/infrastructure/themes.htm>*
2. *S. Roux, Isolation diélectrique des circuits intégrés de puissance par recristallisation en phase liquide, Rapport LAAS N°01640, Doctorat, Institut National des Sciences Appliquées, Toulouse, 18 Décembre 2001*
3. *I. Bertrand, J.M. Dilhac, P. Renaud, C. Ganibal, Large Area Recrystallization of Thick Polysilicon Films for Low Cost Partial SOI Power Devices, ISPS 2004, Prague, Septembre 2004*
4. *O. Gonnard et al, Electrical Characterization of Thick Localized SOI Substrates Manufactured by Rapid Thermal Processing for HV Integrated Circuits, 203rd Electrochemical Society Meeting, Paris, France, April 27 - May 2, 2003*
5. *F. Udrea, W.I. Milne and A. Popescu, "Lateral insulated gate bipolar transistor (LIGBT) structure based on partial isolation SOI technology", Electronics Letters, vol. 33, no. 10, p. 907, 1997*
6. *F. Udrea, A. Popescu and W. Milne, "Breakdown analysis in JI, SOI and Partial SOI power structures", Proc. of IEEE SOI conference, p. 102, 1997*
7. *D. M. Garner et al, "The fabrication of a partial SOI substrate", Electrochemical society proceedings, vol. 99-3, p. 73, 1999*
8. *T. Letavic et al, "600V power conversion system-on-a-chip based on thin layer silicon-on-insulator", Proceedings of ISPSD, pp. 325, 1999*
9. *I. Bertrand, V. Pathirana, E. Imbernon, F. Udrea, M. Bafleur, R. Ng, H. Granier, B. Rousset, J.M. Dilhac, "New lateral DMOS and IGBT structures realized on a partial SOI substrate based on LEGO process", BCTM 2005, Santa Barbara, 10 Octobre 2005*
10. *F. Udrea, W.I. Milne, P.L.F. Hemment, "New high voltage device structures in SOI based technology", Electrochemical Society Proceedings, Vol. 97-23, pp. 401-406, 1997*
11. *F. Udrea, D. Garner, K. Sheng, A. Popescu, H.T. Lim, W.I. Milne, "SOI Power Devices", Electronics and Communication Engineering Journal, pp. 27-40, Février 2000*
12. *D.M. Garner, F. Udrea, H.T. Lim, W.I. Milne, "An analytical model for turn off in the silicon-on-insulator LIGBT", Solid State Electronics, V. 43, n° 10, pp. 1855-1868*



# *CHAPITRE 4*

## *Perspectives*

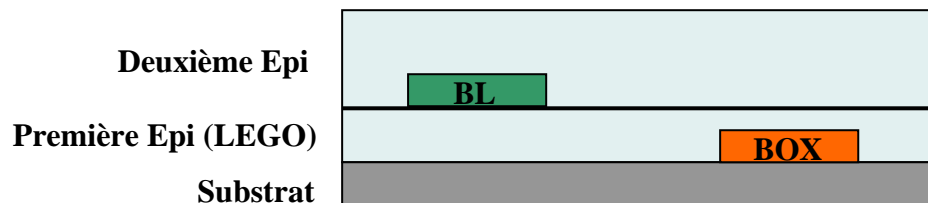
## I. Les applications de type « SmartPower » :

Comme nous l'avons évoqué dans le premier chapitre, la technologie LEGO – SOI Partiel est particulièrement adaptée pour des applications de puissance intelligente, c'est-à-dire la coexistence sur une même puce de composants de commande et de puissance parfaitement isolés les uns des autres (cf. Chapitre I – I. B et C).

D'après les tests des composants de type MOS fabriqués, ces couches SOI recristallisées sont de qualité cristalline suffisante pour permettre le fonctionnement de composants logiques. Les composants de type IGBT latéraux sur un motif SOI adapté au design ont également été évalués comme pleinement fonctionnels. En revanche, pour des composants de type bipolaire sur un motif SOI, les essais n'ont pas été concluants.

Nous avons cherché à optimiser la qualité de ces couches SOI recristallisées afin qu'elles soient compatibles avec tous les types de composants. Une reprise d'épithaxie de silicium sur SOI recristallisé et poli semble être une solution convaincante, puisque la quantité de défauts cristallographiques résiduels est nettement diminuée (cf. chapitre II. II. B. 3), le matériau SOI dans les zones actives des composants est alors de qualité épithaxiale.

Par ailleurs, si on utilise un substrat SOI simplement recristallisé, il n'est pas possible de fabriquer des couches dopées enterrées. En effet, si on implante ces couches dopées avant épithaxie, le recuit de recristallisation qui suit fera largement diffuser les espèces dopantes. La reprise d'épithaxie est là aussi la meilleure solution pour pouvoir fabriquer de tels composants. Il suffit d'implanter les espèces dopantes après recristallisation et polissage, puis d'effectuer une épithaxie de silicium (Fig. IV. 1). Ainsi, après recristallisation et polissage, le procédé se déroule exactement comme pour un procédé classique.



**Fig. IV. 1 :** Coupe schématique du substrat proposé pour les futures technologies SmartPower, avec des motifs SOI et des couches enterrées fortement dopées (BL pour Buried Layer).

Cette reprise d'épithaxie n'impacte pas réellement le coût de fabrication des composants par rapport aux procédés actuels (par exemple, le procédé SmartMos 8 utilise lui aussi deux étapes d'épithaxie). Les seules contraintes supplémentaires pour ce procédé LEGO sont apportées par le masque de définition des motifs d'oxyde enterré, et le CMP nécessaire à la poursuite d'un procédé complet.

## II. Les MEMS :

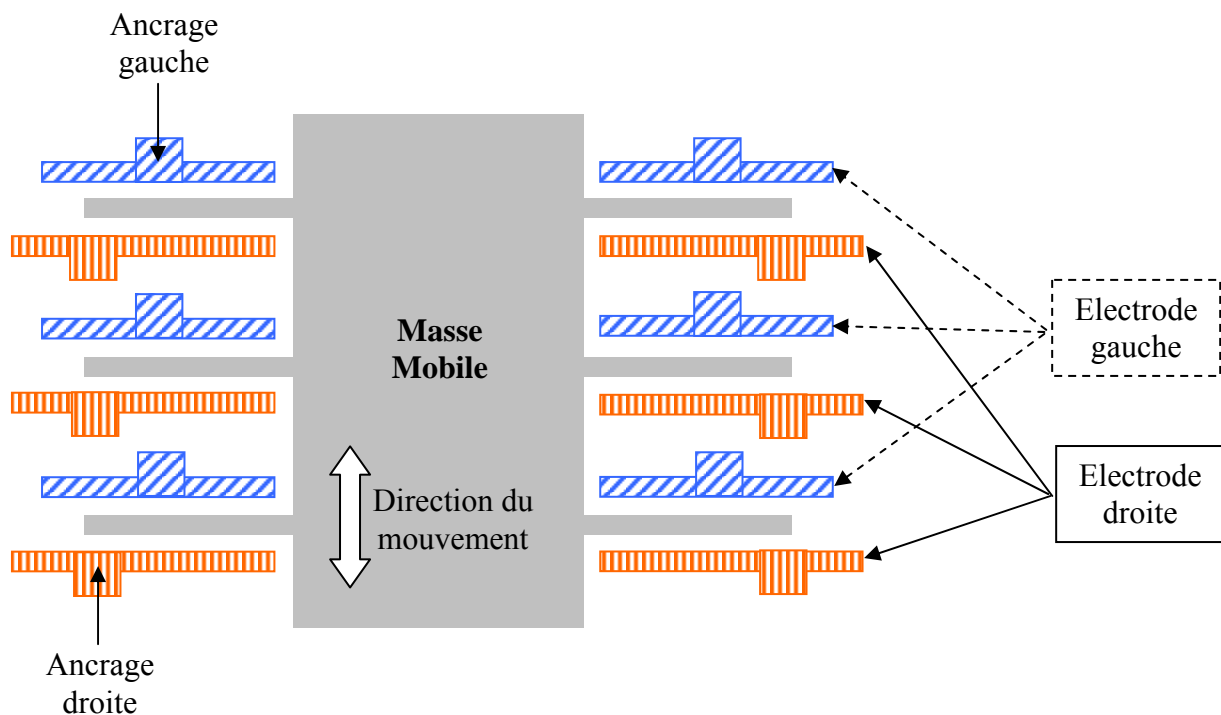
### - A. Le principe des HARMEMS

L'autre application possible de ce type de procédé est la réalisation de microsystèmes, qui a fait l'objet d'un dépôt de brevet à Freescale [1].

En effet, comme nous l'avons déjà expliqué dans le chapitre I. I. B., l'utilisation de substrats de type SOI facilite grandement la fabrication de microsystèmes, grâce à la couche d'oxyde enterré servant de couche sacrificielle pour libérer la partie « active » du microsystème.

Prenons l'exemple de microsystèmes de type accéléromètres HARMEMS (High Aspect Ratio MEMS) qui nécessitent une épaisseur importante de silicium sur oxyde. Le principe de ce microsystème est basé sur la fabrication d'une partie mobile par rapport au substrat de silicium. Lors d'une accélération, la partie mobile entre en mouvement par rapport au référentiel du substrat. Ce mouvement peut être détecté par rapport à la différence de capacité entre le silicium de la partie mobile et le silicium du substrat fixe.

Le design le plus courant pour ce type de MEMS est un peigne mobile inter digité avec des électrodes fixes (Fig. IV. 2) : La masse mobile comporte des électrodes mobiles, qui bougent entre deux types d'électrodes fixes (électrodes gauches et droites, ancrées au substrat par des plots de silicium conducteur ou de nitrure isolant). Le changement de capacité entre les électrodes mobiles et les électrodes fixes donne une indication sur le mouvement et l'accélération.

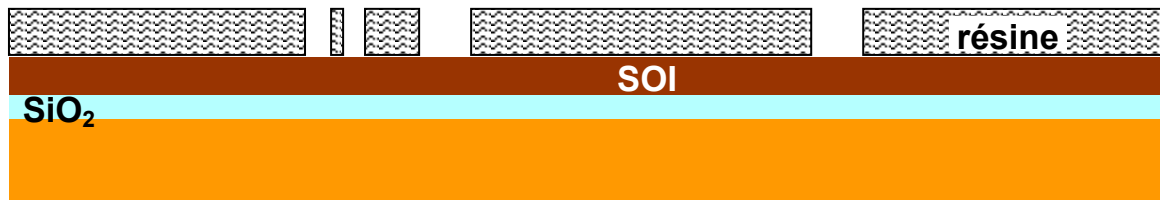


**Fig. IV. 2 :** Principe d'un accéléromètre HARMEMS avec des électrodes inter digitées.

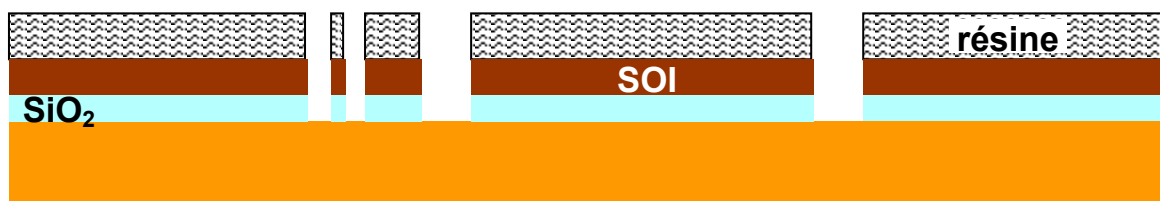
Habituellement, le procédé SmartCut<sup>®</sup> est utilisé pour fabriquer ce type d'accéléromètres (Fig. IV. 3).

Ainsi, à partir d'un wafer full SOI, la structure de base pour les microsystèmes est définie par photolithographie (fig. IV.3.1), gravure RIE de la couche de silicium sur oxyde, gravure de l'oxyde enterré découvert (fig. IV.3.2), définition des plots d'ancrage en nitrure (fig. IV.3.3),

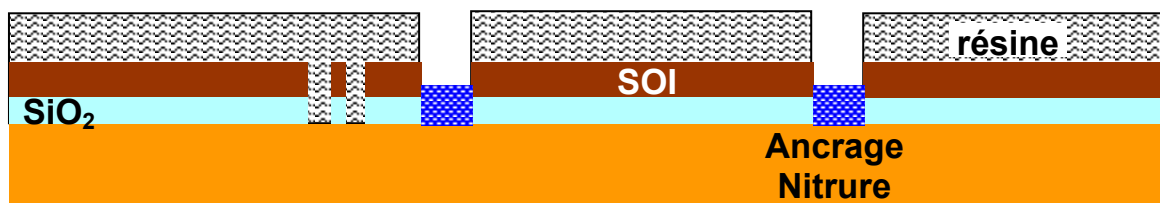
reprise d'épitaxie de silicium (fig. IV.3.4). Ainsi, les plots de nitrure sont recouverts de silicium grâce à la croissance latérale du silicium présente au cours de l'épitaxie (fig. IV.3.5). Les parties mobiles du microsysteme sont ensuite définies par photolithographie, gravure RIE de tranchées dans le silicium (fig. IV.3.6), et gravure humide de la couche sacrificielle d'oxyde (fig. IV.3.7).



1. Photolithographie



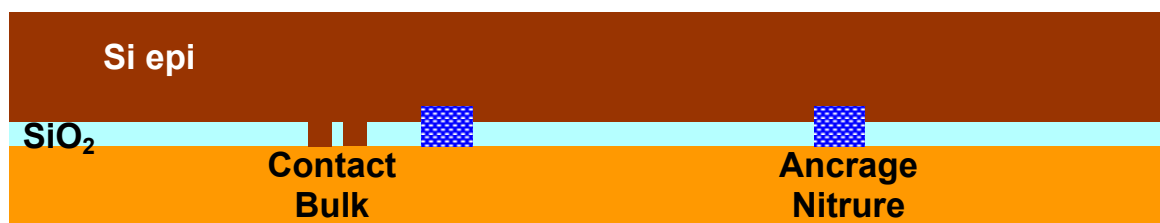
2. Gravure du silicium et de l'oxyde



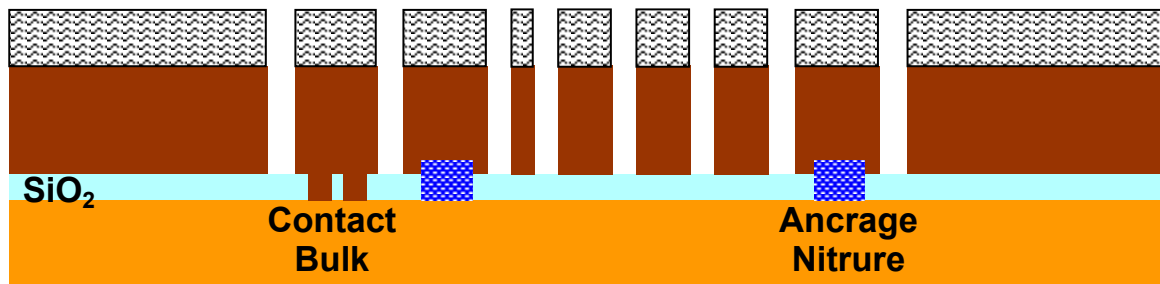
3. Seconde photolithographie et dépôt des plots de nitrure



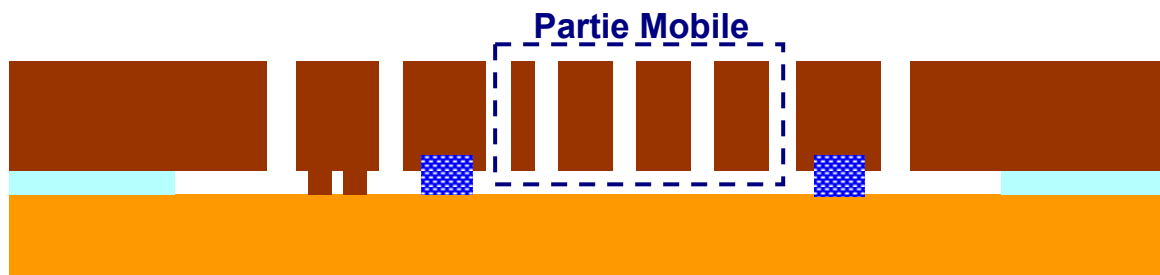
4. Reprise d'épitaxie : croissance verticale, et également latérale au dessus des plots de nitrure



5. Structure finale après épitaxie



6. Photolithographie et gravure RIE du silicium



7. Gravure humide de l'oxyde et libération de la partie mobile du microsystème

**Fig. IV. 3 :** Schéma de principe de la fabrication d'un HARMEMS à partir d'un substrat SOI pleine plaque de type SmartCut<sup>®</sup>. La fig. 5 représente la structure de base nécessaire pour réaliser le HARMEMS, et la fig. 7 représente le HARMEMS en coupe après libération de la partie mobile.

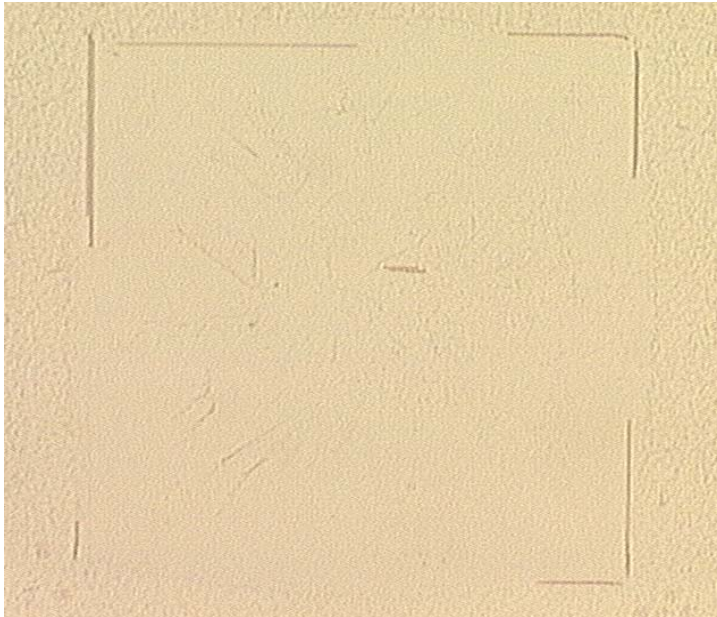
Il est important de noter que la qualité cristallographique du silicium nécessaire pour ce type d'application est moins critique que pour des applications de type SmartPower. C'est pour cela que le procédé LEGO peut être particulièrement bien adapté à ce type d'application MEMS, sans effectuer de reprise d'épitaxie supplémentaire.

#### - **B. Adaptation du procédé LEGO aux HARMEMS :**

- Le procédé LEGO présente différents avantages qui en font une technologie de choix pour l'application aux HARMEMS de type accéléromètre.
  1. La géométrie de la structure mobile est définie directement grâce aux motifs de couche enterrée du SOI partiel. De plus, le procédé LEGO nous permet d'obtenir des motifs SOI d'une surface de l'ordre du mm<sup>2</sup> et d'épaisseur de une à quelques dizaines de microns, ce qui est pleinement compatible avec les dimensions exigées pour les accéléromètres.
  2. Ce procédé est peu coûteux par rapport aux substrats de type SmartCut<sup>®</sup> couramment utilisés pour fabriquer ce type de microsystèmes.
  3. La qualité cristalline obtenue par LEGO est largement suffisante pour la fabrication d'accéléromètres.
  4. Ce procédé LEGO permet d'envisager la présence de couches enterrées de nature différente de l'oxyde thermique. Ainsi, on peut envisager par exemple de créer des couches enterrées composées d'oxyde et de nitrure, l'oxyde servant de couche sacrificielle, et le nitrure servant de plot d'ancrage de la structure mobile, électriquement isolant. Des essais ont été réalisés avec des couches enterrées de nitrure, afin d'évaluer le comportement du silicium liquide sur le nitrure solide. Ces

essais se sont révélés très encourageants puisque la couche enterrée de nitrure semble présenter de bien meilleures propriétés de mouillabilité vis-à-vis du silicium liquide par rapport à une couche d'oxyde thermique. Nous avons pu obtenir très facilement des motifs de 1mm<sup>2</sup> entièrement monocristallins, sans découverture de l'oxyde enterré, et comportant moins de défauts cristallographiques résiduels que sur une couche d'oxyde (Fig. IV. 4).

La bibliographie nous a également permis de confirmer que le nitrure présentait un meilleur comportement de mouillabilité vis-à-vis du silicium liquide [2].

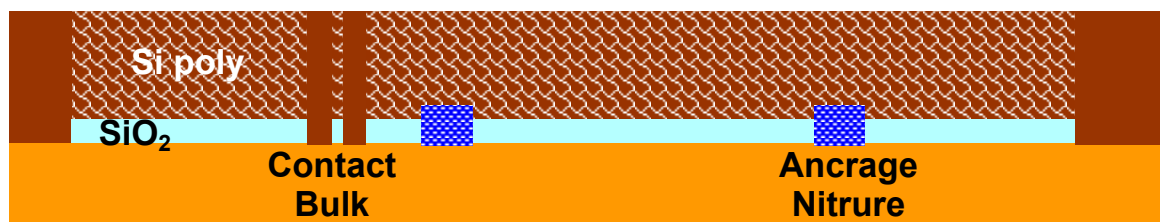


**Fig. IV. 4 :** Motif SOI de 1mm<sup>2</sup> sur couche enterrée de nitrure, entièrement monocristallin après recristallisation. Après révélation chimique des défauts, très peu de défauts résiduels sont visibles.

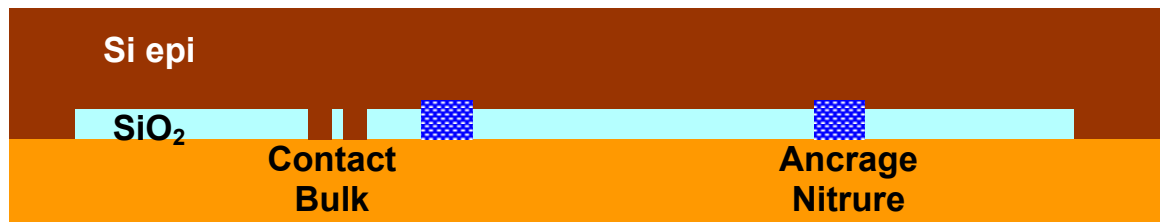
- Les étapes de fabrication à partir du procédé LEGO sont donc celles-ci :



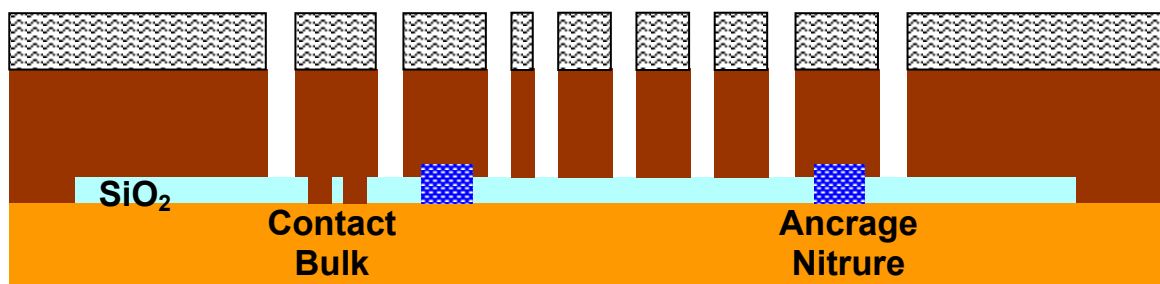
1. Définition des motifs d'oxyde et des ancrages de nitrure par croissance d'oxyde thermique, et dépôt de poly-silicium, photolithographie, gravure RIE du poly et de l'oxyde pour définir la partie mobile, puis les plots d'accroche, puis dépôt de nitrure, photolithographie et gravure.



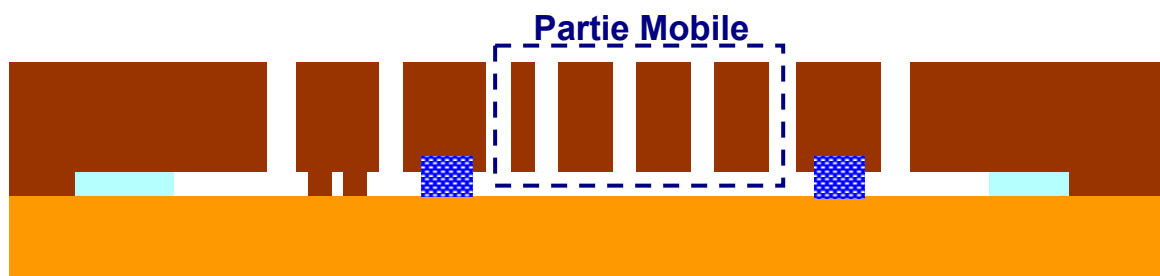
2. Epitaxie de silicium : Croissance de monocristal sur les zones de germe et dépôt de polycristal sur les motifs d'oxyde et de nitrure.



3. Structure finale après recristallisation et CMP



4. Photolithographie et gravure RIE du silicium



5. Gravure humide de l'oxyde et libération de la partie mobile du microsysteme

**Fig. IV. 5 :** Coupe d'une structure typique pour la fabrication de HARMEMS de type accéléromètre a) avant définition de la partie mobile, b) après gravure du silicium et de l'oxyde et libération de la partie mobile.

- **C. Améliorations apportées par le procédé LEGO :**

Une amélioration susceptible d'être apportée par le procédé LEGO par rapport à des substrats de type SmartCut<sup>®</sup> concerne l'épaisseur de la couche d'oxyde enterrée. Pour le procédé de collage, la couche d'oxyde enterrée est réalisée par oxydation thermique d'un ou des deux substrats collés, elle est donc limitée à environ 2µm (1µm pour chaque substrat), alors qu'un substrat LEGO peut comporter une couche d'oxyde enterrée d'épaisseur supérieure à 2 µm, réalisée par des équipements de CVD classiques. Cette augmentation d'épaisseur de la couche d'oxyde enterrée permet de réduire la capacité parasite du substrat, et ainsi d'améliorer la précision pour un accéléromètre à détection capacitive.

**En résumé :**

Nous avons le sentiment que le procédé LEGO concerne particulièrement deux types d'applications : à court terme la fabrication de structures de type MEMS (HARMEMS) avec lesquelles il est actuellement directement compatible, tout en permettant d'envisager certaines améliorations et, à plus longue échéance, la fabrication de composants de type SmartPower, pour lesquels le procédé LEGO nécessite encore quelques améliorations. Ces deux thèmes pourraient donc constituer deux axes pour la poursuite de ce projet.



**Références :**

- [1] P. Renaud, I. Bertrand, “Method of fabricating a silicon-on-insulator structure”, SC13591ET, 2005.
- [2] Z.A.Weinber, V.R.Deline, T.O.Sedgwick, S.A.Cohen, C.F.Aliotta, G.J.Clark, W.A.Lanford, “Investigation of the silicon beading phenomena during zone-meling recrystallization”, *Applied Physics Letters*, vol. 43, No. 12, 15 December 1983, p. 1105-1107.

## *Conclusion générale*

Ainsi que nous l'avons vu dans le premier chapitre de cette thèse, il existe de nombreux procédés technologiques permettant de fabriquer des substrats SOI. Le plus répandu est le procédé SmartCut<sup>®</sup> basé sur le collage de deux wafers avec inclusion d'une couche d'oxyde intermédiaire, et le « découpage » de la couche SOI grâce à une implantation d'ions fragilisant une zone de séparation dans le wafer supérieur. La grande majorité des procédés SOI permettent de fabriquer des wafers, d'une part SOI pleine plaque, c'est-à-dire dont la couche d'oxyde enterrée est présente à travers tout le wafer, et d'autre part avec des couches de silicium minces sur oxyde ( $< 1 \mu\text{m}$ ). Ces substrats SOI sont actuellement particulièrement avantageux pour le développement des composants petits signaux en terme d'énergie consommée, de rapidité de fonctionnement, tout en assurant une taille réduite. Le procédé SmartCut<sup>®</sup> est le procédé le plus fiable et le plus adapté pour ce type d'applications.

En ce qui concerne le monde de l'électronique de puissance, la principale problématique est celle de l'isolation entre composants de puissance et de commande. L'utilisation de substrats SOI peut être une solution intéressante, mais sous certaines conditions. En effet, les substrats SOI pleine plaque présentent un gros désavantage pour les composants de puissance : la couche d'oxyde enterrée, présente à travers tout le wafer, constitue une barrière à la dissipation thermique, et l'élévation de température peut causer de sérieux dommages à l'intégrité et à la fonctionnalité du composant. De plus, les composants de puissance nécessitent également une couche de silicium relativement importante sur l'oxyde (quelques microns).

Les procédés cités précédemment présentent donc un intérêt limité pour ces applications de puissance.

C'est dans ce cadre particulier de l'électronique de puissance, que nous avons choisi d'utiliser un procédé de fabrication qui nous permet d'obtenir directement des wafers SOI partiel, donc avec des motifs localisés d'oxyde enterré, wafers dont la couche de silicium sur oxyde est épaisse de quelques microns à plusieurs dizaines de microns, tout en maintenant un faible coût pour nos applications. Ce procédé technologique permettant d'obtenir de tels substrats est le LEGO (Lateral Epitaxial Growth over Oxide).

Grâce à des optimisations successives jouant sur les paramètres thermiques et géométriques importants du LEGO, nous avons démontré que ce procédé, basé sur la fusion et la recristallisation de couches de silicium poly-cristallin, permet d'obtenir des motifs SOI localisés entièrement monocristallins jusqu'à  $2\text{mm}^2$  pour une épaisseur de silicium sur oxyde de  $30\mu\text{m}$ , avec très peu de défauts cristallographiques résiduels ; ces défauts cristallographiques ne perturbent pas le fonctionnement de composants de commande simples tels que des transistors MOS. De même pour des composants de puissance de type IGBT latéraux, l'utilisation de ces substrats SOI recristallisés a permis d'optimiser certaines caractéristiques en tirant pleinement profit de la présence d'une ouverture dans la couche d'oxyde enterrée.

L'analyse de ces couches recristallisées a montré l'existence d'un profil de dopage constant à travers l'épaisseur de la couche SOI, et l'absence de contamination en carbone et oxygène des couches recristallisées. De plus, une reprise d'épitaxie sur un substrat recristallisé et poli, peut rectifier les erreurs possibles d'inclinaison du réseau cristallin des zones recristallisées. Nous obtenons ainsi un substrat SOI partiel épais faible coût, de qualité cristalline compatible avec des applications de type SmartPower, permettant de plus la réalisation de couches enterrées grâce à la reprise d'épitaxie. Nous avons également découvert en parallèle que ce procédé est pleinement compatible avec des applications de type HARMEMS, puisqu'il permet d'obtenir des substrats de qualité cristalline suffisante, avec une taille de motif et une épaisseur de silicium sur oxyde similaires à celles requises, par exemple, pour la fabrication de la partie mobile d'accéléromètres, et pour un coût plus faible que les techniques existantes.

Les futurs travaux concernant ce projet devront porter sur la détermination des limites du procédé LEGO en terme de géométrie (densité et taille maximale des motifs, épaisseurs minimales et maximales des couches de silicium et d'oxyde enterré...). Il est aussi important de mener des investigations plus poussées sur la recristallisation sur couche enterrée de nitrure pour les MEMS, puis au vu des nouvelles possibilités apportées par le LEGO (géométrie et nature des couches), de déterminer les étapes de procédé et le design les plus adéquats, et enfin de réaliser un prototype de HARMEMS. Pour les applications de type SmartPower, il s'agira de réaliser une librairie de composants à fabriquer sur substrat LEGO, avec une couche enterrée dopée et une reprise d'épitaxie, puis de fabriquer des prototypes, et de les tester. Enfin, en vue d'une utilisation industrielle du LEGO, une adaptation du procédé de fabrication ainsi que de l'équipement de recuit rapide sera nécessaire, pour optimiser le rendement.

Les travaux réalisés dans le cadre de cette thèse ont démontré que le LEGO est donc en soi une solution alternative particulièrement bien adaptée pour les applications de puissance ou de type SmartPower, ainsi que pour les applications de type HARMEMS, qui nécessitent des couches SOI épaisses, partielles, et qui ne requièrent pas nécessairement une qualité cristalline irréprochable. De plus, l'avantage majeur de ce procédé est qu'il permet d'assurer un coût de fabrication voisin de celui des composants sur silicium massif.

# *Bibliographie personnelle*

## Liste des publications et brevets :

### Publications scientifiques :

I. Bertrand, J.M. Dilhac, P. Renaud, « Recristallisation en phase liquide de films épais de poly-silicium pour la réalisation à faible coût de circuits de puissance sur SOI partiel », *JNRDM 2004*, Marseille.

I. Bertrand, J.M. Dilhac, P. Renaud, C. Ganibal, « Large Area Recrystallization of Thick Polysilicon Films for Low Cost Partial SOI Power Devices », *ISPS 2004*, Prague.  
Paru dans la revue *Microelectronics Journal* – vol. 37, 2006, pp. 257-261.

I. Bertrand, « Recristallisation en phase liquide de films épais de poly-silicium pour la réalisation à faible coût de substrats SOI partiel », Séminaire *ED GEET 2005*, Toulouse.

I. Bertrand, P. Renaud, J.M. Dilhac, C. Ganibal, « Large Area Recrystallization of Thick Polysilicon Films for Cost-Effective Partial SOI Power Devices », *ECMS 2005*, Toulouse.

I. Bertrand, V. Pathirana, E. Imbernon, F. Udrea, M. Bafleur, R. Ng, H. Granier, B. Rousset, J.M. Dilhac, « New lateral DMOS and IGBT structures realized on a partial SOI substrate based on LEGO process », *BCTM 2005*, Santa Barbara.

I. Bertrand, J.M. Dilhac, P. Renaud, C. Ganibal, « Recristallisation en phase liquide de films épais de poly-silicium pour la réalisation à faible coût de substrats SOI partiel dédiés à des applications de puissance », *GDR ISP3D 2005*, Lyon.

### Brevet :

P. Renaud, I. Bertrand, « Fabrication method of thick Partial SOI for sensors » SC13591ET.

### Rapports internes :

I. Bertrand, P. Renaud, « Fabrication of partial silicon-on-insulator substrate by Lateral Epitaxial Growth over Oxide », Août 2004.

I. Bertrand, P. Renaud, « Electrical characterization of MOS and bipolar devices realized on a partial SOI substrate based on LEGO process », Juin 2005.

# Annexes :

**ANNEXE 1 : Puissance électrique lampes en fonction de la tension de consigne ( $P=f(V)$ )**  
(cf. thèse de Sylvie Roux, chapitre II - paragraphe 3)

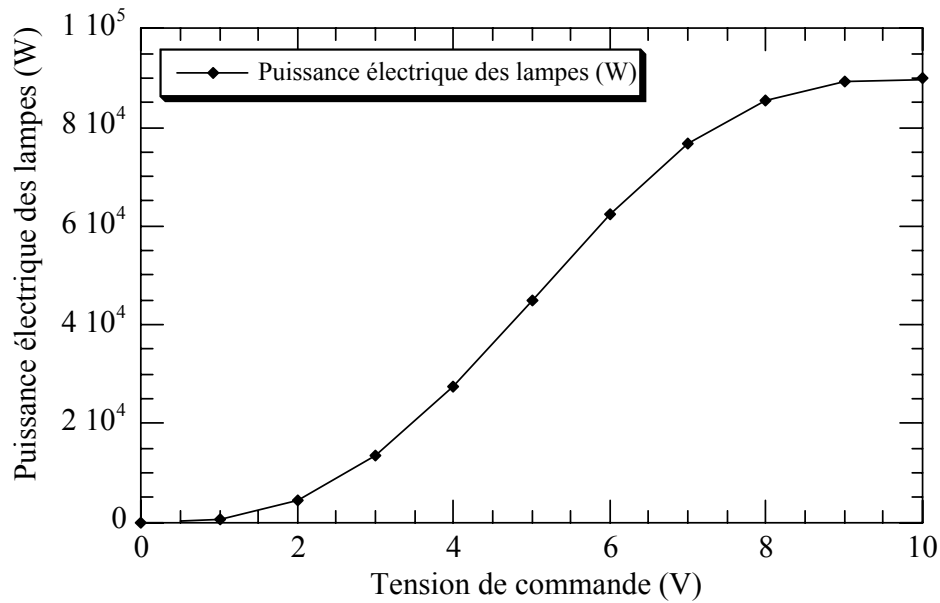


Fig. A.1 : Puissance électrique consommée par les lampes en fonction de la tension de commande.

## ANNEXE 2 : Révélation cristallines

Nom	Schimmel	Secco	Sirtl	Wright
Composition	Solution de base : 75gm CrO <sub>3</sub> dans H <sub>2</sub> O pour avoir 100mL de solution. Pour >0,2Ω.cm : mélanger 1 vol de solution de base + 2 vol 49% HF. Pour <0,2Ω.cm : mélanger 1 vol de solution de base + 2 vol 49% HF + 1,5 vol H <sub>2</sub> O.	Solution de base : Dissoudre 44gm K <sub>2</sub> Cr <sub>2</sub> O <sub>7</sub> dans 1000mL H <sub>2</sub> O. Mélanger 1 vol de solution de base + 2 vol 49% HF.	Solution de base : Mélanger 50gm CrO <sub>3</sub> avec 100mL H <sub>2</sub> O. Mélanger 1 vol de solution de base + 1 vol 49% HF – A utiliser immédiatement.	Mélanger 2gm Cu(NO <sub>3</sub> ) <sub>2</sub> 3H <sub>2</sub> O dans 60mL H <sub>2</sub> O (D.I.). Ajouter 60mL 49% HF, 30mL 69% HNO <sub>3</sub> , 30mL 5M CrO <sub>3</sub> (1gm CrO <sub>3</sub> /2mL H <sub>2</sub> O), 60mL acide acétique). Mélange stable pour 6 semaines à température ambiante.
Temps de révélation	> 0,2Ω.cm, 5 min < 0,2Ω.cm, 15 min	8 à 10 min	3 à 5 min	10 à 15 min (6µm/5min)
Orientation	(100)	(100)	(111)	(100) et (111)
Défauts révélés :				
Dislocations	oui	non	oui	oui
Slip	oui	non	oui	oui
Swirl	oui	oui	oui	oui
Etch Pits	oui	oui	oui	oui
Stacking Faults	oui	oui	oui	oui
Oxygen Induced	oui	oui	oui	oui

Tab. A.2 : Caractéristiques des différentes solutions de révélation chimique des défauts cristallins.