



HAL
open science

Contribution à l'étude de nouvelles architectures de synthétiseur de fréquence

Vincent Lagareste

► **To cite this version:**

Vincent Lagareste. Contribution à l'étude de nouvelles architectures de synthétiseur de fréquence. Micro et nanotechnologies/Microélectronique. Université Sciences et Technologies - Bordeaux I, 2006. Français. NNT: . tel-00184542

HAL Id: tel-00184542

<https://theses.hal.science/tel-00184542>

Submitted on 31 Oct 2007

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

présentée à

L'UNIVERSITÉ BORDEAUX 1

ÉCOLE DOCTORALE DES SCIENCES PHYSIQUES ET DE L'INGENIEUR

par **Vincent LAGARRESTE**

POUR OBTENIR LE GRADE DE

DOCTEUR

SPÉCIALITÉ : Électronique

CONTRIBUTION A L'ÉTUDE DE NOUVELLES ARCHITECTURES DE SYNTHÉTISEUR DE FRÉQUENCE

Soutenue le : 12 octobre 2006

Après avis de :

MM. H. BARTHELEMY	<i>Professeur, université, Aix-Marseille 1</i>	Rapporteur
J-C. TRIGEASSOU	<i>Professeur, université, Poitiers</i>	Rapporteur

Devant la commission d'examen formée de :

MM. P. FOUILLAT	<i>Professeur, université, Bordeaux 1</i>	Président
Y. DEVAL	<i>Professeur, université, Bordeaux 1</i>	
P. MELCHIOR	<i>Maître de conférence, université, Bordeaux 1</i>	
F. BADETS	<i>Docteur Ingénieur, STMicroelectronics, Crolles</i>	
H. BARTHELEMY	<i>Professeur, université, Aix-Marseille 1</i>	Rapporteur
J-C. TRIGEASSOU	<i>Professeur, université, Poitiers</i>	Rapporteur
A. OUSTALOUP	<i>Professeur, université, Bordeaux 1</i>	Invité
J-B. BEGUERET	<i>Professeur, université, Bordeaux 1</i>	Invité

Je tiens particulièrement à remercier mes parents
pour leur support tout au long de mes études.

**Celui qui trouve sans chercher est celui
qui a longtemps cherché sans trouver.**

Gaston Bachelard

Remerciements

Les travaux de recherche qui font l'objet de ce mémoire de thèse sont le résultat d'une collaboration entre les laboratoires IXL, LAPS de l'université de Bordeaux et la société STMicroelectronics de Crolles. Ils ont été encadrés d'un côté par Messieurs les professeurs Yann Deval, Jean-Baptiste Bégueret, Monsieur le maître de conférence Pierre Melchior, et de l'autre côté par Monsieur Franck Badets.

Je tiens à exprimer mes plus profonds remerciements à Monsieur Franck Badets. Ces travaux n'auraient pu connaître un tel avancement sans ses conseils avisés et précieux. Je lui exprime ici toute ma gratitude pour sa disponibilité et l'extrême qualité de son encadrement.

Je remercie Messieurs les professeurs Yann Deval, Jean-Baptiste Bégueret et monsieur le maître de conférence Pierre Melchior, et en leurs noms les laboratoires IXL et LAPS de m'avoir accueilli durant la première année, pour leurs encadrements, leurs encouragements et avant tout pour leurs qualités humaines qui ont assurés le succès de cette thèse.

Que Messieurs les professeurs Herve Barthelemy et Jean-Claude Trigeassou soient remerciés de l'honneur qu'ils m'ont fait en acceptant de rapporter cette thèse.

SOMMAIRE

Introduction.....	19
Chapitre I : La synthèse de fréquence à base de boucles à verrouillage de phase.....	23
I.1 Introduction.....	25
I.2 La synthèse de fréquence.....	25
I.2.1 Architecture d'émetteur/récepteur.....	25
I.2.2 Spécifications des synthétiseurs de fréquence.....	27
I.2.2.1 Plage d'accord.....	27
I.2.2.2 Pas de synthèse.....	27
I.2.2.3 Temps d'établissement.....	27
I.2.2.4 Raies parasites.....	27
I.2.2.5 Bruit de phase.....	30
I.2.2.6 Consommation/Surface.....	31
I.3 La synthèse de fréquence a base de boucle a verrouillage de phase.....	31
I.3.1 PLL a division entière.....	31
I.3.2 Le Comparateur de phase.....	32
I.3.3 La pompe de charge.....	34
I.3.4 Filtre de boucle.....	35
I.3.5 Le VCO.....	37
I.3.6 Le diviseur de fréquence.....	38
I.3.7 Modélisation de la PLL verrouillée.....	38
I.3.7.1 Fonction de transfert en boucle ouverte.....	40
I.3.7.2 Fonction de transfert en boucle fermée.....	41
I.3.8 Calcul de filtre de boucle d'une PLL.....	42
I.3.9 Asservissement de la phase du VCO.....	45
I.3.10 Raies parasites.....	45
I.3.11 Limitations des performances.....	46
I.4 PLL a double boucle.....	47
I.4.1 Double boucle série.....	48
I.4.2 Double boucle parallèle.....	49
I.5 Conclusion.....	51
I.6 Références.....	52
Chapitre II : Optimisation du bruit de phase des VCOs par l'utilisation d'une PLL dite Composite.....	55
II.1 Introduction.....	57
II.2 Introduction a l'architecture de la PLL composite.....	58
II.2.1 Objectif de la structure.....	58
II.2.2 Idée de départ.....	58
II.2.3 Contraintes structurelles.....	60
II.3 L'architecture PLL composite simple.....	60

II.4	Schématique de la PLL composite.....	64
II.4.1	La boucle principale.....	64
II.4.2	La boucle composite.....	64
II.4.2.1	Détecteur de phase avec AOP.....	65
II.4.2.2	Détecteur de phase a temps discret.....	67
II.4.2.3	Discussion sur le type de comparateur.....	70
II.4.2.4	Comparateur de fréquence proposé.....	71
II.4.2.5	Le filtre passe-bande.....	74
II.4.3	Conclusions.....	74
II.5	Evolution de l'architecture.....	75
II.5.1	L'additionneur.....	75
II.5.2	Le filtre passe-bande.....	76
II.5.2.1	Ordre du filtre.....	77
II.5.2.2	Contraintes de stabilité.....	78
II.5.3	La fréquence de référence.....	80
II.6	La PLL composite avec détecteur de phase.....	82
II.6.1	Structure de la PLL composite PD.....	82
II.6.2	Cas d'étude.....	82
II.6.3	Modélisation.....	83
II.6.3.1	La boucle principale.....	83
II.6.3.2	La boucle composite.....	84
II.6.4	Simulations.....	88
II.6.4.1	La boucle principale.....	88
II.6.4.2	La boucle composite.....	89
II.6.5	Conclusion.....	93
II.7	La PLL composite avec FD.....	93
II.7.1	Structure.....	94
II.7.2	Modélisation.....	94
II.7.2.1	Modélisation de la boucle principale.....	94
II.7.2.2	Modélisation de la boucle composite.....	95
II.7.3	Simulations.....	98
II.7.4	Conclusion.....	100
II.8	Conclusions.....	101
II.9	La PLL composite avec une fréquence auxiliaire.....	102
II.9.1	Optimisation de la structure PLL composite.....	102
II.9.2	Avantages de la fréquence auxiliaire.....	103
II.9.3	Filtrage de la raie parasite a la fréquence de référence : Discussion.....	104
II.9.4	La multiplication de fréquence.....	105
II.10	Conclusions.....	105
II.11	Références.....	106

Chapitre III	: Application de la multiplication de fréquence par recombinaison des fronts à la synthèse de fréquence.....	109
III.1	Introduction.....	111
III.2	Choix du type de multiplieur.....	111

III.3	Multiplication de fréquence par recombinaison des fronts.....	112
III.3.1	Principe de la recombinaison.....	112
III.3.2	Effet de l'erreur sur la recombinaison.....	114
III.3.2.1	Erreur d'appariement aléatoire des éléments de retard.....	114
III.3.2.2	Erreur d'appariement par gradient.....	117
III.3.2.3	Erreur sur la tension de contrôle des éléments de retard.....	119
III.4	Réalisation du PFD Multiphase.....	120
III.4.1	PFD Multiphase asynchrone.....	120
III.4.1.1	Le générateur de multiphase.....	121
III.4.1.2	La DLL.....	122
III.4.1.3	Éléments de retard.....	122
III.4.1.4	La recombinaison.....	124
III.5	La PLL avec PFD multiphase.....	125
III.5.1	Effet sur la bande passante.....	126
III.5.2	Effet sur le bruit de phase.....	127
III.5.3	Effet sur les raies parasites.....	130
III.5.4	Simulation comportementale.....	131
III.6	Intégration d'une PLL 900Mhz utilisant un PFD Multiphase asynchrone.....	132
III.6.1	Le VCO.....	133
III.6.2	Le diviseur de fréquence.....	134
III.6.3	La pompe de charge.....	135
III.6.4	Implémentation.....	135
III.6.5	Mesures.....	136
III.6.6	Analyses des raies parasites.....	138
III.7	Conclusions.....	140
III.8	Références.....	141

Chapitre IV	: Optimisation de la bande passante et de la robustesse des synthétiseurs de fréquence à base de PLL par l'introduction de filtres d'ordre non entier.....	145
IV.1	Intérêt de l'introduction de filtres d'ordre non entier dans les synthétiseurs de fréquence.....	147
IV.1.1	Intérêt des filtres d'ordre non entier.....	148
IV.1.2	Formalisme mathématique de la dérivation d'ordre non entier (ou généralisée).....	149
IV.1.3	Applications.....	150
IV.1.4	Domaines d'intérêt pour la synthèse de fréquence.....	152
IV.2	Méthodologie de synthèse d'un filtre d'ordre non entier.....	152
IV.2.1	Distribution récursive des zéros et des pôles.....	153
IV.2.2	De la récursivité à la dérivation non entière.....	153
IV.2.3	Exemple de calcul de filtre d'ordre $\frac{1}{2}$	159
IV.2.4	Synthèse des filtres d'ordre non entier bornées en fréquence.....	161
IV.2.5	Contraintes de la forme récursive.....	162
IV.3	Optimisation de l'ordre du filtre de boucle.....	163
IV.3.1	Contraintes sur le filtre de boucle entier.....	163
IV.3.2	Etude du filtre de boucle classique.....	164

IV.3.3	Etude du filtre d'ordre non entier.....	166
IV.3.4	Application à une PLL à 4GHz.....	167
IV.3.4.1	Etude avec filtre de boucle classique.....	168
IV.3.4.2	Filtre d'ordre optimum pour la PLL à 4GHz.....	169
IV.3.4.3	Comparaison des deux filtres.....	172
IV.4	Obtention de la robustesse du degré de stabilité.....	173
IV.4.1	Problématique : variation du degré de stabilité de la PLL.....	174
IV.4.2	Application à une PLL 200MHz.....	176
IV.4.2.1	PLL avec filtre de boucle classique.....	177
IV.4.2.2	Etudes des variations du degré de stabilité dans le cas de la PLL avec filtre de boucle classique.....	178
IV.4.2.3	PLL avec filtre d'ordre non entier.....	180
IV.4.2.4	Etude de la robustesse de la marge de phase de la PLL avec filtre d'ordre non entier.....	183
IV.5	Conclusions.....	185
IV.6	Références.....	186
Conclusion.....		189
ANNEXES A : Filtres d'ordre non entier : Calcul.....		195

Table des figures

Figure I.1 : Système de radiocommunication	26
Figure I.2 : Spectre en fréquence pour le GSM	26
Figure I.3 : Spectre de sortie d'un synthétiseur avec des raies parasites	27
Figure I.4 : Influence des raies parasites pour un émetteur RF	28
Figure I.5 : Spectre idéal et réel d'un oscillateur	30
Figure I.6 : Schéma de principe d'une boucle a verrouillage de phase	32
Figure I.7 : Schéma de principe d'un PFD	33
Figure I.8 : Chronogramme de fonctionnement d'un PFD lorsque le VCO est en retard de phase	33
Figure I.9 : Machine d'état d'un PFD	34
Figure I.10 : Schéma de principe d'une pompe de charge.....	35
Figure I.11 : Filtre de boucle utilisé dans les PLL a pompe de charge.....	36
Figure I.12 : Chronogramme d'une division en fréquence par 2	38
Figure I.13 : Modèle petit signal de LAPLACE d'une PLL verrouillée	39
Figure I.14 : Filtre de boucle de la PLL a pompe de charge.....	43
Figure I.15 : Fonction de transfert en boucle ouverte désirée.....	43
Figure I.16 : Exemple de spectre en sortie d'une PLL	45
Figure I.17 : Raies parasites de la PLL liés a la fréquence de comparaison.....	46
Figure I.18 : Schéma d'une PLL fractionnaire	47
Figure I.19 : Exemple de deux PLL en série	48
Figure I.20 : Exemple de PLL avec deux boucles en parallèle.....	49
Figure I.21 : Modèle petit signal de la PLL avec deux boucles en parallèle	50
Figure II.1 : PLL composite.....	58
Figure II.2: Spectre de la boucle principale	60
Figure II.3 : PLL composite cas M=1	61
Figure II.4 : PLL composite M=1 simplification n°1	61
Figure II.5 : PLL composite M=1 simplification n°2	62
Figure II.6 : PLL composite M=1 simplifiée	62
Figure II.7 : Filtre de la PLL composite M=1.....	62
Figure II.8 : Spectre du filtre du troisième ordre	63
Figure II.9 : Fonction de transfert en boucle ouverte de la PLL composite	64
Figure II.10 : Problématique du filtrage	65
Figure II.11 : Comparateur de phase avec AOP	66
Figure II.12 : Comparateur de phase a temps discret.....	67
Figure II.13 : Chronogramme de fonction du détecteur de phase a temps discret.....	68
Figure II.14 : relation entre l'erreur de phase et la tension aux bornes de la capacité.....	69
Figure II.15 : Principe de la détection de fréquence	71
Figure II.16 : Chronogramme du détecteur de fréquence	72
Figure II.17 : Chronogramme de fonctionnement du détecteur de fréquence	72
Figure II.18 : Détecteur de fréquence proposé.....	73
Figure II.19 : Schématique de la boucle composite étudiée	74

Figure II.20 : Réalisation de l'addition dans le VCO	76
Figure II.21 : Influence de l'ordre du filtre passe-bande	77
Figure II.22 : Influence de l'ordre de la partie passe-haut du filtre passe-bande sur la stabilité.....	77
Figure II.23 : Influence de l'ordre de la partie passe-bas du filtre passe-bande sur les performances.....	78
Figure II.24 : Influence de l'ordre de la partie passe-haut du filtre passe-bande sur la stabilité de la PLL composite.....	79
Figure II.25 : Influence de l'ordre de la partie passe-bas du filtre passe-bande sur la stabilité de la boucle composite	80
Figure II.26 : Spectre de bruit de phase pour une PLL classique et une PLL composite .	81
Figure II.27 : Spectre de bruit de phase de la PLL composite avec une référence auxiliaire	81
Figure II.28 : Schématique de la PLL composite étudiée.....	82
Figure II.29 : Modèle en boucle ouverte de la boucle principale	83
Figure II.30 : Fonction de transfert en boucle ouverte de la boucle principale	84
Figure II.31 : Modèle petit signal de la boucle composite.....	85
Figure II.32 : Fonction de transfert du filtre utilisée pour la boucle composite PD	86
Figure II.33 : Fonction de transfert en boucle ouverte de la boucle composite.....	87
Figure II.34 : Filtre de la boucle principale	89
Figure II.35 : Schéma de la PLL composite simulée	90
Figure II.36 : Simulation de la PLL composite pour un bruit de 500kHz	91
Figure II.37 : Agrandissement du résultat de simulation de la PLL composite pour un bruit à 500kHz.....	91
Figure II.38 : Ordre de correction parfaite.....	92
Figure II.39 : Ordre de correction déphasé	92
Figure II.40 : PLL composite avec un comparateur de fréquence	94
Figure II.41 : Comparateur de fréquence.....	95
Figure II.42 : Modèle petit signal de la boucle composite avec un comparateur de fréquence.....	96
Figure II.43 : Fonction de transfert du filtre passe-bande de la boucle composite FD.....	96
Figure II.44 : Fonction de transfert en boucle ouverte de la boucle composite FD.....	97
Figure II.45 : PLL composite avec détecteur de fréquence simulée.....	98
Figure II.46 : Simulation de la PLL composite avec comparateur de fréquence pour un bruit de 1MHz.....	99
Figure II.47 : Agrandissement du résultat de simulation de la PLL composite avec comparateur de fréquence pour un bruit de 1MHz	99
Figure II.48 : Architecture PLL composite avec fréquence auxiliaire.....	103
Figure II.49 : Fonction de transfert désirée avec la PLL composite.....	104
Figure III.1 : Exemple de multiplication par recombinaison des fronts	112
Figure III.2 : Spectre d'une multiplication de fréquence par recombinaison des fronts parfaite	112
Figure III.3 : Exemple de multiplication par recombinaison des fronts avec erreur de déphasage.....	113

Figure III.4 : Spectre d'une multiplication de fréquence par recombinaison des fronts avec erreur de déphasage	113
Figure III.5 : Signal périodique issue du diviseur de fréquence	114
Figure III.6 : Signaux déphasés entre eux issue du générateur de phase	115
Figure III.7 : Recombinaison des signaux déphasés	116
Figure III.8 : Dispersion de l'élément de retard sur 200 tirs	116
Figure III.9 : Spectre moyen du multiplieur multiphase pour une erreur d'appariement aléatoire sur 200 tirs	117
Figure III.10 : Représentation de l'erreur de gradient sur les éléments de retard	118
Figure III.11 : Spectre du multiplieur multiphase pour une erreur de phase par gradient	118
Figure III.12 : Impacte de l'erreur de retard sur le spectre de sortie	119
Figure III.13 : PLL avec PFD multiphase asynchrone	121
Figure III.14 : Schématique de la génération multiphase	121
Figure III.15 : DLL assurant le control des éléments de retard	122
Figure III.16 : Schématique de l'élément de retard utilisé	123
Figure III.17 : Courbe de conversion tension/retard de l'élément de retard	123
Figure III.18 : Dispersion de l'élément retard pour 200 tirs	124
Figure III.19 : Schématique de la recombinaison des signaux déphasés	125
Figure III.20 : PLL avec PFD multiphase asynchrone	126
Figure III.21 : Model de bruit de la PLL avec PFD multiphase	127
Figure III.22 : Simulation du bruit de sortie de la PLL avec un multiphase a 8 phases .	130
Figure III.23 : Simulation comportementale de la PLL avec PFD multiphase asynchrone	132
Figure III.24 : Dessin des masques du multiphase asynchrone	133
Figure III.25 : VCO double paires croisées implémenté	134
Figure III.26 : Diviseur de fréquence implémenté	134
Figure III.27 : Pompe de charge implémentée	135
Figure III.28 : Dessin des masques de la PLL utilisant un PFD multiphase asynchrone	136
Figure III.29 : Spectre de sortie de la PLL avec PFD multiphase asynchrone	137
Figure III.30 : Spectre de sortie de la PLL avec PFD multiphase asynchrone	137
Figure III.31 : Spectre de sortie de la PLL avec PFD multiphase asynchrone	138
Figure IV.1 : Intérêt des filtres d'ordre non entier : comparaison des diagrammes asymptotiques de Bode de filtres passe-bas d'ordre entier (—) et non entier (n)(-.-.)..	149
Figure IV.2 : Diagrammes de Bode d'un dérivateur d'ordre réel positif	150
Figure IV.3 : Distribution récursive de pôles et de zéros et lissage des digrammes asymptotiques de gain et de phase	153
Figure IV.4 : Filtre passe bas RC étudié	154
Figure IV.5 : Intégrateur tronqué étudié	155
Figure IV.6 : Structure récursive RC étudiée	156
Figure IV.7 : Structure récursive simplifiée	157
Figure IV.8 : Diagramme asymptotique de l'admittance	158
Figure IV.9 : Filtre récursif calculé et simulé	160
Figure IV.10 : Réponse fréquentielle du filtre d'ordre ½ calculé	161

Figure IV.11 : Organigramme pour le choix du filtre de boucle	164
Figure IV.12 : Model de la PLL étudiée	164
Figure IV.13 : Schéma de principe de la PLL 4GHz étudiée	168
Figure IV.14 : Topologie du filtre classique.....	168
Figure IV.15 : Réponse fréquentielle en boucle ouverte de la PLL classique.....	169
Figure IV.16 : Modèle de réalisation physique du filtre d'ordre non entier optimum....	171
Figure IV.17 : Réponse en fréquence de la boucle ouverte de la PLL avec filtre d'ordre non entier optimum	172
Figure IV.18 : Comparaison des réponses en fréquence des deux boucles ouverte de la PLL à 4GHz	173
Figure IV.19 : Principe de la robustesse de la marge de phase.....	176
Figure IV.20 : Schéma de principe de la PLL étudiée pour la robustesse de la marge de phase.	177
Figure IV.21 : Topologie du filtre classique.....	177
Figure IV.22 : Réponse en fréquence de la boucle ouverte de la PLL 200MHz avec filtre classique.....	178
Figure IV.23 : Variations de la marge de phase en fonction des différents cas étudiés .	179
Figure IV.24 : Diagramme asymptotique de gain du filtre d'ordre non entier à synthétiser	180
Figure IV.25 : Topologie du filtre non entier	181
Figure IV.26 : Réponse en fréquence de la boucle ouverte de la PLL avec filtre d'ordre non entier	182
Figure IV.27 : Variation de la marge de phase en fonction des différents cas étudiés ...	183
Figure IV.28 : Comparaison des réponses temporelles de la PLL avec les filtres classique et non entier.....	184
Figure A.1 : Structure récursive simplifiée.....	195
Figure A.2 : Diagramme asymptotique de l'admittance	198

Introduction

Depuis l'avènement des circuits intégrés dédiés aux communications sans fil, et en particulier à la téléphonie mobile, le principal intérêt du concepteur de circuit est la réduction de la surface occupée ainsi que la réduction de la consommation en courant des circuits.

La multiplication des applications multimédia (photo, musique, jeux, etc.) introduites dans les téléphones mobiles demande une intégration des circuits plus importante avec la même consommation afin de garantir à l'utilisateur une autonomie satisfaisante.

De plus, des applications comme la téléphonie mobile font cohabiter différents standards (GSM et Bluetooth par exemple). De même, les circuits intégrant plusieurs standards de radio communications (GSM, DCS, WCDMA, etc.) impliquent des contraintes sur l'architecture d'émetteur ou de récepteur. L'intégration sur Silicium des émetteurs et récepteurs est quasi totale, à l'exception de certains composants passifs et de certains filtres. Les principales contraintes se situent sur l'oscillateur local qui doit couvrir toutes les bandes des standards, tout en garantissant une bonne pureté spectrale (bruit de phase et raies parasites) avec une consommation optimisée.

L'oscillateur local, dans les différentes architectures de récepteurs et d'émetteurs, est un des éléments clés des performances et/ou des limitations d'adressage des différents standards.

Ce mémoire de thèse se décompose en deux parties, une première partie présentant les travaux de recherches effectués sur les architectures de synthétiseur de fréquence, et une seconde partie traitant de l'optimisation du filtre de boucle dans les synthétiseurs de fréquence à base de boucle à verrouillage de phase.

Le premier chapitre est un rappel sur la synthèse de fréquence à base de boucles à verrouillage de phase. Cette présentation montre les avantages et les limitations de la boucle à verrouillage de phase (Phase Locked Loop PLL). A partir de cette présentation, une introduction de différentes architectures de PLL à double boucle sera faite.

Le deuxième chapitre présente l'architecture de PLL dite composite permettant une optimisation du filtrage du bruit de phase de l'oscillateur contrôlé en tension (Voltage Controlled Oscillator VCO). Les différentes contraintes de cette architecture ainsi qu'une discussion sur le type de comparateur approprié seront données. Des simulations comportementales permettant de valider les modèles théoriques seront présentées. Ce chapitre se terminera en montrant les limitations de l'architecture proposée.

Dans le troisième chapitre, la description de l'application de la multiplication de fréquence par recombinaison des fronts à la synthèse de fréquence est présentée. Les mesures d'une PLL à 900MHz avec un tel dispositif sont présentées. La fonctionnalité de la PLL sera démontrée. L'analyse des raies parasites observées sur les mesures permettra de quantifier les erreurs obtenues.

Le quatrième chapitre présente l'optimisation des filtres de boucle par l'utilisation d'ordre non entier. Une introduction mathématique de l'ordre non entier ainsi que son historique seront présentés. Il sera démontré dans ce chapitre que l'utilisation des filtres d'ordre non entier permet d'une part de donner un degré de liberté au concepteur dans les compromis bande passante/rejection de la raie parasite, et d'autre part d'améliorer la robustesse de l'asservissement par rapport aux variations du procédé de fabrication.

Chapitre I :
La synthèse de
fréquence à base de
boucles à verrouillage
de phase

I.1 Introduction

Ce chapitre est une introduction à la synthèse de fréquence afin de situer sa fonctionnalité dans les architectures d'émetteur/récepteur de radiocommunications.

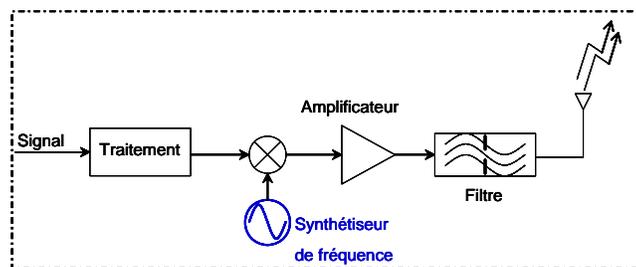
Dans un premier temps, les caractéristiques d'une synthèse de fréquence seront exposées. Puis une étude de synthétiseur de fréquence à base de boucles à verrouillage de phase sera faite en décrivant la fonctionnalité de chacun de ses sous blocs.

L'objectif de ce chapitre est de dégager les limitations et les avantages liés à l'utilisation d'une boucle à verrouillage de phase pour la synthèse de fréquence. Cela devrait justifier le choix de notre étude sur le filtre de boucle et les boucles à verrouillage de phases en parallèles.

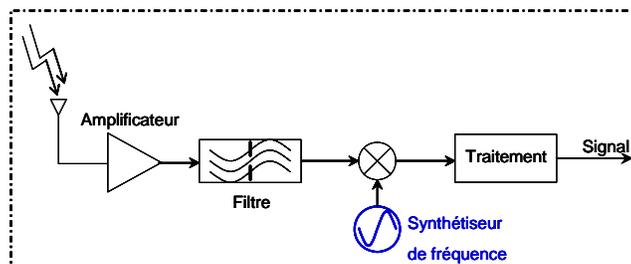
I.2 La synthèse de fréquence

I.2.1 Architecture d'émetteur/récepteur

La synthèse de fréquence trouve un grand nombre d'applications dans les systèmes de radiocommunication.



Émetteur



Récepteur

Figure I.1 : Système de radiocommunication

La synthèse de fréquence génère une fréquence (porteuse) permettant la sélection du canal (fréquence) de réception ou d'émission. Par exemple pour le standard GSM, il existe 124 canaux pour la réception et 124 canaux pour l'émission. Les canaux sont distants de 200kHz entre eux [sus04].

La synthèse de fréquence a pour rôle de générer une fréquence couvrant toute la bande de réception (ou d'émission) avec un pas correspondant à la distance séparant deux canaux (200kHz pour le GSM).

Un mélangeur permet la transposition du signal reçu (ou émis) en bande de base (ou en RF).

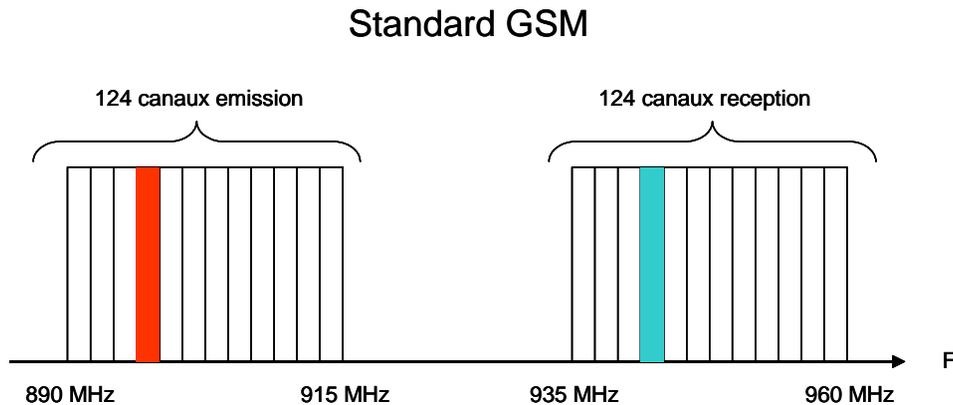


Figure I.2 : Spectre en fréquence pour le GSM

La synthèse de fréquence est soumise à un grand nombre de contraintes :

- Plage d'accord
- Pas de synthèse
- Temps d'établissement
- Raies parasites
- Bruit de phase
- Etc ...

Ces contraintes vont être présentées dans le paragraphe suivant.

1.2.2 Spécifications des synthétiseurs de fréquence

1.2.2.1 Plage d'accord

La plage d'accord est la plage de fréquence que la synthèse de fréquence doit couvrir. Elle dépend de l'application, par exemple la plage d'accord en réception pour le GSM est la gamme de fréquence 935-960MHz.

1.2.2.2 Pas de synthèse

Le pas de synthèse est la différence de fréquence entre deux canaux adjacents. Par exemple pour le GSM, les canaux sont distants entre eux de 200kHz.

1.2.2.3 Temps d'établissement

Le temps d'établissement est le temps nécessaire au synthétiseur pour passer d'un état (fréquence) stable à un autre ($\sim 120\mu\text{s}$ pour le GSM)

1.2.2.4 Raies parasites

Les raies parasites (ou spurious) sont des fréquences présentes dans le spectre de l'oscillateur local et inhérentes au procédé de synthèse

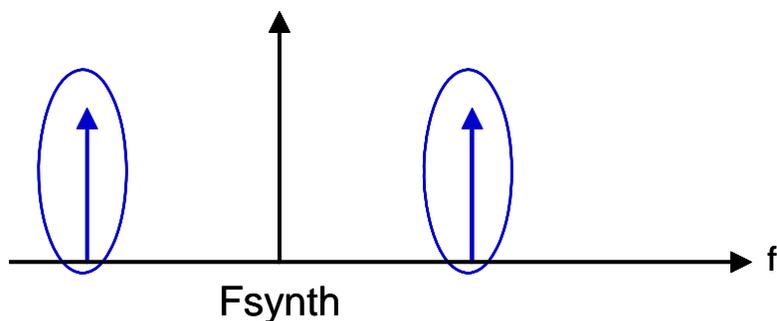


Figure I.3 : Spectre de sortie d'un synthétiseur avec des raies parasites

La présence de raies parasites peut être pénalisante pour les applications de radiocommunication. Les raies parasites sont toujours liées à l'architecture du synthétiseur de fréquence (et/ou de l'architecture l'émetteur ou récepteur) [bad99].

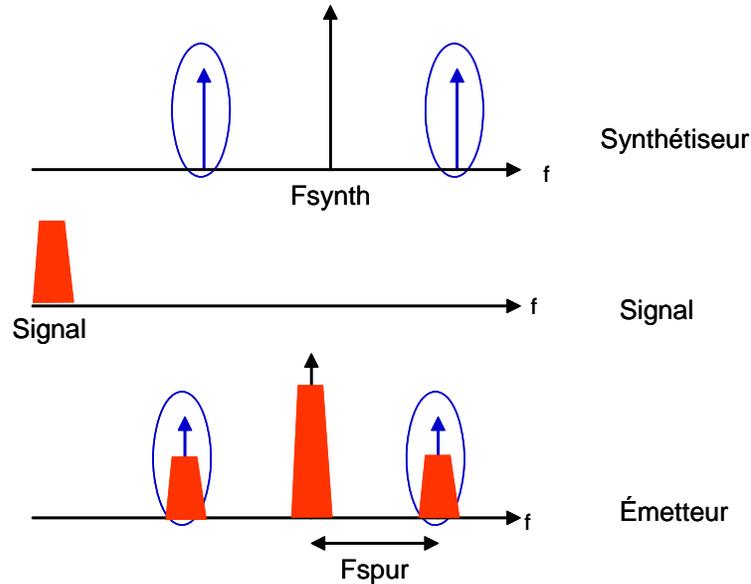


Figure I.4 : Influence des raies parasites pour un émetteur RF

Si les raies parasites se trouvent distantes d'un pas de synthèse de la fréquence synthétisée, alors la chaîne d'émission peut émettre un signal dans le canal sélectionné et dans les canaux adjacents. Cette transmission de signal dans les canaux adjacents devient une pollution inacceptable.

Les raies parasites sont également gênantes lors de la réception, en effet un repliement spectral peut s'effectuer et venir dégrader le signal basse fréquence désiré.

Les raies parasites générées par le synthétiseur de fréquence doivent être les plus faibles pour ne pas polluer les autres canaux (ou le signal transmis) et sont spécifiées par la norme. Par exemple, un niveau de -73dBc/Hz pour une raies parasite à 200kHz de la porteuse est requis pour la norme GSM

Les raies parasites peuvent avoir deux origines différentes, soit une modulation d'amplitude soit une modulation de phase.

Dans les systèmes de synthèse de fréquence moderne, l'oscillateur local possède un contrôle d'amplitude et les raies parasites dues à la modulation d'amplitude sont très rares.

Le signal de sortie d'un oscillateur dont la présence d'une raie parasite due a la modulation de phase s'écrit :

$$V_{osc} = A * \text{COS}(2 * \pi * F_{osc} * t + \theta * \text{SIN}(2 * \pi * F_m * t)) \quad \text{Eq. I.1}$$

Ou A est l'amplitude du signal, F_{osc} est la fréquence de la porteuse, θ est la déviation maximale de phase et F_m est la fréquence de la modulation de phase.

Si $\theta \ll 1$ l'expression peut être approximée par :

$$V_{osc} = A * \left[\text{COS}(2 * \pi * F_{osc} * t) - \frac{\theta}{2} \text{COS}(2 * \pi * (F_{osc} - F_m) * t) \dots \right. \\ \left. \dots + \frac{\theta}{2} \text{COS}(2 * \pi * (F_{osc} + F_m) * t) \right] \quad \text{Eq. I.2}$$

Cette expression montre la présence de composante à $\pm F_m$ de la porteuse dont l'amplitude est fonction de θ et de A l'amplitude de la porteuse.

$$A_{spur} = A * \frac{\theta}{2} \Rightarrow \theta = 2 * \frac{A_{spur}}{A} \quad [\text{rad}] \quad \text{Eq. I.3}$$

Cette expression peut être écrite à partir de l'amplitude en dBc de la raie parasite A_{sp} :

$$\theta = 2 * 10^{\frac{A_{sp}}{20}} \quad [\text{rad}] \quad \text{Eq. I.4}$$

De même s'il existe plusieurs raies parasites dans le spectre du signal, l'erreur de phase moyenne quadratique s'écrit :

$$\theta_{eff,i} = \frac{\theta_i}{\sqrt{2}} \Rightarrow \theta_{eff,i} = \sqrt{2 * \sum_{i=1}^{i=n} 10^{\frac{A_{sp,i}}{10}}} \quad [\text{rad}] \quad \text{Eq. I.5}$$

Avec i l'indice des raies parasites pris en compte.

Cette dernière équation permet de relier la présence de raies parasites avec la modulation de phase.

I.2.2.5 Bruit de phase

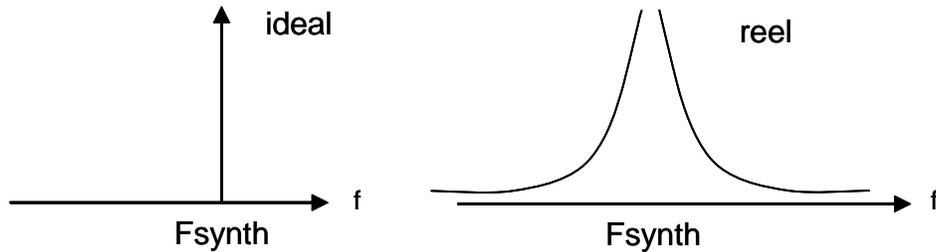


Figure 1.5 : Spectre idéal et réel d'un oscillateur

Un oscillateur idéal peut être décrit par l'expression temporelle suivante :

$$V_{\text{ideal}} = A * \text{COS}(2 * \pi * F_{\text{synth}} * t) \quad \text{Eq. 1.6}$$

Mais les oscillateurs réels ont une amplitude et une phase qui sont fonction du temps :

$$V_{\text{reel}} = A(t) * \text{COS}(2 * \pi * F_{\text{synth}} * t + \phi(t)) \quad \text{Eq. 1.7}$$

En radio communication, l'oscillateur local possède un contrôle d'amplitude (amplitude constante). De plus, les variations de phase sont très faibles ($\phi(t) \ll 1$ rad) de par la précision demandée sur la synthèse de fréquence.

L'expression Eq. 1.7 peut se mettre sous la forme :

$$V_{\text{reel}} = A * \text{COS}(2 * \pi * F_{\text{synth}} * t) - A * \phi(t) * \text{SIN}(2 * \pi * F_{\text{synth}} * t) \quad \text{Eq. 1.8}$$

Le terme $\phi(t)$ fait apparaître deux lobes de part et d'autre de la fréquence centrale F_{synth} appelées bruit de phase.

Dans le domaine fréquentiel, le bruit de phase est souvent caractérisé par la densité spectrale de bruit en bande latérale unique. Son unité est le décibel par rapport à la porteuse par hertz, dBc/Hz.

$$L(\Delta f) = 10 * \text{Log} \left(\frac{P_{\text{BLU}}(F_{\text{Synth}} + \Delta f, 1\text{Hz})}{P_{\text{porteuse}}} \right) \quad \text{en dBc/Hz} \quad \text{Eq. 1.9}$$

Où $P_{\text{BLU}}(F_{\text{Synth}} + \Delta f, 1\text{Hz})$ est la puissance de bruit à un décalage de Δf de la porteuse F_{Synth} et calculée dans une bande passante de 1Hz.

Les spécifications en bruit dépendent du type d'application. Plus les canaux sont proches les uns des autres, plus les contraintes en terme de bruit sont importantes. Par exemple pour la norme GSM en réception, l'oscillateur local doit présenter un bruit de phase maximum de -129dBc/Hz à 400kHz de la porteuse à 900MHz.

1.2.2.6 Consommation/Surface

Comme tout circuit intégré, la surface de silicium doit être la plus petite possible pour minimiser le coût global. La technologie d'intégration sur silicium devenant de plus en plus fine mais également de plus en plus chère.

De plus la consommation en courant du circuit doit être la plus faible possible, car la croissance des applications multimédia (appareil photo, musique, jeux,..) implique un besoin de réduire la consommation pour sauvegarder l'autonomie des batteries.

1.3 La synthèse de fréquence à base de boucle à verrouillage de phase

1.3.1 *PLL à division entière*

Une synthèse de fréquence à base de boucle à verrouillage de phase se compose d'un comparateur de phase, d'un filtre de boucle, d'un oscillateur contrôlé en tension (VCO

Voltage Controlled Oscillator), un diviseur de fréquence dans la boucle de retour et d'une fréquence de référence. [vau02]

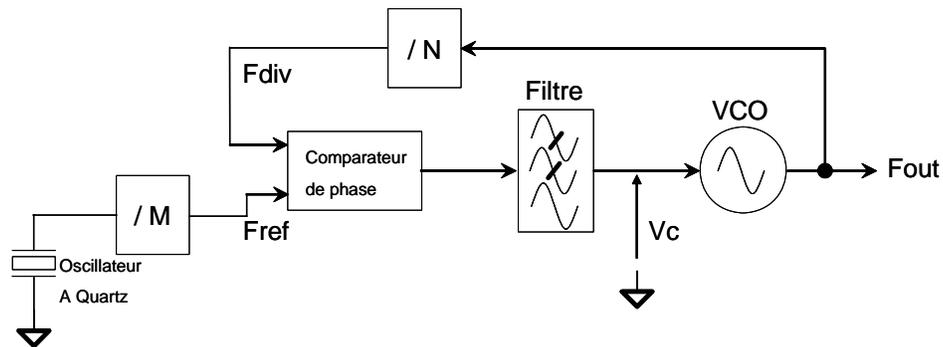


Figure I.6 : Schéma de principe d'une boucle a verrouillage de phase

La boucle à verrouillage de phase vise à minimiser l'erreur de phase aux bornes du comparateur de phase. Cela permet d'écrire la relation suivante :

$$\Phi_{\text{ref}} = \Phi_{\text{div}} \Rightarrow F_{\text{ref}} = F_{\text{div}} \Rightarrow F_{\text{ref}} = \frac{F_{\text{out}}}{N} \Rightarrow \frac{F_0}{M} = \frac{F_{\text{out}}}{N} \Rightarrow N \frac{F_0}{M} = F_{\text{out}} \quad \text{Eq. I.10}$$

L'asservissement de phase assure également l'asservissement de fréquence.

1.3.2 Le Comparateur de phase

Le comparateur de phase compare les phases de la référence et la phase du VCO à travers le diviseur et génère un signal proportionnel à la différence de phase.

Le comparateur de phase peut être réalisé de manière analogique (mélangeur, ..) ou numérique (machine d'état, portes XOR, bascules JK, ..) [lee98].

Le comparateur le plus utilisé est la machine d'état à trois états. Ce comparateur numérique est appelé détecteur de Phase/Fréquence (Phase/Frequency Detector PFD).

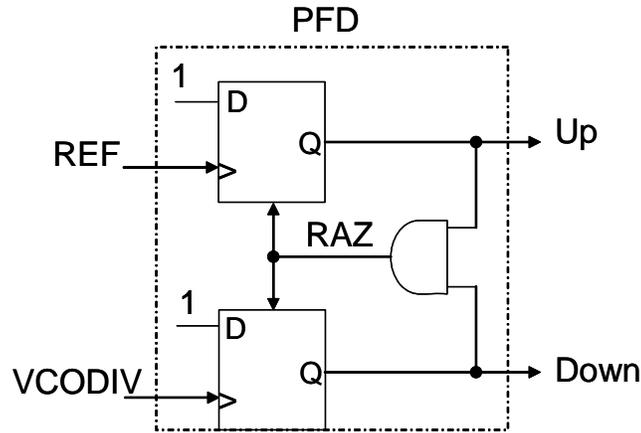


Figure I.7 : Schéma de principe d'un PFD

Le PFD permet de donner un signal d'erreur à trois états. Le premier état est l'état nul, c'est-à-dire que les signaux de la référence et du VCO à travers le diviseur sont en phase (pas d'erreur). Le deuxième état est l'accélération (ou état UP), c'est-à-dire que le signal du VCO a travers le diviseur est en retard par rapport à la référence. Le troisième état est le ralentissement (ou état DOWN), c'est-à-dire que le signal du VCO a travers le diviseur est en avance de phase par rapport à la référence.

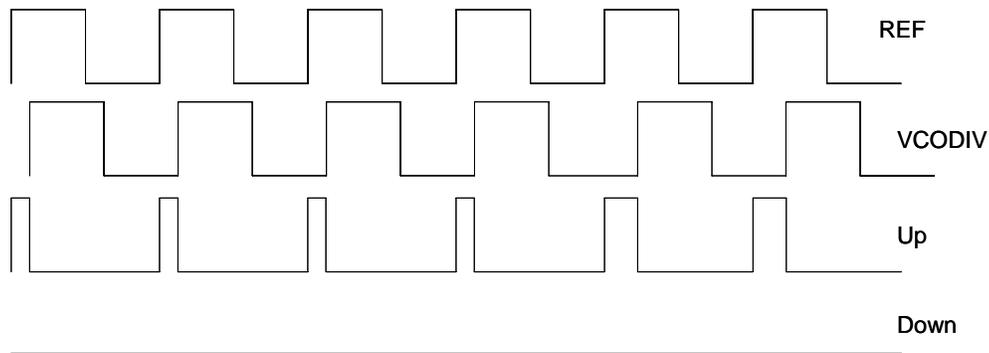


Figure I.8 : Chronogramme de fonctionnement d'un PFD lorsque le VCO est en retard de phase

La Figure I.8 présente le comportement d'un PFD lorsque le signal issu du VCO est en retard.

La machine d'états du PFD est présentée en Figure I.9 :

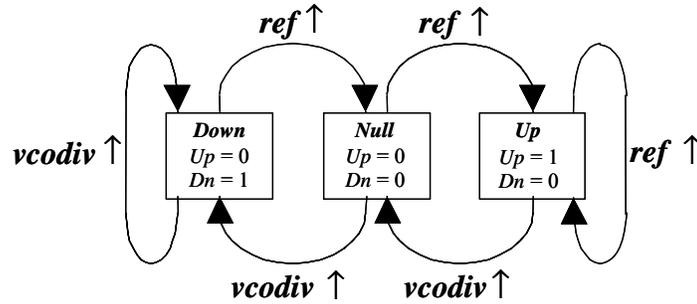


Figure 1.9 : Machine d'état d'un PFD

Cette machine d'état permet de prendre en compte les états précédents. Si le PFD est a l'état nul si un front de la référence arrive en premier alors le signal Up est activé jusqu'à l'arrivé d'un front sur le signal issue du diviseur de fréquence.

Le comparateur est dit comparateur de phase/fréquence car le comparateur a une caractéristique continue sur la plage d'erreur de phase $-2\pi/+2\pi$. C'est-à-dire, si l'erreur de phase entre les deux signaux aux bornes du PFD est compris dans l'intervalle $-2\pi/+2\pi$, le comparateur donnera un signal d'erreur proportionnel. Cette caractéristique évite le verrouillage de la boucle sur des harmoniques de la fréquence désirée.

Le principal inconvénient du PFD est sa zone morte. Le comparateur n'est pas capable de délivrer un signal d'erreur pour les très faibles erreurs de phase. Cette imperfection est lies à la rapidité de commutation des portes logiques pour créer une impulsion dont la largeur est représentative de l'erreur.

1.3.3 La pompe de charge

La pompe de charge n'est pas un élément indispensable dans une PLL, il est possible de s'en passer en utilisant directement un filtre actif en sortie du PFD. Mais la pompe de charge est assez simple à réaliser sur silicium.

La pompe de charge permet de réaliser un gain dans la boucle. De plus, elle convertit les signaux du PFD en quantité de charges injectées ou retirées

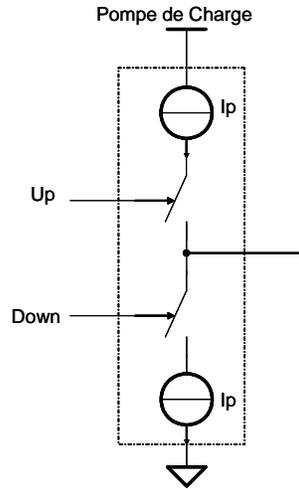


Figure I.10 : Schéma de principe d'une pompe de charge

Le courant moyen en sortie de la pompe de charge est donnée par :

$$\overline{I_{pc}} = I_p * \frac{\Delta\theta}{2 * \pi} \quad \text{Eq. I.11}$$

Ou I_p est le courant injecté ou retiré et $\Delta\theta$ l'erreur de phase entre la référence et le VCO a travers le diviseur.

De cette relation nous pouvons donner le gain du couple PFD/Pompe de charge :

$$K_{pd} = \frac{\overline{I_{pc}}}{\Delta\theta} = \frac{I_p}{2 * \pi} \quad [\text{A/rad}] \quad \text{Eq. I.12}$$

Le point déterminant dans la réalisation d'une pompe de charge est le soin apporté à l'appariement des deux sources de courant. Si les deux sources de courant ne sont pas parfaitement identiques (courant différent) alors des raies parasites à la fréquence de référence seront générées dans le spectre de sortie.

1.3.4 Filtre de boucle

Le filtre de boucle est un élément clé, il permet de fixer la bande passante, la marge de phase et la pureté spectrale de la PLL.

Le filtre réalise une conversion courant/tension du signal de correction issu du comparateur de phase/fréquence à travers la pompe de charge pour le VCO.

$$Z_f(p) = \frac{k}{p} * \frac{1 + \tau_1 p}{1 + \tau_2 p} \quad \text{Eq. I.13}$$

Le filtre correspondant à cette fonction de transfert est donné en Figure I.11

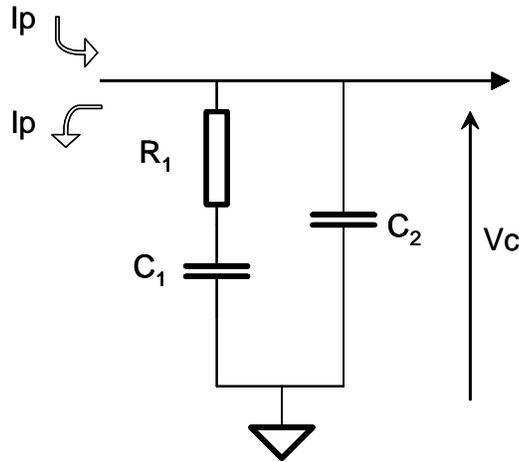


Figure I.11 : Filtre de boucle utilisé dans les PLL a pompe de charge

Dans le cas de la Figure I.11 :

$$\tau_1 = R_1 * C_1 \quad \text{Eq. I.14}$$

$$\tau_2 = R_1 \frac{C_1 * C_2}{C_1 + C_2} \quad \text{Eq. I.15}$$

$$C_0 = \frac{1}{C_1 + C_2} \quad \text{Eq. I.16}$$

1.3.5 Le VCO

L'oscillateur contrôlé en tension OCT (ou Voltage Controlled Oscillator VCO) génère le signal de sortie de la PLL. La fréquence du VCO dépend la tension de contrôle à son entrée.

$$F_{vco} = f_0 + K_{vco} * V_c \quad \text{Eq. 1.17}$$

Avec f_0 la fréquence de repos du VCO (lorsque $V_c=0$ V), K_{vco} le gain de conversion tension/fréquence du VCO en Hz/V et V_c la tension de contrôle.

L'asservissement de la PLL est basé sur la comparaison des phases (référence et VCO). La relation entre la phase et la fréquence du VCO est donnée par :

$$\theta_{vco} = \int 2 * \pi * F_{vco}(t) * dt \quad \text{Eq. 1.18}$$

$$\theta_{vco} = \int 2 * \pi * (f_0 + K_{vco} * V_c(t)) * dt = \hat{\theta}_{vco} + d\theta_{vco}$$

En ne prenant en compte un modèle aux faibles variations :

$$d\theta_{vco} = 2 * \pi * K_{vco} * \int V_c(t) * dt \quad \text{Eq. 1.19}$$

A partir de cette équation, la fonction de transfert de LAPLACE du VCO s'écrit :

$$\frac{\theta_{vco}}{V_c} = \frac{2 * \pi * K_{vco}}{p} \quad \text{Eq. 1.20}$$

Pour la boucle à verrouillage de phase le VCO est un intégrateur avec du gain.

Le VCO détermine les performances en bruit de phase de la PLL pour les hautes fréquences. Les standard de communications sont de plus en plus exigeants cela se répercute directement sur le VCO. Les VCO avec inductance permettent d'obtenir un bruit de phase faible mais impliquent une grande surface de silicium de par l'utilisation d'inductance planaire.

1.3.6 Le diviseur de fréquence

Le diviseur de fréquence permet de la transposition de la fréquence de sortie en basses fréquences pour permettre une comparaison avec la référence.

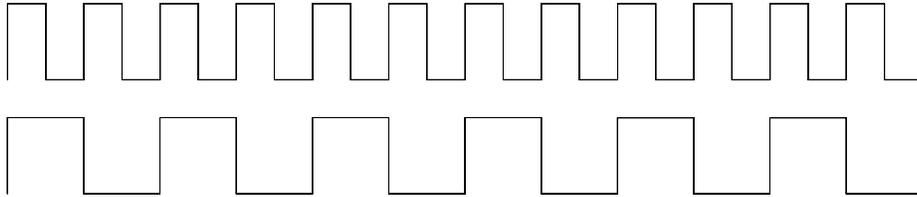


Figure 1.12 : Chronogramme d'une division en fréquence par 2

De plus le rapport de division peut être fixe ou variable pour réaliser la synthèse de fréquence.

Le diviseur de fréquence réalise un échantillonnage du signal issu du VCO à la fréquence de référence.

Le diviseur de fréquence peut être modélisé par :

$$\frac{1}{N} \frac{1 - e^{-T_p}}{T_p} \quad \text{Eq. 1.21}$$

Avec T la période d'échantillonnage lies à la fréquence de sortie du diviseur. Si les variations de phase sont de faibles fréquences (inférieur a la fréquence de sortie divisé 2 \Rightarrow théorème de Shannon) alors le diviseur est modélisé par un gain de $1/N$.

1.3.7 Modélisation de la PLL verrouillée

Une boucle à verrouillage de phase comporte une fréquence très grande en sortie de la PLL et une fréquence de référence faible. Cette caractéristique implique des temps de simulation très importants.

Pour déterminer les performances ainsi que la bonne convergence du système très rapidement, un modèle petit signal de LAPLACE est utilisé.

Néanmoins ce modèle à un domaine de validation restreint aux faibles variations de phase (amplitude et fréquence) dans la boucle d'asservissement.

La modélisation n'est valide que pour une PLL verrouillée et pour une bande passante faible.

Cette limitation de la bande passante est liée au caractère échantillonné du comparateur de phase (PFD) et du diviseur.

$$K_{\text{pfd}} \frac{1 - e^{-T_p}}{T_p} \text{ et } \frac{1}{N} \frac{1 - e^{-T_p}}{T_p} \quad \text{Eq. I.22}$$

Si la bande passante de la PLL n'est pas limitée aux faibles fréquences (inférieur à la fréquence de comparaison), le modèle doit tenir compte des phénomènes d'échantillonnage.

Si la bande passante est grande, le model de LAPLACE en P n'est plus valide et le modèle en Z doit être utilisé pour faire apparaître l'échantillonnage du comparateur de phase et du diviseur.

Ce model petit signal en P n'est valide que pour des bandes passantes inférieures a :

$$\text{Bandepassante} \leq \frac{F_{\text{ref}}}{10} \quad \text{Eq. I.23}$$

Ce rapport 10 entre la bande passante et la fréquence de comparaison permet d'assurer la validité de la linéarisation faite pour le modèle et permet de ne pas prendre en compte les phénomènes d'échantillonnage présent dans les PLLs.

Le modèle petit signal de LAPLACE de la PLL verrouillée est présenté en Figure I.13.

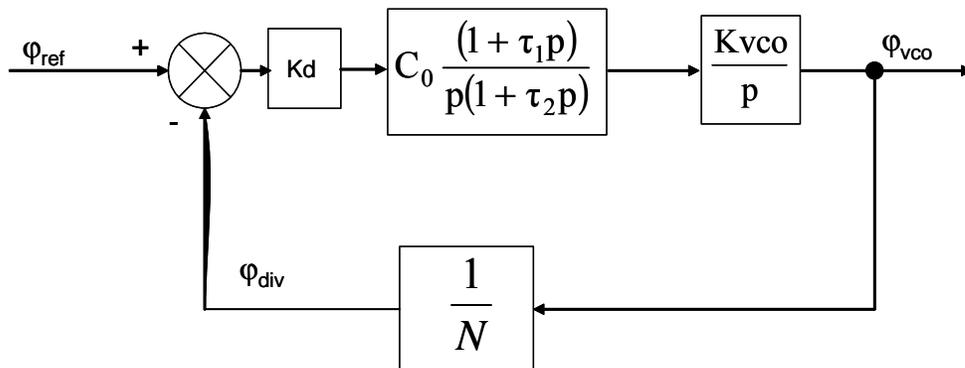


Figure I.13 : Modèle petit signal de LAPLACE d'une PLL verrouillée

Le PFD est assimilé a un comparateur, la pompe de charge a un gain K_d , le filtre est défini par sa fonction de transfert, le VCO est décrit par un intégrateur avec du gain et le diviseur de fréquence par un gain.

Les études de la boucle à verrouillage de phase en boucle ouverte ou en boucle fermée sont complémentaires.

I.3.7.1 Fonction de transfert en boucle ouverte

La fonction de transfert en boucle ouverte permet de vérifier la bande passante ainsi que la marge de phase du système déterminant la rapidité et la convergence du système [wol91].

La fonction de transfert en boucle ouverte de la PLL est définie par :

$$B.O = C_0 \frac{\left(1 + \frac{P}{\omega_{c1}}\right)}{\left(1 + \frac{P}{\omega_{c2}}\right)} \frac{1}{P^2} \frac{K_{vco} * K_d}{N} \quad Eq. 1.24$$

La marge de phase du système en boucle ouvert est définit par l'équation suivante :

$$M\phi = -180 - \Phi_{BO}(\omega_u) \quad Eq. 1.25$$

Avec ω_u la fréquence au gain unité en boucle ouverte de la PLL aussi appelée bande passante.

La marge de phase de la PLL est déterminée par le pôle et le zéro du filtre de boucle par :

$$M\phi = \text{Arctg}\left(\frac{\omega_u}{\omega_{c1}}\right) - \text{Arctg}\left(\frac{\omega_u}{\omega_{c2}}\right) \quad Eq. 1.26$$

La rapidité du système est reliée à la fréquence au gain unité de la fonction de transfert en boucle ouverte.

$$0 = C_0 + 20 * \text{Log}\left(\sqrt{1^2 + \tau_1^2 \omega_u^2}\right) - 20 * \text{Log}\left(\sqrt{1^2 + \tau_2^2 \omega_u^2}\right) - 20 * \text{Log}\left(\frac{K_{vco} * Kd}{N}\right) - 40 * \text{Log}(\omega_u) \quad \text{Eq. I.27}$$

La fréquence au gain unité (bande passante) de la PLL est définie par tous les paramètres de la PLL.

I.3.7.2 Fonction de transfert en boucle fermée

La fonction de transfert en boucle fermée permet de vérifier la pulsation propre ainsi que facteur d'amortissement du système déterminant la rapidité et la convergence du système.

$$B.F = \frac{C_0 \left(\frac{1 + \frac{P}{\omega_{c1}}}{1 + \frac{P}{\omega_{c2}}} \right) \frac{1}{P^2} * K_{vco} * Kd}{1 + C_0 \left(\frac{1 + \frac{P}{\omega_{c1}}}{1 + \frac{P}{\omega_{c2}}} \right) \frac{1}{P^2} \frac{K_{vco} * Kd}{N}} \quad \text{Eq. I.28}$$

En simplifiant la fonction du filtre par :

$$\frac{C_0 \left(\frac{1 + \frac{P}{\omega_{c1}}}{1 + \frac{P}{\omega_{c2}}} \right)}{P \left(\frac{1 + \frac{P}{\omega_{c1}}}{1 + \frac{P}{\omega_{c2}}} \right)} \Rightarrow \frac{C_0}{P} \left(1 + \frac{P}{\omega_{c1}} \right) \quad \text{Eq. I.29}$$

La fonction de transfert en boucle fermée peut alors se comparer à un système d'ordre 2 [raz98] :

$$\frac{B.F}{N} = \frac{2 * \xi * \omega_n * P + \omega_n^2}{p^2 + 2 * \xi * \omega_n * P + \omega_n^2} \quad \text{Eq. 1.30}$$

Avec ω_n la pulsation propre définit par :

$$\omega_n = \sqrt{\frac{1}{N} \frac{K_{vco} K_d}{C_1}} \quad \text{Eq. 1.31}$$

Avec :

$$\omega_1 = \frac{1}{R_1 C_1} \quad \text{Eq. 1.32}$$

Et ξ le facteur d'amortissement définit par :

$$\xi = \frac{\omega_n \tau_1}{2} \quad \text{Eq. 1.33}$$

Ces deux paramètres caractérisent le fonctionnement de la PLL (rapidité et stabilité).

1.3.8 Calcul de filtre de boucle d'une PLL

Dans ce paragraphe, le calcul du filtre de boucle en boucle ouverte va être présenté.

Tout d'abord, le filtre va être calculé pour une marge de phase et une fréquence au gain unité (bande passante de la PLL) désirée. Néanmoins les valeurs des composants du filtre peuvent être modifiées pour en optimiser le bruit.

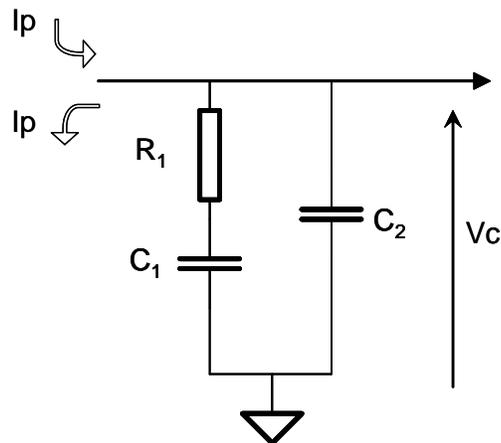


Figure I.14 : Filtre de boucle de la PLL a pompe de charge

Soit la fonction de transfert en boucle ouverte de la Figure I.15 avec la fréquence de coupure au gain unité correspondant au maximum de marge de phase. [lag05]

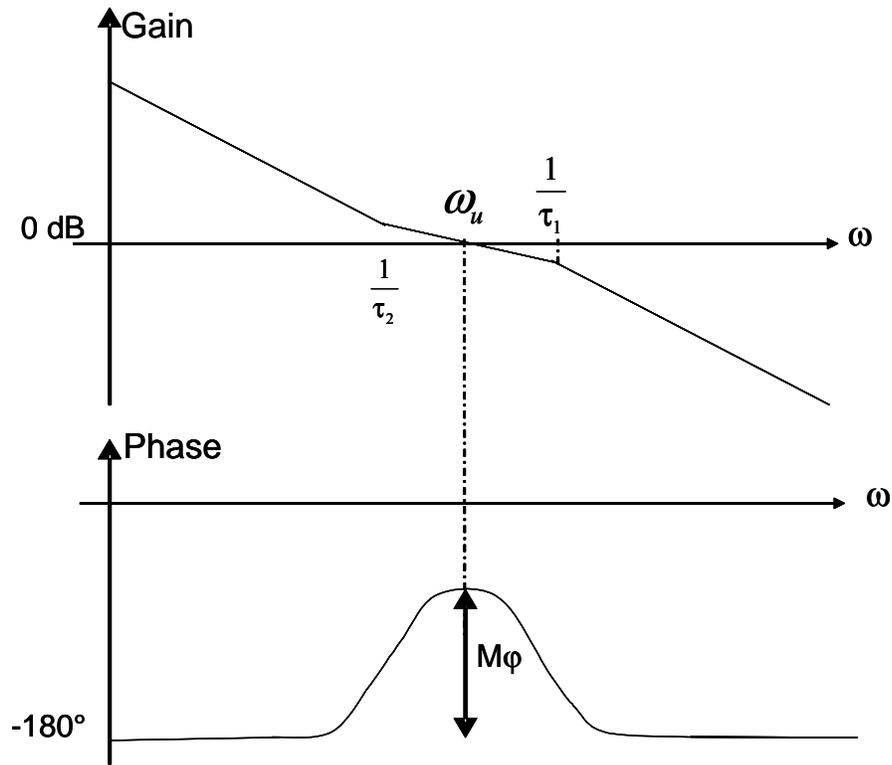


Figure I.15 : Fonction de transfert en boucle ouverte désirée

Soit le pole τ_1 définit par la marge de phase et la bande passante souhaitée :

$$\tau_1 = \frac{1}{\omega_u} * \frac{1 - \sin(M\phi)}{\cos(M\phi)} \quad \text{Eq. I.34}$$

Le maximum de marge de phase s'obtient lorsque la fréquence au gain unité se situe entre τ_1 et τ_2 sur une échelle Log.

$$\tau_2 = \frac{1}{\omega_u^2 * \tau_1} \quad \text{Eq. I.35}$$

Une fois le pole et le zéros définis par les paramètres de stabilité et de rapidité désirés, il est possible de connaître les valeurs du filtre de boucle en appliquant les relations suivantes :

$$C_1 = \tau_1^2 * \frac{K_{vco} * I_p}{N} * \sqrt{\frac{1 + \frac{\tau_2}{\tau_1}}{1 + \frac{\tau_1}{\tau_2}}} \quad \text{Eq. I.36}$$

Une fois la première capacité calculée la deuxième capacité peut être déterminée :

$$C_2 = C_1 * \left(\frac{\tau_2}{\tau_1} - 1 \right) \quad \text{Eq. I.37}$$

Avec la deuxième capacité, la résistance est facilement calculable :

$$R_2 = \frac{\tau_2}{C_2} \quad \text{Eq. I.38}$$

A partir des paramètres de la PLL (N , K_{vco} , I_p) et des performances souhaitées ($M\phi$ et ω_u) le filtre de boucle est calculable. De plus, les caractéristiques souhaitées pour la fonction de transfert ($M\phi$ et ω_u) dépendent du filtre mais également des paramètres de la PLL (N , K_{vco} , I_p). C'est-à-dire que si les composant du filtre (R_2 , C_2 , C_1) ne sont pas bien maîtrisés (dispersion de fabrication) ou bien si les gains de la PLL (N , K_{vco} , I_p) varie, la PLL peut avoir un comportement non souhaité.

La robustesse est un problème essentiel à l'intégration des PLLs sur silicium puisque les gains des VCO, pompe de charges et les valeurs des composants du filtres sont maîtrises a $\pm 20\%$.

Le même raisonnement peut être fait avec l'étude en boucle fermée de la PLL.

1.3.9 Asservissement de la phase du VCO

La boucle à verrouillage de phase permet d'asservir la phase du VCO à travers le diviseur de fréquence à une phase de référence. L'asservissement de phase du VCO a une conséquence sur le bruit de phase en sortie de la PLL.

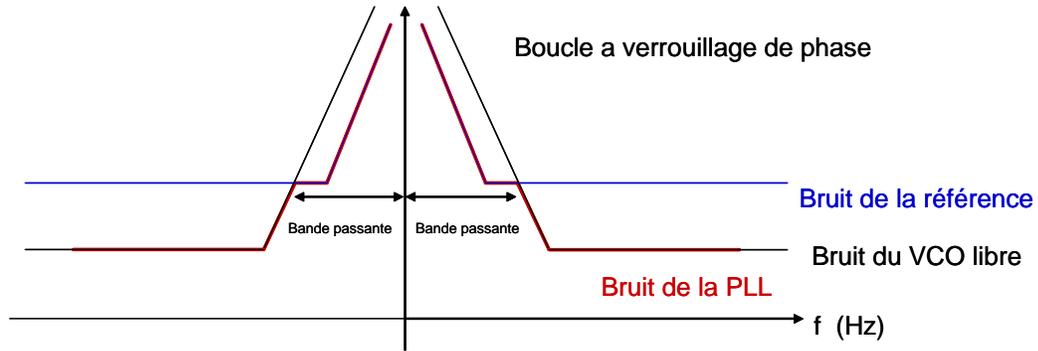


Figure I.16 : Exemple de spectre en sortie d'une PLL

La PLL permet, par le biais de l'asservissement de phase, de « recopier » le bruit de la référence en sortie de la PLL, dans la limite de la bande passante de la boucle. [vau02]

Cet asservissement du bruit de phase est une caractéristique très importante des PLL.

1.3.10 Raies parasites

L'asservissement de phase fait par la boucle se fait avec une fréquence de rafraîchissement fixée par la fréquence de comparaison. Une correction est possible à chaque front de la fréquence de référence.

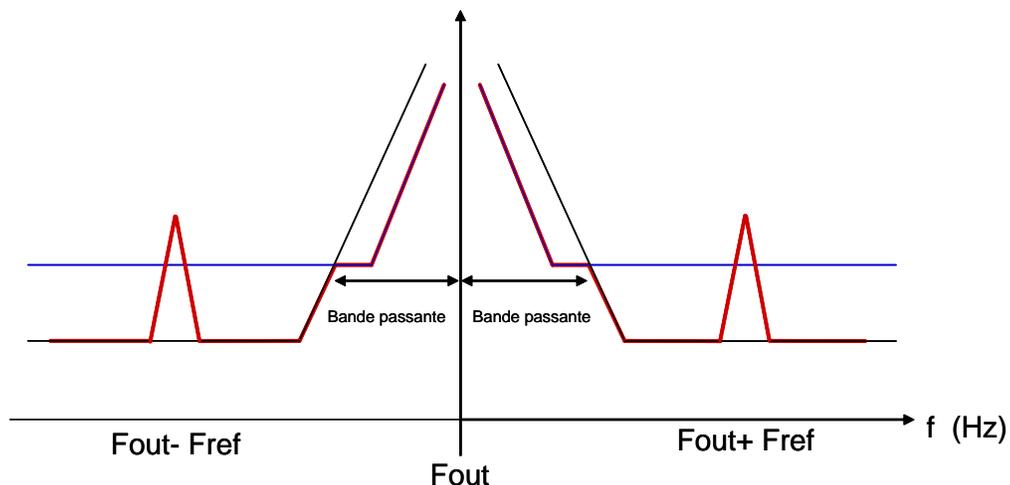


Figure I.17 : Raies parasites de la PLL liés a la fréquence de comparaison

Dans le spectre de sortie d'une boucle a verrouillage de phase, une raie parasite est créée à la fréquence comparaison. Ces raies parasites proviennent des imperfections du couple détecteur/pompe de charge.

1.3.11 Limitations des performances

La bande passante des PLL est limitée par la relation :

$$\text{Bande passante} \leq \frac{F_{\text{ref}}}{10} \quad \text{Eq. 1.39}$$

Une PLL peut tout à fait être fonctionnelle avec une bande passante supérieure à $F_{\text{ref}}/10$, mais cela demande d'utiliser un modèle plus complexe afin de vérifier la stabilité et la convergence du système. Il faut prendre compte le phénomène d'échantillonnage du comparateur.

Pour des fréquences de référence faibles (200kHz pour le GSM) cela implique sur le VCO d'avoir un bon bruit de phase. En effet l'asservissement de phase ne se fait que sur une bande passante de 20kHz. Cette faible bande passante rend le filtre de boucle difficilement intégrable et le VCO doit avoir un bruit de phase très bon. Un bon bruit de phase pour un VCO implique une grande consommation de courant et l'utilisation d'inductance dont l'intégration prend une grande surface de silicium.

Si la PLL avait une bande passante plus importante cela relâcherait un peu les contraintes sur le VCO (en termes de surface et/ou de consommation)

Pour améliorer la synthèse de fréquence à base de boucle à verrouillage de phase, la bande passante doit être augmentée. Plusieurs solutions existent comme par exemple la boucle a verrouillage de phase fractionnaire. Une PLL fractionnaire peut être considéré comme une PLL entière dont le rang de division est changé dynamiquement et ainsi réaliser un rang de division moyen non entier (ou fractionnaire).

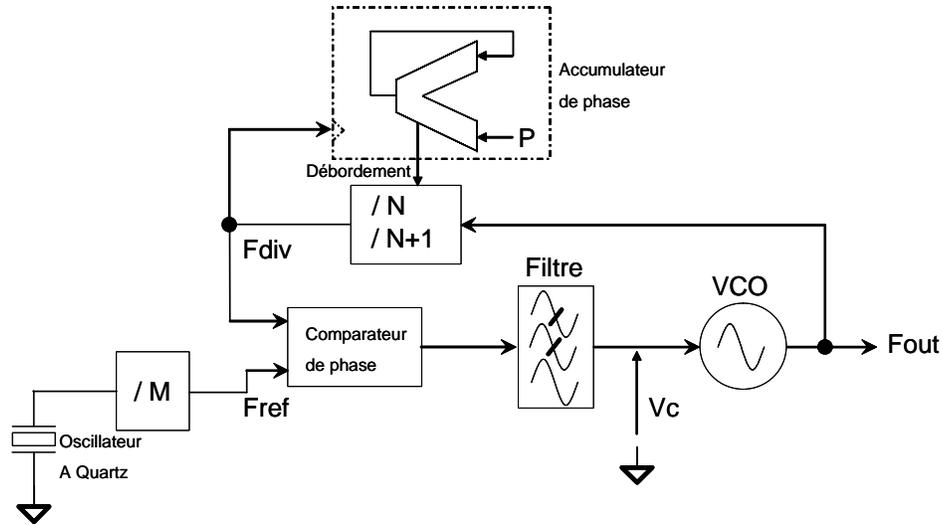


Figure I.18 : Schéma d'une PLL fractionnaire

Pour réaliser un rang de division moyen non entier N_{MOY} compris entre N et $N+1$, il suffit que le rang de division soit égal à $N+1$ pendant P cycles de la référence et à N pendant $Q-P$ cycles. Ainsi, le rang de division moyen sur Q cycles de la référence est :

$$N_{MOY} = \frac{(N+1) \cdot P + N \cdot (Q-P)}{Q} = \frac{P + N \cdot Q}{Q} = N + \frac{P}{Q} \quad \text{Eq. I.40}$$

N_{MOY} est composée d'une partie entière N et d'une partie fractionnaire P/Q .

Si le rang de division n'est plus entier, la fréquence de référence peut être augmentée sans modifier le pas de fréquence. L'augmentation de la fréquence de référence entraîne celle de la fréquence de coupure du filtre de boucle (et donc de la bande passante de la PLL).

Néanmoins, la division fractionnaire génère des raies parasites dans le spectre de sortie de la PLL. Ces raies parasites limitent la bande passante utilisable d'une PLL fractionnaire.

I.4 PLL a double boucle

Pour améliorer la PLL a division entière, l'utilisation de boucle en série ou en parallèle est possible.

1.4.1 Double boucle série

Deux boucles en série (basses fréquences et hautes fréquences) permettent de réaliser une synthèse en partageant les contraintes sur chacune des boucles. [bad05]

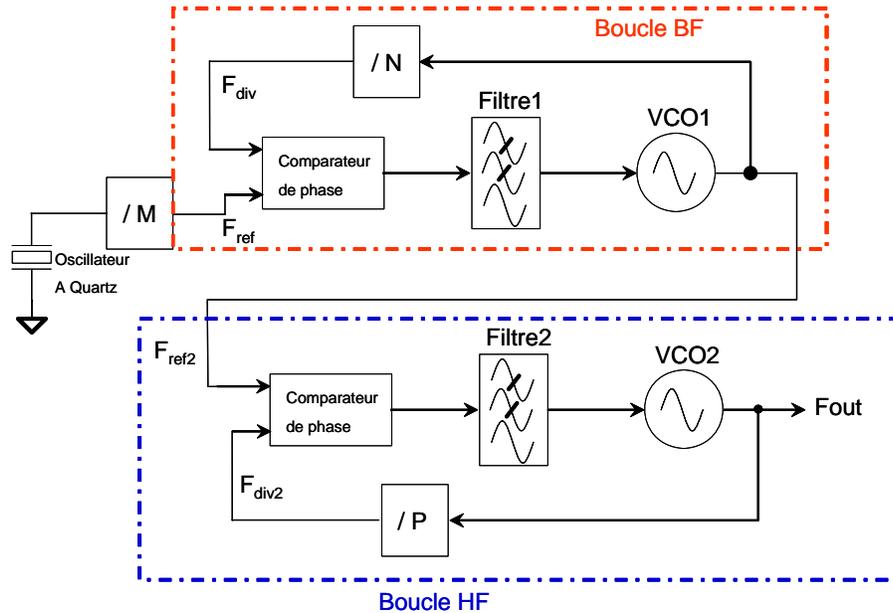


Figure 1.19 : Exemple de deux PLL en série

Néanmoins, l'utilisation de deux boucles en série impose de réaliser deux VCO. Et ces deux VCO doivent avoir un bon bruit de phase (donc consommation élevée). Cette solution peut être applicable dans certaines applications mais doit alors être comparée avec une PLL à division fractionnaire (consommation/surface/pureté spectrale).

La bande passante de ce type de PLL est liée au bruit de phase des deux VCOs. Si le deuxième PLL a une grande bande passante (pour limiter les contraintes sur le deuxième VCO) cela implique que le premier VCO doit garantir un très bon bruit de phase donc consommera beaucoup de courant.

La bande passante globale de ce type de PLL est liée a la plus petite bande passante des deux PLL misent en série.

1.4.2 Double boucle parallèle

L'utilisation de deux en parallèle est beaucoup moins courante. Une PLL avec deux boucles en parallèle est présentée en Figure I.20 [max01].

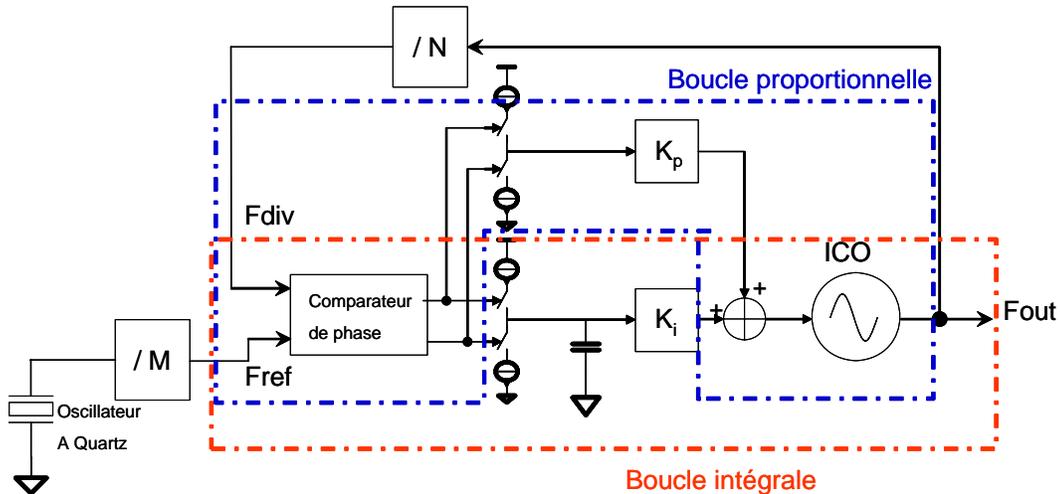


Figure I.20 : Exemple de PLL avec deux boucles en parallèle

Une PLL avec deux boucles en parallèle se compose d'une fréquence de référence, d'un comparateur de phase, de deux pompes de charge, de deux correcteurs (filtres), d'un additionneur, d'un VCO et d'un diviseur de fréquence.

Les deux boucles en parallèle permettent d'apporter au VCO deux ordres de correction distincts.

L'objectif de la mise en parallèle d'une deuxième boucle est de pouvoir augmenter la bande passante. Néanmoins, le temps d'établissement des PLLs à double boucle parallèle dépend de la boucle la plus lente. Mais pour l'asservissement de phase du VCO, lorsque la PLL est verrouillée, la seconde boucle permet une augmentation de la bande passante de l'asservissement.

La mise en parallèle de deux boucles d'asservissement implique une interaction entre les boucles qui peut être néfaste pour la stabilité du système. Le point le plus important pour ces PLLs est l'étude de stabilité du système.

Le modèle petit signal de LAPLACE est décrit en Figure I.21.

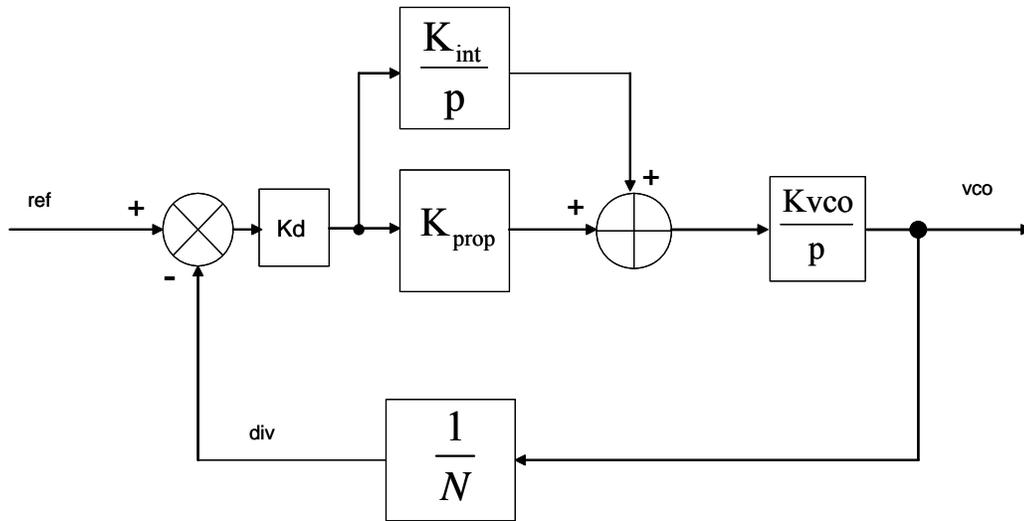


Figure I.21 : Modèle petit signal de la PLL avec deux boucles en parallèle

La boucle proportionnelle délivre un signal d'erreur proportionnel à l'erreur de phase. Cette boucle permet d'apporter des corrections d'erreur à plus hautes fréquences.

L'architecture de boucle à verrouillage de phase en parallèle permet d'ajouter une partie de bande passante supplémentaire à la boucle intégrateur (PLL classique). Néanmoins cette boucle proportionnelle ne comporte pas de correcteur (filtre) donc ne permet pas de rejeter les fréquences indésirables et autres raies parasites. De plus les deux boucles apportent des informations basse fréquences donc il y a redondance des informations d'erreur de phase.

La limitation de la bande passante (globale) reste limitée par la relation :

$$\text{Bande passante} \leq \frac{F_{\text{ref}}}{10} \quad \text{Eq. I.41}$$

Afin de garantir une bonne pureté spectrale (filtrage de la raie parasite générée à la fréquence de comparaison) et une facilité de modélisation la bande passante des PLL est toujours limitée.

Le point le critique dans l'utilisation des PLL à boucles parallèles, est que les deux boucles agissent en même temps sur le même composant (ici le VCO). Ce fonctionnement peut amener les deux boucles en concurrence. Cette concurrence peut entraîner une divergence de la boucle à verrouillage de phase.

I.5 Conclusion

Dans ce chapitre une rapide introduction de la synthèse de fréquence à base de boucle à verrouillage de phase a été faite, permettant de mettre en évidence les contraintes de fonctionnement sur la bande passante.

Notre intérêt sera porté sur la PLL avec deux boucles en parallèles permettant d'apporter des performances très satisfaisantes. De plus, cette introduction a pu mettre en évidence l'importance du filtre de boucle dans les caractéristiques d'une PLL.

Le développement des travaux de thèse présenté dans les prochains chapitres se séparera en deux parties distinctes. Une première partie sur une architecture de boucle a verrouillage de phase avec deux boucles en parallèles. Et une deuxième partie sur l'étude et l'optimisation des filtres de boucles.

Historiquement ces deux parties ne devaient en former qu'une seule en insérant dans l'architecture de PLL composite des filtres d'ordre non entier. Ce mariage devrait permettre de réaliser une PLL très performantes.

Néanmoins, faute de temps, cette étude ne pourra être présentée dans ce mémoire.

I.6 Références

- [bad99] F. Badets, « Nouvelles architectures de PLL a très faibles bruit de phases », Mémoire de thèse, Université Bordeaux 1, 1999.
- [bad05] F. Badets, L. Camino, S. Dedieu, D. Belot, S. Rieubon, T. Divel, P. Cerisier, « A Multimode GSM/DCS/WCDMA Double Loop Frequency Synthesizer », IEEE Asian Solid State Circuits Conference, ASSCC, Proceedings, pp. 201-204, November 2005.
- [cam02] L. Camino, « Modulation directe d'un synthétiseur de fréquence a division fractionnaire en boucle fermée », Mémoire de thèse, Université Bordeaux 1, 2002.
- [cra02] J. A. Crawford, « Frequency Synthesizer Design Handbook », Artech House, 2002.
- [lag05] V. Lagareste, P. Melchior, A. Oustaloup, Y. Deval, J. B. Begueret, F. Badets, D. Belot, « A PLL with a Non Integer Order Filter », IEEE International Conference on Systems, Signals and Devices, SSD, Proceedings, Mars 2005.
- [lee98] T. H. Lee, « The Design of CMOS Radio-Frequency Integrated Circuits », Cambridge university press, 1998.
- [lee01] D. Leenaerts, J. van der Tang, C. S. Vaucher, « Circuit Design for RF Transceivers », Springer, 2001.
- [max01] A. Maxim, B. Scott, E. M. Schneider, M. L. Hagge, S. Chacko, D. Sturca, « A Low Jitter 125-1250 MHz Process Independent and Ripple Poleless 0.18 μ m CMOS PLL based on a Sample Reset Loop Filter », IEEE JSSC, journal of solid state circuits, Vol. 36, No. 11, November 2001.
- [raz98] B. Razavi, « RF Microelectronics », Prentice Hall, 1998.
- [raz00] B. Razavi, « Design of Analog CMOS Integrated Circuits », McGrawHill, 2000.

- [sus04] O. Susplugas, « Application des boucles à verrouillage de retard à la synthèse de fréquences dans les circuits pour les communications mobiles », Mémoire de thèse, Ecole nationale supérieure des télécommunications de Paris, 2002.
- [vau02] C. S. Vaucher, « Architectures for RF Frequency Synthesizer », Springer, 2002.
- [wol91] D. H. Wolaver, « Phase-Locked Loop Circuit Design », Prentice Hall, 1991.

Chapitre II :
Optimisation du bruit
de phase des VCOs
par l'utilisation d'une
PLL dite Composite

II.1 Introduction

Les synthétiseurs de fréquences sont caractérisés par leur compromis Bruit de phase/Consommation. Suivant les spécifications du standard adressé (GSM, WCDMA, etc.), l'oscillateur utilisé pour la synthèse doit garantir une bonne pureté spectrale. Pour une synthèse de fréquence à base de PLL (boucle à verrouillage de phase, Phase Locked Loop), le bruit de phase de l'oscillateur est asservi à une source de référence très faible bruit pour les basses fréquences. Cet asservissement permet de relâcher les contraintes en bruit de phase de l'oscillateur en basses fréquences. Néanmoins, pour les hautes fréquences l'oscillateur est le contributeur majoritaire en bruit du fait de la bande passante limitée de la boucle d'asservissement. L'oscillateur peut être réalisé de différentes manières, une façon est d'utiliser un circuit résonnant. Le facteur de qualité du circuit résonnant peut impliquer une grande surface de silicium. Cette surface impacte le coût global du synthétiseur.

Dans une PLL, l'oscillateur contrôlé en tension (VCO, Voltage Controlled Oscillator) est un des blocs consommant la majeure partie du courant de la PLL. De plus, l'oscillateur prend également la majeure surface de silicium de la PLL.

Dans ce chapitre nous allons présenter une nouvelle architecture de PLL. Cette architecture doit permettre de réduire les contraintes de bruit de phase sur le VCO. Cette nouvelle architecture de PLL présentée est dite Composite.

L'architecture PLL composite a pour objectif d'augmenter la bande passante de filtrage de bruit d'une PLL classique afin de minimiser le bruit de phase en sortie de l'oscillateur. Actuellement, les spécifications de bruit de phase sont tellement contraignantes pour des applications de type radio que l'utilisation d'oscillateur à résonateur LC est quasiment inévitable.

II.2 Introduction a l'architecture de la PLL composite

II.2.1 Objectif de la structure

Une architecture permettant d'augmenter le filtrage du bruit de phase d'un oscillateur et de diminuer la consommation en courant de l'oscillateur pour un même bruit de phase. Si les contraintes de bruit de phase deviennent relâchées, les oscillateurs de type RC peuvent être utilisés, ce qui entraîne la réduction de la surface de silicium utilisée.

II.2.2 Idée de départ

Le but de cette architecture étant de permettre le sculptage du bruit de phase d'oscillateurs contrôlés en tension (OCT ou voltage controlled oscillator VCO).

Le schéma de la PLL composite est présenté à la Figure II.1.

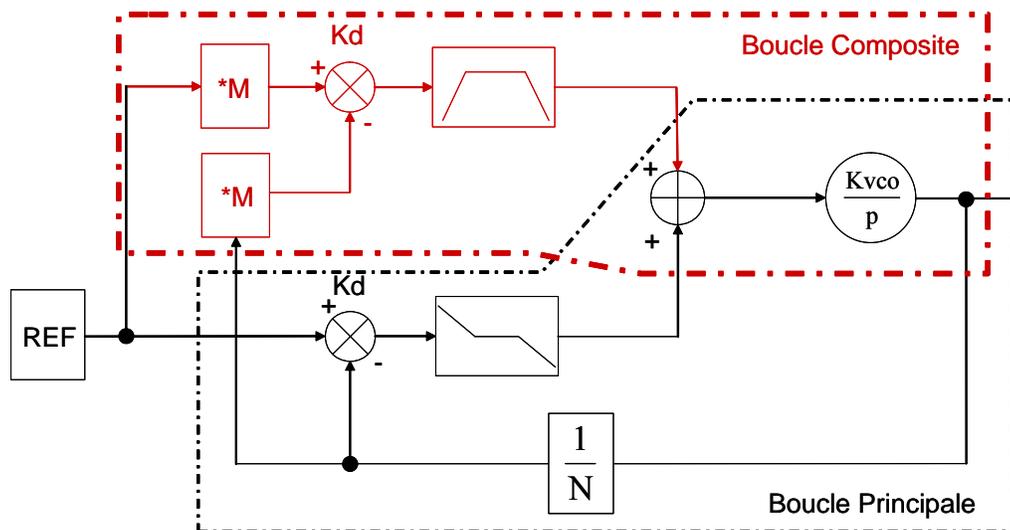


Figure II.1 : PLL composite

La PLL composite se compose de deux boucles en parallèle [hil97][hil00][mes79][rou98][sum99][max03]. La première boucle, dite boucle principale, est une boucle classique comportant un comparateur, un filtre de boucle de type passe-bas, un oscillateur contrôlé en tension (VCO) et un diviseur de fréquence. La boucle secondaire, dite boucle composite, utilise deux multiplieurs de fréquence, un

comparateur et un filtre passe-bande. Les deux boucles en parallèle sont reliées par un additionneur. La boucle principale est dite lente et la boucle composite est dite rapide.

Cette nouvelle architecture présente une bande passante élargie tout en gardant les mêmes spécifications qu'une PLL simple.

Afin de nous convaincre de cette idée, nous allons comparer les fonctions de transfert des deux PLLs (simple et composite).

En écrivant la fonction de transfert en boucle fermée d'une PLL simple, nous avons :

$$\frac{\varphi_s}{\varphi_e} = \frac{F(p) * K_d * \frac{K_{vco}}{p}}{1 + F(p) * K_d * \frac{K_{vco}}{p * N}} \quad \text{Eq. II.1}$$

Maintenant, en calculant la fonction de transfert en boucle fermée de la PLL composite, nous obtenons :

$$\frac{\varphi_s}{\varphi_e} = \frac{(F_{LP}(p) + M * F_{BP}(p)) * K_d * \frac{K_{vco}}{p}}{1 + (F_{LP}(p) + M * F_{BP}(p)) * K_d * \frac{K_{vco}}{p * N}} \quad \text{Eq. II.2}$$

Si nous posons $F(p)=F_{LP}(p)+M * F_{BP}(p)$ alors les deux fonctions de transfert Eq. II.1 et Eq. II.2 sont identiques.

Même si leurs fonctions de transfert sont très proches dans leur forme, leurs fonctionnements sont totalement différents.

La boucle principale est une PLL classique qui a une bande passante inférieure à la fréquence de référence. La boucle secondaire comporte un filtre passe-bande ainsi que deux multiplieurs de fréquence. Le principe de fonctionnement de la PLL composite consiste à sélectionner, par le biais de la boucle composite, une bande de fréquence supplémentaire. La boucle principale assure un asservissement basses fréquences de la phase du VCO. La boucle composite assure un asservissement hautes fréquences de la phase du VCO.

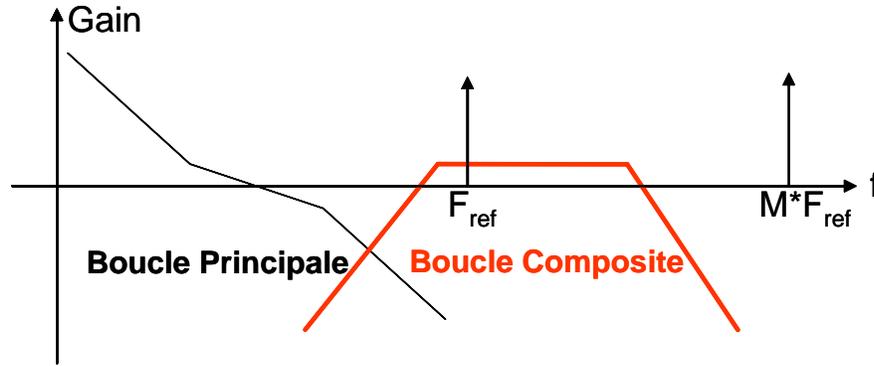


Figure II.2: Spectre de la boucle principale

II.2.3 Contraintes structurelles

L'utilisation de deux boucles en parallèle peut mener a un processus de compétitions entre les deux entraînant l'instabilité du système. Ce problème peut être fixé par l'introduction de « poids » entre les deux boucles. En effet, il est possible de donner plus d'importance à l'une des deux boucles afin d'assurer la convergence systématique du système.

La modélisation d'une PLL durant la phase de verrouillage (non linéaire) est très complexe.

Pour assurer la stabilité du système, la boucle composite pourra être activée seulement après verrouillage de la boucle principale. La boucle principale est alors une boucle classique d'asservissement de phase tandis que, la boucle composite assure les performances en bruit de la PLL lorsqu'elle est verrouillée.

II.3 L'architecture PLL composite simple

Le principe de fonctionnement va être repris dans le cas où la boucle secondaire fonctionne à la même fréquence que la boucle principale $M=1$ (Figure II.3).

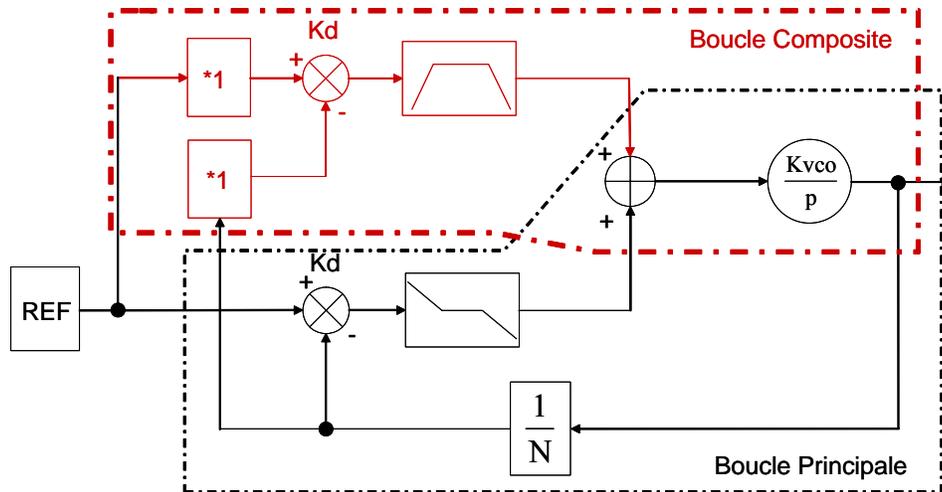


Figure II.3 : PLL composite cas $M=1$

Nous allons essayer de réduire au maximum les différents composants présents afin de mieux visualiser la différence entre cette PLL composite et une PLL simple.

Tout d'abord nous supprimons les diviseurs (division par 1) de la boucle secondaire, et nous allons essayer de ramener le schéma de la PLL composite vers un schéma de PLL simple (Figure II.4).

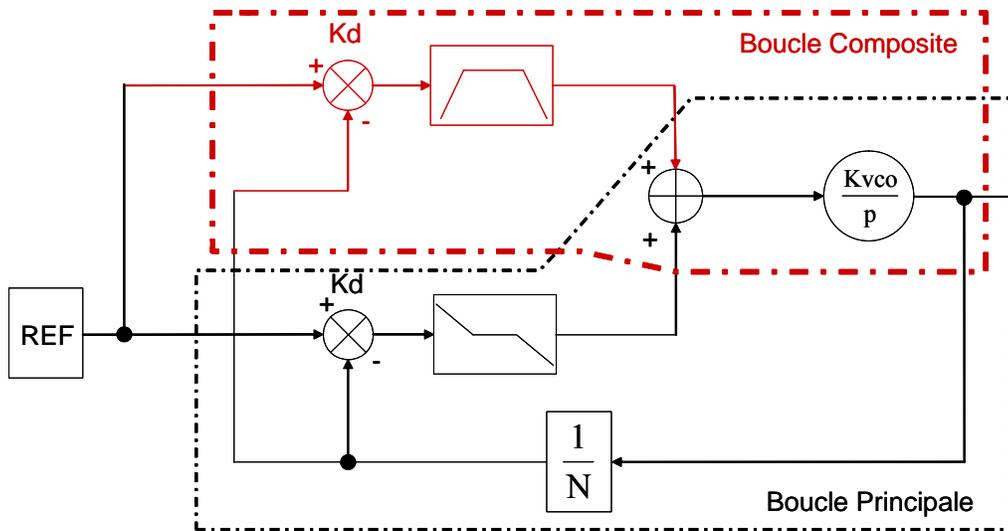


Figure II.4 : PLL composite $M=1$ simplification n°1

Nous supprimons les blocs en double (comparateur), nous allons réduire le système vers une forme plus simple (Figure II.5).

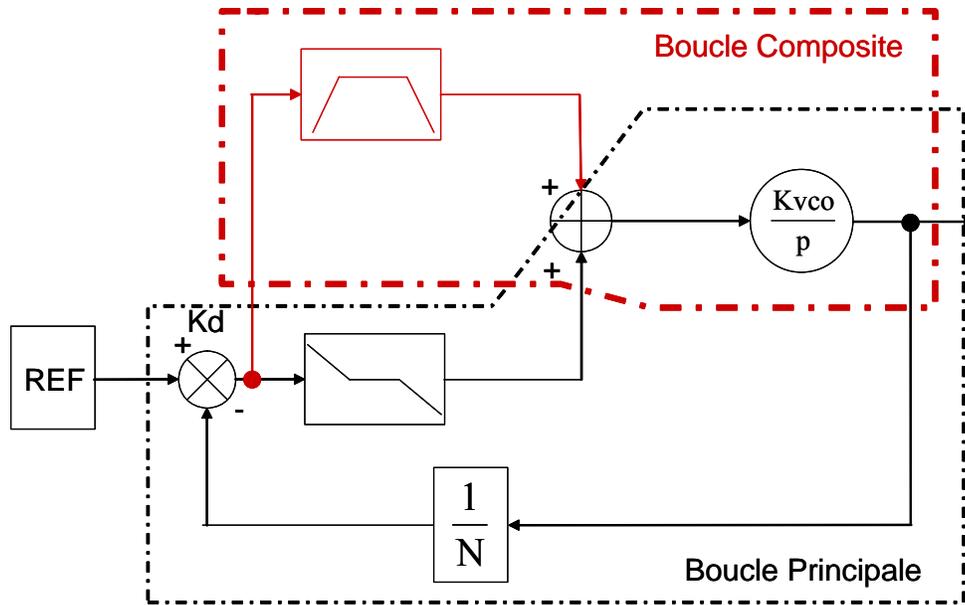


Figure II.5 : PLL composite $M=1$ simplification n°2

Nous remarquons que la PLL composite dans le cas $M=1$ est en fait une PLL simple avec un filtre plus complexe (un filtre réjecteur de fréquence), comme le montre la Figure II.6.

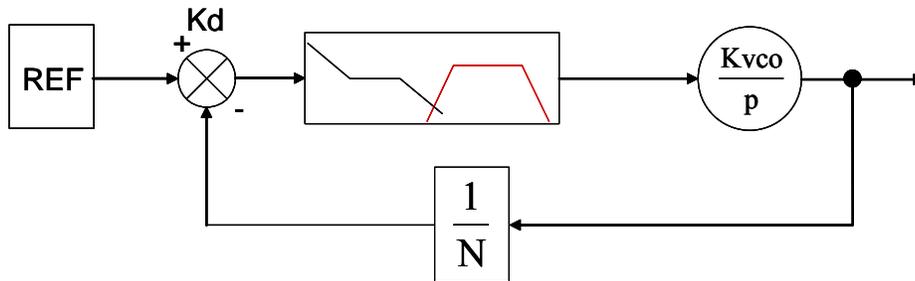


Figure II.6 : PLL composite $M=1$ simplifiée

La Figure II.7 représente la fonction de transfert du filtre constitué.

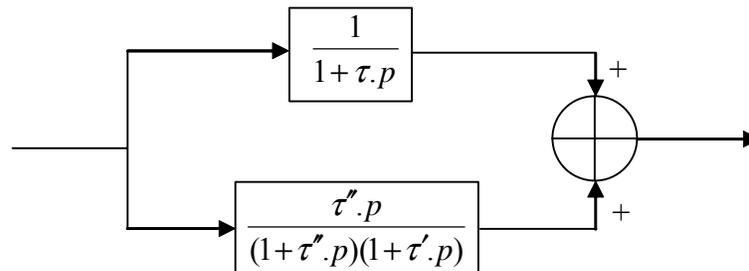


Figure II.7 : Filtre de la PLL composite $M=1$

Nous obtenons un filtre du troisième ordre avec une fonction de transfert du type :

$$F(p) = \frac{1 + (\tau' + 2\tau'') \cdot p + (\tau' + \tau) \cdot \tau'' \cdot p^2}{(1 + \tau \cdot p)(1 + \tau' \cdot p)(1 + \tau'' \cdot p)} \quad \text{Eq. II.3}$$

Globalement le filtre va avoir comme allure celle décrite par la Figure II.8 :

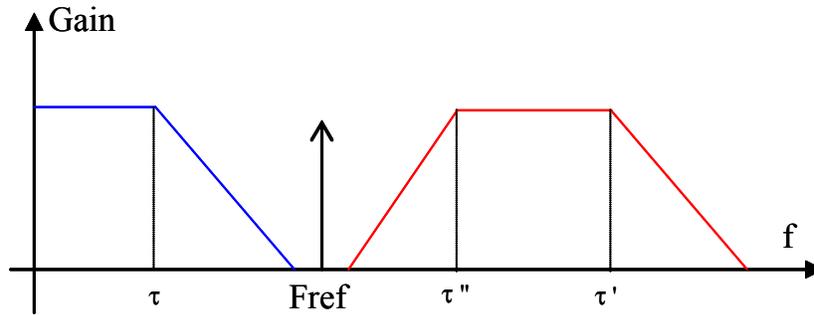


Figure II.8 : Spectre du filtre du troisième ordre

Nous retrouvons un comportement de filtre réjeteur de fréquence. En effet, dans le cas d'une PLL fractionnaire (présence de raies parasites dans la bande passante du filtre passe-bande), l'utilisation d'une telle architecture n'est pas possible. Il nous faudra, pour chaque application envisagée, déterminer la bande passante adéquate du filtre passe-bande. La boucle composite se retrouvera limitée dans sa plage d'utilisation de par le théorème de Shannon sur l'échantillonnage.

En effet, la correction d'erreur de phase ne pourra se faire que jusqu'à $F_{ref}/2$. Donc dans un premier temps, pour simplifier l'étude, nous allons considérer que la PLL composite dispose d'une boucle composite qui ne sera active qu'après le verrouillage par la boucle principale. De plus, le filtre passe-bande sera placé de façon à se retrouver entre la fréquence de coupure de la première boucle et la fréquence de référence.

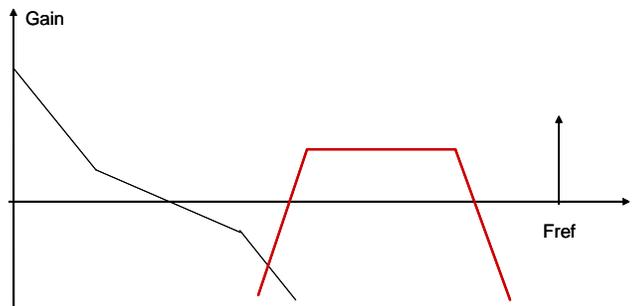


Figure II.9 : Fonction de transfert en boucle ouverte de la PLL composite

Maintenant il est indispensable de faire évoluer cette architecture afin de la rendre la plus simple possible et fonctionnelle. Pour la rendre fonctionnelle, une étude des contraintes de stabilité est indispensable. Tous ces points vont être développés dans le paragraphe suivant.

II.4 Schématique de la PLL composite

Dans un premier temps, la PLL composite a été présentée comme un système en simplifiant chaque bloc à leur fonctionnalité primaire. Maintenant, nous allons décrire exactement la spécificité de chaque bloc.

II.4.1 La boucle principale

La boucle principale sera construite suivant l'architecture classique d'une PLL à pompe de charge et sera composée d'un comparateur Phase/Fréquence, d'une pompe de charge, d'un filtre passe-bas de type RC, d'un oscillateur contrôlé en Tension (VCO) à deux entrées et d'un diviseur de fréquence entier.

L'addition des corrections des deux boucles se fera donc directement dans le VCO comme décrit au paragraphe II.5.1. De plus la bande passante du filtre passe-bas sera réduite de manière à simplifier l'intégration du filtre passe-bande de la boucle composite.

II.4.2 La boucle composite

La boucle principale assure le verrouillage en phase et en fréquence de la PLL, la boucle composite n'a comme rôle « que » le filtrage du bruit de phase en haute fréquence uniquement. Le bruit en sortie de la PLL peut être pris comme une erreur de phase ou une erreur de fréquence, les deux paramètres (phase et fréquence) étant reliés entre eux. La boucle principale assurant l'asservissement en phase (donc en fréquence) dans une bande

de fréquence faible, la boucle composite peut soit effectuer un asservissement de phase, soit de fréquence.

Lors d'un asservissement de phase, le VCO est décrit comme un intégrateur permettant de relier les informations d'erreur de phase à sa fréquence de sortie. Cet intégrateur a pour principal inconvénient d'apporter une atténuation dans les hautes fréquences. Pour obtenir une bande passante, la boucle composite devra avoir un gain suffisant permettant de « lutter » contre cet intégrateur.

Lors d'un asservissement de fréquence, le VCO est modélisé comme un gain, la réalisation du filtre passe-bande de la boucle composite nécessite moins de gain.

Dans cette partie, les différents comparateurs étudiés seront présentés. Tout d'abord, le rôle du comparateur sera de transmettre au filtre passe-bande une image des variations de phase (ou de fréquence) autour d'une valeur DC.

II.4.2.1 Détecteur de phase avec AOP

La largeur de l'impulsion délivrée par la pompe de charge est représentative de l'erreur de phase.

Les impulsions de courant vont être transformées en tension puis transposées autour d'une tension moyenne. Cette tension va être filtrée par un filtre passe-bas de fréquence de coupure inférieure à la fréquence de référence.

Le filtre passe-bas doit avoir une fréquence de coupure suffisamment basse pour lisser la courbe d'impulsion en tension mais aussi conserver les informations de fréquences élevées.



Figure II.10 : Problématique du filtrage

La Figure II.10 présente l'influence de la fréquence de coupure du filtre passe-bas sur les variations de tension. Si la fréquence de coupure est grande (en noir sur la Figure

II.10) alors nous observerons une tension oscillante. Si la fréquence de coupure est faible (en rouge sur la Figure II.10) le lissage est effectué.

Ce filtrage va permettre de « lisser » la courbe de tension permettant de retranscrire les variations des largeurs d'impulsion délivrée par la pompe de charge. Cette méthode devra permettre de s'affranchir de l'effet cumulatif de charges de la capacité d'intégration. La Figure II.11 présente la topologie du comparateur étudié.

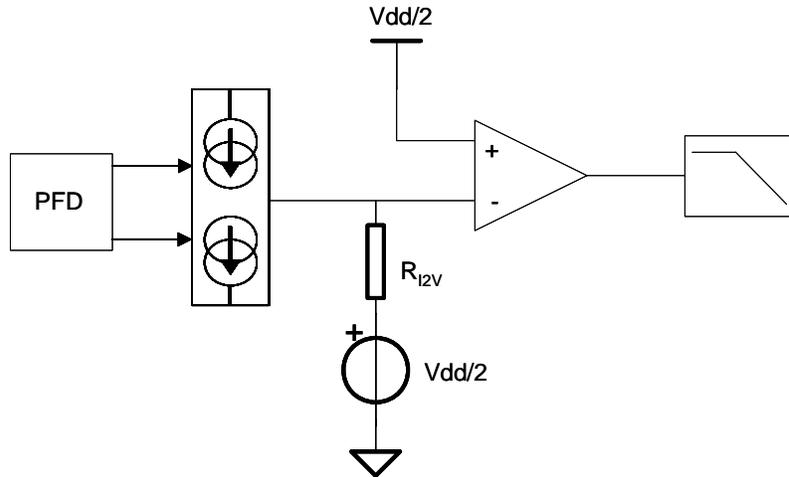


Figure II.11 : Comparateur de phase avec AOP

La résistance R_{12V} réalise la conversion des impulsions de courant en tension puis par le biais d'une source de tension ces impulsions de tension sont placées autour de $V_{dd}/2$.

L'amplificateur opérationnel (AOP) permettra également d'isoler la pompe de charge du filtre passe-bas. Cette isolation évite toute interaction entre la résistance et le filtre pouvant modifier la fonction de transfert désirée.

La boucle principale assurant le verrouillage de la fréquence de sortie de la PLL avec une faible bande passante, les erreurs de phase mesurées en hautes fréquences doivent être réduites (faible amplitude). Cela se traduira par des impulsions de faibles largeurs qui vont être très difficiles à lisser si ce n'est en baissant la fréquence de coupure du filtre passe-bas. Cette réduction de fréquence de coupure ne permettra pas de transmettre les informations de fréquences élevées.

Cette solution ne peut être retenue du fait du grand nombre de contraintes qu'elle implique.

II.4.2.2 Détecteur de phase a temps discret

Un autre moyen d'annihiler l'effet de la capacité d'intégration est d'utiliser une capacité avec un échantillonneur bloqueur [zha03][max01].

Le comparateur de phase avec échantillonneur bloqueur est présenté en Figure II.12. Il est constitué d'un comparateur phase/fréquence, d'une pompe de charge, de deux capacités et de deux interrupteurs [zha03].

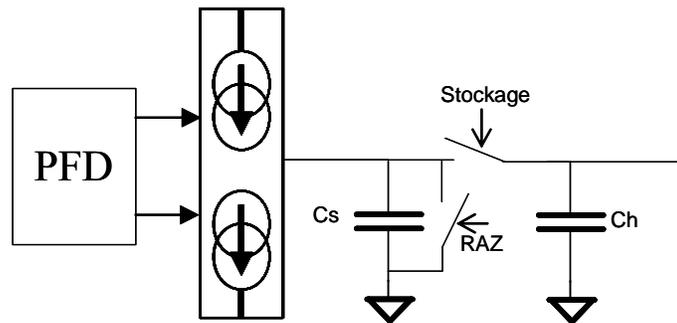


Figure II.12 : Comparateur de phase a temps discret

La capacité C_s intègre l'impulsion de courant de la pompe de charge, dont la largeur est proportionnelle à l'erreur de phase. La tension aux bornes de la capacité C_s est « mémorisée » dans la capacité C_h par l'action de l'interrupteur « Stockage ». Une fois le stockage de la mesure dans la seconde capacité effectuée, la première capacité C_s est remise à zéro pour un nouveau cycle de mesure.

Lors de la mémorisation de la tension aux bornes de la capacité C_s dans la capacité C_h , il y a transfert de charge d'une capacité vers l'autre. Ce transfert de charge implique une chute de tension lors de la commutation de l'interrupteur.

Si la capacité C_h est initialement vide ($V_{Ch}=0V$), lors du transfert de charge de C_s vers C_h , la tension initiale aux bornes de C_s se retrouve diminuée en fonction du rapport des capacités (divisée par deux si les capacités sont de même valeurs).

Maintenant si la capacité C_h est initialement chargée avec une quantité de charge Q_{h0} , lors du transfert de charge de C_s vers C_h , la tension initiale aux bornes de C_s se retrouve diminuée en fonction du rapport des capacités et également du rapport entre les charges

présentent. La différence de quantité de charge dépend de la fréquence et l'amplitude des variations de phase mesurées.

Dans le cadre de cette étude, la boucle principale sera initialement verrouillée assurant de faible erreur de phase. De plus, les variations d'erreur de phase seront de faibles fréquences (très inférieures à la fréquence de comparaison et d'échantillonnage).

La chute de tension due aux transferts de charges représente une erreur de 1% sur la tension et donc ne sera critique pour cette étude.

La Figure II.13 présente un chronogramme du fonctionnement du comparateur.

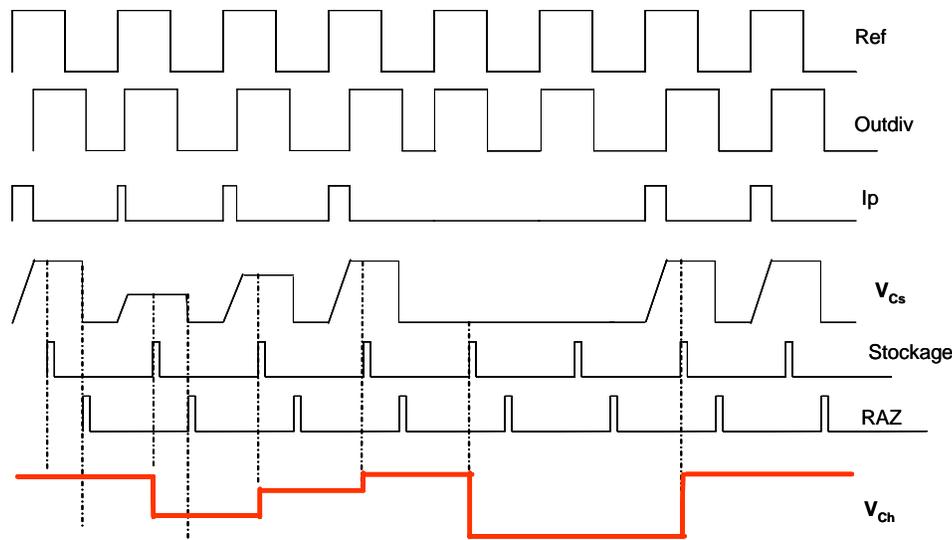


Figure II.13 : Chronogramme de fonction du détecteur de phase a temps discret

Aux bornes de la capacité C_h nous récupérons une tension représentant les variations de l'erreur de phase. Si l'erreur de phase demeure constante sur plusieurs cycles de mesure la tension aux bornes de C_h est constante. Ce comparateur correspond totalement à nos attentes, à savoir extraire seulement les variations de l'erreur de phase. Mais il a pour principal inconvénient d'être limité dans les erreurs de phase admissible. Le « stockage » et la remise à zéro s'effectue durant la période « bas niveau » du signal de référence. Ce comparateur pourra être utilisé pour de faibles erreurs de phase seulement. La boucle composite sera activée seulement après le verrouillage de la boucle principale assurant des erreurs de phase faibles.

Ce type de comparateur peut être modélisé par :

$$FT(p) = (1 - z^{-1}) \frac{K_{lf} f_{load}(p)}{p} \quad Eq. II.4$$

L'équation Eq. II.4 présente la fonction de transfert du comparateur à temps discret. K_{lf} est le gain statique du filtre et f_{load} représente les effets de la charge (dans notre cas le filtre passe-bande de la boucle composite). Le filtre à temps discret a capacité commutée à la fréquence de la référence permet de placer un pôle à cette fréquence.

La tension aux bornes de la capacité de stockage Ch peut s'écrire :

$$V_{ch} = \frac{1}{C_s} \int (I_p \times dt) \quad Eq. II.5$$

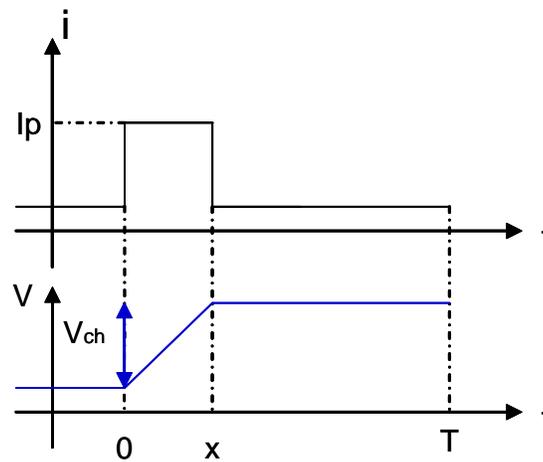


Figure II.14 : relation entre l'erreur de phase et la tension aux bornes de la capacité

La relation devient :

$$V_{ch} = \frac{1}{C_s} \int_0^x I_p dt \quad Eq. II.6$$

De plus, la variation de temps peut être reliés à l'erreur de phase par :

$$\frac{dt}{T} = \frac{d\theta}{2\pi} \quad Eq. II.7$$

La tension aux bornes de la capacité peut être reliée à l'erreur de phase par la relation :

$$V_{ch} = \frac{1}{C_s} \frac{I_p}{2\pi} T d\theta \quad \text{Eq. II.8}$$

$$\frac{V_{ch}}{d\theta} = \frac{1}{C_s} \frac{I_p}{2\pi} T \quad \text{Eq. II.9}$$

Le comparateur est bien un comparateur de phase car sa tension de sortie est proportionnelle à l'erreur de phase.

II.4.2.3 Discussion sur le type de comparateur

Les variations de phase de la sortie de la PLL peuvent être aussi considérées comme des variations instantanées de la période, donc de la fréquence. En fonction du type de comparateur utilisé, phase ou fréquence, la modélisation de la PLL sera modifiée. En effet, avec un comparateur de phase, le VCO est modélisé par un intégrateur de gain K_{vco} . Mais si la boucle comporte un comparateur de fréquence alors le VCO se modélise uniquement par un gain K_{vco} .

$$\omega = \frac{d\phi}{dt} \quad \text{Eq. II.10}$$

Le fait d'utiliser un comparateur de fréquence, supprime un intégrateur dans la boucle donc le gain nécessaire aux hautes fréquences devient moins important. Nous allons mener l'étude de la PLL composite dans deux configurations différentes. L'une avec un comparateur de phase, l'autre avec un comparateur de fréquence.

Maintenant un comparateur de fréquence doit être proposé mais il doit aussi conserver des caractéristiques identiques au comparateur de phase échantillonneur bloqueur à savoir l'extraction des variations des erreurs de fréquence.

II.4.2.4 Comparateur de fréquence proposé

Pour réaliser le comparateur de fréquence, le principe de l'échantillonneur bloqueur va être conservé mais le PFD sera lui supprimé. Les signaux, celui de référence et celui issu du diviseur, sont divisés par 2 puis reliés directement à la pompe de charge.

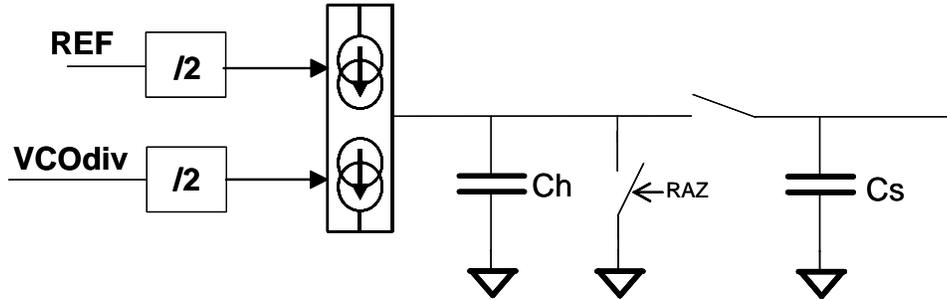


Figure II.15 : Principe de la détection de fréquence

Si les signaux divisés par 2 ont la même largeur alors la quantité de charge injectée par le signal Up est annulée par la quantité de charge enlevée par Down. Si la période instantanée du signal issue du diviseur varie, alors le temps d'ouverture du signal Down est différent de celui du signal Up, il en résulte une tension aux bornes de la capacité d'intégration des charges.

Un chronogramme du fonctionnement de la partie supérieure du comparateur de fréquence est décrit en Figure II.16.

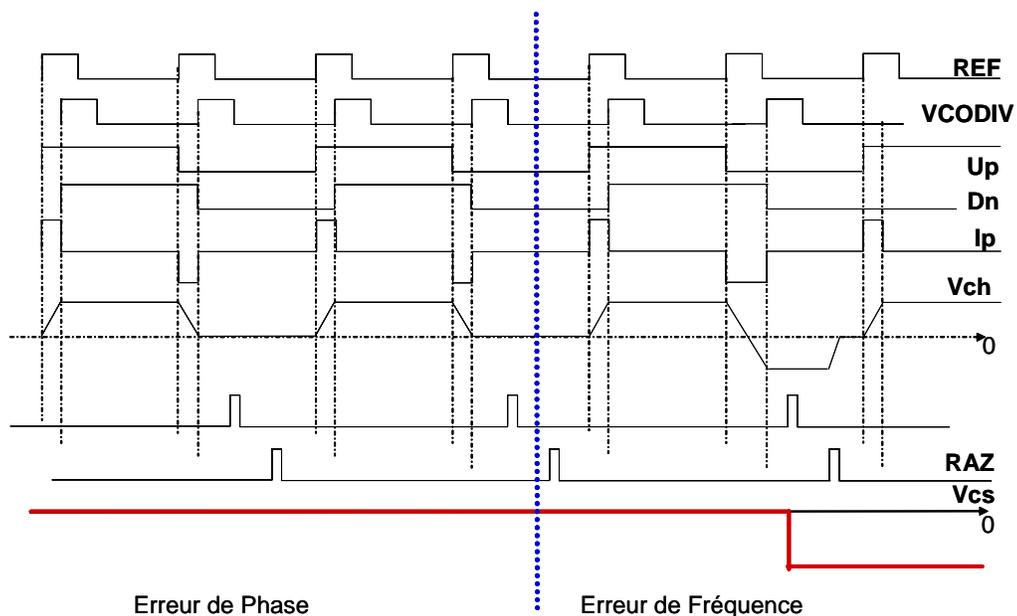


Figure II.16 : Chronogramme du détecteur de fréquence

Le chronogramme présente deux signaux de même fréquence mais déphasés entre eux. Durant la partie « niveau haut » du signal divisé par deux, la charge (ou la décharge) de la capacité d'intégration se fait à courant constant. Dans la partie « niveau bas », la mémorisation de la tension d'erreur est faite dans la deuxième capacité puis la remise à zéro de la première capacité est effectuée pour débiter un nouveau cycle de mesure. Comme nous pouvons l'observer si les deux signaux sont de même fréquence, la tension est nulle. Si les deux signaux sont de fréquences différentes (deuxième partie du chronogramme), la tension sur la capacité de stockage change et prend une valeur proportionnelle à l'erreur de fréquence.

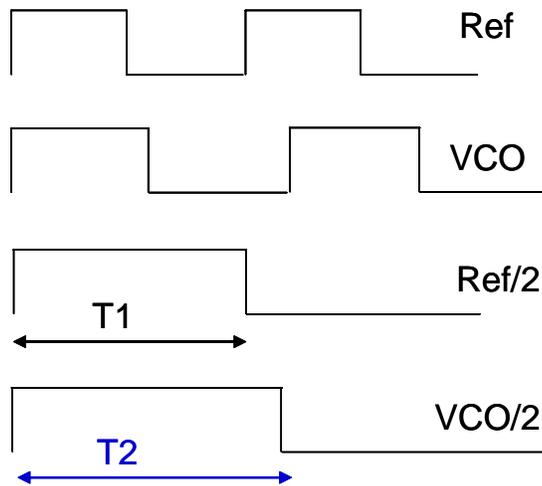


Figure II.17 : Chronogramme de fonctionnement du détecteur de fréquence

La tension aux bornes de la capacité peut s'écrire :

$$V_{ch} = \frac{1}{C_s} \int_0^x I_p dt \quad \text{Eq. II.11}$$

Pour le détecteur de fréquence proposé la tension aux bornes de la capacité s'écrit :

$$V_{ch} = \frac{1}{C_s} I_p (T1 - T2) = \frac{1}{C_s} I_p dT \quad \text{Eq. II.12}$$

De plus la période et la fréquence sont reliées par l'équation suivante :

$$\frac{dt}{T} = \frac{df}{f} \quad \text{Eq. II.13}$$

Le gain du comparateur de fréquence s'exprime par :

$$\frac{V_{ch}}{df} = \frac{1}{C_s} \frac{I_p}{f} T \quad \text{Eq. II.14}$$

Néanmoins, un cycle de mesure prend deux périodes du signal de référence. En prenant le signal complémentaire avec des inverseurs, il est possible d'obtenir une mesure complémentaire permettant d'obtenir une mesure par période de la fréquence de référence.

Le comparateur de fréquence proposé en Figure II.18 se constitue de deux diviseurs par 2, de deux pompes de charge, de deux inverseurs, de trois capacités et de trois interrupteurs.

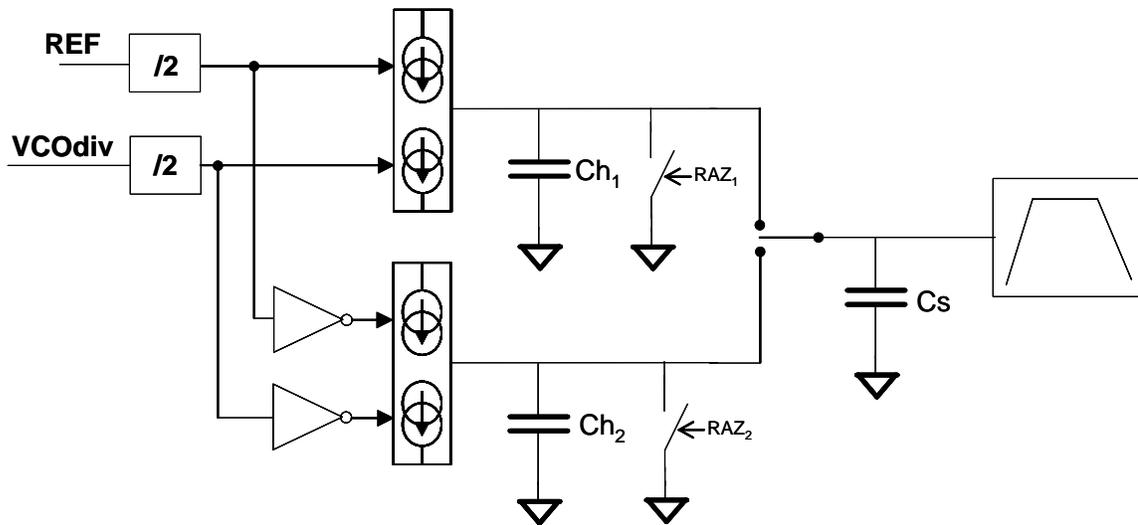


Figure II.18 : Détecteur de fréquence proposé

Les deux parties du comparateur sont complémentaires l'une de l'autre et permettent d'avoir une information sur l'erreur de phase à chaque période de la référence. Par le même principe décrit au paragraphe II.4.2.2, un interrupteur permet de « stocker » la mesure de l'erreur de fréquence puis de remettre à zéro pour un nouveau cycle de mesure.

Là encore, le principal inconvénient est la limitation des amplitudes d'erreurs de fréquence admissible car le « stockage » et la remise à zéro s'effectuent durant la période « bas niveau » du signal de référence car l'interrupteur est commandé par l'inverse du signal de référence retardé. Ce comparateur pourra être utilisé pour une faible erreur de fréquence, ce qui est notre cas, car la boucle composite est activée seulement après le verrouillage de la boucle principale assurant des erreurs de fréquence faibles.

II.4.2.5 Le filtre passe-bande

Le filtre passe-bande utilisé dans la boucle composite sera décomposé en deux parties, une de filtrage pur et l'autre de gain pur. Le filtrage est réalisé à partir de cellules RC dont l'ordre dépendra des contraintes d'atténuation et de marge de phase souhaitées (paragraphe II.5.2).

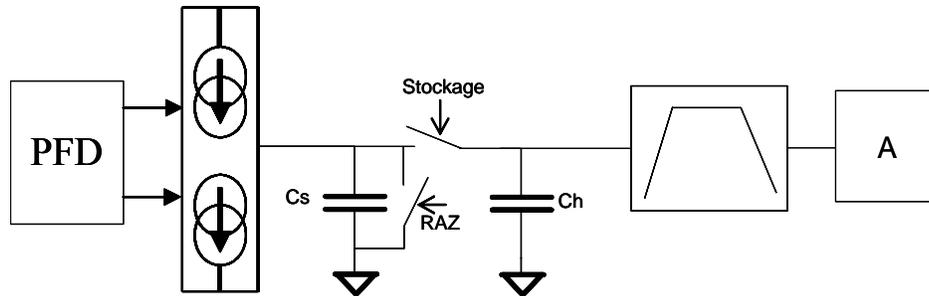


Figure II.19 : Schématique de la boucle composite étudiée

La forme du filtre passe-bande sera déterminée par la forme souhaitée en boucle ouverte, cela veut dire que le type d'asservissement (phase ou fréquence) impactera sur la forme et le gain du filtre passe-bande nécessaire pour assurer la stabilité.

II.4.3 Conclusions

Plusieurs types de comparateur ont été étudiés et un seul correspond à la fonctionnalité souhaitée. Les particularités de la boucle composite ont été décrites et cela va influencer la modélisation. Par exemple le comparateur comprend un échantillonneur bloqueur difficilement modélisable en P donc la modélisation en Z sera inévitable. De plus, le comparateur échantillonneur bloqueur à un gain fonction de la capacité donc une partie

du gain nécessaire à la boucle ouverte pour la boucle composite pourra être réalisé en jouant sur les valeurs des capacités du comparateur.

Maintenant que tous les blocs sont définis nous pouvons réaliser la modélisation de la PLL composite.

II.5 Evolution de l'architecture

Après avoir montré le principe de cette architecture plusieurs questions restent en suspens, notamment sur le mode de fonctionnement et de réalisation de certaines parties de la PLL composite.

Dans un premier temps, nous allons aborder la réalisation de l'additionneur de tension, puis dans un second temps le filtre passe-bande en prenant en compte les contraintes de stabilité. Nous finirons par le choix du type de comparateur à utiliser.

II.5.1 L'additionneur

L'additionneur permet de faire la liaison entre les deux boucles et permet de transmettre les deux tensions de corrections (celle de la boucle principale et celle de la boucle composite) au VCO.

L'additionneur doit additionner deux tensions, un moyen simple est d'utiliser un AOP en additionneur de tension. Néanmoins ce bloc est critique en termes de spécifications de bruit. L'additionneur étant juste à l'entrée du VCO, tout bruit introduit par ce bloc serait directement transformé en bruit de phase.

Le plus simple étant de ne pas avoir de bloc spécifique d'addition et de réaliser l'addition au niveau de l'oscillateur sur le réseau capacitif de réglage de la fréquence [max05_2](Figure II.20).

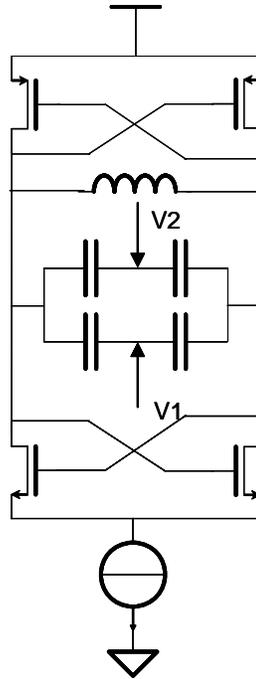


Figure II.20 : Réalisation de l'addition dans le VCO

Classiquement un seul réseau capacitif est nécessaire, pour réaliser l'addition nous divisons la valeur capacitive en deux branches parallèles. En fonction de la valeur accordée aux capacités des deux branches, il est possible d'appliquer un « poids » différent sur les deux tensions de correction. Cette dernière solution est retenue pour la réalisation de l'additionneur de tension.

II.5.2 Le filtre passe-bande

Le filtre passe-bande de la boucle composite va définir les performances de la PLL composite en terme de rejection de bruit. Ce filtre a plusieurs contraintes pour assurer la stabilité et la pureté spectrale, tout comme le filtre de la boucle principale.

Le filtre passe-bande devra avoir un ordre assez grand, car il devra intervenir dans des plages de fréquence faibles (une décade).

II.5.2.1 Ordre du filtre

Dans cette section, les différentes contraintes sur les pentes du filtre passe-bande vont être données.

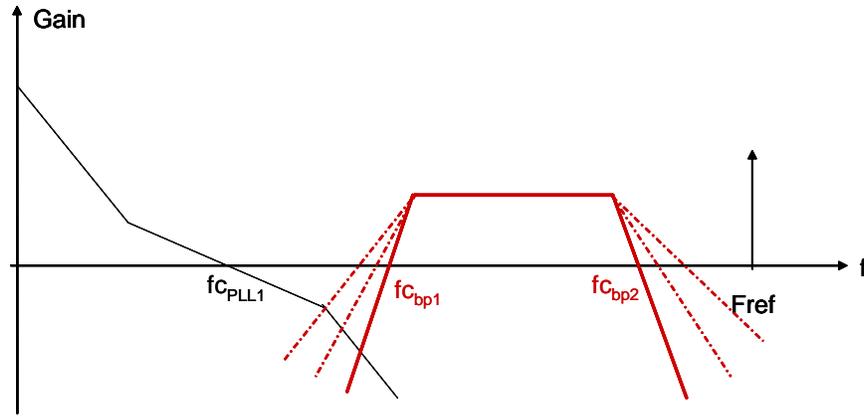


Figure II.21 : Influence de l'ordre du filtre passe-bande

Les contraintes sur $f_{c_{bp1}}$ et $f_{c_{bp2}}$ vont être données dans ce paragraphe.

II.5.2.1.1 Partie passe-haut du filtre passe-bande

Les boucles fonctionnant en parallèle, il faut absolument les isoler l'une de l'autre afin d'éviter toute compétition entre elles.

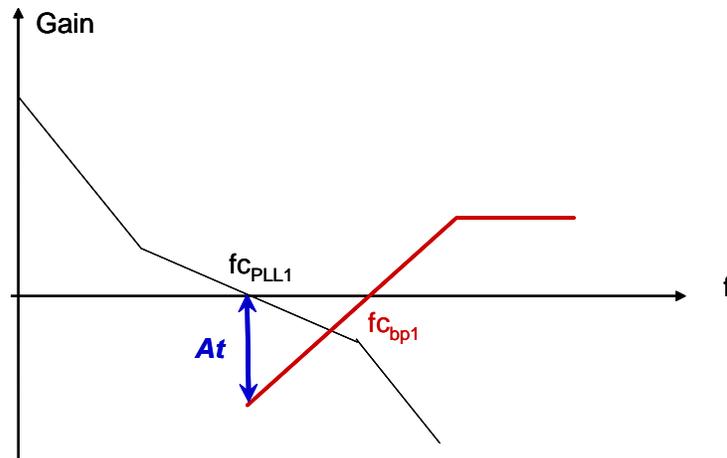


Figure II.22 : Influence de l'ordre de la partie passe-haut du filtre passe-bande sur la stabilité

Comme présenté en Figure II.22, la partie passe-haut du filtre passe-bande doit, à la fréquence de coupure de la boucle principale, permettre une rejection suffisante. Sinon

l'action de correction de l'une pourrait être prise comme une erreur de phase dans l'autre. Et les deux boucles rentrent ainsi en compétition.

II.5.2.1.2 Partie passe-bas du filtre passe-bande

Comme pour une PLL classique, le couple PFD+pompe de charge génère en sortie une raie parasite à la fréquence de comparaison.

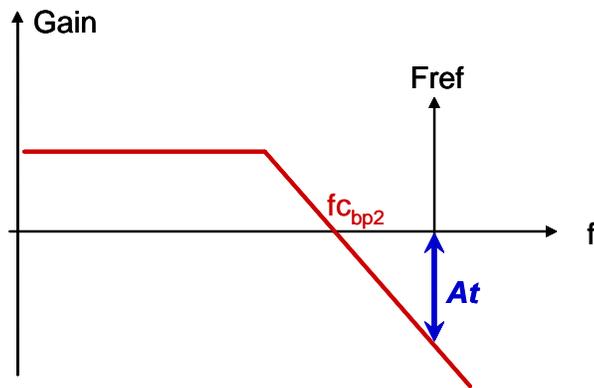


Figure II.23 : Influence de l'ordre de la partie passe-bas du filtre passe-bande sur les performances

Le filtre passe-bande doit filtrer suffisamment la raie parasite à la fréquence de référence. C'est un critère important de définition de performance des PLLs, donc l'ordre de la partie passe-bas doit être optimum.

II.5.2.2 Contraintes de stabilité

Nous venons de montrer que l'ordre du filtre passe-bande doit être le plus grand possible pour garantir une bonne pureté spectrale. Mais l'ordre du filtre passe-bande sera un compromis entre performance et stabilité.

II.5.2.2.1 Partie passe-haut du filtre passe-bande

Précédemment, l'ordre du passe-haut devait être maximum afin d'isoler la boucle composite de la boucle principale, mais pour la stabilité une contrainte sur la phase est à prendre en compte.

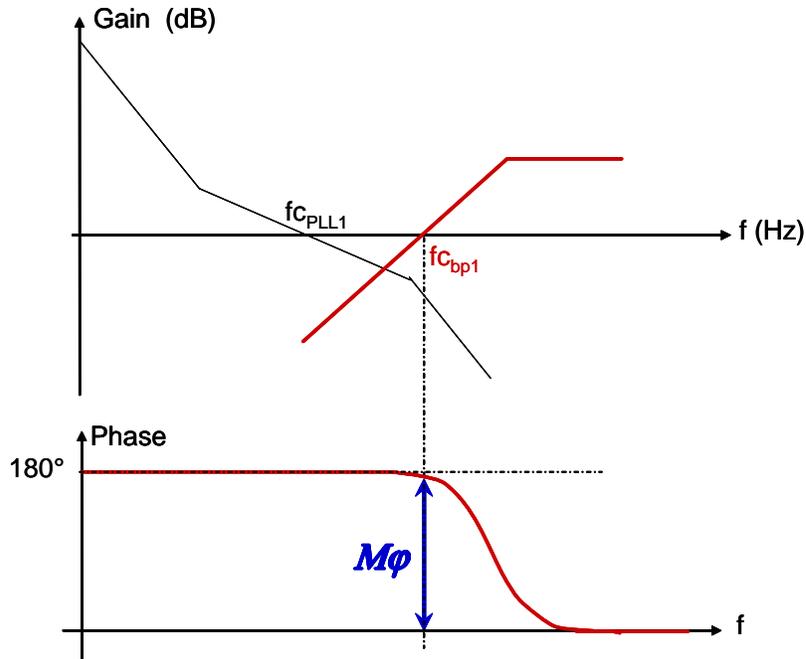


Figure II.24 : Influence de l'ordre de la partie passe-haut du filtre passe-bande sur la stabilité de la PLL composite

La phase du filtre passe-bande à la fréquence de coupure est déterminante pour conserver la contre-réaction dans la boucle composite. Si cette phase est supérieure ou égale à 180° , boucle ouverte d'ordre 2 ou supérieur, cela a pour effet d'annuler le signe « - » du comparateur donc d'annuler la contre-réaction et de faire de la boucle composite une boucle à réaction positive. Une réaction positive entraîne une divergence de la boucle.

II.5.2.2.2 Partie passe-bas du filtre passe-bande

Précédemment, l'ordre de la partie passe-bas du filtre passe-bande devait être maximum afin de réduire la raie parasite générée à la fréquence de référence, mais pour la stabilité une contrainte sur la phase existe, comme dans tout système d'asservissement.

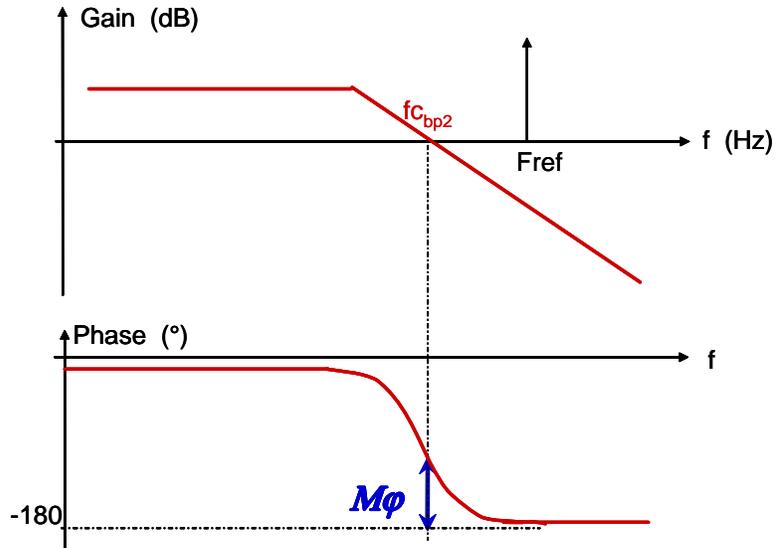


Figure II.25 : Influence de l'ordre de la partie passe-bas du filtre passe-bande sur la stabilité de la boucle composite

Pour garantir la stabilité et la convergence de la boucle composite, et de par la même du système, le filtre passe-bande doit permettre d'obtenir une phase supérieure à -180 degrés en boucle ouverte à la fréquence de coupure.

Les contraintes du filtre passe-bande viennent d'être montrées mais elles sont prises en compte surtout sur les diagrammes de boucle ouverte. Cela demande de connaître parfaitement tous les blocs afin de pouvoir réaliser un modèle petit signal Laplace en P .

Tout d'abord, il faut définir précisément tous les blocs que nous allons utiliser pour la boucle composite.

II.5.3 La fréquence de référence

La PLL composite permet de réaliser la recopie du bruit de phase de la référence en hautes fréquences (supérieur à la fréquence de coupure de la boucle principale) en sortie de la PLL.

La boucle composite réalise un asservissement de la phase du VCO à la phase de la fréquence de référence. Comme pour une PLL simple, la boucle composite permet de recopier, en sortie de la PLL, le bruit de phase de la référence.

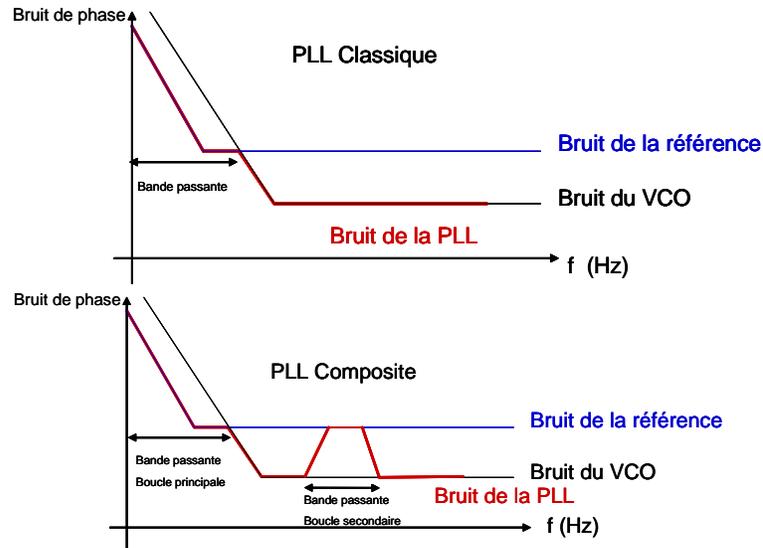


Figure II.26 : Spectre de bruit de phase pour une PLL classique et une PLL composite

Cet asservissement implique une fréquence de référence dont le bruit de phase est inférieur au bruit de VCO (dans la zone d'asservissement).

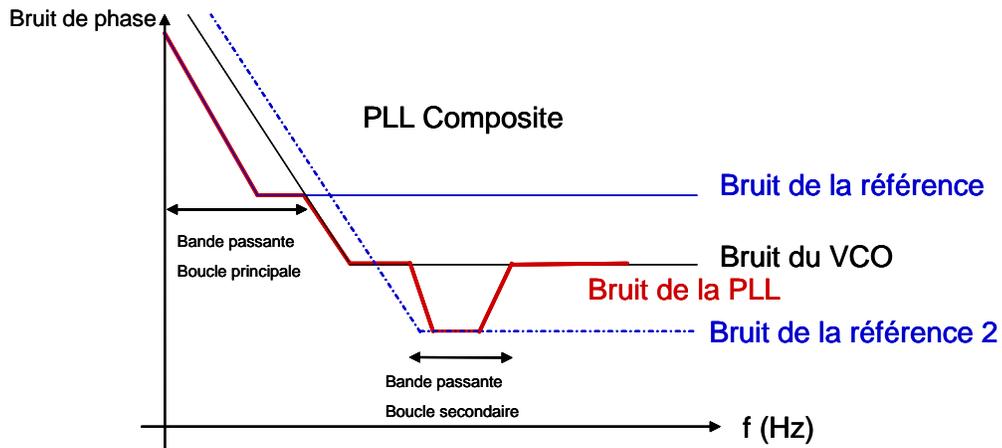


Figure II.27 : Spectre de bruit de phase de la PLL composite avec une référence auxiliaire

Les performances de la PLL composite dépendront du gain de la boucle composite et aussi de la pureté spectrale de la fréquence de référence.

II.6 La PLL composite avec détecteur de phase

La PLL composite va être simulée dans une configuration dite PD « Phase Detector », c'est-à-dire que la boucle composite aura un comparateur de phase [max01]. Pour simplifier l'étude, les deux boucles seront séparées lors de la modélisation et du tracé des fonctions de transfert en boucle ouverte. Les bandes passantes des deux boucles sont distinctes et les deux boucles sont en parallèles, ce qui permet de faire une étude indépendante pour chacune des boucles.

II.6.1 Structure de la PLL composite PD

La structure de la PLL composite étudiée est présentée ci-dessous [lag05] :

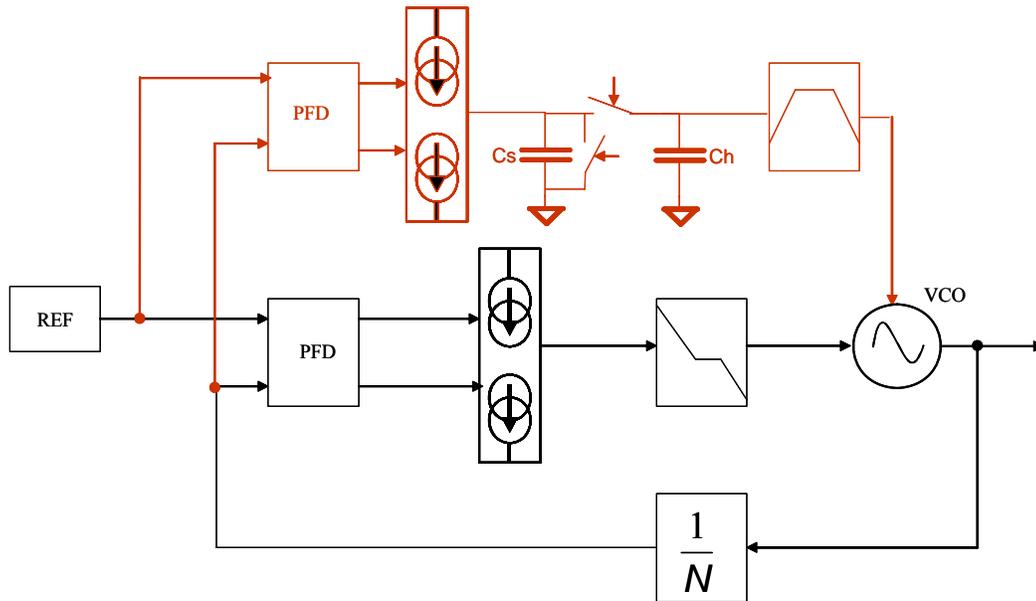


Figure II.28 : Schématique de la PLL composite étudiée

II.6.2 Cas d'étude

Le cas d'étude est un synthétiseur de fréquence à base de PLL à 4GHz dédié à des applications de télécommunication. La synthèse doit réaliser une fréquence de 4GHz avec un pas minimum de 400kHz. La pompe de charge présente un courant de 777 μ A, le VCO a un gain de 150MHz/V et le rapport de division est de 10000.

II.6.3 Modélisation

Dans cette partie, une modélisation de la PLL composite est proposée. Cette modélisation doit être la plus simple possible pour en faciliter les temps de simulation à l'image du modèle petit signal de Laplace de la PLL classique. La modélisation se fera en boucle ouverte, les deux boucles (principale et composite) étant étudiées séparément.

II.6.3.1 La boucle principale

La boucle principale étant une PLL classique, sa modélisation ne pose pas de problème particulier. Le modèle en P petit signal de Laplace n'est valide que pour des bandes passantes très inférieures à la fréquence d'échantillonnage (fréquence de référence).

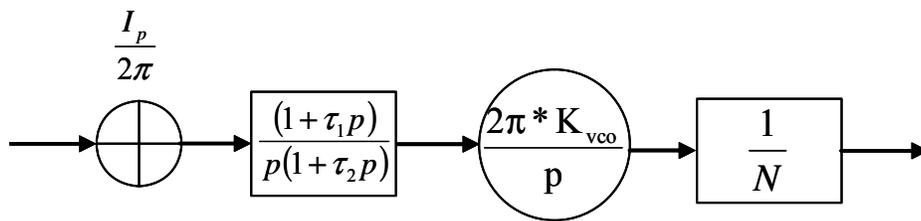


Figure II.29 : Modèle en boucle ouverte de la boucle principale

La bande passante de cette boucle principale est choisie faible pour faciliter la réalisation du filtre passe-bande de la boucle composite.

La fonction de transfert en boucle ouverte de la boucle principale est donnée en Figure II.30.

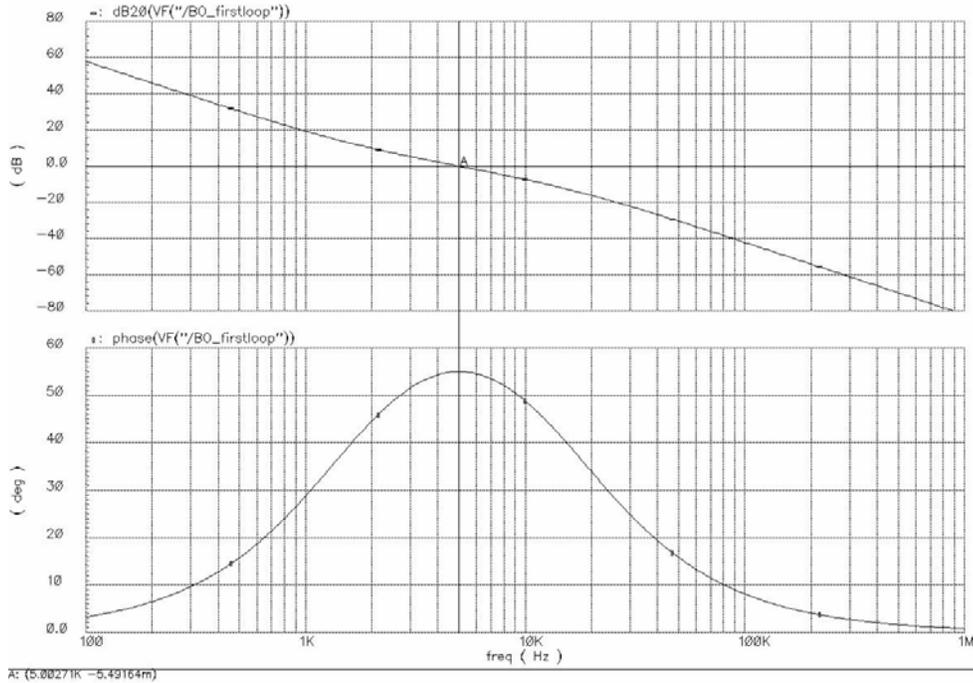


Figure II.30 : Fonction de transfert en boucle ouverte de la boucle principale

La boucle principale est réglée de façon typique avec une marge de phase égale à 55 degrés et une bande passante de 5kHz.

II.6.3.2 La boucle composite

La boucle composite comporte un dispositif à temps discret [max05][mit01] dont la cohabitation avec des systèmes à temps continu ne facilite pas la modélisation.

Le filtre à temps discret peut se modéliser par l'équation suivante [kra05][zha03] :

$$FT(p) = (1 - z^{-1}) \frac{K_{lf} f_{load}(p)}{p} \quad Eq. II.15$$

K_{lf} est le gain statique du filtre et f_{load} représente les effets de la charge.

La fonction de transfert en boucle ouverte de la boucle composite peut se mettre sous la forme :

$$FT_{BOCL}(p) = (1 - z^{-1}) \frac{K_{lf} f_{load}(p) K_{\phi} K_{vco} F_{filtre}(p)}{p^2 N} \quad Eq. II.16$$

En prenant comme hypothèse :

$$p = j\omega \text{ et } \omega \ll \frac{T_s}{2\pi} \quad Eq. II.17$$

Cela impose que la boucle composite travaille à des fréquences inférieures à la fréquence d'échantillonnage (fréquence de référence). Ce qui est le cas pour cette étude.

L'expression de l'équation Eq. II.16 se simplifie :

$$FT_{BOCL}(p) = \frac{K_{lf} f_{load}(p) K_{\phi} K_{vco} F_{filtre}(p)}{pN} \quad Eq. II.18$$

T_s représente la fréquence d'échantillonnage, K_{lf} le gain du filtre à temps discret, K_{ϕ} le gain du comparateur, K_{vco} le gain du VCO et $F_{load}(p)$ l'effet de charge du filtre sur la capacité d'intégration du filtre à temps discret.

La boucle composite peut donc se modéliser en petit signal à condition de travailler à des fréquences très inférieures à la fréquence d'échantillonnage.

L'avantage de travailler en modèle petit signal en p est de pouvoir faire une estimation des performances de la PLL composite très rapidement.

La boucle ouverte de la boucle composite peut être modélisée comme suit :

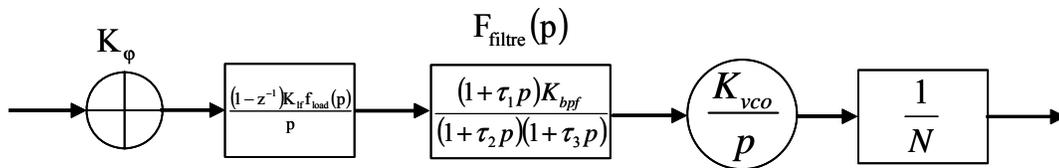


Figure II.31 : Modèle petit signal de la boucle composite

A partir de ce modèle nous pouvons déterminer les gains nécessaires pour obtenir un bon fonctionnement de la boucle composite. De plus à partir de l'étude des contraintes présentée au paragraphe II.5.2.2 nous pouvons déterminer l'ordre du filtre passe-bande nécessaire pour avoir une bonne rejection de la fréquence de référence.

II.6.3.2.1 Choix du filtre passe-bande

La forme et le gain du filtre passe-bande vont être déterminés a partir de la fonction de transfert en boucle ouverte désirée.

Dans notre cas, nous voulons obtenir en boucle ouverte pour la boucle composite une fonction de transfert de la forme d'un passe-bande. L'ordre du filtre va être déterminé par les contraintes de stabilité.

Le filtre passe-bande utilise va être de la forme suivante :

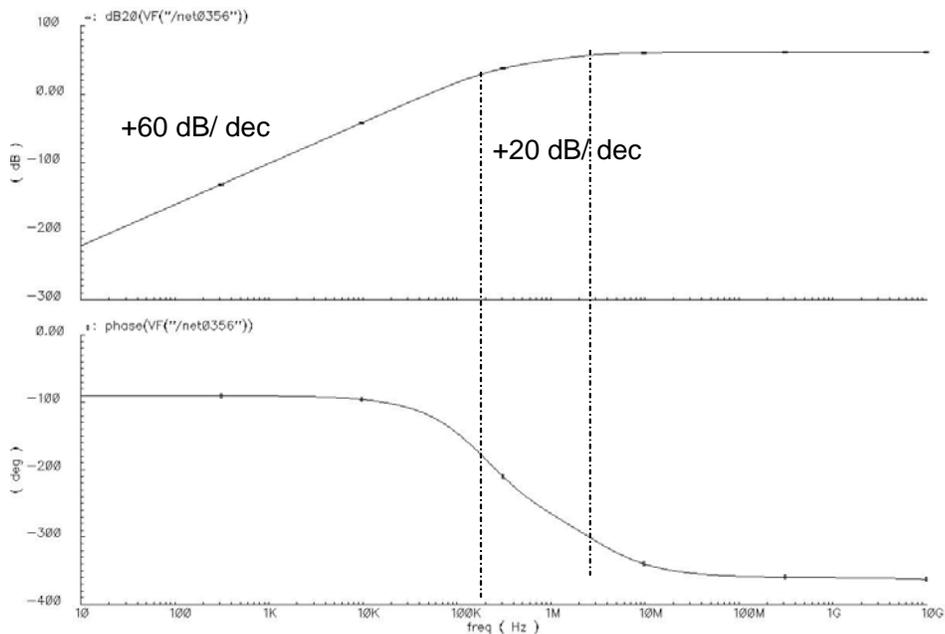


Figure II.32 : Fonction de transfert du filtre utilisée pour la boucle composite PD

Le filtre de boucle de la boucle composite présentée est un filtre passe-haut de fréquence de coupure 50kHz et non un passe-bande. Cette fréquence de coupure a été choisie pour être située à une décade de la bande passante de la boucle principale. L'ordre du filtre passe-haut a été pris à 3. Le choix de du filtre se fait en fonction des contraintes de stabilité et de la boucle ouverte voulue. Ce choix permet de dissocier les deux boucles dans leurs corrections. Néanmoins en boucle ouverte la fonction de transfert réalisée est celle d'un filtre passe-bande.

Pour réaliser la partie passe-bas du filtre passe-bande, nous allons utiliser l'intégrateur du VCO ainsi que le comparateur échantillonneur/bloqueur.

II.6.3.2.2 Inconvénients de l'intégrateur du VCO

L'asservissement de phase a pour principal inconvénient, l'intégrateur du VCO qui apporte un gain de -20dB par décade. Ce gain doit être compensé en partie par le filtre de boucle. Dans notre cas, le filtre passe-haut de la boucle composite apporte un gain suffisant pour assurer la fonction de transfert désirée en boucle ouverte. Néanmoins, un filtre passe-haut avec gain amplifie les hautes fréquences (bruit). Le bruit haute fréquence ainsi amplifié est directement transmis au VCO, le transformant en bruit de phase.

Il est possible de prendre un filtre passe-bande mais les performances s'en trouvent dégradées pour satisfaire les contraintes de stabilité.

II.6.3.2.3 Fonction de transfert en boucle ouverte de la boucle composite

En reprenant le filtre passe-bande choisi au paragraphe précédent nous obtenons une fonction de transfert de la boucle composite de la forme :

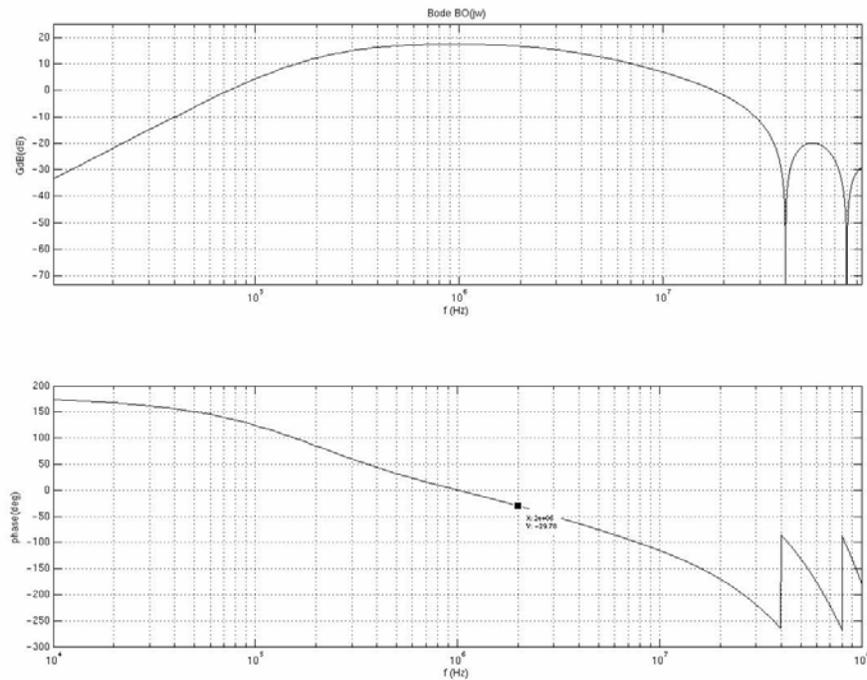


Figure II.33 : Fonction de transfert en boucle ouverte de la boucle composite

La modélisation de la boucle composite nous permet de déterminer le gain nécessaire du filtre pour assurer le fonctionnement optimum de la PLL composite (gain/stabilité).

Cette étude de boucle ouverte permet de prévoir une atténuation du bruit à 1MHz de 17.5dB.

II.6.4 Simulations

Afin de valider le modèle et de démontrer la possibilité de sculpter le bruit de phase en sortie de la PLL par l'ajout d'une boucle composite, les simulations vont être faites à partir de modèles comportementaux temporels [lag05].

II.6.4.1 La boucle principale

La boucle principale est construite avec un comparateur phase/fréquence classique, une pompe de charge, un filtre de boucle passe-bas du second ordre, un VCO à deux entrées et un diviseur de fréquence entier.

Le comparateur de phase/fréquence est décrit de manière numérique. Le diviseur de boucle est du type compteur décrit de façon numérique lui aussi dont le ratio de division est fixé à 100. Ce rapport de division faible permet d'avoir une fréquence de référence de 40MHz pour une fréquence de sortie de 4GHz. Cette fréquence de référence élevée permet de rejeter la raie parasite plus loin en fréquence et aussi facilite l'insertion du filtre passe-bande.

Les temps de montés et de descentes sont pris en compte et fixés à 80ps. Les pompes de charge délivrent un courant de 777 μ A et les imperfections ne sont pas prises compte (appariement des sources de courants, etc). Le VCO possède deux entrées avec des gains séparés, de plus sa fréquence de sortie est saturée dont les équations sont données ci-dessous.

$$f_{\text{out}} = f_0 + K_{\text{vco1}} * V_1 + K_{\text{vco2}} * V_2 \quad \text{Eq. II.19}$$

$$V_{out} = V_{sat} * \text{SIN}(2 * \pi * f_{out} t) \quad \text{Eq. II.20}$$

La fréquence de repos du VCO est de 3,6GHz et les deux gains sont identiques et définis à 150MHz/V.

Le filtre de boucle est décrit par l'utilisation de résistances et capacités parfaites.

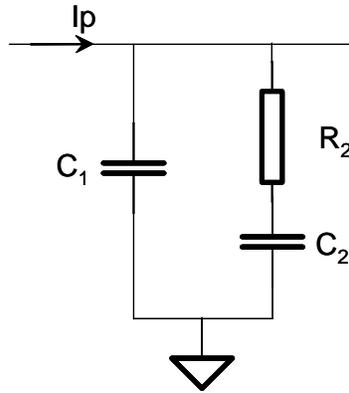


Figure II.34 : Filtre de la boucle principale

Les composants du filtre de boucle sont choisis de manière à obtenir en boucle ouverte une bande passante de 5kHz et une marge de phase de 55 degrés. Après calcul nous obtenons $C_1=3,3\mu\text{F}$ $C_2=372,7\text{nF}$ et $R_2=30\Omega$. Cette bande passante est relativement faible car elle va permettre de placer au mieux le filtre passe-bande sans utiliser de filtre complexe ou des ordres importants limitant ainsi les problèmes divers.

II.6.4.2 La boucle composite

La boucle composite est composée d'un comparateur phase/fréquence classique, une pompe de charge, de deux capacités, de deux interrupteurs, d'un filtre passe-bande et d'AOP réalisant le gain nécessaire pour obtenir la fonction de transfert en boucle ouverte souhaitée.

Le comparateur de phase fréquence et la pompe de charge sont identiques à la boucle principale. Les capacités sont de valeurs identiques et égales à 200 pF, ces valeurs de capacité dépendront du gain et des niveaux des erreurs à corriger. Le rapport entre les capacités C_h et C_s induit un gain au niveau du comparateur à temps discret.

Le filtre passe-bande est réalisé avec des AOP, l'utilisation d'AOP permet d'avoir une bonne isolation de chaque parties (passe-haut et passe-bas) permettant une modification de l'ordre du filtre de manière plus aisée.

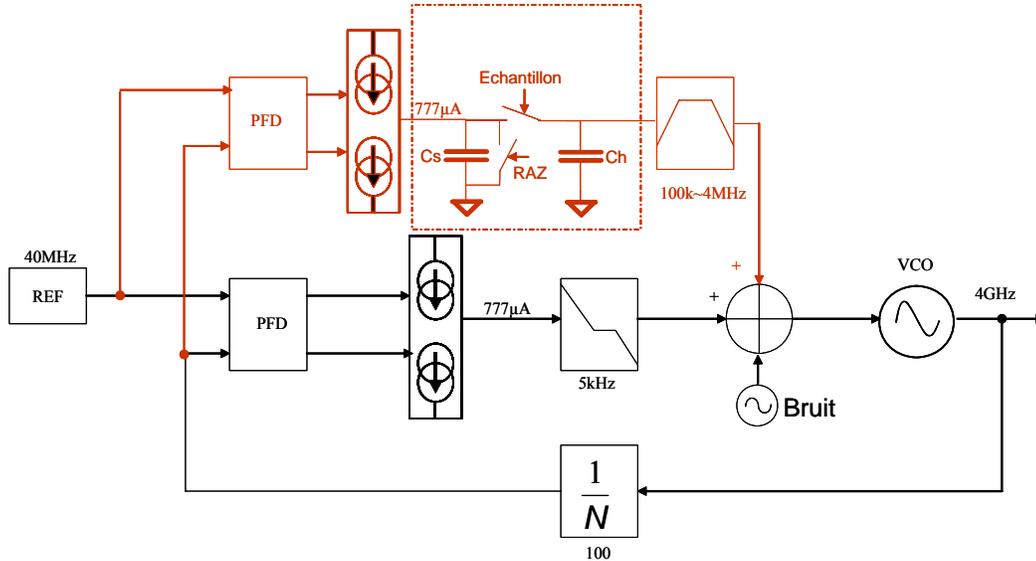


Figure II.35 : Schéma de la PLL composite simulée

Pour visualiser l'effet de la PLL composite par rapport à une PLL simple, la simulation va être divisée en deux parties. Dans un premier temps seule la boucle principale est activée puis lorsqu'elle est verrouillée la boucle composite est mise elle aussi en action. Pour mettre en évidence le sculptage du bruit de phase du VCO par la boucle composite, un bruit est injecté à l'entrée du VCO. Le bruit injecté à l'entrée du VCO est de fréquence très supérieure à la bande passante de la boucle principale mais dans la bande passante de la boucle composite.

L'effet de la PLL composite est observé depuis la tension de contrôle de la boucle principale. Cette tension de contrôle contient le bruit HF du VCO filtré (atténué).

La Figure II.36 présente le résultat de la simulation transitoire du modèle comportemental de la PLL composite

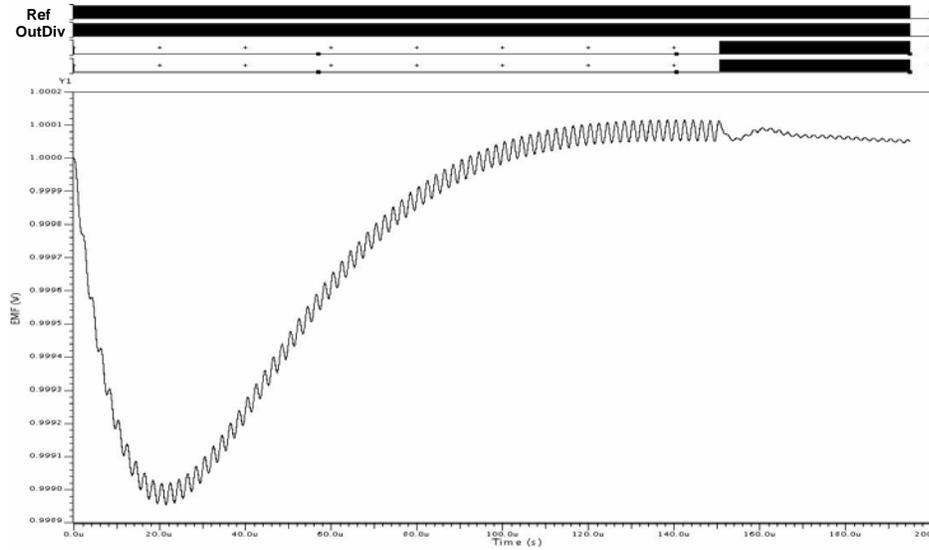


Figure II.36 : Simulation de la PLL composite pour un bruit de 500kHz

Lors de la mise en action de la boucle composite, le bruit est très fortement atténué comme cela était prévu par la modélisation faite au paragraphe II.6.3.2.3.

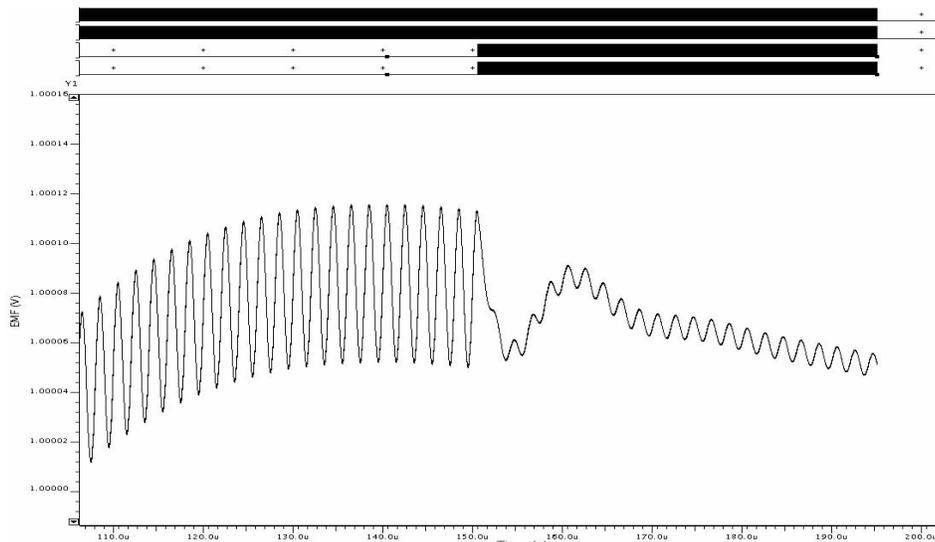


Figure II.37 : Agrandissement du résultat de simulation de la PLL composite pour un bruit à 500kHz

Avec cet agrandissement, nous pouvons remarquer l'efficacité de la boucle composite dans la réduction du bruit de phase du VCO.

Cette simulation a été faite pour différentes fréquences de bruit injecté. Nous allons comparer les valeurs obtenues par simulation et par la modélisation.

Nous pouvons remarquer que la simulation rejoint la théorie pour les hautes fréquences mais beaucoup moins pour les basses fréquences de bruit injecté.

Cette différence s'explique par la phase du modèle en boucle ouverte de la boucle composite.

Fréquence bruit injecté (Hz)	Atténuation théorique (dB)	Phase modèle (°)	Atténuation simulée (dB)
100k	4.3	124	0
200k	12.24	85.2	9
300k	15.03	60.37	11.93
400k	16.24	43.93	13.21
500k	16.85	32.22	16.22
600k	17.17	23.31	16.87
700k	17.36	16.18	17
800k	17.45	10.22	17
900k	17.48	5.1	17.5
1M	17.47	0.5	17.5
2M	16.64	-29.7	16.8

Tableau II.1 : Comparatif des performances de la PLL composite obtenus avec le modèle petit signal (gain et phase) et la simulation comportementale

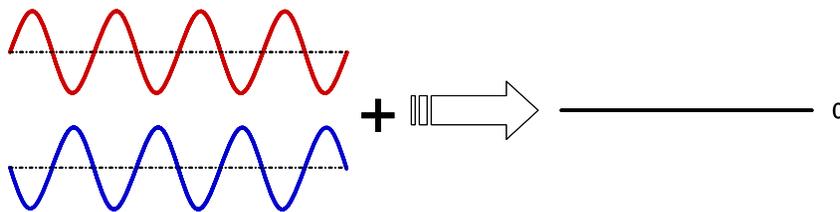


Figure II.38 : Ordre de correction parfaite

Si le signal de correction issue de la boucle composite est en opposition de phase et de même amplitude que le signal perturbant alors la résultante est nulle.

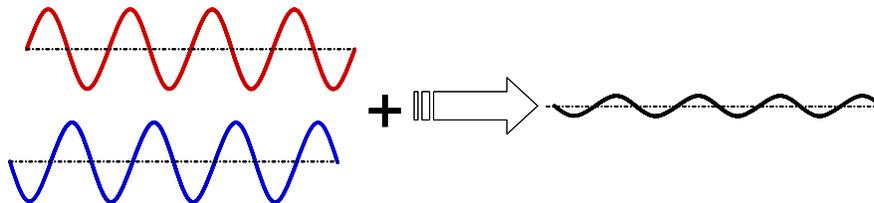


Figure II.39 : Ordre de correction déphasé

Si le signal de correction issue de la boucle composite n'est pas en opposition de phase parfaite et de même amplitude que le signal perturbant alors la résultante est non nulle.

La correction du bruit injecté dans le VCO ne se fait pas en phase avec le bruit donc la correction n'est pas optimum. Lorsque la phase est proche de zéro, la simulation suit parfaitement la théorie.

La variation de la phase du modèle en boucle ouverte de la PLL composite, étudiée au paragraphe II.6.3.2, est essentiellement liée au choix de la forme du filtre passe-bande.

Ainsi, lors de l'étude petit signal de la PLL composite il faut prendre en compte à la fois le gain et la phase de la boucle ouverte de la boucle composite pour connaître l'atténuation apportée. Car si le signal de correction n'est pas en phase avec le signal perturbant la résultante ne peut être optimum.

II.6.5 Conclusion

Dans cette partie, le principe de la PLL composite (sculptage du bruit de phase du VCO) a été mis évidence tout en déterminant les contraintes à satisfaire pour garantir un bon fonctionnement de la boucle composite.

Le choix du filtre passe-bande détermine les performances ainsi que la stabilité du système.

La boucle composite est un asservissement en phase impliquant la modélisation du VCO par un intégrateur. Cet intégrateur est un inconvénient pour la boucle composite car cela implique d'utiliser un filtre passe-bande plus complexe ainsi que du gain. Pour relaxer ces contraintes de gain, la boucle composite doit être un asservissement en fréquence.

II.7 La PLL composite avec FD

Nous allons étudier une nouvelle topologie de PLL composite utilisant un comparateur de fréquence dans la boucle composite. La configuration de la boucle composite en asservissement de fréquence doit permettre de relâcher les contraintes de gain ainsi que la complexité du filtre passe-bande.

Nous allons utiliser le comparateur de fréquence présenté au paragraphe II.4.2.4 pour l'insérer dans la boucle composite. L'étude théorique est à reprendre en modifiant les modèles du VCO ainsi que du comparateur.

II.7.1 Structure

L'architecture de la PLL composite avec détecteur de fréquence est présentée en Figure II.40 .

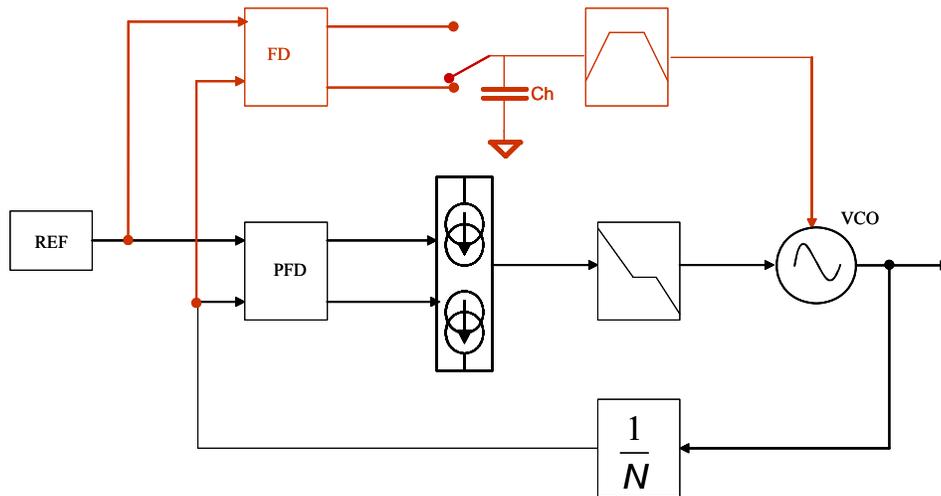


Figure II.40 : PLL composite avec un comparateur de fréquence

Seul le comparateur de la boucle composite est remplacé par un comparateur de fréquence uniquement.

II.7.2 Modélisation

La modélisation doit permettre une optimisation la plus rapide possible de la PLL composite avec un détecteur de fréquence.

II.7.2.1 Modélisation de la boucle principale

La boucle principale est identique à celle présentée au paragraphe II.6.3.1 .

II.7.2.2 Modélisation de la boucle composite

Pour modéliser la boucle composite avec un détecteur de fréquence, il faut en premier lieu déterminer le gain de ce nouveau comparateur.

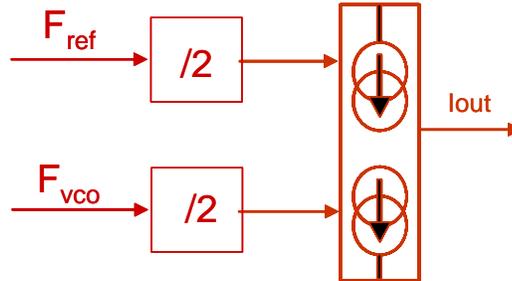


Figure II.41 : Comparateur de fréquence

La fonction de transfert du comparateur de fréquence est décrit par :

$$I_{out} = \frac{I_p * (T_{ref} - T_{vco})}{T_{ref}} \quad \text{Eq. II.21}$$

$$I_{out} = F_{ref} * I_p * \left(\frac{1}{F_{ref}} - \frac{1}{F_{vco}} \right) \quad \text{Eq. II.22}$$

$$I_{out} = \frac{I_p * (F_{vco} - F_{ref})}{F_{vco}} \quad \text{Eq. II.23}$$

Le gain du comparateur de fréquence est égal à :

$$K_{fd} = \frac{-I_p}{F_{vco}} \quad \text{Eq. II.24}$$

Maintenant nous pouvons modéliser la boucle composite FD en reprenant le schéma de la Figure II.31. Les modifications à apporter sont le gain du comparateur et la modélisation du VCO. Pour un asservissement de phase, le VCO est modélisé par un simple gain de conversion tension/fréquence.

Le modèle petit signal de la boucle composite FD est présenté en Figure II.42.

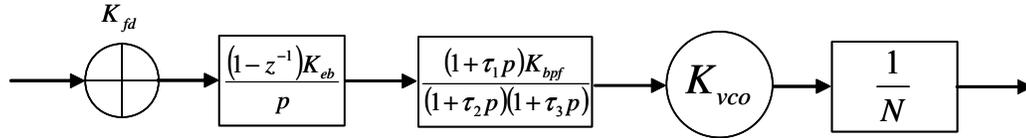


Figure II.42 : Modèle petit signal de la boucle composite avec un comparateur de fréquence

Seul le comparateur et le filtre comportent des pôles et des zéros, tous les autres composants sont décrits comme des gains.

II.7.2.2.1 Choix du filtre passe-bande

Le filtre passe-bande est différent du paragraphe II.6.3.2.1 car la boucle composite est un asservissement de fréquence :

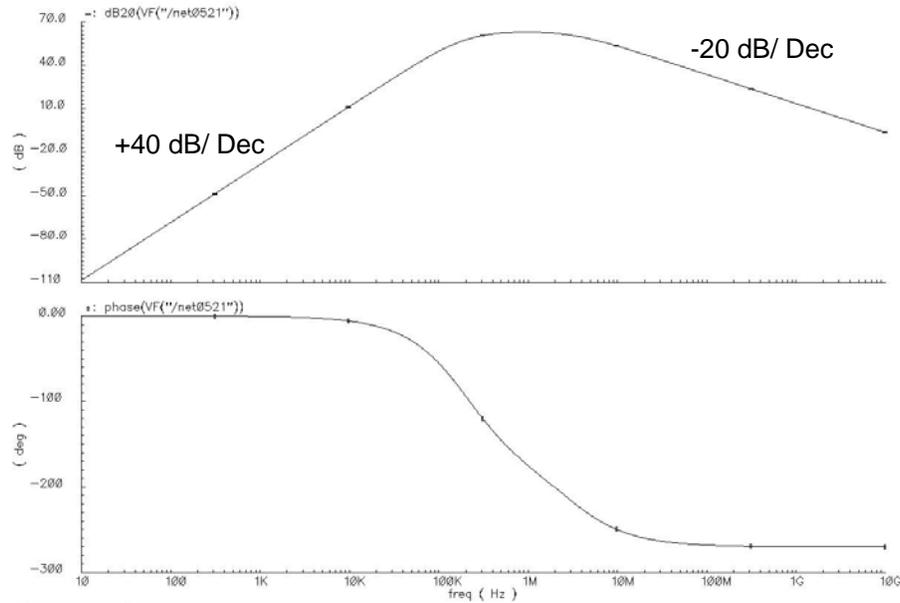


Figure II.43 : Fonction de transfert du filtre passe-bande de la boucle composite FD

Dans cette configuration, le filtre passe-bande a besoin d'une partie passe-bas mais en contre partie l'ordre de la partie passe-haut est réduit ainsi que la complexité globale du filtre. L'ordre du filtre est de 2 pour la partie passe-haut et d'ordre 1 pour la partie passe-bas.

II.7.2.2.2 Fonction de transfert en boucle ouverte de la boucle composite

La fonction de transfert en boucle ouverte de la PLL composite FD est donnée en Figure II.44.

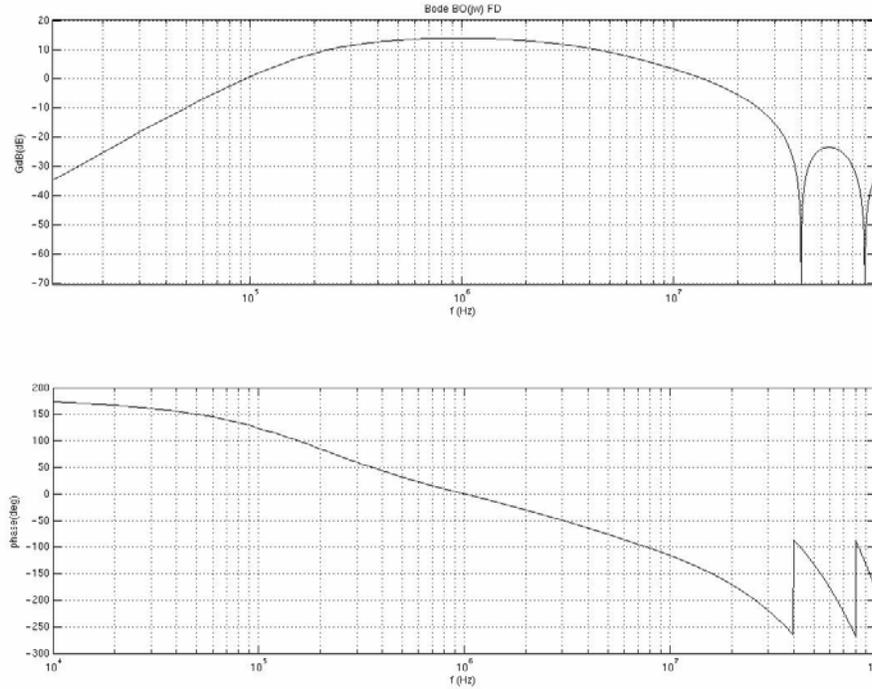


Figure II.44 : Fonction de transfert en boucle ouverte de la boucle composite FD

A partir du modèle petit signal, il est possible de déterminer le filtre passe-bande optimum pour assurer le bon fonctionnement de la boucle composite.

L'utilisation un comparateur de fréquence devait relâcher les contraintes en gain sur le filtre passe-bande. Le gain du comparateur de fréquence est proportionnel à la période du signal de référence (fréquence de référence élevée donc période très petite) ce qui demande au filtre passe-bande plus de gain.

Néanmoins l'utilisation du comparateur de fréquence permet de réduire l'ordre de la partie passe-haut du filtre passe-bande.

II.7.3 Simulations

Nous allons effectuer les mêmes simulations qu'au paragraphe II.6.4. Les caractéristiques des blocs (pompe de charge, VCO, diviseur, capacité Cs Ch, etc..) sont identiques à la configuration PD. Les capacités Cs et Ch sont de valeurs identiques et égales à 200 pF. Seul la forme et le gain du filtre passe-bande ainsi que le type de comparateur sont modifiés.

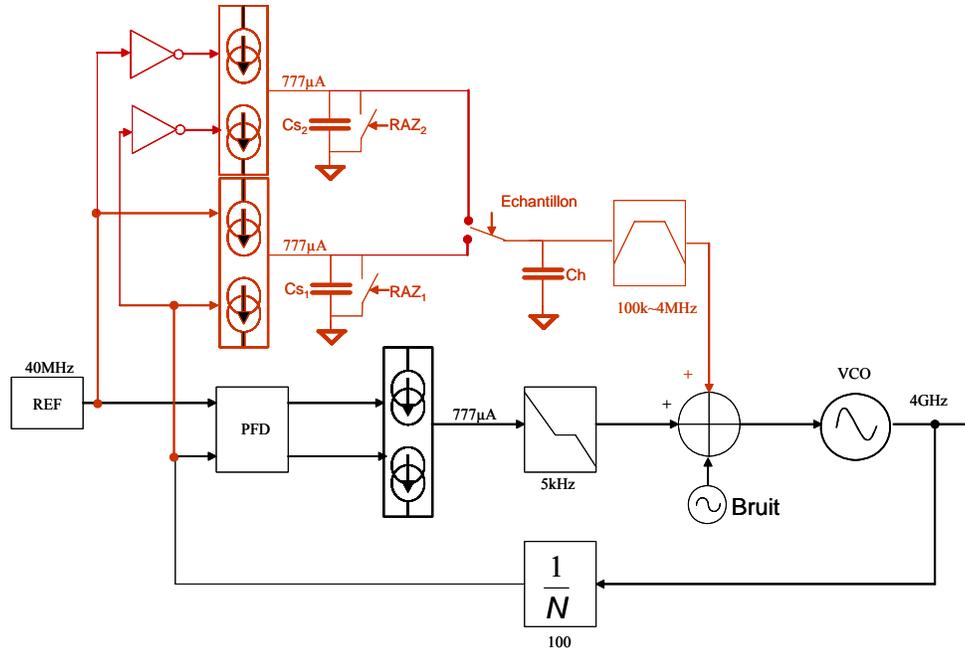


Figure II.45 : PLL composite avec détecteur de fréquence simulée

Le résultat de la simulation comportementale temporelle est présenté en Figure II.46 :

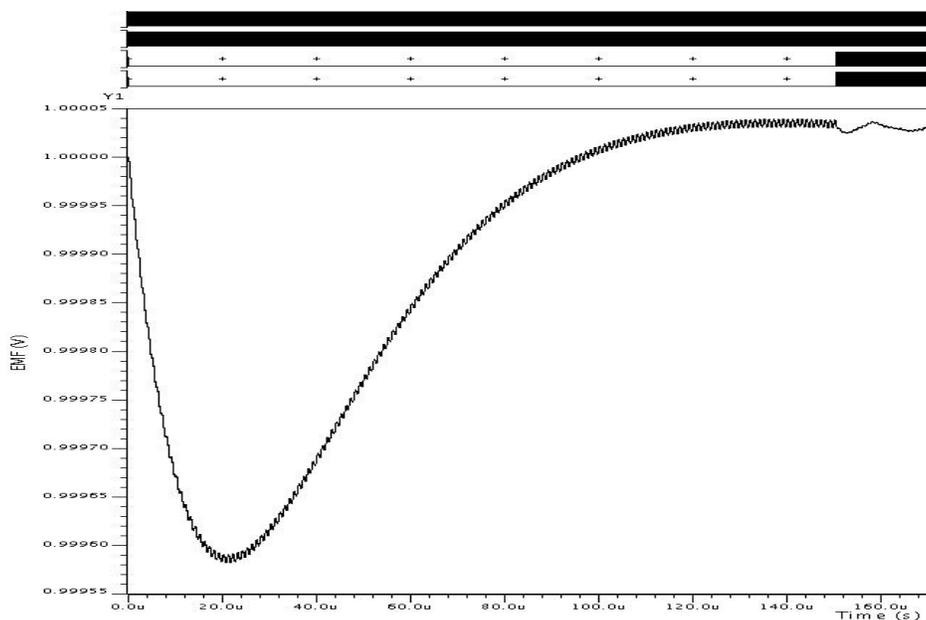


Figure II.46 : Simulation de la PLL composite avec comparateur de fréquence pour un bruit de 1MHz

Cette simulation permet aussi de visualiser les effets de la PLL composite permettant d'atténuer le bruit de l'oscillateur.

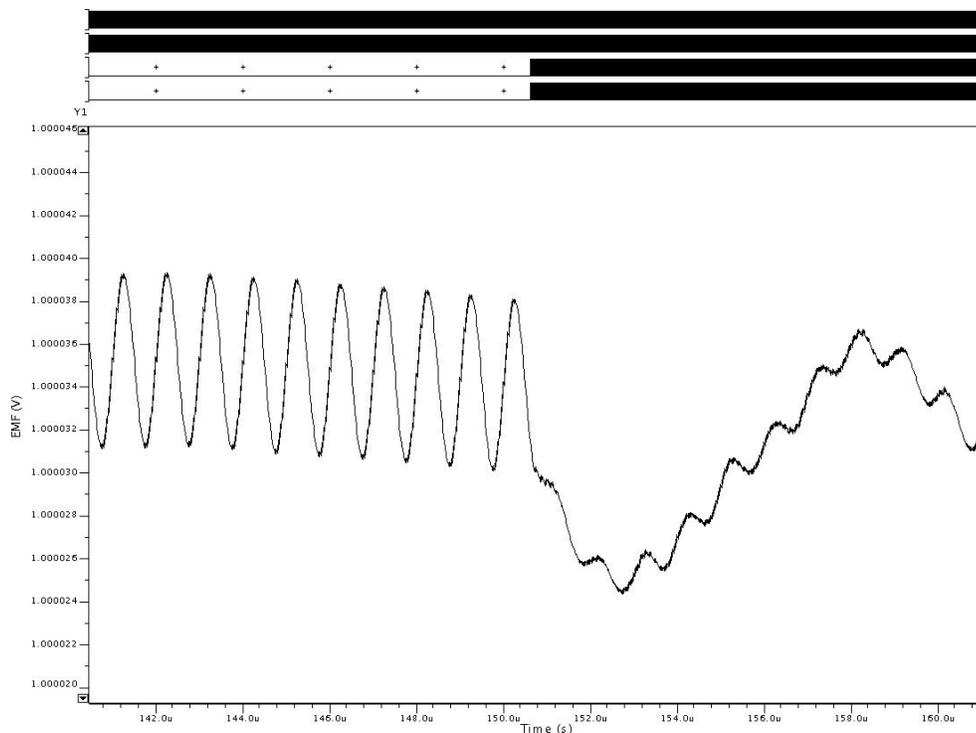


Figure II.47 : Agrandissement du résultat de simulation de la PLL composite avec comparateur de fréquence pour un bruit de 1MHz

La démonstration de la possibilité d'utiliser un comparateur de fréquence pour la boucle composite vient d'être faite, il faut maintenant vérifier le modèle pour différentes fréquences de bruit injecté.

Le modèle permet de déterminer le gain maximum pouvant être réalisé par la boucle composite. Néanmoins la différence constatée entre le modèle et la simulation peut s'expliquer par la modélisation du comparateur de fréquence dont le gain est dépendant de la variation de fréquence (Eq. II.24). Lors des simulations nous modulons la fréquence de sortie du VCO. La fréquence du signal aux bornes du comparateur varie au cours de la simulation. Le modèle ne tient pas compte de ces variations d'où une légère divergence entre le modèle et la simulation. De plus, comme précédemment au paragraphe II.6.4 la phase du modèle en boucle ouverte influe sur les performances de la boucle composite.

Fréquence bruit injecté (Hz)	Atténuation théorique (dB)	Phase modèle (°)	Atténuation simulée (dB)
100k	0	124.4	0
200k	8.57	85.2	5.87
300k	11.54	60.37	9.79
400k	12.76	43.93	10.71
500k	13.36	32.22	12.25
600k	13.69	23.31	13.12
700k	13.86	16.18	13.76
800k	13.96	10.22	13.83
900k	13.99	5.091	13.94
1M	13.99	0.5628	13.98
2M	13.18	-29.78	10.39

Tableau II.2 : Comparatif des performances de la PLL composite avec comparateur de fréquence obtenue avec le modèle petit signal (gain et phase) et la simulation comportementale

Dés que la phase de la boucle composite en boucle ouverte n'est pas égale à 0, le gain de la boucle ouverte s'en trouve modifié lors des simulations. Autrement dit, l'efficacité de la boucle composite dépend à la fois du gain et de la phase.

II.7.4 Conclusion

Dans cette partie, la PLL composite a été étudiée avec un détecteur de fréquence dans la boucle composite. Ce détecteur permet de supprimer la modélisation du VCO comme un intégrateur. Cela relâche les contraintes sur la réalisation du filtre passe-bande.

Le détecteur de fréquence proposé possède un gain inversement proportionnel à la fréquence. Ce qui a pour inconvénient de donner un gain très faible au comparateur (fréquence de l'ordre de la centaine de kHz).

Néanmoins, un modèle petit signal est proposé permettant de déterminer les caractéristiques nécessaires à la boucle composite pour fonctionner.

De plus, la PLL composite avec un détecteur de fréquence a démontré son aptitude à filtrer le bruit de phase du VCO.

II.8 Conclusions

Dans ce chapitre nous avons démontré la possibilité de réduire le bruit de phase des VCO dans les synthétiseurs de fréquence à base de PLL par l'addition d'une boucle secondaire en parallèle. Cette architecture PLL composite a été étudiée dans deux configurations différentes (avec détecteur de phase et de fréquence).

L'inconvénient de cette architecture est de se limiter au filtrage du bruit de phase dont les fréquences sont situées entre la bande passante de la boucle principale et la fréquence de référence. Dans un cas typique, la bande passante d'une PLL est choisie à $F_{ref}/10$. Ce qui pour l'utilisation de la PLL composite, ne laisse qu'une décade pour insérer un filtre passe-bande ayant un gain suffisant tout en rejetant suffisamment la fréquence de référence (raie parasite) et la bande passante de la première boucle. Cette situation impose l'utilisation d'un filtre passe-bande très complexe.

La complexité du filtre passe-bande peut être relâchée si nous pouvons disposer d'une plage de fréquence suffisante entre la bande passante de la boucle principale et la fréquence de référence.

La bande passante de la boucle principale ne peut être modifiée sous peine de rendre instable la PLL. La seule alternative est d'essayer de repousser la fréquence de référence tout en gardant le même pas de synthèse.

II.9 La PLL composite avec une fréquence auxiliaire

Dans cette partie, la PLL composite va être remaniée pour permettre le filtrage du bruit de phase de fréquence supérieure et réduire les contraintes sur le filtre passe-bande.

II.9.1 Optimisation de la structure PLL composite

Afin d'optimiser les performances de la PLL composite et de faciliter la réalisation du filtre passe-bande, une fréquence auxiliaire doit être introduite. Si les deux boucles ont des fréquences de références différentes, la boucle composite ayant une fréquence de référence supérieure à la boucle principale, cela permet un asservissement du bruit de phase du VCO sur une plus grande plage de fréquence. Dans le cas où les fréquences de références sont différentes pour les deux boucles, plusieurs problèmes se posent. Premier problème, dans le cadre d'une PLL à division entière, la fréquence de référence définit le pas de synthèse, donc la boucle principale de la PLL composite doit continuer à garantir ce pas. Donc avoir une fréquence de référence faible. La boucle composite elle peut avoir une fréquence de référence supérieure au pas de synthèse afin de pouvoir filtrer les bruits du VCO de plus haute fréquence.

Le second problème vient de la possibilité de synchroniser deux boucles en parallèle agissant sur le même VCO mais à des fréquences différentes.

Pour éviter tout problème d'instabilité de la PLL composite, les deux boucles devront fonctionner à des fréquences proportionnelles l'une de l'autre comme présentée en Figure II.48.

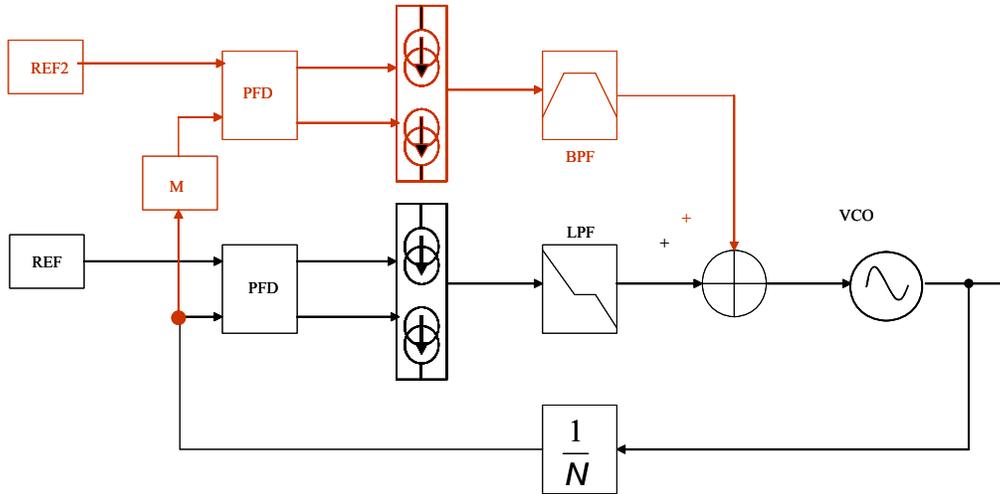


Figure II.48 : Architecture PLL composite avec fréquence auxiliaire

La Figure II.48 présente un bloc M, multiplieur de fréquence, permettant de faire la liaison entre les deux fréquences de références. En effet, si nous utilisons plusieurs boucles de retour il serait difficile de garantir un asservissement de phase correcte (synchronisation entre les boucles).

$$\varphi_{ref1} = \varphi_{div} = \frac{\varphi_{vco}}{N} \Rightarrow \varphi_{ref} * N = \varphi_{vco} \Rightarrow N * F_{ref1} = F_{vco} \quad Eq. II.25$$

$$N * F_{ref1} = F_{vco} \Rightarrow \frac{N}{M} * F_{ref2} = F_{vco} \Rightarrow M * F_{ref1} = F_{ref2} \quad Eq. II.26$$

Plusieurs approches sont possibles pour la réalisation de ce multiplieur de fréquence, nous allons présenter deux circuits différents dans le chapitre suivant.

II.9.2 Avantages de la fréquence auxiliaire

La fréquence auxiliaire va simplifier la réalisation du filtre passe-bande mais pas seulement. En effet, un des principaux problèmes dans la conception des synthétiseurs de fréquence à base de PLL est le filtrage de la raie parasite générée à la fréquence de référence. La fréquence de référence représentant la fréquence séparant deux canaux adjacents, une raie parasite à cette fréquence générera une pollution de canaux voisins. Cet impératif implique un filtrage suffisant de la fréquence de référence.

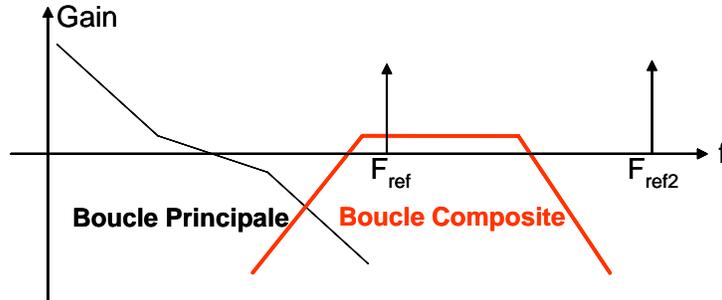


Figure II.49 : Fonction de transfert désirée avec la PLL composite

La Figure II.49 représente la fonction de transfert que la PLL composite avec une fréquence auxiliaire. Dans cette disposition la boucle composite permet à la fois d'asservir le bruit de phase de l'oscillateur mais aussi de réduire la raie parasite générée par la première fréquence de référence. Le chapitre précédent a montré la possibilité de réduire le bruit de phase avec une PLL composite, maintenant nous devons démontrer la possibilité de filtrer la raie parasite.

II.9.3 Filtrage de la raie parasite a la fréquence de référence : Discussion

La configuration de la PLL composite avec une fréquence auxiliaire doit permettre d'asservir le bruit de phase du VCO et dans le même temps de filtrer la raie parasite à la fréquence de référence.

Pour filtrer la raie parasite à la fréquence de référence, la boucle composite doit fonctionner à une fréquence supérieure à la fréquence de référence. Pour cela, le signal issu du diviseur de boucle voit sa fréquence multipliée, présentant ainsi à la boucle composite une fréquence supérieure.

La fréquence de sortie du VCO est « échantillonnée » par le diviseur de fréquence. Les composantes hautes fréquences du signal du VCO sont filtrées par le diviseur. La multiplication de fréquence faite en sortie du diviseur de fréquence ne permet pas de retrouver ces composantes. Donc la boucle composite ne pourra pas les filtrer.

Le diviseur de fréquence pour cette architecture est essentiel et ne peut être conventionnel. Soit un nouveau type de diviseur doit être inventé permettant de sortir

deux fréquences différentes mais permettant la synthèse de fréquence (pas de synthèse conservée). Soit l'architecture ne peut être conservée sous cette forme et doit évoluer.

II.9.4 La multiplication de fréquence

L'architecture de PLL composite avec une fréquence auxiliaire proposée intègre un multiplicateur de fréquence afin de relier les deux fréquences de référence.

La multiplication de fréquence est le seul circuit de la PLL composite avec une fréquence auxiliaire qui ne soit pas classique. De plus cette fonction permet d'utiliser une fréquence de référence supérieure au pas de synthèse avec un diviseur de boucle entier.

Cette fonction va être présentée dans le chapitre suivant dans le cadre d'une application à une PLL simple.

II.10 Conclusions

Dans ce chapitre, l'asservissement du bruit de phase du VCO par l'utilisation d'une boucle composite a été démontré. La PLL composite a été étudiée dans deux cas différents (PD et FD) et les simulations comportementales ont permis de valider les modèles petits signaux proposés. L'architecture PLL composite ne prend son sens que lorsque la boucle composite est placée autour de la fréquence de référence permettant ainsi d'atténuer la raie parasite.

La PLL composite avec une fréquence auxiliaire impose une contrainte sur le diviseur de boucle. De plus il faut synchroniser deux boucles fonctionnant à des fréquences différentes. Le diviseur de fréquence classique (de type compteur) n'est plus adapté pour cette nouvelle architecture. Le diviseur de fréquence devient le point bloquant pour la PLL composite avec fréquence auxiliaire.

L'architecture PLL composite avec une fréquence auxiliaire doit permettre dans le même temps de réduire la consommation et la surface de silicium du VCO ainsi que filtrer la raie parasite générée à la fréquence de référence.

II.11 Références

- [beo99] S.Beolet et M. Y. Drissi, « Nouvelles architectures de PLL a très faibles bruit de phases », Stage ENSEIRB, 1999
- [hil97] M. T. Hill, A. Cantoni, « A Frequency Steered Phase Locked Loop », IEEE Computing and Communication Conference, IPCCC, Proceedings, pp. 76-81, February, 1997.
- [hil00] M. T. Hill, A. Cantoni, « A Digital Implementation of a Frequency Steered Phase Locked Loop », IEEE Transactions on Circuits and Systems, Vol. 47, No. 6, June, 2000.
- [kra05] V. Kratyuk, P. K. Hanumolu, U. K. Moon, K. Mayaram, « A Low Spur Fractional N Frequency Synthesizer Architecture », IEEE International Symposium on Circuits and Systems, ISCAS, Vol. 3, pp. 2807-2810, May, 2005.
- [lag05] V. Lagareste, F. Badets, Y. Deval, P. Melchior, J. B. Begueret, D. Belot, « A New PLL Architecture: the Composite PLL », IEEE MidWest Symposium on Circuits And Systems, MWSCAS, Proceedings, pp. 511-514, August, 2005.
- [max01] A. Maxim, B. Scott, E. M. Schneider, M. L. Hagge, S. Chacko, D. Stuurca, « A Low Jitter 125-1250 MHz Process independent and Ripple Poleless 0.18 μ m CMOS PLL Based on a Sample Reset Loop Filter », IEEE Journal of Solid State Circuits, Vol. 36, NO. 11, pp. 1673-1683, November, 2001.
- [max03] A. Maxim, « A Low Voltage 125-2550 MHz 0.15 μ m CMOS Process and Divider Modulus Independent PLL Using Zero Vt MOSFETs », IEEE Solid State Circuits Conference proceedings, ESSCIRC, pp. 105-108, September, 2003.

- [max05] A. Maxim, « A -86dBc Reference Spurs 1-5GHz 0.13 μ m CMOS PLL Using a Dual Path Sampled Loop Filter Architecture », IEEE Symposium on VLSI Circuits, Digest of Technical Papers, VLSIC, pp. 248-251, June 2005.
- [max05_2] A. Maxim, « A 9.953/10.7/12.5GHz 0.13 μ m CMOS LC Oscillator Using Capacitor Calibration and a Vgs/R Based Low Noise Regulator », IEEE Radio Frequency Integrated Circuits Symposium, Digest of Papers, RFIC, pp. 411-414, June 2005.
- [mes79] D.G. Messerschmitt, « Frequency Detectors for PLL Acquisition in Timing and Carrier Recovery », IEEE Transactions on Communications, Vol. COM-27, No.9, pp. 1288-1294, September, 1979.
- [mit01] S. K. Mitra, « Digital Signal Processing : A Computer Based Approach », McGraw Hill, New York, 2001.
- [rou98] J. Routama, K. Koli, K. Halonen, « A 150Mbit/s CMOS Clock Recovery PLL Including A New Improved Phase Detector and a Fully Integrated FLL », IEEE Symposium on Circuits And Systems, ISCAS, Proceedings, Vol. 1, pp. 159-162 , June, 1998.
- [sum99] Y. Sumi, S. Obote, N. Kitai, R. Furuhashi, H. Ishii. Y. Matsuda, Y. Fukui, « A 150Mbit/s CMOS Clock Recovery PLL Including A New Improved Phase Detector and a Fully Integrated FLL », IEEE Symposium on Circuits And Systems, ISCAS, Proceedings, Vol. 4, pp. 410-414, June, 1999.
- [zha03] B. Zhang, P. E. Allen, J. M. Huard, « A Fast Switching PLL Frequency synthesizer With an On-Chip Passive Discrete-Time Loop Filter in 0.25- μ m CMOS », IEEE journal of Solid State Circuits, VOL. 38, NO. 6, pp. 855-865, June, 2003.

**Chapitre III :
Application de la
multiplication de
fréquence par
recombinaison des
fronts à la synthèse
de fréquence**

III.1 Introduction

Dans le chapitre précédent, l'architecture d'une PLL dite composite avec une fréquence auxiliaire a été présentée. Cette architecture fait appel à une fonction de multiplication de fréquence permettant l'utilisation de deux fréquences de référence différentes. Dans ce chapitre, nous allons montrer la possibilité de réaliser une multiplication de fréquence et aussi étudier son influence sur un système tel qu'une PLL.

Dans ce chapitre, la multiplication de fréquence va être introduite. Nous souhaitons réaliser un circuit permettant de produire un signal de fréquence N fois supérieure à celle du signal d'entrée. Ce circuit permet d'avoir une fréquence de référence supérieure au pas de synthèse avec une division entière. L'utilisation d'un diviseur de fréquence fractionnaire introduit des raies parasites dans le spectre. Ces raies parasites sont très gênantes et nécessitent un filtrage supplémentaire.

III.2 Choix du type de multiplieur

La multiplication de fréquence peut se réaliser par une translation de fréquence avec un mélangeur. La multiplication de fréquence par mélangeur implique une fréquence intermédiaire et un filtrage des fréquences non désirées issues du mélange. De plus, la multiplication doit s'effectuer avec le spectre complet du signal d'entrée. Par exemple, pour une multiplication d'un signal de 400kHz (composante du signal de 0 à 400kHz) à 3.2MHz, une fréquence de 2.8MHz est nécessaire. Une raie parasite va apparaître à 2.4MHz. Compte tenu du faible écart entre la fréquence désirée et la raie parasite, le filtrage devient très difficile à réaliser. Seul un mélangeur à réjection d'image peut être utilisé pour ce type d'application. Néanmoins, il existe d'autres principes de multiplication de fréquence.

Pour réaliser la multiplication de fréquence sans raies parasites structurelles, la multiplication par recombinaison des fronts a été choisie. Le principe va être présenté dans le paragraphe suivant.

III.3 Multiplication de fréquence par recombinaison des fronts

III.3.1 Principe de la recombinaison

Pour réaliser la multiplication de fréquence, la recombinaison des fronts va être utilisée. A partir d'un diviseur de fréquence classique, des signaux déphasés entre eux vont être générés de manière à réaliser un signal de plus grande fréquence, décrit en Figure III.1. [chi00]

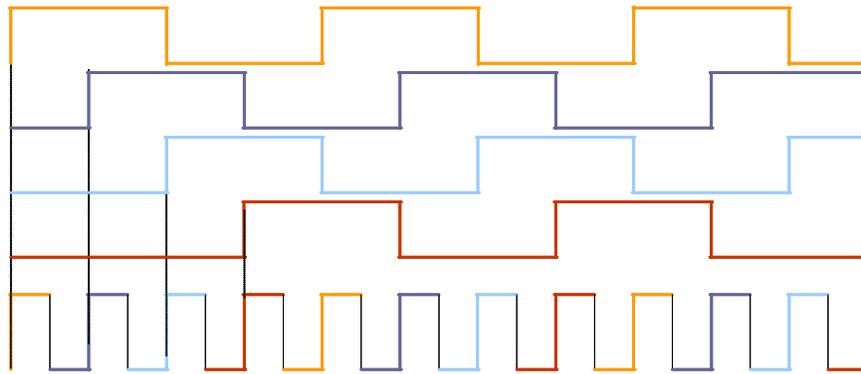


Figure III.1 : Exemple de multiplication par recombinaison des fronts

La multiplication par recombinaison donne un spectre en sortie parfait comme cela est présenté à la Figure III.2.

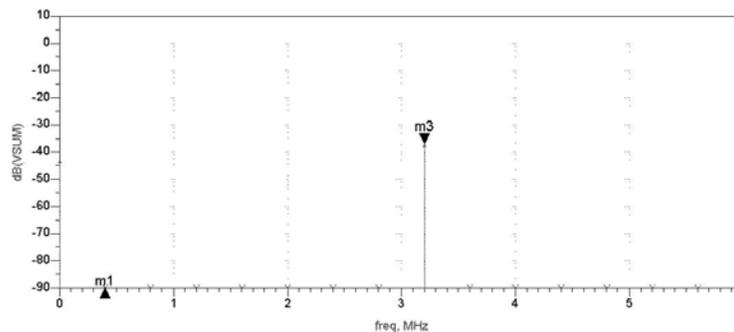


Figure III.2 : Spectre d'une multiplication de fréquence par recombinaison des fronts parfaite

L'appariement des déphasages entre eux va être primordial en termes de performances. En effet, si les signaux n'ont pas le bon déphasage entre eux, le signal reconstitué aura une fréquence différente et des raies parasites importantes vont

apparaître. La Figure III.3 présente une recombinaison de front avec un mauvais déphasage.

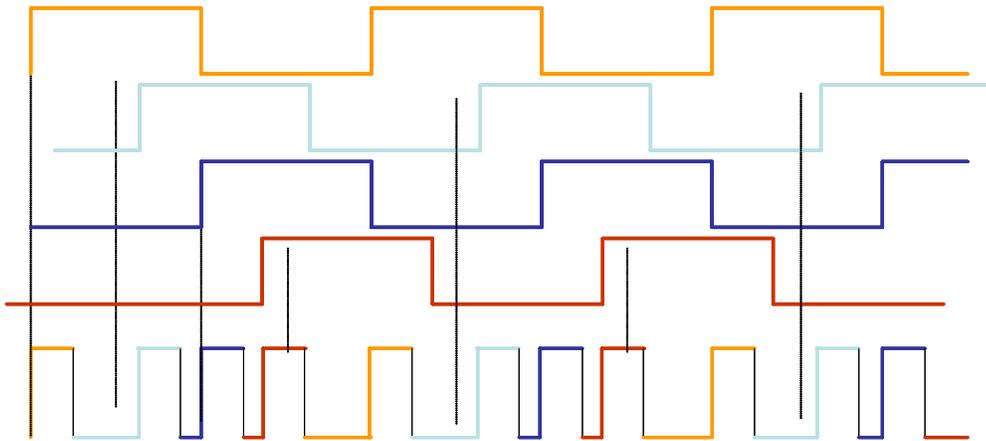


Figure III.3 : Exemple de multiplication par recombinaison des fronts avec erreur de déphasage

Le spectre de sortie du multiplieur par recombinaison dans les cas d'erreur de déphasage est présenté en Figure III.4.

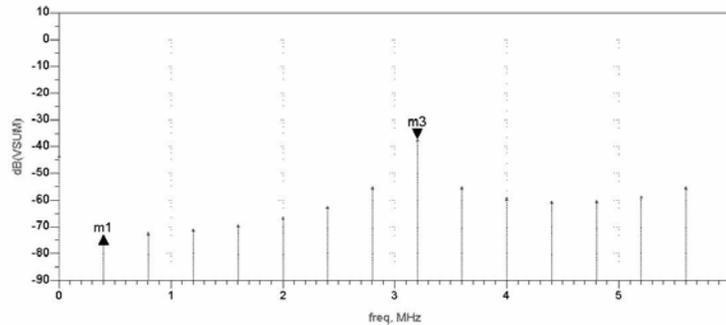


Figure III.4 : Spectre d'une multiplication de fréquence par recombinaison des fronts avec erreur de déphasage

L'importance du déphasage sur la recombinaison des fronts vient d'être montrée à travers la pureté spectrale du signal multiplié. La quantification de l'impact de chaque type d'erreur sur le spectre de sortie est primordiale afin de connaître les contributeurs majoritaires des raies parasites du spectre de sortie.

III.3.2 Effet de l'erreur sur la recombinaison

Plusieurs types d'erreur peuvent être pris en compte dans l'origine des raies parasites en sortie de la multiplication par recombinaison des fronts. Néanmoins, deux formes d'erreur sont considérées :

- Erreur de déphasage des éléments de retard
- Erreur d'appariement entre les éléments de retard (gradient et aléatoire)

Ces deux thèmes vont être développés dans les paragraphes suivants.

III.3.2.1 Erreur d'appariement aléatoire des éléments de retard

L'appariement sur les différents signaux déphasés va avoir pour effet de créer une incertitude sur le déphasage généré entre chaque signal.

La Figure III.5 présente un signal périodique de période T , d'amplitude A et de largeur d'impulsion de Δ .

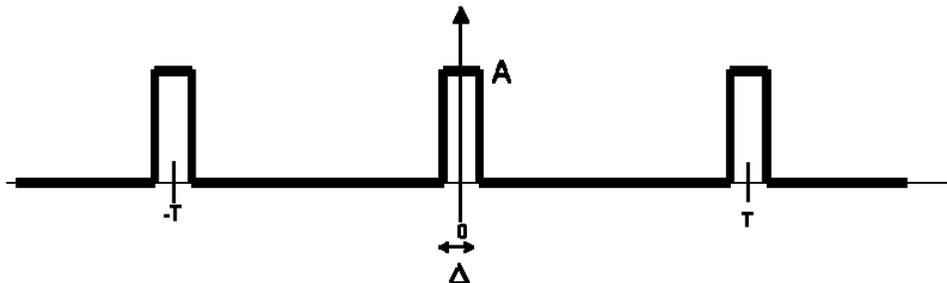


Figure III.5 : Signal périodique issu du diviseur de fréquence

La transformée de fourrier peut s'écrire sous la forme :

$$TF(f) = \sum_{n=0}^{+\infty} \frac{A\Delta}{T} \text{Sinc}\left(\frac{n\Delta}{T}\right) \delta\left(f - \frac{n}{T}\right) \quad \text{Eq. III.1}$$

En l'appliquant à notre cas de recombinaison de signaux déphasés entre eux présenté en Figure III.6.

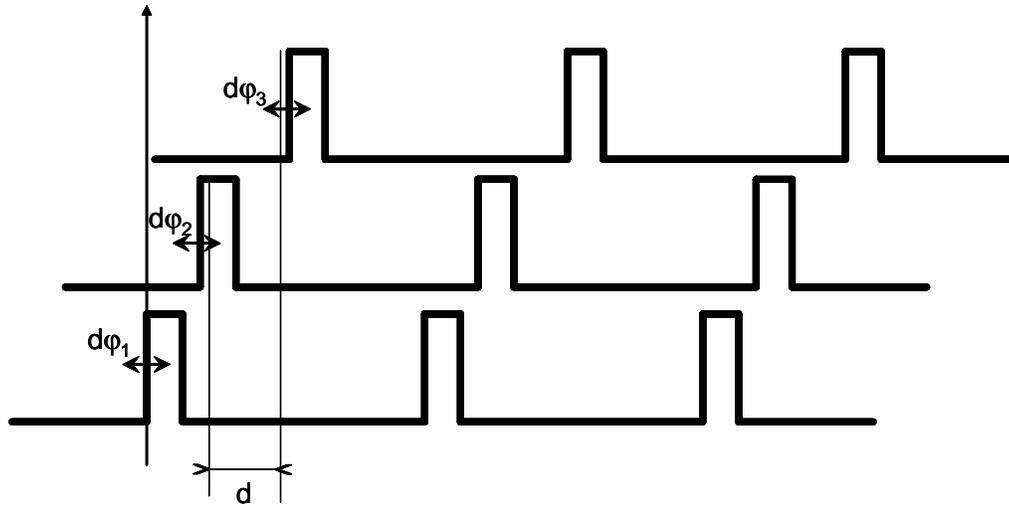


Figure III.6 : Signaux déphasés entre eux issue du générateur de phase

La transformée de Fourier d'un signal retardé de d s'écrit sous la forme :

$$TF(f) = \sum_{n=0}^{+\infty} \frac{A\Delta}{T} \text{Sinc}\left(\frac{n\Delta}{T}\right) \delta\left(f - \frac{n}{T}\right) e^{-jfd2\pi} \quad \text{Eq. III.2}$$

Si maintenant nous prenons en compte les erreurs de phases $d\phi_1$ provenant d'un mauvais appariement entre les éléments de retard ou une erreur de déphasage, la transformée de Fourier devient :

$$TF(f) = \sum_{n=0}^{+\infty} \frac{A\Delta}{T} \text{Sinc}\left(\frac{n\Delta}{T}\right) \delta\left(f - \frac{n}{T}\right) e^{-jf2\pi(d+d\phi_1)} \quad \text{Eq. III.3}$$

Le PFD multiphase réalise K signaux déphasés et les recombine entre eux.

La transformée de Fourier du signal de sortie de la logique combinatoire (somme de tous les signaux déphasés entre eux) se met sous la forme :

$$TF(f_1 + f_2 + f_3 + \dots + f_n) = TF(f_1) + TF(f_2) + TF(f_3) + \dots + TF(f_n) \quad \text{Eq. III.4}$$

La Figure III.7 présente le signal de sortie du multiphase.

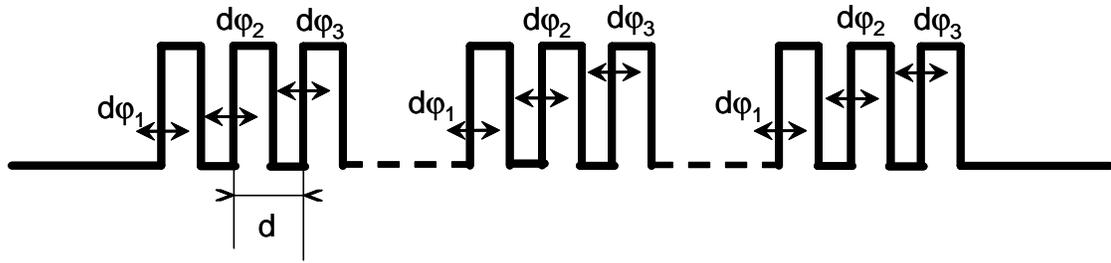


Figure III.7 : Recombinaison des signaux déphasés

En reprenant l'équation Eq. III.3), la transformée de Fourier du signal de sortie du multiphase peut s'écrire :

$$TF(f) = \sum_{n=0}^{+\infty} \frac{A\Delta}{T} \text{Sinc}\left(\frac{n\Delta}{T}\right) \delta\left(f - \frac{n}{T}\right) * \left[e^{-j2\pi(d+d\phi_1)f} + e^{-j2\pi(2d+d\phi_2)f} + e^{-j2\pi(3d+d\phi_3)f} + \dots \right] \quad \text{Eq. III.5}$$

Le signal de sortie transpose le bruit de chaque phase à plus haute fréquence. Les erreurs de phase des signaux recombines ($d\phi_1 \neq d\phi_2 \neq d\phi_3 \neq \dots$) définiront les performances en bruit de la recombinaison.

Pour obtenir un spectre résultant des erreurs d'appariement aléatoire, la dispersion de l'élément de retards sur 200 tirs aléatoires est modélisée. La Figure III.8 présente la dispersion de l'élément de retard réalisé.

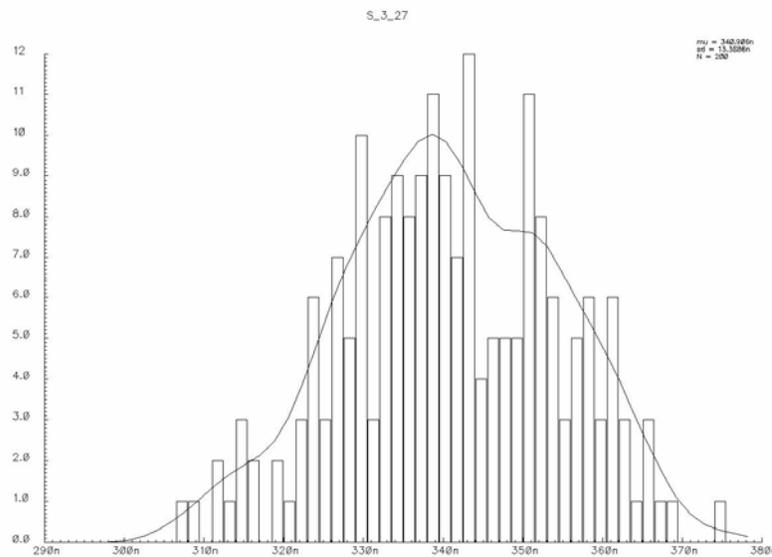


Figure III.8 : Dispersion de l'élément de retard sur 200 tirs

Puis, ces données sont introduites dans un simulateur prenant aléatoirement des valeurs pour les différents éléments de retard (erreur de 4% à 1 sigma).

La Figure III.9 représente le spectre moyen sur 200 tirs pour une erreur d'appariement aléatoire sur les éléments de retard.

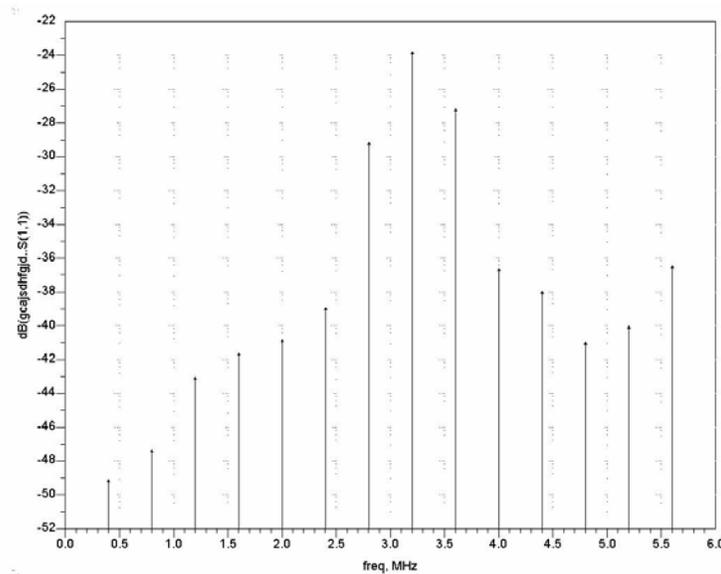


Figure III.9 : Spectre moyen du multiplieur multiphase pour une erreur d'appariement aléatoire sur 200 tirs

Nous pouvons remarquer l'importance des raies parasites les plus proches de la fréquence désirée de 3.2MHz.

III.3.2.2 Erreur d'appariement par gradient

Dans cette partie, l'appariement sur les éléments de retard (en série) considérés se traduit par un gradient. Le gradient d'appariement ($d\phi_1 < d\phi_2 < d\phi_3 < \dots$) pourra être observé lors de la fabrication du silicium (dépôt d'oxyde, etc...).

La représentation de l'erreur de gradient sur les éléments de retard est donnée en Figure III.10.

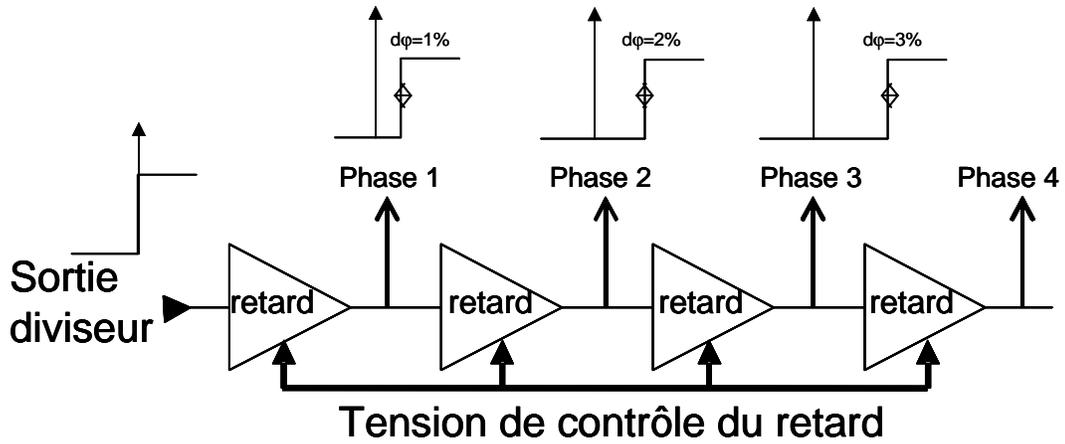


Figure III.10 : Représentation de l'erreur de gradient sur les éléments de retard

En reprenant les équations introduites au paragraphe précédent, l'influence d'un gradient sur le spectre de sortie peut être déterminé.

Le spectre de sortie du multiplieur de fréquence par recombinaison des fronts est présenté en Figure III.11.

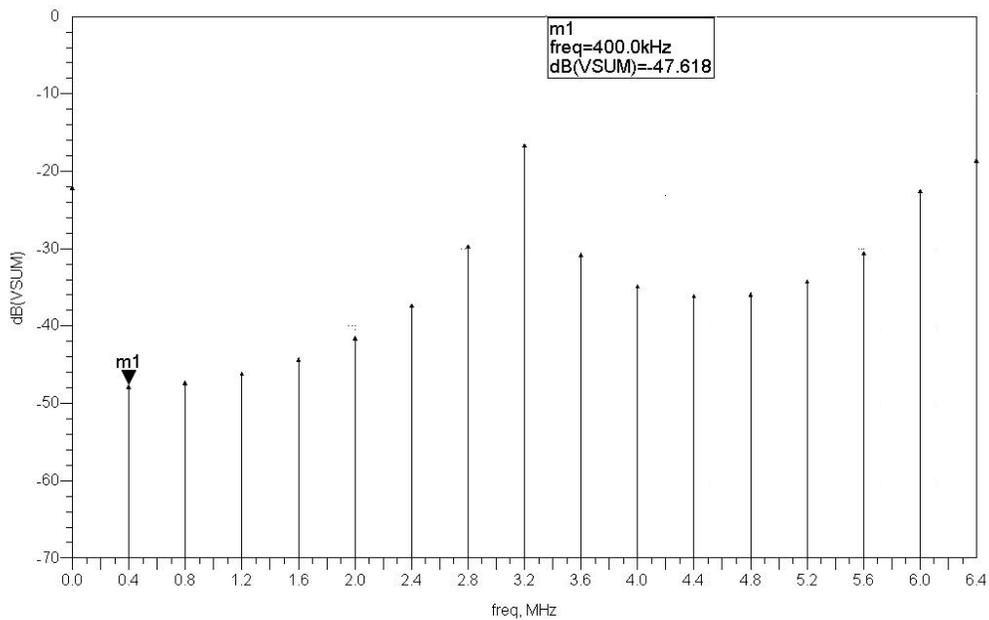


Figure III.11 : Spectre du multiplieur multiphase pour une erreur de phase par gradient

L'erreur d'appariement par gradient a une influence moindre que l'appariement aléatoire.

III.3.2.3 Erreur sur la tension de contrôle des éléments de retard

Chaque élément de retard considéré apporte la même erreur de phase. Comme les éléments de retard sont en série cette erreur va être cumulative par rapport au retard idéal.

Pour une erreur de phase corrélée et identique sur chacun des signaux recombinaisonés, il est possible d'obtenir une relation entre le spectre de sortie et l'erreur $d\phi$ ($d\phi_1=d\phi_2=d\phi_3=\dots=d\phi$) en reprenant l'équation Eq. III.5).

$$TF(f) = \sum_{n=0}^{+\infty} \frac{A\Delta}{T} \text{Sinc}\left(\frac{n\Delta}{T}\right) \delta\left(f - \frac{n}{T}\right) * \left[e^{-j2\pi(d+d\phi)f} + e^{-j2\pi(2*(d+d\phi))f} + e^{-j2\pi(3*(d+d\phi))f} + \dots \right] \quad \text{Eq. III.6}$$

A partir de cette transformée de Fourier, une relation existe entre l'erreur de retard et le spectre de sortie.

La Figure III.12 présente l'impact d'une erreur de retard sur le spectre de sortie recombinaisoné à $K*F_{in}$ pour un rapport cyclique de 50%.

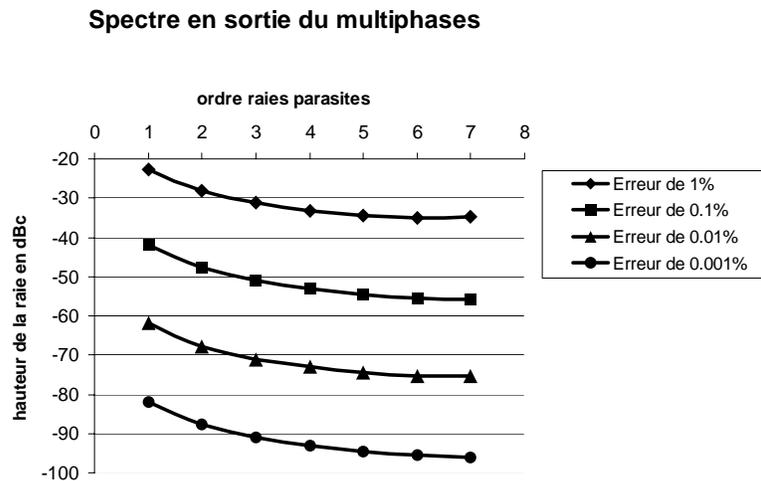


Figure III.12 : Impacte de l'erreur de retard sur le spectre de sortie

Si l'élément de retard apporte une erreur de 0,01% sur le déphasage idéal, le spectre du signal recombinaisoné présentera une première raie parasite de -62dB par rapport a la porteuse

III.4 Réalisation du PFD Multiphase

Dans cette partie, une application de la recombinaison à la synthèse de fréquence va être présentée. Le but étant de réaliser un pas de synthèse inférieur à la fréquence de référence avec un diviseur de boucle entier.

La recombinaison des fronts peut se faire par différents procédés : de façon synchrone et asynchrone. Seul le PFD (Phase Frequency Detector) multiphase asynchrone est présenté dans ce chapitre, assurant un fonctionnement dans tout les cas.

III.4.1 PFD Multiphase asynchrone

Le générateur multiphase réalise la génération de K signaux déphasés entre eux à partir du signal issu du diviseur de fréquence.

Les signaux déphasés vont être mis en forme par le biais de générateurs d'impulsions. Ainsi chaque front montant, détecté sur l'une des sorties du générateur de phase, donnera lieu à une impulsion qui sera immédiatement transmise au PFD.

La nouvelle structure du PFD multiphase est présente en Figure III.13.

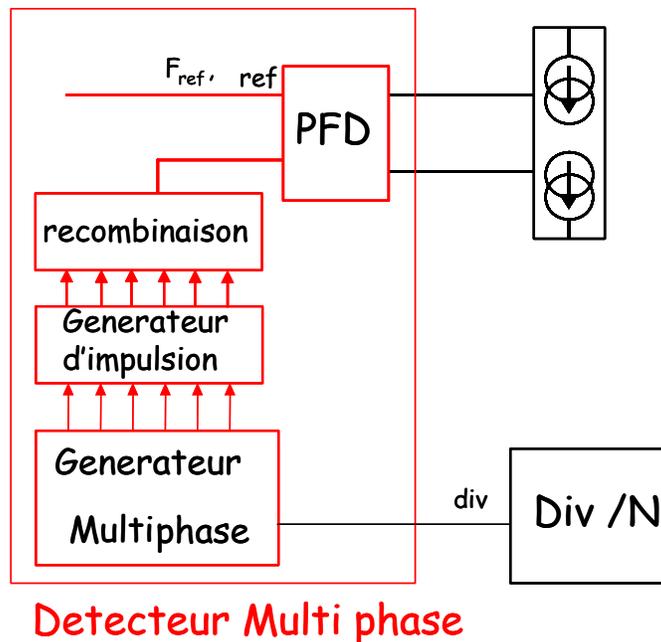


Figure III.13 : PLL avec PFD multiphase asynchrone

Maintenant une description de la réalisation de chaque partie va être faite.

III.4.1.1 Le générateur de multiphase

Ce bloc doit réaliser la génération de K signaux déphasés entre eux de $2\pi/K$. Ce générateur multiphase est primordial en terme de performance, les signaux doivent avoir un déphasage précis et stable pour ne pas générer de raies parasites lors de la multiplication de fréquence. Pour réaliser le déphasage avec précision, une chaîne d'éléments de retard contrôlé en tension paraît une bonne solution. Cette solution est décrite en Figure III.14.

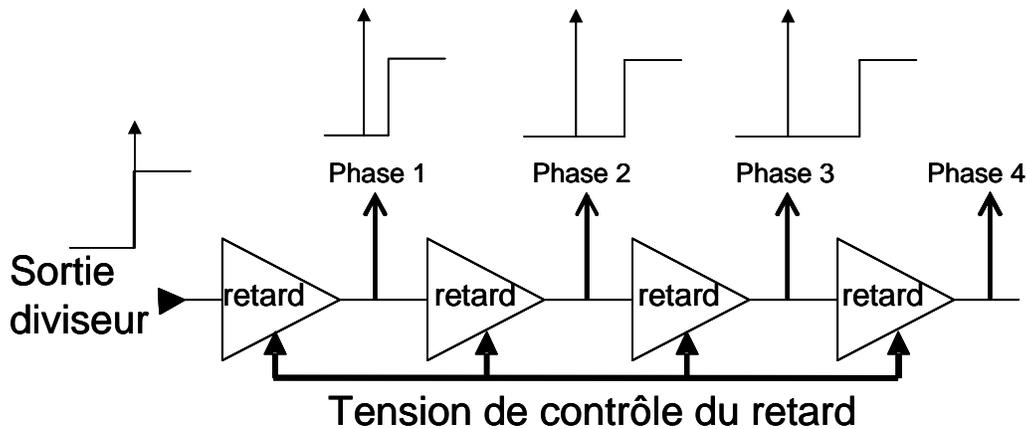


Figure III.14 : Schématique de la génération multiphase

Les éléments de retard sont constitués d'inverseurs CMOS chargés par une capacité variable. Néanmoins, il faut s'affranchir des dérives en température et de fabrication. C'est-à-dire être capable de réajuster la tension de contrôle pour garantir le déphasage voulu. Pour cela les éléments de retard seront pilotés par une boucle à verrouillage de retard (DLL Delay Locked Loop) qui compensera les dérives en température, de la tension d'alimentation et de fabrication.

III.4.1.2 La DLL

Pour garantir le bon déphasage de la chaîne de retard, nous avons besoin de calibrer les éléments de retard en fonction des dérives en température et fabrication. Cela demande un asservissement des éléments de retard par le biais d'une boucle à verrouillage de retard (DLL) [chi00][sus03][spa02].

La Figure III.15 donne une schématique de la DLL assurant le control des éléments de retard.

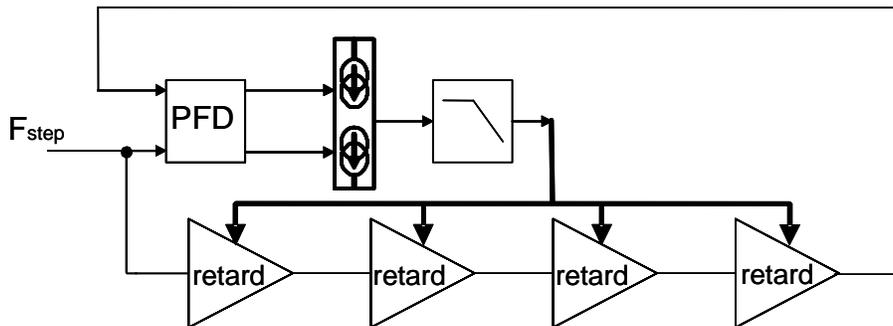


Figure III.15 : DLL assurant le control des éléments de retard

Les éléments de retard, utilisés pour la génération de phases, sont dupliqués dans la DLL fonctionnant à la fréquence du pas de synthèse.

Dans une boucle à verrouillage de retard, l'erreur de phase est cumulative, c'est l'un des principaux inconvénients de la DLL. Le filtre de boucle sera simplement une capacité d'intégration. La taille de la capacité d'intégration sera un compromis entre rapidité et bruit.

Le couple générateur multiphase/DLL déterminera les performances du PFD multiphase en termes de bruit de phase.

III.4.1.3 Éléments de retard

L'élément de retard est à réaliser avec deux inverseurs en série dont le courant de charge est contrôlé par une source variable. Le retard nécessaire est très grand donc une capacité est introduite pour augmenter le retard délivré par la cellule.

La Figure III.16 présente l'élément de retard utilisé.

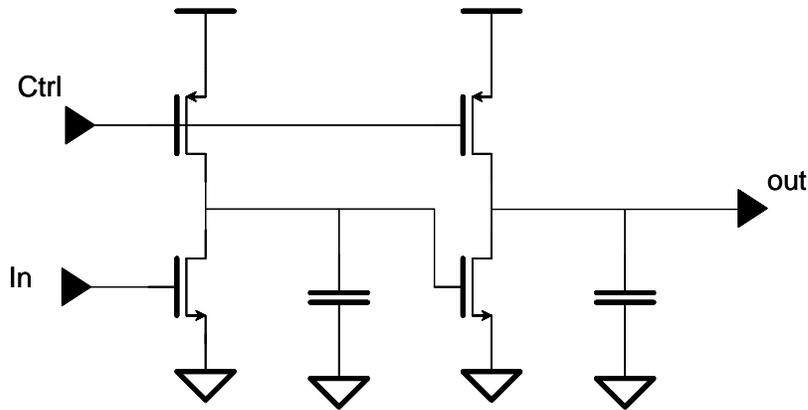


Figure III.16 : Schématique de l'élément de retard utilisé

Le gain de conversion tension/retard est choisi très élevé afin de permettre une utilisation dans tous les cas (température, tension d'alimentation et procédé de fabrication).

La Figure III.17 donne la courbe de conversion tension/retard de l'élément de retard utilisé.

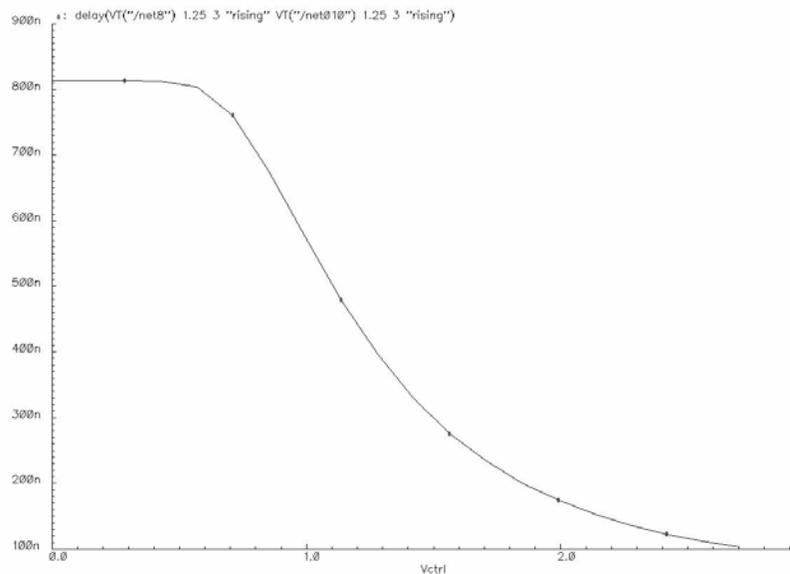


Figure III.17 : Courbe de conversion tension/retard de l'élément de retard

Un gain très important a pour principal inconvénient d'être sensible aux variations de la tension de contrôle. Une analyse Monte-Carlo est effectuée pour quantifier la déviation de l'élément de retard. La dispersion de l'élément de retard est donnée en Figure III.18.

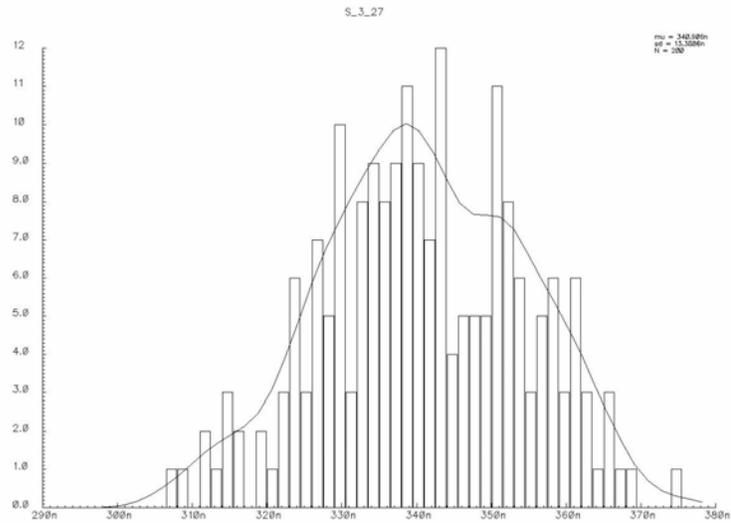


Figure III.18 : Dispersion de l'élément retard pour 200 tirs

La courbe de dispersion est une gaussienne dont la dispersion pour 1 sigma est de 4%.

III.4.1.4 La recombinaison

Le système de recombinaison des signaux déphasés est réalisé avec des portes logiques uniquement. Chaque front des signaux issus du générateur multiphase sera transformé en impulsion. Les impulsions seront recombinaisonnées par l'action de portes OU permettant de regrouper les impulsions sur le même signal. La génération des impulsions sera réalisée à partir d'une porte « ET » et d'un inverseur introduisant un retard proportionnel à la largeur d'impulsion. Le schéma du circuit générateur d'impulsion et de recombinaison est présenté en Figure III.19.

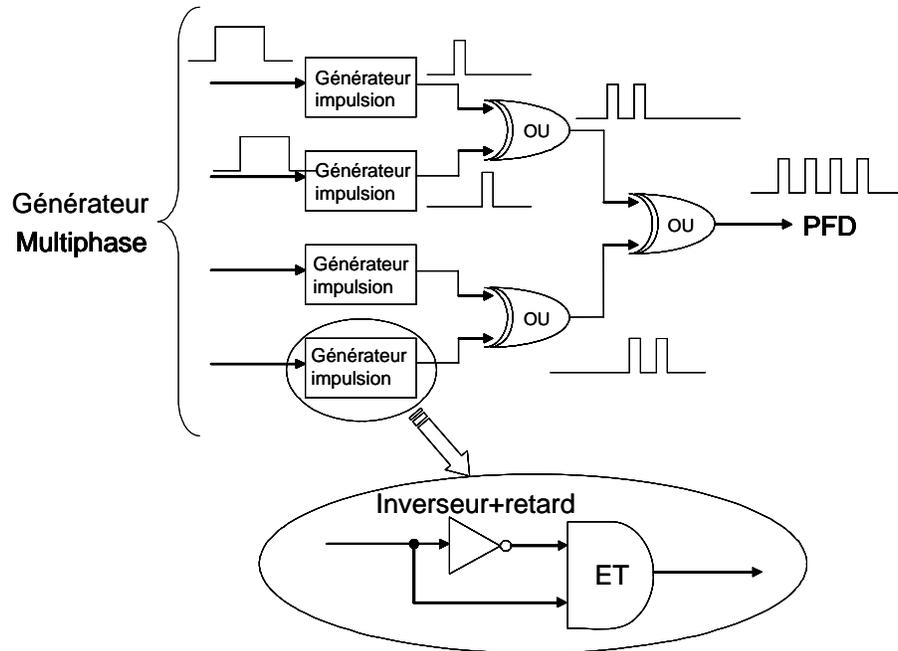


Figure III.19 : Schématique de la recombinaison des signaux déphasés

Ce circuit est donc réalisé de manière totalement numérique et indépendamment de la fréquence de référence (asynchrone). Dans toutes les configurations (VCO loin de son état final), le multiplicateur de fréquence transmettra un signal au PFD.

III.5 La PLL avec PFD multiphase

La Figure III.20 présente le schéma de principe d'une PLL avec un PFD multiphase.

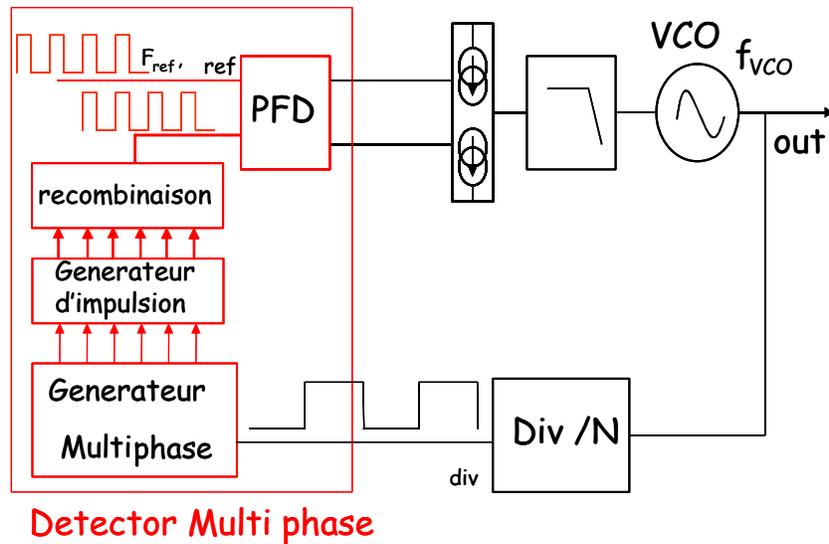


Figure III.20 : PLL avec PFD multiphase asynchrone

L'utilisation d'un tel dispositif dans une PLL a un impact sur la modélisation de la PLL, et donc sur sa bande passante et sur le bruit de phase.

III.5.1 Effet sur la bande passante

Le PFD multiphase permet d'avoir une fréquence de référence supérieure au pas de synthèse. Le rapport de division de la boucle est modifié. La fonction de transfert en boucle ouverte de la PLL avec PFD multiphase s'écrit :

$$F_{BO} = \frac{I_p * K_{vco} * K}{N * p} F(p) \quad \text{Eq. III.7}$$

Avec I_p courant de la pompe de charge, K_{vco} le gain du VCO, N le facteur de division, K le facteur de multiplication et $F(p)$ la fonction de transfert du filtre.

Même si, pour le même pas de synthèse, la fréquence de référence est supérieure, la bande passante ne pourra pas être augmentée, l'échantillonnage dans la boucle est limité par la fréquence la plus basse : le pas de synthèse. L'échantillonnage dans une PLL classique est effectué par le diviseur de fréquence [lee98][cra94].

Néanmoins, le gain de boucle est modifié ce qui a pour avantage, en comparaison avec une PLL classique, d'utiliser le même filtre de boucle mais en réduisant le courant de la pompe de charge d'un rapport K.

$$F_{BO} = \frac{I_p * K_{vco} * K}{N * p} F(p) \quad \text{Eq. III.8}$$

$$F_{BO} = \frac{I_p * K_{vco}}{N * p} F(p) \quad \text{Eq. III.9}$$

L'utilisation du PFD multiphase modifie le spectre de bruit de la PLL, nous allons maintenant discuter sur l'impact du PFD multiphase sur le spectre de la PLL.

III.5.2 Effet sur le bruit de phase

Dans cette partie nous allons présenter l'influence du bruit du multiplieur par K sur le bruit de phase en sortie de la PLL [vau02][wol91].

La Figure III.21 présente un schéma de la PLL en boucle fermée avec tous les contributeurs en bruit.

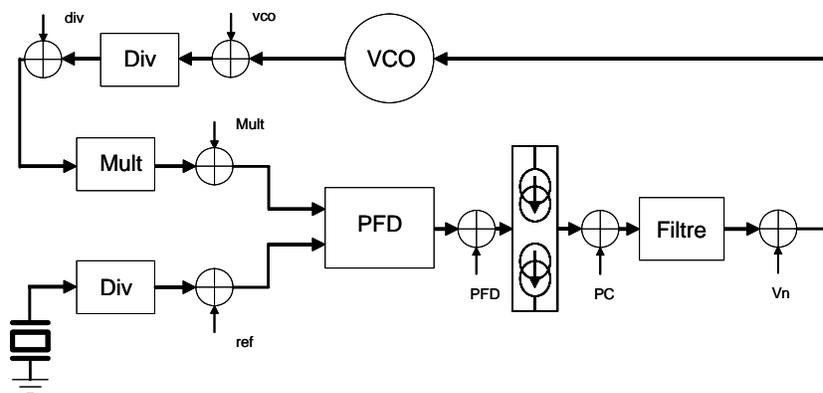


Figure III.21 : Model de bruit de la PLL avec PFD multiphase

La fonction de transfert du bruit de phase en basse fréquence s'écrit :

$$H_{\text{bfMpfd}}(p) = \frac{I_p * F_{\text{filtre}}(p) * K_{\text{vco}} * K/N}{p + I_p * F_{\text{filtre}}(p) * K_{\text{vco}} * K/N} \quad \text{Eq. III.10}$$

La fonction de transfert du bruit de phase en haute fréquence s'écrit :

$$T_{\text{hfMpfd}}(p) = \frac{p}{p + I_p * F_{\text{filtre}}(p) * K_{\text{vco}} * K/N} \quad \text{Eq. III.11}$$

Le bruit total en sortie de la PLL est la somme des contributeurs basse et haute fréquences.

$$\varphi_{0\text{Mpfd}}^2(f_m) = \varphi_{\text{obfMpfd}}^2(f_m) + \varphi_{\text{ohfMpfd}}^2(f_m) \quad \text{Eq. III.12}$$

La contribution en bruit de phase basse fréquence est :

$$\varphi_{\text{obfMpfd}}^2(f_m) = \frac{N^2}{K^2} * |H_{\text{bfMpfd}}(j2\pi * f_m)| * \left(\varphi_{\text{div}}^2(f_m) + \varphi_{\text{ref}}^2(f_m) + \varphi_{\text{pfd}}^2(f_m) + \frac{i_n^2(f_m)}{K_{\text{pfdcp}}^2} + \varphi_{\text{mult}}^2(f_m) \right) \quad \text{Eq. III.13}$$

Nous posons comme simplification :

$$\varphi_{\text{eqMpfd}}^2(f_m) = \varphi_{\text{div}}^2(f_m) + \varphi_{\text{ref}}^2(f_m) + \varphi_{\text{pfd}}^2(f_m) + \frac{i_n^2(f_m)}{K_{\text{cp}}^2} + \varphi_{\text{mult}}^2(f_m) \quad \text{Eq. III.14}$$

La contribution en basse fréquence du bruit de phase est :

$$\varphi_{\text{obfMpfd}}^2(f_m) = \frac{N^2}{K^2} * |H_{\text{bfMpfd}}(j2\pi * f_m)|^2 * \varphi_{\text{eqMpfd}}^2(f_m) \quad \text{Eq. III.15}$$

La contribution du bruit de phase en haute fréquence :

$$\varphi_{\text{ohfMpfd}}^2(f_m) = |T_{\text{hfMpfd}}(j2\pi * f_m)|^2 * (\varphi_{\text{vco}}^2(f_m) + \varphi_{\text{filtre}}^2(f_m)) \quad \text{Eq. III.16}$$

Le bruit total en sortie de la PLL utilisant un comparateur de phase multiphase est :

$$\varphi_{0\text{Mpfd}}^2(f_m) = \frac{N^2}{K^2} * |H_{\text{bfMpfd}}(j2\pi * f_m)|^2 * \varphi_{\text{eqMpfd}}^2(f_m) + (\varphi_{\text{vco}}^2(f_m) + \varphi_{\text{filtre}}^2(f_m)) * |T_{\text{hfMpfd}}(j2\pi * f_m)|^2 \quad \text{Eq. III.17}$$

Chapitre III : Application de la multiplication de fréquence par recombinaison des fronts à la synthèse de fréquence

A partir de cette équation, le bruit du générateur multiphase n'interviendra que dans les basses fréquences du bruit de sortie.

En utilisant cette équation dans des simulations de bruit, la contribution en bruit du PFD multiphase pourra être quantifiée.

Prenons comme exemple une PLL fonctionnant à 800MHz avec une fréquence de référence de 3.2MHz ayant un pas de synthèse de 400kHz, soit un PFD multiphase utilisant 8 phases. La bande passante de la PLL est fixée à 26kHz avec un courant de pompe de charge de 200µA et un gain de VCO de 80MHz/V.

La simulation a été réalisée avec les spécifications en bruit suivantes :

	Bruit de plancher	1/f	1/f ²	1/f ³
VCO	-160	100M	100M	600k
Ref	-150	10k		
PFD+CP	-233	10k		
Diviseur	-160	10k		
Multiphase	-130	100k		

Tableau III.1 : Table des spécifications de bruit

Pour ce calcul de contributeur en bruit, le générateur multiphase a été volontairement choisi avec un mauvais bruit afin de visualiser l'impact sur le bruit en sortie de la PLL.

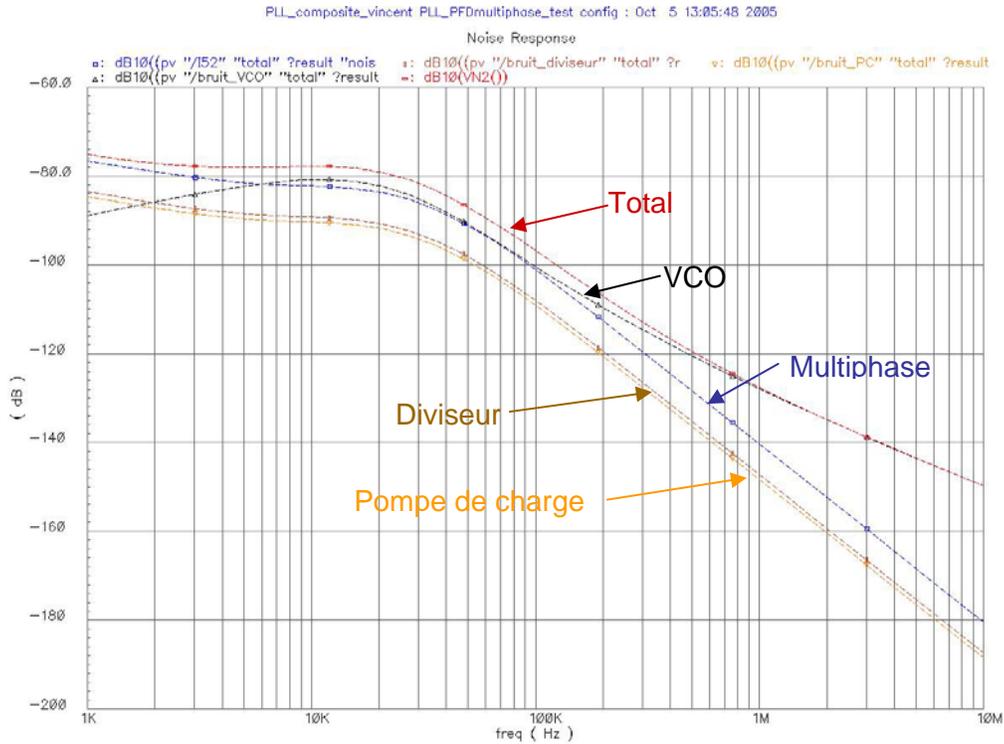


Figure III.22 : Simulation du bruit de sortie de la PLL avec un multiphase a 8 phases

La Figure III.22 montre que le contributeur majoritaire en basse fréquence est le générateur multiphase d'une part et le contributeur majoritaire en haute fréquence est le VCO d'autre part.

III.5.3 Effet sur les raies parasites

La raie parasite à la fréquence de référence peut être reliée au courant de fuite dans la pompe de charge [vau02][raz00] :

$$\left[\frac{A_{rp}}{A_{OL}} \right]_{dB_c} = 20 * \text{Log} \left[\frac{I_{fuite} * |Z_{filtre}(jnF_{ref} 2\pi)| * K_{vco}}{n * F_{ref}} \right] = 20 * \text{Log} \left[\frac{\theta_p(n * F_{ref})}{2} \right] \quad \text{Eq. III.18}$$

A partir de cette équation, il est possible de les appliquer pour les raies parasites résultant d'une erreur provenant de la recombinaison du multiphase. Une erreur de déphasage entre les différents signaux recombinaison entraîne une erreur au niveau du PFD.

Avec ces équations il est possible de déterminer l'erreur de phase relative au multiphase à partir d'une raie parasite. Et ainsi, définir les spécifications de la DLL contrôlant les éléments de retard.

Connaissant les niveaux des raies parasites, le courant de fuite équivalent se détermine par l'équation :

$$\frac{n * F_{ref} * 10^{\frac{\left[\frac{A_{rp}}{A_{OL}} \right]_{dB_c}}{20}}}{|Z_{filtre}(jnF_{ref} 2\pi)| * K_{vco}} = I_{fuite} \quad Eq. III.19$$

De plus, la raie parasite résulte d'une déviation de phase maximum :

$$\frac{I_{fuite} * |Z_{filtre}(jnF_{ref} 2\pi)| * K_{vco}}{n * F_{ref}} = \frac{\theta_p (n * F_{ref})}{2} \quad Eq. III.20$$

La relation entre la déviation de phase et la déviation de période est donnée par :

$$\Delta T = T_0 \frac{\theta_p}{2\pi} \quad Eq. III.21$$

Cette déviation de période à l'entrée du PFD représente l'erreur sur le signal multiplié en fréquence.

III.5.4 Simulation comportementale

Le PFD multiphase est simulé en VHDL-AMS pour une PLL à 800MHz avec une référence à 3.2MHz, un pas de synthèse à 400kHz, une pompe de charge de 100µA et une bande passante de 26kHz.

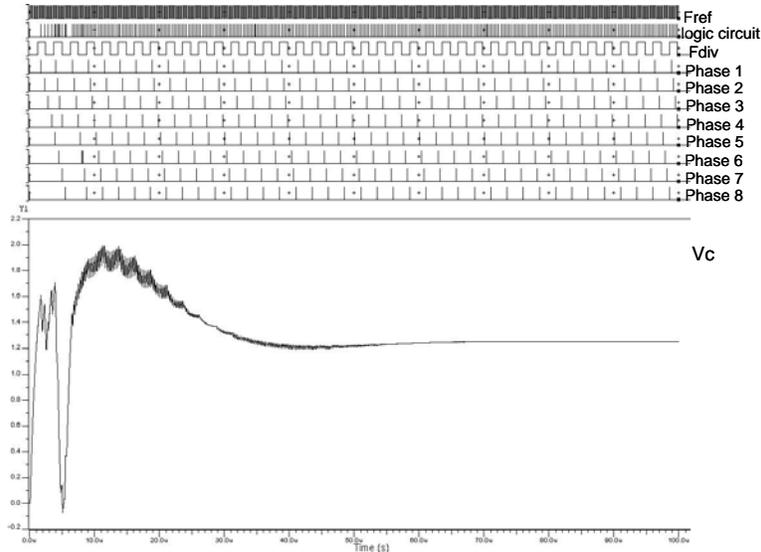


Figure III.23 : Simulation comportementale de la PLL avec PFD multiphase asynchrone

La Figure III.23 présente le résultat de simulation comportementale de la PLL avec un PFD multiphase a 8 phases. Cette simulation permet de mettre en évidence la convergence et la stabilité d'un tel système.

Après avoir présenté les différentes influences d'un Multiphase sur un synthétiseur de fréquence de type PLL. Une implémentation sur silicium a été réalisée.

III.6 Intégration d'une PLL 900Mhz utilisant un PFD Multiphase asynchrone

Le PFD Multiphase asynchrone a été implémenté sur silicium en technologie STMicroelectronics BiCMOS 0,25 μ m [lag05]. Le dessin des masques est présenté en Figure III.24.

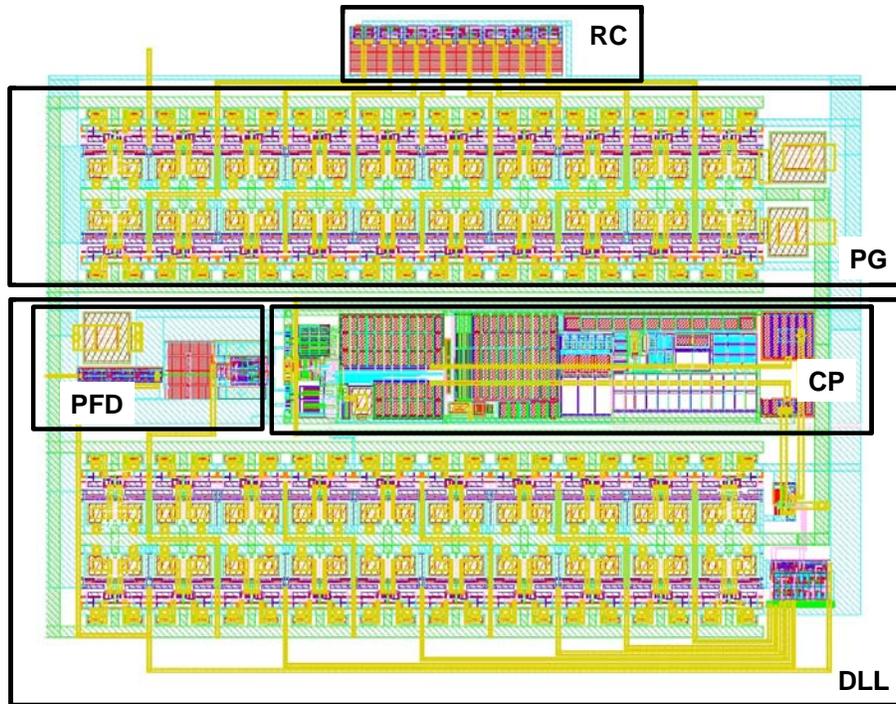


Figure III.24 : Dessin des masques du multiphase asynchrone

Le circuit Multiphase se compose d'une logique de recombinaison (RC), d'une génération de phases (PG), et d'une DLL comportant une chaîne d'éléments de retard identique à la génération de phase, d'un PFD et une pompe de charge (CP).

III.6.1 Le VCO

Le VCO utilisé dans la PLL Multiphase est une double paire croisée avec résonateur LC [yan04]. Le schéma électrique du VCO est présenté à la Figure III.25.

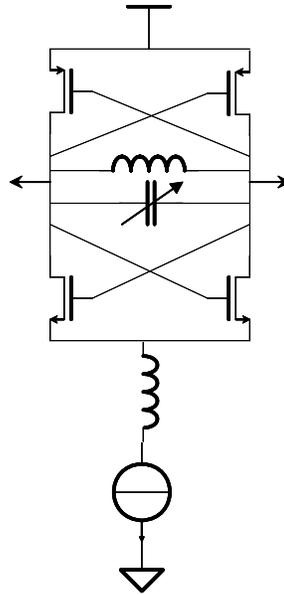


Figure III.25 : VCO double paires croisées implémenté

La fréquence d'oscillation est contrôlée par une capacité variable contrôlée en tension. L'inductance placée sur la source de courant de pied permet un meilleur filtrage du bruit en $1/f$. [and02]

III.6.2 Le diviseur de fréquence

Le diviseur de fréquence est réalisé à partir de diviseurs par 2 ou 3 programmables mis en série. [vau02_2]

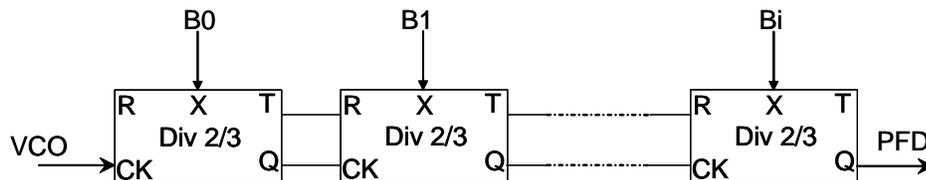


Figure III.26 : Diviseur de fréquence implémenté

Le rapport de division minimum est égal à 2^{i+1} et le maximum est de $2^{i+2}-1$. Ce diviseur ne permet pas de garantir un rapport cyclique constant pour tous les rapports de division.

III.6.3 La pompe de charge

La pompe de charge [gar80], dont le schéma est donné à la Figure III.27, a été utilisée deux fois, une pour le PFD multiphase et une pour la PLL.

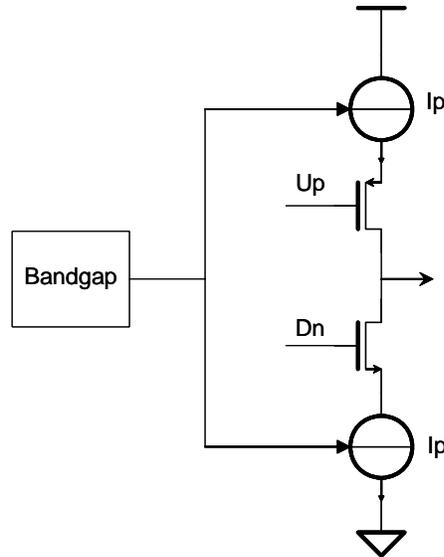


Figure III.27 : Pompe de charge implémentée

La pompe de charge implémentée se compose de deux sources de courants contrôlées par une source de tension stable. Les sources de courant sont commutées par deux transistors contrôlés par les signaux Up et Dn issus du PFD.

III.6.4 Implémentation

Le PFD multiphase est implémenté dans une PLL 800MHz dédiée à des applications RF. La Figure III.28 présente le circuit implémenté.

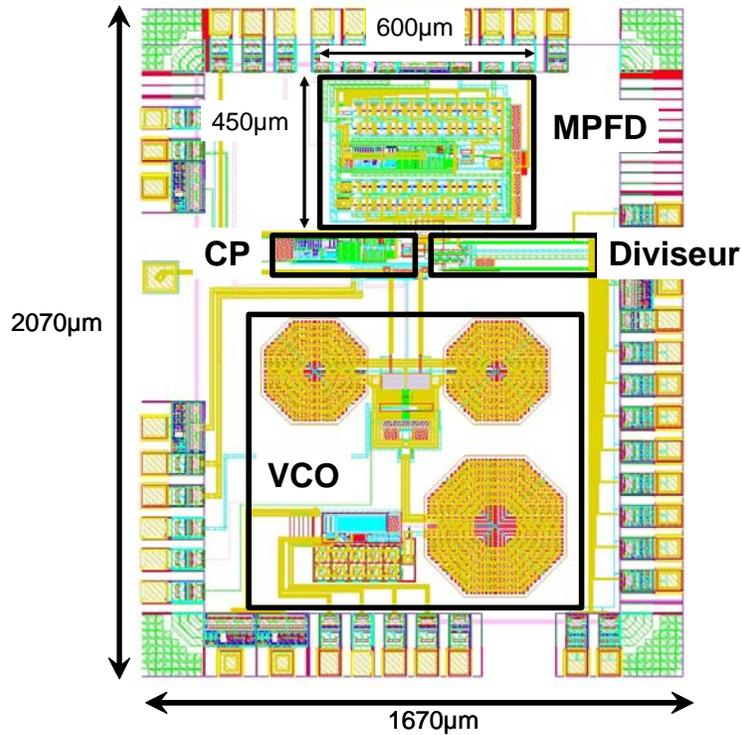


Figure III.28 : Dessin des masques de la PLL utilisant un PFD multiphase asynchrone

La surface totale du circuit est de $1670\mu\text{m} \times 2070\mu\text{m}$. La surface du circuit PFD multiphase est de $600\mu\text{m} \times 450\mu\text{m}$. Cette PLL intègre deux pompes de charge, une pour la DLL et une pour la PLL, une réduction sensible de la surface est envisageable, car chacune des deux pompes de charge possède une source de tension stable en température (bandgap). Une seule source de tension stable en température suffit et permet de réduire la surface du PFD multiphase.

III.6.5 Mesures

Le système est totalement fonctionnel.

La PLL présente des pas de synthèse de 400kHz en utilisant une référence de 3.2MHz et un diviseur de fréquence entier.

Chapitre III : Application de la multiplication de fréquence par recombinaison des fronts à la synthèse de fréquence

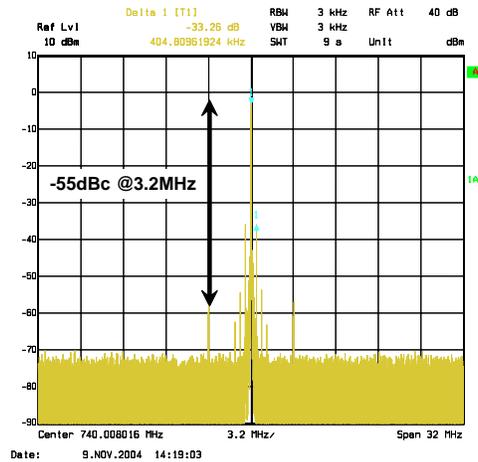


Figure III.29 : Spectre de sortie de la PLL avec PFD multiphase asynchrone

La Figure III.29 permet de démontrer la fonctionnalité de la PLL Multiphase. La synthèse de fréquence avec un pas de 400kHz est totalement fonctionnelle et présentée en Figure III.30.

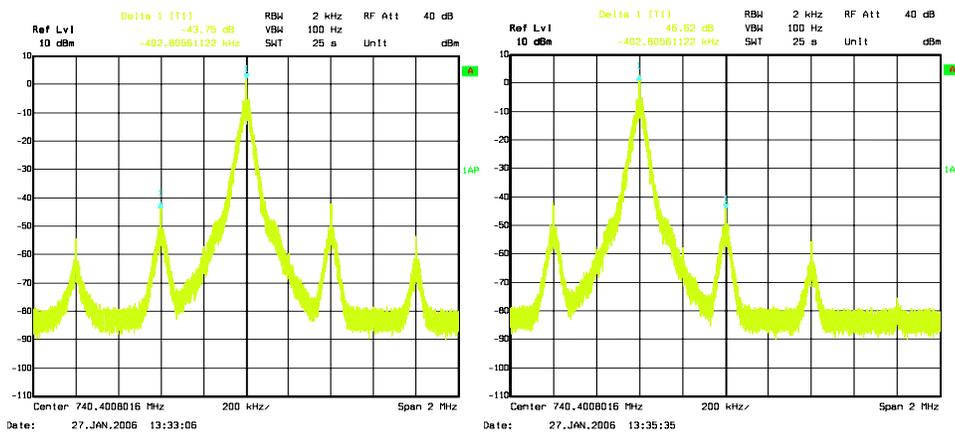


Figure III.30 : Spectre de sortie de la PLL avec PFD multiphase asynchrone

Cette première mesure permet de mesurer la raie parasite à 3,2MHz (fréquence de référence) qui est a -55dBc/Hz.

Nous allons maintenant vérifier la présence de raies parasites de fréquence égale au pas de synthèse.

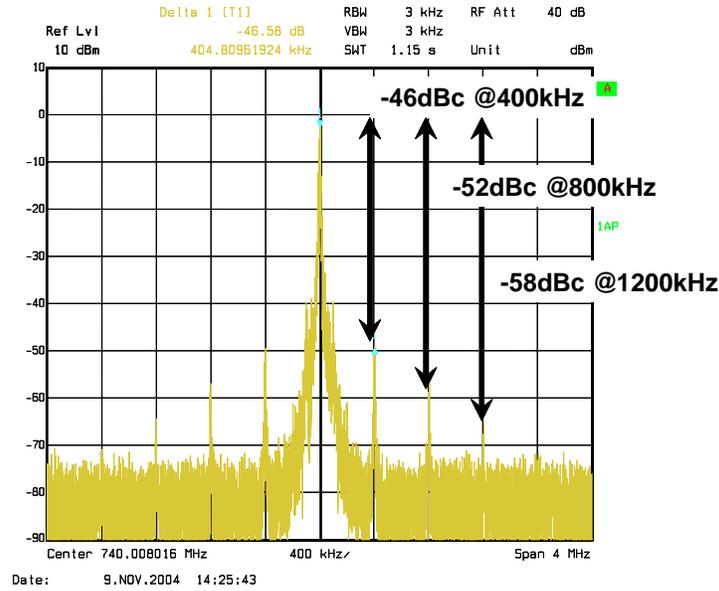


Figure III.31 : Spectre de sortie de la PLL avec PFD multiphase asynchrone

Sur le spectre, des raies parasites apparaissent à des fréquences proportionnelles à 400kHz. La PLL avec PFD multiphase est fonctionnelle mais pas optimale en terme de pureté spectrale. Dans le circuit, seul le générateur multiphase et le dernier étage du diviseur fonctionne à 400kHz. Or le diviseur déjà caractérisé auparavant, ne démontre aucun problème de fonctionnement. La seule source des raies parasites est le générateur multiphase regroupant la chaîne de retard et la DLL.

III.6.6 Analyses des raies parasites

En reprenant les équations décrites au paragraphe III.6.6, les raies parasites observées dans le spectre de sortie de la PLL mesurée doivent être comparées à une erreur résultant d'une erreur de déphasage.

$$\frac{I_{\text{fuite}} * |Z_{\text{filtre}}(j2\pi n F_{\text{ref}})| * K_{\text{vco}}}{n * F_{\text{ref}}} = \frac{\theta_p(n * F_{\text{ref}})}{2} \quad \text{Eq. III.22}$$

Les raies parasites générées à 400kHz et ses harmoniques seront présent en compte. Seule la raie parasite à 3.2MHz ne pourra être prise en compte car cela correspond à la fréquence de référence.

$$\theta_p = \sqrt{\theta_p^2(F_{n1}) + \theta_p^2(F_{n2}) + \theta_p^2(F_{n3}) + \dots} \quad \text{Eq. III.23}$$

La raie parasite a 400kHz est à -46dBc et cela correspond à une erreur de phase de :

$$\theta_p(400k) = 0.01 \text{ rad} \quad \text{Eq. III.24}$$

La raie parasite a 800kHz est à -52dBc et cela correspond à une erreur de phase de :

$$\theta_p(800k) = 0.005 \text{ rad} \quad \text{Eq. III.25}$$

La raie parasite a 1200kHz est à -58dBc et cela correspond à une erreur de phase de :

$$\theta_p(1200k) = 0.0027 \text{ rad} \quad \text{Eq. III.26}$$

Les autres raies parasites ne seront pas prises en compte en regard de leur faible valeur comparée aux trois premières raies parasites.

L'erreur quadratique moyenne est de :

$$\theta_p = \sqrt{\theta_p^2(400k) + \theta_p^2(800k) + \theta_p^2(1200k)} = 0.0115 \text{ rad} \quad \text{Eq. III.27}$$

L'erreur sur les éléments de retard est de 0,18% de la période (période de 3.2MHz). Cela correspond à une erreur de 0,5ns sur un élément de retard de 312,5ns. Cette erreur est faible (grâce à l'asservissement de la DLL) et peut avoir plusieurs origines comme un mauvais appariement entre les éléments de retard.

Pour réduire cette erreur, les éléments de retard doivent avoir le gain de conversion tension /retard le plus faible possible. C'est-à-dire que le retard ne doit pas, ou très peu, varier en fonction de la température, de la tension d'alimentation, etc ...

La cellule de retard est le bloc critique lors de la réalisation du détecteur de phase/fréquence multiphase.

III.7 Conclusions

Dans ce chapitre, la multiplication de fréquence par recombinaison a été présentée. L'influence de la recombinaison sur le spectre de sortie a été mise en équation. La multiplication de fréquence a été introduite dans le chapitre précédent dans une architecture de PLL composite disposant de deux fréquences de référence différentes.

Une implémentation d'une PLL utilisant un PFD multiphase à 8 phases a permis de mettre en évidence la sensibilité de la PLL aux erreurs du générateur multiphase lors de la recombinaison, générant des raies parasites dans le spectre de sortie de la PLL.

L'utilisation d'un PFD multiphase dans une PLL permet d'avoir une fréquence de référence supérieure au pas de synthèse avec un diviseur de boucle entier.

Cela permet également de réduire le courant de pompe de charge tout en conservant le même filtre de boucle qu'une PLL classique.

De plus la raie parasite liée à la fréquence de référence se trouve rejetée à plus haute fréquence en comparaison de la bande passante du filtre.

Néanmoins une attention particulière doit être apportée à la génération de phase, donc aux éléments de retard, pour assurer une bonne pureté spectrale en sortie de la PLL.

III.8 Références

- [and02] P. Andreani, H. Sjoland « Tail Current Noise Suppression in RF CMOS VCOs », IEEE journal of Solid State Circuits, vol. 37, No. 3, pp 342-348, Mars, 2002.
- [chi00] G. Chien, « Low Noise Local Oscillator Techniques using a DLL based Frequency Multiplier for Wireless Applications », Chapitre 4 « DLL based Frequency Multiplier Fundamentals », pp 70-95, thèse Berkeley, 2000.
- [cra94] J. A. Crawford, « Frequency Synthesizer Design Handbook », Appendix 4A « Loop Bandwidth Considerations Using the Phase Frequency Detector », pp 189-201, Artech House, 1994.
- [gar80] F. M. Gardner, « Charge Pump Phase Lock Loops », IEEE trans. Comm., vol. COM-28, pp 1849-1858, Novembre, 1980.
- [lag05] V. Lagareste, F. Badets, Y. Deval, J. B. Begueret, D. Belot, « A Multiphase Phase/Frequency Detector based Frequency Synthesizer », IEEE International Conference on Radio Frequency Integrated Circuits (RFIC), Proceedings, pp 641-644, Juin 2005.
- [lee98] T. H. Lee, « The design of CMOS radio-frequency integrated circuit », Chapitre 16 « Oscillators and Synthesizers », pp 514-517, Cambridge University Press, 1998.
- [raz00] B. Razavi, « Design of Analog CMOS Integrated Circuits », Chapitre 15 « Phase Locked Loops », pp 532-578, Mc Graw Hill, 2000.
- [spa02] A. Spataro, Y. Deval, J.B. Begueret, P. Fouillat, D. Belot, « A VLSI CMOS Delay Oriented Waveform Converter for Polyphase Frequency Synthesizer », Journal Of Solid State Circuits, JSSC, pp 336-341, Vol. 37, No. 3, March, 2002.

- [sus03] O. Susplugas, « Application des boucles de retard a la synthèse de fréquences dans les circuits pour les communications mobiles », Chapitre 3 « La boucle a verrouillage de délais », pp 60-94, thèse ENST Paris, 2003.
- [vau02] C. S. Vaucher, « Architecture for RF Frequency Synthesizer », Chapitre 3 « Single Loop Architectures », pp. 27-99, édition Kluwer Academic, 2002.
- [vau02_2] C. S. Vaucher, « Architecture for RF Frequency Synthesizer », Chapitre 6 « Programmable dividers », pp. 201-227, édition Kluwer Academic, 2002.
- [wol91] D. H. Wolaver, « Phase Locked Loop Circuit Design », Chapitre 11 « Frequency Synthesizers », pp. 239-259, Prentice Hall, 1991.
- [yan04] F. Yang, Z. Zhang, B. Li, H. Min, « A 4,8GHz CMOS Fully-Integrated LC Balanced Oscillator with Symmetry Noise Filtering Technique », IEEE International Conference on Solid State and Integrated Circuits Technology, proceedings, vol. 2, pp. 1315-1320, Octobre, 2004.

**Chapitre IV :
Optimisation de la
bande passante et de
la robustesse des
synthétiseurs de
fréquence à base de
PLL par l'introduction
de filtres d'ordre non
entier**

IV.1 Intérêt de l'introduction de filtres d'ordre non entier dans les synthétiseurs de fréquence

Dans les synthétiseurs de fréquence, des compromis sont à faire entre la bande passante et la réjection de la fréquence de référence. La bande passante définit la rapidité du synthétiseur de fréquence et son aptitude à suivre des variations de fréquence que subit son entrée. Cette bande passante est limitée par la réjection des raies parasites afin d'obtenir la pureté spectrale désirée. Pour un synthétiseur de fréquence à base de PLL (boucle à verrouillage de phase), les paramètres définissant la bande passante (ω_b), la marge de phase ($M\phi$) et la réjection des raies parasites (At) sont directement liés au filtre de boucle jouant le rôle de correcteur [cod98]. Dans l'approche classique, la structure du filtre est prédéterminée (un intégrateur avec une cellule avance/retard de phase), et lors du calcul des paramètres de ce filtre, il est quasiment impossible de répondre à toutes les contraintes en même temps, issues des performances souhaitées (rapidité, degré de stabilité et niveau de bruit en sortie). Aussi souvent un compromis doit être trouvé afin de satisfaire au mieux les contraintes, entraînant la dégradation de certaines performances. Par exemple, il n'est pas rare de dégrader la bande passante, afin de satisfaire les contraintes de réjection des raies parasites et de stabilité.

Par ailleurs, un autre inconvénient du à la réalisation matérielle du filtre, concerne la variation du degré de stabilité du synthétiseur de fréquence, qui est liée aux variations des paramètres du filtre, elles mêmes liées à la dispersion matérielle des composants. Lors de la réalisation des circuits intégrés sur silicium, une imprécision de réalisation de l'ordre de 10% (homogénéité des épaisseurs d'oxyde par exemple), génère une incertitude sur la valeur des composants électroniques réalisés. Le filtre étant calculé à partir de valeurs nominales, une variation des valeurs des composants mis en œuvre conduit à une dégradation des performances attendues, pouvant même les rendre hors spécifications. Les composants discrets ayant une meilleure précision (de l'ordre de 1%), afin d'obtenir une meilleure robustesse de la PLL, les éléments du filtre de boucle sont souvent mis en externe (non intégrés sur silicium). Malheureusement, cette opération apporte un surcoût par rapport à une solution tout intégrée.

Afin de pallier à ces inconvénients et de lever ce verrou technologique, une solution consiste à introduire des degrés de liberté supplémentaires dans la synthèse du filtre, à travers l'introduction de filtre d'ordre non entier (ou fractionnaire). Cette solution, développée dans ce chapitre, est fondée sur la théorie de la dérivation fractionnaire dont la synthèse a été développée au LAPS (Laboratoire d'Automatique, Productique et Signal) de Bordeaux. Elle permet de répondre aux deux problèmes précédemment exposés : optimisation des performances et robustesse du degré de stabilité.

Dans un premier temps, le formalisme mathématique de la dérivation d'ordre non entier ainsi que ces principales applications, sont présentés. Puis la méthodologie de synthèse d'un filtre d'ordre non entier fondée sur la récursivité fréquentielle sera décrite. L'introduction de filtres d'ordre non entier pour la résolution des deux problèmes précédemment exposés en synthèse de fréquence à base de PLL, à savoir l'optimisation de la bande passante et la robustesse du degré de stabilité, est présentée à travers deux exemples d'application.

IV.1.1 Intérêt des filtres d'ordre non entier

Pour les filtres passe-bas d'ordre entier n , les diagrammes asymptotiques sont des multiples entier de -20 dB/décade pour le gain et de -90 degré pour la phase (Figure IV.1).

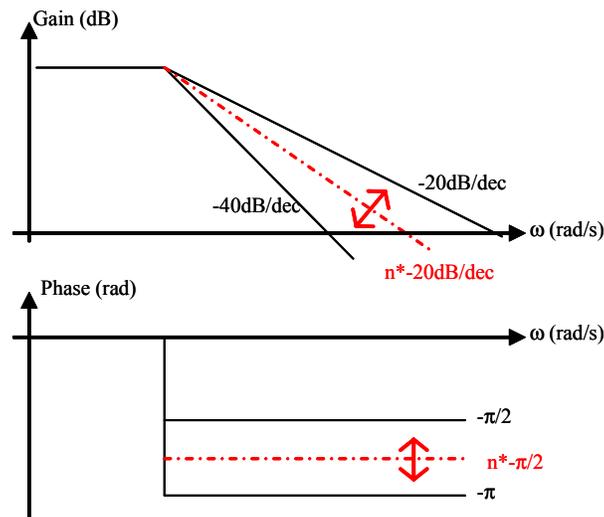


Figure IV.1 : Intérêt des filtres d'ordre non entier : comparaison des diagrammes asymptotiques de Bode de filtres passe-bas d'ordre entier (—) et non entier (n)(-.-.-)

L'ordre non entier permet d'assurer la continuité de la variation de pente asymptotique de gain et donc du filtrage, introduisant ainsi un degré de liberté supplémentaire dans les possibilités de synthèse.

IV.1.2 Formalisme mathématique de la dérivation d'ordre non entier (ou généralisée)

Afin de mieux appréhender la dérivation d'ordre non entier, une définition mathématique succincte est donnée dans cette partie.

Un dérivateur d'ordre n quelconque, appelé dérivateur généralisé [ous91][ous95], est tel que sa grandeur de sortie $s(t)$ est proportionnelle à la dérivée $n^{\text{ième}}$ de sa grandeur d'entrée $e(t)$, soit :

$$S(t) = \tau^n D^n e(t) = \tau^n \left(\frac{de(t)}{dt} \right)^n, \quad \text{Eq. IV.1}$$

où $D = d/dt$ et n est un entier ou non-entier, réel ou complexe ; τ désigne la constante de temps de différentiation, réelle et positive, introduite à la puissance n afin de simplifier la forme canonique de la transmittance ainsi que l'expression de la fréquence de transition, et qui constitue une fréquence caractéristique du dérivateur dans l'espace des fréquences. Lorsque la partie réelle de n est négative, on parle indifféremment de dérivateur généralisé ou d'intégrateur généralisé, sachant qu'une dérivation à un ordre à partie réelle négative constitue en fait une intégration.

Sous l'hypothèse que les conditions initiales sont nulles, la transformée de Laplace de l'équation I.1 détermine l'équation symbolique :

$$S(p) = \tau^n p^n E(p), \quad \text{Eq. IV.2}$$

de laquelle se déduit la transmittance :

$$D(p) = (\tau p)^n. \quad \text{Eq. IV.3}$$

La réponse en fréquences correspondant à la transmittance $D(p)$ est alors donnée par :

$$D(j\omega) = (j\tau\omega)^n. \quad \text{Eq. IV.4}$$

En posant $\omega_0=1/\tau$, appelée fréquence au gain unité ou fréquence de coupure de l'axe des zéros dB, elle s'écrit :

$$D(j\omega) = \left(j \frac{\omega}{\omega_0} \right)^n. \quad \text{Eq. IV.5}$$

Le gain et la phase sont donnés par les relations :

$$|D(j\omega)| = \left(\frac{\omega}{\omega_0} \right)^n \quad \text{Eq. IV.6}$$

$$\arg D(j\omega) = n \frac{\pi}{2}. \quad \text{Eq. IV.7}$$

Le gain croit à raison d'un multiple entier de 20dB par décade si n est entier, et d'un multiple non entier si n est fractionnaire. La phase, indépendante de la fréquence (pour un dérivateur pur), est un multiple entier de $\pi/2$ si n est entier, et d'un multiple non entier si n est fractionnaire. Par exemple, pour $n=0.5$, le gain croit de 10dB par décade et la phase est égale à $\pi/4$ (45 degrés).

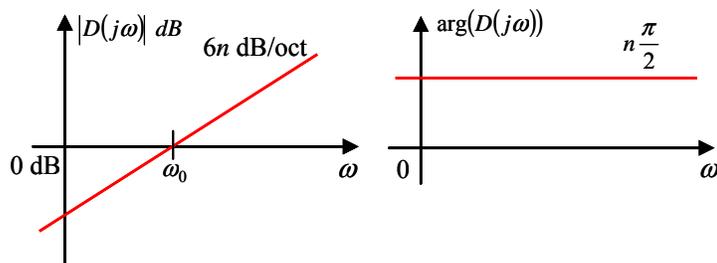


Figure IV.2 : Diagrammes de Bode d'un dérivateur d'ordre réel positif

IV.1.3 Applications

L'étude des équations différentielles non entières est une des spécificités de l'Equipe CRONE du LAPS dont le thème général des recherches est la dérivation non entière, en tant qu'opérateur et outil de modélisation, sa synthèse et son application dans les sciences

pour l'ingénieur. Les équations différentielles non entières sont une généralisation des équations différentielles classiques. Dans de telles équations, l'ordre de dérivation n'est plus entier mais réel. La plus importante part des applications de la dérivation non entière (et des équations différentielles qui en découlent) dans les sciences pour l'ingénieur est apparue il y a environ vingt ans. A ce jour, la dérivation non entière intervient dans les problèmes de représentation, analyse, synthèse, simulation, modélisation, identification, observation, commande, isolation vibration, filtrage, reconnaissance des formes, détection de contour, etc. Les disciplines particulièrement concernées sont quant à elles l'Electrotechnique (modélisation de moteurs, de transformateurs, effets de peau, modélisation de batteries, piles à combustible et supercapacités) ; Electronique, télécommunications (boucles à verrouillage de phase, ...); Electromagnétisme (modélisation de matériaux diélectriques complexes, ...); Thermique (modélisation et identification de systèmes thermiques, ...); Mécanique, Mécatronique (isolation vibratoire, ...); Automatique (commande robuste, identification, observation et commande de systèmes non entiers, ...); Robotique (Modélisation, Suivi de trajectoire, Planification de trajectoire, ...); Traitement du signal (filtrage, restauration, reconstruction, analyse de bruits fractals, ...); Traitement de l'image (modélisation d'environnements fractals, reconnaissance des formes, détection de contour, ...); Biologie, biophysique (conductance électrique systèmes biologiques, modélisation de neurones et de muscles, ...); Physique (analyse et modélisation de phénomènes de diffusion, ...) [ous83][ous91][ous95][ous05].

L'idée d'introduire de la dérivation non entière dans une boucle de commande a pour la première fois été publiée (en japonais) par S. Manabe en 1961 [man61]. Un régulateur non entier était utilisé dans cet article pour améliorer les performances d'un asservissement en présence de saturations. Les bases de la commande CRONE (CRONE est l'acronyme de Commande Robuste d'Ordre Non Entier) trouvent quant à elles leurs origines dans la seconde moitié des années 1970, lorsque A. Oustaloup mis en œuvre un régulateur d'ordre non entier pour la commande robuste d'un laser à colorant continu [ous75][ous83].

Il s'est avéré par la suite que d'autres auteurs avaient auparavant suggéré des stratégies de commande analogues (sans parler de dérivation non entière) pour assurer la robustesse

d'une boucle de commande vis-à-vis de variations de gain [bod45][hor93], sans pour autant décrire une méthode pour y parvenir. Grâce aux travaux d'A. Oustaloup et de son équipe, de telles méthodes existent maintenant et reposent sur l'introduction de la dérivation non entière dans la boucle de commande. Les idées présentées dans [bod45][hor93] ont depuis été très largement dépassées. L'originalité des stratégies les plus élaborées de la commande CRONE consiste à introduire de la dérivation non entière (réelle ou complexe) directement dans l'expression de la boucle ouverte, permettant ainsi sa paramétrisation avec un faible nombre de paramètres. L'optimisation de la loi de commande est ainsi réduite à la recherche de ces paramètres. Un exposé complet des différentes générations de la commande CRONE est proposé dans [ous99].

IV.1.4 Domaines d'intérêt pour la synthèse de fréquence

Comme cela a été présenté dans l'introduction, l'utilisation de filtre d'ordre entier dans les PLLs, limite les possibilités de correction de la boucle d'asservissement. Ainsi, dans le cadre de nos travaux de recherche, la dérivation d'ordre non entier sera utilisée à travers le filtre de boucle des PLLs.

Dans un premier temps, une optimisation du filtre de boucle sera étudiée. Ensuite, le filtre de boucle sera optimisé pour obtenir la robustesse du degré de stabilité vis-à-vis des variations de réalisation.

IV.2 Méthodologie de synthèse d'un filtre d'ordre non entier

Cette méthode, fondée sur la récursivité fréquentielle, permet de synthétiser un filtre réel entier qui approxime un filtre d'ordre non entier borné en fréquence.

La récursivité fréquentielle dont il s'agit porte sur les zéros et les pôles de la fonction de transfert du filtre réel [ous95]. Le principe de la synthèse est présenté ici, ainsi que les relations entre les composants du filtre et l'ordre non entier considéré.

IV.2.1 Distribution récursive des zéros et des pôles

La Figure IV.3 illustre le principe de la distribution récursive des zéros et des pôles pour synthétiser un filtre d'ordre non entier.

Le lissage des marches d'escalier du diagramme asymptotique de gain peut être matérialisé par une droite, appelée droite de lissage de gain de pente $n^* - 20\text{dB/dec}$, n compris entre 0 et 1.

Le lissage des créneaux du diagramme asymptotique de phase peut être matérialisé par une droite, appelée droite de lissage de phase d'ordonnée $n^* - 90$ degrés (n compris entre 0 et 1), égale à la moyenne de la variation asymptotique de la phase.

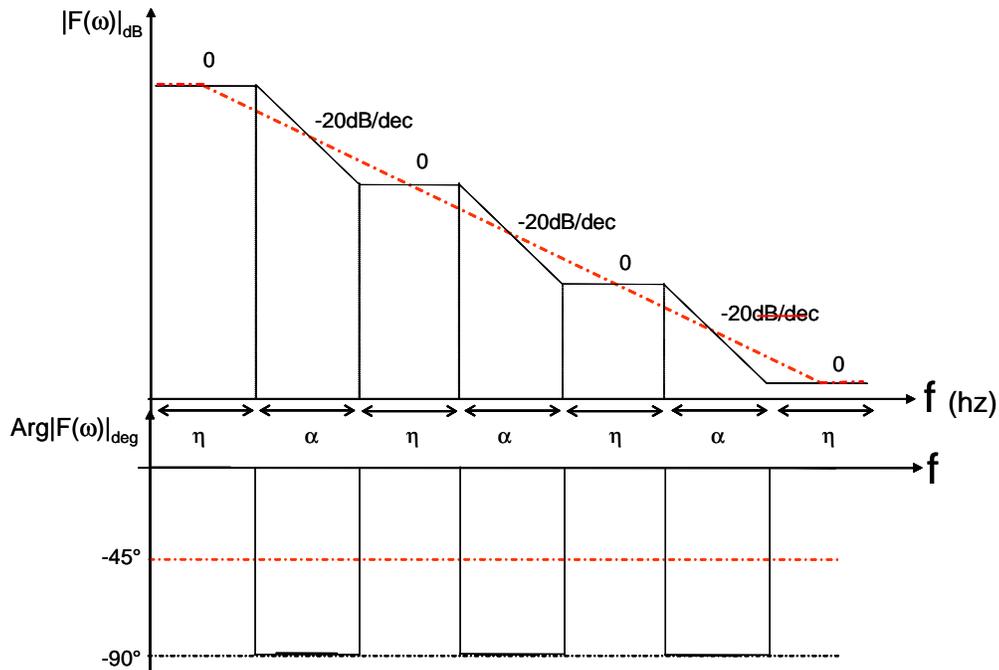


Figure IV.3 : Distribution récursive de pôles et de zéros et lissage des diagrammes asymptotiques de gain et de phase

IV.2.2 De la récursivité à la dérivation non entière

Dans la mesure où le diagramme asymptotique d'un intégrateur d'ordre non entier résulte d'un lissage de gain et de phase, pour exprimer l'ordre non entier n nous allons calculer la somme des réponses en fréquence des cellules de bases mises en parallèle.

La synthèse du filtre d'ordre non entier est obtenue à l'aide d'un arrangement parallèle récursif de cellules RC série. Il est donc plus facile de résonner en admittance.

Considérons la fonction de transfert de base d'un intégrateur tronquée ; celle-ci est réalisée par une cellule RC série.

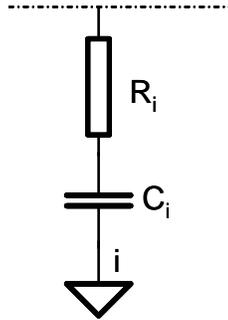


Figure IV.4 : Filtre passe bas RC étudié

L'admittance en $j\omega$ d'une cellule RC série de rang i mis en parallèle s'exprime par :

$$Y_i\left(j\frac{\omega}{\omega_i}\right) = \frac{jC_i\omega}{1 + jR_iC_i\omega} = \frac{jC_i\omega}{1 + j\frac{\omega}{\omega_i}} \quad \text{Eq. IV.8}$$

avec :

$$\omega_i = \frac{1}{R_iC_i}, \quad \text{Eq. IV.9}$$

ou encore :

$$Y_i\left(j\frac{\omega}{\omega_i}\right) = \omega_iC_i \frac{j\frac{\omega}{\omega_i}}{1 + j\frac{\omega}{\omega_i}} = \omega_iC_iS\left(j\frac{\omega}{\omega_i}\right) \quad \text{Eq. IV.10}$$

Les diagrammes asymptotiques de la réponse en fréquence de l'admittance Y sont présentés Figure IV.5.

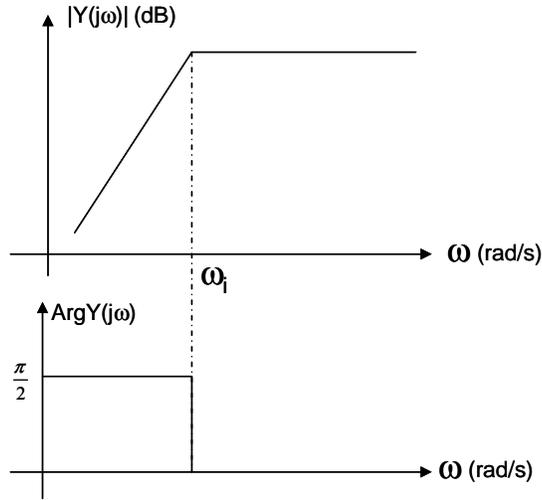


Figure IV.5 : Intégrateur tronqué étudié

Afin de simplifier les calculs nous posons :

$$\omega_i C_i = \left(\frac{p}{q}\right)^i \quad \text{Eq. IV.11}$$

$$\text{Et } \omega_i = q^i \omega_0 \quad \text{Eq. IV.12}$$

Avec ω_0 pulsation de référence représentant la borne basse fréquence.

Après identification, nous pouvons écrire

$$Y\left(j\frac{\omega}{\omega_i}\right) = \left(\frac{p}{q}\right)^i S\left(j\frac{\omega}{\omega_i}\right) \quad \text{Eq. IV.13}$$

$$\text{Avec } q = \frac{\omega_{i+1}}{\omega_i} \quad \text{Eq. IV.14}$$

Où p et q sont les facteurs récurrents.

Nous pouvons en déduire les relations suivantes pour le rang $i+1$

$$\omega_{i+1} C_{i+1} = \left(\frac{p}{q}\right)^{i+1} = \frac{p}{q} \left(\frac{p}{q}\right)^i = \frac{p}{q} \omega_i C_i \quad \text{Eq. IV.15}$$

$$\omega_{i+1} = q^{i+1} \omega_0 = q q^i \omega_0 = q \omega_i \quad \text{Eq. IV.16}$$

$$\text{Et } \frac{1}{R_{i+1}C_{i+1}} = q \frac{1}{R_i C_i} \quad \text{Eq. IV.17}$$

Le rapport entre les résistances en fonction des paramètres de récursivité est définie par :

$$\frac{R_{i+1}}{R_i} = \frac{q}{p} = \frac{1}{\alpha} \quad \text{Eq. IV.18}$$

Et nous faisons de même pour le rapport entre les capacités

$$\frac{C_{i+1}}{C_i} = \frac{p}{q^2} = \frac{1}{\eta} \quad \text{Eq. IV.19}$$

Connaissant les paramètres de récursivité nous allons maintenant essayer d'en déduire l'ordre du filtre réalisé en fonction de ces paramètres de récursivité.

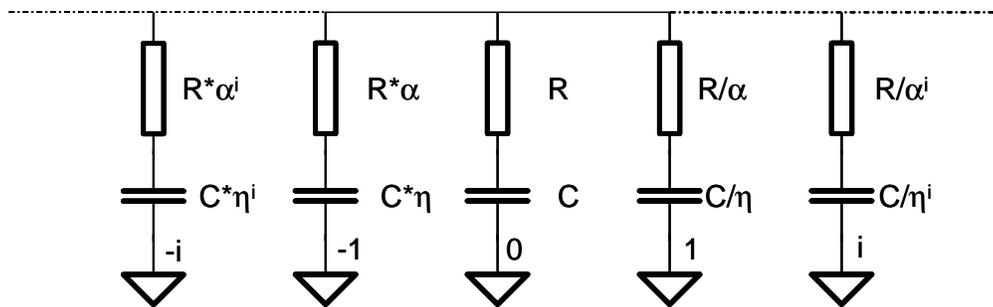


Figure IV.6 : Structure récursive RC étudiée

Pour simplifier l'étude, nous avons numéroté les cellules récursives et il faut aussi considérer α et η grand devant un. Des valeurs inférieures à 1, impliqueraient l'inversion des rangs, c'est-à-dire que le rang 1 aurait une fréquence de coupure inférieure au rang -1.

Cela permet d'admettre, aux fréquences voisines de la fréquence de travail, que les cellules de rang plus faibles (fréquence de coupure plus basse que la fréquence de travail) se comportent de façon résistive. Les cellules de rang plus élevé (fréquence de coupure supérieure à la fréquence de travail) se comportent de manières capacitives, comme η grand devant 1, leur impédance équivalente est grande (circuit ouvert). Le schéma équivalent est présenté en Figure IV.7.

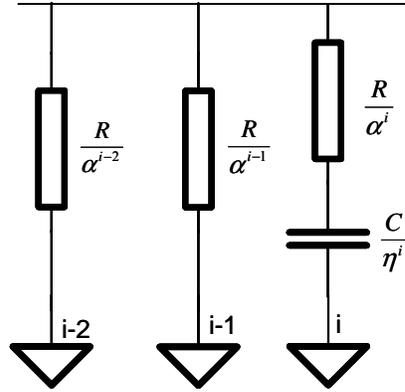


Figure IV.7 : Structure récursive simplifiée

La suite de la démonstration est développée dans l'annexe A.

La considération d'un grand nombre de cellules (N et i suffisamment grands) permet d'écrire.

$$\frac{\omega'_{i+1}}{\omega_i} = \frac{\omega'_{i+2}}{\omega_{i+1}} = \eta \quad \text{et} \quad \frac{\omega_i}{\omega'_i} = \frac{\omega_{i+1}}{\omega'_{i+1}} = \alpha \quad \text{Eq. IV.20}$$

Cette équation permet de mettre en évidence les paramètres de récursivité entre les fréquences de la fonction d'admittances étudiée. Les diagrammes asymptotiques de gain et de phase de la fonction d'admittance Y sont représentés en Figure IV.8.

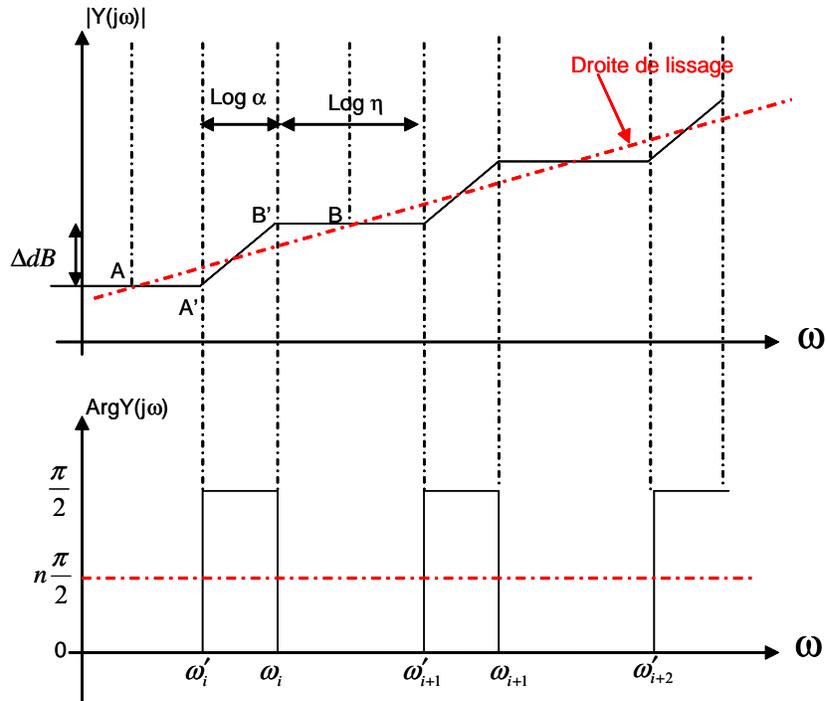


Figure IV.8 : Diagramme asymptotique de l'admittance

Les pentes des segments AB et $A'B'$ décrits sur le diagramme asymptotique de gain et la courbe de lissage sont respectivement données par les équations :

$$AB \mapsto \frac{\Delta dB}{\text{Log} \alpha + \text{Log} \eta} \quad \text{et} \quad A'B' \mapsto \frac{\Delta dB}{\text{Log} \alpha} \quad \text{Eq. IV.21}$$

Desquelles, nous pouvons en déduire l'expression de l'ordre en fonction des facteurs récurrents.

$$n = \frac{1}{1 + \frac{\text{Log} \eta}{\text{Log} \alpha}} \quad \text{Eq. IV.22}$$

L'équation Eq. IV.22 donne l'expression de l'ordre non entier réalisé à partir de la récursivité.

Nous pouvons retrouver les mêmes expressions en partant du calcul de la courbe asymptotique et de lissage du diagramme des phases.

Compte tenu des relations précédemment établies entre les facteurs récurrents par les relations Eq. IV.18 et Eq. IV.19 que nous rappelons ici :

$$\alpha = \frac{p}{q} \text{ et } \eta = \frac{q^2}{p} \quad \text{Eq. IV.23}$$

L'ordre réalisé s'exprime en fonction des paramètres récurrents des composants du filtre.

$$n = \frac{\log p}{\log q} - 1 \quad \text{Eq. IV.24}$$

Formule valable pour n compris entre -1 et 1. Pour réaliser un ordre fractionnaire supérieur à 1 (ou -1), il suffira de décomposer le filtre en deux parties, une entière supérieure ou égale à 1 et une autre fractionnaire comprise entre -1 et 1.

Cette méthodologie de calcul peut être reprise pour n'importe quel type de filtre. La méthode de récursivité peut être généralisée en utilisant les deux équations suivantes.

$$n = \frac{1}{1 + \frac{\text{Log} \eta}{\text{Log} \alpha}} \quad \text{Eq. IV.25}$$

$$n = \frac{\log p}{\log q} - 1 \quad \text{Eq. IV.26}$$

IV.2.3 Exemple de calcul de filtre d'ordre 1/2

Nous allons montrer un exemple de calcul des paramètres de récursivité pour réaliser un filtre d'ordre 1/2. Nous prenons un filtre de forme récursive RC en parallèle décrit en Figure IV.9.

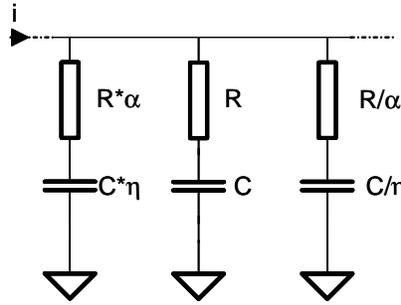


Figure IV.9 : Filtre récursif calculé et simulé

Un choix doit être fait sur le facteur de récursivité q . Ce choix permet de déterminer la précision de l'ordre non entier. Si q est grand, le lissage de la courbe de gain ne sera pas parfait. Néanmoins, un facteur q faible entraîne un grand nombre de cellules récursives. Par conséquent, nous prenons comme hypothèse de départ :

$$q = \frac{\omega_{i+1}}{\omega_i} = 2 \quad \text{Eq. IV.27}$$

Pour obtenir un ordre $\frac{1}{2}$, en reprenant l'équation Eq. IV.26 cela entraîne

$$p = 2.8284 \quad \text{Eq. IV.28}$$

De là nous pouvons déduire avec l'équation Eq. IV.23 les paramètres de récursivité α et η

$$\alpha = \frac{p}{q} = 1.4142 \text{ et } \eta = \frac{q^2}{p} = 1.4142 \quad \text{Eq. IV.29}$$

Nous réalisons le filtre avec les données calculées pour obtenir un ordre $\frac{1}{2}$. La théorie suppose un nombre infini d'éléments de part et d'autre de la cellule centrale pour réaliser un filtre d'ordre non entier. Pour des raisons de réalisation physique, nous sommes obligés de nous limiter à un nombre fini de cellules. Plus ce nombre sera grand et plus les résultats seront fidèles à la théorie.

La Figure IV.10 présente la fonction de transfert du filtre d'ordre non entier pour 13 cellules. La pente du filtre récursif réalisé est de -10,07 dB/décade et la phase est de -47 degré.

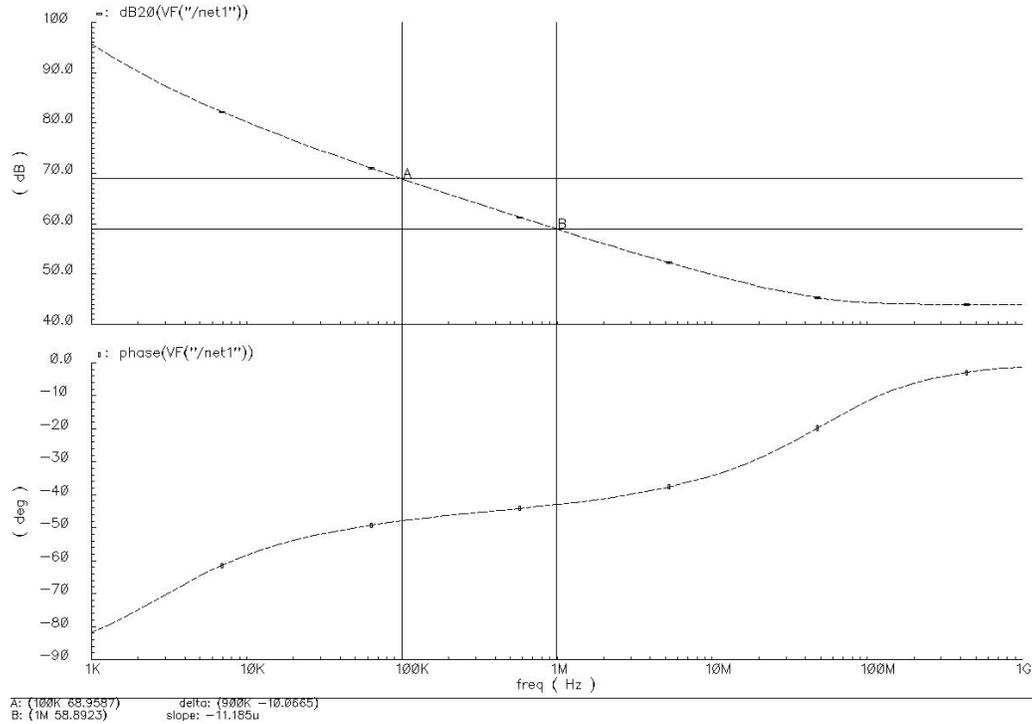


Figure IV.10 : Réponse fréquentielle du filtre d'ordre 1/2 calculé

Du au faible nombre de cellules, l'ordre non entier est réalisé sur une plage de fréquence. Cette localisation de l'ordre non entier entraîne des effets de bord visible sur la figure.

IV.2.4 Synthèse des filtres d'ordre non entier bornées en fréquence

Dans le paragraphe précédent, un cas particulier de synthèse d'un intégrateur d'ordre non entier a été présenté. Néanmoins, une synthèse de filtre d'ordre non entier globale peut être utilisée, prenant également en compte les effets de bord par un bornage en fréquence. Le bornage en fréquence, localisation de l'ordre non entier, permet de réaliser avec précision l'ordre désiré.

La méthode de synthèse et de réalisation de filtre d'ordre non entier est décrite par A. Oustaloup dans son ouvrage sur la dérivation non entière [ous95_2].

Soit un dérivateur $D(p)$ généralisé d'ordre n borné en fréquence :

$$D(p) = \left(\frac{\omega_u}{\omega_h} \right)^n \left(\frac{1 + \frac{p}{\omega_b}}{1 + \frac{p}{\omega_h}} \right)^n \quad \text{Eq. IV.30}$$

Où ω_u est la pulsation au gain unité, ω_h et ω_b sont respectivement les pulsations haute et basse fréquences entre lesquelles l'ordre non entier doit être réalisé. Ce bornage en fréquence est reparti par rapport à la pulsation au gain unité ($\omega_u = (\omega_h * \omega_b)^{1/2}$).

Ce dérivateur résulte d'une démarche fondée sur la récursivité. Elle repose en effet sur une distribution récursive de zéros et de pôles.

$$D(p) = \lim_{N \rightarrow \infty} D_N(p) \quad \text{Eq. IV.31}$$

avec

$$D_N(p) = \left(\frac{\omega_u}{\omega_h} \right)^n \prod_{k=-N}^N \frac{1 + \frac{p}{\omega'_k}}{1 + \frac{p}{\omega_k}} \quad \text{Eq. IV.32}$$

Où ω'_k est un zéro de rang k , ω_k est un pôle de rang k et $2N+1$ est le nombre de pôles et de zéros.

Les paramètres de récursivité sont définis par :

$$\alpha = \frac{\omega_k}{\omega'_k} \quad \text{et} \quad \eta = \frac{\omega'_{k+1}}{\omega_k} \quad \text{Eq. IV.33}$$

A partir de ces équations il est possible de déterminer le nombre de pôles et de zéros nécessaire à la réalisation localisée de l'ordre non entier désiré.

IV.2.5 Contraintes de la forme récursive

Le principal inconvénient de la structure récursive est le grand nombre d'éléments nécessaires pour réaliser un ordre non entier sur une large plage de fréquence. Ou dit autrement, si le nombre de cellules récursives est limité, une ondulation pourra apparaître sur les courbes de gain et de phase. Le nombre de cellules est donc déterminé par la zone

de fréquence et la précision (facteur de récursivité q) avec laquelle nous voulons réaliser un filtre d'ordre non entier.

De plus, l'ordre non entier est créé à partir d'une alternance de pente nulle et de pente proportionnelle à 20dB/décade. L'alternance doit commencer avant et se terminer après la zone de fréquence désirée pour l'ordre non entier afin d'éviter les effets de bords liés à l'utilisation du phénomène de lissage.

Cette théorie permet de comprendre le mode de construction d'un filtre d'ordre non entier mais a pour principal inconvénient de nécessiter beaucoup d'éléments en parallèle. Néanmoins il est possible de réaliser un ordre non entier sur une toute petite plage de fréquence avec un nombre limité d'éléments récursifs. Dans ce cas précis, l'étude directe de la fonction de transfert donne une approche plus fine.

IV.3 Optimisation de l'ordre du filtre de boucle

Le filtre de boucle constitue le régulateur de notre boucle d'asservissement et détermine les performances de la PLL. Ce filtre doit garantir :

- la rapidité maximale, à travers une bande passante la plus grande possible
- la stabilité, à travers une marge de phase suffisante, en générale supérieure à 45 degré
- une pureté spectrale en sortie de la PLL, à travers une atténuation la plus grande possible à la fréquence de référence (F_{ref}), pour filtrer la raie parasite située à la fréquence de comparaison (ou d'échantillonnage) générée par le couple PFD et pompe de charge.

IV.3.1 Contraintes sur le filtre de boucle entier

Lors du calcul du filtre de boucle, celui-ci implique de choisir dans un premier temps la bande passante et la marge de phase (paramètres les plus importants), puis nous observons l'atténuation obtenue en suivant l'organigramme décrit en Figure IV.11

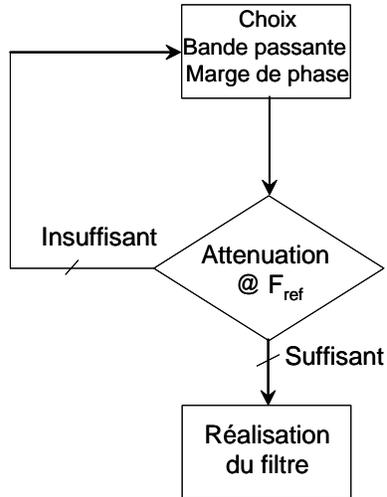


Figure IV.11 : Organigramme pour le choix du filtre de boucle

Si l'atténuation à la fréquence de référence est insuffisante alors la bande passante est diminuée jusqu'à satisfaction du troisième critère.

Dans cette partie, l'étude menée au chapitre état de l'art sur le calcul du filtre de boucle va être reprise mais cette fois des degrés de liberté supplémentaires vont être ajoutés sur les ordres du filtre. L'objectif est de déterminer les ordres optimaux pour ce type de filtre afin de répondre aux trois contraintes (marge de phase, bande passante et atténuation à la fréquence de référence F_{ref}) dans le même temps et sans compromis.

IV.3.2 Etude du filtre de boucle classique

Nous allons reprendre l'étude faite lors du chapitre état de l'art.

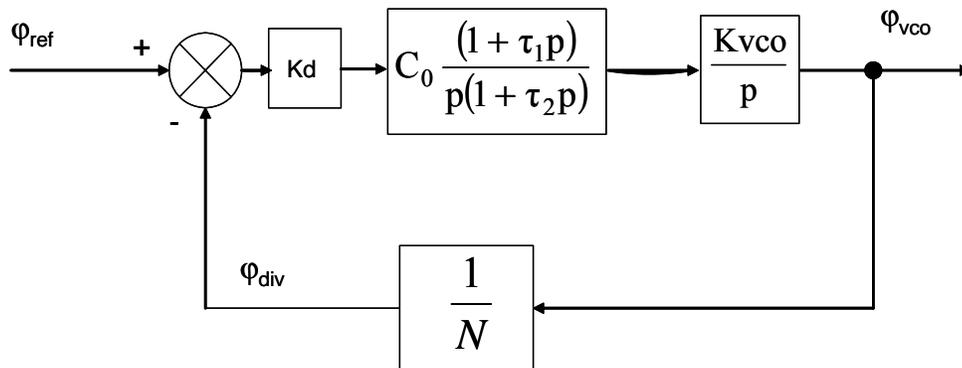


Figure IV.12 : Model de la PLL étudiée

La fonction de transfert de la PLL en boucle ouverte est décrite ci-dessous :

$$G_{BO}(p) = \frac{K_d * K_{vco} * C_0 * (1 + \tau_1 p)}{N * p * (1 + \tau_2 p)} \quad \text{Eq. IV.34}$$

Avec :

$$\omega_1 = \frac{1}{\tau_1} \text{ et } \omega_2 = \frac{1}{\tau_2} \quad \text{Eq. IV.35}$$

On définit ω_u comme la pulsation au gain unité (bande passante) et ω_r comme la pulsation de référence (raie parasite à filtrer). À partir de la fonction de transfert en boucle ouverte décrite en équation Eq. IV.34 on peut écrire les équations décrivant le gain statique, la marge de phase et l'atténuation à la fréquence de référence.

$$C_0 = 20 * \text{Log}\left(\frac{N}{K_{vco} * K_d}\right) + 20 * \text{Log}(\omega_u) \quad \text{Eq. IV.36}$$

$$M\phi = \text{Arctg}\left(\frac{\omega_u}{\omega_1}\right) - \text{Arctg}\left(\frac{\omega_u}{\omega_2}\right) \quad \text{Eq. IV.37}$$

$$\frac{-AT - 40 * \text{Log}\left(\frac{\omega_u}{\omega_r}\right)}{10} = \text{Log}\left[\frac{1 + \frac{\omega_r^2}{\omega_1^2}}{1 + \frac{\omega_u^2}{\omega_1^2}}\right] + \text{Log}\left[\frac{1 + \frac{\omega_u^2}{\omega_2^2}}{1 + \frac{\omega_r^2}{\omega_2^2}}\right] \quad \text{Eq. IV.38}$$

Dans ce cas nous nous retrouvons avec trois équations et quatre inconnus (ω_1 , ω_2 , ω_r et ω_u).

Pour réduire le nombre d'inconnus, il est habituel de prendre ω_u comme pulsation centrale du filtre et de prendre un facteur dix entre les deux pulsations du filtre afin d'obtenir une marge de phase de 55 degrés.

$$\omega_u^2 = \omega_1 * \omega_2 \text{ et } \omega_2 = 10 * \omega_1 \quad \text{Eq. IV.39}$$

Ces hypothèses permettent d'exprimer les équations seulement en fonction de ω_u et ω_r .

$$C_0 = 20 * \text{Log}\left(\frac{N}{K_{vco} * K_d}\right) + 20 * \text{Log}(\omega_u) \quad \text{Eq. IV.40}$$

$$M_{\varphi} = \text{Arctg}(\sqrt{10}) - \text{Arctg}\left(\frac{\sqrt{10}}{10}\right) \quad \text{Eq. IV.41}$$

$$\frac{-AT - 40 * \text{Log}\left(\frac{\omega_u}{\omega_r}\right)}{10} = \text{Log}\left[\frac{1 + \left(\frac{\omega_r}{\omega_u}\right)^2 * 10}{1 + 10}\right] + \text{Log}\left[\frac{1 + \frac{1}{10}}{1 + \left(\frac{\omega_r}{\omega_u}\right)^2 \frac{1}{10}}\right] \quad \text{Eq. IV.42}$$

L'équation Eq. IV.41 prouve que la marge de phase est indépendante de ω_u et ω_r . Le choix de la marge de phase et de la fréquence au gain unité désirée, impose la réjection de la fréquence de référence. Si l'atténuation est insuffisante alors il faut réduire la bande passante.

IV.3.3 Etude du filtre d'ordre non entier

Le but recherché dans l'utilisation du filtre d'ordre non entier est d'apporter deux degrés de liberté sur le réglage des trois spécifications, sans réduire la bande passante [lag05][lag06].

Dans cette étude, la structure du filtre classique est conservée, mais en généralisant les ordres du filtre aux ordres non entier.

$$G_{BO}(p) = \frac{K_d * K_{vco} * C_0}{N * p} * \frac{(1 + \tau_1 p)^{n_1}}{(1 + \tau_2 p)^{n_2}} \quad \text{Eq. IV.43}$$

Afin de se placer dans les mêmes conditions, les pulsations ω_1 et ω_2 du filtre sont conservées :

$$\omega_u^2 = \omega_1 * \omega_2 \text{ et } \omega_2 = 10 * \omega_1 \quad \text{Eq. IV.44}$$

L'équation du gain du filtre est identique

$$C_0 = 20 * \text{Log}\left(\frac{N}{K_{vco} * K_d}\right) + 20 * \text{Log}(\omega_u) \quad \text{Eq. IV.45}$$

Mais la marge de phase devient dépendante de l'ordre du filtre

$$M_{\varphi} = 180 + \varphi_{G_{BO}}(\omega_u) = n_1 * \text{Arctg}\left(\frac{\omega_u}{\omega_1}\right) - n_2 * \text{Arctg}\left(\frac{\omega_u}{\omega_2}\right) \quad \text{Eq. IV.46}$$

On en déduit

$$M_{\varphi} = n_1 * \text{Arctg}(\sqrt{10}) - n_2 * \text{Arctg}\left(\frac{\sqrt{10}}{10}\right) \quad \text{Eq. IV.47}$$

L'atténuation aussi devient dépendant de l'ordre du filtre

$$At_{@F_{reference}} = |G_{BO}(\omega_r)| - |G_{BO}(\omega_u)| = |G_{BO}(\omega_r)| \quad \text{Eq. IV.48}$$

$$\frac{-AT - 40 * \text{Log}\left(\frac{\omega_u}{\omega_r}\right)}{10} = n_1 * \text{Log}\left[\frac{1 + \left(\frac{\omega_r}{\omega_u}\right)^2 * 10}{1 + 10}\right] + n_2 * \text{Log}\left[\frac{1 + \frac{1}{10}}{1 + \left(\frac{\omega_r}{\omega_u}\right)^2 \frac{1}{10}}\right] \quad \text{Eq. IV.49}$$

Ainsi, les trois spécifications sont données par trois équations permettant un meilleur découplage du réglage de la rejection par rapport aux deux autres spécifications.

Connaissant la bande passante, la marge de phase et la fréquence de référence désirée, il est possible de connaître les ordres du filtre permettant d'avoir les trois spécifications en même temps.

IV.3.4 Application à une PLL à 4GHz

Afin d'évaluer l'apport lié à l'introduction d'un filtre d'ordre non entier, une étude comparative est effectuée sur une PLL fonctionnant à 4GHz avec un rapport de division de 10 000, un courant de pompe de charge de 777µA et un gain de VCO de 150MHz/V. Ces caractéristiques sont extraites d'une PLL déjà réalisée à STMicroelectronics.

Les schémas de principe et fonctionnels petits signaux sont donnés par la Figure IV.13 avec :

$$Kd = \frac{777 \cdot 10^{-6}}{2\pi} (\text{A/rad}) , K_{vco} = 150 \cdot 10^6 * 2\pi (\text{rad/V}) \text{ et } N = 10000 \quad \text{Eq. IV.50}$$

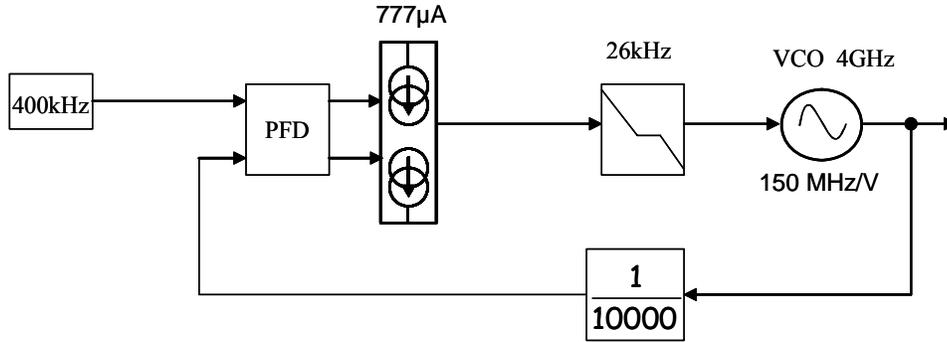


Figure IV.13 : Schéma de principe de la PLL 4GHz étudiée

Les spécifications sont :

- une marge de phase de 55 degrés
- une bande passante de 26kHz (pulsation au gain unité $\omega_u=2\pi*26.10^3$ rad/s)
- une atténuation à la fréquence de référence de 400kHz (pulsation de référence $\omega_r=2\pi*400.10^3$ rad/s) supérieure à 40dB en boucle ouverte.

IV.3.4.1 Etude avec filtre de boucle classique

En appliquant la relation Eq. IV.42, les paramètres du filtre de boucle sont les suivants :

$$R_2= 16 \text{ k}\Omega \quad C_2= 1.16 \text{ nF} \quad \text{et} \quad C_1= 1.28\text{nF}$$

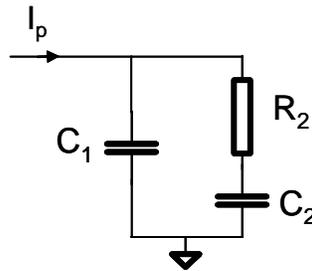


Figure IV.14 : Topologie du filtre classique

La réponse en fréquence de la boucle ouverte de la PLL est présentée Figure IV.15.

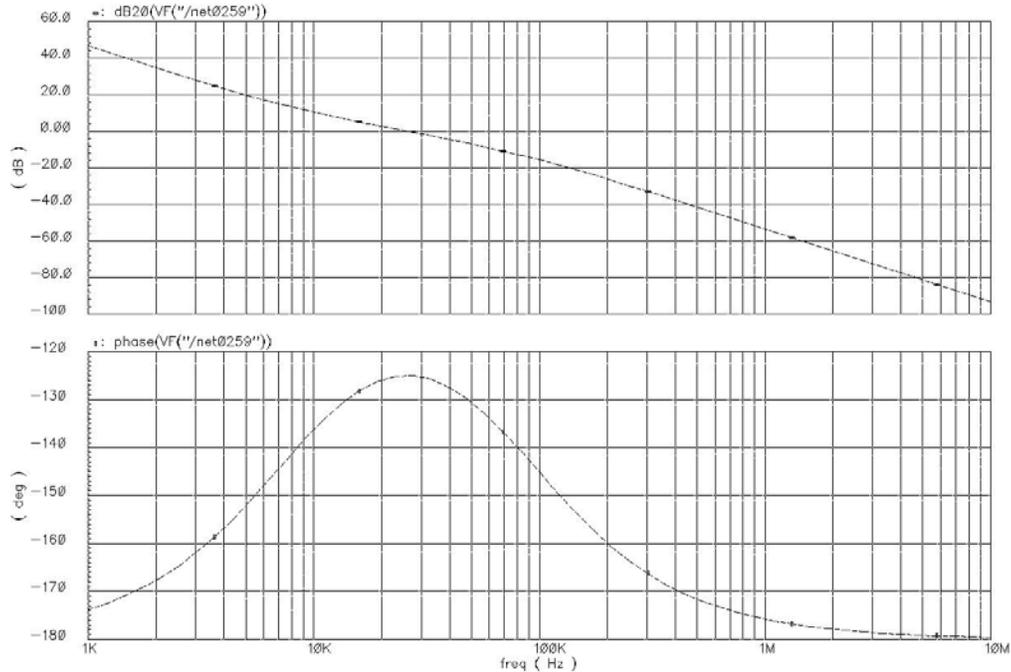


Figure IV.15 : Réponse fréquentielle en boucle ouverte de la PLL classique

Le filtre de boucle classique avec une marge de phase de 55 degrés et une bande passante de 26kHz ne permet pas d'obtenir une réjection à la fréquence de référence (400kHz) supérieure à 38dB.

IV.3.4.2 Filtre d'ordre optimum pour la PLL à 4GHz

En introduisant un filtre d'ordre non entier comme filtre de boucle, l'objectif est de vérifier l'ensemble des trois spécifications.

A l'aide des équations Eq. IV.48 et Eq. IV.49, une étude des variations de l'atténuation en fonction des ordres n_1 et n_2 à marge de phase constante est effectuée. Le Tableau IV.1 présente les atténuations correspondantes pour différents ordres entiers et pour une bande passante fixée à 26kHz et une fréquence de référence à 400kHz. Le Tableau IV.2 présente la même étude pour des ordres non entiers, permettant de satisfaire les trois contraintes en même temps.

n_1	1	1	1	2	2	2
n_2	1	2	3	2	3	4
AT (dB)	38	50	64	27	40	54
M_ϕ (°)	55	37,5	19,8	110	92,25	75

Tableau IV.1 : Ordre entier : Influence des ordres du filtre sur l'atténuation

n_1	0,76	1,08	1,39	1,7
n_2	0	0,9	2,6	3,9
AT (dB)	30	40	50	60
M_ϕ (°)	55	55	55	55

Tableau IV.2 : Ordre non entier : Influence de l'ordre du filtre sur l'atténuation

Le Tableau IV.1 montre qu'il est impossible de répondre aux trois spécifications en même temps (bande passante, atténuation et marge de phase) en fixant la bande passante à 26kHz.

Le Tableau IV.2 montre que les trois spécifications peuvent être vérifiées et même d'obtenir une atténuation supérieure à 40dB. Pour la suite une atténuation de 50 dB est retenue. La fonction de transfert du filtre de boucle est alors donnée par la relation suivante :

$$G_{\text{filter}}(p) = \frac{C_0}{p} * \frac{(1 + \tau_1 p)^{1.4}}{(1 + \tau_2 p)^{2.6}} = \frac{C_0}{p} * \frac{(1 + \tau_1 p)(1 + \tau_1 p)^{0.4}}{(1 + \tau_2 p)^2 (1 + \tau_2 p)^{0.6}} \quad \text{Eq. IV.51}$$

Ainsi à structure de filtre identique, l'introduction d'ordres non entiers a permis d'obtenir les ordres optimaux pour une telle structure.

Pour simuler un tel filtre à l'aide des simulateurs électroniques utilisés en conception analogique, il est nécessaire d'avoir un modèle de la réalisation physique à l'aide de composants discrets. Une approche consiste à réaliser séparément les parties entières et fractionnaires du filtre. Une telle approche, qui à l'avantage d'être simple et directe, ne conduit certainement pas à un optimum en terme de nombre de composants nécessaire à la réalisation.

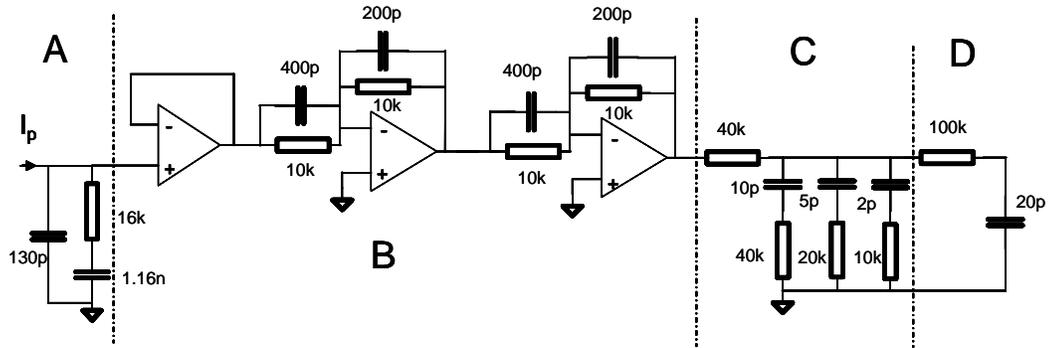


Figure IV.16 : Modèle de réalisation physique du filtre d'ordre non entier optimum

Le schéma de la réalisation qui s'en déduit est alors donné par la Figure IV.16. Dans ce schéma :

- la partie A réalise la fonction de transfert suivante :

$$A(p) = \frac{C_0}{p} * \frac{(1 + \tau_1 p)}{(1 + \tau_2 p)} ; \quad \text{Eq. IV.52}$$

- la partie B réalise le filtre passe-haut d'ordre non entier :

$$B(p) = (1 + \tau_1 p)^{0.4} \quad \text{Eq. IV.53}$$

- la partie C réalise le filtre passe-bas d'ordre non entier :

$$C(p) = \frac{1}{(1 + \tau_2 p)^{0.6}} \quad \text{Eq. IV.54}$$

- et la partie D réalise la partie entière du filtre passe bas :

$$D(p) = \frac{1}{(1 + \tau_2 p)} \quad \text{Eq. IV.55}$$

La réponse en fréquence de la boucle ouverte de la PLL avec le filtre d'ordre non entier optimum est présentée à la Figure IV.17.

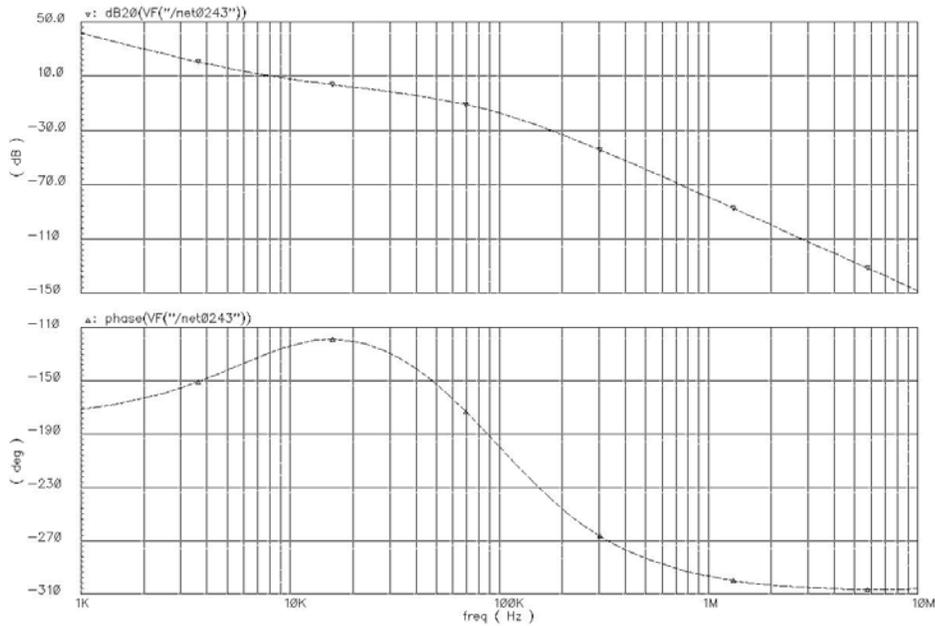


Figure IV.17 : Réponse en fréquence de la boucle ouverte de la PLL avec filtre d'ordre non entier optimum

Ainsi le filtre de boucle d'ordre non entier optimum, permet bien de vérifier les trois spécifications :

- une fréquence de coupure de 26kHz
- une marge de phase de 55 degrés
- ainsi qu'une atténuation à 400kHz de 50dB.

Le gain en performances se paye au prix d'un nombre plus élevé de composants pour la réalisation. Toutefois cela provient de la méthode de synthèse par décomposition directe en partie entière et fractionnaire du filtre. Une synthèse globale, notamment à l'aide du module « Identification fréquentielle par modèle non entier » du logiciel CRONE, conduira certainement à une structure plus réduite.

IV.3.4.3 Comparaison des deux filtres

La Figure IV.18 présente la comparaison des deux réponses en fréquence obtenues avec les deux filtres de boucle, entier et non entier. En basses fréquences les courbes de gain et de phase sont sensiblement identiques ; par contre en hautes fréquences, le filtre d'ordre non entier permet une meilleure réjection notamment à la fréquence de référence

de 400kHz, prouvant ainsi l'intérêt de l'utilisation de filtre d'ordre non entier pour le synthétiseur de fréquence à base de PLL.

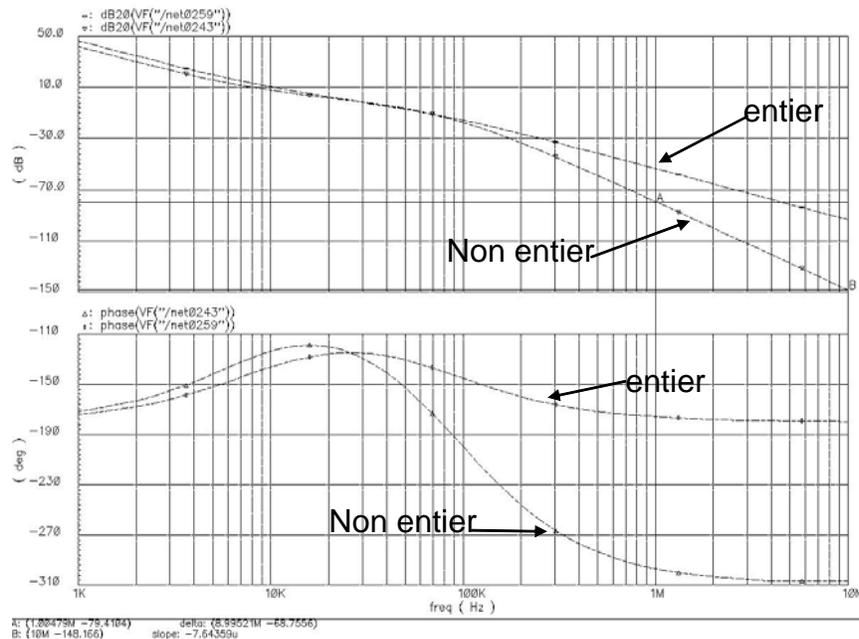


Figure IV.18 : Comparaison des réponses en fréquence des deux boucles ouverte de la PLL à 4GHz

IV.4 Obtention de la robustesse du degré de stabilité

Classiquement, lors de la réalisation physique, la dispersion paramétrique sur les valeurs des composants, conduit :

- à des variations des différents gains des éléments de la PLL ; globalement cela se traduit par une variation de gain de la boucle ouverte de la PLL.
- à des variations des paramètres du filtre qui se traduisent par des variations de gain et de phase de la boucle ouverte de la PLL.

Cela entraîne une variation des performances et notamment de la marge de phase, c'est à dire du degré de stabilité de la PLL.

Classiquement, pour palier à ce problème, la marge de phase est sur-spécifiée afin de garantir une marge de phase supérieure à 45 degrés dans tout les cas. De plus, si les valeurs du filtre de boucle sont compatibles avec l'intégration, le filtre de boucle est

malgré tout placé en externe du circuit pour une meilleure précision des éléments du filtre.

Cette démarche conservative reste pénalisante en termes de rapidité et d'intégration. Aussi, après avoir étudié les variations du degré de stabilité d'une PLL d'étude, l'objectif est d'obtenir la robustesse du degré de stabilité de la PLL, à l'aide d'un filtre d'ordre non entier, principe qui est à la base de la commande CRONE [ous91].

IV.4.1 Problématique : variation du degré de stabilité de la PLL

Comme cela est indiqué en introduction de ce paragraphe, le filtre de boucle est calculé pour des valeurs données des gains des éléments de la PLL. Les dispersions paramétriques de réalisation génèrent une variation de la bande passante et de la marge de phase.

Pour quantifier l'impact de ces variations, l'étude des variations de la marge de phase d'une PLL classique est effectuée. En reprenant la fonction de transfert en boucle ouverte d'une PLL entière donnée par la relation Eq. IV.34 :

$$G_{bo} = C_0 \frac{\left(1 + \frac{P}{\omega_1}\right)}{\left(1 + \frac{P}{\omega_2}\right)} \frac{1}{P^2} \frac{K_{vco} * I_p}{N}, \quad \text{Eq. IV.56}$$

l'expression de la phase en fonction de la fréquence s'écrit :

$$\varphi(\omega) = -180 + \text{Arctg}\left(\frac{\omega}{\omega_1}\right) - \text{Arctg}\left(\frac{\omega}{\omega_2}\right). \quad \text{Eq. IV.57}$$

Pour étudier la sensibilité de la marge de phase aux variations de la fréquence au gain unité, il faut étudier la variation de son maximum, c'est-à-dire la dérivée de la marge de phase à ω_u :

$$\frac{\partial M\varphi(\omega_u)}{\partial \omega_u} = \frac{1}{\frac{\omega_u^2}{\omega_1^2} + 1} - \frac{1}{\frac{\omega_u^2}{\omega_2^2} + 1} = \frac{1}{\frac{\omega_u^2}{\omega_1} + \omega_1} - \frac{1}{\frac{\omega_u^2}{\omega_2} + \omega_2} \quad \text{Eq. IV.58}$$

La dérivée s'annule en un seul point pour :

$$\omega_u = \sqrt{\omega_1 * \omega_2} . \quad \text{Eq. IV.59}$$

Ainsi, le maximum de marge de phase est apporté à la pulsation au gain unité pour les valeurs nominales des éléments de la PLL.

La Figure IV.19.a présente l'influence des variations de gain de la boucle ouverte sur la marge de phase, dans le cas d'une PLL classique.

Une petite variation de gain entraîne une variation de la fréquence au gain unité qui a pour conséquence une variation importante de la marge de phase, et donc du degré de stabilité. Ces variations de la marge de phase sont essentiellement dues à l'allure de la courbe de phase (cloche étroite).

L'idée est alors de synthétiser une courbe de phase présentant un plat sur une bande de fréquence donnée, autour de la fréquence au gain unité. Ainsi comme l'illustre la Figure IV.19.b, pour des variations de gain conduisant à des variations de ω_u dans la bande de fréquence considérée, la marge de phase restera identique traduisant la robustesse du degré de stabilité. La conservation du compromis classique rapidité/stabilité conduit à une marge de phase de 45 degrés, ce qui correspond à un ordre non entier de $\frac{1}{2}$.

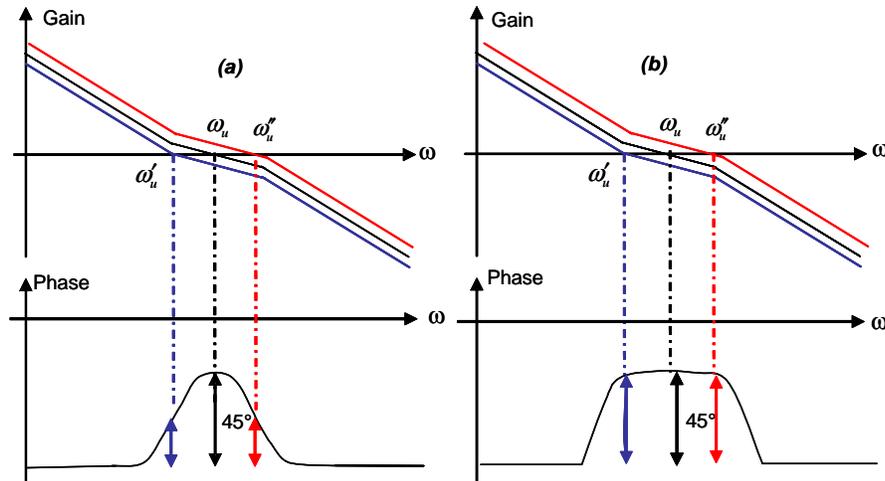


Figure IV.19 : Principe de la robustesse de la marge de phase

IV.4.2 Application à une PLL 200MHz

Pour une application émetteur RF, une synthèse de fréquence disposant de six pas fractionnaires déterminé par le mode d'émission, est utilisée. Pour réaliser cette synthèse, une PLL fractionnaire peut être envisagée, mais a pour inconvénient sa complexité ainsi que d'importants risques de couplage avec la voie de réception. Une alternative avec un pas rationnel est proposée à base de deux PLLs en série. Cette solution n'est valable que si la première PLL est de surface équivalente au diviseur fractionnaire. Cette solution étant concurrente d'une PLL unique fractionnaire, le filtre de boucle de la PLL basses fréquences doit être intégrable sur silicium. Le nombre de composants externes doit être identique à la solution concurrente. L'intégration de la PLL avec le filtre sur silicium, doit conduire à une aussi grande précision sur les composants et donc à la robustesse de la marge de phase, comme c'est le cas pour un filtre à base d'éléments discrets externes.

Aussi dans cette partie est présenté l'étude de l'impact des variations paramétriques des composants sur la marge de phase de la PLL basses fréquences (IFPLL).

La PLL 192MHz considérée, a une fréquence de référence de 38,4 MHz, une pompe de charge de 100μA, un diviseur de fréquence par 5 dans la boucle de retour et un VCO de gain 180MHz/V. Son schéma de principe est donné en Figure IV.20.

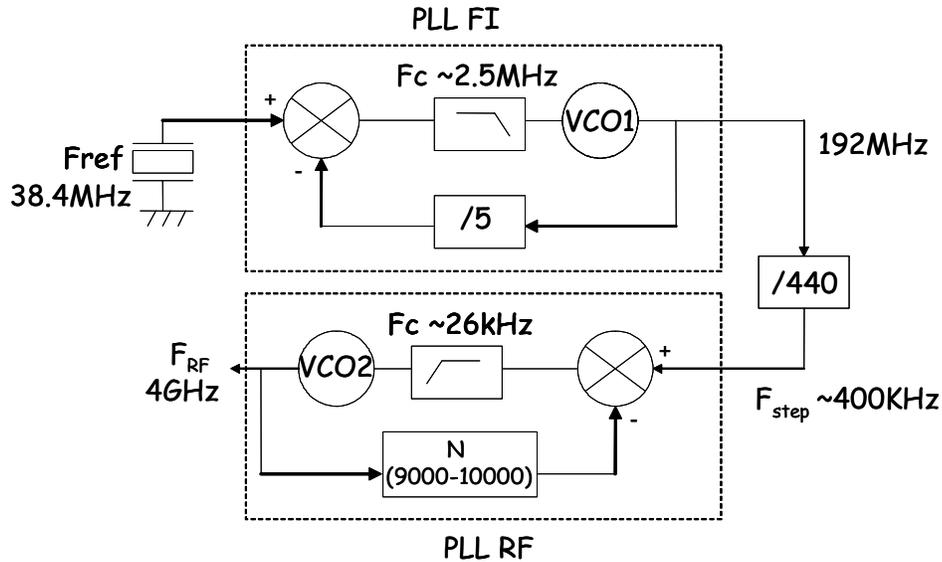


Figure IV.20 : Schéma de principe de la PLL étudiée pour la robustesse de la marge de phase.

IV.4.2.1 PLL avec filtre de boucle classique

Le filtre de boucle est conçu pour obtenir en boucle ouverte une fréquence au gain unité (bande passante) de 2,5MHz et une marge de phase de 45 degrés.

Les composants de ce filtre ont pour valeurs :

$$R_2 = 5 \text{ k}\Omega \quad C_2 = 30 \text{ pF} \quad \text{et} \quad C_1 = 5.9 \text{ pF}.$$

La topologie du filtre est donnée Figure IV.21 et la réponse en fréquence en boucle ouverte de la PLL est présentée Figure IV.22. Il s'en déduit une bande passante de 2,5MHz et une marge de phase de 45 degrés.

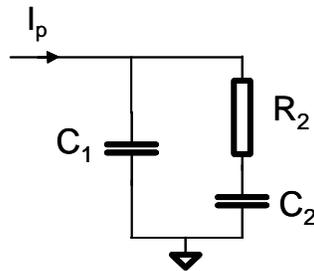


Figure IV.21 : Topologie du filtre classique

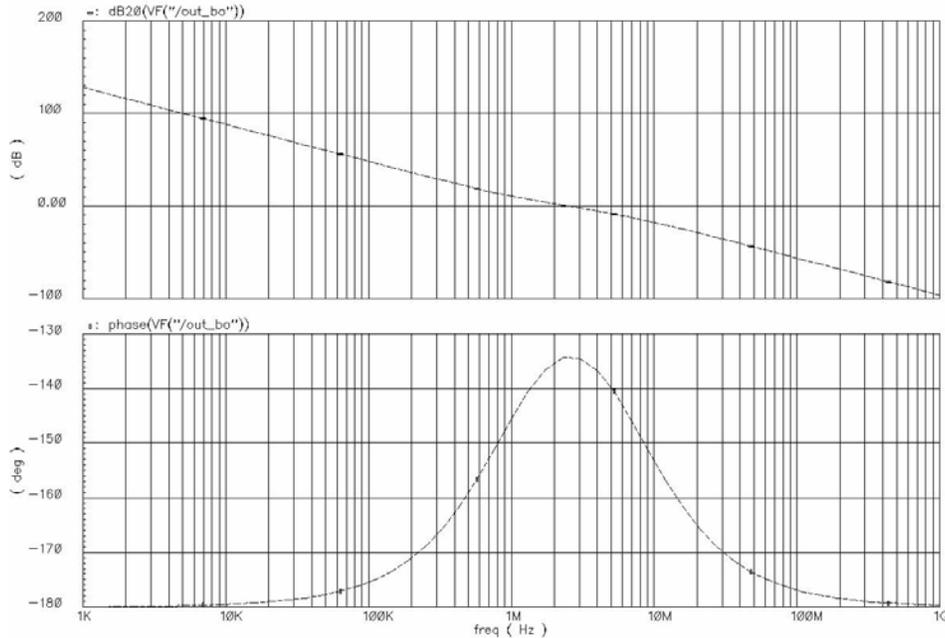


Figure IV.22 : Réponse en fréquence de la boucle ouverte de la PLL 200MHz avec filtre classique

IV.4.2.2 Etudes des variations du degré de stabilité dans le cas de la PLL avec filtre de boucle classique

Pour faire les simulations des variations paramétriques des composants, plusieurs configurations correspondant à des valeurs de composants de la PLL sont considérées. Le gain du VCO varie de $\pm 60\%$ (ΔK_{vco}), les résistances de $\pm 20\%$ (ΔR), les capacités de $\pm 20\%$ (ΔC) et le courant de pompe de charge $\pm 20\%$ (ΔI_p) par rapport à leurs valeurs nominales. Pour chaque cas, la marge de phase est mesurée. Le Tableau IV.3 présente les différents cas d'étude considérés (81 tirages).

Cas	ΔI_n	ΔK_{vco}	ΔC	ΔR
1	-20%	-60%	-20%	-20%
2	-20%	-60%	-20%	Typique
3	-20%	-60%	-20%	+20%
4	-20%	-60%	Typique	-20%
...
7	-20%	-60%	+20%	-20%
...
10	-20%	Typique	-20%	-20%
...
19	-20%	+60%	-20%	-20%
...
28	Typique	-60%	-20%	-20%
...
41	Typique	Typique	Typique	Typique
...
55	+20%	-60%	-20%	-20%
...
81	+20%	+60%	+20%	+20%

Tableau IV.3 : Description des différents cas étudiés

La Figure IV.23 présente les variations de la marge de phase en fonction des cas décrits précédemment.

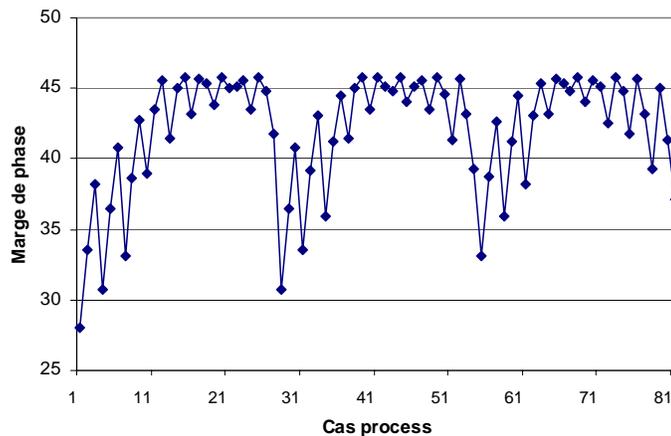


Figure IV.23 : Variations de la marge de phase en fonction des différents cas étudiés

La Figure IV.23 montre une variation importante de la marge de phase (entre 27 et 46 degrés). De plus, dans un cas (K_{vco} -60%, I_p -20%, résistances -20%, capacités -20%), la marge de phase du système est de 27 degrés, ce qui conduit à une PLL avec un comportement oscillant faiblement amorti.

Dans le cadre d'une implémentation du filtre sur silicium, la robustesse de la marge de phase n'est pas obtenue, ce qui se traduira par des PLLs qui n'auraient pas le même comportement, voire même un comportement oscillant amorti.

IV.4.2.3 PLL avec filtre d'ordre non entier

Aussi afin d'obtenir la robustesse du degré de stabilité de la PLL, un filtre d'ordre non entier est utilisé [lag06_2].

Afin de réaliser la réponse en fréquence présentée en Figure IV.19.b avec le minimum de complexité, un filtre avec deux pôles et deux zéros placés comme en Figure IV.24 sera synthétisé.

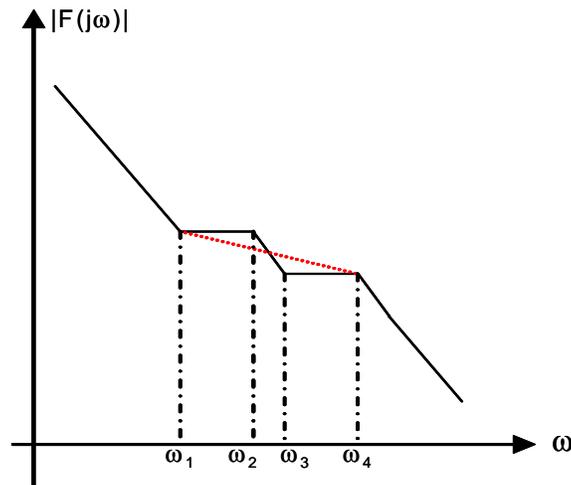


Figure IV.24 : Diagramme asymptotique de gain du filtre d'ordre non entier à synthétiser

La fonction de transfert du filtre d'ordre non entier correspondant à la Figure IV.24 est donnée par la relation suivante :

$$F(p) = \frac{1}{p} * \frac{\left(1 + \frac{p}{\omega_{c1}}\right)^{0,5}}{\left(1 + \frac{p}{\omega_{c4}}\right)^{1,5}}, \quad \text{Eq. IV.60}$$

La topologie de ce filtre d'ordre non entier est présentée par la Figure IV.25 :

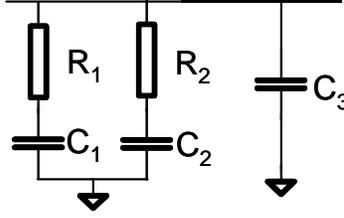


Figure IV.25 : Topologie du filtre non entier

La fonction de transfert rationnelle correspondante est donnée par la relation Eq. IV.61 :

$$F(p) = \frac{1}{p} * \frac{(1 + R_1 C_1 p)(1 + R_2 C_2 p)}{C_3 (1 + R_1 C_1 p)(1 + R_2 C_2 p) + (R_1 + R_2) C_1 C_2 p + C_1 + C_2}, \quad \text{Eq. IV.61}$$

avec :

$$R_2 = \frac{R_1}{\alpha}, \quad C_2 = \frac{C_1}{\eta} \quad \text{et} \quad C_3 = \frac{C_1}{K}. \quad \text{Eq. IV.62}$$

La fonction de transfert du filtre peut se mettre sous la forme :

$$F(p) = \frac{1}{p} * \frac{\left(1 + \frac{p}{\omega_{c1}}\right) \left(1 + \frac{p}{\omega_{c2}}\right)}{\omega_{c3} \omega_{c4} \left(1 + \frac{p}{\omega_{c3}}\right) \left(1 + \frac{p}{\omega_{c4}}\right)}, \quad \text{Eq. IV.63}$$

avec :

$$\omega_{c1} = \frac{1}{R_1 C_1}, \quad \omega_{c2} = \frac{1}{R_2 C_2}. \quad \text{Eq. IV.64}$$

Les expressions des pôles ω_{c3} et ω_{c4} sont données par les expressions suivantes :

$$\omega_{c3} = \frac{-(K\alpha + \alpha\eta + K + 1) + \sqrt{K^2\alpha^2 + 2K\alpha^2\eta + 2K^2\alpha - 2K\alpha + \eta^2\alpha^2 - 2K\alpha K - 2\alpha\alpha + K^2 + 2K + 1}}{2R_1 C_1} \quad \text{Eq. IV.65}$$

$$\omega_{c4} = \frac{-(K\alpha + \alpha\eta + K + 1) - \sqrt{K^2\alpha^2 + 2K\alpha^2\eta + 2K^2\alpha - 2K\alpha + \eta^2\alpha^2 - 2K\alpha K - 2\alpha\alpha + K^2 + 2K + 1}}{2R_1 C_1}. \quad \text{Eq. IV.66}$$

L'expression de la phase s'écrit :

$$\varphi(\omega) = -180 + \text{Arctg}\left(\frac{\omega}{\omega_{c1}}\right) + \text{Arctg}\left(\frac{\omega}{\omega_{c2}}\right) - \text{Arctg}\left(\frac{\omega}{\omega_{c3}}\right) - \text{Arctg}\left(\frac{\omega}{\omega_{c4}}\right). \quad \text{Eq. IV.67}$$

Pour ce filtre d'ordre non entier, la sensibilité de la marge de phase par rapport à la variation de la pulsation au gain unité s'écrit :

$$\frac{\partial M\varphi(\omega_u)}{\partial \omega_u} = \frac{1}{\frac{\omega_u^2}{\omega_{c1}} + \omega_{c1}} + \frac{1}{\frac{\omega_u^2}{\omega_{c2}} + \omega_{c2}} - \frac{1}{\frac{\omega_u^2}{\omega_{c3}} + \omega_{c3}} - \frac{1}{\frac{\omega_u^2}{\omega_{c4}} + \omega_{c4}} \quad \text{Eq. IV.68}$$

En prenant en compte la distribution des zéros et des pôles, qui est telle que $\omega_{t1} < \omega_{c3} < \omega_u < \omega_{c2} < \omega_{c4}$, l'équation Eq. IV.68 s'annule en deux points situés de part et d'autre de ω_u (entre ω_{t1} et ω_{c3} et entre ω_{c2} et ω_{c4}). Cela démontre une faible sensibilité de la marge de phase aux variations de la fréquence au gain unité.

Compte tenu des spécifications, les composants nécessaires à la réalisation du filtre d'ordre non entier se déduisent :

$$R_1 = 9\text{k}\Omega, C_1 = 55\text{pF}, R_2 = 4.5\text{k}\Omega, C_2 = 9.17\text{pF}, C_3 = 3.9\text{pF}.$$

La Figure IV.26 présente la réponse en fréquence de la boucle ouverte ainsi obtenue.

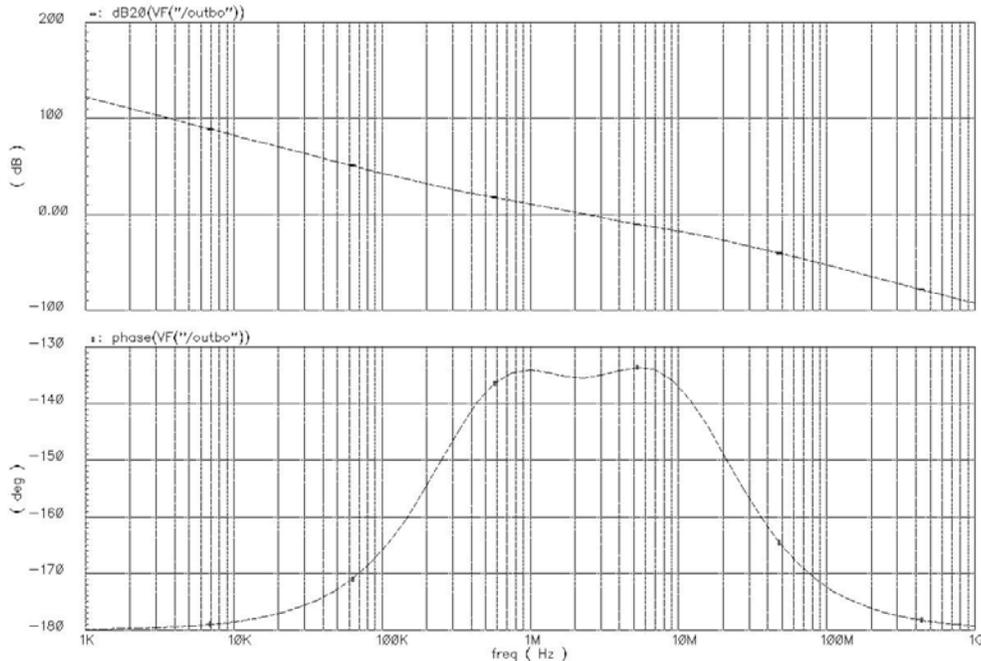


Figure IV.26 : Réponse en fréquence de la boucle ouverte de la PLL avec filtre d'ordre non entier

La Figure IV.26 montre bien un plat de phase autour de la fréquence au gain unité qui conduira à une robustesse de la marge de phase. L'ondulation de la phase qui apparaît est due au faible nombre de zéros et de pôles utilisés pour réaliser le filtre d'ordre non entier. Ce faible nombre résulte de la nécessité d'avoir un nombre minimum de composants. Néanmoins cette ondulation n'est pas gênante, car la variation n'est que de quelques degrés.

Un logiciel de synthèse sous MATLAB a été développé au LAPS de Bordeaux, permettant d'obtenir directement les valeurs des composants du filtre à partir des spécifications fréquentielles et d'une erreur d'ondulation tolérée.

IV.4.2.4 Etude de la robustesse de la marge de phase de la PLL avec filtre d'ordre non entier

Les mêmes variations paramétriques des composants qu'au paragraphe IV.4.2.2 sont considérées. La Figure IV.27 présente les variations de la marge de phase dans les différents cas d'étude.

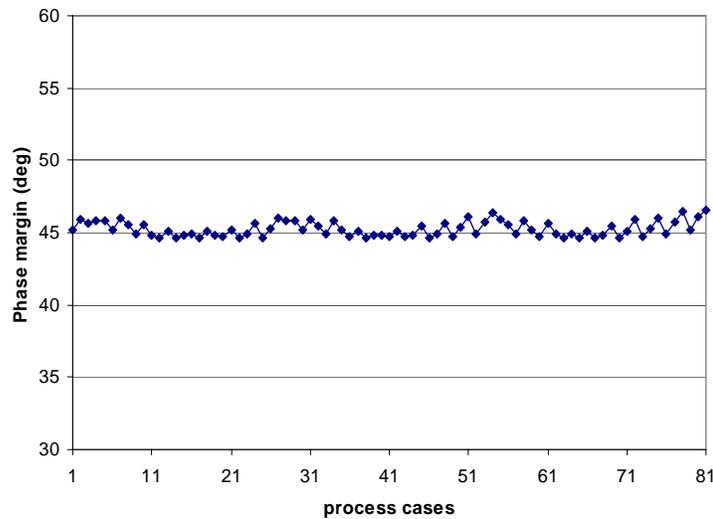


Figure IV.27 : Variation de la marge de phase en fonction des différents cas étudiés

Dans tout les cas, la marge de phase reste quasiment constante à 45 degrés (variation de 2 degrés maximum), montrant ainsi la robustesse de la marge de phase, et donc du degré de stabilité.

Les comportements temporels de la PLL avec les deux filtres (entier et non entier) sont présentés Figure IV.28.

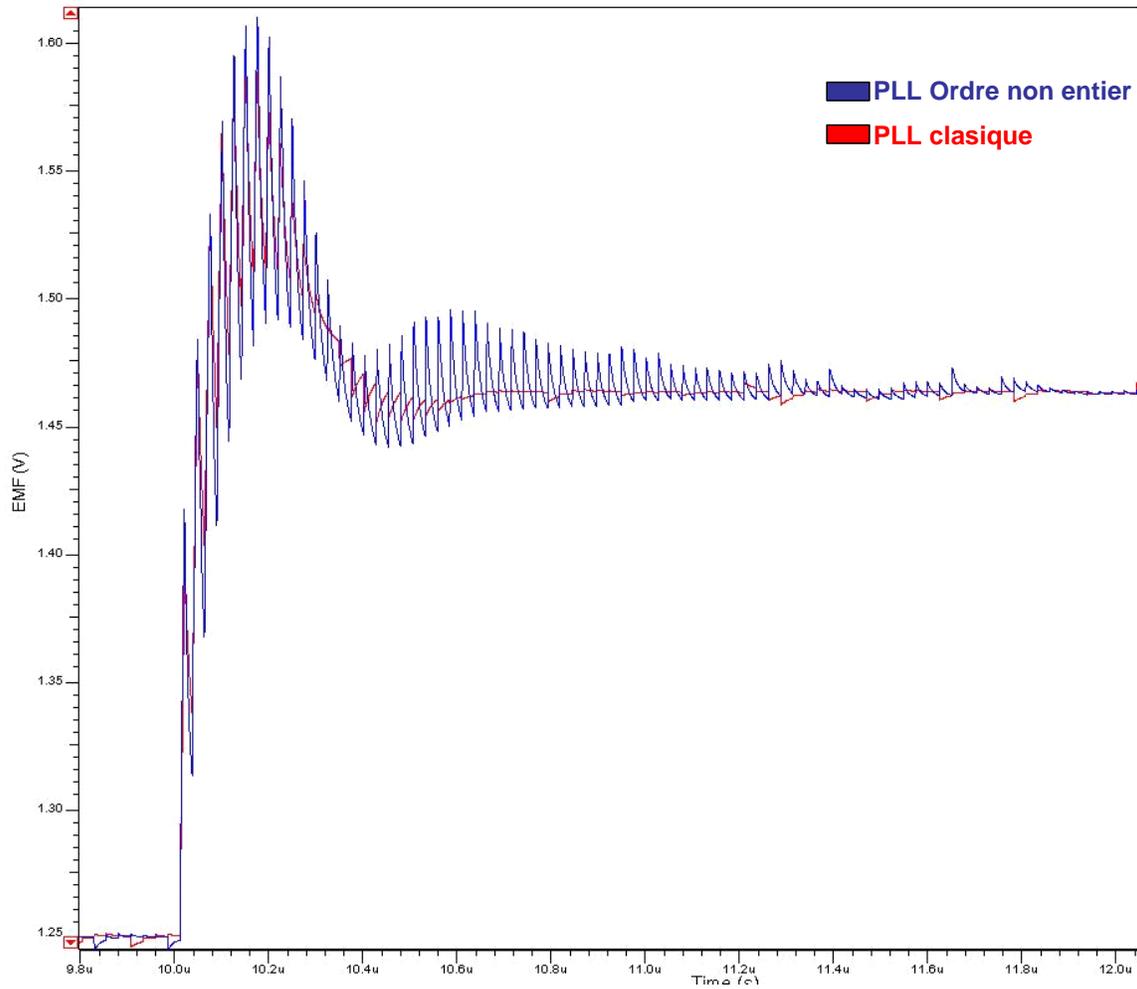


Figure IV.28 : Comparaison des réponses temporelles de la PLL avec les filtres classique et non entier

La PLL avec filtre d'ordre non entier est légèrement plus lente malgré que les deux PLLs aient la même fréquence au gain unité ainsi que la même marge de phase (45 degré). Dans notre cas d'application, cela n'est pas critique.

IV.5 Conclusions

Dans ce chapitre, il a été montré que la limitation à l'ordre entier pour la conception du filtre de boucle, ne permettait pas de trouver l'optimum de fonctionnement. L'optimisation du filtre de boucle a été démontrée par l'introduction de filtre d'ordre non entier. Une validation de la méthode de calcul de l'ordre optimum a été présentée.

De plus, l'utilisation de filtre d'ordre non entier a permis d'obtenir la robustesse de la marge de phase vis-à-vis des variations paramétriques des composants. Le surdimensionnement de la marge de phase employé dans le cadre d'un filtre de boucle classique n'est plus nécessaire. Le filtre d'ordre non entier permet d'obtenir une marge de phase quasiment constante pour tous les cas de dispersions de fabrication. Cette robustesse obtenue permet d'envisager l'intégration du filtre d'ordre non entier de boucle sur silicium.

IV.6 Références

- [bod45] H. W. Bode, « Network analysis and feedback amplifier design », Van Nostrand, New York, 1945.
- [cod98] P. Codron, S. Le Ballois, « Automatique : systèmes linéaires et continus », Chapitre 5 « La correction », pp. 159-228, édition Dunod 1998.
- [hor93] I. M. Horowitz, « Quantitative feedback design theory », QFT Publications, Boulder, Colorado, 1993.
- [lag05] V. Lagareste, P. Melchior, A. Oustaloup, Y. Deval, J. B. Begueret, F. Badets, D. Belot, « A PLL with a Non Integer Order Filter », IEEE International Conference on Systems, Signals and Devices, Proceedings, Mars 2005.
- [lag06] V. Lagareste, P. Melchior, A. Oustaloup, Y. Deval, J. B. Begueret, F. Badets, D. Belot, « A PLL with a Non Integer Order Filter », proposed paper in Transaction on Systems, Signals and Devices Journal, 2006.
- [lag06_2] V. Lagareste, P. Melchior, A. Oustaloup, Y. Deval, J. B. Begueret, F. Badets, D. Belot, « Phase Locked Loop Robustness Improvement using Non Integer Loop Filter », proposed in ISCAS 2006.
- [man61] S. Manabe, « The non integer Integral and its Application to control systems », ETJ of Japan, Vol. 6, n°3-4, pp.83-87, 1961.
- [ous75] A. Oustaloup, « Etude et réalisation d'un système d'asservissement d'ordre $3/2$ de la fréquence d'un laser à colorant continu », thèse, Université Bordeaux I, France, 1975.
- [ous83] A. Oustaloup, « Systèmes asservis linéaires d'ordre fractionnaire : théorie et pratique », Chapitre 2 « Systèmes d'ordre fractionnaire a paramètres localises », pp. 37-63, édition Masson 1983.
- [ous91] A. Oustaloup, « La commande CRONE », édition Hermès 1991.

- [ous93] A. Oustaloup, P. Melchior, « The Great Principles of the CRONE Control », IEEE International Conference on Systems, Man and Cybernetics, Proceedings, Vol. 2, pp. 118-129, Octobre 1993.
- [ous95] A. Oustaloup, « La dérivation non entière : théorie, synthèse et applications », Chapitre 5 « Récursivité et dérivation non entière », pp. 177-207, édition Hermès 1995.
- [ous95_2] A. Oustaloup, « La dérivation non entière : théorie, synthèse et applications », Chapitre 8 « Dérivateur non entier complexe borné en fréquence : caractérisation, synthèse et réalisation », pp. 289-325, édition Hermès 1995.
- [ous97] A. Oustaloup, X. Moreau et M. Nouillant « From Fractal robustness to non integer approach in vibration insulation : The CRONE suspension », IEEE International Conference on Decision and Control, Proceedings, Vol. 5, pp. 4979-4984, Décembre 1997.
- [ous99] A. Oustaloup, B. Mathieu « La commande CRONE : du scalaire au multivariable », Editions Hermès, Paris, 1999.
- [ous00] A. Oustaloup, F. Levron, B. Mathieu, F. M. Nanot « Frequency Band Complex Noninteger Differentiator : Characterization and Synthesis », IEEE Transaction on Circuits and Systems, Vol. 47, No. 1, pp. 25-39, Janvier 2000.
- [ous02] A. Oustaloup, P. Lanusse, F. Levron, « Frequency Domain Synthesis of a filter Using Viete Root Functions », IEEE Transaction on Automatic Control, Vol. 47, pp. 837-841, Mai 2002.
- [ous05] A. Oustaloup, O. Cois, P. Lanusse, P. Melchior, X. Moreau, J. Sabatier and J-L. Thomas « Fractional differentiation and its applications », chapitre 17, « A survey on the CRONE approach », pp. 735-780, partie 3 "Systems analysis, implementation and simulation, systems identification and control", Ubooks Verlag Ed., Neusäß, November 2005.

Conclusion

Le travail présenté dans ce mémoire de thèse entre dans le cadre de recherche commune entre la société STMicroelectronics, le laboratoire IXL et le laboratoire LAPS, sur la mise en œuvre de solutions innovantes pour la synthèse de fréquence.

Le premier chapitre présente quelques notions sur la synthèse de fréquence avant de présenter la synthèse de fréquence à base de boucle à verrouillage de phase. Cette présentation a permis de mettre en évidence les limitations d'une telle synthèse. En effet, la boucle à verrouillage de phase ne permet pas de disposer d'une bande passante suffisamment grande pour relâcher les contraintes sur l'oscillateur contrôlé en tension (Voltage Controlled Oscillator VCO).

Le deuxième chapitre a montré que la structure de synthétiseur de fréquence à base de boucle à verrouillage de phase composite présente une bande passante élargie, en ce qui concerne le filtrage du bruit de phase de l'oscillateur contrôlé en tension. Cette nouvelle architecture a permis de mettre en évidence que les limitations de la boucle à verrouillage de phase sont liées à l'échantillonnage effectué par le diviseur de fréquence dans la boucle de retour. Les simulations comportementales temporelles ont permis de valider un modèle permettant de prédire les performances d'une telle PLL.

Le troisième chapitre introduit la multiplication de fréquence par recombinaison des fronts. Le comparateur de phase/fréquence présenté permet d'obtenir une fréquence de référence supérieure au pas de synthèse. Ce comparateur permet une réduction du courant de la pompe de charge, mais ne permet pas d'augmenter la bande passante, car il est limité par l'échantillonnage réalisé par le diviseur de fréquence. Une intégration sur silicium en technologie STMicroelectronics BiCMOS 0,25 μ m a permis de valider cette nouvelle architecture de PLL. Le circuit mesuré est totalement fonctionnel et a souligné la contrainte de précision nécessaire à l'obtention d'une bonne pureté spectrale.

Le quatrième chapitre présente l'optimisation du filtre de boucle des PLLs. La mise en équation du filtre de boucle a mis en évidence qu'avec l'utilisation d'ordres entiers il n'est pas possible d'obtenir un optimum, mais un compromis entre les différentes spécifications. L'utilisation de filtres d'ordre non entier permet d'une part de trouver le filtre optimum permettant de répondre à toutes les spécifications en même temps, et d'autre part, d'apporter une solution aux problèmes de robustesse des filtres de boucle lors de leur intégration sur silicium. Les dispersions du procédé de fabrication ne permettaient pas d'intégrer sur silicium les filtres passifs des PLLs.

Ce travail de recherche a permis une meilleure compréhension des contraintes liées à la synthèse de fréquence, et également de proposer une solution alternative et innovante aux problèmes rencontrés.

ANNEXE

ANNEXES A : Filtres d'ordre non entier : Calcul

Pour simplifier l'étude, nous avons numéroté les cellules récursives et il faut aussi considérer α et η grand devant un. Des valeurs inférieurs a 1, impliquerai l'inversion des rang, c'est-à-dire que le rang 1 aurait une fréquence de coupure inférieur au rang -1.

Cela permet d'admettre, aux fréquences voisines de la fréquence de travail, que les cellules de rang plus faibles (fréquence de coupures plus basse que la fréquence de travail) se comportent de façon résistives. Les cellules de rang plus élevé (fréquence de coupure supérieure à la fréquence de travail) se comportent de manières capacitives, comme η est grand devant 1, leur impédance équivalente est grande (circuit ouvert). Le schéma équivalent est présenté en Figure A.1.

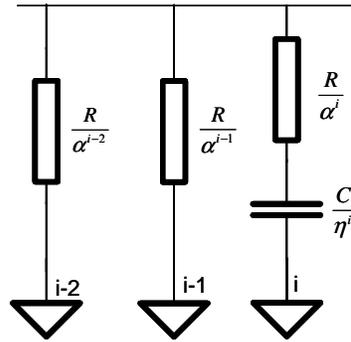


Figure A.1 : Structure récursive simplifiée

Le comportement du filtre aux fréquences voisines de la fréquence de travail est caractérisé par l'admittance suivante :

$$Y(j\omega) = G_{eq} + \frac{1}{\frac{R}{\alpha^i} + j \frac{\eta^i}{C\omega}} \quad Eq. A.1$$

Avec :

$$\omega_i = \frac{1}{R_i C_i} = (\alpha\eta)^i \omega_0 \quad Eq. IV.2$$

ω_0 représente la fréquence de coupure de la cellule centrale (indice 0).

Nous pouvons écrire l'admittance sous une nouvelle forme :

$$Y(j\omega)_{\omega=\omega_i} = G_{eq} \left[1 + \frac{j \frac{C}{\eta^i G_{eq}} \omega}{1 + j \frac{RC}{(\alpha\eta)^i} \omega} \right] \quad Eq. A.2$$

Avec G_{eq} représentant la conductance équivalente à l'ensemble des résistances en parallèle. L'expression de G_{eq} est donnée ci-dessous.

$$G_{eq} = \frac{1}{R} [\alpha^{-N} + \dots + \alpha^{-1} + 1 + \alpha + \dots + \alpha^{i-1}] = \frac{1}{R} \sum_{k=-N}^{i-1} \alpha^k \quad Eq. A.3$$

En effectuant un changement de variable $k'=k+N$, nous obtenons :

$$G_{eq} = \frac{1}{R} \sum_{k'=0}^{i-1+N} \alpha^{k'-N} = \frac{\alpha^{-N}}{R} \sum_{k'=0}^{i-1+N} \alpha^{k'} = \frac{1}{R} \frac{\alpha^i - \alpha^{-N}}{\alpha - 1} \quad Eq. A.4$$

L'équation Eq. A.2 peut se réécrire :

$$Y(j\omega)_{\omega=\omega_i} = \frac{1}{R} \frac{\alpha^i - \alpha^{-N}}{\alpha - 1} \frac{1 + j \frac{\omega}{\omega'_i}}{1 + j \frac{\omega}{\omega_i}} \quad Eq. A.5$$

En posant :

$$\frac{1}{\omega'_i} = \frac{1}{\omega_0} \left[\frac{1}{(\alpha\eta)^i} + \frac{\alpha - 1}{(\alpha\eta)^i (1 - \alpha^{-N-i})} \right] = \frac{1}{\omega_i} \frac{\alpha(1 - \alpha^{-N-i-1})}{1 - \alpha^{-N-i}} \quad Eq.A.6$$

Sachant que $\omega_i = (\alpha\eta)^i \omega_0$, nous pouvons écrire :

$$\frac{\omega_i}{\omega'_i} = \frac{\alpha(1 - \alpha^{-N-i-1})}{1 - \alpha^{-N-i}} \quad Eq. A.7$$

Nous allons étudier le comportement aux fréquences voisines de la fréquence de travail $\omega_{i+1} = \alpha\eta\omega_i$. L'admittance devient :

$$Y(j\omega)_{\omega=\omega_{i+1}} = \frac{1}{R} \frac{\alpha^{i+1} - \alpha^{-N}}{\alpha^{-N}} \frac{1 + j \frac{\omega}{\omega'_{i+1}}}{1 + j \frac{\omega}{\omega_{i+1}}} \quad Eq.A.8$$

Avec

$$\frac{\omega_{i+1}}{\omega'_{i+1}} = \frac{\alpha(1 - \alpha^{-N-i-2})}{1 - \alpha^{-N-i-1}} \quad \text{Eq.A.9}$$

En remplaçant ω_{i+1} par $\alpha\eta\omega_i$ dans l'équation précédente nous obtenons :

$$\frac{\omega'_{i+1}}{\omega_i} = \eta \frac{1 - \alpha^{-N-i-1}}{1 - \alpha^{-N-i-2}} \quad \text{Eq. A.10}$$

De la nous pouvons en déduire en posant $i=i+1$:

$$\frac{\omega'_{i+2}}{\omega_{i+1}} = \eta \frac{1 - \alpha^{-N-i-2}}{1 - \alpha^{-N-i-3}} \quad \text{Eq. A.11}$$

Nous pouvons constater que :

$$\frac{\omega'_{i+1}}{\omega_i} \neq \frac{\omega'_{i+2}}{\omega_{i+1}} \quad \text{et} \quad \frac{\omega_i}{\omega'_i} \neq \frac{\omega_{i+1}}{\omega'_{i+1}} \quad \text{Eq. IV.12}$$

Néanmoins, la considération d'un grand nombre de cellules (N et i suffisamment grands) permet d'écrire.

$$\frac{\omega'_{i+1}}{\omega_i} = \frac{\omega'_{i+2}}{\omega_{i+1}} = \eta \quad \text{et} \quad \frac{\omega_i}{\omega'_i} = \frac{\omega_{i+1}}{\omega'_{i+1}} = \alpha \quad \text{Eq. A.13}$$

Cette équation permet de mettre en évidence les paramètres de récursivités entre les fréquences de la fonction d'admittances étudiée. Les diagrammes asymptotiques de gain et de phase de la fonction d'admittance Y sont représentés en Figure A.2.

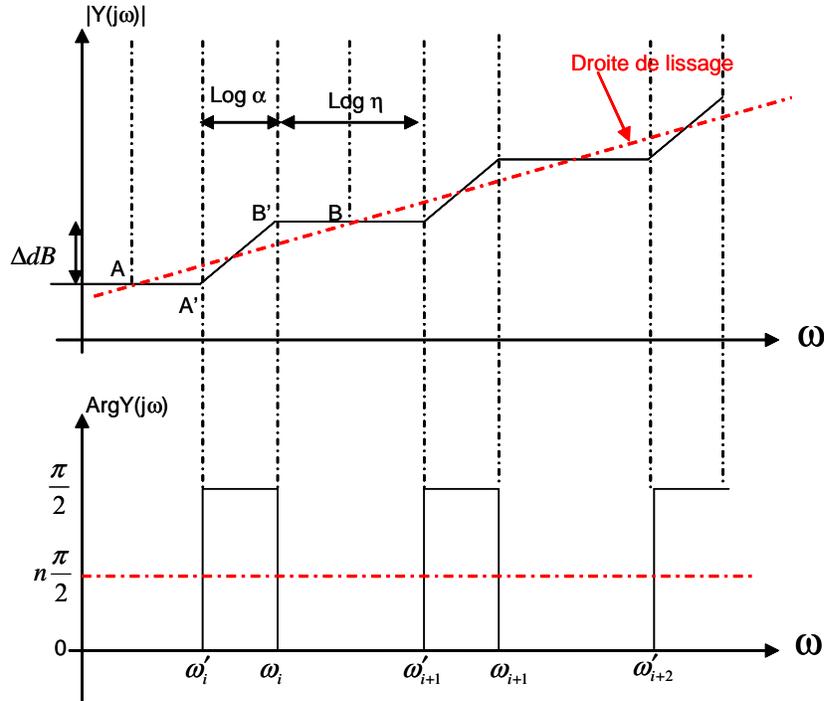


Figure A.2 : Diagramme asymptotique de l'admittance

Les pentes des segments AB et A'B' décrit sur le diagramme asymptotiques de gain et la courbe de lissage sont respectivement données par les équations :

$$AB \mapsto \frac{\Delta dB}{\text{Log} \alpha + \text{Log} \eta} \quad \text{et} \quad A'B' \mapsto \frac{\Delta dB}{\text{Log} \alpha} \quad \text{Eq. A.14}$$

Desquelles, nous pouvons en déduire l'expression de l'ordre en fonction des facteurs récursifs.

$$n = \frac{1}{1 + \frac{\text{Log} \eta}{\text{Log} \alpha}} \quad \text{Eq. A.15}$$

Nous pouvons retrouver les mêmes expressions en partant du calcul de la courbe asymptotique et de lissage du diagramme des phases.

Comte tenu des relations précédemment établies entre les facteurs récursifs que nous rappelons ici :

$$\alpha = \frac{p}{q} \text{ et } \eta = \frac{q^2}{p} \quad \text{Eq. A.16}$$

L'ordre réalisé s'exprime en fonction des paramètres récurrents des composants du filtre.

$$n = \frac{\log p}{\log q} - 1 \quad \text{Eq. A.17}$$