



HAL
open science

Etude d'un convertisseur analogique-numérique à très grande dynamique à base de portes logiques supraconductrices

Emanuele Baggetta

► **To cite this version:**

Emanuele Baggetta. Etude d'un convertisseur analogique-numérique à très grande dynamique à base de portes logiques supraconductrices. Micro et nanotechnologies/Microélectronique. Institut National Polytechnique de Grenoble - INPG, 2007. Français. NNT : . tel-00175547

HAL Id: tel-00175547

<https://theses.hal.science/tel-00175547>

Submitted on 28 Sep 2007

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

INSTITUT NATIONAL POLYTECHNIQUE GRENOBLE

N° attribué par la bibliothèque

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

THESE

pour obtenir le grade de

DOCTEUR de L'INP Grenoble

Specialité : *Optique et Radiofréquence*

préparée au laboratoire

CEA-Grenoble SPSMS/Groupe Dispositifs Supraconducteurs

dans le cadre de l'ECOLE DOCTORALE

Electronique, Electrotechnique, Automatique, Télécommunications, Signal

présentée et soutenue publiquement

par

Emanuele BAGGETTA

le 26 Juillet 2007

Titre :

***Etude d'un convertisseur analogique-numérique
à très grande dynamique à base de portes logiques supraconductrices***

Directeur de thèse : Pierre SAGUET

JURY

Prof. Alain KREISLER,	Président
Dr. Annick DEGARDIN,	Rapporteur
Dr. Pascal FEBVRE,	Rapporteur
Prof. Pierre SAGUET,	Directeur de Thèse
Dr. Jean-Claude VILLEGIER,	Encadrant CEA
Prof. Hermann UHLMANN,	Examinateur
M. Michel MAIGNAN,	Invité
Dr. Patrick LOUMEAU,	Invité

*A Mari, Patrizia, Nino
e mia zia Immacolata*

*«Science sans conscience n'est que ruine de l'âme»,
François Rabelais, Pantagruel, chapitre VIII.*

Remerciements

Tout d'abord je remercie Bernard Salce qui m'a accueilli dans son laboratoire, le LCP (laboratoire de CryoPhysique).

Je voudrais remercier Annick Degardin et Pascal Febvre pour avoir accepté de rapporter sur mon travail. Je tiens à remercier le professeur Hermann Uhlmann de l'université technique d'Ilmenau (Allemagne) et le professeur Alain Kreisler de SUPELEC-Paris 6 d'avoir accepté d'être membres du Jury de thèse comme examinateurs. Je remercie encore Patrick Loumeau et Michel Maignan de participer à la soutenance parmi les membres du Jury.

Cette thèse a été un travail ainsi qu'une formation très enrichissants avec un sujet qui m'a motivé pour toute la durée de la thèse me permettant de toucher différents domaines d'intérêt de la radiofréquence à la micro-électronique, de la conception au test, mais je n'aurais jamais atteint ce but, sans l'aide des personnes que j'ai rencontrées pendant ce doctorat.

Je remercie Jean-Claude Villégier pour m'avoir aidé à comprendre les jonctions Josephson et les SQUIDS, mais aussi pour son soutien et encouragement en fin de thèse.

Je remercie Pierre Saguët, directeur de cette thèse et professeur de l'INPG, et Michel Maignan, de Thales Alenia Space cofinanceur de cette thèse, pour m'avoir donné des conseils sur la conception des filtres RF et sur le test en environnement cryogénique. Les discussions avec Luc Lapierre du CNES de Toulouse ainsi que avec Jérôme Prouvée du CEA-Leti m'ont aussi aidé dans la conception et le test RF.

Je tiens à remercier Pierre Payet-Burin pour les amplificateurs et les conseils regardant la conception de l'électronique de test à basse-fréquence. Merci encore à Jean-Luc Thomassin, Jean-Michel Martinod et Marie-jo Blanchard pour l'aide technique à la conception des cannes cryogéniques et pour m'avoir appris quelques bases de cryogénie. Je remercie Michel Boujard pour avoir fabriqué les différentes pièces mécaniques utilisées dans les cannes, ainsi que les boîtiers RF. Les conseils de François Lefloch et de Xavier Jehl ont été très utiles pour éviter des décharges électriques lors du montage et du test des échantillons.

Les discussions avec Thomas Ortlepp de l'université technique d'Ilmenau ont été très fructueuses pour les simulations et les dessins des circuits RSFQ. Un grand merci va encore à Coenrad Fourie de l'Université Stellenbosch de Matieland (du Sud Afrique)

qui m'a aidé à découvrir InductEx pour la simulation des inductances directement sur le dessin des masques. Les discussions avec Hirotaka Terai du NICT et Yoshihito Hashimoto de ISTEC en Japon ont été très intéressantes pour la conception et le test des circuits RSFQ.

Je remercie encore Dominique Morche du LETI pour m'avoir aidé à la compréhension des convertisseurs analogique-numérique avec une architecture sigma-delta.

Les discussions sur la fabrication des jonctions et les techniques de salle blanche avec Romano Setzu, en thèse sur l'étude des jonctions Josephson NbN/Ta_xN/NbN appliquées à la logique RSFQ, m'ont permis de comprendre les limites de la fabrication ainsi que participer à la réalisation des circuits pour un procédé à 10 niveaux de masques. Je n'aurais pas atteint les résultats expérimentaux sur les jonctions Josephson sans sa collaboration. Merci aussi pour les conférences, les doctoriales et les moments hors travail (compris la salsa) que l'on a partagé dans ces années.

Je tiens à exprimer ma profonde gratitude à Bertrand Delaët et Fabienne Ponthenier du CEA-Leti pour les dépôts des différentes couches de silice nécessaires dans la fabrication des puces.

J'exprime ma sympathie à Claude Chapelier pour m'avoir écouté lors de différentes discussions même s'il n'est pas arrivé à me convaincre à utiliser TestPoint à la place de Labview.

Merci encore à Roch (pour le français et le soutien), Mario, Luana, Corentin, Christophe, Bruno, Max, Benjamin, Olivier, Florence, Elena, Julien, Vratislav et les autres doctorants, post-docs et stagiaires que j'ai rencontrés et, certains, vu partir pour d'autres expériences. Les journées aux ex-LCP ont été très agréables grâce à vous tous. Romano, Benjamin et Olivier courage pour la soutenance. Merci à Frédéric Gustavo et Jean-Luc Thomassin pour l'aide en salle blanche et le matériel de test qui m'ont gentiment prêté. Un merci particulier va encore à Mario, collègue et nouveau colocataire, qui m'a soutenu pour ces derniers et longs mois de thèse et qui a été disponible à cuisiner presque toutes les soirs. Merci aussi à mes nouveaux colocataires Sarah et Roberta pour les gâteaux, la compagnie en piscine, les balades en vélo et la patience de me supporter dans la dernière année. Merci aussi à Lucille.

Un grand merci va à Davide, mon ex-colocataire et ami, avec lequel j'ai partagé 4 ans de colocation. Il a été toujours proche de ma thèse avec différents conseils très précieux avec sa grande passion vers l'électronique, le ski et la musique. Courage avec le synthétiser (j'attends d'écouter *Impressioni di Settembre*) et surtout pour la nouvelle année comme maître de conférence. Un merci encore va à Luca depuis quand je l'ai connu avec son vélo et son sac en cuir en recherche de colocation jusqu'à maintenant avec Benedetta parents du très beau Riccardo. Merci pour les nombreux jours de piscine passés ensemble, le soutien et les repas fabuleux de Benedetta.

Merci encore à Andrea pour la compagnie, son encouragement, les conseils et ses particularités à la «Dis».

Merci à Anna, plus qu'une amie, pour son affection, son hospitalité et celles de ses

parents. Merci à Salvo pour sa compagnie presque tout le long de cette thèse, pour sa bonne humeur, sa passion pour les vins et la Sicile. Bon courage pour ta nouvelle vie. Ross e Stef, même si plus difficiles à rejoindre que le président de la République, ont été des chers amis et confidents. Nicoletta et sa dose de folie, comment l'oublier. Merci pour ton encouragement, l'être toujours optimiste et pleine de bonheur.

Merci encore à Lucie, Luisa, Elisa et Gianluca (et le petit Mattia), Giovanni, les nouveaux mariés Michäel et Caroline (j'ai découvert Manosque, cette petite et jolie ville au milieu des champs de lavande), Michele et Nadia, il Maestro et Savio (et toute la *Green Onions Blues Band* de Turin).

Un dernier remerciement avec affection sincère va à ma mère Patrizia, mon père Nino et ma soeur Mariangela (pour moi *Cip*) pour tous ce qu'ils ont fait et il font toujours pour moi, et enfin à *mia Zia Immacolata* (je ne sais pas combien de fois elle m'a cuisiné et logé à Turin), Rosa, Filippo, Marco, Davide, Mimmo, Carlo, Elisa, Daniela, Federico, Mattia et Iacopo.

Grazie davvero a tutti.

Table des matières

Glossaire	13
Introduction	15
1 Présentation des circuits logiques Josephson et des CANs	25
1.1 Les supraconducteurs et la logique RSFQ	25
1.1.1 Les lignes de transmission supraconductrices	29
1.1.2 La jonction Josephson	32
1.1.3 Principe de la logique RSFQ	41
1.1.4 Le SQUID et quelques portes logiques de base	44
1.2 Architecture des CANs	50
1.2.1 La conversion $\Sigma\Delta$	52
1.2.2 Caractérisation d'un CAN	58
1.2.3 Analyse des CANs en semi-conducteurs	60
1.2.4 Actualité de la recherche sur les CANs en supraconducteurs	61
1.3 Synthèse	66
2 Procédé de fabrication des circuits NbN	69
2.1 Les matériaux en couches minces utilisés et leurs paramètres physiques	69
2.1.1 Les couches supraconductrices en NbN	69
2.1.2 La couche barrière de TaN	70
2.1.3 Choix des couches isolantes : MgO, AlN, SiO ₂ et Si ₃ N ₄	72
2.2 Procédés de fabrication des jonctions Josephson	72
2.2.1 La pulvérisation cathodique (<i>sputtering</i>)	72
2.2.2 L'usinage ionique (<i>I.B.E., Ion Beam Etching</i>)	73
2.2.3 La Gravure Ionique Réactive (<i>R.I.E., Reactive Ion Etching</i>)	74
2.2.4 Photomasquage	74
2.2.5 Réalisation des jonctions NbN/Ta _x N/NbN	77
2.3 Nouvel empilement à 10 niveaux	78
2.4 Les procédés technologiques critiques	82
2.5 Synthèse	83

TABLE DES MATIÈRES

3	Conception des portes logiques et du CAN	85
3.1	Adaptation du modèle d'une jonction SIS à la jonction NbN/Ta _x N/NbN	85
3.2	Etude du modulateur $\Sigma\Delta$	94
3.2.1	Etude de l'horloge	94
3.2.2	Conception et simulation du comparateur	98
3.2.3	Conception et étude du filtre RF et du modulateur complet	100
3.3	Etude du filtre de décimation	108
3.3.1	Le diviseur de fréquence	109
3.3.2	Le registre à décalage	110
3.4	La problématique du test du CAN RSFQ	111
3.4.1	Les interfaces supraconducteur-semiconducteur	112
3.4.2	Différentes méthodes de test	115
3.5	Dessin des circuits RSFQ	118
3.5.1	Méthode de dessin	119
3.5.2	Les circuits dans le procédé à 10 niveaux	122
3.6	Synthèse	126
4	Fabrication des circuits RSFQ et réalisation du banc de test cryogénique	129
4.1	Fabrication des circuits RSFQ avec le procédé à 10 niveaux	129
4.2	Montage des échantillons	136
4.2.1	Montage de type «Flip-Chip»	136
4.2.2	Montage par soudure des échantillons	138
4.3	Banc de mesure quasi-statique	138
4.3.1	Caractérisation des jonctions Josephson	142
4.4	Banc de test radiofréquence	146
4.5	Synthèse	147
5	Etude des composants de base du CAN en technologie Nb de fonderie et comparaison avec la technologie NbN	149
5.1	Caractéristiques annoncées du procédé 4500 A/cm ² de la fonderie Hypres	149
5.2	Simulation et dessin des circuits	152
5.3	Test quasi-statique des jonctions et des SQUIDs Nb	157
5.4	Comparaison des deux technologies : NbN (CEA) et Nb (HYPRES)	162
5.5	Synthèse	168
	Conclusions	171
	Bibliographie	183
	Liste des publications et des communications à des conférences	186
A	Environnement de simulation	187

TABLE DES MATIÈRES

B	Description du wafer A2120	191
B.1	Puce de Jonctions Josephson	192
B.2	Puce de SQUID	194
B.3	Puce de cellules RSFQ de base	197
B.4	Puce de circuits RSFQ complexes et RF	200
B.5	Puce de caractérisation RF en transmission	203
C	HYPRES Design Rules	205

TABLE DES MATIÈRES

Glossaire

On reporte ci-dessous quelques mots techniques utilisés dans la suite du rapport.

- SDR** *Software Defined Radio*, est l'acronyme avec lequel on indique les système de télécommunication, récepteur et émetteur, dont le contrôle du signal est réalisé principalement par voie logicielle (filtrage, décimation, démodulation, décodage . . .).
- CAN** *Convertisseur Analogique-Numérique*, réalise la conversion d'un signal analogique d'entrée en un signal numérique de sortie.
- SNR** *Signal-to-Noise Ratio*, est le rapport du signal sur bruit évalué sur le spectre de puissance du convertisseur.
- SFDR** *Spurious Free Dynamic Range*, est le rapport entre l'amplitude RMS (root mean square) de la composant maximale du signal et l'RMS de la composante des signaux non désirés, l'offset DC exclu.
- dB** *décibel*, est une unité de mesure logarithmique utilisée pour la mesure de la magnitude d'une grandeur physique par rapport à une référence. Dans le cas des puissances, le décibel s'exprime comme $10 \log_{10}(P/P_0)$ et dans le cas des amplitudes comme $20 \log_{10}(V/V_0)$.
- Sigma-Delta** est un type d'architecture de CAN dont la caractéristique principale est de mettre en forme le bruit de façon à le réduire au minimum dans la bande du signal.
- RSFQ** *Rapid Single Flux Quantum*, est une logique de circuits qui permet de travailler à des fréquences très élevées (quelques centaines de gigahertz) et avec une dissipation de puissance très faible, grâce à la rapidité des temps de réponse des jonctions Josephson supraconductrices qui sont à la base de ces portes logiques.
- Quantum de flux** ($2,07 \times 10^{-15}$ Wb), représente le bit d'information dans la logique RSFQ.
- BCS** *Bardeen Cooper Schrieffer*, est la théorie qui explique microscopiquement l'appariement de deux électrons (paire de Cooper) qui sont à la base de la supraconductivité dans les métaux de transition.
- T_C** *Température critique*, est la température au dessous de la quelle se manifeste l'état supraconducteur.

- Gap d'énergie** est la différence d'énergie entre l'état supraconducteur et l'état normal. C'est en effet l'énergie nécessaire pour passer de l'état supraconducteur à l'état normal en brisant les paires de Cooper. Cette énergie tend vers zéro lorsque température tend vers T_C .
- RCSJ** *Resistively and Capacitively Shunted Junction*, est le modèle qui explique la caractéristique courant-tension d'une jonction Josephson soumise à une tension V_0 appliquée à ses bornes.
- I_C** *Courant critique*, est le courant au dessous duquel une jonction Josephson est supraconductrice. La tension est nulle à ses bornes.
- $R_N I_C$** *Tension caractéristique*, est le produit du courant critique fois la résistance de l'état normal de la jonction Josephson.
- SIS** *Supraconducteur/Isolant/Supraconducteur*, est une jonction Josephson caractérisée par une barrière isolante entre les deux électrodes.
- SNS** *Supraconducteur/Metal Normal/Supraconducteur*, est une jonction Josephson caractérisée par une barrière en métal normal entre les deux électrodes.
- I_r** *Courant de recapture*, est le courant au dessous duquel il faut descendre pour que le courant des quasi-particules d'une jonction Josephson hystérétique (SIS) deviennent nul et la jonction retrouve son état supraconducteur.

Introduction

Communiquer est aujourd'hui devenu de plus en plus important et exigeant. La quantité d'informations est en train d'augmenter, qu'elle provienne des nos relations personnelles ou des informations quotidiennes de ce qui se passe dans le monde entier ou de la simple curiosité et de la soif de savoir et de connaître (pour des raisons civiles comme militaires). L'avènement du GSM (Global System for Mobile communications) et d'Internet ont été les premiers témoins de ce besoin. Appeler et envoyer des SMS (Short Message Service) dans le monde entier ainsi que pouvoir consulter les premières pages des journaux mondiaux et envoyer des courriers électroniques ont fait partie d'une nouvelle époque. Aujourd'hui la nécessité d'augmenter ou d'enrichir l'information avec la possibilité de l'échange d'images, de vidéos (media comme vidéoconférences), de musique etc. a amené à des nouvelles technologies comme l'UMTS (Universal Mobile Telecommunications System), l'évolution du GSM, et l'ADSL (Asymmetric Digital Subscriber Line), l'évolution de l'Internet à bas débit. Cette augmentation d'information requiert une augmentation de la bande fréquentielle occupée par le signal à transmettre. On passe des 200 kHz du GSM [1] aux 5 MHz de l'UMTS [2] et des 56 Kb/s de l'internet à bas débit aux 25 Mb/s, ou plus, pour l'ADSL2+ [3, 4].

Les liaisons sans fil (wireless) ont permis de transmettre l'ADSL d'ordinateur à ordinateur sans nécessiter l'utilisation de câbles Ethernet. Ce type de réseaux, appelé WLAN (Wireless Local Area Networks) se base sur le protocole WiFi (Wireless Fidelity) IEEE 802.11b/g [5], capable de transmettre des informations sur une bande de 22 MHz, par canal, chaque canal pouvant être choisi par voie logicielle. Imaginons donc pouvoir gérer un système complet de réception sans fils, comme le WiFi, par voie logicielle, cela nous permettrait de choisir le canal du signal désiré, de lui appliquer des traitements différents selon les exigences, de façon simple et dynamique, à travers des nouvelles mises à jour (*updates*) des fonctions logiques (*firmware*). Le nom de ces types de systèmes de réception est directement dérivé des leurs applications, ils sont appelés Radio Logicielle, en anglais, Software Defined Radio (SDR).

Le mot logiciel étant «synonyme» de numérique, les chaînes de réception de type SDR numérisent le signal directement après l'antenne (voir la figure 2), c'est-à-dire directement à la fréquence porteuse en éliminant le système de réception superhétérodyne classique (voir la figure 1). Le système de réception de type SDR réduit donc au minimum

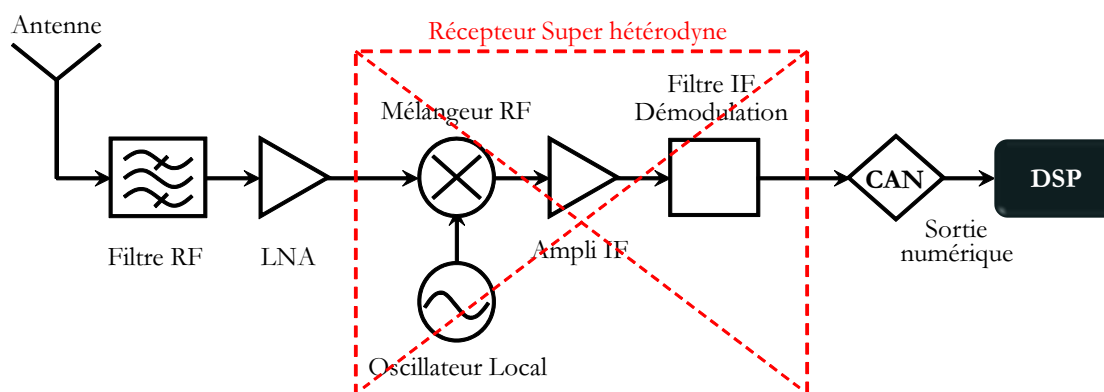


FIG. 1. Chaîne de réception classique super-hétérodyne. Elle prévoit après le filtre d'antenne un amplificateur, un mélangeur pour ramener le signal de la fréquence porteuse (ex. 900 MHz pour le GSM) à une fréquence intermédiaire de l'ordre de 10 MHz. Le signal est encore amplifié, filtré et démodulé pour être en suite traité numériquement (conversion analogique-numérique et traitement avec le DSP, Digital Signal Processing).

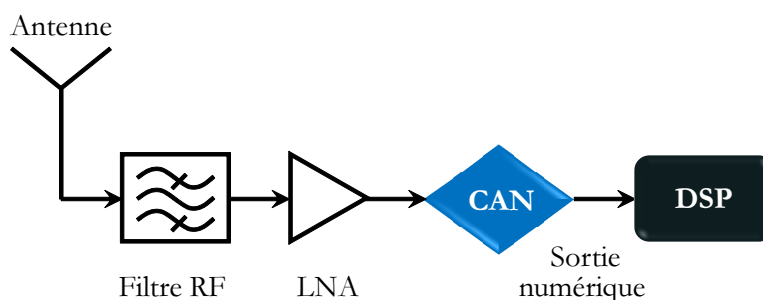


FIG. 2. Chaîne de réception radio logicielle (SDR, Software Defined Radio). La partie concernant le traitement hétérodyne est complètement supprimée et le convertisseur analogique-numérique est placé après le LNA (nécessaire si le CAN n'est pas très sensible) permettant une conversion directement à la fréquence de la porteuse (ex. 1900 MHz pour l'UMTS).

la partie analogique, autrement dit il n'est gardé que le filtre de bande (désormais accordable [6]) après l'antenne et l'amplificateur faible bruit (LNA, Low Noise Amplifier). Il est clair que le rôle du convertisseur analogique-numérique (CAN) est déterminant dans cette nouvelle chaîne et requiert des performances bien supérieures à celui utilisé dans une chaîne de réception classique. C'est pourquoi il est important de les construire avec le meilleur rapport signal/bruit (SNR, Signal Noise Ratio) pour garantir une bonne qualité du signal numérisé (certaines applications SDR demandent aujourd'hui 90 dB de SNR, par exemple). Si on résume les bandes et les fréquences porteuses utilisées aujourd'hui pour les télécommunications dans le tableau 1 on peut observer que les bandes de transmission ainsi que les fréquences porteuses augmentent de plus en plus. Les futurs systèmes de

TAB. 1. BANDES ET FRÉQUENCES PRINCIPALES UTILISÉES DANS LES SYSTÈMES SANS FILS LES PLUS RÉPANDUS AUJOURD'HUI [7, 8, 9].

Caractéristiques\Technologies	GSM	UMTS	WiFi
Bande (MHz) du canal = Information	0,2	5	22
Fréquence porteuse (MHz)	900/1800/1900	1900/2100	2400
Nombre de canaux	172	120	12

télécommunications, en particulier par satellite, prévoient de transmettre une quantité de données encore supérieure et en conséquence la bande du signal pourrait atteindre plus de 100 MHz pour des fréquences porteuses très élevées (des dizaines de gigahertz).

Les CAN en semi-conducteurs existants ne permettent pas d'atteindre des fréquences d'échantillonnage supérieures à 5 GHz avec une résolution de plus de 6 bits effectifs [10]. En considérant, d'après Walden [11], que la résolution de ces CAN augmente d'un bit tous les 7 ou 8 ans, la technologie n'est pas encore prête pour des applications hautes fréquences.

Des technologies alternatives, comme les nanotubes de carbone, l'électronique de spin, la computation optoélectronique etc., sont en phase de développement et ont été considérées dans la roadmap des semiconducteurs [12]. Parmi ces technologies émergentes, celle supraconductrice, basée sur la jonction Josephson et la logique RSFQ (Rapid Single Flux Quantum), représente une solution très attractive à long terme pour faire face aux limites des semi-conducteurs dans les systèmes SDR embarqués sur satellite. Cette technologie présente en effet des atouts incontestables pour la réalisation de composants ultra-rapides :

1. les lignes supraconductrices sont peu dispersives et donc permettent de transmettre des impulsions ultra-brèves (de l'ordre de la picoseconde)
2. les temps de commutation sont de l'ordre de la picoseconde
3. la puissance dissipée par une jonction Josephson sur la puce est de 5 ordres (3 ordres en tenant compte de la cryogénie) de grandeur plus faible que celle d'un transistor CMOS

Les circuits logiques supraconducteurs existent depuis les années 80, mais au début ils se basaient sur une logique à maintien ou seul le basculement $0 \rightarrow 1$ était compatible avec une logique rapide. Cette logique, appelée *latching logic*, était aussi à deux états logiques (0 à tension nulle et 1 à tension non nulle, plus précisément à la tension du gap supraconducteur). Suite à l'emploi de courants de polarisation non continus mais périodiques, les fréquences de fonctionnement étaient limitées et comparables à celle des semi-conducteurs. C'est avec un nouveau principe logique, la logique RSFQ, que les circuits supraconducteurs sont devenus ultra-rapide et avec des performances encore très difficiles à atteindre par la filière des semiconducteurs comme le montre la figure 3.

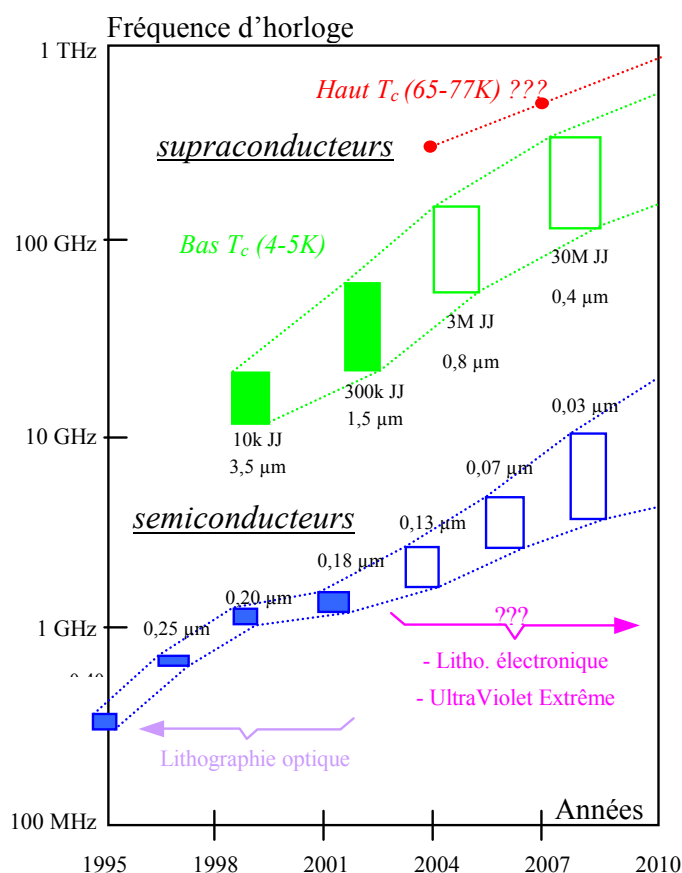


Fig. 3. Comparaison [13, 14, 15] en termes de fréquence de fonctionnement de circuits complexe (ex. CAN, et processeurs) entre la filière des semi-conducteurs et celle des supraconducteurs.

Recherche d'une nouvelle technologie pour le SDR par satellite

La logique RSFQ se base sur la transmission et le stockage de quanta de flux, $\Phi_0 = h/2e = 2,07 \times 10^{-15} \text{ Wb}$, défini par le rapport de la constante de Planck sur la charge d'une paire d'électrons. Le quantum de flux est généré et transmis par les jonctions Josephson et stocké dans une boucle formée de deux jonctions et une inductance, appelée SQUID (Superconducting QUantum Interference Device). Chaque variation d'un quantum de flux dans cette boucle induit une impulsion de tension de l'ordre de la picoseconde aux bornes d'une de deux jonctions, dont la valeur de l'intégrale temporelle est égale à un quantum de flux, Φ_0 . La codification de l'information est différente de celle à deux états de tension des transistors ; elle est représentée par la présence (état logique 1) ou l'absence (état logique 0) d'un quantum de flux.

0) d'une impulsion entre deux impulsions d'horloge. Lorsque la jonction émet une de ces impulsions, elle quitte l'état statique et entre dans son état dynamique à tension non nulle, $V(t)$, telle que l'intégrale $\int V(t)dt = \Phi_0$.

La jonction Josephson est une diode particulière formée par un «sandwich» de deux couches minces de matériaux supraconducteurs, appelées *électrodes*, entre lesquelles se trouve une troisième couche très mince (souvent isolante ou de métal normal) appelée *barrière*. La forme (amplitude et largeur) de l'impulsion émise par la jonction dépend des propriétés des électrodes et en particulier de la barrière. On peut caractériser une jonction par sa caractéristique statique courant-tension qui décrit l'état Josephson continu à tension nulle et rejoint asymptotiquement l'état normal, R_N , bien au delà de la tension de gap (2Δ), en passant par un état intermédiaire. Les paramètres observés sur la caractéristique $I(V)$ sont : l'amortissement appelé facteur de Stewart-MacCumber, β_c , et la tension caractéristique, $R_N I_C$, I_C étant le courant critique de la jonction. Pour qu'un circuit RSFQ puisse fonctionner correctement, la jonction doit être amortie ($\beta_c \sim 1 - 2$) [16] et pour atteindre des fréquences de 50 GHz la tension caractéristique doit être supérieure à 320 μV [17]. La fréquence augmente proportionnellement avec la tension caractéristique.

À l'heure actuelle la technologie des circuits RSFQ la plus utilisée est la technologie niobium (Nb) [18, 19] dont les jonctions tunnel ont une barrière isolante d'aluminium oxydé (AlO_x) [20, 21]. Ces jonctions Nb/ AlO_x /Nb (SIS, Supraconducteur / Isolant / Supraconducteur) sont opérationnelles à 4,2 K avec des fréquences qui pourraient atteindre 80 GHz pour des circuits complexes synchrones. Elles présentent l'inconvénient d'un hystérésis dans la zone intermédiaire de la caractéristique $I(V)$ qui doit être supprimé avec une résistance en parallèle. L'ajout de cette résistance n'introduit pas seulement une diminution de la densité d'intégration sur puce mais aussi augmente les inductances et les capacités parasites. D'autres technologies ont été aussi développées pour augmenter la température de travail, par exemple la technologie nitrure de niobium (NbN) avec des jonctions SIS NbN/MgO/NbN fonctionnant à 9 K [22, 23] et la technologie YBa-CuO [24, 25, 26]. Ces dernières jonctions peuvent fonctionner jusqu'à 77 K mais ont une complexité maximum de 100 jonctions nettement inférieure à celle de la technologie Nb (environ 60000 jonctions [27, 28]). Pour cette raison cette technologie ne peut pas encore être utilisée pour la réalisation de circuits complexes comme un CAN ou un DSP. D'autre part la technologie NbN avec des jonctions à barrière tunnel de MgO a présenté jusqu'à maintenant des tensions caractéristiques inférieures à celle de la technologie Nb [29]. Pour toutes ces technologies de jonctions tunnel, la fréquence de fonctionnement maximum (directement proportionnelle à la tension caractéristique) d'un circuit RSFQ est aussi directement proportionnelle à la racine carrée de la densité de courant critique comme montré sur la figure 4.

L'introduction des jonctions auto-shuntées (SNS, Supraconducteur / Metal Normal / Supraconducteur) présentant une caractéristique naturellement amortie permettrait d'envisager des circuits RSFQ avec une densité d'intégration supérieure à ceux basés sur les

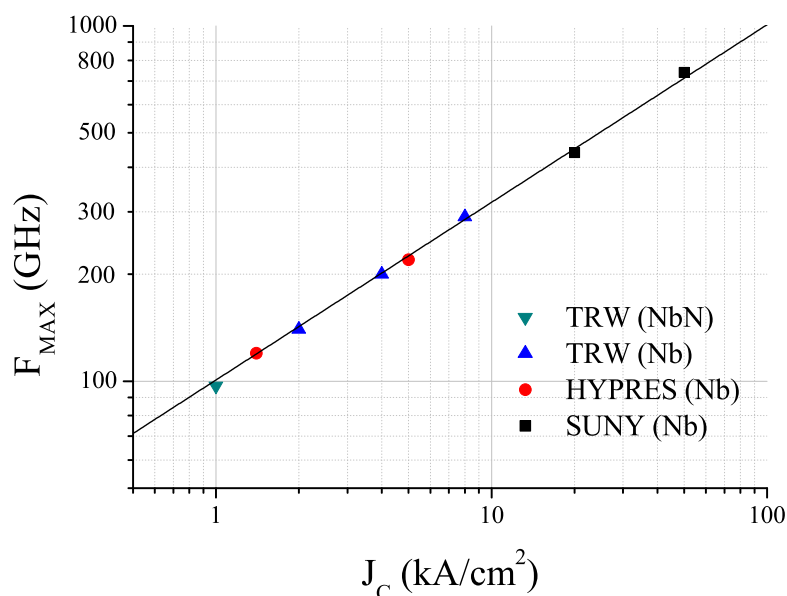


FIG. 4. Fréquences maximum en fonction de J_c du diviseur de fréquences utilisé comme critère d'évaluation des performances (*performance benchmark*) d'une technologie. Les technologies NbN [29] et Nb [19, 30, 31] sont indiquées pour chaque fabricant.

jonctions SIS shuntées en externe. Une des technologies au centre de ces nouvelles recherches est la technologie NbN [32] dont les jonctions ont une barrière de métal normal, le nitrure de tantale (Ta_xN). Pour ces types de jonctions, la relation fréquence-densité de courant critique n'est pas valable comme pour les jonctions tunnel, mais on peut avoir des tensions caractéristiques élevées même pour des densités de courants critiques comparables à celles de la technologie Nb. L'autre avantage par rapport à la technologie Nb ($T_c=9,2$ K), c'est que le nitrure de niobium est supraconducteur à 16 K. Cela est très attractif pour les télécommunications spatiales et en particulier pour les systèmes SDR embarqués sur satellite. En effet la température de fonctionnement des circuits RSFQ en technologie NbN peut atteindre 10 K, ce qui comporte une réduction de la masse du cryo-réfrigérateur ainsi qu'une autonomie supérieure à celle d'un réfrigérateur à 4,2 K pour un rendement de Carnot meilleur.

Objectif et plan de la thèse

En collaboration avec Alcatel Alenia Space (depuis peu Thales Alenia Space), cofinanciant cette thèse, il a été décidé d'explorer le potentiel de la technologie NbN du CEA Grenoble avec des jonctions Josephson NbN/ Ta_xN /NbN auto-shuntées. Cela permettrait de passer d'un système de répéteur traditionnel à bord d'un satellite (voir la figure 5) à

un système radio logicielle (SDR) comme présenté dans la figure 6. Il est évident que l'apport de la logique RSFQ ultra-rapide et de la supraconductivité concerne principalement l'étage d'entrée (*front-end*) comportant le filtre et le convertisseur analogique-numérique ainsi que l'étage de sortie (*back-end*). L'amplificateur bas bruit (LNA), qui s'avère probablement nécessaire, est aussi refroidi pour des questions de performance (réduction du bruit en particulier et liaisons entre le filtre et le CAN) du front-end.

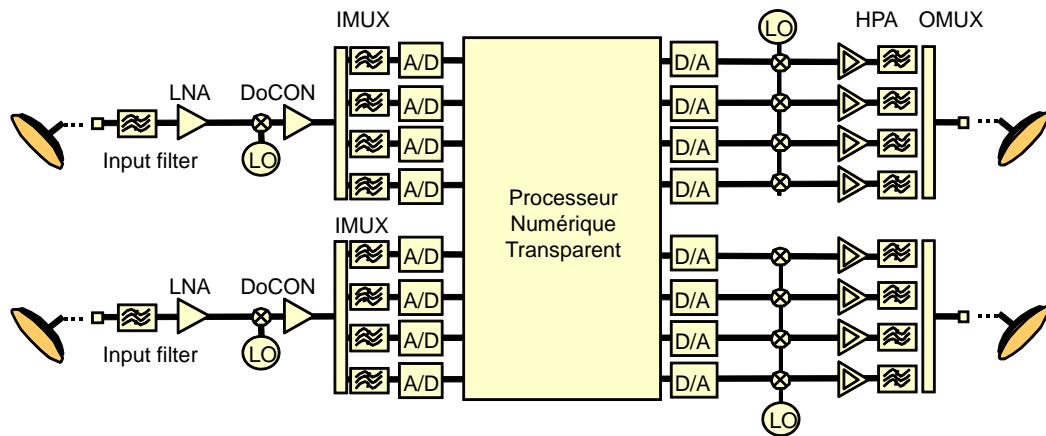


FIG. 5. Répéteur analogique transparent de satellite de télécommunication

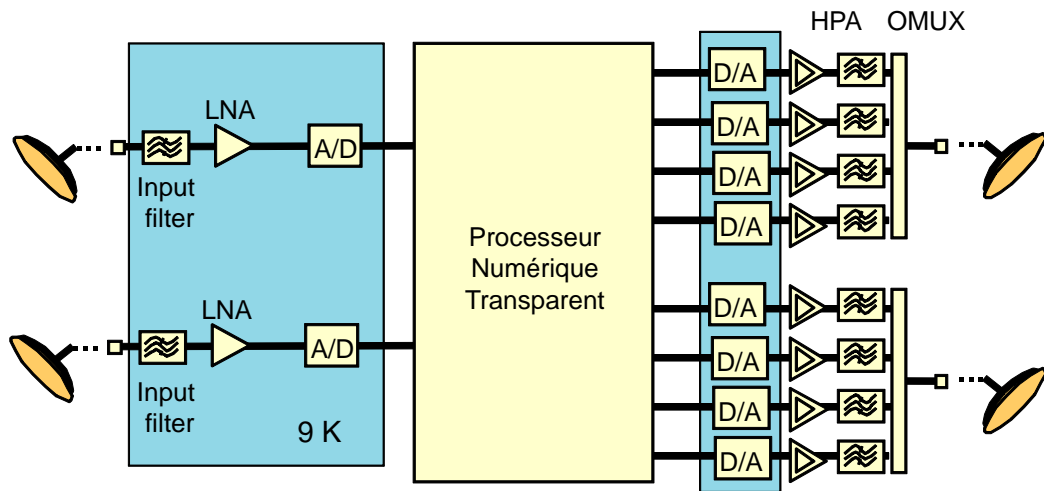


FIG. 6. Répéteur radio logiciel (SDR) transparent de satellite de télécommunication, qui intégrerait un étage d'entrée refroidi à 9K (aussi l'étage de sortie à 9K) et comportant un CAN en NbN.

L'objectif de cette thèse concerne donc l'étude d'un convertisseur analogique-numérique RSFQ NbN et de ses performances dont les spécifications sont reportées dans le tableau 2. Les conditions de réalisation sont aussi étudiées.

TAB. 2. SPÉCIFICATIONS DU CONVERTISSEUR ANALOGIQUE-NUMÉRIQUE EN TECHNOLOGIE NbN

Bande	Porteuse (f_c)	Echantillonnage (f_e)	Résolution	Témpérature
500 MHz	30 GHz	200 GHz	8 bits	9 K

Ce mémoire est divisé en cinq chapitres qui suivent cette introduction et qui précèdent les conclusions et les annexes :

chapitre 1 : on présente une courte description de la théorie de la supraconductivité et des phénomènes physiques associés. Cela s'étend du domaine des radiofréquences jusqu'à l'effet Josephson et l'électronique rapide supraconductrice. Des rappels de base sur les convertisseurs analogiques-numériques permettront de mieux comprendre l'état de l'art en fin de chapitre et d'introduire la recherche qui a été menée pendant la thèse.

chapitre 2 : on introduit les caractéristiques des matériaux et des procédés utilisés pour réaliser les simulations et les circuits. On présentera brièvement les deux procédés de fabrication qui permettent de réaliser les jonctions Josephson et le nouvel empilement à 10 niveaux pour la réalisation des circuits RSFQ. Les techniques de définition des motifs et des procédés critiques, nécessaires pour pouvoir dessiner les niveaux de masques, seront aussi présentées.

chapitre 3 : on présente la conception des portes logiques RSFQ dans la nouvelle technologie NbN comportant des jonctions auto-shuntées NbN/Ta_xN/NbN. La conception s'appuie sur des logiciels de simulation et de dessin définis lors de la thèse. Après la présentation des logiciels de simulation des portes et circuits, on présentera un étude préliminaire du modulateur Sigma-Delta, la tête du convertisseur analogique-numérique. On abordera la définition du filtre de décimation en terme de portes logiques RSFQ et de complexité ainsi que la problématique du test du convertisseur pour ce concentrer sur le dessin des portes logiques de base. On définira le dessin (layout) des circuits RSFQ et leur description électrique grâce à la simulation des inductances directement à partir du layout.

chapitre 4 : on décrit d'abord la fabrication des jonctions et des circuits sans rentrer dans le détail mais avec une attention particulière aux étapes critiques du procédé à 10 niveaux. Ensuite on présentera la mise en place et la caractérisation du banc de mesure cryogénique qui a été conçu lors de la thèse. On présentera ensuite des caractérisations de jonctions Josephson ainsi que des résonateurs qui permettent d'évaluer la variation de la longueur de pénétration du NbN et en outre de valider le système de mesure radiofréquence.

chapitre 5 : en se basant sur le procédé de la fonderie HYPRES pour 4500 A/cm² on présentera les dessins des circuits destinés à être comparés avec les circuits NbN.

Les simulations de la jonctions Josephson Nb/AIO_x/Nb, d'un diviseur de fréquence et d'un registre à décalage ainsi que les dessins dans 11 niveaux de masques seront montrés. Après le test quasi-statique des circuits fabriqués par la fonderie on présentera une comparaison entre la technologie standard de Hypres et celle en NbN à 9K en phase de développement au CEA-Grenoble.

Annexe A on décrit l'environnement de simulation mis en place et utilisé pendant la thèse.

Annexe B on présente la composition de la plaquette de 3 pouces réalisée dans la salle blanche PROMES du CEA-Grenoble DRFMC/SPSMS pendant la thèse.

Annexe C on reporte les règles de dessin du procédé de la fonderie HYPRES pour 4500 A/cm² que l'on a utilisé pour dessiner les circuits.

Chapitre 1

Présentation des circuits logiques Josephson et des CANs

On présente une courte description de la théorie de la supraconductivité et des phénomènes physiques associés. Cela s'étend du domaine des radiofréquences jusqu'à l'effet Josephson et l'électronique rapide supraconductrice. Des rappels de base sur les convertisseurs analogiques-numériques permettront de mieux comprendre l'état de l'art en fin de chapitre et introduire la recherche qui a été menée pendant la thèse.

1.1 Les supraconducteurs et la logique RSFQ

Les supraconducteurs sont en général des métaux ou des oxydes dont la résistance, au dessous d'une certaine température (4,2 K observée pour le mercure par Onnes en 1911 pour la première fois), devient nulle. On définit cette température comme critique [33], T_c . Au dessus de T_c on parle d'état normal et au dessous d'état supraconducteur. Il existe des supraconducteurs, comme YBaCuO et d'autres oxydes, dont la température critique est élevée (de 77K à 192 K) sont appelés HTS (High Temperature Superconductor) pour les distinguer des matériaux, comme le Niobium (Nb) et le nitrure de Niobium (NbN), qui sont appelés LTS (Low Temperature Superconductor). A côté de cette grandeur il y a deux autres paramètres qui décrivent la manifestation de ce phénomène. Il s'agit du champ magnétique critique, H_c , et de la densité de courant électrique, J_c , circulant dans un échantillon. Ces trois paramètres définissent une surface dans l'espace T_c , H_c et J_c , comme celle en figure 1.1, qui délimitent la frontière entre la supraconductivité et l'état normal.

Depuis la découverte de la supraconductivité plusieurs théories ont été proposées pour mieux comprendre ce phénomène. En s'appuyant sur le modèle *des deux fluides* proposé par H. G. B. Casimir et C. J. Gorter en 1934 [34], les frères F. et H. London proposèrent un an plus tard la première théorie de la supraconductivité en introduisant la notion de

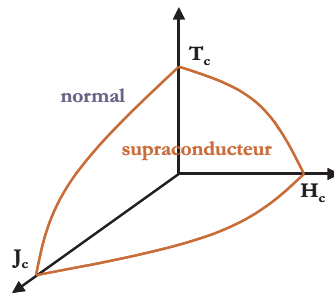


FIG. 1.1. Surface délimitant l'extension volumique de l'état supraconducteur.

profondeur de pénétration λ_L . En effet en présence d'un champ magnétique un matériau supraconducteur expulse à l'extérieur les lignes d'induction magnétique, sauf dans une fine couche superficielle (voir figure 1.2). Cet effet d'écrantage est dû à des supercourants de surface induits, qui circulent sur une profondeur λ_L et produisent un champ magnétique interne opposé à celui extérieur.

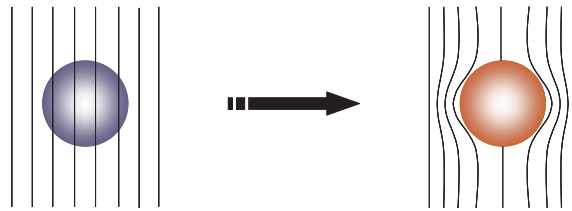


FIG. 1.2. Les lignes du flux magnétique traversent le métal dans son état normal ($T > T_c$, à gauche) et sont expulsées quand le métal est dans son état supraconducteur ($T < T_c$, à droite). Le champs magnétique ne pénètre que sur la longueur de London, λ_L . Cet effet diamagnétique est connu comme l'effet Meissner.

Le modèle à deux fluides suppose la coexistence au sein du supraconducteur de deux sortes d'électrons de conduction, les uns se comportant comme dans un métal classique et les autres présentant la particularité de pouvoir transporter un courant sans dissipation d'énergie. Bien que fructueux, ce modèle n'explique pas la raison de la coexistence de ces deux sortes d'électrons en dessous de la température critique.

1.1.0.1 Théorie de Ginzburg-Landau (1950)

Les deux physiciens russes établirent une théorie complète basée sur les transitions de phase du second ordre, introduisant une fonction d'onde complexe :

$$\Psi(r,t) = |\Psi(r,t)|e^{j\varphi} \quad (1.1)$$

qui décrit les porteurs des charges dans un métal comme un phénomène cohérent de densité $|\Psi(r,t)|^2$ et phase φ . Dans un matériau supraconducteur, les porteurs sont des paires d'électrons ; ils occupent donc un même niveau fondamental représenté par une fonction d'onde Ψ .

Cette théorie, valable près de la température critique, rend bien compte des propriétés macroscopiques décrites par la théorie initiale de London et permet aussi d'expliquer le gradient de la densité des porteurs supraconducteurs, en introduisant une autre longueur caractéristique, la longueur de cohérence ξ_s . Cette longueur est la distance sur laquelle la densité d'électrons supraconducteurs passe de sa valeur maximale (état supraconducteur) à 0 (état normal), et, comme la longueur de pénétration λ_L , varie avec la température. Si la longueur de cohérence est inférieure à la longueur de pénétration, dans les supraconducteurs peuvent se former des zones tubulaires de rayons ξ_s , appelées *vortex*, à l'intérieur desquelles le supraconducteur se comporte comme un métal normal. On qualifie de « type II » les supraconducteurs pour lesquels se produit cet effet ($\xi_s < \lambda_L$).

1.1.0.2 Théorie microscopique BCS

La théorie de Ginzburg-Landau est phénoménologique et donc n'explique pas l'origine microscopique de la supraconductivité. C'est en 1957 que J. Barden, L. N. Cooper et J. R. Schrieffer montrent clairement la base de ce phénomène en illustrant l'appariement des électrons en *paires de Cooper*, particules pouvant se condenser dans un état fondamental d'énergie plus basse que celle du métal normal (électrons non appariés). La différence d'énergie entre l'état supraconducteur et l'état normal est appelé *gap* Δ d'énergie. La théorie BCS permet de calculer la valeur de cette énergie, de connaître sa dépendance en température et de la relier à la température critique T_c , à laquelle l'énergie s'annule :

$$\Delta(T) = 3,2k_B T_c (1 - T/T_c)^{1/2} \quad (1.2)$$

L'énergie de liaison caractéristique d'une paire de Cooper est égale à 2Δ . Il reste donc le problème d'expliquer cet appariement compte tenu de la répulsion coulombienne.

À l'intérieur du réseau atomique, le passage d'un électron attire localement les ions positifs. Ces ions, plus lourds que l'électron, ne reviennent que lentement à leur position d'origine. Cette inertie des ions va créer un excès de charges positives local qui va attirer un autre électron qui se trouve ainsi, par l'intermédiaire d'un phonon (vibration du réseau atomique), apparié au précédent (Fig. 1.3). L'interaction électron-phonon est alors plus forte que la répulsion coulombienne et c'est ce qui est à la base de la supraconductivité. Les deux électrons appariés ayant la même quantité de mouvement mais de signe opposé, les paires de Cooper ont une quantité de mouvement nulle. C'est la condition pour que l'énergie de la paire soit inférieure à la somme des énergies des électrons. Ils forment un ensemble qui se comporte comme un *boson* : les paires se déplacent sans rencontrer la moindre résistance. D'où la supraconductivité¹.

¹Il faut bien sûr que ces paires se déplacent avec une énergie cinétique plus petite que le gap, sinon la

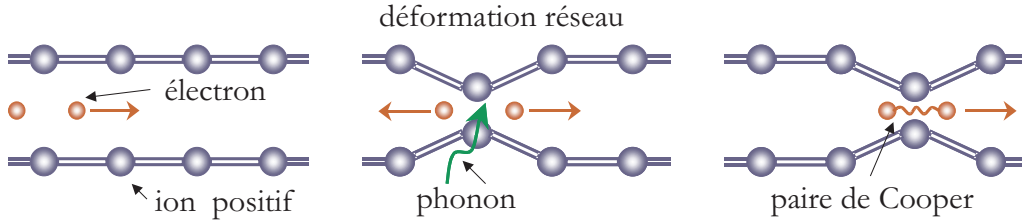


Fig. 1.3. Illustration de la théorie BCS. On voit le réseau atomique se déformer au passage d'un électron et en attirer un deuxième formant la paire de Cooper.

1.1.0.3 Quantification du fluxoïde

En se basant sur la théorie de Ginzburg-Landau (1.1.0.1), la densité de courant supraconducteur, donc des paires de Cooper, est donnée par la relation :

$$\vec{J}_s = \frac{1}{\lambda_L^2} \left(\frac{\hbar}{2e} \vec{\nabla} \varphi - \vec{A} \right) \quad (1.3)$$

où \vec{A} est le potentiel vecteur du champ électromagnétique. Or la phase φ de la fonction d'onde doit décrire le même état Ψ (Eq. 1.1) quand elle est décalée d'un multiple entier de 2π . On peut donc écrire pour un chemin fermé à l'intérieur d'un supraconducteur :

$$\oint \vec{\nabla} \varphi \cdot d\vec{l} = 2\pi n \quad (1.4)$$

En utilisant cette équation, on obtient alors :

$$\Phi' \equiv \Phi + \oint \lambda_L^2 \vec{J}_s \cdot d\vec{l} = n\Phi_0 \quad (1.5)$$

où Φ est le flux magnétique à travers la surface enclose par le chemin et Φ_0 est appelé *quantum de flux magnétique* et vaut :

$$\Phi_0 \equiv \frac{h}{2e} = 2,07 \cdot 10^{-15} \text{Wb} \quad (1.6)$$

D'après l'Eq. 1.5 on peut déduire que dans une surface supraconductrice enclose par un chemin fermé le *fluxoïde* Φ' est quantifié. Si on se met dans le cas où la surface, interne au supraconducteur, est bien éloignée du bord du matériau, à une distance grande par rapport à λ_L , il n'y a pas de courant et le flux magnétique est quantifié :

$$\Phi = n\Phi_0 \quad (1.7)$$

paire est cassée.

Si le champ varie au cours du temps, les courants d'écrantage au bord du supraconducteur sont modifiés pour conserver la valeur du fluxoïde. Comme on verra, ce phénomène de quantification est à la base du fonctionnement des jonctions Josephson dans la logique RSFQ.

1.1.1 Les lignes de transmission supraconductrices

L'interaction d'un champ électromagnétique avec un conducteur est principalement déterminée par le courant des porteurs représenté par la conductivité électrique σ . Dans le cas d'un métal normal lorsqu'une onde électromagnétique se propage le long d'une ligne de transmission aux fréquences microondes et RF, le courant ne circule que sur la surface du conducteur (*effet de peau*) et sur une profondeur (figure 1.4) égale à :

$$\delta = \sqrt{\frac{2}{\omega\mu_0\sigma}} \quad (1.8)$$

et donc dépendante de la fréquence ω et de la conductivité (généralement réelle pour des fréquences inférieures à 100 GHz). L'impédance de surface Z_{S_n} dans le métal normal est donnée par l'expression suivante [35] :

$$Z_{S_n} = R_{S_n} + jX_{S_n} = \frac{1 + j}{\sigma\delta} \quad (1.9)$$

dont la partie réelle, R_{S_n} , représente la résistance de surface et donc les pertes de puissance par unité de surface et la réactance, X_{S_n} , l'énergie stockée dans le conducteur. Dans le cas des supraconducteurs, selon le modèle à deux fluides, on peut considérer qu'il existe une fraction d'électrons de conduction à l'état supraconducteur (la paire de Cooper) et la partie restante dans l'état normal, ce qui contribue à une conductivité complexe, $\sigma = \sigma_1 - j\sigma_2$, σ_2 étant la conductivité due à l'état supraconducteur. L'impédance de surface Z_{S_s} est donnée par l'expression suivante [35] :

$$Z_{S_s} = R_{S_s} + jX_{S_s} = \frac{\sigma_1}{2\sigma_2}\omega\mu_0\lambda_L + j\omega\mu_0\lambda_L \quad (1.10)$$

λ_L étant la longueur de pénétration London définie, par analogie à celle pour l'effet de peau, comme suit :

$$\lambda_L = \sqrt{\frac{1}{\omega\mu_0\sigma_2}} = \sqrt{\frac{m^*}{\mu_0 n_s^* e^{*2}}} \quad (1.11)$$

qui ne dépend pas de ω . La quantité $\mu_0\lambda_L$ représente l'*inductance cinétique*, L_K , due au mouvement des paires des Cooper.

Si on se trouve au dessous de la température critique du supraconducteur, R_{S_s} , qui est fonction de la conductivité à l'état normal et qui donc contrôle les pertes dans le supraconducteur, devient de plusieurs ordres de grandeur inférieure à celle du métal normal,

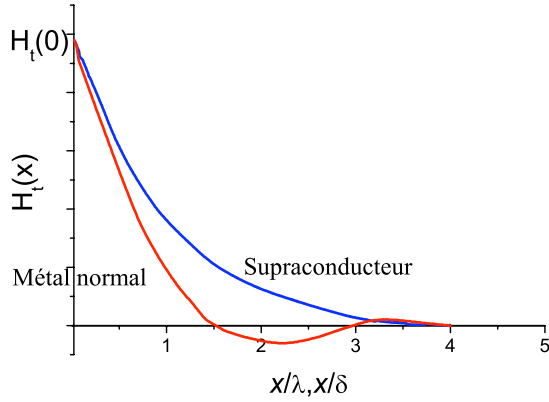


FIG. 1.4. Pénétration du champ magnétique HF tangentiel dans un supraconducteur et un métal normal [35].

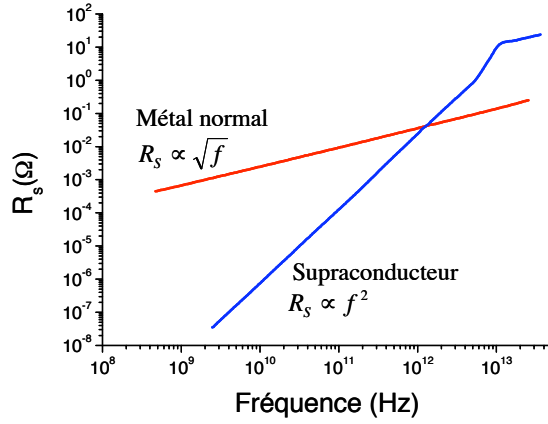


FIG. 1.5. Résistance de surface en fonction de la fréquence d'un supraconducteur par rapport à un métal normal [35].

jusqu'à une certaine fréquence f_c (appelée *cross-over frequency*) comme le montre la figure 1.5, où la résistance de surface du supraconducteur et celle du cuivre, refroidi à la même température, sont égales. Il existe encore une autre fréquence critique, supérieure à f_c dans les matériaux HTS² et inférieure dans les LTS³, appelée *fréquence de gap*⁴ :

$$f_g = \frac{2\Delta(T)}{h} \quad (1.12)$$

au delà de laquelle l'excitation des quasi-particules (électrons et trous) devient trop importante et les pertes augmentent. Pour la plupart des supraconducteurs f_g est très élevée (~ 1 THz) en se situant dans le spectre des ondes millimétriques et sub-millimétriques.

Les avantages des supraconducteurs par rapport aux métaux normaux dans le domaine des radiofréquences sont donc évidents : les faibles pertes de conduction, dus à une faible résistance de surface, et la faible pénétration du champ magnétique. D'autre part la température joue un rôle très important, car plus on s'approche de T_c plus les pertes augmentent dues à une croissance de la conductivité dans l'état normal. La même variation de température qui pour un métal normal refroidi ne peut que comporter une faible dégradation des performances, peut avoir des effets importants dans un supraconducteur.

Les supraconducteurs trouvent donc une application dans les systèmes où une performance élevée est requise, par exemple les systèmes de réception satellite à très bas bruit

²Supraconducteur à haute T_c (High Temperature Superconductor) comme YBCO.

³Supraconducteur à basse T_c (Low Temperature Superconductor) comme le Nb, le NbN et le NbTiN.

⁴Au delà de cette fréquence le modèle à deux fluides, qui explique de façon simple la conductivité complexe des supraconducteurs, diverge de la théorie microscopique de Mattis et Bardeen [36], qui est alors adoptée.

où les fréquences en jeu sont de l'ordre de dizaines de gigahertz. Les pertes par conduction à ces fréquences sont donc réduites au minimum grâce à la faible résistance de surface, qui n'est pas égale à zéro (conducteur parfait) suite à l'inertie des paires de Cooper. Des lignes microrubans ou coplanaires peuvent donc être utilisées pour filtrer des signaux à plus de 100 GHz, avec des facteurs de qualité très élevés (~ 10000 pour les résonateurs) et permettent de réduire les pertes des interconnexions, un des facteurs limitant la vitesse de fonctionnement des circuits semi-conducteurs. Comme pour les lignes microruban (ou coplanaires) réalisées avec des métaux normaux, la ligne de transmission supraconductrice (par exemple à plans parallèles en figure 1.6) peut être décrite avec le circuit équivalent à éléments distribués R, L, C et G comme en figure 1.7 le long de la quelle se propagent

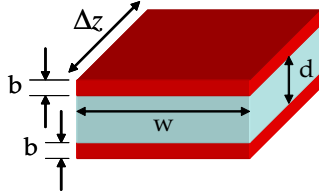


FIG. 1.6. Ligne de transmission à plans parallèles.

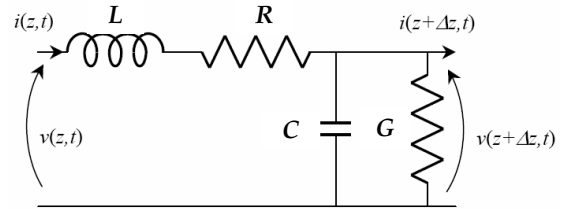


FIG. 1.7. Circuit équivalent d'une ligne de transmission.

des modes quasi-TEM (transverse électromagnétique) [37]. L'impédance caractéristique de la ligne est donc donnée par la formule suivante :

$$Z_c = \sqrt{(R + j\omega L)/(G + j\omega C)} \quad (1.13)$$

où la valeur de l'inductance L doit tenir compte aussi de l'inductance cinétique ce qui permet d'écrire la contribution de la ligne supraconductrice comme suit :

$$R + j\omega L = 2Z_{S_s}/w + j\omega L_g = 2R_{S_s}/w + j\omega(2L_K/w + L_g) \quad (1.14)$$

où w est la largeur de la ligne et L_g est l'inductance géométrique dû au flux magnétique entre les deux supraconducteurs. Or, comme vu précédemment, la résistance de surface dépend de la fréquence et pour des valeurs proches de la fréquence de gap l'atténuation de la ligne devient très importante (~ 1000 dB/m pour $T_c/2$). Pour ce qui concerne la longueur de pénétration, elle augmente avec la température et aussi avec le champ magnétique radiofréquence. Ceci implique des décalages en fréquence sur les résonateurs et les filtres RF supraconducteurs. La fréquence de résonance est inversement proportionnelle à l'inductance L_R du résonateur d'après $\omega_0 = 1/\sqrt{L_R C_R}$. Si donc on augmente la puissance du champ RF, la longueur de pénétration London augmente et aussi l'inductance cinétique provoquant une diminution de la fréquence de résonance. De la même façon à puissance RF constante, si on augmente la température, ω_0 devient plus petite⁵.

⁵Des techniques expérimentales [38, 39, 40, 41] permettent de calculer R_{S_s} et λ_L à partir de la réponse

1.1.2 La jonction Josephson

La jonction Josephson est constituée par deux supraconducteurs (électrodes) séparés par une barrière d'isolant ou de métal normal. En figure 1.8 on représente une jonction ayant les électrodes en nitrure de niobium (NbN) et la barrière en nitrure de tantale (TaN). Le symbole électrique est donné en figure 1.9.

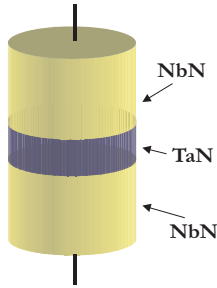


FIG. 1.8. Exemple de structure d'une jonction Josephson. Les matériaux indiqués se réfèrent à une jonction SNS.



FIG. 1.9. Symbol électrique de la jonction Josephson.

On peut voir la jonction comme un élément qui commute d'un état supraconducteur vers un état normal et vice-versa. En effet si le courant circulant à travers la jonction est inférieur au courant critique, les paires de Cooper passent par effet tunnel (dans le cas d'une barrière d'isolant) ou par effet Andreev de proximité (dans le cas d'une barrière de métal normal) d'une électrode à l'autre sans rencontrer aucune résistance. La tension aux bornes de la jonction est nulle. Si au contraire le courant dans la jonction dépasse la valeur critique, les paires de Cooper sont brisées⁶ et le courant circule rencontrant la résistance de l'état normal. La tension dépasse la valeur du gap et croit donc linéairement avec le courant. On est dans l'état normal du métal.

Comme vu précédemment, dans chaque électrode les porteurs de charges sont décrits par une fonction d'onde (1.1) comme en figure 1.10. À chaque électrode supraconductrice est donc associée une densité des paires de Cooper ayant pour phases φ_1 et φ_2 pour l'électrode de gauche et de droite respectivement. Lors qu'il y a le passage des porteurs d'un côté à l'autre on atteint une différence de phase :

$$\phi = \varphi_1 - \varphi_2 \quad (1.15)$$

de laquelle dépend le supercourant traversant la jonction et la tension à ses bornes. À partir de l'équation de Schrödinger [42] on obtient que la tension aux bornes de la jonction est

fréquentielle en transmission d'un résonateur.

⁶On parle de quasi-particules

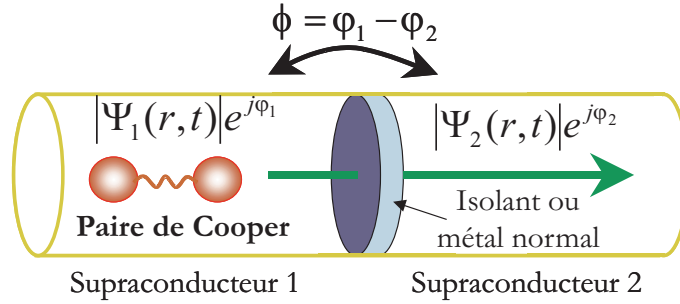


FIG. 1.10. Principe de fonctionnement de la jonction Josephson. Les paires de Cooper passe d'une électrode à l'autre déterminant une différence de phase Φ , aux bornes de la barrière, décrite par l'effet Josephson.

directement proportionnelle à la dérivée temporelle de la différence de phase :

$$V = \frac{\Phi_0}{2\pi} \frac{d\phi}{dt} \quad (1.16)$$

et le supercourant varie sinusoidalement avec la différence de phase :

$$I_s = I_c \sin \phi \quad (1.17)$$

où I_c est le courant maximal des paires de Cooper appelé *courant Josephson critique*, qui est directement proportionnel à la surface de la jonction.

Si on considère l'équation (1.16) on peut extraire deux conséquences directes. Si aux bornes de la jonction la tension est nulle, alors la différence de phase ϕ a une valeur constante ϕ_{cte} . Si donc on substitue cette valeur dans l'équation (1.17), on obtient :

$$I_s = I_c \sin \phi_{cte} = I_{cte} < I_c \quad (1.18)$$

Il y a donc un courant constant, plus faible que le courant critique (maximal), qui circule dans la jonction se comportant donc comme un court-circuit. On parle d'*effet Josephson continu*. On considère maintenant la même équation (1.16) mais avec une tension constante, V_0 , aux bornes de la jonction. Cette fois la différence de phase ϕ croit linéairement avec le temps. Ceci signifie, d'après la (1.17), que le supercourant oscille comme une sinusoïde. Il vérifie ce qu'on appelle l'*effet Josephson alternatif*. La fréquence d'oscillation, appelé fréquence Josephson, est la suivante :

$$f_J = \frac{V_0}{\Phi_0} \simeq 483 \text{MHz}/\mu\text{V} \quad (1.19)$$

et permet de décrire l'énergie nécessaire pour faire passer la paire de Cooper d'un électrode à l'autre selon la loi suivante :

$$E_C = hf_J = 2eV_0 \quad (1.20)$$

On imagine de polariser maintenant la jonction avec un courant I initialement inférieur au courant critique. Le courant circulant dans la jonction est alors donné par la relation 1.17. Si on augmente le courant au dessus du courant critique il apparaît un effet résistif, dû à la transition vers l'état normal, et un effet capacitif dû au recouvrement de surface des électrodes près de la barrière. D'après ces considérations le dessin en figure 1.11 décrit le modèle RCSJ (Resistively and Capacitively Shunted Junction), représentant une jonction Josephson idéale, J , en parallèle à une capacité, C , et une résistance, R . La valeur de la

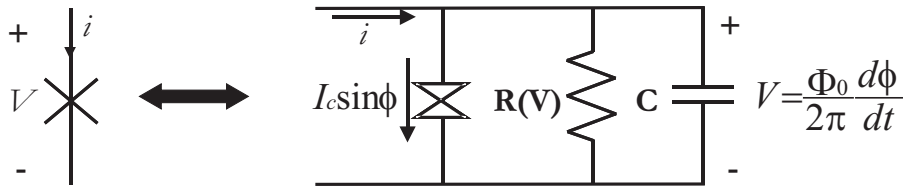


FIG. 1.11. Modèle RCSJ de la jonction Josephson.

capacité (négligeable dans le cas d'une barrière de métal normal, on parle dans ce cas de modèle RSJ) dépend de l'épaisseur de la barrière et vaut :

$$C = A \frac{\epsilon_0 \epsilon_r}{d} \quad (1.21)$$

où A et d représentent la surface et l'épaisseur de la barrière respectivement.

Le courant de polarisation de la jonction sera donc :

$$I = C \frac{dV}{dt} + \frac{V}{R} + I_s \quad (1.22)$$

qui, d'après les relations 1.16 et 1.17, peut être écrite comme une équation de phase :

$$I = C \frac{\Phi_0}{2\pi} \frac{d^2\phi}{dt^2} + \frac{\Phi_0}{2\pi R} \frac{d\phi}{dt} + I_c \sin \phi \quad (1.23)$$

Si on normalise l'équation (1.23) au courant critique, I_c , on obtient, en définissant $\tau = (2\pi R I_c / \Phi_0) t$ et $\dot{\phi} = d\phi/d\tau$, la relation suivante :

$$i = \beta_c \ddot{\phi} + \dot{\phi} + \sin \phi \quad (1.24)$$

Le paramètre β_c est appelé paramètre de Stewart-McCumber et dépend de la capacité C et de la résistance R selon la formule suivante :

$$\beta_c = \frac{2\pi I_c R(V)^2 C}{\Phi_0} \quad (1.25)$$

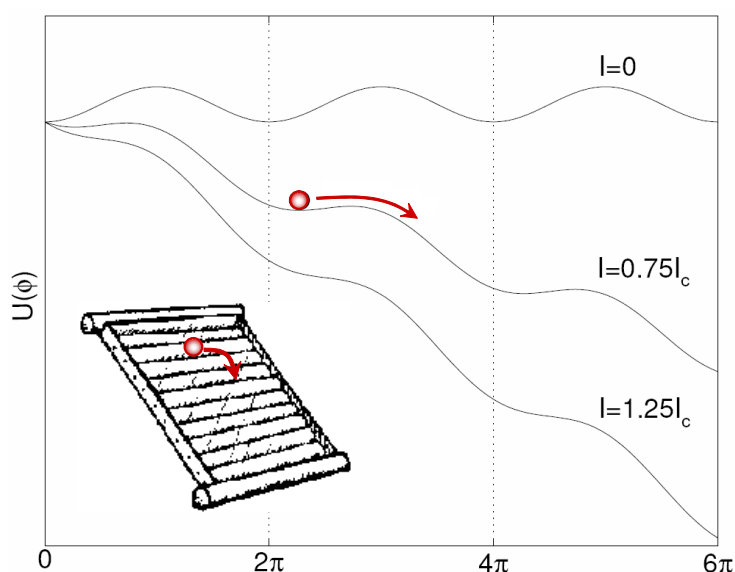


FIG. 1.12. Analogie du comportement de la jonction Josephson avec un plan incliné modulé.

L'équation 1.24 est analogue à celle qui décrit le mouvement d'une particule roulant le long d'un plan incliné de surface similaire à celle d'une «planche à laver» (en anglais *tilted washboard model*) dans un environnement visqueux comme en figure 1.12. La pente correspond à la source de courant I et les repliements du washboard à $I_c \sin \phi$. La masse ou inertie de la particule et la viscosité du fluide représentent, respectivement, la capacité et la conductance du modèle RCSJ.

Si la particule est placée initialement sur le washboard avec une pente (courant) nulle ou inférieur à un angle critique, la particule (jonction Josephson) reste arrêtée. Si on augmente la pente graduellement elle se décalera d'un repliement. En augmentant encore l'inclinaison la particule commencera à rouler le long du washboard et rejoindra une vitesse moyenne représentant la tension moyenne, proportionnelle à la vitesse de phase, d'une jonction Josephson polarisée au dessus de son courant critique. Si maintenant on diminue l'inclinaison en revenant à la position initiale où la particule a commencé à rouler, à cause de son inertie la particule ne s'arrêtera pas immédiatement, sauf si la viscosité du fluide est suffisante pour bloquer son mouvement. C'est en contrôlant la capacité (inertie de la particule) et la résistance (la viscosité du fluide) que l'on contrôle la jonction Josephson passant d'un comportement hystérétique (inertie élevée) à un comportement amorti (inertie négligeable par rapport à la viscosité).

1.1.2.1 Jonctions tunnel Josephson

Ce sont les jonctions pour lesquelles l'effet Josephson [43] a été prédit et sur lesquelles ont été réalisées les premières expériences observant le courant supraconducteur à tension nulle [44] et sa dépendance à la variation du champ magnétique [45]. Les paires de Cooper et les quasi-particules traversent par effet tunnel la barrière de potentiel créée par une fine couche d'isolant ($\sim 1\text{nm}$) négligeable par rapport au parcours libre moyen des électrons. Pour une barrière tunnel (isolante) entre deux métaux d'épaisseur t de hauteur de barrière de potentiel H (du niveau de Fermi des électrodes jusqu'à la bande de conduction ou de valence de l'isolant) et de surface S , la résistance tunnel va varier comme suit [42] :

$$R_N = \frac{K(H)}{S} e^{at\sqrt{H}} \quad (1.26)$$

alors que la capacité C varie comme S/t d'après la relation 1.21. Un résultat important est que le produit $R_n I_c$, appelé *tension caractéristique*, ne dépend d'aucun paramètre de la barrière mais seulement de la température et donc du gap d'énergie $\Delta(T)$ des électrodes supraconductrices. Dans le cas d'électrodes identiques ce produit s'exprime par la relation de Ambegaokar et Baratoff [46] :

$$R_n I_c = \frac{\pi}{2} \frac{\Delta(T)}{e} \tanh \frac{\Delta(T)}{2k_B T} \quad (1.27)$$

Il est clair que plus la tension caractéristique est élevée plus la fréquence des oscillations augmente proportionnellement et les applications de ces jonctions peuvent être multiples, en prenant excepté la valeur de la capacité intrinsèque C non négligeable qui cause un hystérésis ($\beta_c > 1$) sur la caractéristique $I(V)$ (voir la figure 1.13). En effet une fois que la jonction dépasse son état de tension nulle par l'injection d'un courant supérieur au courant critique, le courant de retour ne revient pas à I_c mais à une valeur I_r inférieure, appelée *courant de recapture*. Le rapport $\alpha = I_r/I_c$ nous permet de calculer avec une bonne approximation [47] le paramètre de Stewart-McCumber comme suit :

$$\beta_c = \frac{2 - (\pi - 2)\alpha}{\alpha^2} \quad (1.28)$$

En logique il est souhaitable que la commutation de la jonction ne présente pas d'hystérésis⁷. Cela est vérifié pour une courant de recapture très proche, voir même égal au courant critique, autrement dit il est exigé un facteur d'amortissement, β_c , proche de 1. Pour diminuer ce facteur il est nécessaire d'augmenter la densité de courant critique (en réduisant R_n) ou d'ajouter une résistance externe de «shunt» en parallèle avec la jonction ou encore d'augmenter l'épaisseur de la barrière. Dans ce dernier cas les matériaux qui s'y prêtent le mieux ont un comportement métallique⁸.

⁷Il est aussi possible une logique de type «non latching» si la jonction tunnel est placée sur une ligne de transmission dont le produit de l'impédance caractéristique fois le courant croise la caractéristique $I(V)$ de la jonction au dessus du courant de retour comme mis en évidence par la ligne verte dans la figure 1.13

⁸Un des premiers exemples a été une membrane de silicium mono-cristallin [48].

1.1.2.2 Autres types de liens faibles Josephson

Il existe différentes structures [49] de liens faibles dont la plus simple et évidente est de type «sandwich» (comme dans la figure 1.8) où la barrière ayant un comportement métallique se trouve entre les deux supraconducteurs. Dans ce cas si entre le métal normal et les supraconducteurs il existe un contact électrique propre, certaines paires de Cooper vont pénétrer dans la barrière par effet de proximité [50]. Il se vérifie un couplage cohérent des électrons et des trous dans le métal normal et une brisure de la paire de Cooper dans le supraconducteur, les deux dus aux réflexions d'Andreev à phase cohérente à la surface supraconducteur-métal normal. L'amplitude du gap d'énergie de la paire dans le métal normal diminue de façon exponentielle sur la longueur de cohérence ξ_N de la barrière. D'autre part le gap dans le supraconducteur devient inférieur à la valeur à l'équilibre sur la longueur de cohérence du supraconducteur ξ_S . L'épaisseur de la barrière, c'est-à-dire la longueur L du chemin des porteurs, va influencer la valeur du gap de la paire de Cooper dans le métal normal et donc la quantité des paires (le courant supraconducteur) qui peuvent traverser la barrière. En réalité il existe une longueur effective L_{eff} qui doit être supérieure à la longueur géométrique L due à l'effet de proximité. Plus faible est la conductivité de la barrière plus importante sera la concentration du courant et donc les effets de proximité diminueront et $L_{eff} \approx L$. C'est lorsque on a $L_{eff} \ll \xi_N$ (on parle de lien *court*⁹), que l'effet Josephson se manifeste. Dans ce cas le passage du courant supraconducteur peut encore dépendre du libre parcours moyen l dans le métal normal et donc du changement de la longueur de cohérence induite ξ_N . Si $\xi_N \ll l$, limite propre (*clean*) [49], on a :

$$\xi_{Nc} = \frac{\hbar v_n}{2\pi k_B T} \quad (1.29)$$

où v_n est la vitesse de Fermi dans le métal normal, par contre si $\xi_n \gg l$, limite sale (*dirty*) [49], on a :

$$\xi_{Nd} = \sqrt{\frac{\hbar v_n l}{6\pi k_B T}} \quad (1.30)$$

On peut donc décrire approximativement la densité de courant supraconducteur critique, donc maximale, pouvant traverser la barrière à partir de l'expression suivante :

$$I_c \approx \frac{\pi}{2e\rho_n \xi_n} \frac{\Delta_i^2}{k_B T_c} e^{-L/\xi_n} \quad (1.31)$$

où ρ_n est la résistivité de la barrière et Δ_i est la valeur du gap à l'interface supraconducteur-métal normal. Ce dernier paramètre, dépend fortement de l'adaptation des propriétés de transport électronique entre le métal et le supraconducteur donnée par la relation suivante [51] :

$$\delta = \frac{\rho_S \xi_S}{\rho_N \xi_N} \quad (1.32)$$

⁹Si $L_{eff} \gtrsim \xi_s$ on parle de lien *long*.

Plus ce facteur diminue plus l'adaptation est meilleure et l'interface rigide, donc Δ_i augmente et tend vers la valeur du gap à l'équilibre (cas d'une barrière en isolant). On peut donc déduire que dans le cas des jonctions SNS la barrière joue un rôle très important en terme de résistivité et d'épaisseur, car à résistivité fixe le courant diminue exponentiellement si L augmente. Si ρ_n et L sont fixes, le courant diminue en augmentant la température, dû à la supraconductivité des électrodes de la jonction. D'autre part la capacité de la jonction est réduite grâce à la conductivité de la barrière et à son épaisseur ($\sim 10\text{nm}$). Ce type de jonctions Josephson permet donc d'obtenir plus facilement des facteurs d'amortissement de l'ordre de 1 et la caractéristique $I(V)$ ne présente plus l'hystérésis comme le montre la figure 1.14.

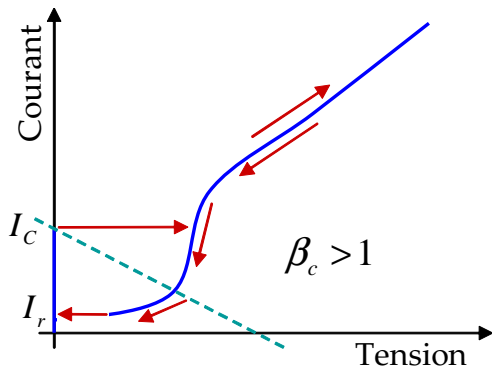


FIG. 1.13. Caractéristique $I(V)$ d'une jonction hystérique SIS.

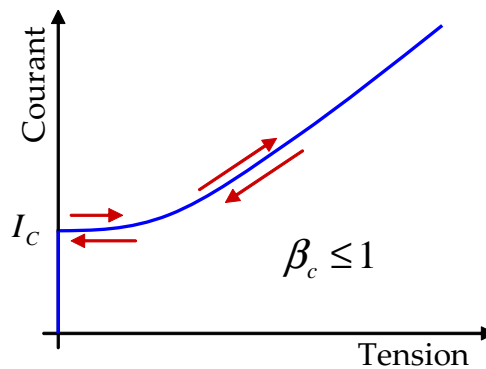


FIG. 1.14. Caractéristique $I(V)$ d'une jonction amortie SNS.

1.1.2.3 Propriétés électromagnétiques de l'effet Josephson

Lorsqu'un champ électromagnétique uniforme H est appliqué perpendiculairement à un côté de la jonction dans son plan (direction y d'après la figure 1.15), la différence de

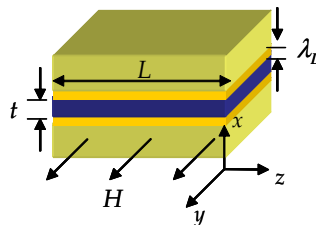


FIG. 1.15. Pénétration du champ magnétique dans la section d'une jonction Josephson (champ appliqué dans le plan de la barrière)

phase entre les deux électrodes (supposées du même matériau) varie perpendiculairement au champ H (suivant z) de la façon suivante [35] :

$$\phi(z) = \phi(0) + 2\pi \frac{\mu_0 d H}{\Phi_0} z; \quad \text{avec} \quad d = 2\lambda_L + t \quad (1.33)$$

d étant l'épaisseur de pénétration du flux dans la section de la jonction. En conséquence la densité de courant traversant la jonction varie selon l'axe z ($J(z) = J_c(z) \sin \phi(z)$) et le courant total sera donc dépendant du champ appliqué. Dans le cas d'une jonction rectangulaire comme en figure 1.15, si la longueur L est inférieure ou égale à la *longueur de pénétration Josephson* :

$$\lambda_J = \sqrt{\frac{\phi_0}{2\pi\mu_0 d J_c}} \quad (1.34)$$

correspondant à l'écrantage du champ dans le plan de la jonction, on peut considérer que le courant critique est uniforme le long de l'axe y . Ceci permet d'avoir une bonne approximation du courant critique et d'obtenir la relation suivante :

$$I(\Phi) = \int_{-\infty}^{+\infty} J(z) dz = W J_c \int_{-L/2}^{+L/2} \sin \left[2\pi \frac{\Phi z}{\Phi_0 L} + \phi(0) \right] dz = L W J_c \frac{\Phi_0}{\pi \Phi} \sin \phi(0) \sin \frac{\pi \Phi}{\Phi_0} \quad (1.35)$$

en fonction du flux total $\Phi = L\mu_0 d H$. Or le courant est maximum pour $\phi(0) = \pm\pi/2$ et du moment que le courant a une seule polarité, $\phi(0)$ varie de $+\pi/2$ à $-\pi/2$ et vice-versa de façon à maintenir une valeur de courant positif. $I_c(0) = W L J_c$ étant le courant critique total en absence de flux magnétique, on peut donc écrire le courant maximal ou critique sous la forme suivante :

$$I_c(\Phi) = I_c(0) \left| \frac{\sin(\pi \Phi / \Phi_0)}{\pi \Phi / \Phi_0} \right| \quad (1.36)$$

De façon équivalente à la diffraction de Fraunhofer de la lumière, le courant critique varie

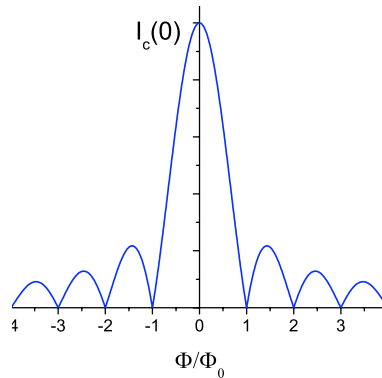


FIG. 1.16. Diffraction de Fraunhofer du courant critique de la jonction Josephson.

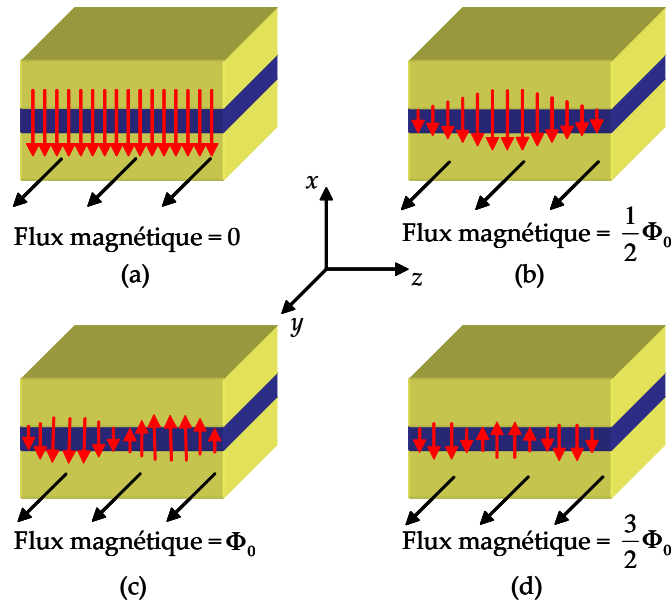


Fig. 1.17. Distribution du courant critique de la jonction Josephson en fonction de multiples de $\Phi_0/2$.

en $\sin x/x$ comme représenté en figure 1.16.

La figure 1.17 montre comment le courant critique se distribue le long de la jonction Josephson et permet de mieux comprendre pourquoi il s'annule pour des multiples de Φ_0 . En absence de champ magnétique le flux est nul (a) et le courant critique est maximal. Lorsque on injecte un demi quantum de flux (b) la différence de phase $\phi(z)$ varie le long de la jonction de façon que la différence de phase et ainsi la densité de courant critique sont nulles aux extrémités. Quand la jonction contient un quantum de flux (c) ou des multiples entiers le courant critique est nul du à l'ajustement de la constante de phase $\phi(0)$. La différence de phase est telle que le courant circule vers le haut et vers le bas dans la jonction. Si on ajoute un autre demi flux le courant va se distribuer comme sur la figure 1.17.(d).

La diffraction du courant décrite n'est valable que pour le module de la densité de courant uniforme. Lorsque il existe des variations d'épaisseur de la barrière ou la dimension de la jonction est supérieure à la longueur de pénétration Josephson, le courant n'est plus uniforme et les minima de I_c n'atteignent pas zéro [42].

Un autre phénomène se manifeste lorsque la jonction Josephson est éclairée par un signal RF, de fréquence f_{RF} :

$$V_{RF} \sin(2\pi f_{RF} t) \quad (1.37)$$

La tension RF va se superposer à celle de la jonction en en modifiant la caractéristique $I(V)$ pour des tensions non nulles où l'effet Josephson alternatif se manifeste.

Si on réécrit l'équation (1.16) en forme inverse (la phase en fonction de la tension) de la façon suivante :

$$\phi(t) = \frac{2\pi Vt}{\Phi_0} \quad (1.38)$$

et si on considère que cette phase va s'ajouter à celle du signal RF, on peut réécrire le supercourant de l'équation (1.17) comme suit :

$$i(t) = I_c \sin \left[\frac{2\pi t}{\Phi_0} (V + V_{RF} \sin(2\pi f_{RF}t)) \right] \quad (1.39)$$

En développant l'équation (1.39) en termes d'une série infinie de Bessel on obtient :

$$i(t) = \sum_{n=-\infty}^{\infty} J_n \left(\frac{V_{RF}}{\Phi_0 f_{RF}} \sin[2\pi \left(\frac{V}{\Phi_0} - n f_{RF} \right) t + \theta] \right) \quad (1.40)$$

On peut donc remarquer que quand se vérifie la relation $V = n\Phi_0 f_{RF}$, l'argument de la fonction sinusoïdale devient indépendant du temps et l'amplitude du supercourant varie selon la phase θ . Ceci signifie que la caractéristique $I(V)$ de la jonction Josephson éclairée par un signal RF présente des marches de tension (appelées *marches de Shapiro* [52, 53]) de largeur $\Phi_0 f_{RF}$ comme le montre la figure 1.19. Entre chaque valeur discrète de ten-

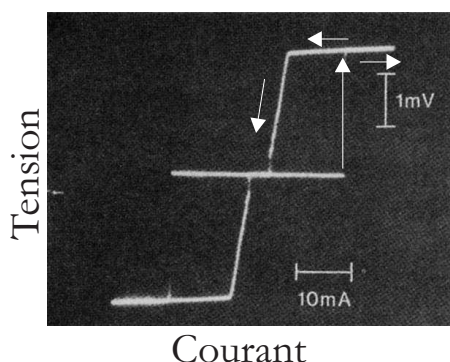


FIG. 1.18. Caractéristique sans éclairage RF d'une jonction Josephson hystérétique.

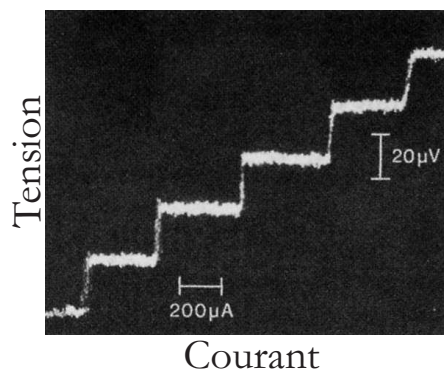


FIG. 1.19. Caractéristique [52] avec éclairage RF (10 GHz) d'une jonction Josephson. La distance entre deux marches est $20,7 \mu V$

sion on retrouve une composante redressée du courant supraconducteur dont l'amplitude, d'après la formule 1.40, est une fonction de Bessel et est modulée par la puissance RF.

1.1.3 Principe de la logique RSFQ

La logique RSFQ (Rapid Single Flux Quantum) se base sur la commutation de la jonction Josephson non hystérétique. Si la jonction Josephson amortie est polarisée au

dessous de son courant critique, la tension à ses bornes est alors nulle et la différence de phase ϕ est constante et égale à ϕ_0 . De façon analogue à la «planche à laver» discutée dans la section 1.1.2, on peut décrire le comportement de la jonction comme celui d'un pendule qui est levé juste au dessous de son angle critique $\pi/2$. Si on donne un coup au pendule de façon qu'il dépasse son angle critique, il effectuera un tour complet, égal à 2π , pour revenir à son état initial. De la même façon, une impulsion de courant telle que sa

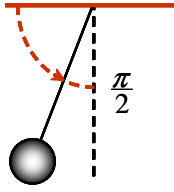


FIG. 1.20. Pendule maintenu au dessous de $\pi/2$.

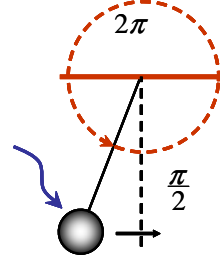


FIG. 1.21. Le pendule après une impulsion tourne de 2π .

somme avec le courant de polarisation dépasse le courant critique de la jonction provoque un glissement de la différence de phase ϕ de 2π , passant de l'état ϕ_0 à l'état $\phi_0 + 2\pi$. D'après l'équation (1.16) cette variation de la phase est suivie par la génération d'une impulsion de tension aux bornes de la jonction (voir figure 1.22) ayant une aire égale à :

$$\int_{\phi_0}^{\phi_0+2\pi} v(t)dt = \frac{\Phi_0}{2\pi} \int_{\phi_0}^{\phi_0+2\pi} \frac{d\phi}{dt} dt = \Phi_0 \quad (1.41)$$

Donc un glissement de 2π de la phase de la jonction Josephson correspond à un quantum de flux unique (SFQ, Single Flux Quantum) dont la valeur est :

$$\Phi_0 = 20,7\text{G} \cdot \mu\text{m}^2 = 2,07\text{mV} \cdot \text{ps} = 2,07\text{mA} \cdot \text{pH} = 2,07\mu\text{V}/\text{GHz} \quad (1.42)$$

Ce quantum de flux est l'unité d'information dans la logique RSFQ (Rapid Single Flux Quantum), dont la rapidité de commutation de la jonction est déterminée par sa tension caractéristique, $R_n I_c$, qui ne dépend que des propriétés du matériau et de la température. L'inductance L traduit l'impulsion de tension en une impulsion de courant, d'après la relation $V = LdI/dt$. Comme on verra l'inductance est aussi un moyen d'isoler une jonction d'une autre selon qu'elle retient ou pas le flux magnétique.

L'emploi d'une jonction amortie par rapport à une jonction hystérique est dû à la facilité avec laquelle la jonction retourne à l'état initial supraconducteur d'équilibre. Du moment que la caractéristique $I(V)$, (voir la figure 1.14), est monotone, le retour à l'état initial ne nécessite pas l'injection d'un courant ultérieur ¹⁰. Le problème qui peut se présenter dans le cas du retour à l'état supraconducteur d'une jonction amortie, est que ceci

¹⁰Ceci est nécessaire dans le cas d'une caractéristique hystérique pour passer du courant de retour I_r au courant critique I_c .

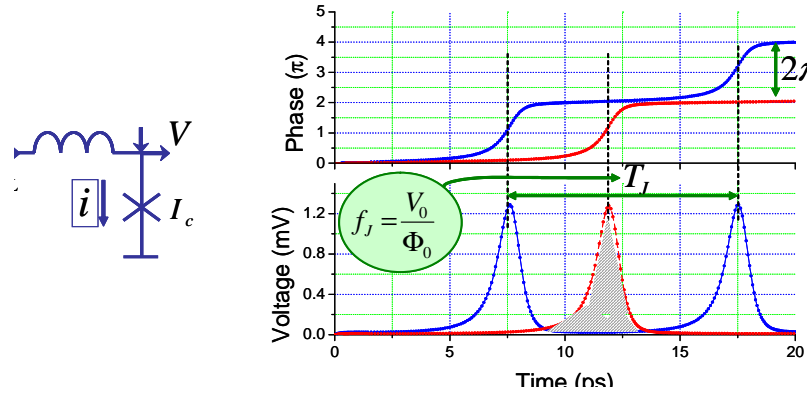


FIG. 1.22. Evolution de la phase et de la tension d'une jonction Josephson correspondant à une impulsion de courant à l'entrée dont la somme avec le courant de polarisation est supérieure au courant critique.

soit lent causant donc des erreurs dues à des retards. En effet plus l'amortissement est fort ($\beta_c < 1$), plus le retour à l'état initial est lent. Pour un bon fonctionnement de la logique RSFQ il est donc nécessaire d'avoir des jonctions qui sont à la limite de l'amortissement critique (β_c environ de 1 à 1,3).

Le bit d'information est représenté par le flux magnétique transitant aux bornes de la jonction, comme on l'a vu précédemment. Plus précisément on définit le bit 1 s'il apparaît un pic de tension aux bornes de la jonction entre deux impulsions d'horloge et, vice-versa, le bit 0 en l'absence d'impulsion. Autrement dit, l'état supraconducteur représente le bit 0 et l'état transitoire le bit 1. On considère par exemple une porte ET avec deux entrées (E1, E2) et une sortie (S) synchronisée sur un horloge comme en figure 1.23. Le chronogramme représenté montre la tension E1(t), E2(t) et S(t) à chaque coup d'horloge H(t). L'évaluation du bit en entrée est faite entre deux coups d'horloge et l'opération logique est effectuée dans l'intervalle d'horloge suivant. C'est pourquoi la sortie présente un retard par rapport à l'entrée.

La durée τ , définie pour la normalisation de l'équation 1.23, et l'amplitude du pic de tension dépendent de la tension caractéristique de la jonction. Pour une jonction en niobium (Nb) l'impulsion dure environ 3 ps et a 0,5 mV d'amplitude pour $J_c=4.5 \text{ kA/cm}^2$. La fréquence des circuits logiques RSFQ doit être inférieure à $1/\tau$ pour avoir les impulsions bien séparées. On peut estimer une fréquence ν vingt fois plus faible [17] :

$$\nu \sim \frac{1}{20\tau} \sim \frac{2\pi R I_c}{20\Phi_0} \sim 150 \text{ GHz/mV} \times R I_c \quad (1.43)$$

Pour avoir une idée des fréquences qu'on peut obtenir, cela donne pour une jonction amortie avec les électrodes en nitrure de niobium (NbN) une fréquence de 420 GHz.

Quand la tension aux bornes de la jonction est nulle, état supraconducteur, il n'y a pas de dissipation d'énergie. Par contre la génération du pic dissipe une énergie $\sim V_{Max}^2 \tau / R \sim$

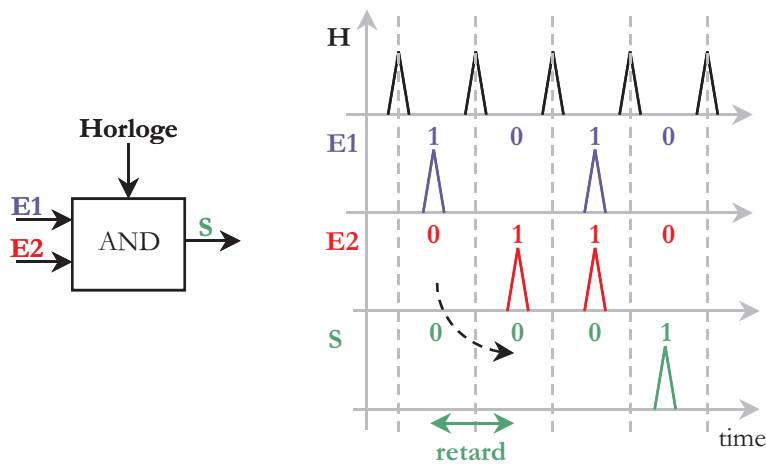


FIG. 1.23. Exemple de chronogramme d'une porte ET, avec deux entrées E1, E2 et une sortie S synchronisée sur l'horloge. L'évaluation du bit est faite entre deux coups successifs d'horloge.

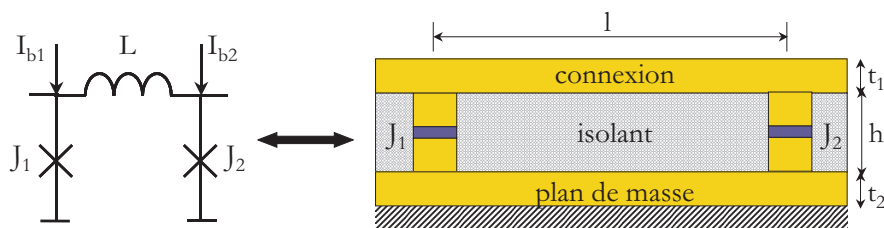


FIG. 1.24. Schéma en coupe du circuit d'un SQUID et son schéma d'empilement correspondant avec les jonctions J_1 et J_2 et les couches supraconductrices d'épaisseur t_1 et t_2 séparées par un diélectrique épais h .

$\Phi_0 I_c$, qui ne dépend pas de l'amplitude de l'impulsion. Si on considère un courant critique de 0,1 mA, on a une consommation de 2×10^{-19} J, qui est 5 ordres de grandeur plus faible que celle d'un transistor CMOS.

1.1.4 Le SQUID et quelques portes logiques de base

L'application la plus simple de la logique RSFQ, qui en représente la brique élémentaire est l'interféromètre quantique supraconducteur ou SQUID (Superconducting Quantum Interference Device). Il est caractérisé par deux jonctions Josephson liées dans une boucle inductive comme en figure 1.24. On peut voir ce composant comme un élément contrôlé par un flux magnétique externe, qui peut être aussi un courant dit de commande. Si on augmente le courant on déclenche une impulsion sur une jonction, au contraire si on

l'inverse l'impulsion sera déclenchée par l'autre jonction. Ce phénomène de commutation dépend de la valeur de l'inductance de boucle et des courants critiques des jonctions Josephson, qui déterminent le courant critique du SQUID.

L'inductance de la boucle dépend du rapport longueur/largeur de la ligne microruban et de son inductance par carré qui est liée principalement (section 1.1.1) à l'inductance cinétique L_K et à celle géométrique L_g :

$$L_{\square} \approx L_K + L_g = \frac{\mu_0}{K} [h + \lambda_1 \coth(\frac{t_1}{\lambda_1}) + \lambda_2 \coth(\frac{t_2}{\lambda_2})] \quad (1.44)$$

On se propose donc d'analyser le comportement d'un SQUID et en particulier son courant critique en présence d'un flux magnétique externe. On considère le circuit de figure 1.25 représentant un SQUID symétrique polarisé au milieu de son inductance de boucle et avec les deux jonctions de même courant critique I_c . D'après la loi de Kirchoff des courants et

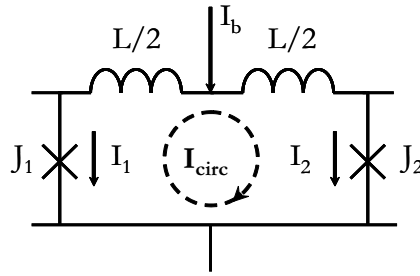


FIG. 1.25. Schéma du circuit d'un SQUID polarisé symétriquement.

la relation Josephson (1.17) on a :

$$I = I_1 + I_2 = I_c \sin \phi_1 + I_c \sin \phi_2 \quad (1.45)$$

D'après l'équation (1.5) de la quantification du fluxoïde sur la boucle on obtient l'égalité :

$$\phi_1 - \phi_2 + 2\pi \frac{\Phi}{\Phi_0} = 2n\pi \quad (1.46)$$

où Φ est le flux magnétique qui pénètre dans la boucle supraconductrice :

$$\Phi = LI_{circ} + \Phi_{ext} \quad (1.47)$$

On remarque donc deux termes contribuant au flux, un externe et l'autre dû au courant circulant dans la boucle :

$$I_{circ} = \frac{1}{2}(I_1 - I_2) \quad (1.48)$$

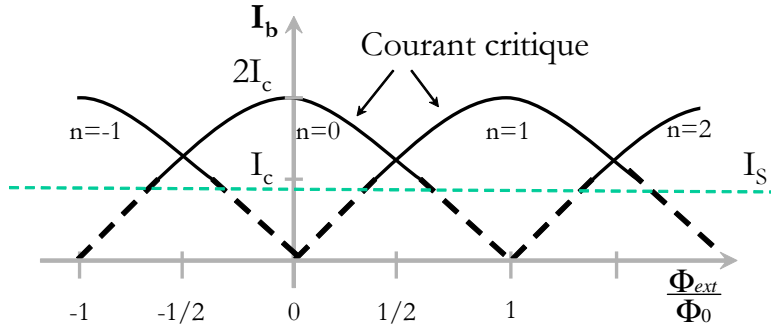


Fig. 1.26. Comportement des différents modes du courant critique d'un SQUID avec $LI_c = \Phi_0/2$. On ne passe d'un mode à l'autre que lorsque le courant dans le SQUID est supérieur à un certain seuil, I_S .

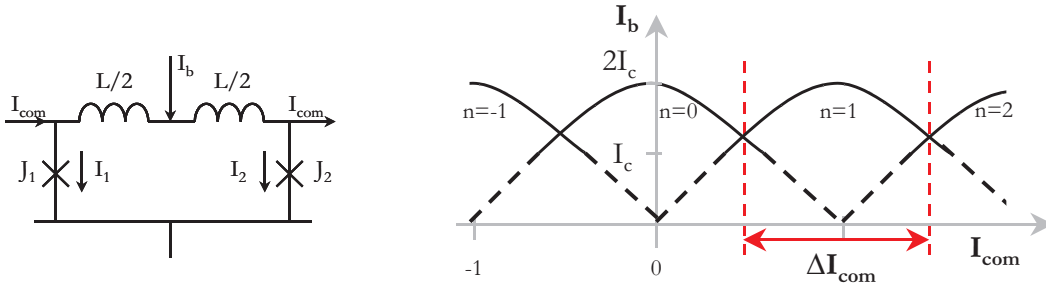


Fig. 1.27. SQUID utilisé pour la mesure de l'inductance de boucle. On représente le schéma de mesure (à gauche) et l'allure du courant critique en fonction de la commande (à droite).

L'équation (1.45), associée aux trois précédentes, permet de décrire le comportement du courant critique d'un SQUID en fonction du flux externe Φ_{ext} comme le montre la figure 1.26 pour $LI_c = \Phi_0/2$. On remarque la présence de différents modes n . En effet le SQUID contient un nombre défini de quantum de flux sous chaque lobe. Si on augmente le flux externe de 0 vers Φ_0 le courant critique du SQUID de l'état $n=0$ diminue est celui de l'état $n=1$ augmente. Quand on atteint la valeur $\Phi_0/2$, l'état $n=0$ devient instable et on commute sur l'état $n=1$. Vice-versa si on inverse le flux externe.

Le SQUID peut être utilisé pour la mesure de l'inductance de la boucle. On suppose que le flux externe est fourni par un courant de commande I_{com} , alors on peut représenter le courant de polarisation en fonction du courant de commande comme en figure 1.27. Si on est dans le cas où le produit LI_c est de l'ordre de $\Phi_0/2$, alors la relation [42] :

$$\Phi_0 = L\Delta I_{com} \tag{1.49}$$

est valable. Il suffit donc de mesurer l'intervalle ΔI_{com} pour obtenir l'inductance de la

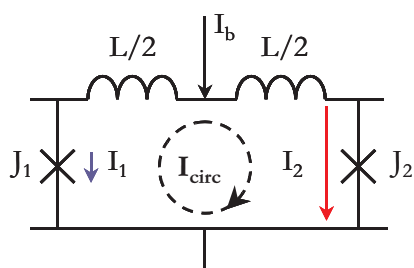


FIG. 1.28. Le courant induit par un flux extérieur, circulant en sens horaire, va se soustraire à $I_b/2$ à gauche et s'additionner à $I_b/2$ à droite.

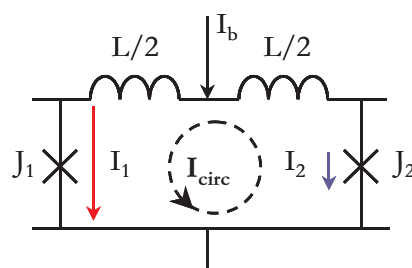


FIG. 1.29. Le courant induit par un flux extérieur, circulant en sens anti-horaire, va s'additionner à $I_b/2$ à gauche et se soustraire à $I_b/2$ à droite.

boucle.

Dans le cas de la logique RSFQ la polarisation du SQUID est généralement telle que l'on ne dépasse pas le courant de seuil, I_S . On considère donc, en l'absence de flux externe, un courant de polarisation I_b , comme en figure 1.25. Si les deux inductances sont de même valeur, le courant est divisé par deux de façon que $I_b/2 < I_c$. Si on augmente le flux externe, alors un courant circulant en sens horaire (voir figure 1.28) se développe en amplitude. Ceci va se soustraire au courant I_1 et s'additionner au courant I_2 , jusqu'à dépasser le courant critique de J_2 . La jonction commute du mode $n=0$ au mode $n=1$ pour trouver un nouvel état d'énergie plus faible et un pic de tension apparaît à ses bornes. Si on continue à augmenter le flux externe jusqu'à Φ_0 , alors les phases des deux jonctions redeviennent égales et on retourne à l'état initial à un quantum de flux près. Si maintenant on décide de diminuer le flux externe vers zéro, alors un courant circulant en sens anti-horaire se développe (voir figure 1.29). Cette fois le courant I_2 décroît et le courant I_1 augmente jusqu'à dépasser le courant critique de la jonction J_1 . La jonction commute du mode $n=1$ au mode $n=0$ et un pic de tension apparaît à ses bornes. En résumé, on peut dire que si le flux externe augmente alors un quantum de flux est généré par la jonction J_2 , au contraire si il diminue alors un quantum de flux est généré par J_1 .

C'est en contrôlant l'inductance de la boucle du SQUID et la valeur des courants critiques des jonctions Josephson que l'on peut transmettre ou stocker le quantum de flux, autrement dit l'information dans la logique RSFQ. Les deux portes logiques décrites dans les paragraphes suivants sont les plus utilisées dans les circuits logiques RSFQ et constituent la base pour construire des circuits plus complexes.

1.1.4.1 Transmission du flux : la ligne de transmission Josephson

Une ligne de transmission Josephson (JTL, Josephson Transmission Line) est caractérisée par une série de jonctions, dont le nombre représente les étages de la ligne, liées

par des inductances. La figure 1.30 montre une ligne de transmission à deux étages et dans la suite on fera référence à cette structure pour en expliquer le fonctionnement. On

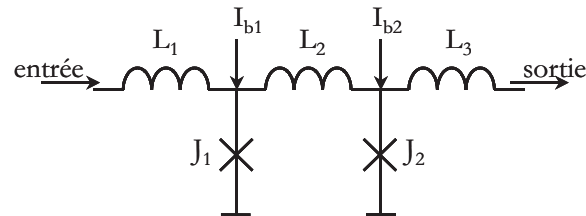


FIG. 1.30. Ligne de transmission Josephson à deux étages.

observe que chaque jonction est polarisée avec son propre courant de polarisation proche du courant critique de la jonction. Quand une impulsion SFQ arrive en entrée, le courant de l'inductance L_1 augmente devenant momentanément supérieur au courant critique de la jonction J_1 qui commute. L'impulsion générée aux bornes de J_1 réduit le courant sur J_1 qui retourne à son état initial. Elle se propage le long de L_2 en augmentant le courant qui, de la même façon que pour J_1 , déclenche la jonction J_2 et fait apparaître l'impulsion en sortie. Les valeurs des inductances doivent être telles que $L_i I_i < 0,5 \Phi_0$ de façon à ne pas piéger un flux magnétique entre les étages, ce qui interdit aux jonctions de revenir à l'état initial. Une telle ligne de transmission peut donc être employée pour répéter une impulsion autant que l'on veut avec un certain retard de propagation et une gigue qui peut ne pas être négligeable si la ligne compte de centaines de jonctions. Si le courant critique des jonctions augmente dans la direction de propagation du signal, le gain de la ligne augmente, et l'impulsion est amplifiée en tension, tout en contenant un quantum de flux, Φ_0 .

1.1.4.2 Stockage du flux : la bascule

Une bascule est caractérisée par une entrée, E, une sortie, S, et un signal de commande, C. Le bit 1 en entrée est libéré en sortie seulement si le signal de commande est 1, autrement il est gardé dans la bascule. C'est la base d'un registre à décalage.

La figure 1.31 montre la réalisation d'une bascule en logique RSFQ. L'impulsion (1) arrivant sur l'entrée augmente le courant de l'inductance L_1 (sans déclencher la jonction J_3) et fait commuter la jonction J_1 de l'état $n=0$ à l'état $n=1$, qui génère une impulsion à ses bornes. Cette impulsion n'est pas suffisante à faire augmenter le courant dans L_2 pour pouvoir dépasser le courant critique de J_2 , l'inductance L_2 étant élevée. C'est pourquoi le quantum de flux est stocké dans la boucle (voir la figure 1.32). Il n'est libéré qu'avec l'arrivée d'un quantum de flux par l'entrée C et il se déplace alors vers la sortie (voir la figure 1.33). On a donc le même comportement qu'une bascule. Les jonctions J_3 et J_4 servent à expulser du circuit les quanta de flux qui ne peuvent pas être stockés dans la

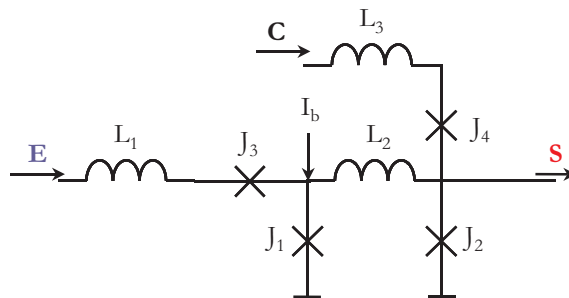


FIG. 1.31. Schéma du circuit d'une bascule (RS-flipflop) en logique RSFQ.

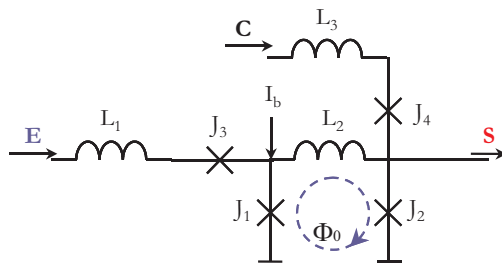


FIG. 1.32. Stockage d'un quantum de flux.

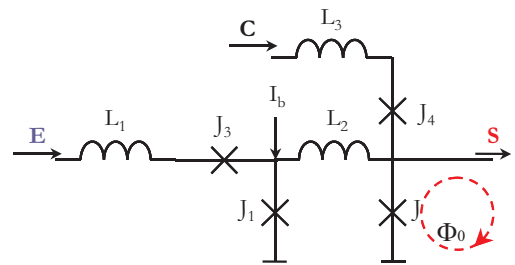


FIG. 1.33. Libération du quantum de flux.

boucle (les quanta de flux arrivant sur l'entrée E quand la boucle est à l'état $n=1$ et ceux arrivant par l'entrée C).

1.2 Architecture des CANs

Le principe de base de fonctionnement d'un convertisseur analogique-numérique est d'échantillonner un signal d'entrée (voir la figure 1.35) et d'associer des valeurs numériques aux différents échantillons. Dans les convertisseurs classiques la fréquence d'échantillonnage est celle de Nyquist, c'est-à-dire le double de la bande (définie à -3dB) occupée par le spectre du signal en bande de base¹¹. Le spectre du signal échantillonné, d'après le théorème de l'échantillonnage [54], est le spectre du signal d'entrée répété autour de la fréquence d'échantillonnage. Or, le spectre d'un signal réel n'est presque jamais une porte parfaite, ce qui signifie qu'après l'échantillonnage peuvent se présenter des phénomènes de repliement du spectre, connu comme *aliasing*, qui détériorent la conversion. C'est pourquoi on est obligé de filtrer le signal avant de l'échantillonner. Le pas successif d'échantillonnage dans la chaîne de conversion est la *quantification* qui associe une valeur numérique à chaque échantillon selon sa valeur de tension (voir la figure 1.34). Le prin-

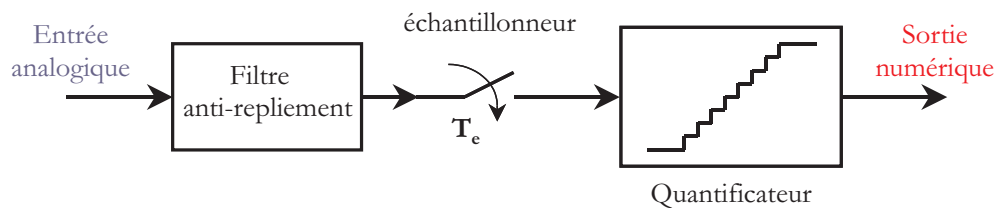


FIG. 1.34. Chaîne de conversion analogique-numérique classique.

cipe de fonctionnement du quantificateur, reporté dans la figure 1.35, est d'effectuer une

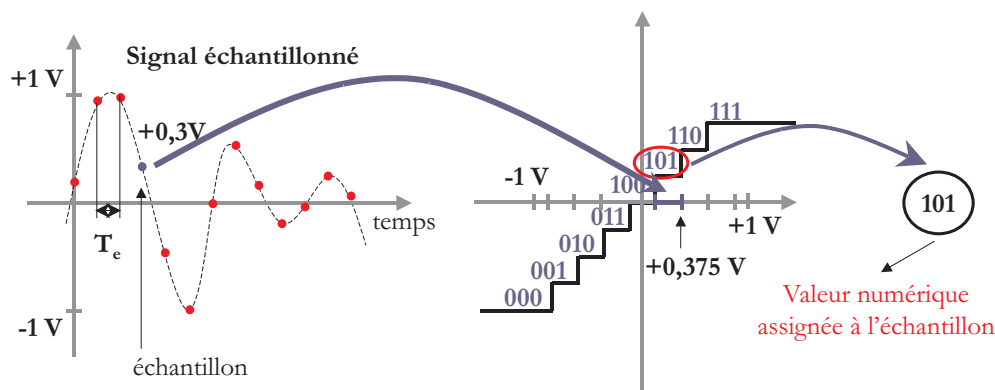


FIG. 1.35. Principe de fonctionnement d'un quantificateur.

¹¹Le spectre est centré autour de 0.

comparaison sur plusieurs niveaux (sur les huit en figure 1.35 soit trois bits) du niveau de tension de l'échantillon arrivant. On considère un signal compris entre -1 V et +1 V dont un des échantillons est égal à +0.3 V. Le quantificateur effectue une comparaison sur les huit intervalles (Δ) de tension et associe à l'échantillon la valeur de 101.

La quantification, comme on peut le déduire, introduit des erreurs dues à l'écart entre la valeur réelle de l'échantillon et la valeur, par intervalles Δ discrets, qui lui est associée par le quantificateur. Dans le cas idéal l'erreur a la même probabilité d'être comprise entre $-\Delta/2$ et $+\Delta/2$ et peut être considérée comme un bruit additif blanc dont la variance est donnée par la relation suivante :

$$\sigma_e^2 = \frac{1}{\Delta} \int_{-\Delta/2}^{+\Delta/2} x^2 dx = \frac{\Delta^2}{12} \quad (1.50)$$

et la densité spectrale du bruit peut être exprimée comme :

$$N(f) = \frac{\Delta^2}{12} \frac{1}{f_e} \quad (1.51)$$

où f_e représente la fréquence d'échantillonnage, égale à deux fois la bande du signal dans le cas de la fréquence de Nyquist.

Le convertisseur flash est un des exemples d'une conversion à la fréquence d'échantillonnage de Nyquist. Le signal d'entrée est comparé à $2^n - 1$ références où n est le nombre de bits. La conversion est faite à l'aide d'autant de quantificateurs à 1 bit ou comparateurs et les sorties sont donc de-codifiées numériquement pour avoir le signal numérique comme en figure 1.36. L'avantage de ce type d'architecture est dû à l'approche en parallèle permettant de travailler à des fréquences très élevées. D'autre part la complexité augmente avec la résolution de la conversion. Plus le nombre de bits augmente plus les

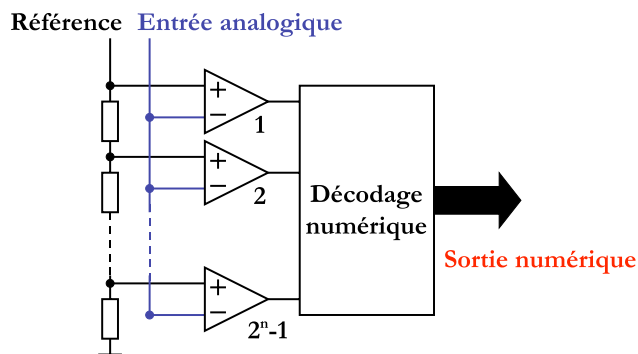


FIG. 1.36. Architecture d'un convertisseur flash.

comparateurs deviennent nombreux et donc la quantification doit être plus précise. Cela signifie que des imperfections dans les circuits comme un erreur sur la référence peut affecter les performances du convertisseur.

1.2.1 La conversion $\Sigma\Delta$

La chaîne classique de conversion reste limitée par la réalisation du filtre anti-repliement très sélectif et par la complexité des circuits analogiques tels que les comparateurs si on travaille à des fréquences très élevées, de l'ordre de plusieurs dizaines de gigahertz.

Une alternative aux convertisseurs de type Nyquist est représentée par ceux à sur-échantillonnage comme les convertisseurs sigma-delta. Le principe de base est de sur-échantillonner [55] le signal d'entrée de façon à augmenter la facilité d'implémentation du filtre d'entrée et le rapport signal sur bruit (SNR, Signal Noise Ratio). En effet le spectre du signal échantillonné sera la répétition du spectre en bande de base mais centré, cette fois, autour de la fréquence de sur-échantillonnage. Cela permet de construire un filtre anti-repliement moins sélectif et donc moins complexe par rapport aux architecture échantillonnant à la fréquence de Nyquist, du moment que la bande d'atténuation du filtre devient plus large (voir la figure 1.37). D'autre part, d'après la formule 1.2, la puissance

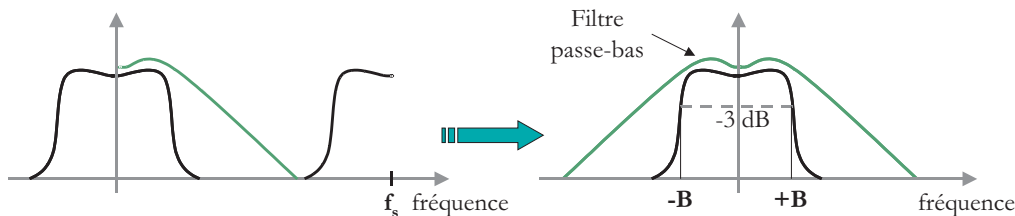


Fig. 1.37. Fonction de transfert d'un filtre anti-repliement (dans ce cas passe-bas) en présence de sur-échantillonnage.

due au bruit de quantification dans la bande du signal est la suivante :

$$N_B = \int_{-B}^{+B} N(f)df = \frac{\Delta^2}{12} \frac{2B}{f_e} = \frac{\sigma_e^2}{OSR} \quad (1.52)$$

où le rapport entre la fréquence de sur-échantillonnage, f_e , et la fréquence de Nyquist, f_N , est appelé rapport de sur-échantillonnage (OSR, Oversampling Ratio). D'après la formule 1.52 si on double le OSR le bruit de quantification dans la bande du signal diminue de 3 dB ce qui correspond à un demi-bit de plus en résolution. L'OSR apporte en définitive un avantage sur la conception du filtre anti-repliement et sur le bruit de quantification, mais cette technique peut être encore améliorée de façon à modifier la composante spectrale de la puissance de bruit en la réduisant dans la bande d'intérêt et en l'augmentant au delà, c'est le cas de la modulation sigma-delta.

1.2.1.1 La modulation $\Sigma\Delta$

Dans le modulateur sigma-delta la quantification n'est pas appliquée au signal d'entrée mais à une version filtrée de l'erreur de quantification même. Cela est possible grâce à

l'introduction d'une rétroaction à la sortie du quantificateur comme sur la figure 1.38. Le

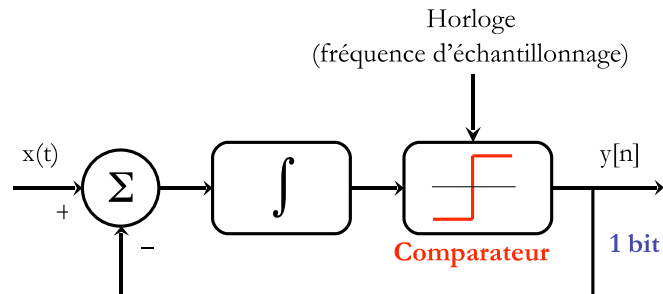


FIG. 1.38. Architecture d'un modulateur sigma-delta passe-bas (intégrateur).

modulateur est donc caractérisé par un filtre de boucle (dans ce cas un intégrateur) qui permet de récupérer le signal et un quantificateur qui effectue une comparaison sur deux niveaux à la fréquence d'horloge. Si le sur-échantillonnage augmente le rapport signal sur bruit selon l'équation (1.52), la rétroaction permet de corriger l'erreur de quantification en effectuant une comparaison sur l'intégration (Σ) de la différence (Δ) entre le bit de sortie du quantificateur et le signal analogique d'entrée. Il est évident que cette comparaison limite les performances du modulateur, car il est nécessaire que le retard introduit par la boucle soit le plus petit possible pour que la comparaison ait un sens physique. C'est pourquoi le quantificateur est suivant à 1 bit ou autrement dit comparateur. Le résultat de la rétroaction est la mise en forme du bruit de façon à l'éliminer dans la bande d'intérêt.

Pour mieux comprendre ce fonctionnement on peut utiliser un modèle linéaire de modulateur [56, 57] comme dans la figure 1.39. Le filtre est représenté par sa fonction de transfert $H(s)$, le quantificateur est modélisé comme une source de bruit blanc additif $N(s)$. La constante K entre le filtre et le quantificateur représente le gain du quantificateur. Donc si on analyse la fonction de transfert $NTF(s)$ (Noise Transfer Function) entre le signal de sortie $Y(s)$ et le bruit du quantificateur $N(s)$, en absence du signal d'entrée $X(s)$, on obtient :

$$NTF(s) = \frac{Y(s)}{N(s)} = \frac{1}{1 + KH(s)} \quad (1.53)$$

et de la même façon, en absence de bruit de quantification, on obtient la fonction de transfert $STF(s)$ (Signal Transfer Function) entre le signal de sortie et celui d'entrée :

$$STF(s) = \frac{Y(s)}{X(s)} = \frac{KH(s)}{1 + KH(s)} \quad (1.54)$$

On prend maintenant le cas où le filtre est représenté par un intégrateur dont la fonction de transfert est :

$$H(s) = \frac{1}{s} \quad (1.55)$$

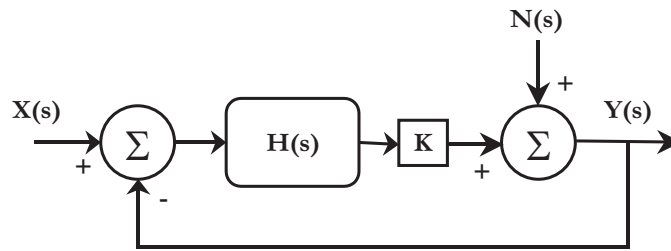


FIG. 1.39. Modèle linéaire du modulateur sigma-delta avec 1 bit de quantification.

En substituant cette valeur de $H(s)$ dans les équations (1.53) et (1.54), on trouve pour le bruit :

$$NTF(s) = \frac{s}{s + K} \quad (1.56)$$

et pour le signal :

$$STF(s) = \frac{K}{s + K} \quad (1.57)$$

Les deux fonctions de transfert ont une signification particulière. La $NTF(s)$ de l'équation (1.56) est celle d'un filtre passe-haut et la $STF(s)$ de l'équation (1.57) est celle d'un filtre passe-bas. La figure 1.40 montre les courbes des deux fonctions de transfert avec les abscisses en échelle logarithmique. On remarque bien que le bruit est poussé dehors de la bande du signal. On appelle ce type de modulateur sigma-delta, un modulateur passe-bas

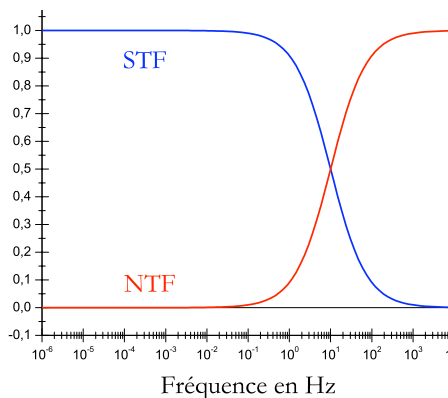


FIG. 1.40. Fonctions de transfert d'un modulateur $\Sigma\Delta$ passe-bas.

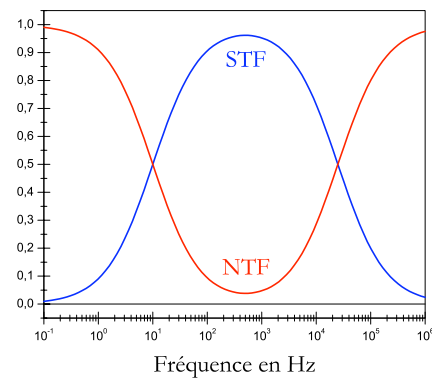


FIG. 1.41. Fonctions de transfert d'un modulateur $\Sigma\Delta$ passe-bande.

pour la fonction de transfert du signal. C'est l'ordre de $STF(s)$ qui définit l'ordre, l , du modulateur. La mise en forme du bruit dépend du filtre utilisé. Si on remplace l'intégrateur par un filtre passe-bande comme un résonateur, on obtient un modulateur passe-bande

dont les fonctions de transfert sont données sur la figure 1.41. Dans le domaine temporel la sortie typique d'un modulateur $\Sigma\Delta$ dans une logique à deux états est donnée en figure 1.42. Une variation rapide du signal d'entrée est suivi en sortie par un changement rapide au

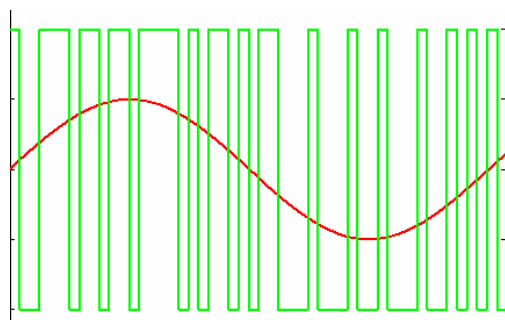


FIG. 1.42. Domaine temporel. Sortie (en vert) d'un modulateur $\Sigma\Delta$ ayant en entrée une sinusoïde (en rouge).

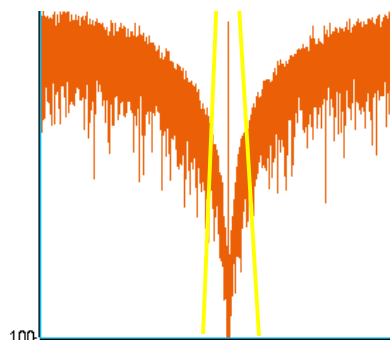


FIG. 1.43. Domaine fréquentiel. FFT de la sortie d'un modulateur $\Sigma\Delta$ de type passe-bande.

niveau du seuil de comparaison, cela correspond à une modulation de fréquence du signal de sortie. Cette modulation dans le domaine fréquentiel se manifeste, dans le cas d'un modulateur $\Sigma\Delta$ de type passe bande, comme la réponse d'un filtre coupe-bande (figure 1.43) qui permet de récupérer au milieu de la bande le signal utile (dans ce cas la raie de la sinusoïde) en repoussant le bruit hors de la bande.

1.2.1.2 La décimation

La fonction du filtre de décimation est d'éliminer le bruit de sortie du modulateur $\Sigma\Delta$ hors de la bande d'intérêt et d'augmenter la résolution de la conversion en réduisant la fréquence de sortie à celle de Nyquist. Cette fonction est réalisé en numérique par certains blocs logiques.

En pratique il s'agit de moyenner la série de 1 bit de sortie du modulateur sur $N = 2^M$ bits, ou N est égale à l'OSR, le rapport de sur échantillonnage, et M est le nombre de bits de résolution après la décimation. Si par exemple la fréquence de sur-échantillonnage est 16 fois la fréquence de Nyquist on aura une résolution de M égale à 4 bits comme dans la figure 1.44. On parle dans ce cas d'une décimation $16 \div 1$ (étant $2^4 = 16$). Le filtre de décimation moyenne la série de bits (montrée en dessous de l'axe temporel de la figure 1.44) par groupe de N en obtenant en sortie du filtre, pour chaque groupement, la représentation binaire du nombre de bits égaux à 1 présents dans la séquence de N bits. Dans ce cas on a 9 bits à 1 donc on aura en sortie la séquence 1001. De cette façon la résolution est bien meilleure (jusqu'à 1/16) et la fréquence de sur-échantillonnage, f_e , des bits sortis du modulateur devient $f_e/16$. En général pour une décimation $N \div 1$ on aura en sortie du convertisseur un débit égal à f_e/N et donc une précision de $1/N$.

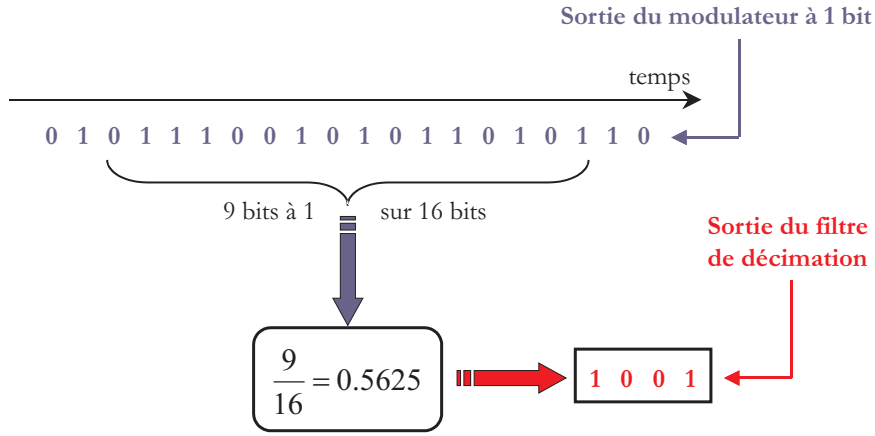


FIG. 1.44. Exemple du fonctionnement du principe de la décimation par $N=16$ et $M=4$.

Cette opération de moyennage peut être décrite de la façon suivante [58] :

$$v[n] = \frac{1}{N} \sum_{i=0}^{N-1} y[n - i] \quad (1.58)$$

dont la réponse impulsionnelle est donnée par :

$$h[n] = \begin{cases} 1/N, & \text{si } 0 \leq n \leq N-1 \\ 0, & \text{sinon} \end{cases} \quad (1.59)$$

On obtient donc la transformée en z :

$$H(z) = \frac{1}{N} \frac{1 - z^{-N}}{1 - z^{-1}} \quad (1.60)$$

d'où on peut calculer la réponse fréquentielle :

$$H(f) = \frac{\text{sinc}(Nf/f_e)}{\text{sinc}(f/f_e)} \quad (1.61)$$

Le filtre de décimation est donc un filtre en sinus cardinal (*sinc*) dont l'ordre k dépend de l'ordre l du modulateur $\Sigma\Delta$. En général le filtre de décimation doit satisfaire les deux points suivants :

1. la fréquence de coupure doit être inférieure à la fréquence où la fonction de transfert du bruit (NTF) du modulateur commence à augmenter de façon à réduire au minimum le bruit hors de la bande

- la réponse du gain autour de f_e/OSR et ses harmoniques doit être plus plate que la NTF autour de la fréquence nulle (dans le cas d'un modulateur pass-bas) ou de la fréquence porteuse f_c (dans le cas d'un modulateur pass-bande), de façon à réduire les composants de bruit dues à $f_e/OSR, 2f_e/OSR, \dots$

Cela est vérifié par $k = l + 1$. Dans le cas d'un filtre de décimation d'ordre k la réponse fréquentielle $H_k(f)$ est la puissance k -ième de la formule 1.61 dont la réponse du filtre est donnée dans les figures 1.45 et 1.46.

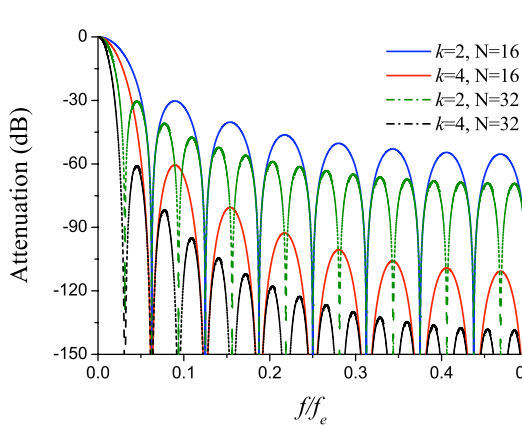


FIG. 1.45. Atténuation d'un filtre de décimation passe-bas d'ordre 2 et 4 pour les OSR de 16 et 32.

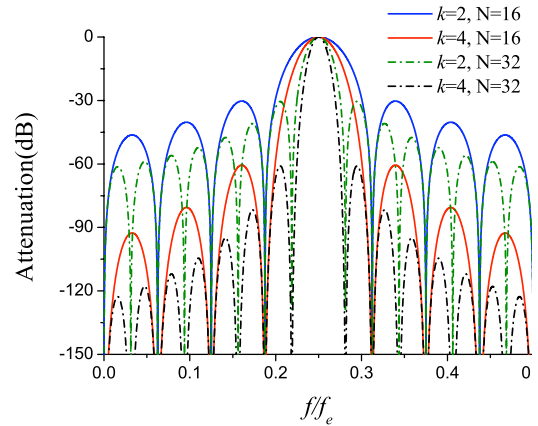


FIG. 1.46. Atténuation d'un filtre de décimation passe-bande d'ordre 2 et 4 pour les OSR de 16 et 32.

La réalisation d'un tel filtre peut être faite à l'aide de registres à décalage et d'additionneurs si on réécrit l'équation 1.60 d'ordre k par la fonction de transfert suivante :

$$H(z) = \left(\frac{1}{N}\right)^k (1 - z^{-N})^k \left(\frac{1}{1 - z^{-1}}\right)^k \quad (1.62)$$

Pour cela on peut définir le schéma à blocs de la figure 1.47 et déduire le filtre de déci-

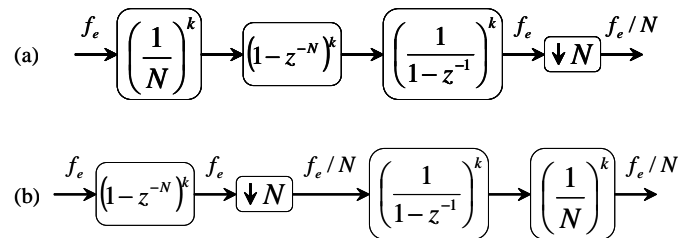


FIG. 1.47. Implémentation du filtre de décimation à partir (a) directement de la transformée en z et (b) en déplaçant le numérateur après le sous-échantillonnage.

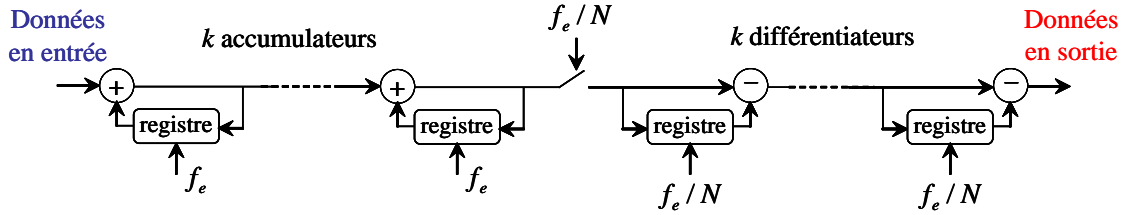


FIG. 1.48. Réalisation du filtre de décimation passe-bas d'ordre k à l'aide de k accumulateurs et k différentiateurs.

mation en sinus cardinal du deuxième ordre comme en figure 1.48, où la longueur des registres est donnée par la formule suivante :

$$\text{longueur du registre} = k \log_2(N) + Bin \quad (1.63)$$

où Bin est le nombre de bits de sortie du modulateur. Dans le cas de l'exemple de la figure 1.44 on aurait besoin, pour un modulateur $\Sigma\Delta$ passe-bas du premier ordre à 1 bit, de 4 registres de 9 bits chacun.

Le schéma complet d'un convertisseur $\Sigma\Delta$ est montré en figure 1.49.

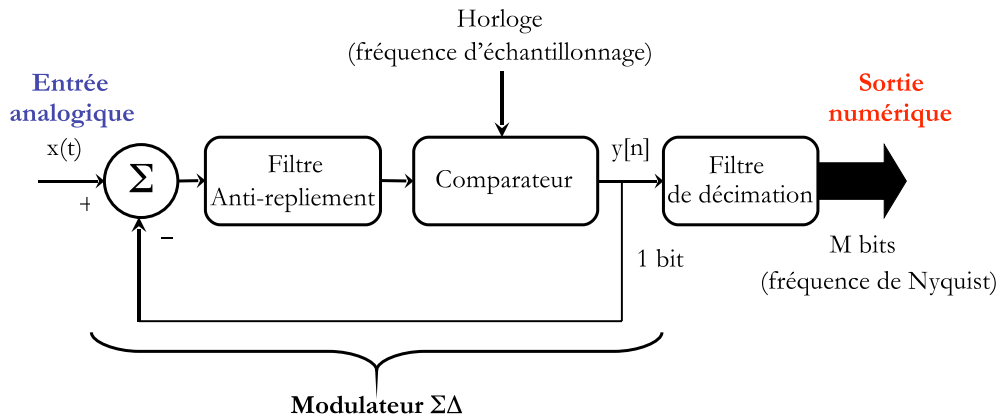


FIG. 1.49. Chaîne de conversion analogique-numérique de type sigma-delta

1.2.2 Caractérisation d'un CAN

Il existe différentes techniques de mesure pour la caractérisation et l'évaluation des performances d'un CAN. La résolution peut être déterminée de façon statistique (non

linéarité différentielles et intégrales) ou dynamique. Vu l'intérêt de connaître les performances du CAN à haute fréquence d'échantillonnage, les mesures dynamiques sont sûrement plus intéressantes et plus précises. Il s'agit du SNR (Signal-to-Noise Ratio) et du SFDR (Spurious Free Dynamic Range), déterminés à partir de la transformée de Fourier (FFT) d'un certain nombre d'échantillons.

Le SNR est défini comme le rapport entre la puissance du signal et celle du bruit dans la bande d'intérêt. Dans le cas du convertisseur idéal dont le bruit n'est dû qu'à la quantification, le SNR pour un signal d'amplitude pic-pic, V_{pp} , est donné, d'après la relation 1.50, par la relation suivante :

$$SNR(dB) = 20 \log_{10} \left(\frac{V_{pp}(RMS)}{\sigma_e} \right) = 20 \log_{10} \left(\frac{V_{pp}}{2\sqrt{2}} \frac{\sqrt{12}}{V_{pp}/2^N} \right) = 6,02N + 1,76 \quad (1.64)$$

avec N le nombre de bits de résolution (un bit de plus correspond donc à une augmentation du SNR de 6 dB). Dans la réalité le spectre de bruit contient aussi d'autres contributions que l'erreur de quantification, typiquement le bruit thermique, le bruit de grenaille, l'ambiguïté de la comparaison, due à la rapidité du comparateur à répondre à une petite différence de tension ($\sim \Delta/2$) et la gigue, due aux oscillations de la fréquence d'échantillonnage. Pour ces raisons on préfère parler de SNDR (Signal to Noise-plus-Distortion Ratio) et d'après la relation 1.64 on définit le nombre de bits effectifs comme suit :

$$ENOB = (SNDR(dB) - 1,76)/6,02 \quad (1.65)$$

L'ENOB (Effective Number Of Bits) indique la dégradation de la résolution due à toutes les sources d'erreurs et permet de définir la performance P du CAN comme le produit du nombre effectifs d'intervalles (Δ) fois la fréquence d'échantillonnage :

$$P = 2^{ENOB} f_e \quad (1.66)$$

et la figure de mérite :

$$F = \frac{2^{ENOB} \times \min(\{f_e\}, \{2 \times ERBW\})}{P_d} \quad (1.67)$$

qui détermine l'efficacité du CAN par rapport à la puissance dissipée P_d sur le minimum entre la fréquence d'échantillonnage f_e et deux fois la bande effective ERBW (Effective Resolution BandWidth).

Le SFDR (Spurious Free Dynamic Range) permet de compléter la caractérisation d'un CAN donnant le rapport entre l'amplitude RMS (root mean square) de la composante maximale du signal et le RMS de la composante des signaux non désirés, l'offset DC exclu. Le SFDR est spécifié en décibels par rapport à la porteuse (dBc).

Dans le cas où le convertisseur est utilisé dans une chaîne de réception, il est important de considérer aussi un autre paramètre d'évaluation, l'IMD (Intermodulation Distortion).

Il s'agit d'une mesure dynamique qui consiste à appliquer à l'entrée du CAN deux sinusoides de la même amplitude mais de fréquences différentes, f_1 et f_2 , en observant les fréquences composites ; l'IMD est donc défini comme le rapport entre la puissance des signaux d'entrée et le plus grand signal dérivé de la combinaison des deux fréquences, typiquement du deuxième ordre ($\pm f_1 \pm f_2$) ou troisième ($\pm f_1 \pm 2f_2$ ou $\pm 2f_1 \pm f_2$).

1.2.3 Analyse des CANs en semi-conducteurs

Les technologies SiGe CMOS, GaAs ou InP HBT (Heterojunction Bipolar Transistor) et GaAs ou InP HEMT (High Electron Mobility Transistor) des convertisseurs analogique-numérique sont celles actuellement commercialisées et sur lesquelles la recherche dans les semi-conducteurs promet des solutions à plusieurs gigahertz d'horloge. Les facteurs principaux qui limitent les performances du CAN dans ces technologies sont en général la température (300 K) qui induit une bonne contribution à la gigue et la constante de temps ($\sim 2,5\pi f_T$ d'après [59], f_T étant la fréquence de coupure du courant) de régénération des comparateurs qui joue sur l'ambiguïté de la comparaison. La figure 1.50 montre l'évolu-

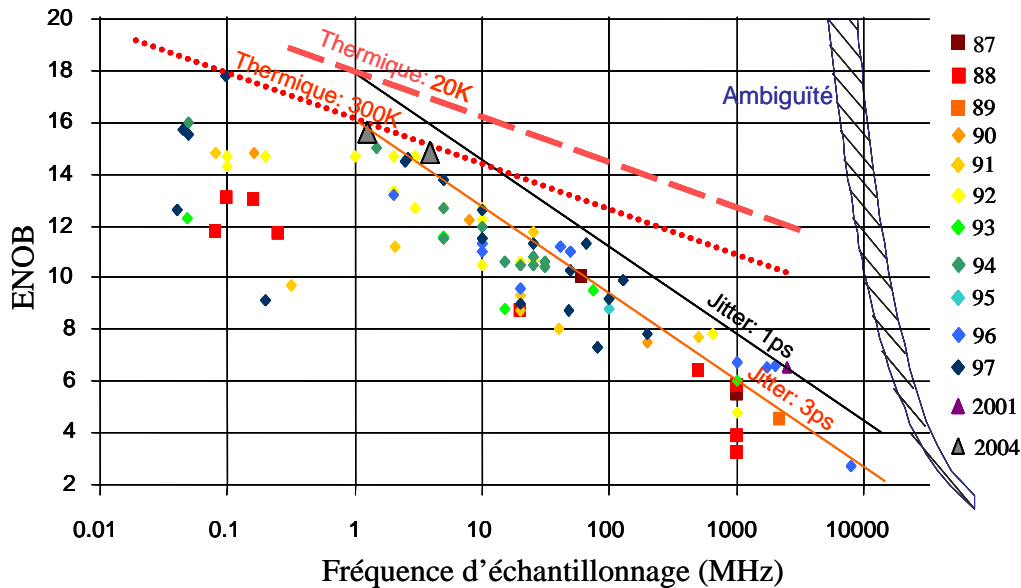


FIG. 1.50. Evolution du nombre de bits effectifs (ENOB) en fonction de la fréquence d'échantillonnage de 1987 à 2004 dans les CANs en semi-conducteurs [11].

tion du nombre de bit effectifs (ENOB) en fonction de la fréquence d'échantillonnage de 1987 à 2004, d'après Walden [11] expliqué par la contribution thermique :

$$ENOB_{\text{thermique}} = \log_2 \left(\frac{V_{pp}^2}{6k_B T R_{eff} f_e} \right) - 1 \quad (1.68)$$

par celle du jitter :

$$ENOB_{\text{jitter}} = \log_2 \left(\frac{2}{\sqrt{3}\pi f_e \tau_j} \right) - 1 \quad (1.69)$$

et enfin par l'effet de l'ambiguïté du comparateur :

$$ENOB_{\text{ambiguïté}} = \frac{\pi f_T}{6,93 f_e} - 1,1 \quad (1.70)$$

D'après la figure 1.50 on remarque que l'augmentation de la fréquence d'échantillonnage réduit fortement la résolution effective ou ENOB de la conversion. La fréquence maximale de 24 GHz a été démontrée [60] en 2004 pour un convertisseur de type flash avec 3 bits de résolution en technologie InP HBT (avec $f_T=150$ GHz) pour une puissance dissipée de 3,84 W. Un modulateur $\Sigma\Delta$ du deuxième ordre à 18 GHz [61] a été aussi démontré toujours en technologie InP HBT (avec f_T de 190 GHz) et un CAN $\Sigma\Delta$ passe-bande à 4 GHz a été démontré en 1997 [62, 63]. Le problème de la technologie InP HBT ou HEMT est la puissance dissipée (jusqu'à 50 W) nécessaire pour atteindre des fréquences de l'ordre de 20 GHz ou plus. A cet effet, la technologie SiGe CMOS a montré des avantages car les puissances sont de deux ordres de grandeurs inférieures aux HBT et HEMT mais les fréquences d'horloge ne sont pas encore arrivées au delà de 5 GHz. A l'université de Pennsylvanie a été récemment démontré un CAN flash à 6 bits de résolution pour une fréquence d'horloge de 4,76 GHz réalisé avec une technologie CMOS 0,07 μm pour une consommation de 11,35 mW [10].

La recherche sur le CAN en semi-conducteurs est toujours d'actualité mais les progrès en terme de figure de mérite restent encore très lents, dus principalement au jitter et à l'ambiguïté de la comparaison dépendante de la fréquence f_T qui d'après la roadmap pour les semi-conducteurs [64] pourrait arriver dans cinq ans à 400 GHz (InP HBT) permettant d'atteindre des conversions à 40 GHz, toujours au prix d'une puissance dissipée très élevée. D'autre part le SNDR et donc un ENOB élevé reste encore un défi, vu que les ADC en semi-conducteurs augmentent d'1 bit de résolution tous les 7 ou 8 ans environ d'après les projections de Walden [11].

1.2.4 Actualité de la recherche sur les CANs en supraconducteurs

Grâce à la faible consommation d'une jonction Josephson (cinq ordres de grandeur inférieure au CMOS) due à la dissipation dans son état normal lors d'une impulsion Josephson, la logique RSFQ présente un grand avantage pour le convertisseur analogique-numérique. Le faible bruit thermique du à la basse température de travail et la diminution de la gigue induit principalement par le bruit thermique permettent d'atteindre des fréquences d'horloge de 100 GHz (technologie Nb [19]) ou encore plus (300 GHz en

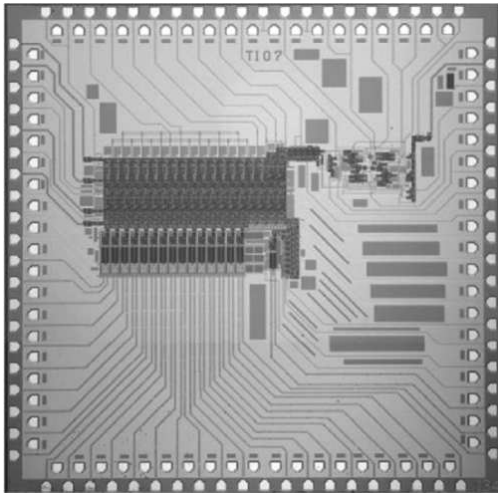


FIG. 1.51. CAN en Nb/AIO/Nb opérant à 19,6 GHz avec 15 bits de résolution, fabriqué par HYPRES.

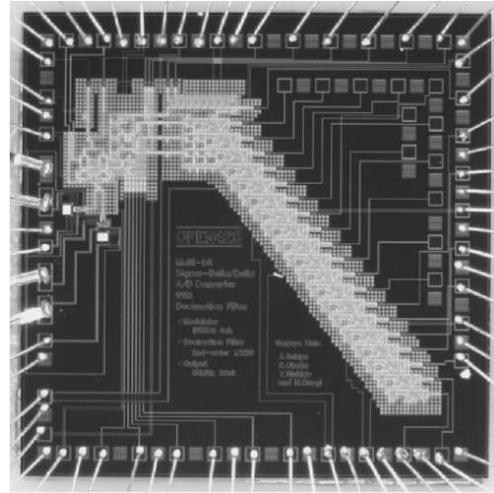


FIG. 1.52. CAN en Nb/AIO/Nb opérant à 56 GHz avec 10 bits de résolution, fabriqué par NEC.

NbN [32, 65]) en obtenant un SNDR supérieur de plusieurs dizaines de décibels par rapport aux CAN en semi-conducteurs et donc une résolution (ENOB) meilleure. Mukhanov [66] et son équipe d'HYPRES, une fonderie américaine qui développe une technologie de circuits Josephson tunnel (J_c de $1\text{kA}/\text{cm}^2$, la jonction la plus petite est de $1,5 \times 1,5 \mu\text{m}^2$), a démontré en 2001 un CAN (en figure 1.51 avec environ 6000 jonctions Josephson) avec une résolution effective de 15 bits à une fréquence d'horloge de 19,6 GHz. Des équipes japonaises, comme celle de Fujimaki, ont mesuré en 2004 un CAN (en figure 1.52 avec environ ~ 4000 jonctions Josephson) à 56 GHz et 10 bits de résolution [67], réalisé dans une technologie mise en place par la fonderie de NEC (J_c de $2,5\text{kA}/\text{cm}^2$ et la jonction la plus petite de $2 \times 2 \mu\text{m}^2$). D'autres convertisseurs ou simplement des modulateurs sigma-delta en technologies différentes ont aussi été démontrés à des fréquences d'horloge de 4 à 175 GHz [68, 69, 70, 71, 72] (mais le test a été effectué à basse fréquence) et avec une lithographie optique de $2 \mu\text{m}$ de résolution, donc moins critique que celle utilisée dans le semi-conducteurs. Une comparaison sur la base de celle reportée par Walden en section 1.2.3 peut être appliquée aux CAN en supra-conducteurs portée en figure 1.53. La technologie Nb/AIO_x/Nb est donc aujourd'hui le standard (HYPRES, NEC, PTB, Jena) et la technologie NbN/TaN/NbN reste une alternative attractive en phase d'être développée.

1.2.4.1 Le défi de la cryogénie

Le problème principal de l'électronique supraconductrice qui limite les applications à des installations spécifiques non-portables (stations de base, satellites, ...) est du à la cryogénie qui permet de réaliser l'état supraconducteur et donc de profiter de tous ses

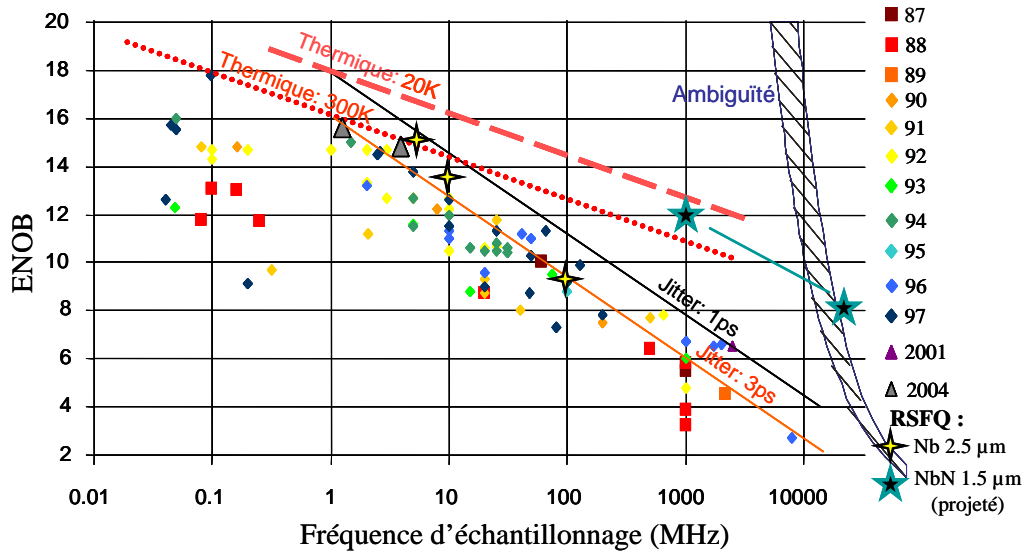


FIG. 1.53. Comparaison des CANs en supraconducteurs réalisés par rapport au CANs en semi-conducteurs en termes de ENOB par fréquence d'échantillonnage.

avantages. Les réfrigérateurs actuellement existant sur le marché sont développés pour des températures de 80 K (à un prix environ de 5.000 € pour des applications civiles ou militaires). En dessous 4,2 K, mais pour une production limitée aux satellites, le prix devient de l'ordre de 500.000 €. Cela donc n'est pas satisfaisant pour les applications de l'électronique supraconductrice, qui nécessite de cryo-réfrigérateurs de petite taille, avec un rendement de Carnot élevé et une longue durée de vie à un coût faible comme décrit dans le tableau 1.1 [73]. Il apparaît donc clair que plus on augmente la température de

TAB. 1.1. EVALUATION DES COÛTS ET DES PERFORMANCES DES CRYO-RÉFRIGÉRATEURS NÉCESSAIRES POUR L'ÉLECTRONIQUE SUPRACONDUCTRICE.

Température de fonctionnement	4,5 K	10 K	25 K	65 K
Puissance de réfrigération	1 W	1 W	1 W	1 W
Puissance d'entrée	1500 W	500 W	150 W	36 W
Masse	50 kg	20 kg	7 kg	2 kg
Volume	~ 0,2 m ³	~ 0,05 m ³	~ 0,01 m ³	~ 0,002 m ³
Temps de refroidissement	30 min	30 min	30 min	30 min
Durée sans manutention	> 40,000 h	> 40,000 h	> 40,000 h	> 40,000 h
Coût (si 100 unités/an)	15-25 k€	10-15 k€	7,5 k€	5 k€
Coût (si 1000 unités/an)	10 k€	7 k€	5 k€	3 k€

travail, plus le rendement augmente et la masse du réfrigérateur diminue, ce qui facilite

leur intégration sur un satellite. A ce propos la recherche de nouveaux matériaux et des nouvelles jonctions Josephson pour la logique RSFQ reste de grande actualité.

1.2.4.2 Comparaisons entre les technologies de jonctions

La logique RSFQ se propose comme une nouvelle approche à l'utilisation des jonctions Josephson dans l'électronique supraconductrice après la bien connue *latching logic* utilisée dans le projet IBM [74, 75]. Comme celle des transistors, cette logique *latching* était une logique à deux états de tension. L'état tension nulle du courant Josephson DC représentait le bit 0 et la tension non nulle du gap de la jonction SIS le bit 1. Cette logique n'employait que des jonctions Josephson hystériques sans aucune résistance de shunt. Il suffisait d'un courant de commande d'entrée couplé directement ou indirectement pour commuter de 0 à 1, mais ce n'était pas suffisant d'enlever ce courant pour revenir à 0. Le courant de quasi-particules étant présent au dessous de la tension du gap comme expliqué dans la figure 1.13, il fallait en effet éteindre complètement le courant de polarisation de la jonction. Ceci a imposé l'utilisation de courants de polarisation alternatif (AC) et cela a été un des problèmes principaux pour la montée en fréquence de ces circuits logiques. L'idée de travailler avec des jonctions non hystériques introduite en 1985 par Likharev, Mukhanov et Semenov [16], a permis de baser l'information sur un quantum de flux et non pas sur un état de tension non nulle. Cela et l'utilisation de courants de polarisation continus a permis d'augmenter la fréquence de fonctionnement à 300 GHz ou plus, en faisant de cette technologie un défi difficile à atteindre pour la technologie des semi-conducteurs actuelle.

La première technologie qui a fait preuve de l'efficacité et des performances à haute fréquence de circuits RSFQ avec une bonne reproductibilité est basée sur des jonctions Josephson niobium/oxide d'aluminium/niobium [20, 21], fabriquées pour production actuellement chez HYPRES et NGST aux USA et NEC au Japon. Cette technologie Nb à base de jonctions Nb/ AlO_x /Nb a été développée avant pour la *latching logic* par Fujitsu, Hitachi, et NEC sur un projet japonais [76] et après par TRW [19] (rachetée par NGST), HYPRES [18], NEC [77, 78], IPHT [73], etc. avec des procédés standard pour la logique RSFQ. Cette technologie est donc bien maîtrisée et les jonctions Josephson tunnel Nb/ AlO_x /Nb ont atteint aujourd'hui une densité de courant critique de $4,5 \text{ kA/cm}^2$ chez Hypres [18, 79] et de 8 kA/cm^2 chez TRW [19] en production¹² qui permet d'atteindre des fréquences de l'ordre de 300 GHz à 4,2 K (T_c de 9,3 K pour le niobium) pour un T-Flip Flop et d'environ de 80 GHz pour un circuit complexe synchrone comme le CAN. D'autres fonderies en Europe (PTB, IPHT Jena) fabriquent des jonctions Nb/ AlO_x /Nb mais avec une densité de courant critique de 1 kA/cm^2 et des $R_N I_C$ de $250 \mu\text{V}$ [73] et donc des fréquences d'environ 35 GHz pour des circuits complexes. Ces jonctions sont shuntées avec une résistance en molybdène pour atteindre des β_c compris entre 1 et 2

¹²Une densité de 8 kA/cm^2 [18] a été aussi atteint par HYPRES mais elle est encore en phase de développement.

nécessaires à haute fréquence. Cette résistance en parallèle à la jonction ajoute une inductance parasite (due à l'interconnexion en niobium) en série avec la résistance et limite les performances de la jonction dans un circuit logique en compliquant aussi le procédé de fabrication (actuellement de 11 à 12 niveaux de masques). D'autre part la faible longueur de pénétration de London (~ 90 nm à 4,2 K) permet d'avoir une inductance par carré de l'ordre de 0,7 pH [73] et une inductance cinétique petite. Ces faibles valeurs d'inductance par carré permettent un bon contrôle des inductances qui facilite l'implémentation des circuits.

Pour augmenter la fréquence des jonctions Josephson SIS il faudrait descendre à l'échelle sub-micronique [80] comme l'a montré la réalisation d'un T-FF fonctionnant jusqu'à 770 GHz avec des jonctions ayant une densité de courant critique de 200 kA/cm^2 [31]. Une autre solution serait d'utiliser des jonctions avec une barrière très résistive et s'affranchir ainsi de la résistance de shunt. Pour ces types de jonctions avec les électrodes en Nb les tensions caractéristiques n'atteignent en général pas plus de $100 \mu\text{V}$, trop faible pour des circuits logiques à haute fréquence. Le nitrure de niobium (NbN) a été étudié comme une possible alternative au niobium grâce à sa température critique de l'ordre de 16 K permettant de travailler autour de 9-10 K et des jonctions tunnel à barrière de MgO qui présentent une densité de courant critique de 10 kA/cm^2 à 10 K [81, 82] permettant donc des opérations logiques jusqu'à 300 GHz pour un T-FF. L'intérêt du matériau NbN va au delà de la jonction SIS ; il se prête bien à l'utilisation d'une barrière en nitrure de tantale (TaN) [65, 32, 51]. Il s'agit d'une barrière de métal normal très attractive pour développer des jonctions SNS intrinsèquement amorties à forte densité de courant et tension caractéristique élevée (facilitant donc l'intégration des circuits en tenant compte aussi de l'absence d'inductances parasites).

Pour que la tension caractéristique soit la plus élevée possible pour ces jonctions Josephson il est nécessaire d'augmenter la densité de courant critique ainsi que la résistivité électrique de la barrière à la limite de la transition métal-isolant. Cette approche pour les jonctions NbN/Ta_xN/NbN (SNS, Supraconducteur / Métal Normal / Supraconducteur) permet d'avoir des barrières plus épaisses que les barrières tunnels (~ 1 nm). La densité du courant critique dans les jonctions tunnel Nb/AIO_x/Nb est liée à la transparence de la barrière et, comme déjà dit, la densité maximale atteinte aujourd'hui est de 8 kA/cm^2 [19, 18] à 4,2 K. Dans le cas des jonctions SNS la longueur de cohérence induite dans le métal normal influe sur la densité de courant critique. Si c'est plus facile de contrôler une variation d'épaisseur sur 10 nm plutôt que 1 nm, il est cependant nécessaire de bien maîtriser la composition en azote du nitrure de tantale (Ta_xN). Des petites variations de celle-ci jouent énormément sur la longueur de cohérence. Les densités de courant critique atteintes jusqu'à maintenant sont de l'ordre de 100 kA/cm^2 à 4,2 K et 10 kA/cm^2 à 10 K [65, 32, 51]. D'autre part le NbN présente une longueur de pénétration de l'ordre de 400 nm ou plus à 10 K, ce qui induit une inductance par carré de l'ordre de 1,5 pH [73]. Cela a un gros inconvénient d'un point de vue du layout car pour avoir la même inductance dans les circuits, les lignes doivent être re-dimensionnées d'un facteur 2 par

rapport aux lignes en niobium.

Une variante de l’NbN est le $\text{Nb}_{1-y}\text{Ti}_y\text{N}$ (T_c de 16 K) de composition en titane d’environ 50 atomes % et permet aussi de faire des jonctions avec une barrière de TaN avec des hautes densités de courant critique et des tensions caractéristiques élevées [65]. Pour ce matériau λ_L est de l’ordre de 250 nm donc la contribution de l’inductance cinétique est inférieure au NbN.

D’autres solutions ont été aussi proposées et sont en cours d’analyse. Les jonctions auto-shuntées d’YBCO en rampe permettent de travailler entre 4 K et 40 K avec des fréquences d’environ 100 GHz à 40 K pour un circuit simple comme la bascule T-FF. Par contre la dispersion des courants critiques reste grande, ce qui ne permet pas de réaliser des circuits plus complexes que 100 jonctions (comparés aux 60.000 des technologies Nb ou 10.000 en NbN). Le MgB_2 (T_c de 39 K), découvert récemment, permet de travailler à 25 K avec λ_L plus faible et donc des inductances par carré inférieures. Ce matériau, même si encore en phase de développement, présente un intérêt potentiel pour la logique RSFQ, car les jonctions permettent en principe d’atteindre des tensions caractéristiques plus élevée [83].

1.3 Synthèse

Dans ce chapitre nous avons introduit les lignes de transmission supraconductrices avec un regard particulier sur l’influence de la longueur de pénétration du champ magnétique et sur leur réponse en fréquence. Nous avons décrit l’effet Josephson continu et alternatif, avec ses propriétés magnétiques, et couplé la ligne supraconductrice avec deux jonctions Josephson pour former le SQUID, une des briques élémentaires de la logique RSFQ. Les impulsions de l’ordre de la picoseconde que la jonction émet lorsqu’elle se trouve dans son état dynamique sont quantifiées à un quantum de flux et transmis ou stockés dans les SQUIDs.

Nous avons souligné l’importance de la densité de courant critique ainsi que de la tension caractéristique pour déterminer les fréquences des portes logiques. Les jonctions doivent être amorties pour être utilisées dans la logique RSFQ et cela implique la nécessité d’utiliser une résistance de shunt externe pour les jonctions qui présentent une caractéristique hystérétique SIS (Supraconducteur / Isolant / Supraconducteur) comme celles en Nb/ AlO_x /Nb. On a traité d’autres liens faibles et en particuliers les jonctions SNS (Supraconducteur / métal Normal / Supraconducteur). Ces jonctions permettent de s’affranchir de la résistance de shunt car elles sont intrinsèquement amorties. L’utilisation d’une barrière très résistive comme celle en TaN permet en plus d’atteindre des fréquences plus élevées que celles possibles avec la technologie Nb.

A l’heure actuelle l’électronique supraconductrice, basée sur la logique RSFQ, étant capable d’atteindre des fréquences et des performances plus élevées que dans l’électronique des semi-conducteurs, nous avons montré l’état de l’art de la technologie Nb

SIS fonctionnant à 4,2 K pour les convertisseurs analogique-numérique (CAN) et celle que l'on pourrait envisager avec la technologie NbN à 9-10 K. Nous avons donc décrit le principe de l'architecture sigma-delta (le modulateur et le filtre de décimation) qui sera utilisé pour l'étude du convertisseur en technologie NbN comportant des jonctions NbN/Ta_xN/NbN. Nous avons enfin décrit les paramètres qui caractérisent un CAN (SNR, SFDR et l'IMD) ainsi que les avantages de la technologie NbN d'un point de vue cryogénique.

Chapitre 2

Procédé de fabrication des circuits NbN

Ce chapitre a pour objectif d'introduire les caractéristiques des matériaux et des procédés utilisés pour réaliser les simulations et les circuits. On présentera les deux procédés de fabrication qui permettent de réaliser les jonctions Josephson et le nouvel empilement à 10 niveaux pour les circuits RSFQ. Les techniques de définition des motifs et des procédés critiques, nécessaires pour pouvoir dessiner les niveaux de masques, seront aussi présentées.

2.1 Les matériaux en couches minces utilisés et leurs paramètres physiques

Les lignes supraconductrices sont réalisées en nitrure de niobium en phase cubique (NbN), matériau bien maîtrisé au CEA et avec lequel on peut atteindre des température critique de 16 K environ. Le nitrure de niobium, ayant une température critique plus élevée que le niobium (Nb, 9K) actuellement utilisé dans les trois fonderies RSFQ existantes (Hypres, NEC-ISTEC, IPHT), permet de pousser la température de travail des circuits RSFQ de 4,2 K vers les 9-10 K. Cela permet de gagner en performance sur les systèmes de réfrigération, surtout pour ceux embarqués sur les satellites. La barrière des jonctions Josephson réalisée au CEA est en nitrure de tantale (TaN) et les couches isolantes, qui isolent les niveaux supraconducteurs entre eux, sont en SiO_2 ou Si_3N_4 , et MgO et AlN. Pour une meilleure compatibilité avec les fonderies des semiconducteurs et en vue d'une fabrication des circuits RSFQ à large échelle, les dépôts sont réalisés sur des substrats de silicium oxydé en surface de 3 pouces.

2.1.1 Les couches supraconductrices en NbN

Les couches de nitrure de niobium sont déposés par pulvérisation cathodique en mode DC-magnétron à partir d'une cible de niobium très pure de 6 pouces dans un mélange

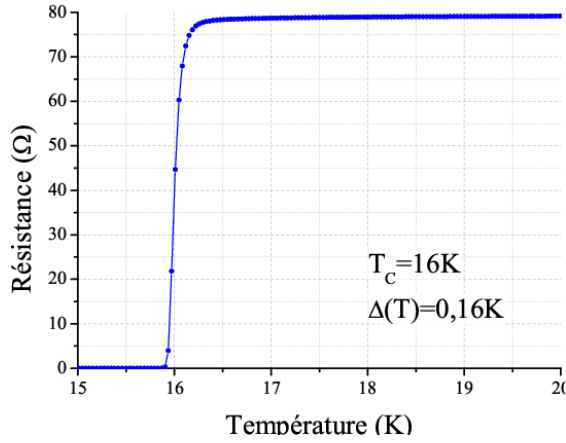


FIG. 2.1. $R(T)$ d'un pont en NbN déposé sur silicium oxydé.

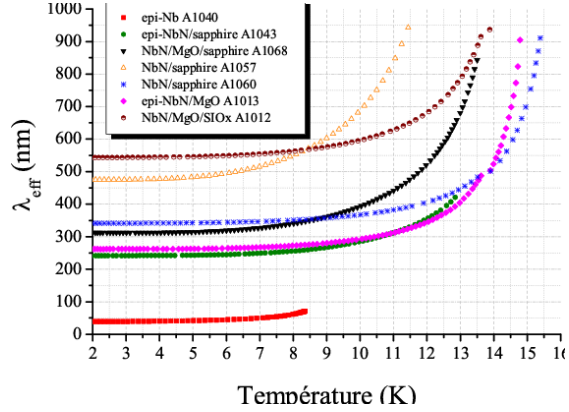


FIG. 2.2. $\lambda_{eff}(T)$ mesurés du NbN pour différents dépôts [85].

gazeux argon (Ar) et azote (N_2)¹ dans le groupe Alcatel SCM 600. Le débit d'argon est maintenu constant pendant la pulvérisation alors que le débit d'azote s'ajuste de façon à maintenir une pression constante dans la chambre de dépôt [84]. Dans ces conditions le nitrure de niobium est déposé dans sa phase cubique B1 qui permet d'atteindre une température critique élevée comme le montre la figure 2.1. Une sous couche de MgO très mince (10 nm environ) est déposée dans le même groupe de dépôt en mode RF-Magnetron pour améliorer la texture du NbN et donc sa qualité. Selon le substrat et le matériau sur lequel on a fait pousser le nitrure de niobium les valeurs des profondeurs de pénétration effective², λ_{eff} , du champ magnétique peuvent varier de 250 à 550 nm (voir la figure 2.2), chacune étant sensible à la variation de la température³ (en particulier pour $T > T_c/2$). Les couches de nitrure de niobium qui ne concernent pas la jonction Josephson, sont toutes déposées à température ambiante (20°C).

2.1.2 La couche barrière de TaN

Comme annoncé dans la partie théorique, le nitrure de tantale (TaN) permet d'obtenir des jonctions Josephson de haute qualité auto-shuntées ayant une bonne compatibilité

¹Ces dépôts sont principalement réalisés par Romano Setzu et les paramètres concernant les dépôts seront mieux analysés dans sa thèse.

²Le pénétration effective du champ magnétique est celle directement mesurée sur la couche du supraconducteur, qu'elle soit mince ou épaisse. Il faut donc considérer que plus la couche de NbN est mince par rapport à la valeur théorique de London plus la pénétration effective est élevée.

³Les mesures ont été faites par sonde inductive haute fréquence par Gianrico Lamura à l'ESPCI, la variation en température du lambda est d'une bonne précision (tant que les couches ne sont pas très minces <10 nm), cependant la valeur absolue du lambda est moins précise (de 10 à 15 %) par cette méthode.

avec la croissance du nitrure de niobium [32]. Si par contre le nitrure de niobium peut être essentiellement stabilisé sur deux phases (cubique et hexagonale), le nitrure de tantale peut être stabilisé sur de nombreuses phases cristallines [51]. Pour obtenir une phase cubique, ayant ainsi un paramètre de maille très proche de celui du nitrure de niobium, des grandes concentrations d'azote dans le plasma de dépôt sont nécessaires. Le contrôle des couches de ce matériau est encore sous étude, car des paramètres de dépôt dépend la qualité des jonctions Josephson, en termes de densité de courant critique et de tension caractéristique. Plus la résistivité du nitrure de tantale est élevée plus la tension caractéristique sera en principe grande (mais également plus les épaisseurs des couches seront minces) et plus la fréquence de fonctionnement des circuits RSFQ sera élevée. La résistivité des couches de nitrure de tantale peut varier sur une large échelle selon la température et la concentration d'azote pendant le dépôt. Il est important de noter que pour un bon fonctionnement de la logique RSFQ, la résistivité de la barrière doit être proche de la transition métal-isolant. La figure 2.3 montre la variation de cette résistivité pour trois couches de TaN de 370 nm (A1115), 210 nm (A1116) et 285 nm (A1127) d'épaisseur [51]. L'étude de la barrière sera présentée dans le cadre de la thèse de Romano Setzu.

Le nitrure de tantale est aussi déposé par pulvérisation cathodique en mode DC-Magnetron dans le même groupe de dépôt du nitrure de niobium. La réalisation de la *tricouche* NbN/Ta_xN/NbN (électrode de base/barrière/contre-électrode) est faite complètement *in situ* pour protéger la barrière de TaN. Les dépôts sont effectués en rotation et à 300 °C pour un meilleur contrôle de l'épaisseur de la barrière (10 nm environ) ainsi que pour une meilleure qualité⁴ comme le montre la transition supraconductrice en figure 2.4.

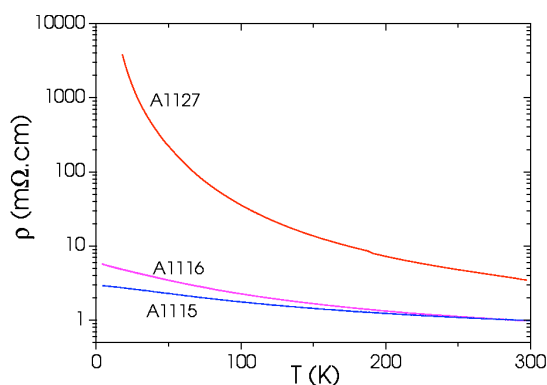


FIG. 2.3. $R(T)$ de trois couches de TaN déposées [51] sur silicium oxydé.

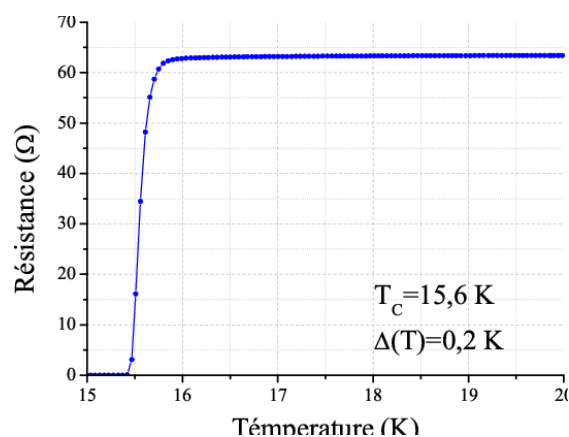


FIG. 2.4. $R(T)$ de la tricouche NbN/TaN/NbN sur silicium oxydé.

⁴Les dépôts de la tricouche ainsi que les dépôts des couches de nitrure de niobium et de MgO, y compris les mesures $R(T)$, ont été réalisés principalement par Romano Setzu, dont l'objectif de la thèse concerne l'étude de la jonction Josephson et donc de la barrière pour l'application à la logique RSFQ.

2.1.3 Choix des couches isolantes : MgO, AlN, SiO₂ et Si₃N₄

Les isolants sont déposés par pulvérisation cathodique en mode RF et à température ambiante, mais dans deux groupes différents : le SiO₂ et le Si₃N₄ dans l'équipement Alliance Concept A450. et le MgO et l'AlN sont déposés dans le même équipement que pour les couches de NbN et TaN.

Le MgO joue trois rôles importants dans les étapes de fabrication des circuits :

- il sert comme buffer pour une meilleure croissance du nitrure de niobium
- il constitue un très bon arrêt de gravure ionique réactive, car est très difficile à attaquer avec le SF₆, le gaz utilisé pour la gravure des nitrures (NbN et TaN)
- avec le nitrure d'aluminium (l'aluminium étant la quatrième cible présente dans l'Alcatel SCM 600) on dépose une tricouche isolante MgO/AlN/MgO utilisée pour protéger les jonctions Josephson des éventuels courts-circuits entre l'électrode de base et la contre-électrode de la jonction.

Le SiO₂ et le Si₃N₄ sont employés comme diélectriques dans les SQUIDS et les lignes de transmission ainsi que comme isolants entre les couches de nitrure de niobium. Les valeurs distinctes de permittivité relative (4,2 pour le SiO₂ et 7,5 pour le Si₃N₄) joue un rôle sur les valeurs des impédances caractéristiques des lignes supraconductrices micro-rubans comme expliqué dans le chapitre suivant.

2.2 Procédés de fabrication des jonctions Josephson

Toutes les couches minces des matériaux sont déposés dans la salle blanche PROMES par pulvérisation cathodique. La définition des motifs est en suite réalisée par des techniques de photomasquage et par une gravure par faisceau d'ions (I.B.E.) et une gravure ionique réactive (R.I.E.).

2.2.1 La pulvérisation cathodique (*sputtering*)

Il s'agit de bombarder le matériau cible (formant la cathode) que l'on désire déposer avec un flux entretenu de gaz ionisé, l'argon. Les atomes de la cible sont arrachés car l'énergie cinétique des ions incidents est nettement supérieure à l'énergie de liaison des atomes. Ceux-ci, le plus souvent électriquement neutres, sont libérés dans le bâti et se condensent sur le substrat situé en face de la cathode cible. La figure 2.5 présente l'équipement associé à cette technique. Le flux d'argon introduit sous 1,8x10⁻² mbar) dans la chambre initialement en vide secondaire (~ 10⁻⁷ mbar) est ionisé par le fort champ électrique (de l'ordre de 10 V/cm) présent entre la cible (cathode) et le substrat (anode). Ce plasma formé d'ions positifs, de neutres et d'électrons peut être polarisé de deux façons différentes, DC ou RF, pour pulvériser la cible. Si l'on utilise un plasma DC, les charges positives sont évacuées de la surface de la cible à condition qu'elle soit conductrice (la

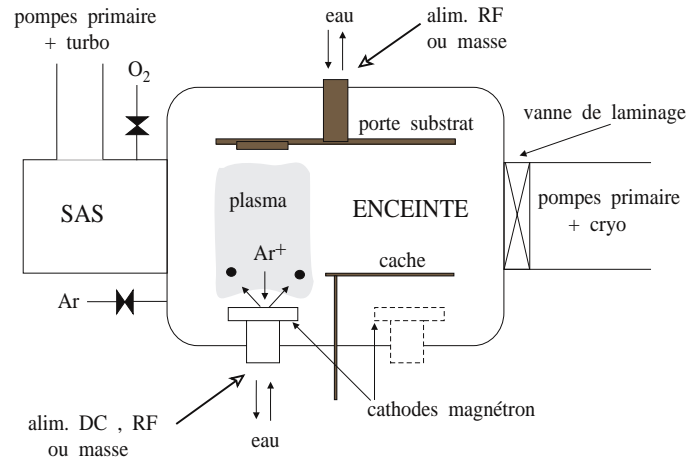


FIG. 2.5. Schéma de fonctionnement de l'équipement de pulvérisation Alcatel SCM 600, utilisé pour le dépôt des couches de nitrure (NbN, TaN et AlN), des sous-couches d'MgO et de l'aluminium pour les contacts.

vitesse de dépôt est de l'ordre de 50 \AA/s). La polarisation radiofréquence, adaptée au dépôt des couches isolantes, permet d'évacuer ces charges positives à chaque alternance et de maintenir le bombardement de la cible par les ions du plasma.

Une variante de la pulvérisation cathodique est la rétro-pulvérisation. Le plasma est inversé et on peut donc décaper les substrat ou les couches avant le dépôt. Cette technique est utilisée pour enlever la couche mince d'oxyde formé sur le NbN, une fois celle-ci exposée à l'air, pour la prise des contacts.

2.2.2 L'usinage ionique (*I.B.E., Ion Beam Etching*)

C'est une gravure sèche basée, comme la pulvérisation cathodique, sur le bombardement, ici généré par un faisceau des atomes extraits d'une source d'ions de gaz comme l'argon. La pression de gravure est plus basse par rapport à la pulvérisation cathodique, autour de 10^{-4} mbar. Ce type de système permet de graver de manière anisotrope la plupart des matériaux sans sélectivité autre que celle découlant des différences de rendement de pulvérisation. L'usineur VECCO/VAS utilisé en salle blanche génère un faisceau d'ions neutralisé de 3 pouces de diamètres. Il possède un porte-échantillon tournant inclinable d'un angle α compris entre 0 et 90 degrés par rapport à la direction des ions (voir la figure 2.6). Grâce à la rotation la gravure est homogène dans toutes les directions et sa vitesse dépend de α . Cette gravure est typiquement utilisée pour attaquer les couches de MgO ou d'autres films de cuprates, alumine, matériaux nobles difficiles à graver avec les gaz

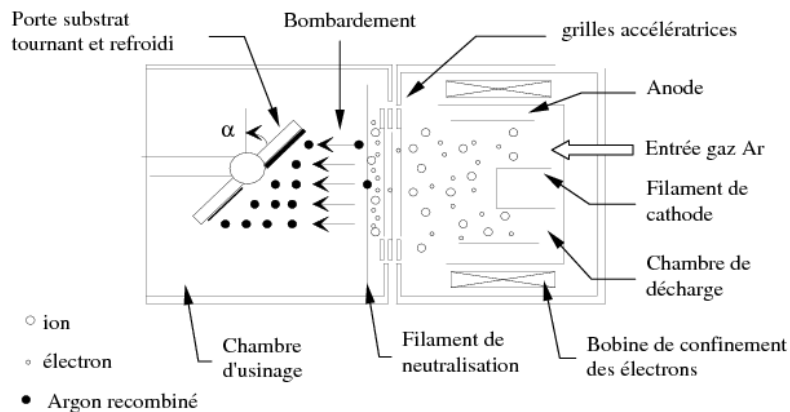


FIG. 2.6. Schéma de fonctionnement de l'usineur I.B.E. de marque VECCO/VAS, utilisé pour la gravure par faisceau d'ions d'argon des couches de MgO dans le cadre de la thèse.

fluorés. D'ailleurs, les couches de MgO sont considérées comme un excellent arrêt de gravure (*etch-stop*) dans la gravure ionique réactive.

2.2.3 La Gravure Ionique Réactive (*R.I.E., Reactive Ion Etching*)

Cette gravure combine l'effet physique du bombardement avec une réaction chimique entre les atomes incidents et le matériau gravé. Cela se traduit dans une pression plus élevée, de 0,1 Pa à 10 Pa, pour permettre l'attaque chimique dans un plasma gazeux. Le substrat est placé dans une enceinte sous atmosphère contrôlée (pompage dynamique et introduction des gaz contrôlée par un débitmètre) dans laquelle on établit un plasma RF (voir la figure 2.7). Il s'agit du même type de système que la pulvérisation cathodique RF sauf que dans ce cas le substrat est mis à la cathode pour pouvoir être bombardé. Les gaz utilisés dans la gravure ionique réactive, en particulier dans l'équipement GIR 100 Alcatel, sont fluorés (SF_6 , CF_4 et CHF_3) et lors de la gravure sont mélangés à l'oxygène. Cela améliore l'élimination des produits de réaction, notamment les polymères. Les paramètres de gravure dépendent donc du débit de gaz et de la concentration relative d'oxygène, de la pression et de la puissance RF. Cette gravure, «propre» et rapide, est typiquement utilisée dans la salle PROMES pour les nitrures (NbN, TaN et AlN) et pour les isolants (SiO_2 et Si_3N_4), exception faite pour le MgO, qui, comme dit précédemment, n'est pas attaqué par ces gaz.

2.2.4 Photomasquage

La combinaison des résines positives ou négatives sensibles aux rayons ultraviolets (UV) ainsi que la gravure ou le lift-off permettent de définir tous les motifs sur le wafer.

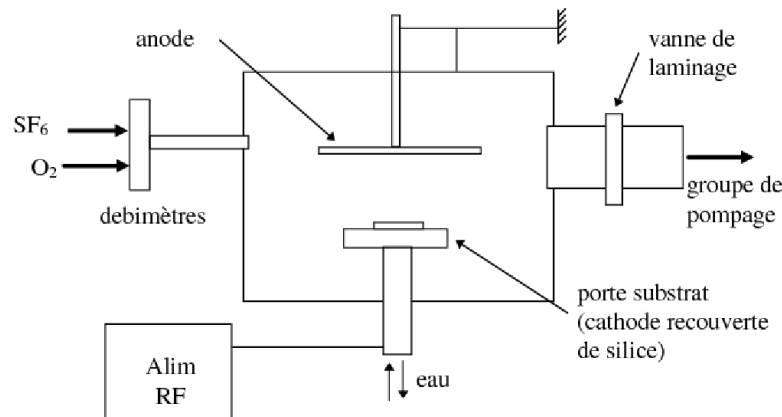


FIG. 2.7. Schéma de fonctionnement de l'équipement R.I.E. (GIR 100 Alcatel) utilisé pour la gravure ionique réactive sous gaz fluorés des couches de nitrure (NbN, TaN et AlN) et des isolants (SiO₂ et Si₃N₄).

On peut obtenir un même motif de différentes façons selon le dessin, positif ou négatif, présent sur le masque.

2.2.4.1 Procédés de lithographie optique UV et de gravure

La définition des lignes supraconductrices ainsi que des jonctions Josephson de taille micrométrique et des isolants (SiO₂ et Si₃N₄), est réalisée par gravure ionique réactive (R.I.E., Reactive Ionic Etching) alors que le MgO est gravé dans l'usureur ionique. Les motifs présents sur le masque sont réalisés en chrome. Pour définir les motifs dans une couche de matériau avec cette technique, il faut que la résine protège la couche de matériau que l'on désire garder sur le wafer. Pour cela il existe deux combinaisons possibles entre le dessin en chrome et la polarité de la résine :

résine positive : dans ce cas la résine exposée aux rayons UV, donc celle qui n'est pas protégée par le chrome sur le masque, est dégagée au développement. Ensuite la gravure de la couche de matériau ne laisse subsister que les motifs définis par le chrome comme présenté sur la figure 2.8

résine négative : vice-versa dans ce cas la résine exposée aux rayons UV, donc celle qui n'est pas protégée par le chrome sur le masque, subsiste au développement et après la gravure, la couche du matériau ne restera que sur les motifs non protégés par le chrome.

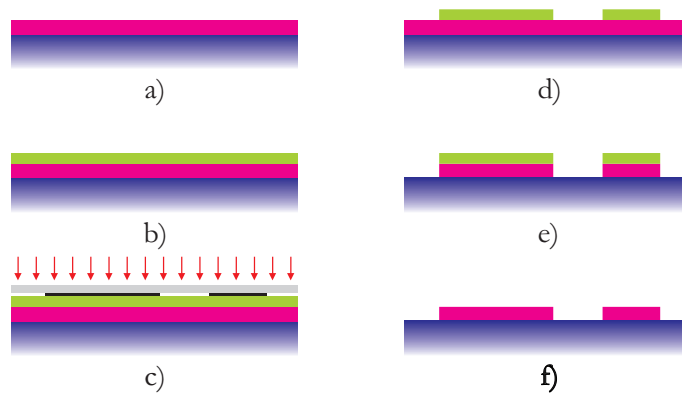


FIG. 2.8. Procédés de lithographie optique et de gravure : a) dépôt de la couche de matériau (ex. NbN) ; b) dépôt de la résine positive ; c) alignement du masque et insolation UV ; d) développement de la résine ; e) gravure (ex. R.I.E.) de la couche du matériau ; f) retrait de la résine restante.

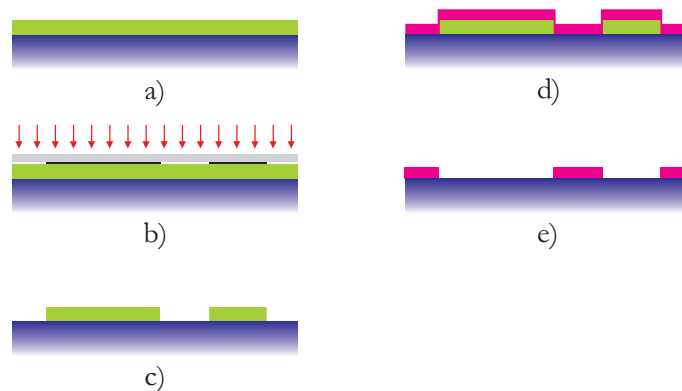


FIG. 2.9. Procédés de lithographie optique et de lift-off : a) dépôt de la résine ; b) insolation UV ; c) développement de la résine ; d) dépôt de la couche de matériau ; e) lift-off.

2.2.4.2 Procédés de lithographie optique et de lift-off

Cette technique permet de définir les différents motifs sans graver la couche de matériau ce qui requiert une étape en moins par rapport à la gravure ionique. Si dans la technique de gravure on dépose avant la couche de matériau et après celle de résine, pour le lift-off le procédé est inversé. On adopte cette technique pour définir les motifs des isolants et des contacts en or. Comme pour la gravure, aussi pour le lift-off il existe deux combinaisons possibles entre le dessin en chrome et la polarité de la résine complémentaires à celles de la gravure :

résine positive : dans ce cas la résine exposée aux rayons UV, donc celle qui n'est pas

protégée par le chrome sur le masque, est dégagée au développement et après le lift-off de la résine, ne resteront que les motifs de matériau non définis par le chrome comme sur la figure 2.9

résine négative : vice-versa dans ce cas la résine exposée aux rayons UV, donc celle qui n'est pas protégée par le chrome sur le masque, reste au développement et après le lift-off de la résine, ne resteront que les motifs de matériau définis par le chrome.

2.2.5 Réalisation des jonctions NbN/Ta_xN/NbN

Il existe dans le laboratoire deux procédés différents pour pouvoir réaliser et étudier les jonctions Josephson tricouches NbN/Ta_xN/NbN.

2.2.5.1 Procédé SNOP

La séquence SNOP (Selective Niobium Overlap Process) [86] est le procédé le plus simple à 2 niveaux de masques (plus un pour définir les plots de contact en or) pour pouvoir réaliser les jonctions Josephson. L'enchaînement des étapes est décrit dans le schéma de la figure 2.10. Le premier niveau de masque, défini par lithographie optique et R.I.E., la tricouche, qui sera utilisée pour réaliser la jonction, et, dans le même temps, l'isolant déposé par lift-off de la même résine. On parle de dépôt *auto-aligné*. La surface de la jonction est définie par le recouvrement de la ligne définissant la tricouche et celle définissant (par le deuxième masque) les connexions jusqu'au plot de contact.

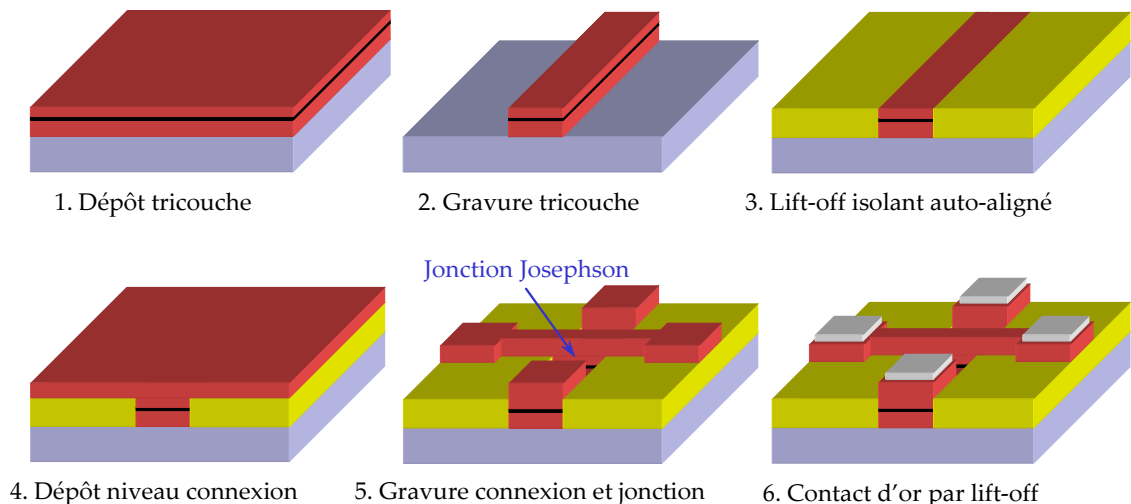


FIG. 2.10. Séquence du procédé «SNOP» pour la fabrication des jonctions Josephson. C'est dans la cinquième étape que lorsqu'on définit le niveau de connexion on définit aussi la contre-électrode de la jonction. L'étape du dépôt de l'or n'est pas représentée.

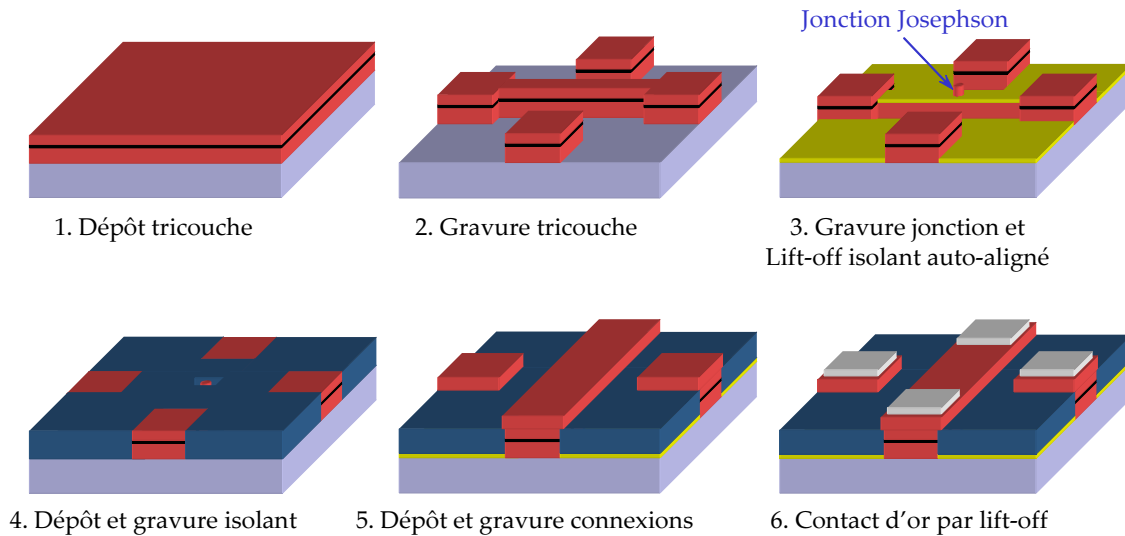


FIG. 2.11. Séquence du procédé «SNEP» à 5 niveaux de masques pour la fabrication des jonctions Josephson. Les étapes de dépôt de l'isolant, du niveau des connexions et de l'or ne sont pas représentées.

2.2.5.2 Procédé à 5 niveaux de type SNEP

Ce procédé est de type SNEP (Selective Niobium Etching Process) [87] permet pourtant de définir la forme et la taille de la jonction de façon indépendante de la largeur des lignes, ainsi que des SQUIDS nécessaires pour l'évaluation des inductances en nitrure de niobium grâce à l'utilisation d'un isolant supplémentaire. Les enchaînements des étapes sont décrites dans le schéma de la figure 2.11. Le deuxième niveau de masque (premier niveau ajouté) définit la taille et la forme des jonctions et, comme dans le procédé SNOP, l'isolant de protection par auto-alignement. Pour diminuer l'épaisseur de le MgO, facilitant le lift-off, une couche supplémentaire (deuxième niveau ajouté) d'isolant doit être déposée et donc un deuxième masque doit définir les trous dans l'isolant pour pouvoir récupérer la surface de la jonction et effectuer les interconnexions.

2.3 Nouvel empilement à 10 niveaux

Les procédés SNOP et SNEP à 5 niveaux sont limités à la caractérisation des jonctions Josephson et des séries de jonctions pour la mesure de la dispersion de la densité de courant critique, et aussi des SQUIDS pour la mesure des inductances. Pour cette raison le procédé de type SNEP à 5 niveaux, ne permettrait de réaliser que des JTL avec les courants de polarisation externe à la puce. Un circuit RSFQ est plus complexe qu'une JTL et nécessite non seulement des résistances de polarisation sur puce mais aussi d'un plan

de masse commun. La figure 2.12 présente la vue en coupe de l'empilement des niveaux pour polariser à travers une résistance (RES) une jonction (JONCT) connectée au plan de masse (GND) par l'électrode de base (TRI). Le nombre des couches et des niveaux

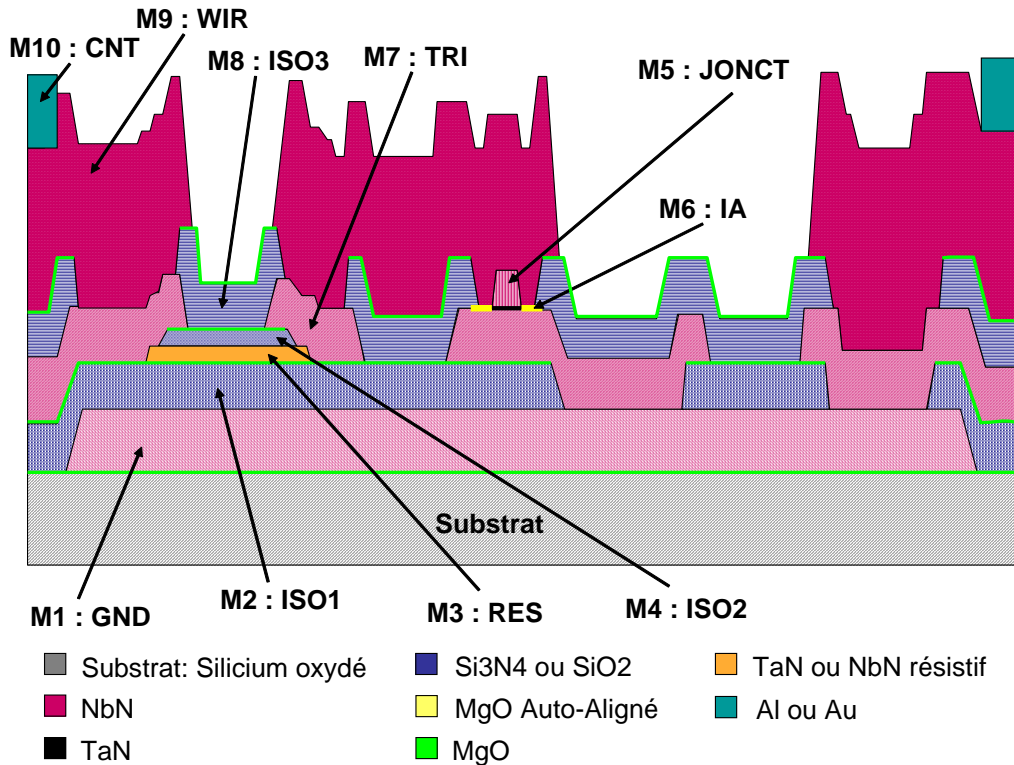


FIG. 2.12. Vue en coupe de l'empilement des 10 niveaux du nouveau procédé appliqué à la réalisation des circuits RSFQ en technologie NbN.

de masque nécessaires est le minimum possible avec les procédés disponibles en salle blanche. Contrairement au procédé de fabrication des circuits RSFQ en technologie Nb, les résistances, n'ayant que la fonction de polarisation (le shunt n'est pas nécessaire pour ces jonctions), peuvent être enterrées. Cela permet de laisser la définition des jonctions, très critique et très délicat, pour les derniers niveaux (juste avant le niveau d'interconnexion (WIR) et celui de l'or (CNT) pour les contacts de test) en réduisant au minimum les procédés suivants qui pourraient abîmer la jonction. Les jonctions même représentant des inductances, ce nouveau procédé se distingue des procédés précédents car l'accès à l'électrode de base est direct donc sans passer par des jonctions parasites⁵. Cela permet en plus de faire de l'électrode de base un deuxième niveau d'interconnexion.

⁵Une jonction parasite est une jonction Josephson dont le courant critique ainsi que la taille sont plus grands que ceux des jonctions voisines de façon à être considérés comme des courts-circuits.

Après la définition du nombre de niveaux de masque et des couches de matériaux, la deuxième étape a été de déterminer les épaisseurs des couches. Dans ce contexte, l'objectif a été de trouver un compromis entre diminuer la rugosité des matériaux dépendant de leur épaisseur et réduire l'inductance par carré, L_{\square} , au minimum. D'après la relation 1.44 et les propriétés de la cotangente hyperbolique il faut que l'épaisseur des couches supraconductrices soit supérieure à la longueur de pénétration, λ_L . Les lignes de NbN qui concourent à la formation de la boucle inductive sont celle du plan de masse (GND) et celle du dernier niveau d'interconnexion (WIR). Le diélectrique défini par le masque ISO2 ne couvrant que la résistance de polarisation, n'influence pas la valeur de l'inductance. La correspondance des paramètres du SQUID représenté en figure 1.24 avec les épaisseurs du nouveau procédé sont définis dans le tableau 2.1. Etant le niveau d'inter-

TAB. 2.1. DÉFINITION DES PARAMÈTRES DU SQUID RÉALISÉ AVEC LE PROCÉDÉ À 10 NIVEAUX

t1	épaisseur de la ligne d'interconnexion (WIR)
h	épaisseur totale des deux diélectriques définis par le masques ISO1 et ISO2
t2	épaisseur du plan de masse (GND)

connexion (WIR) le moins critique, on peut toujours utiliser les valeurs utilisées pour les autres procédés en le faisant de 900 nm. La figure 2.13 montre la variation en fonction de λ_L de l'inductance par carré pour des configurations d'épaisseurs différentes pour t1 fixé. Pour toutes les configurations l'inductance par carré augmente avec la longueur de pénétration, comme prévu, mais les valeurs changent d'une configuration à l'autre. La plus petite valeur de 1,22 pH pour λ_L de 380 nm, est obtenue avec un plan de masse de 600 nm et une épaisseur totale des diélectriques de 200 nm. Cette configuration n'est pas possible car le plan de masse serait trop rugueux et les diélectriques ne seraient pas capables de couvrir le passage des marches en provoquant de court-circuits. La rugosité du plan de masse doit être la plus petite possible car les couches supérieures déposées vont être affectées. En effet la rugosité de la deuxième couche sera égale ou supérieure à celle du plane de masse, la troisième plus grande que la deuxième et ainsi de suite. Les jonctions étant réalisées vers la fin du procédé vont donc être granulaires ce qui peut modifier leur comportement. Il faut donc réduire le plan de masse à la limite de la valeur de λ_L pour réduire la rugosité de la couche et augmenter les épaisseurs des diélectriques pour garantir la couverture de passage de marches, sachant que l'inductance par carré dépend linéairement de h . Cela correspond à une inductance de 1,45 pH pour t2=400 nm et h=500 nm, avec t1 fixé à 900 nm. Il est clair que si la longueur de pénétration n'est pas celle estimée, pour cette configuration (C2) on pourrait atteindre des valeurs élevées comme environ 1,8 pH pour λ_L de 500 nm. Sur ces bases et en considérant l'ajout d'une sous-couche de MgO comme buffer (**B**) pour une meilleure texture du NbN et aussi comme arrêt de gravure, on a défini les spécifications du nouveau procédé reportées dans la tableau 2.2. La gra-

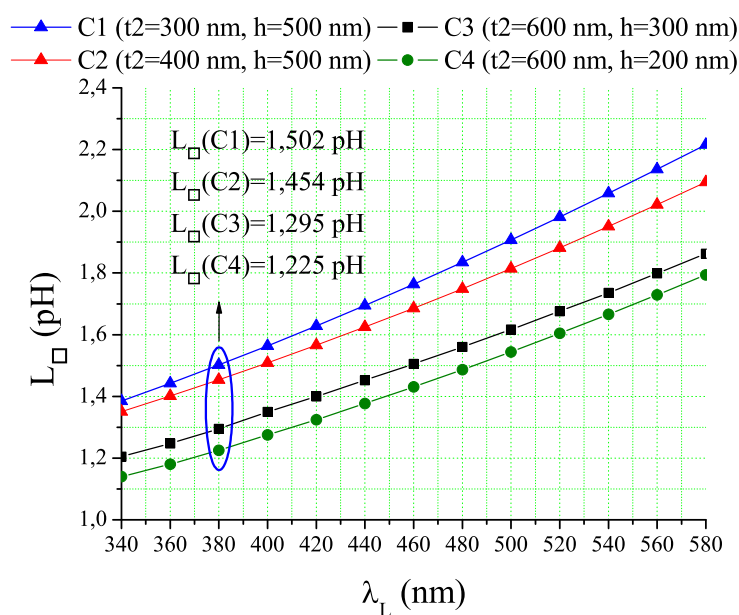


FIG. 2.13. Variation de l'inductance par carré, L_{\square} , pour quatre configuration, C_x , d'épaisseur (t_2, h) étant fixé t_1 à 900 nm.

TAB. 2.2. SPÉCIFICATION DES COUCHES PHYSIQUES DU PROCÉDÉ À 10 NIVEAUX

Masque	Couche de matériau	Propriétés physiques	Epaisseur (nm)
GND	NbN/MgO(B)	Bords inclinés, λ_L de 380 nm	400/10
ISO1	MgO(B)/Si ₃ N ₄	Permittivité de l'Si ₃ N ₄ de 7,5	10/300
RES	TaN résistif	Résistance par carré de 2Ω à 9K	100
ISO2	Si ₃ N ₄	Permittivité de l'Si ₃ N ₄ de 7,5	150
TRI	NbN	Electrode de base, λ_L de 380 nm	350
JONCT	NbN/TaN	Contre-électrode/Barrière, λ_L de 380 nm	200
IA	MgO/AlN/MgO	Tricouche isolant par auto-alignement	10/20/10
ISO3	MgO(B)/Si ₃ N ₄	Permittivité de l'Si ₃ N ₄ de 7,5	10/200
WIR	NbN	Interconnexion, λ_L de 380 nm	900
CNT	Al/Nb(B)	Contacts pour le test	450/10

vure du plan de masse est réalisée de façon à obtenir des bords plutôt inclinés que raides, permettant de déposer une couche de diélectrique moins épaisse.

2.4 Les procédés technologiques critiques

Les procédés de fabrication sont tous effectués dans la salle blanche PROMES du DRFMC de classe 10.000 étant équipée d'une salle dédiée aux dépôts et d'une salle de lithographie optique et électronique avec un microscope électronique à balayage (S.E.M., Scanning Electron Microscopy). On reporte ci-dessous les procédés technologiques et les étapes critiques liées aux équipements mis à disposition :

dépôt : le nitrure de niobium comme le MgO sont des matériaux bien maîtrisés et dont les vitesses et le temps de dépôt sont déterminés par les conditions de dépôt. Le groupe de dépôt Alcatel SCM 600 ne permet pas un contrôle des épaisseurs in situ, mais ce contrôle est effectué assez régulièrement dans un second temps à l'aide d'une gravure ionique réactive et d'un profilomètre⁶.

Les dépôts de SiO₂ et Si₃N₄ sont effectués dans l'équipement Alliance Concept A450 mais la cible de 4 pouces ne permet pas d'avoir une bonne uniformité du dépôt sur un wafer de 3 pouces⁷.

décapage : le groupe de dépôt Alcatel SCM 600 permet aussi de pouvoir effectuer un décapage de la couche d'oxyde formée sur la surface du nitrure de niobium lorsque celle-ci est exposée à l'air. Ce décapage est nécessaire pour récupérer un bon contact électrique ($R_{\square} < 10^{-5} \Omega cm^2$) évitant des barrières isolantes non voulues dans le procédé.

lithographie optique : pour ce qui concerne la lithographie optique on utilise l'équipement Karl Süss MA750 qui permet d'avoir un alignement entre motifs de différents niveaux lithographiques jusqu'à 1 μm contrôlé par ordinateur. La définition des motifs sur la résine est faite par contact masque-résine sous vide. Suite aux effets d'arrondissement de la résine positive Shipley Microposit S1813 utilisée lors de la gravure avec un épaisseur de 1,3 μm , les plus petits motifs réalisables ont une taille de 1,5 μm . C'est aussi la valeur minimale qu'on peut atteindre pour pouvoir aligner un niveau de masque sur l'autre.

gravure : le système de gravure ionique réactive (R.I.E.) comporte quatre gaz (O₂, SF₆, CHF₃ et CF₄) qui permet d'effectuer des plasmas nécessaires pour le nettoyage de la chambre, la gravure des couches (NbN, Ta_xN, AlN, SiO₂ et Si₃N₄) et le délaquage (gravure finale de la résine après la gravure des motifs sur la couche du matériau). Le suivi de la gravure se fait par un laser qui pointe sur la couche de matériau, dont la réflectivité est relevée en fonction du temps à l'aide d'un papier millimétré déroulant. C'est en contrôlant la variation de la réflectivité qu'on peut vérifier quand

⁶Malheureusement le profilomètre a été endommagé et n'a plus été disponible à partir de la deuxième moitié de la thèse.

⁷Suite à la mise en place d'une nouvelle salle blanche CEA-DRMC/INPG/CNRS, la PTA (Plateforme de Technologie Amont), l'équipement Alliance Concept A450 a été déménagé à la fin de la deuxième année de thèse et n'a été de nouveau disponible qu'en Avril 2007.

on a fini de graver la couche de matériau concernée. L'absence d'une caméra dans la chambre de gravure ne permet pas de contrôler où le laser (fixé à la chambre) pointe effectivement sur le wafer. La position du laser peut être vérifiée en principe une fois le wafer positionné dans la chambre, à l'aide de la mesure de réflectivité. Ceci impose l'utilisation de puces de contrôle laser de la gravure dédiées assez grandes. Il est encore nécessaire d'ajouter que l'homogénéité de la gravure est inconnue sur cette machine et donc il est arrivé que les couches ne soit pas gravées de la même façon sur tout le wafer de 3 pouces. Notamment, le contrôle de la gravure par la réflectivité du laser n'est que local à la puce dédiée à cet effet.

lift-off : c'est l'étape la plus critique dans la fabrication des jonctions Josephson. Comme dit précédemment, après la gravure pour définir la taille des jonctions, sur la même résine (durcie par la gravure) est déposée une tricouche isolante MgO/AlN/MgO, nécessaire pour éviter des court-circuits entre l'électrode de base et la contre-électrode de la jonction. La tricouche isolante va donc couvrir toute la surface non protégée par la résine (définissant les jonctions) et elle couvre aussi la résine. Cette étape de lift-off (voir l'étape 3 de la figure 2.11) est effectuée dans un bain d'acétone et ultra-sons, elle dure une heure environ. Comme étudié en collaboration avec Romano Setzu et comme il sera montré dans la section 4.1 concernant la fabrication, il est en général nécessaire d'aider le lift-off en frottant sur le wafer avec une chiffonnette dans le bain d'acétone. Cette étape empêche de réaliser des jonctions carrées de côté inférieur à $2 \mu\text{m}$ et des jonctions rondes de diamètre inférieur à $2,5 \mu\text{m}$.

Les règles de dessin doivent respecter les limites des procédés critiques. C'est pourquoi tous les alignements entre les niveaux proches ne doivent pas être inférieures à $1,5 \mu\text{m}$ et le chevauchement des niveaux doit être évité pour franchir des passages de marches critiques qui pourraient conduire à une cassure de la ligne ou un court-circuit dû à un mauvais recouvrement de l'isolant.

2.5 Synthèse

Dans ce chapitre nous avons décrit les propriétés des matériaux utilisés pour fabriquer les jonctions Josephson et les circuits RSFQ dans la salle blanche PROMES. Nous avons montré la transition métal-supraconducteur du nitrure de niobium (NbN) à 16 K et la variation de sa longueur de pénétration effective ainsi que la transition métal-isolant de la barrière en nitrure de tantale (TaN) pour différentes couches déposées. Nous avons décrit les techniques (pulvérisation cathodique, usinage ionique, gravure ionique réactive et lift-off) utilisées dans la salle blanche. Nous avons expliqué deux procédés existants (SNOP et SNEP, respectivement avec 3 et 5 niveaux de masques) pour la réalisation des jonctions Josephson et des SQUIDS.

Nous avons donc étudié un nouvel empilement à 10 niveaux de masques en déterminant les épaisseurs des couches de façon à réduire la rugosité et avoir une inductance

par carré la plus petite possible. Enfin nous avons analysé les procédés critiques liés aux limites des équipements disponibles dans la salle blanche PROMES et qui détermineront les choix lors du dessin des circuits.

Chapitre 3

Conception des portes logiques et du CAN

Ce chapitre présente la conception des portes logiques RSFQ dans la nouvelle technologie NbN comportant des jonctions auto-shuntées NbN/Ta_xN/NbN. La conception s'appuie sur des logiciels de simulation et de dessin définis lors de la thèse. Après la présentation des logiciels de simulation des portes et circuits, on présentera une étude préliminaire du modulateur Sigma-Delta, la tête du convertisseur analogique-numérique. On abordera la définition du filtre de décimation en terme de portes logiques RSFQ et de complexité ainsi que la problématique du test du convertisseur pour ce concentrer sur le dessin des portes logiques de base. On définira le dessin (layout) des circuits RSFQ et leur description électrique grâce à la simulation des inductances directement à partir du layout.

3.1 Adaptation du modèle d'une jonction SIS à la jonction NbN/Ta_xN/NbN

Le modèle RSJC de la jonction tunnel (SIS) Josephson, décrit dans la section 1.1.2, tient compte de la capacité entre les électrodes supraconductrices et de la résistance non linéaire des quasi-particules en fonction de la tension. Dans le cas d'une jonction hystérique on doit en effet considérer deux résistances asymptotiques, une résistance normale atteinte au dessus du courant critique, et une résistance des quasi-particules visible sous la tension de gap comme montré dans la figure 1.13. Les logiciels utilisés actuellement dans la conception des portes logiques ont été conçus pour modéliser une jonction SIS hystérique (ex. Nb/AlO_x/Nb) et donc tient obligatoirement compte de ces deux résistances.

Il existe différents logiciels de simulations pour les circuits RSFQ [88]. PSCAN (Personal Superconductor Circuit ANalyzer) [89, 88] ainsi que JSIM (Josephson SIMulator) [90, 88] sont les logiciels de simulation les plus utilisés aujourd'hui car il permettent de traiter des circuits très complexes comme le CAN. PSCAN, en plus de simuler les

circuits RSFQ, est aussi capable de calculer les marges de fonctionnement des portes logiques et de les optimiser ; il nécessite par contre un environnement CADENCE pour être utilisé et la configuration de ce système n'est pas immédiate. Ne profitant pas d'un environnement CADENCE, on a donc choisi d'utiliser JSIM et de l'adjoindre à un autre logiciel, WinS [91], pour les raisons suivantes :

JSIM est basé sur SPICE et reste un logiciel libre fourni avec son code source ce qui le rend souple pour être intégré par le future dans un environnement de design ou de simulation complexe (ex. CADENCE) [92, 93]. Un autre atout de JSIM concerne la possibilité de définir de sous-circuits et de les utiliser pour définir un circuit complexe. De cette façon un simple diviseur de fréquence par 2^N défini par la succession de N blocs JTL/T-FF, peut être décrit par un simple rappel de la description des sous circuits JTL et T-FF. Ceci permet de raisonner en cellules et d'associer à chaque cellule la description électrique du circuit. Le choix du logiciel JSIM pour les simulations qui seront présentées dans ce manuscrit a été aussi déterminé par la possibilité de profiter de simulations stochastiques ajouté récemment [94] pour tenir compte du bruit thermique. JSIM par contre n'est qu'un moteur de simulation sans interface graphique ni la possibilité de calculer les marges des portes logiques et de les optimiser.

WinS est équipé d'une interface graphique et permet d'effectuer ses opérations : calculer les marges des portes logiques et les optimiser. D'autre part il ne permet pas de traiter des circuits complexes et cela devient nécessaire lorsque le nombre de portes logiques et notamment de jonctions Josephson devient très élevé comme dans un convertisseur analogique-numérique. Il faut encore ajouter que WinS permet de profiter de deux modèles différents de jonctions Josephson, une hystérétique et une naturellement shuntée (ex. NbN/Ta_xN/NbN), avec la possibilité des simuler les caractéristiques I(V) de ces jonctions. Un autre point faible est que le bruit thermique n'est pas pris en considération et que ce logiciel n'est fourni qu'en version exécutable.

On a donc utilisé WinS pour évaluer les caractéristiques I(V) des jonctions et calculer les marges de fonctionnement des portes en les optimisant. Ensuite on a traduit dans le langage (de type SPICE) de JSIM la description de ces portes logiques ¹ pour en analyser le fonctionnement dans les circuits plus complexes en présence des fluctuations thermiques en courant :

$$I_n = \frac{2\pi k_B T}{\Phi_0} \sim 0.042 \mu A / K \quad (3.1)$$

Pour que le taux d'erreur ou BER (Bit Error Rate) d'un circuit RSFQ puisse être le plus faible possible, il est convenable de réduire les erreurs dues au bruit thermique. En général

¹La fabrication des circuits RSFQ étant très compatible avec celle des semi-conducteurs, il serait indispensable à l'avenir de profiter des environnements de simulation style CADENCE, y compris la définition logique en VHDL et la conception de ces filières, pour réaliser de façon optimale un circuit RSFQ.

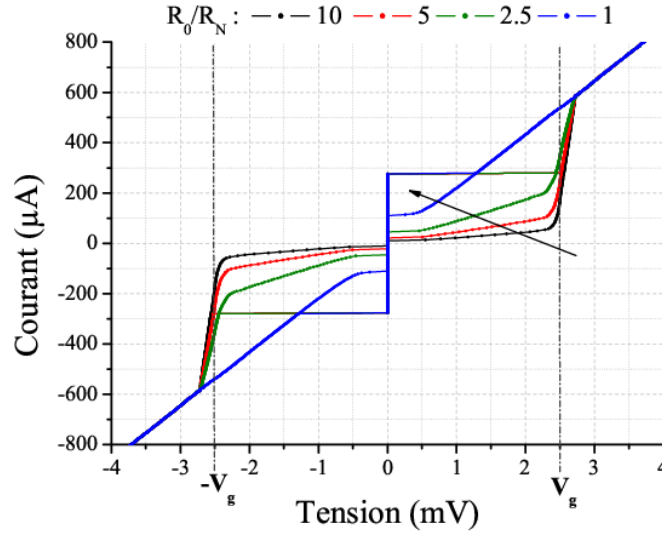


FIG. 3.1. Observation de la variation de l'hystérésis sur la caractéristique d'une jonction Josephson Nb/AlO_x/Nb ($I_C = 280 \mu\text{A}$, $C=500 \text{ fF}$ et $R_N I_C = 1,3 \text{ mV}$, $V_g=2,5 \text{ mV}$) en fonction du rapport R_0/R_N .

il faut que le rapport entre l'énergie du couplage Josephson et l'énergie des fluctuations thermiques soit suffisamment élevé, typiquement de l'ordre de 500 [16]. Cela signifie que le courant critique des jonctions doit avoir une valeur minimale qui augmente avec la température selon la relation suivante :

$$I_c > 500 \frac{2\pi k_B T}{\Phi_0} \sim 20 \mu\text{A}/\text{K} \quad (3.2)$$

Une jonction Josephson SIS est donc défini par son courant critique, I_C , sa résistance sous le gap, R_0 , sa résistance normale, R_N , et la capacité entre les électrodes, C . Si WinS prend en considération déjà les jonctions SIS et SNS, il est nécessaire adapter le modèle SIS à une jonction SNS pour pouvoir simuler les circuits avec JSIM². Pour définir le modèle d'une jonction Josephson naturellement amortie comme la jonction NbN/Ta_xN/NbN il faut considérer le rapport R_0/R_N . Plus ce rapport est élevé plus l'hystérésis est grande pour une même capacité et un même courant critique. La figure 3.1 montre la variation, simulée avec WinS, de l'hystérésis de la caractéristique $I(V)$ pour une jonction Nb/AlO_x/Nb (tension de gap, V_g , du niobium de 2,5 mV) avec un courant critique de 280 μA , une capacité de 500 fF et une tension caractéristique de 1,3 mV, valeurs typiques de la littérature [18]. La valeur de β_c varie comme reporté dans le tableau 3.1. En diminuant le rapport R_0/R_N , le courant de recapture se rapproche au courant critique. Or la limite de la résistance sous le gap est la résistance normale c'est-à-dire $R_0/R_N=1$. Cela signifie que pour

²JSIM tient compte aussi du modèle de la résistance des quasi-particules des électrodes supraconductrices ainsi que de la tension de gap.

avoir un facteur d'amortissement de 1, il est nécessaire de réduire la capacité. Une jonc-

TAB. 3.1. VARIATION DE β_c ET DONC DU COURANT DE RECAPTURE, I_r , EN FONCTION DE R_0/R_N POUR UN COURANT CRITIQUE DE 280 μA

R_0/R_N	10	5	2.5	1
β_c (D'après la relation 1.25 avec $R(V) \sim R_0$)	916	229	57,25	9,16
I_r (μA)	13	25	50	115
β_c (D'après la formule de Zappe 1.28)	903	238,1	56,37	9,07

tion NbN/Ta_xN/NbN ayant une barrière proche de la transition isolant-métal, se trouve dans des conditions de capacité faible, presque négligeable telle que l'on peut parler de modèle RSJ (Résistively Shunted Junction) plutôt que de modèle RCSJ (Resistively and Capacitively Shunted Junction). Pour ce qui concerne la densité de courant critique et la tension caractéristique de telles jonctions, on ne peut pas faire référence à un standard technologique comme par exemple pour la technologie Nb de Hypres, NEC ou TRW. Les jonctions NbN/Ta_xN/NbN sont encore en phase d'étude et de développement pour arriver à contrôler la barrière de nitrure de tantale. Jusqu'à maintenant les résultats obtenus par le CEA [51] et par le département d'électronique de l'Arizona State University [32, 65], les seules équipes qui étudient ces types de jonctions, présentent des densités de courant de quelque kA/cm² à 10 K et des $R_N I_C$ d'environ 2 mV. D'après la littérature et les expériences du laboratoire on a donc choisi une densité de courant critique de 5 kA/cm²³ et une tension caractéristique de 1,75 mV à 9 K, nécessaire si l'on veut atteindre une fréquence d'horloge de 200 GHz ou supérieure. On peut donc définir dans le logiciel JSIM le modèle d'une jonction Josephson n NbN/Ta_xN/NbN associé à un courant critique donné de la façon suivante :

$$\text{.model jjn jj(rtype=3 , Vg=6.2mV , lcrit=I_C , Rn=(R_N I_C)/I_C , R0=Rn , Cap=\beta_c \Phi_0 / (2\pi I_C R_N^2))}$$

La variable «rtype» modélise le super-courant et la valeur «Vg» définit la tension du gap pour le nitrure de niobium. La valeur de la tension de gap a été mesurée expérimentalement sur des jonctions hystérétiques NbN/MgO/NbN fabriquées et mesurées au CEA et elle est égale à environ 6,2 mV à 9 K. Pour compléter le modèle il faut définir la capacité même si négligeable par rapport à celle d'une jonction hystérétique. C'est en déterminant la valeur du facteur d'amortissement, β_c , que l'on peut définir la valeur de la capacité du modèle de la jonction dans JSIM. A cet effet il est important de considérer qu'une jonction est elle même une résistance lorsqu'elle se trouve dans son état normal. Pour cette

³Cette valeur de densité de courant critique nous permettra de faire une comparaison entre la technologie NbN/Ta_xN/NbN et la technologie Nb/AlO_x/Nb de HYPRES.

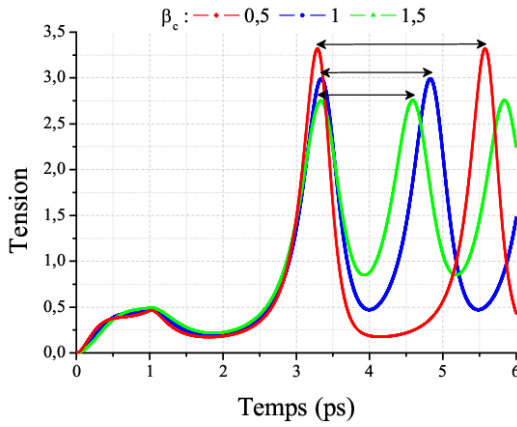


FIG. 3.2. Evolution de la tension en fonction du temps aux bornes d’une jonction NbN/Ta_xN/NbN pour trois valeurs différentes de β_c avec un rapport de courant de polarisation sur le courant critique, I_b/I_C , de 1,1.

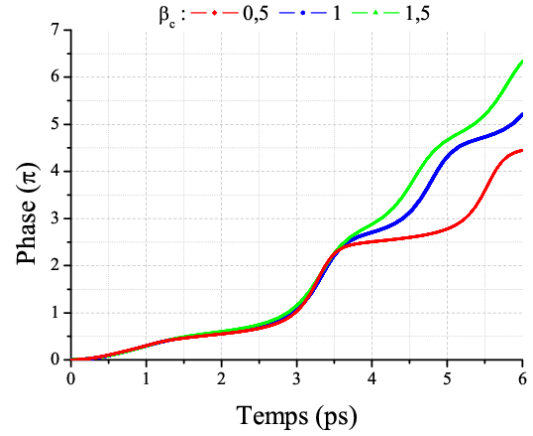


FIG. 3.3. Evolution de la phase en fonction du temps correspondante aux oscillations en tension représentées dans la figure 3.2 pour les trois valeurs de β_c (relation 1.25).

raison elle représente une résistance de shunt pour les jonctions voisines en en modifiant leur facteur d’amortissement lorsqu’elle est placée dans un circuit RSFQ. Les figures 3.2 et 3.3 montrent l’évolution de la tension et de la phase, respectivement, aux bornes d’une jonction NbN/Ta_xN/NbN simulée avec JSIM pour β_c égale à 0,5, 1 et 1,5. Le courant de polarisation est initialement zéro et passe à une valeur constante, $I_b=1,1 \times I_C$ après 0,1 ps. Le temps de démarrage des oscillations de l’état dynamique dans lequel se trouve la jonction est appelé «*turn on delay*» et dépend des conditions initiales internes au simulateur. Pour $\beta_c < 1$, la jonction est sur-amortie et la fréquence d’oscillation diminue. Dans le cas d’un circuit complexe comme le convertisseur analogique-numérique afin d’éviter un sur-amortissement de la jonction il est donc préférable utiliser des jonctions faiblement hystérétiques, $1 < \beta_c < 1,3$ ⁴ telle que, une fois placées dans le circuit, β_c dévient proche de 1. En effet pour une optimisation du circuit RSFQ, chaque jonction devrait avoir un facteur d’amortissement différent en fonction des jonctions voisines. Cela est possible pour des jonctions hystérétiques, par exemple Nb/AIO_x/Nb, dont le β_c peut être changé selon la valeur de la résistance de shunt de la jonction. Le shunt étant intrinsèque à la jonction NbN/Ta_xN/NbN même à travers la barrière, la valeur est obligatoirement la même dans toutes les jonctions. N’ayant pas à disposition un standard de jonction NbN/Ta_xN/NbN et étant loin de l’optimisation, on a choisi un β_c de 1,1. On peut donc définir le modèle de la jonction NbN/Ta_xN/NbN pour un courant critique de 276 μ A comme suit :

```
.model jj3 jj(rtype=3 , Vg=6.2mV , lcrit=0.276mA , Rn=6.34 , R0=6.34 , Cap=33.5fF)
```

⁴Certains designers [29] comme à TRW utilisent même des jonctions avec un β_c de 2.

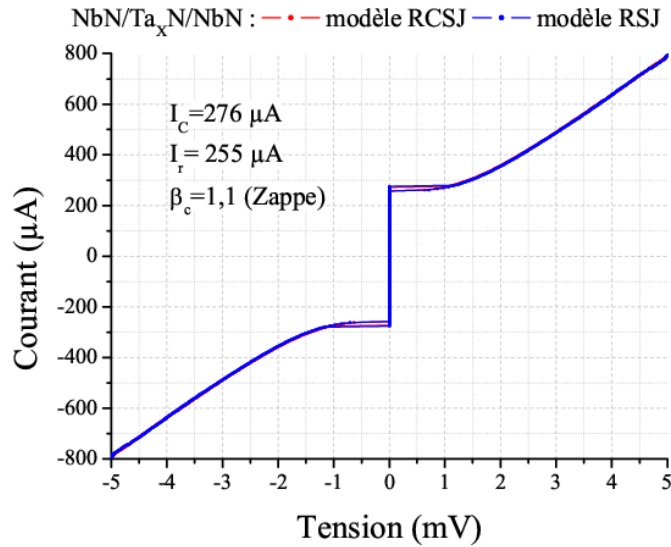


FIG. 3.4. Comparaison des caractéristiques d'une jonction Josephson de NbN/Ta_xN/NbN selon les deux modèles, RCSJ et RSJ, d'après le logiciel WinS. Les deux courbes se superposent bien. β_c a été calculé avec la relation 1.28 de Zappe.

On obtient la caractéristique $I(V)$ de cette jonction à l'aide du logiciel WinS dans le quel les deux modèles, RSJ et RCSJ, ont été utilisés pour démontrer qu'ils convergent à la même caractéristique. En se basant sur les paramètres des procédés de lithographie, de gravure et de lift-off décrits dans le chapitre précédent, on a défini 6 jonctions Josephson NbN/Ta_xN/NbN circulaires de diamètre r comme décrit dans le tableau 3.2. La capacité par unité de surface est estimée à environ $6 \text{ fF}/\mu\text{m}^2$. La jonction JJ1 ne sera utilisée que pour un test $I(V)$, alors que les autres jonctions seront aussi employées dans la définition des circuits RSFQ.

TAB. 3.2. DÉFINITION DES JONCTIONS JOSEPHSON EN NbN/Ta_xN/NbN

Jonction	2r (µm)	Surface (µm ²)	I _c (µA)	R _N (Ω)	C _s (fF)
JJ1	7,2	40,7	2035	0,86	247
JJ2	4,7	17,3	867	2,02	105
JJ3	4,0	12,5	628	2,78	76
JJ4	3,2	8,0	402	4,35	49
JJ5	2,4	4,5	226	7,74	27
JJ6	1,7	2,3	114	15,35	14

On peut donc estimer l'immunité de chaque jonction aux fluctuations thermiques à

travers le rapport du courant critique sur le courant de bruit thermique (relation 3.1) :

$$\gamma = \frac{I_C}{I_n} \quad (3.3)$$

Si le paramètre γ est très faible les fluctuations sont prédominantes sur le courant critique de la jonction et leur influence est clairement visible sur la caractéristique $I(V)$ de la jonction comme montré dans la figure 3.5. Il est aussi évident que ces fluctuations peuvent

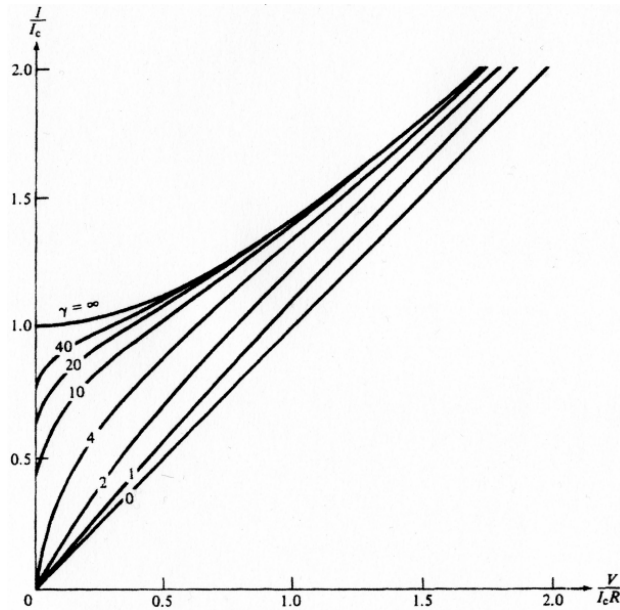


FIG. 3.5. Rôle du paramètre γ (relation 3.3 expliquant l'influence des fluctuations thermiques sur la caractéristique d'une jonction Josephson [35])

porter la jonction Josephson à déclencher spontanément provoquant des erreurs logiques. Exception faite pour une jonction utilisée comme horloge donc avec une courant de polarisation, I_b , supérieur à son courant critique, toutes les jonctions qui font partie d'un circuit RSFQ sont polarisées de façon à ce que $i = I_b/I_C < 1$. En présence de fluctuations thermiques même pour $i < 1$, on peut atteindre l'état dynamique de la jonction. Il est donc préférable de parler d'état métastable, supraconducteur pour $i < 1$ et dynamique pour $i > 1$,

TAB. 3.3. EVALUATION DU γ POUR LES JONCTIONS NbN/Ta_xN/NbN

Jonction	JJ1	JJ2	JJ3	JJ4	JJ5	JJ6
γ	5384	2294	1661	1064	598	302

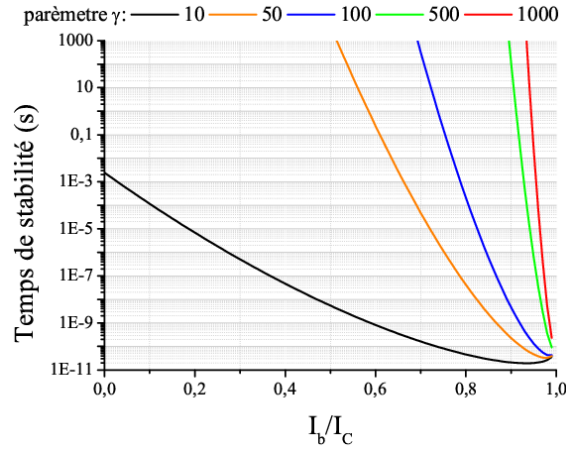


FIG. 3.6. Variation du temps de métastabilité d'une jonction Josephson amortie en fonction du rapport I_b/I_c pour différentes valeurs du paramètre γ (relation 3.3).

en définissant la durée de cet état. Malakhov et Pankratov [95], ont défini, à travers la méthode de Kramers, cette durée de la façon suivante pour $i < 1$:

$$\tau_K = \frac{1}{f_J \sqrt{1-i^2}} e^\alpha, \quad \text{avec} \quad \alpha = \gamma(2\sqrt{1-i^2} + 2i(\arcsin(i) - \pi/2)) \quad (3.4)$$

On peut donc représenter la variation du temps de métastabilité en fonction de γ et de i comme en figure 3.6. Comme prévue plus la jonction est polarisée près de son courant critique (i est proche de 1), plus il est nécessaire d'être immune au bruit thermique, donc γ doit être élevé. Ces conditions doivent être satisfaites pour réduire les taux d'erreur d'un circuit, que ceci soit en technologie NbN soit en Nb et soit en YBCO. L'avantage que la technologie NbN de jonctions auto-shuntées apporte par rapport aux technologies existantes est dû au fait d'être encore moins sensible aux fluctuations thermiques, et donc d'avoir un plus faible BER. Les jonctions sont shuntées extérieurement et ceci implique l'ajout d'une inductance parasite à chaque jonction. Comme démontré par Ortlepp et Uhlmann [96] en figure 3.7 le BER minimum d'une jonction auto-shuntée peut être atteint avec un β_c de environ 1,5. Pour que la même jonction shuntée en externe puisse atteindre le même taux d'erreur, il est nécessaire d'augmenter la résistance de shunt ce qui d'autre part augmente le bruit thermique. En plus, comme montré en figure 3.8, la présence de l'inductance parasite due à l'interconnexion de la jonction avec sa propre résistance de shunt joue sur le BER.

Le bruit quantique ainsi que le bruit de grenaille ne doivent pas être négligés car à la fréquence de travail (200 GHz, envisagé pour l'horloge du CAN) la condition suivante n'est pas complètement respectée :

$$k_B T \gg \hbar \omega_J \quad (3.5)$$

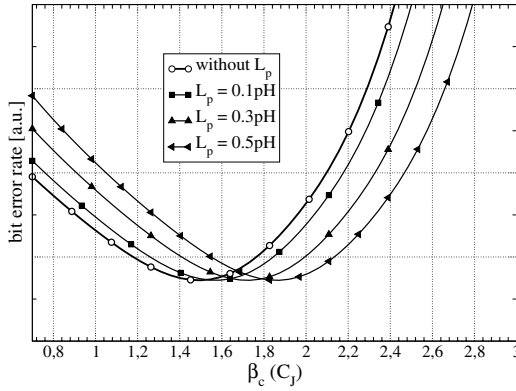


FIG. 3.7. Variation du BER d'une seule jonction Josephson ($I_C=250 \mu\text{A}$, $R_N I_C=256 \mu\text{V}$) pour différentes valeurs d'inductances parasites en fonction de la capacité C_J normalisé à β_c [96].

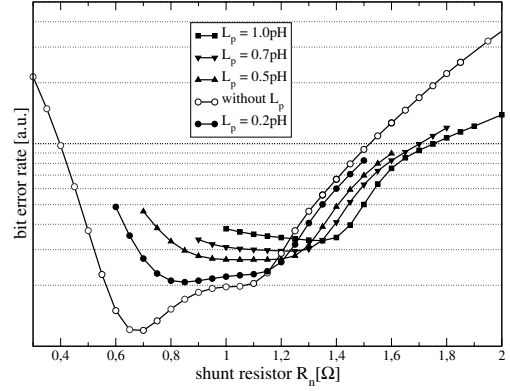


FIG. 3.8. Variation du BER d'une seule jonction Josephson ($I_C=250$) pour différentes valeurs d'inductances parasites en fonction de la résistance de shunt, R_N [96].

En effet d'après l'équation 1.19 l'énergie des oscillations⁵, $\hbar\omega_J$, est environ de 0,41 meV, c'est-à-dire plus que la moitié de l'énergie thermique, $K_B T$ de 0,78 meV, à 9 K. Les logiciels actuels ne tiennent compte que du bruit thermique ($K_B T \sim 3\hbar\omega_J$ en général pour les circuits Nb/AIO_x/Nb actuels) et donc devraient être modifiés pour considérer l'apport des fluctuations quantiques.

D'autre part le logiciel JSIM, modifié par Satchell, ajoute une source de bruit en parallèle à chaque résistance et donc n'est pas sensé modifier le comportement d'un circuit RSFQ basé sur la technologie NbN de jonctions auto-shuntées et donc sans résistance de shunt externe. Etant donné cela et aussi l'absence du traitement des fluctuations quantiques, les simulations qui seront présentées dans ce manuscrit ne prennent en compte que de l'influence du bruit thermique du aux résistances de polarisation. Il est important remarquer encore que l'adaptation du modèle d'une jonction hystérétique à celui d'une jonction auto-shuntée est toujours RCSJ et ne tient pas compte des réflexions d'Andreev, qui normalement se produisent dans une jonction SNS et contribuent à la forme de l'impulsion. Une première analyse [97] en considérant aussi cet effet a démontré que pour ces jonctions l'impulsion SFQ a une tension inférieure et une largeur supérieure que si l'on considère le seul courant du modèle RCSJ. A l'heure actuelle il n'existe pas de logiciels qui tiennent compte d'un modèle complet des jonctions auto-shuntées et pour cette raison on ne tiendra pas compte de l'influence des réflexions d'Andreev qui devront être considérées et vérifiées à l'avenir.

⁵ $\omega_J = 2\pi f_J$

3.2 Etude du modulateur $\Sigma\Delta$

Comme décrit dans la section 1.2.1.1 la tête du convertisseur $\Sigma\Delta$ ou modulateur, est composée par trois blocs que j'ai étudiés en prenant en compte les spécificités des jonctions NbN/Ta_xN/NbN :

l'horloge qui donne le rythme de l'échantillonnage

le comparateur ou quantificateur à 1 bit qui numérise le signal analogique

le filtre qui sélectionne la bande du signal et, en boucle avec le comparateur, met en forme le bruit en le repoussant hors de la bande du signal.

3.2.1 Etude de l'horloge

Il existe différentes solutions d'horloge pour la synchronisation des circuits RSFQ. Le tableau 3.4 résume les oscillateurs existants avec les facteurs des qualité et les fréquences correspondantes.

Une jonction Josephson est dite *longue* lorsque, dans sa géométrie à deux dimensions, une dimension, L , est plus longue que la longueur de pénétration Josephson λ_J (voir la section 1.1.2.3) et l'autre plus petite que λ_J . Dans cette condition un quantum de flux, Φ_0 , peut se propager dans la direction du coté le plus long de la jonction et changer de direction quand il a atteint l'une des deux bornes ⁶. A cause des faibles pertes dans une jonction hystéretique ce processus est répété d'où résulte un mode résonant avec un facteur de qualité très élevé [101]. La fréquence de cet oscillateur est déterminée par la relation suivante :

$$f = \frac{\lambda_J \omega_p}{2L}, \quad \text{avec} \quad \omega_p = \sqrt{\frac{2\pi I_C}{\Phi_0 C}} \quad (3.6)$$

ω_p est appelé *fréquence plasma* de la jonction. La fréquence d'une telle jonction en mode résonant est donc liée à la longueur L de la jonction et ne peut pas être réglée après la fabrication. Si par contre on augmente le nombre, n , de quanta de flux [102] dans la jonction longue (on parle de mode *flux flow*) la fréquence équivalente sera celle donnée par

⁶Il existe aussi des jonctions Josephson longues pas seulement linéaires [99] mais aussi annulaires [100].

TAB. 3.4. COMPARAISON DE DIFFÉRENTS OSCILLATEURS JOSEPHSON [98]

Type d'oscillateur	Facteur de qualité ($f/\Delta f$)	Fréquence typique
Jonction simple	10^2 - 10^3	> 100 GHz
Jonction longue en mode résonant	10^5 - 10^6	10-100 GHz
Jonction longue en <i>flux flow</i>	10^3	> 100 GHz
JTL en anneau	10^3 - 10^4	10-20 GHz

l'équation 3.6 multipliée par n . Même s'il y a toujours une dépendance de la géométrie de la jonction, on peut régler la fréquence en faisant varier le champ magnétique et le courant de polarisation. Cette solution permet d'atteindre des fréquences supérieures à 100 GHz, mais requiert des jonction hystérétiques. La technologie NbN proposée utilise des jonctions non hystérétiques et donc ne permet pas la réalisation d'un oscillateur de ce type.

Une seconde solution adaptée à la technologie NbN serait un oscillateur formé par une ligne de transmission Josephson (JTL) à plusieurs étages en anneau. C'est aussi une solution très utilisée dans la réalisation de circuits RSFQ car simple à réaliser, robuste et réglable en fréquence en faisant varier le courant de polarisation [103, 104]. Le déclenchement de l'horloge est effectué par une impulsion externe qui entraîne les impulsions parcourant l'anneau et un splitter permet de récupérer ces impulsions pour la synchronisation des circuits RSFQ. Il est évident que la fréquence des oscillations dépend de la longueur de l'anneau et donc des étages de la JTL. C'est pourquoi ce type d'oscillateur est limité à des fréquences inférieures à 50 GHz.

Une troisième solution plus simple est d'utiliser une jonction Josephson polarisée au dessus de son courant critique. Selon le courant de polarisation appliqué à la jonction on peut varier la fréquence des oscillations, on peut parler d'un CCO (Current Controlled Oscillator) par analogie au bien connu VCO (Voltage Controlled Oscillator). Comme explique dans la section 1.1.2, la jonction se trouve dans son état dynamique et la fréquence des oscillations est directement proportionnelle à la tension présente aux bornes de la jonction ⁷. La stabilité de cet oscillateur dépend de la stabilité du courant de polarisation mais permet d'atteindre des fréquences supérieures à 100 GHz. Il est évident qu'il faut aussi considérer dans ce cas comme dans les précédents, le bruit thermique et les fluctuations quantiques pour des fréquences de 200 GHz ou plus, mais cette solution reste la seule envisageable compte tenu de la technologie NbN de jonctions auto-shuntées et de la fréquence d'échantillonnage que l'on requiert pour le CAN.

On a donc étudié une jonction Josephson (JJ3) polarisée au dessus de son courant critique, $I_{b1} = 1,2 I_C$, et couplée à une ligne de transmission Josephson (JTL) à deux étages (voir la figure 3.9). Des écarts entre les valeurs des composants (inductances, courants critiques et courants de polarisation) utilisés dans les simulations et les valeurs réelles peuvent influencer le comportement des portes logiques. Il est donc important d'évaluer les marges de chaque composant pour lesquelles le circuit RSFQ continue à fonctionner. Il s'agit de faire varier chaque composant de sa valeur nominale à +/- 100% en vérifiant le fonctionnement pour chaque variation. La figure 3.10 montre les marges relatives à la JTL à deux étages utilisée pour la distribution de l'horloge à 205 GHz. La marge la plus petite limite le bon fonctionnement du circuit. Dans le cas de la JTL, cette marge est de 48,5% et concerne la première jonction JJ2 de la JTL. Cela signifie que pour ce circuit on

⁷Cette loi (relation 1.19) est fondamentale, comme on verra, en particulier pour le test des circuits RSFQ, comme le diviseur de fréquence.

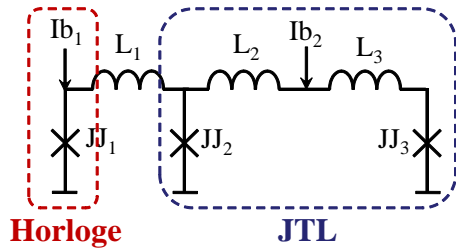


FIG. 3.9. Schéma électrique de l'horloge suivi par une ligne de transmission Josephson (JTL) à deux étages : $L1=2,5$ pH, $L2=1,25$ pH, $L3=1,25$ pH, $Ic1=628$ μ A, $Ic2=Ic3=405$ μ A, $Ib1=765$ μ A, $Ib2=440$ μ A.

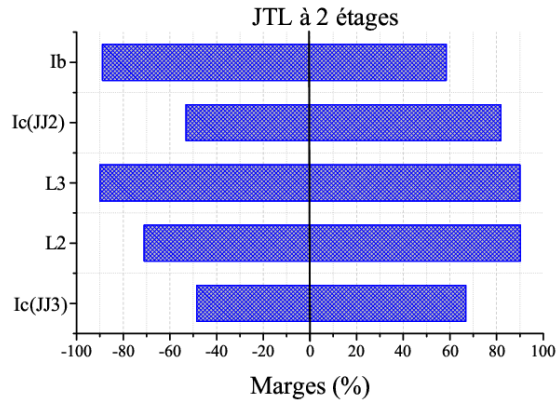


FIG. 3.10. Marges de fonctionnement des jonctions, des inductances et du courant de polarisation de la JTL à deux étages à 205 GHz.

peut tolérer des écarts jusqu'à 48,5% sur tous les composants de la JTL.

En pratique les courants de polarisation sont fournis par des polarisations de tension et des résistances. Les résistances (dans ce cas de $5,5 \Omega$) sont fabriquées sur la puce

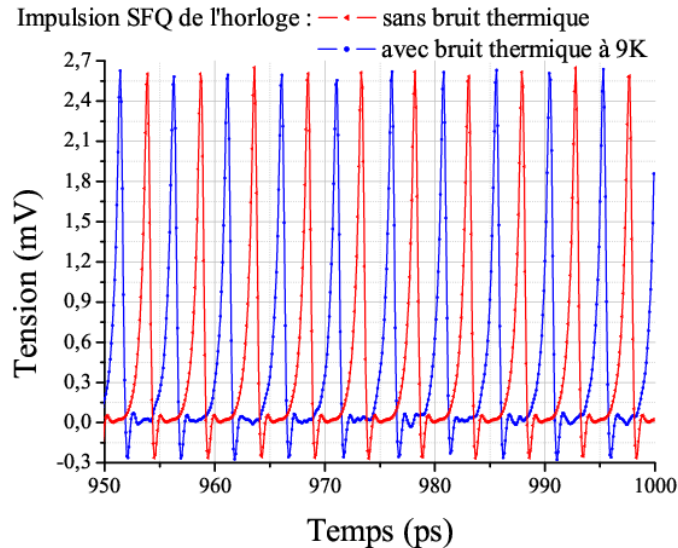


FIG. 3.11. Simulation de l'horloge suivi par une JTL à 4 étages avec et sans bruit thermique à 9 K.

et donc refroidies à la température de fonctionnement, 9 K. En considérant le bruit ne provenant que des résistances de polarisation, on a donc estimé le spectre de l'horloge pour évaluer l'influence du bruit thermique. La figure 3.11 représente l'évolution des oscillations de l'horloge à la sortie de la JTL avec et sans le bruit thermique à 9 K des résistances de polarisation après 900 cycles d'horloge. L'intervalle de simulation étant de 0,1 ps, on a récupéré la sortie de l'horloge après la JTL sur 131072 points couvrants jusqu'à 2687 périodes. On a pris 100 segments (aléatoires) de 65536 sur les 131072, appliqué à chacune une fenêtre de type Blackman et effectué finalement une FFT. En moyennant ces 100 spectres normalisés de façon que 0 dB corresponde à une tension de 1 V on obtient l'estimation du spectre de l'horloge en figure 3.12.

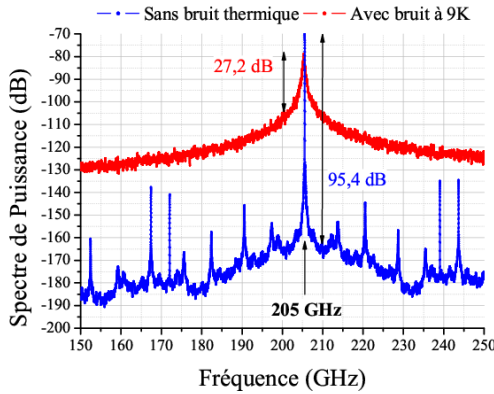


FIG. 3.12. Estimation du spectre de l'horloge en considérant l'influence des fluctuations thermiques à 9K..

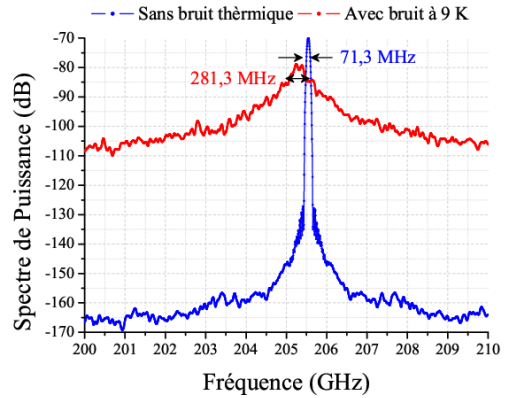


FIG. 3.13. Agrandissement du spectre de la figure 3.12 autour de 205 GHz. La bande augmente avec le bruit.

On remarque sur la figure 3.13 que la fréquence se décale de 205,53 GHz sans bruit à 205,34 GHz en présence des fluctuations thermiques à 9 K. La bande du spectre du bruit augmente rapidement en présence de bruit thermique. car à -3 dB on observe une largeur de 281,3 MHz contre celle de 71,5 MHz sans bruit. Cela comporte une chute du facteur de qualité de 2875 en absence de bruit à 730 à 9 K. Cela est une claire évidence de l'influence non négligeable de la gigue à cette température. On peut encore estimer à ± 5 GHz de la fréquence centrale le rapport signal sur bruit à 27,2 dB et 95,4 dB respectivement avec et sans bruit à 9 K.

3.2.2 Conception et simulation du comparateur

La jonction Josephson grâce à ces propriétés physiques représente elle même un élément de comparaison en courant. Selon que le courant qui traverse la jonction est supérieur ou inférieur à son courant critique, des impulsions sont respectivement déclenchées ou pas à ses bornes. Le courant critique est donc le seuil du comparateur. Pour améliorer la comparaison et pour mieux le synchroniser à l'horloge, une deuxième jonction de mêmes caractéristiques est mise en série pour le signal d'horloge et en parallèle pour le courant, I_x , à comparer comme montré sur la figure 3.14. On parle de comparateur équilibré [105, 106].

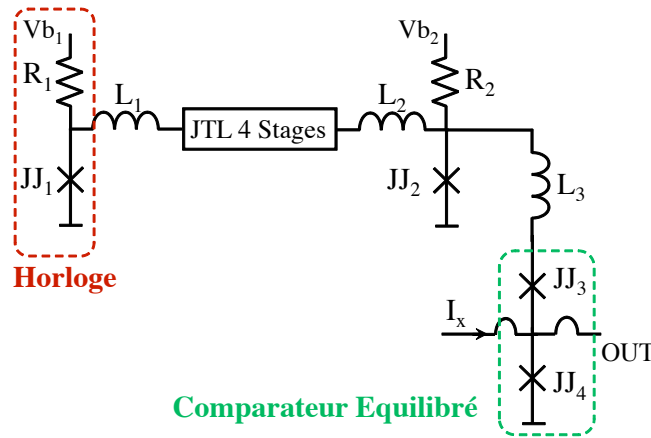


Fig. 3.14. Schéma électrique du comparateur balancé synchronisé avec l'horloge :
 $L1=2,5$ pH, $L2=2,2$ pH, $L3=2,5$ pH, $I_c(JJ1)=I_c(JJ2)=628$ μ A, $I_c(JJ3)=I_c(JJ4)=402$ μ A,
 $R1=R2=5,5$ Ω , $Vb1=4,5$ mV, $Vb2=3$ mV.

La sensibilité du comparateur peut être estimée comme la probabilité de déclenchement de la jonction JJ4 en fonction du courant du signal d'entrée, I_x . Cette probabilité peut être définie comme le nombre d'impulsions en sortie du comparateur par rapport au nombre de coup d'horloge reçus. La tension moyenne des impulsions étant liée à leur fréquence, comme décrit par l'équation 1.19, on peut exprimer cette probabilité comme suit [107] :

$$P = \frac{\langle V(JJ4) \rangle}{\langle V(JJ1) \rangle} \quad (3.7)$$

$\langle V(JJ1) \rangle$ étant la tension moyenne de l'horloge et $\langle V(JJ4) \rangle$ celle du comparateur. Les résultats de la simulation du circuit en figure 3.14 avec $I_x=0$ sont représentés dans la figure 3.15. La tension moyenne $\langle V(JJ1) \rangle$, calculée sur 2000 cycles d'horloge, est de 413 μ V qui d'après la relation 1.19 correspond à une fréquence de 199,5 GHz. La tension moyenne $\langle V(JJ4) \rangle$ du comparateur synchronisé à cette fréquence et avec $I_x=0$ est de 206,5 μ V. Cela signifie que la probabilité (3.7) de déclenchement est de 50%, ce qui

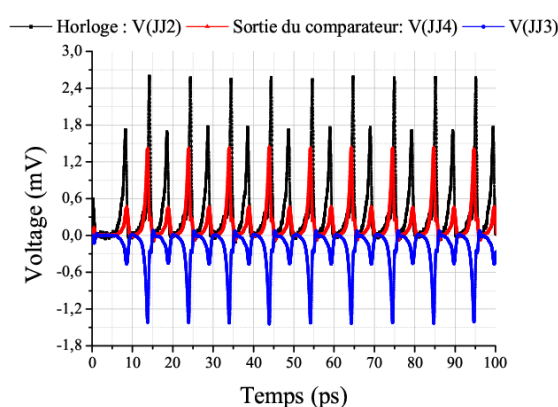


FIG. 3.15. Impulsions d'horloge et des jonctions (JJ3 et JJ4) du comparateur balancé synchronisé à 199,5 GHz.

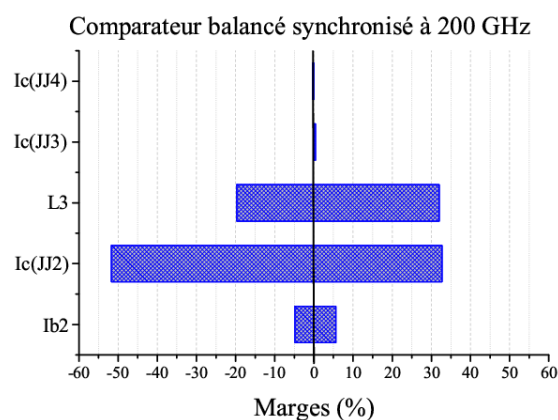


FIG. 3.16. Marges de fonctionnement du circuit de figure 3.14

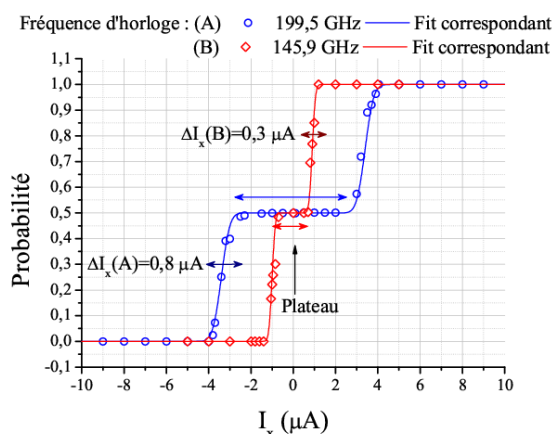


FIG. 3.17. Probabilité de déclenchement de la jonction JJ4 du comparateur balancé pour deux fréquences d'horloge. Le plateau diminue avec la fréquence d'échantillonnage.

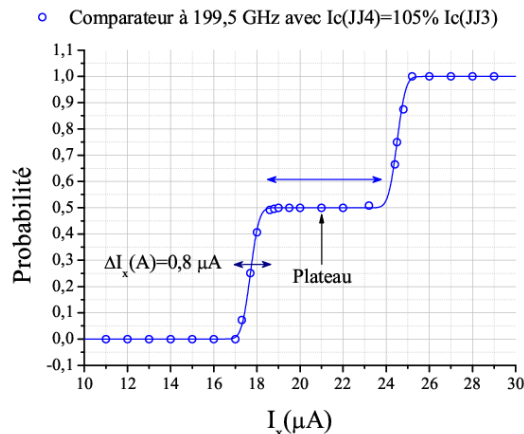


FIG. 3.18. Probabilité de déclenchement de la jonction JJ4 du comparateur balancé à 199,5 GHz avec un écart du courant critique $I_c(JJ4)$ de 5% supérieur à $I_c(JJ3)$.

comporte à la sortie de la comparaison autant de «1» logiques que de «0» logiques. Pour cette configuration la figure 3.16 représente les marges des composants du comparateur ainsi que ceux de la connexion du comparateur à la sortie de la JTL à 4 étages (4 jonctions Josephson). Il n'est pas étonnant que les courants critiques des JJ3 et JJ4 aient des marges si faibles. Cela est un indice de la sensibilité du comparateur car la probabilité de déclenchement varie de 0% à 50% sur une variation du signal d'entrée ΔI_x de $0,8 \mu A$. Il

Tab. 3.5. VALEURS EN μA DES PARAMÈTRES DES TROIS DIFFÉRENTES CONFIGURATIONS ANALYSÉES DU COMPAREUR

JJs Compareur	Fréquence	ΔI_X	I_L	I_H	I_t	plateau
$I_c(\text{JJ4})=I_c(\text{JJ3})$	199,5 GHz	0,8	-3,3	3,5	0,1	4,8
$I_c(\text{JJ4})=I_c(\text{JJ3})$	145,9 GHz	0,3	-1	0,9	-0,05	1,4
$I_c(\text{JJ4})=1,05 \cdot I_c(\text{JJ3})$	199,5 GHz	0,8	17,7	24,5	21,1	4,8

est intéressant d'observer que pour des fréquences d'échantillonnage si élevées, il existe un plateau sur la courbe de la probabilité, dans une plage de $-2,3$ à $2,3 \mu\text{A}$ du courant du signal d'entrée, où le comparateur a la même probabilité de donner des 1 ou 0 logiques. En effet dans ce cas la dynamique du comparateur est plus complexe et il se comporte alors comme un diviseur de fréquence et ce même comportement est observé aussi pour des fréquences très basses [108]. Il existe par contre des fréquences intermédiaires pour lesquelles cet effet diminue comme montré pour 145,9 GHz dans la figure 3.17 jusqu'à disparaître [109]. A 145,9 GHz la variation ΔI_X (aussi appelée *zone grise* du comparateur) descend à $0,3 \mu\text{A}$. Si les courants critiques des jonctions du comparateur diffèrent, c'est le seuil de déclenchement qui changera. Cela est bien évident sur la figure 3.18 où le seuil I_t vaut $21 \mu\text{A}$ pour un courant critique de JJ4 supérieur de 5% à celui de JJ3. Il s'agit donc d'un offset qui peut être corrigé avec l'ajout d'un courant de polarisation sur JJ4 ou JJ3.

Les probabilités des figures 3.17 et 3.18 peuvent être adaptées par un simple modèle pour analyser la caractéristique du déclenchement du comparateur selon les deux relations suivantes :

$$P_{\text{plateau}} = \begin{cases} 0,25 \cdot (1 + \text{Erf}(\sqrt{\pi} \cdot (I_X - I_t)/\Delta I_X)) & \text{si } I_X \leq I_L \\ 0,25 \cdot (1 + \text{Erf}(\sqrt{\pi} \cdot (I_X - I_t)/\Delta I_X)) + 0,5 & \text{si } I_X \geq I_H \end{cases} \quad (3.8)$$

qui représentent une adaptation de la probabilité de déclenchement en absence de plateau [108] :

$$P = 0,5 \cdot (1 + \text{Erf}(\sqrt{\pi} \cdot (I_X - I_t)/\Delta I_X)) \quad (3.9)$$

I_L et I_H sont les courants de seuil en présence de plateau pour $0 < P < 0,5$ et $0,5 < P < 1$ respectivement. Le tableau 3.5 résume les valeurs des seuils et de la sensibilité, hors plateau, du comparateur, ΔI_X des trois configurations analysées.

3.2.3 Conception et étude du filtre RF et du modulateur complet

Le modulateur sigma-delta représente le stade initial de la conversion, même si la résolution en sortie est d'un bit, il est nécessaire d'obtenir les meilleures performances possibles, SNR, SFDR et sensibilité. Le filtre de décimation dans la bande d'intérêt ne joue pas sur la sensibilité du convertisseur. Pour que le convertisseur puisse être utilisé

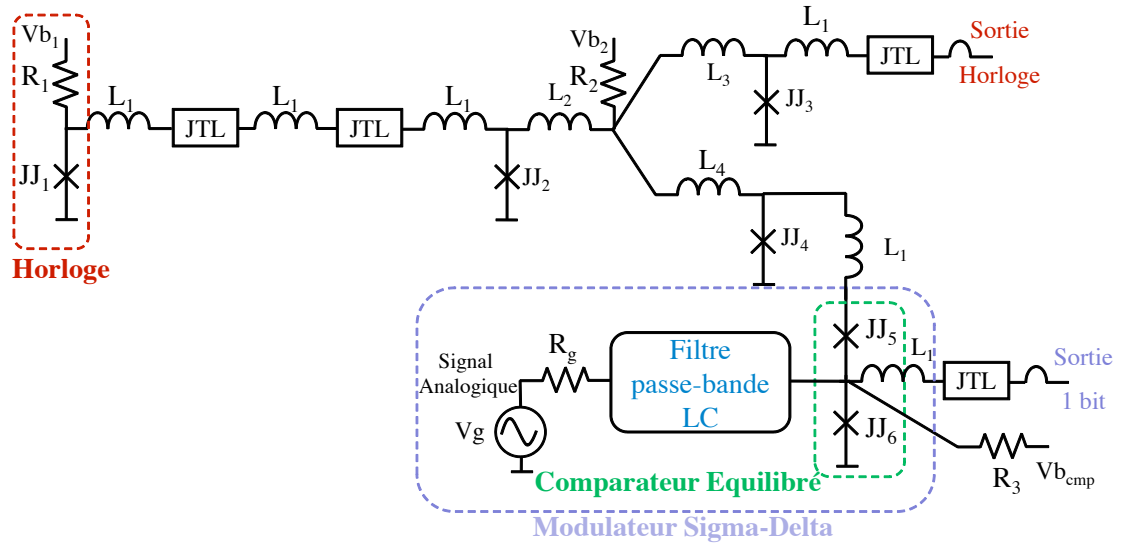


FIG. 3.19. Schéma électrique du circuit comprenant le modulateur sigma-delta passe-bande supraconducteur simulé avec JSIM : $R_g=50 \Omega$, $R_1=R_2=5.5 \Omega$, $R_3=17,2 \Omega$, $L_1=2,5$ pH, $L_2=1,34$ pH, $L_3=1,3$ pH, $L_4=1,42$ pH, $I_{c1}=I_{c2}=I_{c4}=628 \mu A$, $I_{c3}=I_{c5}=I_{c6}=402 \mu A$, $V_{b1}=5,5$ mV, $V_{b2}=4$ mV, $V_{bcmp}=1,2$ mV. La JTL à deux étages est décrite dans la figure 3.9.

dans le système SDR sur satellite il est demandé un SNR d'environ 90 dB et une sensibilité de $10 \mu V$ environ [55].

Si le rapport signal sur bruit dépend en pratique du rapport de sur-échantillonnage, la sensibilité du modulateur est liée à la façon de coupler le signal d'entrée au comparateur. La figure 3.19 montre le schéma que l'on a considéré pour évaluer les caractéristiques du modulateur supraconducteur passe-bande. Les modulateurs sigma-delta passe-bande démontrés jusqu'à maintenant ont été étudiés et réalisés [55, 57] avec un résonateur LC ou une ligne micro-ruban équivalente. Il a été démontré que si l'impédance caractéristique, Z_{in} , du résonateur est adaptée à la résistance normale du comparateur on peut atteindre une sensibilité élevée. Celle-ci est inversement proportionnelle au courant à mi-échelle, i_{hs} , du modulateur [55] qui peut être défini comme suit :

$$i_{hs} = \frac{\Phi_0 f_s}{2Z_{in}} \quad (3.10)$$

f_s étant la fréquence de sur-échantillonnage.

D'après les spécifications reportées dans le tableau 2 de l'introduction le filtre RF devra être un filtre passe-bande centré à 30 GHz avec une bande passante de 500 MHz. On cherche en particulier un filtre à bande plate sans perte d'insertion en bande. Grâce au sur-échantillonnage effectué par le convertisseur sigma-delta, il n'est pas nécessaire de

réaliser un filtre très sélectif. A ce propos on a choisi un filtre d'ordre 3, en considérant qu'avec des filtres d'ordre 1 ou 2 on ne pourrait pas bien contrôler une largeur de bande de 500 MHz. On a donc étudié un filtre passe-bande basé sur trois résonateurs LC couplés comme le montre la figure 3.20. Pour calculer les dimensions du filtre on a défini un filtre passe bas d'ordre 3 à bande plate et à éléments finis L et C [37]. On a effectué une conversion passe-bande pour déterminer les valeurs des résonateurs LC et utilisé quatre coupleurs capacitifs, inverseurs d'admittance [37] (figure 3.21), $J = \omega C_g$, ω étant la fréquence angulaire centrale du filtre ($2 \cdot \pi \cdot 30\text{GHz}$). Les jonctions Josephson ayant une

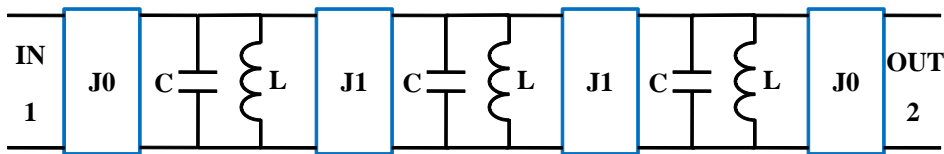


FIG. 3.20. Schéma électrique LC utilisé pour calculer les valeurs du filtre. Les résonateurs LC couplés entre eux par les inverseurs d'admittance J .

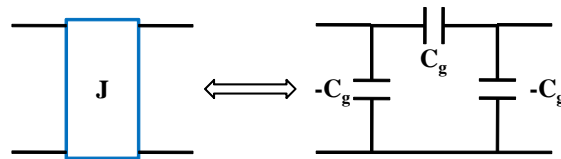


FIG. 3.21. Schéma électrique de l'inverseur d'admittance ωC_g , avec $\omega = 2\pi f_p$, f_p étant la fréquence centrale (porteuse du signal) du filtre.

impédance de quelques ohms, il faut chercher de transmettre tout le signal en entrée vers le comparateur en adaptant le filtre de 50Ω à environ 2Ω . On a donc choisi d'étudier d'abord le filtre pour les deux portes chargées avec la même impédance, une fois avec 50Ω et une fois avec 2Ω , pour les deux configurations micro-ruban ⁸ suivantes :

2Ω : pour avoir une impédance des lignes de l'ordre de 2Ω en se basant sur les épaisseurs des couches du procédé à 10 niveaux décrit dans le tableau 2.2, on a utilisé le plan de masse (GND) et la ligne des interconnexions (WIR) en NbN avec comme diélectrique les deux couches de Si_3N_4 (ϵ_r de 7,5) défini par ISO1 et ISO3 pour un total de 500 nm d'isolant. Dans cette configuration une ligne de largeur égale à $32 \mu\text{m}$ a une impédance caractéristique de $2,05 \Omega$.

50Ω : pour une impédance d'environ 50Ω la configuration précédente n'est pas adaptée, car il faudrait diminuer la largeur de la ligne à $0,42 \mu\text{m}$. Cela n'est pas réalisable

⁸Une configuration coplanaire pourrait être aussi étudiée mais cela comporterait une occupation de l'espace sur la puce non négligeable due à la largeur des plans de masse, environ 2 mm au total.

TAB. 3.6. VALEURS LC CALCULÉES POUR LE FILTRE PASSE-BANDE AVEC Z_c DE 2 Ω ET DE 50 Ω

Z_c (Ω)	L (pH)	C (pF)	C_{g0} (fF)	C_{g1} (fF)
2	6,72	4,19	17,2	2,0
50	167,95	0,16	429,2	49,1

avec la technologie de fabrication dont l'on dispose et en plus il faudrait élargir la ligne d'entrée pour effectuer la soudure. On a préféré utiliser un substrat de MgO (ϵ_r de 9,8) et de déposer de deux faces le NbN, de façon à profiter d'un diélectrique épais 250 μm . Dans cette configuration on utilise toujours la ligne d'interconnexion (WIR) et avec une largeur de 246 μm on obtient une impédance caractéristique de 50,2 Ω . Dans ce cas le modulateur sera réalisé avec le procédé à 10 niveaux sur un substrat de MgO. On profitera d'une soudure de type flip-chip [110, 111] et d'un package MCM (*Multi-chip Module* [112, 113]) pour raccorder le filtre de décimation réalisé sur un substrat de silicium oxydé.

Les valeurs des composants du filtre pour chaque impédance caractéristique sont reportées dans le tableau 3.6.

Pour ce qui concerne le filtre à 50 Ω les valeurs des capacités des inverseurs peuvent être bien adaptés avec des gap (voir la figure 3.22) de largeur 10 μm et 295 μm , respectivement pour les capacités C_{g0} et C_{g1} . Les longueurs des lignes sont ajustées par rapport à

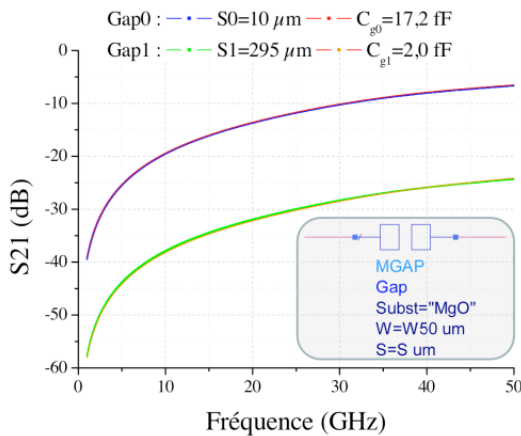


FIG. 3.22. Paramètre S21 montrant l'adaptation des deux capacités des inverseurs J pour le filtre à 2 Ω avec deux gaps micro-ruban sur MgO.

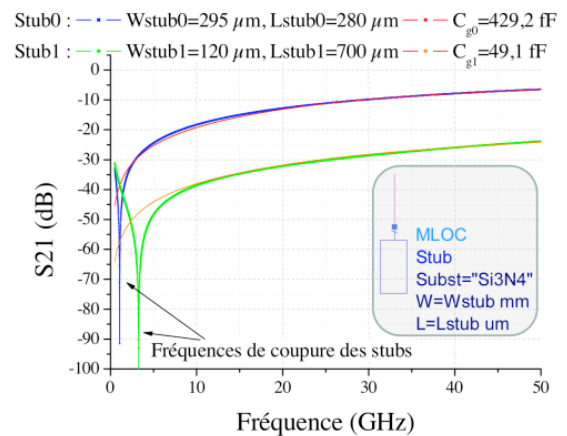


FIG. 3.23. Paramètre S21 montrant l'adaptation des deux capacités des inverseurs J avec deux stub micro-ruban en circuit ouvert sur Si_3N_4 .

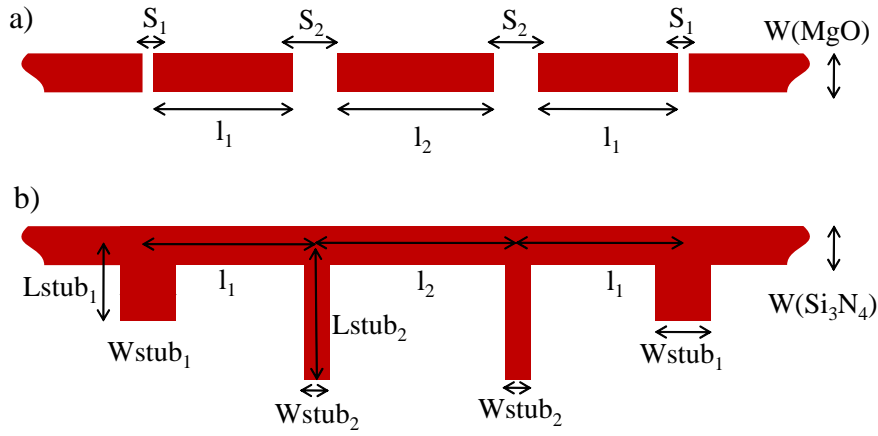


FIG. 3.24. Modèle micro-ruban du filtre passe-bande pour deux impédances caractéristiques, 50Ω (a) et 2Ω (b). Outre la longueur des lignes on remarque l'implémentation différente des capacités des inverseurs d'admittance selon Z_c . On utilise (a) quatre gaps égaux deux à deux ($S_0=10 \mu\text{m}$ et $S_1=295 \mu\text{m}$) pour le filtre à 50Ω et (b) quatre stub en circuit ouvert égaux deux à deux ($W_{\text{stub}_1}=295 \mu\text{m}$, $L_{\text{stub}_1}=280 \mu\text{m}$, $W_{\text{stub}_2}=120 \mu\text{m}$ et $L_{\text{stub}_2}=700 \mu\text{m}$) pour le filtre à 2Ω . Dans ce cas il faudrait un DC block pour couper le continu.

la demi longueur d'onde guidée :

$$\lambda_g = \frac{c}{\sqrt{\epsilon_{\text{eff}}} f_p} \quad (3.11)$$

c étant la vitesse de la lumière dans le vide, ϵ_{eff} la permittivité effective du diélectrique et f_p , la fréquence centrale (porteuse du signal) du filtre. Dans le cas du filtre sur MgO $\lambda_g/2=1,894 \text{ mm}$ avec une permittivité effective de 6,97 à 30 GHz. On obtient 1,735 mm pour le résonateur central et 1,715 mm pour les deux latéraux comme représenté dans la figure 3.24.a. Les résultats des simulations en figure 3.25 montrent la réponse du filtre micro-ruban sur MgO. On obtient une largeur de bande à -3 dB de 507 MHz, une fréquence centrale de 30,008 GHz et une atténuation en bande de 0,05 dB.

Pour ce qui concerne le filtre à 2Ω le modèle du gap microruban ne s'adapte pas car les capacités C_{g0} et C_{g1} , sont grandes. On a donc réalisé ces capacités avec deux stub en circuit ouvert, de largeur $295 \mu\text{m}$ et de $120 \mu\text{m}$ respectivement. Les longueurs ($280 \mu\text{m}$ et $700 \mu\text{m}$ respectivement) de ces stubs sont choisies de façon que la fréquence de coupure soit très basse par rapport à la fréquence central du filtre (voir la figure 3.23). Les longueurs des résonateurs sont aussi ajustées par rapport à la demi longueur d'onde guidée (dans ce cas 1,871 mm avec une permittivité effective du Si_3N_4 de 7,14 à 30 GHz) et aussi en considérant les largeurs des stubs. On obtient 1,813 mm pour le résonateur central et 1,833 mm pour les deux latéraux. Le filtre complet micro-ruban sur Si_3N_4 est montré

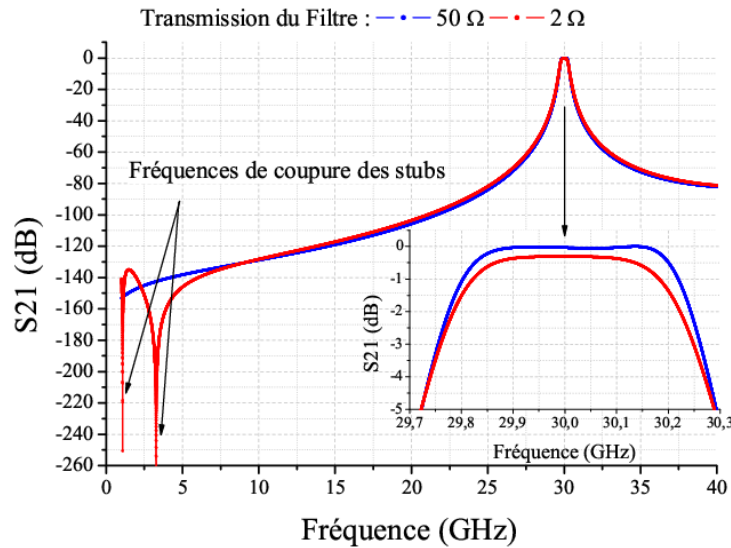


FIG. 3.25. Réponse en fréquence du filtre passe-bande micro-ruban sur MgO ($Z_c=50 \Omega$) et Si₃N₄ ($Z_c=2 \Omega$). Dans ce dernier cas on remarque les fréquences de coupure des stubs.

en figure 3.24.b. Les simulations en figure 3.25 montrent bien la réponse en fréquence cherchée. Par rapport à la version du filtre à 50Ω la bande est de 489 MHz, la fréquence centrale de 30,004 GHz et l'atténuation en bande de 0,3 dB.

On a donc analysé le changement du paramètre scattering S21 entre l'entrée (première porte, P1) du filtre chargé sur le générateur à 50Ω et la sortie (deuxième porte, P2) chargée sur une impédance de 2Ω simulant le comparateur et le filtre de décimation. La figure 3.26 montre un comportement différent du filtre selon son impédance caractéristique. Pour $Z_c=50 \Omega$ la réponse du filtre présente une coupure étrange après 30,5 GHz, alors que pour $Z_c=2 \Omega$ l'allure du filtre reste la même au prix d'une atténuation en bande de 8,64 dB et d'une bande réduite à 357 MHz. Il faut encore considérer que pour avoir des impédances caractéristiques entre 30 et 50Ω il est nécessaire de profiter d'un diélectrique plus épais ou avec une permittivité très élevée. Dans ce dernier cas on pourrait réaliser le modulateur et le filtre de décimation sur la même puce. Au contraire, on pourrait réaliser sur deux puces distinctes le modulateur et le filtre de décimation et profiter de l'utilisation d'un package MCM. A ce propos, il est nécessaire que les interconnexions entre les deux puces soient capables de transmettre 200 Gbps dans le cas du CAN demandé. A l'heure actuelle la vitesse maximale atteinte parmi les puces sur un module MCM est de 100 Gbps [113]. Pour ces raisons on a cherché d'adapter le filtre de 2Ω à l'entrée sur 50Ω en changeant l'admittance du résonateur et l'inverseur d'admittance d'entrée. Les valeurs trouvés ($C_{gIN}=85,6$ fF, $L_{IN}=5,48$ pH, $C_{IN}=5,14$ pF) donnent la réponse correcte pour le filtre LC dans la figure 3.26, qui est donc bien adapté. D'autre part convertir cette configuration dans un équivalent micro-ruban n'a pas donné des résultats meilleurs par

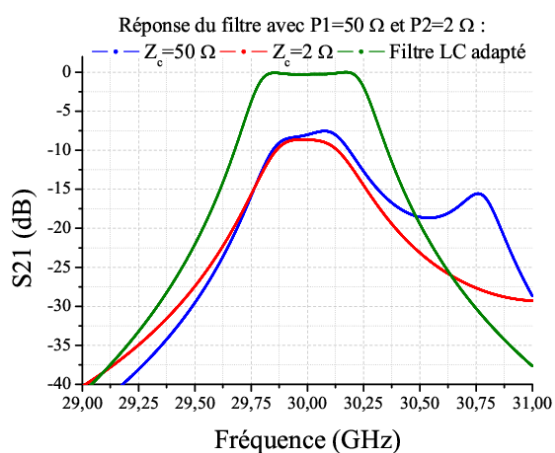


FIG. 3.26. Réponse du filtre chargé sur 50Ω en entrée (P1) et sur 2Ω en sortie (P2) selon les deux valeurs de Z_c par rapport à un filtre LC adapté.

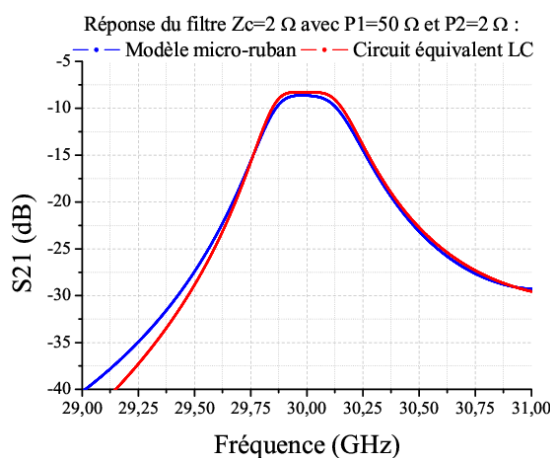


FIG. 3.27. Paramètre S21 du filtre pour le circuit micro-ruban représenté en figure 3.24 et le circuit LC équivalent représenté en figure 3.28.

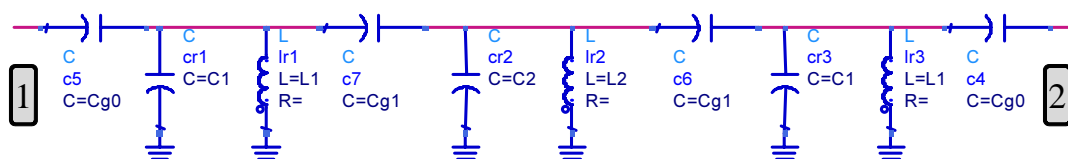


FIG. 3.28. Circuit LC ($C_{g0}=429,2$ fF, $C_{g1}=49,1$ fF, $C1=3,7204$ pF, $C2=4,09$ pF, $L1=L2=6,7184$ pH.) équivalent du filtre passe-bande simulé en technologie micro-ruban avec $Z_c=2 \Omega$ qui sera utilisé pour simuler le modulateur sigma-delta avec JSIM.

rapport au filtre d'impédance égale à 2Ω .

On a pourtant considéré ce filtre à 2Ω pour analyser le modulateur complet. JSIM ne pouvant pas accepter une configuration micro-ruban si complexe, on a calculé à partir des données du tableau 3.6 les valeurs des composants LC pour un circuit équivalent plus compacte que celui reporté en figure 3.21. Les valeurs sont en effet obtenus en résolvant le parallèle entre les capacités C des résonateurs et les capacités $-C_g$ des inverseurs d'admittance. On obtient donc le schéma en figure 3.28 avec $C_{g0}=429,2$ fF, $C_{g1}=49,1$ fF, $C1=3,7204$ pF, $C2=4,09$ pF, $L1=L2=6,7184$ pH.

On a donc couplé ce filtre LC passe-bande au comparateur décrit précédemment et chargé la sortie du comparateur ainsi que celle de l'horloge avec une JTL à deux étages comme reporté dans la figure 3.19. Le signal de l'horloge est divisé pour synchroniser le modulateur ainsi que d'autres portes logiques, comme celles du filtre de décimation. La fréquence d'échantillonnage est réglée à 200 GHz avec la polarisation Vb_1 . Le comparateur est ajusté de façon à avoir 37 % de 1 logiques à l'aide de la polarisation Vb_{cmp} , de

façon à éviter un comportement de diviseur de fréquence du comparateur comme expliqué précédemment. Pour estimer le spectre de sortie du modulateur on a procédé comme pour l'horloge, mais cette fois sur 16700 cycles d'horloge. La figure 3.29 montre le spectre de puissance du modulateur pour une sinusoïde à 30 GHz et 100 μV à mi-échelle. On remarque bien l'effet de la modulation sigma-delta car le bruit est réduit au minimum dans la bande d'intérêt. Le rapport du signal sur bruit estimé est de 23 dB. Cette valeur est inférieure aux valeurs de 45-50 dB [55, 57] trouvées dans la littérature pour le même rapport de sur-échantillonnage.

L'amélioration du SNR dépend aussi de la façon avec laquelle le signal est couplé au comparateur. Dans ce cas une explication de la réduction du SNR pourrait être l'absence d'une inductance de liaison entre le filtre et le comparateur. En effet l'ajout de cette inductance, qui permet de transformer le signal d'entrée en courant, transforme le filtre en un résonateur en réduisant la bande du signal. Une autre explication serait liée au fait que le filtre n'est pas adapté en entrée et le signal transféré aux bornes du comparateur n'est que de 4 μV environ. On pourrait encore considérer l'incertitude de la comparaison du au plateau présent sur la probabilité de déclenchement du comparateur (figure 3.17). Il faudrait donc revoir le couplage du filtre au comparateur et le comportement pour des fréquences d'échantillonnage plus basses de façon à trouver le rapport du signal sur bruit et la sensibilité les meilleurs [55].

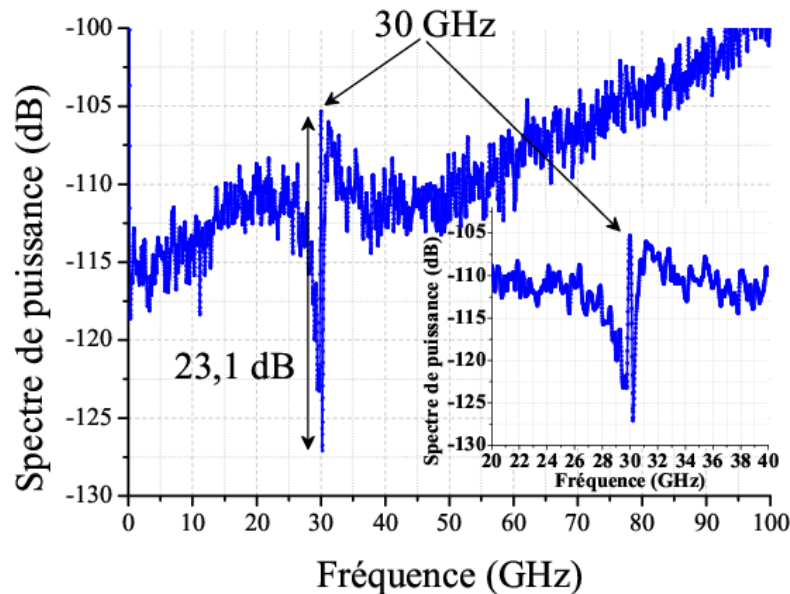


FIG. 3.29. Spectre de puissance obtenu après la simulation du modulateur sigma-delta passe-bande. On remarque la mise en forme du bruit, minimum dans la bande d'intérêt avec un SNR de environ 23,1 dB.

3.3 Etude du filtre de décimation

Le filtre de décimation qui suit le modulateur, comme expliqué dans la section 1.2.1.2, permet l'augmentation de la résolution de la conversion et du rapport signal/bruit (SNR). La complexité de ce filtre augmente avec le facteur de décimation, N . A l'heure actuelle les filtres de décimation les plus récents ont été démontrés à des fréquences d'horloge de 43 GHz [114] et 18 GHz [115] avec des facteurs respectifs de 4 et 32 et une complexité de 2758 et 6700 jonctions Nb/AlO_x/Nb. Ces filtres et aussi d'autres [116] sont des filtres numériques passe-bas et il n'existe pas encore des filtres de décimation de type passe-bande en logique RSFQ. Ces filtres de décimation sont généralement plus complexes et plus difficiles à réaliser qu'un filtre passe-bas.

Le filtre de décimation recherché pour le convertisseur est un filtre passe-bande d'ordre $k = 4$ pour un modulateur d'ordre $l = 3$. Le facteur de décimation devrait être de l'ordre du rapport de sur-échantillonnage, $N=f_s/2B=200$. Pour réaliser un tel filtre on pourrait transposer le filtre passe-bas vers la fréquence porteuse, f_c , ou transposer la sortie du modulateur en basses fréquences. Le premier cas requiert une architecture très sophistiquée du filtre alors que la deuxième solution peut simplifier la réalisation de la décimation. Dans ce dernier cas, d'un point de vue mathématique on peut multiplier la sortie à 1 bit du modulateur pour $e^{-j2\pi f_c t_s}$ comme en figure 3.30. Cela suppose de séparer les flux de bit de sortie du modulateur dans une partie réelle et une partie imaginaire et d'utiliser un filtre passe-bas comme décrit dans la figure 3.31 [58]. On parle dans ce cas d'un premier

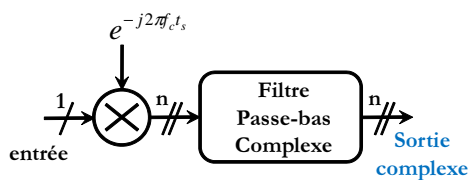


FIG. 3.30. Démodulation complexe de la sortie du modulateur.

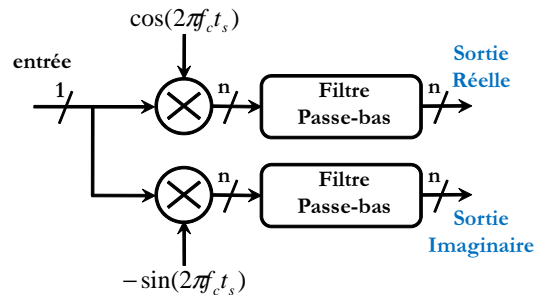


FIG. 3.31. Séparation et filtrage de la partie réelle et de la partie imaginaire.

étage de décimation, un deuxième étage pouvant être réalisé à l'aide d'un DSP à semiconducteurs à basse fréquence. Il est évident que la complexité de la décimation dans le cas d'un modulateur sigma-delta passe-bande devient double de celle d'un modulateur passe-bas. En plus il faut multiplier les bits par certains coefficients décrits par $\cos(2\pi f_c t_s)$ et $\sin(2\pi f_c t_s)$, $t_s = 1/f_s$ étant le temps d'échantillonnage. La génération de ces coefficients dépend de leur valeur et peut être vraiment simplifiée pour $f_c = f_s/4$ ou $f_c = f_s/8$. Dans le

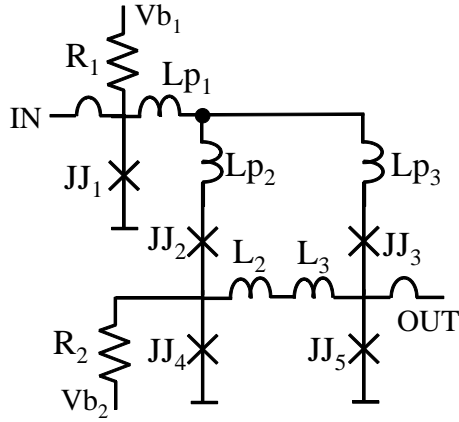


FIG. 3.32. Schéma du Toggle-Flip Flop : $I_c(JJ1)=I_c(JJ5)=628 \mu A$, $I_c(JJ2)=I_c(JJ4)=402 \mu A$, $I_c(JJ3)=226 \mu A$, $L_{p1}=1,65 \text{ pH}$, $L_{p2}=0,98 \text{ pH}$, $L_{p3}=1,46 \text{ pH}$, $L_2=L_3=3,1 \text{ pH}$, $R_1=5,5 \Omega$, $R_2= 8,6 \Omega$, $V_{b1}=2,5 \text{ mV}$, $V_{b2}=4,2 \text{ mV}$.

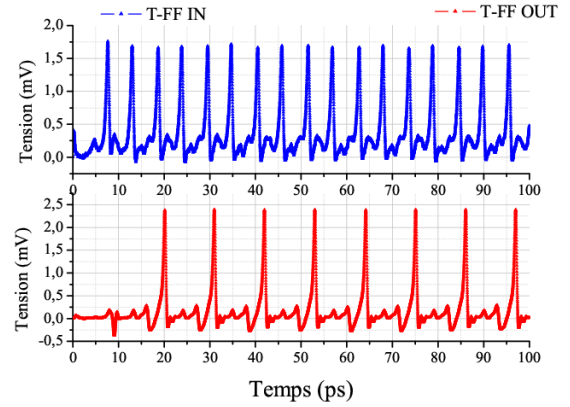


FIG. 3.33. Simulations du fonctionnement du T-FF à 200 GHz. On observe bien la division de fréquence par deux.

premier cas les coefficients seraient chacun des 0 ou des ± 1 et dans les deuxième cas⁹ des 0, des ± 1 ou des $\pm 1/\sqrt{2}$. Cela signifie que pour pouvoir réaliser un filtre de décimation de façon relativement simple on devrait échantillonner le signal à 120 ou 240 GHz.

La réalisation de tels filtres ou d'autres pour d'autres rapports f_s/f_c ne sera pas traitée dans ce manuscrit mais on donnera une idée de l'implémentation en logique RSFQ et de la complexité du filtre passe-bas nécessaire pour effectuer la décimation. D'après le diagramme à bloc de la figure 1.48, les circuits principaux qui concourent à la réalisation de la décimation sont :

1. le diviseur de fréquence par le facteur de décimation N
2. le registre à décalage pour les n bits de résolution.

3.3.1 Le diviseur de fréquence

Le diviseur de fréquence en logique RSFQ est réalisé avec une bascule T-Flip Flop, équivalente à celle RS-Flip Flop déjà décrite dans la section 1.1.4.2. La figure 3.32 montre le schéma électrique de ce circuit de base avec l'emploi des jonctions NbN/Ta_xN/NbN décrites dans le tableau 3.2. L'opération correcte à 200 GHz est montrée par le résultat des simulations à 9K dans la figure 3.33. La division de fréquence par deux sur les oscillations de JJ5 (tension moyenne calculée de $207 \mu V$) correspond bien à une division par deux de

⁹Dans ce cas la réalisation pourrait être simplifié avec 4 filtres passe-bas de décimation [58].

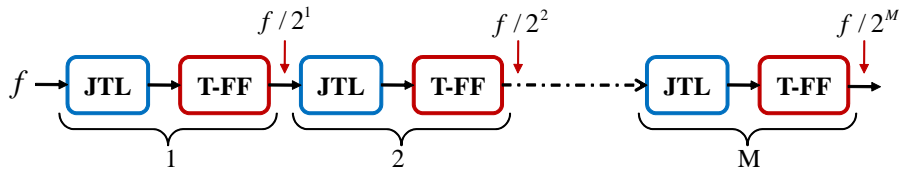


FIG. 3.34. Diagramme à bloc d'un diviseur de fréquence. Chaque groupe JTL(à 2 étages)/T-FF est un étage de division par deux.

la tension moyenne aux bornes de JJ1, $414 \mu\text{V}$. Pour effectuer une division par 2^M il suffit de mettre en cascade M bascules T-FF reliées entre elles par des JTL comme dans la figure 3.34. Chaque bloc JTL/T-FF est composé par $2+5=7$ jonctions Josephson d'après les schémas électriques reportés dans les figures 3.9 et 3.32 respectivement. 49 et 56 jonctions Josephson seront par exemple nécessaires pour réaliser une division par 128 et 256 respectivement.

3.3.2 Le registre à décalage

Le registre à décalage est un peu plus complexe que le diviseur de fréquence car il faut introduire deux entrées, une des données et une de l'horloge. La bascule dans ce cas est un Reset Set-Flip Flop, décrite en section 1.1.4.2, et dont les valeurs des composants sont identiques à ceux du schéma électrique du T-FF en ouvrant le noeud entre L_{p3} et L_{p2} . De cette façon les données arrivent dans la boucle du SQUID (JJ4, L_1 , L_2 , JJ5) par les jonctions JJ1 et JJ4 et l'horloge par la jonction JJ3. Chaque bascule RS-FF ne pouvant stocker qu'un quantum de flux, il est nécessaire de distribuer l'horloge à autant de bascules pour autant de bits à traiter dans le registre à décalage. Pour faire cela il faut séparer le signal d'horloge à l'aide d'un *splitter* (SP) dont le schéma électrique est donné dans la figure 3.35. Les résultats des simulations montrent le fonctionnement correct du circuit à 9K (voir la figure 3.36). On peut donc construire un registre à décalage avec ces trois blocs de base (JTL, Splitter et RS-FF) comme décrit dans la figure 3.37. Chaque groupe JTLs/SP/RS-FF décrit un bit du registre et comprend $2 \times 2 + 3 + 5 = 12$ jonctions Josephson. Pour un facteur de décimation de 128, d'après la relation (1.63), le registre à décalage pour un filtre de décimation d'ordre $k = 4$, devra être de 33 bits. Il faudra donc 396 jonctions pour réaliser un registre à décalage et 3168 jonctions pour en réaliser les huit nécessaires pour le filtre d'après le diagramme en figure 1.48. Dans le cas hypothétique et plus simple d'une fréquence d'échantillonnage de 120 GHz ($4 \times f_c$), on aurait en plus besoin d'un diviseur de fréquence par 128 (49 jonctions), 8 port OU (8 jonctions [16]), 4 inverseurs (5 jonctions [16]) et des JTL de synchronisation (*timing*), c'est-à-dire un total d'environ 3500 jonctions pour un filtre de décimation passe-bas. Pour la réalisation complète de la décimation des bits de sortie du modulateur sigma-delta passe-bande, toujours

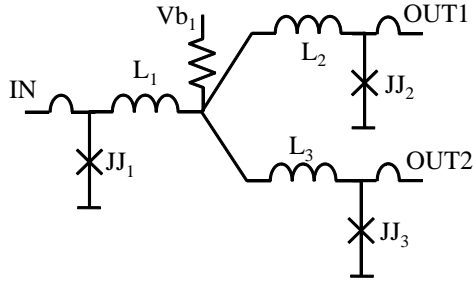


FIG. 3.35. Schéma du SPLITTER : $I_c(JJ_1)=628 \mu A$, $I_c(JJ_2)=I_c(JJ_3)=402 \mu A$, $L_1=1,34 \text{ pH}$, $L_2=1,3 \text{ pH}$, $L_3=1,42 \text{ pH}$, $R_1=5,5 \Omega$, $V_{b1}=4,5 \text{ mV}$.

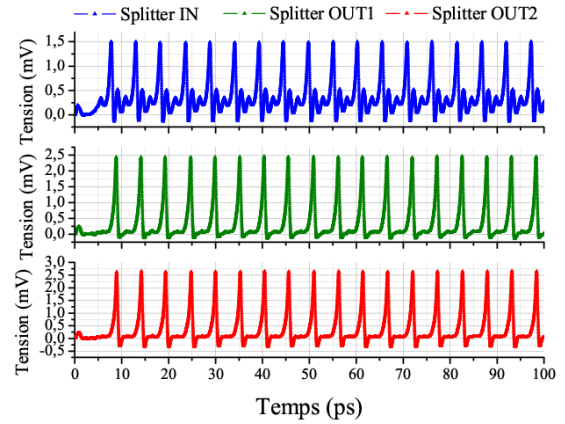


FIG. 3.36. Simulations du fonctionnement du SPLITTER à 200 GHz. Les oscillations en entrée sont reproduites sur les deux sorties.

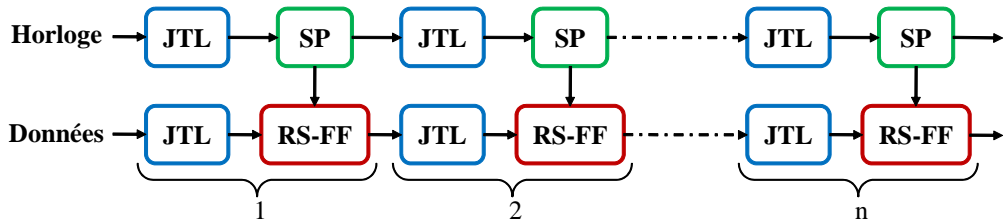


FIG. 3.37. Diagramme à blocs d'un registre à décalage à n bits. Chaque groupe JTLs(à 2 étages)/SP/RS-FF est un 1 bit du registre.

dans le cas $f_s = 4f_c$, on aurait besoin de deux filtres passe-bas, de deux multiplicateurs et des opérateurs logiques pour générer les coefficients comportant approximativement 8000 jonctions Josephson. Il est évident que ce nombre augmente dans le cas où $f_s = 8f_c$ (environ 15000) et encore plus pour d'autres rapports f_s/f_c .

3.4 La problématique du test du CAN RSFQ

La première observation que l'on peut faire lorsque on remarque la largeur temporelle très étroite (de environ 1 ps) des impulsions de l'horloge ainsi que des bits de sortie du modulateur est liée à la faisabilité du test de ces circuits RSFQ. Pour pouvoir échantillonner une telle impulsion il faudrait des oscilloscopes avec 10 TS/s pour avoir au moins 10 échantillons (S) pour chaque impulsion. Cela est encore loin de ce que les oscilloscopes à

temps réel peuvent faire aujourd'hui (40 GS/s). On pourrait penser au moins pour les signaux répétitifs comme l'horloge, à utiliser des oscilloscopes à échantillonnage avec des bandes passantes de 200 GHz minimum, mais ces instruments n'existent pas encore et en tout cas ne seraient pas assez rapides pour nous permettre d'observer ces impulsions. Des oscilloscopes plus rapides, basés sur ce principe de l'échantillonnage de signaux répétitifs, et utilisant un laser et des photodiodes sont en phase de développement [117]. C'est à l'heure actuelle la seule technique qui pourrait permettre de reconstruire une impulsion Josephson d'un circuit RSFQ comme l'horloge. Cette technique n'est d'autre part pas adaptée à des signaux non répétitifs, notamment la série de bits de sortie du modulateur sigma-delta. Dans la littérature et depuis des années, les circuits RSFQ sont testés avec d'autres circuits RSFQ. En effet avant de pouvoir mesurer le signal d'un circuit logique sur un oscilloscope de 40 GS/s, il est nécessaire d'augmenter la largeur des impulsions en les transformant en des impulsions rectangulaires. D'autre part il est nécessaire de générer des impulsions à partir des chaînes de données (*pattern*) externes d'instruments semiconducteurs. On parle d'interface supraconducteur-semiconducteur. Ceci n'est pas encore suffisant car les fréquences en jeu (comme les flux de bits du modulateur à 200 GHz) ne sont pas encore adaptées pour les oscilloscopes. Des circuits RSFQ comme des registres à décalage, des diviseurs de fréquence, des démultiplexeurs etc. sont nécessaires pour la mesure d'un circuit RSFQ sous test selon différentes configurations.

3.4.1 Les interfaces supraconducteur-semiconducteur

On appelle convertisseur DC/SFQ un circuit RSFQ qui permet de convertir un signal externe, dont la largeur de l'impulsion est très grande par rapport à 1 ps (c'est pourquoi on l'appelle DC de façon inexacte), dans une ou plusieurs impulsions SFQ. La figure 3.38 montre le schéma électrique d'un DC/SFQ en technologie NbN. Il s'agit d'un interféromètre (SQUID) à deux jonctions (L1, JJ1, JJ2) polarisé asymétriquement. Le courant de polarisation traverse la jonction JJ2 qui se trouve en parallèle avec JJ1 et L1. Lorsque le courant d'un signal externe arrive à l'entrée du DC/SFQ il va se soustraire au courant traversant JJ1 et s'ajouter sur JJ2. Si le courant est suffisamment élevé, JJ2 va déclencher une impulsion SFQ à ses bornes qui se propage sur la JTL à deux étages (JJ2, L2, L3, JJ3) nécessaire pour la liaison avec d'autres circuits RSFQ. Au même moment le courant sur JJ1 est inversé et JJ1 déclenche aussi une impulsion. Quand le courant d'entrée est diminué au dessous d'un certain seuil, le courant de polarisation fait déclencher de nouveau JJ1 en revenant à l'état initial. La figure 3.39 montre ce mécanisme simulé pour un signal de 10 GHz sur une charge de 50Ω . Les marges des composants à cette fréquence sont reportées dans la figure 3.40. Le fonctionnement du circuit est limité par le courant critique de JJ3 qui permette une tolérance maximum de 13,7%. Ces marges peuvent être optimisées en profitant d'une lithographie meilleure que celle disponible permettant de faire une jonction JJ3 avec un courant critique de $475 \mu A$. Pour cette valeur les marges sont reportées dans la figure 3.41 et on peut profiter d'une tolérance de 47,7%, cette fois

limitée par la polarisation.

De façon équivalente au circuit DC/SFQ il existe un convertisseur SFQ/DC. Ce circuit représente l'interface obligatoire pour observer sur un oscilloscope des signaux issus d'un circuit RSFQ. Il est par exemple exigé pour tester l'horloge généré sur la puce comme précédemment expliqué dans la figure 3.9. Il s'agit d'une bascule T-Flip Flop RSFQ modifiée comme sur la figure 3.42.

Une impulsion SFQ provenant de JJ1 (suite d'une JTL) passe à travers les jonctions JJ2 et JJ3 et est stockée dans le SQUID du T-Flip Flop formé par JJ4, L2, L3 et JJ5. Les jonctions JJ6 et JJ7 déclenchent donc des impulsions et le courant de polarisation provenant de Vb3 maintient JJ6 dans son état dynamique à tension moyenne non nulle comme en figure 3.43. Lorsque une deuxième impulsion SFQ arrive sur JJ2 et JJ3 le courant stocké dans la boucle du T-FF dépasse le courant critique ou de JJ4 ou de JJ5 en remettant à l'état initial le SQUID et à tension nulle la sortie. Le code des données de sortie d'un SFQ/DC est donc de type NRZ (Non Return to Zero). La figure montre un train d'impulsions SFQ à 10 GHz dont la conversion donne un signal créneau ayant une fréquence égale à la moitié de celle des impulsions. Sur le même principe du SFQ/DC basé sur T-FF (on peut l'appeler T-SFQ/DC) on peut définir un deuxième circuit basé sur le RS-FF, décrit en section 1.1.4.2, (on peut parler de RS-SFQ/DC) qui permet de profiter de deux entrées, par exemple une de données et une d'horloge. C'est ce circuit qui sera utilisé pour le test des registres à décalage ou des circuits dont la sortie dépend de deux signaux. Les marges calculées pour le circuit SFQ/DC dont la configuration est donnée en figure 3.42 sont de 1,4% à 10 GHz. La tolérance sur la polarisation est de

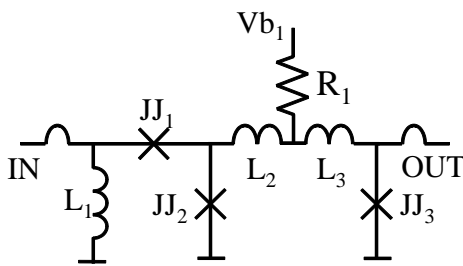


FIG. 3.38. Schéma du DC/SFQ :
 $I_c(JJ1)=226 \mu A$, $I_c(JJ2)=402 \mu A$,
 $I_c(JJ3)=628 \mu A$, $L1=4,8 \text{ pH}$, $L2=0,85 \text{ pH}$,
 $L3=1,6 \text{ pH}$, $R1=5,5 \Omega$, $Vb1=2,5 \text{ mV}$.

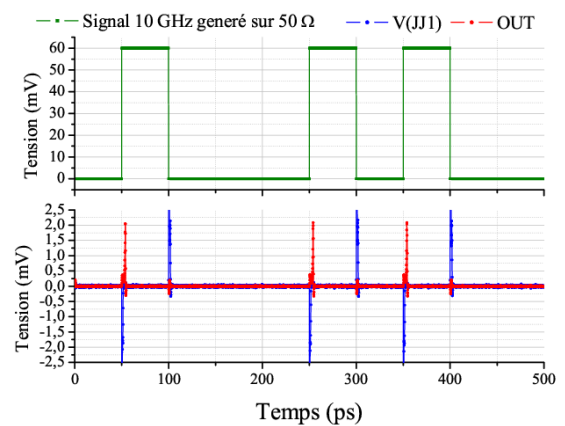


FIG. 3.39. Simulations du fonctionnement du DC/SFQ avec un signal créneau de 10 GHz sur une charge de 50Ω .

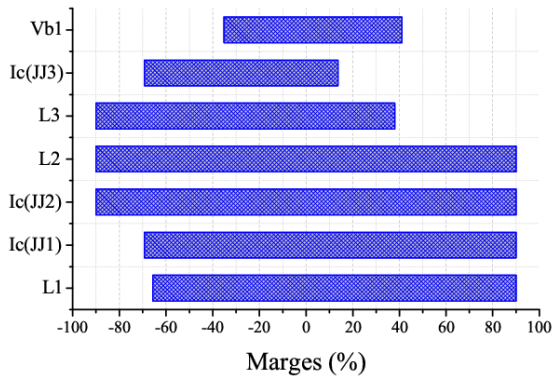


FIG. 3.40. Marges de fonctionnement des composants du DC/SFQ.

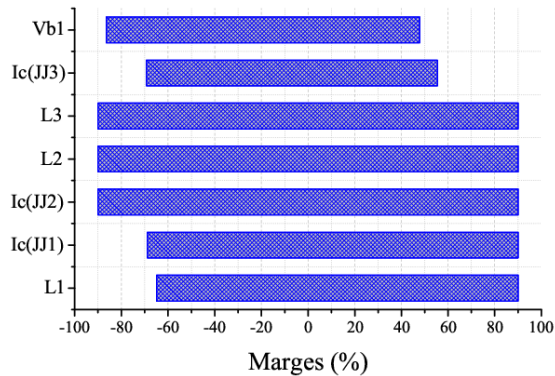


FIG. 3.41. Optimisation des marges de fonctionnement du DC/SFQ avec $I_c(JJ3)=475 \mu A$.

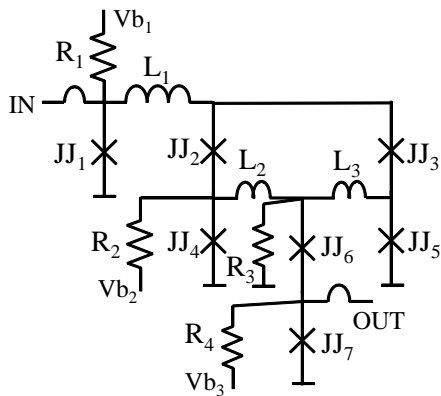


FIG. 3.42. Schéma électrique du T-SFQ/DC : $I_c(JJ6)=I_c(JJ7)=114 \mu A$, $R_3=1,8 \Omega$, $R_4=17,2 \Omega$, $V_{b23}=2.9 \text{ mV}$.

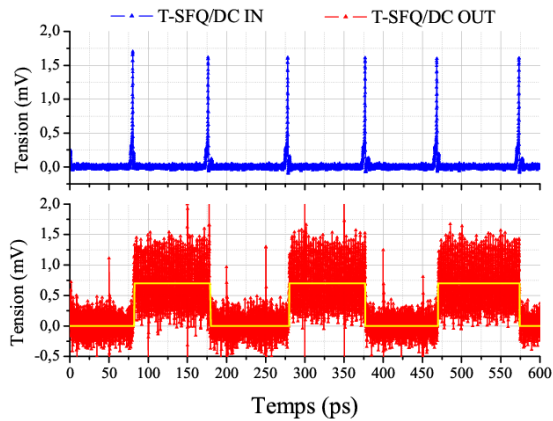


FIG. 3.43. Simulation du circuit T-SFQ/DC pour un train d'impulsions SFQ à 10 GHz.

0,4%. Comme pour les autres circuits RSFQ analysés précédemment les marges peuvent être optimisées avec un procédé de lithographie optique avec un résolution de 100 nm ou moins. En tous cas, d'après différents simulations, il existe souvent une combinaison des polarisation (V_{b1} et V_{b2}), pour lesquelles le circuit fonctionne correctement, mais, comme les valeurs des marges sont si faibles, cette combinaison est presque unique.

Le test d'un DC/SFQ peut être effectué de façon indirecte, c'est-à-dire en mesurant la tension moyenne sur la jonction JJ3 de sortie. La relation 1.19 étant toujours valable, on devrait par exemple mesurer une tension moyenne de $20,7 \mu V$ pour un signal de 10 GHz. Il est clair que plus la fréquence diminue plus la tension sera petite et difficile à mesurer. Pour ce qui concerne le test d'un SFQ/DC on pourrait polariser la jonction

JJ1 au dessus de son courant critique de façon à trouver une valeur correspondant à des fréquences mesurables. Dans ce cas, si pour générer des impulsions SFQ à travers le circuit DC/SFQ une résistance de 50Ω suffit grâce à la sensibilité élevée des jonctions, ceci n'est pas vrai lorsque on veut mesurer un signal issu d'un SFQ/DC (qu'il soit basé sur un T-FF ou un RS-FF). En effet les résistances des jonctions Josephson sont très faibles et, comme on verra dans la section 3.5, les impulsions SFQ se propagent sur des JTL dont les impédances caractéristiques des lignes microrubans qui forment le SQUID et donc qui définissent les inductances utilisées dans le circuit, ont une valeur de $1-2 \Omega$ pour être bien adaptées à l'impédance des jonctions. Cela comporte des pertes en puissance d'environ 30 dB lorsque on charge le circuit sur 50Ω , ce qui est obligatoire étant le standard des instruments de mesure de 50Ω . Pour réduire les pertes, il faudrait adapter l'impédance des circuits RSFQ à des impédances de 35Ω ou plus. Cette partie ne sera pas traitée dans ce manuscrit, car sera l'objet d'autres études, vue la difficulté de réaliser une adaptation large bande.

En revenant aux deux circuits d'interface supraconducteur-semiconducteur on peut le tester de façon simple en le connectant par l'intermédiaire d'un JTL à deux étage, formant ainsi le circuit RSFQ complet le plus simple, le convertisseur DC/DC.

3.4.2 Différentes méthodes de test

Les circuits d'interface dont on a besoin pour mesurer les circuits RSFQ dans l'environnement des semiconducteurs étant défini, il est nécessaire de récupérer le maximum d'information concernant le modulateur Sigma-Delta en tenant compte que les données de sortie à une fréquence de 200 GHz ne peuvent pas être analysées telles quelles.

Comme expliqué dans la section 1.2.2, on peut estimer les performances du CAN ainsi que du modulateur à travers le SNR, le SFDR et l'IMD. Ces paramètres peuvent être mesurés directement sur le spectre de puissance des échantillons sortis de la conversion, que celle-ci soit après le modulateur ou le filtre de décimation. Une bonne caractérisation d'un CAN à suréchantillonnage comme le sigma-delta requiert un nombre d'échantillons plus grande du rapport de sur-échantillonnage (OSR). Dans notre cas, avec une fréquence d'échantillonnage de 200 GHz et un signal ayant un bande de 500 MHz, le nombre d'échantillons acquis doit être plus grand que 200. En effet si on calcule le spectre de sortie à travers une FFT (Fast Fourier Transform) sur 200 points, la résolution en fréquence sera large et trop grossière pour évaluer les performances du CAN.

Il existe différentes solutions à ce sujet, qui ont été traitées. La plus récente et aussi la plus complexe se base sur le concept de «corrélation segmentée» appliquée à un modulateur sigma-delta passe-bande par Bulzachelli [118]. Mathématiquement le spectre des données de sortie est la transformée de Fourier de l'autocorrélation, $R[n]$, des échantillons. Augmenter la résolution du spectre signifie estimer l'autocorrélation sur un nombre d'échantillons, n , grand. Si on fait une acquisition de L points, on ne peut avoir une estimation de $R[n]$ que sur $L-1$ point. Si par contre on fait deux acquisitions chacune de L points comme

montré dans la figure 3.44, on peut envisager une estimation de l'autocorrélation sur un nombre n élevé.

Cette technique a été utilisée pour évaluer un modulateur passe-bande pour un signal modulé sur une porteuse de 2 GHz avec une bande jusqu'à 39 MHz et échantillonné à 40 GHz [69]. Pour réaliser ce type de test sur puce ont été utilisés des registres à décalage de 128 bits chacun contrôlé par des circuits de charges et décharges ainsi qu'un compteur programmable pour déterminer le nombre M de bits à ne pas acquérir entre un banc de registre A et le banc de registre B. Le schéma de ce système de test RSFQ sur puce est donné en figure 3.45. Chaque registre à décalage est caractérisé par 4 lignes de registres à 32 bits, une pour chaque sortie du démultiplexeur 1 :4. Cela permet de lire les données à une fréquence de $4 \times 32 = 128$ fois inférieure à celle de l'horloge. Pour une fréquence d'échantillonnage de 40 GHz les données sont donc lues à 320 MHz environ. Ces fréquences peuvent être traitées de façon relativement simple. Dans ce cas la taille totale, 256 bits, des registres est égale à l'OSR pour un échantillonnage de 20 GHz et un signal de 39 MHz de bande. L'OSR du CAN proposé dans cette thèse étant de 200, ce système pourrait être utilisé pour l'estimation du spectre du CAN avec des données de sortie à une fréquence de 1,56 GHz, qui requiert des adaptations d'impédance à 50Ω . Ce système par contre est très complexe, car le nombre total de jonctions ne concernant que les circuits de test RSFQ est de 4096 contre les seules 10 jonctions maximum utilisées pour réaliser le modulateur.

Une autre méthode de test du modulateur est celle d'acquérir de façon directe le nombre maximum n d'échantillons pour pouvoir effectuer une FFT. Le schéma de figure 3.46 montre le diagramme à blocs de cette solution de test. Il s'agit de demultiplexer les données de sortie du modulateur sur 8 canaux pour réduire la fréquence de lecture. En effet si on imagine pouvoir acquérir 512 signaux en parallèle à 390 MHz il suffirait d'un démultiplexeur 1 :512 pour le test et ce ne sera que la profondeur mémoire du banc d'acquisition qui limiterait le nombre d'échantillons à enregistrer. Cela n'est naturellement pas envisageable, et c'est pourquoi on est toujours obligé d'utiliser des registres à

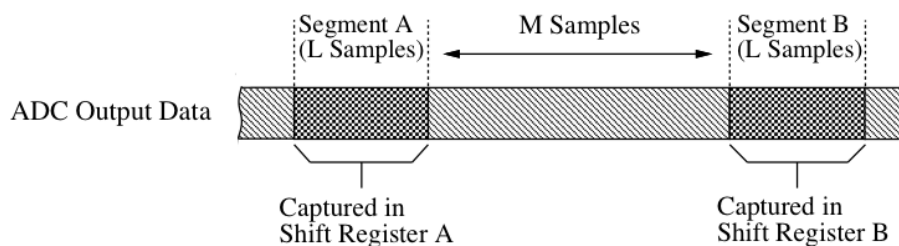


FIG. 3.44. Explication de la technique de corrélation segmentée. Si l'écart M entre la première acquisition (registre A) et la deuxième acquisition (registre B) est très grande par rapport à la longueur L d'une acquisition, la corrélation croisée entre les points en A et les points en B génère une estimation de $R[n]$ pour des n plus grand que L [118].

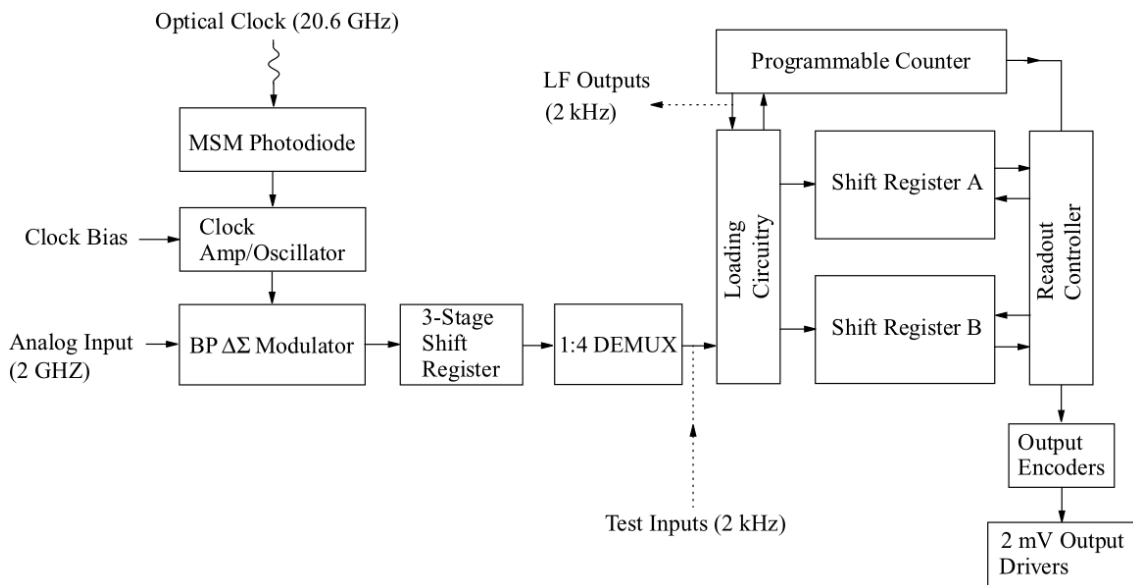


FIG. 3.45. Digramme à bloc du circuit RSFQ de test sur puce réalisé par Bulzachelli pour effectuer une corrélation segmentée des bits de sortie d'un modulateur sigma-delta passe-bande centré à 2 GHz et avec une fréquence d'échantillonnage, f_s , soit optique à 20,6 GHz soit sur puce par un jonction polarisé (*Clock Bias*) au dessus de son courant critique jusqu'à 40 GHz . Après un stage d'amplification, les données sont lues en série à $f_s/128$, c'est-à-dire, respectivement, à la fréquence de 160 et 320 MHz environ [57].

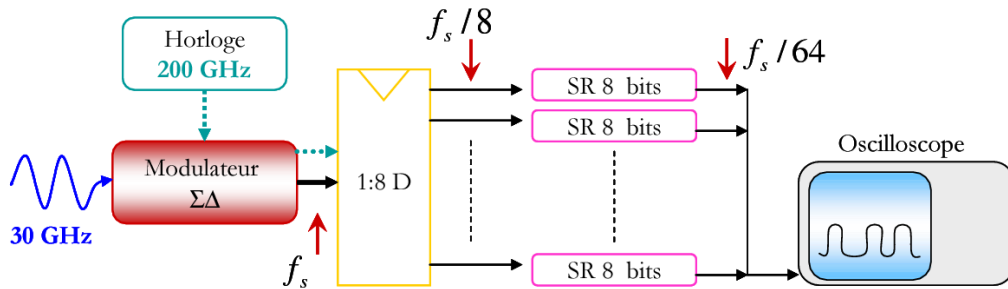


FIG. 3.46. Digramme à blocs d'une autre solution de test pour le modulateur sigma-delta.

décalage, rien d'autre que de la mémoire RSFQ sur puce. Plus la longueur du registre est grande plus grand sera le nombre d'échantillons stockés. A l'heure actuelle le registre à décalage en technologie RSFQ le plus grand est de 1024 bits en technologie Nb et a été testé à 19 GHz [119]. Avec un démultiplexage de 1 :8 on pourrait donc acquérir jusqu'à 8192 point à 24,4 MHz pour évaluer le spectre de puissance du modulateur. Cela implique d'autre part 2069 jonctions environ par registre. Pour la même raison que pour

le corrélation segmentée cela n'est pas encore applicable en technologie NbN.

Il est donc évident que pour pouvoir estimer le bon fonctionnement du modulateur en terme de SNR, SFDR et IMD il est demandé une complexité de environ 2500 jonctions (c'est le cas de 8 registres à décalage de 128 bits chacun avec le circuit de demultiplexage 1 :8 pour acquérir 1024 échantillons à 195,31 MHz). Cela requiert une technologie mature et bien maîtrisée, ce qui n'est pas encore le cas de la technologie NbN.

D'autre part on peut évaluer le comportement du modulateur sigma-delta sur d'autres critères qui nous donnent une estimation de son fonctionnement. Il s'agit d'évaluer le nombre de 1 logiques sur le nombre totale de coup d'horloge pour chaque tension d'entrée jusqu'à la pleine échelle [71]. Pour faire cela il suffit d'utiliser des registres à décalage à 8 bits comme en figure 3.46, qui permettent d'enregistrer 64 bits à 3,12 GHz. Cela nécessite donc de connaître exactement le nombre de période d'horloge de façon à acquérir le nombre correct d'échantillon. A ce propos il existe des générateurs d'impulsion, qui à partir d'une impulsion SFQ (déclenchée avec un DC/SFQ) génère plusieurs impulsions à une certaine fréquence. Ce type de circuits, appelé en anglais *ladder-type pulse generators* [120], sont très simples et ne nécessitent que de JTL, splitter et confluence buffer. L'impulsion SFQ qui déclenche le générateur est répétée par chaque splitter. Les impulsions sont espacées par le retard introduit par les JTLs et sont réunies par le confluence buffer. Le nombre de bits dépend du nombre d'étage SP/JTL/CB. Ce circuit de test complet sur puce nécessite moins de 1500 jonctions.

Le nombre de jonctions reste toujours élevé et dépend principalement de la taille et du nombre de registres à décalage. Ces circuits ainsi que les diviseurs de fréquence étant fondamentaux pour l'étude du modulateur sigma-delta passe-bande décrit dans la section ainsi que pour la conception du filtre de décimation pour la réalisation du CAN complet, on a conçu un diviseur de fréquence par 64, comme démonstrateur de la vitesse des circuits en technologie NbN à base de jonctions NbN/Ta_xN/NbN et un registre à décalage à 4 bits pour un test en basse fréquence. Avant d'expliquer le dessin et de montrer le fonctionnement de ces circuits on présentera la méthode de dessin, avec les outils logiciels utilisés, adoptés pour les circuits RSFQ NbN.

3.5 Dessin des circuits RSFQ

Avant de décrire les différents circuits logiques RSFQ dessinés sur le wafer, certaines explications de simulation et de dessin doivent être données. Les inductances et les jonctions Josephson sont les deux composants majeurs qui interviennent dans les circuits logiques RSFQ, les capacités et les résistances n'y venant que de façon secondaire dans les lignes de propagation des signaux, comme éléments d'adaptation d'impédance ou dans la distribution des courants de polarisation. Le contrôle des valeurs des inductances et densités de courant Josephson spécifiques est fondamental pour un circuit RSFQ. La transmission et le stockage d'un quantum de flux sont en particulier liés au produit LI_C , I_C

étant le courant critique de la jonction Josephson (JJ) connecté à l'inductance L . D'après les bases de la logique RSFQ [35, 49], un quantum de flux est transmis si le produit LI_C est faible devant ce quantum ($< 0,5 \cdot \Phi_0$) et il est stocké si ce produit est grand ($> 1,5 \cdot \Phi_0$). Lors des simulations, comme celles présentées précédemment pour la ligne de transmission Josephson (JTL, Josephson Transmission Line), la bascule bascule T (TFF, Toggle Flip-Flop) etc., les valeurs des inductances ont été choisies en considérant que l'inductance par carré, L_{\square} , d'après la définition du procédé à 10 niveaux en section 2.3, est de environ 1,5 pH, deux fois plus grande que celle en technologie Nb. Cela implique que les lignes inductives sont très courtes et rendent le dessin des circuits un vrai défi.

Le paragraphe suivant décrit la méthode de dessin utilisée pour définir le layout des circuits RSFQ en technologie NbN.

3.5.1 Méthode de dessin

Les circuits RSFQ étant principalement composés de plusieurs circuits de base, comme une JTL, un T-FF, un DC/SFQ etc, on a orienté le dessin vers une organisation hiérarchique de cellules. On définit une cellule un circuit RSFQ qui a une et une seule fonction logique avec son schéma électrique équivalent et qui est décrit à partir d'une bibliothèque de jonctions Josephson. On a utilisé le logiciel Wavemaker déjà présent au laboratoire pour dessiner tous les circuits RSFQ dans le format standard GSDII utilisé pour l'impression des masques en chrome. La figure 3.47 montre l'une des 6 jonctions Josephson définies dans le tableau 3.2 et faisant partie d'une bibliothèque de jonctions avec et sans connexion au plan de masse. La géométrie de la jonction est fixée par la valeur de son courant critique et en tenant compte de la perte de rayon de $0,4 \mu\text{m}$ entre le dessin et la taille réelle sur puce. Les autres géométries sont définies en considérant la superposition des niveaux décrite dans le tableau et les alignements des différents niveaux qui ne doivent pas être inférieur à $1,5 \mu\text{m}$ (voir section 2.4). La ligne d'interconnexion (WIR) est ajoutée lors de la conception de la cellule du circuit logique de base.

L'impulsion SFQ délivrée par une jonction Josephson (JJx) se propage d'une jonction à l'autre (JJy) à travers l'inductance, L , du SQUID (JJx,L, JJy) comme précédemment décrit en section 1.1.4. D'après la figure 1.24, il s'agit d'une structure microruban supraconductrice chargée par les jonctions, une de chaque côté. Pour améliorer la transmission des impulsions il est donc préférable que les lignes aient une impédance caractéristique proche de la charge, donc de la jonction Josephson. Comme décrit dans le tableau 2.2, les jonctions d'une JTL sont connectées au plan de masse (épais 400 nm) par l'électrode de base comme représenté dans la figure 3.47. Pour réaliser la JTL, les deux contre-électrodes sont connectées par le dernier niveau (WIR) supraconducteur de 900 nm. Entre les deux couches de NbN, deux couches d'isolant (avec un épaisseur totale 500 nm) forme le diélectrique du SQUID et donc de la ligne micro-ruban. On peut donc calculer les impédances caractéristiques de la ligne en fonction de la largeur et du diélectrique utilisés. Le tableau 3.7 montre les impédances caractéristiques (Z) pour des largeurs (W) de ligne

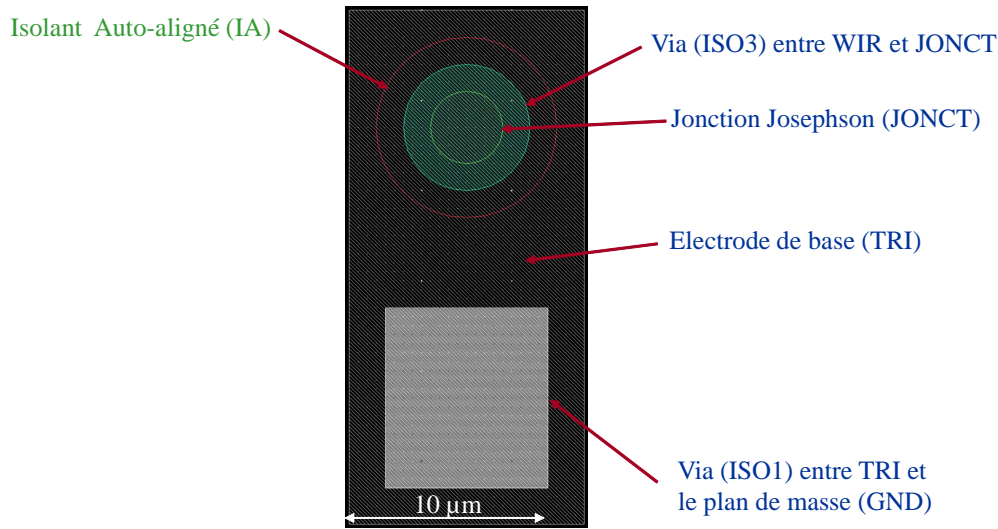


FIG. 3.47. Dessin de la cellule contenant une jonction NbN/Ta_xN/NbN JJ4 connectée au plan de masse (niveau GND) par l'électrode de base (TRI) à travers le via du niveau ISO1. La jonction est définie avec le niveau (JONCT) et isolé par le MgO auto-aligné (IA). Le niveau d'interconnexion (WIR) ne fait pas partie de la cellule.

TAB. 3.7. CALCUL DE L'IMPÉDANCE CARACTÉRISTIQUE DE LA LIGNE D'INTERCONNEXION DU SQUID DE LA JTL POUR DIFFÉRENTES LARGEURS AVEC LE SiO₂ OU LE Si₃N₄ COMME DIÉLECTRIQUE

W(μm)	15	20	25	30
Z(Ω) avec SiO ₂ ($\epsilon_r=3,9, \tan\delta = 3 \times 10^{-2}$)	5,77	4,42	3,58	3,01
Z(Ω) avec Si ₃ N ₄ ($\epsilon_r=7,5, \tan\delta = 30 \times 10^{-5}$)	4,19	3,2	2,59	2,18

différentes pour le SiO₂ et le Si₃N₄ comme diélectrique. La largeur minimum de la ligne est fixée par la géométrie de la jonction et par les alignements entre les niveaux. Il est évident que plus W est grande plus Z est petite. La jonction appelée JJ4 dans le tableau 3.2 ayant un courant critique intermédiaire parmi les autres a été choisie pour la conception de la JTL. Cette jonction présente une résistance normale de 4,35 Ω et donc le choix de la largeur W serait de 15 μ avec l'Si₃N₄ comme diélectrique et 20 μm avec le SiO₂. L'inductance par carré imposant la longueur de la ligne qui augmente avec la largeur et le Si₃N₄ présentant une tangente des pertes ($\tan\delta$) très petite, on a choisi ce diélectrique pour la réalisation des circuits à 200 GHz. La figure 3.48 montre la cellule qui a été dessinée pour la JTL à deux étages avec deux jonctions identiques (JJ4) connectées au plan de masse et la figure 3.49 montre la vue en coupe du SQUID de la JTL. Il s'agit d'un SQUID polarisé symétriquement à travers une résistance de 5,5 Ω avec l'ajout de deux trous (*moats*) dans le plan de masse pour éviter que des quanta de flux puissent se piéger

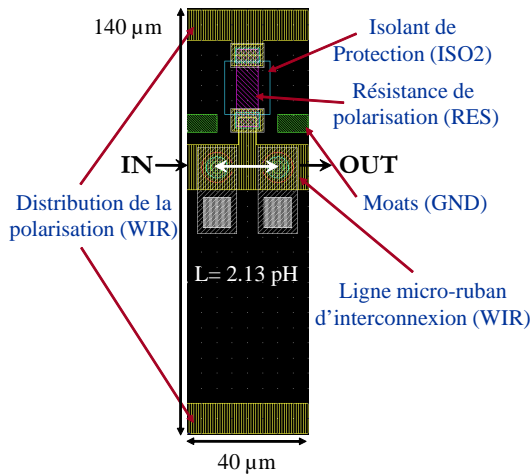


FIG. 3.48. Dessin de la cellule JTL en technologie NbN avec deux jonctions auto-shuntées.

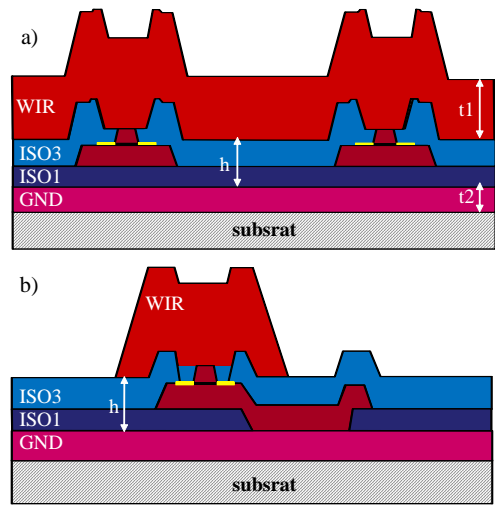


FIG. 3.49. Vue en coupe frontale (a) et latérale (b) du SQUID de la JTL dans le procédé à 10 niveaux de masques.

dans le SQUID provoquant un mauvais fonctionnement de la JTL. Il a été montré [121] que pour des champs magnétiques de 4 mG des trous continus étroits et longs sont très efficace contre le piégeage du flux. Pour des champs plus forts comme 20 mG [121], les trous en lignes segmentées sont plus adaptés. Dans le cas des lignes segmentées il faut que la longueur du trou soit plus grande que sa largeur ou le gap entre les trous le plus petit possible [122, 121]. D'après les restrictions des techniques de lithographie optique on a choisi la largeur des gap de $6 \mu\text{m}$ par contre la longueur est limitée par la géométrie de la ligne. Il est difficile de trouver des règles théoriques sur le dessin des trous, mais des expériences pratiques [122, 121] montrent que plus le moat est proche de la boucle du SQUID plus la probabilité de piéger le flux dans le moat et non dans le circuit RSFQ est grande. Les trous sont dessinés à $4 \mu\text{m}$ de la ligne de transmission JTL comme en figure 3.48 et ils affectent la valeur de l'inductance près de laquelle ils se trouvent de 3% à 6%, qui est presque du même ordre de grandeur que l'écart entre l'inductance extraite expérimentalement et celle simulée.

Il existe différents logiciels [88] qui permettent d'extraire la valeur de l'inductance de façon plus précise que avec l'utilisation de la relation 1.44. On a analysé les plus connus, Lmeter [13] et Inductex [123] avec Fasthenry [124]. Les trois sont des logiciels libres permettant d'extraire les inductances avec un fichier qui définit la technologie employée (nom, épaisseur, caractéristique de la couche de chaque matériau ainsi que l'empilement des couches et la polarité du masque). La description de ce fichier par contre est plus complexe pour Lmeter que pour InductEx (voir l'annexe A). En plus Lmeter est un simulateur quasi-2D alors que Fasthenry est un simulateur 3D. Inductex c'est un convertisseur pour

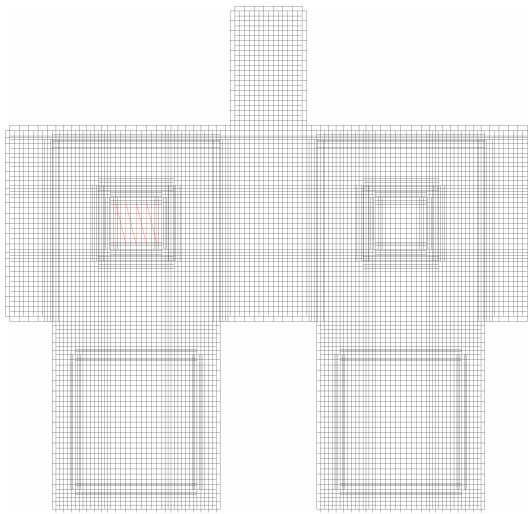


FIG. 3.50. Maillage du SQUID extrait de la cellule JTL dont on veut calculer l'inductance.

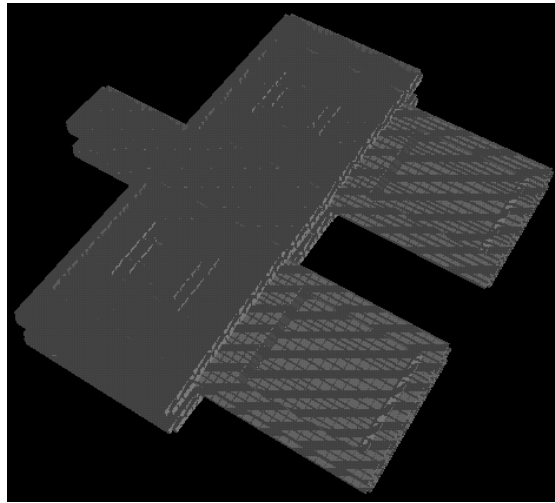


FIG. 3.51. Vue en trois dimensions du SQUID de la JTL.

Fasthenry que permet de rendre l'environnement de simulation plus *user-friendly*. C'est pour ces deux raisons que l'on a préféré d'utiliser Inductex et Fasthenry pour les simulations des inductances. InductEx ayant le seul inconvénient de ne pas arriver à définir les cercles comme ceux de la cellule de la jonction, on a remplacé les cercles des jonctions par des carrés de surface équivalente juste pour les simulations. Les figures 3.50 et 3.51 montrent respectivement le maillage en 2D et 3D du SQUID extrait, par le logiciel InductEx, de la cellule JTL pour en calculer la valeur de l'inductance. La valeur calculée est de 2,13 pH pour une ligne large de $15\ \mu\text{m}$ connectant deux jonctions dont la distance entre les deux centres de chacune est de $20\ \mu\text{m}$.

3.5.2 Les circuits dans le procédé à 10 niveaux

En se basant sur cette méthode de conception et en s'appuyant sur des outils de dessin (Wavemaker) et de simulation des inductances directement à partir du layout (InductEx et Fasthenry), on a cherché à traduire le schéma électrique des circuits logiques de base décrits précédemment dans leur layout équivalent sur 10 niveaux de masques. Après l'implémentation de la cellule JTL, on a décrit la bascule T-Flip Flop, le circuit de base un des plus complexes avec 5 jonctions Josephson. Les figures 3.52 et 3.53 montrent respectivement le layout de la cellule TFF et le maillage en 3D du SQUID de stockage du quantum de flux, extrait par le logiciel InductEx. Comme l'on peut remarquer on isole l'inductance dont on veut connaître la valeur du reste du circuit, en ne gardant que les parties directement concernées. Ceci améliore le temps de conversion de InductEx et le

temps de simulation de Fasthenry sans en modifier la validité [123]. On peut aussi faire une autre observation sur cette cellule. C'est dans ce type de circuit que l'on remarque la fonction du niveau d'interconnexion (TRI) de l'électrode de base. En effet d'après la figure 3.32 on a deux comparateurs et l'inductance du SQUID est connectée au noeud commun de chaque comparateur. Dans ce contexte on aurait deux choix, utiliser directement l'électrode de base pour l'inductance du SQUID ou passer par le dernier niveau d'interconnexion (WIR). La première solution aurait profité d'une seule couche de diélectrique et donc d'une épaisseur plus faible. Cela comporte une inductance par carré plus petite et donc vue la nécessité dans le cas du T-FF d'avoir une inductance relativement grande aurait amené à une augmentation de la longueur de la ligne inductive avec un élargissement conséquent des dimensions de la cellule. La deuxième solution permet de profiter des deux couches de diélectrique et donc de réduire la taille de la cellule au minimum. Le contact entre les deux niveaux d'interconnexion est réalisé à travers un via (ISO3) dans la troisième et dernière couche d'isolant. Ce contact aurait pu être réalisé par une jonction parasite, mais elle même présente une inductance et pour être considérée parasite il faut que la jonction soit un court-circuit pour les courants circulant dans le circuit. Cela implique un courant critique plus élevé et donc une surface plus grande. Pour garder les mêmes dimensions des via (ISO3) et en tenant compte des règles de dessin (voir la section 2.4), on aurait dû réaliser une jonction parasite de $17,64 \mu\text{m}^2$. Cela est très proche de la surface de la jonction la plus grande de la cellule T-FF, $17,35 \mu\text{m}^2$. Pour ces raisons,

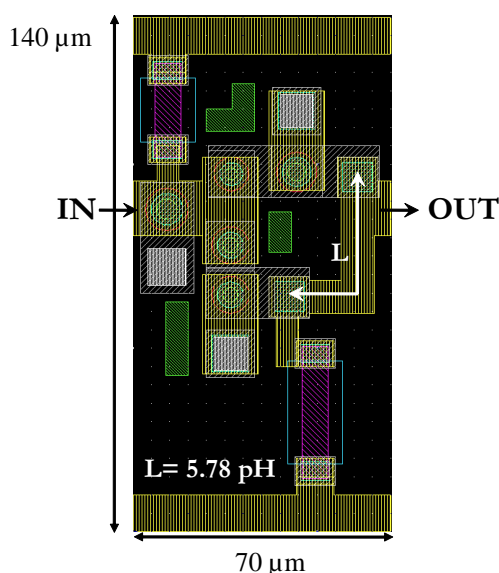


FIG. 3.52. Dessin de la cellule de la bascule T-Flip Flop.

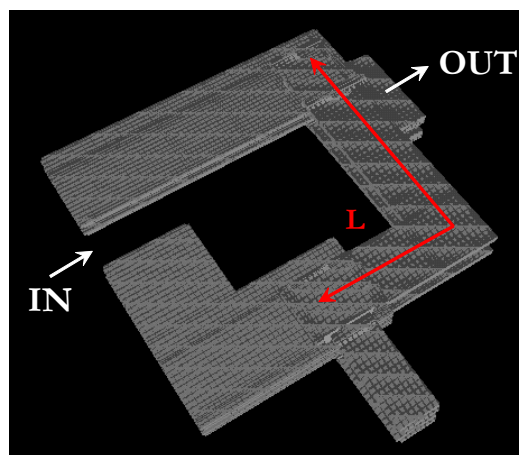


FIG. 3.53. Vue en trois dimensions de l'inductance du SQUID de la boucle de stockage du TFF.

une majeure densité et une meilleure qualité du contact, les jonctions parasites ont été éliminées dans le dessin des circuits RSFQ en technologie NbN sur 10 niveaux.

Le tableau 3.8 montre toutes les cellules des circuits logiques RSFQ de base qui ont été dessinées (voir annexe B). On peut les classer par taille, nombre de jonctions, marges critiques des composants (**MC**), marges de polarisation (**MP**), fréquence à la quelle les marges ont été calculées et le temps de retard introduit pour l'opération logique entre l'entrée et la sortie. Les marges des portes logiques comme la bascule et les interfaces

TAB. 3.8. PARAMÈTRES DES CELLULES DES CIRCUITS RSFQ LOGIQUES DE BASE EN TECHNOLOGIE NbN AVEC DES JONCTIONS AUTO-SHUNTÉES

Cellule	Taille [L(μm) x H(μm)]	JJs	MC (%)	MP (%)	Fréquence (GHz)	Retard (ps)
JTL	40 x 140	2	48,5	58,4	200	0,75
SPLITTER	70 x 140	3	43,9	51	200	1,05
T-FF	70 x 140	5	11,3	21,8	200	1,45
RS-FF	70 x 140	5	11,3	21,8	200	1,45
DC/SFQ	80 x 140	3	13,7	41,1	10	3,8
T-SFQ/DC	110 x 140	7	1,4	0,1	10	1,5
RS-SFQ/DC	110 x 140	7	1,4	0,1	10	1,5

supraconducteur-semiconducteur peuvent être augmentées [125] avec une optimisation concernant en particulier les courants critiques des jonctions. Cela implique aussi des procédés de photo-masquages et gravure avec des résolutions de l'ordre de 100 nm.

En se basant sur ces cellules RSFQ de base, on a dessiné (voir la figure 3.54) un diviseur de fréquence par 64 basé sur cinq blocs JTL/T-FF consécutifs (division par $2^5=32$) et un T-SFQ/DC (comportant une ultérieure division par deux suite à la bascule T-FF dont il est composé) pour un test RF, à l'aide d'un analyseur de spectre et d'un oscilloscope. Le diviseur de fréquence étant considéré un *performance benchmark*, on a cherché la fréquence maximum de fonctionnement du diviseur. La figure 3.55 montre l'opération correcte à 9 K jusqu'à 286 GHz, fréquence définie, comme expliqué précédemment dans la section 3.2.1, par une jonction Josephson polarisée au dessus de son courant critique. Cela correspond à environ $f_c/3$, $f_c = R_N I_C / \Phi_0$ étant la fréquence caractéristique de la jonction NbN/Ta_xN/NbN. Autrement dit, d'après la relation 1.43, 286 GHz est la fréquence limite qui peut être atteinte par un circuit RSFQ complexe et synchrone avec les jonctions NbN/Ta_xN/NbN ayant $J_C=5\text{kA}/\text{cm}^2$ et $R_N I_C=1,75\text{ mV}$ à 9 K. En effet le simple bloc JTL/T-FF peut atteindre des fréquences plus élevées comme le montre la figure 3.56. Il s'agit d'une simulation de test-quasistatique souvent utilisé pour estimer le fonctionnement d'un diviseur de fréquence. La tension moyenne aux bornes de la jonction de sortie de la bascule ainsi que celle de l'horloge sont représentées en fonction du courant de polarisation de l'horloge. La fréquence Josephson étant proportionnelle à la tension moyenne

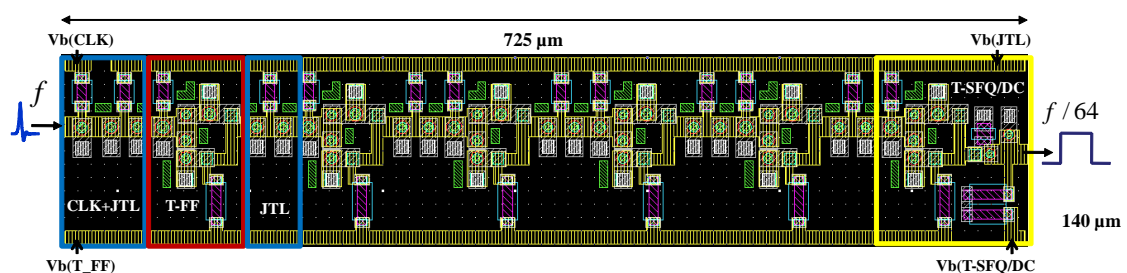


FIG. 3.54. Dessin du diviseur de fréquence sur 10 niveaux de masque. Le circuit comprend 45 jonctions Josephson.

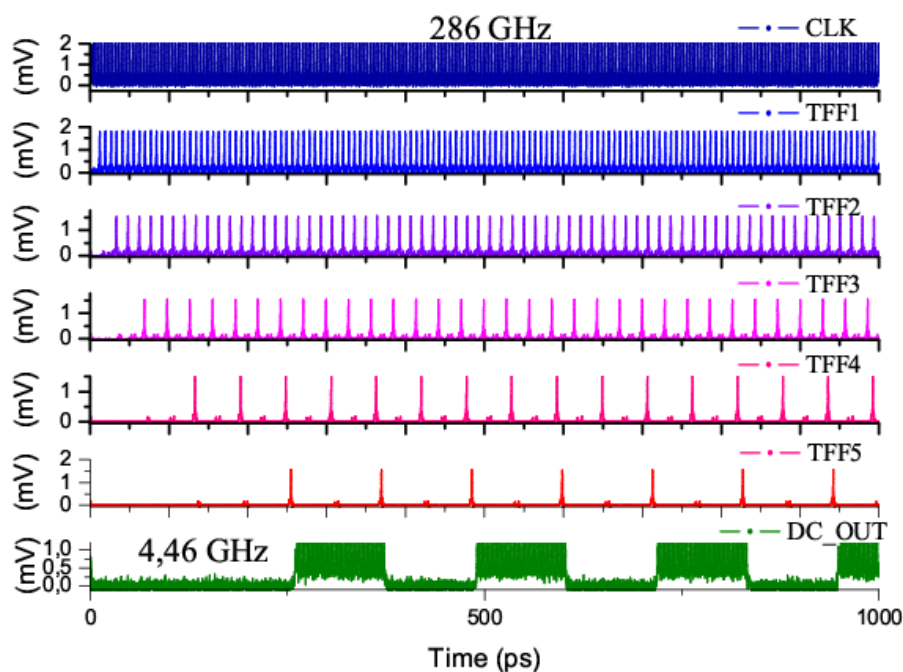


FIG. 3.55. Simulation du diviseur de fréquence à 9K.

d'après la relation 1.19, le bloc JTL/T-FF fonctionne correctement jusqu'à 5,2 mA, là où le double de la tension de sortie du T-FF ne suit plus la tension moyenne aux bornes de l'horloge. Cette tension limite de 3,04 mV correspond à une fréquence de 1,47 THz. Elle est en effet limitée par la fréquence du gap du NbN définie par la relation 1.12 et égale à 1,49 THz à 9 K.

De la même façon que pour le diviseur de fréquence par 64, on a dessiné, cette fois avec toutes les cellules RSFQ de base, un registre à décalage de 4 bits, comme reporté dans la figure 3.57. On remarque deux « lignes » : une pour la distribution de l'horloge et une

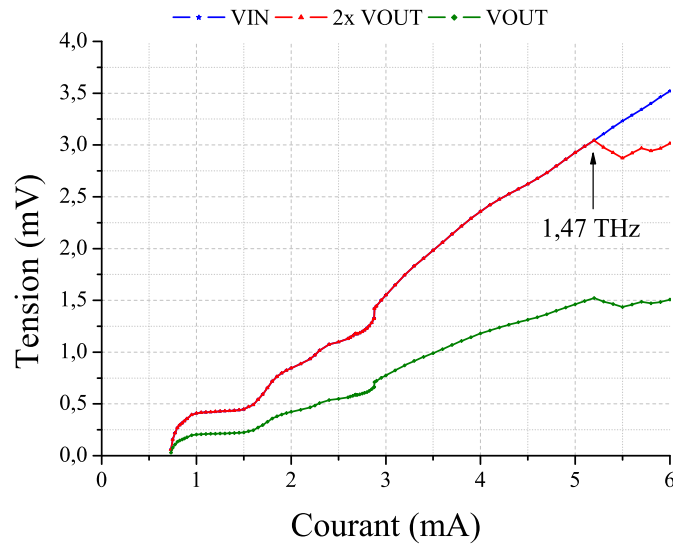


FIG. 3.56. Simulation de la tension moyenne de la jonction en entrée et en sortie du T-FF en fonction du courant de l'entrée. La fréquence d'opération est de 1,47 THz, limitée par l'énergie du gap du NbN à 9K.

pour les données. Chaque bit, comme expliqué dans la section, est composé par deux JTL à deux étages, un splitter et une bascule RS-FF pour un total de 12 jonctions. L'horloge ainsi que les données sont générées à l'extérieur par des instruments en semiconducteurs et converties en impulsion Josephson par deux DC/SFQ. Afin de tester le registre, la sortie de l'horloge est enfin convertie par un T-SFQ/DC dans un signal créneau ayant donc une fréquence de $1/2T$, T étant la période d'horloge d'entrée. La sortie des données étant synchronisée avec l'horloge, on a utilisé un RS-SFQ/DC ayant comme entrées l'impulsion des données et celle de l'horloge. Pour que le circuit puisse être testé correctement, il faut que le signal des données en entrée soit décalé d'un temps D par rapport à celui de l'horloge, de façon à ce que l'impulsion des données se trouve entre deux coups d'horloge. Le signal créneau de sortie des données aura donc une largeur temporelle égale à $T - D$.

3.6 Synthèse

Dans ce chapitre nous avons étudié le convertisseur analogique-numérique (CAN) sigma-delta passe-bande appliqué à la technologie NbN à base de jonctions Josephson NbN/Ta_xN/NbN. Nous avons d'abord choisi les logiciels (JSIM et WinS) pour les simulations des schémas électriques des circuits RSFQ. Nous avons adapté le modèle d'une jonction SIS utilisé par ces logiciels au modèle SNS de la jonction NbN/Ta_xN/NbN. Le modèle est toujours de type RCSJ et ne tient pas compte des réflexions d'Andreev. Nous

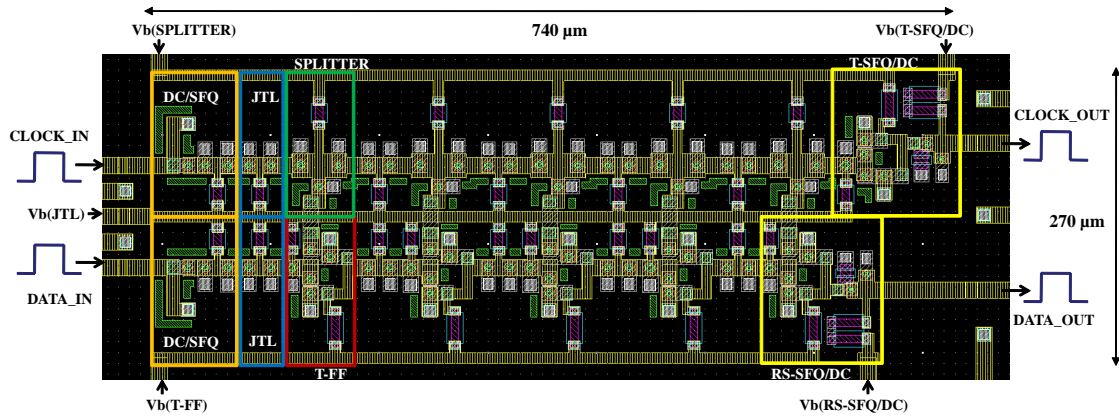


FIG. 3.57. Dessin du registre à décalage à 4 bits sur 10 niveaux de masques. Le circuit comprends 75 jonctions Josephson.

avons montré l'influence du bruit thermique à 9 K en décrivant le paramètre γ et choisi la taille des jonctions Josephson de conséquence. Les jonctions NbN/Ta_xN/NbN étant encore en phase de développement et pas encore standardisées, nous avons choisi une densité de courant critique en se basant sur la littérature et les expériences du laboratoire avec une tension caractéristique nécessaire pour atteindre une fréquence d'échantillonnage de 200 GHz pour un circuit complexe synchrone comme le CAN.

Nous avons analysé les différentes structures d'horloge et choisi et étudié la seule envisageable pour atteindre une fréquence d'échantillonnage de 200 GHz avec les jonctions NbN/Ta_xN/NbN. L'estimation du spectre de l'horloge nous a permis d'observer l'influence du bruit thermique à 9 K qui concoure à une augmentation de la gigue. Nous avons donc connecté l'horloge à un comparateur équilibré basé sur deux jonctions identiques pour en étudier la sensibilité. On a démontré que pour des fréquences d'horloge élevées (199,5 GHz) le comparateur présente une plage de courants pour lesquels la probabilité de déclenchement est de 50 %. Cela diminue la sensibilité du comparateur car il y a des incertitudes sur la décision. Nous avons vu que cette plage diminue avec la fréquence d'échantillonnage (145,9 GHz) et pourrait être éliminée pour des fréquences encore plus basses. Nous avons aussi démontré que si les jonctions du comparateur ne sont pas identiques le seuil de comparaison se déplace de zéro vers un courant qui est égal à la différence des courants critiques des jonctions. Il peut être ramené à 0 avec l'ajout d'une polarisation externe.

En se basant sur une technologie micro-ruban on a analysé le filtre passe-bande du modulateur pour une application multi-puce sur MgO et pour une seule puce sur silicium oxydé. Le filtre a donc été calculé pour deux impédances caractéristiques, 2 et 50 Ω . L'adaptation d'impédance étant difficile et l'application multi-chip étant encore loin on a évalué la réponse du filtre de 2 Ω désadapté en entrée et trouvé le circuit LC équivalent

pour le coupler au comparateur et simuler le modulateur complet avec JSIM. On a évalué le spectre de sortie à 1 bit et observé la mise en forme du bruit avec et sans signal d'entrée à 30 GHz. Le SNR évalué pour un signal de 100 mV pic-pic est de 44 dB et peut être amélioré par le filtre de décimation.

Nous avons donc analysé la structure du filtre de décimation pour le modulateur passe-bande en concluant qu'il est possible de le réaliser avec une complexité raisonnable de 2500 ou 5000 jonctions si l'on échantillonne le signal à 120 ou 240 GHz respectivement en utilisant des filtres de décimation passe-bas. Nous avons étudié la mise en place d'un tel filtre en définissant la structure du diviseur de fréquence utilisé pour le facteur de décimation et d'un des registres à décalage employés dans les accumulateurs et les différenciateurs.

Nous avons analysé différentes solutions de test du modulateurs sigma-delta passe-bande proposé dans ce manuscrit, sans envisager la construction du filtre de décimation. Nous avons décrit et simulé les deux interfaces supraconducteurs/semi-conducteurs principales qui permettent d'adapter les instruments de mesure (oscilloscope, générateur de signaux, ...) au test d'un circuit RSFQ. Nous avons donc conclu qu'un circuit RSFQ à haute fréquence comme le modulateur doit être testé avec d'autres circuits RSFQ qui permettent de descendre en fréquence en mémorisant les bits sur la puce même. Les circuits de ce type sont les registres à décalage (de la mémoire RSFQ sur puce) et des démultiplexeurs. Les solutions qui nous permettraient d'avoir des estimations de l'SNR, l'SFDR et l'IMD du modulateur sont très complexes (entre 2500 et 5000 jonctions) et, comme le filtre de décimation, ne sont pas envisageable pour une technologie pas encore mûre comme celle NbN avec des jonctions NbN/Ta_xN/NbN.

Nous nous sommes donc concentrés sur deux circuits RSFQ fondamentaux pour le test du modulateur et à la réalisation du filtre de décimation : un diviseur de fréquence par 64 (démonstrateur des fréquences élevées offerte par la technologie NbN) et un registre à décalage à 4 bits. A ce propos nous avons donc défini la méthode de dessin utilisée ainsi que les logiciels (InducteEx et Fasthenry) qui nous ont permis de calculer les inductances directement à partir du dessin. Nous avons alors créé une bibliothèque de cellules RSFQ de base et nous avons dessiné et simulé une opération correcte à 9 K du diviseur de fréquence à 200 GHz et du registre à décalage à 10 GHz.

Chapitre 4

Fabrication des circuits RSFQ et réalisation du banc de test cryogénique

Les jonctions Josephson ainsi que les circuits logiques RSFQ sont très sensibles aux charges électrostatiques (ESD, *electrostatic discharge*) et aux champs électromagnétiques, même celui terrestre. Dans le cas des circuits logiques, le nombre des contacts devient important et aussi l'implémentation d'une canne de test cryogénique devient plus compliquée avec des problèmes possibles de boucles de masse. Le test des circuits et la caractérisation des jonctions Josephson à basse température sont donc délicats.

Ce chapitre décrit d'abord la fabrication des jonctions et des circuits sans rentrer dans le détail mais avec une attention particulière aux étapes critiques du procédé à 10 niveaux. Ensuite on présentera la mise en place et la caractérisation du banc de mesure cryogénique qui a été conçu lors de la thèse. On présentera ensuite des caractérisations de jonctions Josephson ainsi que des résonateurs qui permettent d'évaluer la variation de la longueur de pénétration du NbN et en outre de valider le système de mesure radiofréquence.

4.1 Fabrication des circuits RSFQ avec le procédé à 10 niveaux

Les circuits ont été fabriqués dans la salle blanche PROMES due CEA-DRFMC avec les équipements et les procédés décrits dans le chapitre 2 et sur la figure 2.12. Trois «wafers» ont suivi le nouveau procédé à 10 niveaux décrit dans la section 2.3 et une plaquette a suivi un procédé simplifié ne comprenant que les 6 derniers des 10 niveaux. Parmi ces plaquettes deux ont été terminées, une comportant la référence A2120 sur 10 niveaux et une la référence A2134 sur 6 niveaux. Cette dernière plaquette ne profitant pas du plan de masse ni des résistances de polarisation, elle a été réalisée pour caractériser les jonctions et quelques SQUIDs en vue d'une comparaison entre une jonction sans et avec connexion au plan de masse. Le tableau 4.1 explique les procédés et les différentes

TAB. 4.1. DESCRIPTION DES PROCÉDÉS DE LITHOGRAPHIE OPTIQUE, LIFT-OFF ET GRAVURE UTILISÉS

Etape	Paramètres des procédés			
Lithographie Optique	Etalement de la résine positive S1813 [126] à 4000 tr/min pour 50''			
	Cuisson de la résine à 100°C pour 1'15"			
	Alignement du masque sur le niveau précédent			
	Insolation de la résine aux rayons UV 4''			
	Développement de la résine pour 35'' dans l'«AZ developer» dilué 1 : 1			
	Rinçage à l'eau désionisée pour 3'			
Lift-off	La plaquette est plongée dans un bain d'acétone en ultra-sons			
R.I.E.	Matériau	Gaz	Débit (ccm)	Conditions
	NbN et TaN	SF ₆ /O ₂	36/4,5	1,5 Pa, 30 W
	SiO ₂	CHF ₃ /O ₂	15/1,6	0,5 Pa, 50 W
Délaquage	S1813	O ₂	25	2,5 Pa, 60 W
I.B.E.	MgO/AlN/MgO	Ar	–	2,5x10 ⁻⁴ torr, α=30°, 400 V

étapes nécessaires pour définir les motifs sur le wafer, exception faite pour les dépôts des matériaux. Comme expliqué précédemment dans la section 2.4, l'isolant Si₃N₄ a du être remplacé par la silice (SiO₂)¹. La figure 4.1 montre les enchaînements de toutes les étapes du procédé à 10 niveaux. Dans le cas de la version simplifiée à 6 niveaux, la première étape après le dépôt de la tricouche NbN/Ta_xN/NbN est la lithographie optique suivie par la gravure (R.I.E.) de la contre-électrode (niveau JONCT) pour la définition des jonctions. Cette étape est suivie par le dépôt de la tricouche isolante MgO/AlN/MgO par auto-alignement. Comme décrit dans la section 2.4, celle-ci est une étape critique du procédé. En effet la même résine durcie par la gravure définissant la taille des jonctions et réutilisée pour définir par lift-off l'isolant déposé par auto-alignement comme reporté dans la figure 4.2.a. En effet après 45 minutes dans un bain d'acétone avec des ultra-sons la résine, et donc l'isolant, couvre encore la contre-électrode de la jonction. Même avec des temps d'une heure et demie la résine persiste sur le wafer. Une solution employée a été d'aider le lift-off en frottant avec une chiffonnette (très doucement) la surface du wafer lorsque celui-ci est dans le bain d'acétone. Après 10 minutes on obtient le résultat reporté dans la figure 4.2.b. La résine (et donc l'isolant) est dégagée de la contre-électrode mais des résidus restent autour et ailleurs dans le wafer. Pour nettoyer complètement la surface on doit effectuer un délaquage (gravure R.I.E. de la résine) de 2 minutes environ, obtenant finalement une surface propre (voir la figure 4.2.c). C'est après cette étape et celle de lithographie optique que le wafer est introduit dans l'usineur ionique pour graver l'isolant auto-aligné et retrouver la surface de l'électrode de base de la jonction. Après la

¹Le dépôt de la silice par pulvérisation cathodique a été effectué au CEA-Leti.

4.1 – Fabrication des circuits RSFQ avec le procédé à 10 niveaux

N.	Layer	GDS	Polarité Dessin	Masque	Description
1					Dépôt NbN/ MgO(B)* pour le plan de masse
2	GND	3	Négative ¹	INV ²	Lithographie (résine positive)
3					R.I.E de l'NbN. (trous dans la plan de masse)
4					Dépôt Nb(P)*/MgO(B)/Si ₃ N ₄ ou SiO ₂
5	ISO1	11	Négative	INV	Lithographie (résine positive)
6					R.I.E de l'isolant
7					Dépôt NbN ou TaN résistif (R _{square} =2 Ω @ 9K)
8	RES	2	Positive	INV/NO	Lithographie (résine dépendante du masque)
9					R.I.E de la couche résistive
10					Dépôt Si ₃ N ₄ ou SiO ₂
11	ISO2	5	Positive	INV/NO	Lithographie (résine dépendante du masque)
12					R.I.E. de l'isolant
13					Dépôt tricouche NbN/TaN/NbN/
14	JONCT	6	Positive	INV/NO	Lithographie (résine dépendante du masque)
15					Gravure contre-électrode (jonctions)
16					Dépôt de l'MgO
17					Lift-off par auto-alignement
18	IA	8	Positive	NO	Lithographie (résine positive)
19					I.B.E de l'isolant auto-aligné
20	TRI	4	Positive	NO	Lithographie (résine positive)
21					R.I.E. électrode de base
22	ISO3	7	Négative	INV/NO	Lithographie (résine dépendante du masque)
23					Dépôt Nb(P)*/MgO(B)/Si ₃ N ₄ ou SiO ₂
24					Lift-off de l'isolant
25					Dépôt de NbN pour les connexions
26	WIR	10	Positive	INV/NO	Lithographie (résine dépendante du masque)
27					R.I.E. de l'NbN
28	CNT	12	Positive	INV/NO	Lithographie (résine dépendante du masque)
29					Dépôt de Al /Nb(B) ou Au
30					Lift-off

FIG. 4.1. Description des enchaînements des étapes du nouveau procédé à 10 niveaux. (* **B** = Buffer, **P** = Protection, il est enlevé pendant le procédé ; ¹Negative signifie que le matériau en correspondance du dessin *n'est pas présent* sur le wafer, *Positive* signifie que le matériau en correspondance du dessin *est présent* sur le wafer ; ² INV signifie que le masque est imprimé en *polarité inverse* par rapport au dessin (pas de chrome en correspondance du dessin), *NO* signifie que le masque est imprimé dans la *même polarité* du dessin (chrome en correspondance du dessin).

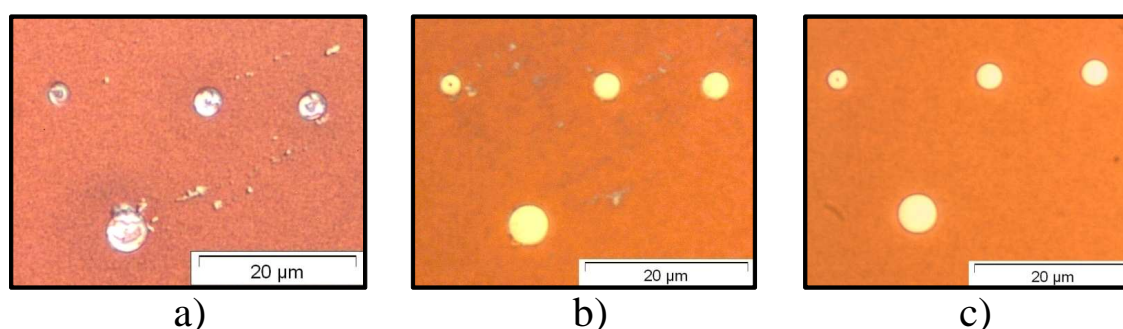


FIG. 4.2. a) Résine présente sur les jonctions après 45' minutes de lift-off dans l'acétone. b) En frottant avec une chiffonnette pendant le lift-off dans l'acétone on dégage la résine (et donc l'isolant) de la contre-électrode. c) La surface devient propre après une gravure R.I.E de la résine (délaquage) de 2 minutes.

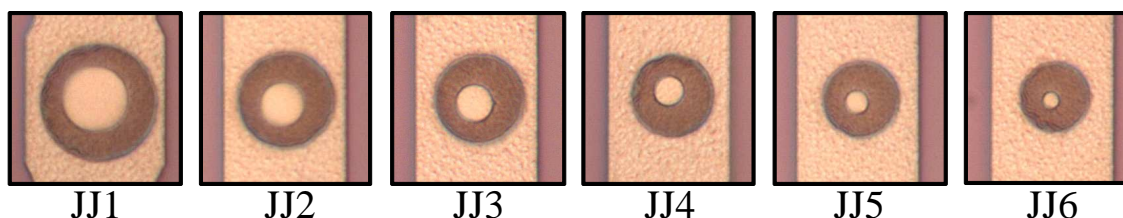


FIG. 4.3. Photographies (champ de $20 \times 20 \mu\text{m}^2$) des 6 jonctions Josephson avant la réalisation du niveau isolant (ISO3) et des interconnexions (WIR) pendant le procédé à 6 niveaux (plaquette A2134).

gravure de l'électrode de base (TRI) les 6 jonctions décrites dans le tableau 3.2

se présentent comme sur la figure 4.3. On remarque l'électrode de base, la couronne de l'isolant auto-aligné gravé et la jonction.

Les procédés, à 10 niveaux et à 6 niveaux, sont naturellement similaires, la seule différence est que les matériaux de la tricouche ne sont pas déposés directement sur le substrat mais sur les niveaux situés en dessus. L'ajout du plan de masse et de la couche de silice qui le couvre introduit une rugosité supplémentaire de la tricouche des jonctions qui peut altérer leurs caractéristiques. La figure 4.4 montre ce problème en comparaison avec la même jonction, réalisée sur le même wafer (A2120), sans le plan de masse (PdM) par dessous. La jonction la plus petite (JJ6, $\phi=2,5 \mu\text{m}$) reste encore couverte par la résine même après la procédure expliquée précédemment. Lorsque les procédés, simplifié (6 niveaux) et complet (10 niveaux), sont complétés avec le dernier niveau d'isolant (ISO3) et le niveau d'interconnexion (WIR), on peut comparer la réalisation du bloc logique JTL/T-FF. La figure 4.5 montre cet ensemble JTL/T-FF incomplet pour le procédé simplifié. La surface est plus propre et moins rugueuse du même circuit complet (voir la figure 4.6).

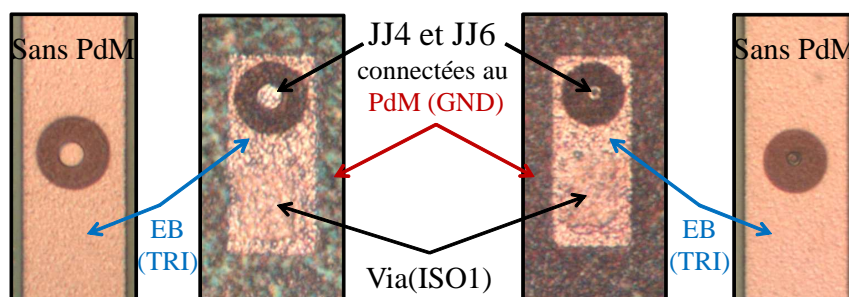


FIG. 4.4. Comparaison de la rugosité vue à travers un microscope optique pour des jonctions de même taille sans et avec plan de masse (PdM) sur la même puce du même wafer (A2120). La jonction la plus petite (JJ6, $\phi=2,5 \mu\text{m}$) reste encore couverte par la résine même après le frottement.

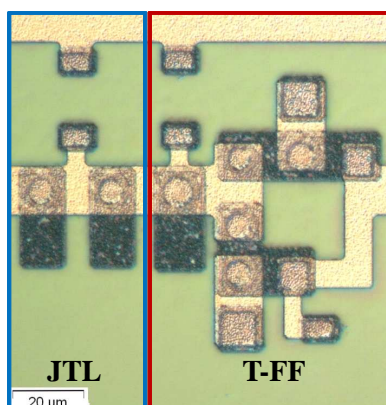


FIG. 4.5. Procédé simplifié à 6 niveaux : bloc JTL/T-FF incomplet (sans le plan de masse ni les résistances de polarisation).

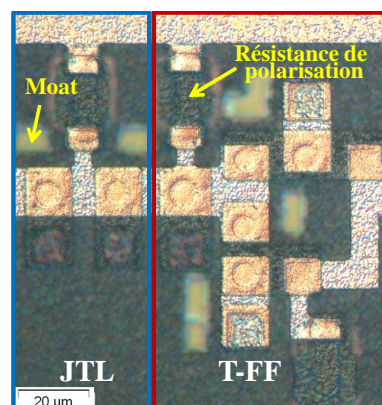


FIG. 4.6. Procédé complet à 10 niveaux : bloc JTL/T-FF avec le plan de masse et les résistances de polarisation.

Dans ce dernier cas, avant le dépôt de la tricouche NbN/Ta_xN/NbN, ont été réalisés, dans l'ordre, le plan de masse (niveau GND) et les résistances de polarisation avec les deux niveaux isolants (ISO1 et ISO2). Cela introduit bien huit étapes de gravure R.IE. supplémentaires (quatre pour le matériaux et quatre pour le délaquage) qui détériorent la surface des matériaux sous-jacents. C'est pourquoi la JTL et le T-FF sont plus rugueux dans le procédé complet que dans le simplifié. Les figures 4.7 et 4.8 montrent respectivement le diviseur de fréquence et le registre à décalage à 4 bits de type T. Ces circuits ainsi que d'autres (voir l'annexe B) ont été réalisés avec le nouveau procédé à 10 niveaux (complet) sur la plaquette (A2120) de silicium oxydé de 3 pouces (voir la figure 4.9). Comme déjà discuté dans la section 2.3, lors de la dernière fabrication il a été utilisé une nouvelle

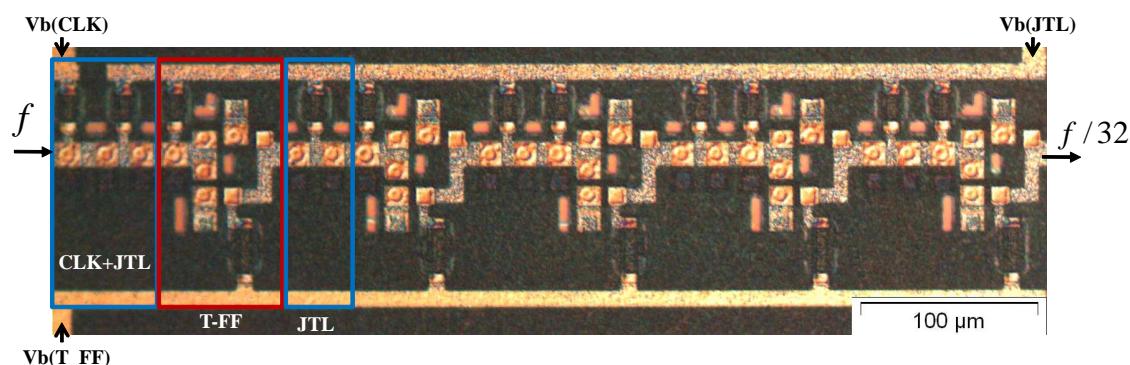


FIG. 4.7. Photographie du diviseur de fréquence (procédé complet à 10 niveaux).

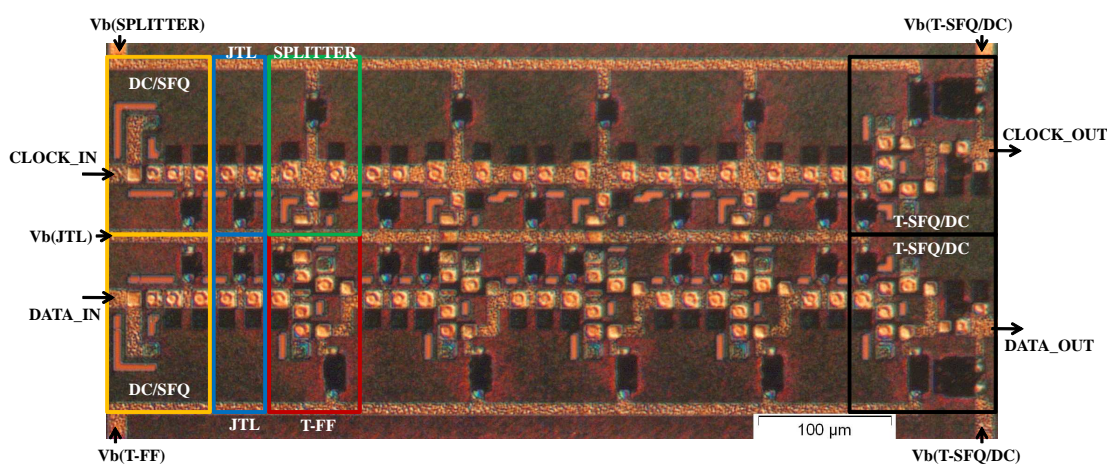


Fig. 4.8. Photographie du registre à décalage à quatre bits (procédé complet à 10 niveaux).

machine de dépôt de SiO_2 au Leti et, n'ayant pas à disposition en salle blanche d'un profilomètre, le temps de gravure de cette silice n'a pas pu être caractérisé. Le mélange gazeux CHF_3/O_2 n'étant pas sélectif sur le nitrure de niobium, pendant la gravure de l'isolant, lors de la prise de contact des jonctions, la contre-électrode a été aussi gravée à certains endroits de la plaquette jusqu'à la barrière en détruisant ainsi la jonction et en ne laissant qu'un court-circuit avec l'électrode de base. En utilisant un microscope électronique à balayage (M.E.B.)² pour observer des puces après découpe, on remarque en surface les marches bien définies de l'interconnexion (WIR) en nitrure de niobium sur la silice, l'isolant auto-aligné et la jonction sur-gravée. On observe trois cratères concentriques bien

²Les photos au M.E.B. ont été réalisées par Romano Setzu.

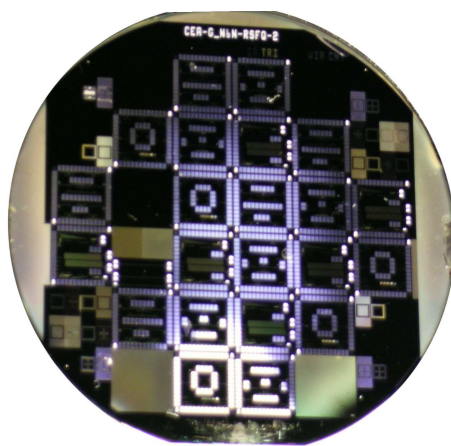


FIG. 4.9. Photographie du wafer 3 pouces A2120 complet.

visibles sur la figure 4.11 d'une jonction en croix (voir la figure 4.10) réalisée avec le procédé en version simplifiée (6 niveaux). La rugosité prononcée de l'électrode de base est due au bombardement dans l'usineur ionique pendant la gravure de l'isolant auto-aligné.

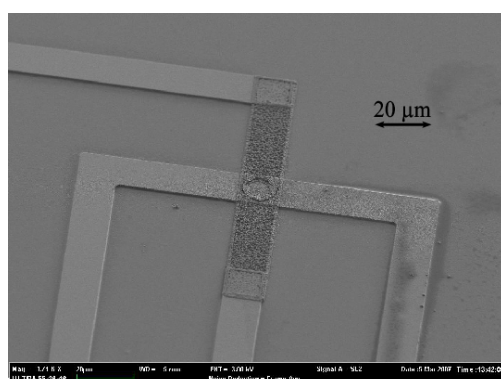


FIG. 4.10. Photo M.E.B. de la jonction Josephson JJ2 de $17,3 \mu\text{m}^2$ réalisée avec le procédé en version simplifiée.

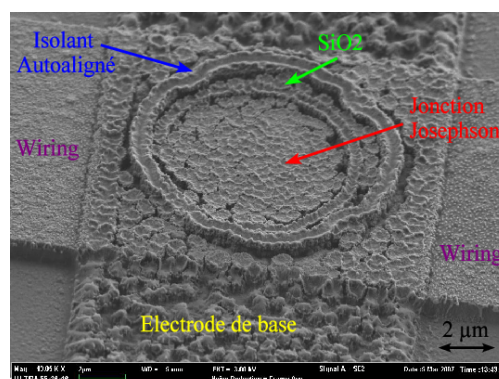


FIG. 4.11. Vue agrandie réalisée au M.E.B. sur la jonction de la figure 4.10.

Pendant ce dernier lot de fabrication, deux nouvelles plaquettes ont été réalisées par Romano Setzu sur le procédé SNEP à 5 niveaux avec un nouveau jeu de masque (NBN-RSFQ1, dessiné en collaboration avec Romano Setzu) qui isole les jonctions d'un plan de masse commun de façon à mieux les exploiter. Pour les mêmes raisons que pour le nouveau procédé à 10 niveaux, l'absence de contrôle de la gravure de la silice a provoqué une destruction de la jonction dans certains endroits des deux plaquettes. En plus il a été observé après découpe des puces et d'après l'analyse des marches des matériaux sur la puce,

une sur-gravure de l'électrode de base qui a diminué son épaisseur et en conséquence son courant critique.

4.2 Montage des échantillons

Les puces relatives aux procédés SNOP (section 2.2.5.1) et SNEP (section 2.2.5.2) sur 5 niveaux ont une dimension de $6 \times 6 \text{ mm}^2$ et contiennent 22 plots de contacts. Elles sont principalement composées de jonctions isolées ou en série et de SQUIDS. La caractérisation des jonctions pour en déterminer le bon fonctionnement étant indispensable pour que les circuits RSFQ puissent fonctionner correctement, le test a été orienté d'abord sur la mesure de ces dispositifs déjà existants lors du DEA, précédant la thèse. A cause de la difficulté souvent rencontrée lors de la soudure (*bonding*) des fils d'or avec la machine dont dispose le laboratoire, on a préféré diminuer le temps de montage d'un échantillon et augmenter le nombre de connexions de la puce vers le support de test en utilisant le *flip-chip*.

Lors de la thèse pour pouvoir tester plusieurs circuits RSFQ ou des circuits RSFQ complexes avec le nouveau procédé sur 10 niveaux on a introduit une nouvelle taille des puces, $10 \times 10 \text{ mm}^2$, avec un nombre de plots supérieur. Les supports pour le montage de type flip-chip n'étant pas disponibles pour des raisons de temps, les échantillons du nouveau procédé ont été montés par bonding d'or sur des contacts ici en aluminium réalisés dans le groupe de dépôt Alcatel SCM 600.

4.2.1 Montage de type «Flip-Chip»

On a conçu un petit système de soudure (voir figure 4.12) basé sur la méthode de type flip-chip [127] avec un métal de Wood ayant une température de fusion de $80 \text{ }^\circ\text{C}$. Il s'agit d'une plaque chauffante en cuivre réalisée sur un support en inox suffisamment massif pour réduire toutes les vibrations possibles. Le procédé sur plaque chauffante comporte deux étapes :

- un premier échauffement permet de fondre le métal de Wood déposé sur une lame de cuivre en contact avec la plaque chauffante de façon à réaliser un bain de métal dans lequel on plongera un support époxy dessiné en surface des pistes nécessaires pour prendre le contact. Grâce au vernis isolant déposé sur tout l'époxy, le métal de Wood va être confiné sur les 22 plots qui seront en contact sur la puce ($6 \times 6 \text{ mm}^2$) de test.
- on positionne alors un masque sur la plaque chauffante avec un trou de la dimension et forme de la puce à tester. La puce va donc se placer dans le trou avec ses plots d'or de contact vers le haut. On va alors positionner le support en époxy sur lequel on a précédemment déposé le métal de Wood avec le contact vers le bas. Quatre guides permettent d'aligner les plots de l'époxy avec ceux de la puce. On met un

4.2 – Montage des échantillons

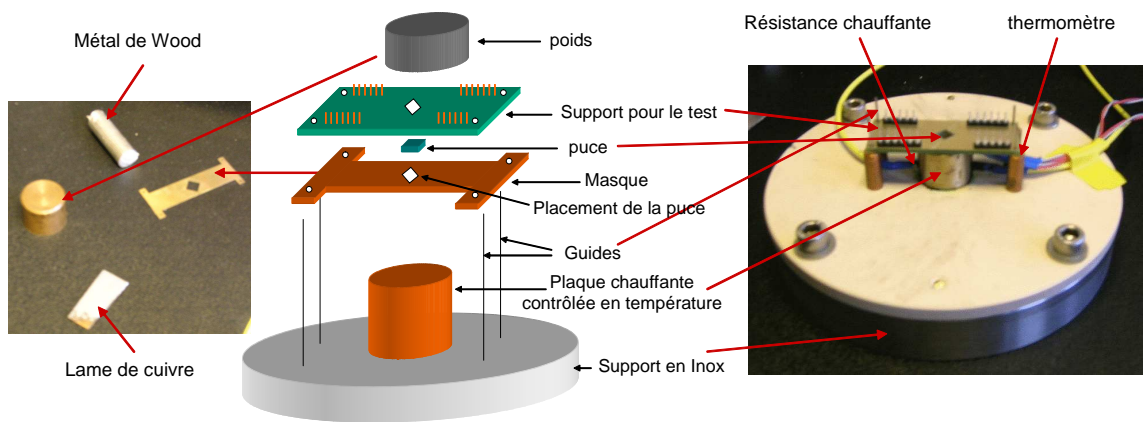


FIG. 4.12. Illustration de la machine à souder les puces sur leur support de connexion réalisée. La photo de gauche montre les pièces utilisées et celle de droite la soudure mise en oeuvre. Le schéma central permet de comprendre la procédure de montage de la puce.

pois sur le support d'époxy à fin de permettre la soudure par pression, une fois atteinte la fusion du métal de Wood.

Lors de la soudure de la puce sur le support, toutes les pattes du support doivent être court-circuitées afin d'éviter des différences de potentiels, qui pourraient claquer la barrière et donc la jonction. Pour avoir un ordre d'idée de la tension de claquage, la valeur du champ électrique qui suffit pour détruire une barrière tunnel est d'environ 10 MV/cm, ce qui correspond à une tension de 1 V pour une barrière isolante de 1 nm d'épaisseur.

La figure 4.13 montre le placement de la puce sur le support prêt au test et le contact réalisé. Cette méthode permet de prendre 22 contacts sur la puce en 15 minutes environ. Le problème rencontré lors du première essai à froid est lié au fait que le métal de Wood dévient très granulaire et lors de la descente en température le poids de la puce domine

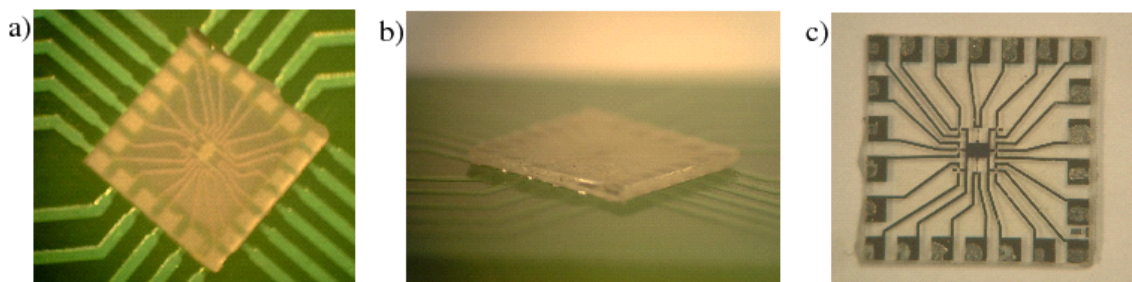


FIG. 4.13. Après refroidissement de la plaque, la puce reste soudée au support époxy : a) vue par-dessus ; b) vue latérale ; c) puce dessoudée montrant le métal de Wood sur les plots.

sur la force de liaison du métal et la puce se dessoude du support. Un alliage étain-indium (SnIn), démontré résister à froid [127], aurait été préférable pour ce type de montage. N'ayant pas à disposition cet alliage on a garanti la tenue mécanique avec un ruban de nylon enveloppant la puce soudée au support.

Ce type de montage a été validé à froid et à basse fréquence (1 KHz) en vue d'un test quasi-statique sur une couche d'or épaisse de 150 nm et déposée (avec un buffer de 10 nm de titane) sur un substrat de silicium découpé pour être adapté au support. La résistance mesurée sur 4 points entre deux plots voisins (distance entre les deux centres égale à 1mm) est de $24,4 \mu\Omega$ à 4,2 K.

4.2.2 Montage par soudure des échantillons

Le laboratoire est équipé d'une machine de bonding utilisée avec un fil d'or pour le montage d'échantillons en vue d'une mesure sur 4 points. Les supports utilisés sont les plus classiques dans la micro-électronique et souvent les fils d'or, après le bonding sur les plots de l'échantillon, sont soudés aux pins du support avec du métal de Wood ou de l'étain. Il existe aussi des support céramique avec un alliage 42 (42 % nickel et 58 % fer) sur lequel il est possible de faire du double bonding en écrasant le fil d'or sur les plots du support³. Même s'ils apparaissent très pratiques pour le montage des échantillons contenant des circuits RSFQ, ces supports peuvent perturber la mesure car l'alliage 42, étant ferromagnétique, peut se magnétiser.

Lors du test des circuits ainsi que des jonctions Josephson et des SQUIDs dans le procédé à 10 niveaux, les puces ont été collées (on utilise une colle conductrice de chaleur, de type General Electric) sur des supports en époxy. Ensuite le bonding est fait plot par plot en soudant le fil d'or au pin du support pour fixer son potentiel avant de procéder à la soudure des autres plots de l'échantillon. Dans ce cas les pins du support sont tous court-circuités et reliés à la terre. Quand tous les plots ont été soudés le court-circuit est maintenu jusqu'au montage du porte-échantillon dans la canne de test.

4.3 Banc de mesure quasi-statique

La caractérisation des jonctions Josephson NbN/Ta_xN/NbN ainsi que des SQUIDs et des circuits RSFQ doit être effectuée à température variable entre 4,2 K et 20 K car un simple bain dans l'hélium liquide à 4,2 K n'est pas suffisant pour montrer tous les avantages de la technologie NbN. On vise une température de fonctionnement des circuits NbN voisine de 9 K. On a donc conçu trois cannes (deux pour les tests quasi-statiques, magnétique et d'irradiation, et une pour le test microondes) terminées par un calorimètre qui s'insère dans le col de 50 nm d'une bouteille d'hélium comme représenté en figure

³La machine n'est pas prévue pour faire du double bonding, souvent utilisé dans la micro-électronique, et vu le nombre d'échantillons à tester un sous traitement à l'extérieur aurait été long.

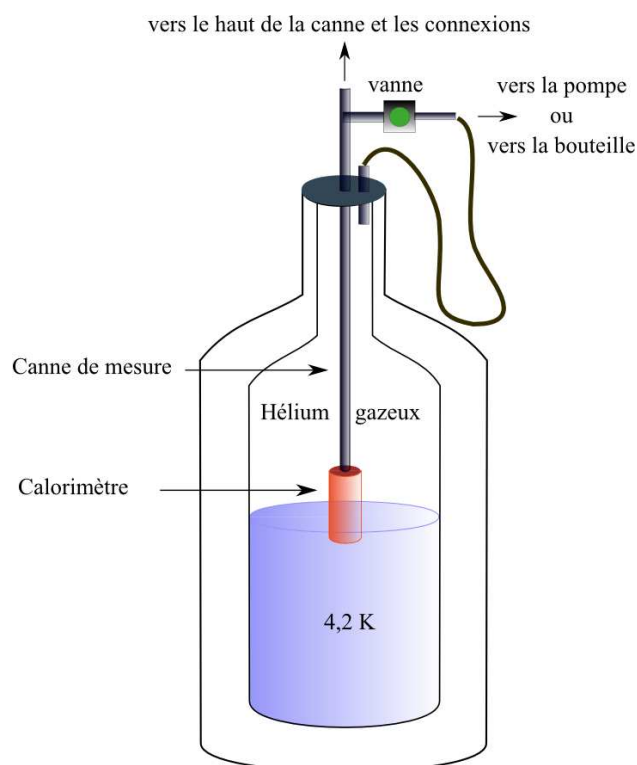


FIG. 4.14. Environnement cryogénique du test. La pression de l'hélium gazeux à l'intérieure de la bouteille (vase de 100 litres d'hélium liquide) est celle atmosphérique (1 bar) car un autre tuyau (non représenté sur la figure) met la bouteille à la récupération de gaz du laboratoire.

4.14. A travers une vanne on effectue un vide primaire (environ 10 Pa ou 10^{-4} bar) pour empêcher la congélation de l'air dans toute la canne. Une fois le vide atteint, on introduit la canne dans la bouteille d'hélium, en restant dans le col. Un tuyau en caoutchouc permet de mettre en communication à travers la même vanne de pompage, la bouteille et la canne, de façon à avoir la même pression atmosphérique. Le gaz d'hélium dans la canne est donc utilisé pour favoriser les échanges thermiques et on peut finalement refroidir la canne en la descendant dans la bouteille. La régulation de la température est effectuée en utilisant l'équilibre thermique dans l'environnement de la bouteille, simplement en réglant la hauteur du calorimètre par rapport au bain d'hélium et en vérifiant la stabilité de la température⁴. Chaque calorimètre est équipé d'une feuille de μ -métal à l'intérieur et d'une feuille de plomb à l'extérieur, pour bien blinder les échantillons des champs magnétiques basse-fréquence extérieurs. Un blindage électrique est constitué par la bouteille d'hélium elle-même.

⁴Le temps de thermalisation dépend de l'inertie liée à la quantité et au type de matériaux (câble coaxiaux, paires torsadés, support en plastique, nombre d'écran de thermalisation, etc.) et donc varie de canne à canne.

L'environnement cryogénique et le principe de régulation de la température étant communs, les cannes (celle micro-ondes sera décrite dans la section 4.4) se différencient pour le type de mesure qu'elles permettent comme suit :

1. **Canne dédiée au test des jonctions Josephson et des SQUIDs sous champ magnétique** : on a modifié une canne de test statique existante en ajoutant au fond de la canne un support en cuivre de thermalisation, isolé thermiquement de la canne, sur lequel on a vissé un support DIL standard des semi-conducteurs et inséré un thermomètre radium-fer. Le porte-échantillon est fixé par pression sur le support DIL comme en figure 4.15. Trois paires torsadées permettent de prendre les contacts (4 pour mesurer les jonctions et 6 pour mesurer les SQUIDs). Deux autres paires permettent de mesurer la résistance du thermomètre et donc de contrôler la température. Enfin une dernière paire alimente une bobine de cuivre (pour un champ jusqu'à environ 300 Gauss) qui est montée après le placement du porte-échantillon. La bobine ayant un diamètre extérieur de 48 mm (2 mm inférieur au col de la bouteille), ne permet pas d'ajouter le calorimètre pour stabiliser la température. Le choix d'utiliser des paires torsadées [128] permet d'éviter de générer des champs magnétiques entre les deux conducteurs liés à la même charge.
2. **Canne dédiée au test des jonctions Josephson sous irradiation RF et au test quasi-statique des circuits RSFQ** : une autre canne quasi-statique a été aussi conçue ⁵ pour pouvoir mesurer les circuits RSFQ à basse fréquence. On a équipé la canne de 40 mini câbles coaxiaux comme en figure 4.16. Le choix de ces câbles plutôt que des paires torsadées est du au fait qu'à priori lors du dessin des circuits les contacts positif et négatif ne sont pas toujours l'un à côté de l'autre sur la puce. L'utilisation de câbles coaxiaux permet donc d'éviter de coupler des amenées de courant qui ne sont pas reliées à la même charge ⁶.

Cette canne est aussi équipée d'une antenne d'irradiation radiofréquence depuis une source extérieure accordable en fréquence entre 0 et 20 GHz permettant de mesurer les marches de Shapiro dans les jonctions Josephson. Il s'agit d'un câble coaxial rigide dénudé à une extrémité se comportant comme une antenne unipolaire non directive ou équidirective car elle émet de l'énergie radioélectrique de façon équivalente dans toutes les directions. Si on suppose l'antenne orientée verticalement, les signaux sont concentrés vers l'horizon car l'angle du diagramme de rayonnement est faible et l'antenne ne rayonne généralement pas de signaux à forte intensité vers le haut. La longueur de l'âme du câble est équivalente à $\lambda/4$. Comme pour la bobine, l'antenne RF est aussi un module connectable qu'on visse au câble descendant dans la canne à travers des connecteurs SMA après le montage du porte-échantillon.

⁵Toutes les pièces mécaniques ont été fabriquées par le mécanicien du laboratoire, Michel Boujard, et la soudure des connecteurs JAGER étanches par le technicien, Jean-Luc Thomassin.

⁶L'intérêt d'utiliser une paire torsadée est de coupler les amenées de courants à la même charge.

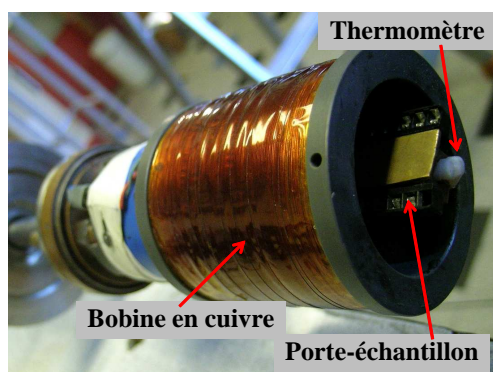


FIG. 4.15. Canne quasi-statique pour le test des jonctions et des SQUIDs sous champ magnétique faible.

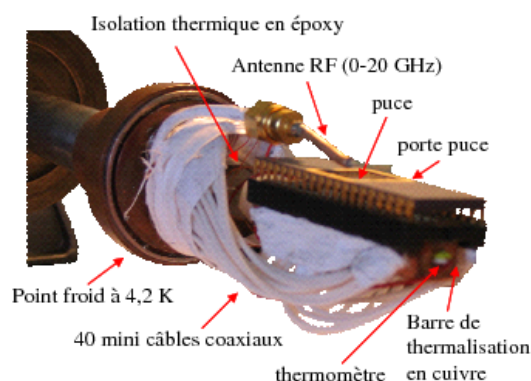


FIG. 4.16. Canne quasi-statique pour le test des marches des Shapiro et des circuits RSFQ à basse fréquence.

Les deux cannes permettent de prendre les contacts de l'échantillon à travers des connecteurs JAGER (12 pins) étanches placés en haut de la canne. Les contacts vers les appareils de mesure sont pris sur des boîtiers blindés qui se branchent sur les connecteurs JAGER et qui amènent chaque pin sur des connecteurs BNC (dans le cas du thermomètre on a utilisé un connecteur LEMO et pour l'alimentation de la bobine des connecteurs BANANA). Lors du placement du porte-échantillon sur le support, des charges de 50Ω fixées sur les connecteurs BNC et reliées à la terre. Ces charges sont maintenues lors de la descente en température jusqu'au démarrage de la mesure ; ensuite on enlève une charge à la fois et on connecte le câble de mesure de façon à fixer le potentiel avant de passer aux autres contacts. L'effet de l'équipotentialité des pins, permet aussi d'éviter, lors de la descente en température, des décharges en tension générées par *effet Seebeck* dans des matériaux conducteurs de natures différentes présentes dans les contacts.

Les mesures courant-tension sont effectuées de deux façons. Le contrôle du fonctionnement de la jonction Josephson est fait en dynamique avec un générateur d'onde triangulaire alimenté sur batterie, réalisé pendant la thèse, et d'un oscilloscope analogique Tektronix 7603, permettant d'observer des courbes plus propres qu'avec un oscilloscope numérique (du au bruit d'échantillonnage). L'oscilloscope analogique ayant aussi en entrée deux amplificateurs différentiels permet d'obtenir directement des résolutions de $5 \mu\text{V}$. Une résistance de $1 \text{ k}\Omega$ en série avec le générateur et grande par rapport à la résistance de la jonction dans son état normal, permet d'effectuer une polarisation en courant. Une fois le fonctionnement de la jonction contrôlé, la caractéristique $I(V)$ est récupérée à l'aide d'une source de courant DC Keithley 6220 (ayant une résolution de 100 fA) et d'un nanovoltmètre Keithley 2182A (avec un bruit de 250 nV), acheté pendant la thèse et pilotés par ordinateur sous Labview. Les mesures sous 4 points ainsi que celles des

SQUIDS ou des circuits RSFQ sont effectuées avec des boîtiers électroniques de polarisation en courant ou en tension et alimentés sur batterie, réalisés aussi lors de la thèse. Toute la mesure est reliée à la terre par le seul oscilloscope. Ceci permet d'éviter des boucles de masse possibles et, grâce à une alimentation sur batterie, de supprimer au bruit 50 Hz provenant des du réseau électrique, gênant pour des tensions si faibles. Des filtres passe-bas (DC-2 MHz), fixés sur chaque connecteur BNC de la canne, permettent d'améliorer la qualité de la mesure.

4.3.1 Caractérisation des jonctions Josephson

Comme décrit dans le chapitre 2, les jonctions Josephson sont fabriquées à partir du dépôt *in situ* de la tricouche NbN/Ta_xN/NbN selon deux procédés, le SNOP et le SNEP à 5 niveaux. On va présenter la caractérisation de deux jonctions du procédé SNEP à 5 niveaux réalisé avec le jeu de masque SUPRAMOD⁷, deux jonctions réalisées du procédé SNOP et une jonction du procédé SNEP à 5 niveaux avec le jeu de masques NbN-RSFQ1. On n'a pas pu obtenir des résultats concernant les jonctions et les circuits réalisés avec le procédé complet à 10 niveaux pour les raisons expliquées dans la section 4.1.

La figure 4.17 montre la caractéristique courant-tension d'une jonction Josephson circulaire présente sur une puce de 6x6 mm² d'un wafer en saphir complètement fabriqué en début de la thèse par Jean-Claude Villégier. La tension caractéristique mesurée est 0,75 mV avec une densité de courant critique de 3,3 kA/cm² à 4,2 K⁸. Même si les valeurs

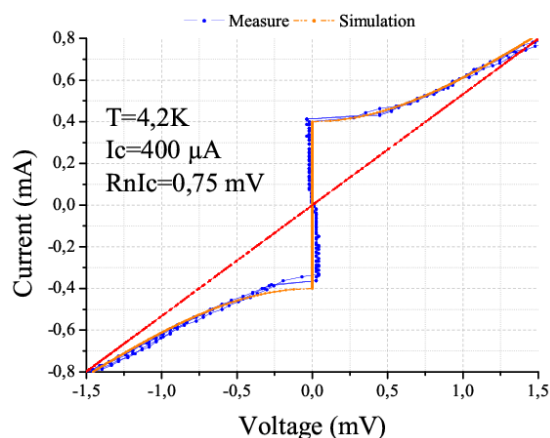


FIG. 4.17. Caractéristique I(V) d'une jonction Josephson de 4 µm de diamètre du procédé SNEP à 5 niveaux pour le jeu de masque SUPRAMOD

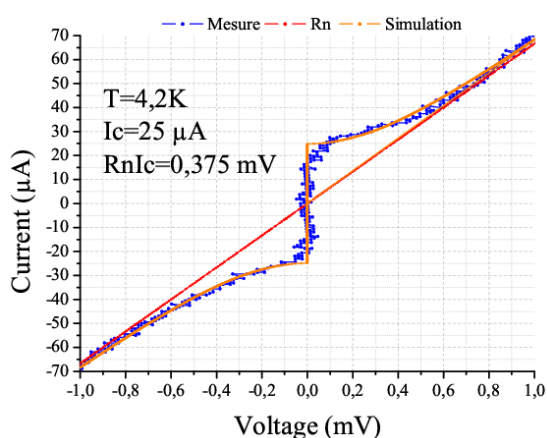


FIG. 4.18. Caractéristique I(V) d'une autre jonction Josephson de la même taille que celle de la figure 4.17 mais située dans un autre endroit du wafer.

⁷Le jeu de masque SUPRAMOD a été réalisé lors du D.E.A précédant la thèse.

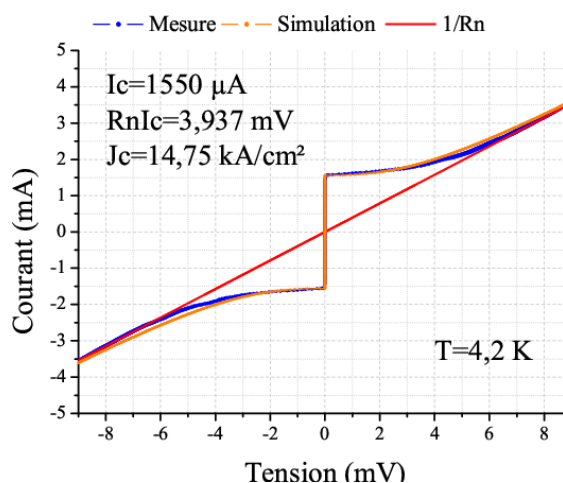


FIG. 4.19. Caractéristique I(V) d'une jonction Josephson de $10,5 \mu\text{m}^2$ réalisée avec le procédé SNOP.

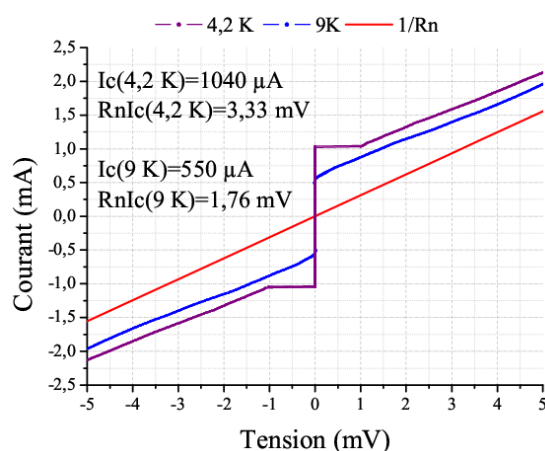


FIG. 4.20. Caractéristique I(V) d'une jonction Josephson de $12 \mu\text{m}^2$ dans un autre endroit du même wafer A2097.

sont élevées il y a une dispersion des paramètres liée à des problèmes de fabrication. La figure 4.18 montre la caractéristique d'une jonction de la même taille lithographique mais située dans un autre endroit du wafer. La tension caractéristique diminue à $0,375 \text{ mV}$ et la densité de courant vaut 200 A/cm^2 environ. Grâce à l'outil de simulation WinS, on a pu évaluer le facteur d'amortissement, β_c , de $0,5$ à $4,2 \text{ K}$ pour les deux jonctions montrées.

La figure 4.19 montre une caractéristique d'une jonction carrée qui a été mesurée à $4,2 \text{ K}$ et qui présente une densité de courant critique de $14,75 \text{ kA/cm}^2$ et une tension caractéristique remarquable de $3,97 \text{ mV}$. Cette jonction fait partie d'un autre wafer réalisé par Romano Setzu à partir d'une nouvelle tricouche qui a été traitée selon le procédé de type SNOP, le plus facile et rapide à réaliser. L'amortissement évalué à partir de la courbe expérimentale est de $0,7$ et donc il s'agit d'une jonction suramortie. Comme pour le procédé SNEP à 5 niveaux aussi dans ce cas, les dispersions des paramètres technologiques sont à considérer, comme le montre la figure 4.20. La densité de courant critique est cette fois de $8,66 \text{ kA/cm}^2$ à $4,2 \text{ K}$ et la tension caractéristique de $3,33 \text{ mV}$, toujours prometteuse (d'une fréquence de l'ordre de 500 GHz pour des circuits complexes synchrones comme le CAN). A 9 K la densité de courant devient de $4,58 \text{ kA/cm}^2$ et le produit $R_N I_C$ vaut $1,76 \text{ mV}$ qui permet des opérations logiques à une fréquence d'environ 260 GHz à 9 K . De même l'amortissement de la jonction tend à $4,2 \text{ K}$ vers la limite de l'hystérese et, comme prévu, diminue avec la température.

Pour ce qui concerne les jonctions fabriquées avec le dernier lot sur le procédé SNEP, pour les raisons expliquées dans la section 4.1, le courant critique de l'électrode de base

⁸Les mesures effectuées ne profitent pas du banc de mesure mis en place car elles ont été effectuées en début de thèse et avec une canne plongeant dans l'hélium liquide.

devient comparable à celui de la jonction de telle façon que pour des températures basses son courant critique est faible par rapport à celui de la jonction. Cela empêche de voir la jonction car on passe à l'état normal avant de déclencher la jonction. Une jonction dans ce procédé SNEP à 5 niveaux ne devient donc visible que pour des températures supérieures à 11 K, comme le montrent les figures 4.21 et 4.22. Comme le montre la figure 4.21,

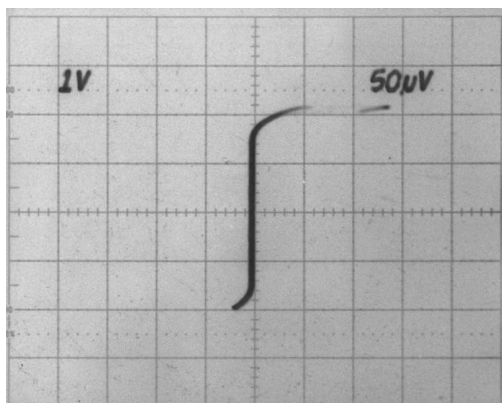


FIG. 4.21. Caractéristique I(V) à 12,7 K d'une jonction Josephson de $3,2 \mu\text{m}^2$ réalisée avec le procédé à 5 niveaux.

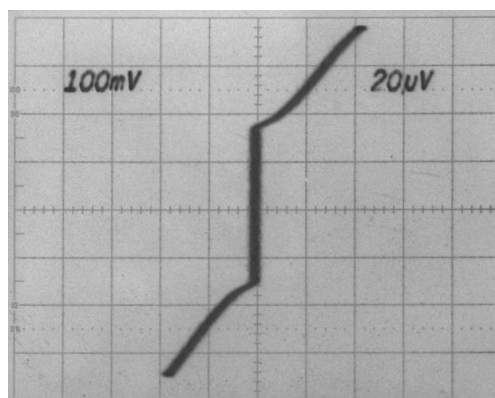


FIG. 4.22. Caractéristique I(V) à 14 K de la même jonction de la figure 4.21.

le courant critique de l'électrode de base autour de la jonction est plus élevé que celui de la jonction à la même température de 12,7 K et la caractéristique I(V) présente une discontinuité au delà du courant critique de l'électrode. La densité de courant critique mesurée pour cette jonction est d'environ 30 kA/cm^2 à 12,7 K et de 5 kA/cm^2 à 14K. La manifestation de l'effet Josephson est bien évidente grâce à l'apparition des marches de Shapiro sur la caractéristique I(V) à 11,25 K au dessous du courant critique de l'électrode de base. Les figures 4.23 et 4.24 montrent ce phénomène à une fréquence d'irradiation de 9,4 GHz pour des puissances de +5 dBm et +12,5 dBm⁹ respectivement. Les marches en tension correspondent bien à $f\Phi_0$, c'est-à-dire à $19,46 \mu\text{V}$.

D'autres jonctions sur le même wafer et aussi sur les autres qui ont suivi le procédé SNEP à 5 niveaux et le nouveau procédé, simplifié (6 niveaux) et complet (10 niveaux), n'ont pas montré l'effet Josephson pour les raisons déjà expliquées. La figure 4.25 montre en effet une caractéristique I(V) qui ressemble à celle d'une jonction Josephson amortie, mais avec des tensions en jeu très élevées dues à une résistance normale très importante. Comme le montre la figure 4.26, il pourrait s'agir d'un micro-pont de nitrure de niobium

⁹Les deux puissances tiennent en compte les atténuations des câbles et de l'atténuateur, mais pas de l'antenne RF.

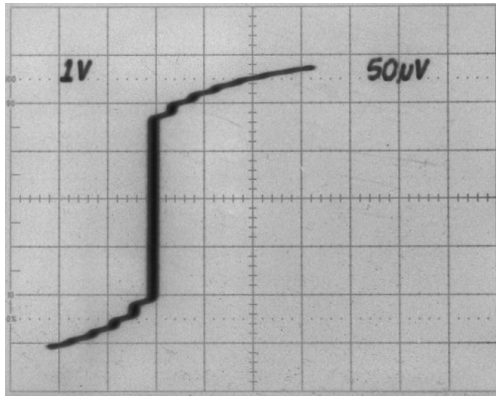


FIG. 4.23. Marches de Shapiro observées sur la caractéristique I(V) de la jonction Josephson en figure 4.21 à 9,4 GH et +5 dBm.

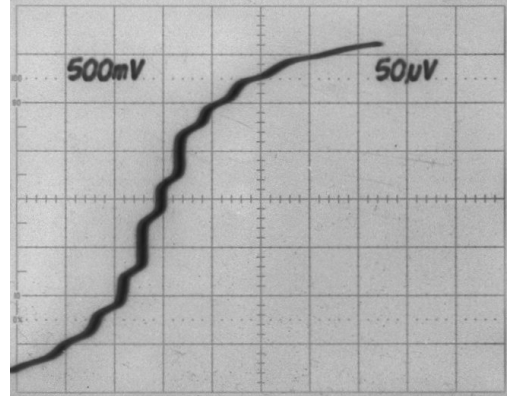


FIG. 4.24. Marches de Shapiro observées sur la caractéristique I(V) de la jonction Josephson en figure 4.21 à 9,4 GH et +12,5 dBm.

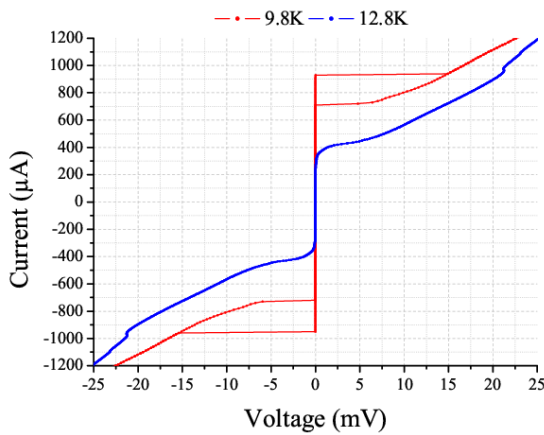


FIG. 4.25. Caractéristique I(V) d'un micro-pont de $18 \mu\text{m}^2$ réalisé avec le nouveau procédé en version simplifié (6 niveaux).

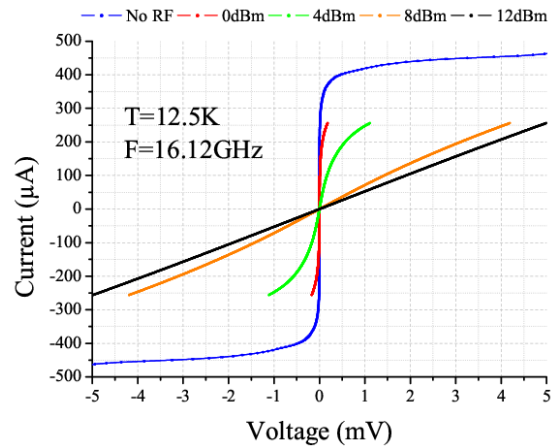


FIG. 4.26. Effet bolométrique par irradiation radiofréquence sur le même micro-pont que celui de la figure 4.25.

entre le niveau d'interconnexion (WIR) et l'électrode de base (TRI) à cause de la destruction de la barrière. L'effet Josephson est en effet absent lors d'une irradiation radiofréquence (absence des marches de Shapiro) et il apparaît un effet purement bolométrique : le court-circuit est chauffé localement et, pour des puissances élevées, transite dans son état normal.

4.4 Banc de test radiofréquence

On a conçu grâce à l'assistance technique du service ¹⁰ une troisième canne cryogénique pour le test des filtres ainsi que des circuits RSFQ en radiofréquence. Le principe de refroidissement des échantillons est basé sur l'utilisation d'un calorimètre comme pour les deux autres cannes de test quasi-statique. Des écrans thermiques ont été ajoutés le long du tube de la canne pour bien thermaliser les deux câbles RF¹¹ dont la canne est équipée. Les câbles avec des connecteurs K (< 40 GHz) ont une bande passante de 40 GHz. Pour les mesures RF, on a construit deux boîtiers en cuivre équipés de deux connecteurs SMA (< 18 GHz), qui peuvent être facilement échangés avec des connecteurs K. Un des deux boîtiers contient 8 contacts qui permettent d'amener les tensions de polarisation sur les circuits RSFQ. L'un des deux boîtiers est vissé sur un support en cuivre, isolé thermiquement de la canne, pour un meilleur contrôle de la thermalisation et donc de la température. Les équipements de mesure RF comprennent un analyseur vectoriel de réseau (VNA, Vector Network Analyser) couvrant une bande de 150 MHz à 20 GHz, un oscilloscope à échantillonnage jusqu'à 50 GHz de bande, un oscilloscope en temps réel jusqu'à 40 GS/s sur une bande de 3 GHz, un générateur sinusoïdal allant jusqu'à 20 GHz, ainsi que des DC block, des T de polarisation et des amplificateurs à large bande.

Le banc de mesure a été validé à l'aide de deux résonateurs simulés, dessinés et réalisés lors de la thèse en technologie micro-ruban. Les couches métalliques sont en nitrure de niobium et le diélectrique est le substrat de MgO de 250 μm d'épaisseur sur lequel les couches ont été déposées sur les deux faces. Les lignes ont une largeur de 246 μm pour avoir une impédance caractéristique de 50 Ω (voir la section 3.2.3) et la même longueur de 5700 μm environ égale à la demi longueur d'onde guidée, λ_g , sur l'MgO à 10,2 GHz. Ils diffèrent pour la largeur des gaps capacitifs de couplage (d'entrée et de sortie), 50 μm et 20 μm respectivement.

Le DUT (Device Under Test) étant localisé dans l'environnement cryogénique décrit, la calibration de l'analyseur de réseaux n'a pas pu être effectuée à froid mais à température ambiante. La figure 4.27 montre le paramètre S21 concernant la transmission entre 9 et 11 GHz du signal RF à travers les résonateurs. Les facteurs de qualité étant très élevés, d'environ 5000 pour le gap de 50 μm et 3000 pour le gap de 20 μm à 4,2 K, les résonateurs sont couplés l'un à l'autre, même à une distance de trois fois la largeur de chaque ligne résonnante. Cela est bien évident sur la figure 4.27, car lorsque l'on excite le résonateur avec le gap de 50 μm à l'aide de l'analyseur de réseau, le résonateur à côté est excité indirectement par le premier résonateur. Les deux fréquences sont proches de $\lambda_g/2$ calculée pour 10,2 GHz dans le cas d'un métal parfait, 9,81 GHz et 10,3 GHz respectivement du gap plus grand au plus petit. Comme décrit dans la section 1.1.1, la fréquence

¹⁰La canne a été dessinée par l'ingénieur Jean-Michel Martinod, les pièces mécaniques ont été fabriquées par le mécanicien Michel Boujard et l'ensemble a été monté par Marie-Jo Blanchard de l'équipe technique du CEA/DRFMC/SPSMS.

¹¹Les câbles ont été fabriqués par la société française ATEM : www.atem-fr.com.

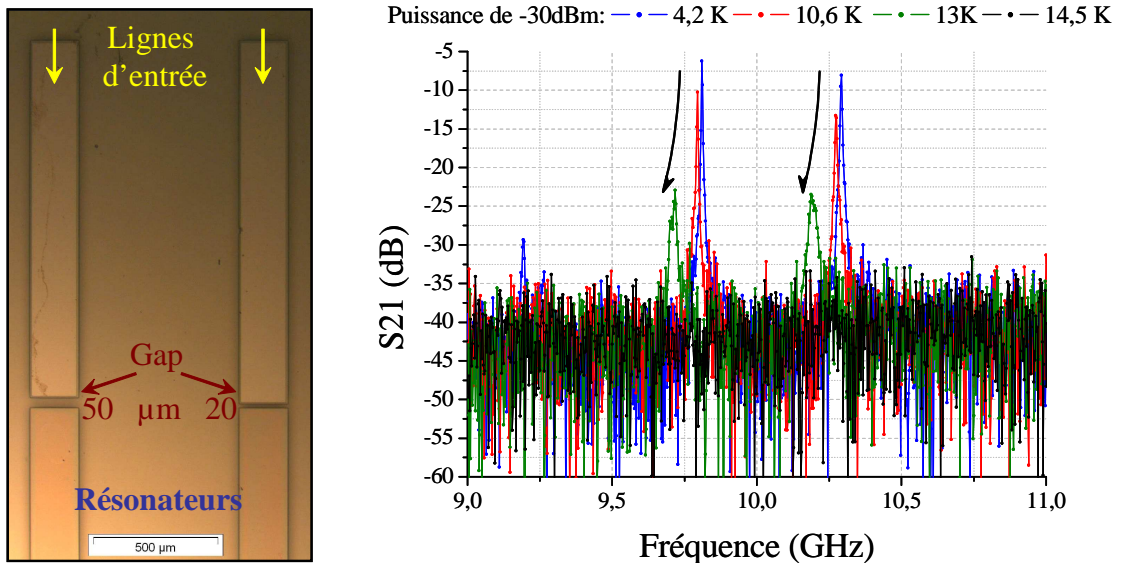


FIG. 4.27. Mesure du coefficient de transmission des résonateurs. Le fort couplage du aux grands facteurs de qualité, comporte une excitation induite sur un résonateur lorsque l'autre est directement excité par l'analyseur de réseau.

de résonance dépend fortement de la longueur de pénétration London du supraconducteur et donc varie avec la température jusqu'à disparaître aux alentours de la température critique comme sur la figure 4.27. On est donc capable d'estimer la variation de la longueur de pénétration du nitrure de niobium en fonction de la température en évaluant la variation de la fréquence de résonance. Les figures 4.28 4.29, montrent la variation de la fréquence de résonances du résonateur avec un gap de $20 \mu\text{m}$ et de $50 \mu\text{m}$ respectivement, en fonction de la température pour un excitation directe et induite sur la ligne résonnante. La fréquence varie fortement pour des températures supérieures à 9 K. Cela implique que la longueur de pénétration augmente rapidement pour ces températures provoquant une augmentation des inductances des circuits RSFQ et donc un changement des fréquences d'opération ainsi que de possibles erreurs de fonctionnement.

4.5 Synthèse

Dans ce chapitre nous avons décrit la fabrication en salle blanche des circuits RSFQ en technologie NbN. Nous avons en particulier regardé les étapes critiques relatives à la définition de la jonction avec l'isolant auto-aligné et l'influence du plan de masse sur la rugosité de la tricouche NbN/Ta_xN/NbN. Nous avons aussi observé au microscope électronique à balayage (M.E.B.) une sur-gravure de la contre-électrode lors de la gravure

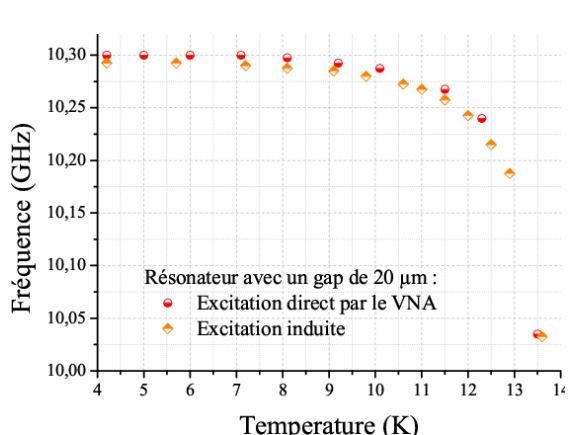


FIG. 4.28. Variation de la fréquence de résonance avec la température pour le résonateur ayant un gap de $20 \mu\text{m}$.

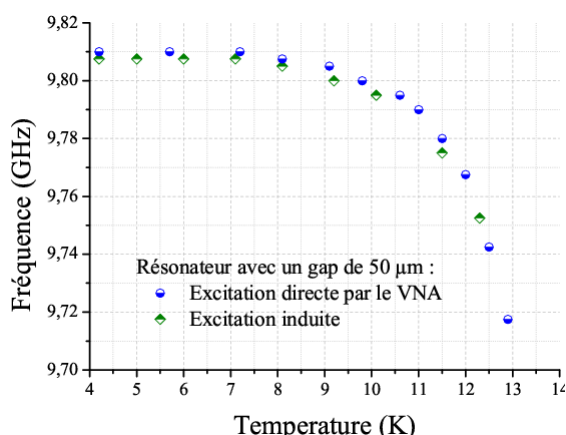


FIG. 4.29. Variation de la fréquence de résonance avec la température pour le résonateur ayant un gap de $50 \mu\text{m}$.

des via dans l'isolant supérieur (ISO3).

Nous avons décrit la mise en oeuvre d'un banc de mesure cryogénique à basse fréquence ainsi qu'un nouveau système flip-chip adapté à une puce de $6 \times 6 \text{ mm}^2$ avec 22 plots. Nous avons donc testé les jonctions Josephson entre 4,2 et 20 K et observé sur les caractéristiques $I(V)$ les marches de Shapiro manifestant la présence de l'effet Josephson. Les jonctions mesurées ont montré des densités de courant ainsi que des tensions caractéristiques élevées. La reproductibilité de ces résultats n'a pas été atteinte suite à des problèmes technologiques de fabrication. Pour les mêmes problèmes suite à la destruction de la barrière, les circuits RSFQ qui ont été dessinés (en particulier le diviseur de fréquence et le registre à décalage) n'ont pas pu être testés.

Nous avons mesuré les fréquences de résonances de deux résonateurs micro-ruban en NbN avec un substrat d'MgO comme diélectrique. Ceux-ci nous ont permis de valider la mise en place d'une nouvelle canne de mesure RF mais surtout d'observer la variation de la longueur de pénétration, λ_L , à travers la variation de la fréquence de résonance en fonction de la température. Après environ 10 K la fréquence et donc λ_L varie rapidement. Cela comporte une augmentation des inductances et donc des erreurs possibles sur le fonctionnement d'un circuit RSFQ.

Chapitre 5

Etude des composants de base du CAN en technologie Nb de fonderie et comparaison avec la technologie NbN

La fonderie Hypres, comme décrit dans la section 1.2.4.2, développe une technologie standard de jonctions Josephson hystérétiques Nb/AIO_x/Nb nécessitant de shunts externes avec des densités de courant critique de 30, 1000 et 4500 A/cm². Née en 1983, Hypres est avec NEC (en Japon) une des entreprises qui a rendu l'électronique numérique supraconductrice une réalité, avec la commercialisation de stations de base pour téléphone portable, plusieurs démonstrations de CAN, ainsi qu'un service de fonderie connu au niveau mondial. En vue d'une comparaison avec la technologie NbN sensée travailler à 9 K, on a voulu dessiner les mêmes circuits RSFQ en technologie Nb avec une densité de courant critique comparable à celle des jonctions NbN/Ta_xN/NbN à 9K.

Ce chapitre rappelle le procédé de la fonderie Hypres pour 4500 A/cm² en termes de matériaux utilisés et de complexité ainsi que les simulations des circuits Josephson Nb/AIO_x/Nb réalisés : diviseur de fréquence et registre à décalage fabriqués en fonderie et qui ont révélés certains problèmes. Les dessins des circuits comportant 11 niveaux de masques seront présentés. Après le test quasi-statique des circuits on présentera une comparaison de la technologie standard de Hypres avec la technologie NbN du CEA-Grenoble en phase de développement.

5.1 Caractéristiques annoncées du procédé 4500 A/cm² de la fonderie Hypres

La technologie de fonderie d'HYPRES est à base de niobium et de jonctions Nb/AIO_x/Nb shuntées en externe [30, 18]. Le niobium (T_c de 9,3 K), la silice et le molybdène sont les

matériaux utilisés par Hypres pour les lignes supraconductrices, les isolants et les résistances respectivement. Comme pour la tricouche NbN/Ta_xN/NbN, la tricouche Nb/AlO_x/Nb est déposée *in situ* par pulvérisation cathodique sur un wafer de silicium oxydé de 150 mm, c'est-à-dire de 6 pouces. Le SiO₂ est déposé par PECVD (Plasma Enhanced Chemical Vapor Deposition) à 150°C et après une combinaison chimique et un plasma de nettoyage de la surface pour éviter la formation de court-circuits *pin-hole*.

Les motifs sur les matériaux sont réalisés avec une lithographie par projection et non pas par contact seul procédé disponible dans la salle blanche PROMES. Ceci permet d'atteindre avec l'aligner utilisé, Parkin-Elmer, une résolution de 0,8 μm avec une tolérance d'alignement de 0,25 μm [18]. Les matériaux sont gravés dans deux systèmes de gravure ionique réactive (R.I.E.) équipés de gaz fluorés et un système de plasma couplé inductivement (ICP, Inductively-Coupled Plasma) équipé de gaz fluorés et chlorés [18]. Le contrôle de la gravure est effectué par un spectromètre optique à émission ¹. L'uniformité typique de la gravure sur tout le wafer de 6 pouces est de ± 2 %.

Pour protéger la jonction Josephson des court-circuits éventuels, après la définition de la jonction, le niobium de l'électrode de base subit un procédé d'anodisation qui permet d'oxyder la surface de niobium jusqu'à la formation d'environ 45 nm de Nb₂O₅ ².

Le tableau 5.1 montre tous les empilements et les épaisseurs des différentes couches de matériaux déposées dans le procédé de HYPRES [79] (voir l'annexe C). Quatre niveaux d'interconnexions (la plan de masse, l'électrode de base et deux autres film en niobium) donnent la possibilité de réaliser des circuits RSFQ assez complexes (~ 5000 jonctions). Chaque niveau d'interconnexion est protégé par une couche de silice. La longueur de pénétration (non effective) du niobium étant 90 nm, donc plus petite que celle du nitrure de niobium, les épaisseurs des couches sont inférieures à celles de la technologie NbN, ce qui facilite les passages des marches et réduit la rugosité. A la différence du procédé à 10 niveaux dans la technologie NbN/TaN/NbN, la couche de molybdène pour la réalisation des résistances est déposée après la définition de la jonction et de l'oxyde anodique. Ceci permet de mettre les résistances de shunt très proches de la jonction en réduisant au minimum les inductances parasites. Les deux isolants qui englobent la résistance et qui couvrent la jonction sont enfin gravés avec un seul niveau de masque.

Les valeurs physiques du procédé HYPRES pour 4,5 kA/cm² sont reportés dans le tableau 5.2 [18, 79]. La densité de courant critique peut varier de 10 % par rapport à la valeur nominale de wafer en wafer. Dans un même wafer la dispersion du courant critique des jonctions Josephson est de 2,4 % sur une puce de 5x5 mm² et annoncée de 1,2 % sur

¹Cette technique est moins locale et sans doute plus précise de celle disponible dans l'équipement R.I.E. de la salle blanche PROMES basée sur la variation locale de réflectivité de la couche par un laser à 632 nm.

²Cette étape est l'équivalente de celle du dépôt de la tricouche MgO/AlN/MgO (voir les sections 2.3 et 4.1) par auto-alignement dans la technologie NbN. L'anodisation du nitrure de niobium ne permet pas de former plus de 20 nm d'épaisseur d'oxyde et donc ne peut pas être utilisée dans la technologie du CEA. Une étape de planarisation par polissage (équipement non disponible dans PROMES) d'une couche d'isolant épais permettrait de s'affranchir d'une telle étape critique.

TAB. 5.1. TABLEAU DESCRIPTIF DU PROCÉDÉ DE HYPRES INC. À 11 NIVEAUX DE MASQUES [79]

Masque	Matériau	Description	Epaisseur (nm)
M0	Nb	Plan de masse : $\lambda_L = 90 \text{ nm} \pm 5 \%$	100±10
I0	SiO ₂ (1)	Isolant : $C=0,28 \text{ fF}/\mu\text{m}^2 \pm 20 \%$	150±15
M1	Nb	Electrode de base : $\lambda_L = 90 \text{ nm} \pm 5 \%$	135±10
I1C	Nb	Contre-électrode	50±5
A1	Nb ₂ O ₅	Oxyde anodyque autour de la jonction	45±5
	SiO ₂ (2)	Isolant : $C=0,42 \text{ fF}/\mu\text{m}^2 \pm 20 \%$	100±10
R2	Mo	Résistance : $2,1 \pm 0,3 \text{ Ohm}/\square$	100±40
	SiO ₂ (3)	Isolant : $C=0,42 \text{ fF}/\mu\text{m}^2 \pm 20 \%$	100±10
I1B		Trous (via) dans les deux isolants (2) et (3)	
M2	Nb	Interconnexions : $\lambda_L = 90 \text{ nm} \pm 5 \%$	300±20
I2	SiO ₂ (4)	Isolant : $C=0,08 \text{ fF}/\mu\text{m}^2 \pm 20 \%$	500±40
M3	Nb	Interconnexions : $\lambda_L = 90 \text{ nm} \pm 5 \%$	600±50
R3	Ti/Pd/Au	Plots de contact pour le bonding	350±60

TAB. 5.2. PARAMÈTRES TYPIQUES DU PROCÉDÉ 4500 A/cm² D'APRÈS HYPRES

Élément du circuit	Paramètre	Valeur
Jonctions seules	J_c	$4,5 \pm 0,5 \text{ kA}/\text{cm}^2$
	V_g	$2,5 \pm 0,1 \text{ mV}$
	$I_C R_N$	$1,3 \pm 0,2 \text{ mV}$
	R_{sg}/R_N	10 ± 1
	C_s	$69 \text{ fF}/\mu\text{m}^2$
Résistances	R_s	$2,1 \pm 0,3 \text{ Ohm}/\square$
Courant critique des interconnexions (en fonction de la longueur des lignes)	M0	$20 \text{ mA}/\mu\text{m}$
	M1	$25 \text{ mA}/\mu\text{m}$
	M2	$50 \text{ mA}/\mu\text{m}$
	M3	$70 \text{ mA}/\mu\text{m}$

une série de 100 jonctions de diamètre entre 1,5 et 3,5 μm sans shunt, ce qui permet en principe d'obtenir des circuits RSFQ de plusieurs milliers de jonctions Josephson comme les convertisseurs analogique-numériques.

5.2 Simulation et dessin des circuits

A partir des données du procédé fournies par HYPRES [79] et discutées dans la section 5.1, on a défini dans JSIM les modèles de 5 jonctions Josephson différentes, dont les paramètres ³ sont représentés dans le tableau 5.3. On a utilisé environ le même rapport

TAB. 5.3. DÉFINITION DES JONCTIONS JOSEPHSON DANS LE PROCÉDÉ DE HYPRES

Nom	2r (μm)	Surface (μm ²)	I _c (μA)	R _N (Ω)	C _s (fF)
JJ2	3,5	8,5	385	3,4	594
JJ3	3	6,16	277	4,7	427
JJ4	2,5	4,1	187	6,9	288
JJ5	2	2,5	114	11,3	176
JJ6	1,5	1,3	60	21,7	92

des courants critiques des jonctions pour les deux technologies en considérant le courant critique minimal lié au bruit thermique respectif. Cela signifie que

$$\frac{I_C[JJ_X(NbN)]}{I_C(9K)} \sim \frac{I_C[JJ_X(Nb)]}{I_C(4,2K)} \quad \text{et} \quad \frac{I_C[JJ_X(NbN)]}{I_C[JJ_{X-1}(NbN)]} \sim \frac{I_C[JJ_X(Nb)]}{I_C[JJ_{X-1}(Nb)]} \quad (5.1)$$

La figure 5.1 montre la caractéristique de la jonction JJ4 simulée à partir du modèle. On remarque l'hystérésis formée par le courant de quasi-particules au dessous de la tension de gap. Cette jonction présente un facteur d'amortissement de 700 environ et, comme expliqué dans la section 1.1.3, ne peut pas être utilisée dans la logique RSFQ telle quelle est. Il est nécessaire d'introduire une résistance de shunt pour réduire le facteur d'amortissement jusqu'à un valeur typiquement compris entre 1 et 2 [29]. D'après l'équation 1.25 on peut déterminer la valeur de la résistance de shunt de chaque jonction pour obtenir un β_c de 1,13, le même choisi pour les jonctions Josephson NbN/Ta_xN/NbN. Le tableau 5.4 résume toutes les valeurs des résistances de shunt pour les jonctions Josephson Nb/AlO/Nb. On peut donc simuler la jonction JJ4 avec sa propre résistance de shunt

TAB. 5.4. RÉSISTANCES DE SHUNT DES JONCTIONS JOSEPHSON Nb/AlO_x/Nb

Jonction	JJ2	JJ3	JJ4	JJ5	JJ6
Shunt (Ω)	1,28	1,77	2,6	4,3	8,2

³Les diamètres (2r) indiqués sont ceux qui seront dessinés sur le masque, par contre, la valeur de la surface de la jonction tient compte de la perte de 0,1 μm dans le rayon, r, lors de la définition du motif sur le wafer. C'est cette valeur «réelle» qui a été utilisée pour le calcul des paramètres reportés dans le tableau 5.3.

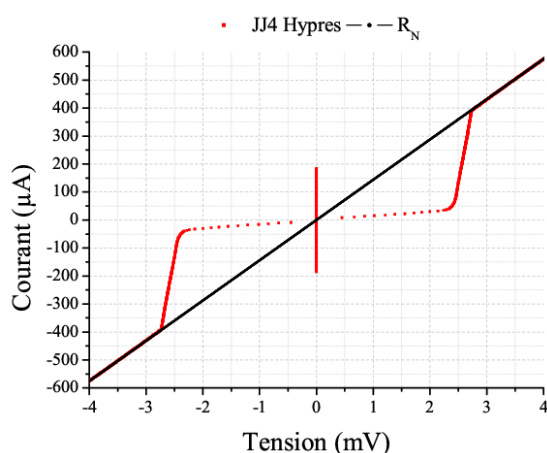


FIG. 5.1. Caractéristique I(V) de la jonction JJ4 modélisé à partir des données fournies par HYPRES.

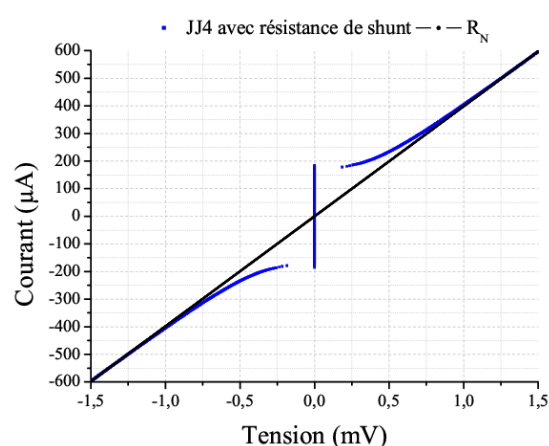


FIG. 5.2. Caractéristique I(V) de la jonction JJ4 avec sa résistance de shunt (pour $\beta_c=1,13$).

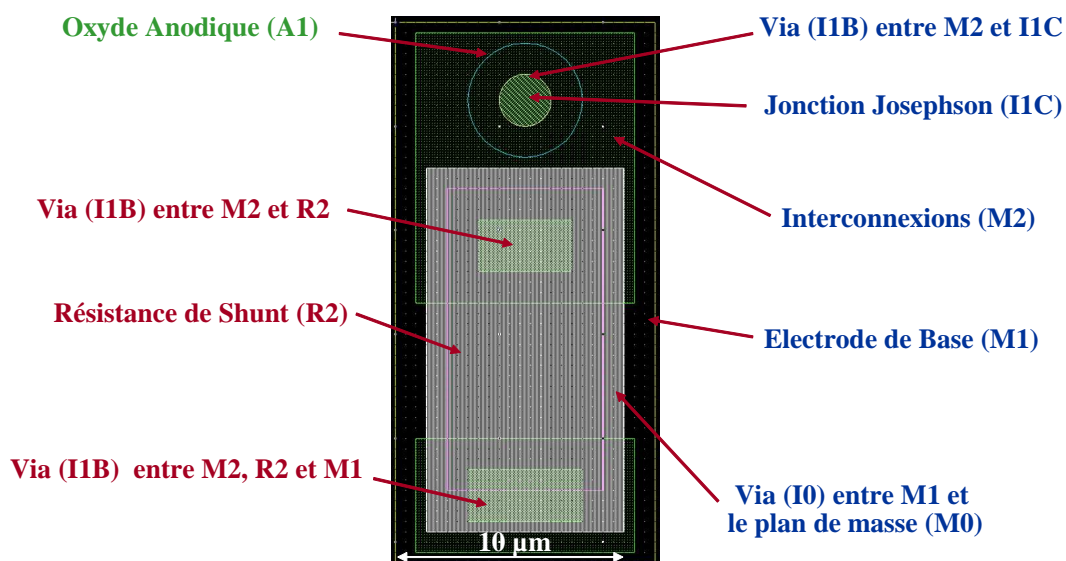


FIG. 5.3. Dessin suivant le procédé de fonderie HYPRES (voir l'annexe C) de la cellule contenant une jonction JJ4 connectée au plan de masse (niveau M0) à travers le via du niveau I0. On observe les interconnexions du niveau M2 pour connecter la jonction à la résistance de shunt (niveau R2). Pour réduire au minimum les inductances parasites, la résistance est placée sur l'électrode de base (niveau M1) et isolée par une couche de silice inférieure et une autre supérieure. Les vias du niveau I1B, permettent de prendre le contact sur la contre-électrode (niveau I1C, où le via est de la même taille que la jonction). La résistance et l'électrode de base sont également représentées.

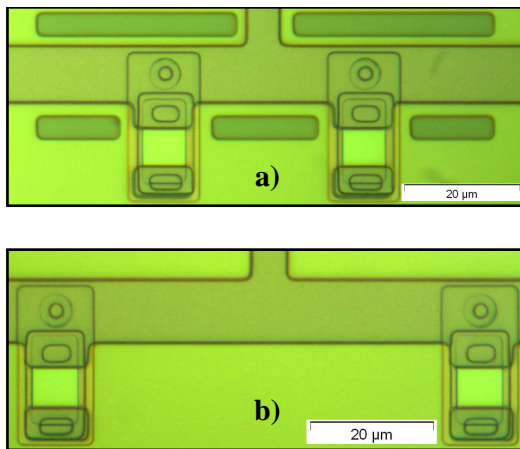


FIG. 5.4. Fabrication d’HYPRES à partir des dessins du CEA : a) SQUID de la JTL ; b) SQUID du T-FF.

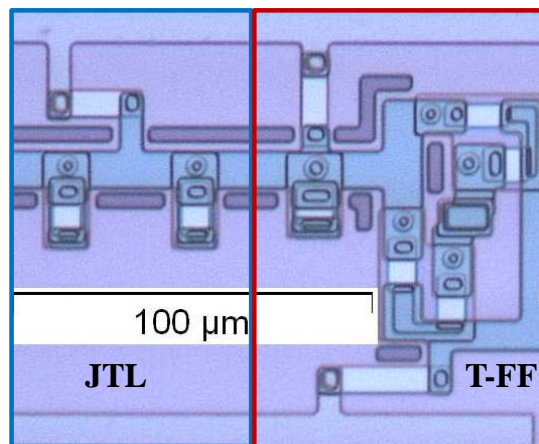


FIG. 5.5. Fabrication d’HYPRES à partir des dessins du CEA : bloc JTL/T-FF.

et voir le nouvel amortissement sur la caractéristique $I(V)$ reportée en figure 5.2. Du à la résistance de shunt, la tension caractéristique de la jonction extérieurement amortie est de 0,5 mV, donc inférieure à celle de la jonction seule de 1,3 mV. La fréquence d’opération des circuits RSFQ sera donc plus basse, environ 80 GHz pour les circuits les plus complexes et synchrones. La cellule de base de la jonction JJ4 dessinée sur 11 niveaux de masques dans le procédé HYPRES est représentée dans la figure 5.3.

Cette cellule a été employée dans la conception de deux SQUIDS, pour la mesure des inductances :

- un SQUID (figure 5.4.a) concernant la ligne de transmission Josephson (JTL) utilisée dans les circuits et qui comporte certains trous (*moats*) dans le plan de masse pour éviter de piéger du flux magnétique dans les jonctions. Plus la longueur des trous est grande plus l’efficacité de piéger les flux hors de la ligne inductive augmente. L’inductance de la boucle du SQUID simulée avec les logiciels Inductex et Fasthenry est de 2,32 pH.
- un SQUID (figure 5.4.b) avec une boucle plus grande (ligne microruban plus longue) pour évaluer l’inductance par carré et estimer l’inductance de la boucle du T-Flip Flop. La valeur simulée de l’inductance est de 4,34 pH.

On a donc défini les mêmes cellules de base que pour la technologie NbN, en remplaçant les jonctions NbN/Ta_xN/NbN par des jonctions Nb/AIO_x/Nb. Le tableau 5.5, de façon équivalente au tableau 3.8 pour la technologie NbN, montre toutes les cellules des circuits logiques RSFQ de base qui ont été dessinés pour la technologie Nb. Les marges des portes logiques en technologie Nb sont plus larges par rapport à celles calculées pour les portes en technologie NbN. Cela peut-être expliqué si l’on considère que la différence des courants critiques des jonctions Nb/AIO_x/Nb est inférieure à celle

TAB. 5.5. PARAMÈTRES DES CELLULES DES CIRCUITS RSFQ LOGIQUES DE BASE EN TECHNOLOGIE Nb AVEC DES JONCTIONS SHUNTÉES EN EXTERNE

Cellule	Taille [L(μ m) x H(μ m)]	JJs	MC (%)	MP (%)	Fréquence (GHz)	Retard (ps)
JTL	80 x 120	2	72,1	77,3	80	1,19
SPLITTER	80 x 120	3	60,5	73,5	80	2,20
T-FF	80 x 120	5	25,7	53,8	80	2,45
RS-FF	80 x 120	5	25,7	53,8	80	2,45
DC/SFQ	90 x 120	3	45,7	59,1	10	4,20
T-SFQ/DC	130 x 120	7	1,8	0,7	10	4,40

des jonctions NbN/Ta_xN/NbN, ce qui permet d'avoir une distribution meilleure des courants, en polarisant de façon optimale les jonctions Josephson. Le T-SFQ/DC même s'il a des marges de fonctionnement supérieures à celles du même circuit en technologie Nb, présente des marges encore petites et peut être optimisé en reconfigurant les courants critiques des jonctions Josephson. Cela est sans doute possible avec la technologie de HYPRES, mais nous on a voulu garder le même rapport des courants critiques des jonctions NbN/Ta_xN/NbN.

Ayant procédé de la même façon que pour les dessins des circuits en technologie NbN, on présente les photos des circuits dessinés pour la technologie Nb et fabriqués par la fonderie HYPRES. La figure 5.5 montre le bloc JTL/T-FF, utilisée en particulier pour construire un diviseur de fréquence. Par rapport à la technologie NbN on remarque au microscope optique une surface nettement plus propre que celle observé pour la technologie NbN en figure 4.6. Outre les équipements et les technologies de fabrication utilisés par HYPRES, cela est dû aux épaisseurs des couches du plan de masse et des isolants en jeu comme reporté dans le tableau 5.3.

On a donc conçu un diviseur de fréquence par 64 (voir la figure 5.6) sur le même principe de celui montré en figure 3.54 pour la technologie NbN. La fréquence maximum atteinte est de 98 GHz comme montré dans la figure 5.7, Cette fréquence est d'environ 3 fois inférieure à celle que pourrait atteindre le même circuit en technologie NbN à base de jonctions auto-shuntées.

L'autre circuit complexe qui a été dessiné est le registre à décalage à 4 bits, dont la photos du circuit fabriqué est reporté en figure 5.8. Il est équivalent, en terme des portes logiques utilisées, à celui en technologie NbN reporté dans la figure 3.57, exception faite pour la sortie des données⁴. Dans ce cas on a utilisé un T-SFQ/DC ce qui ne permet pas d'avoir les données de sortie synchronisées avec l'horloge. Il est pourtant nécessaire de

⁴Pendant la conception on a erronément utilisé, à la place d'une RS-SFQ/DC, une cellule T-SFQ/DC. Celle-ci ne comportant qu'une entrée on ne peut pas synchroniser les données à l'horloge.

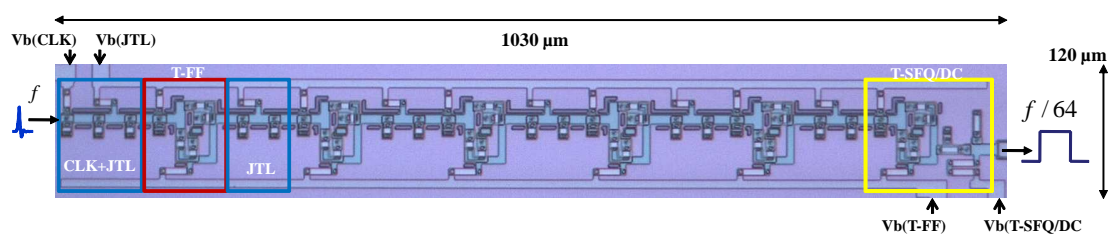


FIG. 5.6. Photo du diviseur de fréquence par 64 dessiné sur 11 niveaux de masque et fabriqué par HYPRES. Le circuit comprend 45 jonctions Nb/AIO_x/Nb toutes shuntées par une résistance externe.

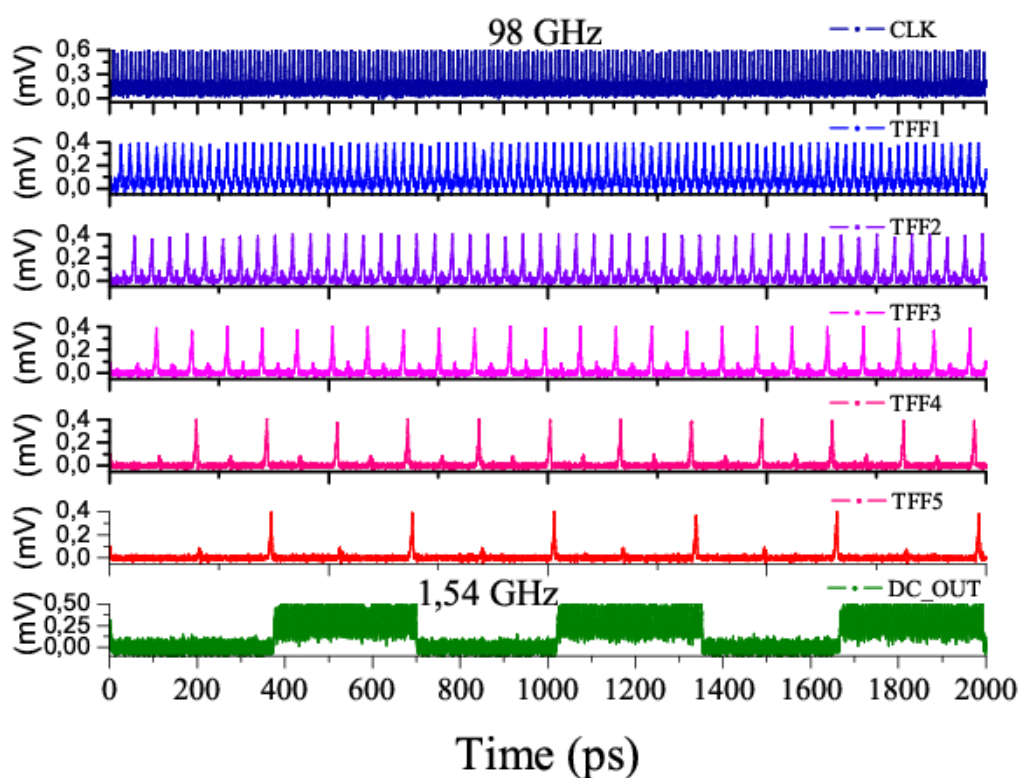


FIG. 5.7. Simulation du diviseur de fréquence par 64 en technologie Nb à 4,2 K. Le fonctionnement correct est observé jusqu'à 98 GHz.

codifier les bits en entrée de façon à avoir deux bits logiques à 1 (le deuxième bits arrête les oscillations du T-SFQ/DC) pour pouvoir observer un bit logique à 1 en sortie.

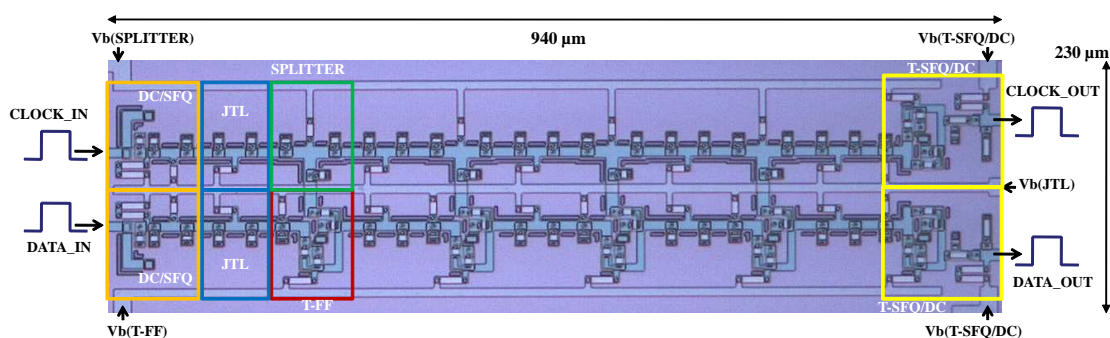


FIG. 5.8. Photo du registre à décalage à 4 bits dessiné sur 11 niveaux de masque et fabriqué par HYPRES. Le circuit comprend 72 jonctions Nb/AIO_x/Nb shuntées.

5.3 Test quasi-statique des jonctions et des SQUIDs Nb

Les figures 5.9 et 5.10 montrent les caractéristiques de la jonction JJ4 sans et avec résistance de shunt respectivement sur trois puces différentes. Les courants critiques de deux jonctions devrait être identiques car elles sont de même diamètre, mais elles diffèrent de puce en puce et, en particulier, les jonctions sans shunt ne présentent pas d'hystérésis. D'autre part le gap de 2,5 mV de ces jonctions tunnel est bien visible comme la

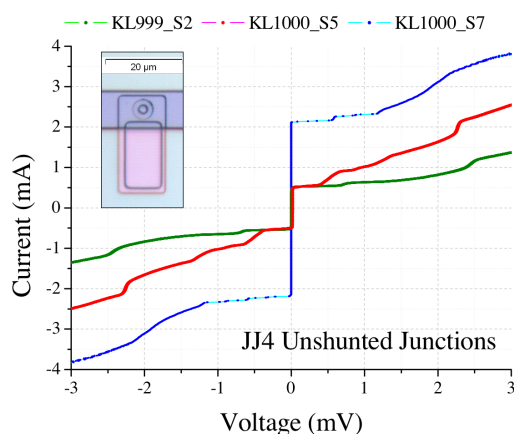


FIG. 5.9. Caractéristique I(V) de la jonction JJ4 non shuntée mesurée sur plusieurs puces (fonderie HYPRES Nb).

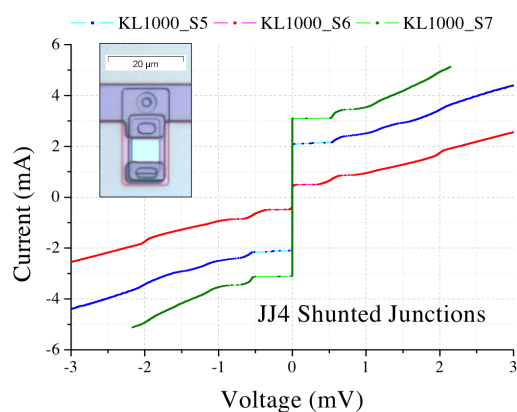


FIG. 5.10. Caractéristique I(V) de la jonction JJ4 avec sa résistance de shunt mesurée sur plusieurs puces (fonderie HYPRES Nb).

diffraction du courant critique (figure 5.11) sous champs magnétique appliqué ⁵ caractéristique de l'effet Josephson. En plus la plupart des caractéristiques I(V) présentent des anomalies caractéristiques ⁶ (voir la figure 5.12), ce qui exclut la possibilité d'un claquage «aléatoire» de la jonction. Ces anomalies sont encore mises en évidence par les caracté-

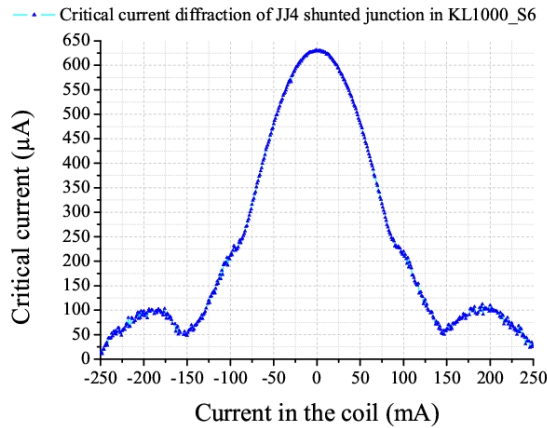


FIG. 5.11. Mesure de la diffraction du courant critique de la jonction JJ4 circulaire avec résistance de shunt en fonction du champ magnétique (courant appliqué à la bobine) appliqué dans le plan de la jonction.

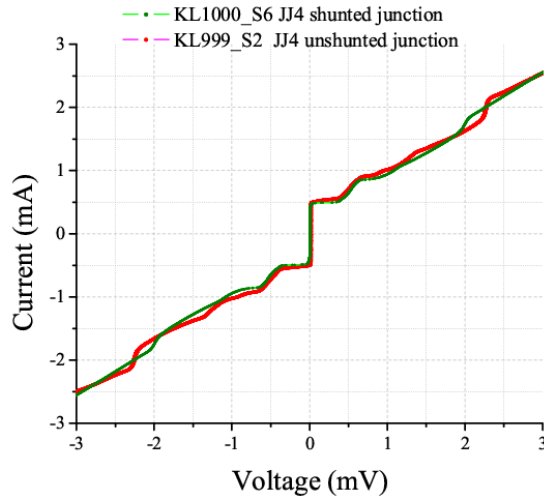


FIG. 5.12. Mesure de la caractéristique I(V) de deux jonctions JJ4 avec et sans résistance de shunt sur deux puces différentes. Les allures sont très similaires, mais le rôle du shunt n'apparaît pas.

ristiques I(V) des deux SQUID dessinés pour la JTL (Josephson Transmission Line) et pour le T-Flip Flop. La figure 5.13 montre les caractéristiques I(V) de la jonction JJ4 ($I_C(JJ4) \sim 600 \mu A$) avec résistance de shunt et des deux SQUID (JTL et TFF) constitués par la même jonction dans la même puce et qui ont effectivement le double du courant critique d'une seule jonction JJ4 ($I_C(SQUID) \sim 1200 \mu A$). Une comparaison des ces deux SQUID sur deux puces différentes est représentée dans la figure 5.14 donnant une idée de la reproductibilité de ces anomalies. L'effet Josephson étant observé, on a évalué expérimentalement l'inductance de chaque SQUID par deux méthodes :

1. soit on mesure le courant critique du SQUID pour chaque valeur du courant passant dans la ligne de contrôle et ainsi on peut représenter l'interférence du courant critique en fonction du courant de contrôle.

⁵La bobine n'est pas calibrée en champ.

⁶Les résonances (marches sur la caractéristique I(V) au dessous de la tension de gap) sont dues à l'excitation du résonateur formé par la ligne de contact de la contre-électrode et le plan de masse auquel la jonction est connectée.

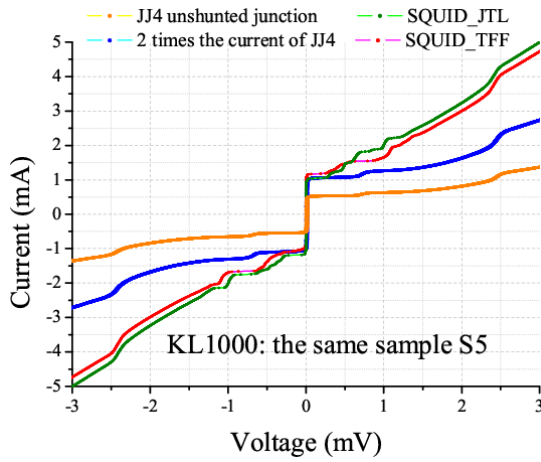


FIG. 5.13. Comparaison des caractéristiques I(V) mesurées sur la même puce pour la jonction JJ4 avec résistance de shunt et pour les deux SQUID (JTL et TFF) réalisés chacun avec deux jonctions JJ4 shuntées (ici l'influence du shunt apparaît clairement).

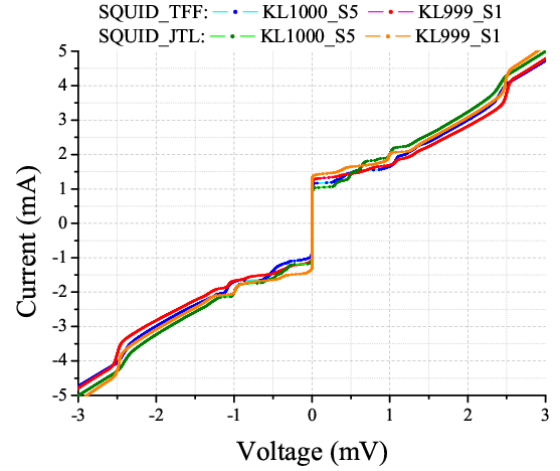


FIG. 5.14. Comparaison des caractéristiques I(V) mesurées sur les deux SQUID (JTL et TFF) sur deux puces de deux wafers différents. Les courbes sont quasi-identiques.

- soit on mesure directement la tension moyenne aux bornes du SQUID, lorsque l'on injecte un courant triangulaire comme courant de contrôle et on polarise le SQUID aux dessus de son courant critique.

La figure 5.15 montre l'interférence du SQUID de la ligne de transmission Josephson mesurée par la première méthode pour le courant critique positif et le courant critique négatif. Les figures 5.16 et 5.17 montrent ce phénomène par la deuxième méthode respectivement pour le SQUID de la JTL et celui qui évalue l'inductance du T-FF (plus élevée). La période de cette interférence est inversement proportionnelle à l'inductance de la boucle du SQUID. D'après l'équation 1.49 on peut calculer les valeurs des inductances. Le tableau 5.6 compare les inductances calculées à partir des expériences et les résistances mesurées ⁷ ainsi que l'écart relatif par rapport aux simulations calculé comme suit :

$$Ecart = \frac{X_{Exp} - X_{Cal}}{X_{Cal}} \quad (5.2)$$

D'après le tableau 5.6 ⁸ l'erreur et l'incertitude commises sur les calculs et les mesures

⁷La valeur de la résistance de shunt de la jonction JJ6 a été mesurée suite au claquage de la jonction même, se comportant alors comme un circuit ouvert.

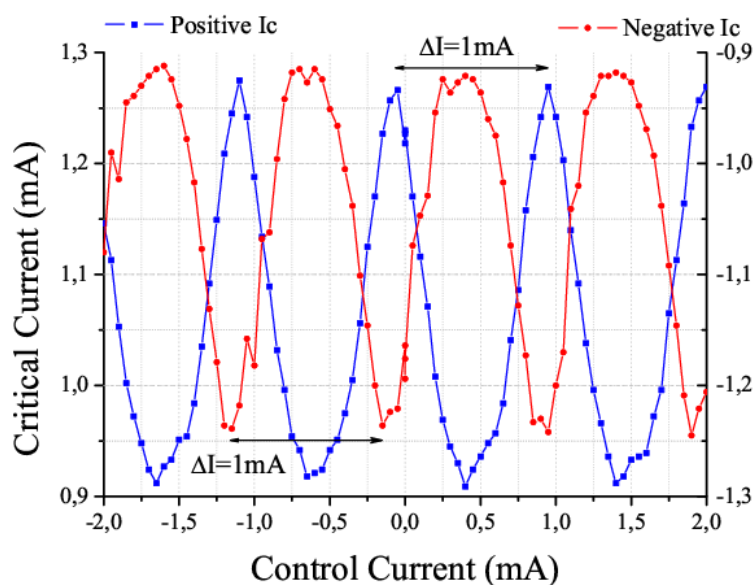


FIG. 5.15. Interférence du courant critique (positive et négative) du SQUID de la ligne de transmission Josephson (JTL) en fonction du courant de contrôle. On mesure une période 1 mA pour les des courants, qui correspond à 2,07 pH.

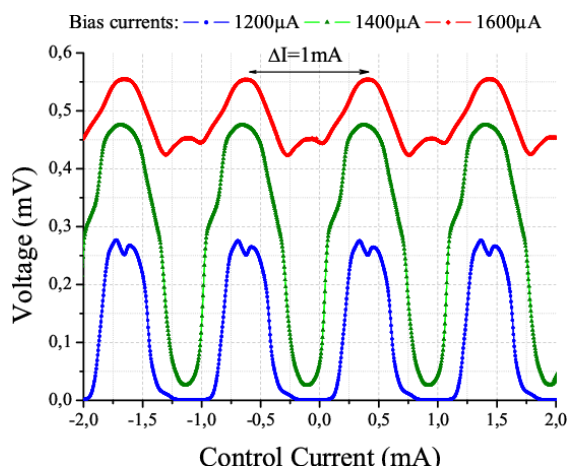


FIG. 5.16. Mesure de l'interférence de la tension du SQUID de la JTL en fonction du courant de contrôle pour trois courants de polarisation différents. On retrouve la même période que celle mesurée sur le même dispositif dans la figure 5.15.

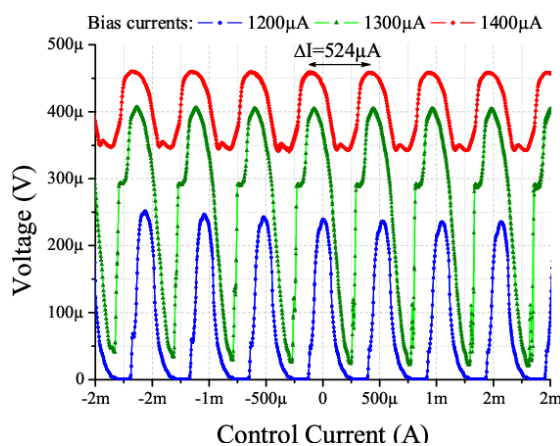


FIG. 5.17. Mesure de l'interférence de la tension du SQUID du TFF en fonction du courant de contrôle pour trois courants de polarisation différents. Le SQUID présente une inductance de 3,95 pH correspondant à une période mesurée de 524 μ A.

TAB. 5.6. TABLEAU RÉCAPITULATIF DES VALEURS DES INDUCTANCES ET DES RÉSISTANCES CALCULÉES ET MESURÉES À 4,2 K SUR LA PUCE S1 DU WAFER KL999 FABRIQUÉ PAR HYPRES

Element	Value _{Cal}	Value _{Exp}	Ecart
L(SQUID_JTL)	2,32 pH	2,07 pH	10,7%
L(SQUID_TFF)	4,35 pH	3,95 pH	9,1%
Rsh(JJ6)	8,2 Ω	7,94 Ω	3,2%
R(Bias1)	5,5 Ω	5,24 Ω	4,7%
R(Bias2)	8,64 Ω	8,52 Ω	1,4%

des inductances est égale ou inférieur à 10% et pour les résistances inférieure à 5%. Ces résultats sont très encourageants car on a pu valider pour la première fois l'environnement de conception et confirmer encore le fonctionnement de l'environnement de conception et de test mis en place pendant la thèse. D'autre part il reste encore à expliquer le comportement des jonctions Nb/ AlO_x /Nb non shuntées intentionnellement car aucune hystérésis n'est visible sur les caractéristiques I(V) et la valeur du courant critique mesurée ($\sim 600 \mu\text{A}$) n'est pas celle prévue ($\sim 185 \mu\text{A}$) par le dessin et les spécifications du procédé de HYPRES. Une explication possible donnée par le responsable de la fonderie même, serait la présence d'un via (reporté dans la figure 5.18) resté sur le dessin et qui crée un court-circuit supraconducteur lors de la prise de contacts sur l'interconnexion de la contre-électrode de la jonction. Ce via mis par erreur n'a aucun intérêt à y être. Il est dessiné sur le même masque (I1B dans le tableau 5.1) qui définit l'ouverture dans les deux couches de silice couvrant la résistance, la contre-électrode et l'électrode de base. Cependant si l'on se réfère aux règles du procédé de fonderie HYPRES (tableau 5.1), ce via n'est sensé faire qu'une ouverture sur les deux seules couches de SiO_2 qui permet d'accéder aux résistances et aux jonctions sans toucher la troisième couche de silice la plus enterrée qui couvre le plan de masse. Selon la fonderie HYPRES, une gravure trop profonde des couches de silice pourrait former des courts-circuits du niveau d'interconnexion (M2) au plan de masse (M0) et ainsi créer un pont supraconducteur en parallèle avec la jonction. Cela reste encore une question ouverte, car cette explication suppose que la fonderie a transgressé ses propres règles. Ainsi, ayant procédé par cellules lors du dessin, ce via est présent sur toutes les prises de contacts des jonctions et des SQUIDs et cela pourrait expliquer pourquoi en sortie du DC/DC et du diviseur de fréquence testés on voit toujours un court-circuit.

Cette erreur corrigée on demandera des nouvelles puces HYPRES à tester. Cela permettra de vérifier l'amortissement apporté par la résistance de shunt sur la jonction hystérique. Après une nouvelle mesure des inductances des SQUIDs on pourrait simuler les

⁸Ce tableau ne justifie pas les larges dispersions de la densité de courant critique et des résistances observées sur les caractéristiques des jonctions et des SQUIDs.

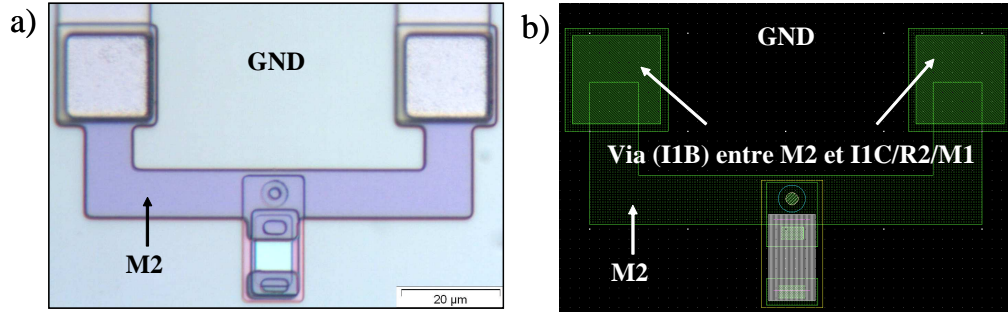


FIG. 5.18. a) Photographie de la jonction JJ4, fabriqué par la fonderie HYPRES, avec sa résistance de shunt et ses interconnexions sur le niveau M2 qui permettent l'accès électrique pour le test. b) Dessin de cette jonction, réalisé pendant la thèse, où le via (sur le niveau I1B) est bien visible et n'a pas été retiré des dessins ; c'est la cause probable du mauvais fonctionnement de la jonction.

circuits RSFQ en utilisant les courants critiques et les inductances mesurées pour trouver le point de polarisation. On pourra donc exploiter le circuit DC/DC et déjà avoir un premier retour sur les simulations effectuées avec JSIM. On pourra enfin vérifier à l'oscilloscope et à l'analyseur de spectre le bon fonctionnement du diviseur à 4,2 K et évaluer enfin sa caractéristique $I(V)$ afin de trouver la limite de la fréquence de fonctionnement. Le registre à décalage pourra aussi être mesuré à basse fréquence.

5.4 Comparaison des deux technologies : NbN (CEA) et Nb (HYPRES)

La technologie Nb comportant des jonctions SIS Nb/ AlO_x /Nb, a été développée pour la réalisation de l'étalon du volt, de magnétomètres à SQUID et, comme expliquée dans la section 1.2.4.2, pour la *latching logic* par Fujitsu, Hitachi, et NEC sur un projet japonais [76]. Plus récemment TRW [19], HYPRES [18], NEC [77, 78], IPHT [73] ont repris cette technologie avec des procédés standard pour la logique RSFQ. C'est une technologie qui est désormais bien maîtrisée pour des densités de courants Josephson jusqu'à 10 kA/cm^2 (les circuits RSFQ démontrés en sont témoin). Les recherches ont pour objectif de pousser la fréquence des circuits en technologie Nb vers la plus élevée possible. A ce propos il est nécessaire de réécrire la relation 1.25 qui définit le paramètre de Stewart-McCumber, de la façon suivante :

$$\beta_c = \frac{2\pi I_c R(V)^2 C}{\Phi_0 J_C S} = \frac{2\pi (I_c R(V))^2 C_S}{\Phi_0 J_C} \quad (5.3)$$

S est la surface de la jonction Josephson, C_S la capacité par unité de surface. On peut donc déduire que si la tension caractéristique ne dépend que de la qualité des électrodes

et en particulier de leur tension de gap $\Delta(T)$ d'après l'équation 1.27, c'est le rapport J_C/C_S et donc l'épaisseur de la barrière qui détermine la valeur de β_c . Pour qu'un circuit RSFQ puisse fonctionner correctement, comme déjà expliqué dans ce manuscrit, il est nécessaire que la caractéristique de la jonction soit à la limite de l'hystérésis, c'est à dire $\beta_c \approx 1$. Dans ce cas la résistance, R_N^* , présente dans la relation du facteur d'amortissement a une valeur de l'ordre de la résistance de shunt de la jonction et pour $\beta_c = 1$ on peut déduire de l'équation 5.3 la relation suivante :

$$\frac{J_C}{C_S} = \frac{2\pi(R_N^*I_C)^2}{\Phi_0} \quad (5.4)$$

Elle décrit une courbe parabolique optimale dans le plan $(R_N^*I_C; J_C/C_S)$ sur laquelle les jonctions Josephson Nb/AIO_x/Nb ainsi que les autres jonctions SIS devraient se trouver lorsqu'elles sont shuntées par une résistance externe. Or la tension caractéristique, $R_N I_C$, propre d'une jonction Nb/AIO_x/Nb ou SIS non shuntée en général n'est pas celle d'une jonction utilisable dans un circuit logique RSFQ, mais supérieure. La figure 5.19 montre la réduction des valeurs des $R_N I_C$ à $R_N^* I_C$, du à la résistance de shunt, vers la courbe correspondant à $\beta_c = 1$. La jonction NbN/Ta_xN/NbN, suite aux propriétés de la barrière qui est en général proche de la transition métal-isolant, a un β_c très dépendant de la température. L'hystérésis peut donc disparaître si l'on augmente la température de 4,2 K à 9-10 K. En vue d'une application électronique il faut en général que à 9K, la jonction NbN/Ta_xN/NbN soit faiblement hystérétique et la tension caractéristique observée à 9K sera celle utilisée pour les circuits RSFQ ($R_N^* I_C = R_N I_C$). Pour ces types de jonctions, la physique de fonctionnement est plus complexe que pour celle SIS et on peut obtenir des jonctions avec une $R_N I_C$ élevée même avec des densités de courant critique comparable à celle de jonctions Nb/AIO_x/Nb (voir la figure 5.20).

Les paramètres physiques caractéristiques des différentes jonctions Nb/AIO_x/Nb (ainsi que d'autres SIS) standardisés et NbN/Ta_xN/NbN en phase de développement, sont reportés dans les tableau 5.7 et 5.8. L'objectif de la technologie NbN est d'atteindre les mêmes tensions caractéristiques ou supérieures par rapport à la technologie Nb mais à 10 K plutôt que 4,2 K. Les résultats obtenus jusqu'à maintenant par le CEA et l'Arizona State University, sont très prometteurs pour une nouvelle technologie auto-shuntée à 10 K. Des résultats probants ont été montrés dans le chapitre 4, mais la reproductibilité des ces paramètres n'as pas pu être étudiée au CEA suite à des problèmes technologiques expliqués dans les section 2.4 et 4.1. L'absence de la résistance de shunt est un grand avantage car la densité des circuits sur une puce pourrait au moins doubler et le problème des inductances parasites, dues aux interconnexions de la résistance, disparaîtraient.

D'autre part la valeur de la longueur de pénétration du nitrure de niobium est environ 4 fois supérieure à celle du niobium. Comme démontré dans la section 4.4, cette longueur est constante en température jusqu'à 9 K environ et pour des températures supérieures

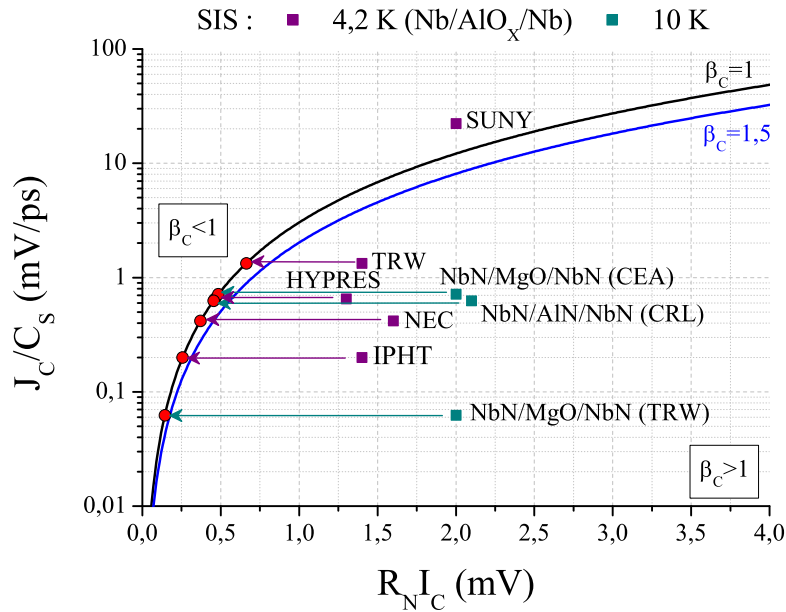


Fig. 5.19. La figure montre les valeurs des tensions caractéristiques des principaux procédés dans les technologies Nb/AIO_x/Nb ainsi que SIS en NbN. Ces valeurs doivent être transposées sur la courbe correspondant à $\beta_c=1$ lorsqu'on utilise une résistance de shunt pour la logique RSFQ.

TAB. 5.7. PARAMÈTRES PHYSIQUES DES TECHNOLOGIES DES JONCTIONS SIS EXISTANTES

Electrodes	Nb (9,2 K)					NbN (16 K)		
	AlO _x					MgO	AlN	
Barrière								
Fonderie	HYPRES [18]	TRW [19, 29]	NEC [77, 78]	IPHT [73]	SUNY [129]	CEA [84]	TRW [82, 29]	CRL [130]
J_c (kA/cm ²)	4,5	8	2,5	1	200	15	1	2,5
$R_N I_C$ (mV)	1,3	1,6	1,4	1,4	2	2	2	2,1
C_S (fF/μm ²)	69	60	62	50	90	140	161	40
$\beta_c=1 \rightarrow R_N^* I_C$ (mV)	0,46	0,66	0,37	0,26	–	0,48	0,14	0,45

varie très rapidement. Cette profondeur de pénétration des courants et du champ magnétique dans le supraconducteur comporte des inductances par carré (1,5 pH⁹) de deux fois

⁹Pour des problèmes liés à la fabrication on n'a pas pu vérifier ces valeurs pour le nouveau procédé à 10 niveaux.

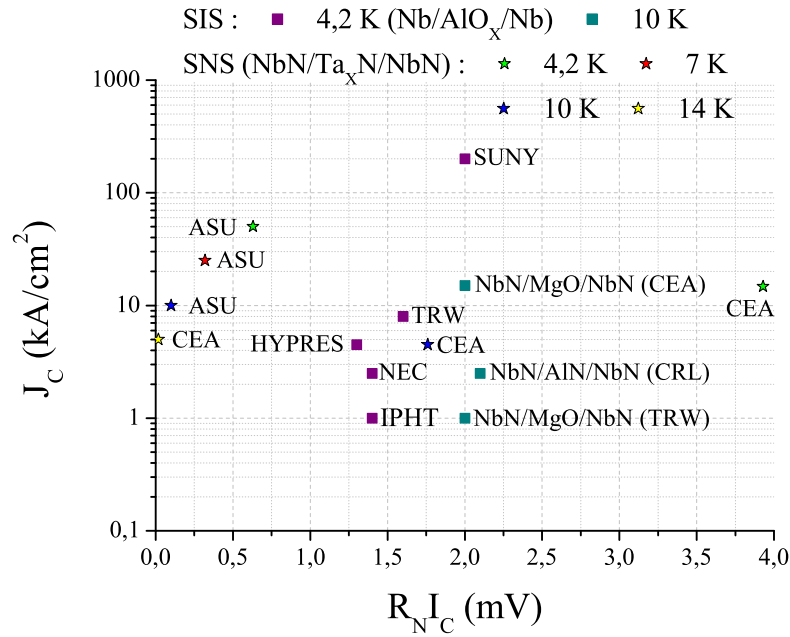


FIG. 5.20. La figure montre la densité de courant critique en fonction de la tension caractéristique pour différents types de jonctions. Dans les jonctions NbN/Ta_xN/NbN la relation du facteur d’amortissement n’est pas forcément valable car on peut avoir des jonctions shuntées avec des densités de courant faibles et des tensions caractéristiques élevées.

TAB. 5.8. PARAMÈTRES PHYSIQUES DES DEUX TECHNOLOGIES DES JONCTIONS NbN/Ta_xN/NbN EN PHASE DE DEVELOPPEMENT

Equipe	Arizona State University [65]			CEA		
	4,2	7	10	4,2	14	
T (K)	4,2	7	10	4,2	14	
J _C (kA/cm ²)	50	25	10	14,7	9	5
R _N I _C (mV)	0,63	0,32	0,1	3,93	2,2	0,018
C _S (pF/μm ²)	0,8	0,8	0,8	2,2	2,0	2,5
β _C	1,9	1	0,37	0,7	0,4	0,05

plus élevées que celle pour le niobium (0,7 pH). La figure 5.21 montre la cellule JTL dessinée et simulée dans les deux technologies. Il est évident qu’on obtient une réduction de la taille de la cellule dans la technologie NbN par rapport à celle de la jonction Nb. Pour qu’un tel circuit RSFQ puisse fonctionner à 9 K il est par contre nécessaire que le rapport entre l’énergie du couplage Josephson et l’énergie des fluctuations thermiques soit suffisamment élevé, typiquement de l’ordre de 500 [16]. Cela signifie que le courant critique

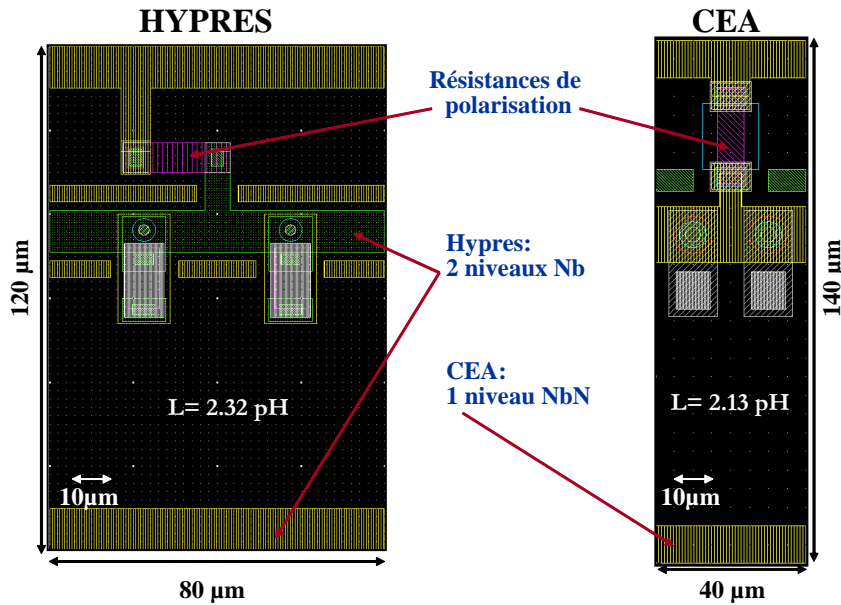


FIG. 5.21. Comparaison de la cellule JTL en technologie Nb/AIO_x/Nb réalisée pour le procédé HYPRES et de celle en technologie NbN/TaN_x/NbN pour le procédé à 10 niveaux du CEA.

TAB. 5.9. Paramètres physiques de la technologie Nb/AIO_x/Nb de HYPRES et de la NbN/TaN_x/NbN envisagée au CEA-Grenoble

Procédé (température d'opération)	J_c (kA/cm ²)	$R_N I_c$ (mV)	2Δ (mV)	β_c
HYPRES (4,2 K)	4,5	0,49	2,5	1,13
CEA (9 K)	5	1,75	6,0	1,13

des jonctions doit avoir une valeur minimale qui augmente avec la température selon la relation suivante :

$$I_c > 500 \frac{2\pi k_B T}{\Phi_0} \sim 20 \mu A / K \quad (5.5)$$

Pour la technologie Nb cette valeur correspond à 85 μA à 4,2 K et pour la technologie NbN à 180 μA à 9 K. En reprenant les simulations décrites dans le chapitre 3 pour la technologie NbN et celles décrites dans ce chapitre pour le Nb, en tenant compte de la contribution du bruit thermique, on peut comparer en figure 5.22 la largeur des impulsions pour une jonction ayant le même courant critique ($\sim 277 \mu A$) dans les deux technologies. Les paramètres physiques des jonctions utilisées pour cette comparaison sont donnés dans le tableau 5.9. La tension caractéristique ne dépendant que des électrodes (tension de gap, $2\Delta(T)$) est donc plus élevée dans le nitrure de niobium que dans

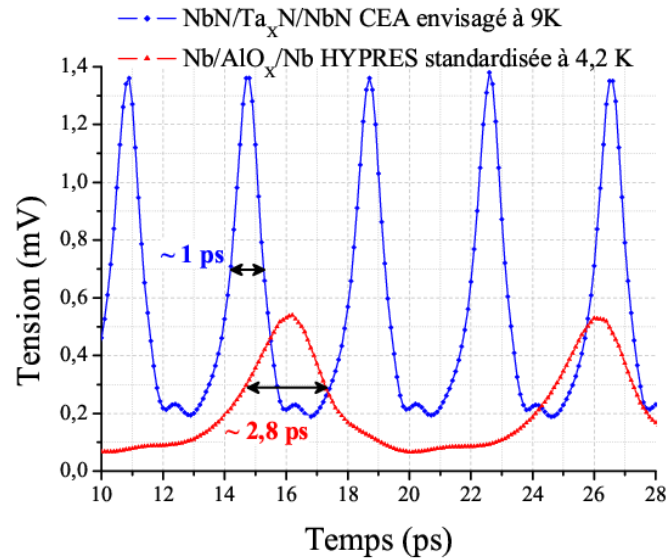


FIG. 5.22. Comparaison de la largeur des impulsions ainsi que du niveau de tension pour la jonction JJ3 ($\sim 277 \mu\text{A}$) dans les deux technologies, Nb/AlO_x/Nb existante de HYPRES et NbN/Ta_xN/NbN envisagée du CEA.

le niobium, même à des températures différentes comme 9 K et 4,2 K respectivement. En comptant sur ces facteurs, il est donc nécessaire d'effectuer un accord (*tuning*) de la barrière de nitrure de tantale, c'est à dire régler cette barrière de façon à trouver le rapport J_c/C_S correct pour que la jonction se trouve entre les deux courbes représentées dans la figure 5.19. L'idée que la jonction soit faiblement hystéretique dans les circuits RSFQ est due au fait qu'elle même représente un shunt pour les jonctions adjacentes lorsqu'elle est dans son état dynamique. La détermination de β_c de façon optimale [29] dépend de la position de la jonction dans le circuit et peut être optimisée de circuit en circuit de façon que une telle jonction insérée dans le circuit RSFQ se retrouve dans la limite de l'hystérésis, $\beta_c=1$. Vu les densités de courant critique mesurées il est nécessaire de trouver un bon compromis sur la barrière. D'autre part il est nécessaire de considérer que les deux paramètres physiques, $R_N I_c$ et J_c/C_S (abscisse et ordonnée respectivement dans la figure 5.19), doivent être de valeur uniforme et reproductible, de wafer à wafer, de puce à puce et sur une même puce (localement c'est en général le cas). Il est désormais affirmé que, pour qu'un circuit complexe comme un convertisseur analogique numérique puisse fonctionner correctement, une dispersion de ces des paramètres doit être inférieure à 5%. La caractérisation de cette dispersion est aujourd'hui un défi, car, les jonctions NbN/Ta_xN/NbN étant amorties naturellement, on ne peut pas mesurer une série de centaines de jonctions et les voir toutes commuter sous le gap¹⁰, le gap n'étant pas visible dans ces types de liens

¹⁰Cette technique est aujourd'hui utilisée pour caractériser les jonctions SIS, telle que celle en

faibles. Si par contre la barrière de TaN est ajustée de façon que la jonction soit faiblement hystérétique à 9 K, température de fonctionnement envisagée, on sera capable de mesurer la dispersion surtout pour les températures inférieures. A l'heure actuelle les circuits RSFQ en Nb/AIO_x/Nb présentent des dispersions inférieures à 3%.

Des efforts dans la technologie NbN/Ta_xN/NbN doivent être encore faits, car pour le moment la dispersion de ces valeurs n'est pas encore connue. L'utilisation de techniques de salle blanche meilleures, par exemple comme celles du LETI pourraient contribuer fortement à la mise à point de cette nouvelle technologie. D'autre part avant de pouvoir exploiter le convertisseur analogique, il est encore nécessaire de mesurer et exploiter chaque cellule RSFQ de base en NbN/Ta_xN/NbN ainsi que de maîtriser les inductances et donc les longueurs de pénétration de chaque niveau supraconducteur en NbN (3 dans le nouveau procédé à 10 niveaux).

5.5 Synthèse

Dans ce chapitre on a rappelé la technologie Nb de la fonderie HYPRES, avec des jonctions Nb/AIO_x/Nb shuntées en externe pour la logique RSFQ. On a décrit les dessins réalisés au CEA des jonctions Josephson, des SQUID ainsi que du diviseur de fréquence par 64 et d'un registre à décalage à 4 bits. On a testé les jonctions ainsi que les SQUIDs et observé des caractéristiques I(V) qui ne respectent pas les règles de la fonderie. Malgré cela l'effet Josephson a été observé lors de la diffraction du courant critique de la jonction sous champ magnétique ainsi que sur les interférences des deux SQUID dessinés. Ces résultats expérimentaux nous ont permis de confirmer la validité du banc de mesure mis en place ainsi que de vérifier les simulations des inductances des SQUIDs calculés avec InductEx et Fasthenry à partir de dessin. On a donc attribué la cause de l'écart entre les expériences et ce qui est annoncé par la fonderie HYPRES à un via présent sur le dessin. D'autre part la fonderie HYPRES n'a pas respecté ses propres règles en provoquant un court-circuit supraconducteur entre le niveau d'interconnexion et le plan de masse. Cela a donc court-circuité tous les circuits RSFQ dessinés, qui devraient être exploitables sur une nouvelle puce après correction de ce via.

On a donc comparé les deux technologies, une en niobium désormais consolidée et une en nitrure de niobium en phase de développement. Le principal avantage de cette dernière technologie est la possibilité de profiter d'une densité d'intégration supérieure, d'une température d'opération près de 10 K et d'une réduction des parasites grâce à l'utilisation de jonctions auto-shuntées. Si par contre les paramètres de la technologie Nb sont bien connus, ceux de la technologie NbN avec des jonctions NbN/Ta_xN/NbN sont encore à préciser et à standardiser. Il est clair que la barrière de nitrure de tantale offre des grandes possibilités grâce à son accordabilité. Un désavantage, si on peut dire, est présenté par le

Nb/AIO_x/Nb de HYPRES.

nitride de niobium utilisé pour le plan de masse et les interconnexions. Suite à la longueur de pénétration élevée de ce matériaux, le plan de masse doit être épais de 400 nm au minimum, ce qui peut induire une rugosité excessive pour les jonctions NbN/Ta_xN/NbN. Une solution serait de remplacer le NbN par une variante avec le titane, le NbTiN profitant d'une longueur de pénétration inférieure. Naturellement ce matériau ne concernerait que le plan de masse et les niveaux d'interconnexion, définissant les inductances.

Conclusions

La logique RSFQ, comme décrit dans ce manuscrit, présente des performances nettement supérieures à celles de la logique basée sur les transistors en semiconducteurs en terme de fréquence de fonctionnement, de bruit et de consommation. Les sociétés comme l'américaine HYPRES et la japonaise NEC ont démontré plusieurs convertisseurs analogique numérique et différentes unités logiques, comme processeurs et FFT, avec des fréquences de fonctionnement très élevées et encore loin de ce que la technologie des semi-conducteur pourrait atteindre. Les convertisseurs analogique-numérique en supraconducteurs en particulier sont très intéressants pour les systèmes à commande logicielle (SDR, Software Defined Radio) embarqués sur satellite. En général le CAN supraconducteur est préférable à celui des semiconducteurs dont la résolution augmente d'un bit tout les huit ans environ.

La technologie Nb comportant des jonctions Nb/ AlO_x /Nb est désormais devenu une technologie standard et utilise des mêmes équipements de la technologie des semiconducteurs en disposant d'une lithographie optique moins critique que celle utilisée dans les semi-conducteurs. Les circuits RSFQ en technologie Nb travaille à 4,2 K et la montée en fréquence ainsi que la complexité de ces circuits sont limités par la nécessité d'introduire une résistance de shunt pour réduire le facteur d'amortissement autour de 1. La température, le coût et la densité de ces circuits peuvent être un inconvénient pour des systèmes embarqués sur satellite. Le réfrigérateur consomme plus à 4,2 K qu'à 10 K et l'intérêt d'augmenter le nombre de circuits à bord n'est pas négligeable pour un meilleur rendement entre la consommation du réfrigérateur et le nombre de signaux à traiter. C'est pourquoi la technologie NbN avec des jonctions NbN/ Ta_xN /NbN auto-shuntées est une technologie très attractive pour les applications spatiales mais pas seulement.

On a donc étudié, pendant la thèse, un convertisseur analogique-numérique de type sigma-delta en technologie NbN appliqué à un signal de 500 MHz modulé sur une fréquence porteuse de 30 GHz d'après les spécifications de Alcatel Alenia Space. Le choix de la conversion sigma-delta est dû à un meilleur rapport signal sur bruit dans la bande d'intérêt pour la facilité d'implémentation du modulateur, la tête du convertisseur. Les simulations ont permis d'examiner les blocs logiques comme les comparateurs, les lignes de transmission Josephson et les bascules (T-Flip Flop) en particulier pour le choix des courants critiques des jonctions et la valeur des inductances. On a simulé le modulateur

sigma-delta avec une fréquence d'échantillonnage de 180 GHz environ pour évaluer le bon fonctionnement et le rapport signal sur bruit, le bruit provenant et de la quantification et des résistances de polarisations (bruit thermique). Cette partie concernant la simulation a permis pour la première fois d'analyser les portes logiques dans la technologie de jonctions NbN auto-shuntées, car jusqu'au démarrage de la thèse le laboratoire ne s'est intéressé qu'au développement de la technologie des jonctions. Nous avons donc mis en place un environnement de simulation intégrant différents logiciels pour la simulations des filtres (ADS), des jonctions Josephson (WinS et JSIM), des inductances (Inductex et Fasthenry) à partir du layout (Wavemaker, déjà présent au laboratoire, utilisé pour le dessin des masques) et enfin des circuits logiques RSFQ (JSIM). Après l'analyse des performances et de la faisabilité du CAN, nous avons donc étudié la réalisation des circuits RSFQ en technologie de jonctions NbN/Ta_xN/NbN et créé, avec Romano Setzu et Jean-Claude Villègier, un nouveau procédé de fabrication sur 10 niveaux permettant de réaliser un circuit RSFQ complet. Nous avons analysé la complexité du convertisseur (plus de 5000 jonctions Josephson) et ses possibilités de test. Devant l'impossibilité de tester le modulateur sigma-delta sans l'ajout de registres à décalage, demultiplexeur et circuits de lectures (read-out) nous avons dessiné les blocs logiques de base (JTL, TFF, Splitter, DC/SFQ, SFQ/DC, DC/DC) ainsi qu'un diviseur de fréquence par 64 (environ 50 jonctions) et un registre à décalage de 4 bit (environ 70 jonctions) en vue de la conception future du CAN. Le dessin des masques a été fait en procédant par cellules qui peuvent ensuite être assemblées pour se rapprocher de plus en plus des outils et des méthodes utilisés dans le semi-conducteurs. Chaque jonction auto-shuntée est donc une cellule et les blocs logiques de base, qui incluent les jonctions, deviennent eux mêmes des cellules. A chaque cellule correspond donc le circuit équivalent simulé sur JSIM. Cette méthode de conception regroupant le dessin de la cellule et la simulation du circuit équivalent a été aussi introduite au laboratoire avant de participer à la fabrication des circuits RSFQ sur le nouveau procédé à 10 niveaux en particulier par la mise en oeuvre des procédés de lithographie optique et de gravure des motifs.

N'étant pas évident de tester des circuits RSFQ et ayant besoin d'une caractérisation complète des jonctions Josephson et des SQUID, une partie de la thèse a été dédiée à la mise en oeuvre des outils de test. Nous avons donc mis en place un système de mesure permettant de caractériser les jonctions, les SQUIDs et les circuits RSFQ. Trois cannes de mesure cryogéniques ont été conçues nous permettant d'observer les caractéristiques des jonctions Josephson avec les marches de Shapiro et la diffraction du courant critique en fonction du champ magnétique ainsi que l'interférence des SQUIDs en fonction du courant de contrôle. La densité des courants critiques très élevée observée ainsi que des fortes RnIc (la valeur de la fréquence caractéristique) même à 14 K nous font espérer une fréquence de fonctionnement des circuits très élevée à des température attractives pour les télécommunications spatiales. La mesure de la fréquence de résonance des résonateurs a permis de valider la canne RF mais surtout nous a donné des indications sur la variation de la longueur de pénétration du nitrure de niobium avec la température suite à la variation

de la fréquence de résonance. A partir d'environ 10 K la longueur de pénétration du champ magnétique varie rapidement avec la température. Pour éviter donc un mauvais fonctionnement du circuit pour des faibles variations de température il est donc préférable de travailler à 10 K maximum. Même si suite à des problèmes technologiques on n'a pas pu mesurer des SQUIDS sur le procédé à 10 niveaux, on peut déduire à travers la mesure des résonateurs et la littérature, que pour des températures supérieures à 10 K le λ devient trop grand et donc les inductances des circuits. Cela impose donc de rester au dessous de 10 K même si les jonctions pourraient fonctionner à des températures supérieures.

Pour évaluer les avantages de la technologie NbN on a aussi dessiné sur 11 niveaux de masques une puce avec les mêmes circuits (diviseur de fréquence, registre à décalage et DC/DC), 3 jonctions et 2 SQUID dans la technologie Nb de la fonderie Hypres. Suite à une erreur de dessin et à un problème technologique provenant d'HYPRES comme expliqué dans la section 5.3, les courants critiques ne sont pas ceux garantis par la société. Cela n'a pas pour autant empêché de mesurer les SQUID en nous permettant de valider la partie de conception concernant le dessin et le calcul des inductances, indispensables, comme les jonctions Josephson, pour qu'un circuit RSFQ puisse marcher correctement.

Même si les circuits logique RSFQ fonctionnels n'ont pas pu être testés dans les deux technologies, NbN et Nb, pour des raisons technologiques et aussi de dessin respectivement, il est intéressant observer que le même circuit dans la technologie NbN est plus compact par rapport à la technologie Nb concurrente. Cela conduit à une densité d'intégration plus élevée et avec une lithographie optique submicronique cette technologie pourrait atteindre une VLSI (Very Large Scale Integration) des semi-conducteurs. Les problèmes technologiques de fabrication liés en particulier aux procédés délimitant la jonction et nécessaires pour pouvoir réaliser un circuit RSFQ complet, pourraient ainsi être résolus si cette logique pourrait profiter de l'expertise d'une salle blanche et des équipements des semi-conducteurs, comme celle disponible au CEA-LETI. En profitant aussi d'un procédé de planarisation, les problèmes liés à l'isolant auto-aligné et ceux liés au passage des marches dus aux grands épaisseurs des couches de matériaux seraient résolus.

A l'heure actuelle les valeurs des inductances en NbN et la dispersion de la densité de courant critique ne sont pas encore déterminées avec une précision suffisante tant que la reproductibilité des RnI_c et des densités de courant critique reste aussi à vérifier. De plus la caractérisation de cette dispersion est aujourd'hui un défi, car, les jonctions NbN/Ta_xN/NbN étant amorties naturellement, on ne peut pas mesurer une série de jonctions et les voir toutes commuter sous le gap, le gap n'étant pas visible dans ces types de liens faibles. Si par contre la barrière de Ta_xN est ajustée de façon que la jonction soit hystérétique au dessous de 10 K, température de fonctionnement envisagée, on sera capable de mesurer la dispersion pour ces températures. Pour que un circuit complexe comme le CAN puisse fonctionner correctement il faudrait que la dispersion du courant critique ne soit pas supérieure à 5%.

Pour le travail futur d'un point de vue des simulations, il faudrait traiter l'influence

du bruit sur le BER (Bit Error Rate) des portes logiques. Vu le nombre de jonctions présentes dans le CAN et donc de blocs logiques, il serait préférable de profiter d'un environnement de routing automatique et d'un logiciel de dessins plus performant. Un environnement comme Cadence permettrait de regrouper et automatiser tout les logiciels utilisés dans la thèse en se rapprochant des environnement des semi-conducteurs. Des descriptions VHDL des blocs logiques RSFQ permettraient de bien analyser la structure du filtre numérique de décimation et d'en rendre plus facile l'implémentation.

Pour ce qui concerne le test, il est encore nécessaire d'effectuer une étude d'adaptation d'impédance large bande pour que les signaux issus des circuits RSFQ, ayant des tensions de 1 mV environ, puissent être mesurés sans pertes liés à la discontinuité d'impédance entre la ligne supraconductrice de 2 ohm et l'amplificateur de 50 ohm. Des nouvelles cannes de test pour le test radiofréquence seront nécessaires si l'on veut mesurer plus de deux signaux au même temps. Cela implique une augmentation de la surface refroidie et donc la nécessité d'un vrai cryostat. Les circuits dessinés pour le procédé de HYPRES ayant été corrigés, on attendra qu'ils soient fabriqués pour une validation des simulations et du système de mesure adapté aux circuits RSFQ ainsi que pour une future comparaison des circuits RSFQ en technologie NbN.

Bibliographie

- [1] ETSI Std. GSM recommendations : 05.03 Channel Coding, 05.04 Modulation, 05.05 Radio Transmission and Receptions.
- [2] 3GPP TS 25.101 : Technical Specification Group Radio Access Network ; User Equipment (UE) radio transmission and reception (FDD) (Release 5). (Sept. 2003.).
- [3] Aware, “*DSL Standards*”, <http://www.aware.com/dsl/dslstandards.htm>.
- [4] “*ITU G.992.5 (ADSL2+)*”, International Telecommunications Union, <http://www.itu.int/>.
- [5] Portail Internet de l’Alliance pour le Wi-Fi, <http://www.wi-fi.org>.
- [6] D. Pastor, et al., “*Tunable microwave photonic filter for noise and interference suppression in UMTS base stations*”, IEEE Electronics Letters 40 (16) (2004) pp. 997–999.
- [7] S. Vitali, et al., “*Multi-Standard Simulation of WLAN/UMTS/GSM Transceivers for Analog Front-End Validation and Design*”, IEEE 1st International Symposium on Wireless Communication Systems (2004) pp. 16–20.
- [8] “*Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications : Higher-Speed Physical Layer Extension in the 2.4 GHz Band*”, IEEE Std. 802.11b-1999, IEEE Standard for Information Technology (Sept. 1999).
- [9] O. Mitrea, et al., “*A low-IF architecture for dual-standard GSM/UMTS fully integrated receivers*”, Proc. of the 2003 10th IEEE International Conference on Circuits and Systems 3 (14-17) (2003) pp. 1101–1104.
- [10] J. Yoo, K. Choi, J. Ghaznavi, “*CMOS flash analog-to-digital converter for high speed and low voltage applications*”, Proc. of the 13th ACM Great Lakes Symposium on VLSI (2003) pp. 56–59.
- [11] R. H. Walden, “*Analog-to-Digital Converter survey and analysis*”, IEEE Journal on Selected Areas in Communications 17 (4) (1999) pp. 539–550.
- [12] RF and A/MS Technologies for Wireless Communications, “*International Technology Roadmap for Semiconductors*”, www.itrs.net (2005).

- [13] P. Bunyk, K. Likharev, D. Zinoviev, “*RSFQ Technology : Physics and devices*”, m. rodwell Edition, Int.Journal on High Speed Electronics and Systems, 2001.
- [14] A. Kleinsasser, “*High Performance Nb Josephson Devices for Petaflops Computing*”, IEEE Trans. on Applied Superconductivity 11 (1) (2001) pp. 1043–1049.
- [15] A. Gaugue and A. Kreisler, “*Nanoélectronique supraconductrice : la logique RSFQ*”, <http://www.iemn.univ-lille1.fr/gdrnano/telechargements/>.
- [16] K. K. Likharev, V. K. Semenov, “*RSFQ Logic/Memory Family : A New Josephson-Junction Technology for Sub-Terahertz-Clock-Frequency Digital Systems*”, IEEE Trans. on Applied Superconductivity 1 (1) (1991) pp. 3–28.
- [17] V. Kaplunenko, “*Fluxon interaction in an overdamped Josephson transmission line*”, Applied Physics Letters 66 (1995) pp. 3365–3367.
- [18] D. Yohannes, S. Sarwana, et al., “*Characterization of HYPRES’ 4.5 kA/cm₂ & 8 kA/cm₂ Nb/AlO_x/Nb fabrication processes*”, IEEE Trans. on Applied Superconductivity 15 (2) (2005) pp. 90–93.
- [19] G. Kerber, et al., “*Fabrication of High Current Density Nb Integrated Cicuits Using a Self-Aligned Junction Anodization Process*”, IEEE Trans. on Applied Superconductivity 2003 (13 (2)) pp. 82–86.
- [20] J. M. Rowell, M. Gurvitch, J. Geerk, “*Modification of tunneling barriers on Nb by few monolayers of Al*”, Physical Review B 24 (1981) pp. 2278–2281.
- [21] M. Gurvitch, M. A. Washington, H. A. Huggins, “*High-quality refractory Josephson tunnel-junctions utilizing thin alumium layers*”, Applied Physics Letters 42 (1983) pp. 472–474.
- [22] G. Kerber, et al., “*Characteristics of junctions and resistors fabricated using an all-NbN superconductor integrated circuit foundry process*”, IEEE Trans. on Applied Superconductivity 1999 (9 (2)) pp. 3267–3270.
- [23] J. Villégier, et al., “*Processing and characterization of high J_c NbN superconducting tunnel junctions for THz analog circuits and RSFQ*”, IEEE Trans. on Applied Superconductivity 9 (2) (1999) pp. 3216–3219.
- [24] J. Yoshida, et al., “*Characterization of ramp-type Josephson junctions with a Co-doped PrBaCuO barrier*”, IEEE Trans. on Applied Superconductivity 9 (2) (1999) pp. 3366–3369.
- [25] M. Huang, et al., “*Small scale integrated technology for HTS RSFQ circuits*”, IEEE Trans. on Applied Superconductivity 11 (1) (2001) pp. 558–561.
- [26] H. Sato, et al., “*Fabrication of all YBaCuO trilayer Josephson junctions with YBaCuO wiring layer*”, IEEE Trans. on Applied Superconductivity 13 (2) (2003) pp. 797–800.
- [27] P. Bunik, et al., “*Flux-1 RSFQ microprocessor : physical design and test results*”, IEEE Trans. on Applied Superconductivity 13 (2) (2003) pp. 433–436.

- [28] N. Nakajima, et al., “*Design and implementation of circuit components of the SFQ microprocessor, CORE1*”, Superconductor Science and Technology 17 (2004) pp. 301–307.
- [29] M. W. Johnson, et al., “*NbN and Nb SFQ Devices Performance*”, IEEE Trans. on Applied Superconductivity 13 (2) (2003) pp. 571–574.
- [30] D. K. Brock, et al., “*Retargeting RSFQ Cells to a Submicron Fabrication Process*”, IEEE Trans. on Applied Superconductivity 11 (1) (2001) pp. 369–373.
- [31] W. Chen, et al., “*Rapid single flux quantum T-flip flop operating up to 770 GHz*”, IEEE Trans. on Applied Superconductivity 9 (2) (1999) pp. 3212–3215.
- [32] A. B. Kaul, S. R. Whiteley, T. V. Duzer, L. Yu, N. Newman, J. M. Rowell, “*Internally shunted sputtered NbN Josephson junctions with a TaNx barrier for non-latching logic applications*”, Applied Physics Letters 78 (1) (January 2001) pp. 99–101.
- [33] J. Benayoun, R. Maynard, “*Physique de la matière condensée*”, InterEdition, 1991.
- [34] C. Ulysse, “*Bolomètres à électrons chauds à supraconducteurs haute température critique pour les ondes submillimétriques : élaboration et caractérisations*”, Ph.D. thesis, Université Paris 6 (2003).
- [35] T. V. Duzer, C. W. Turner, “*Principles of Superconductive Devices and Circuits*”, 2nd Edition, Prentice Hall PTR, 1999.
- [36] D. Mattis, J. Bardeen, “*Theory of anomalous skin effect in normal and superconducting metals*”, Physical Review Letters 111 (1958) pp. 412–417.
- [37] R. E. Collin, “*Foundations for Microwave Engineering*”, second edition Edition, Wiley-Interscience, 2001.
- [38] W. H. Henkels, C. J. Kircher, “*Penetration depth measurements on Type II superconducting films*”, IEEE Trans. on Magnetics 13 (1977) pp. 63–66.
- [39] B. W. Langkey, S. M. Anlage, R. F. W. Pease, M. R. Beasley, “*Magnetic penetration depth measurements of superconducting thin films by a microstrip resonator technique*”, Review of Scientific Instruments 62 (7) (1991) pp. 1801–1812.
- [40] R. R. Romannofsky, “*Correction factor for determining the London penetration depth from strip resonators*”, IEEE Trans. on Applied Superconductivity 8 (1) (1998) pp. 3–6.
- [41] Z. Wu, “*Surface resistance measurement of high- T_c superconductors using a microstrip ring resonator with split mode resonance*”, Superconductor Science and Technology 8 (1995) pp. 464–469.
- [42] A. Barone, G. Paternò, “*Physics and Applications of the Josephson Effect*”, Wiley-interscience, 1982.

- [43] B. D. Josephson, “Possible new effects in superconductive tunneling”, *Physics Letters* 1 (1962) pp. 251–253.
- [44] P. W. Anderson, J. M. Rowell, “Probable observation of the Josephson superconducting tunneling effect”, *Physical Review Letters* 10 (1963) pp. 230–232.
- [45] J. M. Rowell, “Magnetic field dependence of the Josephson tunnel current”, *Physical Review Letters* 11 (1963) pp. 200–202.
- [46] V. Ambegaokar, A. Baratoff, “Tunneling Between Superconductors”, *Physical Review Letters* 10 (1963) pp. 486–489.
- [47] H. H. Zappe, “Minimum current and related topics in Josephson tunnel junction devices”, *Journal of Applied Physics* 44 (3) (1973) pp. 1371–1377.
- [48] C. Huang, T. V. Duzer, “Single-crystal silicon-barrier Josephson junction”, *IEEE Trans. on Magnetics* 11 (1975) pp. 753–756.
- [49] K. K. Likharev, “Superconducting weak links”, *Reviews of Modern Physics* 51 (1) (1979) pp. 101–159.
- [50] P. G. D. Gennes, “Boundary effects in superconductors”, *Reviews of Modern Physics* 36 (1964) pp. 225–237.
- [51] N. Hadacek, “Etude de films minces et de jonctions Josephson en nitrures supraconducteurs (TiN et NbN); application à la logique RSFQ”, Ph.D. thesis, SPSMS/LCP CEA - Grenoble (2002).
- [52] J. Gallop, “SQUIDS, the Josephson Effects and Superconducting Electronics”, Adam Hilger, 1991.
- [53] G. Angenieux, “Application de l’effet Josephson à la métrologie” (June 1980).
- [54] L. L. Presti, F. Neri, “L’Analisi dei Segnali”, C.L.U.T, 1992.
- [55] A. Fujimaki, K. Nakazomo, M. Onogi, K. Okada, A. Sekiya, H. Hayakawa, “Numerical Analysis of Superconductive Oversampling Analog-to-Digital Converters”, *IEEE Trans. on Applied Superconductivity* 13 (2) (2003) pp. 492–495.
- [56] S. Park, “Principles of Sigma-Delta Modulation for Analog-to-Digital Converter”, Strategic Applications, Motorola, 1990.
- [57] J. Bulzacchelli, “A Superconducting Bandpass Delta-Sigma Modulator for Direct Analog-to-Digital Conversion of Microwave Radio”, Ph.D. thesis, Massachusetts Institute of Technology (2003).
- [58] R. Schreier, G. C. Temes, “Understanding Delta-Sigma Data Converters”, Wiley Interscience, 2005.
- [59] C. Baringer, J. F. J. ans L. Burns, R. H. Walden, “A 3-bit, 8 GSPS flash ADC”, *Proc. Indium Phosphide Related Materials Conference* (1996) pp. 64–67.

- [60] H. Nosaka, M. Nakamura, et al., “A 24-Gsps 3-bit Nyquist ADC using InP HBTs for Electronic Dispersion Compensation”, Microwave Symposium Digest 2004 IEEE MTT-S International 1 (2004) pp. 101–104.
- [61] S. Jaganathan, S. Krishnan, et al., “An 18-GHz continuous-time $\Sigma\text{-}\Delta$ analog-digital converter implemented in InP-transferred substrate HBT technology”, IEEE Journal of Solid-State Circuits 36 (9) (2001) pp. 1343–1350.
- [62] G. Raghavan, R. H. W. J. F. Jensen, W. P. Posey, “A bandpass $\Delta\Sigma$ modulator with 92 dB SNR and center frequency continuously programmable from 0 to 70 MHz”, IEEE International Solid-state Circuits Conference 40 (1997) pp. 214–215.
- [63] A. Jayaraman, et al., “Band-pass delta-sigma modulator with 800 MHz center frequency”, IEEE GaAs IC Symposium 19 (1997) pp. 95–98.
- [64] Emerging Research Devices, “International Technology Roadmap for Semiconductors”, www.itrs.net (2005).
- [65] L. Yu, R. Gandikota, et al., “Internally shunted Josephson junctions with barriers tuned near the metal-insulator transition for RSFQ logic applications”, Superconductor Science and Technology 19 (2006) pp. 719–731.
- [66] O. A. Mukhanov, V. K. Semenov, et al., “High-resolution ADC operating at 19.6 GHz clock frequency”, Superconductor Science and Technology 14 (2001) pp. 1065–1070.
- [67] A. Sekiya, K. Okada, Y. Nishido, A. Fujimaki, H. Hayakawa, “Demonstration of the multi-bit sigma-delta A/D converter with the decimation filter”, IEEE Trans. on Applied Superconductivity 15 (2) (2005) pp. 340–343.
- [68] J. X. Przybysz, D. L. Miller, E. H. Naviasky, “Two-loop modulator for sigma-delta analog to digital converter”, IEEE Trans. on Applied Superconductivity 5 (2) (1995) pp. 2248–2251.
- [69] J. F. Bulzachelli, H. Lee, J. A. Misewich, M. B. Ketchen, “Development of superconductivity bandpass delta-sigma analog-to-digital converter”, Physica C 412-414 (2004) pp. 1539–1545.
- [70] M. W. Johnson, Q. Herr, et al., “Twelve giga-sample per second oscillator/counter A/D converter demonstration”, IEEE Trans. on Applied Superconductivity 15 (2) (2005) pp. 439–444.
- [71] F. Furuta, K. Saitoh, K. Takagi, “Design of front-end circuit for superconductive A/D converter and demonstration of operation up to 43 GHz”, IEEE Trans. on Applied Superconductivity 14 (1) (2004) pp. 40–45.
- [72] A. H. Sonnenberg, I. Oomen, et al., “Sigma-delta A/D converter in HTS ramp edge technology”, IEEE Trans. on Applied Superconductivity 11 (1) (2001) pp. 200–204.

- [73] H. J. M. ter Brake, et al., “SCENET roadmap for superconductor digital electronics”, *Physica C* 439 (2006) pp. 1–41.
- [74] “Josephson Computer Technology : An IBM research project”, *IBM Journal of Research and Development* 24.
- [75] H. Hayakawa, “Josephson junction technology for high speed computer systems”, *IEEE Trans. on Magnetics* 19 (1983) pp. 845–852.
- [76] H. Kroger, “Josephson devices and technology”, *Japanese Assessment* (1986) pp. 250–306.
- [77] H. Numata, et al., “Investigation of SFQ integrated circuits using Nb fabrication technology”, *Superconductor Science and Technology* 12 (1999) pp. 897–900.
- [78] S. Yorozu, et. al, “A single flux quantum standard logic cell library”, *Physica C C* 378-381 (2002) pp. 1471–1474.
- [79] HYPRES, (www.hypres.com), “Niobium Integrated Circuit Fabrication Process #03-10-45 ”, design rules (revision #23, July 20, 2006).
- [80] A. M. Kadin, C. A. Mancini, M. J. Feldman, D. K. Brock, “Can RSFQ Logic Circuits be Scaled to Deep Submicron Junctions?”, *IEEE Trans. on Applied Superconductivity* 11 - 1 (Mar. 2001) pp. 1050–1055.
- [81] V. Larrey, J.-C. Villégier, M. Salez, F. Miletto-Granozio, A. Karpov, “Processing and characterization of high J_c NbN superconducting tunnel junctions for THz analog circuits and RSFQ”, *IEEE Trans. on Applied Superconductivity* 9 (2) (1999) pp. 3216–3219.
- [82] G. L. Kerber, et al., “An Improved NbN Integrated Circuit Process Featuring Thick NbN Ground Plane and Lower Parasitic Circuit Inductances”, *IEEE Trans. on Applied Superconductivity* 7 (2) (1997) pp. 2638–2643.
- [83] A. Brinkman, D. Veldhuis, et al., “Superconducting quantum interference device based on MgB₂ nanobridges”, *Applied Physics Letters* 79 (15) (2001) pp. 2420–2422.
- [84] J. Villegier, B. Delaët, V. Larrey, P. Febvre, J. Tao, G. Angenieux, “Extraction of material parameters in NbN multilayer technology for RSFQ circuits”, *Physica C* 326 (1999) pp. 133–143.
- [85] J. Villégier, N. Hadacek, S. Monso, B. Delaët, A. Roussy, P. Febvre, G. Lamura, J.-Y. Laval, “NbN multilayer technology on R-plane sapphire”, *IEEE Trans. on Applied Superconductivity* 11 (1) (2001) pp. 68–71.
- [86] J. Villégier, L. Vieux-Rochaz, M. Goniche, P. Renard, M. Vabre, “NbN tunnel junctions”, *IEEE Trans. on Magnetics* 21 (2) (1985) pp. 498–504.
- [87] M. Gurvitch, et. al., “Preparation and properties of Nb Josephson junctions with thin Al layers”, *IEEE Trans. on Magnetics* 19 (3) (1983) pp. 791–794.

- [88] K. Gaj, et al., “*Tools for the Computer-Aided Design of Multigigahertz Superconducting Digital Circuits*”, IEEE Trans. on Applied Superconductivity 9 (1) (1999) pp. 18–38.
- [89] S. Polonsky, et al., “*PSCAN '96 : New Software for Simulations and Optimization of Complex RSFQ Circuits*”, IEEE Trans. on Applied Superconductivity 7 (2) (1997) pp. 2685–2689.
- [90] E. S. Fang, T. V. Duzer, “*A Josephson Circuit Simulator (JSIM) for Superconductive Electronics Application*”, Extended Abstract ISEC '89 (1989) http://www-cryo.eecs.berkeley.edu/software/JSIM_ISEC89.pdf.
- [91] S. Kaplunenko, “*RSFQ Circuit Simulator for Windows*”, Extended Abstract ASC '98 (1998) <http://www.kapl.tv/wins.htm>.
- [92] V. Adler, et al., “*A Cadence-Based Environment for Single Flux Quantum Circuits*”, IEEE Trans. on Applied Superconductivity 7 (2) (1997) pp. 3294–3297.
- [93] K. Gaj, et al., “*Toward a systematic design methodology for large multigigahertz Rapid Single Flux Quantum circuits*”, IEEE Trans. on Applied Superconductivity 1999 (9 (3)) pp. 4591–4606.
- [94] J. Satchell, “*Stochastic Simulation of SFQ Logic*”, IEEE Trans. Applied Superconductivity 7 (2) (June 1997) pp. 3315–3318.
- [95] A. N. Malakov, A. L. Pankratov, “*Influence of thermal fluctuations on time characteristics of a single Josephson element with high damping. Exact solution*”, Physica C 269 (1996) pp. 46–54.
- [96] T. Ortlev, H. F. Uhlmann, “*Noise analysis for intrinsic and external shunted Josephson junctions*”, Superconductor Science and Technology 17 (2004) pp. 112–116.
- [97] S. Xu, et al., “*Delayed pulses from high-transparency Josephson junctions*”, Applied Physics Letters 78 (20) (2001) pp. 3100–3102.
- [98] I. V. Vernik, D. Gupta, “*Two-Phase 50 GHz On-Chip Long Josephson Junction Clock Source*”, IEEE Trans. on Applied Superconductivity 13 (2) (2003) pp. 587 – 590.
- [99] V. Kaplunenko, “*On-Chip Clock Oscillator for High Precision RSFQ Applications*”, IEEE Trans. on Applied Superconductivity 13 (2) (2003) pp. 575–578.
- [100] D. E. Kirichenko, I. V. Vernik, “*High quality on-chip long annular Josephson junction clock source for digital Superconducting electronics*”, IEEE Trans. on Applied Superconductivity 15 (2) (2005) pp. 296–299.
- [101] D. Gupta, Y. Zhang, “*On-chip clock technology for ultrafast digital superconducting electronics*”, Applied Physics Letters 76 (25) (2000) pp. 3819–3821.
- [102] A. V. Ustinov, “*Fluxon insertion into annular Josephson junctions*”, Applied Physics Letters 80 (7) (2002) pp. 3153–3155.

-
- [103] C. A. Mancini, M. F. Bocko, “*Short-Term Frequency Stability of RSFQ Ring Oscillator*”, IEEE Trans. on Applied Superconductivity 9 (2) (June 1999) pp. 3545–3548.
- [104] C. A. Mancini, M. F. Bocko, “*Short-Term Frequency Stability of Clock Generators for Multigigahertz Rapid Single Flux Quantum Digital Circuits*”, IEEE Transactions on Applied Superconductivity 13 (1) (March 2003) pp. 25–37.
- [105] T. V. Filippov, V. K. Kornev, “*Sensitivity of the Balanced Josephson-Junction Comparator*”, IEEE Trans. on Magnetics 27 (2) (1991) pp. 2452–2455.
- [106] T. V. Filippov, et al., “*Signal Resolution of RSFQ Comparators*”, IEEE Trans. on Applied Superconductivity 5 (2) (1995) pp. 2240–2243.
- [107] V. K. Semenov, T. V. Filippov, Y. A. Polyakov, K. K. Likharev, “*SFQ balanced Comparators at a Finite Sampling Rate*”, IEEE Trans. on Applied Superconductivity 7 (2) (June 1997) pp. 3617–3621.
- [108] B. Oelze, B. Ruck, E. Sodtke, “*Investigation of the Signal Resolution of a high-T_c Balanced Comparator*”, IEEE Trans. on Applied Superconductivity 7 (2) (June 1997) pp. 3450–3453.
- [109] A. Y. Kidiyarova-Shevchenko, D. E. Kirichenko, Z. Ivanov, et al., “*Single flux quantum comparators for HTS AD converters*”, Physica C 326-327 (1999) pp. 83–92.
- [110] M. R. Rafique, et al., “*Optimization of high frequency flip-chip interconnects for digital superconducting circuits*”, Superconductor Science and Technology 19 (2006) pp. 354–361.
- [111] Q. P. Herr, et al., “*High speed data link between digital superconductor chips*”, Applied Physics Letters 80 (2002) pp. 3210–3212.
- [112] D. Gupta, et al., “*High-speed interchip data transmission technology for superconducting multi-chip modules*”, IEEE Trans. on Applied Superconductivity 11 (1) (2001) pp. 731–734.
- [113] Y. Hashimoto, et al., “*Demonstration of chip-to-chip transmission of single-flux-quantum pulses at throughputs beyond 100 Gbps*”, Applied Physics Letters 87 (2005) pp. 022502–022504.
- [114] H. Hasegawa, et al., “*Design of Superconducting Single Flux Quantum Decimation Filters*”, IEEE Trans. on Applied Superconductivity 11 (1) (2001) pp. 517–520.
- [115] A. Sekiya, et al., “*Demonstration of Decimation Filter and High-Speed Testing of a Component of the Filter*”, IEEE Trans. on Applied Superconductivity 12 (2) (2003) pp. 579–582.
- [116] Q. P. Herr, et al., “*High speed testing of a four-bit RSFQ decimation digital filter*”, IEEE Transactions on Applied Superconductivity 7 (2) (June 1997) pp. 2975–2978.

- [117] S. Badi, P. Febvre, “*Microwave analysis of MSM photodiodes for time-resolved measurements of RSFQ pulses*”, *Semiconductor Science and Technology* 21 (2006) pp. 1377–1386.
- [118] J. F. Bulzachelli, et al., “*Segmented Correlation measurement on Superconducting band-pass delta-sigma modulator with and without input tone*”, *Semiconductor Science and Technology* 16 (2003) pp. 1399–1403.
- [119] O. A. Mukhanov, “*RSFQ 1024-bit Shift Register for Acquisition Memory*”, *IEEE Trans. on Applied Superconductivity* 3 (4) (1993) pp. 3102–3113.
- [120] Z. J. Deng, et al., “*Data-driven self-timed digital integrated circuit and system*”, *IEEE Trans. on Applied Superconductivity* 7 (2) (1997) pp. 3634–3637.
- [121] M. Jeffery, et al., “*Magnetic imaging of moat-guarded superconducting electronic circuits*”, *Applied Physics Letters* 67 (12) (1995) pp. 1769–1771.
- [122] K. Suzuki, et al., “*Investigation of Magnetic Flux Trapping in High-T_c Thin Films by Scanning SQUID Microscope*”, *IEEE Trans. on Applied Superconductivity* 11 (1) (2001) pp. 238–241.
- [123] C. J. Fourie, W. J. Perold, “*Simulated Inductance Variations in RSFQ Circuit Structures*”, *IEEE Trans. on Applied Superconductivity* 15 (2) (2005) pp. 300–303.
- [124] S. R. Whiteley, “*Fasthenry Version 3.0wr*”, <http://wrcad.com/freestuff.html> (2001).
- [125] P. Febvre, et al., “*Comparative study of rapid-single-flux-quantum devices based on low-, medium- and high-T_c technologies*”, *Semiconductor Science and Technology* 15 (2002) pp. 952–955.
- [126] “*S1800 series*”, Shipley Company, L.L.C., <http://www.shipley.com>.
- [127] C. J. Burroughs, S. P. Benz, et al., “*Flexible Cryo-Packages for Josephson Devices*”, *IEEE Trans. On Applied Superconductivity* 15 (2005) pp. 465–468.
- [128] Keithley, “*Low Level Measurements Handbook*”, 6th Edition (2004).
- [129] V. Patel, J. E. Lukens, “*Self-Shunted Nb/AlO_x/Nb Josephson junctions*”, *IEEE Trans. on Applied Superconductivity* 9 (2) (1999) pp. 3247–3250.
- [130] H. Terai, Z. Wang, “*9 K Operation of RSFQ Logic Cells Fabricated by NbN Integrated Circuit Technology*”, *IEEE Trans. on Applied Superconductivity* 11 (1) (2001) pp. 525–528.

BIBLIOGRAPHIE

Liste des publications et des communications à des conférences

Publications

E. Baggetta, R. Setzu, J.-C. Villégier, *Study of SNS and SIS NbN Josephson junctions coupled to a microwave band-pass filter*, Journal of Physics : Conference Series, Vol. 43, 1167-1170, 2006.

E. Baggetta, B. Ebert, N. Hadacek, J.-C. Villégier, M. Maignan, *New Design and Implementation of a Fast Modulator in NbN Technology*, IEEE Transactions on Applied Superconductivity, vol. 15, pp. 453-456, 2005.

Communications à des conférences

R. Setzu, E. Baggetta, J.-C. Villégier, *Progress in Internally Shunted NbN Josephson Junctions with a Tantalum Nitride Barrier Sputtered near the Metal-Insulator Transition*, International Superconductive Electronics Conference, Washington, 2007.

E. Baggetta, R. Setzu, J.C. Villégier, M. Maignan, *Implementation of Basic NbN RSFQ Logic Gates of a Wide-Band Sigma-Delta Modulator*, Applied Superconductivity Conference, Seattle, 2006.

R. Setzu, E. Baggetta, R. Espiau, B. Sacepe, J.-C. Villégier, *Investigation of NbN junction technology applied to medium temperature operation of fast detectors and digitizing systems*, Applied Superconductivity Conference, Seattle, 2006.

E. Baggetta, R. Setzu, J.-C. Villégier, *Study of SNS and SIS NbN Josephson junctions coupled to a microwave band-pass filter*, Journal of Physics : Conference Series, Vol. 43, 1167-1170, 2006.

E. Baggetta, J.-C. Villégier, M. Maignan, *Development of fast NbN RSFQ logic gates in sigma-delta converters for space telecommunications*, Proceedings of First Symposium on Disruption in Space, Marseille, 2005.

E. Baggetta, *Développement de portes logiques RSFQ en technologie NbN*, Observatoire de Paris, Journées SUPRA, 2005.

E. Baggetta, B. Ebert, J.-C. Villégier, M. Maignan, *Study of high frequency components of a NbN modulator for an analog-to-digital converter*, 5th SCENET Summer School, Salamanca, 2004.

J.-C. Villégier, E. Baggetta, B. Delaet, E. Ebert, W. Escoffier, N. Hadacek, R. Setzu, *Fabrication of Analog-to-Digital Modulators and High-Speed Single Photon Detectors in NbN for Quantum Information Processing*, Processing of Quantum Information in RSFQ Circuits and Qubits Conference, Bad Honnef, Allemagne, 2004.

E. Baggetta, *Etude des composants microondes d'un modulateur supraconducteur de convertisseur analogique-numérique à très haute fréquence d'échantillonnage*, VIIèmes Journées Nationales du Réseau Doctoral de Microélectronique, Marseille 2004.

Annexe A

Environnement de simulation

Les simulations reportées dans ce manuscrit ont été effectuées avec l'environnement représenté dans la figure A.1 et mis en place pendant la thèse. Les logiciels ont été choisis parmi plusieurs en préférant l'open-source et les logiciels les plus utilisés dans le domaine de la logique RSFQ après différentes discussions avec des chercheurs rencontrés lors des conférences.

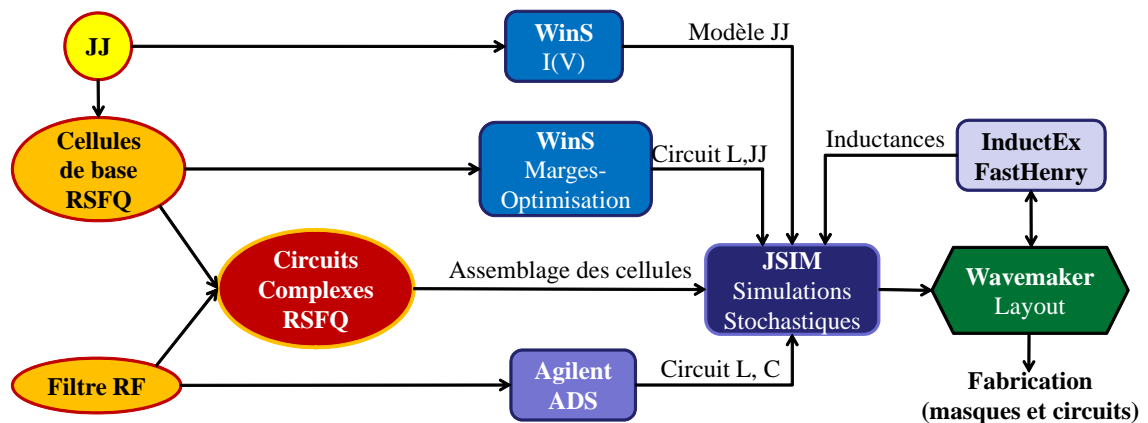


FIG. A.1. Environnement de simulation.

Le logiciel WinS, gratuit mais fourni sans le code source, a été utilisé pour simuler les caractéristiques courant-tension des jonctions Josephson et les cellules de bases (JTL, T-FF, ...) en termes de marges de fonctionnement profitant d'un optimiseur intégré dans ce logiciel. Le filtre RF a été étudié avec le logiciel Agilent ADS permettant aussi d'intégrer et exporter des circuits pour le logiciel SPICE.

L'ensemble des cellules ainsi étudiées avec WinS et ADS ont été traduites dans le code pour le logiciel JSIM. Ce logiciel est type SPICE pour ce qui concerne la description des composants électroniques. Successivement ce logiciel a été modifié avec la possibilité

d'inclure le bruit thermique des résistances permettant donc d'effectuer des simulations stochastiques. C'est avec cette modification que JSIM a été utilisé pendant la thèse. Les circuits complexes comme le modulateur sigma-delta et le diviseur de fréquence ainsi que les cellules de bases ont été donc simulé avec JSIM en tenant compte du bruit thermique à 9 K. On présente ci dessous un exemple du code extrait pour définir le circuit d'horloge suivi par une JTL et un T-Flip Flop :

```
*** JTL 2 Stages ***
.subckt JTL 0 2 4 100
*nodes : GND IN OUT Bias
X2 JJ4 0 2
L2 2 3 1.25p

r1 3 100 5.5

L3 3 4 1.25p
X3 JJ4 0 4
.ends JTL
*** END ***

*** T-FF ***
.subckt TFF 0 1 6 100 200
*nodes : GND IN OUT Bias1 Bias2
r1 1 100 5.5

X1 JJ2 0 1

L1 1 2 1.65p

* 2 JJs for pulse injection
L2 2 3 0.98p
X2 JJ4 3 4

L3 2 5 1.46p
X3 JJ5 5 6

* SQUID storing loop: Primary_OUT at node 6; Secondary_OUT at node 4;

r2 4 200 8.6
X4 JJ4 0 4
L4 4 6 6.2p
```

```

X5 JJ3 0 6
.ends TFF
*** end T-Flip Flop ***

**** Clock/JTL/T-FF circuit ****
Xclock JJ3 0 1
L1 1 2 2.5p
X1 JTL 0 2 3 100
L2 3 4 2.3p
X2 TFF 0 4 5 100 200

rclock 1 1000 5.5

*** bias ***
V_CLOCK 1000 0 pwl(0 0 0.01p 5.2m 10n 5.2m 10.01n 0)
V_JTL 100 0 pwl(0 0 0.01p 2.5m 10n 2.5m 10.01n 0)
V_TFF 200 0 pwl(0 0 1p 4.2m 10n 4.2m 10.01n 0)
**** end definition ***

```

Les dessins des jonctions, des SQUIDS, des cellules RSFQ de base, des circuits complexes et des lignes des transmission micro-ruban ont été réalisé avec le logiciel Wavemaker déjà présent dans le laboratoire. Pour chaque cellule RSFQ on a isolé l'inductance du reste du circuit pour calculer sa valeur. A ce propos deux logiciels ont été considérés, LMeter et InductEx-FastHenry. Chacun prévoit un fichier descriptif de la technologie employée correspondant au dessin des circuits. Le fichier de Lmeter est de type matriciel :

```

# CAD layers definition for HYPRES: number and names
nlayers 11
laynames  TERM M0   IOA  IOB   M1    T1    I1A   I2A   R1    I2B  M2
laycolors  8    2    4    6    1    3    5    6    2    8    3

# Encoding from CAD layers to physical films and their parameters
# M0   IOA  IOB   M1    T1    I1A   I2A  R1    I2A  M2   R3
nfilms 11
filmtyp  N    S    I    I    S    S    I    I    N    I    S    N
filmpar  0  .086 .0462 .195 .135  .1   .1   .132 .08  .12  .1   .1
filmmask 0    0    0    0    0    0    0    0    0    0    0    0
filmshift 0    0    0    0    0    0    0    0    0    0    0    0

layconf[TERM] 1 1    1    1    0    0    1    1    0    1    0    0
layconf[M0]   0 1    0    0    0    0    0    0    0    0    0    0

```

```
layconf[I0A] 0 0 1 0 0 0 0 0 0 0 0 0
---
```

et cetera

et peut être utilisé après trois conversions du logiciel GDSII du dessin. Pour ce qui concerne Fast Henry le fichier accepté est généré par InductEx. C'est pour ce logiciel que le fichier technologique doit être défini :

```
---
* M0
Layer=30
Offset=0.2
WidthDeviation=0.25
Thickness=0.1
ThicknessDeviation=0.01
Lambda=0.09
LambdaDev=0.0045
Sigma=-1
Order=0
Mask=1
InductancePort=0
WidthFilaments=1
HeightFilaments=1
End
---
```

et cetera

Il est sans doute plus facile créer un tel fichier que celui pour Lmeter. L'autre point fort de InductEx est que utilisé avec FastHenry permet d'avoir une simulation 3D de l'inductance plutôt qu'une 2D comme avec Lmeter. Le point faible est qu'il n'accepte pas pour l'instant des cercles. Pour cela les jonctions étant rondes on a dessiné un carré de surface équivalent, les jonctions représentant les portes entre lesquelles calculer l'inductance. On a donc modifié le dessin et simulé l'inductance jusqu'à se rapprocher de la valeur utilisé avec JSIM et re-simulé les circuits complet avec les valeurs extrait du dessin.

Des script Octave/Matlab ont été écrit pour traiter les données des simulations ainsi que des petit programmes en langage C pour mieux interfacer l'environnement de simulation. Il est clair que tout ces logiciels pourraient être regroupé dans un environnement de type CADENCE qui permettrait aussi d'avoir intégré le dessin des circuits. Cela profiterait d'une plus facile intégration de la logique RSFQ dans le filières des semi-conducteurs et, profitant aussi d'une description VHDL (*Very-High-Speed Integrated Circuits Hardware Description Language*), faciliterait la conception de circuits logiques complexes comme un filtre de décimation, une unité logique arithmétique ou encore un processeur complet.

Annexe B

Description du wafer A2120

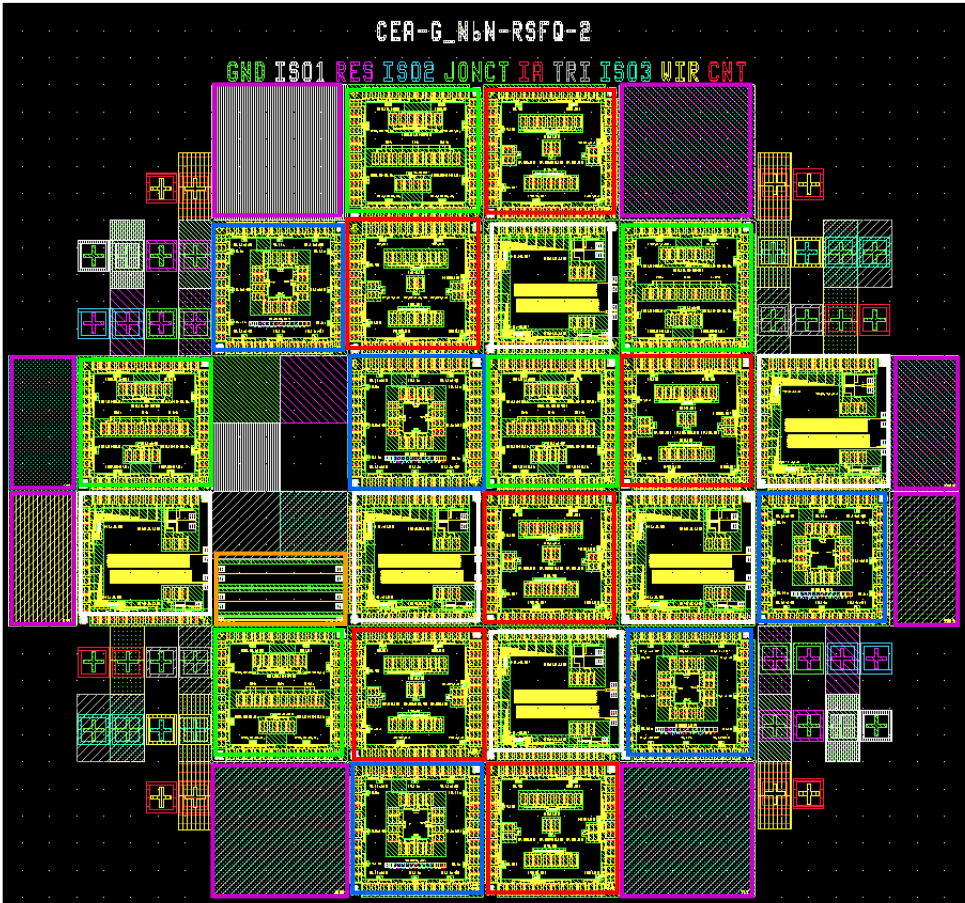


FIG. B.1. Composition du wafer.

Le wafer CEA-G_NbN-RSFQ-2 (figure B.1) dessiné pour le procédé NbN à 10 niveaux de masques comprends en totales 29 puces (1cm x 1 cm) exploitables (sont exclus les puces laser et les grandes croix d’alignement) réparties de la façon suivante :

- 5 puces de jonctions Josephson (en bleu)
- 5 puces de SQUID (en vert)
- 6 puces de cellules RSFQ de base (en rouge)
- 6 puces de circuits RSFQ complexes et test RF (en blanc)
- 1 puce RF (en orange)
- 8 puces matériaux pour mesure aux rayons X et AFM

Chaque puce, à l’exception des puces matériaux, de la puce laser et de la puce RF (en orange), ont aux deux extrémités les croix d’alignement correspondant à chaque niveau comme le montre la figure B.2. Le détail d’une croix est reporté dans la figure B.3. Vu la nécessité d’avoir les deux polarités de masques pour certains niveaux, les croix sont dessinées aussi en polarité inversé, de façon à garantir une visibilité des croix sur le masques lorsque le layer GDSII sera imprimé en négatif.

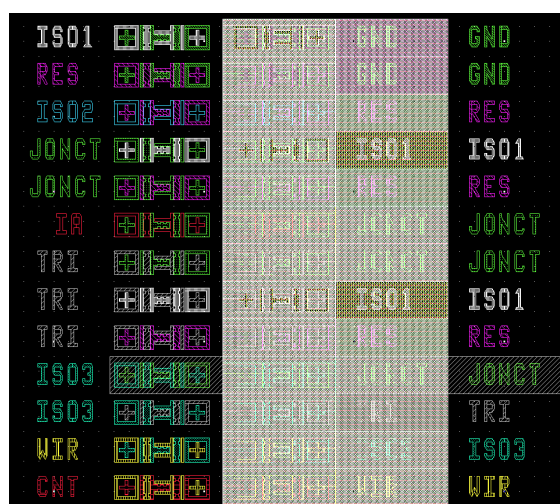


FIG. B.2. Croix d’alignement de chaque niveau.

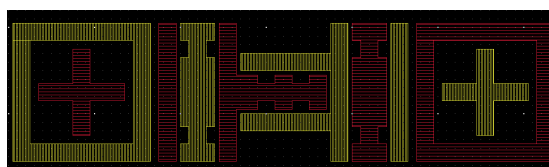


FIG. B.3. Cellule de base, répétée dans la figure B.2, permettant un alignement sur 2 et 1 μm

B.1 Puce de Jonctions Josephson

Cette puce a été dessinée pour la caractérisation technologique de base, pour tant elle comprend :

- 6 jonctions Josephson de diamètre 2,5/3,2/4/4,8/5,5/8 μm respectivement dessinées «en croix» c’est-à-dire que le test ne concerne que la mesure sur quatre points de

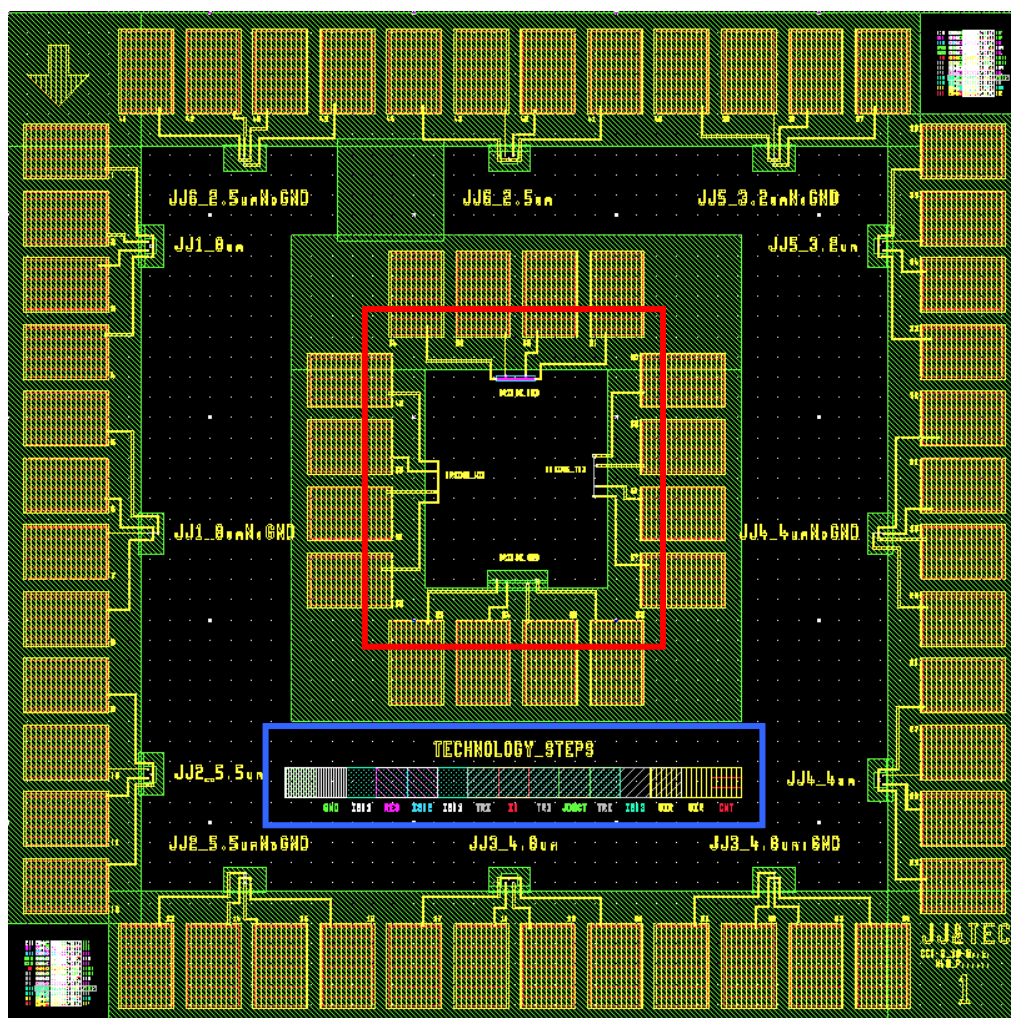


FIG. B.4. Puce de Jonctions Josephson

la jonction seule NbN/Ta_xN/NbN, le courant étant injecté directement entre l'électrode de base et la contre-électrode comme dans la figure B.5

- 6 jonctions Josephson de diamètre 2,5/3,2/4/4,8/5,5/8 μm respectivement avec injection du courant à travers le plan de masse auquel l'électrode de base est connecté par l'intermédiaire d'un via comme dans figure B.6
- 4 ponts (cadre rouge) concernant l'NbN de la ligne d'interconnexion (WIR), l'NbN du plan de masse (GND), l'NbN de l'électrode de base et l'NbN résistif (résistance de polarisation, RES) pour la mesure de la résistivité et de la densité de courant en fonction de la température
- une «barre» technologique (cadre bleu) pour la mesure des épaisseurs de chaque

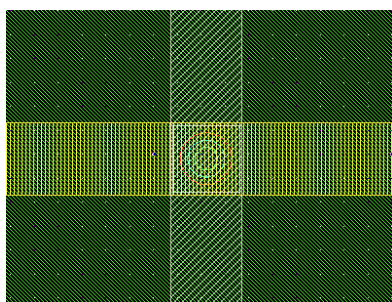


FIG. B.5. Jonction «en croix».

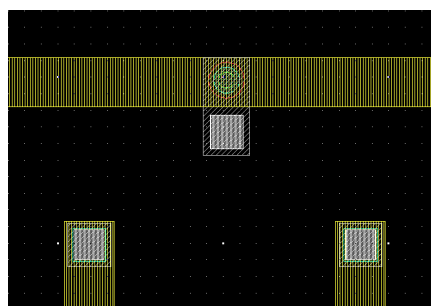


FIG. B.6. Jonction connectée au plan de masse.

couche déposée sur le wafer.

B.2 Puce de SQUID

Cette puce (figure B.8) sert à la caractérisations des paramètres nécessaires pour la conceptions des portes logique RSFQ : la longueur de pénétration des supraconducteurs déposés et la valeur de la résistance par carreau de la couche NbN résistive utilisée pour la polarisation des cellules et des circuits RSFQ. Elle comprend pour tant :

- une jonction Josephson «en croix» de $4\ \mu\text{m}$ de diamètre qui est utilisé dans tous les SQUIDs présents sur la puce
- 1 SQUID en boucle planaire formée par le NbN de l'électrode de base et dont le champ magnétique est induit dans la boucle par une ligne externe mutuellement couplée à celle de la boucle du SQUID (figure B.7)

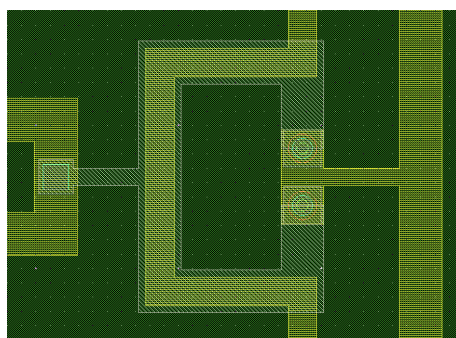


FIG. B.7. SQUID en boucle planaire formée par le NbN de l'électrode de base (TRI).

- SQUIDs en boucle verticale, telle que l'on utilise dans les cellules RSFQ, formée par le NbN de l'électrode de base (TRI) et le NbN de la ligne d'interconnexion (WIR) et de géométries différentes comme montré dans les figures B.9 et B.10

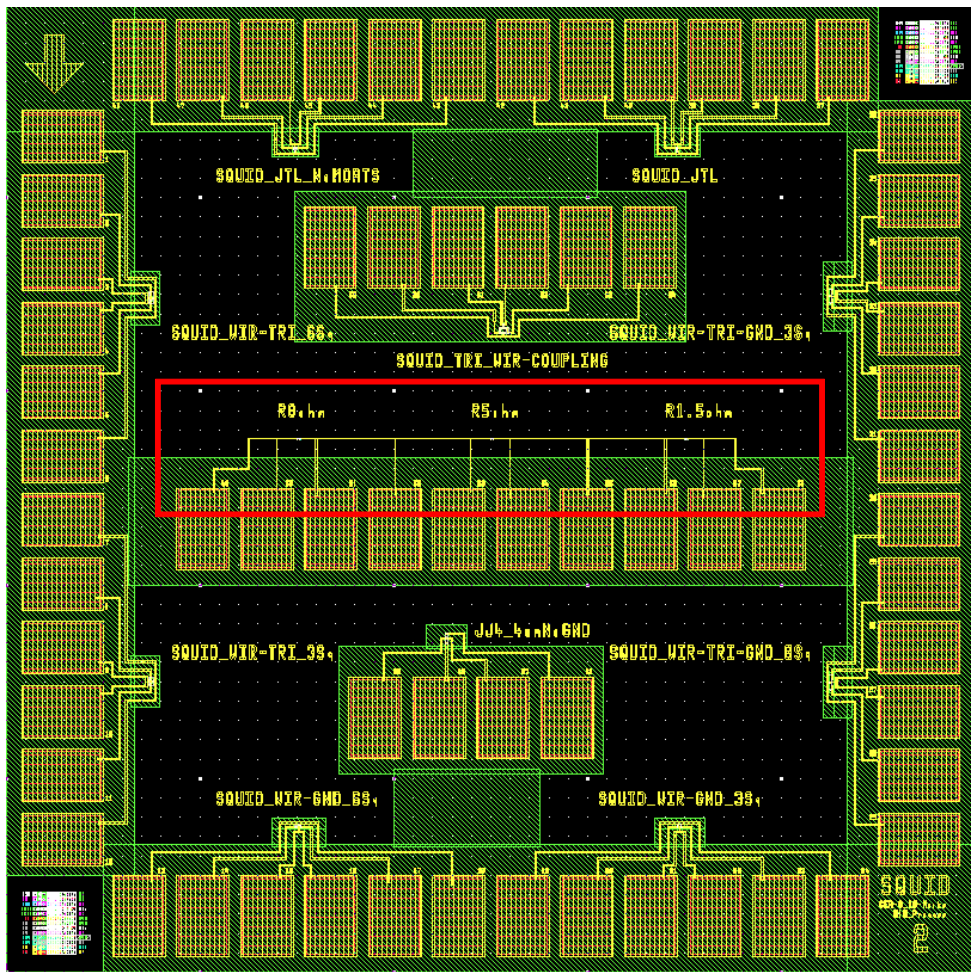


FIG. B.8. Puce de SQUIDS

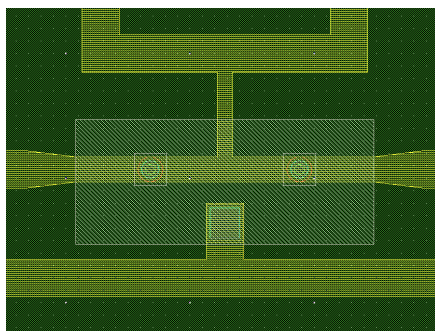


FIG. B.9. SQUID en boucle verticale WIR-TRI. La ligne a une largeur ($W1$) de $10 \mu\text{m}$ pour une longueur de $6 \times W1$.

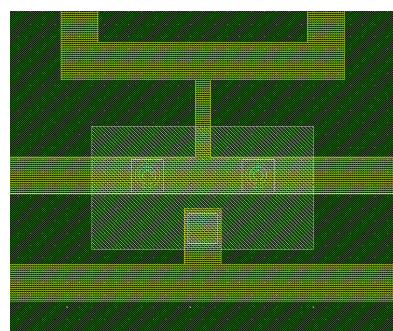


FIG. B.10. SQUID en boucle verticale WIR-TRI. La ligne a une largeur ($W2$) de $15 \mu\text{m}$ pour une longueur de $3 \times W2$.

- 2 SQUIDs en boucle verticale formée par le NbN du plan de masse (GND) et le NbN de la ligne d'interconnexion (WIR) et de géométries différentes comme montré dans les figures B.11 et B.12 (les jonctions Josephson sont connectées au plan de masse par des vias)

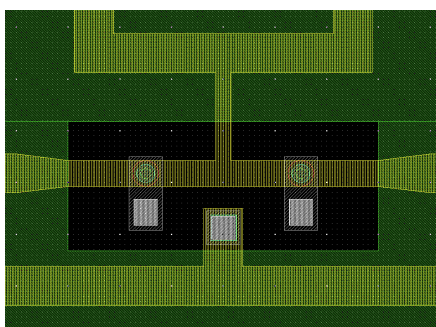


FIG. B.11. SQUID en boucle verticale WIR-GND. La ligne a une largeur ($W1$) de $10 \mu\text{m}$ pour une longueur de $6xW1$.



FIG. B.12. SQUID en boucle verticale WIR-GND. La ligne a une largeur ($W2$) de $15 \mu\text{m}$ pour une longueur de $3xW2$.

- 2 SQUIDs en boucle verticale formée par le NbN du plan de masse (GND), le NbN de l'électrode de base (TRI) et le NbN de la ligne d'interconnexion (WIR). La géométrie est différente comme montré dans les figures B.13 et B.14

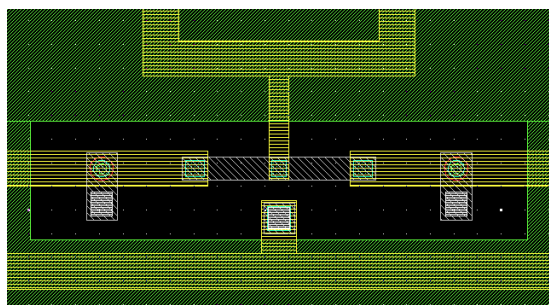


FIG. B.13. SQUID en boucle verticale WIR-TRI-GND. La ligne de l'électrode de base (TRI) a la même largeur que celle en figure B.9. La ligne d'interconnexion (WIR) a une largeur (W) de $15 \mu\text{m}$ et une longueur de $3xW$.

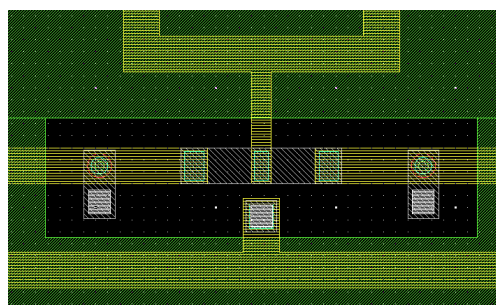


FIG. B.14. SQUID en boucle verticale WIR-TRI-GND. La ligne de l'électrode de base (TRI) a la même largeur que celle en figure B.10. La ligne d'interconnexion (WIR) a une largeur (W) de $15 \mu\text{m}$ et une longueur de $3xW$.

- 2 SQUIDs de la JTL (Josephson Transmission Line) utilisé dans les cellules RSFQ avec et sans trous (moats) dans le plan de masse comme montré respectivement dans les figures B.15 et B.16.
- 3 résistances (cadre rouge) de $8, 5$ et $1,5 \Omega$, dont une des trois géométries est donnée en figure B.17

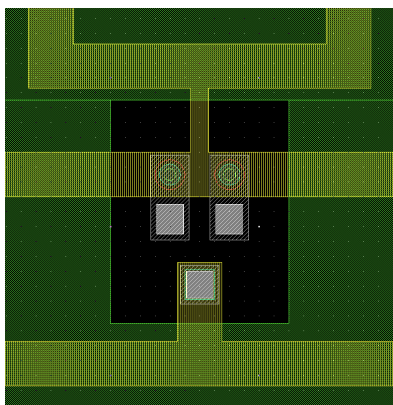


FIG. B.15. SQUID de la JTL pour le test de l'inductance de la boucle sans trous (*moats*) dans la plan de masse.

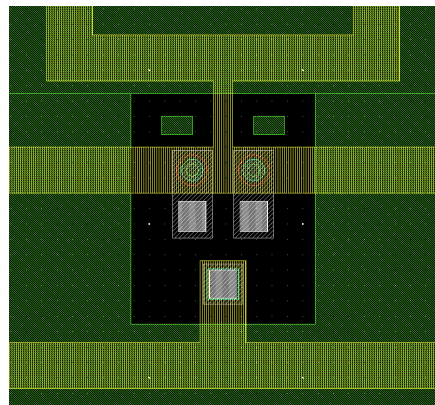


FIG. B.16. SQUID de la JTL pour le test de l'inductance de la boucle avec trous (*moats*) dans la plan de masse.

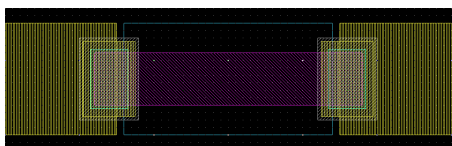


FIG. B.17. Résistance de 8Ω ($7 \times 28 \mu\text{m}^2$) en NbN résistif.

B.3 Puce de cellules RSFQ de base

Après l'exploitation des jonctions Josephson (densité de courant critique, tension caractéristique, facteur de Stewart-McCumber), des résistivités et des longueurs de pénétration des couches supraconductrices et donc la détermination des inductances, on peut valider les cellules RSFQ de base en test basse fréquence, typiquement des mesure I(V). C'est pour cette raison que sur cette puce (figure B.20) sont présents :

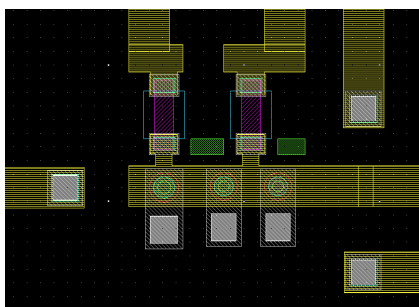


FIG. B.18. Test de la cellule JTL.

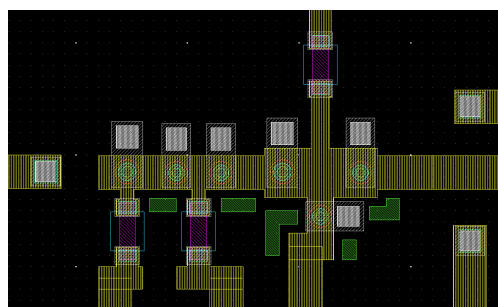


FIG. B.19. Test de la cellule SPLITTER.

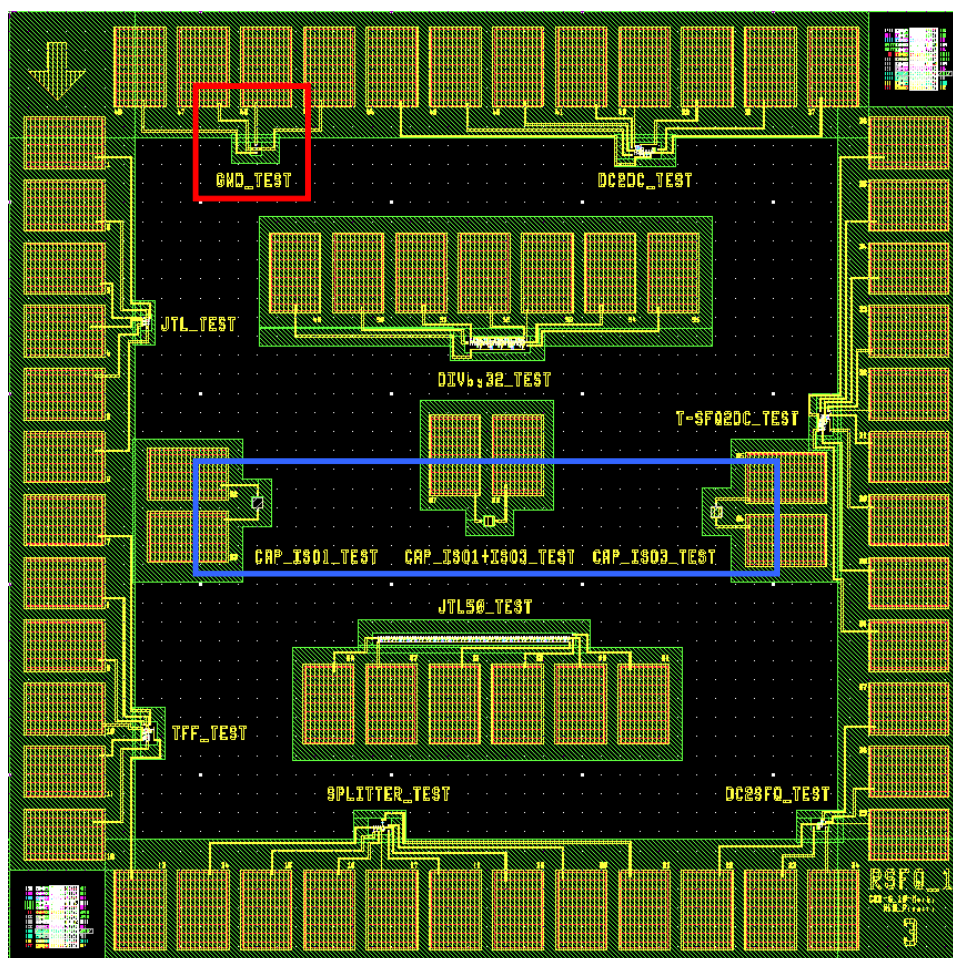


FIG. B.20. Puce de cellules RSFQ de base.

- 1 test I(V) pour la JTL. Il s'agit d'une jonction Josephson (se comportant comme un horloge) polarisée au dessus de son courant critique et suivi par une cellule JTL comme montré dans la figure B.18
- 1 test (I(V) pour le SPLITTER. Il s'agit d'une jonction polarisé au dessus de son courant critique et suivi par une cellule SPLITTER comme en figure B.19
- 1 test I(V) pour le T-Flip Flop. Il s'agit d'une JTL (figure B.18) suivi d'une cellule T-FF comme montré dans la figure B.21
- 1 test dans le domaine temporel du T-SFQ/DC toujours à basse fréquence. Il s'agit d'une JTL (figure B.18) suivi d'une cellule T-SFQ/DC comme dans la figure B.22
- 1 test pour le DC/SFQ à basse fréquence. Il s'agit de la cellule DC/SFQ (figure B.23) dont on veut mesurer la tension moyenne de sortie qui sera proportionnelle à la fréquence du signal créneau injecté en entrée.

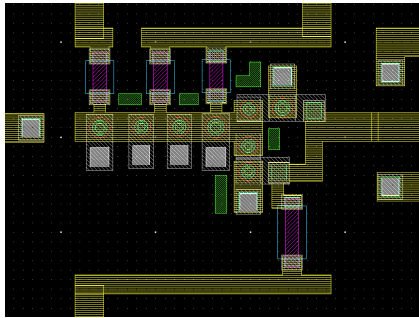


FIG. B.21. Test de la cellule T-Flip Flop.

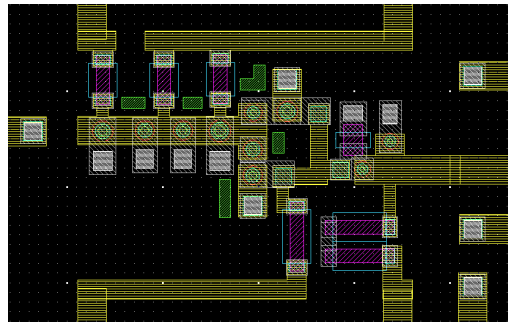


FIG. B.22. Test de la cellule T-SFQ/DC.

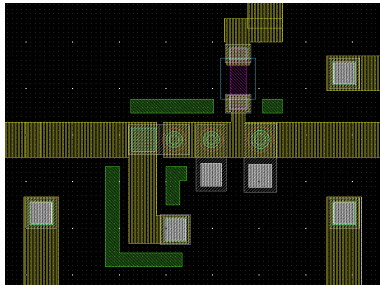


FIG. B.23. Test de la cellule DC/SFQ.

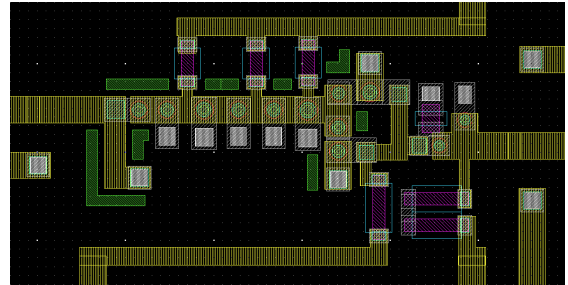


FIG. B.24. Test du circuit DC/DC.



FIG. B.25. Test d'une JTL à 100 étages.

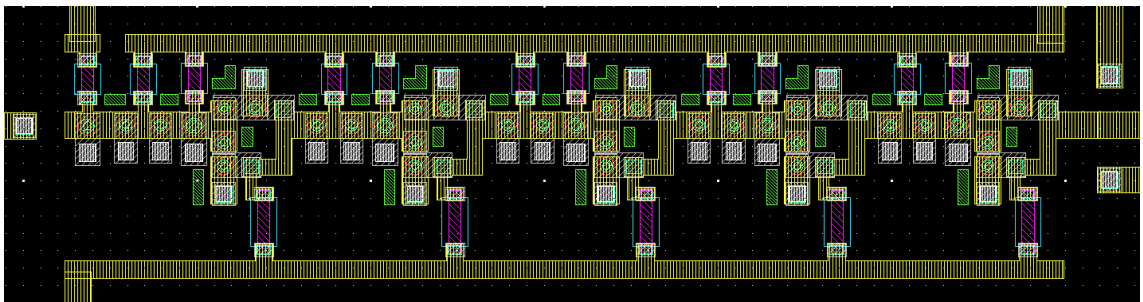


FIG. B.26. Test I(V) d'un diviseur de fréquence par 32 : JTL→T-FF→JTL→T-FF→JTL→T-FF→JTL→T-FF.

- 1 test pour le DC/DC à basse fréquence. C’est le premier circuit RSFQ de base complet car il est constitué, dans l’ordre, par DC/SFQ→JTL→T-SFQ/DC (figure B.24)
- 1 test I(V) pour JTL à 100 étage (101 jonctions Josephson) comme montré dans la figure B.25
- 1 test I(V) pour un diviseur de fréquence par 32 (figure B.26)
- 1 test de vias (en rouge) à travers le plan de masse.
- 1 test de 3 capacités (en bleu) pour la mesure de la permittivité de l’isolant et formées, respectivement de gauche vers droite, par :
 1. NbN(TRI) → Si3N4(ISO1) → NbN(plan de masse)
 2. NbN(WIR) → Si3N4(ISO3) → Si3N4(ISO1) → NbN(plan de masse)
 3. NbN(wiring) → Si3N4(ISO3) → NbN(électrode de base)

B.4 Puce de circuits RSFQ complexes et RF

La puce (figure B.28) permet de tester des circuits RSFQ complexes dont certains sont prévus pour un test RF :

- 1 registre à décalage à 4 bits avec sorties en SFQ/DC indépendants comme reporté dans la figure B.27. Dans ce cas la sortie SFQ/DC des données n’est pas dépendent de l’horloge, ce qui implique qu’ils sont nécessaires deux données à «1» logique pour pouvoir récupérer en sortie une donnée à «1». Ce circuit est prévu pour un test à basse fréquence.

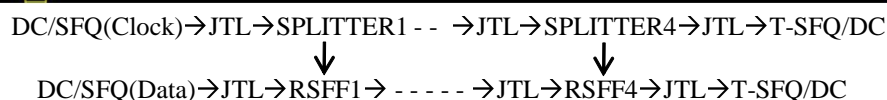
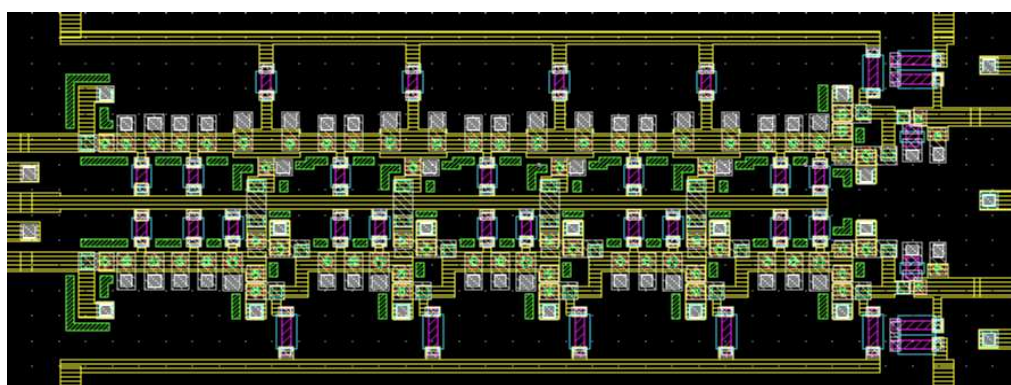


Fig. B.27. Test à basse fréquence d’un registre à décalage à 4 bits en sorties SFQ/DC indépendantes (on utilise un T-SFQ/DC, basé sur un Toggle-Flip Flop).

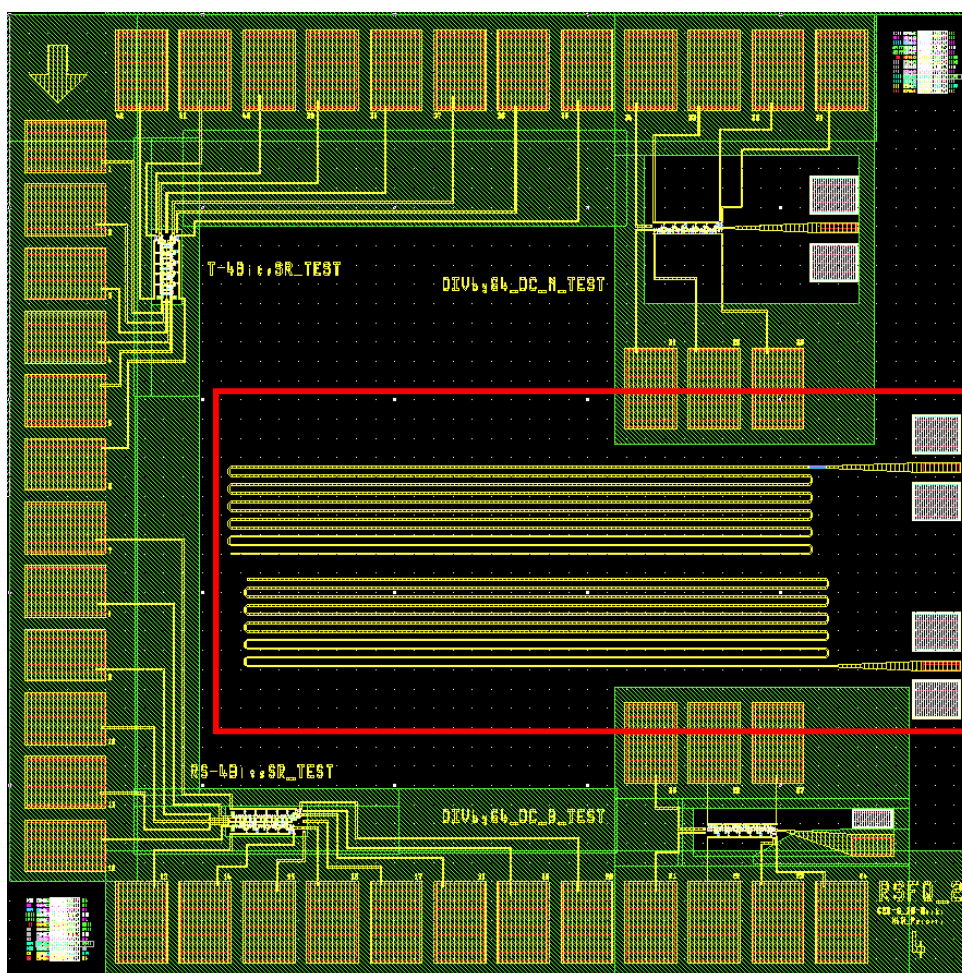


Fig. B.28. Puce de circuits RSFQ complexes et RF.

- 1 registre à décalage à 4 bits avec sorties en SFQ/DC dépendants comme reporté dans la figure B.29. Dans ce cas la sortie SFQ/DC des données est liée à l’horloge, ce qui permet de récupérer en sortie les mêmes données en entrée. Ce circuit est aussi prévu pour un test à basse fréquence.
- diviseur de fréquence par 64 en sortie SFQ/DC sur un changement de structure de microruban à bifilaire pour un test RF comme reporté dans la figure B.31
- diviseur de fréquence en sortie SFQ2DC sur n changement de structure de microruban à coplanaire pour un test RF
- 2 ligne de transmission microruban (en rouge) de la même impédance des lignes utilisées dans les circuits RSFQ (une des deux ayant en entrée une résistance de 50Ω) pour un test RF en réflectométrie.

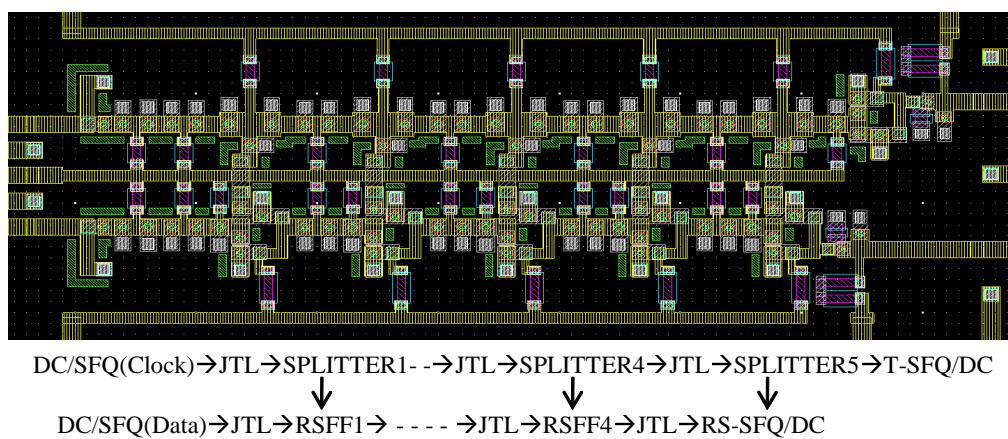


Fig. B.29. Test à basse fréquence d'un registre à décalage à 4 bits en sorties SFQ2DC dépendantes (on utilise un RS-SFQ/DC, basé sur un Reset Set-Flip Flop).

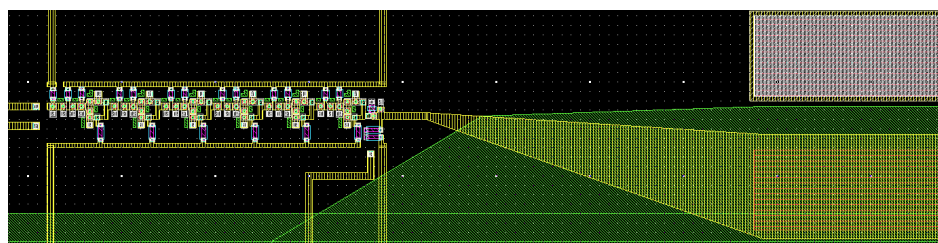


Fig. B.30. Test RF d'un diviseur de fréquence par 64 en sortie SFQ/DC sur un changement de structure de micro-ruban à bifilaire.

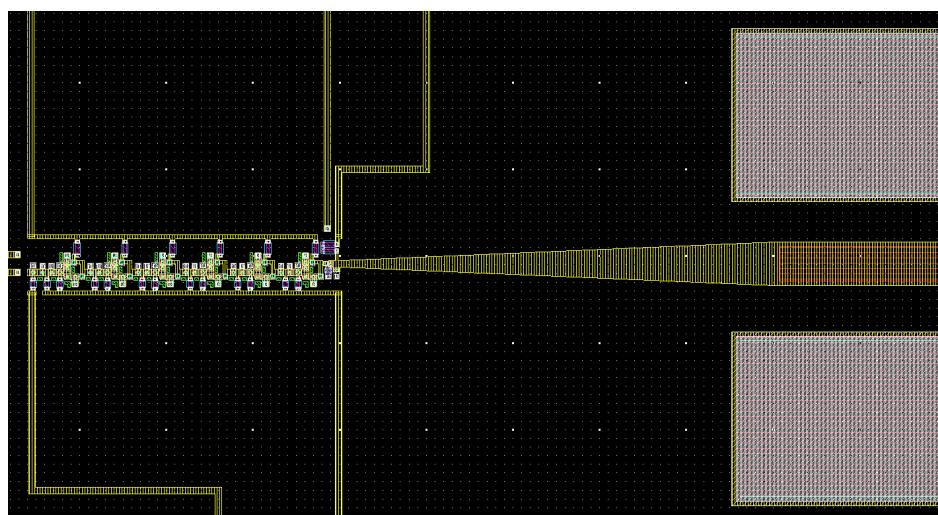


Fig. B.31. Test RF d'un diviseur de fréquence par 64 en sortie SFQ/DC sur un changement de structure de micro-ruban à coplanaire.

B.5 Puce de caractérisation RF en transmission

Cette puce (figure B.32) permet d'exploiter les structures microruban (en rouge) et hybride, microruban-bifilaire (en bleu), en mesurant les paramètres Scattering de chaque ligne de transmission. On à aussi ajouté un résonateur à 10 GHz en structure microruban (en orange).

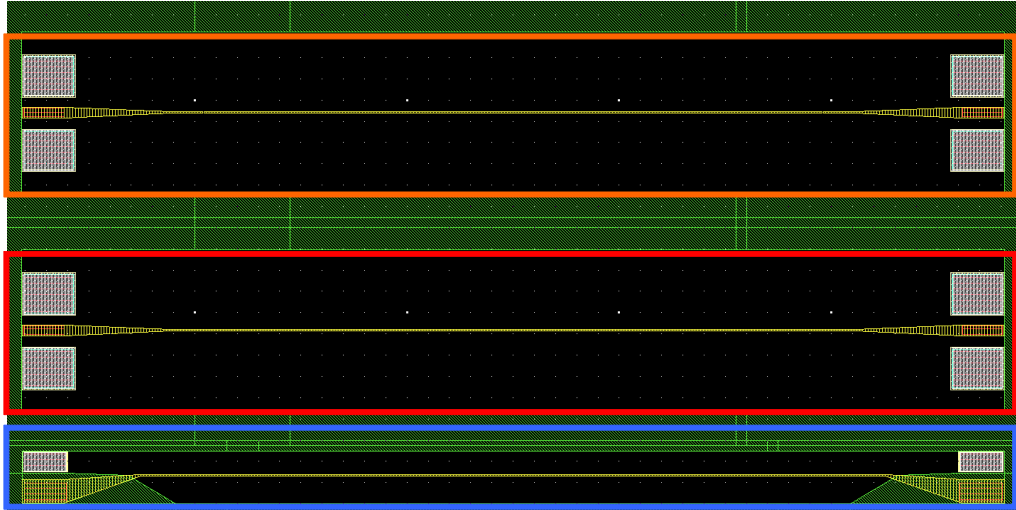


FIG. B.32. Puce de caractérisation RF en transmission.

Annexe C

HYPRES Design Rules



NIOBIUM INTEGRATED CIRCUIT FABRICATION

PROCESS #03-10-45

**J_c: 0.3, 10.0, and 45.0 $\mu\text{A}/\mu\text{m}^2$
(30, 1000 and 4500 A/cm^2)**

Minimum Josephson junction size: 1.5 μm

Mo resistors: 1.0 Ohm/\square (for 10 $\mu\text{A}/\mu\text{m}^2$ process); 2.1 Ohm/\square (for 45.0 $\mu\text{A}/\mu\text{m}^2$ process)

PdAu resistors: 2.0 Ohm/\square (for 0.3 $\mu\text{A}/\mu\text{m}^2$ process only)

DESIGN RULES

REVISION #23, AUGUST 3, 2006

Direct all inquiries, questions, comments and suggestions concerning these design rules and/or HYPRES fabrication to:

Sergey K. Tolpygo

Tel. (914) 592-1190 x7813, Fax (914) 347-2239, Email: stolpygo@hypres.com

Direct all inquiries concerning submission of design files for IC fabrication to:

Masoud Radparvar

Tel. (914) 592-1190 x7827, Fax (914) 347-2239, Email: masoud@hypres.com

Revisions:

12/13/04 – R2 bias is changed to $0.0 \pm 0.25 \mu\text{m}$.

02/28/06 – Josephson junction missing radius (dR) is 0.0 microns [notes 3.3 - 3.5].

07/15/06 – Added anodization layer A1 (GDS#5).

07/20/06 – Added new layer for JJ counter electrode for 4.5 kA/cm^2 process: I1C (GDS#4)

I1A/I1C bias is changed to $0.0 \pm 0.1 \mu\text{m}$

M1 bias is changed to $0.0 \pm 0.5 \mu\text{m}$

Preface

HYPRES, Inc. has developed and sustains several fabrication processes for superconductor electronics. This document specifies the design rules of HYPRES fabrication process #03-10-45 for niobium-based superconducting integrated circuits. This information constitutes a self-contained guide to the physical layout of devices and circuits within the scope of the standard HYPRES fabrication process. Adherence to these rules will provide cost-effective, high yield designs.

1.0 General Description

- 1.1 This HYPRES IC fabrication process uses only refractory materials, with the exception of a Ti/Pd/Au metallization layer used primarily for contact pads. Niobium is used as the superconducting material due to its comparably high critical temperature, electrical and thermal stability, and ability to be thermally cycled many times without degradation. Niobium/Aluminum-Oxide/Niobium Josephson tunnel junctions are made by depositing an *in-situ* trilayer across the entire wafer and subsequently defining junction areas by 1x photolithography and etching. This method yields good uniformity and reproducibility of junction parameters.
- 1.2 HYPRES currently offers Nb/AlO_x/Nb trilayers with three different critical current density: 0.03 kA/cm² (0.3 μA/μm²), 1.0 kA/cm² (10 μA/μm²), and 4.5 kA/cm² (45 μA/μm²).
- 1.3 The Josephson junctions can be interconnected into circuit configurations using four superconducting layers (junction base electrode (layer M1), two Nb wiring layers (layers M2 and M3) and superconducting Nb ground plane (layer M0)).
- 1.4 One normal metal layer is used to provide medium-value resistors, which can be used for shunting Josephson junctions, current distribution, *etc.* The sheet resistance of this layer is given in the table below for all three processes.

Process Jc	Sheet Resistance at 4.5K, Ohm/□	Material	T _c , K	Thickness, nm
0.03 kA/cm ²	2.0±0.2	Ti/AuPd/Ti	0.0	100
1.0 kA/cm ²	1.0±0.15	Mo	0.9	70
4.5 kA/cm ²	2.1±0.3	Mo	0.9	40

- 1.5 Silicon dioxide is deposited to provide insulation between the conducting layers. Anodization of the base electrode of trilayer provides additional insulation to Josephson junctions.
- 1.6 Our standard fabrication process uses 6-inch (150 mm) diameter oxidized Si wafers.
- 1.7 The table below gives HYPRES Niobium Process Flow Overview. Shaded rows show physical layers while lithographic (design) layers are in un-shaded rows.

#	Layer	GDS#	Polarity	Description
				Nb ground plane deposition (layer M0)
1	M0	30	-	M0 patterning (holes in niobium ground plane)
				SiO ₂ deposition (layer I0)
2	I0	31	-	Contacts between M1 and ground plane
				Nb/AlO _x /Nb trilayer deposition (see 1.2)
3	I1A	2	+	Counter-electrode (junction area) definition for 0.03 or 1.0 kA/cm ² process.
3a	I1C	4	+	Counter-electrode (junction area) definition for 4.5 kA/cm ² process.
				Counter electrode anodization
4	A1	5	+	Anodization layer patterning
5	M1	1	+	Trilayer base-electrode patterning
				SiO ₂ deposition
				Resistive layer deposition (see 1.4)
6	R2	9	+	Resistor patterning
				SiO ₂ deposition
7	I1B	3	-	Contact (via) between M2 and (I1A, R2, or M1)
				Nb deposition
8	M2	6	+	M2 wiring (interconnect) patterning
				SiO ₂ deposition
9	I2	8	-	Contact (via) between M2 and M3
				Nb deposition
10	M3	10	+	M3 wiring layer
				Ti/Pd/Au contact metallization deposition
11	R3	11	+	Contact pad patterning

2.0 Layout Design Rules

2.1 Minimal size and spacing for each layer is specified in the following table.

1	M0	<i>Negative</i> ⁽¹⁾	µm	6	R2	<i>Positive</i>	µm
	1.1	M0 spacing to M0	2.0		6.1	R2 spacing to R2	2.0
	1.2	M0 size	2.0		6.2	R2 size	3.0
	1.3	M0 spacing to I0	1.5		6.3	R2 surround I1B	1.5
	1.4	M0 spacing to M1	1.0		6.4	R2 spacing to M2	1.0 ⁽³⁾
	1.5	M0 spacing to R2	1.5 ⁽³⁾		7	I1B	<i>Negative</i>
2	I0	<i>Negative</i>		7.1		I1B spacing to I1B	2.0
	2.1	I0 size	2.5	7.2		I1B size	2.0
	2.2	I0 spacing to I1A	1.5 ⁽²⁾	7.3		I1B surrounded by M2	1.5
	2.3	I0 surrounded by M1	1.5	8		M2	<i>Positive</i>
	2.4	I0 spacing to R2	1.0		8.1	M2 spacing to M2	2.5
3	I1A ⁽⁴⁾	<i>Positive</i>			8.2	M2 size	2.0
	3.1	I1A spacing to I1A	2.0	8.3	M2 surround I2	1.5	
	3.2	I1A size	1.5	9	I2	<i>Negative</i>	
	3.3	I1A surrounded by A1	1.0		9.1	I2 size	3.0
	3.4	I1A spacing to M1	1.5		9.2	I2 surrounded by M3	1.5
	3.5	I1A spacing to R2	0.5	10	M3	<i>Positive</i>	
4	A1	<i>Positive</i>			10.1	M3 spacing to M3	2.5
	4.1	A1 spacing to I1A/I1C	1.0		10.2	M3 size	2.0
	4.2	A1 size	2.0	10.3	M3 contact width with R3	3.0	
	4.3	A1 surrounded by M1	0.5	11	R3	<i>Positive</i>	
	4.4	A1 spacing to R2	0.5		11.1	R3 spacing to R3	5.0
	4.5	A1 surround I1B	1.5		11.2	R3 size	3.0
5	M1	<i>Positive</i>					
	5.1	M1 spacing to M1	2.5				
	5.2	M1 size	2.5				
	5.3	M1 spacing to R2	1.0 ⁽³⁾				
	5.4	M1 surround I1B	1.5				

(1) “Negative” (dark-field) mask means that the corresponding physical layer on the wafer will be removed from the design area. “Positive” (clear-field) mask means that the physical layer will remain on the wafer in the design area.

(2) HYPRES cannot guaranty the quality (V_m , etc.) and the precise critical current (I_c) of junctions residing in I0 hole. I1A patterns may not overlap with I0 patterns.

(3) R2 patterns may not cross any topography (M0, I0, or M1). We also recommend avoiding unnecessary crossings between M2 and R2 patterns.

(4) All rules for layer I1C are the same as for I1A.

3.0 Physical Layers Specifications

3.1 Since the fabrication process involves photolithography and etching, the size of structures on the wafer may differ somewhat from the design layout (*i.e.*, feature size on the photomask). This change in size can be characterized as the so-called “bias”. In the table below, the bias is defined as the shift of the object border due to its enlargement or reduction relative to its image on the mask. A positive bias means that objects will be larger on the wafer than they are drawn in the design. The table also gives other layer parameters that may be important.

Layer	Material	Bias (μm)	Physical layer properties: Resistance, Capacitance, etc.	Thickness nm
M0	Nb	0.2±0.2	Nb, superconductor. Penetration depth $\lambda_L = 90 \text{ nm} \pm 5\%$	100±10
I0	SiO ₂	0.2±0.2	SiO ₂ , insulator. Capacitance: $0.28 \text{ fF}/\mu\text{m}^2 \pm 20\%$	150±15
M1	Nb	0.0±0.1	Trilayer base electrode, superconductor. $\lambda_L = 90 \text{ nm} \pm 5\%$	135±10
I1A/C	Nb	0.0±0.1	Trilayer counter electrode (see 3.2 and 3.3)	50±5
A1	AlO _x /Nb ₂ O ₅		Insulator on top of the base electrode surrounding I1A	45±5
	SiO ₂		SiO ₂ , insulator. Capacitance: $0.42 \text{ fF}/\mu\text{m}^2 \pm 20\%$	100±10
R2		0.0 ± 0.2	(see table in 1.4)	
	SiO ₂		SiO ₂ insulator. Capacitance: $0.42 \text{ fF}/\mu\text{m}^2 \pm 20\%$	100±10
I1B		- 0.1 ± 0.2	Contact hole through the above two SiO ₂ layers	
M2	Nb	- 0.15 ± 0.1	Nb, superconductor. Penetration depth $\lambda_L = 90 \text{ nm} \pm 5\%$	300±20
	SiO ₂		SiO ₂ insulator. Capacitance: $0.08 \text{ fF}/\mu\text{m}^2 \pm 20\%$	500±40
I2		0.1 ± 0.2	Contact hole through the above insulator	
M3	Nb	- 0.3 ± 0.2	Nb, superconductor. Penetration depth: $\lambda_L = 90 \text{ nm} \pm 5\%$	600±50
R3	Ti/Pd/Au	0.0 ± 1.0	Contact pads metallization	350±60

3.2 We recommend using Josephson junctions of circular shape. The critical current, I_c , of the Josephson junctions can be very well described as $I_c = j_c \cdot \pi \cdot (R - dR)^2$, where j_c is the critical current density, R is the designed (drawn) radius, and dR is the bias of I1A layer, which characterizes the deviation of the actual junction size on the wafer from the design value. The photomask is done with a 0.1-μm step, which gives sufficient precision. Note, that we do not require the circle to be on grid.

3.3 The dependence of junction specific capacitance on the critical current density can be approximated by the following formula:

$$C_s = \frac{1.0}{21.5 - 4.3 \cdot \log_{10} j_c} \quad (\text{pF} / \mu\text{m}^2)$$

here, C_s is specific capacitance in $\text{pF}/\mu\text{m}^2$ and j_c is critical current density in $\mu\text{A}/\mu\text{m}^2$.

This gives roughly 58 $\text{fF}/\mu\text{m}^2$ at 10.0 $\mu\text{A}/\mu\text{m}^2$, 69 $\text{fF}/\mu\text{m}^2$ at 45.0 $\mu\text{A}/\mu\text{m}^2$, and 42 $\text{fF}/\mu\text{m}^2$ at 0.3 $\mu\text{A}/\mu\text{m}^2$, in a good agreement with the experimental data.

3.4 The critical current of Nb layers (per micron width of Nb strips) is given in the following table

Nb Layer	M0	M1	M2	M3
I_c (mA/μm)	20.0	25.0	50.0	70.0

If the Nb layer crosses any steps, its I_c may drop by more than 50%. Please, see the minimal width of a wire in table 2.1.

4.0 Lithography features

4.1 Mask Grid Size

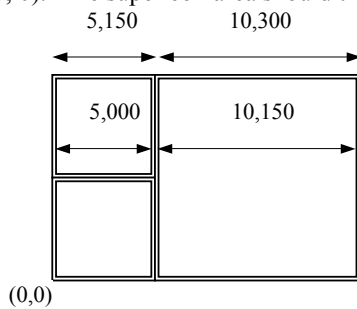
Mask	Layer	Grid Size [μm]
M0	Negative	0.5
I0	Negative	0.5
M1	Positive	0.5
I1A	Positive	0.1
I1C	Positive	0.1
A1	Positive	0.5
R2	Positive	0.5
I1B	Negative	0.1
M2	Positive	0.5
I2	Negative	0.5
M3	Positive	0.5
R3	Positive	0.5

4.2 Layers I1A, I1C and I1B have a grid size of 0.1 μm . All remaining layers must use a grid size of 0.5 μm . Every vertex coordinates are being rounded up to a multiple of these numbers.

4.3 All layouts are **mirror imaged** when printed on wafers.

5.0 Designs Submission Formats

- 5.1 The layout file must be in GDS-II format.
- 5.2 Please submit designs to HYPRES through File Transfer Protocol (FTP) at <ftp://customer@ftp.hypres.com> or, if the size of the file is less than 2 Mb, via E-mail to masoud@hypres.com.
- 5.3 The active chip area is limited by 5000 μm x 5000 μm and surrounded by 150- μm dicing channels. Dicing channels between chips are 150 μm wide. That means that 75 μm on each side of each die is consumed in dicing. No objects are allowed in the dicing channel. Contact pads must be at least 90 μm away from the edge of the chip on all sides. It is also allowed to submit 1-cm chips. In this case, the die size would be 10.3 mm x 10.3 mm. All other sizes should be negotiated with HYPRES prior the submission.
- 5.4 When delivering data to HYPRES, send only one file, with all chips together in a single “supercell” with a **5150- μm** grid. The submitted designs should be in a cluster as shown below, with the lower left corner of the cluster placed at (0, 0). The super cell area should therefore be exactly 5150 x 5150 x $N \times M$, where $N \times M$ is the number of chips.



- 5.5 **No cell name may exceed 60 characters.** Cell names will be truncated to this size automatically and might clobber other cells.

6.0 Cycle Time

- 6.1 One week is required to fabricate the photo masks.
- 6.2 Six weeks are required to process wafers.
- 6.3 Two days are required for dicing, Process Control Monitor testing, and packaging of chips.
- 6.4 Total cycle time is 8 weeks and 2 days from mask release. Note: Cycle times may change depending upon customer requirements.
- 6.5 On average HYPRES has 8 mask releases per year. See www.hypres.com for up-to-date information and schedules.

Resumé

La logique supraconductrice RSFQ (Rapid Single Flux Quantum) est une solution très attractive pour le traitement des données à très haute fréquence avec une dissipation très faible et des performances nettement supérieures à ce que la technologie CMOS pourra offrir dans la prochaine décennie. La technologie RSFQ en nitrure de niobium (NbN) en cours de développement au CEA-G est basée sur des jonctions Josephson NbN/TaXN/NbN auto-shuntées qui présentent une fréquence d'oscillation maximum proche du THz jusqu'à 10 K. L'objectif de cette recherche a été d'appliquer cette technologie NbN 9K à un CAN (Convertisseur Analogique-Numérique) adaptable aux télécommunications spatiales. Une architecture de type CAN sigma-delta a été étudiée, sur-échantillonnant à 200 GHz de fréquence d'horloge un signal avec une bande de 500 MHz et modulé sur une porteuse de 30 GHz. En particulier une horloge, un comparateur et différents portes logiques ont été étudiés et conçus pour opérer à 200 GHz ainsi qu'un modulateur sigma-delta passe-bande du troisième ordre dont les performances SNR, SFDR, devraient après optimisation satisfaire les objectifs visés. La complexité de l'architecture du filtre de décimation a été analysée. Certains composants de base du filtre, des diviseurs de fréquence et des registres à décalage, ont été étudiés et dessinés, enfin quelques méthodes de test du modulateur sont proposées. Le travail d'implémentation de circuits NbN en technologie multi-niveaux a été traité conduisant à la réalisation complète de deux lots de circuits qui pour des raisons technologiques clarifiées ensuite n'ont pu aboutir au test des portes logique du CAN. Cependant, les marges de fonctionnement des portes logiques NbN ont été déterminées grâce à la caractérisation de jonctions, SQUIDS et de filtres (résonateurs) micro-ondes. Finalement, une étude comparative entre des circuits à jonctions NbN auto-shuntées opérant à 9K en réfrigération allégée et des circuits similaires obtenus en fonderie Nb basés sur des jonctions Nb/AIOX/Nb shuntées en externe opérant à 4K, démontre tous les avantages qu'on peut espérer attendre de la technologie NbN.

Mots clés : Convertisseur analogique-numérique, sigma-delta, jonction Josephson, logique RSFQ, décimation, registres, filtres micro-ondes, comparateur

Abstract

S

- -

RSFQ (Rapid Single Flux Quantum) superconducting logic is suitable to process very high speed digital data with very low power dissipation and with performances well beyond what should be possible with CMOS technology in the next decades. The RSFQ circuit technology, based on superconducting niobium nitride (NbN), presently developed at CEA-G, involves NbN/TaXN/NbN internally shunted Josephson junctions with high critical current density and high maximum switching frequency close to 1 THz at 10 K, as required by ultra-fast RSFQ electronics. The purpose of this work is to apply the NbN technology to an ADC (Analog-to-Digital Converter) for space telecommunications. An ADC with sigma-delta architecture was studied oversampling at 200 GHz clock frequency a signal with a bandwidth of 500 MHz modulated over a carrier frequency of 30 GHz. In particular a clock, a comparator and some other logic gates were studied at 200 GHz as well as a third order sigma-delta band-pass modulator whose the SNR and SFDR performances, after optimization, should satisfy the specifications. Decimation filter architecture complexity was analyzed. Some basic components of the filter, such frequency dividers and shift registers, were studied and designed, and in the end some possible methods to test the modulator were also proposed. The implementation of NbN circuits in a multi-levels technology was treated including the complete fabrication of two wafers. For some technology problems clarified afterwards, these two lots couldn't reach the ADC logic gate test. However the RSFQ gate margins were determined thanks to junctions, SQUIDS and microwaves filters (resonators) characterization. Finally, we compare some circuits based on self-shunted NbN junctions and other similar circuits in Nb foundry technology using Nb/AIOx/Nb externally shunted junctions operating at 4 K. This comparative study shows all the advantages given by the NbN technology.

Keywords: Analog-to-Digital Converter, sigma-delta, Josephson junction, RSFQ logic, decimation, registers, microwaves filters, comparator

Spécialité : Optique et Radiofréquence