



HAL
open science

Contribution à l'intégration monolithique de protections contre les surtensions : application aux convertisseurs de puissance haute tension

Fisal Alkayal

► To cite this version:

Fisal Alkayal. Contribution à l'intégration monolithique de protections contre les surtensions : application aux convertisseurs de puissance haute tension. Energie électrique. Institut National Polytechnique de Grenoble - INPG, 2005. Français. NNT : . tel-00165398

HAL Id: tel-00165398

<https://theses.hal.science/tel-00165398>

Submitted on 26 Jul 2007

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE

N° attribué par la bibliothèque

/ / / / / / / / / / / / / / / /

THESE

Pour obtenir le grade de

DOCTEUR DE L'INPG

Spécialité : « Génie Electrique »

Préparée au **Laboratoire d'Electrotechnique de Grenoble**

Dans le cadre de l'Ecole Doctorale

« **Electronique, Electrotechnique, Automatique, Télécommunication, Signal** »

Présentée et soutenue publiquement

par

M.Fisal ALKAYAL

Le 27/09/2005

Titre :

Contribution à l'intégration monolithique de protections contre les surtensions :
application aux convertisseurs de puissance haute tension

Directeurs de thèse : Robert PERRET

Jean Christophe CREBIER

JURY

M. Christian SCHAEFFER

, Président

M. François COSTA

, Rapporteur

M. Patrick AUSTIN

, Rapporteur

M. Robert PERRET

, Directeur de thèse

M. Jean Christophe CREBIER

, Co-encadrant

M. Jacques ARNOULD

, Invité

Remerciements

Je tiens en tout premier lieu à exprimer mes sincères remerciements à Dieu. Dieu que ni les mots ni les bonnes actions peuvent exprimer mes sentiments devant lui. Dieu qui m'a créé et que je vie pour adorer...

Je remercie toute ma famille et tout spécialement ma mère qui a tout fait pour moi.

Merci beaucoup aussi à ma femme Nadera et tout ce qu'elle a fait pour moi. Nadera, sans qui je ne serais jamais arrivé à ce stade.

Je remercie également mon pays pour tous les efforts faits pour moi...

Je tiens à remercier tout particulièrement Jean Christophe Crebier pour son aide, ses précieux conseils, sa confiance et son soutien de tous les instants tout au long de ma thèse.

Merci aussi à Robert Perret pour la confiance qu'il m'a accordé et ses précieux conseils.

Un grand merci à M. Jacques Arnould pour les bons moments que nous avons passés ensemble, pour ses conseils, les discussions et sa bonne humeur.

Merci aussi à Christian Sheaffer et à Laurent Aubard dont les compétences, la bonne humeur et le dynamisme ont été motivants.

Un merci pour Jean Barbaroux et Stéphane Catellani pour leur aide dans la réalisation des maquettes et leurs compétences qu'ils ont bien voulu me faire partager.

Merci à tous ceux que j'ai rencontré durant toutes ces années au sein du laboratoire et avec qui j'ai eu beaucoup du plaisir à discuter, pour votre bonne humeur et votre enthousiasme. Je pense notamment à Seddik, Nicola, David, Stéphane, Bhin, Vincent, Adib, Aiman et Raed.

Merci à tous les occupants de la salle EPTE et à tous mes amis.

Sommaire

Introduction Générale	5
Chapitre I Protection en tension; état de l'art et perspectives de recherche	8
I.A Introduction: Le besoin de la protection en tension intégrée dans les structures de puissance	8
I.A.1 L'électronique de puissance et le processus de l'intégration.....	8
I.A.2 La protection en tension et l'électronique de puissance.....	9
I.B Mise en œuvre de la protection en tension en électronique de puissance.....	11
I.B.1 Pertes et gestion du problème thermique.....	11
I.B.2 Une protection intégrée veut dire des contraintes imposées.....	15
I.C Un cas d'étude.....	15
I.D Etat de l'art des circuits de protection en tension des transistors de puissance.....	17
I.D.1 Les circuits de protection positionnés côté puissance du composant principal.....	18
I.D.1.a Les circuits SNUBBER.....	18
I.D.1.b La protection en utilisant une diode à avalanche contrôlée en parallèle du transistor de puissance.....	19
I.D.2 Les circuits de protection positionnés dans le côté commande du composant principal.....	22
I.D.2.a La protection en utilisant une diode à avalanche contrôlée située entre le drain (collector) et la grille (base).....	22
I.D.2.b La protection en ajustant la commande du transistor principal.....	26
I.E Perspectives de recherches (nouveaux circuits de protection en tension).....	29
I.E.1 Avantages du circuit de protection proposé avec ses objectifs.....	31
I.E.1.a Intégration du circuit de protection.....	32
I.E.1.b Réglage de la tension de seuil du circuit de protection.....	34
I.E.1.c Compatibilité technologique du circuit de protection.....	35
I.E.1.d Performances du circuit de protection.....	35
I.F Les solutions de protection en tension proposées.....	35
I.F.1 La protection monolithique en tension par amplification de courant.....	36
I.F.2 La protection en tension par le contrôle d'avalanche d'un dispositif monolithiquement intégré.....	40
I.F.3 La protection monolithique en tension des transistors type IGBT.....	41
I.G Conclusion.....	42
Chapitre II Modélisation et analyse électrothermiques du circuit de protection.....	44
II.A introduction.....	44

II.B	Modélisation électrique du circuit de protection.....	44
II.B.1	Notions importantes pour la modélisation.....	45
II.B.2	Rappel sur le transistor bipolaire de puissance (BJT).....	46
II.B.3	Modélisation du BJT de protection.....	50
II.B.4	Quelques phénomènes à étudier pour développer le modèle du BJT.....	57
	<u>Prise en compte de la variation de la valeur de C_{DS} en fonction de la tension...</u>	57
	<u>Prise en compte de la capacité C_{BC} du BJT.....</u>	58
	<u>Prise en compte de la variation du gain en fonction de V_{CE}.....</u>	61
	<u>Prise en compte de l'inductance de câblage entre la diode à ac et la base du bipolaire.....</u>	64
II.B.5	Validation du modèle de transistor Bipolaire.....	65
II.C	Modélisation thermique de l'ensemble transistor principal - transistor de protection.....	70
II.C.1	Présentation du problème.....	70
II.C.2	Approche simplifiée.....	71
II.C.3	Approche numérique fine.....	75
II.C.4	Généralisation de l'approche numérique fine pour le régime transitoire.....	84
II.D	Interaction Electrothermique dans le BJT.....	88
II.E	Conclusion.....	91
Chapitre III	Dimensionnement, Conception et Réalisation technologique des circuits de protection.....	94
III.A	Introduction.....	94
III.B	Rappel du procédé de fabrication des transistors de puissance MOSFET vertical double diffusé – VDDMOS.....	95
III.C	Caractérisation et test des étapes technologiques clés.....	103
III.C.1	Tests d'implantations et de diffusions de P+ et P-.....	104
III.C.2	Tests d'implantation et de diffusion N+ dans Si et poly Si.....	108
III.D	Conception des masques.....	111
III.D.1	Règles générales de dimensionnement des masques.....	111
	<u>L'auto focalisation interne du courant de collecteur.....</u>	111
	<u>L'auto focalisation externe.....</u>	113
	<u>La dégradation de l'Aluminium.....</u>	120
	<u>Les contraintes imposées par la technologie de fabrication.....</u>	121
III.D.2	Méthodologie de la conception des masques.....	126
III.E	Réalisation des masques.....	130
III.F	Conclusion.....	135

Chapitre IV	Validation et démonstration du système de protection en tension.....	137
IV.A	Introduction.....	137
IV.B	Validation du système de protection en tension.....	137
IV.C	Démonstration - application proposée utilisant le système de protection en tension.....	146
IV.D	Conclusion.....	148
	Conclusion générale et perspectives.....	150

Introduction Générale

Les développements actuels de l'électronique de puissance tendent vers l'optimisation des structures par l'augmentation du rendement et des performances et la diminution de la taille.

Les interrupteurs utilisés dans les structures de l'électronique de puissance comme l'IGBT et le MOSFET de puissance ne cessent d'augmenter leurs performances. Ces composants se trouvent dans un milieu de conversion d'énergie où ils peuvent subir de sévères conditions de fonctionnement. Ces conditions de sur échauffement, surintensité ou encore surtension peuvent influencer leur fiabilité, leur fonctionnalité ou même les détruire.

Les problèmes de surtension existent toujours, que ce soit à cause de la nature de la charge, de la structure de convertisseur, de la qualité de sa réalisation ou encore, d'un incident transitoire. La nécessité de protéger ces interrupteurs devient donc essentielle pour une structure de puissance fiable.

Plusieurs travaux ont été réalisés sur la protection en tension des composants de puissance. La plupart des solutions impose l'ajout de composants de protection autour du transistor à protéger. Ces solutions offrent des comportements et des performances intéressantes. En revanche, ils peuvent ajouter des inconvénients sur la fonctionnalité de l'interrupteur. Ces désavantages peuvent intervenir sur le plan des pertes, de la rapidité de commutation ou même du volume total de l'ensemble transistor - circuit de protection.

Le développement actuel des marchés de l'électronique de puissance pousse les constructeurs à augmenter les performances et en même temps à diminuer le volume de la structure de puissance. L'intégration (hybride ou monolithique) est une démarche actuelle qui répond bien à ces besoins.

Si cette intégration a comme but de minimiser le volume tout en augmentant les performances, elle peut offrir des inconvénients au niveau de l'interaction ou du refroidissement ou même compliquer les procédures de fabrication.

L'intégration monolithique est une des deux branches de l'intégration. Ce procédé vise à réaliser sur silicium tout ou partie de la fonction souhaitée. Donc la fonction mère (en général l'interrupteur de puissance) et la fonction auxiliaire (dans le cas présent les systèmes de protection) partagent la même puce de silicium. Plusieurs solutions d'intégration monolithique sont proposées pour les divers niveaux de protection.

Dans cette thèse, nous proposons une solution pour protéger les transistors de puissance de type MOSFETs ou IGBTs. Cette solution est partiellement monolithiquement intégrée. Cette intégration respecte bien le diagramme de cheminement du transistor à protéger et ne fait aucune modification sur les procédures de fabrication.

Ce mémoire de thèse est divisé en quatre chapitres. Dans le premier, un état de l'art des circuits de protection existants est présenté ; nous expliquons brièvement chaque solution avec ses avantages et inconvénients. Nous présentons ensuite notre solution et nous la comparons avec les autres réalisations. Des résultats pratiques de la solution proposée sont montrés également.

Dans le deuxième chapitre, nous présentons les démarches de modélisation du circuit de protection proposé. Cette modélisation contient deux parties ; électrique et thermique. Une validation du modèle proposé est faite à partir des transistors réalisés par nous-mêmes avec leurs circuits de protection.

Le troisième chapitre traite de la conception et de la réalisation technologique du circuit de protection (transistor de protection). Dans cette conception, nous expliquons le dimensionnement des masques, le diagramme de cheminement et les problèmes de l'équilibrage des courants cellulaires du transistor de protection.

Dans le quatrième chapitre, nous montrons la faisabilité de notre circuit de protection à travers deux mises en oeuvre concrètes. Une structure de puissance type hacheur série est réalisée en utilisant comme interrupteur un MOSFET protégé par un transistor intégré que nous avons fabriqué. Puis, les performances de notre circuit de protection sont présentées dans un circuit de puissance utilisant deux transistors autoprotégés mis en série. Dans ce circuit nous créons un déséquilibre en tension entre les deux composants et les résultats montrent l'efficacité de notre circuit de protection.

Chapitre I : Protection en tension; état de l'art
et perspectives de recherche

I.A. Introduction : Besoin de protection en tension intégrée dans les structures de puissance.

I.A.1. Electronique de puissance et processus d'intégration.

L'électronique de puissance connaît depuis quelques décennies un essor important. Utilisée jusqu'à présent pour la conversion et la mise en forme de l'énergie, l'électronique de puissance de demain doit relever un défi majeur pour l'environnement. Ce défi consiste à tirer le meilleur de l'énergie électrique en associant, au mieux, le convertisseur, sa charge et la source d'alimentation. Ainsi, depuis les applications industrielles (type chaîne de traction) jusqu'au petit électroménager en passant par l'automobile, l'électronique de puissance est de plus en plus utilisée pour maximiser le rendement et optimiser la fonction réalisée. L'apparition de composants performants comme les MOSFETs et les IGBTs a considérablement favorisé cet essor. Ces composants ont des performances électriques très élevées et sont faciles à piloter. Ils sont donc naturellement utilisés dans de nombreuses applications. Néanmoins, le milieu industriel et commercial, toujours à l'affût de gains en termes de performances et de coût, pousse l'électronique de puissance et sa communauté scientifique et technique vers le développement de structures toujours plus intégrées, plus performantes et aussi plus fiables. C'est dans ce contexte de marché de masse, d'enjeux économiques majeurs et de haute technologie que l'intégration en électronique de puissance trouve aujourd'hui son intérêt.

L'intégration en électronique de puissance peut se diviser en plusieurs composantes selon que l'on traite des points liés à celle des composants passifs (pour le filtrage, le stockage ou encore l'isolation galvanique) ou à celle de l'environnement (refroidissement, intelligence...) ou à l'intégration des composants actifs et de leurs fonctionnalités associées. *C'est dans cette dernière partie que se situe la contribution du travail de cette thèse.* L'intégration des composants actifs et de leurs fonctionnalités associées est en soi un vaste sujet très lié au choix du substrat: le silicium et toute la technologie microélectronique associée. Avec la recherche et les progrès technologiques engagés autour de thèmes tels que la microélectronique ou encore les microsystèmes et « Systems On Chip », l'électronique de puissance bénéficie de nombreuses avancées qui ouvrent des perspectives d'intégration nouvelles.

L'intégration des composants actifs sur silicium peut être divisée en deux grandes familles: celle qui vise à créer de nouveaux composants aux performances inédites soit en associant des structures ou des familles de composants, soit en créant de nouveaux composants et celle qui

consiste à intégrer au sein même du composant ou dans son voisinage de nouvelles fonctionnalités. On peut alors envisager d'intégrer des fonctions telles que la commande rapprochée, son alimentation, ou encore des fonctions de protection ou de communication avec ou sans isolation, des capteurs ou des observateurs d'état. Cette intégration peut alors minimiser les tailles et coût des fonctions complexes créées mais aussi augmenter leurs performances. En effet, l'intégration peut aussi être génératrice de progrès intrinsèques dus par exemple à la proximité des fonctions ou encore, aux interactions naissantes entre deux fonctions voisines. *L'objectif de cette thèse consiste à intégrer une fonction de protection en tension, au plus près du composant et de voir si, via cette intégration, il serait possible d'accroître les performances des composants de puissance.*

I.A.2. Protection en tension en électronique de puissance.

Avant d'aller plus loin dans les enjeux qui sont attachés à cette intégration, nous essayons de positionner la fonction protection en tension dans le contexte de l'électronique de puissance.

La protection en tension d'un composant actif a un objectif simple; celui de limiter, à une valeur déterminée, la tension appliquée au composant à protéger. En effet, la conception des composants d'électronique de puissance doit jongler en permanence avec les calibres en tension et en courant pour optimiser les performances en termes de pertes et de dynamique pour finalement maximiser le rendement de conversion. De fait, la tenue en tension des composants est généralement judicieusement choisie en fonction de l'application. En général, on est amené à prendre une marge de sécurité pour garantir la fiabilité du système conçu. Les composants silicium supportent mal les surtensions. Le composant devient alors passant et très rapidement la coexistence du courant et de la tension génère de fortes pertes qui peuvent provoquer sa destruction. D'où le besoin de limiter, nous parlons aussi d'écarter, la tension aux bornes des composants semiconducteurs et plus particulièrement dans notre cas, des composants de puissance. Il apparaît alors la notion de protection en tension.

L'origine des surtensions aux bornes des composants à semiconducteur en électronique de puissance est directement liée au principe même de cette technique. Pour assurer la conversion et la mise en forme de l'énergie au meilleur rendement, elle procède au découpage puis au filtrage des grandeurs électriques. C'est lors du découpage des grandeurs électriques que les surtensions peuvent apparaître. Dans tous les cas, la surtension apparaît aux bornes d'un composant dans lequel on cherche à interrompre, ou à limiter le passage du courant. Les conditions, dans lesquelles cette variation du courant a lieu, deviennent alors essentielles.

On distingue plusieurs situations propices à l'apparition de surtensions en électronique de puissance :

- 1- Lorsque la tension appliquée aux bornes du composant en régime statique ou en régime dynamique est trop importante.
- 2- Sous l'effet d'une décharge électrostatique « accidentelle ».

La gestion des surtensions dues à des décharges électrostatiques nécessite de pouvoir supporter une forte énergie et de la dissiper [AN-955]. Ce cas particulier ne sera pas traité dans cette thèse. Il reste alors les cas plus classiques et propres à l'électronique de puissance lors du fonctionnement ou du dysfonctionnement du convertisseur en régime normal ou extrême.

Le cas d'école le plus simple pour présenter de manière générale le problème, consiste à considérer l'association en série d'une source de tension, d'une inductance et d'un interrupteur. Lorsque l'interrupteur est fermé (passant), le courant dans l'inductance atteint une valeur qui est fonction de la résistance du circuit électrique ainsi formé. Une énergie magnétique est alors stockée dans l'inductance ($1/2LI^2$). Lorsque l'interrupteur est commandé à l'ouverture, l'énergie contenue dans l'inductance doit être entièrement restituée. La décroissance du courant dans l'inductance provoque alors une tension négative. C'est cette même tension qui se retrouve ajoutée à celle de l'alimentation aux bornes de l'interrupteur et qui selon la variation du courant et la valeur de l'inductance, crée une surtension plus ou moins forte selon la loi :

$$\Delta V = L \frac{di}{dt} \quad (1.1)$$

On peut alors généraliser ce phénomène à la cellule de commutation d'un convertisseur d'électronique de puissance, cellule de commutation qui présenterait une inductance de maille importante. Ce cas est correctement décrit dans [Ferrieux-99], [Mohan-89].

C'est encore le même principe qui sera en action lorsque pour des raisons diverses, l'écoulement de l'énergie stockée dans tout élément inductif sera perturbé par la cellule de commutation. On peut imaginer l'absence d'ordre de commande d'une roue libre commandée, des défauts ou de fortes variations sur la charge (si elle est de nature inductive comme les moteurs par exemple...).

Tous ces cas sont associés à des phénomènes ou comportements qui apparaissent lors des phases de fonctionnement en régime dynamique, c'est-à-dire lorsque qu'il y a une brusque variation de la topologie du circuit électrique (commutation, écrêtage de circuits résonants,

défaut, forte variation de charge...). Néanmoins, la protection en tension peut aussi s'avérer nécessaire dans des cas de fonctionnement en régime statique ou dits quasi-statique.

Le plus commun est probablement le cas des associations série de composants actifs en vue de construire un composant de fort calibre en tension. Dans ce cas d'association en série, la protection en tension est une question primordiale pour les transistors associés. En effet, dans ce cas, le déséquilibre de tension entre les transistors est aussi un facteur important de génération de surtensions [Frey-03], [Frey-EPE03], [POJ-01]. Différentes causes peuvent être à l'origine de ce déséquilibre [Frey-03] l'important pour nous dans ce cas est qu'il ne suffit pas seulement de protéger chaque transistor contre les surtensions mais il faut pouvoir ajuster cette protection selon la tension appliquée et le calibre en tension des transistors utilisés.

I.B. Mise en œuvre de la protection en tension en électronique de puissance.

Les dispositifs de protection en tension sont nécessaires. Néanmoins, pour garantir le bon fonctionnement et la fiabilité à long terme d'un convertisseur, l'ajout d'un dispositif de protection doit être efficace, souple d'utilisation, sans pour autant pénaliser le fonctionnement normal du convertisseur.

Nous l'avons dit, la surtension fait suite à variation brutale du courant dans un interrupteur. De ce fait, la protection en tension tentera de limiter cette surtension en favorisant sous certaines conditions la continuité du courant. Pour ce faire, nous pouvons agir à plusieurs niveaux, soit en ajoutant en parallèle au composant à protéger un élément, soit en jouant sur le composant à proprement parler. Dans les deux cas, les objectifs restent les mêmes: écouler l'énergie stockée dans l'inductance de maille, équilibrer la tension entre différents composants en série...

Dans la suite, nous présentons quelques problèmes importants à étudier dans le cas de la mise en œuvre de la fonction de protection en tension.

I.B.1 Pertes et gestion du problème thermique.

Le dispositif de protection en tension est utilisé pour soulager le transistor de puissance contre les surtensions; dans cette étape, c'est le composant de protection qui devient le siège de contraintes particulièrement élevées, en terme de pertes et de température de fonctionnement. En effet, durant la phase de protection, le composant de protection voit à ses bornes des tension et courant élevés, donc ses pertes sont très fortes. Ceci pose alors le problème de

l'élévation de température engendrée par les pertes ainsi dissipées, ce qui nécessite une bonne gestion du problème thermique.

Nous pouvons dégager deux cas où la gestion du problème thermique s'impose dans l'application de protection en tension. Le premier concerne *l'apparition d'une phase de protection en tension non répétitive et prolongée*; dans ce cas, l'élévation de température est immédiate plus ou moins élevée selon la durée de la phase de protection et selon l'environnement immédiat du composant. Le second repose sur *l'occurrence répétitive* (par exemple à chaque période de découpage) d'une phase de protection assez brève. Dans ce cas, le niveau de perte généré reste important dans le temps et il faut évacuer ces pertes pour garantir la fiabilité de la fonction de protection.

Du point de vue de la thermique, les deux problèmes sont bien différents car les échelles de temps mises en jeu sont très différentes et les dynamiques en thermique sont généralement faibles devant celles des systèmes électriques. De ce fait, on se retrouve avec deux contextes distincts qu'il faut tous deux approfondir.

En électronique de puissance, les composants à semiconducteur sont reportés sur des supports via une couche isolante pour s'affranchir des problèmes d'adaptation des potentiels. L'évacuation des pertes générées dans le composant se fait donc à travers un empilement de couches [Arnould-92], plus ou moins conductrices thermiquement. Il apparaît donc, entre la source de chaleur et le radiateur, une résistance thermique qui s'oppose à l'écoulement de la chaleur (voir figure 1.1). De fait, la température s'élève jusqu'à ce que le flux de chaleur créé soit entièrement évacué par le radiateur via l'empilement. Ceci se fait selon la loi très classique suivante :

$$\Delta T = R_t \cdot P \tag{1.2}$$

Où R_t est la résistance thermique équivalente du refroidisseur situé entre la puce du Silicium et l'ambiante et donnée par la relation 1.3. Cette résistance représente plusieurs résistances en série (résistance de la case R_c , résistance de la couche d'isolation R_i et résistance du refroidisseur R_s) permettant le flux de chaleur de passer de la source des pertes jusqu'à l'ambiante :

$$R_t = R_c + R_i + R_s = \frac{1}{\lambda_c} \cdot \frac{l_c}{S_c} + \frac{1}{\lambda_i} \cdot \frac{l_i}{S_i} + \frac{1}{\lambda_s} \cdot \frac{l_s}{S_s} = \sum_k \frac{1}{\lambda_k} \cdot \frac{l_k}{S_k} \tag{1.3}$$

Où $(\lambda_c, \lambda_i \text{ et } \lambda_s)$ sont les conductivités thermiques des couches entre la puce et l'ambiante [W/(cm.°C)].

$(l_c, l_i \text{ et } l_s)$ les épaisseurs des couches parcourues par le flux de chaleur [cm].

(S_c , S_i et S_s) les sections traversées par le flux de chaleur [cm^2].

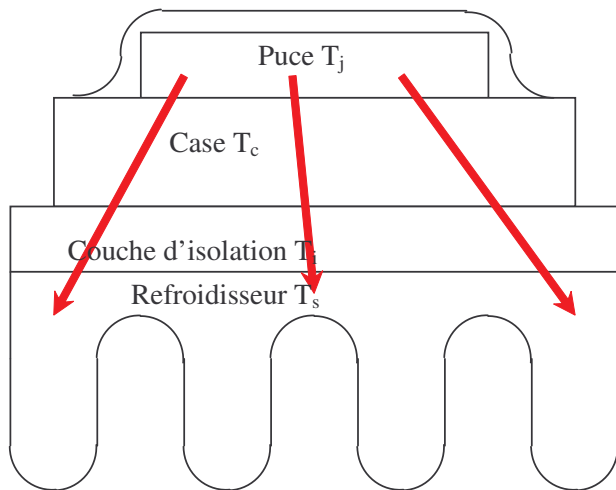


Figure 1.1.a Le flux de la chaleur dans le régime permanent.

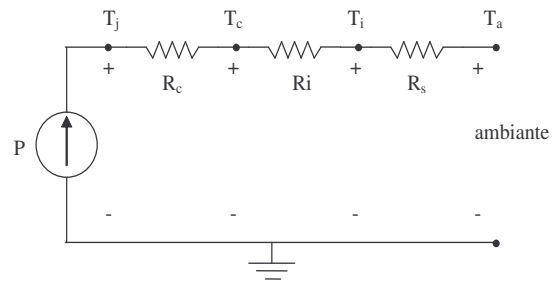


Figure 1.1.b Les résistances thermiques des couches existantes entre la puce et l'ambiante.

Dans le cas où les dynamiques thermiques sont fortes, il est aussi important de considérer le stockage de la chaleur produite dans les matériaux. Nous parlons alors de capacité calorifique de la puce. Elle est essentielle car c'est principalement elle qui, sous les fortes, va encaisser le choc thermique créé par la fonction de protection. Nous la définirons de la manière suivante :

$$C_t = C_p \cdot \rho \cdot V \quad (1.4)$$

Tel que

C_p est la chaleur spécifique du Silicium = $0.700 \text{ [J/}^\circ\text{K.g]}$.

ρ est la masse volumique du Silicium = $2.33 \text{ [g/cm}^3\text{]}$.

V est le volume de la puce du Silicium [cm^3].

Par analogie électrique, nous arrivons à modéliser de manière simplifiée le comportement thermique d'un composant d'électronique de puissance grâce au schéma figure 1.2. Nous verrons plus loin (et également plus en détail dans le deuxième chapitre) l'impact de ce modèle. Il pourrait être plus complexe en tenant compte des capacités calorifiques de chaque couche de l'empilement. Néanmoins cela n'entrave pas la réflexion. Lorsque de fortes pertes sont générées dans un intervalle de temps court, la capacité calorifique du composant prédomine. Par contre, lorsque la même quantité de pertes s'étale sur une grande durée, c'est la résistance thermique qui devient l'élément prépondérant.

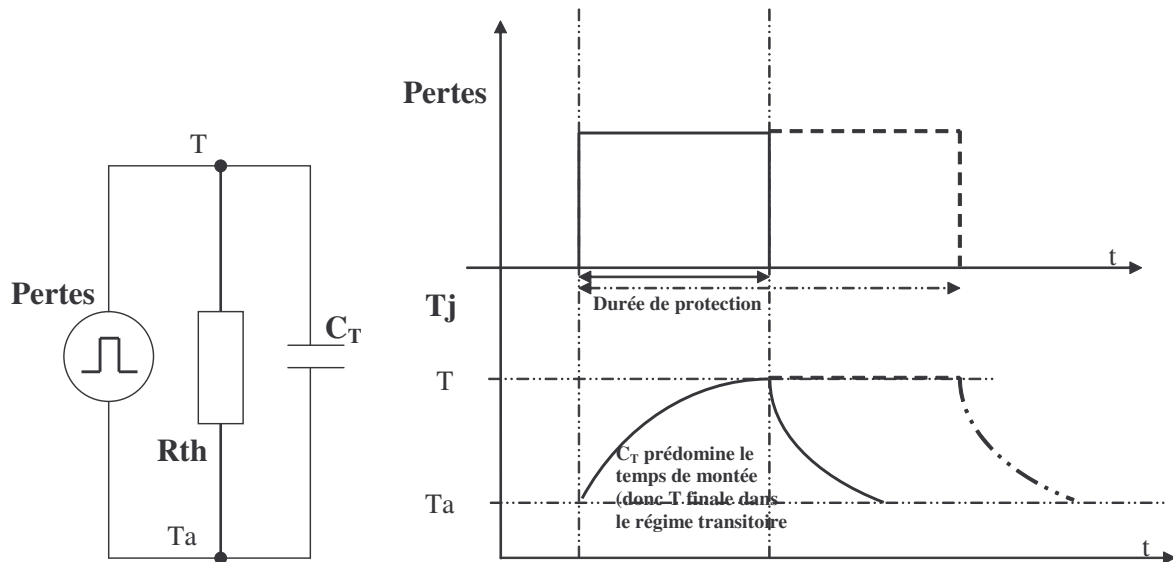


Figure 1.2 : la modélisation électrique du comportement thermique d'un composant d'électronique de puissance

Par exemple les pertes liées à la protection sont des pertes répétitives apparaissant pendant une courte durée par rapport à la période de découpage. Ces pertes se représentent par des impulsions de courte durée dans le schéma de figure 1.2. Le refroidisseur (donc la résistance R_t) est en général dimensionné pour le transistor principal dont les pertes se répartissent sur des temps relativement plus longs que la durée de la phase de protection; nous pouvons dire que l'élévation de température liée à la protection est régie aussi (dans la phase transitoire) par la capacité calorifique et les niveaux de pertes.

De fait, un dispositif de protection efficace doit combiner au mieux les deux éléments en essayant de maximiser la capacité calorifique tout en diminuant au maximum la résistance thermique. Seule l'augmentation de la surface du composant semiconducteur peut permettre de combiner ces deux effets.

Il existe un moyen pour modifier le comportement thermique d'un composant. Il faut l'associer soit à un matériau à forte capacité calorifique soit au sein d'une structure plus importante. Dans ce cas, si la résistance thermique qui lie les deux zones est faible, on obtient une modification substantielle du comportement thermique en réponse à une forte sollicitation. Ce principe bien connu est déjà utilisé dans des applications.[Avenase-03]

Dans notre cas, c'est la présence du composant à protéger au voisinage du composant de protection qui pourrait être mise à profit. Nous pourrions alors via le processus d'intégration, bénéficier d'une capacité calorifique et d'une surface d'échange importante fournie par le composant à protéger.

I.B.2 Contraintes propres à une protection intégrée.

Plusieurs solutions ont déjà vu le jour et cela fera l'objet de la suite de ce premier chapitre. La plupart des solutions actuelles sont à base de composants discrets qui sont ajoutés dans l'environnement de l'interrupteur pour créer la fonction de protection en tension. Notre travail de thèse a accordé une place particulièrement importante à l'intégration de la fonction de protection au sein du composant à protéger. Les motivations sont multiples; l'ajout d'une fonction de protection valorise le composant et en plus, permet de gagner sur d'autres plans, comme le volume total du composant, son coût et sa fiabilité finale; l'intégration offre un potentiel important de comportements inédits dont l'utilisation peut être ou ne pas être un avantage.

Néanmoins, l'intégration est un facteur particulièrement contraignant lorsqu'il doit être pris en compte dans un processus de création ou de conception. En effet, l'intégration sur silicium repose sur le partage et surtout sur la coexistence ou encore la compatibilité de processus de fabrication. La fonction « mère » étant bien évidemment le composant de puissance à protéger, il est hors de question de pénaliser, ou encore de modifier, ses caractéristiques électriques et fonctionnelles pour permettre l'intégration d'une nouvelle fonction. Aussi, tout au long de notre travail, nous nous sommes attachés à réaliser la fonction de protection tout en respectant le plus possible le diagramme de cheminement du procédé de fabrication du composant de puissance. Cette contrainte nous a beaucoup limité. Néanmoins, c'est aussi elle qui offre des perspectives futures en terme de mise en œuvre concrète et éventuellement d'industrialisation du ou des dispositifs conçus.

I.C. Cas étudié.

Pour sensibiliser le lecteur au problème des surtensions en électronique de puissance et à la fonction de protection en tension qui peut lui être associée, nous avons sélectionné un exemple concret et chiffré. Ce paragraphe permettra de positionner les ordres de grandeur tout en faisant apparaître clairement les points clés de notre activité de recherche. Nous allons aussi nous baser sur cet exemple pour faire une comparaison entre les circuits de protection déjà existants et ceux que nous proposons.

Nous prendrons comme cas d'étude, un circuit d'un hacheur série (voir figure 1.3) comprenant une source de tension continue $V_e=200V$ et un interrupteur type MOSFET (appelé transistor principal, transistor de puissance ou transistor à protéger), auquel peut être ajouté, un dispositif de protection. L'inductance parasite du câblage L_p en série avec

l'interrupteur de puissance est à l'origine des surtensions. Quelques grandeurs caractéristiques du hacheur série sont indiqués sur le tableau 1.

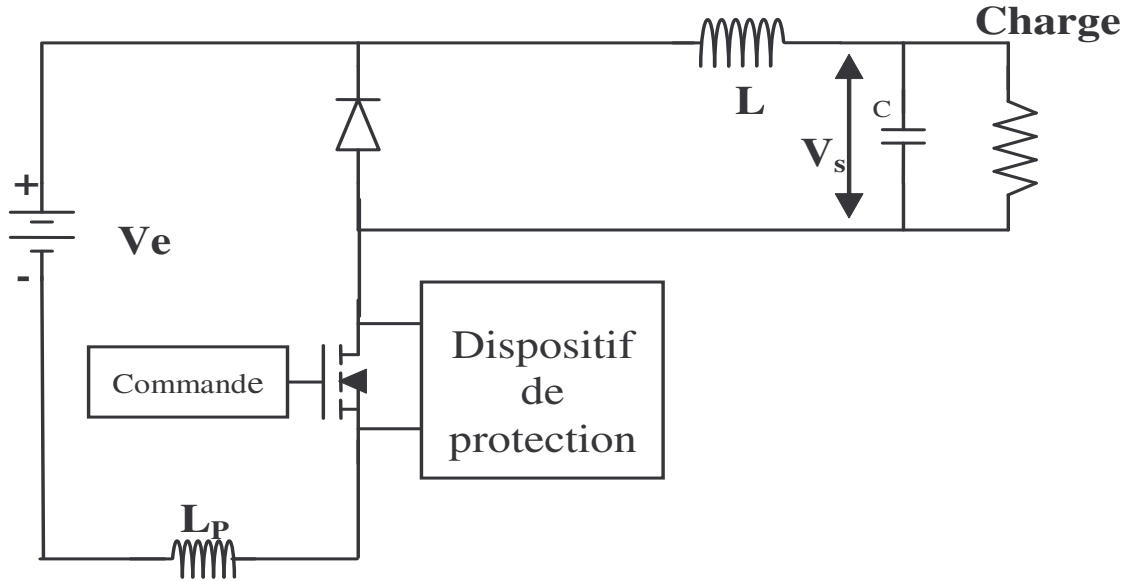


Figure 1.3. Schéma électrique d'une structure de puissance (hacheur série). Une inductance est ajoutée en série avec l'interrupteur de puissance pour générer des surtensions.

Prenons une inductance parasite de câblage L_p en série avec l'interrupteur de puissance d'une valeur de $0.1\mu\text{H}$. Pour une pente de di/dt assez importante, nous pouvons obtenir des surtensions à cause de cette inductance de l'ordre de quelques centaines de volts.

Composants actifs	<u>Tension</u> [V]	<u>Courant</u> [A]	<u>Capacités parasites</u> [pF]	<u>Temps caractéristiques</u> [nsec]
Interrupteur de puissance (deux IRF740s sont mis en parallèles et représentés par un seul transistor sur le schémas)	400	5.4	$C_{iss}=1200$	$t_r=25, t_f=24$
Transistor de protection (IRF710)	400	2	$C_{iss}= 170$	$t_r= 9.9, t_f=11$
Transistor de protection (TIP50)	400	1		$t_{ON} = 500, t_f = 300$
Diode de roue libre[BYW80]	200	8		$t_{rr}=25-35$
Composant passifs	<u>Valeur</u>			
Inductance du filtre de sortie L	1200 μH			
Capacité du filtre de sortie C	2200 μF , 350V, 7.5A			
Charge ohmique	Charge variable de 100Ohm et 3A maximum			
Inductance de câblage	10 μH			
Source de tension continue	Source variable de 0 à 200V 6A max			

Tableau1. Quelques grandeurs caractéristiques du hacheur série de figure 2.

Voyons maintenant quelles sont les solutions actuelles commerciales ou non, intégrées ou intégrables avec leurs avantages et leurs inconvénients. De cet état de l'art seront déduits les besoins éventuels, les performances attendues et les réalisations possibles. Nous concluons ce premier chapitre par la présentation « système » des structures de protections « intégrables » qui ont fait l'objet de ce travail de thèse.

1.D. Etat de l'art des circuits de protection en tension des transistors de puissance.

La protection en tension n'est pas un sujet nouveau. De nombreuses études sont déjà proposées et plusieurs solutions sont actuellement commercialisées.

Nous présentons dans la suite une étude descriptive et conclusive des solutions existantes de protection en tension pour les transistors de puissance. Nous allons, dans cette étude, comparer et montrer les points forts et faibles de chacune d'elles. Cette comparaison nous aidera à bien identifier les besoins associés à la fonction de protection pour dégager les caractéristiques fortes que doivent avoir la ou les solutions que nous proposons.

Les solutions que nous citons ci-après sont classées selon la position du circuit de protection par rapport à l'interrupteur à protéger, autrement dit l'interrupteur principal (voir figure 1.4). Nous allons comparer ces solutions en utilisant plusieurs critères comme la possibilité d'intégration du circuit de protection avec l'interrupteur principal autrement dit (la possibilité d'intégrer la solution via une compatibilité technologique avec le transistor principal), la qualité du circuit de protection représentée par son temps de réaction (les dynamiques de mise en conduction et d'extinction) et les performances et la fiabilité du circuit. Des points tels que le volume total du circuit de protection et la gestion du problème thermique seront aussi abordés.

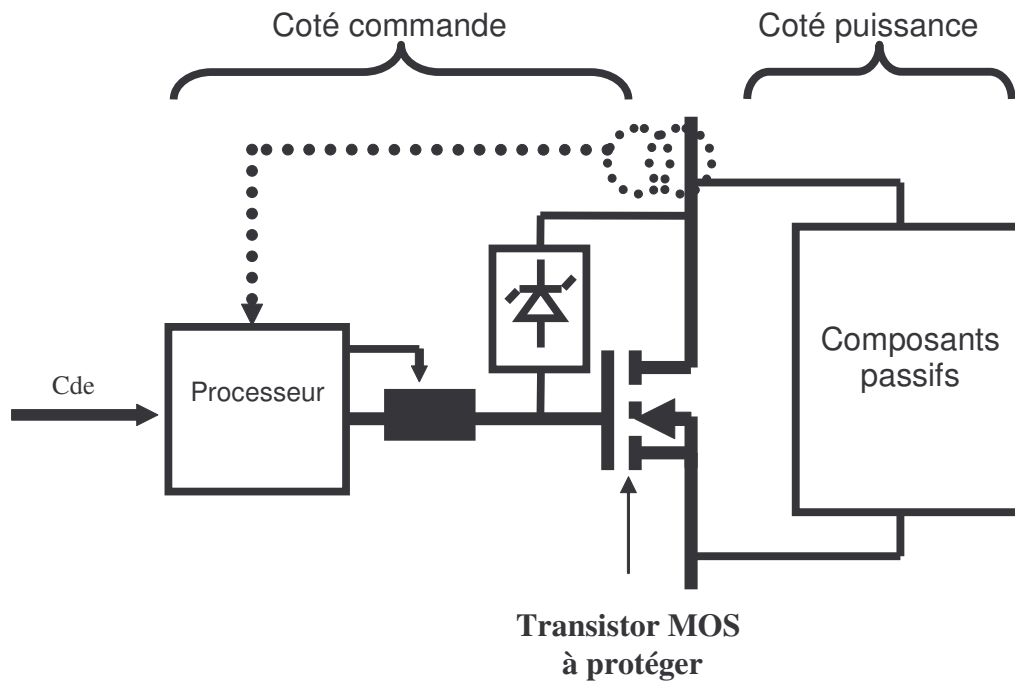


Figure 1.4. Classification des circuits de protection selon leur positionnement par rapport au composant principal.

I.D.1 Circuits de protection positionnés côté puissance du composant principal.

Le côté puissance de l'interrupteur principal se situe entre collecteur et émetteur pour le cas du transistor IGBT, et entre drain et source pour le cas du transistor MOSFET. Nous citons dans cette catégorie les circuits suivants:

I.D.1.a Circuits d'aide à la commutation (CALC).

Ce sont des circuits et dispositifs classiques très utilisés pour la protection en tension. Le principe de ces circuits consiste en l'ajout d'une capacité entre drain et source (ou collecteur et émetteur). Ainsi, la vitesse de commutation du transistor est ralentie et nous obtenons, comme conséquence, une réduction du pic de surtension générée à l'ouverture. La valeur du pic de surtension est alors directement liée à la valeur de la capacité ajoutée et à la quantité d'énergie qu'elle devra absorber. La décharge de l'énergie stockée dans cette capacité est effectuée à travers une résistance et le transistor lui-même quand il est amorcé [Zhang-94]. Le schéma électrique d'un des circuits CALC utilisés est présenté figure 1.5.

L'avantage de ce circuit réside dans sa simplicité et sa relative efficacité en terme de protection.

Par contre, La capacité ajoutée doit être dimensionnée pour supporter une grande partie du courant commuté et la pleine tension ce qui engendrera un coût et un volume qui peuvent être

conséquents pour des systèmes de forte puissance. En plus, elle engendre des pics de courants à l'amorçage des transistors qui peuvent être préjudiciables. Les composants du circuit de protection sont donc coûteux surtout avec la montée en courant ou en tension; leur volume et la technologie utilisée dans ce cas exclut toute possibilité d'intégration sur support silicium (du moins dans l'état de l'art actuel).

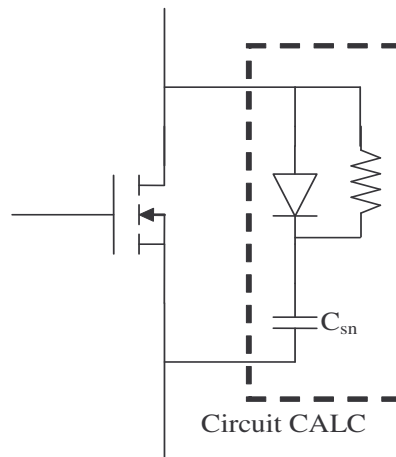


Figure 1.5. Le schéma électrique d'un MOSFET protégé par le circuit CALC

I.D.1.b Protection utilisant une diode à avalanche contrôlée en parallèle avec le transistor de puissance.

Les diodes à avalanche contrôlée [Loach-69] complètent la gamme de tension « d'écrêtage » des diodes Zener pour les tensions supérieures à 8V [Butler-01]; «On parle aussi des diodes Transil dans la littérature». Ces diodes peuvent être assemblées en série et en parallèle pour supporter les niveaux de tension ou de courant voulus. Elles peuvent être utilisées pour la protection en tension dans plusieurs configurations. Une de ces configurations est la mise de la diode en anti- parallèle entre drain et source (ou collecteur et émetteur) du transistor à protéger. Cette diode supporte toute la tension du transistor principal et doit supporter le niveau du courant de protection pour écouler l'énergie de surtension en cas de besoin. Les figures 1.6.a et 1.6.b montrent un schéma simplifié de ce circuit de protection et du hacheur série utilise cette technique.

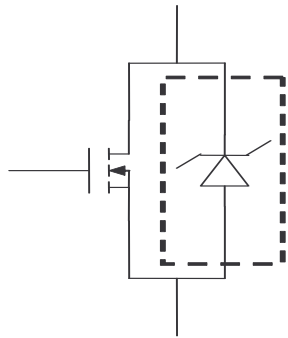


Figure 1.6.a Schéma électrique d'un transistor de puissance MOSFET protégé par une diode à avalanche en anti-parallèle.

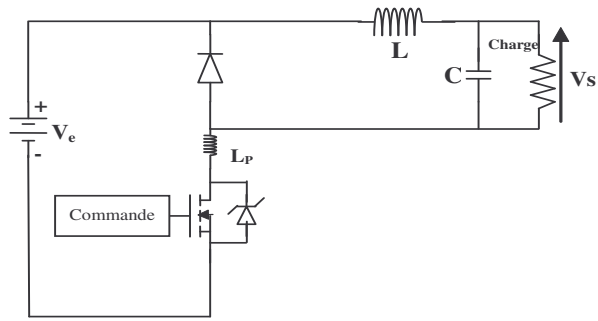


Figure 1.6.b Schéma électrique du hacheur série utilisant une diode à avalanche en anti-parallèle pour la protection.

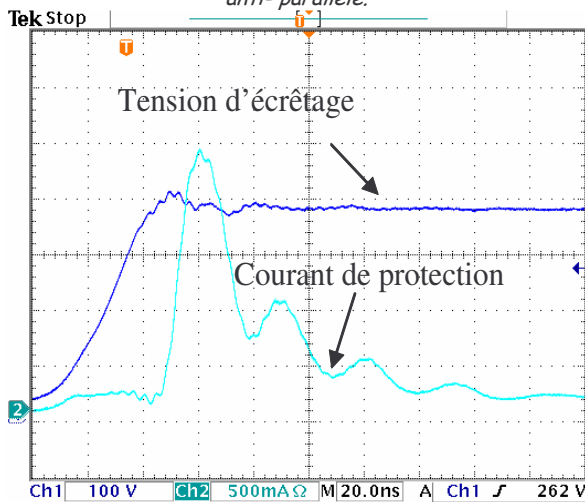


Figure 1.6.c. la tension aux bornes du transistor à protéger écrêtée à 350V avec le courant passant dans la diode pendant la protection

Ce circuit de protection a une structure simple. Le circuit reste quasiment invisible en régime de fonctionnement normal à part les pertes supplémentaires engendrées par la capacité parasite de la diode. Par contre, dans certains cas, pour les transistors de très grand calibre en courant, on doit utiliser plusieurs diodes à avalanche contrôlée en parallèle. Ceci peut poser des problèmes d'équilibrage en courant entre les diodes. Par ailleurs, la montée en tension limite la dynamique de la fonction de protection. Enfin, la partie connectique de l'assemblage sera non négligeable et génératrice de problèmes.

L'intégration de ce système de protection au sein du transistor principal est faisable facilement et sans modifier les processus technologiques de fabrication. Nous pouvons alors bénéficier des avantages de l'intégration avec des points positifs comme une connectique optimale, des moyens de refroidissement partagés, des gains de coût, de volume... Cette intégration est malheureusement accompagnée par deux inconvénients majeurs :

- La tenue en tension de la diode à avalanche intégrée et celle du transistor principal ont la même valeur. En conséquence, la protection opère à une tension comparable à la tension de

claquage du transistor principal. Ce genre de solutions est mis en avant dans les réalisations de composants MOSFETs de puissance de International Rectifier [IRF]. Le niveau de courant maximal dans la diode est comparable à celui du composant principal. L'inconvénient majeur réside dans le fait que les pertes dans la diode sont élevées et qu'on ne peut pas modifier le seuil de protection.

- La valeur du seuil de protection ne peut être ajustée lors de la conception d'un convertisseur puisqu'elle est totalement intégrée monolithiquement et non accessible. Ceci est limitatif dans certaines applications (résonance, association série). Une autre solution peut être envisagée pour diminuer légèrement la tension d'écrêtage du système de protection en jouant sur le claquage en périphérie des jonctions cylindriques de la diode [Yamazaki-93]. Cette solution joue sur la topologie de la jonction (P, v) pour diminuer la tension de claquage de la diode à avalanche. D'après cette étude, la différence entre la tension d'avalanche du transistor et celle de la diode reste relativement petite et ne correspond pas toujours aux besoins des applications. Dans le cas où nous voulons vraiment modifier la tension de claquage de la diode en anti-parallèle intégrée, il faut malheureusement faire des modifications importantes des procédures technologiques de fabrication du transistor de puissance à protéger (étapes supplémentaires, compromis...).

Commentaires :

La figure 1.6.c montre des résultats pratiques de la maquette du schéma électrique de la figure 1.6.b en utilisant la diode n° 1 du tableau 2 suivant:

Diode à avalanche n°1 (P6KE350A)	I=1.3A, V=350V
Diode à avalanche n°2 (trois petites diodes en série)	I=0.150A, V=200+100+50

Tableau 2 : les diodes à avalanche utilisées pour la protection dans le schéma de figure 2.

La figure 1.6.c montre la tension aux bornes du transistor à protéger pendant la commutation à l'ouverture avec un écrêtage théorique de 350V; la tension d'écrêtage mesurée vaut 375V. Cet écart vient du temps assez important de mise en conduction de la diode de protection. Plusieurs raisons peuvent générer ce phénomène; nous pouvons citer la grande capacité parasite de la diode, l'inductance de câblage reliant la diode,... Le courant de protection passant dans la diode est également montré sur cette figure. Le pic de ce courant arrive à une valeur de 2.5A pendant l'écrêtage. Le courant de protection dure 500 nsec et crée des pertes significatives dans la diode. Pour des applications de fort courant, nous devons donc utiliser

des diodes de fort calibre en courant donc de forte capacité parasite ce qui explique le ralentissement de la commutation et limite le système de protection.

Donc d'après ce que nous avons montré, cette solution ne respecte pas le cahier des charges du circuit de protection.

I.D.2 Circuits de protection positionnés côté commande du composant principal.

Ces circuits sont raccordés au composant principal à protéger entre son drain (ou collecteur) et sa grille (ou base). Ces circuits se distinguent par la réaction du circuit de protection sur la grille (ou la base) du transistor principal. En agissant sur le contrôle de charge appliquée ou retirée à la grille du transistor à protéger, on joue sur sa mise en conduction. Ainsi, nous pouvons permettre l'écoulement des charges au sein même du transistor avant que la tension à ses bornes ne devienne trop importante. Cette approche présente l'avantage de limiter le courant de protection dans les circuits. Ceci veut dire que la taille des composants diminue et que l'intégration d'une telle solution devient envisageable pour peu que la compatibilité technologique soit acquise.

Par contre, l'inconvénient essentiel de ce type de solution réside dans les dynamiques de réponse attendues. En effet, dans ce cas, nous jouons directement sur le composant de puissance en amorçant plus ou moins partiellement le passage du courant. De fait, nous devenons directement dépendant du temps de commutation du transistor. Il existe des situations où ce temps reste faible et cette solution devient efficace.

Dans la suite, nous présentons les solutions déjà existantes situées du côté commande du transistor à protéger.

I.D.2.a Protection utilisant une diode à avalanche contrôlée située entre le drain (collecteur) et la grille (base).

C'est la solution la plus simple parmi les solutions côté commande [G. Bonnet-01], [Sanchez-97], [Sanchez-00] et [X. de Frutos-94]. Elle consiste à raccorder une diode à avalanche D_z en série avec une diode D_B de signal entre le drain et la grille du transistor MOSFET comme le propose la figure 1.7.a. La diode D_b montée en série tête-bêche avec D_z empêche le court-circuit de la commande.

Dans la Figure 1.7.a, nous montrons le transistor de puissance avec sa diode à avalanche située entre son drain et sa grille. La figure 1.7.b. montre le schéma électrique du hacheur série déjà défini en utilisant la diode. Ainsi, en cas de surtensions aux bornes du composant

principal, la diode devient passante et modifie l'écoulement des charges dans la grille du MOSFET. Dès que la tension aux bornes du transistor redevient inférieure à la tension d'avalanche de la diode D_Z + la tension de seuil de D_B , la commande rapprochée reprend le contrôle du composant de puissance.

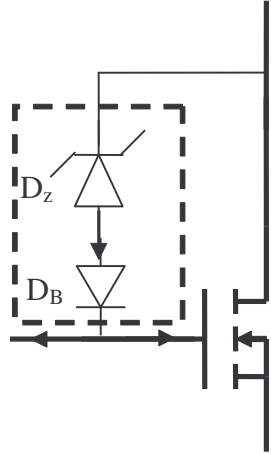


Figure 1.7.a. Le schéma électrique d'un transistor de puissance MOSFET protégé par une diode à avalanche entre drain et grille.

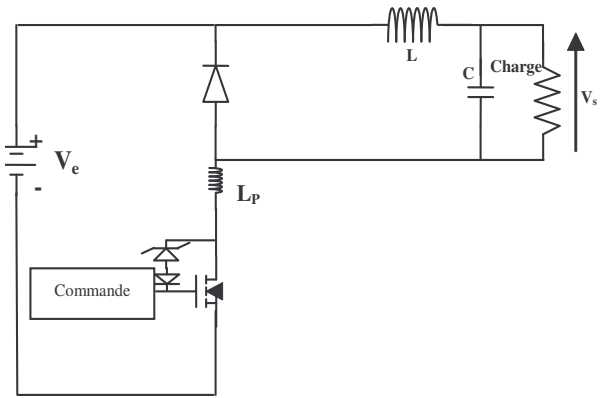


Figure 1.7.b. Le schéma électrique du hacheur série utilisant la diode à avalanche pour la protection.

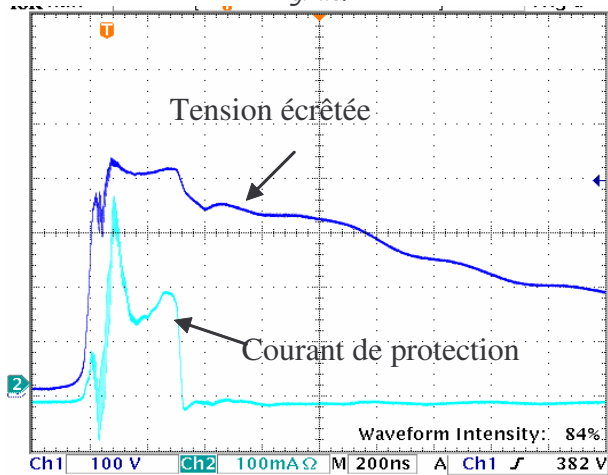


Figure 1.7.c. La tension aux bornes du transistor de puissance avec le courant de protection passant dans la diode n°2.

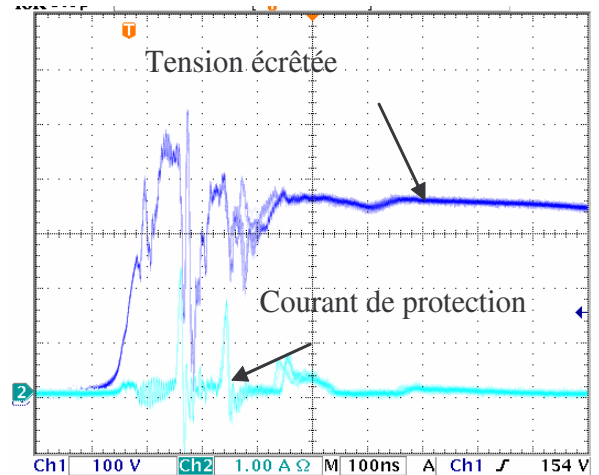


Figure 1.7.d. La tension aux bornes du transistor de puissance avec le courant de protection passant dans la diode n°1.

Comme cela fut déjà énoncé, l'intérêt de cette solution réside dans le fait que le réamorçage du transistor principal permet de limiter le stress de l'organe de protection (la diode à avalanche). Par ailleurs, on profite du gain du transistor de puissance pour diminuer le courant de protection passant dans la diode à avalanche. Ce courant (ou le gain du circuit de protection) est directement fonction du niveau d'écrêtage, et du comportement du composant à protéger. Les figures 1.8.a et b présentent une approche qualitative du comportement du dispositif et les résultats de simulations correspondantes. Les figures 1.8.c et 1.8.d montrent les tensions expérimentales aux bornes du transistor ainsi protégé pour deux niveaux d'écrêtage (350V, 400V) et le courant passant dans la diode. Il apparaît que, plus la tension

d'écèlement diminue plus le courant dans la diode à avalanche augmente pour une amplitude de surtension donnée. Ces résultats sont représentés d'une manière qualitative sur la figure 1.8.a. Dans cette figure, nous représentons les tensions aux bornes du transistor principal pendant l'ouverture pour des tensions de seuil V_{Z1} et V_{Z1} telles que $V_{Z1} > V_{Z2}$. Comme nous l'avons déjà expliqué, le courant de la diode zener pour le seuil V_{Z1} est inférieur à celui de V_{Z2} . Contrairement, la pente dI_{DS}/dt de V_{Z1} est supérieure à celle de V_{Z2} . La figure 1.8.b montre des résultats de simulation d'un hacheur série dont l'interrupteur de puissance (MOSFET) est protégé par une diode à avalanche en rétroaction pour deux cas: le premier est pour une tension d'écèlement de 200V et le deuxième est pour une tension d'écèlement de 170V. Nous remarquons qu'il y a un facteur 4 entre les deux courants de diode avalanche, sachant que la tension nominale appliquée est égale à 120V et le courant de la charge à 3A

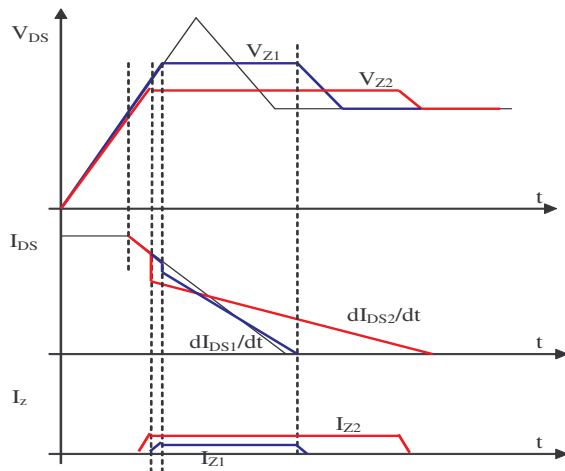


Figure 1.8.a Approche qualitative des formes d'ondes du transistor pendant la protection en utilisant une diode en rétroaction montrant le changement du calibre de courant de la diode en changeant le niveau d'écèlement.

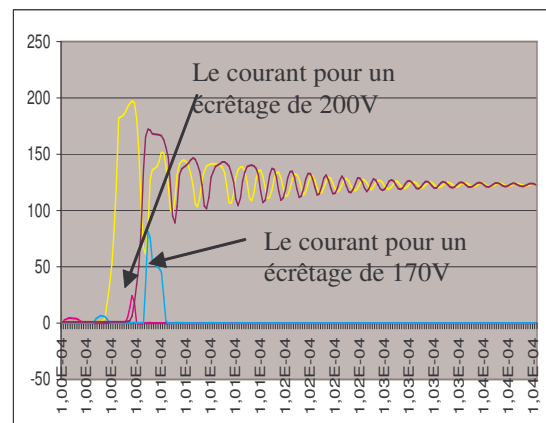


Figure 1.8.b Résultats de simulation pour deux niveaux d'écèlement (200 et 170V). les résultats montrent la tension aux bornes de l'interrupteur et le courant passant dans la diode de protection.

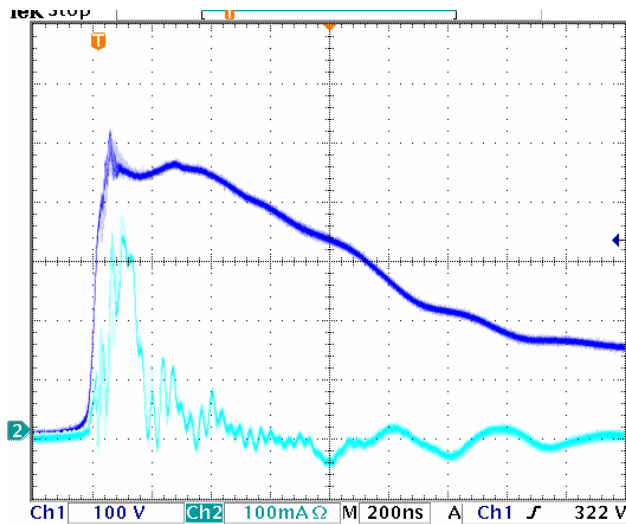


Figure 1.8.c Résultats expérimentaux validant l'approche qualitative. (écrêtage à 400V).

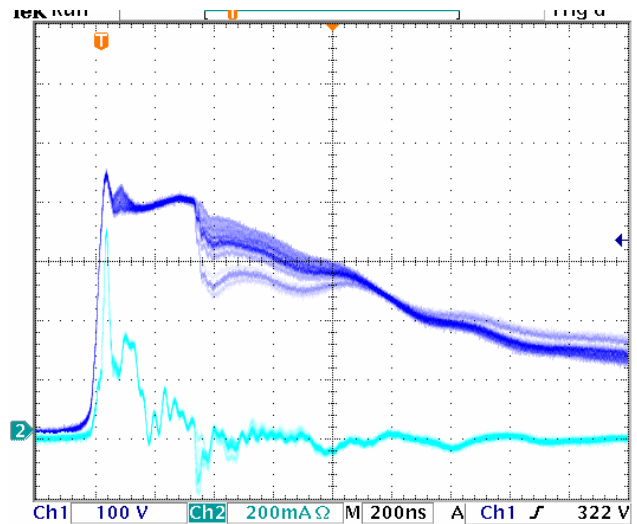


Figure 1.8.d Résultats expérimentaux validant l'approche qualitative. (écrêtage à 350V).

Le problème de cette solution est que la diode à avalanche doit passer un courant de protection assez important malgré le profit du gain du transistor principal. Ceci vient du fait que pendant la protection, la diode à avalanche doit laisser passer un courant suffisant qui va être absorbé par le circuit de commande rapprochée. Ce circuit consiste normalement en deux transistors en configuration push-pull. Pendant l'ouverture, le transistor du bas du push-pull est à l'état saturé ce qui fait consommer du courant par la diode. La figure 1.8.c montre des résultats expérimentaux en utilisant la diode n° 2 du tableau 2. Cette diode est composée de trois diodes de petit calibre en courant en série. Nous remarquons que le courant passant dans la diode apparaît pendant toute la durée de protection avec une valeur assez importante. Cette valeur va augmenter si le calibre du courant nominal du MOS augmente. Ceci pousse à utiliser des diodes de grand calibre en courant pour réaliser la protection. Cela signifie aussi que la capacité parasite de la diode augmente et donc que nous défavorisons la qualité de protection comme la figure 1.7.d le montre en utilisant la diode n°1.

De plus, la dynamique de protection n'est pas vraiment améliorée pour le cas de l'association en série des transistors. Pendant la fermeture des transistors en série, la diode doit fournir assez de courant pour amorcer le transistor le plus lent à la fermeture donc la durée de protection augmente ce qui détériore sa qualité.

L'intégration de cette solution est envisageable mais avec modifications des étapes technologiques de fabrication du transistor principal. Ceci est dû à l'ajout obligatoire de la diode D_B avec la diode à avalanche pour éviter de court-circuiter la commande du transistor principal [Yamazaki-93].

I.D.2.b Protection par ajustement de la commande du transistor principal :

Dans ce type de protection, nous utilisons un capteur donnant une image de la tension aux bornes du transistor principal (Plusieurs techniques sont envisageables). Cette image va être utilisée par un circuit de traitement analogique ou numérique pour modifier la commande du transistor principal de façon à agir sur le transfert de charge entre la commande rapprochée et la grille du transistor. Bien sûr, l'utilisation d'une boucle « d'asservissement » plus ou moins complexe peut pénaliser fortement la réponse en temps de ce dispositif.

Nous pouvons citer deux configurations de ce type de protection :

- La première configuration [Gerster-96] est montrée sur la figure 1.9. Dans cette figure, la tension drain source du transistor à protéger est captée et la sortie du capteur est envoyée vers un système de traitement numérique type « Digital Signal Processing ». Dans ce système, le signal est numérisé, puis, comparé avec la référence imposée. Selon le résultat obtenu, le DSP réagit sur la valeur de la résistance de grille ou sur la tension de commande pour ajuster la vitesse de commutation dV/dt du transistor principal et donc diminuer la valeur du pic de tension. Ce type de circuit utilise un système numérique pour gérer la protection puis agit sur la commande rapprochée du transistor. En réalité, ce système peut être exploité pour faire d'autres fonctionnalités comme l'équilibrage en statique dans le cas de la mise en série des transistors [Frey-EPE03]. Mais, dans le cas d'un seul transistor de puissance, ce système de protection devient très coûteux voire hors de prix compte tenu de la fonction réalisée. En plus, ce système se caractérise par sa petite vitesse de réaction due à l'enchaînement de plusieurs blocs fonctionnels (capteur, conversion analogique/numérique, DSP, contrôle de résistance ou de tension). Le temps de réaction peut dépasser les 1000nsec ce qui est au delà des limites imposées par notre cahier des charges. Il opère donc en différé sur la commutation suivante. De ce fait, il doit être couplé avec un système classique.

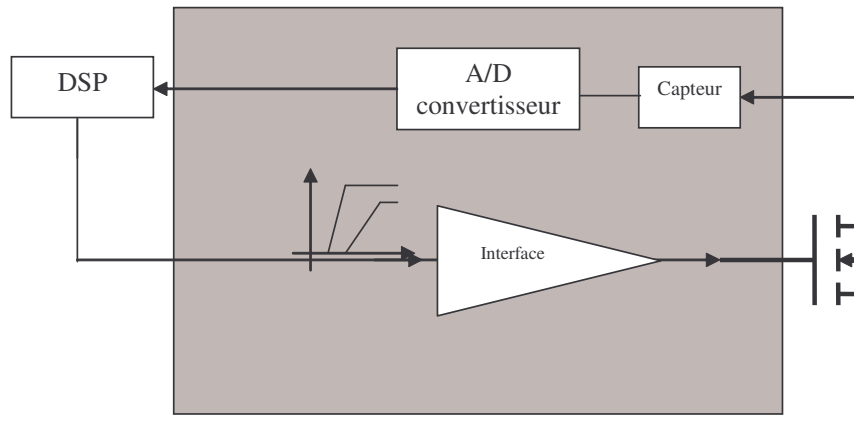


Figure 1.9. Circuit de protection en tension en utilisant un DSP.

- La deuxième configuration de ce type de circuit est montrée sur les figures 1.10.a et b. Dans ce schéma, on traite la tension captée analogiquement [Heath-99] ou par un circuit mixte analogique et numérique relativement simple [Nakatake-03].

Dans la figure 1.10.a, le principe de fonctionnement consiste à laisser le transistor de puissance principal se décharger par une faible valeur de résistance de grille. Ainsi, le transistor évolue à vitesse de commutation élevée, puis, lorsque la tension à ses bornes atteint un certain niveau, la configuration du circuit permet d'augmenter la valeur de la résistance pour faire ralentir la commutation en courant et donc diminuer l'amplitude du pic de tension.

Dans la figure 1.10.b, le capteur de tension envoie son signal de sortie à un réseau RC qui crée une partie du signal qui s'ajoute à son tour au signal de commande pour ralentir la vitesse de commutation.

Avec ces circuits nous avons un bon fonctionnement de la protection. En revanche, la complexité du circuit fait que cette procédure de protection est coûteuse et difficile à intégrer. Enfin, le comportement en temps réel semble particulièrement difficile à atteindre lorsque les vitesses de commutation sont élevées.

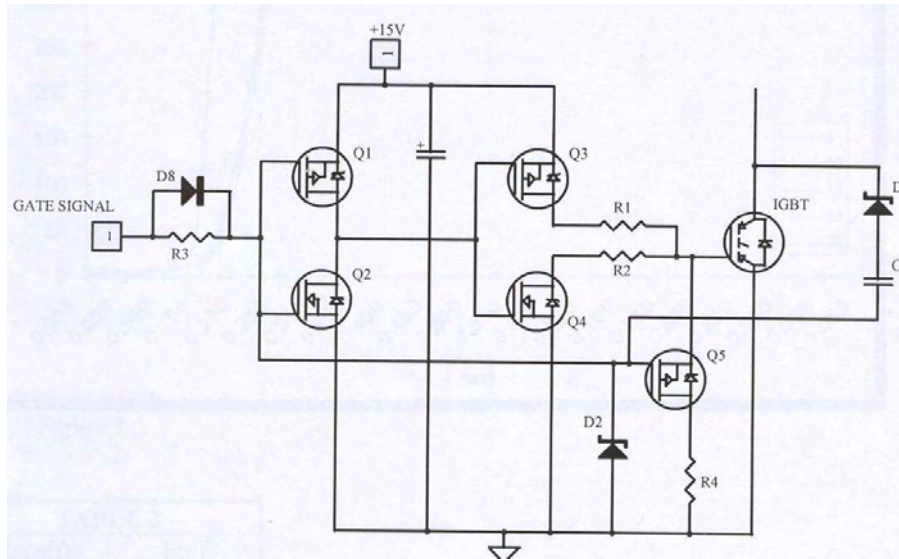


Fig1.10.a. Première exemple du circuit de protection analogique entre Drain et grille du MOSFET [Heath-99]

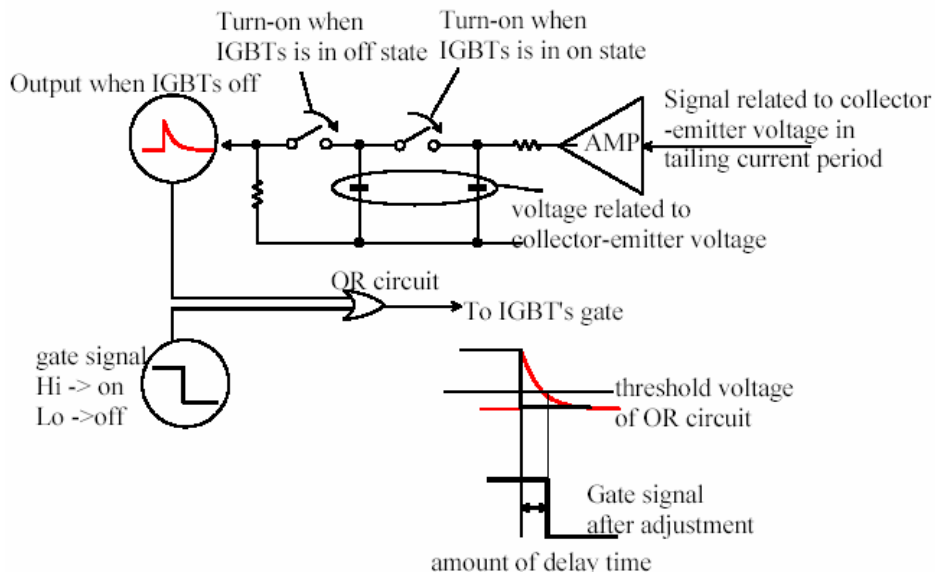


Fig1.10.b. Deuxième exemple du circuit de protection analogique entre Drain et grille du MOSFET [Nakatake-03].

Commentaires.

Nous venons de voir un éventail de solutions techniques et technologiques qui permettent de réaliser la fonction de protection en tension d'un transistor de puissance. La plupart de ces solutions offrent de bonnes performances. Certaines se limitent à des applications bien spécifiques. En général, ces solutions offrent des avantages et des inconvénients qui ouvrent des perspectives en terme de recherche. Comme nous l'avons dit au début de ce chapitre, le contexte actuel pousse à développer l'intégration sur silicium en électronique de puissance et encourage un travail de recherche qui consisterait à étudier l'intégration monolithique des fonctions de protection en tension. L'enjeu revient alors à créer une fonction dont les performances et la souplesse d'emploi seraient à la hauteur des exigences liées à ce problème

de protection (à savoir, rapidité, efficacité d'un point de vue électrique). Dans la suite de ce premier chapitre, nous allons présenter les perspectives de recherche en ce sens.

1.E. Nouveaux circuits de protection en tension.

A partir des solutions déjà citées et du contexte actuel de l'électronique de puissance, nous pouvons souligner les principaux enjeux de cette étude sur les circuits de protection. De nombreuses solutions étant déjà existantes, le travail, sur ce type de fonction, se doit de relever un certain nombre de défis tant du côté des performances et fonctionnalités que dans la simplicité de sa mise en œuvre et de son industrialisation. Nous pouvons donc dégager quelques points clés enfin d'établir le cahier des charges de ce travail de recherche:

1. En terme de performances, le dispositif de protection doit permettre de limiter l'élévation de tension au-delà d'une valeur définie par le concepteur. Cette limite doit être faiblement dépendante du niveau de charge en courant.
2. Le temps de réponse doit être suffisamment élevé pour éviter que, sous l'effet de dynamiques importantes, la protection ne soit défaillante.
3. La durée autorisée de la phase de protection doit être assez importante pour garantir la protection en tension sur une grande plage d'utilisation. La fonction créée devra pouvoir fonctionner de manière répétitive.
4. En terme de fonctionnalité, la protection en tension doit être ajustable par le concepteur en fonction de l'application réalisée et des contraintes propres à la conception des dispositifs. De plus, un travail de recherche sera mené pour dégager des pistes pour rendre ajustable par la commande cette fonction de protection.
5. La simplicité de la fonction concerne en particulier sa mise en œuvre. Celle-ci devra être élémentaire et avec le minimum de contraintes au niveau de la conception technologique. Son raccordement avec l'élément à protéger devra lui aussi être simple.
6. L'environnement thermique du dispositif de protection ne devra pas être trop contraignant.
7. Enfin, l'industrialisation du dispositif de protection ne devra pas poser de problème majeur (en nécessitant par exemple le développement de briques technologiques nouvelles). Autant que faire se peut, elle devra être voisine de celle du composant à protéger. Dans le cadre d'un processus d'intégration, la compatibilité technologique entre le composant à protéger et sa fonction de protection devra être garantie et cela au moindre coût.

Ce cahier des charges est particulièrement ambitieux, et seuls quelques points ont été abordés dans ce travail de thèse.

Si nous classons les circuits de protection précédents selon ces critères, nous pouvons dire que les circuits CALC sont des circuits coûteux et volumineux.

Pour les circuits de protection utilisant des diodes à avalanche contrôlée du côté puissance, nous pouvons considérer que la solution est peu coûteuse car les diodes de signal associées en série et en parallèle sont celles du marché avec un coût raisonnable. Par contre le temps de réponse de ce système de protection peut être relativement élevé. De plus, le problème d'équilibrage entre les diodes en parallèle reste primordial. Enfin, la tension d'écrêtage n'est pas modifiable si la diode est intégrée.

Dans le cas d'une diode de protection insérée côté commande, nous arrivons à bien réduire la taille et donc le coût des composants. En revanche, le système réagira moins rapidement à cause du temps consommé par le transistor de puissance pour se réamorcer. L'intégration de cette diode est possible mais nécessite une modification du processus technologique tout en supprimant la flexibilité du seuil.

Les solutions que nous proposons ci-après, présentent l'avantage du circuit de protection côté commande en profitant du gain du transistor pour réduire la taille de la diode. En même temps, elles profitent de l'avantage du circuit de protection côté puissance au niveau de la rapidité de réaction et du vieillissement du transistor principal. Ce circuit se compose de deux parties essentielles: le capteur de tension (la diode à avalanche contrôlée) qui détermine le seuil et le transistor de protection permettant l'amplification du courant.

La figure 1.11 montre le schéma fonctionnel de cette famille des circuits de protection dont le principe est le suivant:

Lorsque la tension aux bornes du transistor principal arrive à la valeur d'écrêtage choisie par le concepteur (égale à la valeur nominale de la diode à avalanche), cette diode devient conductrice et polarise le transistor de protection. Quand la tension aux bornes de résistance R_B atteint une valeur suffisante le transistor de protection commence à conduire et joue le rôle de l'amplificateur de courant. Il s'arrête de conduire quand il n'y a plus de courant passant dans sa base, autrement dit quand la diode à avalanche contrôlée ne laisse plus passer le courant de polarisation du transistor. Ceci se passe quand la tension aux bornes de cette diode devient inférieure à la valeur d'écrêtage. La résistance R_B permet de décharger la grille ou la base du transistor de protection pour le bloquer quand la diode d'avalanche ne conduit plus. Donc ce circuit de protection fonctionne seulement quand il y a un dépassement de tension aux bornes du transistor principal et il s'arrête dès que la tension revient à une valeur

inférieure. Nous obtenons donc par ce circuit une fonction de protection en tension satisfaisante.

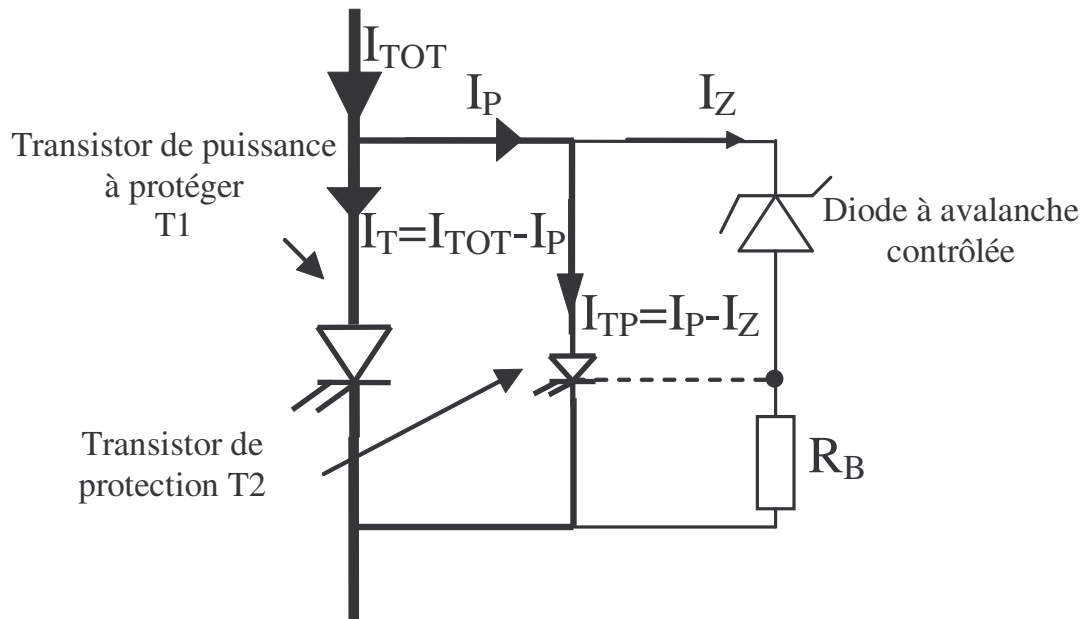


Fig.1.11. Schéma fonctionnel du nouveau circuit de protection en tension.

Le fait de décharger les surtensions principalement par un amplificateur du courant (réalisé par un transistor) diminue la taille de la diode par un facteur égal au gain de cet amplificateur. Les avantages d'utiliser une diode à avalanche d'une petite taille sont une meilleure précision de la tension de seuil, la réduction du problème d'auto focalisation du courant apparaissant dans les diodes de grande taille et une capacité parasite plus faible (ce qui augmente la rapidité du circuit de protection).

I.E.1 Avantages du circuit de protection proposé.

Nous avons dégagé dans la première partie de ce paragraphe les limites des solutions de protection en tension existantes. Même si la plupart d'entre elles offrent des performances acceptables, aucune ne semble être la solution idéale ou optimale. Notre objectif est donc de proposer une structure « partiellement » intégrée qui offrirait un bon compromis d'ensemble des différentes solutions présentées ou existantes. **Nous proposons donc de tenter l'intégration, au sein du composant à protéger, d'une fonction de protection en tension dont le seuil resterait réglable ou plutôt ajustable de « l'extérieur ».**

I.E.1.a Intégration du circuit de protection.

Le contexte économique pousse bien évidemment dans la direction de l'intégration de fonctions et à l'utilisation de des modes de fabrication collectifs. Tout ceci permet d'augmenter la valeur ajoutée des composants ainsi créés. Des domaines d'applications comme le marché grand public de l'électroménager, la HI-FI et le multi média ou encore de l'automobile ne cessent de chercher à améliorer les performances, les fonctionnalités et la fiabilité des composants. L'intégration sur silicium peut alors être une bonne source de progrès, mais peut aussi être profitable en soi. En effet, via un processus d'intégration astucieux, nous pouvons aussi envisager une amélioration des performances ou une coexistence qui au lieu d'être un problème devient un atout. C'est là tout l'enjeu de notre travail: faire en sorte que l'intégration ne se cantonne pas à densifier les fonctions mais aussi qu'elle participe à part entière à la création de fonctionnalités aux performances inédites.

On connaît deux façons d'intégrer des éléments: soit de manière hybride [Schuetze-02], soit de manière monolithique [Frey-03]. Dans l'intégration hybride, nous assemblons dans le même boîtier les composants à intégrer sous forme puce ou CMS (composants montés en surface). A l'intérieur de ce boîtier, nous relient les puces par des fils métalliques (bondings) sur circuit imprimé [Frey-03]. Chaque puce est fabriquée de manière indépendante et optimale (suivant son propre procédé de fabrication). Dans le cas de l'intégration monolithique, nous réalisons tous les composants dans la même puce du semiconducteur avec les connectiques associées. Tous les composants subissent le même procédé technologique créant ainsi une forte contrainte en terme de compatibilité et d'optimisation. Par ailleurs, l'utilisation d'un même support (dans notre cas le silicium) augmente les interactions.

Nous avons dégagé ci-dessus des avantages potentiels de l'intégration d'une fonction de protection au sein d'un composant de puissance: connectique minimale, refroidissement performant et économie de silicium.

La connectique minimale entre le composant et son dispositif de protection permet de maximiser les dynamiques de réponse et donc d'optimiser les performances en terme de qualité de protection. Il va de soi que plus la protection agit vite, moins la surtension est importante aux bornes du composant de puissance.

L'association de la protection et du composant au sein d'un même boîtier permet de profiter des moyens de refroidissement et de partager la surface d'échange avec ceux-ci. Cela permet d'un coté comme de l'autre d'améliorer le comportement thermique de la puce. En effet, la puce finale ainsi créée a une surface plus grande. Or, c'est précisément cette même surface qui

est essentielle dans le comportement thermique du composant. Par ailleurs, les deux fonctions ne travaillent « jamais » ensemble. De fait, les deux parties peuvent bénéficier du voisinage pour accroître leurs performances en terme de refroidissement.

Le dernier avantage de l'intégration des deux éléments est le partage des terminaisons en tension. En effet, les deux composants sont soumis aux mêmes contraintes en tension aux mêmes instants. Ils peuvent donc être associés dans la même périphérie en tension ce qui permet d'économiser en surface totale de puce.

Nous avons vu que les deux parties de la puce (transistor principal, transistor de protection) travaillent en alternance et que chaque partie profite thermiquement de l'autre. Ici, la question suivante qui se pose est: quelle est la meilleure distribution des cellules de protection dans les cellules du transistor principal pour avoir un rendement du refroidissement maximum ? En même temps, la solution ne doit pas oublier que la structure proposée doit être faisable technologiquement. Dans les figures 1.12.a.b, nous prenons comme exemples, deux configurations différentes de la distribution des cellules de protection, d'un transistor MOSFET comme transistor de protection, dans les cellules d'un transistor principal (un MOSFET):

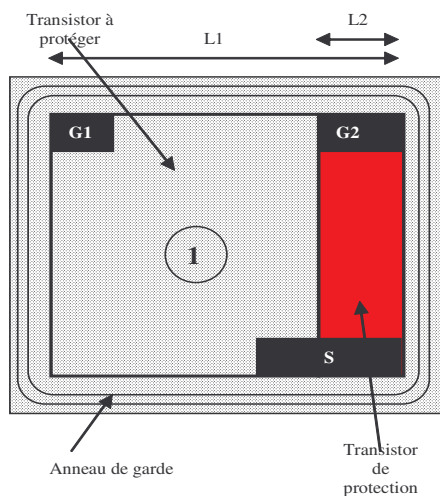


Figure 1.12.a Une 1^{ère} configuration de la distribution des cellules de protection dans les cellules du principal.

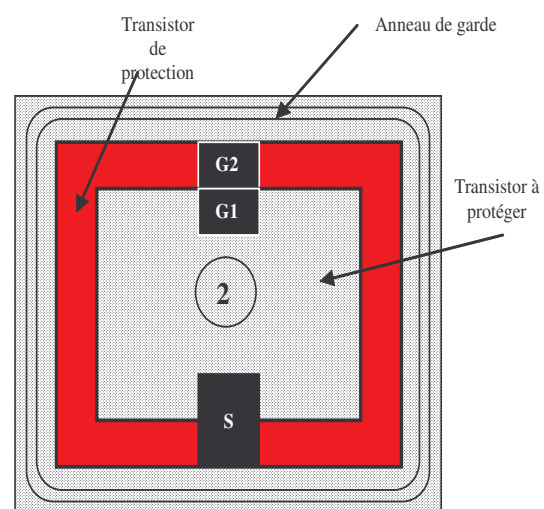


Figure 1.12.b Une 2^{ème} configuration de la distribution des cellules de protection dans les cellules du principal.

Dans la figure 1.12.a, le transistor de protection est positionné à droite du transistor principal et occupe 1/5 de la surface totale de la puce. (On a $L_2 = 1/5 L_1$). Le transistor de protection et le composant principal sont entourés par les anneaux de garde. La surface d'échange entre les deux transistors est caractéristique des échanges thermiques entre les deux parties qui augmentent avec elle.

Pour optimiser l'échange thermique, nous proposons la configuration de la figure 1.12.b. Dans cette configuration, les cellules du transistor de protection sont autour du composant principal et en même temps elles sont entourées par sa périphérie. Ceci double la surface d'échange entre les deux composants et donc améliore le rendement thermique et la distribution de chaleur.

Pour bien sentir cet aspect important, une modélisation thermique sur Matlab des transistors principal et de protection est démontrée dans le deuxième chapitre. Cette modélisation étudie l'échange thermique entre les trois parties de la puce (cellules du transistor principal, cellules du transistor de protection et périphérie) et propose plusieurs configurations dans le but d'améliorer cet échange.

I.E.1.b Réglage de la tension de seuil du circuit de protection.

Dans certaines applications, la nécessité de régler la tension de seuil de protection apparaît importante voire incontournable. Dans des applications de haute tension, les composants qui assurent le découpage des grandeurs électriques peuvent être obtenus par la mise en série de plusieurs modules. Sachant que la tension maximale que peut supporter un transistor en silicium monocristallin est de l'ordre de 6.5kV [Schuetze-02], nous voyons que selon la topologie du circuit, plusieurs unités devront être associées en série. Le problème de l'équilibrage en tension de ces composants est primordial. Les travaux de [Frey-03] ont clairement mis en évidence l'importance d'un dispositif de protection et d'équilibrage sur ces composants en série. Il ressort de cette analyse que, pour des raisons de fiabilité et de durée de vie, la tension d'écèlement doit être maintenue fortement inférieure à la tension maximale admissible par le transistor élémentaire soit environ la moitié. On découvre à travers cet exemple l'intérêt que représente la possibilité de réglage du seuil de protection en tension. L'intégration monolithique ne favorisant pas en général cette forme de souplesse, il nous revient donc de pousser notre analyse afin de concevoir des structures de protection en tension qui seraient partiellement ou totalement intégrées mais dont le seuil d'écèlement resterait ajustable lors de la conception du convertisseur.

Nous pourrions même pousser plus loin l'analyse pour rendre ajustable ce seuil en cours de fonctionnement, c'est-à-dire durant la mise en situation réelle. Cela se ferait via un élément, un composant ou mieux, via un potentiel de commande. On pourrait alors, par exemple, augmenter la fiabilité d'une structure association série en modifiant le seuil en fonction du nombre d'unités en court-circuit suite à une défaillance (ceci pour assurer une marche dégradée). D'autres applications pourraient bénéficier d'une telle fonctionnalité pour autant

que le prix à payer en contre partie ne soit pas trop élevé (en terme de performance tout d'abord).

I.E.1.c Compatibilité technologique du circuit de protection.

La structure de base à intégrer monolithiquement avec le composant de puissance se doit d'être compatible avec la technologie et le procédé de fabrication du transistor à protéger; il serait souhaitable que le procédé de fabrication soit au maximum commun pour minimiser le surcoût. Aussi, notre objectif sera de n'avoir aucune influence sur le procédé de fabrication du composant de puissance tant au niveau du masque qu'au niveau de la partie du diagramme de cheminement qui le concerne. Seules des étapes élémentaires pourront être ajoutées ou intercalées au cours de la fabrication. Ces points seront abordés plus longuement dans le troisième chapitre sur la conception et la réalisation des composants.

I.E.1.d Performances du circuit de protection.

Nous souhaitons positionner ce travail par rapport aux structures existantes en terme de performances. Notre objectif consiste donc à prendre en compte ce critère dès le début de l'analyse afin de favoriser la conception d'un dispositif attractif du point de vue des performances.

Nous allons, dans la suite de ce chapitre, donner un aperçu des performances attendues pour les circuits de protection proposés en comparant leurs résultats pratiques avec ceux des différents circuits existants. Cette comparaison se base sur des maquettes réalisées avec des composants discrets. Le deuxième chapitre présente des résultats de simulation du modèle que nous proposons. Cette modélisation nous aidera aussi à comparer théoriquement nos circuits de protection et les circuits existants. La validation du modèle et la comparaison avec les résultats expérimentaux obtenus sur le circuit de protection sont traitées dans le quatrième chapitre.

I.F. Solutions proposées en protection en tension.

Afin de répondre à plusieurs critères du paragraphe précédent, nous rappelons que seul l'élément de dissipation (le transistor de protection) sera intégré pour profiter au mieux des fruits de l'intégration. Il concentrera la majeure partie des pertes et du courant (via l'écoulement des charges sous forte tension) et permettra de minimiser l'impact de la connectique tout en bénéficiant des moyens de refroidissement communs au transistor à protéger. Pour ce qui est de la partie « commande » ou plus simplement capteur ou encore

moyen de réglage, un élément extérieur devra être rajouté. Nous aboutissons alors à une solution hybride partiellement intégrée, censée tirer profit de chaque point pour arriver à une solution optimale. Les quelques lignes ci-dessus présentent l'état des réflexions à l'origine de la thèse; Cette approche a fait l'objet d'un dépôt de brevet [Alkayal- Brevet-1], [Alkayal- Brevet-2]. Dans la suite de ce chapitre, nous allons développer notre réflexion pour aborder les différents points bloquants, les remises en questions et le cheminement de notre travail pour finalement aboutir à plusieurs solutions. La base de notre travail sera le transistor MOSFET de puissance. C'est ce type de transistor que nous chercherons à protéger et c'est donc son procédé de fabrication (technologie MOS vertical double diffusé) qui fera référence dans la conception du dispositif de protection en tension. Lorsque cela sera possible, nous proposerons des résultats pratiques pour illustrer notre démarche. Nous aborderons en fin de chapitre et très succinctement le cas de l'IGBT qui reste un composant voisin au MOSFET de puissance.

I.F.1 Protection monolithique en tension par amplification de courant.

Un des principaux verrous du système de protection en tension est la diode à avalanche contrôlée. Comme son nom l'indique, contrôler l'avalanche signifie que sous fortes contraintes thermiques, les phénomènes de focalisation resteront limités, du moins dans une certaine mesure, ceci impose que la section utile du composant devrait être faible donc sa résistance série importante. Son seuil d'avalanche est sensible au niveau de courant qui la traverse et souvent plusieurs unités doivent être associées en parallèle pour atteindre les densités de courant acceptables. Comme nous l'avons expliqué précédemment, on lui adjoint un transistor amplificateur de courant suivant le schéma très classique présenté figure 1.11.

Dans notre réalisation [Alkayal-IAS04], seul le composant amplificateur, un transistor NPN du circuit de protection dans la figure 1.13.a ou un transistor MOSFET du circuit de protection dans la figure 1.13.b, serait intégré au composant de puissance. En fonction du gain du montage (rapport du courant dans le transistor sur celui dans la diode à avalanche), la majeure partie des pertes et du courant circulerait dans le transistor, c'est ce que nous souhaitons faire.

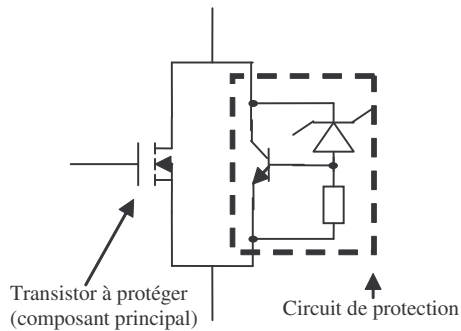


Figure 1.13.a Transistor MOSFET à protéger avec le circuit de protection proposé en utilisant un BJT comme transistor de protection.

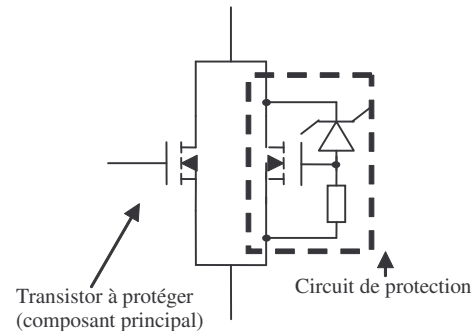


Figure 1.13.b Transistor MOSFET à protéger avec le circuit de protection proposé en utilisant un MOSFET comme transistor de protection.

Derrière cette approche se cachent deux verrous majeurs qu'il va falloir étudier et analyser. Le premier concerne la dynamique de réponse d'une telle solution où un capteur vient actionner un autre élément avec le retard que cela peut induire. L'autre point important concerne, quant à lui, le comportement en régime extrême du transistor de protection lorsqu'il est fortement sollicité (choc thermique, dérive en courant, problème de focalisation...). L'investigation de chacun de ces points a fait l'objet d'un soin particulier dont l'étude et les résultats seront présentés dans les chapitres suivants de ce mémoire.

La prise en compte de la compatibilité technologique et de l'intégration de ce type de fonction doit aussi être abordée. C'est un point important car notre objectif final repose sur un effort minimum sur le plan technologique et une absence totale de modification du procédé de fabrication du composant principal. Sur le plan des grandeurs électriques dimensionnant, le composant principal et son homologue sont tous deux soumis à des contraintes comparables. Coté tension, les deux composants sont soumis aux mêmes tensions et aux mêmes instants ce qui permet d'imaginer que les deux peuvent coexister dans la même puce et au sein de la même périphérie en tension. Le calibre en courant est identique pour les deux composants mais la différence majeure repose sur la tension à l'état passant. Le transistor principal doit avoir une tension de saturation la plus faible possible à l'état passant pour garantir un minimum de perte. Ceci impose donc dans le cas d'un MOSFET de puissance de dimensionner une surface active en fonction de la résistance à l'état passant désirée. Par contre, le transistor de protection fonctionne en mode plateau. Sa résistance à l'état passant sera donc fortement modulée par action sur la grille (ou la base) et, de ce fait, sa surface active peut être plus réduite. Il reste alors à déterminer les possibilités d'intégration en terme de composant associé à un transistor de puissance de type MOSFET vertical. Pour ce faire, une bonne connaissance du procédé de fabrication du composant MOSFET concerné est nécessaire. Ces points sont clairement détaillés dans le chapitre III qui présente les aspects

technologiques plus en détail. Il apparaît que la technologie MOSFET vertical double diffusé permet de concevoir bien évidemment le même type de composant, mais aussi, un transistor bipolaire tous deux verticaux.

Le choix du composant de protection doit se baser sur deux points: créer une fonction de protection la plus efficace (temps de réponse, gain de courant) via une compatibilité technologique maximale.

L'évaluation de ce type de solutions a fait l'objet d'une série de tests expérimentaux pour voir les performances susceptibles d'être atteintes en terme de protection en tension. Ces tests expérimentaux ont été menés à partir du hacheur série de figure 1.3. Dans cette structure, le choix des interrupteurs de puissance discrets a été fait pour rester compatible avec le rapport de surface active d'environ 1/5 que nous avons retenu dans notre projet d'intégration. Nous avons choisi deux MOSFET IRF740 en parallèle comme transistor à protéger et un MOSFET IRF710 comme transistor de protection et nous obtenons les résultats de figure 1.14. La tension appliquée vaut 200V, l'écrêtage est fixée à 350V.

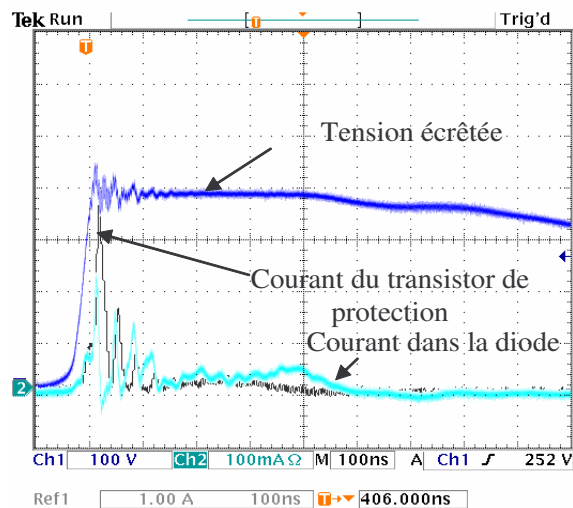


Figure 1.14.a Tension aux bornes du transistor principal avec le courant passant dans le MOSFET de protection et le courant passant dans la diode pour $R_B=100\text{ ohm}$.

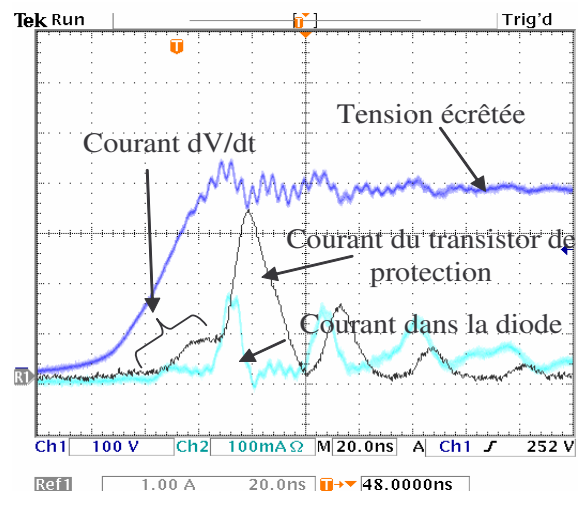


Figure 1.14.b La tension aux bornes du transistor principal avec le courant passant dans le MOSFET de protection et le courant passant dans la diode pour $R_B=100\text{ ohm}$ (zoom).

La résistance R_B joue un rôle important dans l'optimisation du circuit. En augmentant cette valeur, nous augmentons le gain en courant du transistor de protection (donc nous diminuons la taille de la diode). En diminuant la valeur de cette résistance, nous augmentons la rapidité à l'ouverture mais pas à la fermeture (le temps de décharge de la base ou grille du transistor de protection) mais en revanche, nous diminuons son gain. Donc un compromis est à trouver selon l'application pour au point optimal de fonctionnement.

Les figures 1.14 a,b, montrent la tension aux bornes du transistor principal pendant la phase d'ouverture. Cette tension a, tout au début, un pic qui dépasse 350V à cause de l'inductance de $L_p=10\mu\text{H}$ placée en série avec le transistor principal. Cette tension est écrêtée à 350V. Le courant qui passe dans le transistor de protection et celui qui passe dans la diode à avalanche sont indiqués sur les figures. Pour R_B égale à 100 Ohm, nous avons un gain de 17.5 entre les deux pics de courants. Le temps de montée du courant du transistor de protection est de l'ordre de 10nsec. Le temps de descente est le double et égal à 20nsec. Un courant apparaît au départ et avant le dépassement de tension de seuil. Ce courant est créé par le dV/dt sur la capacité de rétroaction entre le drain et la grille du transistor de protection comme nous allons le voir en chapitre II. R_B a une influence considérable sur ce courant.

Dans les figures 1.15, nous utilisons un transistor bipolaire (TIP50) dans le circuit de protection. Malheureusement, nous n'avons pas trouvé dans le marché disponible pour le LEG un BJT ressemblant au niveau caractéristique au MOSFET IRF710 (au niveau du courant, des temps t_r et t_f et du gain) donc la comparaison entre ce transistor et le MOSFET de protection précédent n'est pas tout à fait significative parce que le TIP50 est beaucoup plus lent que le IRF710 ($t_r = 9.9\text{nsec}$ pour le MOSFET devant 500nsec pour le BJT). Ceci est visible sur les résultats pratiques des figures 1.15 avec une qualité de protection moins bonne que pour le IRF710. Cette mauvaise qualité est représentée par le fait que la tension redescend après l'écrêtage parce que le courant de protection dure relativement longtemps (200nsec); nous avons en plus un faible gain en courant de l'ordre de 2. Donc la vraie comparaison sera théorique et présentée dans le chapitre II. Nous pouvons dire, d'après ces résultats, qu'avoir un transistor de protection rapide est un point très important pour garantir une bonne qualité de protection: rapide à l'ouverture pour écrêter les pics de tension et rapide à la fermeture pour ne pas faire descendre la tension au-delà de sa valeur nominale ou même annuler cette tension, ce qui peut être dangereux dans certaines applications.

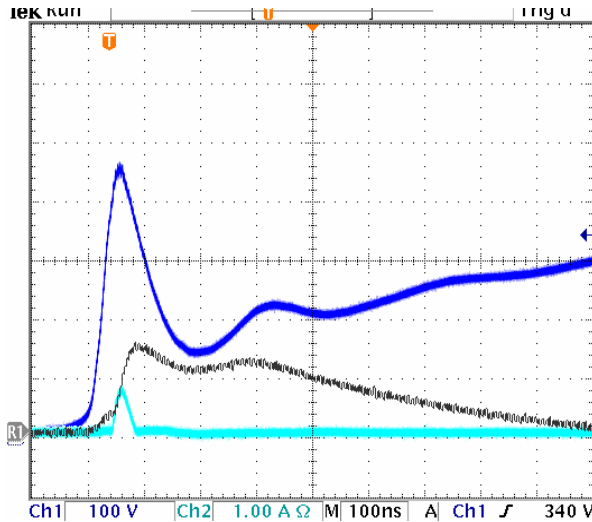


Figure 1.15.a Tension aux bornes du transistor principal (en bleu foncé) avec le courant passant dans le transistor de protection (BJT) (en noire) et le courant passant dans la diode (en bleu claire) pour $R_B=100\text{ ohm}$.

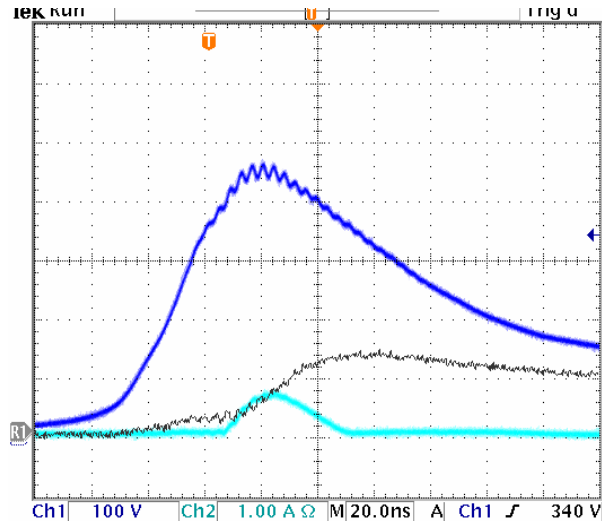


Figure 1.15.b Tension aux bornes du transistor principal avec le courant passant dans le transistor de protection (BJT) et le courant passant dans la diode pour $R_B=100\text{ ohm}$. (zoom)

Commentaires.

Les figures précédentes valident le fonctionnement du circuit de protection proposé. En revanche, à cause des choix limités des composants, nous ne pouvons pas faire une comparaison complète entre notre circuit et les autres au niveau de la vitesse et donc du dépassement.

I.F.2 Protection en tension par le contrôle d'avalanche d'un dispositif intégré monolithiquement.

Nous pouvons remarquer que l'utilisation d'un composant auxiliaire de type MOS ou BJT est compatible avec la fonction à réaliser. En réalité nous sommes face à plusieurs points à aborder pour garantir le bon fonctionnement et l'efficacité de ce circuit de protection.

Ces différents points nous ont poussé vers l'étude et l'analyse de solutions différentes qui permettraient de maintenir les choix que nous avons faits en terme de fonctionnalités et d'intégration. L'idée est toujours la même: faire passer le courant de protection par un dispositif hors du composant principal et en même temps l'intégrer avec ce dernier. Celui ci doit avoir une tension de seuil contrôlée de l'extérieur. Ceci nous fait penser à utiliser le transistor BJT mais avec une tension d'avalanche contrôlée. Si nous retirons dans le circuit de protection proposé la diode à avalanche, le BJT va être bloqué. Ceci n'est aussi valable que quand la tension à ses bornes ne dépasse pas la tension d'avalanche de ce transistor. Dans le

cas contraire, le transistor va partir en avalanche et conduire du courant qui va décharger le transistor principal et donc le protéger contre les surtensions. Ceci va durer des centaines de nsec ou même quelques micro secondes ce qui n'est pas destructif pour le transistor de protection. Donc la fonction de protection est réalisée et le transistor est protégé. Dans un pareil circuit, nous nous trouvons devant une problématique: comment déterminer la tension de seuil de protection? En absence de diode à avalanche, le transistor part en avalanche à une valeur comprise entre V_{CE0} et V_{CES} . Cette valeur est contrôlée principalement par la résistance R_B dans le cas du BJT. L'étude de la dépendance de la tension d'avalanche avec R_B semble difficile à mener à bien surtout que d'autres facteurs comme la température peuvent réagir. Ce dernier point nous a poussé à trouver une autre méthode de modifier la tension de seuil de protection. Pourquoi ne pas avoir une structure dont la tension de claquage pourrait être modifiée? Nous nous sommes alors intéressés au composant JFET vertical dont les caractéristiques, en fonction des contraintes de réalisation pouvaient correspondre à nos besoins. En effet, le JFET vertical, issu du procédé de fabrication du MOSFET vertical double diffusé, présente généralement une caractéristique de type triode dont la tension de seuil ou de pincement est contrôlée par la polarisation entre grille et source. Le relevé de simulation électrique Silvaco ci-après (voir figure 1.16) présente la caractéristique statique d'un JFET vertical. On peut voir que le seuil de mise en conduction du composant est fonction de la tension de grille V_{GS} et qu'il peut varier sur une grande plage. En revanche, l'état passant d'un composant, les dynamiques de commutation et le comportement en régime extrême doivent être étudiés. Son comportement et son adaptation à notre application fait l'objet d'une perspective de ce travail de thèse.

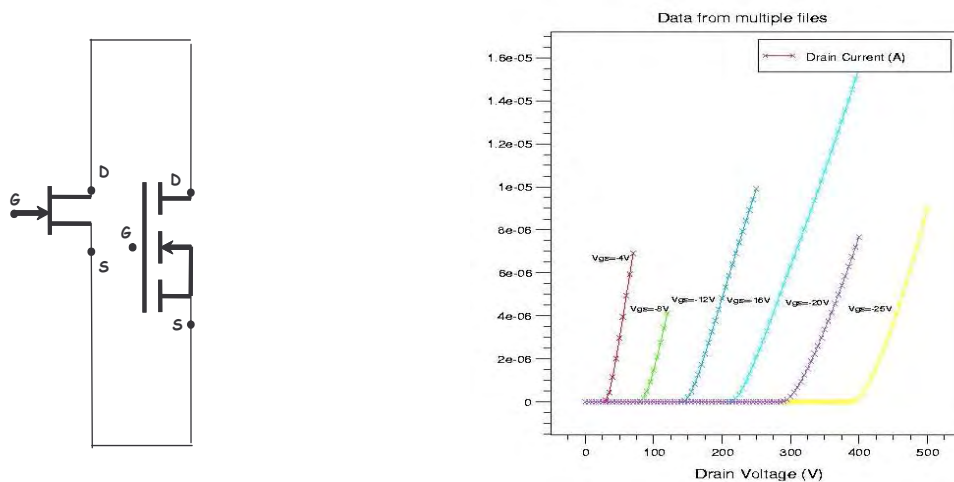


Figure 1.16. MOSFET de puissance protégé par un JFET en parallèle. Résultats de simulation Silvaco montrant l'ajustement de tension de seuil par une tension négative externe.

Cette solution offre des bons avantages : (intégration, modification de tension de seuil et coût de fabrication).

I.F.3 Protection monolithique en tension des transistors type IGBT.

Cette proposition reste théorique et nécessitera une validation pratique. Cette solution se base sur l'utilisation du transistor bipolaire PNP interne du transistor IGBT pour faire la protection. Pour comprendre l'idée, figure 1.17 montre le schéma équivalent du transistor IGBT :

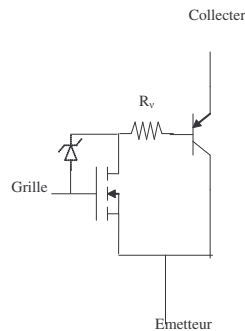


Figure 1.17. Le schéma équivalent du transistor IGBT.

Le circuit équivalent simplifié d'un transistor IGBT consiste en deux transistors (MOSFET + BJT PNP). L'idée est de profiter de l'existence du BJT pour faire la protection. Ceci est faisable si nous mettons une diode à avalanche contrôlée entre la base du BJT (connections interne) et la base du MOSFET. En conséquence, quand la tension aux bornes de l'IGBT dépasse la tension de seuil de la diode à avalanche, la diode commence à conduire du courant «amorçant» le transistor MOSFET interne. Par conséquent, la tension V_{DS} diminue. Le problème est qu'il faut avoir un accès à la base du transistor bipolaire. Ceci n'est pas toujours évident et dépend de la méthode de fabrication du transistor IGBT. Cette étude n'est pas détaillée dans cette thèse et reste une de ces perspectives.

I.G. Conclusion.

Dans ce chapitre, nous avons vu l'importance de la protection en tension des transistors de puissance dans leurs applications. Des circuits de protection existent déjà; nous les avons classifiés en étudiant les avantages et les inconvénients de chaque solution. Dans un deuxième temps, nous avons montré les tendances actuelles des fabricants: réduire le volume, donc le coût, et augmenter l'efficacité de l'interrupteur de puissance. Un cahier des charges correspondant à ces tendances et les solutions que nous étudions s'y réfèrent. Pour cela, nous avons proposé des circuits de protection qui conviennent avec ces tendances. Ces circuits se distinguent par leur possibilité d'être facilement intégrés presque sans modification ou ajout

sur les étapes technologiques de fabrication du transistor à protéger. Elles se distinguent aussi par leur efficacité. Nous avons proposé plusieurs solutions de protection. Elles ont été principalement étudiées pour protéger un transistor MOSFET. Quelques unes sont valables pour la protection d'un IGBT mais elles ne sont pas étudiées en détail dans le cadre de cette thèse. Quelques unes ont été validées par des résultats expérimentaux. Nous avons étudié brièvement l'influence de ces circuits sur le transistor principal en terme de courant causé par la dérivé de tension.

Une petite étude thermique a montré l'importance d'effectuer une distribution des cellules du transistor de protection dans le principal pour profiter au maximum de l'environnement du transistor de protection.

Dans le chapitre suivant, nous allons modéliser et analyser électriquement et thermiquement le circuit de protection. Pour cela, nous commençons le deuxième chapitre par un rappel simple des principes des semiconducteurs. Puis nous montrons les méthodes de calculs du gain et de la vitesse de réponse du BJT utilisé comme transistor de protection. un modèle électrique du BJT de protection est proposé et validé. En deuxième temps, l'ensemble de la puce (MOS - BJT - anneaux de garde) est modélisé thermiquement. Une simple étude d'interaction électrothermique pour le BJT est présentée.

Chapitre II : Modélisation et analyse
électrothermiques du circuit de protection

II.A. Introduction.

Dans le chapitre I, nous avons présenté, l'état de l'art des circuits de protection en tension. Puis nous avons comparé de façon simple ces circuits et le circuit de protection que nous proposons. Nous avons validé cette comparaison par des résultats pratiques basés sur des systèmes discrets. L'avantage le plus important de notre circuit est qu'il peut bénéficier d'une intégration monolithique en terme de performances électriques mais aussi thermiques. Pour cela, un dimensionnement monolithique doit être fait.

Dans ce chapitre, nous abordons l'étude comportementale du transistor de protection (puisque'il est l'élément le plus important du circuit de protection) en vue de son intégration et donc de son dimensionnement. Pour cela, nous allons rappeler quelques principes des semiconducteurs nécessaires au développement d'un modèle équivalent spécifique à ce mode de fonctionnement. Le transistor de protection que nous allons traiter en détail repose sur la technologie bipolaire.

Dans un deuxième temps, nous prenons en main la partie thermique de l'étude. Pour cela nous proposons un modèle thermique représentant les deux transistors dans un environnement thermique classique (la puce de silicium et l'empilement qui conduit la chaleur jusqu'à l'air ambiant).

Plusieurs commentaires issus de l'analyse permettront d'aborder la partie dimensionnement avec plus de données et de choix en terme d'intégration.

II.B. Modélisation électrique du circuit de protection.

Le but de cette modélisation est de pouvoir concevoir les éléments du circuit de protection pour un cas donné. Nous avons trois éléments à prendre en compte:

- Le transistor de protection,
- Le capteur de tension (ici la diode à avalanche contrôlée = diode àac),
- La résistance base-émetteur.

Nous allons commencer par l'élément le plus important dans le circuit de protection: le transistor de protection. Seule la modélisation du transistor bipolaire est présentée dans ce chapitre. On s'attachera dans ce modèle à décrire le comportement du composant en régime statique sur le plateau et en régime dynamique de l'état bloqué jusqu'au plateau. Ces zones de fonctionnement sont généralement simplifiées voire même négligées dans la plupart des modèles de transistor bipolaire de puissance car elles sont en général peu utilisées[Chihao-

92], [Hassan-2000]. Dans notre cas, ces caractéristiques retrouvent toutes leurs importances et devront être clairement modélisées.

Avant de commencer la modélisation, quelques notions de semiconducteur sont présentées. Ces notions sont nécessaires pour bien comprendre la démarche de modélisation.

II.B.1 Notions importantes pour la modélisation.

- La mobilité des électrons « n » ou des trous « p » dans un semiconducteur dopé n ou p représente le facteur de proportionnalité entre la vitesse de déplacement de n (ou p) en cm.s^{-1} et le champ électrique appliqué (lorsqu'il est faible) en V.cm^{-1} selon la relation (pour n par exemple):

$$v_{dn} = -\left(\frac{-q \cdot \tau_c}{m_n}\right) \cdot E = \mu_n \cdot E \quad (2.1)$$

Avec

τ_c temps moyen entre deux collisions à l'équilibre thermique [s].

m_n masse effective d'électron.[kg].

E champ électrique [V.cm^{-1}].

μ_n mobilité des « n » [$\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$].

Cette formule n'est valable que lorsque V_{dn} est inférieure à 10^7 cm.s^{-1} .

La mobilité est un des facteurs importants et déterminants dans le modèle du BJT. Elle joue un rôle majeur dans l'évaluation de plusieurs paramètres clés comme les calculs du gain et de la vitesse de réaction du BJT. Cette mobilité dépend de plusieurs facteurs comme la concentration du dopage et la température ambiante. Le calcul de la mobilité n'est pas toujours évident.

Il apparaît un courant de conduction proportionnel à la vitesse de déplacement donc au champ électrique appliqué. Le facteur de proportionnalité $q.n.\mu$ est appelé la conductivité du semiconducteur. On définit ainsi la résistivité ρ [$\Omega \cdot \text{cm}$] d'un semiconducteur dopé n [cm^{-3}] par exemple est égale à:

$$\rho[\Omega \cdot \text{cm}] = \frac{1}{q \cdot n \cdot \mu_n} \quad (2.2)$$

Cette résistivité joue un rôle dans la distribution du courant d'émetteur comme nous allons le voir dans le chapitre III.

- Dans un semiconducteur, la densité du courant d'électrons dû au champ électrique appliqué E dans la direction x et au gradient des porteurs dn/dx est égale à la somme des courants de déplacement et de diffusion:

$$J_n [A.cm^{-2}] = q.n.\mu_n.E + qD_n \frac{dn}{dx} \quad (2.3)$$

On peut dire la même chose pour le courant des trous:

$$J_p [A.cm^{-2}] = q.p.\mu_p.E - qD_p \frac{dp}{dx} \quad (2.4)$$

avec x, la distance en cm.

Le courant total est égal à la somme des deux contributions:

$$J = J_n + J_p \quad (2.5)$$

Avec D_n et D_p les facteurs de diffusion des électrons et des trous [$cm^2.s^{-1}$]. Ces facteurs sont reliés avec la mobilité par les relations:

$$D_n = \mu_n \frac{kT}{q} \quad (2.6)$$

$$D_p = \mu_p \frac{kT}{q} \quad (2.7)$$

Le facteur de diffusion est aussi un élément important dans le calcul du gain du BJT.

- La durée de vie des porteurs dans une zone dopée n ou p représente le temps après le quel le porteur libre disparaît. Ce temps dépend donc de la densité des dopants et des divers pièges recombinants selon la relation suivante pour un dopage n ou p[ATLAS]:

$$\tau[s] = \frac{10^{-7}}{1 + \frac{N[cm^{-3}]}{5.10^{16}}} \quad (2.8)$$

avec N, la concentration de l'impureté en cm^{-3} . L'augmentation de la concentration d'impureté fait diminuer la durée de vie. Ceci a un impact important sur le gain du transistor BJT.

II.B.2 Rappel sur le transistor bipolaire de puissance.

Ce BJT a une structure verticale permettant de bloquer le courant sous forte tension ou encore de laisser passer un fort courant sous une faible tension de déchet. Sa structure élémentaire est montrée sur figure 2.1 avec le profil de dopage et une vue de dessus des contacts de base et d'émetteur.

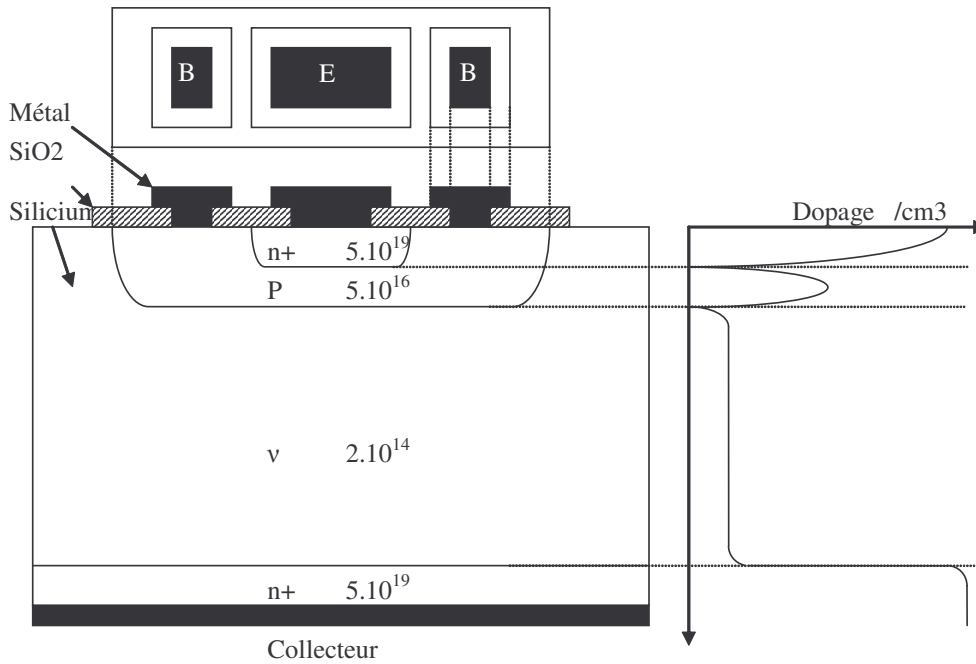


Figure 2.1 Structure du BJT vertical avec le profil de dopage et une vue de dessus des contacts de base et émetteur [Arnould-92].

Les largeurs géométriques des différentes zones sont notées w_e , w_b , w_v , w_c . elles sont exprimées en cm.

Les caractéristiques électrique statique de ce type de transistor de puissance sont indiquées dans la figure 2.2[Arnould-92] :

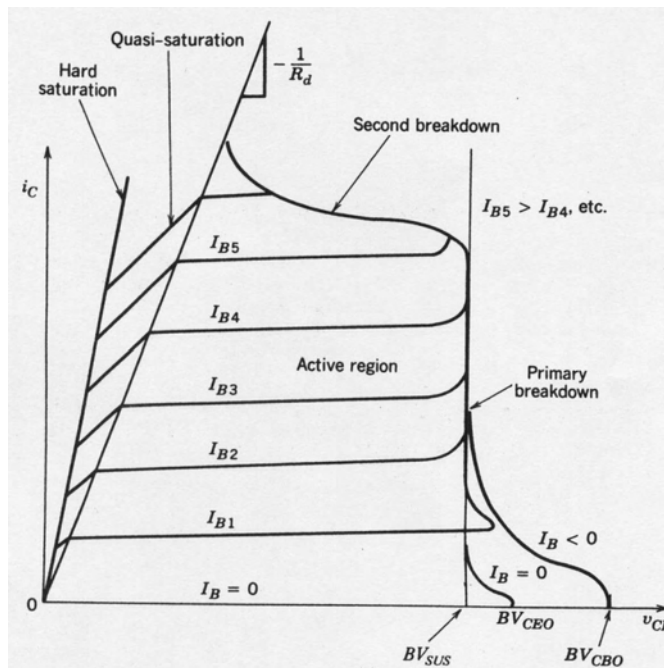


Figure 2.2 Caractéristiques électriques du BJT de puissance.

Ces caractéristiques sont divisées en quatre régions. Les tableau 2.1.a et b représentent quelques zones expliquées avec les profils des porteurs, la polarisation des jonctions et les

équations utilisées dans chaque zone dans l'hypothèse où les différentes zones sont en concentration homogènes.

La première région est la région de saturation. Cette zone intéresse beaucoup les utilisateurs d'électronique de puissance. Elle correspond au cas où les deux jonction BE et Bv sont passantes. Les porteurs libres ont envahi en totalité (zone de saturation) ou en partie (zone de quasi saturation) la zone v. Le tableau 2.1.a représente le cas de la saturation. Les porteurs libres occupent une zone de largeur voisine de $w_b + w_v$ (bien plus grande que w_b). la charge stockée est alors très grande, le gain est faible, la tension de déchet est faible mais le transistor est ralenti. Nous n'utilisons pas ces zones dans le cas du BJT de protection.

La deuxième région est la région de plateau (ou linéaire ou active comme quelques uns l'appellent). Le transistor fonctionne comme un amplificateur de courant dans cette zone. La jonction b-e est polarisée en direct et la jonction Bv reste quand à elle polarisée en inverse.

La troisième et dernière zone est la zone de blocage. Le transistor est bloqué et ne passe théoriquement aucun courant. Les deux jonctions sont bloquées et « polarisées en inverse » dans cette zone.

Normalement, dans l'électronique de puissance, les transistors sont utilisés comme interrupteurs, uniquement donc dans les première et troisième régions. Ceci permet de limiter au maximum les pertes en conduction dans les composants. Très rarement le transistor de puissance est utilisé dans sa zone de plateau.

Dans notre application, nous avons vu qu'à l'amorçage du transistor de protection, la tension à ses bornes est fixe et égale à la tension du seuil de protection. Donc le transistor de protection fonctionne soit dans la zone de blocage soit dans la zone de plateau comme amplificateur de courant. Cette phase dure aussi longtemps que la surtension existe. En conséquence, nous nous retrouvons dans un état qui n'est pas souvent développé en électronique de puissance. Des modèles existent déjà sur le transistor bipolaire, mais comme nous l'avons cité, ces modèles ne traitent pas exactement notre cas de figure. Soit les modèles développés sont plus orientés signal (basse tension, gain, fréquence...) soit à l'inverse ils sont plus orientés conversion de l'énergie (haute tension, tension de déchet, fréquence...) [Chihao-92], [Dupuy-96]. Dans notre cas, nous avons besoin d'un modèle qui traite en détail le gain et le temps de réponse dans la zone de plateau. Ceci est à déterminer à partir d'une quantité de charge à stocker puis déstocker dans la base et des caractéristiques physiques du transistor.

Dans la suite, nous présentons la démarche que nous avons menée pour adapter la modélisation du BJT pour notre application.

Type de zone	Situation de jonctions	Concentration des porteurs minoritaires	Equations utilisées
Zone de saturation	BE: polarisée en direct. CB: polarisée en direct.		Condition aux limites pour $x=w_b+w_v$ est $n_p(w_b+w_v) = n_{p0} e^{qV_{CB}/KT}$

Tableau 2.1.a Zones de fonctionnement du bipolaire avec les profils des porteurs en fonctions de distance et avec les équations utilisées dans chaque zone pour un dopage uniforme.

Type de zone	Situation de jonctions	Concentration des porteurs minoritaires	Equations utilisées
Zone de plateau	BE: polarisée en directe. CB: polarisée en inverse.		concentrations des porteurs minoritaires dans la base : $n_p(x) = n_p(0) \left(1 - \frac{x}{e_1}\right) = n_{p0} e^{qV_{BE}/KT} \left(1 - \frac{x}{e_1}\right)$ $n_p(e_1) = 0$
Zone de blocage	BE: polarisée en inverse. CB: polarisée en inverse.		$n_p(0) = n_p(e_2) = 0$

Tableau 2.1.b Zones de fonctionnement du bipolaire avec les profils des porteurs en fonctions de distance et avec les équations utilisées dans chaque zone pour un dopage uniforme.

II.B.3 Modélisation du BJT de protection.

Considérations électriques.

Comme cela a déjà été annoncé, l'objectif de ce travail de modélisation consiste à étudier les comportements statique et dynamique du BJT en régime de plateau. L'étude de ce comportement inclut l'évaluation du gain, du temps de montée et de descente du courant du BJT en fonction des polarisations extérieures sur ses trois électrodes. Pour cela, la figure 2.3 représente un schéma simplifié du schéma 1.3 du chapitre I que nous considérons dans notre étude. Le transistor principal est remplacé par un simple condensateur que l'on charge sous courant constant dans un premier temps. En effet, on considère que le transistor principal se bloque totalement et que l'élévation de tension à ses bornes et donc aux bornes du circuit de protection n'est dû qu'à la charge de sa capacité parasite. Cette hypothèse simplificatrice est valable à notre avis car elle permet de solliciter le circuit de protection dans des conditions proches de la réalité. La valeur de la capacité et son évolution peuvent être callées sur celle de la capacité C_{DS} du transistor MOSFET à protéger [Aubard-99] et [Verneau-03].

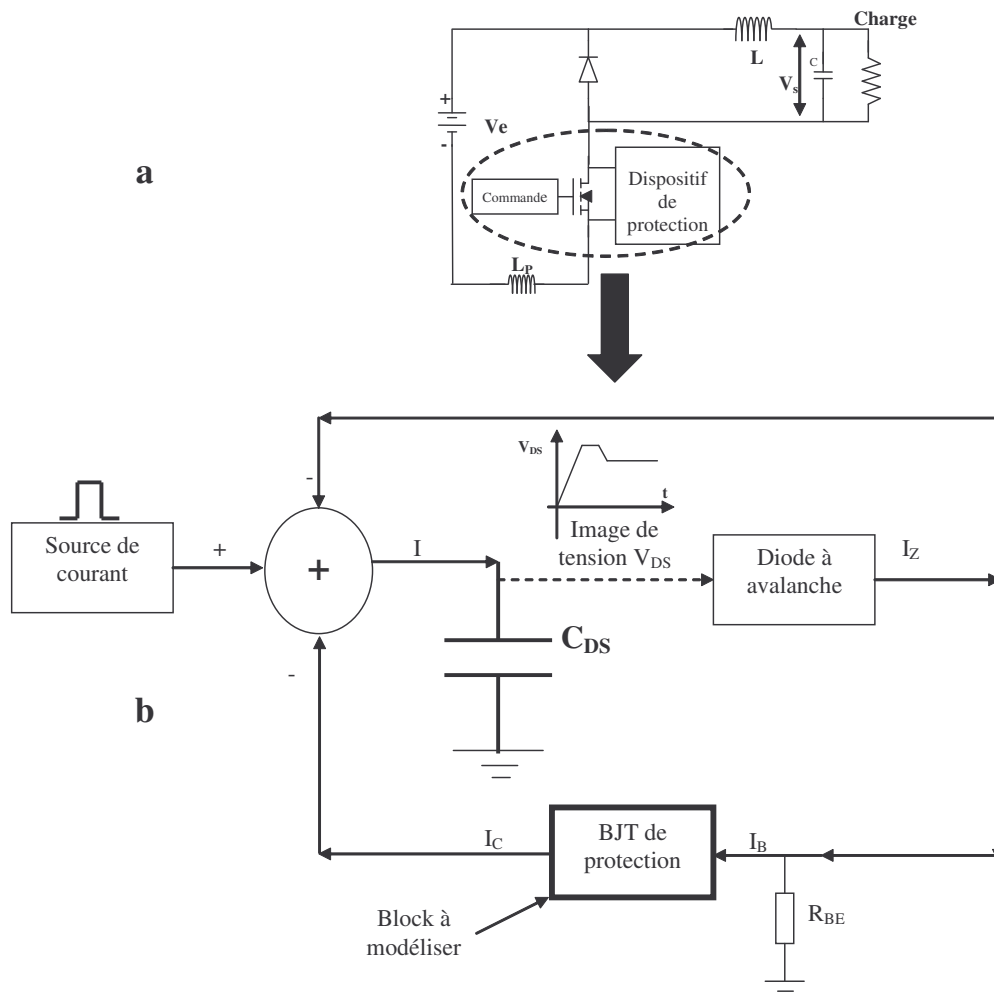


Figure 2.3 Schéma électrique du hacheur série utilisant le circuit de protection (a)
La partie du schéma à modéliser (b).

La source de courant simule l'énergie stockée dans l'inductance parasite de la maille de commutation lors de la phase d'ouverture du transistor de puissance ou encore l'énergie d'une décharge électrostatique. A cause de ce courant, la tension aux bornes du MOSFET commence à monter. Quand cette tension arrive à une valeur critique (la tension de seuil de la protection), la diode à avalanche commence à conduire. Ceci amorce le BJT permettant l'écoulement du courant via le BJT et la phase de protection commence.

Considérations physiques.

Sauf mention faite, les concentrations en dopants dans les différentes régions sont considérées constantes. Dans l'état bloqué du BJT, les deux jonctions BE et BV sont bloquées. La tension intrinsèque de la jonction BE est donnée par la relation [S.M.Sze-85], [Singh-01] :

$$V_{BEi} = \frac{kT}{q} \cdot \ln \frac{N_a \cdot N_d}{n_i^2} \quad (2.9)$$

Avec

$N_a = p_{po}$ dopage de la base [cm^{-3}].

$N_d = n_{no}$ dopage d'émetteur [cm^{-3}].

Ces définitions correspondent à l'équilibre thermodynamique.

Sachant que

$$n_i^2 = p_{po} \cdot n_{po} = p_{no} \cdot n_{no} \quad (2.10)$$

Donc

$$V_{BEi} = \frac{kT}{q} \cdot \ln \frac{N_d}{n_{po}} \quad (2.11)$$

Donc la concentration des électrons dans la base à l'état bloqué est:

$$n_{po} = N_d \cdot e^{-\frac{q}{kT} \cdot V_{BEi}} \quad (2.12)$$

En polarisant la jonction BE en direct, nous injectons des électrons de l'émetteur vers la base qui sont compensés en partie par des trous venant du contact de la base pour garantir la neutralité électrique. Par conséquent, la concentration des électrons dans la base au niveau de la jonction géométrique BE ($x=0$) selon la relation (voir figure 2.4):

$$n_p(0) = N_d \cdot e^{-\frac{q}{kT} \cdot (V_{BEi} - V_{BE})} \quad (2.13)$$

Les relations 2.10, 2.11 et 2.13 donnent:

$$n_p(0) = \frac{n_i^2}{N_a} \cdot e^{\frac{q}{kT} \cdot V_{BE}} \quad (2.14)$$

Ces électrons représentent une quantité de charge injectée par l'émetteur et stockée dans la base. Cette quantité est calculable d'après la relation:

$$Q_b^* = q \cdot \frac{1}{2} \cdot n_p(0) \cdot e_b \quad (2.15)$$

Avec

Q_b^* quantité de charge stockée dans la base correspondant aux électrons par unité de surface [$C \cdot cm^{-2}$].

e_b largeur effective de base pour une tension V_{CE} donnée [cm], cette largeur est égale à w_b diminuée des largeurs des zones désertes de la base.

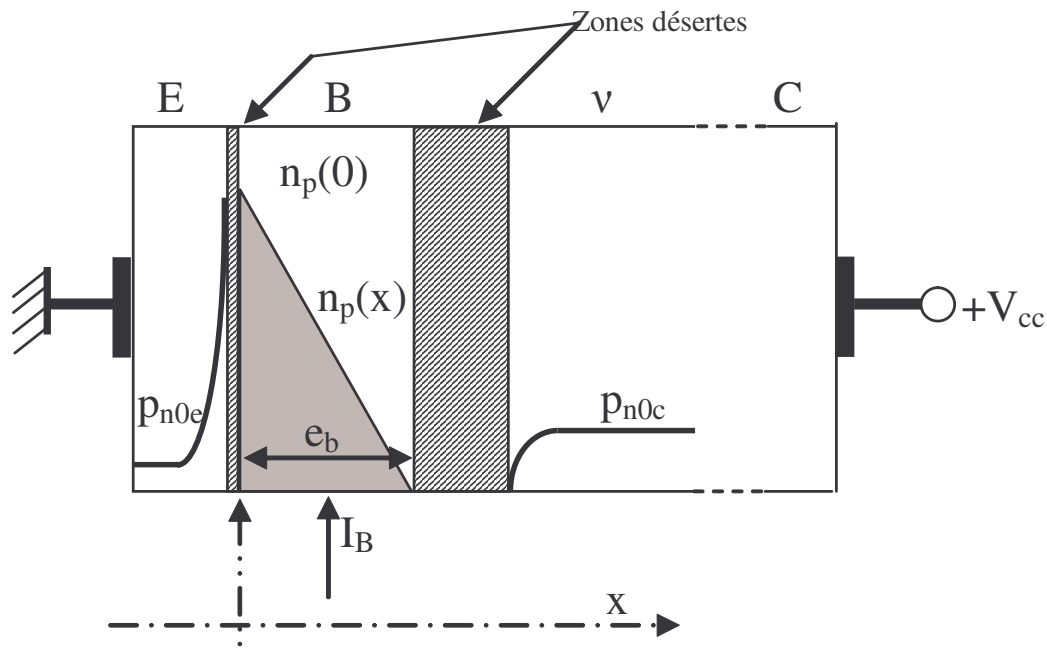


Figure 2.4 Concentration des porteurs minoritaires (n) dans la base du BJT pour un fonctionnement dans la zone de plateau.

La vitesse de recombinaison dépend de la durée de vie des électrons dans la base et de la largeur de la base. L'autre partie des « n » injectée, diffuse de la base vers le collecteur à travers la jonction Bv bloquée. Le courant du collecteur résultant est égal à:

$$I_c = q \cdot D_n \cdot \frac{dn_p(x)}{dx} \cdot A \quad (2.16)$$

Avec

D_n coefficient de diffusion des électrons dans la base [$cm^2 \cdot s^{-1}$].

A surface traversée par le courant [cm^2]

Pour que la formule 2.16 soit valable il faut que la largeur de la base (w_b) soit très inférieure à la longueur de diffusion des électrons donnée par la relation :

$$L_n = \sqrt{D_n \cdot \tau_n} \quad (2.17)$$

On peut alors faire l'approximation $dn_p(x)/dx = n_p(0)/e_b$ donc:

$$I_C = q \cdot D_n \cdot \frac{n_p(0)}{e_b} \cdot A \quad (2.18)$$

En utilisant la relation 2.15 nous obtenons la formule suivante:

$$I_C = D_n \cdot \frac{2Q_b^*}{e_b^2} \cdot A \quad (2.19)$$

Cette quantité de charge fait apparaître la tension V_{BE} qui est calculable à partir de la relation 2.14:

$$V_{BE} = \frac{KT}{q} \ln \left[n_p(0) \frac{N_a}{n_i^2} \right] \quad (2.20)$$

En utilisant la relation 2.16 on obtient:

$$V_{BE} = \frac{KT}{q} \ln \left[\frac{N_a}{n_i^2} \cdot \frac{2Q_b^*}{q \cdot e_b} \right] \quad (2.21)$$

Les relations 2.19 et 2.21 expriment le modèle du BJT de la figure 2.3. En mettant ces relations sous forme de blocks, nous obtenons le modèle de la figure 2.5.

D'après ce modèle, le courant de base est constitué de deux parties: I_{Rpi} qui se recombine dans la base selon la durée de vie, et I'_B qui installe une charge Q_B nécessaire pour faire passer les porteurs « n » de l'émetteur jusqu'au collecteur. La tension V'_{BE} est la tension entre base et émetteur sans prendre en compte les différentes résistances d'amenées de courant ou de contact métal-semiconducteur.

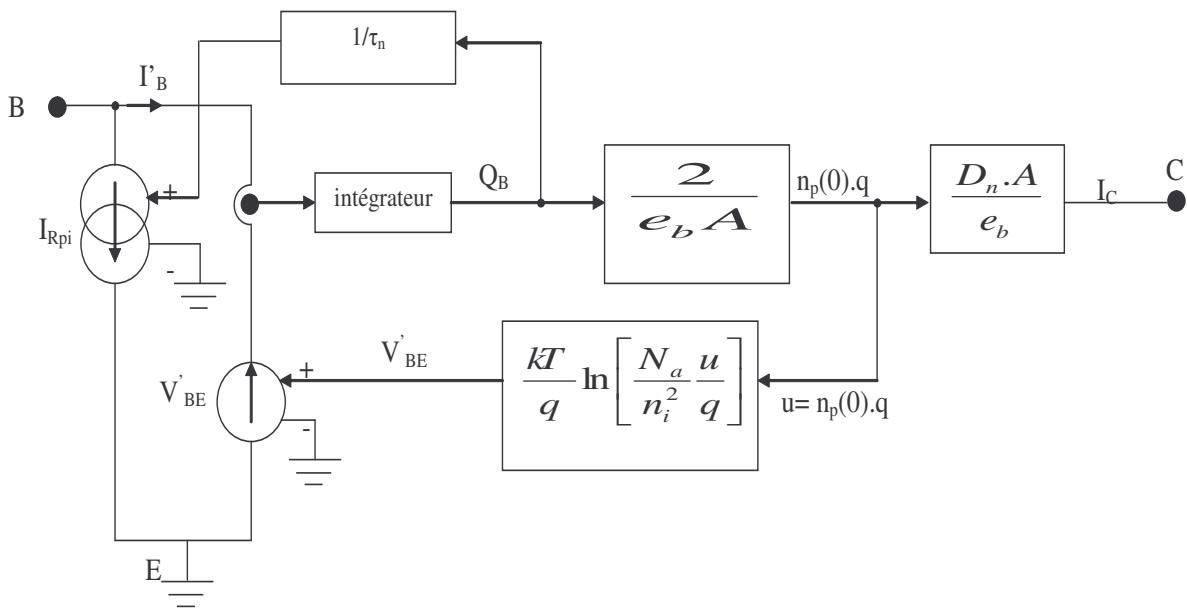


Figure 2.5 Modèle simplifié du BJT en régime de plateau.

Des résultats de simulation sous MATLAB du modèle développé ci-dessus sont montrés sur la figure 2.6 pour les paramètres de simulation qui sont indiqués dans le tableau 2.2. Comme nous l'avons dit, le transistor à protéger est représenté pendant la phase d'ouverture et la phase de blocage par une capacité dont on dévie le courant de charge quand la tension arrive à une limite fixée par la diode à avalanche contrôlée.

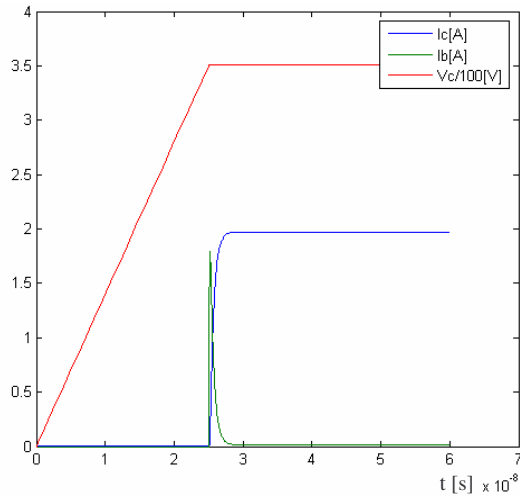


Figure 2.6.a Résultats de simulation MATLAB du modèle de BJT.

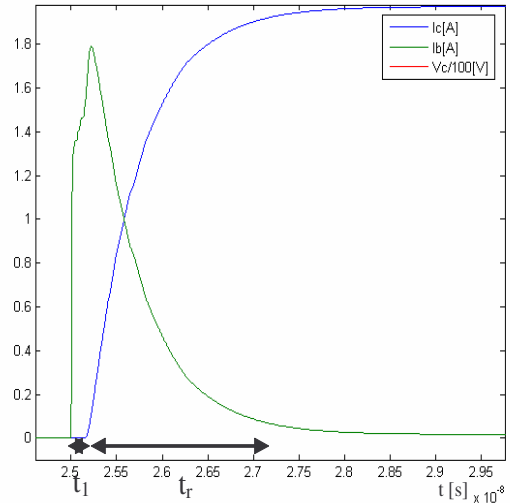


Figure 2.6.b Vue détaillée de Figure 2.7.a

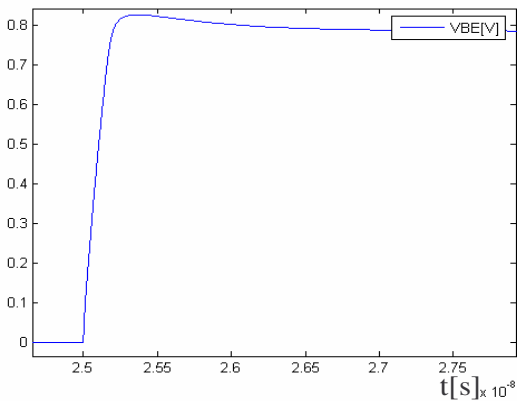


Figure 2.6.c Tension V_{BE} du BJT de protection pendant la phase d'amorçage.

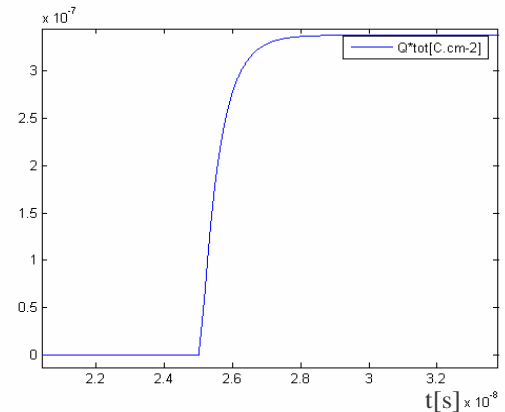


Figure 2.6.d Quantité de charge Q_{tot} stockée dans la base pendant l'amorçage par unité de surface.

<u>BJT de protection</u>	
Dopage de base	$N_a=5.10^{16} \text{ cm}^{-3}$
Facteur de diffusion	$D_n=3 \text{ cm}^2. \text{ s}^{-1}$
Largeur efficace de base	$e_b=0,5 \text{ }\mu\text{m}$
Résistance interne de base	$R_b =0,05 \text{ }\Omega$
Résistance interne d'émetteur	$R_e=1,1 \text{ }\mu\Omega$
Largeur de doigt d'émetteur	$L_{ae}=10 \text{ }\mu\text{m}$
Longueur d'émetteur	$L_{oe}=4 \text{ cm}$
Durée de vie	$\tau_n= 50 \text{ ns}$
<u>Circuit de protection</u>	
Diode àac.	Tension d'écrêtage=350 V
R_{BE}	10 Ω
<u>Transistor MOS à protéger</u>	
C_{DS}	5 nF
Courant de charge	2 A

Tableau 2.2 Données de simulation du BJT de protection des figures 2.3 et 2.5

Dans cette simulation, la tension aux bornes de C_{DS} est écrêtée à une valeur égale à 350V. Les courants de base et d'émetteur du BJT sont montrés sur la figure 2.6.b en vue détaillée.

Nous remarquons que le temps de réponse entre l'apparition du pic de tension et le début de la montée du I_C est d'environ 0.5 nsec, le temps de montée de courant collecteur est égal à 2.5 nsec..

Dans l'approche analytique que nous avons développée, nous avons négligé la quantité de charge nécessaire pour combler la zone de déplétion de la jonction BE pendant l'amorçage. En effet, en polarisant cette jonction en direct, nous diminuons la largeur de zone de charge d'espace. Ceci consiste à fournir des charges. La largeur de la zone de déplétion au repos (sans polarisation) en [cm] est égale à [S.M.Sze-85]:

$$W_{BE} = \sqrt{\frac{2 \cdot \epsilon_{si} \cdot V_{BEi}}{q \cdot N_a}} \quad (2.22)$$

Où ϵ_{si} , est la constante diélectrique du Silicium égale à: $11,7 * 8,85 * 10^{-14} = 1,035.10^{-12} \text{ [F.cm}^{-1}\text{]}$.

La charge par unité de surface correspondante est égale à :

$$Q_{je}^* = N_a \cdot q \cdot W_{BE} \quad (2.23)$$

En appliquant une tension directe V_{BE} , le changement de la largeur de la zone de déplétion est de:

$$\Delta W_{BE} = \sqrt{\frac{2 \cdot \epsilon_{si} \cdot V_{BEi}}{q \cdot N_a}} - \sqrt{\frac{2 \cdot \epsilon_{si} \cdot (V_{BEi} - V_{BE})}{q \cdot N_a}} \quad (2.24)$$

Donc la quantité de charge par unité de surface à fournir pour piloter la base est égale à :

$$\Delta Q_{je}^* = N_a \cdot q \cdot \left[\sqrt{\frac{2 \cdot \epsilon_{si} \cdot V_{BEi}}{q \cdot N_a}} - \sqrt{\frac{2 \cdot \epsilon_{si} \cdot (V_{BEi} - V_{BE})}{q \cdot N_a}} \right] \quad (2.25)$$

Nous rappelons la quantité de charge par unité de surface à stocker dans la base :

$$Q_b^* = q \cdot \frac{1}{2} \cdot n_p(0) \cdot e_b = q \cdot \frac{1}{2} \cdot e_b \cdot \frac{n_i^2}{N_a} \cdot e^{\frac{q}{KT} V_{BE}} \quad (2.26)$$

Donc la quantité totale de charge à fournir par unité de surface par le driver de base est la somme des deux et est égale à :

$$Q_{btot}^* = q \cdot \frac{1}{2} \cdot e_b \cdot \frac{n_i^2}{N_a} \cdot e^{\frac{q}{KT} V_{BE}} + N_a \cdot q \cdot \left[\sqrt{\frac{2 \cdot \epsilon_{si} \cdot V_{BEi}}{q \cdot N_a}} - \sqrt{\frac{2 \cdot \epsilon_{si} \cdot (V_{BEi} - V_{BE})}{q \cdot N_a}} \right] \quad (2.27)$$

L'extraction de la valeur de V_{BE} de la relation 2.27 pour l'utiliser dans le modèle de figure 2.5 devient assez compliquée et ralentit la simulation d'une façon remarquable. Pour cela, une procédure d'interpolation est utilisée dans MATLAB pour avoir les résultats de la figure 2.6. Des résultats de calculs faits sur Mathcad des valeurs de V_{BE} en fonction des quantités de charges stockée dans la base par unité de surface Q_b^* , Q_{je}^* et Q_{btot}^* sont montrés sur la figure 2.7.

Nous remarquons que, pour une petite valeur de V_{BE} (jusqu'à 0.7V), c'est la charge de jonction base-émetteur qui domine le comportement de la jonction. C'est donc elle qui contrôle la montée de la tension V_{BE} .

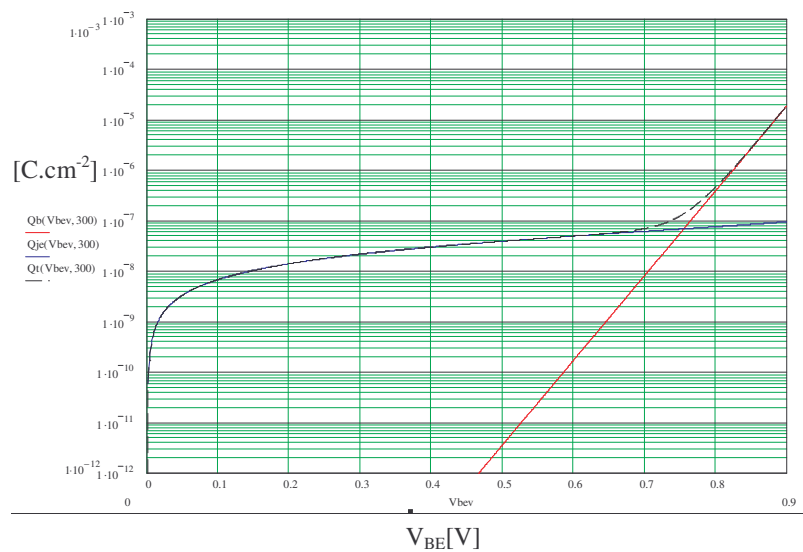


Figure 2.7 Quantités de charge correspondantes aux valeurs de V_{BE} par unité de surface

En revanche, pour des valeurs de V_{BE} plus importantes (entre 0.7 et 0.9 V), c'est le stockage de la charge dans la base qui est le plus importante. C'est-à-dire qu'à l'amorçage du transistor bipolaire, le courant de base est utilisé dans un premier temps pour combler une partie de la zone déplétée de la jonction BE, puis, dans un deuxième temps, pour créer une charge stockée dans la base qui provoque l'apparition du courant de collecteur. La première phase correspond à un temps t_1 . La deuxième phase qui est le temps d'installation des charges dans la base pour arriver à un certain niveau de I_C est égale à t_r . Donc le temps total de réponse, compté à partir de l'apparition du début d'injection des charges dans la base jusqu'à la fin de la phase de montée du courant collecteur est de :

$$t_d = t_1 + t_r \quad (2.28)$$

Ces deux temps sont montrés sur les simulations de la figure 2.6.b. Le temps t_1 dans certain cas peut occuper 25% du temps total de réponse comme nous allons le voir dans la validation du modèle. Ceci justifie sa prise en compte dans les calculs de temps de réaction du circuit de protection.

Ce modèle doit être validé par des résultats pratiques sur les composants que nous avons réalisés et dont nous connaissons les paramètres physiques et géométriques.

II.B.4 Quelques phénomènes à étudier pour développer le modèle du BJT.

Dans ce paragraphe on va étudier la variation de la capacité C_{DS} du MOS principal, l'évolution de deux paramètres du BJT et l'influence de l'inductance parasite du circuit de protection.

1. Prise en compte de la variation de la valeur de C_{DS} en fonction de la tension.

Pour s'approcher du cas réel, la variation de la valeur de la capacité entre le Drain et la Source du MOSFET est prise en compte dans le modèle des figures 2.3 et 2.5. Les valeurs prises pour la simulation de cette capacité en fonction de V_{DS} sont montrées sur figure 2.8.a [Verneau-03].

En prenant en compte la variation de C_{DS} , nous obtenons les résultats de la figure 2.8.b

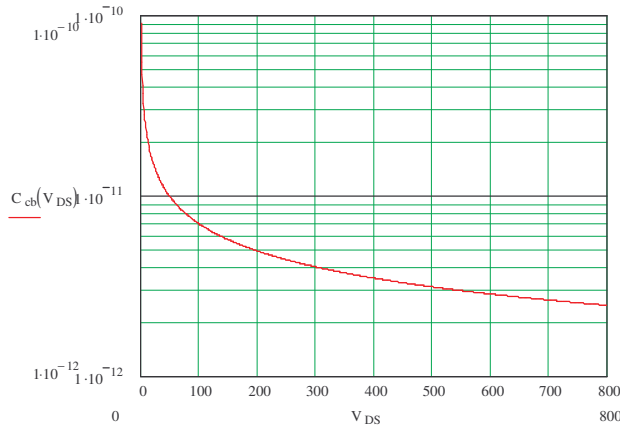


Figure 2.8.a Variation de C_{DS} en fonction de V_{DS} dans un MOS.

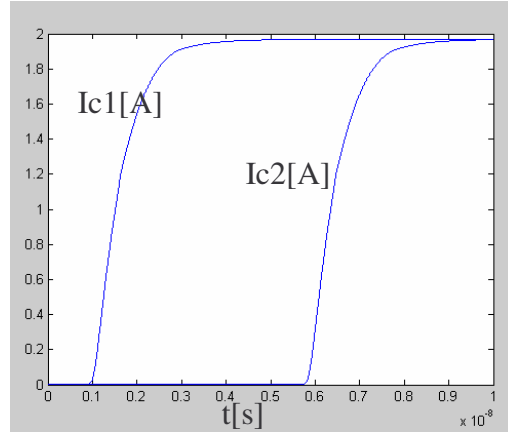


Figure 2.8.b Courant de protection I_C sans (I_{c2}) et avec (I_{c1}) la prise en compte de variation de V_{DS} .

Le changement de la valeur de C_{DS} avance la phase de déclenchement de la protection. La fin de cette phase est déterminée par l'énergie de surtension à décharger. En revanche, le temps de réaction du circuit de protection (toujours défini comme le temps entre le début de l'apparition du pic de tension et la fin de montée du courant de protection) et le gain en courant restent inchangés.

2. Prise en compte de la capacité C_{BC} du BJT

Puisque le BJT fonctionne dans la zone de plateau pendant la phase de protection, la jonction Bv polarisée en inverse peut être assimilée à une capacité C_{BC} , représentée par un condensateur dont la distance entre les deux électrodes (les deux extrêmes de la zone de déplétion) est égale à la largeur de la zone des charges d'espace Bv . Cette largeur est donnée par la relation:

$$W_{Bv} = \sqrt{\frac{2 \cdot \epsilon_{si} \cdot (V_{CE} + V_{Bvi})}{q \cdot N_v \left(1 + \frac{N_v}{N_a}\right)}} \quad (2.29)$$

Avec

N_v dopage de la zone de tenue en tension [cm^{-3}]

V_{Bvi} tension intrinsèque de la jonction Bv [V].

$W_{v,v}$ est en [cm]

Donc cette capacité par unité de surface est égale à :

$$C_{BC}^* = \frac{Q_{Bvi}^*}{V_{CE}} = \frac{q \cdot N_v \cdot \sqrt{\frac{2 \cdot \epsilon_{si} \cdot (V_{CE} + V_{Bvi})}{q \cdot N_v \left(1 + \frac{N_v}{N_a}\right)}}}{V_{CE} + V_{Bvi}} \quad (2.30)$$

Avec

Q_{BC}^* quantité de charge par unité de surface à fournir pour étendre la jonction Bv. En $[C.cm^{-2}]$.

C_{BC}^* en $[F.cm^{-2}]$

V_{CE} tension entre collecteur et émetteur [V] (en négligeant la tension entre base et émetteur)

Cette capacité influence le fonctionnement du BJT pendant le blocage et l'amorçage du MOS:

- Au blocage du transistor principal, la tension V_{DS} augmente ce qui provoque évidemment une augmentation de V_{CE} . Cette augmentation de tension agrandit la zone de tenue en tension du BJT. Un courant I_C , malgré le fait qu'il n'y a pas d'injection de porteurs dans la base, circule pour former la zone de déplétion. Si la tension V_{DS} arrive à la tension de seuil de protection, le courant de base commence à circuler et le BJT est amorcé. Sinon, le BJT reste bloqué et il n'est traversé que par le courant correspondant à la décharge de la zone de déplétion. La valeur de ce courant dépend de plusieurs choses, dont la valeur de C_{BC} , et du dV/dt qui lui est appliqué. Un schéma très simplifié du circuit équivalent avec la prise en compte de cette capacité est montré sur la figure 2.9.a. Dans ce schéma, le MOS est représenté par sa capacité C_{DS} . Une capacité C_{BC} est ajoutée pour compléter le modèle du BJT. Quand ce BJT est bloqué, nous retrouvons le schéma de figure 2.9.b. Des simulations à partir des valeurs du tableau 2.2 sont également montrées sur les figures 2.9.c et 2.9.d. Une vue détaillée du courant I_C pour plusieurs valeurs de R_{BE} est présenté sur figure 2.9.d. Cette figure montre l'influence de la valeur de R_{BE} sur le courant I_C . En fonction de la qualité du court circuit entre base et émetteur, l'injection de courant I_c favorise la polarisation en direct de la jonction BE et le transistor peut en conséquence devenir passant. Si la valeur de R_{BE} est trop importante, le dv/dt créé par le transistor de puissance à protéger peut amorcer systématiquement le transistor de protection. Inversement, si la valeur de R_{BE} est trop faible, ce même transistor ne pourrait jamais être amorcé. Il existe donc ici un compromis à établir pour limiter l'influence du dv/dt sur l'amorçage du transistor auxiliaire tout en favorisant le passage du courant dans celui-ci lorsque la fonction de protection doit être enclenchée.

D'un autre coté, la présence de ce courant provoqué par dv/dt est aussi une opportunité pour naturellement influencer le comportement du montage et limiter les conséquences d'un dv/dt trop fort. On peut voir aussi ce phénomène comme un moyen de prépolariser le transistor bipolaire de protection en vue d'un amorçage plus rapide si nécessaire. On peut

ainsi réduire le temps de réaction du dispositif de protection en tension. Cela offrirait alors une réduction du pic de surtension qui précède la mise en route du dispositif de protection en tension. La sélection de la valeur R_{BE} en fonction du niveau de prépolarisation V_{BEth} souhaité peut être obtenue en utilisant la relation suivante.

$$R_{BE} \leq \frac{V_{BEth}}{I_c} \leq \frac{V_{BEth}}{A \cdot q \cdot N_v \cdot \sqrt{\frac{2 \cdot \epsilon_{si} \cdot (V_{CE} + V_{Bvi})}{q \cdot N_v \left(1 + \frac{N_v}{N_a}\right)}}} \cdot t \quad (2.31)$$

Cette résistance contrôle le niveau des pertes par commutation dues à l'ajout du BJT de protection.

- A l'amorçage du transistor principal, un courant va passer pour combler la zone de déplétion pendant cette phase et une augmentation des pertes par commutation est prévue. Les résultats de simulation des figures 2.9.c et d montrent ce courant circulant pendant la phase d'amorçage du MOS avec son circuit de protection.

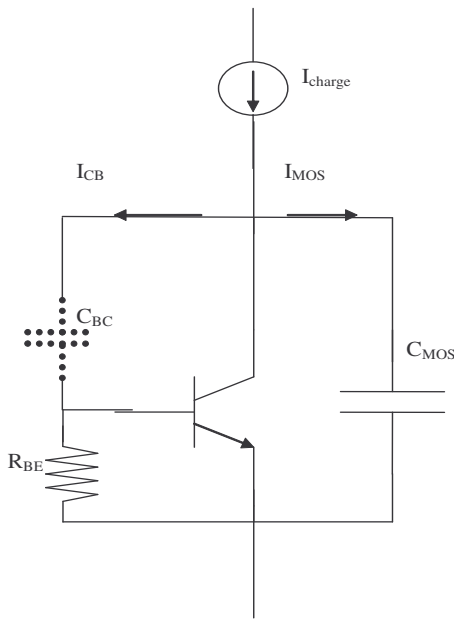


Figure 2.9.a Schéma simplifié du Circuit de protection avec le MOS en prenant en compte C_{BC}

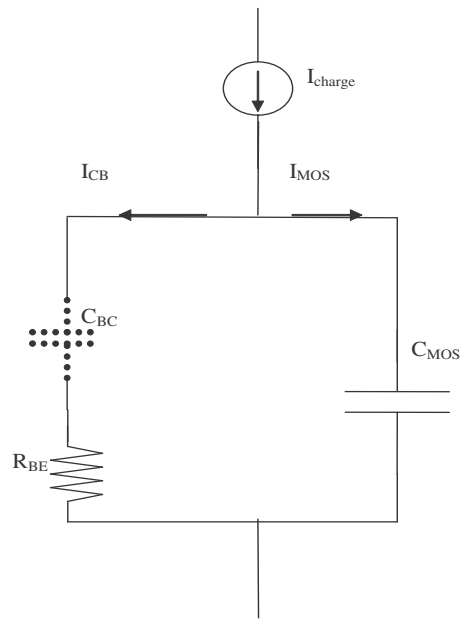


Figure 2.9.b Schéma simplifié du Circuit de protection avec le MOS en prenant en compte C_{BC} quand le BJT est bloqué.

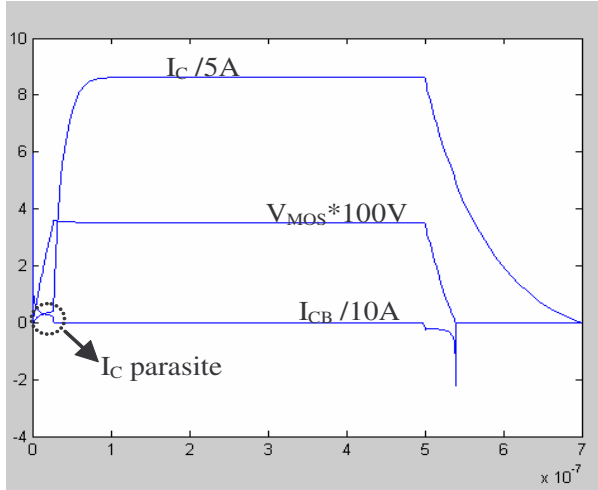


Figure 2.9.c Résultat de simulation du modèle du bipolaire en prenant en compte la capacité C_{BC} .

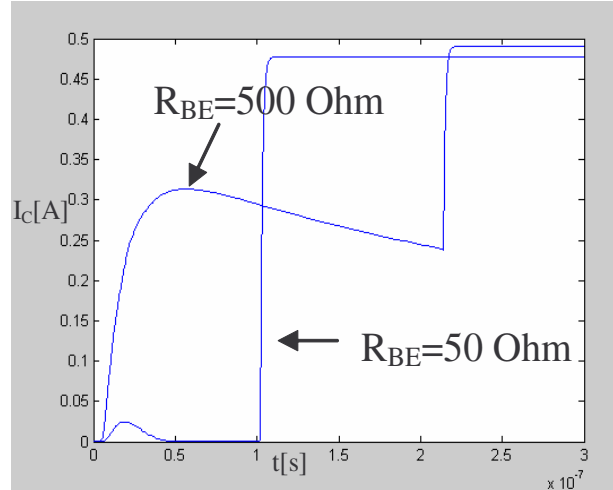


Figure 2.9.d Vue détaillée de 2.10.c pour plusieurs valeur de R_{BE} pendant le blocage du MOS.

3. Prise en compte de la variation du gain en fonction de V_{CE} .

Avant étudier la variation du gain en fonction de V_{CE} , nous allons devoir rappeler rapidement la procédure de calcul du gain d'un transistor bipolaire en régime plateau.

Compte tenu de la faible valeur de la durée de vie dans la base, on peut considérer que le courant de base correspond à la quantité de charge stockée divisée par la durée de vie des porteurs minoritaires « n » dans la base. La circulation du courant dans la base est due à la diffusion des porteurs « n ». Donc le courant de collecteur est égal au coefficient de diffusion multiplié par le gradient de concentration des porteurs minoritaires dans la base. Ce gradient correspond à la concentration des porteurs minoritaires au niveau de la jonction BE divisée par la largeur effective de la base (voir figure 2.10). Ce gain est égal à [Arnould-92], [BAO-01]:

$$\beta = \frac{I_C}{\frac{Q_B}{\tau_b}} = \frac{\frac{qAD_n n_p(0)}{e_b}}{\frac{q \cdot A \cdot n_p(0) \cdot e_b / 2}{\tau_b}} = \frac{2 \cdot D_n \cdot \tau_b}{e_b^2} \quad (2.32)$$

La largeur effective de la base e_b n'est pas une grandeur fixe. Elle dépend de plusieurs facteurs. Un de ces facteurs est la tension V_{CE} appliquée. Etant donné que la jonction Bv est polarisée en inverse, l'augmentation de cette tension accroît la largeur de la zone de déplétion Bv et donc diminue la largeur effective e_b . (Voir figure 2.10).

La largeur efficace de la base est égale à la largeur physique de la base moins la largeur de la zone de déplétion de la jonction BE côté base, moins la largeur de la zone de déplétion de jonction BC côté base. Donc e_b égale à :

$$e_b = L_B - \sqrt{\frac{2 \cdot \epsilon_{si} \cdot (V_{biBC} + V_{CE})}{q \cdot N_a \left(1 + \frac{N_a}{N_v}\right)}} - \sqrt{\frac{2 \cdot \epsilon_{si} \cdot (V_{biBE} - V_{BE})}{q \cdot N_a \left(1 + \frac{N_a}{N_d}\right)}} \quad (2.33)$$

D'après la relation 2.32 cette diminution de e_b fait augmenter le gain qui est inversement proportionnel à e_b^2 .

Par contre, la polarisation directe de la jonction BE fait diminuer la largeur de la zone de déplétion de cette jonction ce qui conduit à augmenter e_b . Mais cette augmentation est moins importante que la diminution de e_b due à V_{CE} .

Donc le gain du circuit de protection est dépendant du niveau de seuil de protection.

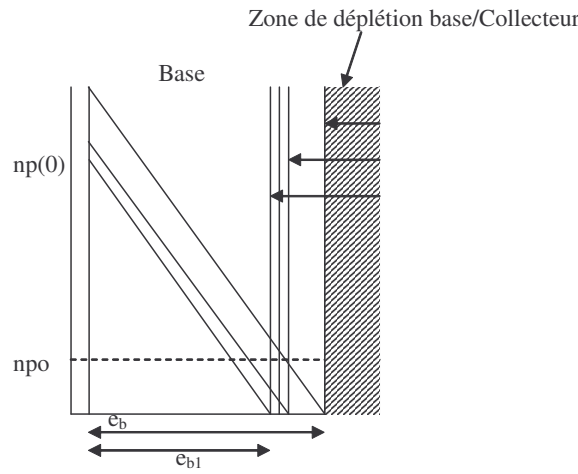


Figure 2.10 Influence du changement de V_{CE} sur la largeur efficace de la base.

La variation de e_b en fonction de V_{CE} est montrée sur figure 2.11.a pour un dopage uniforme et pour les données géométriques du tableau 2.2. e_b dans cette figure diminue de 11% lorsque V_{CE} passe de 0 à 350V.

En réalité, la variation de e_b avec les tensions V_{CE} et V_{BE} doit être étudiée en prenant en compte que le dopage de la base n'est pas uniforme (voir figure 2.1). La relation 2.33 n'est pas suffisamment précise dans ce cas. La largeur effective de la base doit alors être calculée à partir des relations:

$$\begin{aligned} \frac{dE}{dx} &= \frac{q}{\epsilon} N(x) \\ \frac{dV}{dx} &= E(x) \end{aligned} \quad (2.34)$$

Les résultats de ces calculs sont montrés sur figure 2.11.b pour trois cas. Le premier cas est le cas où considère que e_b représente toute la largeur physique de la base et qu'elle est indépendante des niveaux de tensions. Dans le deuxième cas, nous prenons en compte la

diminution de e_b à cause de V_{CE} mais cette fois pour un dopage non uniforme. Dans le troisième cas, V_{BE} et V_{CE} est prises en compte. La Figure de 2.11.b présente ces variations de e_b . Celles-ci sont divisées en trois régions: dans la première e_b varie très fortement en fonction de V_{CE} (jusqu'à environ 10V). Dans cette région la partie de la zone de déplétion de la jonction Bv côté base tient une bonne partie de la tension appliquée (nous rappelons que le dopage ici varie fortement avec la distance), dans la deuxième région, la variation de e_b (de 10 à 200V) est moins forte car le dopage coté base devient plus important ce qui ralentit l'extension de la zone de charge d'espace. Dans la troisième région de 200 à 350V e_b varie faiblement avec V_{CE} . La courbe 2 dans 2.11.b est calculée en supposant que la largeur de la zone de déplétion de la jonction BE est nulle. La prise en compte de cette largeur et de l'influence de V_{BE} sur la diminution de e_b est montrée sur 2.11.b.

Cette étude est importante pour le calcul du gain du circuit de protection et donc de la taille de la partie dissipation et indirectement de celle de la diode àac correspondante. Le courant de base et le gain intrinsèque du BJT pour les trois cas sont montrés sur les figures 2.11.c et d. D'après ces figures, les valeurs du gain et de I_B sont relativement différents selon le calcul de e_b .

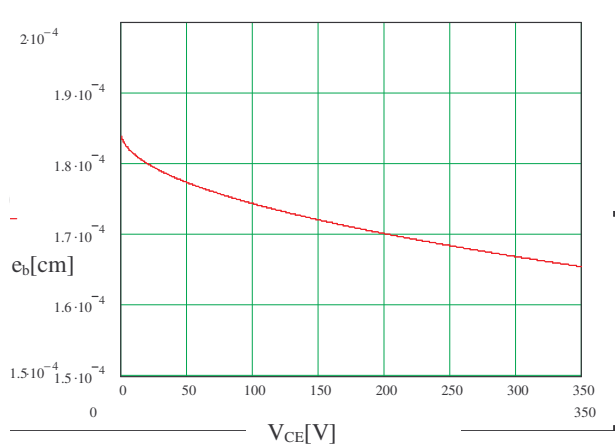


Figure 2.11.a Dépendance de e_b en fonction de V_{CE} pour un dopage uniforme.

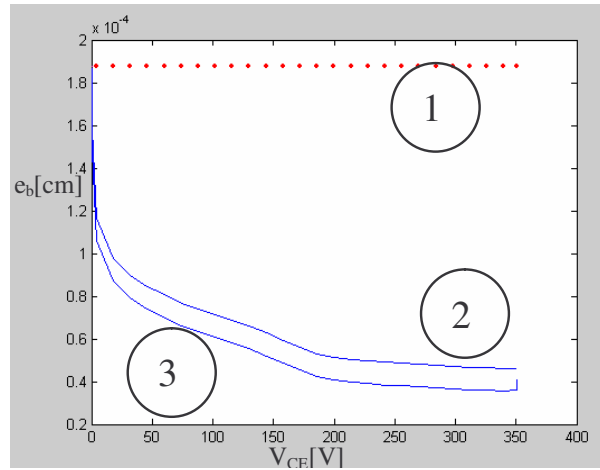


Figure 2.11.b e_b effective en fonction de V_{CE} pour trois cas :

- 1- sans tenir compte de l'influence V_{CE} , V_{BE} .
- 2- le dopage est non uniforme et en prenant en compte l'influence de V_{CE} .
- 3- le dopage est non uniforme et en prenant en compte l'influence de V_{CE} et V_{BE} .

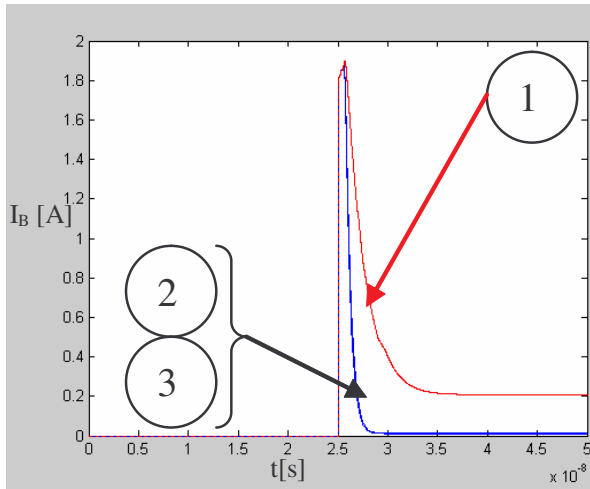


Figure 2.11.c I_B en fonction de temps pour les trois cas de figure 2.11.b

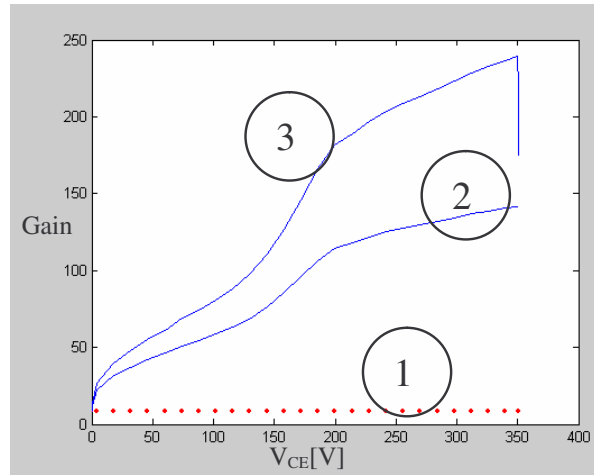


Figure 2.11.d Gain intrinsèque du BJT en fonction de V_{CE} pour les trois cas de figure 2.11.b

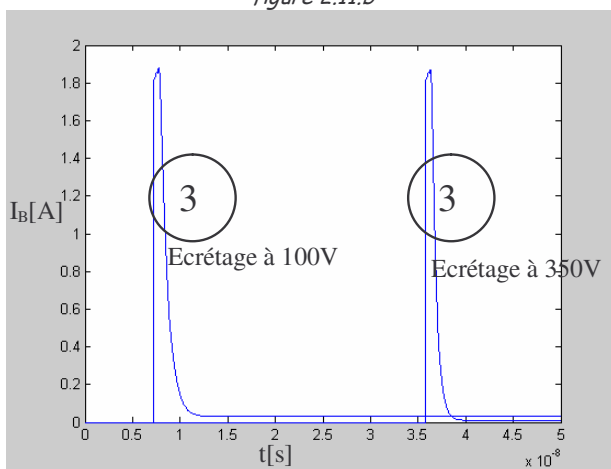


Figure 2.11.e I_B pour deux tensions de seuil 100V et 350V pour le cas 3 de figure 2.11.b

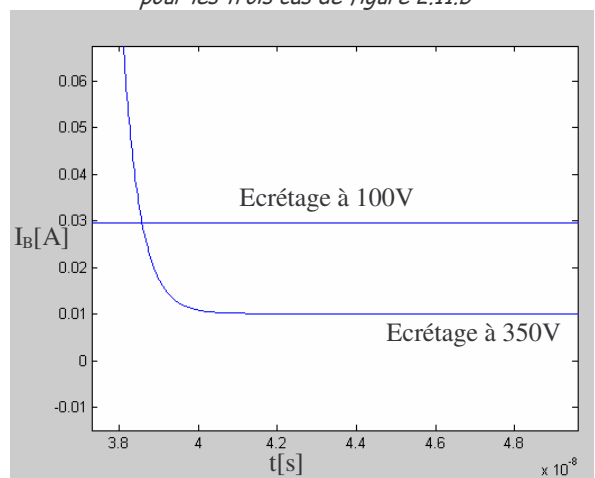


Figure 2.11.f I_B pour deux tensions de seuil 100V et 350V pour le cas 3 de figure 2.11.b (vue détaillée).

Donc le gain du BJT dépend de la tension à ses bornes. Autrement dit, la variation de la tension de seuil de protection changera le gain. Selon la plage de la tension choisie dans la figure 2.11.b, ce changement est plus ou moins important. Pour un changement de tension de seuil de 100V à 350V, le gain intrinsèque change de 60 à 160 et le courant de base correspondant en régime statique change de 100mA à 300mA comme dans la figure 2.11.e et f.

4. Prise en compte de l'inductance de câblage entre la diode àac et la base du bipolaire.
 Cette inductance parasite correspond au câblage de la diode à avalanche contrôlée. Puisque la diode àac reste à l'extérieur reliée au circuit de protection par des fils, d'une longueur non négligeable, leurs inductances parasites doivent être prises en compte. D'après la simulation de la figure 2.12.a, cette inductance retarde la montée du courant dans la diode et donc ralentit le système de protection. Par conséquent, la tension ne va pas être écrêtée à la tension de seuil voulue mais à une valeur supérieure dépendant entre

autres de la valeur de l'inductance parasite. De plus, cette inductance augmente le pic du courant passant dans la diode à avalanche par effet de réaction. Dans la figure 2.12.b, le pic de courant I_Z , pour une inductance de câblage de 100nH, est bien plus grand que le courant sans l'inductance de câblage. Par ailleurs, l'inductance parasite crée une sorte de phénomène résonant qui dégrade la qualité de la fonction d'écrêtage.

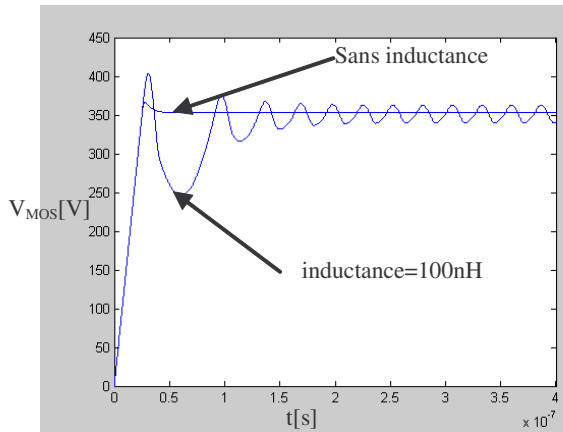


Figure 2.12.a Influence de l'inductance de câblage sur l'écrêtage de la tension du transistor à protéger.

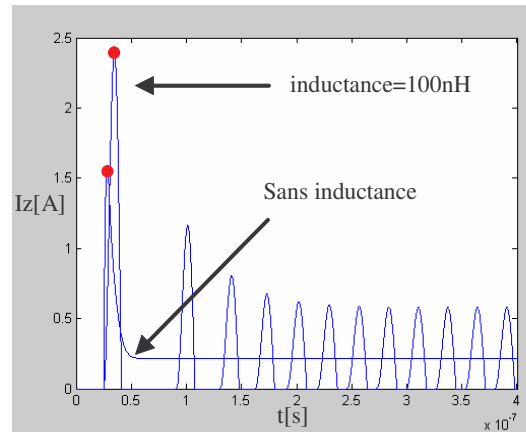


Figure 2.12.b Influence de l'inductance de câblage sur le courant de la diode à ac.

Donc l'inductance de câblage de la diode à ac a des effets négatifs sur les caractéristiques du circuit de protection. Tout dépend alors du dispositif de protection dans sa globalité. Si ses caractéristiques n'arrivent pas à compenser les effets négatifs du câblage de l'élément capteur (la diode à avalanche contrôlée), l'intégration de la fonction de dissipation ne sera pas bénéfique du point de vue de la connectique. La solution du JFET à la place de la diode à avalanche contrôlée extérieure, peut alors être une solution intéressante pour éviter ce genre de problème. Dans cette solution, comme expliqué dans le chapitre I, la diode est intégrée tout en gardant la possibilité de modifier la tension d'écrêtage par une simple tension négative appliquée sur la grille. L'étude de cette structure reste une des perspectives de cette thèse.

II.B.5 Extraction du modèle de Bipolaire.

Nous avons réalisé un système d'amplification de courant basé sur un des transistors bipolaires que nous avons fabriqués. L'avantage de ce système est que nous connaissons déjà les paramètres physiques et géométriques du transistor en question. Avec les relevés électriques du système réalisé, nous pouvons extraire plusieurs paramètres intéressants pour le modèle (largeur efficace de base, facteur de diffusion, quantité de charge, durée de vie...). Nous utiliserons, en deuxième temps, ces paramètres dans le modèle proposé et nous comparerons ces résultats avec des relevés pratiques à partir d'un circuit réel utilisant un

MOS protégé par un transistor bipolaire intégré pour la protection comme nous allons voir dans le quatrième chapitre.

Le schéma électrique de l'amplificateur de courant et les conditions de fonctionnement sont montrés sur la figure 2.13 :

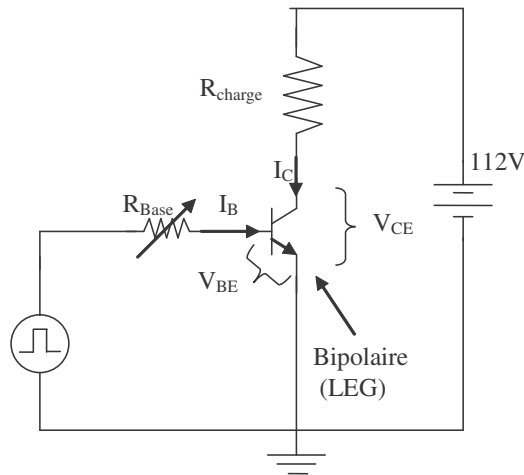


Figure 2.13.a. Circuit (amplificateur de courant) de test utilisant un bipolaire intégralement fabriqué.

Conditions de fonctionnement du schéma de la figure 2.13.a

- 1-Commande par une source de courant impulsionnel (fréquence=200Hz, $T_{on} = 25\mu s$).
- 2-Tension d'alimentation continue = 112V.
- 3- $R_{charge} = 50 \Omega$.

Pour éviter l'occurrence d'un échauffement thermique excessif, nous avons piloté notre composant d'une façon impulsionnelle. Aussi, le transistor bipolaire fonctionne comme amplificateur de courant pendant $25\mu s$ toutes les 5ms.

Nous visualisons par ce système le courant de base I_B , le courant de collecteur I_C , la tension base-émetteur V_{BE} et la tension collecteur-émetteur V_{CE} . Les figures suivantes montrent les résultats obtenus:

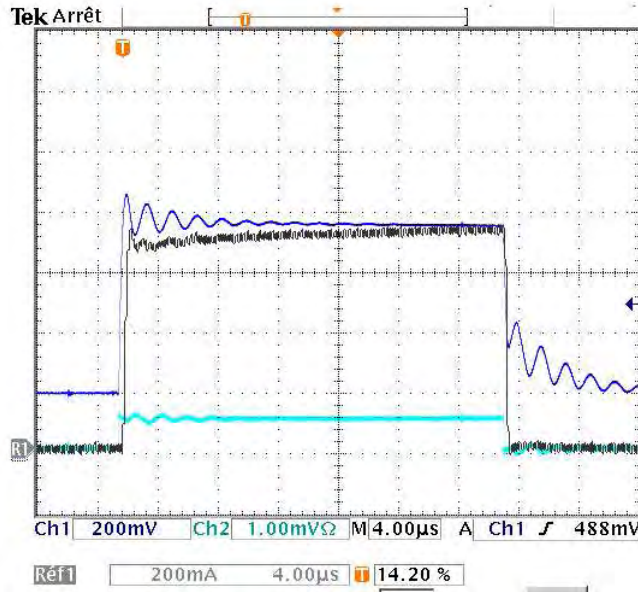


Figure 2.14 V_{BE} (bleu foncé), I_C (noir), I_B (bleu clair) du circuit de test du schéma 2.13.a pour les données de figure 2.13.b.

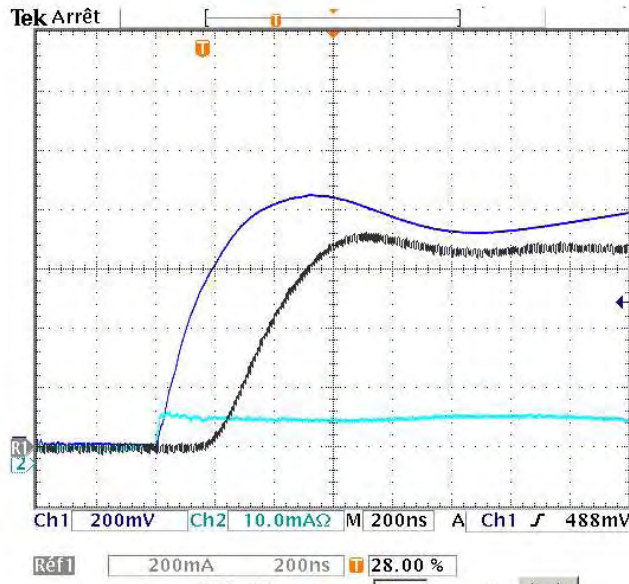


Figure 2.15 V_{BE} (bleu foncé), I_C (noir), I_B (bleu clair) du circuit de test du schéma 2.13.a pour les données de figure 2.13.b.
(vue détaillée).

A partir de ces résultats on peut calculer les grandeurs suivantes:

D'après les mesures, le courant de base $I_B = 4\text{mA}$, le temps de montée du courant de collecteur vaut $t_r = 450\text{ns}$. Donc la quantité de charge stockée dans la base pour ce niveau de courant est égale à $Q_B = I_B \cdot t_r = 4 \cdot 10^{-3} \cdot 450 \cdot 10^{-9} = 1,8 \cdot 10^{-9} \text{C}$. Donc la quantité de charge de base par unité de surface : $Q_B^* = Q_B / A = 1,8 \cdot 10^{-9} / (22 \cdot 10^{-4} \cdot 6.72) = 1,2 \cdot 10^{-7} \text{C} \cdot \text{cm}^{-2}$. la valeur théorique calculé de figure 2.7 pour $V_{BE} = 0.75\text{V}$ est $2 \cdot 10^{-7} \text{C} \cdot \text{cm}^{-2}$.

Le temps de retard t_1 entre le courant de base I_B et le début du courant de collecteur I_C est égal à 150ns . Il représente le temps nécessaire pour combler la zone de déplétion de la jonction

base-émetteur avant l'apparition de la charge stockée et du courant de collecteur. Ce temps, qui est normalement négligé en électronique de puissance, représente dans notre cas « $150/(150+450)$ » 25% du temps total de réaction du circuit. Ce qui montre l'importance de le prendre en considération dans notre application. A partir de ce temps, on peut calculer la quantité de charge de jonction :

$$Q_J = I_B \cdot t_{rj} = 4.10^{-3} \cdot 150.10^{-9} = 6.10^{-10} C \text{ donc } Q_J^* = 4.10^{-8} C.cm^{-2}.$$

La tension V_{BE} à la fin de phase de montée du I_C est égale à 0.75V. D'après la figure 2.7 la quantité totale de charge par unité de surface correspondante à cette tension est égale à $2.10^{-7} C.cm^{-2}$ ce qui est pas loin de la valeur mesurée ($1,2.10^{-7}+0,4.10^{-7}$).

Quand $V_{BE} = 0,550V$, la quantité de charge correspondante $Q_J^* = 4.10^{-8} C.cm^{-2}$ comme nous avons déjà vu. D'après la figure 2.7, $Q_J^* = 4,5.10^{-8} C.cm^{-2}$. Ce qui est pas loin de la valeur théorique.

Donc d'après ces analyses nous pouvons diviser la figure 2.7 en trois parties (voir figure 2.16):

- Dans la première partie ($0V \leq V_{BE} \leq 0,45V$) : la quantité de charge injectée dans la base est consommée totalement pour combler la zone de déplétion de la jonction base-émetteur comme déjà expliqué.
- Dans la deuxième partie ($0,45V \leq V_{BE} \leq 0,7V$) : la charge injectée est consommée pour continuer à combler la jonction et aussi à établir le courant de collecteur.
- Dans la troisième partie ($0,7V \leq V_{BE}$) : la charge injectée est consommée pour arriver à un certain niveau de I_C déterminé par le circuit.

Les frontières de ces zones déterminent plus ou moins la rapidité du transistor (les deux temps t_1+t_r). Ceci peut être contrôlé par plusieurs facteurs physiques (dopage), géométriques (largeur de la base, surface du composant) et aussi électriques (la tension V_{CE} appliquée, le circuit de driver du courant de base, le niveau de courant du collecteur).

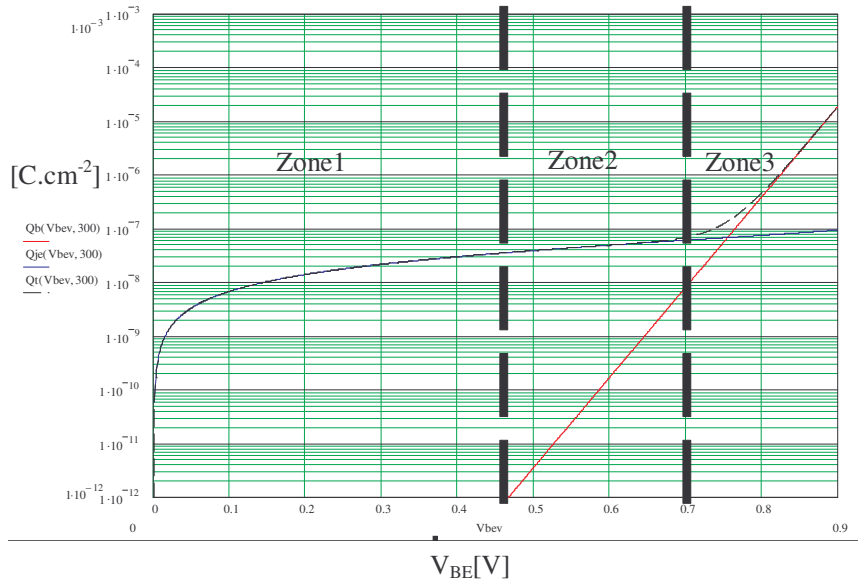


Figure 2.16 Division en trois zones de la dépendance des quantités des charges injectées dans la base avec la tension base-émetteur dans un transistor bipolaire.

La durée de vie des porteurs minoritaire dans la base peut être calculée :

$$\tau = \frac{Q_{Btot}}{I_B} = \frac{1,8 \cdot 10^{-9} + 6 \cdot 10^{-10}}{4 \cdot 10^{-3}} = 600ns .$$

Pour la tension appliquée (112V) et pour des profondeurs physiques mesurés par le technologie spreading des jonctions base-émetteur=0.6 et base-collecteur = 2.09 et en utilisant la méthode des relations 2.34 (réalisé sur Mathcad) on trouve que la largeur effective de la base pour $V_{CE} = 75V$ est égale à $1.17\mu m$.

En prenant $n_i^2 = 1,771 \cdot 10^{20}$ pour $T=300^{\circ}k$, et pour $I_C=0,75A$ (voir figure 2.14) nous

retrouvons que le facteur de diffusion $D_n = \frac{I_C \cdot e_b^2}{2 \cdot Q_B} = \frac{0,75 \cdot (1,17 \cdot 10^{-4})^2}{2 \cdot 1,8 \cdot 10^{-9}} = 2.85 cm^2 \cdot s^{-1}$.

Ceci nous permet de calculer le gain pour la tension $V_{CE}=75V$:

$$\beta = \frac{2 \cdot D_n \cdot \tau_n}{e_b^2} = 250 . \text{ Nous pouvons aussi calculer le gain en pratique à partir de la figure 2.14}$$

$$\beta = \frac{I_C}{I_B} = \frac{0.75}{0.004} = 187.5 \text{ ce qui est du même ordre de grandeur.}$$

Donc ces paramètres extraits de la pratiques en utilisant notre bipolaire vont être injectés dans le modèle proposé pour comparer ces résultats avec des résultats pratiques d'un hacheur série utilisant un bipolaire pour la protection comme nous allons le voir dans le dernier chapitre.

II.C. Modélisation thermique de l'ensemble transistor principal-transistor de protection.

Dans cette partie, nous allons étudier les comportements thermiques statique et dynamique de l'ensemble transistor de puissance à protéger et dissipateur thermique de la fonction de protection en tension tous deux intégrés sur la même puce. Cette étude est faite sur la base d'un environnement thermique classique avec refroidissement en face arrière et en négligeant tout autre type d'échange. Cette étude tient son importance du fait que les deux transistors partagent la même puce et donc le même système de refroidissement ce qui entraîne un couplage thermique maximal; de plus, ils sont tous deux susceptibles de générer des pertes importantes. Le partage de la surface de silicium présente plusieurs caractéristiques spécifiques comme la diminution globale du volume de silicium, la diminution de la connectique et des plots de contact est enfin le partage et la maximisation des moyens de refroidissement des deux dispositifs. Cet environnement intégré modifie les échanges entre composants de puissance et ambiant et augmente bien évidemment les interactions thermique au sein de la puce. Aussi, nous nous attacherons à caractériser quelles peuvent être les conséquences positives mais aussi les limites de ces interactions thermiques tant pour le composant à protéger que pour la fonction dissipateur thermique qui lui est associée.

Les bases de temps électrique et thermique étant généralement bien différentes, notre travail consiste donc tout d'abord en une évaluation et une caractérisation du couplage entre ces deux phénomènes physiques. Les régimes établis comme les régimes transitoires ou dynamiques devront être abordés dans ce travail car les deux fonctions intégrées ont des comportements bien différents. Pour ce faire, nous avons développé une approche simplifiée du comportement thermique et du couplage électrothermique à base de circuits équivalents élémentaires. Cette approche grossière est complétée par un travail plus fin sur la base de modèles numériques que nous avons mis en œuvre.

II.C.1 Présentation du problème.

Le processus d'intégration que nous avons mis en œuvre permet d'associer sur la même puce de silicium deux fonctions. D'un point de vue thermique, ces fonctions présentent des pertes qu'il faut évacuer au mieux pour limiter les échauffements destructeurs. En première approximation, on peut dire que l'association des deux fonctions crée une surface d'échange plus importante avec l'ambiant via le refroidisseur auquel elles sont associées. Il en va de même du volume du pavé de silicium qui lui aussi devient plus important. L'association des

deux fonctions génère une nouvelle situation qui peut être interprétée du point de vue thermique en fonction des conditions de fonctionnement des deux fonctions existantes.

Les conditions de fonctionnement des deux fonctions sont très différentes. Ainsi, coté transistor à protéger, le mode de fonctionnement peut être considéré comme continu à l'échelle des phénomènes thermiques. En revanche, pour ce qui est du transistor de protection, le mode de fonctionnement est fortement impulsionnel et directement lié aux besoins de protection en tension de l'ensemble.

L'étude de la modélisation thermique va prendre en compte l'évacuation de la chaleur dans le sens vertical, par le refroidisseur, et dans le sens horizontal par le phénomène d'épanouissement avec la fonction voisine au sein de la même puce. Donc nous sommes dans un environnement 3D. La modélisation se base sur la résolution de l'équation de Fourier [Raël-96]:

$$\lambda \left(\frac{\partial^2 T}{\partial x^2} + \frac{\partial^2 T}{\partial y^2} + \frac{\partial^2 T}{\partial z^2} \right) + P_i = \rho \cdot C_p \cdot \frac{\partial T}{\partial t} \quad (2.35)$$

Avec:

T température [°K].

λ conductivité thermique de Silicium = 1.31 [W.cm⁻¹.°K⁻¹].

P_i pertes thermiques [W].

C_p chaleur spécifique du Silicium = 0.700 [J/°K.g].

ρ masse volumique du Silicium = 2.33 [g/cm³].

Avant d'entreprendre la modélisation thermique des deux fonctions et de leur environnement associé (plots de contact, périphérie en tension et bien sûr couplage thermique avec l'ambient), nous allons énoncer les caractéristiques et les conditions d'étude dans lesquelles nous nous sommes placés.

II.C.2 Approche simplifiée.

Sur la base d'un schéma simple, nous pouvons étudier, pour différentes conditions de fonctionnement, le comportement thermique de l'association sur la même puce de silicium. Pour ce faire, nous devons diviser la puce en plusieurs régions comme le montre la vue de dessus de la figure 2.17.a. La région en bleu (n°1) représente par exemple la zone active du transistor à protéger, la région en rouge (n°2) celle du transistor de protection, la région claire (n°3) celle de la zone périphérique, les régions noires représentant les zones de contact; les deux dernières familles sont non dissipatives et sont donc regroupées en une seule zone. On peut alors représenter le comportement thermique de cet ensemble par un schéma électrique

équivalent avec des sources de pertes, des résistances thermiques et des capacités calorifiques. Le schéma équivalent très simplifié de notre dispositif, incluant l'échange en face arrière est décrit figure 2.17.b.

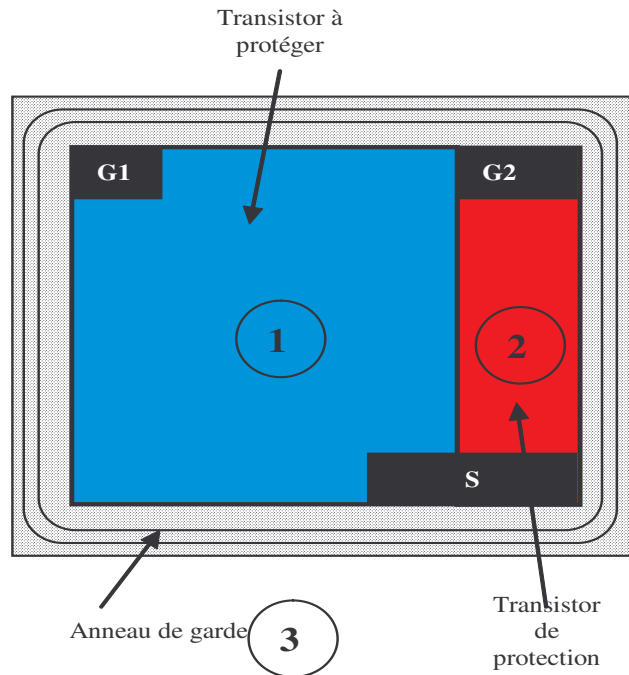


Figure 2.17.a Une des configurations possibles de distribution des cellules de protection dans la puce par rapport aux cellules du transistor à protéger.

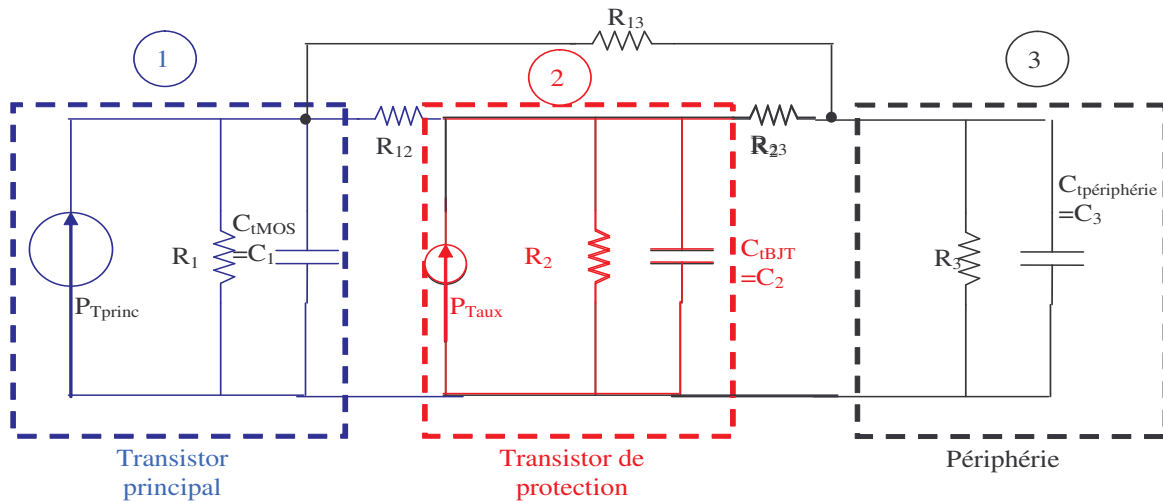


Figure 2.17.b Modélisation thermique des trois parties de la puce de Silicium.

Ou P_{Tprinc} , P_{Taux} sont les pertes électriques générées par le transistor à protéger et le transistor de protection.

Les résistances thermiques R_{t1} , R_{t2} et R_{t3} représentent l'échange entre les différentes zones de la puce et l'ambient (le refroidisseur en face arrière dans notre cas d'étude). Les valeurs de ces

résistances sont calculées à partir de la structure de refroidisseur en prenant en compte l'empilement entre le pavé de Silicium et le refroidisseur métallique [Gillot-03].

Les capacités C_1 , C_2 et C_3 dans le schéma représentent les capacités calorifiques du Silicium pour les différentes régions. En fait, chaque volume V de Silicium est représenté par une capacité calorifique C_t égale à:

$$C_t = C_p \cdot \rho \cdot V \quad (2.36)$$

Avec C_t en $J/^\circ K$. A titre d'exemple, pour notre application (la puce est un carré de $3 \times 3 \text{ mm}^2$ de surface et d'une épaisseur de 0.3 mm), la capacité calorifique totale de la puce est égale à:

$$C_{t,tot} = 0.7 \cdot 2.33 \cdot 0.3 \cdot 0.3 \cdot 0.03 = 4.4 \text{ mJ} / ^\circ K$$

Les résistances thermiques R_{12} , R_{23} et R_{13} représentent les couplages thermiques entre les différentes zones de la puce. Ces résistances sont calculées d'après la relation suivante:

$$R = \frac{1}{\lambda} \cdot \frac{d}{A} \quad (2.37)$$

Avec

R résistance thermique correspondant à l'évacuation horizontale de la chaleur [$^\circ K/W$].

λ conductivité thermique de Silicium = $1.31 \text{ [W.cm}^{-1} \cdot ^\circ K^{-1}]$.

d la distance parcourue par le flux de chaleur [cm].

A surface traversée par cette chaleur [cm^2].

L'estimation des résistances contribuant à l'épanouissement latéral est très approximative et ne peut en aucun cas donner des résultats quantitatifs exploitables sans passer par un maillage fin de la puce.

Le produit $R_t C_t$ représente la constante de temps thermique. A titre d'exemple la constante de temps thermique de la puce et de son refroidisseur associé est de l'ordre de 40 ms dans notre application. Comme on peut le constater, cette constante de temps est bien supérieure aux périodes de découpage utilisées en électronique de puissance dans le cas général. Ceci nous permettra de simplifier notre travail au cours de l'étude du régime statique.

Les pertes dans le transistor à protéger $P_{T_{\text{princ}}}$ se divisent en deux parties: les pertes par conduction et les pertes par commutation [Ferrieux-99]. Ces pertes dépendent des niveaux de tension et de courant, de la fréquence de découpage et des caractéristiques intrinsèques du transistor (temps de montée, de descente, R_{DSon}, \dots).

$P_{T_{\text{aux}}}$ représente les pertes dans le circuit de protection. Ces pertes durent pendant toute la phase de protection. Celle-ci peut être plus ou moins longue et répétitive ou pas.

Le calcul des pertes en conduction n'est pas abordé dans ce paragraphe pour ne pas en alourdir la compréhension. Celui-ci reste en tous les cas très classique et plutôt qualitatif [Ferrieux-

99]. En effet, nous cherchons plutôt à montrer ici l'impact du couplage thermique entre fonctions sur silicium qu'à fournir des tableaux de résultats en vue du dimensionnement.

Pour ce qui est des pertes dans la fonction dissipateur thermique, elles correspondent au produit du courant nominal par la tension de protection pour une durée plus ou moins longue selon le cas traité. Il est considéré que le transistor principal est alors complètement bloqué et que l'ensemble du courant de protection passe par le BJT (on néglige donc la part de courant qui circule dans le capteur).

La mise en forme mathématique du schéma de la figure 2.17.b est décrite ci-dessous. Elle est basée sur la création d'une matrice d'état et de son système associé [Raël-96]. Cela permet de prendre en compte très simplement la dynamique du problème.

$$V'_{C1} = -\left(\frac{1}{R_1C_1} + \frac{1}{R_{12}C_1} + \frac{1}{R_{13}C_1}\right)V_{C1} + \frac{1}{R_{12}C_1}V_{C2} + \frac{1}{R_{13}C_1}V_{C3} + \frac{1}{C_1}I_1 \quad (2.38)$$

$$V'_{C2} = \frac{1}{R_{12}C_2}V_{C1} - \left(\frac{1}{R_2C_2} + \frac{1}{R_{21}C_2} + \frac{1}{R_{23}C_2}\right)V_{C2} + \frac{1}{R_{23}C_2}V_{C3} + \frac{1}{C_2}I_2 \quad (2.39)$$

$$V'_{C3} = \frac{1}{R_{13}C_3}V_{C1} + \frac{1}{R_{23}C_3}V_{C2} - \left(\frac{1}{R_3C_3} + \frac{1}{R_{13}C_3} + \frac{1}{R_{23}C_3}\right)V_{C3} + \frac{1}{C_3}I_3 \quad (2.40)$$

$$\begin{bmatrix} V'_{C1} \\ V'_{C2} \\ V'_{C3} \end{bmatrix} = \begin{bmatrix} -\left(\frac{1}{R_1C_1} + \frac{1}{R_{12}C_1} + \frac{1}{R_{13}C_1}\right) & \frac{1}{R_{12}C_1} & \frac{1}{R_{13}C_1} \\ \frac{1}{R_{12}C_2} & -\left(\frac{1}{R_2C_2} + \frac{1}{R_{21}C_2} + \frac{1}{R_{23}C_2}\right) & \frac{1}{R_{23}C_2} \\ \frac{1}{R_{13}C_3} & \frac{1}{R_{23}C_3} & -\left(\frac{1}{R_3C_3} + \frac{1}{R_{13}C_3} + \frac{1}{R_{23}C_3}\right) \end{bmatrix} \begin{bmatrix} V_{C1} \\ V_{C2} \\ V_{C3} \end{bmatrix} \quad (2.41)$$

$$+ \begin{bmatrix} \frac{1}{C_1} & 0 & 0 \\ 0 & \frac{1}{C_2} & 0 \\ 0 & 0 & \frac{1}{C_3} \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \\ I_3 \end{bmatrix}$$

$$\begin{bmatrix} \Delta T_1 \\ \Delta T_2 \\ \Delta T_3 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} V_{C1} \\ V_{C2} \\ V_{C3} \end{bmatrix} + \begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \\ I_3 \end{bmatrix} \quad (2.42)$$

Pour conclure, chaque cellule thermique est représentée sous forme d'une capacité calorifique et d'une série de résistances thermiques formant des liens avec le voisinage silicium et ou l'ambient. Une source peut être insérée pour matérialiser les pertes dans chacune des zones. La différence de potentiel représente alors la différence de température par rapport à l'ambient qui sert de référentiel.

Le modèle peut facilement être implanté sur Matlab pour visualiser le comportement thermique de la puce et de ses différentes parties.

Néanmoins, cette approche très simplifiée souffre d'un manque de réalisme important car elle ne prend pas suffisamment en compte l'impact et les caractéristiques de l'empilement entre la puce et l'ambiant. En particulier, le diffuseur supérieur joue un rôle non négligeable dans l'épanouissement de la chaleur. Aussi, pour compléter notre étude et modéliser de manière plus réaliste notre problème, nous avons décidé de complexifier notre modèle en passant par un maillage plus important de la puce et de son environnement. Nous avons fait une approche qui repose sur une modélisation fine 2D de la puce. Dans ce cas, l'impact de l'empilement sur l'épanouissement latéral est bien identifié grâce à la prise en compte plus fine de la structure propre de la puce.

II.C.3 Approche numérique fine.

Afin d'approfondir les points énoncés dans le paragraphe précédent, nous proposons dans la suite une étude plus précise à base de simulations numériques. Ces simulations numériques ont été développées à partir d'une extension du schéma électrique équivalent développé plus haut. Ceci nous permet de visualiser avec précision (en fonction d'un maillage 2D) l'évolution de la température en différents points de la puce et cela pour diverses conditions de fonctionnement des deux systèmes intégrés. En fait, la matrice d'état est généralisable pour n cellules en n'oubliant pas les résistances entre les cellules (voir figure 2.18). Le modèle de MATLAB est développé à partir de cette représentation. Dans ce modèle, nous pouvons modifier le niveau de discrétisation de la puce et positionner les trois parties de la cellule comme nous souhaitons. L'empilement est modélisé sur le même principe en prenant en compte les caractéristiques propres des différentes couches et matériaux.

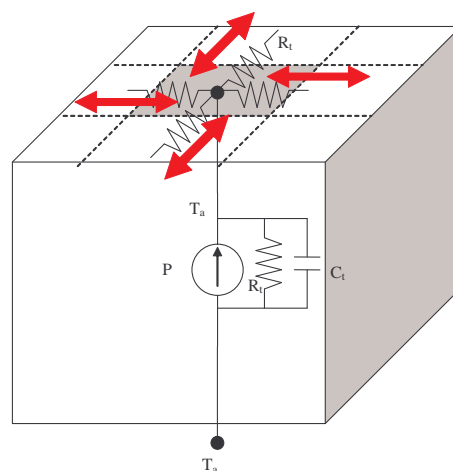


Figure 2.18 Discretisation de puce de Silicium en cellules élémentaires pour calculer l'évolution de température à chaque point des transistors.

D'après cette modélisation, on peut visualiser la carte des températures dans une tranche de l'empilement en fonction de plusieurs configurations au niveau de la puce de silicium. On peut ainsi voir quelles vont être les températures de surface minimale et maximale, en régime statique pour différents cas. Les simulations sont faites pour un mode de fonctionnement dans le quel on suppose qu'il existe des pertes dues à la protection qui se répètent à chaque commutation pour une durée de $1\mu\text{s}$. Nous pourrons alors étudier les conséquences d'un point de vue thermique de l'intégration d'une fonction de protection au sein d'un composant de puissance. Pour ce faire, nous avons choisi plusieurs cas dont les caractéristiques sont résumées dans le tableau 2.3 ci-dessous. Il permet de comparer différentes solutions en fonctions de critères électriques ou thermiques compatibles. Ainsi, deux paramètres majeurs sont indexés: la surface du diffuseur et la surface de la zone active du transistor principal. On peut ainsi comparer à caractéristiques électriques identiques.

Config.	Vue de dessus	Eléments de géométrie (mm ²)	Intérêts
1	<p>zone active Interrupteur Cas 1</p>	<ul style="list-style-type: none"> -Surface active interrupteur: 4.2 -Surface totale puce: 7.8 -Surface diffuseur: 9 	<ul style="list-style-type: none"> -Composant de référence à surface égale à la surface du composant principal dans les puces monolithiques. -Diffuseur comparable à celui des composants intégré.
2	<p>zone active Interrupteur Cas 2</p>	<ul style="list-style-type: none"> -Surface active interrupteur: 4.2 -Surface totale puce: 7.8 -Surface diffuseur: 7.8 	<ul style="list-style-type: none"> -Composant de référence à surface égale à la surface du composant principal dans les puces monolithiques. -Diffuseur minimal.
3	<p>Zone active Interrupteur principal Cas 3</p> <p>Auxiliaire</p>	<ul style="list-style-type: none"> -Surface active interrupteur: 4.2 -Surface active protection: 0.84 -Surface totale puce: 9 -Surface diffuseur: 9 	<ul style="list-style-type: none"> -Composants intégrés. -Couplage thermique existant. -Fonction intégrée sur une zone pour simplifier la réalisation
4	<p>Auxiliaire Zone active Interrupteur principal Cas 4</p> <p>Auxiliaire</p>	<ul style="list-style-type: none"> -Surface active interrupteur: 4.2 -Surface active totale protection: 0.84 -Surface totale puce: 9 -Surface diffuseur: 9 	<ul style="list-style-type: none"> -Composants intégrés. -Couplage thermique latéral plus important. -Réalisation plus complexe
5	<p>Zone active Interrupteur principal Cas 5</p> <p>Auxiliaire</p>	<ul style="list-style-type: none"> -Surface active interrupteur: 4.2 -Surface active protection: 0.84 -Surface totale puces: 10.8 -Surfaces diffuseurs: interrupteur: 7.8 protection: 3 	<ul style="list-style-type: none"> -Composants discrets. -Surfaces de diffusion minimales pour les deux composants. -Absence de couplage thermique.

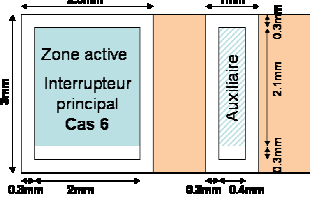
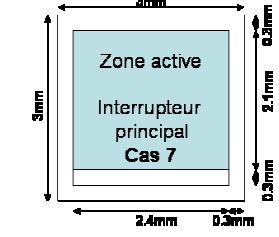
6	 <p>Diagram of Case 6 layout showing dimensions for the active zone and auxiliary zone. The active zone (blue) is 2.6mm wide and 3mm high. The auxiliary zone (orange) is 1mm wide and 3mm high. The total width is 3.6mm. The active zone is 0.3mm from the left edge. The auxiliary zone is 0.2mm from the right edge. The active zone is 0.3mm from the bottom edge. The auxiliary zone is 0.4mm from the bottom edge. The active zone is 0.3mm from the top edge. The auxiliary zone is 0.3mm from the top edge.</p>	<ul style="list-style-type: none"> -Surface active interrupteur: 4.2 -Surface active protection: 0.84 -Surface totale puces: 10.8 -Surfaces diffuseurs: 18 interrupteur: 9 protection: 9 	<ul style="list-style-type: none"> -Composants discrets. Intégration hybride. -Surface du diffuseur importante pour la puce de protection. -Absence de couplage thermique.
7	 <p>Diagram of Case 7 layout showing dimensions for the active zone. The active zone (blue) is 2mm wide and 3mm high. The total width is 2.4mm. The active zone is 0.3mm from the left edge. The active zone is 0.3mm from the bottom edge. The active zone is 0.3mm from the top edge.</p>	<ul style="list-style-type: none"> -Surface active interrupteur: 5 -Surface puce: 9 -Surface diffuseur: 9 	<ul style="list-style-type: none"> -Composant de référence à surface égale interrupteur principal plus fonction de protection.

Tableau 2.3 Plusieurs configuration prises dans l'étude thermique de l'ensemble transistor à protéger et de protection.

Les Conditions d'étude des simulations thermiques sont montrées dans le tableau 2.4 suivant:

Zone de protection	Niveau de pertes instantanées	300W
	Durée de la phase de protection	0.5μs
	Périodicité (la fréquence de découpage)	20kHz
	Niveau de pertes moyenne	3W
Zone composant principal	Surface active	0.84mm ²
	Niveau pertes en conduction moyenne	1.5W
	Niveau pertes en commutation moyenne	2W
	Surface active	4.2 ou 5mm ²

Tableau 2.4 Cahier des charges des simulations thermiques sur des plusieurs configurations.

Les résultats de simulation en statique sont listés dans le tableau suivant:

Structure silicium	Surf. totale diffuseur (mm ²)	Surf. active Inter. (mm ²)	Conditions de simulation	T _{moy} (°C)	T _{max} (°C)	T _{min} (°C)	DT (°C)
	7.8	4.2	Interrupteur seul <u>sans protection intégrée</u> ni en action	85.3	85.9	84.2	1.7
			Protection seule en action (disséminée)	77.4	77.9	76.4	1.5
			Interrupteur seul <u>sans protection intégrée</u> (en action par <u>rétroaction sur la grille</u>)	132.7	133.7	130.6	3.1
	9	4.2	Interrupteur seul <u>sans protection intégrée</u> ni en action	76.5	77.2	75.1	2.1
			Protection seule en action (disséminée)	69.9	70.4	68.7	1.7
			Interrupteur seul <u>sans protection intégrée</u> (en action par <u>rétroaction sur la grille</u>)	116.4	117.6	114	3.6
	9	4.2	Interrupteur avec protection intégrée <u>sur un coté</u> non en action	76.1	77.3	73.6	3.7
			Protection seule en action	69.5	76	65.8	11.2
			Interrupteur avec protection intégrée <u>sur le coté</u> en action	115.6	120.1	111.7	8.4
	9	4.2	Interrupteur avec protection intégrée <u>sur les cotés</u> non en action	76.1	77.1	74.5	2.6
			Protection seule en action	69.5	72.1	67.8	4.3
			Interrupteur avec protection intégrée <u>sur les cotés</u> en action	115.6	117.1	114.9	2.2
	7.8+3=10.8	4.2	Interrupteur seul sans protection intégrée en action	85.3	85.9	84.2	1.7
			Protection seule en action	148.5	150	147.5	2.5
			Différence de température				>60
	9*2=18	4.2	Interrupteur seul sans protection intégrée en action	76.5	77.2	75.1	2.1
			Protection seule en action	73.5	75.1	72	3.1
			Différence de température				Faible
	9	5	Interrupteur seul <u>sans protection intégrée</u> ni en action	76.1	76.5	75.1	1.4
			Protection seule en action (disséminée)	69.5	69.9	68.6	1.3
			Interrupteur seul <u>sans protection intégrée</u> (en action par <u>rétroaction sur la grille</u>)	115.6	116.4	113.7	2.7

Tableau 2.5 Résultats des plusieurs configuration thermique de l'ensemble transistor à protéger et de protection.

Il est bien clair que l'ensemble des valeurs présentées dans le tableau 2.5 ne reflète que des tendances et il serait bien hâtif de généraliser les conclusions de ces résultats. En effet, les conditions électriques mais aussi et surtout thermique peuvent influencer fortement l'amplitude et les écarts de température. Nous pensons toutefois que les tendances que l'on pourra constater permettront de dégager certaines conclusions utiles. L'ordre des commentaires qui vont suivre ne reflète pas obligatoirement leur importance.

-Tout d'abord, il est bon de noter que l'intégration ou l'association de la fonction de protection au composant principal (protégé) semble être positive du point de vue de la thermique. En effet, lorsque la puce de protection est indépendante et seule (cas 5), sa température maximale est bien supérieure à toutes celles des autres configurations. L'association ou l'intégration des deux éléments semble donc être bénéfique. Par ailleurs, ce qui semble être important, c'est le partage des moyens de refroidissement. En effet même si tous les cas ont été simulés avec les mêmes conditions d'échange avec l'ambient en face arrière, le fait d'associer ou d'intégrer les deux éléments permet d'augmenter fortement la surface d'échange sous le diffuseur en cuivre ce qui maximise les possibilités de refroidissement. Sur les figures 2.19.a et b, nous montrons la distribution des températures sur une section verticale située au milieu des transistors. Les résultats de la figure 2.19.a correspondent au cas 3 du tableau 2.5 quand la protection intégrée est en action; les résultats de la figure 2.19.b correspondent au cas 5 quand la protection non intégrée est en action aussi. La figure 2.19.b ne représente que la section sous le transistor de protection non intégré.

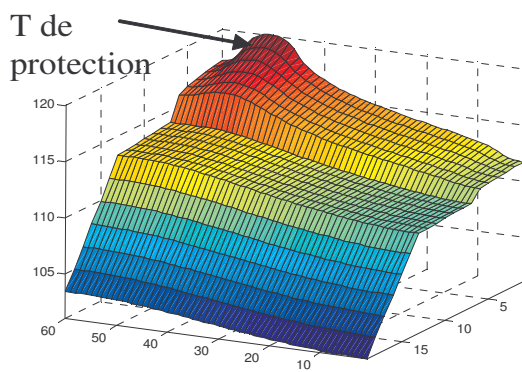


Figure 2.19.a. Distribution des températures de la puce pour le cas 3 quand la protection est en route.

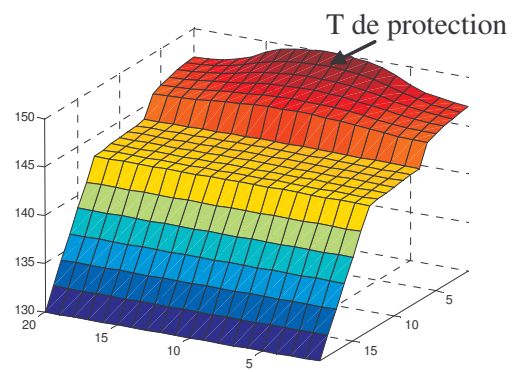


Figure 2.19.b. Distribution des températures de la puce pour le cas 5 quand la protection est en route.

-Le couplage thermique entre les deux éléments est positif car il permet d'homogénéiser les écarts de températures mais aussi et surtout de partager les moyens de refroidissement.

Les figures suivantes montrent les résultats de distribution thermiques du cas 4. La figure 2.20.a montre la distribution thermique quand le transistor principal fonctionne mais son transistor de protection intégré est bloqué (donc pas de génération des pertes dans la partie de protection). La figure 2.20.b montre la distribution thermique quand le transistor principal est bloqué (donc pas de génération des pertes dans la partie du transistor principal) mais son transistor de protection est en action. La figure 2.20.c montre la distribution thermique quand les deux transistors de la puce fonctionnent.

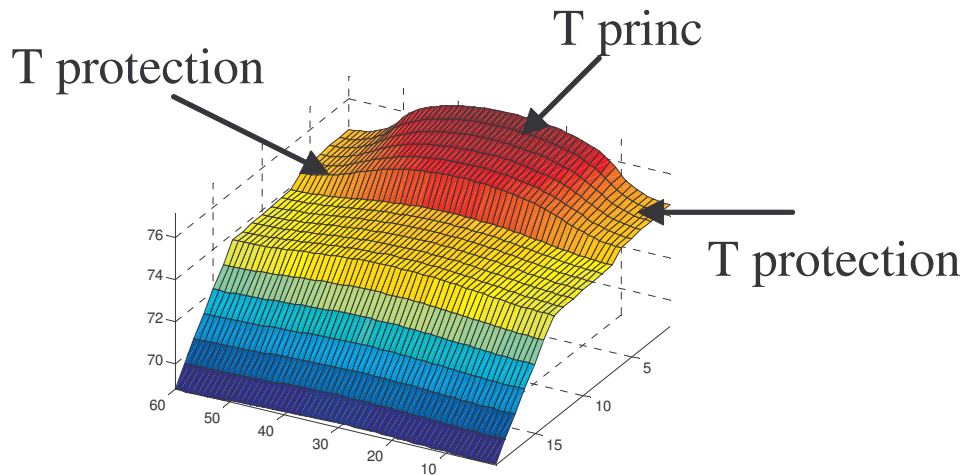


Figure 2.20.a Distribution des température pour le cas N° 4 avec le transistor principal en action sans protection.

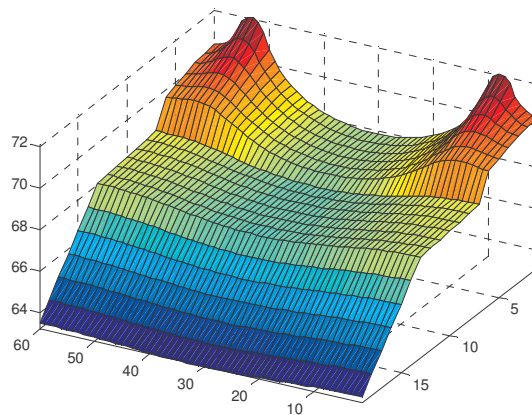


Figure 2.20.b Distribution des température pour le cas N° 4 avec le transistor principal non en action, protection en action.

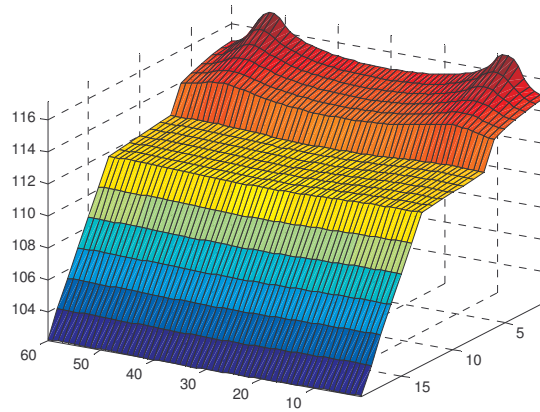


Figure 2.20.c Distribution des température pour le cas N° 4 avec le transistor principal et de protection sont en action.

-L'intégration du dispositif de protection en tension au sein de la puce de puissance dans ce cas de fonctionnement ne nécessite pas spécialement d'être disséminée sur toute la surface. On peut remarquer qu'entre les cas 7 et les cas 3 et 4 les différences des températures moyenne et maximale restent limitées à quelques degrés. Cela signifie que l'intégration peut être simplifiée au maximum en mettant côte à côte les deux zones sans pour autant pénaliser le comportement thermique de l'ensemble. Dans tous les cas, le gradient de température au sein de la puce reste limité à quelques degrés ce qui semble favorable.

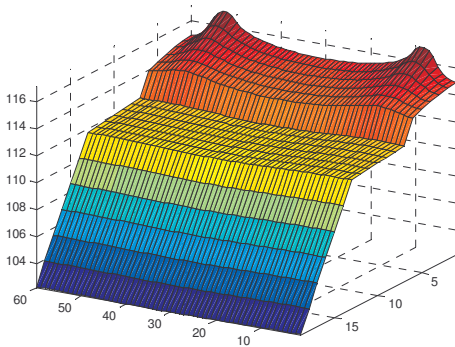


Figure 2.21.a Distribution des températures pour le cas N° 4 lorsque le transistor principal et de protection sont en action.

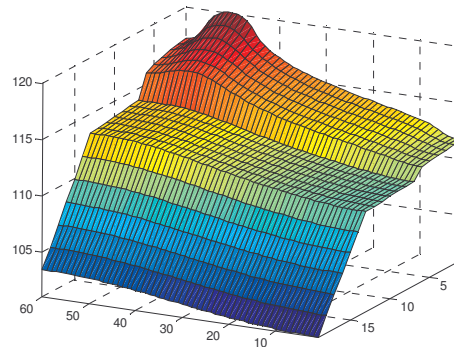


Figure 2.21.b Distribution des températures pour le cas N° 3 lorsque le transistor principal et de protection sont en action.

-Il semble clair que l'utilisation du composant de puissance à des fins de protection en tension (par rétroaction sur la grille ou encore par phénomène d'avalanche naturel) imposera un surdimensionnement de la surface active du composant. On peut le voir avec la comparaison du cas 2 avec les cas 3 et 4. Dans les trois cas, la surface active du composant principal est constante, mais dans le cas 2, la température moyenne est plus importante car les moyens de

refroidissement sont moins importants. De même, les cas 3, 4 et 7 offrant les mêmes moyens de refroidissement ont des températures de fonctionnement comparables. Il est à noter que ces comparaisons se font à niveaux de pertes électriques constantes ce qui ne serait être le cas dans la réalité si la surface active du composant principal change.

-L'impact du diffuseur avant l'isolant est majeur pour ce mode de fonctionnement. Cela reflète l'importance du boîtier. Dans les cas 5 et 6 (voir figure 2.22), l'impact de la taille du diffuseur est bien visible avec des différences de température conséquentes en fonction de la surface de celui-ci. Ainsi, l'intégration hybride dans un boîtier de grande taille semble offrir le meilleur compromis. Bien sûr, la connectique sera dans ce cas moins performante et le volume total bien plus important. Sans oublier que la surface totale de silicium et donc son coût seront eux aussi plus importants. De son côté, l'intégration monolithique offre un bon compromis performance, volume total et connectique.

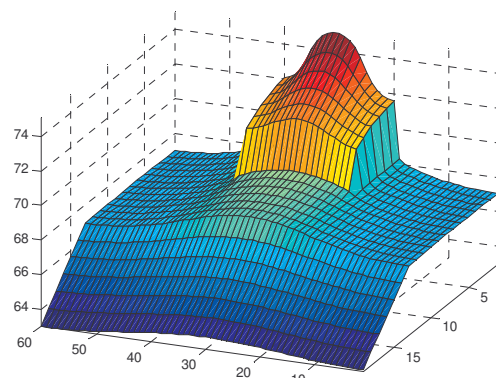
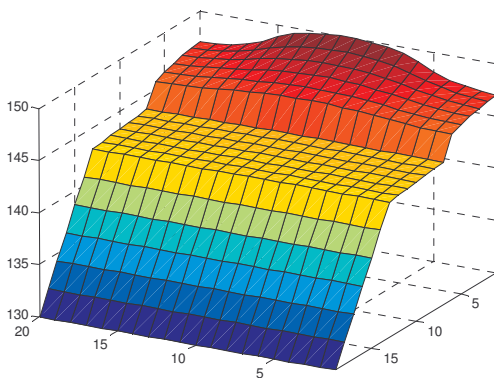


Figure 2.22.a Distribution des températures pour le cas N° 5 avec la protection seule en action.

Figure 2.22.b Distribution des températures pour le cas N° 6 avec la protection seule en action.

-Lorsque le dispositif de protection n'est pas en action, le composant principal peut bénéficier de la surface additionnelle offerte par la zone de protection non dissipative. Cela se fait bien évidemment au prorata des surfaces de deux zones. Bien souvent, la zone de protection sera plus petite que celle de la fonction à protéger ce qui peut limiter les gains dans ce sens. Dans notre cas, ces gains avoisinent les 20% ce qui correspond approximativement au rapport des surfaces actives des deux fonctions (cas 2 avec cas 3 ou 4 ou 7).

Pour conclure sur cette analyse, il semble que l'intégration d'une source de pertes supplémentaires au sein d'un composant de puissance soit plutôt facile à gérer en régime statique. Elle présente des avantages en terme de partage des ressources thermiques sans pour autant pénaliser fortement la complexité en terme d'intégration.

L'étude de la même structure en trois dimensions apporte peu de complément d'information car nous sommes alors obligés de relâcher la précision du maillage dans le sens vertical pour maintenir des temps de simulation raisonnables. Ainsi, l'impact des diffusions latérales est moins facile à mettre en évidence et surtout les résultats sont moins fiables toujours à cause du maillage plus grossier.

II.C.4 Généralisation de l'approche numérique fine pour le régime transitoire.

Les dispositifs de protection en tension peuvent être sollicités de manière impulsionnelle ou prolongée. Cela peut apparaître lors de dysfonctionnements ou de chocs électriques. On entre alors dans un régime transitoire thermique où la température au sein de la puce augmente fortement et rapidement en fonction des conditions de protection et du contexte thermique du dispositif. Pour parfaire l'étude thermique que nous avons engagée, il est important de ne pas négliger ce type de fonctionnement.

L'intégration monolithique sur silicium peut-elle contribuer au bon voir même au meilleur fonctionnement du dispositif de protection? Pour étudier ce cas, nous nous sommes servis du modèle précédemment développé qui permet de délivrer des résultats en régime transitoire. C'est d'ailleurs l'une des raisons qui nous a poussé à choisir ce type de modélisation. Nous pouvons ainsi prendre en compte les capacités calorifiques des différentes couches de l'empilement thermique sans avoir à négliger les phénomènes de propagations bidimensionnelles. Cela peut permettre par exemple de voir si le voisinage de fonctions annexes peut participer à l'épanouissement de la chaleur et donc limiter l'élévation de température au sein de la fonction de protection.

Nous avons donc simulé un choc thermique dû à une phase de protection en tension unitaire mais prolongée. Celle-ci est d'une durée de 1ms pour un niveau de pertes instantanées comparable à l'étude précédente et égale à 300W. Nous avons appliqué ce cycle de fonctionnement à l'ensemble des cas traités dans la partie précédente pour pouvoir comparer chaque solution mais aussi et surtout pour pouvoir au final identifier si une ou plusieurs solutions semblent optimale pour les deux types de fonctionnement à savoir en régime permanent et régime transitoire.

La série de graphiques des figures 23 a et b permet de comparer, pour les différents cas, l'évolution des températures maximales au sein de la puce de silicium pour les conditions énoncées dans le tableau précédent :

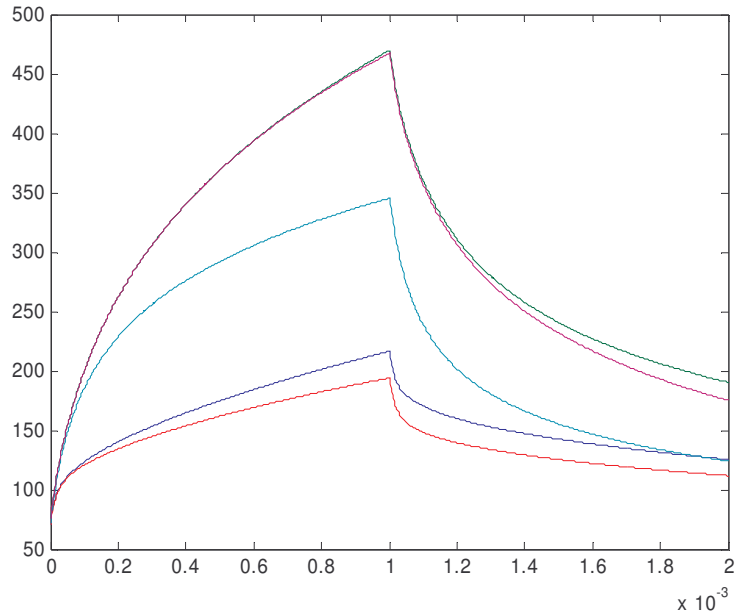


Figure 23.a. Evolution de la température de la puce en régime transitoire dans un choc thermique pour plusieurs configurations:

Vert: Cas 6 - protection seule avec gros diffuseur (couplage thermique avec la puce à protéger)

Magenta: Cas 3 - protection intégrée en une seule zone

Turquoise: Cas 4 - protection intégrée en deux zones périphériques

Rouge: Cas 7 - protection intégrée au sein de la surface totale de la puce

Bleu: Cas 1 - protection par rétroaction ou avalanche au sein d'une puce de silicium de 4mm² de surface active.

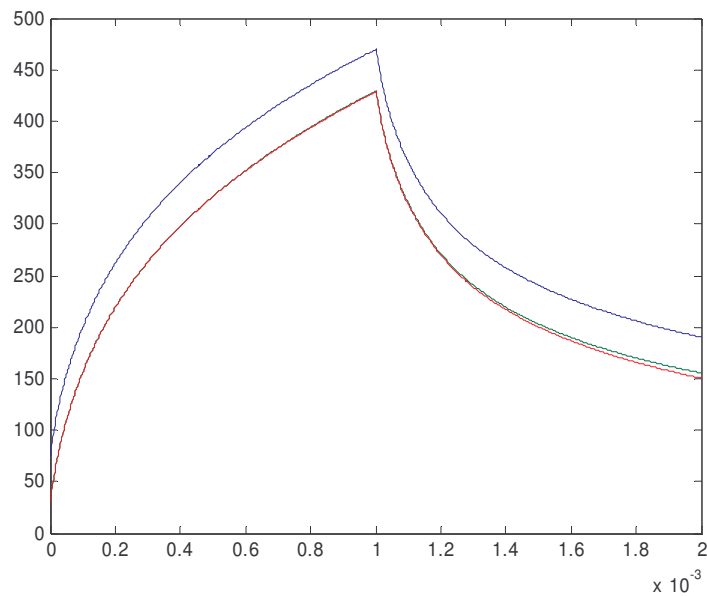


Figure 23.b. Evolution de la température de la puce en régime transitoire dans un choc thermique pour plusieurs configurations:

Vert: Cas 5 - protection seule sans diffuseur ni couplage thermique

Bleu: Cas 6 - protection seule avec diffuseur et couplage thermique par le diffuseur

Rouge: Cas 6 mais en séparant entre les deux diffuseur

On peut constater un certain nombre de phénomènes majeurs. Tout d'abord, compte tenu des constantes de temps thermique de nos dispositifs, la durée de la phase de protection est assez importante. Cela permet de bien identifier quel peut être la contribution de la partie résistive de l'impédance thermique.

Pour les faibles durées de protection (inférieure à 100 μ s), c'est directement le volume de silicium de la zone de dissipation de la fonction de protection en tension qui absorbe la chaleur produite. Cela se traduit par des variations de températures fortes, locales et quasi linéaires. Puis, en fonction des couplages thermiques présents par les différents cas (la surface d'échange latérale ou en face arrière, les capacités calorifiques voisines...), l'évolution des températures devient moins rapide. Plus la durée de la phase de protection augmente plus on tend à retrouver les grandes lignes décrites lors de l'étude du comportement des différents cas en régime permanent.

Plus précisément, on peut dire que :

-Les cas 3, 5 et 6, donnent des résultats médiocres pour les courtes durées. En effet, les capacités calorifiques des zones de dissipation sont faiblement couplées avec le voisinage. Néanmoins, il est important de noter que le cas 5 qui n'offre aucun couplage thermique entre la puce de protection et celle du composant à protéger bénéficie d'une température de départ plus faible.

-Le cas 3 ne se démarque pas franchement des cas 5 et 6 car la zone de dissipation thermique reste localisée en une zone. Le cas 4 offre un meilleur résultat car l'échange avec le voisinage devient plus important. Le couplage latéral restant faible, les gains en régime transitoire restent faibles. En comparant les cas 3 et 4 on remarque que plus la périphérie de la zone de dissipation est importante, plus la contribution du voisinage devient visible. Cela nous mène directement à la comparaison avec le cas 7 qui, à surface de silicium équivalente, donne un bien meilleur résultat. En effet, si la fonction de protection est disséminée au sein du composant de puissance à protéger ou si cela se fait grâce au pilotage de celui-ci (rétroaction sur la grille), le volume silicium disponible pour absorber le choc thermique devient bien plus important ce qui limite en conséquence l'élévation de température (cas 1 et 7).

-De manière générale, à surface de silicium donnée, disséminer les pertes au sein de ces puces semble logiquement offrir les meilleurs résultats. C'est ce que l'on peut observer dans les cas 1 et 7.

-L'impact du diffuseur apparaît plus faiblement dans ce comportement transitoire et peut être complètement négligé dans notre cas. Bien sûr, en fonction des échelles de temps considérées et des caractéristiques thermiques de l'empilement cela peut changer.

Petite conclusion.

L'analyse du comportement de la fonction intégrée fortement dissipative et de son voisinage en régime dynamique laisse entrevoir plusieurs conclusions. Tout d'abord, celle-ci doit être la plus disséminé possible pour maximiser les échanges en latéral. Cela reste positif car le volume du silicium sera partagé par deux fonctions ce qui aura pour conséquence d'améliorer les caractéristiques des deux tant au point de vue thermique qu'électrique. En effet, le type de fonctionnement que nous venons d'étudier n'est pas supposé se répéter régulièrement. De fait, le composant de puissance à protéger pourra la plupart du temps profiter d'un volume de silicium supplémentaire lui permettant d'améliorer ses caractéristiques en courant par exemple. Par contre, le coût technologique sera plus important. Le graphique ci-dessous présente une solution simple n'engendrant aucun surcoût technologique majeur.

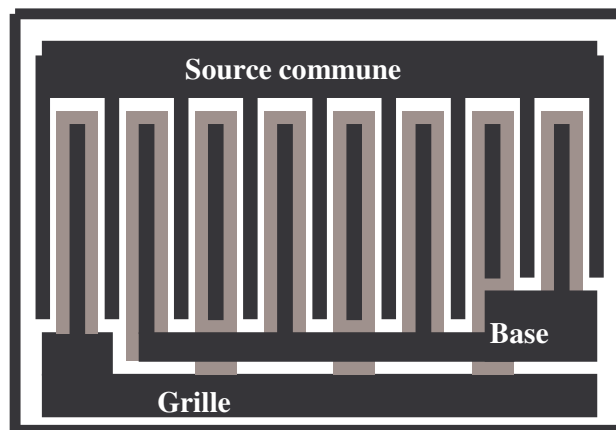


Figure 24. Nouvelle structure proposée du transistor principal avec transistor de protection pour augmenter l'influence de voisinage.

Dans cette structure nous faisons disséminer la surface du BJT de protection dans la surface principale sans pénaliser les procédures de fabrication. La figure 24 montre une vue de dessus de la puce de silicium avec les contacts métalliques des deux composant (MOS principal + BJT ou MOS de protection). Les deux composants partagent la même amenée de courant de source. L'amenée de courant de grille du transistor principal et du transistor de protection sont du même coté mais séparées. Le partage de surface est fait d'une façon que chaque n cellules du MOS principal sont séparées par une cellule du composant de protection comme la figure le montre. Les doigts de base des cellules du transistor de protection sont reliés directement à l'amenée de courant de base. Les doigts de grille du MOS principal sont reliés par le poly à l'amenée de courant de grille. De cette façon le profit du voisinage augmente et se rapproche considérablement du cas de la rétroaction.

II.D. Interaction Electrothermique dans le BJT.

La température est un facteur très important dans le comportement électrique du semiconducteur. Des paramètres clés, comme par exemple la mobilité de ses porteurs ou la concentration intrinsèque, dépendent de la température. La prise en compte de la température semble donc incontournable. Dans notre cas, le dispositif de protection est fortement dissipatif et le contexte thermique joue donc un rôle important. Le couplage électrothermique est alors nécessaire. Suivant l'utilisation de transistors BJT ou de MOSFET, les couplages électrothermiques sont différents car le fonctionnement de ces composants ne repose pas sur les mêmes principes physiques. Qu'en est-il de l'équilibrage des courants au sein des cellules du transistor de protection? Les problèmes de focalisation peuvent ils être modifiés ou réduits sous l'effet de l'intégration? Comment varient les paramètres et caractéristiques de fonctionnement en fonction de la température? Nos composants fonctionnant en régime linéaire, dans la zone de plateau, leurs comportements électrothermiques sont-ils compatibles ou comparables?

Les paramètres dépendant de la température que nous avons retenus pour un transistor bipolaire sont :

1. La densité des porteurs générés par les effets thermiques n_i : cette grandeur dépend fortement de la température. Logiquement, plus la température monte, plus la densité des porteurs dans un semiconducteur augmente. Cette dépendance avec la température est montrée sur figure 2.25 [Lefebvre-2004].

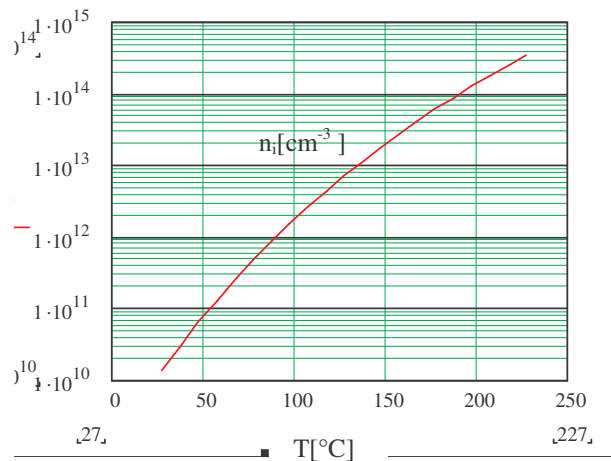


Figure 2.25. Dépendance de n_i en fonction de la température.

2. La densité maximale des « n » dans la zone non désertée de la base du BJT : $n_p(0)$ est calculée avec la relation 2.14.

3. La mobilité des porteurs minoritaires dans la base. Elle dépend à la fois de la concentration de base et de la température d'après la relation suivante [Klaassen-92-I], [Klaassen-92-II], [Roulston-82] :

$$\mu_n = 55,24 + \frac{1429,23 \left(\frac{T}{300}\right)^{-2.3}}{1 + \left(\frac{T}{300}\right)^{-3.8} \cdot \left(\frac{N}{1,072 \cdot 10^{17}}\right)^{0.73}} \quad (2.43)$$

La mobilité en fonction de la concentration pour la température ambiante est montrée sur figure 2.26.a. Sur figure 2.26.b, nous avons la mobilité en fonction de la température pour plusieurs concentrations.

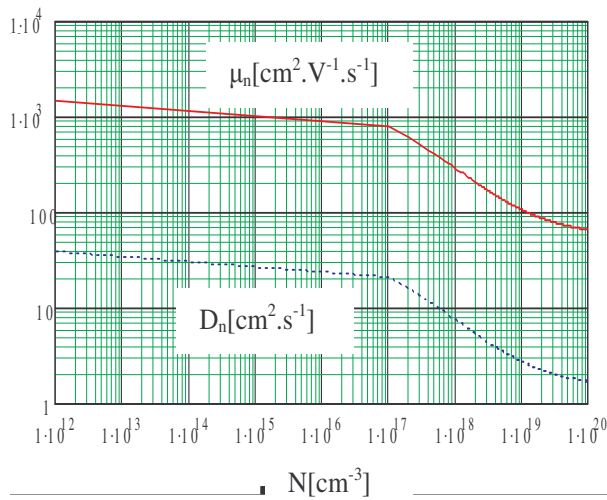


Figure 2.26.a Mobilité et coefficient de diffusion en fonction du dopage.

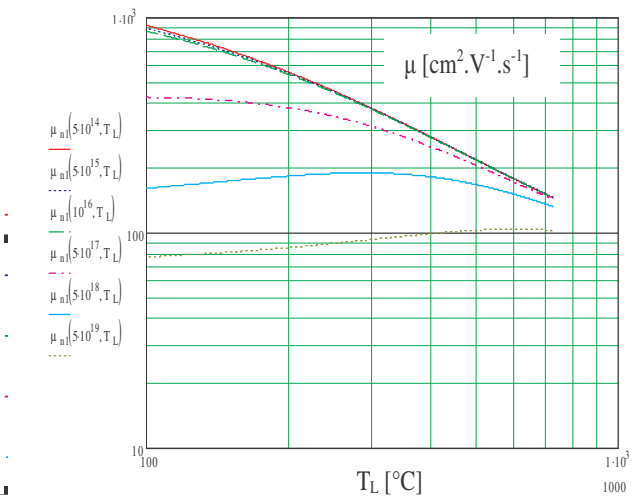


Figure 2.26.b Mobilité en fonction de la température pour plusieurs valeurs de dopage.

4. Le facteur de diffusion des porteurs minoritaires dans la base du BJT . Ce facteur est relié à la mobilité par les relations 2.5 et 2.6. La variation de ce facteur est donc contrôlée par la température et le dopage. Le facteur de diffusion en fonction du dopage et de la température est montré sur figure 2.27.

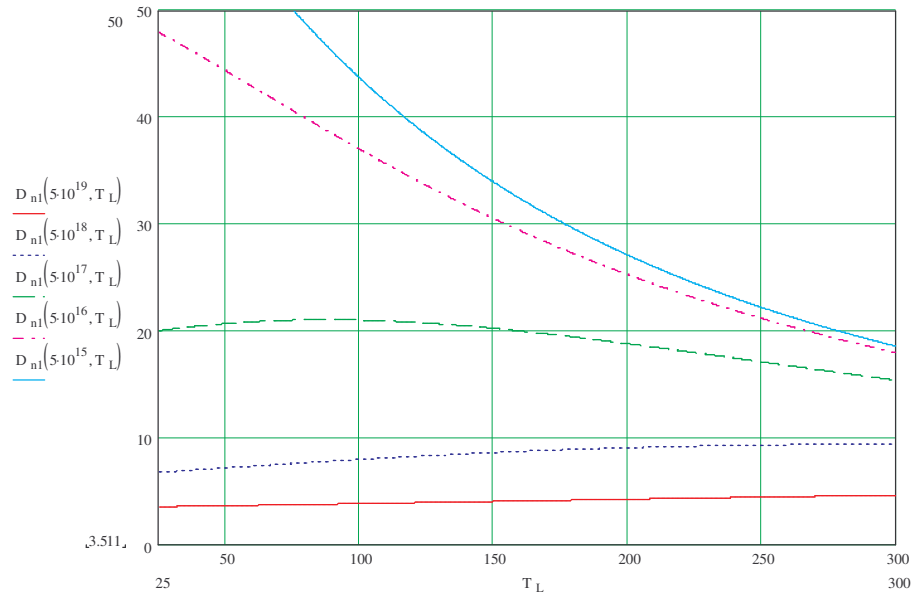


Figure 2.27 Coefficient de diffusion en fonction de dopage et de la température.

5. La tension intrinsèque de la jonction BE d'après la relation 2.9 varie avec la température. Cette tension diminue lorsque la température augmente.
6. La relation entre la tension V_{BE} apparaissant aux bornes de la jonction BE et la quantité de charge de la base dépendent de la température aussi d'après la relation 2.27. Cette relation est montrée sur figure 2.28 pour deux températures (25 et 100°C).

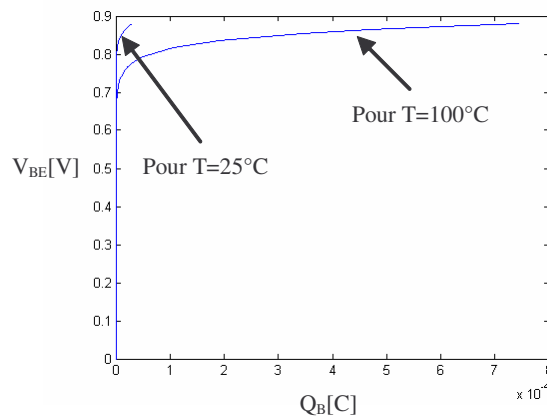


Figure 2.28 Dépendance de la tension V_{BE} apparaissant aux bornes de la jonction BE pour une quantité de charge donnée pour les températures 25 et 100°C.

Le couplage électrothermique du modèle électrique de la première partie de ce chapitre avec celui du modèle thermique de la seconde partie n'a malheureusement pas pu être mis en œuvre dans le cadre de cette thèse. Faute de temps, un effort reste donc à faire pour évaluer l'ensemble des questions qui ont été énoncées en début de ce chapitre.

II.E. Conclusion.

Dans ce chapitre, nous avons étudié les comportements électrique et thermique d'une fonction de protection à base de transistors BJT dans le contexte d'une intégration monolithique. Cela fut réalisé sur la base de deux phases de modélisation. Le premier modèle est un modèle électrique. Il a comme but de simuler le comportement électrique du BJT à partir des données des circuits de puissance et de protection mais également à partir des données physiques et géométriques du BJT. Avec ce modèle, nous pouvons déterminer et évaluer les composants du circuit de protection, les caractéristiques de protection (gain, temps de réaction). Par ailleurs, grâce à l'effort de modélisation électrique, divers problèmes liés à l'équilibrage du courant entre les cellules ont pu être étudiés et seront développés dans le troisième chapitre. Les comportements statique mais aussi et surtout dynamique ont été pris en compte dans le modèle électrique. L'originalité de ce modèle repose sur la prise en compte de phénomènes transitoires classiquement négligés par les modèles classiques de l'électronique de puissance. Plusieurs caractéristiques ont pu être ainsi déduites telles celle du gain, du temps de réponse... Cela a permis de simplifier la phase de dimensionnement des éléments complémentaires. L'influence de l'inductance de câblage de la diode à avalanche contrôlée sur la réponse du circuit de protection à pu être évaluée. Une solution pour éviter ce genre de problème est également proposée.

Dans la seconde partie de l'étude, le comportement thermique d'une fonction de dissipation thermique associée à une composant de puissance est évalué. Ce modèle prévoit l'évolution de la température au sein de la puce pour différentes configurations "géographiques" et "temporelles". Nous avons pu comparer ces configurations entre elles et identifier les conséquences de l'intégration d'une fonction de protection en tension. Il apparaît clairement qu'en régime statique, le bilan comportemental au niveau thermique est favorable à l'intégration de la fonction de dissipation. On peut même montrer que la présence du diffuseur en face arrière du composant permet de minimiser les contraintes de placement sur la ou les zones de dissipation de la fonction de protection permettant du coup d'en simplifier l'intégration. En revanche, des conclusions contraires peuvent être faites en ce qui concerne les effets de l'intégration sur le comportement thermique de l'ensemble lors de fonctionnement en régime dynamique. En effet dans ce cas, la dissémination de la fonction de protection au sein du composant de puissance semble être la plus avantageuse sans pour autant en diminuer les performances en régime statique. Tout devient alors question de compromis entre la technologie, les contraintes de réalisation et les performances électro-thermiques souhaitées.

Une troisième partie plus complète aurait été souhaitable pour coupler les deux premières et conclure ainsi sur les conséquences réelles de l'intégration autant sur la partie protection que sur celle du composant de puissance à protéger. Un travail important reste à faire ici.

Le chapitre suivant aborde maintenant le dimensionnement et l'intégration de la fonction de protection au sein du composant de puissance et surtout via son propre procédé de fabrication. Ce troisième chapitre se nourrit des modèles et commentaires énoncés dans ces derniers pages.

Chapitre III : Dimensionnement, Conception et
Réalisation technologique des circuits de
protection

III.A. Introduction.

Afin de valider l'étude présentée au cours des premier et deuxième chapitres, nous complétons ce travail par une réalisation pratique des transistors de protection de type bipolaire (BJT) séparés ou associés avec le transistor MOSFET à protéger. Cette réalisation a deux buts :

1. Apprendre et appliquer les techniques de fabrication et de réalisation des dispositifs de puissance de type classique (diodes de puissance, transistors BJT, MOSFET, JFET, capacités sur silicium). Cet apprentissage tient compte des contraintes technologiques propres à la réalisation des composants de puissance. Cette réalisation est critique car c'est une des premières fois, qu'au laboratoire seront conçus puis réalisés des interrupteurs de puissance en technologie silicium.
2. Valider les idées proposées dans le premier chapitre ainsi que les études théoriques abordées dans le second chapitre en réalisant les structures MOSFET + circuit de protection intégré (quel que soit ce circuit: BJT ou MOSFET ou JFET); caractériser ces structures pour valider les études de dimensionnement des composants, et en enfin, comparer les composants réalisés avec des structures existantes conventionnelles.

La réalisation pratique des composants de puissance en technologie silicium repose sur un jeu de masques de lithographie et sur l'élaboration d'un diagramme de cheminement technologique décrivant les différentes étapes nécessaires. Dans notre cas, nous avons choisi de travailler sur une structure de protection intégrée au composant de puissance à protéger sans modifier le diagramme de cheminement de celui-ci. Comme nous l'avons déjà présenté dans le premier chapitre, notre choix se porte sur l'intégration de la partie dissipative d'une fonction de protection au sein du transistor principal. Cette fonction dissipative est elle-même un transistor de puissance. Plusieurs types sont étudiés et sont réalisés à partir du procédé technologique du transistor principal. De fait, une partie de notre travail reposera non pas sur l'élaboration du diagramme de cheminement mais bien plus sur les possibilités qu'un diagramme de cheminement VDDMOS nous laisse. Ceci génère des contraintes et limite les degrés de liberté liés à la conception de l'élément de protection. Ce chapitre présente ce que nous avons conçu et la manière dont nous nous y sommes pris.

La réalisation pratique des composants est effectuée au CIME (Centre Interuniversitaire de MicroElectronique). La conception contient l'intégralité du jeu de masques nécessaire pour cette réalisation (composants de puissance, périphérie en tension, motifs de tests...). Les masques réalisés contiennent aussi des composants concernant la thèse de Radoslava Mitova

qui travaille sur l'intégration d'un dispositif d'alimentation des commandes rapprochées des interrupteurs de puissance. Ce chapitre met l'accent sur le transistor BJT séparé ou de protection.

Afin de comprendre, d'une part les contraintes technologiques et géométriques qui s'appliquent à la fabrication du transistor de protection et d'autre part, l'influence des degrés de liberté dont nous disposons sur les paramètres principaux du transistor de protection, nous allons débiter ce chapitre par une brève description des principales étapes technologiques permettant de fabriquer le transistor de puissance MOSFET double diffusé (ce transistor représente pour nous le transistor à protéger). Après ce rappel, nous présenterons quelques tests expérimentaux que nous avons réalisés pour évaluer les divers procédés technologiques de notre plateforme (facilitant la calibration des outils de fabrication). La suite du chapitre sera consacrée aux divers dimensionnements géométriques du jeu de masques en vue de la réalisation des transistors protection.

III.B. Rappel du procédé de fabrication des transistors de puissance MOSFET vertical double diffusé – VDDMOS.

Pour aborder la partie technologique de ce travail, nous avons suivi le procédé technologique de fabrication du transistor MOSFET double diffusé [Singh-01]. La réalisation repose sur sept niveaux de masquage et bon nombre d'étapes clés. Le détail de ce travail de référence est disponible dans la thèse de G. Verneau [Verneau-03]. Pour réaliser la totalité de nos composants, il nous sera nécessaire d'ajouter une étape technologique, sans aucune conséquence pour le composant principal le transistor VDDMOS. La structure du transistor MOSFET vertical double diffusé est présenté sur la figure 3.1. Les principales étapes technologiques de fabrication du VDDMOS sont rappelés sur tableau 3.1. Ensuite, sur la figure 3.2, ces étapes sont présentées en détail et associées de commentaires.

1. Dopage et diffusion de la couche P⁺ (Masque PPLUS): Cette étape permet de réaliser des caissons P+ fortement dopés donc faiblement résistifs offrant un bon contact ohmique. Ces caissons sont utilisés pour réaliser un bon court circuit du porte canal MOSFET. Ainsi, le transistor bipolaire parasite inhérent au MOSFET est inhibé. Ces caissons sont utilisés dans le cas du BJT pour faire un bon contact ohmique pour la base du transistor. Par ailleurs, cette étape permet de réaliser les anneaux de garde en périphérie du composant pour assurer, en technologie planar, la tenu en tension. Pour réaliser ces caissons, nous commençons par un nettoyage de la tranche suivi par une phase d'oxydation pour faire croître une couche de l'oxyde.

Niveau	Nom du procédé	Explications
1	Masque P+	Ouverture de diffusion P ⁺ des contacts ohmiques et de la périphérie
2	Masque OZUT	Ouverture zones utiles
3	Masque PMOINS ⁻	Ouverture de diffusion P ⁻ du port canal
4	Masque N ⁺	Ouverture de diffusion N ⁺ de source
5	Masque OCON	Ouverture contact
6	Masque GALU	Gravure Aluminium
7	Masque OSCO	Ouverture Second contact

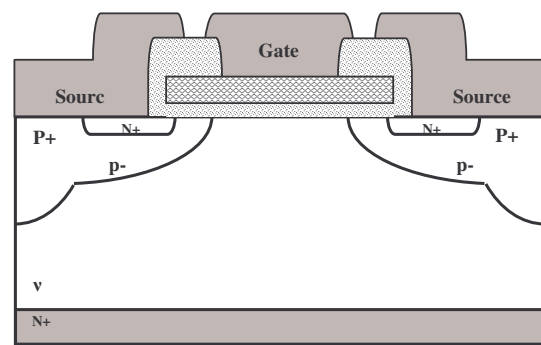


Figure 3.1. Structure du MOSFET double diffusé.

Tableau 3.1: Principales étapes technologiques de fabrication du MOSFET double diffusé.

Après lithographie du masque PPLUS, cette couche est gravée pour dégager les zones d'implantation. Après l'implantation de Bore, un recuit d'activation est nécessaire pour restructurer le cristal. Ce sont les étapes suivantes qui assureront la diffusion des dopants dans le substrat.

2. Ouverture des zones utiles (OZUT) : Dans cette étape, les zones utiles du transistor (c'est-à-dire toute la puce à part la périphérie du transistor) vont être dévoilées via une gravure de l'oxyde pour subir les étapes suivantes.
3. Formation de l'oxyde fin, dépôt du polysilicium, dopage polysilicium, dopage et diffusion de la couche P⁻ (Masque PMOINS) : Cette étape est critique pour le transistor MOSFET. Elle a comme but de former la grille, puis le porte canal du MOSFET (P⁻). Tout d'abord, le substrat subit une oxydation sèche pour former l'oxyde fin de grille. L'oxyde doit être de bonne qualité. Dans notre cas, cet oxyde fait 100 nm d'épaisseur. Après cette oxydation, une couche de polysilicium est déposée puis dopée au Phosphore pour avoir une bonne conductivité électrique. Après l'étape lithographique du masque PMOINS, nous ouvrons des fenêtres pour former les grilles des transistors MOSFETs et ainsi dégager les futures zones de source du transistor (gravure du silicium poly cristallin) suivie d'une l'implantation P- Bore. Une étape de diffusion sous haute température permet de faire pénétrer les dopants Bore sous les zones de grille. Ceci donne naissance aux futures zones de canal MOSFET. Il est à noter que durant la phase de diffusion, les deux implantations PPLUS et PMOINS diffusent dans le substrat. Ces étapes d'implantation et de diffusion sont critiques pour le composant (résistivité du canal, résistance au perçage).

4. Dopage et diffusion de la couche N^+ (Masque NPLUS) : Ces zones forment les plots sources du MOSFET, futurs réservoirs de charges lors de l'inversion du canal. Par ailleurs, elles peuvent être utiles en périphérie du composant (comme cela sera expliqué plus tard). Avant le dopage de l'émetteur N^+ , nous faisons amincir l'oxyde fin de grille encore présent sur les plots de source pour atteindre une épaisseur de environ 40nm. Cette épaisseur limite d'exo diffusion du Phosphore sans pour autant risquer une implantation sous la grille du composant. Une étape de lithographie NPLUS est réalisée pour délimiter les contacts de source. Elle est suivie d'une courte diffusion.
5. Ouverture des contacts (Masque OCON) : Dans cette étape, nous déposons l'oxyde LTO (Low temperature Oxide) qui sert à isoler électriquement et séparer physiquement les différents contacts et potentiels à la surface du composant. Le masque OCON est alors utilisé pour créer des via à travers cet oxyde et permettre ainsi les futures prises de contact Aluminium
6. Gravure aluminium (Masque GALU) : Une couche d'Aluminium est déposée, puis elle est gravée pour séparer les pistes des contacts de grille et de source à la surface du composant. Une phase de recuit est réalisée après le dépôt de l'Aluminium pour garantir la qualité du contact ohmique entre le conducteur et le silicium.
7. Ouverture du second contact (Masque OSCO) : Dans cette étape, une couche de passivation (SiH_4NH_3) isolante est déposée sur l'Aluminium pour garantir l'isolation entre les différents potentiels de surface et parfaire en même temps la tenue en tension globale du composant. Il s'en suit une dernière étape lithographique pour ouvrir les zones de contact en surface (grille et source) en utilisant le masque OSCO (ouverture du second contact).

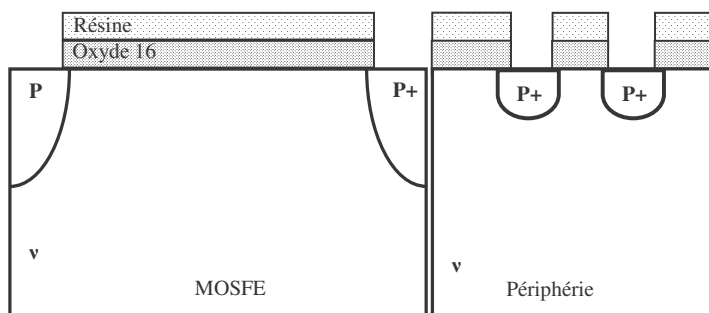


Figure 3.2.a Dopage de la couche P pour les contacts ohmiques et les anneaux de garde.

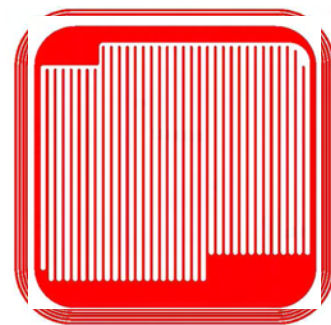


Figure 3.2.b Masque P correspond.

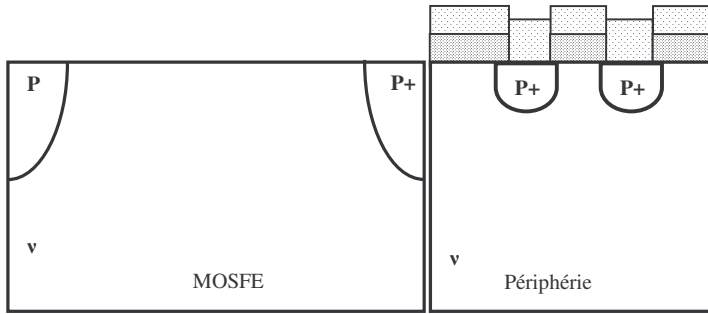


Figure 3.2.c Ouverture des zones utiles.

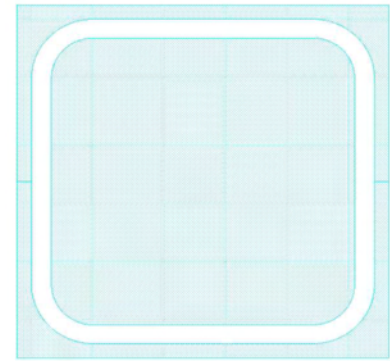


Figure 3.2.d Masque OZUT correspond.

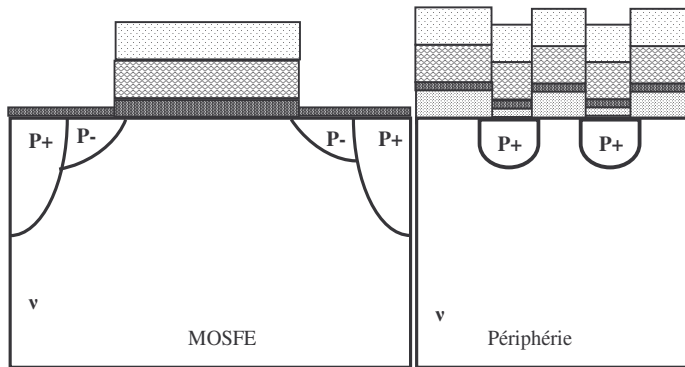


Figure 3.2.e Formation d'oxyde fin de grille, dépôt de poly Silicium, dopage de poly Silicium, formation du porte canal et diffusion du P.

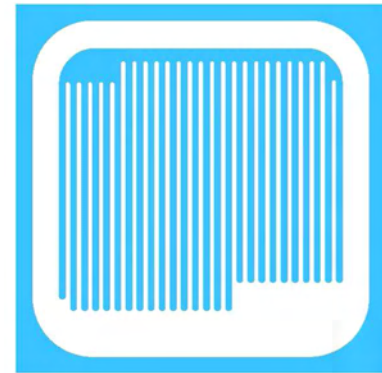


Figure 3.2.f Masque P correspond.

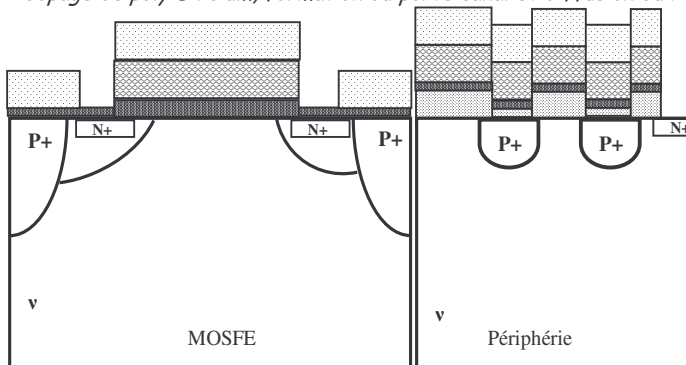


Figure 3.2.g Formation des sources.

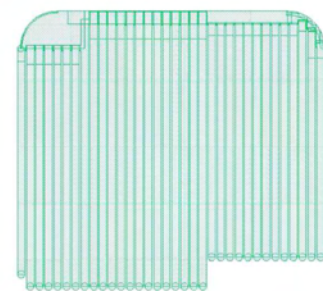


Figure 3.2.h Masque N' correspond.

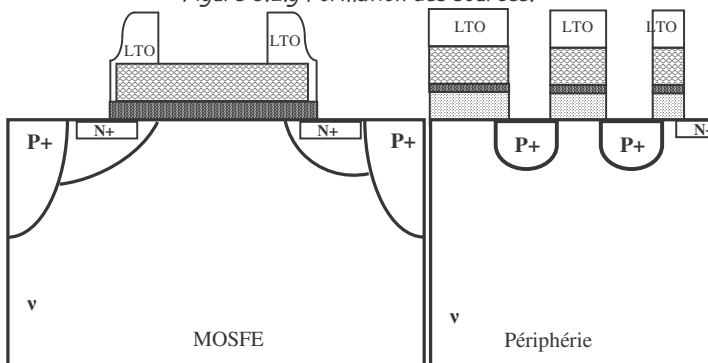


Figure 3.2.i Dépôt de la couche isolante.

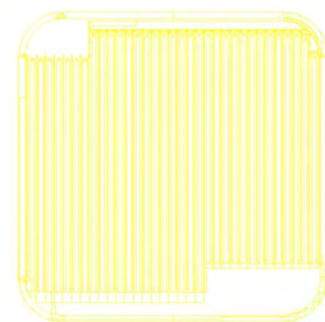


Figure 3.2.j Masque OCON correspond.

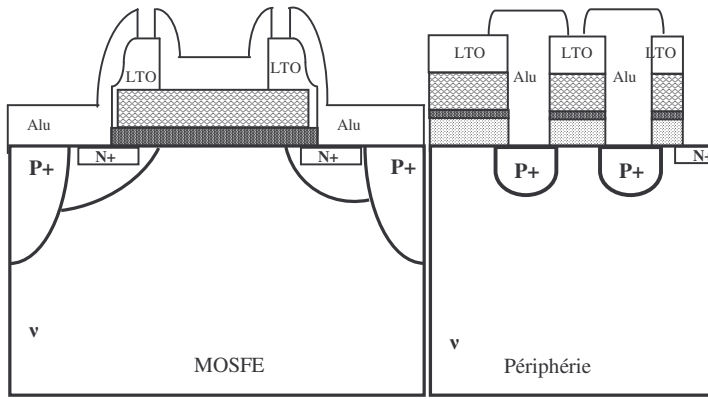


Figure 3.2.k Dépôt et gravure d'Aluminium.

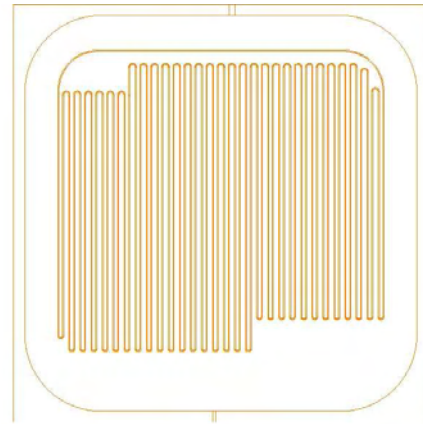


Figure 3.2.l Masque GALU correspond.

Les paramètres des procédés technologiques utilisés sont détaillés dans le diagramme de cheminement dans l'annexe. A partir de ces paramètres, nous avons fait une simulation technologique en utilisant le logiciel SILVACO. Cette simulation a comme but de vérifier la structure des transistors dimensionnés avant de les fabriquer, puis d'étudier les paramètres géométriques du transistor de puissance et de protection résultants. Donc en partant des paramètres du diagramme de cheminement, le dopage résultant, en fonction de la distance, a l'allure décrite dans la figure 3.3.a ci-après.

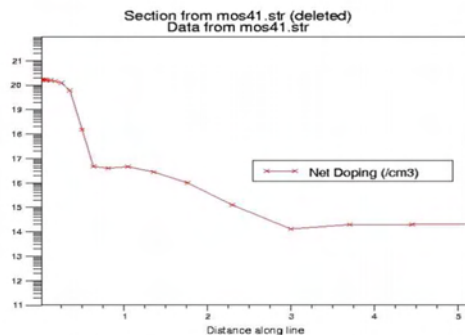


Figure 3.3.a. Résultats de simulation du dopage du transistor MOSFET de puissance résultant à partir du diagramme de cheminement de l'annexe en fonction de la distance.

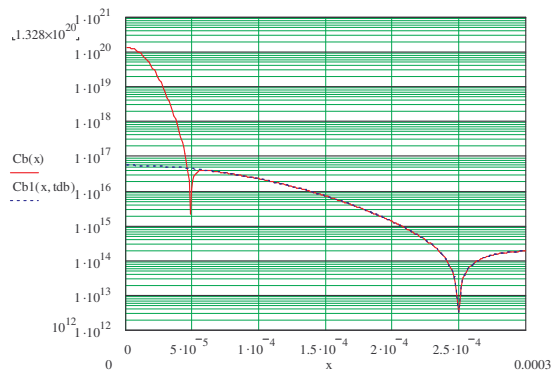


Figure 3.3.b. Calcul sur Mathcad du dopage du transistor MOSFET de puissance résultant à partir du diagramme de cheminement de l'annexe en fonction de la distance.

Le profil du dopage en fonction de distance est montré sur la figure 3.3.b. Ce profil est calculé pour une dose d'implantation de Bore de $1.10^{13} \text{ cm}^{-2}$, une température de 1100°C et une énergie d'implantation de 160 KeV. Le temps de diffusion du Bore est 150 min. Il y a une différence entre les deux courbes. Cette différence est sensible sur la profondeur de la jonction P/v (2.5µm pour le calcul Mathcad et 3µm pour la simulation Silvaco/Athena. Cette différence vient du fait que le calcul du Mathcad ne prend pas en compte tous les paramètres du procédé de diffusion.

Ces procédés technologiques avec le diagramme de cheminement permettent de réaliser la structure du MOS. Ils doivent aussi permettre de réaliser les transistors de protection que nous voulons intégrer. L'optimisation du transistor principal n'est pas envisagée dans ce travail de thèse. L'optimisation de la fonction de dissipation repose donc sur les seules dimensions géométriques des différentes parties constituant le composant. L'optimisation du MOS est envisageable essentiellement au niveau des capacités parasites, ce qui nous laisse comme unique choix le rapport entre la surface de grille et la surface de contact source. Nous avons sélectionné trois rapports de surfaces pour établir une tendance. Pour ce qui est des BJTs, nous avons fait varier deux paramètres: la largeur d'émetteur et l'existence ou non d'une zone P^+ sous le contact base. Nous avons pris trois valeurs de largeur du doigt d'émetteur L_{ae} correspondant à trois valeurs différentes de densité de courant. Une couche de P^+ est utilisée pour avoir un bon contact ohmique de base sur certains composants bipolaires; D'autres sont fabriqués sans cette couche pour étudier son influence sur les caractéristiques du bipolaire. Au niveau de la liaison entre la source du MOS et la source ou l'émetteur du transistor de protection, nous avons choisi deux configurations:

Connexions internes : les deux contacts sont directement reliés par l'Aluminium. Donc la puce finale a quatre bornes qui sont: le contact commun en face arrière (drain), les sources ou les émetteurs commun en face avant et les deux contacts de la grille ou de la base.

Connexions externes : les deux contacts de source sont séparés aux niveau du pavé et chaque contact est relié avec une patte indépendante. Ainsi, la puce finale possède cinq bornes.

Cette variante offre la possibilité de tester, en pratique, l'impact de la connectique intégrée sur les performances du dispositif de protection.

Au niveau de la diode à seuil d'avalanche contrôlé, la seule variable à notre disposition est l'épaisseur de la base du transistor. Cette épaisseur est réglable en modifiant la distance entre la jonction E-B et donc la hauteur de la hauteur maximum apparaissant dans la jonction BC. Ceci permet d'étudier la variation de la tension de claquage en fonction de cette distance. La valeur de cette distance est contrôlée par l'éloignement entre les deux zones de P^- dans le masque P^- . Nous avons fait trois motifs pour trois distances entre zones P^- (2, 2.5 et $3\mu\text{m}$) et nous avons obtenu trois configurations (voire figure 3.4).

Au total, nous avons traité six tranches de silicium épitaxiées dopées N (2.10^{14}). Ces tranches ont les caractéristiques du tableau 3.2 suivant:

Nbre	Diamètre (mm)	Type	Epaisseur (μm)	Résistivité [$\Omega.\text{cm}$]	Dopage [$/\text{cm}^3$]
6	100	N	300	22	2.10^{14}

Tableau 3.2: les caractéristiques des tranche disposées pour fabriquer les composants proposés.

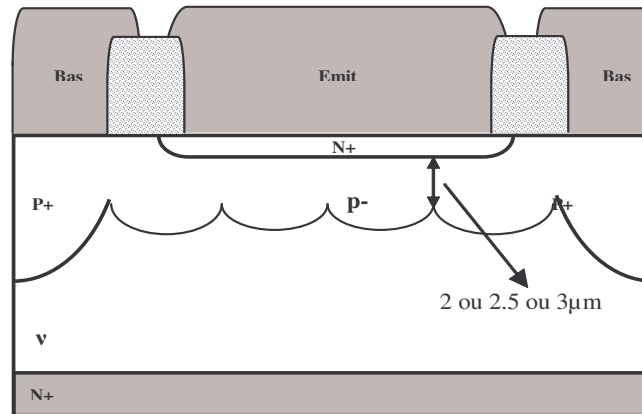


Figure 3.4. Configuration de la diode à seuil d'avalanche contrôlée pour une distance entre P- de 2 ou 2.5 ou 3 μm .

Chaque composant de ces tranches est un pavé de (3mm*3mm). Ceci nous fait environ 400 composants exploitables par tranche. Ces composants tiennent théoriquement 650V [Arnould-92] avec une épaisseur de la zone de tenue en tension de 50 μm (la zone de tenue en tension est tronquée) et un dopage de 2.10^{14} . La répartition de ces composants sur la tranche de silicium est montrée sur la figure 3.5. Dans cette figure nous avons les composants représentés sous forme de familles. Chaque famille contient soit un seul dispositif (F1, F4, et F6) soit un MOS principal avec un autre composant supplémentaire pour la protection ou l'auto alimentation (F3). Chaque famille est divisée en plusieurs sous familles selon le paramètre modifié dans la structure du composant. Par exemple, la famille F1 contient des MOS seuls. Dans ce transistor, nous avons fait varier la distance intercellulaire en prenant trois valeurs différentes correspondant à trois sous familles ou motifs (**F1A1**=20 μm , **F1A2**=30 μm et **F1A3**=40 μm).

Il en est de même pour la famille F4 du BJT seul qui a, au total, deux sous familles pour quatre motifs différents. Pour ce qui concerne la protection (famille F3), nous avons utilisé quelques motifs de la famille F1 comme transistor principal et quelques motifs des familles (F1 et F3) comme transistor de protection. Les motifs réalisés sont représentés dans le tableau 3.3. Dans la Figure 3.6, nous montrons les motifs de base réalisés au cours de cette thèse.

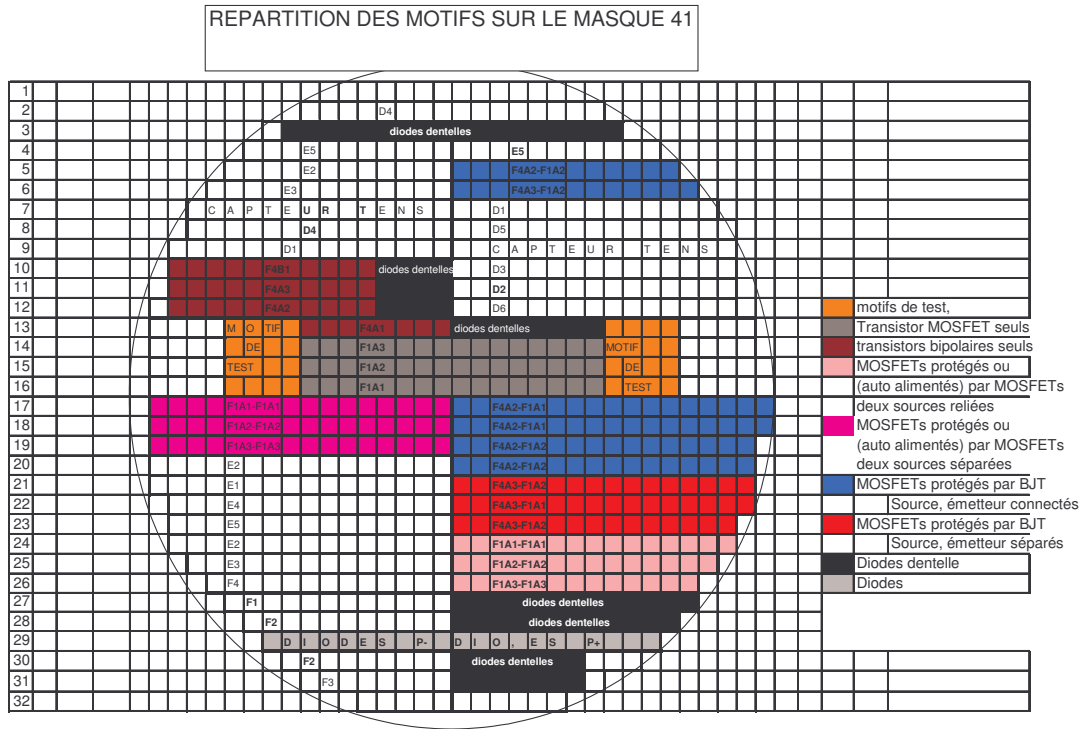


Figure 3.5. Répartition des composants sur la tranche de Silicium.

Familles	F1 <u>MOS classique</u>	F4 <u>BJT</u>	F3 <u>Protection</u>		F6 <u>Diode à seuil d'avalanche contrôlé</u>
			MOS-BJT 8 motifs	MOS-MOS 3 motifs	
Nombre Motifs	3 motifs	4 motifs			3 motifs
Sous famille	F1A (variable L_G)	F4A L_{ac} avec P+	<u>Source et Emetteur commun</u>	<u>S communes</u>	<u>Variable: espacement entre zones P</u>
	F1A1 =20 μ m	F4A1 L_{ac} =10 μ m	F4A1 - F1A1	F1A1 - F1A1	F61 =1μ
	F1A2 =30 μ m	F4A2 L_{ac} =16 μ m	F4A2 - F1A2	F1A2 - F1A2	F62 =2μ
	F1A3 =40 μ m	F4A3 L_{ac} =22 μ m	F4A1 - F1A2	F1A3 - F1A3	F63 =3μ
			F4A2 - F1A1		
Sous famille		F4B L_{ac} sans P+	<u>S et E séparés</u>		
		F4B1 L_{ac} =22 μ m	F4A1 - F1A1		
			F4A2 - F1A2		
			F4A1 - F1A2		
			F4A2 - F1A1		

Tableau3.3, Composants réalisés représentés sous forme de famille.

L_G : Distance intercellulaire des doigts MOSFETS

L_{ac} : largeur de l'émetteur interrupteur bipolaire

L : largeur du canal du JFET.

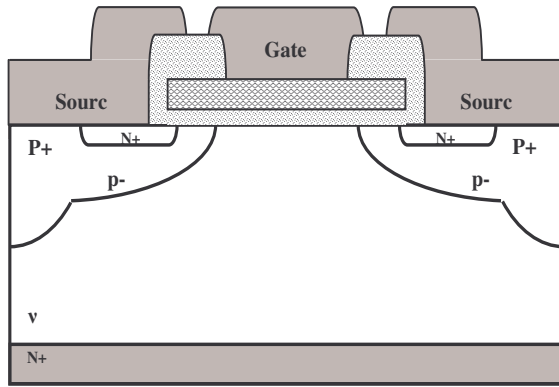


Figure 3.6.a Motif du MOSFET tout seul.

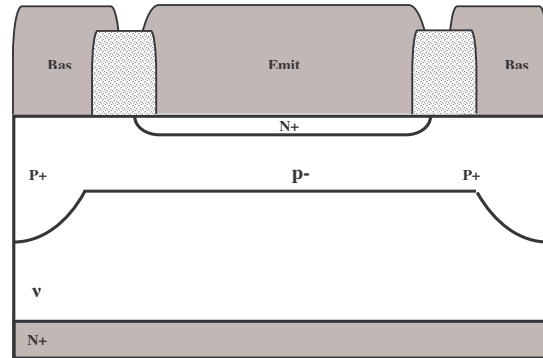


Figure 3.6.b Motif du bipolaire.

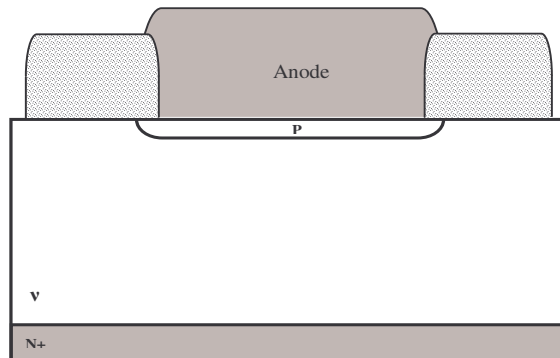


Figure 3.6.c Motif de diode classique.

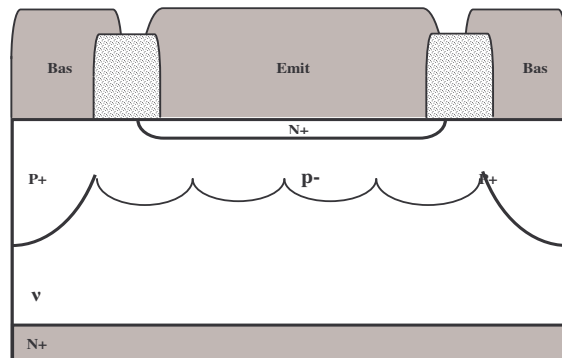


Figure 3.6.d Motif de diode à seuil d'avalanche contrôlée.

III.C. Caractérisation et test des étapes technologiques clés.

Après avoir fait des calculs analytiques et des simulations technologiques des procédés de fabrication, une étape expérimentale de tests est nécessaire pour valider les démarches réalisées en conception.

Les procédés technologiques principaux concernent le profil du dopage, la profondeur des jonctions, l'épaisseur de l'oxyde de grille et la qualité de la gravure de l'Aluminium. Ces points sont fortement contrôlés par la dose, l'énergie, la température, le temps de diffusion, et l'épaisseur de la couche de résine ou de poly silicium. Pour cela, nous avons réalisé quelques procédés ou tests technologiques et quelques mesures sur plusieurs tranches de test dans la salle blanche du CIME. A l'issue de ces tests, nous pourrions maîtriser les paramètres des procédés technologiques (épaisseur de la couche de résine, énergie d'implantation, dose, durée et température de diffusion pour les caissons de dopants, durée et conditions pour les différents dépôts ou croissance d'oxyde, de poly silicium, d'aluminium, conditions de gravure de ces mêmes éléments...).

III.C.1. Tests d'implantations et de diffusions de P⁺ et P⁻.

Les couches P⁻ et P⁺ servent à réaliser la base et le contact de base dans le cas du BJT, le porte canal et le court circuit du BJT parasite dans le cas du MOS. Ces couches ont un profil de dopage donné qui détermine la valeur du dopage en fonction de la profondeur et les emplacements des jonctions dans le transistor. Ces paramètres sont prédominants pour les caractéristiques du transistor résultant. Il est donc important de bien maîtriser les procédés de fabrication pour limiter les écarts entre le dimensionnement, l'étude théorique d'une part et le composant final et les résultats pratiques d'autre part.

Pour l'implantation d'un dopant quelconque, Il faut déterminer plusieurs paramètres pour obtenir la bonne concentration du dopant en surface et en profondeur. L'un de ces paramètres est bien évidemment la dose implantée. Mais, d'autres facteurs comme l'épaisseur de résine protectrice, l'énergie d'implantation, le temps et la température de diffusion sont aussi importants.

La jonction P⁺/N^v est conçue en tout début de procédé comme nous l'avons vu dans la partie précédente. Elle va donc être la conséquence de sa propre séquence technologique mais elle va devoir subir l'ensemble du procédé de fabrication. Or, certaines étapes auront un impact important. Ce test est donc nécessaire pour ajuster les paramètres qui permettront d'obtenir la profondeur de la jonction P⁺/N^v désirée en fin de procédé après les diffusions successives et les diverses étapes. Pour cela, nous avons traité trois tranches identiques. Ces tranches sont dopées de type N⁻ et de valeur originale de $3.10^{13} / \text{cm}^3$. Deux de ces tranches sont vierges et l'autre est couverte par une résine protectrice d'épaisseur de $1\mu\text{m}$. Ces tranches ont suivi les procédés du tableau 3.4 qui représentent les étapes les plus sensibles.

La première tranche va nous permettre de connaître la dose et l'énergie d'implantation nécessaires; nous avons implanté une dose de Bore en surface de l'ordre de 1.10^{15}cm^{-2} avec une énergie d'implantation de 160keV. Pour activer le dopant dans le Silicium, nous avons recuit la tranche comme indiqué dans le tableau d'après. D'après les mesures de la résistance carrée effectuées au CIME, nous obtenons les résultats de la figure 3.7.a. Cette figure représente le dopage de la tranche en fonction de profondeur après implantation. Comme nous le remarquons, la profondeur de la jonction P⁺/N⁻ est égale $0.9\mu\text{m}$. La concentration en surface est 9.10^{18}cm^{-3} . La dose injectée est, quand à elle, proche de $1.10^{15} / \text{cm}^2$. Le pic de dopage vaut 2.10^{19}cm^{-3} . Le rendement d'implantation est donc bon. Il reste maintenant à diffuser correctement les dopants vers la profondeur du substrat. Une simulation faite sur Silvaco à partir des mêmes données est montrée sur figure 3.7.b.

N°	Cheminement technologique	Numéro wafer			
		1	2	3	4
0	Dépôt résine de protection			X	
1	Implantation Bore 160KeV, 1°15cm ⁻²	X	X	X	
2	Oxyde Thermique Entrée 800°C O ₂ 6L/min Montée 950°C O ₂ 5°C/min 950°C O ₂ durée 260min Descente 800°C O ₂ 5°C/min <i>Dépôt résine face arrière</i>				X
3	Implantation Bore 160KeV, 1°13cm ⁻²				X
4a	Retrait Résine			X	X
4b	Nettoyage wafers	X	X	X	X
5	Recuit d'activation Entrée 800°C O ₂ 6L/min Montée 950°C O ₂ 5°C/min 950°C O ₂ durée 15min Descente 800°C O ₂ 5°C/min	X	X	X	
6	Diffusion Bore Entrée 800°C O ₂ 6L/min Montée 1100°C O ₂ 5°C/min 1100°C O ₂ durée 10min 1100°C N ₂ durée 150min Descente 800°C O ₂ 5°C/min		X		X
7	Tests à base de SRP	X	X	X	X

Tableau 3.4 Procédés technologiques suivi pour les trois tranches de test.

Une étape de diffusion est ajoutée à la deuxième tranche pour pouvoir mesurer la profondeur de la jonction. Outre les conditions de diffusion classiques telles que la température et la durée de la diffusion, d'autres paramètres sont importants. Il s'agit entre autres des rampes de température mais aussi et surtout du milieu dans lequel se produit la diffusion (sous azote ou sous oxygène). D'après les mesures, nous trouvons une profondeur de jonction de 2.8 µm (voir Figure 3.8.a). Sachant que nous voulions une profondeur de 3µm, la différence peut être diminuée en augmentant le temps de diffusion. Sur la figure 3.8.a nous distinguons l'existence de deux jonctions P⁺ à la place d'une seule comme prévu. Ceci est dû à une pollution dans le four utilisé pour la diffusion. Les résultats de simulation sur Silvaco à partir des mêmes paramètres sont montrés sur la figure 3.8.b. Ici aussi nous avons une différence au niveau de

la profondeur de la jonction P⁺/N⁻. Cette différence vient aussi du fait que la simulation ne prend pas tous les paramètres de la procédure en considération.

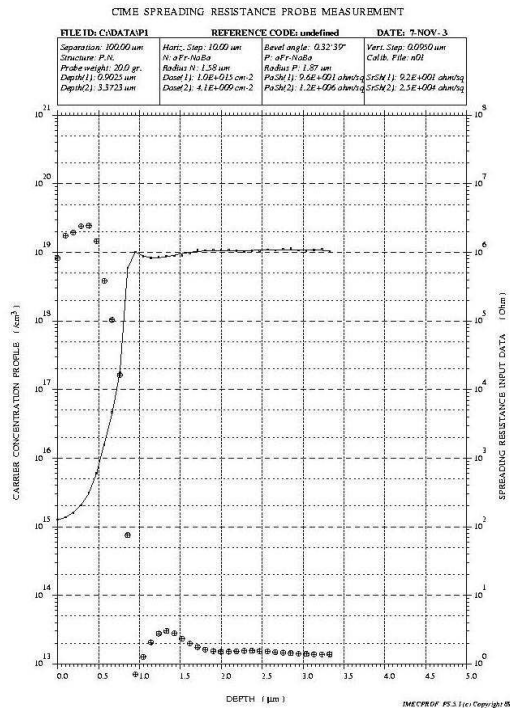


Figure 3.7.a Test de résistance carré de tranche 1 après une implantation du Bore pour former une couche P⁺.

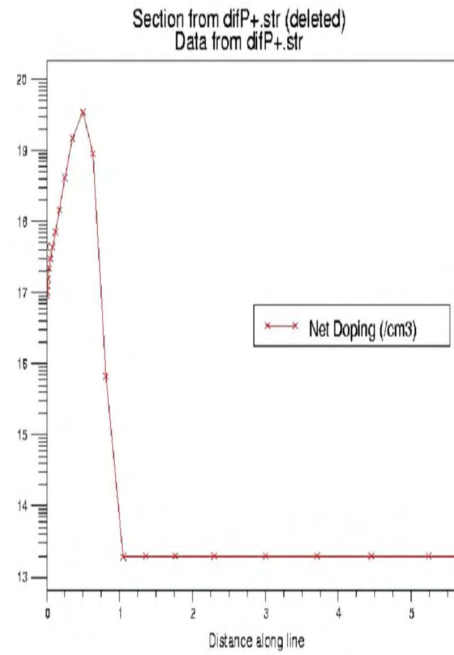


Figure 3.7.b Simulation Silvaco correspond au test de tranche 1.

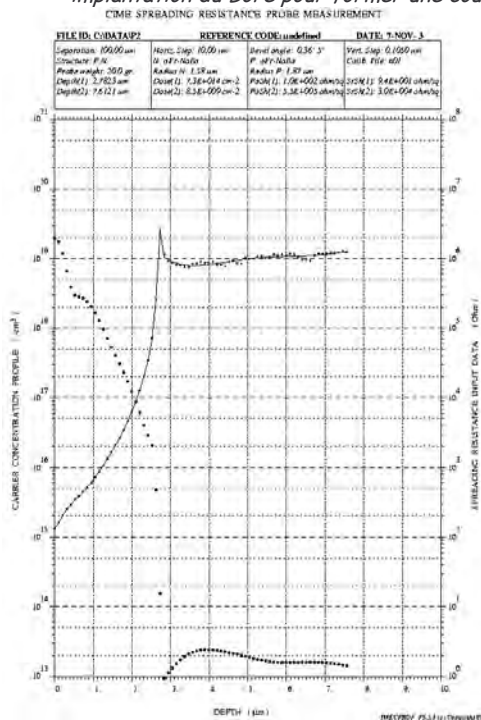


Figure 3.8.a Test de résistance carré de tranche 2 après une implantation et une diffusion du Bore pour former une couche P⁺.

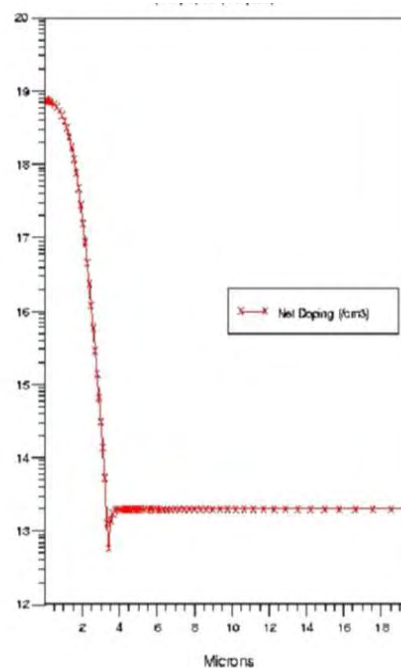


Figure 3.8.b Simulation Silvaco correspond au test de tranche 2.

La troisième tranche a été dopée à travers une couche de résine protectrice d'épaisseur 1µm. Le but de ce test est de montrer que l'épaisseur de la résine est suffisante pour protéger le

substrat pendant l'implantation. Ceci se traduit par les résultats de la figure 3.9 où la résine a bloqué la formation d'une jonction.

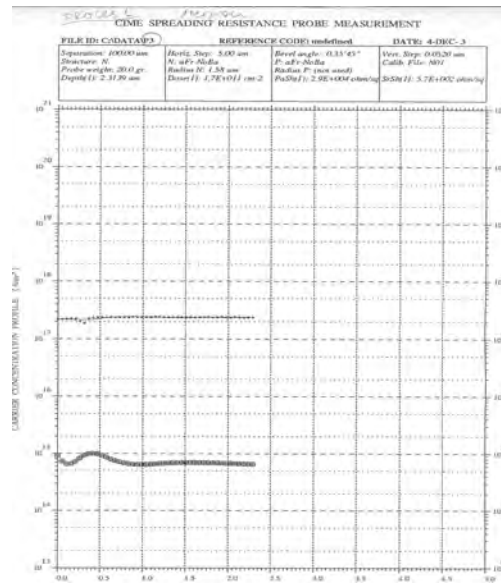


Figure 3.9 Test de spreading resistance de la tranche 3 après une implantation et une diffusion du Bore à travers une résine protectrice.

Le quatrième test concerne le profil du porte canal P- avec l'importance qu'il a pour notre travail (paramètre critique dans le dimensionnement des transistors MOSFET ou bipolaire comme nous l'avons déjà vu dans le deuxième chapitre). Ce profil est dépendant bien évidemment des conditions d'implantation et de diffusion mais aussi de l'épaisseur d'oxyde de grille qu'il faudra traverser. Pour cela, nous utilisons une tranche déjà oxydée en face avant. Cet isolant de 100nm d'épaisseur représente l'oxyde mince de la grille. La tranche subie alors une implantation du Bore et une phase de diffusion. Cette diffusion partiellement sous oxygène fait augmenter l'épaisseur de l'oxyde. Après réalisation de la tranche, nous mesurons une dose en surface de $6.10^{16} A/cm^2$. La profondeur de la jonction est de l'ordre de $1.8\mu m$. Sachant que la profondeur voulue est $2.5\mu m$, le temps de diffusion n'est pas suffisamment long (figure 3.10a). D'après les simulations nous obtenons une jonction à $2.5\mu m$ pour un temps de diffusion de l'ordre de 160nm pour une tranche 2.10^{14} (figure 3.10b). En fait, pour les faibles concentrations, la fiabilité offerte par les modèles analytiques et numériques reste limitée. Il fut donc nécessaire de recommencer deux fois ce test particulier pour calculer correctement nos paramètres technologiques (nette augmentation de la durée de diffusion, changement de milieu diffusant). Au final nous avons réussi à caler correctement nos paramètres technologiques pour assurer le succès de cette phase.

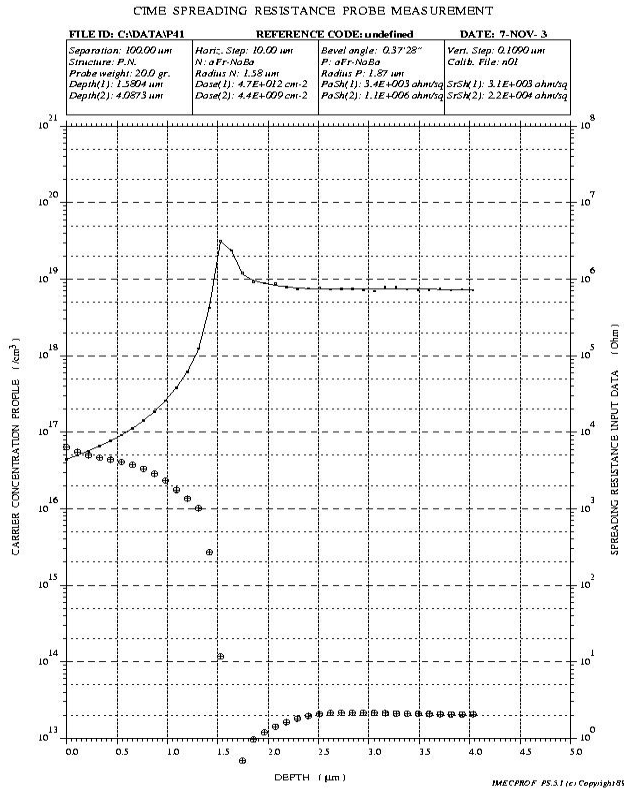


Figure 3.10.a Test de résistance carré de la tranche 4 après une implantation et une diffusion de Bore à travers l'oxyde fin de grille.

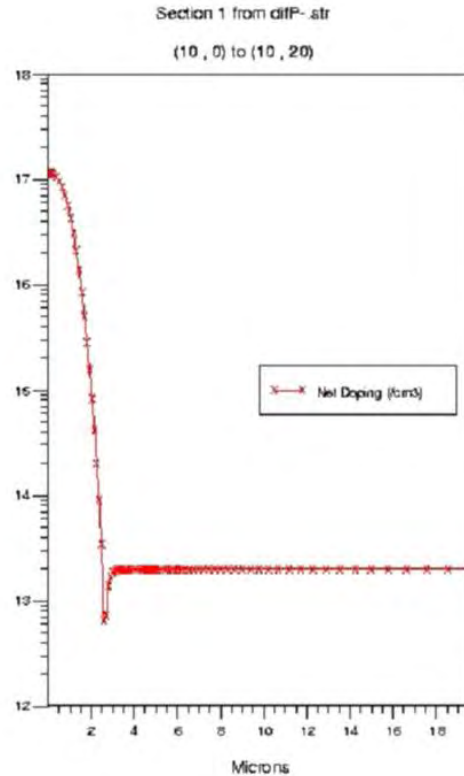


Figure 3.10.b Simulation Silvaco correspond au test de la tranche 4.

III.C.2. Tests d'implantation et de diffusion N⁺ dans Si et poly Si.

L'implantation des caissons N⁺ permet de matérialiser les zones de source pour les transistors MOSFETs et les zones d'émetteur pour les transistors BJT. Cette phase d'implantation arrive d'après le diagramme de cheminement; après l'implantation des zones P. Dans notre cas, les zones N⁺ devraient être peu profondes et très fortement dopées (pour garantir la qualité du contact ohmique et limiter les phénomènes de perçage). L'objectif initial nous poussait vers une profondeur de jonction de 0.5µm pour une concentration en surface d'environ 10²⁰cm⁻³. Ici encore, la présence de l'oxyde de grille est déterminante. Trop épais, il nécessite une énergie d'implantation plus importante pouvant provoquer des dégâts au niveau du canal. Trop fin, il devient plus difficile de réaliser, avec nos moyens des jonctions peu profondes et très fortement dopées en surface à cause de l'exo diffusion des dopants. D'après les calculs, l'épaisseur de cet oxyde doit être de l'ordre de 40nm. Etant donnée l'épaisseur de l'oxyde de grille déjà réalisé (100 nm) nous devons amincir cette couche pour arriver à une épaisseur de 40 nm. Pour tester que l'épaisseur de l'oxyde de 0.04 µm est bien correctement choisie et caler les différents paramètres, nous prenons une tranche de résistivité de 0.2-0.4Ω.cm de type; cette tranche est oxydée puis la couche d'oxyde résultante (100nm) est amincie (nous

calons ainsi les paramètres technologiques propres à cette étape). Puis nous couvrons la moitié de la tranche par une couche de résine d'une épaisseur de 900 nm. Nous implantons le Phosphore et nous faisons une étape de diffusion. Les mesures donnent les résultats de la figure 3.11. Sur cette figure, nous avons le profil de dopage de la source ou de l'émetteur; le pic du dopage est à 10^{20} cm^{-3} et la profondeur est égale à $0.9 \mu\text{m}$. Cette profondeur est supérieure à celle désirée ($0.5 \mu\text{m}$); cette augmentation peut être due à une augmentation de la dose du dopant, du temps ou la température de diffusion. Le dopage de la tranche sous la couche de résine est montré sur figure 3.11.b. Cette valeur est égale au dopage du substrat, donc l'épaisseur de la résine est suffisante. L'épaisseur de la résine est critique car nous devons ouvrir des zones N+ relativement petites. Dans le deuxième test, nous avons pris une tranche identique à la première, mais cette fois, nous avons créé un empilement composé d'une couche de polysilicium au dessus d'un l'oxyde thermique de $0.1 \mu\text{m}$ pour matérialiser la grille d'un MOSFET. Le silicium polycristallin est alors dopé. Puis une couche de résine est déposée et une phase de Photolithographie de la moitié de la tranche est réalisée. La tranche subit ensuite une phase d'implantation et de diffusion de Phosphore. D'après les résultats de la figure 3.11 le dopage du polysilicium change très peu avant et après l'implantation du Phosphore et ce dernier ne traverse pas l'oxyde mince de grille.

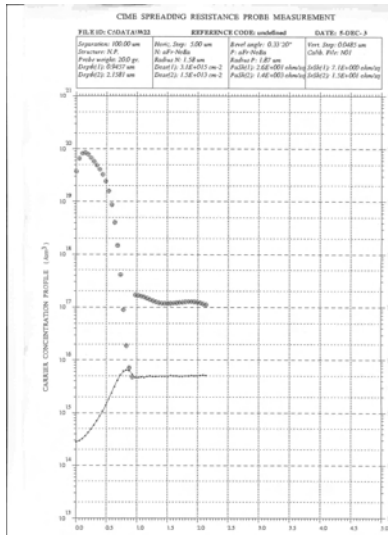


Figure 3.11.a Profil du dopage sous la partie de tranche 1 couverte par l'oxyde mince

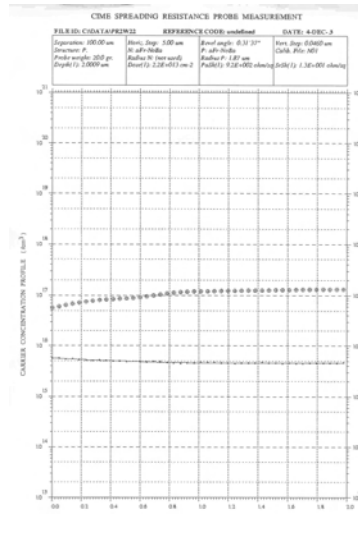


Figure 3.11.b Profil du dopage sous la partie de tranche 1 protégée par la résine

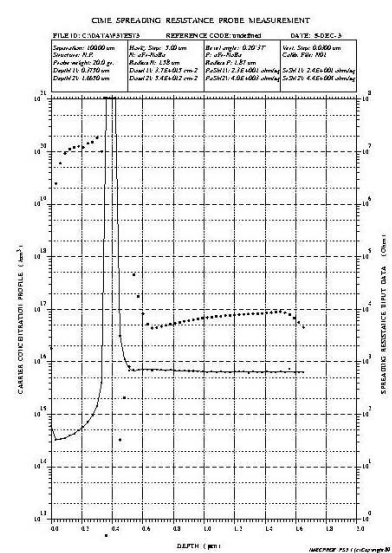


Figure 3.11.c Profil du dopage de tranche 2 avant et après l'implantation (la différence est négligeable)

N	Etape	Mesures	Plaques à traiter	
			1	2
1	Oxydation thermique Entrée à 800°C sous O2 à 6L/min Montée à 950°C sous O2 en 5°C/min 950°C sous O2 pendant 260min descente à 800°C Épaisseur visée de 100nm (vérifier épaisseur).	Entrée à 800°C sous O2 à 6L/min Montée à 1050°C sous O2 en 5°C/min pendant 72 min descente à 800°C Mesure élipsomètre d'oxyde $e_{ox}=0.1\mu m$	X	X
2	Dépôt de polysilicium LPCVD SiH4 à 630°C pendant 40min Épaisseur visée de 400nm	Temps de process 30 min. Mesure élipsomètre		X
3	Dopage de polysilicium Entrée à 800°C sous O2 à 6L/min Montée à 950°C sous O2 en 5°C/min 950°C sous N2 à 4L/min +O2 à 0.6L/min +N2 porteur POCl3 à 0.5L/min pendant 30 min descente à 800°C nettoyage	Mesure résistivité (Rcarré 4 pointes)		X
4	Amincissement épaisseur SiO2 Agent de gravure FH/FNH4 à 30°C (attendre une heure avant d'effectuer toute la gravure) Dans ces conditions, la vitesse de gravure de la silice thermique est égale à 1350A/mn Épaisseur visée 40nm	$e_{ox\ initial}=0.1\mu m$ après 30sec à 30°C Mesure élipsomètre $e_{ox\ final}=0.04\mu m$	X	
5	Dépôt de la résine - Épaisseur visée de la résine de 0.8 μm	Épaisseur réalisée 0.9 μm	X	X
6	Photolithographie de la moitié de la tranche	Vérifier épaisseur résine Alpha-step	X	X
7	Implantation de N+ à 100keV avec une dose de 5.10 ¹⁵ cm ⁻² Concentration visée > 1.10 ²⁰	Vérification de l'état de résine après implantation	X	X
8	Retrait de la résine Plasma O2		X	X
9	Diffusion N+ Entrée à 800°C sous O2 à 6L/min Montée à 1050°C sous O2 en 5°C/min 1050°C sous O2 pendant 5min descente à 800°C	Vérification épaisseur oxyde	X	X

Tableau 3.5. Diagramme de cheminement du deuxième test de procédés

III.D. Conception des masques.

Dans la première partie du chapitre III, nous avons rappelé des étapes technologiques de réalisation des MOSFETs double diffusés. Nous avons aussi décrit les composants réalisés au cours des premiers chapitres de cette thèse. Nous avons vu que, chaque étape technologique correspond à un niveau de masquage. Dans chaque niveau de masquage on dispose une nouvelle couche de résine. La gravure de la résine est réalisée à l'aide des rayons ultraviolets. En fonction du type de résine (positive ou négative) des zones insolées sont durcies. Le développement permet alors de faire ressortir les motifs gravés sur le masque. La deuxième partie de ce chapitre concerne le dimensionnement et la réalisation de ces masques.

Plusieurs considérations électriques et technologiques sont prises en compte pendant leur dimensionnement. Ces considérations s'appuient sur des règles générales de dimensionnement que nous avons utilisés pendant la réalisation.

Dans la suite, nous commencerons par une présentation des considérations électriques et technologiques de dimensionnement des masques et des phénomènes physiques intervenants. Le dimensionnement du composant principal MOSFET n'est pas abordé dans ce travail. Nous nous pencherons donc plus en détail sur le transistor bipolaire, solution technique possible pour notre système de protection en tension. Nous allons rappeler l'influence de la résistance interne de la base du BJT sur la répartition du courant de protection dans ses cellules. Il en est du même pour la résistance des amenées des courant I_c et I_b . Puis nous présenterons la méthode de conception que nous avons développée pour le cas très spécifique de notre application.

III.D.1. Règles générales de dimensionnement des masques.

Nous avons fait l'étude de dimensionnement pour le BJT [Alkayal- EPF'04]. L'étude pour le MOSFET n'est pas cités dans cette mémoire de thèse.

Nous allons présenter deux phénomènes physiques importants pour le bon dimensionnement d'un BJT qui devront être pris en considération dans la suite.

1. L'auto focalisation interne du courant de collecteur.

Ce phénomène est la conséquence des résistances internes dans la base du BJT . Un BJT en coupe est montré sur figure 3.12.a représentant l'influence de la résistance latérale de la zone de base (P') sous le doigt d'émetteur sur la répartition du courant d'émetteur suivant la largeur du doigt. Cette résistance entraîne une chute de tension base-émetteur qui n'est pas identique d'un point à l'autre de la base. Ceci modifie la distribution du courant dans les doigts d'émetteur. Cette modification fait que, à l'amorçage, le courant de périphérie est supérieur au

courant au centre du doigt d'émetteur provoquant ainsi une concentration des lignes de courant. On imagine fort bien que la largeur des doigts d'émetteur doit être réduite pour minimiser cet effet.

Ce phénomène est résolu par la division de l'émetteur en plusieurs parties ou cellules (doigts interdigités). Cette structure fait augmenter la périphérie et donc la surface utile, mais en même temps, elle diminue la résistance de la base.

La division du doigt d'émetteur en plusieurs parties apparaît comme une bonne solution. Mais nous avons intérêt à ne pas trop minimiser la largeur du doigt d'émetteur pour ne pas trop compliquer les procédés technologiques. Un compromis consiste à déterminer la largeur maximale du doigt d'émetteur qui garantit l'équilibrage du courant dans les cellules formant le transistor. D'après [Arnould-92] cette largeur maximale vaut (Voir Figure 3.12.b):

$$L_{ae\max} = L_{OEt} \cdot (kT/q) \cdot (2/I_E) \cdot \beta \cdot (\rho_{N_E/P_B})^{-1} \quad (3.1)$$

Avec: L_{OEt} est la longueur totale du doigt d'émetteur.

$kT/q = 26$ mV à $T=300^\circ\text{K}$

k est la constante de Boltzmann.

q est la charge d'électron.

ρ_{N_E/P_B} est la résistance lamellaire de la couche P de base sous la couche N^+ d'émetteur dans la direction parallèle à la jonction N/P [Ω/\square]. Cette résistance lamellaire est calculable d'après l'intégration:

$$\rho_{N_E/P_B} = \frac{1}{q \cdot \int_{x_1}^{x_2} N_B(x) \cdot \mu_n(x) \cdot dx} \quad (3.2)$$

Avec x_1, x_2 correspondant à la profondeur de l'émetteur et de la base.

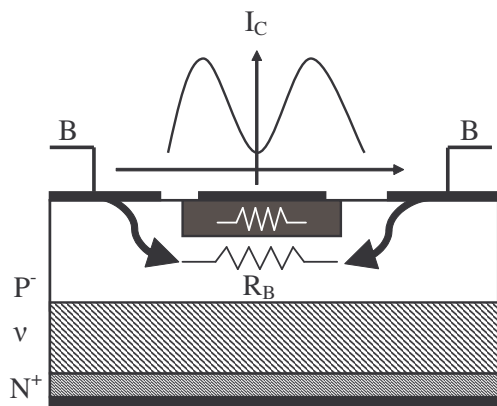


Figure 3.12.a Influence de la résistance de base sur la distribution du courant dans le doigt d'émetteur.

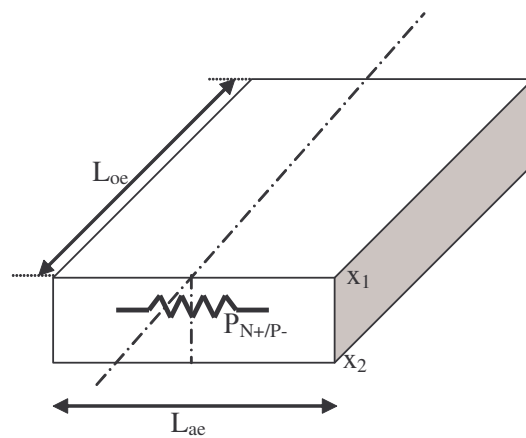


Figure 3.12.b Schéma d'un doigt du transistor avec les paramètres intervenant dans les calculs d'équilibrage.

Cette loi limite à un rapport « e=2.7 » l'écart entre les courants d'émetteur maximal et minimal sous le doigt d'émetteur.

2. L'auto focalisation externe.

Dans le précédent paragraphe, nous avons vu l'influence de la résistivité de la base sur la répartition du courant dans le doigt d'émetteur au niveau de la cellule. Un autre facteur important peut influencer cette répartition mais cette fois, entre les cellules. C'est la résistivité de l'Aluminium des amenées de courants de base et d'émetteur.

L'Aluminium a une résistivité de $\rho = 3.10^{-6} \Omega.cm$. Cette valeur apparaît faible, mais la densité de courant d'émetteur et la longueur des doigts et amenées de courant font que nous obtenons une chute de tension non négligeable. Cette résistance a une influence sur la répartition du courant de deux manières:

- La première est au niveau de la cellule même. Elle est fonction de la résistance des doigts de métallisation d'émetteur et de la base. Cette résistance crée une chute de tension au long du doigt qui modifie le niveau de polarisation sous le doigt d'émetteur (voir figure 3.13). En supposant que les doigts métalliques d'émetteur et de la base ont les mêmes largeurs et longueurs et sachant que le courant cellulaire d'émetteur est $(\beta+1)$ fois supérieur au courant de base, la chute de tension au long du doigt de base devient négligeable devant celle de du doigt d'émetteur. Ainsi, la jonction base émetteur ne subit pas la même polarisation le long du doigt d'émetteur ce qui génère un déséquilibre en courant. Plusieurs solutions sont proposées dans la littérature pour éviter ce genre de problème [Arnould-92]. La solution que nous avons retenue est de limiter la longueur du doigt d'émetteur. Ceci limite la chute de tension au long du doigt à la valeur de $\Delta V_E = 26mV = KT/q$. Cette valeur, arbitraire, permet de limiter le rapport entre les deux extrémités de doigt $I_{max}/I_{min} = e^{\Delta V/(KT/q)}$ à un facteur « e=2.7 ». Ainsi, la longueur du doigt d'émetteur est limitée selon la relation:

$$\Delta V_E = J_E \cdot \rho_{Al} \cdot \frac{L_{oE}}{L_{aE}} \leq 0.026 \quad (3.3)$$

Où ρ_{Al} est la résistivité de l'Aluminium, L_{aE} est la largeur du doigt d'émetteur et J_E est la densité du courant d'émetteur.

- La seconde manière est au niveau des cellules. Elle concerne la résistivité des amenées de courants de base et d'émetteur. Ce problème est représenté par le schéma simplifié de figure 3.14. Cette figure représente un bipolaire constitué en trois cellules élémentaires. Ces cellules sont reliées entre elles par les amenées de courant dont les résistances sont représentées dans la figure. Ces résistances entraînent des polarisations V_{BE} de chaque cellule non identiques et par conséquent, des répartitions de courants entre les cellules différentes.

En choisissant des amenées de courant avec des largeurs de métallisation différentes, on peut diminuer l'influence de ce phénomène de déséquilibre. Le courant dans le doigt d'émetteur étant $(\beta+1)$ fois plus grand que le courant du doigt de base, on créera des métallisations de doigt d'émetteur $(\beta+1)$ fois plus larges que celles de la base; l'équilibrage sera alors amélioré.

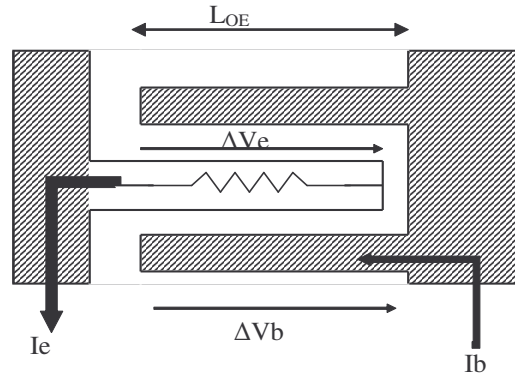


Figure 3.13 Schéma d'une cellule du BJT représente la résistance du doigt d'émetteur et la chute de tension au long de ce doigt.

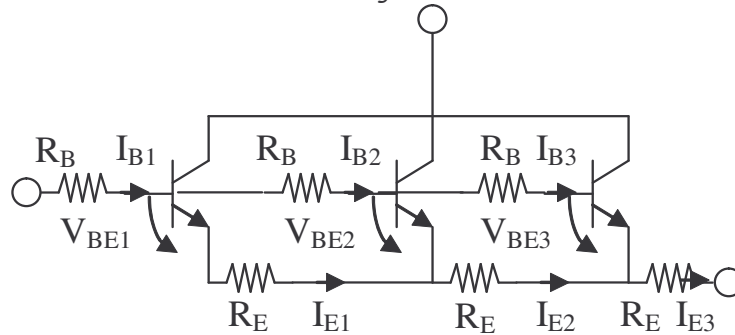


Figure 3.14 Schéma électrique équivalent de trois cellules élémentaires d'un BJT en prenant en compte la résistance des amenés de courant de base et d'émetteur.

En ce qui concerne les amenées de courants qui permettent du côté base et émetteur d'alimenter chaque doigt, la disposition est critique. Là encore, l'équilibrage entre les chutes de tension dans les amenées de courants de la base et de l'émetteur est primordial. Il faut donc, autant que faire se peut, créer une chute de tension totale identique dans tous les couples doigts de base et d'émetteur. La figure 3.15 montre des bonnes et des mauvaises prises de contact.

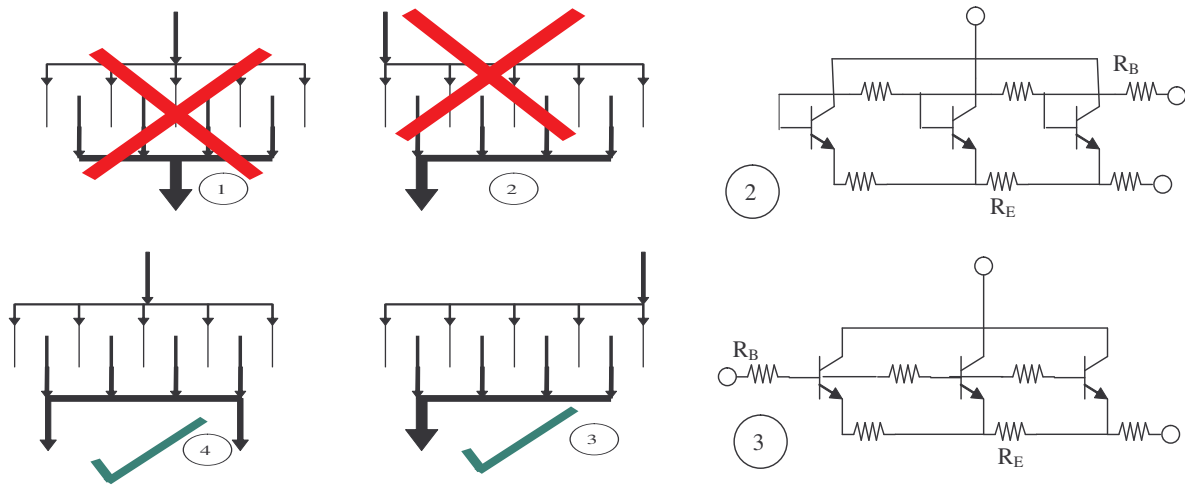


Figure 3.15 Quelques exemples sur de bons et de mauvais emplacements des prises de contacts. (Les schémas électriques équivalents des configurations 2 et 3 sont représentés à droite).

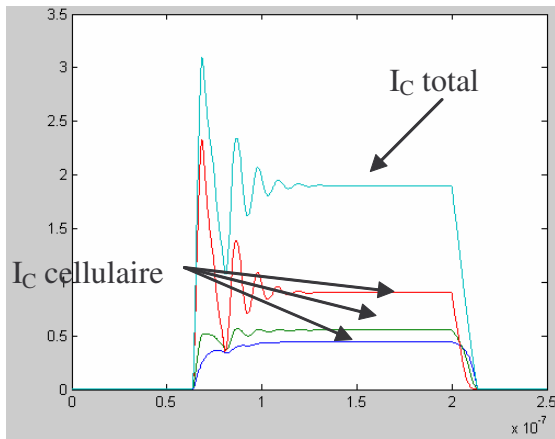


Figure 3.16.a Répartition des courants des cellules pour la configuration n°2.

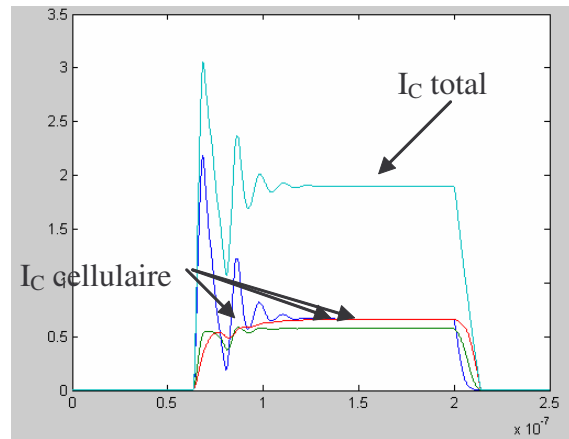


Figure 3.16.b Répartition des courants des cellules pour la configuration n°3.

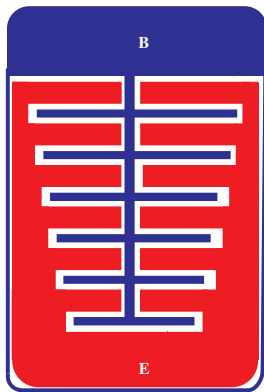


Figure 3.16.c Modification des largeurs de l'amenée du courant d'émetteur pour garantir l'équilibrage en statique.

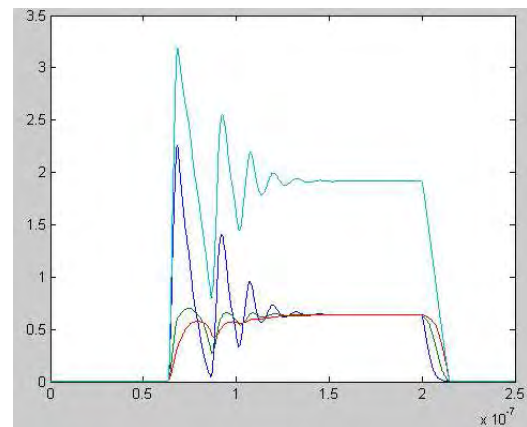


Figure 3.16.d Répartition des courants des cellules pour la configuration n°3 après avoir modifié la largeur de l'amenée de courant d'émetteur au niveau de chaque cellule comme dans la figure 3.14.c.

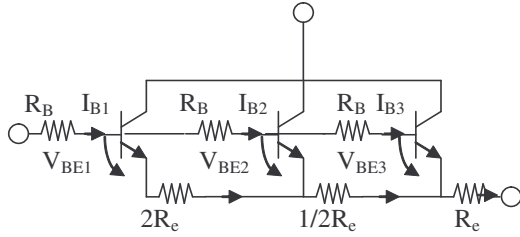


Figure 3.16.e. Méthode d'équilibrage des courants dans le BJT en modifiant les résistances de l'amenée de courant d'émetteur (un exemple de 3 cellules).

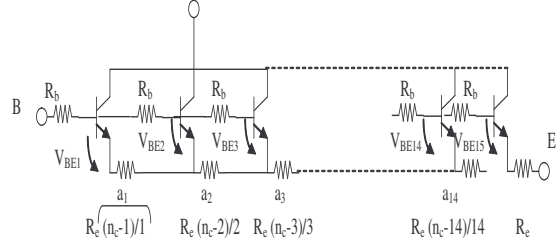


Figure 3.16.f. Méthode d'équilibrage des courants dans le BJT en modifiant les résistances de l'amenée de courant d'émetteur (un exemple de 15 cellules).

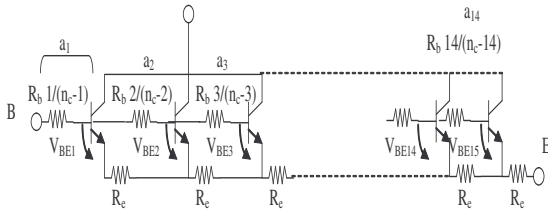


Figure 3.16.g. Méthode d'équilibrage des courants dans le BJT en modifiant les résistances de l'amenée de courant de base (un exemple de 15 cellules).

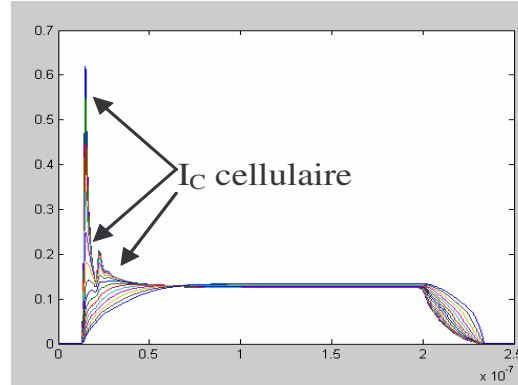


Figure 3.16.h. Les résultats de simulation du BJT de 15 cellules en utilisant la méthode de Figure 3.16.g.

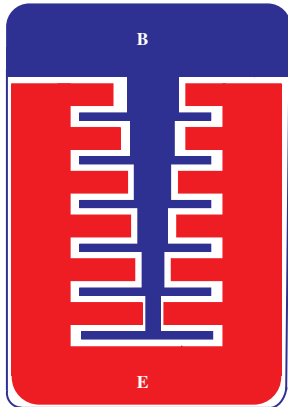


Figure 3.16.i. Modification des largeurs de l'amenée du courant de la base pour garantir l'équilibrage en statique.

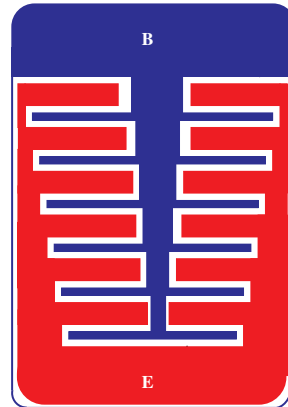


Figure 3.16.j. Modification des largeurs de l'amenée du courant de la base et d'émetteur pour garantir l'équilibrage en statique.

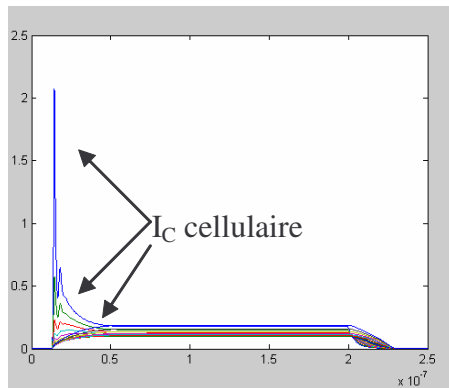


Figure 3.16.k. Simulation du courant de collecteur du BJT de 15 cellules pour des largeurs d'amenée de courant fixes.

Pour montrer l'influence de l'emplacement des prises de contacts sur l'équilibrage du courant, nous avons fait deux simulations basées sur le modèle proposé dans les configurations 2 et 3 de la figure 3.15 pour l'exemple d'un BJT constitué de trois cellules élémentaires. Les résultats sont sur les figures 3.16.a.b. Nous remarquons, d'après ces résultats, que la configuration 3 est meilleure que la configuration 2 de point de vue de l'équilibrage des courants cellulaires. Ces simulations montrent bien l'importance des positions des prises de contact malgré le fait que les résistances des amenées du courant soient déjà équilibrées.

En réalité cette solution ne garantit pas un équilibrage parfait en régime statique entre les cellules du transistor. Ceci se voit clairement sur la figure 3.16.b où un des trois courants cellulaires ne rejoint pas les deux autres en régime statique. Nous pouvons nous approcher de l'équilibrage parfait en modifiant la largeur des amenées de courant au niveau de chaque cellule élémentaire par un facteur donné, comme sur la figure 3.16.c. La figure 3.16.d donne des résultats de simulation pour le même transistor de trois cellules dont les largeurs des amenées de courant d'émetteur sont modifiées au niveau de chaque cellule; nous nous approchons de l'équilibrage parfait en régime statique grâce à cette solution. La simulation commence par le calcul de trois matrices qui relient les tensions base-émetteur de chaque cellule, les courants d'émetteur et le courant total de la base d'une part aux courants de base cellulaires d'autre part. Ces matrices contiennent des termes composés des résistances des amenées de courant de base et d'émetteur.

Si nous prenons l'exemple du BJT de trois cellules dont les amenées ne sont pas modifiées (Figure 3.14), nous pouvons écrire:

$$\begin{aligned}
 I_{B1} &= I_B - \frac{1}{R_{B1}}V_{BE1} + \frac{1}{R_{B1}}V_{BE2} - \frac{R_{E1}}{R_{B1}}I_{E1} \\
 I_{B2} &= \frac{1}{R_{B2}}V_{BE1} - \frac{2}{R_{B2}}V_{BE2} + \frac{1}{R_{B2}}V_{BE3} + \left(\frac{R_{E1}}{R_{B2}} - \frac{R_{E2}}{R_{B2}}\right)I_{E1} - \frac{R_{E2}}{R_{B2}}I_{E2} \\
 I_{B3} &= \frac{1}{R_{B3}}V_{BE2} - \frac{1}{R_{B3}}V_{BE3} + \frac{R_{E2}}{R_{B3}}I_{E1} + \frac{R_{E2}}{R_{B3}}I_{E2}
 \end{aligned} \tag{3.4}$$

Donc sous forme matricielle, nous pouvons avoir:

$$\begin{bmatrix} I_{B1} \\ I_{B2} \\ I_{B3} \end{bmatrix} = \begin{bmatrix} -\frac{1}{R_B} & \frac{1}{R_B} & 0 \\ \frac{1}{R_B} & -\frac{2}{R_B} & \frac{1}{R_B} \\ 0 & \frac{1}{R_B} & -\frac{1}{R_B} \end{bmatrix} \begin{bmatrix} V_{BE1} \\ V_{BE2} \\ V_{BE3} \end{bmatrix} + \begin{bmatrix} -\frac{R_E}{R_B} & 0 & 0 \\ 0 & -\frac{R_E}{R_B} & 0 \\ \frac{R_E}{R_B} & \frac{R_E}{R_B} & 0 \end{bmatrix} \begin{bmatrix} I_{E1} \\ I_{E2} \\ I_{E3} \end{bmatrix} + \begin{bmatrix} 1 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} I_B \\ I_B \\ I_B \end{bmatrix} \quad (3.5)$$

$$\begin{bmatrix} I_{B1} \\ I_{B2} \\ I_{B3} \end{bmatrix} = A1. \begin{bmatrix} V_{BE1} \\ V_{BE2} \\ V_{BE3} \end{bmatrix} + A2. \begin{bmatrix} I_{E1} \\ I_{E2} \\ I_{E3} \end{bmatrix} + A3. \begin{bmatrix} I_B \\ I_B \\ I_B \end{bmatrix}$$

Pour une amenée de courant d'émetteur dont les largeurs sont modifiées au niveau de chaque cellule (Figure 3.16.e) :

$$\begin{bmatrix} I_{B1} \\ I_{B2} \\ I_{B3} \end{bmatrix} = \begin{bmatrix} -\frac{1}{R_B} & \frac{1}{R_B} & 0 \\ \frac{1}{R_B} & -\frac{2}{R_B} & \frac{1}{R_B} \\ 0 & \frac{1}{R_B} & -\frac{1}{R_B} \end{bmatrix} \begin{bmatrix} V_{BE1} \\ V_{BE2} \\ V_{BE3} \end{bmatrix} + \begin{bmatrix} \frac{R_E}{2R_B} & 0 & 0 \\ \frac{3R_E}{2R_B} & -\frac{R_E}{2R_B} & 0 \\ \frac{R_E}{2R_B} & \frac{R_E}{2R_B} & 0 \end{bmatrix} \begin{bmatrix} I_{E1} \\ I_{E2} \\ I_{E3} \end{bmatrix} + \begin{bmatrix} 1 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} I_B \\ I_B \\ I_B \end{bmatrix} \quad (3.6)$$

Cette solution est généralisable pour un nombre de cellules n_c quelconque. La figure 3.16.f montre le schéma de la figure 3.16.e mais pour un Bipolaire de 15 cellules avec les facteurs de multiplication des résistances de l'amenée d'émetteur.

Nous remarquons que ces facteurs font des fois élargir et des fois amincir la largeur de l'amenée de courant d'émetteur. Le problème est qu'en utilisant ces facteurs, nous pouvons tomber sur des largeurs non réalisables au niveau technologique. Ces largeurs peuvent aussi être tellement grandes qu'elles ne laissent plus de surface utile pour les cellules du transistor. Par exemple, pour un BJT de dix cellules, la largeur de l'amenée de courant d'émetteur des cellules proches du contact d'émetteur peut atteindre neuf fois la largeur de l'amenée non modifiée. Si la largeur non modifier est égale à 250µm donc la largeur de l'amenée d'émetteur pour la dernière cellule côté contact d'émetteur doit faire 250*9=2250µm ce qui veut dire que toute la surface utile de cette cellule va être consommée par son amenée de courant d'émetteur. Ce problème nous a poussé à réfléchir et à modifier la largeur de l'amenée de courant de base. Ceci apparaît comme une bonne idée pour certaines valeurs de largeur d'amenée de courant de base. Les figures 3.16.g,h montrent le schéma équivalent et les résultats de simulation pour un BJT de 15 cellules dont la largeur de l'amenée de courant est modifiée par les facteur suivants (nous multiplions la largeur par ces facteurs en commençant par la cellule la plus proche de la prise de contact de base):

14/1 13/2 12/3 11/4 10/5 9/6 8/7 7/8 6/9 5/10 4/11 3/12 2/13
 1/14

Avec ces facteurs nous obtenons la configuration de la figure 3.16.i.

Là aussi, nous pouvons tomber sur des valeurs de largeur d'amenée de base trop petite (pour la dernière résistance coté émetteur, il faut diminuer la largeur de l'amenée de base par un facteur de 14).

Les simulations ont montré que pour une cellule i quelconque, soit on multiplie la résistance de l'amenée de courant d'émetteur R_{ei} par le facteur a_i ou on multiplie la résistance de l'amenée de courant de base par $1/a_i$. Cette liberté laisse à l'ingénieur, qui fait le dimensionnement, une marge assez importante pour faire l'équilibrage en choisissant des largeurs réalisables et logiques. Nous pouvons aussi répartir le facteur de multiplication entre les deux amenées comme dans le tableau suivant pour un transistor de 15 cellules :

Largeur de l'amenée de base* 14	13	12	11	10	9	8	7	6
5	4	3	2	1				
Largeur de l'amenée d'émetteur* 1	2	3	4	5	6	7	8	9
10	11	12	13	14				

Avec ces facteurs nous obtenons la configuration de figure 3.16.j.

En utilisant ces facteurs nous arrivons à l'équilibrage en statique avec des largeurs plus ou moins réalisables.

Dans notre cas, vue la simplicité de réalisation que nous voulons avoir, nous avons choisi de faire des largeurs fixes.

Un autre point important à rajouter ici est que, malgré l'équilibrage en statique, nous n'avons dans aucune configuration obtenue un équilibrage en régime transitoire.

En effet, faire l'équilibrage en statique ne garantit pas l'équilibrage en régime transitoire (l'amorçage ou le blocage du transistor). Or notre composant BJT, dans sa fonction de protection, sera principalement soumis à de fortes contraintes dynamiques. Les simulations précédentes montrent qu'en régime transitoire, les courants dans les différents doigts ne sont pas équilibrés malgré l'équilibrage en régime statique. L'explication de ces résultats se trouve dans le schéma de figure 3.17. Ce schéma représente un cas d'école d'un transistor constitué de trois cellules en parallèle. Chaque cellule est représentée par un transistor élémentaire, les résistances des amenées de courants de base et d'émetteur et, en plus, les capacités parasites d'entrée. Ces capacités sont responsables du déséquilibre du courant en régime transitoire.

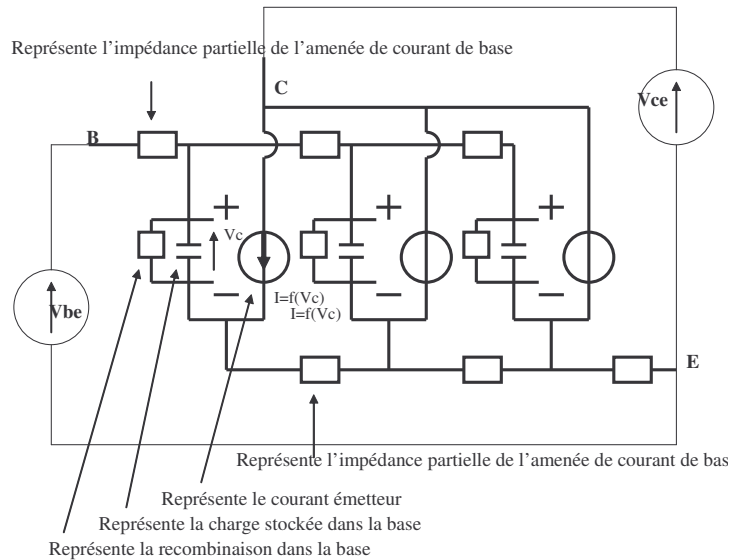


Figure 3.17 Schéma descriptif d'un transistor constitué de trois cellules. Chaque cellule contient les résistances des amenés de courant et la capacité d'entrée.

A cause de ce problème, certaines cellules voient un pic de courant assez important pendant la phase transitoire. Pourtant la démarche d'équilibrage en statique peut améliorer le régime transitoire. En comparant les figures 3.16.h et k qui représentent le cas de 15 cellules avec des largeurs d'amenée modifiées pour la figure 3.16.h et des largeurs fixes pour la figure 3.16.k. nous trouvons que la phase dynamique dans le cas des largeurs modifiées est meilleure que dans l'autre cas. (diminution des pics de courants cellulaires d'un facteur quatre).

Un des problèmes que nous pouvons rencontrer avec une structure des amenées modifiées pour l'équilibrage est que les longueurs des cellules ne sont plus égales. Les cellules cotées prise de contact de base sont plus longues que celles côté prise de contact d'émetteur. Ceci entraîne une variation de la densité de courant d'une cellule à l'autre. Donc un problème de déséquilibre thermique peut exister. L'optimisation de cette structure reste une des perspectives de ce travail de thèse.

3. La dégradation de l'Aluminium.

Cette contrainte vient du fait que dans un conducteur en Aluminium quelconque et pour une section figée, le métal commence à se dégrader à partir d'une certaine densité de courant; Cette dégradation est due à une électro-migration. Dans le cas de l'Aluminium, la densité maximale de courant admissible est de l'ordre de 1.10^5 A/cm^2 . Cette limite devra être prise en compte lors du dimensionnement des différents doigts et amenées de courants.

4. Les contraintes imposées par la technologie de fabrication.

Ces contraintes concernent les dimensions réalisables dans la salle blanche du CIME où nous avons fabriqué nos composants (ouverture minimale, homogénéité des dimensions d'ouverture, type de gravures isotrope ou anisotrope, précision de l'alignement des différents niveaux de masquage). Elles concernent aussi des contraintes que nous nous sommes fixées pour simplifier notre travail, tant au niveau du dessin que par la suite au niveau de l'interprétation des résultats (en choisissant par exemple et autant que faire se peut des comportements bidimensionnels plus simples à modéliser) :

- Contacts Aluminium.

Une de ces contraintes est la gravure de l'Aluminium. Selon la technologie de gravure utilisée au CIME, l'angle de gravure est de l'ordre de 45° ; Pour garantir le contact de l'Aluminium sur le Silicium, la distance minimale entre deux pistes doit être égale ou supérieure à quatre fois l'épaisseur de la piste. Dans l'électronique de puissance, cette épaisseur est de 1 à $2\mu\text{m}$ au minimum. L'épaisseur de l'Aluminium choisie fait $2\mu\text{m}$. L'augmentation de cette valeur est rentable du point de vue de la résistance des amenées. Mais, si l'on suit les règles précédemment énoncées, plus nous augmentons cette valeur, plus nous sommes obligés d'augmenter la distance de séparation entre deux contacts métalliques. Ceci peut se traduire par une mauvaise utilisation de la surface active au niveau du semiconducteur. Donc la distance minimale entre deux métallisations doit être égale à $2 \times 4 = 8\mu\text{m}$. (voir figure 3.18). De plus, le métal doit déborder de l'oxyde isolant de d'au moins $2\mu\text{m}$ de chaque côté pour garantir la couverture du silicium par l'Aluminium. Le contact Aluminium-semiconducteur ne doit pas être inférieur à $6\mu\text{m}$ pour garantir un bon contact ohmique. Ceci nous donne des contraintes sur les métallisations avec lesquelles il va falloir jouer.

En ce qui concerne la largeur du contact métallique de la base, peu de marge de manœuvre est envisageable. Les contraintes de prise de contact, de débordement et de distance inter contact nous donnent une valeur minimale. Celle-ci est de $10\mu\text{m}$ ($6\mu\text{m}$ de largeur de contact avec les $2\mu\text{m}$ de dépassement de chaque côté).

En ce qui concerne la largeur du doigt d'émetteur, l'énoncé des contraintes liées aux caractéristiques du doigt de base nous pousse vers une forte augmentation de la largeur des doigts. Nous avons déjà vu que la largeur minimale de l'amenée de courant de base est de $10\mu\text{m}$. Avec un gain en courant de 50 et selon la méthode d'équilibrage, la largeur de l'amenée de courant d'émetteur doit faire $500\mu\text{m}$ ce qui est fortement incompatible avec une utilisation correcte de la surface du silicium ! Nous avons donc été obligés de relâcher une

contrainte sur l'équilibrage en densité de courant sous les doigts d'émetteur pour trouver un compromis réaliste entre une bonne utilisation du silicium et un déséquilibre acceptable.

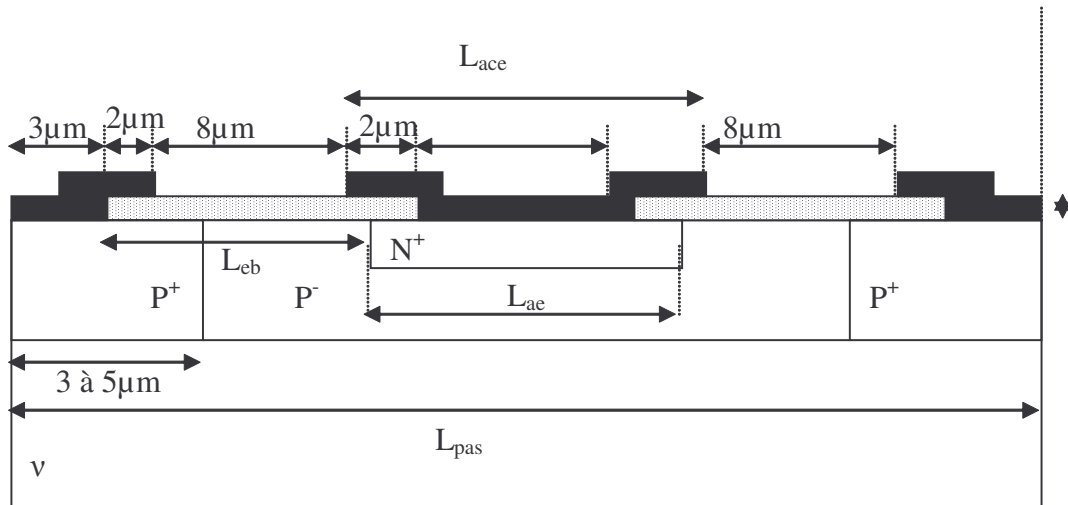


Figure 3.18. Motif représente les contraintes technologiques de fabrication.

- Superposition des masques, Problèmes d'alignement.

Un autre point important est l'alignement des masques. En fonction des outils disponibles en salle blanche et de la résolution du jeu de masques, une règle doit être établie pour limiter les risques de défaut d'alignement. Ainsi, on prévoit un recouvrement entre deux niveaux suffisant pour interdire les risques de court circuit ou autres problèmes. La précision d'alignement est de l'ordre de 1µm, un décalage de 2µm est donc nécessaire pour s'affranchir du problème. La distance entre la zone P⁺ et la zone N⁺ est fixée à 5 ou 6 µm. La figure 3.19 montre des défauts typiques dus à une erreur d'alignement.

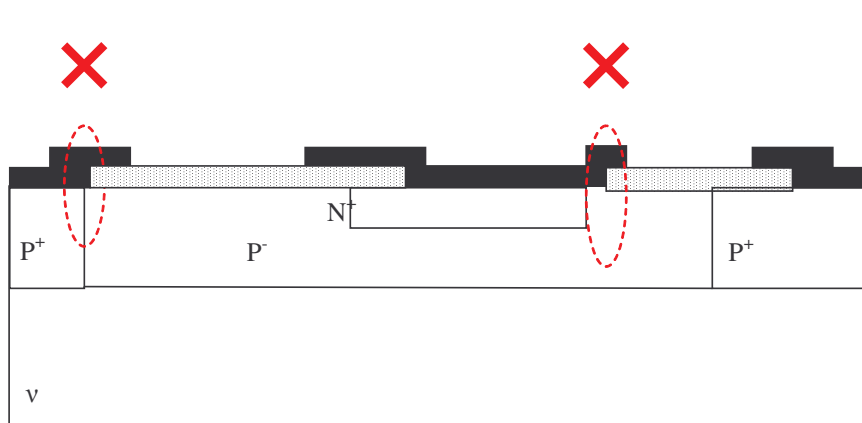


Figure 3.19 Faute d'alignement des couches pour un motif de BJT.

- Terminaison des doigts.

La terminaison des doigts est arrondie pour limiter les effets 2D. Le rayon de l'arrondi le plus petit correspond à la moitié de la largeur du doigt. La figure 3.20 montre deux zooms dans le

masque P⁺ du transistor bipolaire. Ainsi nous pourrons comparer plus facilement les résultats pratiques avec les résultats théoriques issus de simulations ou de modélisations 2D.

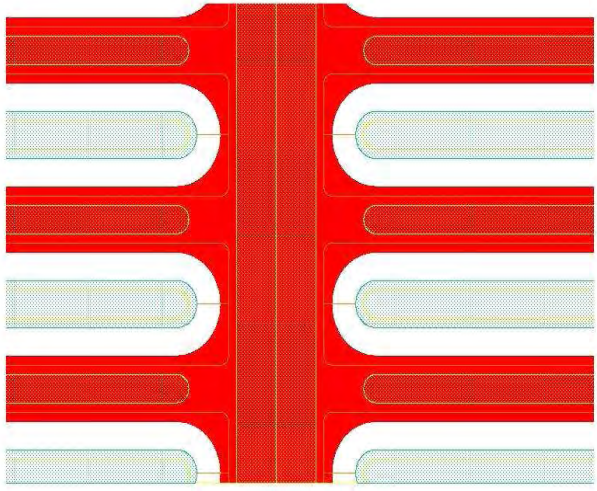


Figure 3.20.a Vue détaillée des terminaisons des doigts d'un BJT coté amenées de base.

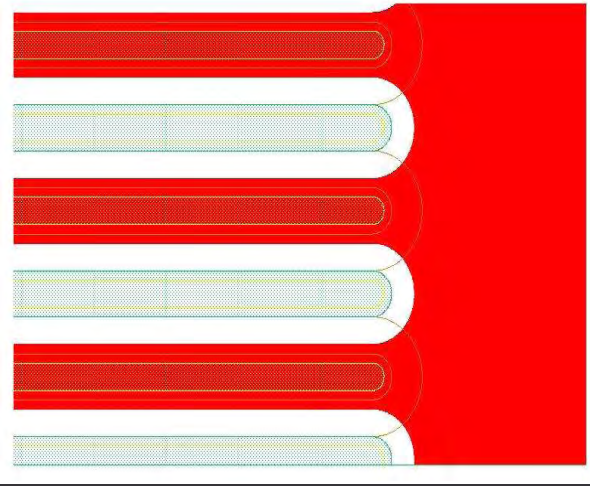


Figure 3.20.b Vue détaillée des terminaisons des doigts d'un BJT coté amenées d'émetteur.

- La périphérie.

à l'extérieur des anneaux de garde, un anneau N⁺ permet de terminer proprement la zone de tenue en tension. Enfin, un dernier contour permet de délimiter une zone dite zone de découpe. Cette zone est prévue pour faciliter la découpe des puces en vue de leur mise en boîtier (voir figure 3.21).

Le rayon de courbure intérieur des périphéries (le premier anneau de garde) doit être égal à 7 fois la profondeur de la zone de tenue en tension considérée non tronquée pour éviter les phénomènes 2D. Dans notre cas, la jonction tronquée de 50μm donne un rayon de courbure interne d'environ 350μm. L'anneau N⁺ de périphérie fait environ 120μm de large. La dernière zone de la périphérie est dopée N⁺ et reste sans métallisation pour ne pas abîmer la scie lors du découpage. Cette zone fait 70μm de largeur.

Les paramètres de la périphérie (le nombre et les largeurs des anneaux, l'espacement entre les anneaux,...) sont fixés à partir des simulations Silvaco. Le but est de bien structurer les lignes d'équipotentiels à la tension maximale pour éviter le claquage. Les figures 3.21.c et d montrent ces simulations.

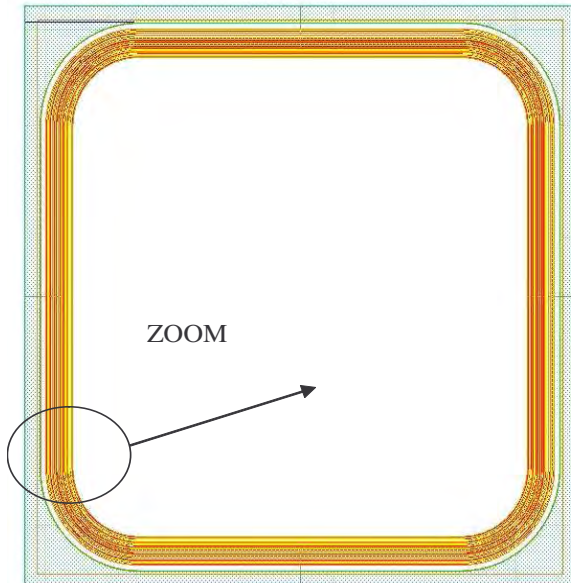


Figure 3.21.a: Périphérie complète des motifs réalisés.

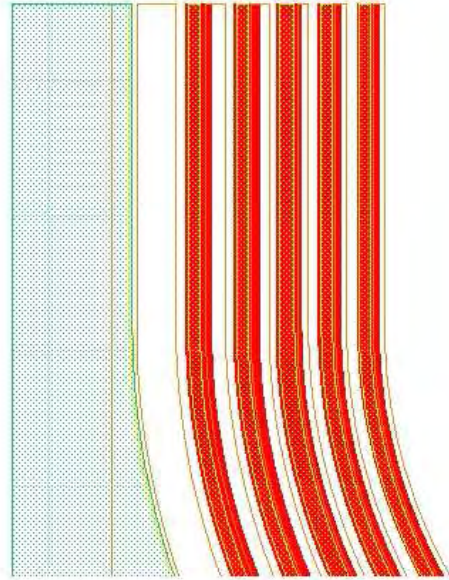


Figure 3.21.b: Périphérie complète des motifs réalisés (zoom).

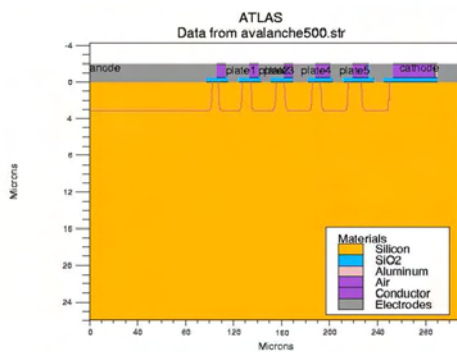


Figure 3.21.c: Structure des anneaux de garde.

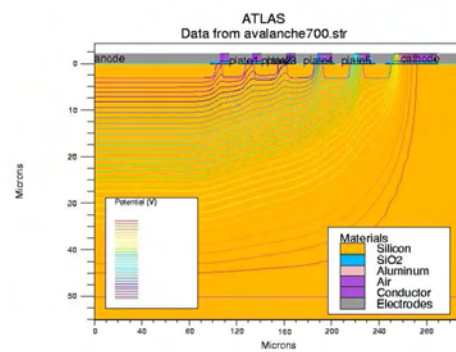


Figure 3.21.d Simulation Silvaco de la périphérie montrant les équipotentielles pour une tension égale à 650V.

Dans le cas d'un composant double fonction (composant principal et fonction de dissipation), la périphérie englobe les deux composants. Une terminaison particulière doit alors être mise en œuvre. Par ailleurs, l'isolation partielle des deux fonctions nécessite un joint de fonctions qu'il faut dimensionner.

- Le joint de fonctions.

L'objectif est de sélectionner la meilleure solution technologique pour réaliser le joint entre deux fonctions intégrées. Nous distinguons deux cas de joint de fonctions: MOS+MOS et MOS+BJT. Pour la structure de protection MOS-BJT, nous avons deux configurations avec et sans court circuit Source-Emetteur (voir figures 3.22 et 3.23). Pour la configuration MOS-MOS, nous avons aussi deux solutions avec et sans court-circuit (source principale avec

source protection) (figures 3.24 et 3.25). Ces configurations sont faites pour maximiser nos possibilités de tests et de comparaisons entre plusieurs solutions.

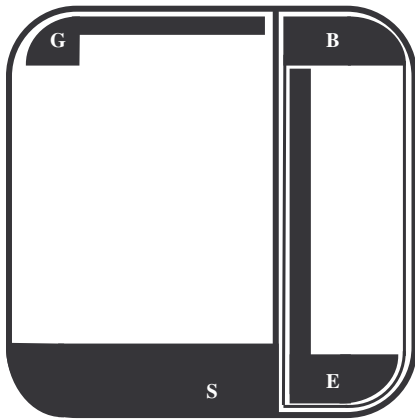


Figure 3.22.a Vue de dessus du MOSFET protégé par un bipolaire montrant le joint de fonctions pour un contact source isolé du contact émetteur.

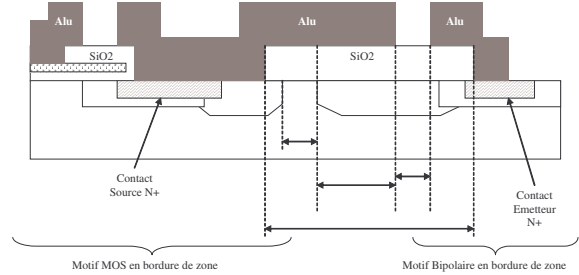


Figure 3.22.b Motif correspondant.

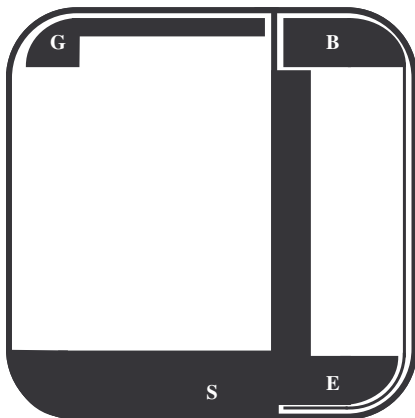


Figure 3.23.a Vue de dessus du MOSFET protégé par un bipolaire montrant le joint de fonctions pour un contact source relié avec contact émetteur.

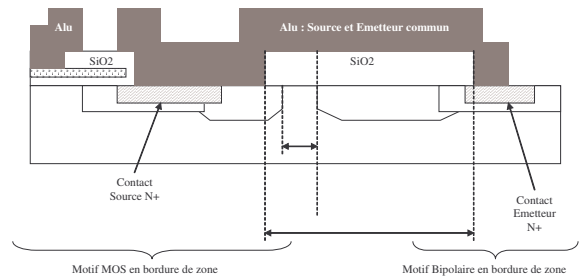


Figure 3.23.b Motif correspondant.

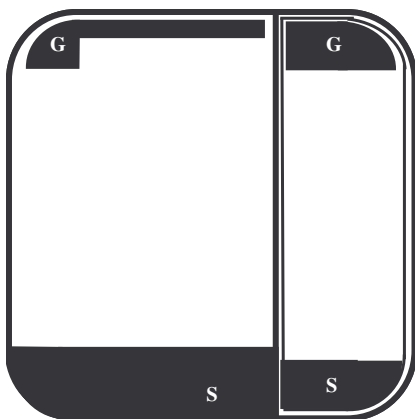


Figure 3.24.a Vue de dessus du MOSFET protégé par un MOSFET montrant le joint de fonctions pour un contact source isolé du contact émetteur.

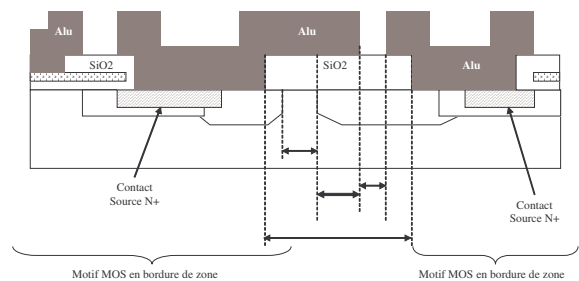


Figure 3.24.b Motif correspondant.

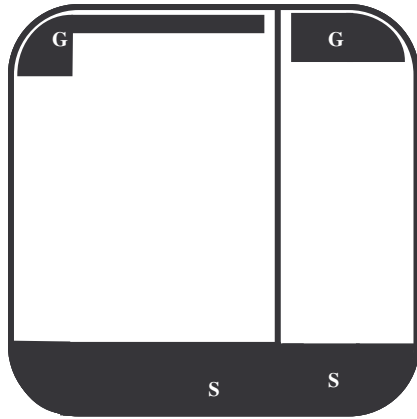


Figure 3.25.a Vue de dessus du MOSFET protégé par un MOSFET montrant le joint de fonctions pour un contact source relié avec contact émetteur.

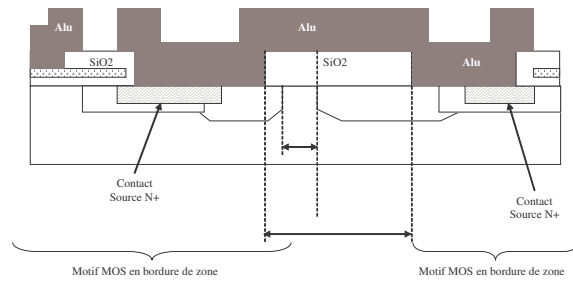


Figure 3.25.b Motif correspondant.

En ce qui concerne les joints de fonctions, une attention toute particulière doit être portée pour estimer la distance entre les caissons P+ des deux jonctions ainsi que la répartition des lignes de potentiel dans le SiO₂ entre les deux fonctions.

A partir de ces règles générales, nous pouvons mettre en oeuvre une méthodologie de conception des masques.

III.D.2. Méthodologie de la conception des masques.

Cette méthodologie permet de concevoir et d'optimiser le jeu de masques avec pour objectif de créer des composants pouvant être associés à un composant principal, suivant son diagramme de cheminement, en fonction d'une surface allouée et bien sûr en tenant compte des contraintes et limitations évoquées dans ce même chapitre.

Cette méthodologie de dimensionnement et de conception du jeu de masques sera appliquée à deux cas. Le premier concerne un composant bipolaire à part entière occupant la totalité du pavé. Le second cas concerne quand à lui un composant bipolaire associé au sein d'un composant MOSFET principal.

La figure 3.26 montre une vue très simplifiée d'un BJT seul et un BJT de protection avec les paramètres à déterminer. Cette vue montre les doigts et les amenées de courant des transistors. Le contact métallique du collecteur couvre toute la face arrière.

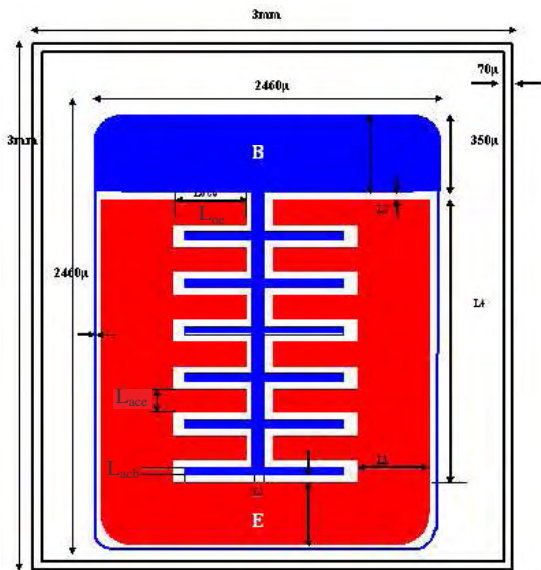


Figure 3.26.a Vue du BJT seul ayant les dimensions du pavé.

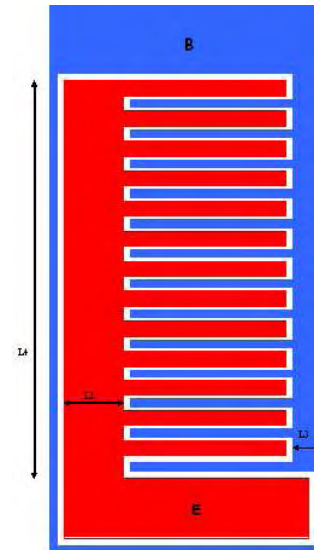


Figure 3.26.b Vue du BJT de protection ayant les dimensions du pavé.

Comme cela fut déjà dit, dans le cas des transistors bipolaires, nous avons choisi trois valeurs de densité de courant d'émetteur (150, 75 et 50 A/cm²). Pour chaque cas, nous sommes partis de ce paramètres de dimensionnement pour déduire l'ensemble des cotes des masques. En conséquence, nous avons trois motifs. Aucune de ces densités de courant ne dépasse la valeur critique fonction de la concentration de la zone de tenue en tension maximum. Cette valeur qui dépend du dopage est égale à:

$$J_{C_{\max}} = N \cdot q \cdot V_d \quad (3.7)$$

Où V_d est la vitesse déplacement. Pour des valeurs du champ électrique supérieures ou égales à $5 \cdot 10^4$ cette vitesse se sature à une valeur de 10^7 Acm⁻². Donc pour notre application la densité maximale du courant égale à $2 \cdot 10^{14} \cdot 1.6 \cdot 10^{-19} \cdot 10^7 = 320$ A/cm².

Donc après avoir fixé les valeurs de la densité de courant, nous fixons la surface qui doit être utilisée pour le composant de protection. En fait, quand nous avons commencé la réalisation des masques, nous n'avons pas procédé à l'optimisation de la surface du transistor de protection comme nous l'avons déjà expliqué dans le chapitre II. Donc nous avons pris une valeur qui s'approchait le plus d'un résultat correct tout en permettant de créer des motifs fonctionnels sinon optimisés. Cette surface correspondait à un cinquième de la surface active de la puce = 1/5 (3*3) mm².

Dans notre application, nous devons trouver les inconnues suivantes (voir figures 3.18 et 3.26):

L_{oe} Longueur d'un doigt d'émetteur

L_{oecc} Longueur du contact métallique du doigt d'émetteur

- L_{ae} Largeur du doigt d'émetteur
- L_{aec} Largeur du contact métallique du doigt d'émetteur
- $2L_1$ Largeur de l'amenée de courant d'émetteur (pour le cas du transistor tout seul)
- L_3 Largeur de l'amenée de courant de base
- L_{pas} Largeur totale d'une cellule (un doigt émetteur et un doigt de base incluant les zones de transition entre les deux zones).
- I_c Le courant de collecteur résultats de l'optimisation.

Ces paramètres sont à déterminer en prenant en compte les contraintes imposées par la technologie de fabrication déjà citées. Tout d'abord, nous commençons par calculer les largeurs des amenées de courant. D'après ce que nous avons expliqué et pour garantir l'équilibrage en statique de la chute de tension V_{be} entre les cellules, la largeur totale des amenées de courant d'émetteur est β fois la largeur de celle de la base. On obtient donc pour chaque amenée:

$$L_1 = \frac{\beta}{2} L_3 \quad (3.8)$$

Un autre critère est la valeur maximale de la densité de courant dans les amenées.

Le courant passant dans la surface active du Silicium est :

$$I_C = 2 \cdot J_C \cdot L_4 \cdot (L_{oe} + L_{marge}) \quad (3.9)$$

Où J_C est la densité de courant dans le Silicium [A/cm^2], L_4 est la longueur de la puce après avoir soustrait la périphérie et la surface nécessaire pour les prises de contacts (figure 3.26), L_{marge} est la distance entre le bout du doigt de base (ou d'émetteur) et l'amenée de courant d'émetteur (ou de base). En même temps, le courant passant dans les amenées de courant d'émetteur ne doit pas dépasser une valeur maximum correspond à la dégradation du métal (J_{CM}) :

$$I_E = 2 \cdot J_{CM} \cdot L1 \cdot epp \quad (3.10)$$

Où e_{pp} est l'épaisseur de l'Aluminium [cm].

En négligeant le courant de base, nous pouvons dire que $I_e = I_c$. Ainsi, pour éviter tout phénomène d'électromigration, il faut que :

$$2 \cdot J_C \cdot L_4 \cdot (L_{oe} + L_{marge}) \geq 2 \cdot J_{CM} \cdot L1 \cdot epp \quad (3.11)$$

Donc

$$L1 \leq \frac{2 \cdot J_C \cdot L_4 \cdot (L_{oe} + L_{marge})}{2 \cdot J_{CM} \cdot epp} \quad (3.12)$$

Avec

$$L_3 = \frac{2L_1}{\beta} \quad (3.13)$$

Après avoir déterminé les largeurs des amenées de courant, nous allons calculer la largeur du doigt d'émetteur. Pour cela, il y a deux points à considérer. D'une part, nous ne pouvons pas dépasser la limite maximum de la largeur du doigt d'émetteur pour éviter le problème d'auto-focalisation interne selon l'équation 3.1 ce qui nous donne le critère suivant:

$$L_{oet}(L_{ae}) = L_{ae} / [(kT/q) \cdot (2/I_E) \cdot \beta \cdot (\rho_{N_E / P_B})^{-1}] \quad (3.14)$$

d'autre part L_{ae} détermine la surface de la cellule et donc détermine le courant passant dans la cellule et donc le courant total. Cette surface de la cellule est égale à:

$$S_c(L_{ae}) = L_{oe} \cdot L_{pas}(L_{ae}) \quad (3.15)$$

Où L_{pas} est la largeur de la cellule. Le courant de la cellule :

$$I_{cellule}(L_{ae}) = J_c \cdot S_c(L_{ae}) \quad (3.16)$$

Donc le nombre des cellules est :

$$n_c(L_{ae}) = \frac{I_c}{I_{cellule}(L_{ae})} \quad (3.17)$$

Et la longueur totale des doigts d'émetteur est:

$$L_{oet}(L_{ae}) = n_c(L_{ae}) \cdot L_{oe} \quad (3.18)$$

La solution des deux équations 3.14 et 3.18 donne la valeur optimale de L_{ae} .

Le même procédé est utilisé dans le cas où le transistor de protection est à côté du transistor principal. Le tableau suivant donne quelques valeurs retenues et les résultats obtenus pour quatre exemples :

	L_{ae}	L_{ace}	L_{oe}	L_{pas}	L_{eb}	Nombre cellules	Largeur amené émetteur	Largeur amené base	Surface active [μm^2]	I_c
BJT150	10	10	537	36	10	80	625*2	24	537*1448	2.35 A
BJT75	16	12	715	38	8	84	450*2	18	715*1604	1.75 A
BJT150 (protection)	10	10	246	36	10	44	252	10	246*1576	0.584
BJT75 (protection)	16	12	246	38	8	41	252	10	246*1550	0.287

Tableau 3.6 Les calculs d'optimisation des amenées de courant et des largeurs des doigts pour les transistors bipolaire. (unité en μm).

Pour ce qui concerne la largeur du contact métallique de la base, elle a été fixée à $10\mu\text{m}$ pour les différents motifs. Cette largeur égale à la largeur minimale qu'on peut réaliser technologiquement dans la salle blanche du CIME. La largeur du contact métallique de l'émetteur a été calculée de façon à avoir une distance fixe entre les pistes d'Aluminium égale à $8\mu\text{m}$ comme expliqué auparavant.

Donc d'après ce qu'on a vu, les dimensionnements des largeurs des amenées de courant jouent un rôle important dans l'équilibrage du courant en régime statique. Les paramètres internes de la cellules (L_{ae} , L_{oe} , L_{ocb} , L_{oce} , L_{pas} , ...) sont fortement liés à la densité de courant I_C et aux contraintes technologiques de fabrication.

III.E. Réalisation des masques.

Le dessin et la réalisation des masques sont faits sur le logiciel Cadence disponible au CIME. Ce logiciel est fréquemment utilisé dans le domaine de la microélectronique pour la conception des masques et la simulation des circuits formés avec ces masques.

L'apprentissage du logiciel n'est pas difficile mais il faut prendre quelques précautions d'usage telles le choix du type de masques, des couleurs.... Ceci permet de faciliter la superposition, mais aussi quelque fois le dessin. Par exemple, tout dépend de la nature de la résine qui va être utilisée (positive ou négative). Pour une résine positive, la partie non transparente du masque va empêcher les rayons de passer et vice versa pour la résine négative. Le développement est alors différent. Un autre conseil important pendant la réalisation des masques sur Cadence consiste à essayer de dessiner le masque en utilisant sa face la plus simple. Chaque masque peut être dessiné soit par sa partie invisible soit par sa partie visible. L'inversion est ensuite sous traitée chez le fabricant. Enfin, sur Cadence, on peut utiliser une structure hiérarchisée des fichiers et des dessins. C'est une méthode assez efficace pour réduire le temps du travail car pour les composants de puissance tout doit être dessiné et l'on ne peut pas bénéficier des bibliothèques disponibles sur le logiciel.

Dans la suite, nous présentons quelques informations pratiques concernant les plaques des masques, leur précision, taille et nombre de défauts possibles. Ensuite, nous présentons des dessins de quelques masques avec quelques explications pour avoir une image complète de notre travail.

Les plaques que nous avons utilisées ont un support en quartz; Les plaques utilisées sont des plaques carrées de 5 pouces. Ce choix permet de favoriser la qualité de l'insolation mais aussi de limiter les problèmes de dilatation thermique entre les différents niveaux.

Le nombre de défauts (pouvant éventuellement causer la destruction du composant) par tranche est lié au degré de tolérance et de précision lors de la gravure du masque. Figure 3.27 représente une image d'une tranche réalisée.

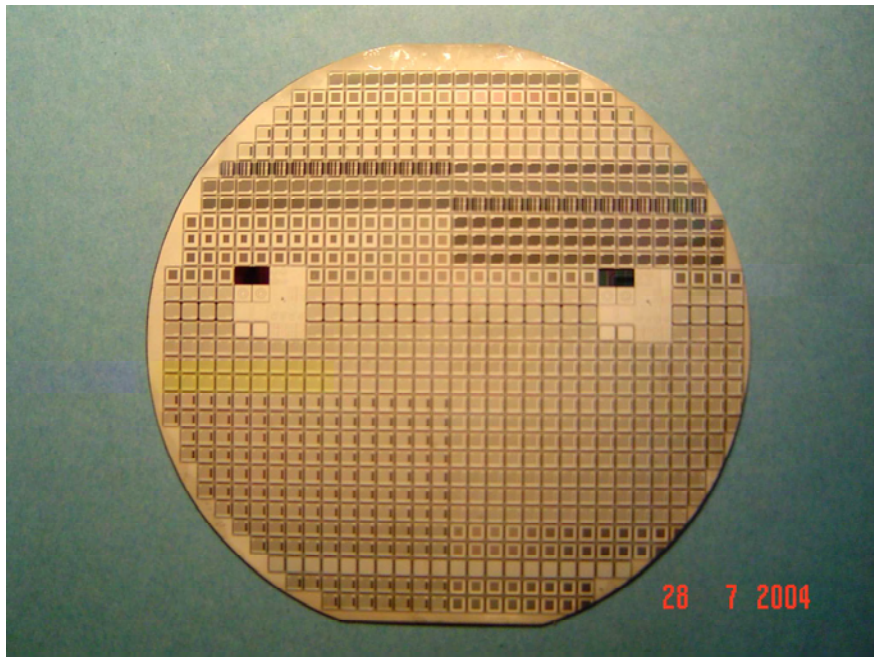


Figure 3.27 Image d'une tranche réalisée.

Nous utiliserons le support d'un transistor bipolaire seul pour présenter les différents niveaux de masquage de notre réalisation. Le premier niveau, le masque P^+ , est présenté sur la figure 3.28.a. La Figure 3.28.b montre le masque OZUT utilisé pour ce transistor et tous les composants.

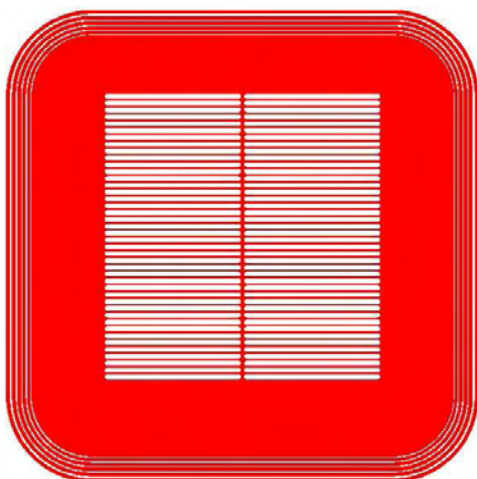


Figure 3.28.a Masque P^+ du bipolaire seul avec une densité de $150 A/cm^2$.

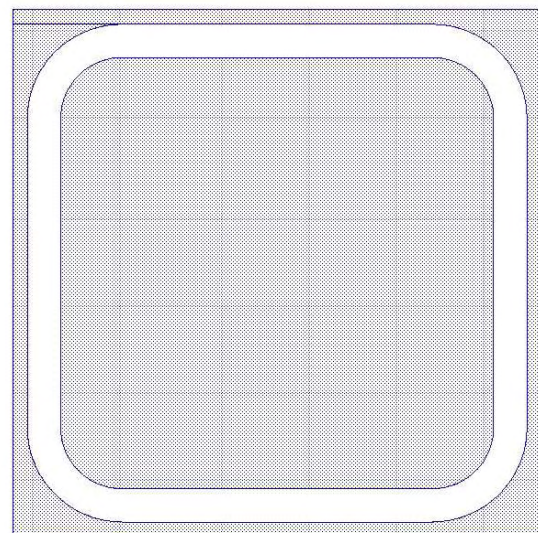


Figure 3.28.b Masque OZUT du bipolaire seul avec une densité de $150 A/cm^2$.

La Figure 3.28.c montre le masque P- qui dégage normalement les doigts de grille. Dans le cas du transistor bipolaire, il n'y a pas de grille. Ainsi, l'ensemble de la zone est gravé pour retirer le polysilicium.

La figure 3.28.d visualise le masque N+ mais cette fois superposé avec le masque P+. Un zoom d'une partie du masque est sur la Figure 3.28.e. Ce zoom met bien en évidence la partie N+ du doigt d'émetteur. Cette partie est à l'intérieur de la zone P+ qui assure le contact avec la métallisation de la base. Cette figure montre aussi la symétrie du doigt d'émetteur par rapport à la zone P+ pour éviter les phénomènes 2D comme déjà expliqué.

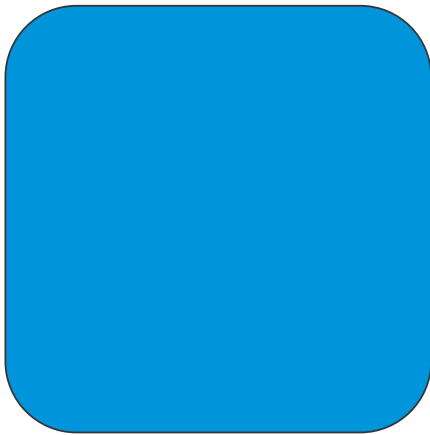


Figure 3.28.c Masque P- du bipolaire seul avec une densité de 150 A/cm^2 .

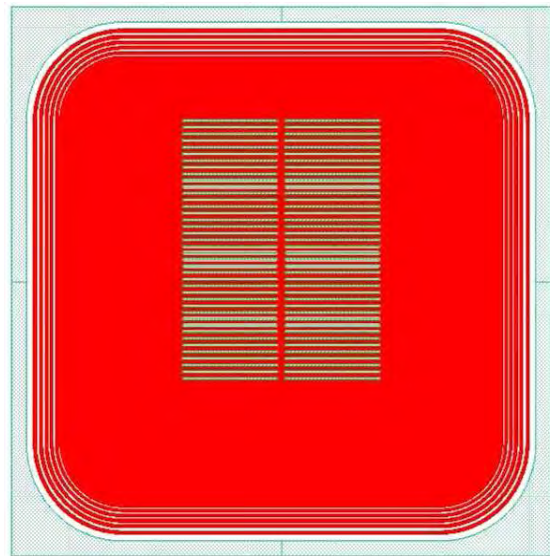


Figure 3.28.d Masque N+ superposé avec le masque P- du bipolaire seul d'une densité de 150 A/cm^2 .

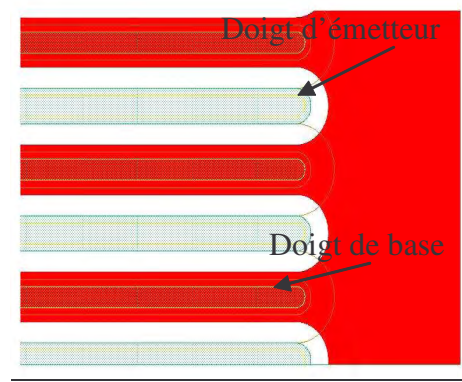
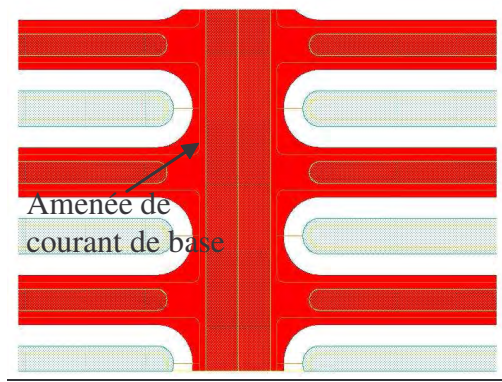


Figure 3.28.e Vue détaillée d'une partie du masque de figure 3.28.d

Dans la figure 3.28.f nous trouvons le masque OCON. La zone non colorée correspond à l'existence de l'oxyde isolant de type LTO. Nous isolons complètement les amenées de courant de l'émetteur du silicium et nous laissons l'amenée de courant de base et le contact de base en contact avec la couche P+ créée. Le tour de la puce est dégagé de l'oxyde et du métal

pour ne pas abîmer la scie pendant la découpe des puces. La figure 3.28.g montre le masque GALU. La figure 3.28.h montre l'ouverture du second contact pour l'émetteur et la base.

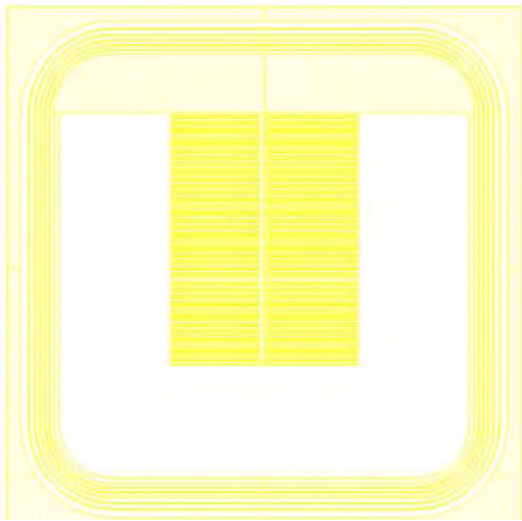


Figure 3.28.f Masque OCON du bipolaire seul avec une densité de 150 A/cm^2 .

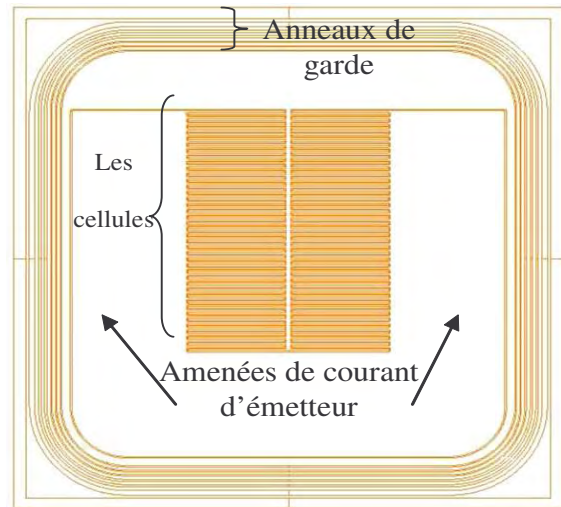


Figure 3.28.g Masque GALU du bipolaire seul avec une densité de 150 A/cm^2 .

Ce masque est superposé dans la figure sur le masque P+ pour bien montrer les zones de connexion avec les bonding du composant. La zone de bonding doit faire au minimum $300\mu\text{m}$ de large et $400\mu\text{m}$ de long. Nous avons fait l'ouverture du second contact plus large que nécessaire pour garder un degré de liberté permettant l'étude de l'équilibrage du courant d'émetteur entre les cellules en modifiant la zone de prise de contact horizontalement.

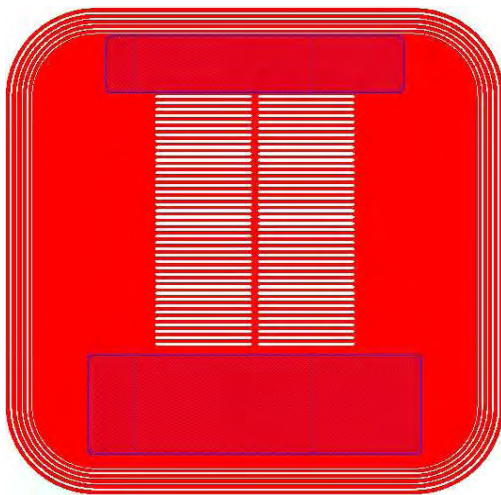


Figure 3.28.h Masque OSCO superposé avec le masque P du bipolaire seul avec une densité de 150 A/cm^2 .

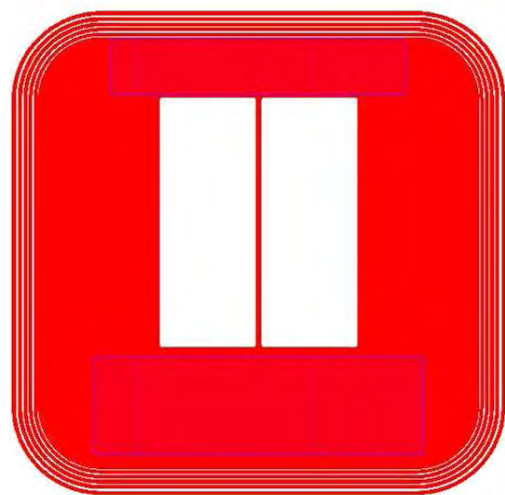


Figure 3.28.i Masque OSCO superposé avec le masque P du bipolaire seul avec une densité de 150 A/cm^2 sans P pour le contact de base (sans la périphérie).

Nous avons aussi réalisé des composants BJT seuls mais sans contact P⁺ de base. Ceci doit nous permettre d'étudier l'influence de cette couche sur les caractéristiques du transistor (voir

figure 3.28.i). En effet la présence d'une résistance de contact plus ou moins importante peut modifier les performances du transistor mais aussi son comportement propre tel que l'équilibrage en courant.

La figure 3.29.a montre le masque P^+ d'un transistor MOSFET protégé par un transistor bipolaire (F1A3-F4A1). La partie P^+ du bipolaire est à droite et à l'intérieur du P^+ du MOSFET. Nous remarquons ici qu'il n'y a pas de contact entre les deux zones, ceci parce que le P^+ du bipolaire est relié avec la base, mais le P^+ du MOSFET est relié avec la source.

La figure 3.29.b montre le masque P^+ d'un transistor MOSFET protégé par un MOSFET (F1A3-F1A3). La figure 3.30 montre le masque P^- de la structure de la diode à seuil d'avalanche contrôlée. Nous pouvons considérer cette structure comme celle d'un transistor bipolaire avec une couche P^- modifiée. Pour cette structure, nous avons fabriqué plusieurs composants pour plusieurs largeurs de la fenêtre de P^- dans le but d'étudier l'influence de cette largeur sur la tenue en tension.

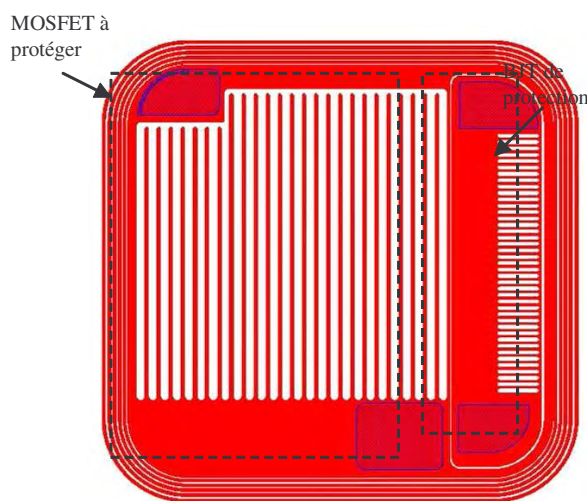


Figure 3.29.a Masque P^+ d'un transistor MOSFET protégé par un bipolaire

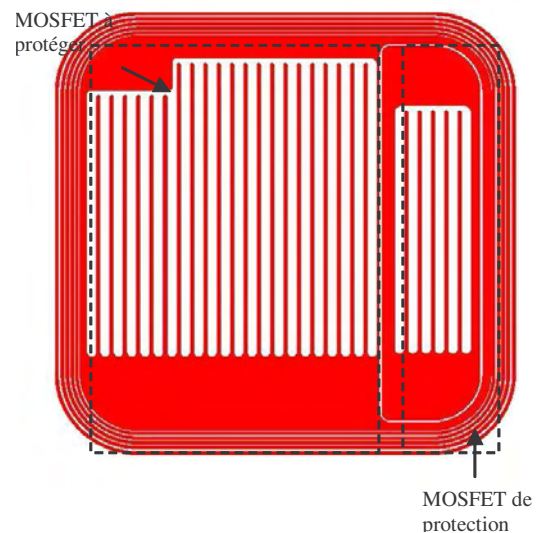


Figure 3.29.b Masque P^+ d'un transistor MOSFET protégé par un MOSFET.

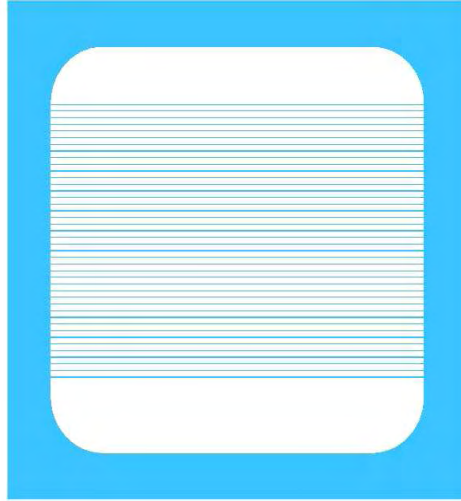


Figure 3.30. Masque P de la structure dentelle pour un espacement dans la zone P de 2 μ m.

III.F. Conclusion.

Dans ce chapitre, nous avons étudié et présenté la réalisation technologique des composants. Nous avons commencé par un rappel des étapes technologiques classiques de fabrication du transistor MOSFET double diffusé. Ces étapes seront celles de la fabrication du transistor de protection.

Dans un deuxième temps, nous avons fait des tests dans la salle blanche du CIME pour caractériser les étapes technologiques du MOSFET double diffusé et vérifier les résultats attendus. Cette vérification a permis de conclure sur les profondeurs des jonctions, le temps de diffusion, l'épaisseur de la couche protectrice de résine, l'épaisseur de l'oxyde de grille et l'implantation du phosphore dans le silicium et le poly silicium.

Dans la suite, une étude de dimensionnement des masques du transistor bipolaire a été effectuée. Ce dimensionnement a pour but de réaliser des composants avec une tenue en tension sûre et une stabilité fiable. Pour cela, on a pris en considération les phénomènes d'auto focalisation externe dus à la résistivité de l'Aluminium et d'auto focalisation interne dus à la résistivité du Silicium. Les largeurs des amenées de courant, le nombre de cellules, la surface de la cellule et d'autres paramètres sont optimisés selon des procédures expliquées dans ce chapitre.

Dans le chapitre suivant, nous allons faire des caractérisations des composants créés. Ces caractérisations sont dans le domaine physique (vérifier le dopage, la profondeur de jonction, ...) et dans le domaine électrique (caractéristique statique des composants seul, gain, vitesse de réponse, vérification du fonctionnement de protection,...).

Chapitre IV : Validation et démonstration du
système de protection en tension

IV.A Introduction.

Dans ce dernier chapitre, nous allons utiliser des composants que nous avons fabriqués dans des circuits de puissance dans des conditions réelles. La structure proposée est un hacheur série utilisant un MOSFET comme interrupteur de puissance. Cet interrupteur est protégé contre les surtensions par un petit transistor bipolaire ou MOSFET intégré monolithiquement comme nous l'avons déjà expliqué.

Nous divisons ce chapitre en deux parties distinctes; dans la première nous utilisons le MOS protégé dans un hacheur série avec des surtension créés par une inductance volontairement ajoutée en série avec ce MOS. Cette inductance crée des surtensions à chaque commutation. Donc nous créons artificiellement les surtensions. Ceci sert à étudier le comportement du circuit de protection et à faire une validation du modèle proposé dans le chapitre II avec les résultats obtenus dans cette partie d'étude.

Dans la deuxième partie, nous utilisons nos composants (MOS auto protégé contre les surtensions) dans une application importante, d'actualité et amenée à répondre aux besoins des systèmes des réseaux électriques ou systèmes de transport. Cette application est la mise en série des transistors de puissance pour faire des composants hautes tension. Ces solutions viennent du complément des structures de conversion multiniveaux . Par contre des problèmes de déséquilibre peuvent avoir lieu. Pour cela, des systèmes de protection ou encore d'équilibrage sont indispensables à utiliser. Ces systèmes ont des inconvénients majeurs concernant leur rapidité ou leur volume. Donc cette partie d'étude montre l'intérêt de notre solution. Elle valide la solution de protection proposée par des résultats pratiques d'une structure de hacheur série utilisant deux MOS auto protégés en série. Dans cette structure, nous créons le déséquilibre par un retard de temps entre les deux commandes des MOS auto protégés. Le circuit est fait sur une carte SMI (Surface Métal Isolé) pour garantir un bon refroidissement des MOS auto protégés utilisés et aussi pour minimiser les problèmes de connections en utilisant des composants CMS (Composant Monté en Surface).

IV.B Validation du système de protection en tension.

Cette première partie a comme but de valider la solution de protection en tension et son modèle proposé. Cette validation commence par des mesures des caractéristiques des composants utilisés: MOS tout seul, Bipolaire tout seul, MOS + bipolaire, MOS + MOS. Les réseaux de courant de drain ou de collecteur en fonction de la tension V_{DS} ou V_{CE} et la tenue en tension. Les figures suivantes montrent ces caractéristiques :

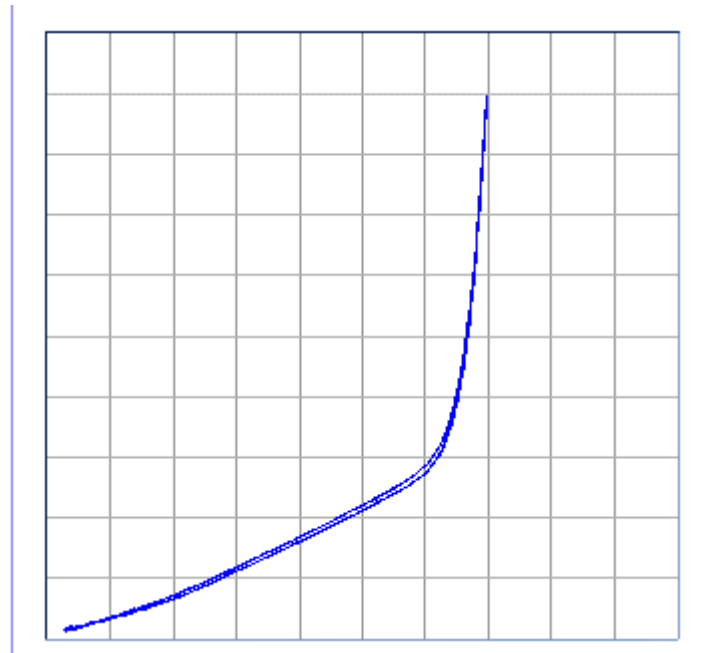


Figure 4.1 Tenue en tension des composants fabriqués (50V/div, 200 μ A/div).

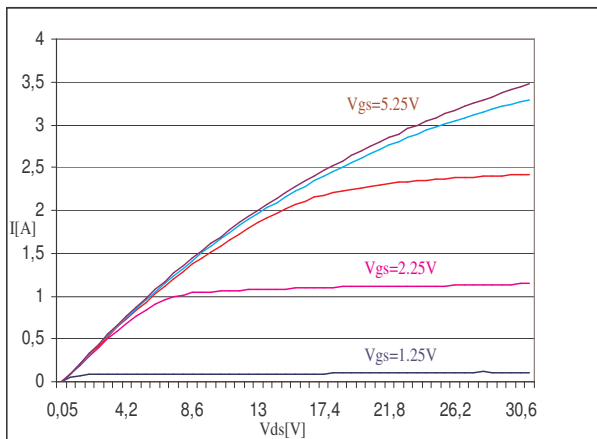


Figure 4.2 Caractéristiques statiques $I_{ds}=f(V_{ds})$ d'un des MOSFETs tout seul (le MOS occupe toute la surface active de la puce)

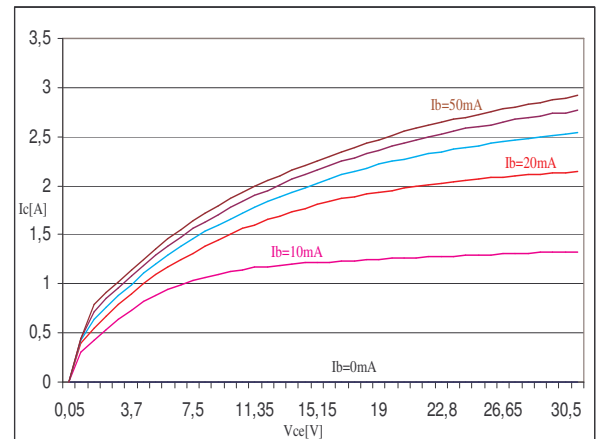


Figure 4.3 Caractéristiques statiques $I_c=f(V_{ce})$ d'un des BJT tout seul (le MOS occupe toute la surface active de la puce)

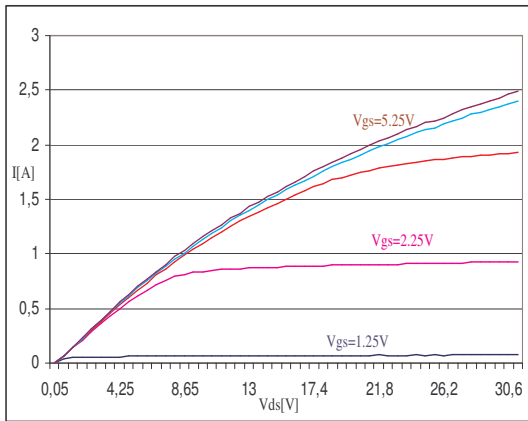


Figure 4.4 Caractéristiques d'un des MOSFET intégrés avec un BJT
(le MOS occupe la grande partie de la puce)

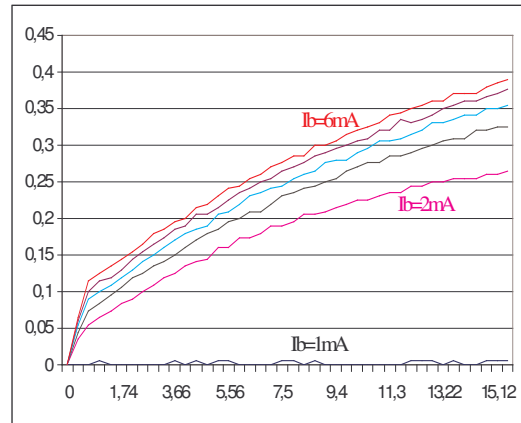


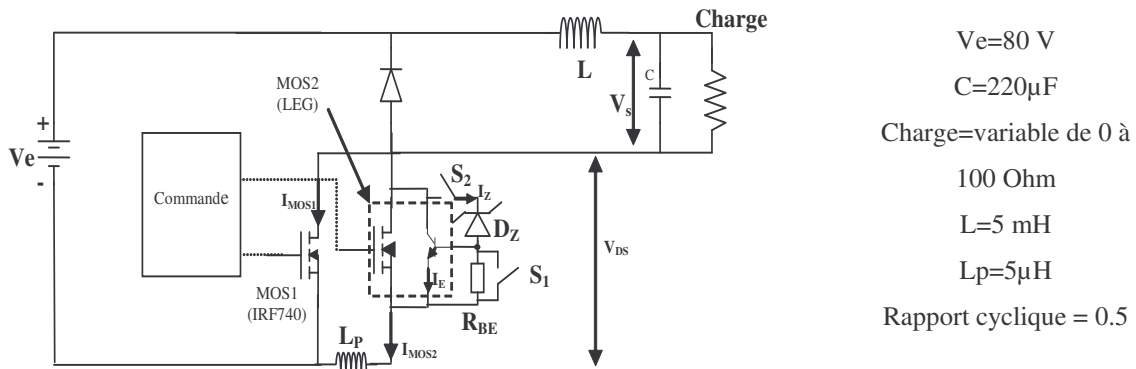
Figure 4.5 Caractéristiques du BJT intégré avec un MOS
(le MOS occupe la grande partie de la puce)

La figure 4.1 nous donne la tenue en tension d'un des composants fabriqués (350V). Cette tenue en tension est théoriquement égale à 650V. Pour nos composants, elle varie de 0V (il y a des composants qui ne tiennent pas la tension) jusqu'à 450V dans les meilleurs cas. Ces composants ont tous la même périphérie. Dans la figure 4.1, le courant de fuite arrive à 600 μ A pour V=350V. Cette valeur change aussi d'un composant à l'autre. En comparant cette valeur de courant de fuite à celle d'un composant comparable du marché, nous trouvons que cette valeur est raisonnable. La différence de tenue en tension entre les composants peut être due à la qualité de fabrication (impuretés, décalage des masques,...). La différence entre la valeur théorique et les valeurs pratiques peut être expliquée par plusieurs facteurs. Parmi ces facteurs, l'absence de passivation en surface peut jouer un rôle important. Ce fait augmente la probabilité d'avoir des claquages en surface.

La figure 4.2 montre les caractéristiques statiques d'un des MOS fabriqués. Ce MOS occupe toute la surface active de la puce. Le traceur des caractéristiques est un (Sony-Tektronix 371A) qui ne peut pas aller haut en tension (30V max).

La figure 4.3 montre la même chose que la figure 4.2 mais pour un transistor bipolaire tout seul. A partir de ces relevés on peut dire que le gain pour une tension de 15V est égal à 100. ce gain augmente avec la tension. En comparant les figures 4.2 et 4.3, on peut bien voir la différence des pentes entre le bipolaire et le MOS dans la zone de saturation (différence entre R_{DSon} et V_{CEsat}).

Les figures 4.4 et 4.5 donnent les caractéristiques du MOS intégré avec un BJT de petite taille (figure 4.4) et les caractéristiques du BJT (figure 4.5). On remarque que le niveau de courant a baissé par rapport aux figure 4.2 et 4.3 parce que la surface allouée au composant a diminué. Pour la validation, nous avons utilisé un de nos transistors MOS autoprotégé par un petit transistor bipolaire intégré. Le tout est au sein d'une structure hacheur série avec une inductance en série avec le MOS pour générer la surtension. Le schéma électrique est rappelé sur figure 4.6 avec les conditions de fonctionnement:



$V_e=80\text{ V}$
$C=220\mu\text{F}$
Charge=variable de 0 à
100 Ohm
$L=5\text{ mH}$
$L_p=5\mu\text{H}$
Rapport cyclique = 0.5

Figure 4.6 Schéma électrique du circuit de test du système de protection utilisant un BJT de protection intégré monolithiquement à un MOS.

Tableau 4.1 Condition de fonctionnement.

Dans ce schéma, nous avons utilisé comme interrupteur commandé de la cellule de commutation du hacheur série deux transistors: le premier est un MOS du marché (IRF740), le deuxième est notre MOS protégé par le bipolaire intégré. Ces deux transistors sont en parallèle de façon que si l'un conduit, l'autre est bloqué. Nous avons utilisé cette méthode pour éviter un échauffement excessif de notre MOS. En effet, notre composant est installé dans une boîte de test qui n'offre pas de bonnes conditions de refroidissement. La fréquence de découpage est égale à 20kHz. Notre composant est piloté une fois toutes les 100 commutations. Donc il conduit le courant pendant 25µs toutes les 5 ms. L'inductance L_p est ajoutée en série avec notre composant seulement; elle ne génère donc des surtensions que pendant la commutation de notre composant.

Grâce aux interrupteurs mécaniques S_1 et S_2 , nous pouvons actionner le dispositif de protection avec la diode toute seule ou avec le bipolaire piloté par la diode.

Avant d'ajouter l'inductance L_p au circuit, nous regardons le fonctionnement du circuit : La figure 4.7 montre V_{DS} et I_{MOS2} . La figure 4.8 montre les mêmes grandeurs mais pour MOS1. De ces figures, nous remarquons la différence de R_{DSon} entre les deux composants: V_{DS} du

MOS2 pendant la saturation est bien supérieur à celui du MOS1 à cause de la différence de R_{DSon} entre les deux composants.

Les figures 4.9 et 4.10 montrent les commutations du MOS2. Les oscillations et surtensions sont dues au circuit imprimé crée à l'origine pour ne pas limiter l'inductance parasite des connections. Le temps de commutation pour ce circuit varie de 20ns pour l'amorçage à 40ns pour le blocage.

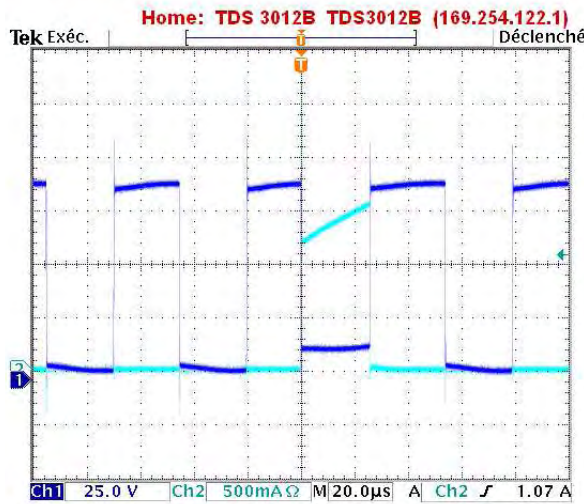


Figure 4.7. V_{DS} (bleu foncé) et I_{MOS2} (bleu clair) du circuit de figure 2.8.

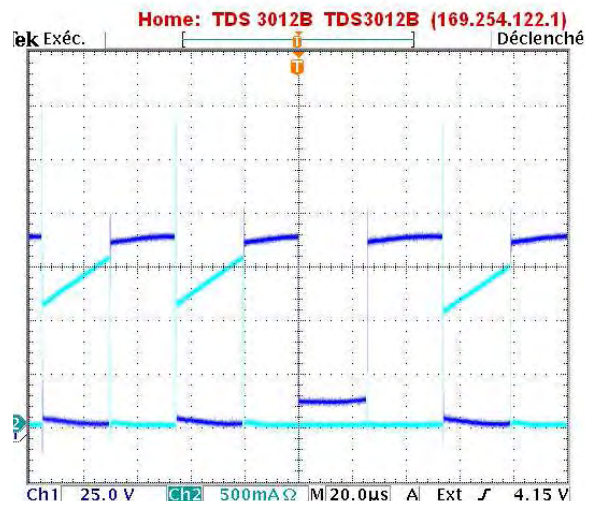


Figure 4.8. V_{DS} (bleu foncé) et I_{MOS1} (bleu clair) du circuit de figure 2.8.

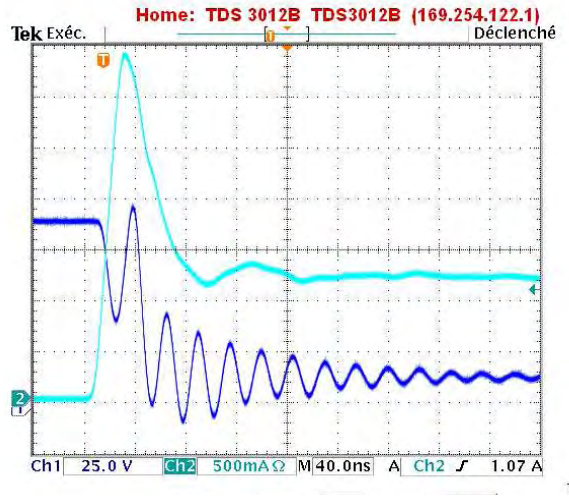


Figure 4.9. Commutation d'amorçage du MOS2

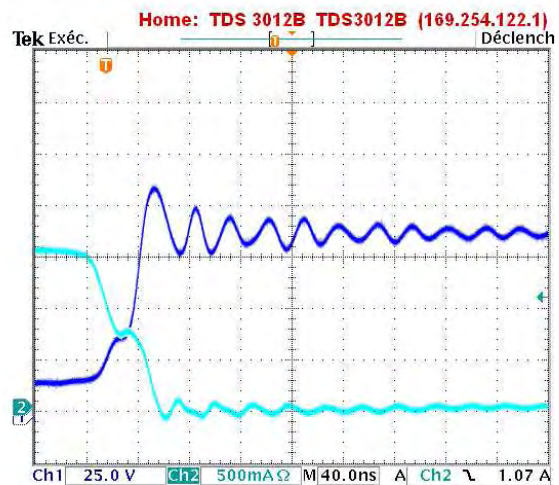


Figure 4.10. Commutation de blocage du MOS2

Puis nous avons étudié le fonctionnement du circuit avec l'inductance L_p . La Figure 4.11 montre la surtension générée par l'inductance lors de la commutation de MOS2.

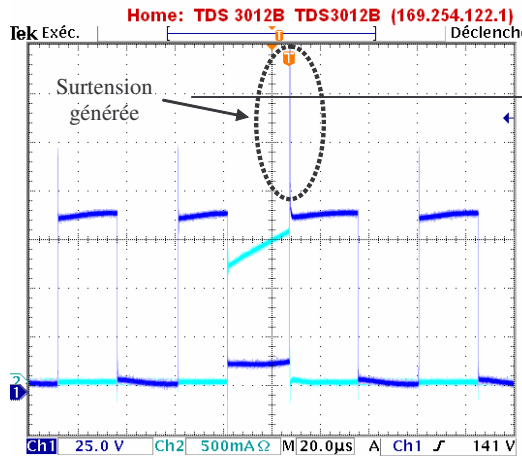


Figure 4.11. Surtension générée sur le MOS2 avec l'existence de L_p

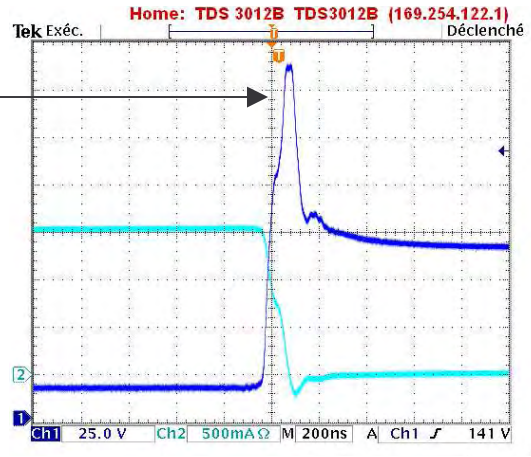


Figure 4.12. Vue détaillée de 2.14

La tension d'alimentation étant à 80V, la surtension arrive à 180V. Cette surtension dure environ 200ns. L'écrtage est fait à 130V.

Les figures 4.13 et 4.14 montrent le courant d'émetteur du BJT intégré pendant le blocage du MOS1 (figure 4.13) ou pendant le blocage du MOS2 (figure 4.14). Ce courant ne dépasse pas 50mA pour la figure 4.13 et est un peu supérieur à 50mA pour la figure 4.14. Par rapport au courant nominal du BJT intégré ce courant est négligeable.

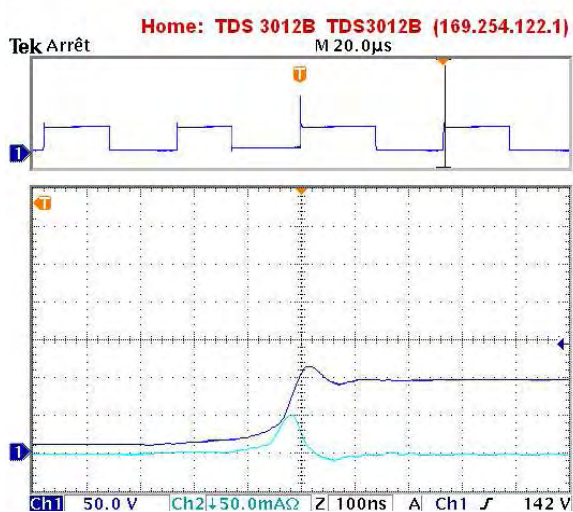


Figure 4.13. I_E à cause de dV/dt pendant la commutation de MOS1 (MOS2, BJT sont bloqués, D_Z est débranchée).

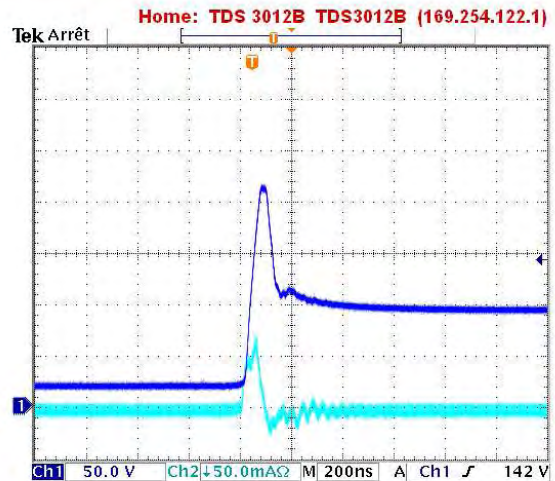


Figure 4.14. I_E à cause de dV/dt pendant la commutation du MOS2 (MOS2 se bloque, BJT bloqué, D_Z est débranchée).

Les figures 4.15 et 4.16 montrent V_{DS} et le courant passant dans la diode D_Z pour un écrtage à 130V par la diode seule. Le pic de courant passant dans la diode pendant la protection arrive à 1.5A et dure 300ns.

Les figures 4.17 et 4.18 montrent V_{DS} , le courant passant dans la diode D_Z et le courant d'émetteur passant dans le BJT intégré pour un écrtage à 130V et $R_{BE} = 13 \text{ Ohm}$ par un circuit de protection complet (diode + BJT).

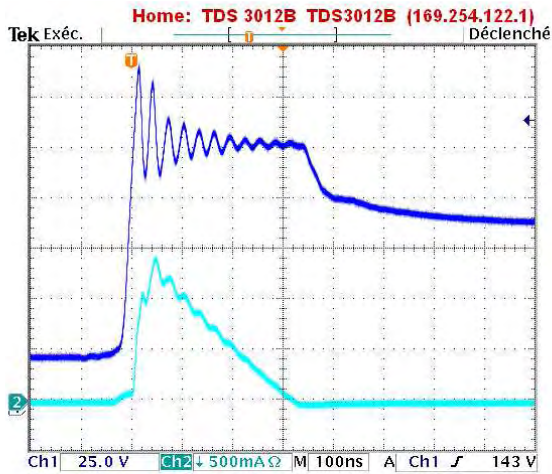


Figure 4.15. Ecrêtage par D_Z toute seule à 130V. V_{DS} en bleu foncé, I_{DZ} en bleu claire.

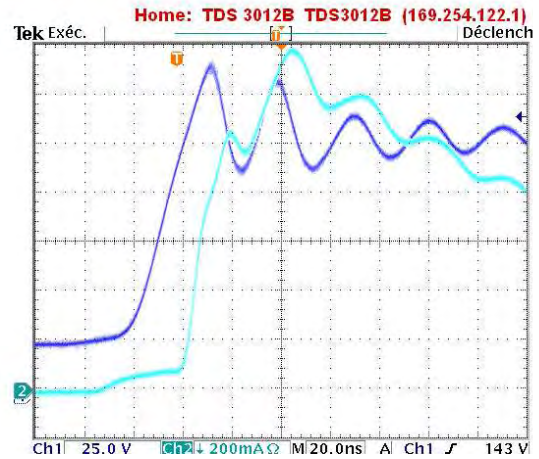


Figure 4.16. Vue détaillée.

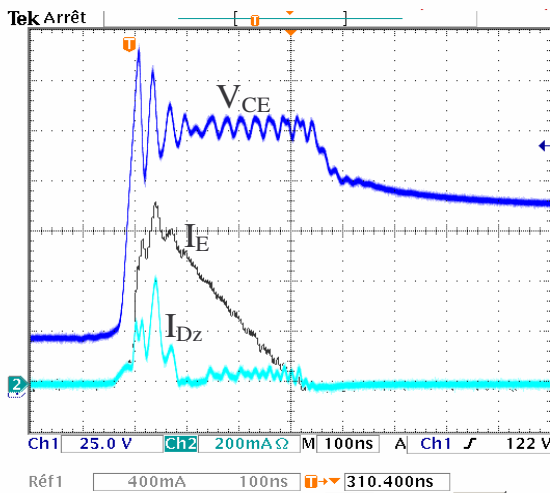


Figure 4.17. Ecrêtage à 130V par D_Z et BJT intégré pour $R_{BE}=13.5\text{ Ohm}$.. V_{DS} en bleu foncé, I_{DZ} en bleu claire et I_E en noire.

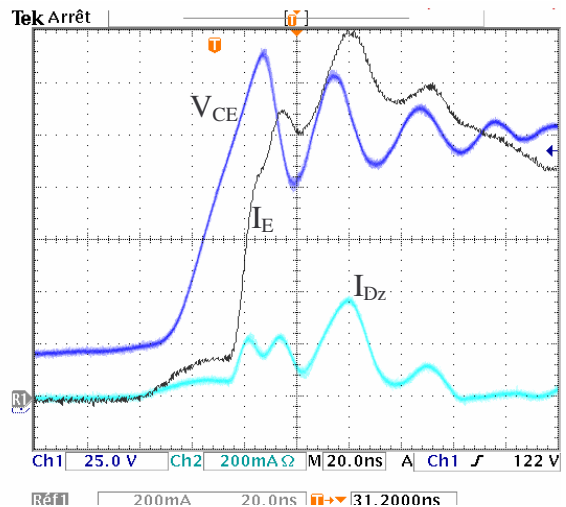


Figure 4.18. Vue détaillée.

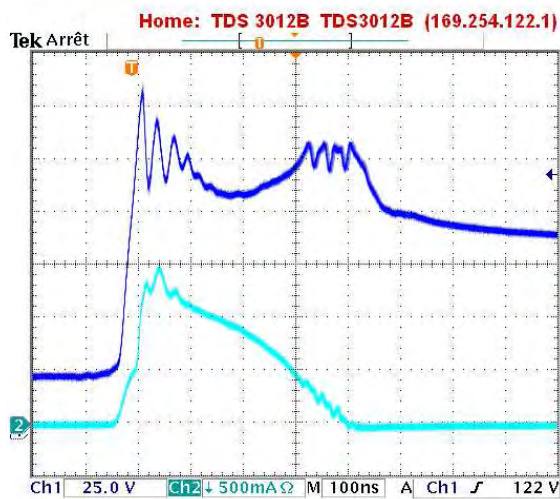


Figure 4.19. Ecrêtage à 130V par D_Z et BJT intégré pour $R_{BE}=35\text{ Ohm}$.. V_{DS} en bleu foncé, I_E en bleu claire.

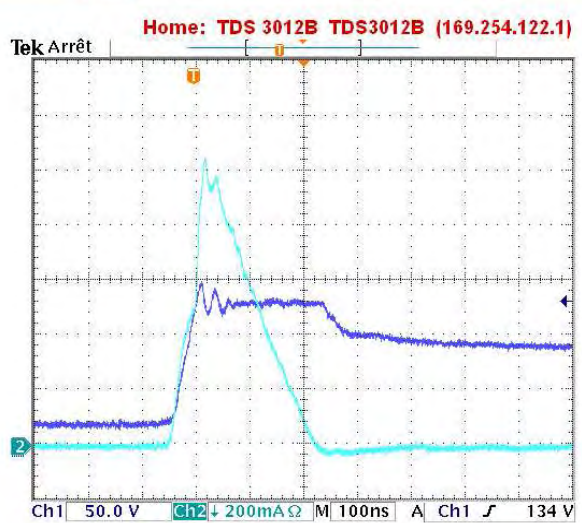


Figure 4.20. Protection par le circuit complet (D_Z + BJT) avec des câblages optimisés. (I_C est en bleu claire, V_{DS} est en bleu foncé).

La figure 4.19 montre la tension V_{DS} , et le courant d'émetteur passant dans le BJT intégré pour un écrêtage à 130V. $R_{BE} = 35 \text{ Ohm}$.

Commentaires.

- 1- La rapidité du système de protection par $D_Z + \text{BJT}$ est bien claire. Ici le temps de montée du courant de collecteur est une quinzaine de ns. Ceci montre bien l'avantage potentiel de ce circuit de protection intégré sur les autres circuits (protection par rétroaction,...) surtout pour les applications de mise en série des transistors où le besoin d'arriver à l'équilibrage dans des meilleurs délais est primordial.
- 2- En utilisant ce type de circuit de protection, on arrive à diminuer la valeur du courant de la diode par un facteur égal au gain du circuit. Ce gain dépend de R_{BE} .
- 3- Il y a toujours un courant passant dans le BJT avant l'arrivée à la tension d'écrêtage à cause de la dérivée de la tension V_{CE} pendant la phase de blocage du MOS à protéger. Ce courant dépend fortement comme nous avons déjà expliqué de R_{BE} . La figure 4.19 montre l'augmentation de ce courant avec la résistance ($R_{BE} = 35 \text{ Ohm}$ pour la figure 4.19) On remarque bien sur la figure 4.19 que quand cette résistance est grande, le bipolaire prend plus de temps pour se bloquer. Par conséquent, la tension V_{DS} chute à une valeur bien inférieure à la tension d'écrêtage.
- 4- Les ondulations dans les formes d'onde sur les figures de 4.17 à 4.19 sont dues aux câblages nécessaire pour faire des relevés de courant. La figure 4.20 est fait sans le relevais de I_{Dz} donc avec une optimisation du câblage et nous obtenons une qualité de fonctionnement meilleure.

Donc le circuit de protection fonctionne correctement et semble répondre aux critères imposés au niveau du gain et du temps de réaction.

Pour valider le modèle proposé dans chapitre II, nous allons récupérer les paramètres (durée de vie = 600ns, $e_b = 0.53\mu\text{m}$ pour $V_{CE} = 80\text{V}$, $D_n=0.56$) calculés dans le chapitre II à partir des relevés pratiques et les utiliser dans le modèle Matlab proposé.

La figure 4.21 montre le courant de collecteur et de la diode à avalanche pour les mêmes conditions de fonctionnement en pratique, la figure 4.22 est une vue détaillée de 4.21. La figure 4.23 montre la tension écrêtée.

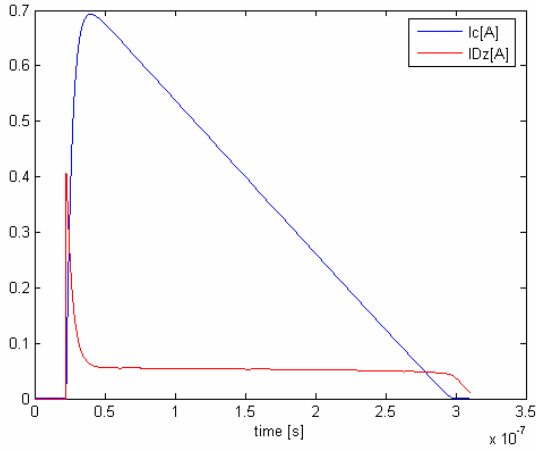


Figure 4.21 I_C et I_{Dz} pendant la phase de protection pour un écrêtage à 130V.

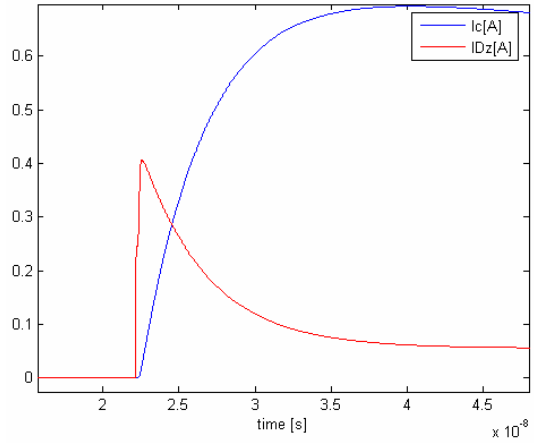


Figure 4.22 Vue détaillée de 4.21

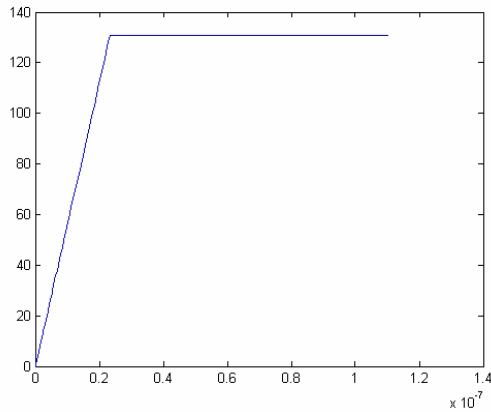


Figure 4.23 La tension V_{CE} écrêtée à 130V.

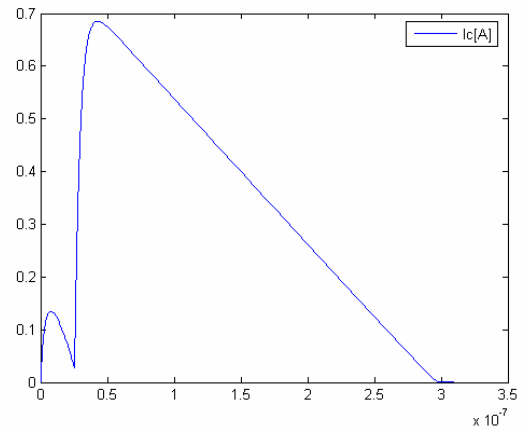


Figure 4.24 I_C pour $R_{BE}=13.5\Omega$.

L'allure des courants dans les résultats de simulation ressemble à celle de la pratique au niveau de l'amplitude et de la rapidité. Dans la figure 4.24, on a simulé le courant I_C mais en prenant en compte la capacité C_{BC} de la jonction base-collecteur. On voit bien sur cette figure la partie du courant qui passe pendant la montée de la tension pour étendre la zone de charge d'espace. Donc le modèle est cohérent avec les résultats pratiques. Le pic de courant de la diode à avalanche contrôlée dans la figure est cohérent avec les résultats pratiques de la figure 4.17.

IV.C Démonstration - application proposée utilisant le système de protection en tension.

Comme déjà expliqué, nous allons utiliser nos composants MOSFETs autoprotégés contre les surtensions dans une application d'actualité (la mise en série des transistors). Pour cela, nous avons réalisé le circuit de la figure 4.6 mais cette fois sans l'inductance parasite L_P et en utilisant deux MOSFETs autoprotégés en série à la place d'un seul. La réalisation de ce circuit est faite sur une carte SMI pour arriver à un refroidissement acceptable. Une image de ce circuit est montrée sur la figure 4.25

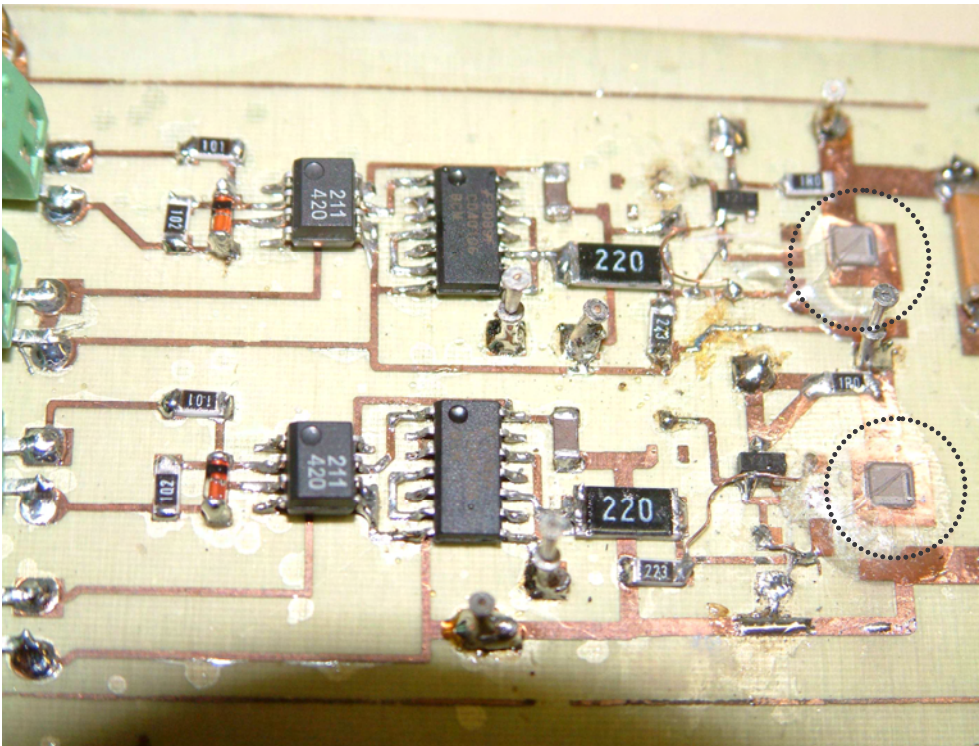


Figure 4.25 Image d'un hacheur série réalisé sur une carte SMI en utilisant deux MOSFETs autoprotégés en série.

Le déséquilibre en tension est créé par un retard de commande des MOSFETs. Nous pouvons par ce retard générer des surtensions sur un des MOSFETs pendant le blocage ou l'amorçage. La figure 4.26 montre les tensions V_{DS} de chacun des MOSFETs. La tension totale appliquée est de l'ordre de 100V avec un courant de charge de quelques centaines de mA.

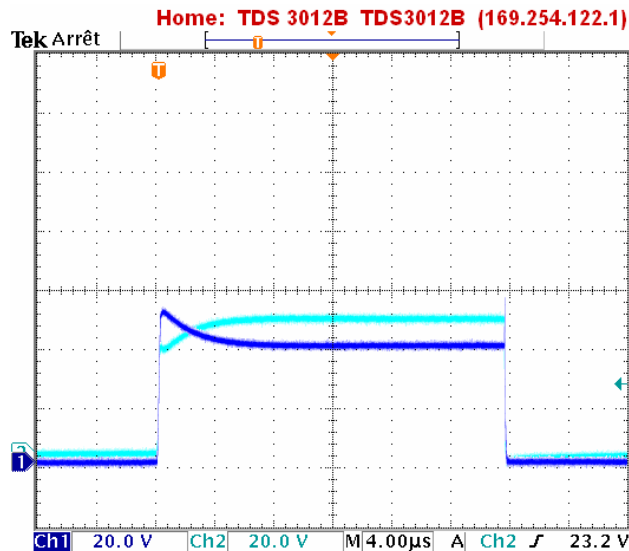


Figure 4.26 Tension V_{DS} des MOSFETs en série.

L'écrtage est fixé par la diode à avalanche externe à 75V; le déséquilibre des tensions en statique peut s'expliquer par les différences de courant de fuite des MOSFETs utilisés. Nous nous intéressons à la phase dynamique des deux tensions. Donc nous créons le déséquilibre pendant l'ouverture des MOSFETs et le circuit de protection écrté les surtensions résultantes comme dans les figures 4.27 a et b:

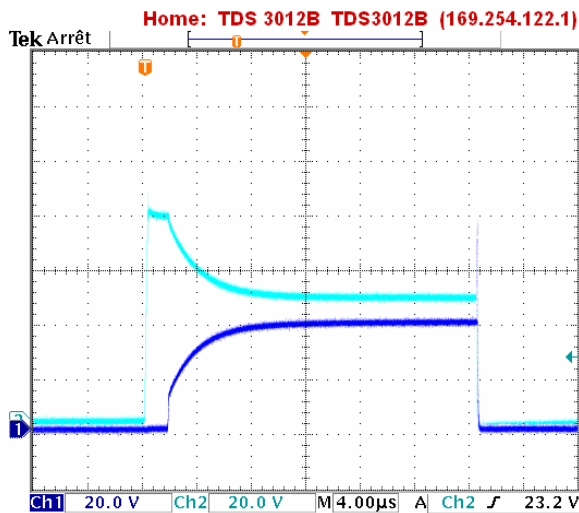


Figure 4.27.a Tension V_{DS} écrtée au blocage.

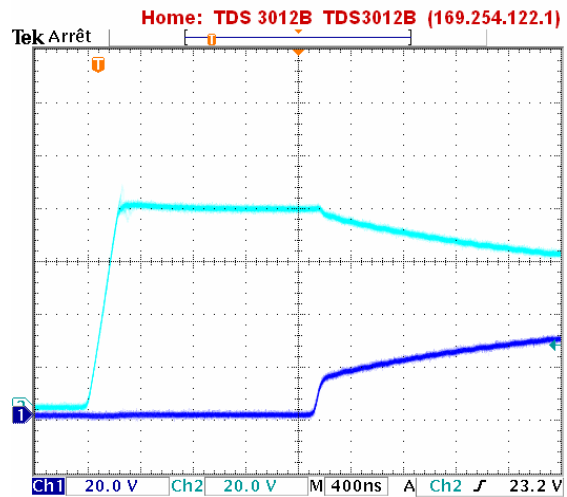


Figure 4.27.b Vue détaillée..

Nous créons aussi un déséquilibre pendant la fermeture des MOSFETs et le circuit de protection écrté les surtensions résultantes:

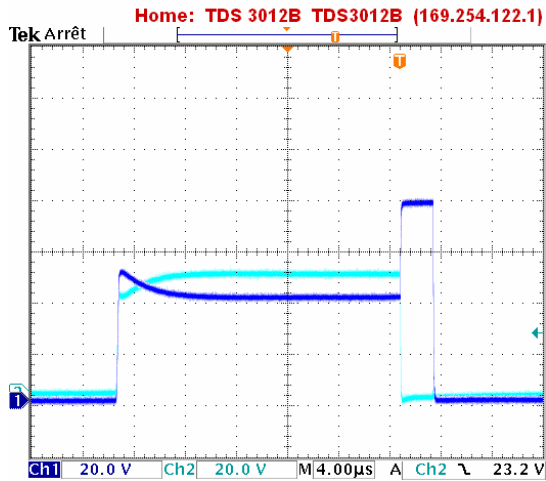


Figure 4.28.a Tension V_{DS} écrêtée à l'amorçage.

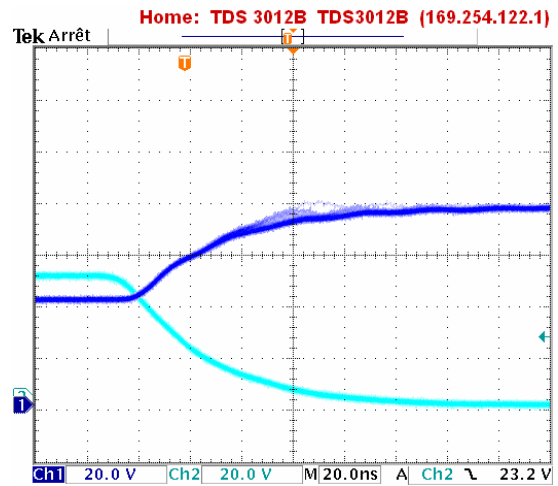


Figure 4.28.b Vue détaillée.

Nous rappelons que l'écrêtage pendant la phase d'amorçage des MOSFETs en série nécessite une réaction rapide si nous travaillons en rétroaction. Notre circuit, et sur les figures 4.28 a et b, montre bien les performances pendant cette phase. La tension écrêtée ne dépasse presque pas la tension d'écrêtage de la diode à avalanche, ce qui correspond à une réactivité très rapide.

L'ensemble de ces résultats pratiques nous permet de valider notre travail et nos concept sur la partie fonctionnelle et performances dynamiques. Ces résultats sont encourageants mais un travail de caractérisation plus poussé reste à être poursuivi pour valider pleinement l'intérêt de l'intégration du dispositif de surtension que nous avons proposé. En particulière, la question du comportement thermique de l'ensemble devra être abordé complètement.

IV.D Conclusion.

Dans ce chapitre nous avons montré quelques caractéristiques statiques des composants fabriqués. Leur tenue en tension, leur gain et courant passant sont des grandeurs exploitables. Ces composants sont utilisés dans une structure de puissance pour montrer leur bonne fonctionnalité, et aussi, pour valider le modèle proposé dans le chapitre II.

Un démonstrateur est également réalisé en pratique; il montre la faisabilité et l'intérêt de notre circuit de protection dans les applications de mise en série des transistors.

Conclusion générale et perspectives

Les travaux présentés dans ce mémoire s'inscrivent dans le développement d'un circuit de protection intégré monolithiquement contre les surtensions des transistors de puissance. Le transistor protégé peut être un MOSFET de puissance ou un IGBT. La solution retenue et étudiée durant cette thèse est la protection d'un MOSFET par un BJT intégré assurant la fonction de dissipateur thermique et couplé avec une fonction capteur externe, une diode à avalanche contrôlée de petit calibre. Les études partent d'un cahier des charges contraignant pour arriver à une solution efficace et potentiellement industrialisable.

L'étude se divise en plusieurs parties. Dans la première, le circuit de protection a été évalué avec des composants discrets et comparé avec des solutions existantes. Cette étude a pu montrer la faisabilité du circuit de protection que nous proposons en utilisant des composants discrets.

Pour pouvoir intégrer le circuit de protection monolithiquement, le transistor de protection a été étudié. Le transistor bipolaire a été retenu comme transistor de protection mais un composant MOS pourrait l'être. La structure de ce transistor a été étudiée physiquement et géométriquement en abordant plusieurs problèmes : auto focalisation du courant, répartition des courants dans les cellules élémentaires, emplacement des prises de contact et la tenue en tension. Des règles de conception ont été établies à partir de cette étude. Une méthodologie de conception des masques est présentée.

Un modèle du transistor bipolaire a été développé dans une partie de ces études. Ce modèle se distingue des modèles existants par le fait qu'il prend en compte le fonctionnement du BJT en zone de plateau sans se préoccuper de la phase de saturation lors des commutations comme cela est généralement le cas en électronique de puissance. Avec ce modèle, des paramètres importants pour le circuit de protection sont exploitables. Ce modèle a été validé par des mesures sur un amplificateur de courant utilisant un des BJTs que nous avons fabriqués.

Etant donné que les deux transistors sont intégrés dans la même puce de silicium et qu'ils ne fonctionnent pas de la même manière, un modèle thermique de l'ensemble des transistors a été développé. Ce modèle évalue le comportement thermique de l'ensemble en régimes permanent et transitoire. Grâce à ce modèle théorique, des répartitions optimales des cellules du transistor de protection sont montrées. Des comparaisons de plusieurs prototypes sont établies sur ce modèle et l'intérêt de notre solution a été prouvé.

Dans la dernière partie, la faisabilité du système de protection est validée sur un convertisseur de puissance réalisé en utilisant un ou plusieurs MOSFET autoprotégé. Un démonstrateur sur la base d'un convertisseur de puissance utilisant deux MOSFETs autoprotégés en série a montré l'efficacité de cette solution pour ce type d'application.

Une des perspectives proposées est la validation de l'étude thermique de la puce contenant les deux transistors (le transistor à protéger et celui de la protection). Cette validation peut être faite par des mesures thermiques par un caméra infrarouge ou par l'observation de paramètres thermosensibles. L'ensemble de cette étude reste à faire si l'on souhaite valider mais surtout démontrer l'intérêt des solutions proposées dans ce mémoire de thèse.

Dans le même registre, l'étude des interactions électrothermiques, initialement prévue dans ce travail de thèse, restent à faire. C'est une partie importante à nos yeux car les dispositifs de protection en tension sont très dissipateurs d'énergie.

Une autre perspective de recherche importante est l'application de la solution de protection proposée sur un transistor IGBT. Ceci nécessite de réaliser un transistor IGBT à protéger avec un IGBT de protection intégré monolithiquement.

La solution de la diode à seuil d'avalanche contrôlable sur la base d'une structure JFET vertical est à approfondir. Cette solution semble très intéressante pour éliminer les problèmes de câblage de la diode à avalanche. Donc des études de simulation et de réalisation pratique sont à reprendre et à continuer.

Bibliographie

- [Alkayal- Brevet-1] Brevet français N° 0308056 au nom de (Protection en tension intégrée), déposé le 02 Juillet 2003.
- [Alkayal- Brevet-2] Brevet international N° 04 291 656.9 au nom de (Dispositif de protection pour composant électronique et circuit intégré.), déposé le 01 Juillet 2004.
- [Alkayal- EPF'04] M.F.Alkayal, J.C.Crebier, "Circuits de protection contre surtensions intégrés et compatibles pour le MOSFET de puissance", Seminario Annual de Automática, Electronica Industrial e Instrumentación Electronique de puissance du Futur, (SAAEI – EPF' 04), pp. 231-234, TOULOUSE, France, Septembre 2004.
- [Alkayal-IAS04] M.F.Alkayal, J.C.Crebier, "Integrated monolithic over-voltage protection circuit with adjustable threshold voltage", IEEE Industry Applications Society (IAS), pp. 1903-1909, Seattle, U.S., October 2004.
- [AN-955] IR Application Note AN-955, "Protecting IGBTs and MOSFETs from ESD".
- [AN1628/D] Bairanzade, "Understanding Power Transistors Breakdown Parameters", On Semiconductor application note, 2003.
- [Arnould-92] J.Arnould, P.Merle, "Dispositifs de l'électronique de puissance" VOL1 et 2, HERMES, 1992.
- [ATLAS] ATLAS User's Manual, Device Simulation Software, Volume I et II.
- [Aubard-99] L. Aubard, "Modélisation des transistors MOS de puissance pour l'électronique de commutation", Thèse de doctorat de INPG, Janvier1999.
- [Avenas-03] Y. Avenas, "Etude et realization de caloducs plats miniatures pour l'intégration en électronique de puissance", Thèse de doctorat de INPG, décembre 2002.
- [BAO-01] J.Arnould, P.Merle, " BAO pour DEP", 3^{ème} année Ecole nationale supérieur des ingénieurs électriciens de Grenoble, 2000-2001.

- [G. Bonnet-01] G. Bonnet, P. Austin, J-L. Sanchez, F. Richardeau, H. Foch, GdR
Intégration des Systèmes de Puissance, Année 2001 - LAAS - LEEI
"Intégration de protections vitales, aide à la surveillance rapprochée"
- [Butler-01] L. Butler, 'Zener Diodes: still usefull', Adelaide Hills Amateur Radio
Society Bulletin, March-April 2001.
- [Chauvet-98] D. Chauvet, "L'integration de puissance: l'origine des effets parasites
induits par un transistor bipolaire à grille isolée sur sa logique de
commandes et de protection, Semicond. Sci. Technol. 13, P 1193-1204,
1998.
- [Chihao-92] Chihao Xu, "a Power Bipolar Junction Transistor Model Describing
Static and Dynamic Behavior", IEEE transactions on power electronics,
Vol. 7, No. 4, October 1992.
- [Dupuy-96] P. Dupuy, "Rapid Thermal Modeling for Smairt-Power and
Integrated Multichip Power Circuit Design", IEEE, pp 173-176, 1996.
- [Ferrieux-99] J. P. Ferrieux, F. Forest, Alimentations à découpage convertisseur à
résonance, DUNOD, 3^{ème} Edition, 1999.
- [Fragapane-EPE'97] L. Fragapane, "Low cost integration for monolithic smart IGBT",
European Conference on Power Electronics and Applications (EPE 97),
pp. 3.054-3059, 1997.
- [Frey-EPE03] D. Frey, "High voltage switch: contribution of DSP in series
association", EPE2003.
- [Frey-03] D. Frey, "Convertisseurs haute tension: Contribution à l'intégration de la
fonction interrupteur", Thèse de doctorat de INPG, Juin 2003.
- [Gerster-96] C. Gerster, P. Hofer, N. Karrer, "Gate-control strategies for snubberless
operation of series connected IGBTs", PESC96, VOL.2, pp 1739-1742.
- [Gillot-03] C. Gillot, "Etude et réalisation d'une fonction interrupteur en
technologie hybride à haute intégration", Thèse de doctorat de INPG,
septembre 2000.
- [Hassan-2000] M.S. Hassan, "Analytical base transit time of integrated bipolar
transistors in quasi-saturation and hard saturation", IEE Proceedings –

- Circuits Devices Syst., Vol. 147, No. 2, April 2000.
- [Heath-99] D.Heath, P.Wood, 'Overshoot Voltage Reduction using IGBT modules With Special Drivers' International Rectifier Design Tip, DT 99-1
- [IRF] www.irf.com
- [Iwamuro-95] N. Iwamuro, "A New Vertical IGBT Structure with a Monolithic Over-Current, Over-Voltage, and Over-Temperature Sensing and Protecting Circuit", IEEE Electron Device Letters, Vol. 16, Septembre 1995.
- [Jeannin-01] P.O.Jeannin, "Le transistor MOSFET en commutation : application aux associations série et parallèle de composants à grille isolée", Thèse de doctorat de INPG, mai 2001.
- [Klaassen-92-I] D.B.M. Klaassen, "A Unified Mobility Model For Device Simulation, Model Equations and Concentration Dependence", Solid-state Electronics, Vol. 35, No. 7, pp. 953-959, 1992.
- [Klaassen-92-II] D.B.M. Klaassen, "A Unified Mobility Model For Device Simulation, Temperature dependence of carrier mobility and lifetime", Solid-state Electronics, Vol. 35, No. 7, pp. 953-959, 1992.
- [Kuo-86] Di-Son Kuo, "AN ANALYTICAL MODEL FOR THE POWER BIPOLAR-MOS TRANSISTOR", Solid-State Electronics Vol. 29, No. 12, pp. 1229-1237, 1986.
- [Lefebvre-2004] S. Lefebvre, F. Miserey, "Composants à semi-conducteur pour l'électronique de puissance", Lavoisier, 2004.
- [Mitova-EPF'04] R. Mitova, M.F. Alkayal, JC. Crébier, L. Aubard, C. Schaeffer, "Intégration d'un système de l'auto-alimentation de la commande rapprochée d'un interrupteur de puissance", Seminario Annual de Automática, Electronica Industrial e Instrumentación Electronique de puissance du Futur, (SAAEI – EPF' 04), pp. 220-223, TOULOUSE, France, Septembre 2004.
- [Mohan-89] Mohan, Undeland, Robbins, "Power Electronics Converters, Applications and Design", Wiley, 1989.

- [Liou-88] J. J. Liou, "A TWO-DIMENSIONAL MODEL FOR EMITTER-BASE JUNCTION CAPACITANCE OF BIPOLAR TRANSISTORS", Solid-State Electronics Vol. 31, No. 10, pp. 1541-1549, 1988.
- [Loach-69] Loach, B.C. 'Modes of Avalanche Diodes and Their Associated Circuits, Solid-State Circuits, IEEE, VOL 4, pp 376 – 384, 1969
- [Nakatake-03] H. Nakatake, A. Iwata, "Series connection of IGBTs used multi-level clamp circuit and turn off timing adjustment circuit", IEEE 34th PESC 2003, pp. 1910-1915.
- [Raël-96] S.Raël, "Méthodologie de conception des modules de puissance: etude électrothermique de l'association parallèle", Thèse de doctorat de INPG, Mai 1996.
- [Roulston-82] D.J. Roulston, "Modeling and Measurement of Minority-Carrier Lifetime versus Doping in Diffused Layers of n⁺-p Silicon Diodes", IEEE Transactions on Electron Devices, Vol.ED-29, No. 2, 1982.
- [Schuetze-02] T. Schuetze, H. Berg and O. Schilling, "The New 6.5kV IGBT Module: A Reliable Device for Medium Voltage Applications," PCIM Conference, March 12-15, 2002, Shanghai, China.
- [Singh-01] J. Singh, "Semiconductor Devices- basic principles", John Wiley & sons, 2001.
- [Sanchez-97] J-L Sanchez, R. Berriane, P. Austin, M. Marmouget, « Trends in design and technology for new integrated power devices based on functional integration, EPE'97 Trondheim, pp 1.302-1.307
- [Sanchez-00] J-L Sanchez, "Intégration Fonctionnelle", GdR Intégration des systèmes de puissance, rencontre du 11 mai 2000, pp. 19-25.
- [S.M.Sze-81] S.M.Sze , "Physics of Semiconductor Devices" 2nd Edition, Wiley, 1981.
- [S.M.Sze-85] S.M.Sze , "Semiconductor Devices Physics and Technology", JOHN WILEY & SONS, 1985.
- [Verneau-03] G. Verneau, "Optimisation géométrique de MOSFETs de puissance en vue d'intégrer l'alimentation de l'étage de commande", Thèse de

doctorat de INPG, Mai 2003.

- [Yamazaki-93] T. Yamazaki "The IGBT Monolithic Overvoltage Protection circuit" 5th International Symposium on Power Semiconductor Devices and ICs 1993
- [Zhang-94] Yi Zhang, Saed Sobhani and Rahul Chokhawala, "Snubber Considerations for IGBT Applications", *IPEMC*, pp. 261-269, 1994.
- [X. de Frutos-94] X. de Frutos, A. Mathur, " Intelligent Power Switches (IPS) ", International Rectifier Design Tip, DT 99-4.

Annexe

Annexe

etude du diagramme de cheminement de masque 13								
n°	N°	manipulations	mesures & controles	prévu le :	fait le:	par :	remarques	temps
10	0	matériau						
		marquage FAR						
15	015	30s HF5% puis rinçage H2O jusqu'à >15Mohm.cm, puis H2SO4+H2O2 (800cm3+800cm3 pour 4pouces), puis rinçage H2O jusqu'à >15Mohm.cm, puis 30s HF5% et enfin rinçage H2O jusqu'à >15Mohm.cm						1h30 +1h00
16	016	silice de champ : e=0.5µm oxydation initiale : oxyde humide (oxyde de champ périphérique), qui s'avère indispensable pour les croix de centrage (oxydation humide FAV et FAR). Entrée à 800 °C sous O2 à 6L/min Montée à 950 °C en 5 °C/min soit 30min 950 °C s	épaisseur (SiO2)16 à mesurer à l'ellipsomètre le 2401 résultats de mesures					3h00 +3h00
20	100							
20	100	P+ central & AdG						
21	101	dépôt HMDS (promoteur) couche résine JSR S1813 recuit 2 min à 110°C sur plaque chauffante ou etuve exposition au masque 1PPLUS développement environ 1 min 2nd recuit 2 min sur plaque chauffante à 130°C	épaisseur de résine 1.2µm visé contrôle de développement					
22	102	gravure oxyde 16 4/1 (4 vol FH 50% + 1 vol FNH4) démouillage +5s rinçage	épaisseur de résine contrôle de gravure					
23	103	implantation +ajout témoin N°2 *1 recuit résine 115°C pendant 1h(le résin e est recuit pour la deshydrater) Bore 160keV 1.e15 cm-2	pour la recuit un étuve sera utilisé afin de pouvoir traiter plusieurs plaques à la fois					

Annexe

24	104	retrait résine retrait résine H2SO4 +H2O2 130°C (possible au remover...)						
25	105	nettoyage avant diffusion => nettoyage CIME idem 15						
26	106	entrée à °C sous O2 à 6L/min montée à ... °C en 5°C/min ...minC sous O2 pendantmin descente àCmin sortie durée totalemin=.....min	épaisseur (SiO2)16 =0.8µm épaisseur (SiO2)36 <0.1µm R# P+ 150ohm XJ 200nm (attention mesure délicate)					Pour déterminer tous les paramètres de ce procédé il faut faire des essais sur une plaque, ainsi que pour la qualité de l'activation
30	200	grille						
31	201	photolithographie idem 21 exposition masque2 OZUT	épaisseur d'oxyde contrôle gravure					
32	202	gravure oxyde idem 22 (eox=0.5µm)	épaisseur résine contrôle gravure					
33	203	retrait résine (en périphérie de chaque motif) idem 24						
34	204	nettoyage avant diffusion idem 15						
35	205	oxydation thermique de grille entrée à 800°C sous O2 à 6L/min montée à 950°C sous O2 en 5°C/min 950°C sous O2 pendant 260min (si +100°C , temps divisé par 5) descente à 800°C sortie	épaisseur (SiO2)16 épaisseur visé variable de 100 nm à(SiO2)35					
36	206	dépôt polysilicium LPCVD SiH4 630°C	Epaisseur 400nm visé reporté en 308					
37	207	nettoyage avant diffusion idem 15						
38	208	dopage polysilicium entrée à 800°C sous O2 6L/min montée à 950°C sous O2 en 5°C/min 950°C sous N2 à 4L/min + O2 à 0.6L/min +N2 porteur POCl3 à 0.5L/min pendant 30min descente à 800°C	épaisseur (SiO2)16 épaisseur (SiO2)46 R# contrôle 10ohm utilisation témoin lambda					Ce processus est prévu d'être tester afin de déterminer les caractéristiques.
39	209	retrait PSG (oxyde créé pendant le dopage par POCl3) FH 10% 15s						
40	300	porte canal						

Annexe

41	301	photolithographie idem 21 exposition masque 3 POLY idem 21	épaisseur de résine 1.2µm visé contrôle gravure				
42	302	gravure polysilicium plasma AIR (attaque ionique réactive)	épaisseur résine 0.8µm visé contrôle gravure				
43	303	implantation de Bore recuit résine 115°C 1h Bore 160keV 6.e13 cm-2	R#1000ohm visé pas mesuré concentration visée 5.10 16cm-3			L'implantation est prévue d'être testée sur un témoins avans la fabrication.	
44	304	retrait résine plasma O2					
45	305	nettoyage avant diffusion idem 25					
46	306	diffusion P- entrée 800°C sous O2 à 6L/min montée à 1100°C en 5°C/min 1100°C sous O2 durant 10min ** 1100°C sous N2 400min => ramené à 100min (temps divisé par 4 pour diviser XJP- par 2) descente à 800°C sortie	profondeur visée 2.5µm				
50	400	masque JFET					
51	401	photolithographie idem 21 exposition masque 4 Masque JFET idem 21					
52	402	gravure polysilicium plasma AIR (attaque ionique réactive) idem 42	contrôle gravure				
53	403	attaque partielle eSiO2 épaisseur visée 0.04µm réduction épaisseur d'oxyde 16 (de 1.9 à 0.8) 4/1 (4vol FH 50% + 1 vol FNH4) démouillage 5s rinçage	épaisseur (SiO2)16 0.8µm épaisseur (SiO2)57 0.04µm R# P- 700ohm XJ 4.1µm CS 2.e17 cm-3 R#P+ 110ohm R#Ppoche 11kohm R#polySi 10ohm				
60	500	N+ source AV & drain AR					

Annexe

61	501	photolithographie idem 21 exposition masque 5NPLUS	épaisseur résine contrôle développement					L'épaisseur de la résine doit être vérifiée et les ouvertures. La qualité de résine doit être vérifiée après l'implantation de N+ en raison de la forte énergie d'implantation. Il est possible que sous le faisceau d'électrons elle soit enlevée.
62	502	SiO2 53 reste en place						
63	503	implantation N+ FAV la maximale possible (5e15 cm-2 100keV)						
64	504	retrait résine FAV plasma O2						
65	505	couchage résine protection	2µm					
66	506	retrait poly + oxyde FAR plasma RIE (éventuellement séparation des échantillons)						
67	507	implantation N+ FAR phosphore 100keV 10 10 cm-2						
68	508	retrait résine protection plasma O2						
69	509	nettoyage avant diffusion idem 15						
70	510	isolation (passivation)						
71	511	diffusion N+ entrée 800°C sous O2 à 6L/min montée à 1050°C 1050°C sous O2 à 30min (=> réduit à 7.5min) descente à 800°C sortie	épaisseur (SiO2)16 épaisseur (SiO2)70 R#N+ 18ohm XJ 1.4µm (=> remplacé par 0.7µm) CS 6.e19 cm-3 R# P-N+ 2500ohm					
72	512	dépôt oxyde APCVD Pyrox 400°C SiH4 O2 PH3 0.7 non dopé	épaisseur					
73	513							
	600	contacts						
74	601	photolithographie idem 21 exposition masque 6 OCON (attention problème d'alignement des masques)	épaisseur résine 1.2µm visé contrôle développement					
75	602	gravure oxyde 73 humide	épaisseur résine					
76	603	retrait résine plasma O2						
80	700	aluminium contact FAV						
81	701	désoxydation (nettoyage 15)						

Annexe

82	702	dépôt aluminium 2µm Al/Si 350°C	Épaisseur alu 2µm visée Résistance de la couche Alu					
83	703	photolithographie idem 21 exposition masque 7 GALU	épaisseur résine contrôle développement					
84	704	insolation UV						
85	705	gravure Alu humide	épaisseur résine 0.6µm contrôle gravure					(le procédé doit être testé)
86	706	retrait résine plasma O2						
87	707	recuit Alu N2 450°C 20min	R# alu					
90	800	passivation & soudure						
91	801	dépôt SiH4 NH3 PECVD ASM 380°C SiH4 NH3	épaisseur déposée (1µm)					
92	802	photolithographie idem 21 exposition masque 8 OSCO	épaisseur résine 1.2µm contrôle développement					
93	803	gravure passivation gravure plasma RIE	contrôle gravure					
94	804	retrait résine						
95	805	couchage résine protection						
96	806	. retrait résine plasma O2						
100	900	contact FAR						
101	901	nettoyage idem 15						
102	902	Ti 100nm Ni 100nm Ag 1µm	Épaisseur dépôt 1µm					

Title:

Contribution à l'intégration monolithique de protections contre les surtensions: application aux convertisseurs de puissance haute tension.

Résumé:

Un nouveau circuit de protection contre les surtensions a été développé. Dans ce circuit de protection, la partie dissipative est monolithiquement intégrée dans la même puce du transistor à protéger avec aucune modification technologique additionnelle. Cette intégration monolithique tire profit du système de refroidissement du transistor à protéger pour le refroidissement de la partie intégrée. En même temps, elle réduit au minimum les problèmes de connections entre le transistor à protéger et son système de protection. En plus, la conception de ce circuit de protection permet d'ajuster le seuil de tension de protection. C'est utile pour la mise en série des transistors pour des applications à haute tension. Un modèle du BJT comme transistor de protection est établi. Ce modèle se distingue des modèles existants car il prend en compte que le BJT fonctionne en mode linéaire. Un modèle thermique de l'ensemble des transistors intégrés évalue le comportement de ces transistors malgré la différence entre leur mode de fonctionnement. Ce modèle donne une meilleure distribution des cellules du transistor de protection dans la puce. Des résultats pratiques à partir des composants MOSFETs autoprotégés que nous avons fabriqués valident la solution proposée. Un démonstrateur de hacheur série utilisant deux MOSFETs autoprotégés en série montre l'efficacité de notre solution.

Mots clés:

Protection contre les surtensions, intégration monolithique, BJT, MOSFET, mise en série des transistors, convertisseur haute tension, modélisation

Title:

Contribution to the monolithic integration of over voltage protections: application to the high voltage power converters.

Summary:

A new over-voltage protection circuit has been developed. In this protection circuit, the dissipative part is monolithically integrated in the same protected power module chip with almost no additional technologic process or modifications. This monolithic integration takes advantage of main switch cooling system to extract over heating. At the same time it minimizes interconnections between the protected transistor and its protection system. This gives high performance results in term of over voltage protection time response and thermal power removal capabilities. In addition to that, the design of this protection circuit enables to adjust the protection voltage threshold. This is useful for series transistor in high voltage applications. The design aims to improve the performance and to reduce the cost and the volume of the protection circuit.

A model of the BJT as a protection transistor is established. This model is distinguished from the existing models because of taking into account that the BJT is used in linear mode. A thermal model of the whole of the integrated transistors evaluates the behavior of these transistors in spite of the difference between the operating mode. This model gives the better distribution of the protection transistor cells in the chip. Practical results starting from the auto protected MOSFETs components that we manufactured validates the solution suggested. A demonstrator of a buck converter using two auto protected MOSFETs in series shows the effectiveness of our solution.

Key words:

Over voltage protection, monolithic integration, BJT, MOSFET, series transistors, high voltage converter, Modeling.