



HAL
open science

Caractérisation de défauts latents dans les circuits intégrés soumis à des décharges électrostatiques

Nicolas Guitard

► **To cite this version:**

Nicolas Guitard. Caractérisation de défauts latents dans les circuits intégrés soumis à des décharges électrostatiques. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 2006. Français. NNT: . tel-00139542

HAL Id: tel-00139542

<https://theses.hal.science/tel-00139542>

Submitted on 2 Apr 2007

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Caractérisation de défauts latents dans les circuits intégrés soumis à des décharges électrostatiques

THÈSE

présentée et soutenue publiquement le

pour l'obtention du

Doctorat de l'Université Paul Sabatier TOULOUSE III

(spécialité électronique)

par

Nicolas GUITARD

Composition du jury

Président : T. PARRA

Rapporteurs : N. LABAT
P. NOUET

Examineurs : L. LESCOUZERES
P. PERDU

Invité : T. SMEDES

Directrice de thèse : M. BAFLEUR

co-Directeur de thèse : L. ESCOTTE

Mis en page avec la classe thloria.

Remerciements

Le travail présenté dans ce mémoire a été effectué au sein du groupe "Intégration de Système de Gestion de l'Énergie" (ISGE) du laboratoire d'analyse et d'architecture des systèmes (LAAS) du CNRS à Toulouse.

J'exprime mes profonds remerciements à ma directrice de thèse, Marise BAFLEUR pour l'aide inestimable qu'elle m'a apportée, pour sa patience et ses encouragements tout au long de ce travail commencé il y a maintenant plus de quatre ans. Ses compétences dans le domaine de la recherche ont été un atout indéniable à la réussite de ces travaux et m'a permis d'apprendre énormément durant ces quatre années de collaboration. Je souhaite également remercier mon co-directeur de thèse Laurent ESCOTTE du groupe (CISHT) pour son expertise scientifique et sa bonne humeur.

Je remercie Messieurs LAPRIE et GHALLAB, directeurs successifs du laboratoire d'Analyse et d'Architecture des Systèmes du CNRS de Toulouse pour m'avoir permis de réaliser cette thèse en ces lieux. Je remercie aussi les responsables successifs de l'école doctorale GEET, Messieurs MARTINEZ et GRAFFEUIL, pour leur engagement dans notre formation doctorale.

Je remercie également Monsieur CHARITAT qui m'a accueilli dans le groupe Composants et Intégration de Puissance (CIP) lors de mon arrivée dans ce groupe lors de mon stage de DEA dont il était responsable.

Je souhaiterais aussi remercier les rapporteurs Madame LABAT et Monsieur NOUET qui ont accepté de se plonger dans ce sujet, ainsi que les autres membres du jury et invités, Messieurs PARRA, PERDU, LESCOUZERES, et SMEDES pour avoir parfaitement rempli leur rôle d'analyse scientifique, et fait de cette soutenance un moment particulièrement intéressant.

Il me reste à remercier les personnes avec qui j'ai travaillé durant ces années, notamment Nicolas NOLHIER et toute sa famille. Ensuite viennent les personnes côtoyées en salle de caractérisation, Nicolas MAURANT et Sandrine SOUBIELLE ainsi que Laurent BAARY avec qui ce fut un plaisir de travailler. Enfin d'une manière générale, je remercie l'ensemble du service 2I qui m'a permis de travailler dans de si bonnes conditions et toujours dans la bonne humeur !

Enfin, je tiens à remercier tous ceux qui ont fait de ces quelques années une si bonne expérience, David TREMOUILLES avec qui ce fut un réel plaisir de travailler et d'apprendre, mes "colocataires" de bureau successifs, Ghislain (et Emilie) pour son calme reposant, Nicolas 4 (dit Padawan) pour son enthousiasme et son bel accent aveyronnais. Je n'oublie pas tous ceux qui ont contribué, grâce à leur bonne humeur quotidienne, à faire de mon séjour au LAAS une très belle expérience : Jérôme (qui m'a fait découvrir le rugby), Christophe (pour son aide dans les aéroports), Olive, Yuan, Eric, Magalie, Sabine, Jean-Louis, et plus généralement tout les membres du groupe ISGE.

Je souhaite également remercier tous les amis qui m'ont supporté, aidé, encouragé et avec lesquels j'ai passé de bon moments : Roro (tu vois t'y est dans les remerciements et en 1^{er} même) et Marlène, Padawan (encore lui...)et Aurélie , JB et Virginie. Un clin d'oeil particulier à Christian qui j'espère ne va pas battre tous les records ...

Max merci pour tout ces moments que nous avons passés ensemble autour d'un café à discuter de science bien sûr ! Merci Steph d'avoir pris la relève et de t'occuper de lui maintenant que je ne suis plus là.

Pour finir je tiens à exprimer mes plus grands remerciements à mes parents sans qui je ne serais pas là et plus généralement mon entourage familial pour leur soutien et leur aide durant cette thèse. Merci Anne et Paul d'avoir relu ce manuscrit et de m'avoir supporté, je n'aurais pas pu mener à bien ce projet sans vous.

Une personne qui n'a jamais commis d'erreurs n'a jamais tenté d'innover.

Albert Einstein

Table des matières

Liste des tableaux	9
Table des figures	11
Introduction générale	1
Chapitre 1	
Décharges Électrostatiques et défaillances induites	
1.1 Les Décharges Électrostatiques	4
1.1.1 Les Décharges Électrostatiques, un problème pour la microélectronique	4
1.1.2 Modèles de décharges	6
1.1.3 Outils de caractérisation	10
1.2 Nature des défaillances liées à une ESD	13
1.2.1 Dégradations des oxydes	14
1.2.2 Dégradation des jonctions	19
1.2.3 Dégradation des lignes métalliques	20
1.2.4 Conclusion	21
1.3 Techniques électriques de détection des dégradations	21
1.3.1 Outils de caractérisation des oxydes	23
1.3.2 Caractéristiques électriques des transistors	24
1.3.3 Courant de fuite (I_{DDq}) et de consommation (I_{DDt})	24
1.3.4 Paramètres S	24
1.3.5 Bruit basse fréquence (BF)	25
1.3.6 Avantages et inconvénients des différentes techniques	30
1.4 Techniques de localisation de défaillance	31
1.4.1 La microscopie à émission de lumière : EMMI	31
1.4.2 Les techniques de stimulation LASER	32
1.4.3 L'émission de lumière dynamique : Imagerie PicoSeconde (PICA)	34
1.5 Conclusion	35

Chapitre 2
Étude de l'impact de défauts latents induits par ESD sur les circuits intégrés

2.1	Fiabilité des systèmes microélectroniques	38
2.1.1	Quelques définitions	38
2.1.2	Systèmes à haute fiabilité	39
2.2	Fiabilité face aux décharges électrostatiques	42
2.2.1	Les défauts latents	43
2.2.2	Problématique des défauts latents pour les applications à haute fiabilité .	43
2.2.3	Tendance technologique pour l'avenir	43
2.2.4	Les phénomènes ESD face aux futures technologies	44
2.3	Étude de défauts latents grâce à un véhicule de test	46
2.3.1	Motivations et plan d'expérience	46
2.3.2	Description du circuit de test	47
2.3.3	Création des défauts latents	48
2.3.4	Caractérisation électrique	48
2.3.5	Analyse de défaillance	51
2.3.6	Validation de l'impact des défauts sur le fonctionnement du circuit par simulation électrique	57
2.3.7	Mécanisme de défaillance lors des stress SCDM. Validation grâce à une simulation physique 2D	58
2.3.8	Conclusion de l'analyse de défaillance	62
2.3.9	Défauts induits indirectement	63
2.4	Conclusion	65

Chapitre 3
Mise en place d'une technique avancée pour la caractérisation des défauts latents

3.1	Potentialités de la mesure du bruit basse fréquence pour la détection de défauts latents	68
3.1.1	Stratégies de protection des circuits intégrés face aux ESD	68
3.1.2	Fonctionnement d'une protection ESD basée sur un Transistor Bipolaire Autopolarisé	69
3.1.3	Étude d'un GCNMOS	71
3.1.4	Confirmation avec des protections ESD de type NPN	82
3.2	Étude de transistors MOS	87
3.2.1	Défauts de type filamentaire dans un NMOS	87
3.2.2	Défauts dans un oxyde d'un transistor PMOS	90
3.2.3	Conclusion	95
3.3	Validation de la technique sur des circuits	95
3.3.1	Circuits inverseurs	96

3.3.2	Convertisseur DC/DC	99
3.4	Conclusion	105
	Conclusion générale	107
	Bibliographie	111
	Liste des publications	119

Liste des tableaux

1.1	<i>Tension électrostatique générée par une activité humaine</i>	4
1.2	<i>Classes ESD pour le modèle HBM</i>	7
1.3	<i>Classes ESD pour le modèle MM</i>	7
1.4	<i>Classes ESD pour le modèle CDM</i>	8
2.1	<i>Paramètres technologiques et leurs impacts sur la tenue en ESD et latch-up des circuits avec la réduction des dimensions</i>	44
2.2	<i>Différents types de stress appliqués</i>	48
2.3	<i>Paramètres électriques des circuits inverseurs après les stress</i>	49
2.4	<i>Évolution des courants de fuite des circuits digitaux après 200 heures de vieillissement à $V_{DD}=4V$</i>	50
2.5	<i>Paramètres électriques des circuits digitaux après 2 années de stockage</i>	51
2.6	<i>Résultats des mesures électriques avancées</i>	53
2.7	<i>Évolution des courants de fuite des circuits NAND</i>	64
3.1	<i>Paramètres du modèle de spectre de bruit</i>	78
3.2	<i>Paramètres du modèle de spectre de bruit avant et après vieillissement</i>	81
3.3	<i>Historique des stress appliqués</i>	91
3.4	<i>Paramètres du modèle de bruit pour le circuit 3</i>	99
3.5	<i>Procédure de stress CDM des convertisseurs DC/DC et caractéristiques après stress CDM et burn-in de 24h à 125°C : courant au repos I_{ddq}, statuts après test de fonctionnalité. OK indique que le composant reste dans la spécification, F (Fail) indique qu'un (ou des) paramètre(s) est (sont) hors spécifications mais que le circuit est encore fonctionnel, A (Alarm) indique que le composant est défaillant</i>	100
3.6	<i>Paramètres du modèle de spectre de bruit pour convertisseur DC/DC n° 1 au cours de la période de stockage</i>	104

Table des figures

1.1	<i>Défauts créés par un ESD</i>	5
1.2	<i>Modèle du corps humain (HBM) (a) et schéma électrique d'un testeur HBM (b).</i>	6
1.3	<i>Modèle des machines (MM) (a) et schéma électrique d'un testeur MM (b).</i>	7
1.4	<i>Schéma d'un Testeur FCDDM (Field Charge Device Model</i>	9
1.5	<i>Formes d'onde des différents modèles ESD</i>	10
1.6	<i>Caractéristique quasi statique d'une structure de protection ESD avec ses marges de conception</i>	11
1.7	<i>Schéma électrique du montage TLP</i>	12
1.8	<i>Schéma électrique du montage vTLP</i>	13
1.9	<i>Diagramme de bandes d'une structure MOS de type P dans le cas d'un courant tunnel direct (a) ou d'un courant tunnel Fowler-Nordheim (b)</i>	15
1.10	<i>Modes de transport du courant au travers d'un oxyde</i>	15
1.11	<i>Injection de trous par l'anode</i>	16
1.12	<i>Création d'un centre E' (piégeage d'un trou)</i>	17
1.13	<i>Illustration du modèle du breakdown par percolation basé sur la génération de pièges et la conduction assistée par les pièges</i>	18
1.14	<i>Evolution future des courants de fuite dans les circuits microélectroniques</i>	22
1.15	<i>Fluctuations de courant $I(t)$ autour de sa valeur moyenne</i>	25
1.16	<i>Différentes sources de bruit pouvant exister dans un composant</i>	30
1.17	<i>Principe de fonctionnement des techniques SPL</i>	34
2.1	<i>Courbe en baignoire</i>	39
2.2	<i>Évolution du taux de défaillance avant et après tri</i>	40
2.3	<i>Évolution du FIT au cours des 35 dernières années</i>	41
2.4	<i>Tendance de la sensibilité aux ESD des composants</i>	45
2.5	<i>Véhicule de test monté dans un boîtier PGA 68</i>	46
2.6	<i>Layout du circuit inverseur</i>	47
2.7	<i>Table de vérité d'une porte logique NAND et schéma du circuit inverseur</i>	48
2.8	<i>Schéma électrique du onzième étage inverseur</i>	49
2.9	<i>Evolutions des courants I_{DD} et I_{str} en fonction de $(V_{DD}-V_{str})$</i>	52
2.10	<i>Image EMMI de la pièce 6 à $V_{DD} = 5,8V$</i>	54
2.11	<i>Image OBIRCH de la pièce 6 à $V_{DD} = 4V$</i>	54
2.12	<i>Pièce référence</i>	55
2.13	<i>Pièce n° 6</i>	55

2.14	<i>Graphique d'émission temporelle de la pièce de référence</i>	55
2.15	<i>Graphique d'émission temporelle de la pièce 6</i>	56
2.16	<i>Courant au travers d'un NMOS d'un étage inverseur</i>	56
2.17	<i>Signal de sortie du circuit</i>	57
2.18	<i>Signal de sortie du circuit 6</i>	57
2.19	<i>Schéma électrique et coupe de la structure simulée</i>	58
2.20	<i>Courant de stress simulé au niveau de la broche de stress</i>	59
2.21	<i>Température de la structure au cours d'un stress négatif</i>	60
2.22	<i>Température de la structure au cours d'un stress positif</i>	60
2.23	<i>Résultats de simulation montrant le champ électrique dans la structure au niveau du pic en courant du stress SCDM</i>	61
2.24	<i>Résultats de simulation montrant la densité de courant dans la structure au niveau du pic en courant du stress SCDM</i>	62
2.25	<i>Surtension simulée au niveau des grilles du PMOS et du NMOS de l'étage stressé</i>	63
2.26	<i>circuit NOR</i>	64
2.27	<i>circuit NAND</i>	64
2.28	<i>Image EMMI du circuit NAND n° 3</i>	65
3.1	<i>Stratégie de protection des circuits face aux décharges électrostatiques</i>	69
3.2	<i>Coupe technologique d'un transistor GCNMOS utilisé comme protection ESD</i>	70
3.3	<i>Schéma de fonctionnement d'un transistor GCNMOS</i>	70
3.4	<i>Photographie et schéma électrique d'un GCNMOS</i>	71
3.5	<i>Évolution du courant inverse dans le GCNMOS</i>	72
3.6	<i>Banc de mesure du bruit basse fréquence</i>	72
3.7	<i>Mesures de la densité spectrale de bruit basse fréquence d'une structure de référence et du banc de mesure de 1Hz à 1kHz</i>	73
3.8	<i>Comparaison du modèle avec la mesure</i>	74
3.9	<i>Caractéristique quasi-statique du GCNMOS</i>	75
3.10	<i>Comparaison de l'évolution des caractéristiques électriques au cours des stress</i>	76
3.11	<i>Comparaison de l'évolution des caractéristiques électriques au cours des stress</i>	77
3.12	<i>Comparaison de l'évolution des caractéristiques électriques avant et après les stress</i>	79
3.13	<i>Spectre de bruit pour différentes polarisations et évolution du plateau à 10kHz</i>	79
3.14	<i>Courant de fuite avant et après le vieillissement de 2000 heures à 125°C</i>	80
3.15	<i>Densité spectrale de bruit avant et après le vieillissement de 2000 heures à 125°C</i>	81
3.16	<i>Coupe schématique d'une structure de protection de type NPN</i>	82
3.17	<i>Évolution du courant de fuite après les stress</i>	83
3.18	<i>Mesure du bruit basse fréquence après les stress TLP et HBM</i>	83
3.19	<i>Schéma et image OBIC de référence</i>	84
3.20	<i>Image OBIC des NPN stressés</i>	84
3.21	<i>Résultats de simulation electrothermique deux dimensions au cours d'un stress HBM</i>	85
3.22	<i>Évolution du maximum de température au cours d'un stress TLP et HBM dans la structure TBA NPN</i>	86
3.23	<i>Schéma électrique du mode de stress</i>	88

3.24	<i>Évolution des caractéristiques statiques avant et après stress</i>	88
3.25	<i>Schéma du banc de mesure du bruit basse fréquence</i>	89
3.26	<i>Mesure du spectre de bruit basse fréquence pour différentes polarisations</i>	89
3.27	<i>Schéma électrique du mode de stress</i>	91
3.28	<i>Caractéristiques électriques statiques des transistors PMOS après les stress VF-TLP</i>	92
3.29	<i>Spectre de bruit basse fréquence pour différents régimes de fonctionnement</i>	93
3.30	<i>Évolution du niveau de bruit BF à 1kHz pour différents courants de polarisation en régime Ohmique</i>	94
3.31	<i>Support de test adapté 50 Ohms pour boîtier PGA</i>	96
3.32	<i>Bruit basse fréquence de la pièce de référence</i>	97
3.33	<i>Mesures du bruit BF de la pièce n° 6</i>	98
3.34	<i>Mesures du Bruit BF du circuit n° 3 (le courant passe au travers de l'oxyde)</i>	98
3.35	<i>Schéma synthétique du convertisseur DC/DC</i>	99
3.36	<i>Mesures du bruit BF des convertisseurs DC/DC après les stress CDM</i>	101
3.37	<i>Spectre de bruit BF pour plusieurs courants de polarisation</i>	102
3.38	<i>Niveau de bruit BF à 1kHz en fonction du courant au carré pour le circuit n° 1</i>	103
3.39	<i>Mesure du bruit BF juste après stress CDM et après 1 puis 3 mois de stockage.</i>	104
3.40	<i>Mesure du bruit BF divisé par le courant de polarisation au carré.</i>	105
3.41	<i>Évolution de la densité de pièges au cours du stockage.</i>	105

Introduction générale

Les puces microélectroniques sont, de nos jours, présentes partout autour de nous (téléphone mobile, ordinateur, lecteur mp3 ...). On les retrouve également dans des domaines touchant directement à notre sécurité (automobile, aviation, médecine ...). L'avènement des technologies sans fil et des applications dites "plus électriques" en automobile et dans l'aviation renforce leur présence et leur criticité. Il est donc primordial, dans ces applications, de garantir la fiabilité des composants microélectroniques utilisés. Le domaine spatial, du fait des énormes coûts qu'il engendre, nécessite également une grande fiabilité des composants embarqués. Les décharges électrostatiques ou "electrostatic discharges" (ESD) en anglais sont des phénomènes naturels, elles sont donc incontournables, et provoquent la défaillance des circuits intégrés.

Différents moyens sont mis en œuvre pour protéger les circuits intégrés des décharges électrostatiques.

D'une part, ils consistent à prendre des précautions dans l'environnement industriel pour limiter le risque d'ESD ainsi que la génération de charges :

- port de bracelet et de chaussures antistatiques
- connexion à la masse des plans de travail destinés à recevoir des composants
- ionisation de l'air
- contrôle du degré d'humidité
- ...

D'autre part, des structures de protection contre les ESD, connectées aux plots d'entrée et de sortie, sont intégrées sur la même puce que le circuit. Malgré toutes ces précautions mises en œuvre, ces agressions électriques, sont à l'origine de plus de 20% des défaillances des circuits intégrés. A cela plusieurs raisons :

- la réduction des dimensions et la complexité croissante des technologies rendent de plus en plus difficile la protection des circuits microélectroniques
- l'efficacité limitée des protections mises en place pour des décharges électrostatiques de fortes intensités

Afin de répondre à ces nouvelles exigences de fiabilité, l'amélioration des performances des circuits microélectroniques face aux ESD, mais aussi le contrôle de l'environnement de l'application finale sont des points essentiels. Pour garantir la fiabilité à long terme du composant à intégrer dans l'application, il est important de s'assurer que ce dernier n'a pas été affaibli par des événements antérieurs à son utilisation. Pour les applications de haute fiabilité ou mettant en jeu la sécurité de personnes, la problématique des défauts latents, défauts n'entraînant pas

le dysfonctionnement du circuit mais diminuant sa durée de vie, est devenu incontournable. Le tri des composants avant leur intégration dans l'application finale est devenu capital ainsi que la détection des défauts latents. Or, la diminution des dimensions lithographiques a également pour conséquence une augmentation des courants de repos des circuits microélectroniques. Cette augmentation rend difficile voire impossible la détection de défauts latents susceptibles de "défiabiliser" des systèmes microélectroniques, par la mesure classique du courant de fuite.

Nous avons, dans cette thèse, étudié les potentialités d'une nouvelle méthodologie pour la détection de défauts de type ESD, afin d'améliorer le tri des composants pour les applications de très haute fiabilité.

Le premier chapitre donnera un aperçu du phénomène des décharges électrostatiques et les différents modèles et outils utilisés pour qualifier la robustesse des circuits face aux ESD. Nous présenterons ensuite une liste non exhaustive des différents types de défaillances induites par les ESD et les principes physiques à l'origine de ces dernières. Nous décrirons dans la suite de ce chapitre les outils utilisés pour la **détection** des dégradations dans les circuits microélectroniques ainsi que les techniques utilisées pour la **localisation** des défaillances.

Le deuxième chapitre sera consacré au problème de fiabilité dans le domaine de la microélectronique. Nous commencerons par définir les termes liés à la fiabilité des circuits intégrés et présenter quelques points historiques. La problématique des défauts latents ainsi que les tendances technologiques seront évoquées. Nous nous attacherons également à pointer les difficultés qu'elles engendreront pour la protection des circuits face aux ESD. Dans la dernière partie de ce chapitre, nous présenterons l'étude effectuée grâce à un véhicule de test spécialement dessiné pour analyser l'impact de défauts latents induits par stress ESD de type CDM sur la fiabilité des circuits.

Enfin, le dernier chapitre présentera les résultats obtenus par l'utilisation de la technique de mesure du bruit basse fréquence comme outil de détection en la comparant avec la technique classique de mesure du courant de fuite sur différents composants. Nous validerons, dans une première partie, la possibilité d'utilisation de cette technique sur une protection ESD de type GCNMOS (Gate Coupled NMOS). Nous discuterons par la suite des limites et des avantages de cette technique grâce à l'application de cette dernière pour la détection de défauts d'oxyde ou de jonction dans des transistors MOS. Nous validerons enfin l'emploi de cette technique sur des circuits complets, dans un premier temps sur un circuit logique puis sur un circuit commercial, un convertisseur DC/DC.

Chapitre 1

Décharges Electrostatiques et défaillances induites

Sommaire

1.1	Les Décharges Electrostatiques	4
1.1.1	Les Décharges Electrostatiques, un problème pour la microélectronique	4
1.1.2	Modèles de décharges	6
1.1.3	Outils de caractérisation	10
1.2	Nature des défaillances liées à une ESD	13
1.2.1	Dégradations des oxydes	14
1.2.2	Dégradation des jonctions	19
1.2.3	Dégradation des lignes métalliques	20
1.2.4	Conclusion	21
1.3	Techniques électriques de détection des dégradations	21
1.3.1	Outils de caractérisation des oxydes	23
1.3.2	Caractéristiques électriques des transistors	24
1.3.3	Courant de fuite (I_{DDq}) et de consommation (I_{DDt})	24
1.3.4	Paramètres S	24
1.3.5	Bruit basse fréquence (BF)	25
1.3.6	Avantages et inconvénients des différentes techniques	30
1.4	Techniques de localisation de défaillance	31
1.4.1	La microscopie à émission de lumière : EMMI	31
1.4.2	Les techniques de stimulation LASER	32
1.4.3	L'émission de lumière dynamique : Imagerie PicoSeconde (PICA)	34
1.5	Conclusion	35

1.1 Les Décharges Électrostatiques

Dès l'antiquité, le phénomène d'électrification a été observé par les Grecs (Thalès de Milet au 5^{ème} siècle avant J.C), qui ont remarqué que certains corps s'attirent ou se repoussent. Il faudra attendre le XVIII^{ème} siècle avec Charles Augustin de Coulomb pour sortir du simple domaine de la curiosité et commencer à théoriser le phénomène. Les notions de décharge et d'arc électrique font leur apparition. A la même époque, Benjamin Franklin crée la première protection contre les décharges électrostatiques : le paratonnerre.

Les décharges électrostatiques (ESD) sont des phénomènes naturels de rééquilibrage de charges. Elles correspondent à un transfert très rapide de charges électriques entre deux objets. L'ESD apparaît lorsque le champ électrique maximum dû à la charge accumulée sur un corps isolant dépasse la valeur du champ disruptif dans le milieu considéré (Champ disruptif dans l'air dans des conditions normales (20°C, 11 g/m³ d'humidité, . . .) : $E_d = 3 \text{ MV/m}$). Selon la nature des objets, l'échange de charges peut s'avérer très rapide (plusieurs nanosecondes), générant ainsi des courants de plusieurs ampères. Les ESD sont un phénomène courant. Une personne est électriquement chargée et déchargée plusieurs fois par jour. Le processus de décharge peut être un évènement insignifiant, comme la sensation piquante que l'on ressent parfois quand on touche la poignée d'une porte en métal ou qu'on embrasse quelqu'un. Ce peut être aussi un évènement catastrophique, par exemple lorsqu'un bâtiment est touché par la foudre ou qu'une étincelle se produit à proximité d'une réserve de produit inflammable.

Nous n'entrerons pas dans les détails des mécanismes de génération du déséquilibre de charges initiateur des décharges électrostatiques. Ce dernier a plusieurs origines, les plus significatives dans l'environnement de la microélectronique sont la triboélectrification, l'induction et la conduction. Le phénomène de triboélectricité, c'est-à-dire la séparation de charges due au frottement entre deux matériaux dont au moins un est isolant, peut engendrer des tensions électrostatiques extrêmement importantes. Le tableau 1.1 présente la tension électrostatique résultant de différentes activités humaines. La large fenêtre de tension électrostatique générée pour une même activité est due au fait que la triboélectrification est un phénomène très sensible à l'humidité relative de l'air ambiant. Un air humide atténuera les méfaits des décharges électrostatiques, tandis qu'un air sec entraînera des tensions vingt à trente fois plus importantes [1].

Activités pouvant générer des charges	Tension électrostatique
Marcher sur une moquette	1 500 - 35 000 volts
Marcher sur un revêtement vinyle non traité	250 - 12 000 volts
Opérateur à son établi	700 - 6 000 volts
Dérouler un ruban adhésif standard	9 000 - 15 000 volts

TAB. 1.1 – Tension électrostatique générée par une activité humaine

1.1.1 Les Décharges Électrostatiques, un problème pour la microélectronique

Les défaillances liées aux ESD ont fait leur apparition en électronique au début des années 70. Leur impact négatif sur la fiabilité des composants microélectroniques est un problème majeur. En effet, à l'échelle du transistor, la brique élémentaire des circuits microélectroniques, une

ESD peut avoir des conséquences équivalentes à celle de la foudre frappant un arbre. Même une tension de charge ESD très faible, qu'un humain ne ressentirait pas (inférieure à 3 kV), peut endommager ou même détruire un transistor. Les ESD sont donc un phénomène critique pour la microélectronique qui a pour conséquence d'endommager ou de détruire les composants électroniques sensibles, effacer ou changer les données magnétiques. On estime, que chaque année, 40 milliards de dollars sont perdus à cause de dommages provoqués par les décharges électrostatiques, dans la seule industrie électronique [2]. L'énergie d'une décharge électrostatique peut se coupler avec un circuit électronique par conduction directe, couplage inductif, couplage capacitif, couplage par rayonnement. Les effets peuvent aller de la création de défauts latents à la destruction du dispositif. Les images de la figure 1.1 [3, 4] présentent les exemples de défaillances que peut engendrer une décharge électrostatique sur un composant microélectronique. On comprend bien que, suite à ce type de défaillance, le circuit risque de ne plus être fonctionnel.

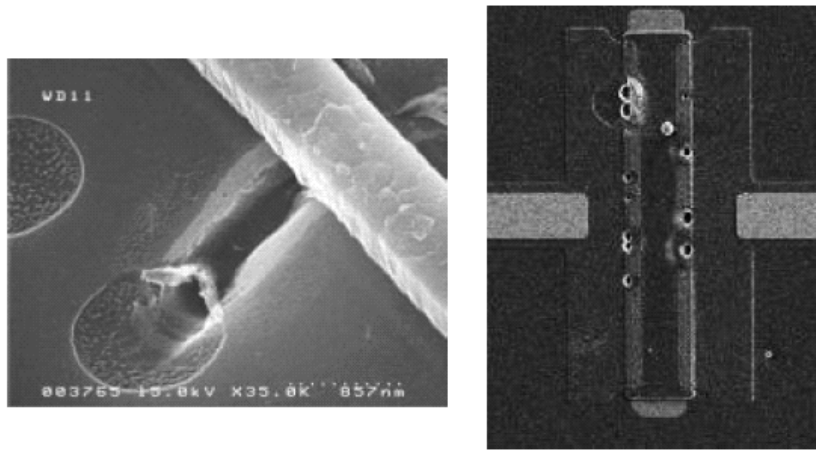


FIG. 1.1 – Défautes créés par un ESD

Il est donc impératif de limiter l'impact de ce phénomène, d'une part en contrôlant la génération de charges électriques dans les lieux stratégiques que sont les zones de fabrication et de test des dispositifs, par l'utilisation de bracelets, de vêtements et de matériaux antistatiques ... et d'autre part, en intégrant des composants de protection au cœur même du système qui vont détecter et détourner les décharges protégeant ainsi les parties actives [5]. Ainsi, les enjeux du développement de solutions de protection tiennent dans l'optimisation de composants performants, en terme de robustesse par unité de surface de silicium occupée, et la mise au point de nouveaux outils et méthodes permettant de traiter ce problème dès le début de la conception d'un circuit. Afin de définir une mesure de la robustesse ESD, c'est-à-dire un niveau de défaillance ESD, différents types de testeurs ont été développés. Ces testeurs sont supposés reproduire les différentes formes d'ondes en courant générées lors des événements ESD. Ces tests obéissent à des normes garantissant ainsi la compatibilité des résultats de mesure entre les différents types de testeurs (norme IEC). Les principaux testeurs et outils de caractérisation sont décrits dans la partie suivante.

1.1.2 Modèles de décharges

Beaucoup de paramètres peuvent influencer sur la forme du courant et la durée totale d'une décharge électrostatique. Plusieurs modèles de décharges ont donc été développés en fonction des différentes situations rencontrées en microélectronique. Le plus courant est le modèle du corps humain, en anglais Human Body Model (HBM) qui, chargé électriquement, se décharge au travers d'un composant. De la même manière, le modèle de la machine (MM) décrit la décharge engendrée par un équipement. Le modèle du composant chargé, en anglais Charged Device Model (CDM), considère le cas où le composant lui-même est chargé et se décharge en entrant en contact avec un conducteur. Le modèle du "gun" (IEC-1000-4-2) est utilisé dans le cas d'ESD appliquées au niveau d'un système. Les testeurs utilisés dans l'industrie reproduisent les modèles de décharges précédents en respectant certaines normes. La caractérisation de la robustesse d'un circuit vis-à-vis des ESD consiste à soumettre le composant à une série de décharges d'intensité croissante, jusqu'à sa destruction. Ces tests destructifs, outre le fait qu'ils ne permettent d'évaluer que le niveau de robustesse ESD d'un composant, n'apportent aucune information pour la compréhension du comportement de la structure de protection. C'est pourquoi, parallèlement à ces tests industriels, ont été développées des techniques de caractérisation ESD qui ne sont pas obligatoirement destructives. Ces dernières ont le double avantage d'évaluer la robustesse ESD du dispositif mais également d'extraire certains paramètres électriques caractéristiques d'une structure de protection ESD. La connaissance de ces paramètres aboutit à une meilleure compréhension du comportement du dispositif ce qui permet par la suite son optimisation. Les principales techniques de caractérisation ESD décrites dans les paragraphes ci-après sont le TLP (Transmission Line Pulsing) et le VF-TLP (Very Fast Transmission Line Pulsing).

Modèle HBM : Human Body Model

Considéré comme le principal modèle de décharges électrostatiques, il est également le plus ancien [6, 7]. Il décrit la décharge d'un être humain debout, par l'extrémité d'un de ses doigts. En première approximation, on peut le représenter par un simple réseau RC, composé d'une capacité de 100 pF et d'une résistance de 1500 Ω (Fig. 1.2(a)).

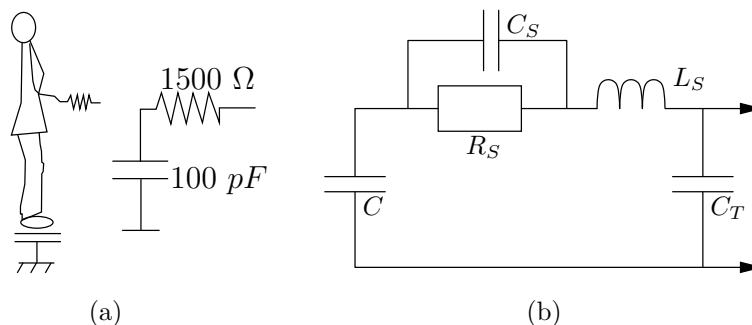


FIG. 1.2 – Modèle du corps humain (HBM) (a) et schéma électrique d'un testeur HBM (b).

Avant la décharge, la capacité est typiquement chargée à des tensions de l'ordre de quelques kV. Cette tension de précharge est utilisée pour caractériser l'intensité de la décharge HBM. L'impédance offerte par un circuit intégré au courant de décharge ESD pouvant en général

être considérée comme très faible, la décharge HBM est assimilée à une impulsion de courant indépendante du composant testé. La durée totale de l'impulsion est d'environ 300 ns avec un temps de montée qui peut varier entre 2 et 10 ns. Le pic d'intensité a une valeur comprise entre 1 et 10 A. Pour les circuits, une robustesse minimum de 2 kV est généralement requise pour permettre leur manipulation dans des conditions classiques de stockage et d'assemblage. Différentes classes ont été définies, elles sont rappelées dans le tableau 1.2 :

Classe ESD	Tension de précharge
Classe 0	0 à 199 Volts
Classe 1	200 à 1 999 Volts
Classe 2	2 000 à 3 999 Volts
Classe 3	4 000 à 15 999 Volts

TAB. 1.2 – Classes ESD pour le modèle HBM

Modèle MM : Machine Model

Le modèle de décharge Machine Model (MM) ou modèle des machines est une extension du HBM pour le cas où la résistance série R_S est réduite [8]. Cela permet en particulier de rendre compte de la décharge d'une personne tenant un outil métallique (pince, fer à souder), ou par un système, comme un robot, manipulant des composants (Fig. 1.3(a)). Ce modèle a été développé au Japon comme le pire cas du modèle HBM, dont il diffère principalement par sa résistance série quasi nulle.

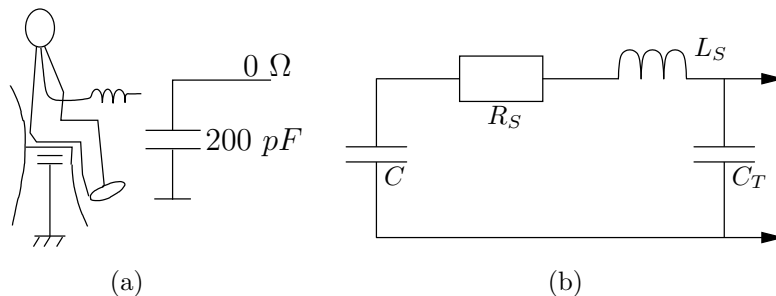


FIG. 1.3 – Modèle des machines (MM) (a) et schéma électrique d'un testeur MM (b).

Classe ESD	Tension de précharge
Classe M1	0 à < 100 Volts
Classe M2	100 à < 200 Volts
Classe M3	200 à < 400 Volts
Classe M4	\geq 400 Volts

TAB. 1.3 – Classes ESD pour le modèle MM

Avant une décharge, la capacité est typiquement chargée à quelques centaines de Volts. La forme d'onde du courant généré par la décharge est généralement oscillatoire, avec une fréquence

comprise entre 5 et 15 MHz. L'intensité maximale au cours d'une décharge MM est de l'ordre de 1 à 10 A. Les oscillations sont dues à l'existence d'une inductance série non négligeable, en particulier au contact et à la faible résistance série du modèle. Comme pour le modèle HBM, 4 classes définissent les niveaux de stress MM (c.f. tableau 1.3).

Modèle CDM : Charged Device Model

Ce modèle plus récent est différent des deux précédents par la nature même du phénomène qu'il décrit [9, 10]. Il représente la décharge d'un composant, lui-même chargé, par une seule de ses broches mise à la masse. Ce type d'évènement se rencontre fréquemment sur les chaînes d'assemblage automatisées et pourrait constituer un problème majeur pour les circuits sub-microniques. Il est difficile d'évaluer précisément les valeurs des composantes parasites, le boîtier ainsi que la puce faisant partie intégrante du modèle. La forme du courant est sensible à ces paramètres. Ce type de décharge se caractérise cependant par de très rapides variations du courant, plusieurs ampères par nano-seconde, et des temps très courts, quelques nano-secondes. Le modèle CDM a été développé afin d'expliquer la rupture de certains oxydes aussi bien au niveau des entrées qu'au niveau du cœur du circuit et dont l'origine ne pouvait être expliquée par un stress HBM ou MM. La détérioration est alors due aux chemins internes du courant et aux surtensions créées dans la puce lors de la décharge. Le tableau 1.4 donne les 7 classes qui ont été définies pour le modèle CDM.

Classe ESD	Tension de précharge
Classe C1	< 125 Volts
Classe C2	125 à < 250 Volts
Classe C3	250 à < 500 Volts
Classe C4	500 à < 1000 Volts
Classe C5	1000 à < 1500 Volts
Classe C6	1500 à < 2000 Volts
Classe C7	> 2000 Volts

TAB. 1.4 – Classes ESD pour le modèle CDM

Il existe deux types de testeurs CDM, le non-socketed CDM et le socketed CDM. Chacun d'eux étant basé sur un principe de fonctionnement différent.

Testeur non-socketed Le testeur non-socketed a été le premier à être développé par R.G. Reninger [11], pour reproduire les stress CDM. Pour ce type de test illustré par la figure 1.4 [12], le composant est placé sur une plaque métallique (appelé "field plate") qui est reliée à une alimentation haute tension, avec ses broches vers le haut. Le composant est chargé par effet de champ. La plaque métallique de charge du testeur représente une électrode, le boîtier isolant joue le rôle du diélectrique et les différents niveaux de conducteur du composant, et surtout du boîtier, forment la seconde électrode. Avant la décharge, l'électrode de charge (la plaque métallique) est connectée à la masse alors que la seconde électrode (puce et lead frame) est au potentiel de charge CDM souhaité. La décharge est produite soit par la méthode contact ou

non-contact, selon que la sonde de décharge (ou pogo pin) est mise en contact avec la broche stressée ou positionnée assez proche pour que la décharge ait lieu par claquage dans l'air. Ceci provoque la décharge des différentes capacités du composant. La totalité des charges stockées et donc le courant de décharge sont fixés par le composant lui-même. Le testeur non-socketed reproduit très bien le cas d'une décharge CDM réelle que le composant est amené à subir. Mais cette méthode a le désavantage d'être très lourde à mettre en place et prend beaucoup de temps lors des tests industriels. De plus, les broches des composants étant de plus en plus nombreuses et rapprochées, la décharge d'une seule broche ne peut pas être garantie.

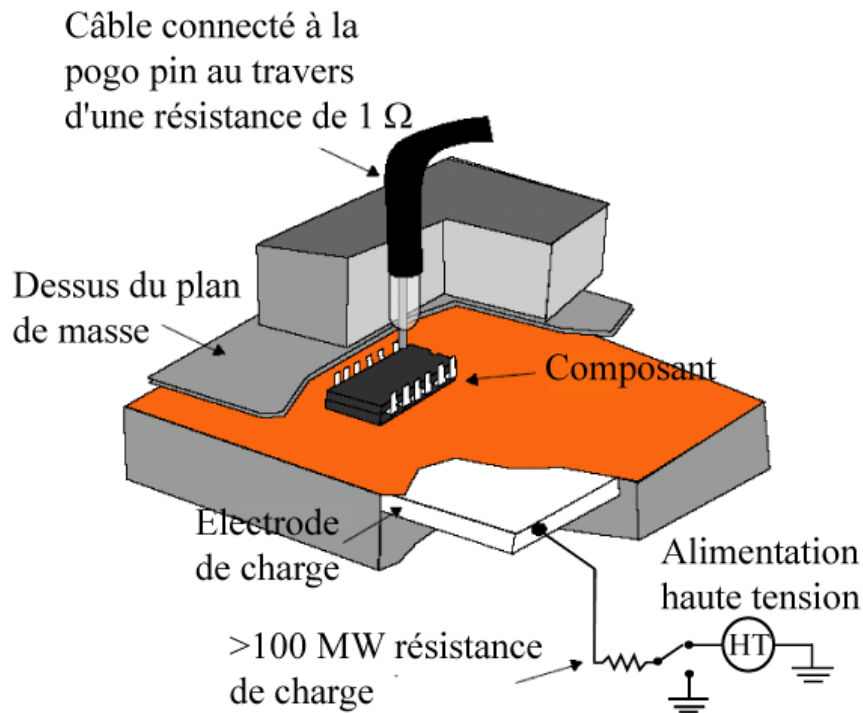


FIG. 1.4 – Schéma d'un Testeur FCDM (*Field Charge Device Model*)

Testeur socketed Ce type de testeur est couramment employé dans l'industrie microélectronique. Il est plus rapide que le testeur non-socketed CDM et peut être monté dans un testeur classique HBM ou MM. Le testeur Socketed a été introduit pour augmenter le rendement des tests CDM pour les industriels. Cette technique est en progrès depuis 1990. Pour ce type de méthode de test, le composant est placé sur une carte (socket) avec ses broches vers le bas. La carte, et donc le composant, est ensuite chargée par une alimentation haute tension. La décharge est provoquée par la mise à la masse de la broche désirée. Grâce à une carte spécialement dédiée, chaque broche d'un circuit peut être facilement adressée. Le désavantage de cette méthode vient du fait que la quasi totalité des charges stockées sont liées à la carte elle-même, plutôt qu'aux parasites liés au boîtier du composant [13, 14]. A cause de cette importante contribution des parasites du testeur, cette méthode de test est maintenant employée pour identifier les points faibles des produits et non pour leur qualification.

Modèle IEC (International Electrotechnical Commission)

Les modèles normés IEC801-2, puis IEC-1000-4-2, et maintenant IEC 61000-4-2 sont employés pour étudier les ESD sur les équipements et les systèmes. Les fabricants de systèmes doivent garantir un certain niveau de protection d'ESD puisque le système lui-même est exposé à l'environnement extérieur et à la présence humaine. Il y a deux méthodes dans la norme IEC1000-4-2, la méthode de décharge dans l'air et la méthode de décharge de contact. La forme d'onde du modèle HBM IEC représentée figure 1.5 regroupe en même temps les caractéristiques du modèle HBM : durée longue ($\approx 200\text{ns}$) et celles du modèle CDM : un temps de montée très court ($<1\text{ns}$).

Récapitulatif des différents modèles

Le graphe suivant présente les formes d'onde des différents modèles de décharge électrostatique. On remarque que les modèles HBM et MM sont assez semblables puisqu'ils ont une origine similaire : la décharge d'un corps extérieur au travers d'un composant. Par contre, le modèle CDM est très différent des autres formes d'onde de par sa durée et son temps de montée extrêmement rapides. Ces différences sont dues à la nature très différente du CDM par rapport aux modèles HBM et MM. En effet, le CDM représente la décharge du composant par une de ses broches. Le modèle IEC ou modèle du gun est lui aussi différent puisqu'il rend compte d'une ESD au niveau d'un système.

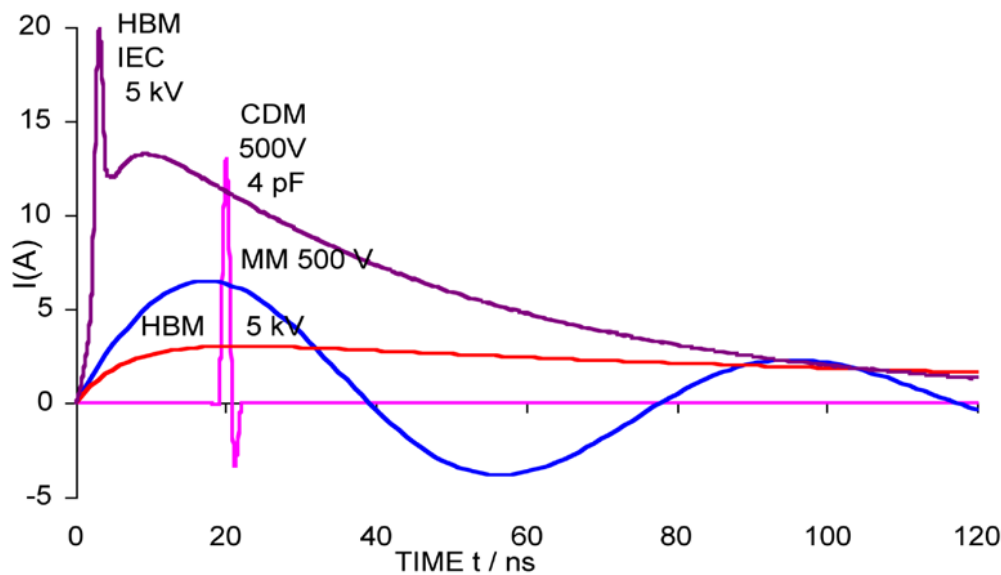


FIG. 1.5 – Formes d'onde des différents modèles ESD

1.1.3 Outils de caractérisation

Les testeurs présentés précédemment ne permettent pas d'avoir d'information précises sur le fonctionnement des protections testées au cours de la décharge. Ils sont essentiellement utilisés pour des tests de qualification ou pour provoquer une défaillance. Des outils ont donc été développés afin de mieux comprendre les mécanismes physiques mis en jeu au cours des décharges

électrostatiques mais aussi pour aider au développement des structures de protection ESD. Ces outils sont au nombre de deux, le premier a avoir été développé est le TLP pour Transmission Line Pulsing, le second est le vfTLP pour very fast-TLP.

Banc de caractérisation TLP

Inventé en 1985 par Tim Maloney [15], le banc de caractérisation TLP est couramment employé de nos jours dans le développement des protections ESD. La méthode utilisée dans un banc de mesure TLP permet d'obtenir la caractéristique fort courant d'un composant en s'affranchissant des problèmes thermiques qui pourraient le détruire. En effet, lors d'une décharge électrostatique, des courants importants sont mis en jeu, mais la durée de l'impulsion étant très faible, l'énergie totale dissipée est finalement limitée. Ainsi un composant de protection ESD est amené à fonctionner sous de forts courants sans pour autant être endommagé.

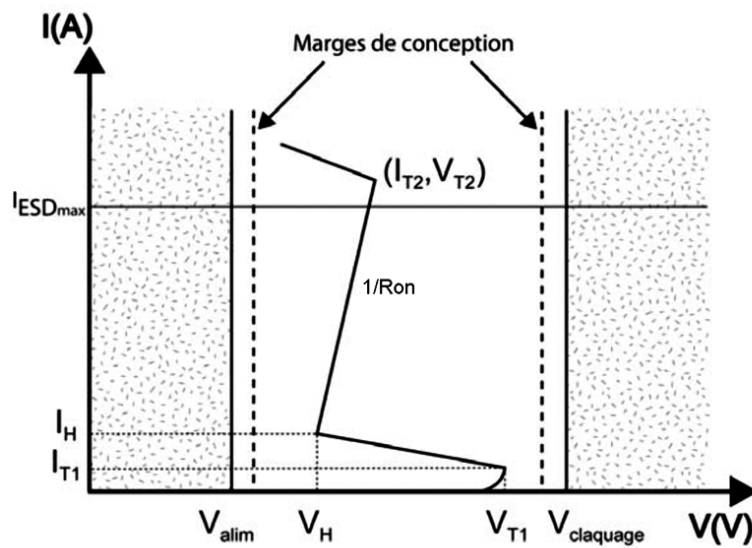


FIG. 1.6 – Caractéristique quasi statique d'une structure de protection ESD avec ses marges de conception

Le principe du banc de mesure TLP est de générer une impulsion en courant carrée dans le composant testé, pendant une durée suffisamment courte pour ne pas le détruire et assez longue pour obtenir un courant et une tension constants et stables pour permettre de les mesurer. Grâce à plusieurs impulsions successives d'intensité croissante, on obtient point par point la caractéristique $I(V)$ du composant. Le courant et la tension étant constants au cours de chaque mesure, on peut considérer que cette caractéristique est statique ou quasi statique. Entre chaque impulsion, l'évolution des caractéristiques électriques (courant de fuite par exemple) peut être suivie pour mettre en évidence d'éventuelles dégradations du composant et déterminer sa robustesse maximale. Dans le cas d'une protection ESD, le TLP nous permet de tracer la caractéristique quasi statique de la structure afin de connaître les paramètres électriques de cette dernière. Le graphe 1.6 présente la caractéristique d'une protection ESD. Il est alors possible d'extraire de sa caractéristique $I-V$ des paramètres électriques critiques comme la tension et le courant de déclenchement V_{T1} et I_{T1} , la tension de maintien V_H pour les structures avec retournement, la

résistance à l'état passant ainsi que les valeurs de tension et de courant de défaillance notées respectivement V_{T2} et I_{T2} . Ayant accès à ces paramètres, il est alors possible de prédire si la structure est à même de protéger une application ayant ses propres marges de conception.

Pour réaliser l'impulsion et contrôler sa durée, on utilise une ligne de transmission en câble coaxial d'où le nom de TLP (Transmission Line Pulse). La figure 1.7 représente le schéma électrique du banc de mesure. Dix mètres de câble d'impédance caractéristique de $50\ \Omega$ permettent d'obtenir une impulsion d'une durée de 100 ns. La ligne est chargée à une tension V_E au travers d'une résistance de très forte valeur. La résistance R_L de $50\ \Omega$ évite les réflexions dans la ligne. La décharge de tension est convertie en courant par une résistance R_S de 500 à 1 k Ω . Cette résistance permet également de limiter l'interaction entre le composant à tester et la ligne, et d'obtenir un courant stable. Enfin, une inductance L_S peut être ajoutée en série avec la résistance pour contrôler le temps de montée de l'impulsion [16].

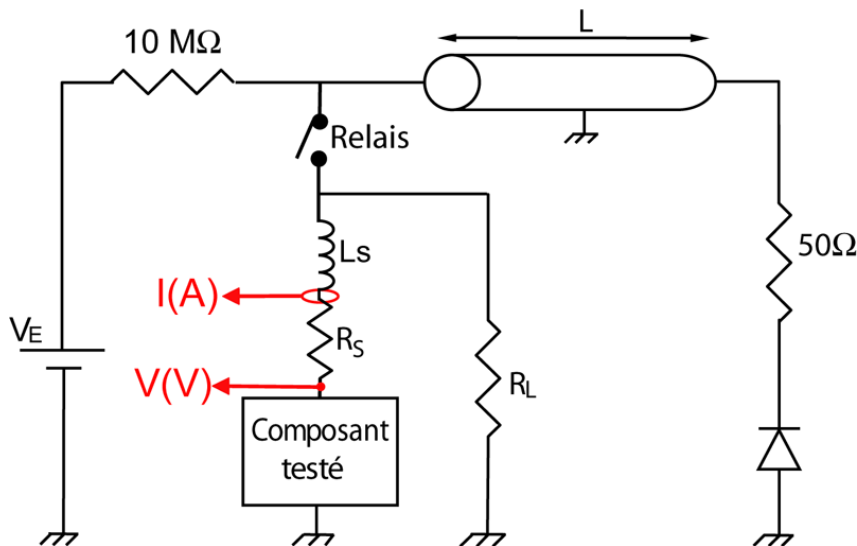


FIG. 1.7 – Schéma électrique du montage TLP

Les caractéristiques de l'impulsion de courant sont proches de celles du modèle HBM. Des signatures de défaillance identiques entre ces stress ont été rapportées pour une durée d'impulsion TLP de 100 ns. Cependant, il n'existe pas de constante de corrélation précise entre ces deux types de stress. La tension HBM maximale (en kV) est généralement comprise entre 1,5 et 2 fois le courant maximum (en A) obtenu par la mesure TLP [17, 18]. D'une manière générale, la corrélation entre les tests ESD dépend des caractéristiques des impulsions, temps de montée et durée, ainsi que des technologies dans lesquelles sont réalisées les composants. Trouver une corrélation entre les différents modèles n'est évidemment possible que dans les cas où ils engendrent le même type de défaillance [19]. Nous avons publié au cours de cette thèse un article présentant une différence entre des défauts induits par un testeur TLP et HBM sur des structures de protection ESD issues de la même technologie. Cette différence a été attribuée dans ce cas à une différence de puissance instantanée dissipée au cours de la décharge, ce qui engendre une réponse différente de la structure de protection et donc un mode de défaillance différent [20].

Banc de caractérisation vfTLP

Récemment, afin de réaliser un outil de caractérisation plus adapté aux décharges de type CDM, un banc de caractérisation appelé vfTLP (Very Fast TLP) a été développé. La réalisation d'une impulsion avec un temps de montée très rapide, une durée courte ainsi qu'une grande amplitude en courant en utilisant le banc TLP décrit en section 1.1.3 est très difficile. En conséquence, le système vfTLP a été développé par H. Gieser [21], pour fonctionner en réflectométrie temporelle. Dans ce système, une impulsion de tension incidente d'une courte durée définie par la longueur de ligne TL1 se propage du générateur d'impulsions vers le DUT (circuit stressé) via TL1 et S1, puis cette onde est réfléchiée par le DUT (c.f. figure 1.8 [12]). La tension incidente et les impulsions réfléchies sont mesurées grâce à une sonde de tension entre S1 et TL2. TL2 est d'une longueur appropriée afin d'éviter le chevauchement de l'onde incidente et de l'onde réfléchiée grâce au temps de propagation dans cette dernière. Afin d'obtenir V_{dut} (la tension aux bornes du circuit) et I_{dut} (le courant traversant le circuit), l'onde incidente et l'onde réfléchiée sont enregistrées, l'onde réfléchiée est inversée et superposée à l'onde incidente. Grâce à ce système, il est possible de générer des impulsions carrées de courant avec un temps de montée inférieur à 500 ps et une durée de 1,2 à 10 ns [22] qui sont comparables aux modèles CDM.

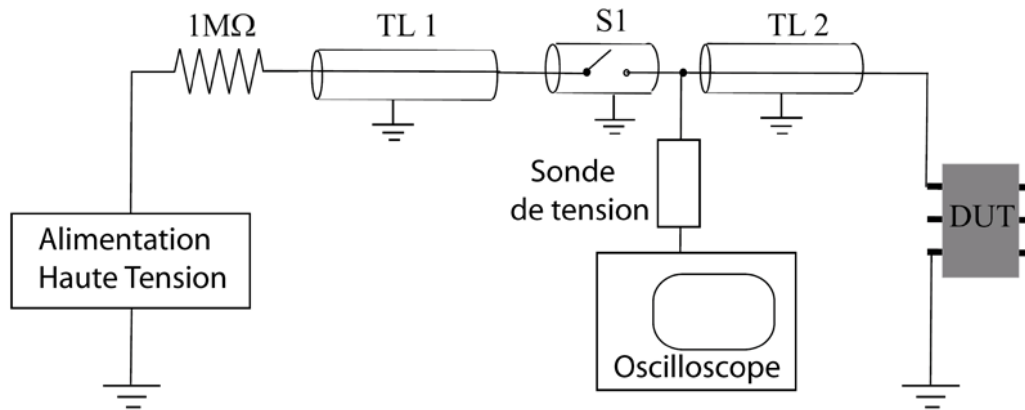


FIG. 1.8 – Schéma électrique du montage vfTLP

Il faut noter cependant qu'il n'est pas envisageable d'obtenir une corrélation entre vfTLP et CDM puisque ce type de décharge est résolument différent. En effet, les chemins de courant ne sont pas les mêmes dans les 2 cas. Lors d'un stress CDM, le courant est évacué par une seule broche, contrairement au vfTLP qui comme le TLP est appliqué au travers de deux broches d'un dispositif. En conséquence, l'application du stress vf-TLP pour étudier le comportement du dispositif sous stress CDM est encore sujet à discussion. Le banc vfTLP apportera seulement des informations sur la dynamique des structures de protection et leur capacité à protéger un circuit contre un stress CDM.

1.2 Nature des défaillances liées à une ESD

Nous venons de le voir, durant une décharge électrostatique, le composant doit évacuer ou conduire plusieurs Ampères en quelques dizaines de nano-secondes voire quelques nano-secondes. Les puissances dissipées peuvent être de plusieurs dizaines de Watts. Il est donc évident que

les décharges électrostatiques sont à l'origine de nombreuses défaillances de composants ou de défauts latents. Nous allons présenter dans la partie suivante les différentes natures des dégradations engendrées par les ESD. Les ESD sont à l'origine de dégradations dans tous les matériaux présents dans un circuit microélectronique tels que les diélectriques, le silicium et les métallisations [23].

1.2.1 Dégradations des oxydes

Les fortes surtensions provoquées par les ESD sont à l'origine de dégradations voire de destructions des diélectriques présents dans les circuits. En effet, les diélectriques sont utilisés comme isolants dans la technologie silicium aussi bien entre les niveaux de métal que pour les grilles en technologie CMOS. Ces oxydes de grilles, étant d'épaisseur très faible que la technologie tend encore à réduire, sont les diélectriques les plus sensibles. Il arrive cependant que les diélectriques isolant deux pistes de métal soient détruits, provoquant dans ce cas un court-circuit entre deux niveaux de métallisation. On le rencontre en particulier en technologie Bipolaire.

Nous allons dans cette partie nous intéresser au cas des diélectriques des grilles des MOS. En effet, nous verrons qu'avant la perte complète de son pouvoir isolant, un diélectrique peut être dégradé et provoquer une défaillance du composant, par exemple, par la modification du V_{th} d'un MOS [24]. Avant toute chose, nous allons définir ce qu'est le claquage d'un diélectrique.

Définition du claquage (ou "breakdown") d'un diélectrique :

Le claquage d'un diélectrique est la perte soudaine de la propriété isolante d'une couche de ce dernier après un stress électrique.

Mécanismes de conduction dans un oxyde

L'étude des courants au travers des oxydes permet de comprendre plus en détail les phénomènes mis en jeu lors de la dégradation de ces derniers. Deux principaux mécanismes de conduction sont à distinguer : la conduction par effet tunnel direct et l'effet tunnel Fowler-Nordheim [25].

La figure 1.9 met en évidence les deux types de transitions qui apparaissent selon la valeur de la courbure de bande de l'isolant par rapport à la hauteur de barrière semiconducteur/isolant Φ_B :

- La transition tunnel directe pour $V_{ox} < \Phi_B$ (figure 1.9 (a)). Dans ce cas, le courant tunnel est dû aux électrons du semiconducteur qui traversent l'oxyde pour atteindre le polysilicium c'est-à-dire qu'ils franchissent une barrière de potentiel trapézoïdale et passent directement du silicium dans le poly-silicium, sans entrer dans la bande de conduction de l'oxyde.
- La transition tunnel Fowler-Nordheim pour $V_{ox} > \Phi_B$ (figure 1.9 (b)). Le champ électrique appliqué est suffisamment intense pour diminuer la largeur effective de la barrière à traverser. Les électrons franchissent une barrière de potentiel triangulaire et se retrouvent alors dans la bande de conduction de l'isolant puis sont entraînés vers le poly-silicium.

Nous pouvons donc distinguer deux modes de transport du courant dans les oxydes, en fonction de leur épaisseur et de la tension appliquée comme illustré figure 1.10 [24].

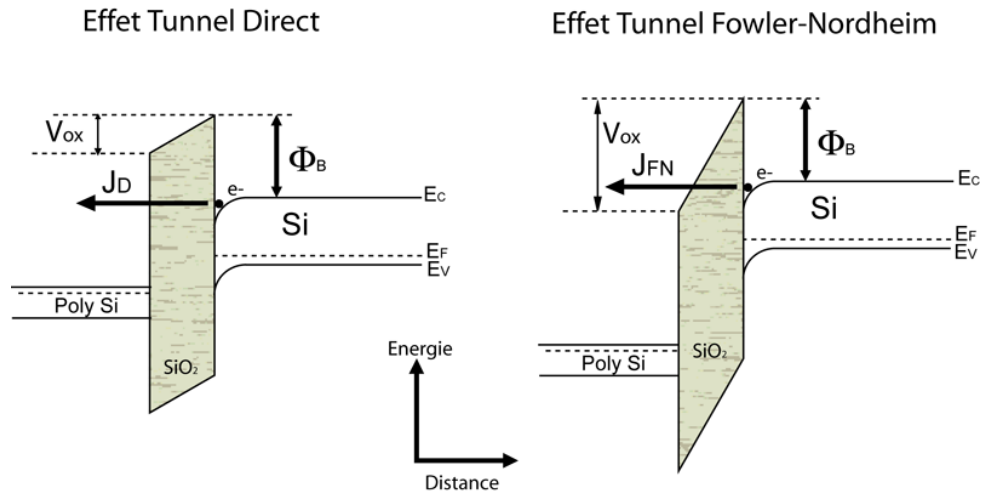


FIG. 1.9 – Diagramme de bandes d'une structure MOS de type P dans le cas d'un courant tunnel direct (a) ou d'un courant tunnel Fowler-Nordheim (b)

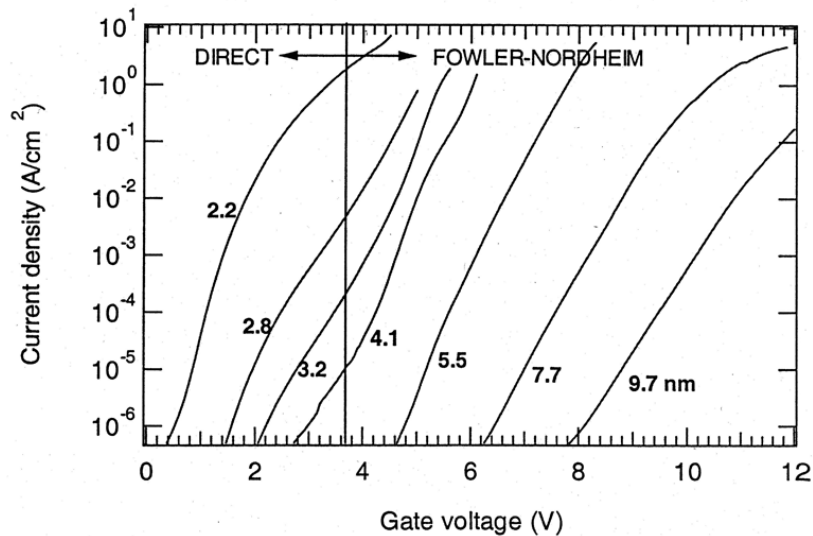


FIG. 1.10 – Modes de transport du courant au travers d'un oxyde

Lors d'un stress ESD, la conduction au travers de l'oxyde se fait plus généralement par effet tunnel Fowler-Nordheim, compte tenu des tensions et des courants mis en jeu. Nous verrons que c'est lors de ce type de conduction que sont créées les dégradations dans les oxydes.

Charges piégées dans les oxydes

Au commencement de l'utilisation de la technologie CMOS, les oxydes étaient de mauvaise qualité. Le problème des charges stockées dans les oxydes était un point très critique. Pour les technologies actuelles et futures, le problème ne vient pas de la qualité des oxydes qui s'est énormément améliorée, mais du piégeage de charges positives ou négatives dans l'oxyde lors d'un *stress électrique* [26, 27] comme les ESD ou par le piégeage par *interaction rayonnement/matière* lié à l'utilisation de circuits microélectroniques dans les environnements hostiles comme l'espace

ou les zones à forte émission de rayonnement. L'étude du piégeage de charges dans les oxydes est donc toujours d'actualité en technologie CMOS. Nous ne présenterons dans ce document que le phénomène de piégeage dû à un stress électrique. En effet, l'injection de porteurs chauds au travers d'un diélectrique provoque des défauts microscopiques, comme des pièges aux interfaces et des centres de génération-recombinaison. De plus, avec la réduction de l'épaisseur des oxydes de grille, le phénomène devient de plus en plus problématique et donc étudié [28]. Les études ont montré que ces défauts avaient pour origine deux mécanismes, la **création de pièges** et **l'ionisation par impact** [29]. Du fait de la grande mobilité des électrons, il est généralement admis que ceux-ci sont très rapidement évacués. La charge piégée est donc de manière générale toujours positive.

– **La création de pièges $E > 2\text{eV}$:**

Le premier mécanisme est causé par la relaxation des atomes d'hydrogène H lorsque des porteurs sont introduits thermiquement dans l'oxyde, par conduction Fowler-Nordheim. En effet, les processus de fabrication des oxydes en technologie CMOS font intervenir des gaz contenant de l'hydrogène, ce dernier est donc présent dans les oxydes. Les atomes d'hydrogène au niveau de l'anode (interface oxyde/si) sont libérés en formant des pièges positifs en réagissant chimiquement avec l'oxyde [30]. Ces derniers vont se déplacer vers la cathode (interface $\text{SiO}_2/\text{polySilicium}$) et créer des pièges neutres pouvant capturer des électrons.

– **L'ionisation par impact $E > 9\text{eV}$:**

Le second mécanisme est la création de défauts générés par l'interaction de trous avec le diélectrique. L'apparition de trous dans l'oxyde a deux origines. Les trous sont créés par ionisation par impact, électrons d'énergie supérieure à 9 eV (énergie de bande interdite de l'oxyde), ou par injection de trous par l'anode, figure 1.11 [24]. Une fois générés, ces trous traversent l'oxyde, happés par le champ électrique. Les trous ayant une mobilité très inférieure à celle des électrons, ils sont moins vite évacués et ont une probabilité plus importante d'interagir avec l'oxyde et former ainsi des défauts ou des pièges [31, 32], soit au niveau des interfaces soit dans le cœur du diélectrique.

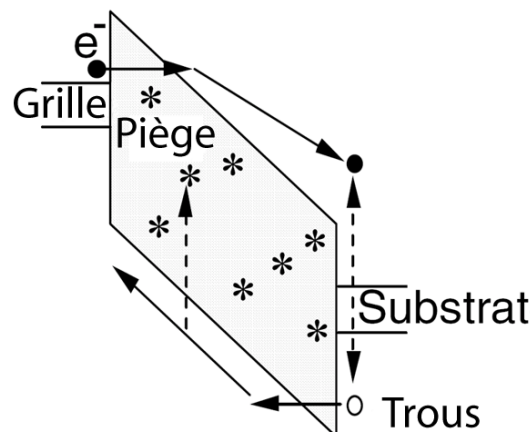
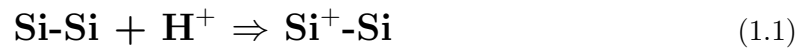


FIG. 1.11 – Injection de trous par l'anode

Au niveau des interfaces Si-SiO₂, les liaisons atomiques sont contraintes, le passage d'un

matériau cristallin à un matériau amorphe provoque la déformation de certains angles de liaison [33]. Lorsqu'un trou vient casser cette liaison, elle se réarrange pour créer soit une liaison pendante soit une liaison faible, qui pourra par la suite devenir un piège neutre à électrons. Par ailleurs, les trous injectés dans le corps du diélectrique réagissent aussi avec la structure atomique de ce dernier. Il a été montré [34] que la structure moléculaire de l'oxyde pouvait présenter des manques d'atome d'oxygène et permettre la capture d'un trou. En effet, cet d'atome d'oxygène manquant crée une liaison Si-Si. Cette dernière peut se rompre et permettre ainsi le piégeage d'une charge positive sur l'un des deux atomes de Silicium. Le deuxième atome de Si reste neutre avec une liaison pendante contenant un électron non apparié. La création de ces deux atomes de Silicium trivalent, qui peut s'interpréter par le piégeage mais aussi le dépiégeage de charges positives, est appelée centre E' [35, 36]. Il est illustré figure 1.12 [35] et par les équations suivantes :



pour le piégeage et



pour le dépiégeage.

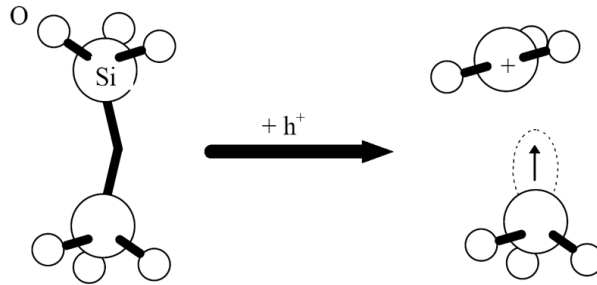


FIG. 1.12 – Création d'un centre E' (piégeage d'un trou)

Cette énumération non exhaustive des différents mécanismes de génération de pièges et de charges dans les diélectriques est basée sur différentes études pour lesquelles la création de charges ou de pièges est consécutive à un stress électrique. La création de charges, lors d'un stress ESD, a été mise en évidence [37].

Effet sur les paramètres électriques

Les défauts, ainsi créés, ont une incidence sur le comportement de certains paramètres électriques directement liés à l'oxyde de grille dans les transistors MOS. Nous allons énumérer ici quelques uns de ces paramètres :

- La modification de la capacité de l'oxyde ainsi que l'augmentation du courant au travers de ce dernier.

Cela est dû aux charges stockées aux interfaces qui abaissent la barrière de potentiel que rencontrent les porteurs libres mais aussi aux charges stockées dans le cœur du diélectrique qui ont une participation importante dans le phénomène de conduction, comme nous allons le détailler dans le paragraphe suivant.

- La dégradation de la mobilité dans le canal, due à l'augmentation des recombinaisons au niveau de l'interface Si/SiO_2 [38].
- La réduction de l'immunité au bruit (inverseur CMOS).
- La réduction de la vitesse de commutation.
- Le blocage en position " on " (abaissement de la tension de seuil du MOS canal N).
- Le blocage en position " off " (augmentation de la tension de seuil du MOS à canal P).
- L'augmentation du courant de drain pour une même polarisation de grille dans les MOS à canal N est la preuve d'une diminution de la tension de seuil [39].

Même si, dans la plupart des cas, ces modifications de paramètres électriques ne remettent pas en cause la fonctionnalité des circuits, ces stigmates peuvent provoquer une défaillance précoce du circuit et donc être assimilés à des défauts latents [40].

Création de sites de conduction dans les oxydes et modèle de claquage

Au début des années 90, Suñé et al. [41], ont présenté un modèle pour rendre compte du phénomène de claquage des oxydes, le "Weakest link breakdown model". Ce modèle est basé sur le principe de la théorie de percolation, il suppose que le piégeage d'un électron dans l'oxyde est aléatoire vis-à-vis de sa position dans le volume du diélectrique. Ces pièges sont définis par leur rayon de capture. Si deux pièges sont à une distance inférieure à 2 fois leur rayon de capture, la conduction est possible par définition.

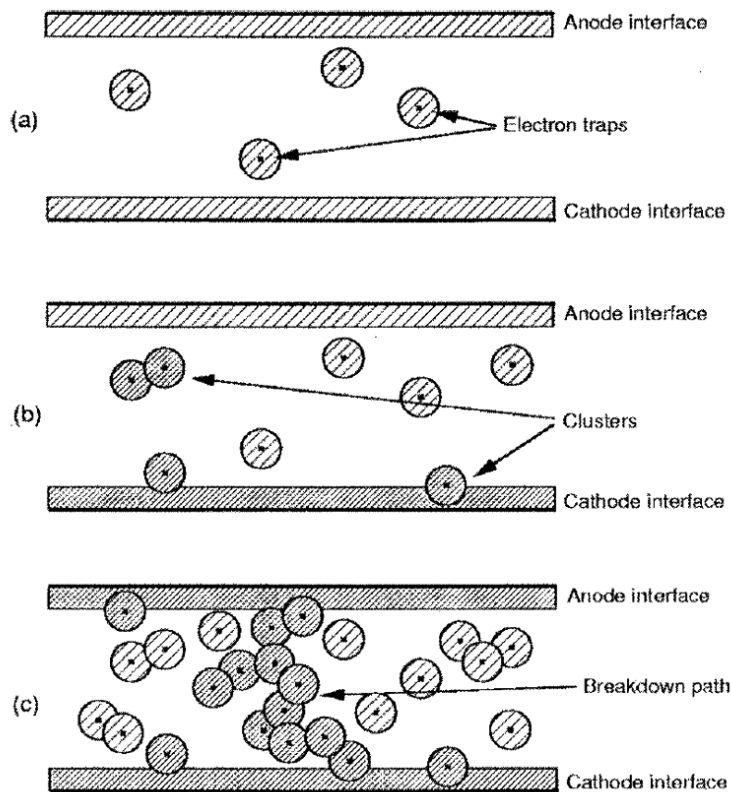


FIG. 1.13 – Illustration du modèle du breakdown par percolation basé sur la génération de pièges et la conduction assistée par les pièges

Lorsque la densité de pièges est suffisante, un chemin de conduction est créé entre les deux

interfaces. Cela définit la condition de claquage (c.f. figure 1.13 [24]) [42]. De bons résultats sont obtenus en simulation en calculant la densité critique de pièges avant claquage [43, 44]. Une fois créé, ce chemin de conduction assisté par pièges conduit la quasi totalité du courant traversant le diélectrique. Cette forte densité de courant provoque un échauffement local suffisant pour induire la fusion du diélectrique au niveau de ce chemin de conduction et créer une dégradation irréversible [45, 46].

Modèles prédictifs de fiabilité

Différents modèles de prédiction de fiabilité des oxydes ont été développés. Ils sont basés sur des modèles de claquage statistique à partir de l'hypothèse de la création d'un chemin de conduction créé par percolation [47]. La notion de "temps jusqu'au claquage" t_{BD} (en anglais *time-to-BreakDown*) est très importante car elle permet de valider les modèles utilisés pour décrire le claquage des oxydes. Il y a des opinions contradictoires sur la dépendance exacte du t_{BD} avec le champ électrique appliqué au diélectrique. Certaines recherches, basées sur le modèle de claquage par injection de trous, proposent que le t_{BD} évolue selon une loi en exponentielle de $1/E_{ox}$ [48]. D'autres trouvent de meilleurs résultats en utilisant un modèle de claquage thermo-chimique qui suit une loi de dépendance en exponentielle de E_{ox} . Récemment, on a proposé une dépendance en Vg pour les oxydes ultra-minces où le transport des électrons est balistique dans l'oxyde [28]. Les dégradations dans les diélectriques liées à un phénomène ESD ont aussi été étudiées [49]. Même si une ESD n'est pas à l'origine du claquage de l'oxyde, les charges piégées durant la décharge provoquent une défaillance prématurée au cours du fonctionnement normal du circuit [50].

1.2.2 Dégradation des jonctions

Nous venons de le voir, lorsqu'un circuit est soumis à une décharge électrostatique, les forts niveaux de courant et de tension qui sont associés à ce phénomène provoquent des dégradations voire des destructions (claquage) dans les oxydes. Dans le silicium, les ESD sont à l'origine de défaillances importantes, en particulier au niveau des jonctions où de forts champs électriques et de fortes densités de courant peuvent être présents. En effet, lors d'une ESD, les structures de protection qui conduisent la majorité du courant fonctionnent principalement grâce au déclenchement de transistors bipolaires auto-polarisés. L'étude approfondie concernant le comportement des transistors bipolaires dans des régimes limites de fonctionnement (densité de courant autour de $10^5 A/cm^2$, comme lors d'une ESD) a été principalement réalisée avant les années 1960 [51]. A l'époque, les transistors étaient utilisés comme composants de commutation de puissance. Les dégradations observées sont essentiellement de type fusion filamentaire du silicium. Nous allons présenter, dans le paragraphe qui suit, le phénomène qui est à l'origine de la création de ce type de défaillance.

Phénomène du second claquage thermique

Plusieurs modèles ont été développés [52] pour rendre compte du phénomène de second claquage (en anglais "second breakdown"). Tous ces modèles tentent d'expliquer la diminution de

la tension aux bornes des transistors et l'apparition d'un filament fondu au travers des jonctions. Tous ces modèles sont basés sur la même idée générale. Lorsqu'une très forte densité de courant est présente dans le silicium, la température augmente. Dans ces régimes de fort courant et de haute température, la moindre instabilité va provoquer un emballement qui amènera à la destruction locale du réseau du semiconducteur. Cette instabilité de type thermique provient de la non-uniformité de la distribution de température dans le composant pouvant être liée à une non uniformité de la densité du courant. Le gain d'un transistor étant une fonction croissante de la température, le courant tend à se focaliser dans les zones de plus haute température [53]. L'augmentation locale de la densité de courant va encore échauffer cette zone et confiner d'autant plus le courant, ce qui à terme conduit au processus de second claquage thermique. En effet, lorsque la température s'élève localement dans le composant au point que la concentration intrinsèque de porteurs n_i dépasse celle des porteurs injectés et se substitue à celle de ces derniers pour assurer la conduction du courant, on assiste à une chute brutale de la tension aux bornes du dispositif et à la concentration du courant dans une zone extrêmement localisée. Ce processus est appelé second claquage thermique. La forte densité de courant provoque des dommages thermiques dans des régions très localisées. Dans le cas où la température dépasse celle de fusion du silicium, de petits volumes de silicium poly-cristallin ou amorphe sont créés lors de la re-solidification. Cette dernière étant rapide, il existe une grande densité de liaisons pendantes et de défauts du réseau cristallin qui agissent comme des états électriques actifs responsables de l'augmentation du courant de fuite de la jonction. La solution de ce problème consiste principalement à disposer un dissipateur thermique sur le composant, en prenant particulièrement soin à l'uniformité de l'évacuation de la chaleur permettant d'éviter les déséquilibres de température. La réalisation de résistance de ballast d'émetteur est également utilisée pour contrôler ce phénomène. Ces défauts dans la jonction se localisent en général en surface du silicium, et souvent juste en dessous d'oxydes de grille. Il est probable que ces défauts aient également une incidence sur l'intégrité de ces oxydes. Il a été montré que la plus forte création d'électrons chauds au niveau du défaut engendre une augmentation de la densité de ces derniers dans l'oxyde et provoque donc une défaillance plus précoce du diélectrique à ce niveau [54].

1.2.3 Dégradation des lignes métalliques

Les fortes densités de courant mises en jeu lors d'un stress ESD, provoquent aussi une dégradation des lignes et des contacts métalliques [55, 56] plus sensibles aux fortes températures que le silicium (T_{fusion} de l'Aluminium = 800K). Il y a plusieurs causes à ces dégradations :

- Électromigration
- Migration au niveau du contact

L'électromigration :

Des dommages attribués à l'électromigration ont été observés lors de l'application du stress ESD [57]. En effet, lorsque le courant dépasse environ $10^6 A/cm^2$ dans une piste métallique, la température augmente par effet joule et il apparaît un déplacement d'atomes dans le métal, qui est en général de l'aluminium. À terme, un circuit ouvert et/ou un court-circuit peut être engendré. Des règles de dessin spécifiques (largeur plus importante) sont utilisées pour les lignes

susceptibles de conduire la décharge ESD.

Migration au niveau du contact :

La migration d'espèces, aussi bien Si qu'Al au niveau des prises de contacts, provoque des dommages dans les circuits intégrés. Lors d'un stress ESD, l'élévation de température au niveau des contacts Si/Al favorise la migration des espèces et engendre des dommages irréversibles, comme la formation d'un "spike" au travers d'une zone de drain par exemple.

1.2.4 Conclusion

Nous venons de faire une liste non exhaustive des défaillances pouvant être générées dans un circuit intégré par un phénomène ESD. Les oxydes aussi bien que le silicium ou les métaux peuvent être dégradés et peuvent provoquer la défaillance du système ou une réduction de sa durée de vie. La détection de ces dégradations est un domaine important de la microélectronique. Plusieurs techniques sont utilisées. Nous allons détailler ici les plus communes.

1.3 Techniques électriques de détection des dégradations

Différentes techniques sont utilisées pour détecter la présence de dégradations, la plus répandue étant la mesure du courant de fuite ou de consommation. La mesure des paramètres S ou du bruit basse fréquence (BF) est souvent employée comme outil de mesure de la qualité des composants. Il est important de distinguer le domaine d'application des différentes techniques de détection. On peut les classer en 2 grands groupes :

1. Les techniques de détection au niveau de structures simples (transistors, structure de protection ESD ...)
2. Les techniques de détection au niveau des circuits (Inverseur, processeur ...)

Au niveau des structures simples (les transistors ou les diodes), la détection de défauts ne manque pas d'outils. La simple mesure des paramètres électriques relatifs aux transistors, ou la mesure du courant I_s des diodes, permet la détection de dégradations. Nous avons vu qu'en technologie CMOS, la qualité de l'oxyde, c'est-à-dire son pouvoir diélectrique, a une incidence importante sur le comportement des MOS. Il est donc tout à fait compréhensible qu'une majorité des techniques utilisées pour la détection des dégradations soit focalisée sur la caractérisation des oxydes : le SILC (Stress Induced Leakage Current), $C(V)$ [24] ... L'utilisation des mesures du bruit basse fréquence et des paramètres S permet de caractériser les transistors voire les circuits et de détecter d'éventuels défauts.

Au niveau des circuits complets, les mesures du courant de fuite et de consommation (I_{ddq} ("quiescent power supply current") et I_{ddt} ("transient power supply current") sont utilisées pour déceler la présence de défauts. La diminution des dimensions lithographiques corrélée à l'augmentation des dopages dans les nouvelles technologies provoquent une augmentation globale des courants de fuite des circuits intégrés, comme le montre le graphe 1.14 [58]. Cette augmentation pose beaucoup de problèmes, non seulement parce qu'elle engendre une augmentation de la puissance dissipée dans le circuit qu'il faut évacuer et fournir, mais aussi parce que les mesures des courants de fuite et de consommation pour la détection des dégradations sont évidemment

de moins en moins sensibles. En effet, si le courant de repos d'un circuit complet est de l'ordre de la centaine de μA , les défauts ne ramenant qu'une augmentation de quelques centaines de nA seront masqués par la consommation globale du circuit.

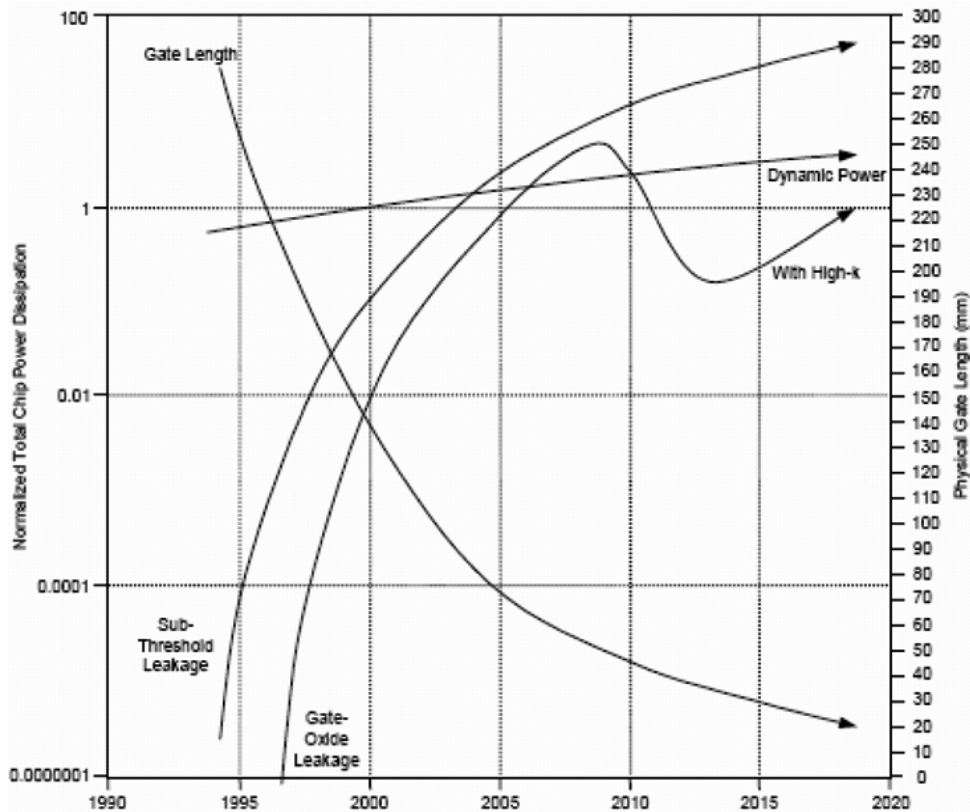


FIG. 1.14 – Evolution future des courants de fuite dans les circuits microélectroniques

Il sera donc de plus en plus difficile de déceler la présence d'un défaut n'engendrant pas de dysfonctionnement du système mais réduisant sa durée de vie, dans les circuits de nouvelle génération. La maîtrise de la durée de vie, et donc de la fiabilité, des circuits sera de plus en plus difficile. La recherche de nouvelles techniques de détection est donc primordiale, en particulier dans le domaine des circuits nécessitant une haute fiabilité, comme l'automobile ou le spatial. Les mesures de bruit basse fréquence et de paramètres S utilisées depuis de nombreuses années dans le domaine RF semblent être de bonnes candidates. En effet, elles sont peu ou pas sensibles au niveau du courant consommé lors des mesures. Les paramètres S, par exemple, ont montré leur efficacité pour la détection de défauts ESD dans des circuits tels que des amplificateurs faible bruit [59]. Ils ont également été utilisés pour la détection de défauts générés par ESD, dans des structures de protection [60]. Nous avons, au cours de cette thèse, utilisé ces techniques RF pour la détection de défauts latents dans des structures simples et ensuite dans des circuits silicium. Ces résultats sont présentés dans le chapitre 3.

Dans ce paragraphe, nous allons présenter les techniques de détection usuellement employées. Nous commencerons par celles dédiées aux oxydes et en particulier à la caractérisation des charges piégées. Nous présenterons brièvement les mesures de courant de fuite et de courant de consommation puis les techniques issues du domaine de la RF : les paramètres S et le bruit

basse fréquence. Dans une dernière partie, nous discuterons des avantages et des inconvénients de chaque technique et leur domaine d'application.

1.3.1 Outils de caractérisation des oxydes

SILC (Stress Induced Leakage Current)

Nous avons décrit dans la partie précédente 1.2.1, la conduction au travers d'un oxyde. Ce courant est modifié si l'oxyde a des défauts comme des pièges ou des charges, c'est ce que l'on appelle le SILC. Différents modèles proposent de rendre compte des mécanismes de conduction mis en jeu lors du SILC, tel l'abaissement de la barrière de potentiel, l'effet tunnel assisté par les pièges [61, 62]. Le SILC étant très sensible à beaucoup de paramètres, il est un bon indicateur de l'état des oxydes. Un recuit à haute température permet de réduire le SILC. Le dépiégeage des charges est à l'origine de ce phénomène, mais il ne permet pas de revenir au courant d'origine. Cela signifie qu'un oxyde ne sera jamais complètement "guéri". La nature de l'oxyde influence aussi le SILC. En effet, un oxyde créé en atmosphère humide sera plus sensible au SILC qu'un oxyde créé en atmosphère sèche, de même pour les oxydes nitrurés. L'évolution du SILC en fonction des charges injectées dans l'oxyde suit une loi de puissance (en anglais "Power Law") avec une pente d'environ 1/2 [63]. Certains modèles permettent de calculer grâce à des mesures complémentaires la position et la densité des charges dans l'oxyde [64]. De plus, la mesure SILC est un bon indicateur pour la prédiction de la durée de vie de l'oxyde. En effet, elle est reliée à la charge au claquage (en anglais "charge to breakdown") Q_{DB} et au "temps jusqu'au claquage" t_{DB} [65].

Évolution de la caractéristique C(V)

L'évolution de la caractéristique C(V) d'un oxyde de grille dans le cas d'un MOS peut nous renseigner sur les dégradations induites par un stress électrique. En effet, le piégeage de charges ou la création de pièges dans l'oxyde ou aux interfaces modifie la capacité drain/grille ou substrat/grille. Les modifications de la caractéristique C(V) dans les basses et hautes fréquences permet de calculer la capacité d'interface. Grâce à cette dernière, il est possible de retrouver la densité de pièges à l'interface [50] :

$$C_{it} = (1/C_{LF} - 1/C_{ox})^{-1} - (1/C_{HF} - 1/C_{ox})^{-1} \quad (1.3)$$

$$D_{it} = \frac{C_{it}}{Aq} \quad (1.4)$$

où C_{it} est la capacité d'interface, C_{LF} la capacité basse fréquence, C_{HF} la capacité haute fréquence, C_{ox} la capacité de l'oxyde, D_{it} la densité de pièges à l'interface, A l'aire du diélectrique, q la charge de l'électron.

Des études ont montré que la caractéristique C(V) permet d'extraire différents paramètres tels que le dopage du substrat, la tension de bande plate et l'épaisseur de l'oxyde en utilisant la fonction de Maserjian Y(Vg) [66]. Il est possible en utilisant la variation de la tension de bande

plate d'extraire la quantité de pièges dans l'oxyde :

$$Q_{Trap} = \Delta \cdot V_{FB} C_{FB} \quad (1.5)$$

où Q_{Trap} est la charge totale stockée, V_{FB} la tension de bande plate, C_{FB} la capacité de bande plate.

1.3.2 Caractéristiques électriques des transistors

Les pièges créés lors d'un stress ont une incidence sur le comportement de certains paramètres électriques liés à l'oxyde. Dans le cas d'étude d'un MOS, nous avons vu que l'utilisation du SILC et de la mesure C(V) permettent de détecter des défauts dans les oxydes. On peut rajouter à cette liste la mesure du V_{th} . En effet, les charges piégées dans l'oxyde ou à l'interface SiO_2/Si induisent un champ électrique qui, même à une tension de grille nulle, provoque la formation d'une zone d'inversion et une formation plus précoce du canal. Cela a une incidence sur la valeur de la transconductance [67].

1.3.3 Courant de fuite (I_{DDq}) et de consommation (I_{DDt})

La mesure du courant de fuite (I_{DDq}) du circuit est la méthode de détection la plus utilisée. Elle consiste à polariser le circuit dans le mode pour lequel il consomme le moins. L'évolution de ce faible courant renseigne sur la présence de défauts dans le circuit. Comme nous l'avons vu cette technique sera bientôt inutilisable du fait de l'augmentation du niveau global des courants de fuite dans les circuits. La technique de mesure I_{DDt} consiste à mesurer l'évolution de courant de consommation des circuits. La différence avec la mesure du courant I_{DDq} , vient du fait que le circuit n'est plus en mode de consommation minimale, mais en fonctionnement normal. Les sur-consommations ou les différences dans le comportement temporel du courant I_{DDt} permettent de détecter la présence de défauts [68].

1.3.4 Paramètres S

Les paramètres S sont utilisés en RF pour étudier le comportement du composant à haute fréquence et extraire des modèles [69]. Ils permettent l'extraction de paramètres électriques comme la capacité de grille. Dans le cas de MOS ayant des capacités faibles, cette technique est plus sensible que la mesure "classique" C(V) [70]. Ils sont aussi plus sensibles dans certains cas pour détecter des défauts latents par rapport aux caractéristiques DC. Toutes ces raisons ont conduit les scientifiques à proposer l'utilisation des paramètres S dans l'étude des répercussions électriques des ESD sur les composants [60]. Cette méthode ne pourra pas être utilisée dans le cas de circuits complexes et est réservée aux études sur des structures simples ou des circuits RF (LNA : low noise amplifier) [59].

1.3.5 Bruit basse fréquence (BF)

La définition du bruit électrique selon le dictionnaire IEEE ("Institut of Electrical and Electronics Engineers") décrit le bruit BF comme l'ensemble de toutes les perturbations indésirables qui se superposent au signal utile et qui ont tendance à masquer son contenu (c.f. figure 1.15). Or la mesure de cette "perturbation" permet aujourd'hui, par l'étude de son comportement fréquentiel, d'apporter énormément d'informations.

Dans un dispositif semiconducteur, tout bruit électrique se manifeste sous forme de fluctuations aléatoires et spontanées de la tension et (ou) du courant provoquées par divers processus physiques. Ce bruit peut être observé dans le domaine fréquentiel, et en particulier dans le domaine des basses fréquences (inférieures à 1MHz). En effet, le bruit électrique dans les composants semiconducteurs présente des propriétés spectrales spécifiques. En localisant les diverses sources de bruit, il est possible d'avoir des informations sur les défauts physiques des composants ou des matériaux [71] afin d'optimiser la technologie de fabrication ou détecter la présence de dégradations. Avant de présenter les comportements fréquentiels des différentes sources de bruit rencontrées dans les semiconducteurs, nous allons commencer par un rappel du formalisme mathématique utilisé pour les représenter [72].

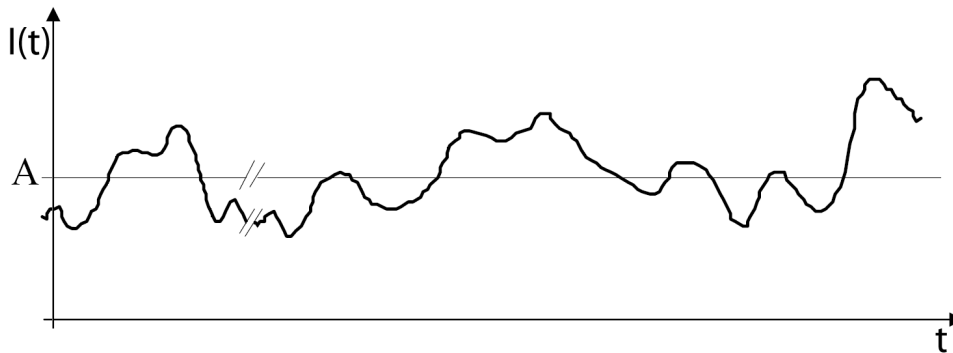


FIG. 1.15 – *Fluctuations de courant $I(t)$ autour de sa valeur moyenne*

Formalisme mathématique

La particularité du bruit est "qu'il ne peut être décrit par des relations explicites dépendantes du temps et que son amplitude ne peut donc être prévue". Par contre, il est possible de définir ses propriétés statistiques. Ainsi, considérons un courant de bruit $i(t)$ présentant des fluctuations aléatoires et spontanées supposées stationnaires et ergodiques. Nous pouvons tout d'abord le caractériser par sa fonction d'autocorrélation $\Gamma_i(s)$ définie par l'équation suivante :

$$\Gamma_i(s) = \overline{i(t) \cdot i(t+s)} \quad (1.6)$$

où le symbole " $\overline{\quad}$ " représente une moyenne temporelle de la fonction et " s " un intervalle de temps arbitraire. Cette représentation, dans le domaine temporel, n'est pas facilement utilisable en pratique, mais elle permet d'accéder à une représentation dans le domaine fréquentiel par

l'intermédiaire de la densité spectrale $S_i(f)$ donnée par l'équation :

$$S_i(f) = \int_{-\infty}^{+\infty} \Gamma_i(s).e^{-ifs}.ds \quad (1.7)$$

Connaissant $S_i(f)$, on peut en déduire la valeur quadratique moyenne du signal entre deux fréquences f_1 et f_2 qui s'exprime par :

$$\overline{i^2(t)} = \int_{f_1}^{f_2} S_i(f).df \quad (1.8)$$

Si l'intervalle de fréquence Δf est choisi suffisamment petit de sorte que la densité spectrale puisse être considérée comme constante dans l'intervalle de fréquence $\Delta f = f_2 - f_1$ alors l'équation précédente devient :

$$\overline{i^2(t)} = S_i(f).\Delta f \quad (1.9)$$

Dans une bande de 1 Hz, la valeur quadratique moyenne du signal $i(t)$ à la fréquence f est, dans ce cas, équivalente à la densité spectrale à la fréquence f de ce courant $i(t)$. En résumé, $i(t)$ représente le courant de bruit généré dans l'échantillon et $S_i(f)$ la densité spectrale en puissance de bruit aux bornes de l'échantillon autour de la fréquence d'analyse. Le bruit BF dans les composants semiconducteurs peut avoir différentes origines et a donc différents comportements en fréquence.

Différentes sources de bruit dans un semiconducteur

Parmi les sources de bruit, nous distinguons dans un premier temps les sources de bruit dites irréductibles et dans un second temps les sources de bruit dites réductibles que sont les sources de bruit en excès. Nous allons présenter ces diverses sources de bruit en détail dans les paragraphes qui suivent.

Bruit de diffusion Dans un dispositif semiconducteur, les interactions des électrons libres avec les particules de réseau cristallin provoquent des fluctuations aléatoires et spontanées du mouvement des électrons (fluctuation de la mobilité des porteurs). Ces fluctuations appelées "bruit de diffusion" existent même en l'absence de champ électrique appliqué au semiconducteur [73]. Ce bruit est donc considéré comme étant le bruit minimum généré par un échantillon parfait et reste équivalent au bruit thermique en présence de champ électrique tant que la mobilité des porteurs obéit à la relation d'Einstein.

$$\frac{D_0}{\mu_0} = \frac{kT}{q} \quad (1.10)$$

Dans ces conditions, la densité spectrale en courant S_{i_D} du bruit thermique d'un cristal semiconducteur porté à la température T s'écrit :

$$S_{i_D}(f) = 4kT\Re(Y) \quad (1.11)$$

où $\Re(Y)$ représente la partie réelle de l'admittance du cristal et k la constante de Boltzman ($k = 1,38.10^{-23} J.K^{-1}.mol^{-1}$). En conclusion, le bruit de diffusion représente un processus plus général que le bruit thermique. Néanmoins, lorsque la relation d'Einstein (ou la loi d'Ohm) est vérifiée, le bruit de diffusion se ramène au bruit thermique.

Bruit de grenaille Historiquement, en 1918, Walter Schottky montra que le courant d'un tube à vide était affecté d'un bruit provenant de deux origines : le bruit thermique dont la puissance est proportionnelle à la température et inversement proportionnelle à la résistance électrique du dispositif : $S_{I_1} = 4kT/R$ (Nyquist Noise), et le bruit de grenaille proportionnel au courant électrique moyen et à la charge quantifiée q des porteurs ($q = 1,6.10^{-19}C$) : $S_{I_2} = 2qI$. Tandis que la première cause de bruit, purement thermodynamique, ne fait pas intervenir la nature du transport électronique, le bruit de grenaille n'existe que lorsque le courant électrique est collecté sous la forme d'une quantité aléatoire dans le temps. Cette source de bruit est appelée "Shot noise" en anglais. Dans les dispositifs semiconducteurs, elle résulte du passage des porteurs à travers une barrière de potentiel, du type de celle induite par la présence d'une jonction. L'expression de sa densité spectrale s'écrit :

$$S_{i_G} = 4kT\Re(Y) - 2qI \quad (1.12)$$

où I est le courant traversant la jonction et Y l'admittance de cette jonction. Remarquons que pour une jonction idéale où $\Re(Y) = qI/kT$, la relation devient alors :

$$S_{i_G} = 2qI \quad (1.13)$$

Bruit d'avalanche Lorsqu'une jonction est polarisée en inverse, la création d'une zone dépeuplée dans laquelle le champ électrique est intense induit une accélération des porteurs. Les porteurs acquièrent assez d'énergie pour générer une ou plusieurs paires électron-trou par collision avec les noeuds du réseau cristallin. Cette multiplication des porteurs est à l'origine du bruit d'avalanche [74]. En adoptant quelques hypothèses simplificatrices, l'expression de la densité spectrale de bruit d'avalanche peut s'écrire :

$$S_{i_A} = 2qIM^\alpha \quad (1.14)$$

où M est le facteur de multiplication et α compris entre 2 et 3.

Nous constatons que S_{i_G} , S_{i_D} , et S_{i_A} sont indépendantes de la fréquence ce qui permet de parler de bruit blanc. Le bruit minimum observable dans un composant semiconducteur,

associant une ou des jonctions à des régions résistives, résulte de la composition de ces deux types de bruit. Toutefois, le bruit effectif lui est en général supérieur en basse fréquence en raison de l'existence d'une ou plusieurs sources de bruit supplémentaires souvent appelées bruits en excès.

Bruit en excès Les bruits en excès se divisent en deux grands domaines. D'une part, le bruit de génération recombinaison (G-R), associé aux processus de génération et de recombinaison de porteurs, est spécifique aux composants semiconducteurs. D'autre part, le bruit de scintillation ou en $1/f$, très répandu dans la nature en général, est particulièrement présent dans les semiconducteurs et possède des origines variées et pas toujours bien établies.

Bruit de génération-recombinaison Il s'agit d'un processus spécifique aux matériaux semiconducteurs caractéristique de la qualité cristallographique du matériau. Il est lié à la présence de défauts dans le semiconducteur qui se traduit par l'existence d'un niveau d'énergie dont les fluctuations du taux d'occupation au cours du temps entraînent celle du nombre de porteurs libres du réseau. Trois processus peuvent être à l'origine de ces fluctuations :

- une capture successive d'électrons de la bande de conduction et de trous de la bande de valence : ce défaut est appelé centre de recombinaison.
- une émission successive d'électrons et de trous dans la bande de conduction et de valence : ce défaut est appelé centre de génération.
- émission et capture alternative d'un même type de porteurs : ce défaut est appelé piège à électrons ou piège à trous. Ce phénomène étant le plus couramment rencontré dans les dispositifs semiconducteurs, nous allons donner l'expression de la constante de temps ainsi que l'expression de la densité spectrale. Plus de détails sont présentés dans la thèse de R. Plana [72].

La constante de temps associée au processus de piégeage et dépiégeage pour un semiconducteur faiblement dopé ou pour un piège situé en zone dépeuplée, est égale à :

$$\tau = \frac{1}{\sigma_n \bar{v}_{th} N_c} \exp\left(\frac{E_c - E_t}{kT}\right) \quad (1.15)$$

où le terme $E_c - E_t$ représente l'énergie d'activation du piège considéré (l'écart entre son niveau d'énergie E_t par rapport à celui de la bande de conduction E_c), σ_n sa section efficace de capture, N_c et \bar{v}_{th} respectivement la densité d'états de la bande de conduction et la vitesse thermique des électrons. La densité spectrale de ce bruit s'exprime ainsi par :

$$S_i(f) = \frac{4I^2}{(nV)^2} \frac{\Delta N^2}{1 + \omega^2 \tau^2} \quad (1.16)$$

où V est le volume du semiconducteur, n la densité de porteurs de charges et I la valeur moyenne du courant qui le traverse et τ la constante de temps associée au centre de génération recombinaison. Dans cette expression de la densité spectrale du bruit en courant, des propriétés fondamentales du bruit (GR) apparaissent et nous pouvons les résumer comme suit :

- son amplitude, à courant constant, est inversement proportionnelle au volume V du semiconducteur considéré.

- elle est maximale lorsque le niveau de Fermi est proche du niveau piège.
- elle est proportionnelle au carré du courant traversant le dispositif,
- ses évolutions fréquentielles sont celles d'un spectre lorentzien caractérisé par un plateau pour des fréquences telles que $\omega t \ll 1$ et par une décroissance en $1/f^2$ à partir de $f = 1/2\pi\tau$.

Pour qu'un bruit de G-R soit observable, c'est-à-dire non masqué par d'autres sources de bruit, deux conditions sont à remplir. La première est que la fréquence de coupure du processus ne soit pas trop inférieure à la fréquence minimale d'observation et la seconde est que le plateau de bruit G-R ait une amplitude suffisante. L'expression 1.15 montre que la constante de temps du piège est dépendante de la température (par l'intermédiaire de $\overline{v_{th}}$ et N_c), ainsi l'évolution de cette dernière en fonction de la température permet une identification complète du processus de capture. Dans le cas de piège à l'interface de deux régions de niveaux de Fermi différents, si ce dernier a une énergie d'activation comprise entre les deux niveaux de Fermi, il existera un lieu où le niveau de Fermi va coïncider avec l'énergie d'activation et générer un bruit important à cet endroit. Notons enfin, qu'il faut que la modification de l'état de charge du piège induise une fluctuation de courant observable, c'est-à-dire que le piège se trouve dans la région active.

On peut noter le cas particulier d'un seul centre recombinant. Ce bruit est appelé bruit RTS pour Random Telegraph Signal ou encore bruit du télégraphiste. Le courant fluctue entre deux valeurs. Les études du bruit RTS dans les transistors MOS ont montré qu'il était lié à une fluctuation des porteurs due, dans le cas d'un courant de drain, à la capture et l'émission de porteurs par les pièges présents à l'interface Si/SiO_2 [75]. D'autres études proposent d'étudier le bruit RTS associé au courant qui traverse un oxyde. Ces dernières montrent que le bruit RTS est lié à l'ouverture et à la fermeture de chemin de conduction dans l'oxyde [76].

Bruit de scintillation ou en $1/f$ Il se caractérise par le fait que la puissance de bruit dans la bande de fréquences d'observation est sensiblement inversement proportionnelle à la fréquence d'analyse, d'où sa dénomination de bruit en $1/f$. L'origine de ces variations est controversée, deux hypothèses ressortent néanmoins :

- La première exprime l'idée que le bruit en $1/f$ est lié par les fluctuations du nombre de porteurs, dues à des processus de génération recombinaison (GR) sur plusieurs pièges simultanément. Ce type de fluctuations rentre essentiellement dans la catégorie des bruits de surface ou d'interface : *Modèle de MacWorther*.
- La seconde hypothèse, largement phénoménologique, consiste à dire que le bruit en $1/f$ est généré, non plus par des fluctuations du nombre des porteurs, mais par des fluctuations de leur mobilité liées aux collisions électron-phonon. Il s'agit alors d'un type de bruit en volume [77] et qui serait irréductible puisque lié à la nature même du transport des charges : *Modèle de Hooge*

Dans un premier cas, on parle souvent de "bruit en $1/f$ de surface" tandis que dans le second de "bruit en $1/f$ de volume". On admet souvent [78] que les deux types de fluctuations peuvent coexister. La densité spectrale peut s'écrire avec la formule générale suivante :

$$S_i(f) = \frac{k}{Nf^\gamma} I^\beta \quad (1.17)$$

où k est une constante, γ est compris entre 0,8 et 1,2 et β entre 1 et 2. Quelle que soit l'origine du bruit en $1/f$, il est directement dépendant du nombre de porteurs libres participant à la conduction dans le matériau semiconducteur.

De manière générale, l'amplitude diminue avec la fréquence. De ce fait, son étude est pertinente pour des fréquences le plus souvent inférieures à 1 MHz car, au-delà, les composantes de bruit irréductibles (bruit de diffusion ou thermique et bruit de grenaille) prédominent devant le bruit en excès, comme nous l'avons représenté sur la figure 1.16.

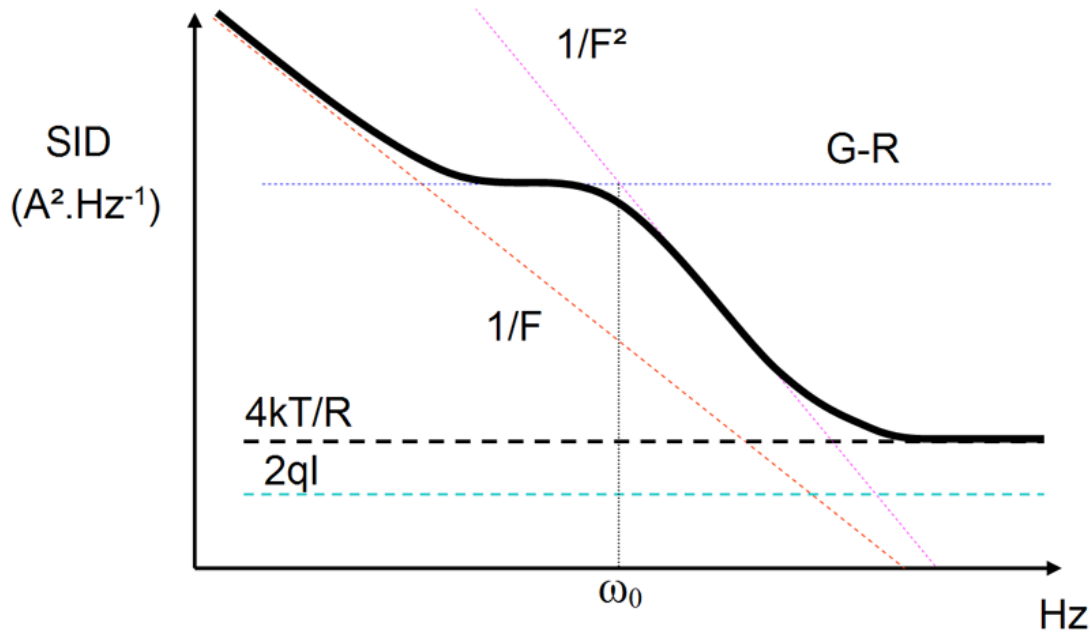


FIG. 1.16 – Différentes sources de bruit pouvant exister dans un composant

Utilisation du bruit BF pour la détection des défauts latents

Comme nous venons de le voir, le bruit BF est un bon indicateur de l'état ou de la qualité du semiconducteur. Il peut donc être utilisé pour détecter la présence de défauts latents. Il est couramment utilisé à cette fin pour différentes technologies [79, 80, 81]. La densité spectrale du bruit basse fréquence est certes dépendante du niveau de courant dans la structure (bruit de grenaille, bruit de G-R et bruit en $1/f$), elle est aussi sensible à d'autres paramètres physiques en particulier le bruit de G-R. L'apparition d'un défaut n'engendrant qu'une faible augmentation du courant de fuite dans une structure ayant déjà un courant de fuite important pourrait tout de même être détectée par la mesure du bruit basse fréquence.

1.3.6 Avantages et inconvénients des différentes techniques

En conclusion, nous allons faire un tour d'horizon des différentes méthodes de détection électrique de défauts latents dans les composants semiconducteurs. Nous allons plus particulièrement nous attarder sur les méthodes qui pourraient être utilisées afin de détecter des défauts latents dans des circuits intégrés complets autres que la mesure du courant de fuite. En effet, cette dernière sera de moins en moins efficace (augmentation globale de la valeur du courant de fuite dans les nouvelles technologies). Au niveau d'une structure élémentaire (MOS, diodes), la

mesure du courant de fuite ou l'évolution des paramètres électriques restent les plus utilisées, aussi bien dans le cas de charges piégées dans les oxydes (MOS) que dans le cas de filaments dans les jonctions (diodes). Même si, dans le cas des courants de fuite, ce sont des mesures à très faible courant, elles restent simples à mettre en place même directement sur plaquette de silicium. Les mesures de bruit basse fréquence sont certes plus sensibles, mais plus difficiles à mettre en oeuvre. Lors des mesures, il est nécessaire de se placer dans une cage de Faraday pour s'affranchir des sources de bruit extérieures. Les mesures directes sur plaquette de silicium nécessitent un accès 3 pointes (masse/signal/masse) pour éviter les effets d'antenne. Pour les mesures des paramètres S, il est important de bien calibrer l'appareil de mesure et de réduire au maximum toutes les longueurs de câbles. Au niveau du circuit, les techniques issues de la RF pourront être utilisées pour la détection de défauts latents. La mesure du bruit BF en particulier semble être la plus intéressante car elle est sensible à l'apparition des défauts et moins contraignante à mettre en place pour des composants en boîtier. Le chapitre 3 présentera les mesures électriques que nous avons mises en place pour détecter des défauts latents, d'abord au niveau d'une structure de protection ESD puis sur des circuits plus complexes.

Lorsqu'un défaut est décelé dans un circuit microélectronique, l'étape suivante dans une analyse de défaillance consiste à localiser ce défaut. Pour cela, de nombreuses techniques sont utilisées. Nous allons dans la partie suivante présenter rapidement quelques-unes de ces techniques que nous avons utilisées lors de nos études.

1.4 Techniques de localisation de défaillance

Nous nous concentrerons ici essentiellement sur les techniques de localisation. Nous commencerons par présenter la microscopie à émission de lumière ou photoémission (EMMI) qui est la plus ancienne technique de localisation de défaillance. Puis nous introduirons les techniques de stimulation LASER (thermique (OBIRCH) ou photoélectrique (OBIC)) et terminerons ce chapitre par la technique d'Emission de lumière Dynamique ou Imagerie picoSeconde (PICA).

1.4.1 La microscopie à émission de lumière : EMMI

Cette technique est basée sur la détection de photons associés aux phénomènes physiques dans diverses parties du composant. Deux grandes familles de photons peuvent être distinguées :

- Les photons générés par des collisions de porteurs accélérés par un champ électrique
 - Fuite dans une diode en inverse
 - Diode en inverse (à l'avalanche)
 - Transistor bipolaire : régime non saturé
 - Fuite dans les oxydes
 - Transistor MOS en saturation
- Les photons générés par la recombinaison radiative de paires électron-trou
 - Diode en direct
 - Transistor bipolaire : mode saturé
 - Thyristor à l'état passant et latch-up

Cette technique de localisation est bien adaptée aux défauts créés par les décharges électrostatiques [82]. Elle permet de localiser rapidement le lieu de défaillance et de déterminer l'endroit

où une analyse de défaillance plus poussée doit être réalisée.

Pour localiser le(s) défaut(s), le composant est polarisé dans une configuration défailante et placé sous un microscope équipé d'une caméra spécifique pour la photoémission. Pour améliorer l'efficacité de cette technique, on peut augmenter la tension de polarisation, au risque cependant de faire évoluer la nature ou la taille du défaut. Cette technique, lorsqu'elle est couplée à un générateur d'impulsions TLP, permet d'observer le comportement d'un composant de protection [83], donnant ainsi une information complémentaire sur son fonctionnement à divers niveaux de courant. Pour obtenir un contraste suffisant, l'impulsion TLP doit être répétée à une fréquence qui est généralement de l'ordre de 10 Hz, pendant une durée de quelques minutes (1 à 10 min), afin que la caméra de photoémission accumule un nombre suffisant de photons.

Il faut remarquer que nous n'avons pas ici d'information temporelle, puisque les photons sont intégrés tout au long de la durée de capture.

1.4.2 Les techniques de stimulation LASER

De nombreuses méthodes de localisation de défauts internes ont été développées ces dernières années, notamment les techniques basées sur la microscopie optique à balayage utilisant des lasers infrarouges. Parmi celles-ci, les méthodes utilisant un laser comme source de perturbation ont connu un succès remarquable. L'énergie déposée étant suffisamment faible pour ne pas dégrader le circuit, on qualifie ces techniques de non destructives. Le faisceau laser interagit localement avec les différents matériaux qui constituent le circuit intégré. Deux effets induits par la photoexcitation sont principalement exploités :

1. l'échauffement (effet photothermique) : Stimulation thermique LASER (STL)
2. la génération de paires électron-trou par absorption de photons (effet photoélectrique) : Stimulation photoélectrique LASER (SPL)

La longueur d'onde du LASER utilisé permet de déterminer la nature de l'excitation obtenue. Le minimum d'absorption lumineuse du silicium se situe à une longueur d'onde de $1,1 \mu\text{m}$. Les longueurs d'onde supérieures à $1,1 \mu\text{m}$ correspondent à des photons d'énergie inférieure au gap du silicium qui sont principalement absorbés par les porteurs libres. Ces porteurs se thermalisent et l'énergie optique est donc convertie principalement en énergie thermique. Pour des longueurs d'onde inférieures à $1,1 \mu\text{m}$, l'absorption est liée au phénomène de génération interbande. L'énergie optique est donc principalement convertie en porteurs libres. Le choix de la longueur d'onde pour la stimulation thermique et photoélectrique repose sur le compromis entre la profondeur d'absorption recherchée et la quantité d'énergie déposée. Les longueurs d'onde proches de $1,1 \mu\text{m}$ sont peu absorbées mais pénètrent profondément dans le substrat. Le choix est également limité par les possibilités des lasers disponibles. Des longueurs d'onde de l'ordre de $1,3 \mu\text{m}$ sont généralement utilisées pour la stimulation thermique alors que la génération photoélectrique ou photogénération est réalisée avec des longueurs d'onde autour de 800 nm.

La stimulation thermique LASER (STL)

Les techniques de Stimulation Thermique Laser semblent adaptées à la localisation de défauts résistifs. Les différentes techniques de stimulation thermique LASER sont les suivantes :

OBIRCH pour Optical Beam Induced Resistance Change, TIVA pour Thermally Induced Voltage Alteration et SEI pour Seebeck Effect Imaging. Ces différentes techniques sont toutes basées sur le même principe. Un LASER de longueur d'onde de l'ordre de $1,3 \mu\text{m}$ va échauffer localement le circuit étudié. La mesure du courant (OBIRCH) ou de la tension (TIVA) à ses bornes en fonction de la position du LASER permet de faire une cartographie des variations mesurées. La présence d'un défaut générera une différence de signature et permettra sa localisation. Pour les techniques OBIRCH et TIVA, le circuit est polarisé, alors que dans le cas de la technique SEI, le circuit ne l'est pas. Les variations de tension mesurées dans ce cas ont pour origine l'effet Seebeck ou thermocouple : un échauffement au niveau de deux matériaux différents induit des gradients de potentiel. Cette dernière technique a pour avantage de ne pas aggraver ou modifier la nature du défaut lors de l'analyse, puisqu'aucune polarisation n'est appliquée à ses bornes. Ces techniques permettent de localiser très efficacement des défauts induisant des courants de l'ordre du micro-Ampère, difficilement détectable par la technique de photoémission. Les défauts induisant des courants inférieurs au μA restent cependant difficilement détectables. L'évolution de ces techniques s'est orientée, ces dernières années, vers des applications sur circuits intégrés en fonctionnement dynamique. Le circuit est donc placé dans un mode de fonctionnement dynamique (et non pas de "standby"), et ses caractéristiques de sortie sont mesurées. L'influence du LASER sur ces caractéristiques donne des informations sur la présence de défauts.

La stimulation photoélectrique LASER (SPL)

Le principe de la stimulation photoélectrique LASER repose sur la photogénération de paires électron/trou excédentaires par l'absorption de photons dans le silicium. L'interaction du LASER, de longueur d'onde de l'ordre de 800 nm, avec la puce est plus complexe que dans le cas de la stimulation thermique. Comme pour la stimulation thermique, la technique repose sur la détection de la variation des caractéristiques électriques aux bornes du composant, sous l'effet de l'excitation LASER. Une cartographie des variations mesurées est réalisée en balayant la surface du composant à caractériser. Comme dans le cas de la stimulation photoélectrique LASER, trois techniques peuvent être différenciées :

- La technique OBIC (Optical Beam Induced Current) où la grandeur électrique analysée est la variation du courant d'alimentation, la tension d'alimentation étant maintenue constante [84].
- Sa duale, la technique LIVA (Light Induced Voltage Alteration) qui consiste à mesurer les variations de tension d'alimentation, le courant d'alimentation étant maintenu constant.
- La technique NB-OBIC (Non Biased OBIC) pour laquelle le composant n'est pas polarisé et seul le courant engendré par la photogénération est mesuré.

La figure 1.17 représente le principe de fonctionnement des deux familles de technique SPL (polarisée et non polarisée).

L'amplitude du signal électrique obtenu dépend de l'intensité du champ électrique dans la région de génération de porteurs provoquée par l'excitation LASER. En effet, le champ électrique va engendrer la séparation des porteurs libres générés et induire l'apparition d'un photocourant. Plus le champ électrique est important, plus le courant sera important. L'amplitude du photocourant dépend également du taux de recombinaison des porteurs dans la région de génération. Plus les recombinaisons sont importantes, plus faible sera l'amplitude du courant observé. La

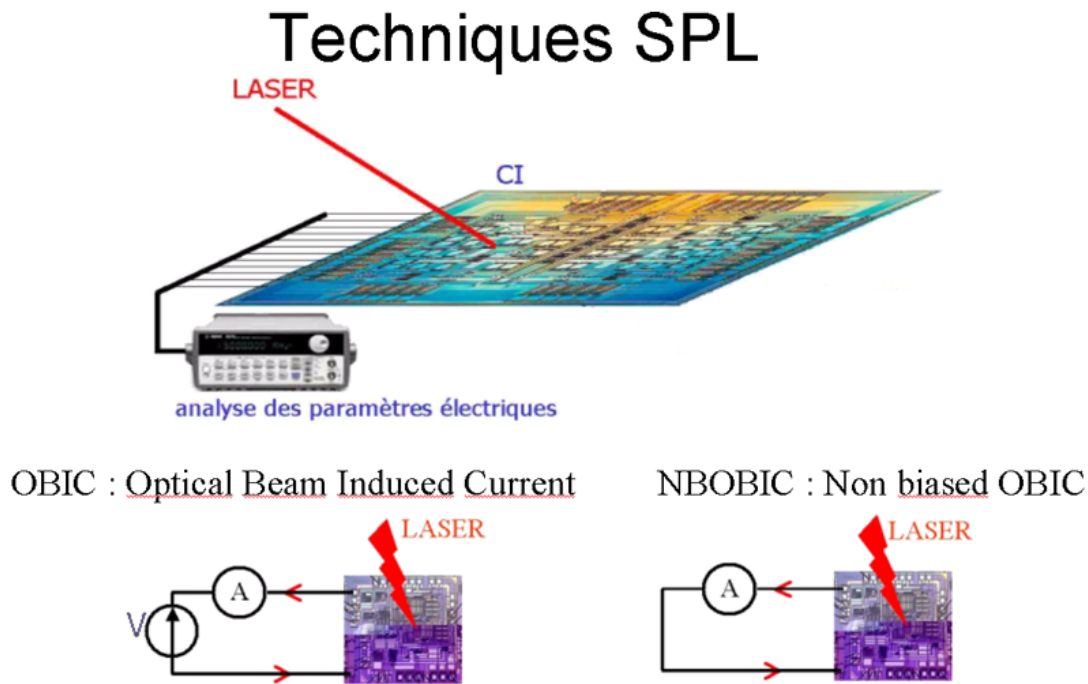


FIG. 1.17 – Principe de fonctionnement des techniques SPL

présence d'un défaut peut entraîner la modification de la distribution du champ électrique ou induire une augmentation des sites de recombinaison ce qui va influencer l'amplitude du signal électrique.

Il a été montré qu'un même défaut engendre une augmentation du photocourant en mode OBIC et une diminution du photocourant en mode NB-OBIC [85]. La sensibilité de cette technique a permis de caractériser des défauts de faibles dimensions entraînant des courants de fuite de l'ordre du nano-Ampère. Ces défauts étaient indétectables par les techniques de photoémission et de stimulation thermique.

1.4.3 L'émission de lumière dynamique : Imagerie PicoSeconde (PICA)

La microscopie à émission de lumière, présentée précédemment, permet la localisation de défauts. Couplée avec un banc TLP, elle permet d'obtenir des informations sur le comportement d'un réseau de protection ESD, par exemple, à différents niveaux de courant. Mais cette technique ne donne pas d'information temporelle sur l'émission observée. En effet, il est nécessaire d'intégrer cette émission photoélectrique pendant plusieurs minutes pour obtenir un signal.

La technique d'imagerie pico-seconde permet, grâce à un détecteur spécial, de garder l'information temporelle, et donc de pouvoir localiser une émission lumineuse aussi bien spatialement que temporellement. Cette technique est généralement employée dans l'industrie comme sonde, pour vérifier que deux signaux dans le cœur du circuit ne sont pas désynchronisés ce qui peut être à l'origine d'une panne et révélateur de la présence d'un défaut. Nous verrons dans le chapitre 2 que l'utilisation de cette technique permet d'obtenir plus d'informations sur le défaut détecté que la technique de photoémission classique.

1.5 Conclusion

Ce chapitre nous a permis de présenter tout d'abord le phénomène des décharges électrostatiques ainsi que les différentes techniques de caractérisation des dispositifs ESD (HBM, MM, CDM, TLP, VF-TLP ...). Les principaux modes de défaillances liés aux ESD ont été détaillés. Nous avons également mis l'accent sur l'apparition de défauts ne remettant pas en cause la fonctionnalité d'un circuit mais pouvant être à l'origine d'une défaillance prématurée, comme par exemple, les charges piégées dans les oxydes ou un filament de silicium fondu au travers d'une jonction. Quelques techniques d'analyses électriques utilisées en microélectronique pour détecter la présence de défaut(s) ont été présentées. La mesure du courant de fuite, couramment utilisée actuellement, pour détecter le(s) défaut(s) sera, dans un avenir proche, inutilisable du fait de l'augmentation des courants de repos des circuits microélectroniques. Nous avons donc présenté deux techniques alternatives, que sont la mesure du bruit basse fréquence et celle des paramètres S. Dans la dernière partie de ce chapitre, nous avons décrit les techniques de localisation de défauts utilisées lors des analyses de défaillance des circuits microélectroniques. La technique de photoémission (EMMI), l'émission de lumière dynamique (PICA) ainsi que les techniques de stimulation LASER (thermique (OBIRCH) et photoélectrique (OBIC)) ont été présentées. Dans le chapitre 2, nous verrons que l'utilisation combinée de ces techniques apporte des informations complémentaires sur la nature des défauts.

Chapitre 2

Étude de l'impact de défauts latents induits par ESD sur les circuits intégrés

Sommaire

2.1	Fiabilité des systèmes microélectroniques	38
2.1.1	Quelques définitions	38
2.1.2	Systèmes à haute fiabilité	39
2.2	Fiabilité face aux décharges électrostatiques	42
2.2.1	Les défauts latents	43
2.2.2	Problématique des défauts latents pour les applications à haute fiabilité	43
2.2.3	Tendance technologique pour l'avenir	43
2.2.4	Les phénomènes ESD face aux futures technologies	44
2.3	Étude de défauts latents grâce à un véhicule de test	46
2.3.1	Motivations et plan d'expérience	46
2.3.2	Description du circuit de test	47
2.3.3	Création des défauts latents	48
2.3.4	Caractérisation électrique	48
2.3.5	Analyse de défaillance	51
2.3.6	Validation de l'impact des défauts sur le fonctionnement du circuit par simulation électrique	57
2.3.7	Mécanisme de défaillance lors des stress SCDM. Validation grâce à une simulation physique 2D	58
2.3.8	Conclusion de l'analyse de défaillance	62
2.3.9	Défauts induits indirectement	63
2.4	Conclusion	65

Dans notre société actuelle où l'omniprésence de l'électronique est un fait, la fiabilité est devenue une préoccupation majeure tant par son impact sur les politiques commerciales que sur la compétitivité économique et la sécurité des personnes. Or, les agressions électriques, du type décharges électrostatiques (ESD) et surcharges électriques (EOS), sont à l'origine de plus de 50% des défaillances des circuits intégrés. De plus, avec l'avènement des technologies sans fil et des applications dites "plus électriques" en automobile et dans l'aviation, les spécifications de robustesse à ces agressions se sont considérablement durcies.

2.1 Fiabilité des systèmes microélectroniques

Depuis une dizaine d'années, la fiabilité des composants est un des facteurs majeurs conditionnant le développement de la microélectronique. A cela, plusieurs raisons : d'une part, du fait de la banalisation de l'électronique dans tous les secteurs d'activité humaine, les profils de missions sont devenus extrêmement exigeants, en particulier du point de vue des contraintes environnementales ; dans le même temps, la complexité croissante des technologies rend leur susceptibilité aux contraintes plus délicate à gérer en terme de robustesse ; enfin, les niveaux de fiabilité exigés maintenant dans la plupart des applications sont extrêmement élevés. Dans beaucoup d'applications, c'est pratiquement le « zéro défaut » qui est demandé sur une durée de vie déterminée.

2.1.1 Quelques définitions

Dans cette partie, nous allons essayer de montrer tous les problèmes que pose la fiabilité dans le domaine de la microélectronique et plus particulièrement la fiabilité liée aux décharges électrostatiques (ESD). Nous allons commencer par définir le terme fiabilité et présenter quelques points historiques de cette problématique.

Qualité

La qualité d'un système ou d'un composant est la capacité de ce dernier à être conforme aux spécifications ou au cahier des charges.

Fiabilité

La fiabilité d'un système ou d'un composant est la capacité de ce dernier à exécuter les fonctions requises dans les conditions indiquées *pendant* une période donnée [86]. La fiabilité est donc un gage de qualité *pendant* une période définie. La fiabilité est typiquement exprimée grâce au taux de défaillance au cours du temps $\lambda(t)$, avec pour unité h^{-1} (heure^{-1} ou FIT (Failure In Time)). On parle aussi de MTBF (Mean Time Between Failure) : le temps entre deux défaillances ou encore MTTF (Mean Time To Failure) c'est-à-dire le temps jusqu'à la première défaillance.

Failure In Time : FIT

Cet outil permet de représenter le taux de défaillance des circuits microélectroniques au cours du temps. 1 FIT représente une défaillance d'un composant après 10^9 heures d'utilisation. Autrement dit, si un lot de 1000 composants ayant un taux de défaillance de 10 FIT est utilisé

pendant 100 000 heures, l'utilisateur doit s'attendre à avoir un composant défaillant au cours de cette période. Il y a environ 10^4 heures dans une année, un FIT de 1 équivaut à un composant ayant une durée de vie d'environ 10 000 ans.

2.1.2 Systèmes à haute fiabilité

L'utilisation des systèmes microélectroniques, dans des domaines comme le spatial ou le militaire, a nécessité une étude approfondie de la fiabilité de ces systèmes.

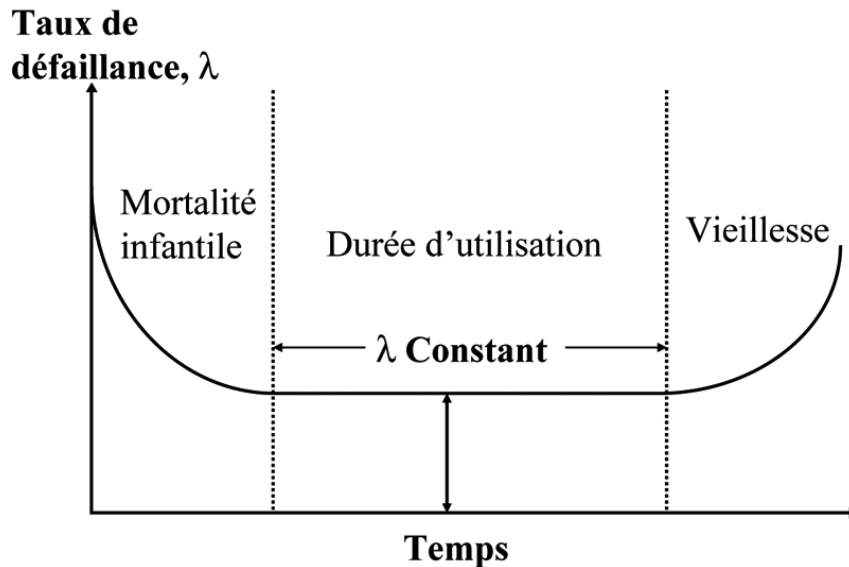


FIG. 2.1 – Courbe en baignoire

Historique

Dans les années 50, un groupe appelé AGREE (Advisory Group for the Reliability of Electronic Equipment) a montré que le taux de défaillance des équipements électroniques suit un modèle semblable au taux de mortalité des personnes dans un système fermé. En particulier, ils ont noté que le taux de défaillance de composants électroniques et des systèmes suit la courbe classique dite en « baignoire ». Cette courbe a trois phases distinctes (Cf. 2.1) :

1. Une première phase de vie appelée « mortalité infantile » caractérisée par un taux de défaillance décroissant (phase 1). L'occurrence de défaillance durant cette période n'est pas aléatoire au cours du temps mais plutôt le résultat de composants de qualités inférieures ayant des défauts grossiers et d'un manque de contrôle adéquat dans le processus de fabrication. Le taux de défaillance des composants est élevé mais décroissant. Cette période suit une loi de Weibull où λ diminue avec le temps : $\lambda = \lambda_0.t^n$, n étant négatif.
2. Une période « de vie utile » où l'électronique a un taux de défaillance relativement constant provoqué par l'apparition aléatoire de défauts et de stress (phase 2). Ceci correspond à une période d'utilisation normale où les défaillances sont provoquées par des conditions de surcharges aléatoires, par exemple les défaillances liées aux ESD. Cette période suit une loi exponentielle, c'est-à-dire $\lambda = \text{constant}$. La plupart des analyses de fiabilité concernant

les systèmes électroniques s'attachent à abaisser la fréquence de défaillance au cours de cette période.

3. Une période dite de « vieillesse » où l'augmentation du taux de défaillance est due à l'usure critique des pièces (phase 3). Cette usure critique a pour conséquence qu'un stress peu important provoque une défaillance et donc le taux de défaillance de l'ensemble augmente. Les défaillances se produisent de plus en plus fréquemment avec le temps, λ est croissant au cours du temps et correspond à une loi de Gauss ou loi normale.

Les applications militaires et spatiales ont une exigence de qualité élevée des systèmes et des composants utilisés. Dans les années 60, au début des programmes spatiaux, les conditions d'utilisation liées à l'environnement et au niveau de fiabilité de ces applications dépassaient les possibilités de fabrication de l'industrie de la microélectronique. Les variations dans les processus de fabrication et les pratiques en matière de contrôle de qualité chez les fournisseurs de composants engendraient un taux de DPM (Défaut-Par-Million) élevé, ce qui était inadmissible pour ce genre d'application. Pour assurer la qualité des pièces, le gouvernement a commencé à trier les composants électroniques selon des procédures appelées MILSPECs. Les documents du système MIL, facilement reconnaissables par le préfixe « MIL- », sont des documents de référence pour des méthodes de test, des procédures de qualification et de déverminage (screening), applicables en particulier aux composants EEE (ex : MIL-STD-883). La première spécification MIL est apparue en 1959. Créées dans un but militaire, ces procédures sont largement utilisées aujourd'hui pour des applications spatiales, aussi bien américaines qu'européennes. La spécification 883, par exemple, définit 2 niveaux de déverminage : le niveau "B", dit niveau militaire, et le niveau "S", dit niveau Spatial. (Cf. figure 2.2 [87]).

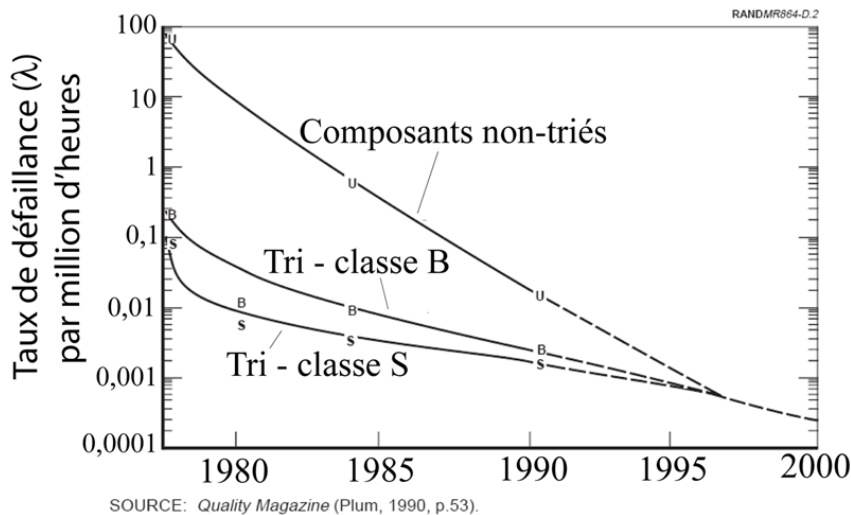


FIG. 2.2 – Évolution du taux de défaillance avant et après tri

En effet, pour ces applications, la durée de vie et donc la fiabilité doivent être bien maîtrisées, on comprend facilement qu'un satellite en orbite ne peut pas être réparé au cours de sa mission mises à part quelques exceptions comme le télescope spatial Hubble. Ces missions de réparation et de maintenance sont très coûteuses et réservées aux missions très importantes et fonctionnant sur le long terme. Dans la grande majorité des cas, un satellite défaillant est perdu. Il faut donc garantir le bon fonctionnement des composants pendant la période d'utilisation du satellite.

Cette campagne de tri a pour but de rejeter les composants ayant des défauts de jeunesse qui ne rempliront pas leurs fonctions durant la totalité de la durée de fonctionnement prévue par le cahier des charges. Comme on peut le voir sur la figure 2.2, l'élimination de ces composants diminue sensiblement le taux de défaillance par rapport aux composants non triés, mais ils ne permettent pas d'atteindre un niveau « zéro défaillance ». De plus, depuis sa création, l'industrie de la microélectronique a considérablement amélioré la qualité et la fiabilité de l'électronique dite commerciale. On peut voir sur la figure 2.2 que le taux de défaillance diminue avec les années. Dans les années 90, la différence de fiabilité des lots de composants subissant une campagne de tri était de moins en moins importante et les prévisions annonçaient que la qualité des composants sortis d'usine serait égale aux composants triés aux environs de 1995-2000. Les taux de défaillance, pour l'électronique fortement intégrée, dite commerciale, telle que la famille des processeurs X86 de Intel, ont suivi la même évolution (c.f. figure 2.3 [87]). Ici, le taux de défaillance est tracé de pair avec le DPM.

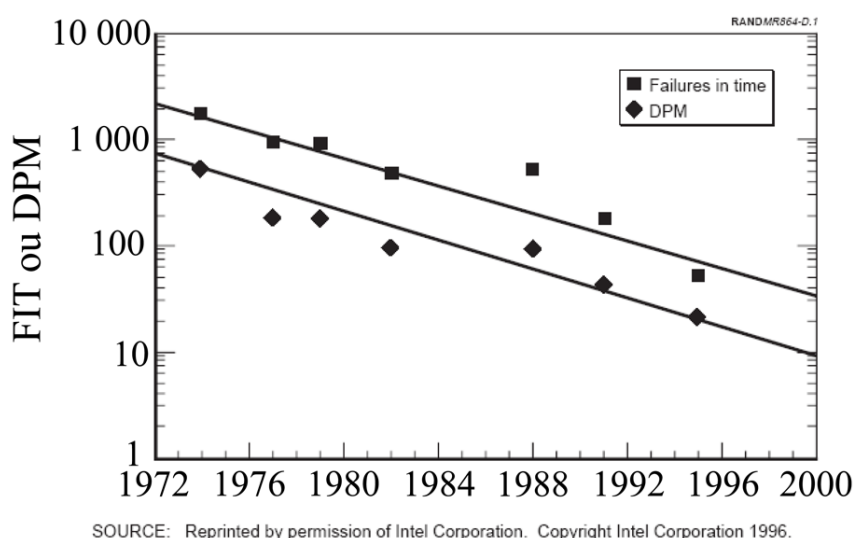


FIG. 2.3 – Évolution du FIT au cours des 35 dernières années

Dans les premières années de commercialisation de la microélectronique, les ventes pour les gouvernements dominaient le marché. Mais la demande des autres secteurs tels que l'automobile, l'informatique et les télécommunications grand public a augmenté au cours des années en même temps que la puissance et la fiabilité des circuits étaient améliorées. Actuellement, aux Etats Unis, les ventes pour le gouvernement ne couvrent que 2% du marché alors qu'elles couvraient plus de 46% dans les années 70 (SOURCE : Semiconductor Industry Association (1996)). L'électronique se démocratisant, il est apparu plus rentable pour les fondeurs de ne pas adapter leurs chaînes de fabrication aux exigences extrêmement rigoureuses de la fabrication très haute fiabilité que de se couper d'un tel marché. Il est donc devenu nécessaire d'utiliser des composants commerciaux généralement utilisés pour des applications plus classiques telles que l'informatique ou les télécommunications dans le cadre des applications à très haute fiabilité. En 1994, le président Clinton autorisa officiellement l'utilisation de composants microélectroniques commerciaux pour les applications gouvernementales (« Specifications & Standards - A New Way of Doing Business » qui, en partie, autorisa le département de la défense à « augmenter l'accès à l'état de l'art technologique des composants commerciaux »). Même si les organisations gouvernementales

comme la NASA utilisaient déjà des composants commerciaux dans certaines de leurs applications, cet amendement est le début d'une nouvelle période pour la fiabilité des composants dans les applications très haute fiabilité. En effet, l'utilisation de composants commerciaux ou COTS (en anglais : Commercial Off The Shelf) dans ces applications pose de nouveaux problèmes de fiabilité.

Problèmes liés à l'utilisation des COTS

En 1965, le Département de la défense américain et le secteur industriel commercial avaient approximativement le même budget pour la recherche et le développement en microélectronique. Aujourd'hui, les dépenses du secteur industriel dans ce domaine sont plus de deux fois supérieures aux agences gouvernementales. Il n'est pas étonnant, que de nos jours, les plus grandes avancées se produisent dans le secteur commercial : augmentation de la puissance de calcul, de la capacité de mémoire... Pour avoir accès aux dernières avancées en terme de performance de circuit microélectronique, les agences gouvernementales sont donc obligées d'utiliser les COTS dans leurs applications. Malheureusement, l'utilisation des COTS pose des problèmes ne serait-ce que par la plage d'utilisation en température :

1. Applications Militaires et Spatiales : -55°C à 125°C
2. Applications Industrielles : -40°C à 85°C
3. Applications Commerciales : 0°C à 75°C

Les COTS sont aussi plus sensibles aux conditions de stockage, en particulier à l'humidité, puisque la majeure partie des composants est assemblée en boîtier plastique et non céramique. Ils sont aussi plus sensibles aux effets des radiations. L'étape de sélection est donc devenue encore plus critique et conduit à de nombreuses études. En effet, la sélection des composants commerciaux s'exerce dans un marché très vaste et mouvant où prédominent les évolutions technologiques permanentes. L'ESA (Agence spatiale Européenne) et le CNES (Centre National d'étude Spatiale) utilisent le système ESCC (European Space Components Coordinations anciennement ESA/SCC) pour aider à la sélection des composants embarqués dans leurs systèmes aussi bien pour les passifs que les actifs, grâce à des listes de préférence ou EPPL (European Preferred Part List). Nous pouvons également citer l'initiative française FIDES (en latin confiance) qui a été mise en place sous l'égide de la DGA (Délégation Générale pour l'Armement) afin de répondre à ces problèmes de fiabilité. Le groupe FIDES regroupe 8 industriels français dans le domaine de l'électronique et propose une méthodologie générale pour l'évaluation de la fiabilité prévisionnelle. Cette méthodologie couvre les produits allant du composant électronique élémentaire au module ou sous-ensemble électronique.

2.2 Fiabilité face aux décharges électrostatiques

Le problème des décharges électrostatiques est devenu très critique dans le cadre des applications à haute fiabilité et en particulier pour le spatial. En effet, près de 160 dysfonctionnements de systèmes en orbite et 5 pertes de missions ont été attribués à un phénomène ESD depuis 1973 [88]. En 1997, une mission de l'ESA a été placée en orbite pour étudier l'environnement électrostatique des satellites : The discharge detector experiment [89]. Les ESD ont aussi été

identifiées comme étant à l'origine de dysfonctionnements de systèmes dans les applications automobiles en particulier lors du déclenchement intempestif d'« air bag » [90]. De plus, l'apparition de nouveaux modèles de décharges électrostatiques tels que le modèle du composant chargé (CDM) ou le modèle IEC au niveau du système créent de nouveaux problèmes de fiabilité. Dans le cas des décharges CDM, les protections ESD utilisées dans les circuits risquent de ne pas être suffisantes pour protéger le cœur du circuit. Ce type de décharge ayant un temps de montée très court ($<0,5$ ns) ainsi qu'un mécanisme de décharge très différent des autres stress ESD (cf Chapitre 1), les protections actuellement employées pour offrir un chemin pour évacuer les décharges électrostatiques peuvent être inefficaces et induire l'apparition de dégradations au cœur du circuit. Ces dégradations, même minimales, peuvent poser des problèmes de fiabilité. Nous allons développer cet aspect dans les paragraphes suivants.

2.2.1 Les défauts latents

Après avoir présenté brièvement les aspects de fiabilité dans le domaine de la microélectronique et les problèmes que posent les ESD dans ce domaine, nous allons nous focaliser sur la problématique des défauts latents créés par un phénomène ESD. Nous allons, tout d'abord, donner la définition d'un défaut latent et expliquer pourquoi ces défauts posent des problèmes importants, particulièrement dans le cadre des applications à haute fiabilité.

Définition

Plusieurs définitions ont été avancées pour définir les défauts latents. Dans cette thèse, nous allons nous placer dans le cas de défauts latents créés par une ou plusieurs décharge(s) électrostatique(s). Un défaut latent sera donc défini comme étant un phénomène *dépendant du temps* et résultant d'une décharge électrostatique affectant un circuit microélectronique. On parle de dépendance temporelle puisque, juste après le stress ESD, le circuit ne présente pas de caractéristiques électriques hors spécifications. Avec le temps, ces dernières vont être dégradées et provoquer le dysfonctionnement du composant [91]. Les défauts latents peuvent donc être associés à une diminution de la durée de vie. McAteer et Twist, en 1982, ont apporté la preuve de l'existence des défauts latents induits par des ESD [92].

2.2.2 Problématique des défauts latents pour les applications à haute fiabilité

On comprend bien la problématique que posent les défauts latents dans le domaine des applications à haute fiabilité. En effet, lors de l'assemblage des composants dans un système embarqué, il est impératif de bien contrôler la qualité des différents composants de ce dernier. Des défauts présents, mais non détectables dans les circuits microélectroniques à un instant t , qui réduisent la durée de vie des composants, sont donc à éviter. Les campagnes de tri à l'heure actuelle ne permettent pas de s'affranchir de ce type de défaut. Il est donc important de mieux les étudier et c'est ce que nous proposons de faire dans la partie 2.3.

2.2.3 Tendances technologiques pour l'avenir

La loi de Moore prédit que la densité d'intégration des circuits intégrés sur silicium double tous les deux ans. Les nouvelles percées dans la conception et la fabrication des semi-conducteurs

sont susceptibles de confirmer cette tendance pendant au moins une décennie supplémentaire. Dans le même temps, la technologie utilisée dans la microélectronique actuelle commence à flirter avec ses limites intrinsèques de fiabilité pour la protection des circuits face aux ESD.

2.2.4 Les phénomènes ESD face aux futures technologies

Vers la fin des années 70, les décharges électrostatiques (ESD) sont devenues un problème pour l'industrie de la microélectronique. Les stress ESD de faible niveau étaient la cause de la défaillance des composants et donc des pertes de productivité. Grâce à la compréhension de ce phénomène, des améliorations sur la conception et les processus de fabrication ont été apportées afin de rendre les composants microélectroniques plus robustes. Pendant les années 80 et le début des années 90, les ingénieurs ont ainsi créé des structures de protection qui ont rendu les composants moins sensibles aux phénomènes ESD. Les changements de technologie au cours de cette période ont également aidé les ingénieurs à développer des composants plus robustes. Cependant à la fin des années 90, l'amélioration des performances (circuits fonctionnant dans la gamme du Giga-Hertz) et l'augmentation de la densité d'intégration ont posé des problèmes dans la conception des structures traditionnelles de protection ESD. Afin de répondre aux exigences en termes de performance et d'intégration de l'industrie, les composants sont devenus plus sensibles aux phénomènes ESD. La tendance actuelle, qui va se prolonger, est l'amélioration des performances des circuits microélectroniques aux dépens du niveau de protection ESD. C'est particulièrement le cas pour des applications RF (Radio Fréquence). Comme on le voit sur le tableau 2.1 l'impact sur la robustesse ESD des nouveaux procédés technologiques est toujours négatif.

Dimmension lithographique	Paramètre	ESD	Latchup
3 – 4 μm	profondeur de jonction	↓	↑
2 μm	LDD	↓	↔
1 μm	Silicide	↓	↑
1 μm	EPI	↓	↑
0,5 μm	STI	↓	↑
0,35 μm	substrat	↑	↓
90 – 180nm	L_{eff}	↓	↔
65 – 90nm	< 2 nm Oxyde	↓	↔
< 65nm	Silicium contraint, 3D-transistor	?	?

TAB. 2.1 – Paramètres technologiques et leurs impacts sur la tenue en ESD et latch-up des circuits avec la réduction des dimensions

D'autres paramètres qui ne sont pas pris en compte dans ce tableau diminuent également la robustesse des circuits face aux ESD. Par exemple, la diminution des épaisseurs et des largeurs des inter-connexions conduisent à une augmentation de la résistance par carré et une diminution

de la capacité des lignes ce qui provoque une diminution du courant maximum avant l'apparition d'un circuit-ouvert [93]. Tout cela signifie que les concepteurs de protections ESD vont avoir de nouveaux défis à relever pour que la tenue aux ESD ne diminue pas trop fortement. Les graphiques suivants montrent les tendances de sensibilité minimale des composants face aux ESD pour trois modèles d'ESD : le modèle de corps humain (HBM), le modèle de la machine (MM) et le modèle du composant chargé (CDM). Les limites de sensibilité, représentées sur la figure 2.4, sont basées sur des projections faites par des ingénieurs d'IBM, d'Intel et de Texas Instruments jusqu'en 2010 [94]. Nous pouvons noter ici qu'un niveau minimum de 200V HBM est indispensable lors du report des puces dans leur boîtier. On peut donc prévoir des problèmes à partir de 2010 à ce niveau pour certains composants ne pouvant pas fournir ce niveau minimum ou proches de cette limite (création de défauts latents).

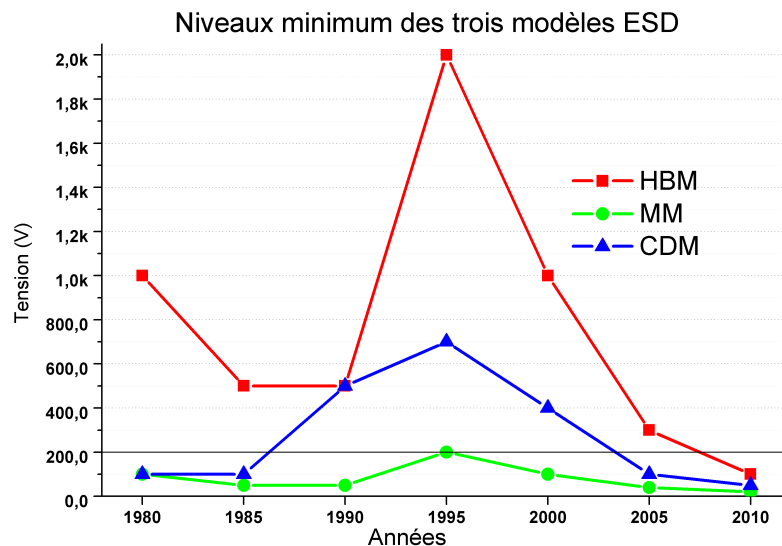


FIG. 2.4 – *Tendance de la sensibilité aux ESD des composants*

Cette diminution de robustesse des futurs circuits face aux ESD va poser des problèmes pour les applications haute fiabilité qui auront encore plus de difficultés pour utiliser ces technologies avancées. Nous l'avons vu, les problèmes de fiabilité des systèmes électroniques dans les applications spatiales ou automobiles, qui ne peuvent souffrir d'aucune incertitude en terme de fiabilité, sont nombreux. Ces problèmes sont aussi bien liés à la maturité des technologies employées qu'à l'environnement dans lequel évoluent ces systèmes. Des solutions ont été apportées aussi bien par le déverminage des composants avant leur intégration que par une meilleure maîtrise des techniques de fabrication. Mais des problèmes subsistent ou apparaissent, comme de nouveaux standards ESD tel que le CDM ou la problématique des défauts latents. Les technologies futures étant plus sensibles aux ESD, elles risquent de présenter un nombre plus important de défauts latents puisque pour un même niveau ESD, le composant est plus dégradé. Une étude a été menée au LAAS pour essayer de mieux appréhender l'impact de ces deux nouveaux phénomènes.

2.3 Étude de défauts latents grâce à un véhicule de test

Nous venons de le voir, les défauts latents vont devenir une problématique importante dans le monde de la microélectronique, en particulier dans l'optique d'une amélioration de la fiabilité des systèmes. Les décharges électrostatiques sont à l'origine de beaucoup de défaillances et d'encore plus de dégradations des circuits. Le modèle de décharge CDM, en particulier, pose de nouveaux problèmes. La nature différente de la décharge CDM par rapport aux autres modèles de décharges ESD, a pour occurrence des défauts au cœur des circuits. Ces derniers, même s'il ne sont pas critiques, - c'est-à-dire entraînant une perte de la fonctionnalité du système - peuvent affaiblir le circuit et donc diminuer sa durée de vie. Afin de mieux comprendre le phénomène des décharges CDM et leur impact réel sur la fiabilité des circuits microélectroniques, ainsi que la criticité des défauts latents, une puce de test dédiée à cette étude a été fabriquée. Cette puce de test, contenant plusieurs types de structures allant du simple MOS à des circuits digitaux et analogiques, a été réalisée en 2001. La technologie employée pour la réalisation de ces circuits de tests est une technologie CMOS 0,6 μm de AMS. Il s'agit d'une technologie CMOS sur substrat P comportant 15 niveaux de masquage avec extension de drain faiblement dopé ou LDD. Elle dispose de deux niveaux de métal et d'un seul niveau de polysilicium. Une photo de cette puce montée dans un boîtier PGA céramique 68 broches est présentée figure 2.5.

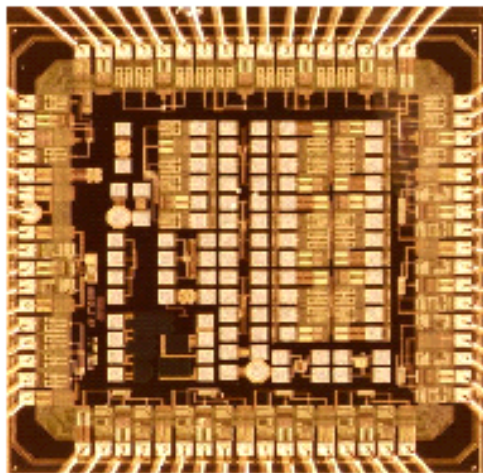


FIG. 2.5 – Véhicule de test monté dans un boîtier PGA 68

2.3.1 Motivations et plan d'expérience

Nous avons voulu grâce à ce lot de véhicules de test faire une étude sur l'impact de défauts latents ESD sur ce type de technologie. Le dessin de ce véhicule de test étant assez simple, nous nous concentrerons essentiellement sur les défauts au niveau des oxydes et du silicium, nous n'aurons pas affaire à des défauts de type via entre deux pistes de métal. Une fois le défaut latent identifié, le composant est stocké dans des conditions normales, à température ambiante dans un sachet anti-statique, pendant une durée de deux ans. Après cette période de stockage, les composants ont été caractérisés à nouveau et une analyse de défaillance effectuée. Nous pouvons observer des variations des caractérisations électriques liées aux défauts latents et conclure sur l'impact que peuvent avoir ces défauts sur cette technologie [95, 96].

Le circuit que nous avons choisi d'étudier est un circuit numérique : un inverseur. Le modèle récemment développé du stress CDM (c.f. paragraphe 1.1.2) pose beaucoup de problèmes de fiabilité à l'heure actuelle. Nous avons donc choisi d'utiliser ce modèle de stress pour créer des défauts latents. Cette étude ayant débuté avant le début de ma thèse, la campagne de stress et les premières mesures électriques de ces composants étaient déjà faites [97, 98].

2.3.2 Description du circuit de test

Le circuit inverseur dessiné en technologie CMOS 0,6 μm de AMS fonctionne avec une tension d'alimentation allant de 2,5V à 5V. La figure 2.6, représente le dessin du circuit inverseur utilisé dans cette étude.

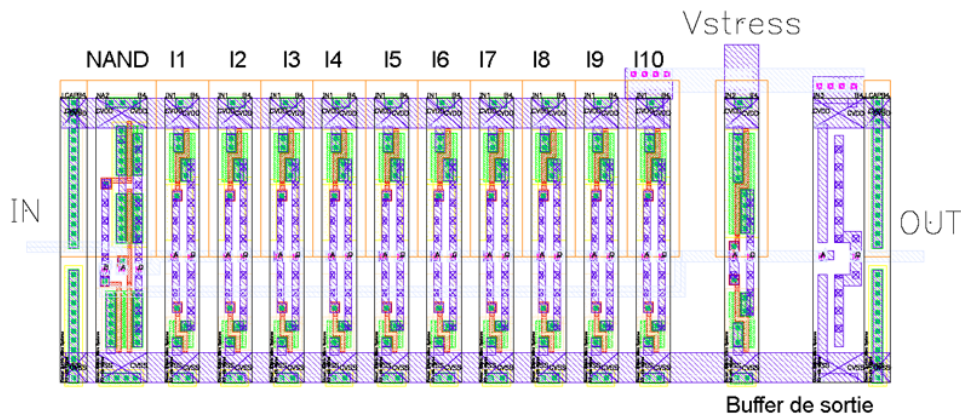


FIG. 2.6 – *Layout du circuit inverseur*

Ce circuit est composé d'une chaîne de douze inverseurs re-bouclée à partir du dixième sur une porte logique NAND (Non Et) qui permet de choisir deux modes de fonctionnement différents pour ce circuit. Il peut fonctionner dans un mode inverseur, en appliquant un état logique bas (ici 0V) à l'entrée ou en mode oscillateur avec un état haut (entre 2,5V et 5V) appliqué à l'entrée. Lorsqu'un état bas est appliqué à l'entrée (A), l'état logique de sortie de la porte NAND est "1" (haut) quel que soit l'état logique B (voir figure 2.7 en rouge). Dans ce cas, le circuit fonctionne comme un inverseur, nous appellerons ce mode de fonctionnement le mode statique. A l'inverse si un état "1" est appliqué à l'entrée, l'état logique de sortie de la porte NAND est le contraire de l'état logique (B) qui est la sortie du dixième inverseur (voir figure 2.7 en bleu). Cet état se propage au travers des dix portes inverseuses et l'état de sortie de la porte I10 est changé. La sortie du circuit oscille donc entre ces 2 états. Nous appellerons ce mode de fonctionnement le mode dynamique. Un circuit en tout point identique est également présent sur ce véhicule de test, exépté qu'il a une porte NOR logique en entrée, les deux modes de fonctionnement du circuit sont donc définies de manière inverse.

Sur le dessin du circuit (figure 2.6), on remarque que le onzième étage inverseur du circuit n'est pas connecté au bus d'alimentation commun des autres étages. Cet étage a son alimentation séparée du reste du circuit et non connectée au réseau de protection ESD, sa masse restant commune au reste du circuit. Ce dessin spécifique a été imaginé dans le but **d'appliquer le stress ESD directement au cœur du circuit** sans que la décharge ESD ne soit déviée par les protections ESD du circuit. Cela permet de créer des défauts au niveau de la logique (des MOS)

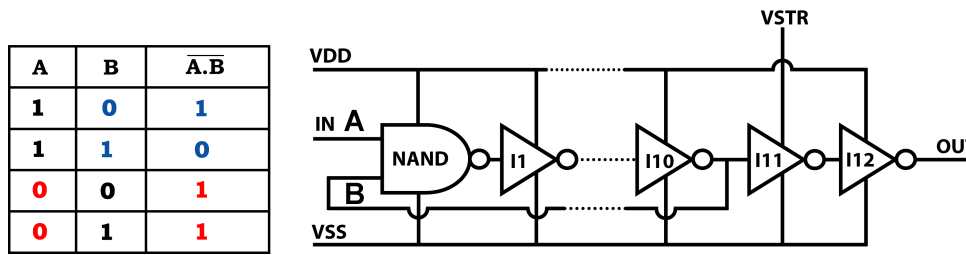


FIG. 2.7 – Table de vérité d’une porte logique NAND et schéma du circuit inverseur

du circuit et non pas dans les structures ESD le protégeant. Il faut noter que tous les circuits présents sur la puce sont connectés au même bus de masse. Ce mode de stress directement au cœur du circuit a pour objectif de pouvoir étudier l’impact d’un stress ESD en fonction du type de porte logique stressée. Ainsi, plusieurs versions de ce circuit ont été dessinées :

- Circuit inverseur ayant une broche de stress au niveau du premier étage du buffer de sortie (MOS de grande dimension $W_{NMOS}=8\mu\text{m}$).
- Circuit inverseur ayant une broche de stress au niveau de la porte logique NAND de l’entrée.
- Circuit inverseur ayant une broche de stress au niveau de la porte logique NOR de l’entrée.

2.3.3 Création des défauts latents

Comme nous l’avons signalé précédemment et afin de créer des défauts latents dans le circuit (2.3.1), ils sont stressés en CDM. Nous avons utilisé pour cela un testeur Socketed CDM Verifier II disponible au site du CNES-THALES à Toulouse. Ce type de testeur ne reproduit pas exactement les mêmes conditions qu’un stress CDM réel, mais permet de stresser de façon reproductible comme nous l’avons présenté au 1.1.2. Afin de créer des défauts de différents types et tailles, différentes amplitudes de stress sont appliquées sur plusieurs circuits. Ces différents stress sont répertoriés dans le tableau 2.2.

circuit n°	3	4	5	6
Stress CDM	10 zaps @1,5kV positif	10 zaps @1kV négatif	10 zaps @2kV positif et négatif	10 zaps @2kV positif

TAB. 2.2 – Différents types de stress appliqués

Remarque Le circuit 3 a subi 10 zaps CDM à 1,5KV de tension de charge et le circuit 5 a subi 10 zaps à -2kV, puis 10 zaps à 2kV.

2.3.4 Caractérisation électrique

Juste après l’application des stress

Après chaque stress appliqué, le courant de fuite en mode inverseur est mesuré, aussi bien sur la broche d’alimentation de la porte logique stressée que sur le reste des alimentations, comme représenté sur la figure 2.8. Après la campagne de stress, tous les circuits stressés sont complètement caractérisés. Les résultats de ces mesures sont reportés dans le tableau 2.3. Tous les circuits

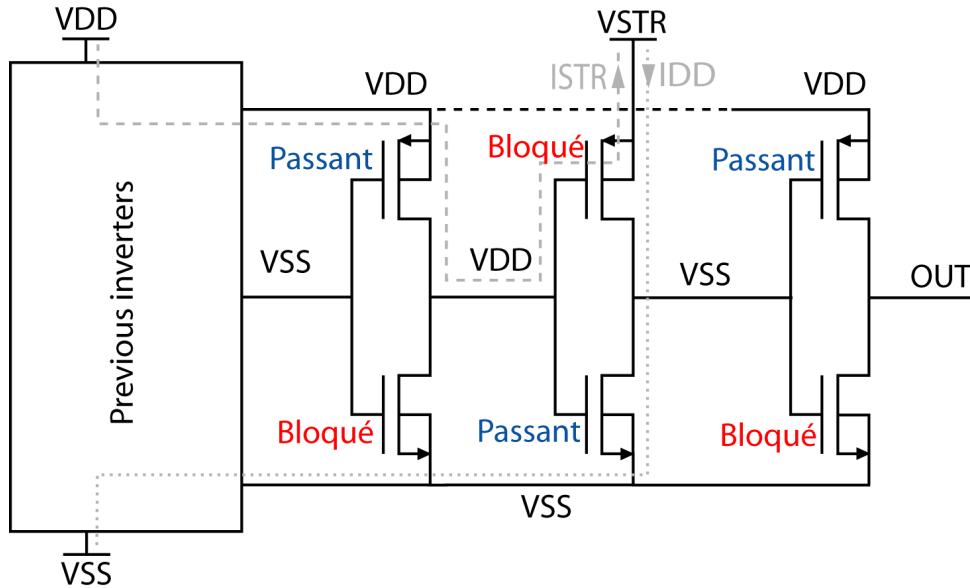


FIG. 2.8 – Schéma électrique du onzième étage inverseur

ne sont pas stressés, certains sont gardés comme références. Les circuits sont caractérisés aussi bien en mode statique (mode inverseur) qu'en mode dynamique (mode oscillateur) (c.f. 2.3.2) avec une tension d'alimentation de 4V. En mode inverseur, la tension de sortie (sur une impédance $10M\Omega$, V_{out}), le courant de consommation I_{DDq} ainsi que le courant de fuite de la broche stressée (V_{str}) I_{str} , sont mesurés. Pour le mode dynamique, seule la fréquence est mesurée. Le tableau 2.3 résume toutes les mesures électriques des circuits effectuées après l'application des stress.

circuit n°	ref	3	4	5	6
Mesures en mode statique @ $V_{DD}=4V$					
I_{DDq} (A)	200p	200p	200p	240 μ	517n
I_{str} (A)	75p	170n	37p	240 μ	500n
V_{out} (V)	3,96	3,96	3,96	3,96	3,96
Mesures en mode dynamique @ $V_{DD} = 4V$					
Fréquence d'oscillation (MHz)	290	300	270	300	270

TAB. 2.3 – Paramètres électriques des circuits inverseurs après les stress

L'analyse de ces résultats apporte quelques informations sur la nature des défauts créés. Le cas de la pièce 3 est particulier, en mode inverseur, le courant de fuite sur la broche V_{str} est de 170nA alors que le courant de consommation global du circuit n'augmente pas par rapport à un circuit non stressé. Cela vient simplement du fait que, lors de la mesure du courant de fuite de la broche V_{str} , la méthode de mesure adoptée nécessite de séparer l'alimentation des deux broches V_{DD} et V_{str} . Il faut donc que l'analyseur paramétrique fournisse deux sources de tension (une pour la broche V_{DD} et une pour la broche V_{str}). Ces deux sources ne sont pas exactement identiques, une faible différence de potentiel existe entre les broches V_{DD} et V_{str} . Le circuit étant en mode inverseur, le onzième inverseur (l'étage stressé) a son entrée à V_{DD} . Comme il est alimenté par l'intermédiaire de la broche V_{str} , la source et le substrat du PMOS

de cet étage sont à V_{str} (c.f. figure 2.8). La différence de tension entre V_{str} et V_{DD} se retrouve donc aux bornes de la grille du PMOS côté source. Nous pouvons donc supposer que pour la pièce n° 3, nous avons créé un défaut d'oxyde autrement dit, un petit filament conducteur au travers de l'oxyde du PMOS, de la porte stressée.

En mode dynamique, le signal de sortie est filtré par un buffer de sortie qui transforme le signal en une sinusoïde centrée autour d'une valeur moyenne de 2,2V et ayant une amplitude d'oscillation d'environ 1V. En effet, le buffer de sortie OB33P est constitué de deux inverseurs dont le second est surdimensionné et d'une série de protections ESD qui sont constituées de diodes. Ces éléments créent des capacités parasites qui viennent déformer le signal à partir de la centaine de mégaHertz. La mesure de la fréquence d'oscillation n'est pas stable. On observe des fluctuations qui ne sont pas liées à la présence de défauts, car elles se retrouvent sur les circuits de référence. Nous pouvons, par exemple, les attribuer à des fluctuations de la tension d'alimentation. L'approximation de la dispersion dans les mesures est d'environ 10%. Cela signifie qu'une variation de moins de 10% autour de la valeur moyenne de ce paramètre ne sera pas attribuée à la présence éventuelle d'un défaut.

Juste après l'application des stress, nous ne constatons aucun dysfonctionnement des circuits, la surconsommation en mode inverseur est la seule signature de la présence de défauts. Les pièces 3, 4 et 6 ont des courants de fuite inférieurs au micro-Ampère. Ces défauts sont assimilables à des défauts latents puisque les variations des caractéristiques électriques restent minimales après le stress. Une surconsommation inférieure au μA n'est pas considérée comme critique dans un circuit intégré plus complexe et le composant passerait les tests de sélection. La pièce 5 ayant des courants de fuite bien supérieurs au micro-Ampère ($\approx 500\mu A$), nous ne considérerons pas ces variations comme des défauts latents. Cependant, le circuit étant toujours fonctionnel, il sera intéressant de suivre son évolution.

Après 200 heures de vieillissement

Afin d'observer l'impact des défauts créés sur la durée de vie du circuit, les pièces 3 et 6 ainsi qu'une pièce de référence ont été vieillis. Nous les avons placées dans une étuve à $85^{\circ}C$ pendant 200 heures, en mode oscillateur avec une tension d'alimentation de 5V. Le tableau 2.4 montre la mesure du courant de fuite sur la broche de stress avant et après le vieillissement.

circuit n°	ref	3	6
Avant vieillissement			
I_{str} (A)	200p	140n	517n
Après vieillissement			
I_{str} (A)	200p	280n	1,5 μ

TAB. 2.4 – Évolution des courants de fuite des circuits digitaux après 200 heures de vieillissement à $V_{DD}=4V$

Le cas de la pièce n° 6 est très intéressant puisque, de $500nA$, le courant de fuite augmente à $1,5\mu A$ après les 200 heures de vieillissement, la fonctionnalité restant correcte (fréquence d'oscillation inchangée). Cette augmentation d'un facteur 3 sur le courant de fuite est la preuve que ce type de défaut est susceptible d'évoluer, et donc de réduire la durée de vie du composant

en provoquant une défaillance plus précoce qu'un circuit sain.

Évolution après le stockage

Nous avons stocké ces composants sans prendre de précautions particulières si ce n'est de les placer sur une mousse et dans un sachet anti-statiques. La température et le taux d'humidité n'ont pas été contrôlés puisque ces composants sont dans un boîtier en céramique (c.f. partie 2.1.2). Après une période de 2 années passée dans les conditions citées ci-dessus, les composants ont à nouveau été caractérisés. Le tableau 2.5 résume les résultats de ces mesures.

circuit n°	ref	3	4	5	6
Mesures en mode statique @ $V_{DD} = 4V$					
I_{DDq} (A)	200p	200p	200p	240 μ	1,7 μ
I_{str} (A)	75p	480n	37p	240 μ	1,5 μ
Vout (V)	3,96	3,96	3,96	3,96	3,96
Mesures en mode dynamique @ $V_{DD} = 4V$					
Fréquence d'oscillation (MHz)	290	280	270	300	280

TAB. 2.5 – Paramètres électriques des circuits digitaux après 2 années de stockage

On constate que la pièce n° 3 a toujours le même comportement, avec un courant de fuite sur la broche V_{str} plus important que lors de la mesure juste après le stress et après le vieillissement. Cela peut venir du défaut lui-même, le filament change et sa résistance diminue, mais cela peut aussi venir de la méthode de mesure. La différence de potentiel entre V_{DD} et V_{str} , qui n'est pas contrôlable, est différente (plus importante dans le deuxième cas). La non-reproductibilité de cette mesure permet de se prononcer en faveur de la deuxième hypothèse. Nous avons donc fait une analyse de défaillance pour localiser et connaître la nature des défauts créés.

2.3.5 Analyse de défaillance

Grâce à des mesures électriques complémentaires (la mesure du courant de fuite sur la broche V_{str}), nous avons vu qu'il est possible d'obtenir des informations supplémentaires sur la nature du défaut (c.f. paragraphe 2.3.4). Nous allons donc, dans un premier temps, utiliser cette broche supplémentaire pour faire des mesures électriques afin de déterminer la nature des défauts. Dans un second temps, nous utiliserons des techniques de localisation classiques, telles que l'EMMI et l'OBIRCH mais aussi plus avancées comme le PICA et l'OBIC pour valider nos premières conclusions.

Mesures électriques avancées

Les mesures du courant de fuite sur la broche V_{str} nous ont permis de déterminer la nature du défaut créé pour la pièce n° 3. Nous avons montré que, lors de la mesure, une différence de potentiel non maîtrisée était à l'origine du courant sur la broche V_{str} lié à la présence d'un défaut d'oxyde sur le PMOS de l'étage stressé. Nous avons essayé de reproduire cette différence de potentiel entre les broches V_{DD} et V_{str} afin d'observer une éventuelle surconsommation liée

à des défauts d'oxyde sur les autres circuits. Les mesures ont été faites en faisant varier V_{str} par rapport à V_{DD} . Il est possible de tracer l'évolution de I_{str} et I_{DD} en fonction de la tension ($V_{DD} - V_{str}$). Nous avons choisi une tension minimum de $3V$, ce qui est bien au dessus de la tension de seuil des MOS qui est de $0,72V$. En résumé, V_{str} varie entre $3V$ et $5V$ et V_{DD} reste constant à $5V$. Les résultats obtenus, pour les circuits n° 5 et 6, sont présentés figure 2.9.

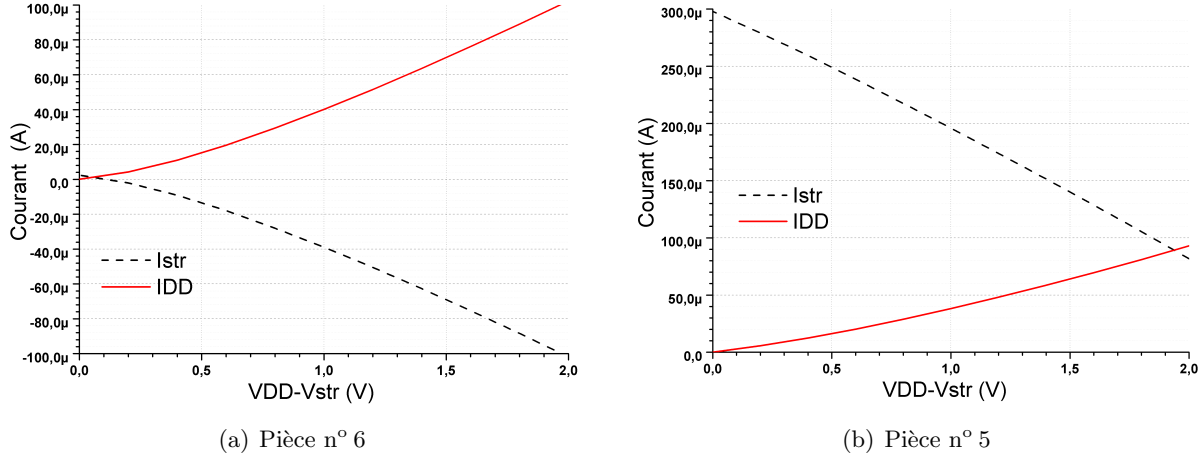


FIG. 2.9 – Evolutions des courants I_{DD} et I_{str} en fonction de $(V_{DD} - V_{str})$

Nous pouvons remarquer que pour les deux circuits, les courants I_{str} et I_{DD} suivent exactement une évolution inverse en fonction de la tension ($V_{DD} - V_{str}$). Le courant I_{str} mesuré pour le circuit n° 6 est négatif (c.f. figure 2.9(a)). Ceci signifie que le courant sort du circuit par la broche V_{str} . Un courant sortant ne peut provenir que de l'étage précédent en passant au travers d'un défaut dans l'oxyde au niveau de la source ou du substrat du PMOS du onzième étage (c.f. figure 2.8). De plus, le courant de fuite mesuré sur V_{DD} suit un comportement inverse : $I_{str} = -100\mu A$ et $I_{DD} = 100\mu A$ à $(V_{DD} - V_{str}) = 2V$. La pièce n° 6 présentant un courant I_{DDQ} de quelques micro-Ampères, nous pouvons conclure qu'il existe un défaut au niveau de la jonction drain et un défaut d'oxyde de grille du PMOS.

Le cas de la pièce 5 est différent puisque le courant de fuite I_{str} est positif pour $(V_{DD} - V_{str})$ variant de $0V$ à $2V$ (c.f. figure 2.9(b)). Ce dernier diminue avec $(V_{DD} - V_{str})$ ce qui est normal dans le cas d'un défaut de type résistif au niveau du drain du PMOS du onzième étage, V_{str} diminuant de $5V$ à $3V$. L'augmentation du courant I_{DD} en fonction de $(V_{DD} - V_{str})$, alors que V_{DD} est gardé constant, indique de la présence d'un défaut dans l'oxyde du PMOS du onzième inverseur comme dans le cas précédent. En faisant ce type de mesure sur toutes les pièces, nous avons pu déterminer la nature de tous les défauts qui ont été créés. Le tableau 2.6 résume le résultat de ces mesures.

Nous pouvons remarquer que les défauts sont toujours du même type :

1. Claquage de l'oxyde de grille du PMOS de l'étage stressé.
2. Filament au travers de la jonction drain/substrat du PMOS de l'étage stressé.

Ce qui confirme l'analyse de mécanismes de défaillance faite précédemment. A partir de ces premières conclusions, une campagne de localisation de défauts a été entreprise.

circuit n°	3	5	6
Stress CDM	10zaps@1,5kV positif	10zaps@2kV positif et négatif	10zaps@2kV positif
I_{DDq} (A) @ $V_{DD} = 4V$	200p	240μ	1,7μ
Nature du défaut	oxyde	jonction + oxyde	jonction + oxyde

TAB. 2.6 – Résultats des mesures électriques avancées

Localisation des défauts pour le cas de la pièce n° 6

Grâce à différentes techniques optiques de localisation de défaillance, nous avons confirmé la nature et localisé les défauts créés lors des stress CDM. Nous avons utilisé pour cela les techniques EMMI, OBIRCH, PICA et OBIC. Nous n’allons présenter ici que l’étude faite sur la pièce n° 6 qui est le circuit le plus intéressant puisqu’il présente un courant de fuite qui a plus que doublé pour passer au dessus du micro-Ampère.

Nous allons commencer par une analyse EMMI qui avait été faite avant la période de stockage. Comme indiqué au tableau 2.6, cette pièce présente deux types de défaut : défauts de jonction et d’oxyde.

Technique EMMI : Nous pouvons observer sur l’image EMMI présentée sur la figure 2.10, un point d’émission au niveau du drain du PMOS de l’étage stressé. Cette localisation de défaut EMMI ayant été faite après l’application du stress CDM, le courant de fuite est inférieur au micro-Ampère (c.f. tableau 2.3). Il est donc difficile de détecter la signature d’un défaut. Le circuit est polarisé en mode statique avec une tension d’alimentation de 5,8V. Cette valeur est plus élevée que la tension d’alimentation maximale de cette technologie mais est nécessaire pour pouvoir observer une signature de défaillance. En effet, l’augmentation de cette tension augmente également le courant de fuite lié au défaut et donc le nombre de photons générés au niveau de ce défaut. Même à cette tension élevée, il faut intégrer l’image EMMI sur plusieurs minutes. Le défaut d’oxyde n’est pas localisable dans ce mode de polarisation. En mode statique, la tension aux bornes du défaut d’oxyde est nulle et il n’y a pas de surconsommation et pas de photons émis liés au défaut. Nous sommes obligés de nous placer en mode dynamique pour localiser le défaut d’oxyde.

Technique OBIRCH : Sur l’image OBIRCH présentée sur la figure 2.11 faite à une tension d’alimentation de 4V, la signature du défaut est confirmée au niveau du drain du PMOS de la porte stressée. Le signal observé est lié à une variation de la résistance avec l’augmentation de la température induite par le LASER. Ce signal est directement lié à la présence d’un défaut de type résistif. Comme pour l’analyse EMMI, le défaut d’oxyde ne peut pas être localisé pour les mêmes raisons que précédemment.

Après l’utilisation des techniques dites classiques telles que l’EMMI et l’OBIRCH, nous avons décidé de poursuivre l’analyse de défaillance avec de nouvelles techniques et ceci dans

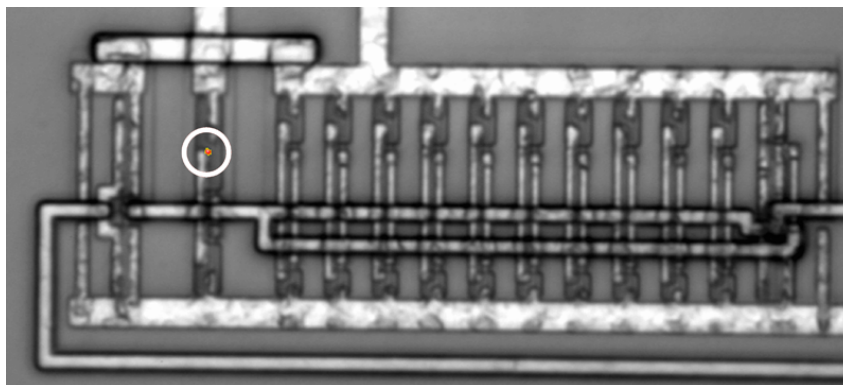


FIG. 2.10 – Image EMMI de la pièce 6 à $V_{DD} = 5,8V$

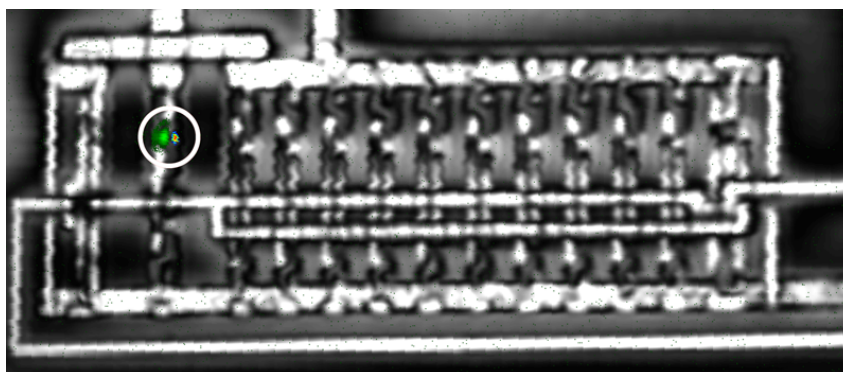


FIG. 2.11 – Image OBIRCH de la pièce 6 à $V_{DD} = 4V$

un double objectif : comparer d'une part ces techniques en voie de maturation par rapport aux techniques plus couramment employées pour l'analyse de défaillance, et d'autre part, pour essayer d'apprendre plus de choses sur la nature et l'impact de ces défauts sur le circuit.

Technique OBIC : Au paragraphe 1.4.2, nous avons vu que la technique OBIC permet de détecter des défauts dans le silicium grâce à l'interaction d'un LASER avec ce dernier. Nous avons donc utilisé cette technique pour localiser les défauts que nous avons créés. Les images 2.12 et 2.13 montrent la superposition de l'image OBIC du onzième étage inverseur avec la photo optique de cette même région respectivement pour un circuit de référence non stressé (c.f. 2.12) et le circuit n° 6 (c.f. 2.13) ayant subi 10 stress CDM à 2kV (c.f. tableau 2.2). On visualise très clairement la signature d'un défaut au niveau du PMOS côté drain (gauche de l'image).

La zone scannée lors de l'analyse OBIC est limitée à la surface du onzième inverseur. La région de couleur jaune/orange de la pièce de référence représente l'amplitude du photo-courant généré par le LASER. Le circuit étant en mode statique, l'étage inverseur est polarisé comme sur la figure 2.8. Les champs électriques présents au niveau des MOS permettent une séparation des porteurs et donc une détection du photo-courant (c.f. paragraphe 1.4.2). La signature observée sur l'image de la pièce n° 6 représente une augmentation du photo-courant plus importante que pour la pièce de référence. Cette augmentation, anormale en comparaison d'un circuit non stressé, est liée à la présence **d'un défaut**. On remarque que le maximum d'amplitude de photo-courant généré est situé côté source du PMOS de cet étage, ce qui est en accord avec les conclusions que nous avons faites lors de l'étude des mécanismes de défaillance lors des stress SCDM (au

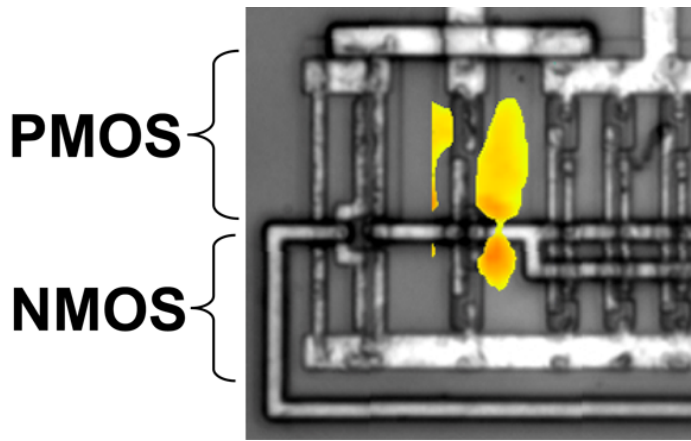


FIG. 2.12 – Pièce référence

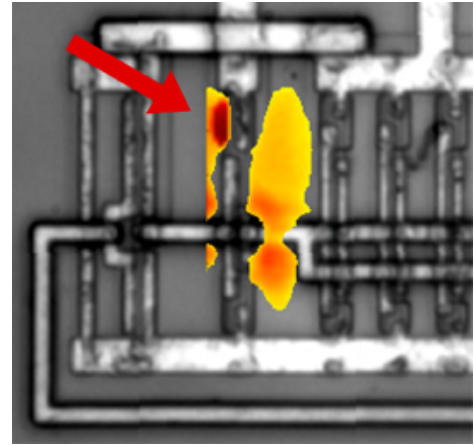


FIG. 2.13 – Pièce n° 6

paragraphe 2.3.7). Une étude précédente a montré que cette augmentation du photo-courant associé au défaut était due à un phénomène d'avalanche résultant de la géométrie du défaut [99]. Un effet de pointe peut être à l'origine de l'augmentation de ce photo-courant. Comme avec les autres techniques précédemment présentées, le circuit est en mode statique, le défaut d'oxyde n'est pas activé, et donc non localisé.

Technique PICA : En polarisant le circuit en mode dynamique, c'est-à-dire lorsque le circuit oscille, la technique d'imagerie pico-seconde PICA (c.f. paragraphe 1.4.3) permet d'observer le comportement de chaque porte logique au cours d'une période d'oscillation et en particulier le comportement de la porte stressée. Le graphique 2.14 présente le spectre d'émission temporel de tous les NMOS de chaque porte inverseuse du circuit pendant une période d'oscillation. L'émission de photons dans un MOS est particulièrement importante lorsque ce dernier est en commutation. C'est un moment où il y a, en même temps, du courant et un fort champ électrique dans le MOS. L'émission d'un NMOS étant beaucoup plus importante que celle d'un PMOS, l'observation temporelle de l'émission se fait au niveau des NMOS. On observe sur la figure 2.14 que les étages **impairs** de la chaîne d'inverseurs émettent les uns à la suite des autres pendant la première demi-période, puis c'est le tour des étages **pairs** durant la deuxième demi-période.

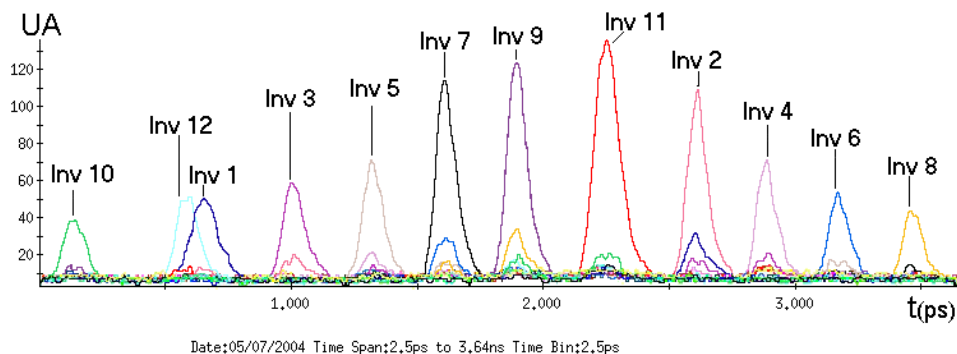


FIG. 2.14 – Graphique d'émission temporelle de la pièce de référence

On peut se demander pourquoi les étages inverseurs n'émettent pas les uns après les autres dans l'ordre de leur place le long de la chaîne d'inverseur. En fait, comme le montre le graphique

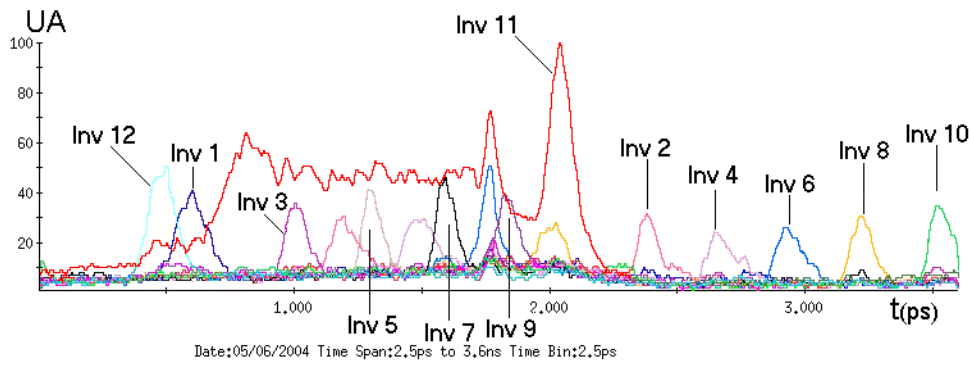


FIG. 2.15 – Graphique d'émission temporelle de la pièce 6

2.16 représentant le courant de drain d'un NMOS d'un étage inverseur du circuit, le courant de commutation n'est pas le même lors des deux types de commutation. En effet, lorsqu'un étage inverseur passe de l'état haut à l'état bas en sortie, le NMOS passe d'un état bloqué à un état passant. Le PMOS étant plus lent que le NMOS, le drain du NMOS est au potentiel haut (4V) lorsque la grille de ce dernier passe de 0V à 4V. Jusqu'à ce que le PMOS de ce même étage passe à l'état bloqué, le NMOS est dans un état de conduction en saturation, ce qui explique le pic de courant observé. La différence de rapidité entre le PMOS et le NMOS est due à une différence de mobilité des porteurs mis en jeu. La transconductance Kp d'un NMOS est 3 fois supérieure à celle d'un PMOS. Dans le cas de la commutation inverse à celle décrite précédemment, le NMOS sera en mode de conduction saturé une fois que le PMOS aura commuté c'est-à-dire très peu de temps. En résumé, l'émission des NMOS étant directement liée au courant qu'ils conduisent, celle-ci sera beaucoup plus importante dans le cas d'une commutation de l'état haut à l'état bas en sortie. On comprend donc que, lors d'une demi période, les étages **pairs** émettent les uns à la suite des autres, lors de leurs commutations de l'état haut à l'état bas en sortie alors que les étages **impairs** émettent beaucoup moins de photons puisque qu'ils commutent de l'état bas à l'état haut. Au cours de la demi période suivante, ce sont les étages **impairs** qui émettent.

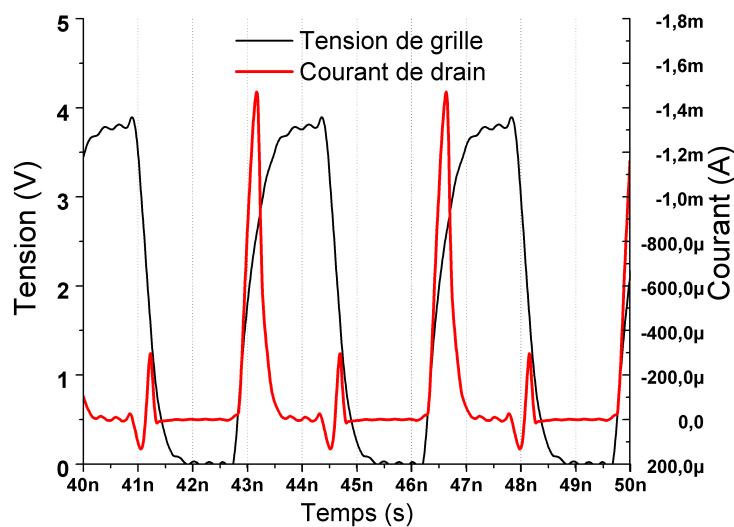


FIG. 2.16 – Courant au travers d'un NMOS d'un étage inverseur

Contrairement au graphique précédent, le spectre d'émission du circuit n° 6 (c.f. figure 2.15)

montre un comportement très différent de la chaîne d'inverseurs par rapport au circuit référence. On remarque, tout d'abord, que l'étage stressé (n° 11) émet durant toute la demi-période où les inverseurs **impairs** commutent. Cela est lié à la présence de défauts au niveau du PMOS de cet étage qui perturbent le comportement du NMOS et donc son émission. En effet, durant cette période la grille du NMOS de cet inverseur est à l'état bas, le défaut d'oxyde du PMOS engendre un courant de fuite au travers de la grille de ce dernier, ce qui élève le potentiel de l'entrée de cet étage. La grille du NMOS n'étant plus à 0V, ce dernier est en conduction saturée qui est le mode de fonctionnement qui provoque une émission importante au niveau du NMOS. Une étude plus approfondie des résultats de cette technique est présentée dans la thèse de M. Remmach [100]. La technique de l'imagerie pico-seconde (PICA) nous a permis de mettre en évidence la présence d'une perturbation au niveau de la porte stressée mais ne donne pas d'informations précises quant à la localisation exacte de ce(s) défaut(s). Par contre, cette technique permet de connaître les impacts que ce(s) défaut(s) a(ont) sur le circuit.

2.3.6 Validation de l'impact des défauts sur le fonctionnement du circuit par simulation électrique

Après le stress, ainsi qu'après deux années de stockage, nous n'avons observé aucune modification significative de la fréquence d'oscillation des circuits en mode dynamique. Lors des mesures PICA, nous avons montré que la présence de défauts perturbait la propagation du signal. Nous nous sommes donc intéressé au signal de sortie des circuits. Nous avons remarqué que même si la fréquence du signal n'était pas modifiée par la présence d'un défaut, l'amplitude et l'offset de ce dernier l'étaient. Grâce au simulateur SpectreS de Cadence, nous avons fait les simulations des comportements de ces circuits en mode dynamique. Nous avons été obligés d'améliorer le modèle du circuit afin d'obtenir un signal proche du signal mesuré en sortie des circuits. Les capacités, inductances et résistances parasites liées par exemple au "set-up" de mesure, aux résistances d'accès, aux inductances de bonding et aux capacités de ligne ont été estimées et implantées dans le modèle de simulation. On peut voir sur la figure 2.17 que la simulation est en assez bon accord avec la mesure, dans le cas d'un circuit non stressé.

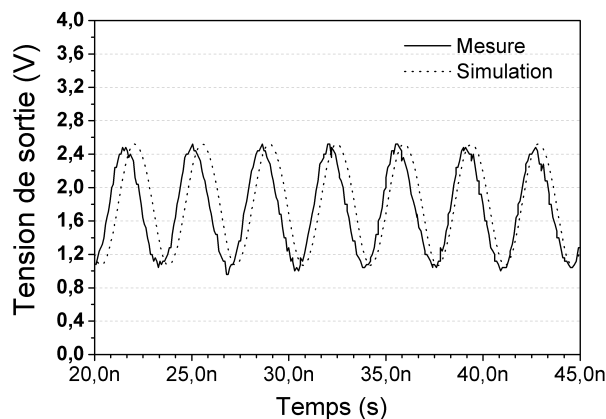


FIG. 2.17 – Signal de sortie du circuit

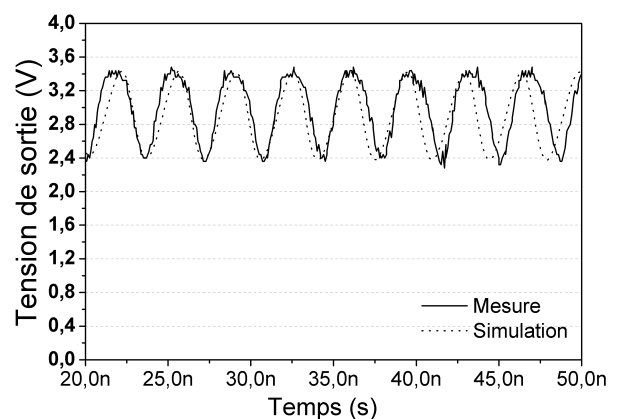


FIG. 2.18 – Signal de sortie du circuit 6

Nous avons vu grâce à la technique de localisation de défaillance OBIRCH que le défaut au niveau de la jonction drain-substrat du PMOS de l'étage stressé était de type résistif (c.f.

paragraphe 2.3.5). En rajoutant une résistance au niveau du drain de ce PMOS ainsi qu'entre la grille et la source dans le modèle de simulation, on observe un signal en sortie comparable à celui mesuré (c.f. figure 2.18). Ces résultats permettent de confirmer que les défauts générés par les stress CDM perturbent le fonctionnement du circuit même si elles restent minimales. Dans le cas de la pièce 6, la perturbation liée aux défauts n'induit qu'une augmentation de la tension d'offset ainsi qu'une diminution de l'amplitude du signal de sortie en mode dynamique. Cette perturbation du signal de sortie montre que des défauts même très petits (quelques micro-Ampères de courant de fuite supplémentaire) ont une incidence sur le fonctionnement du circuit.

2.3.7 Mécanisme de défaillance lors des stress SCDM. Validation grâce à une simulation physique 2D

Les stress SCDM positifs ou négatifs appliqués sur la broche spécifique ajoutée pour appliquer le stress directement sur une des portes du cœur du circuit induisent une surconsommation. Cette augmentation du courant de fuite est la signature de défauts dans le circuit. Ces défauts ont été localisés grâce à l'utilisation de techniques comme l'EMMI ou l'OBIRCH et l'OBIC (C.f. paragraphe 2.3.5). Nous allons présenter ici les mécanismes mis en jeu lors de ces deux types de stress (négatifs et positifs).

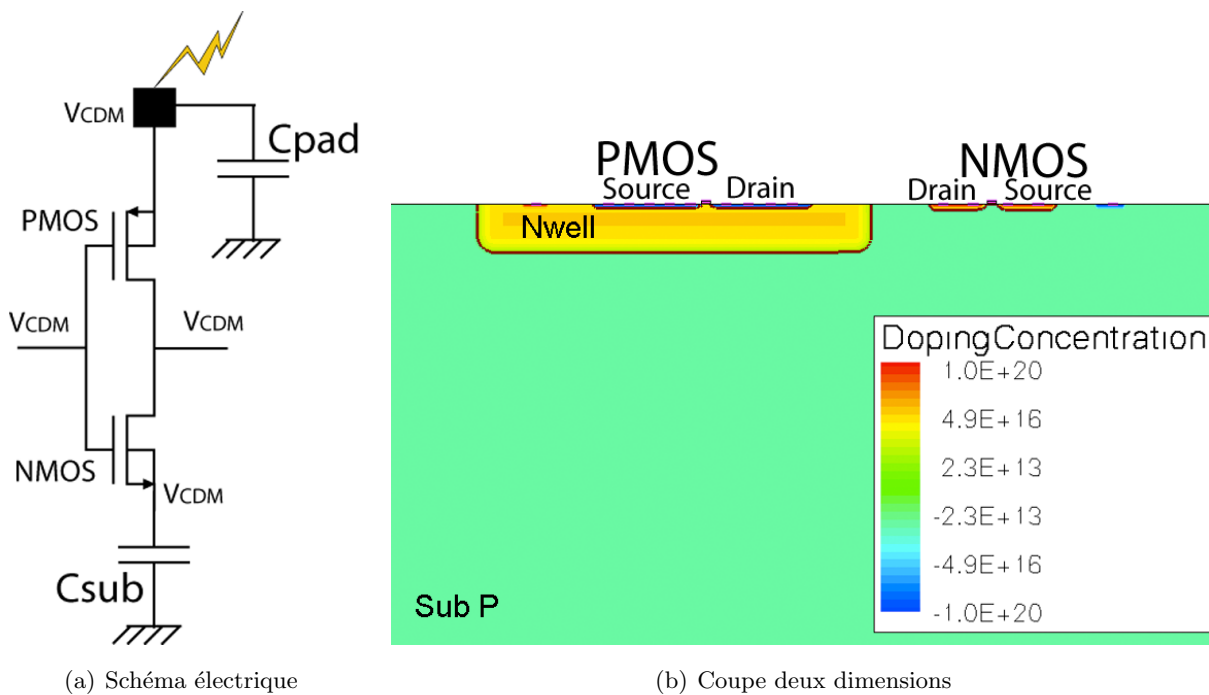


FIG. 2.19 – Schéma électrique et coupe de la structure simulée

Dans le cas d'un stress SCDM (c.f. paragraphe 1.1.2), toutes les broches du circuit sont portées au potentiel de stress, par exemple -1kV. Une fois cette tension atteinte, toutes les broches sont mises en l'air et la broche à stresser est connectée à la masse. La totalité des charges stockées dans le circuit et le boîtier est alors évacuée par cette broche. En utilisant un simulateur physique, nous avons simulé cette décharge en modélisant en deux dimensions l'étage stressé (c.f. figure 2.19(b)). Les charges stockées dans le boîtier sont représentées par des capacités comme représenté sur la figure 2.19(a) (Csub et Cpad). La capacité Cpad étant reliée aux charges sto-

ckées au niveau de la broche mise à la masse (stressée) et la capacité C_{sub} représentant les charges stockées dans tout le reste du circuit et du boîtier. Le bus de masse étant commun à tous les circuits présents sur la puce, les charges stockées au niveau de broches non-connectées au circuit stressé pourront être évacuées au travers de la broche de stress. La capacité C_{sub} est donc plus importante que la capacité C_{pad} . Les simulations électro-thermiques seront faites avec des tensions de pré-charge de $\pm 100V$, afin de ne pas utiliser trop de temps de calcul et rester dans les limites des modèles. Le graphe 2.20 représente la forme d'onde du courant au niveau de la broche stressée.

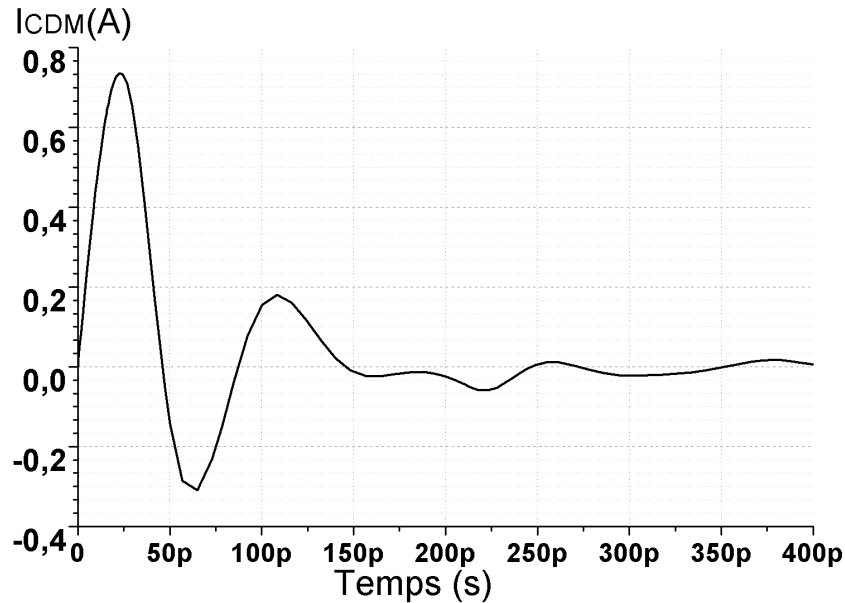


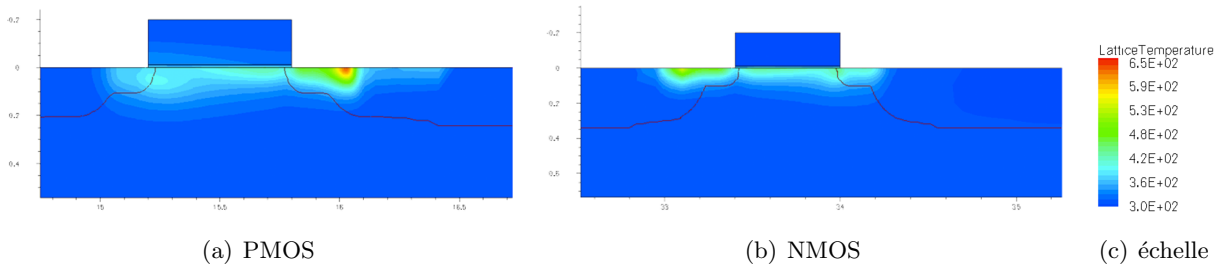
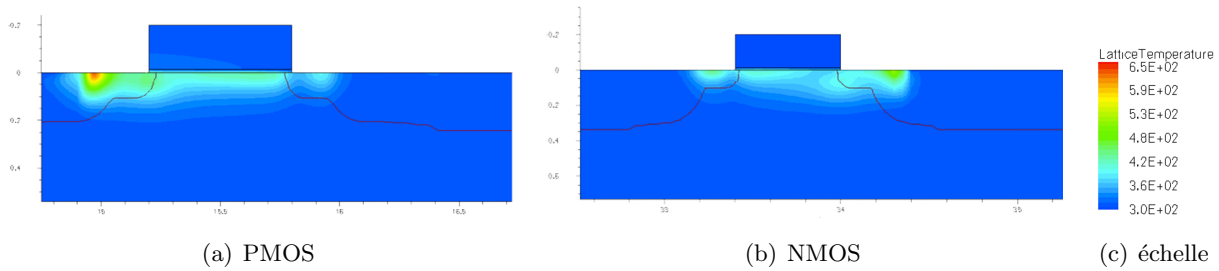
FIG. 2.20 – Courant de stress simulé au niveau de la broche de stress

Une simulation électro-thermique permet dans un premier temps de localiser les points chauds dans la structure au cours d'un stress positif et négatif. Les figures 2.21 et 2.22 représentent respectivement la température au cours d'un stress négatif et positif au niveau du PMOS et du NMOS de l'étage simulé. On remarque que les points chauds sont situés dans la région du **PMOS** pour les deux types de stress. Dans le cas d'une décharge positive, le point chaud est situé du côté de la source alors que, dans le cas d'une décharge négative, il est côté drain. Ce qui signifie que lors d'un stress critique, c'est-à-dire un niveau de stress provoquant l'apparition d'un défaut, ce dernier sera localisé au niveau de la jonction source/NWell du PMOS pour un stress positif et au niveau de la jonction drain/Nwell pour un stress négatif.

Dans le but de mieux comprendre les mécanismes qui sont à l'origine des défauts que nous avons détectés et localisés précédemment, nous allons étudier l'évolution de certains paramètres au cours d'un stress SCDM dans la structure (champ électrique, V_{gs} , densité de courant).

Comment se comporte cette structure lors d'un stress SCDM ? :

1. Pour une décharge négative, la diode Nwell/Psubstrat est polarisée en inverse ainsi que les diodes relatives aux drains du PMOS et du NMOS. On remarque sur la figure 2.24(a) correspondant à l'état de la structure au moment du pic de courant du stress SCDM


 FIG. 2.21 – Température de la structure au cours d'un **stress négatif**

 FIG. 2.22 – Température de la structure au cours d'un **stress positif**

(c.f. 2.20), que le transistor bipolaire NPN constitué par le caisson Nwell, le substrat P et le drain du NMOS, est déclenché et permet d'évacuer une partie du courant de décharge. La majeure partie du courant de décharge est donc conduit par les transistors bipolaires NPN et PNP parasites associés respectivement au NMOS et au PMOS de l'étage inverseur. Ce type de conduction engendre localement de forts champs électriques (c.f. figure 2.23(a)) associés à de forts courants (c.f. figure 2.24(a)) qui sont susceptibles de créer des détériorations de type fusion filamentaire du silicium au niveau de ces jonctions (voir paragraphe 1.2.2). Le transistor PNP étant moins robuste, il sera le premier à être détérioré dans le cas d'un stress critique. Nous pouvons donc conclure qu'une défaillance apparaîtra d'abord au niveau de la jonction drain/Nwell (en raison d'un fort champ électrique et de forte densité de courant) du PMOS de l'étage inverseur.

Les oxydes de grilles sont aussi soumis à de forts champs électriques pendant la durée du stress. Les courbes du graphique 2.25 montrent la simulation des surtensions V_{gs} au cours du stress dans le cas de stress positif et négatif.

Dans le cas traité ici d'un stress négatif, nous pouvons remarquer que même si la durée de l'impulsion est très brève, la surtension sur la grille est importante, proche de 40V pour un stress à $-100V$, tension bien au delà de la tension de claquage statique de l'oxyde $\approx 12V$. L'épaisseur de l'oxyde étant de 125\AA , le modèle de Fong [39] nous permet d'évaluer à 30V la tension de claquage pour un stress de $10ns$. Pour des stress de l'ordre du kV , cette tension dépassera certainement la tension de claquage de l'oxyde pour une durée de stress plus courte relative au stress SCDM ($\approx 1ns$). Il est important de noter que les simulations ne donnent qu'une tendance du comportement des paramètres électriques au cours du stress, néanmoins les surtensions observées au niveau des grilles du PMOS et du NMOS permettent de conclure à une dégradation des oxydes de grille. De plus, la répétition des stress aboutira très certainement au claquage de l'oxyde (c.f. paragraphe 1.2.1).

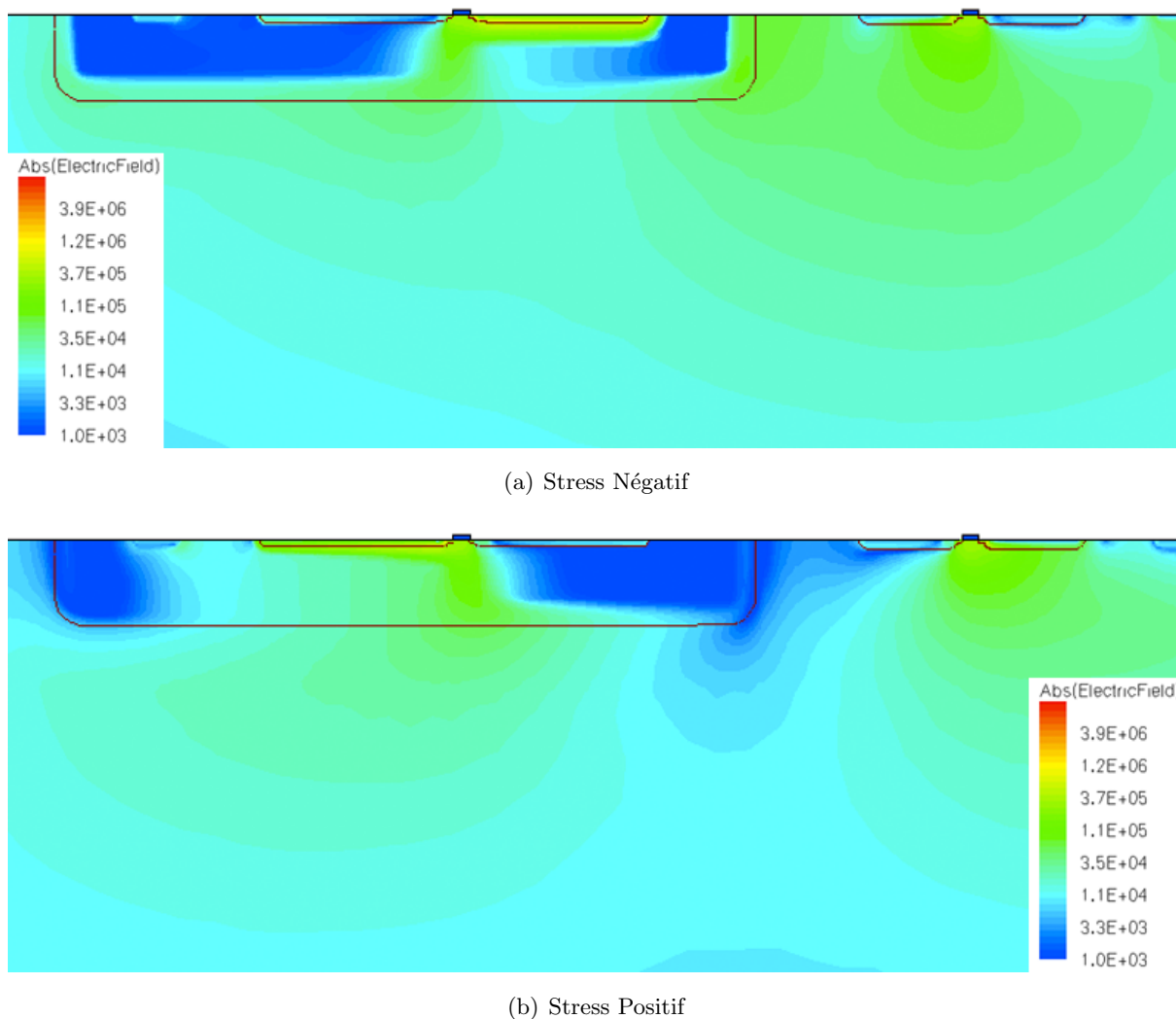
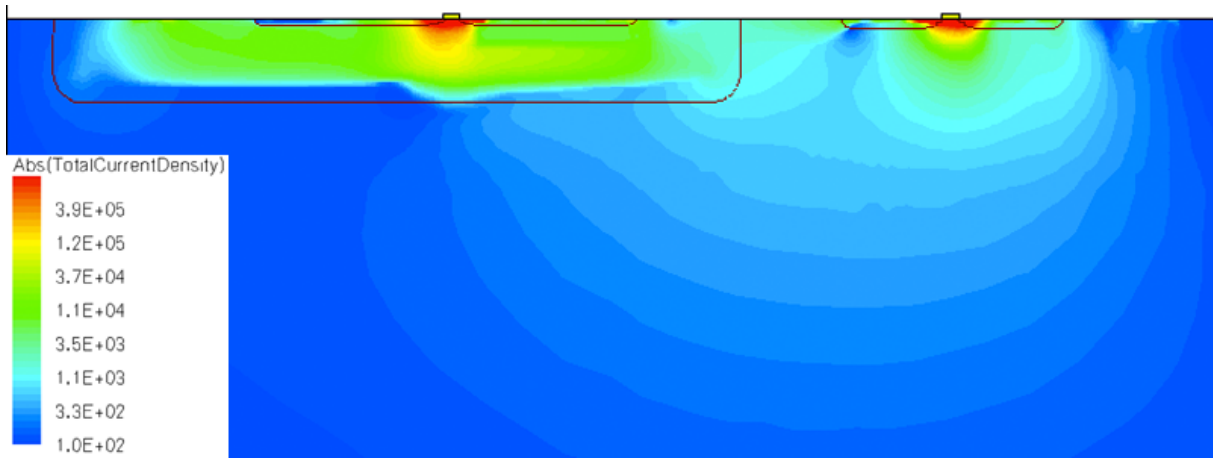


FIG. 2.23 – Résultats de simulation montrant le champ électrique dans la structure au niveau du pic en courant du stress SCDM

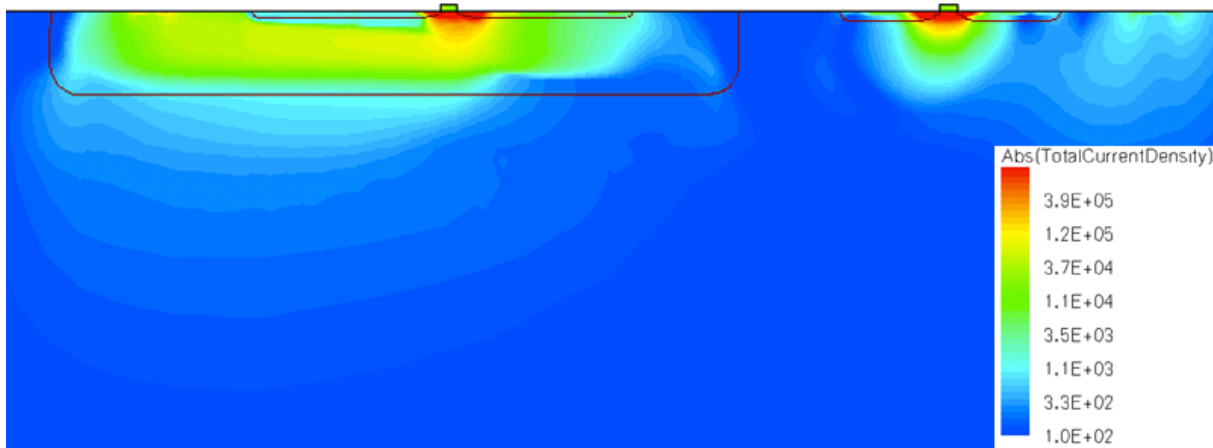
2. Dans le cas d'une décharge positive, le courant de décharge est conduit par des diodes en polarisation directe, en particulier la jonction NWell/Psubstrat du CMOS de l'étage stressé. Comme précédemment, les transistors bipolaires parasites NPN et PNP conduisent la majeure partie du courant (c.f. 2.24(b)). Un champ électrique important est présent au niveau de la jonction source/Nwell du PMOS (c.f. 2.23(b)), qui est à l'origine du lieu probable de défaillance dans ce cas. De plus, nous observons également au cours du stress qu'une surtension importante est appliquée aux oxydes de grille (c.f. 2.25) qui sera à l'origine du claquage des oxydes de grille, comme dans le cas d'un stress négatif.

Synthèse des simulations électro-thermiques

En résumé, les simulations électro-thermiques de l'étage stressé, pour des tensions de stress SCDM de $\pm 100V$, montrent que les oxydes subissent de fortes sur-tensions au cours des stress (c.f. figure 2.25), aussi bien dans le cas d'un stress **négatif** que d'un stress **positif**. Ces sur-tensions sont à l'origine du claquage des oxydes. Les simulation électro-thermiques montrent également l'apparition de points chauds, situés au niveau du drain du **PMOS** (c.f. 2.21(a)) dans



(a) Stress Négatif



(b) Stress Positif

FIG. 2.24 – Résultats de simulation montrant la densité de courant dans la structure au niveau du pic en courant du stress SCDM

le cas d'un stress négatif et côté source lors d'un stress positif (c.f. 2.22(a)). Ces deux points chauds seront les lieux des défaillances.

2.3.8 Conclusion de l'analyse de défaillance

En conclusion de cette analyse de défaillance, plusieurs remarques peuvent être faites. L'utilisation de techniques différentes de localisation ainsi que l'utilisation de la broche de stress supplémentaire pour faire des mesures électriques complémentaires ont permis d'obtenir des informations supplémentaires sur la nature et la localisation des défauts générés par les stress CDM. L'utilisation de différentes techniques de localisation ont permis de localiser plus précisément les lieux de défaillance, en particulier dans le cas des défauts de type filament. D'autre part, les techniques de localisation avancées telles que OBIC et PICA ont démontré leur capacité à déterminer la signature physique de ces défauts (filament très fin et en pointe) et leur impact sur le fonctionnement du circuit (perturbation du signal dans la chaîne d'inverseur). Grâce aux simulations électriques et électro-thermiques, nous avons validé l'impact, la nature et la locali-

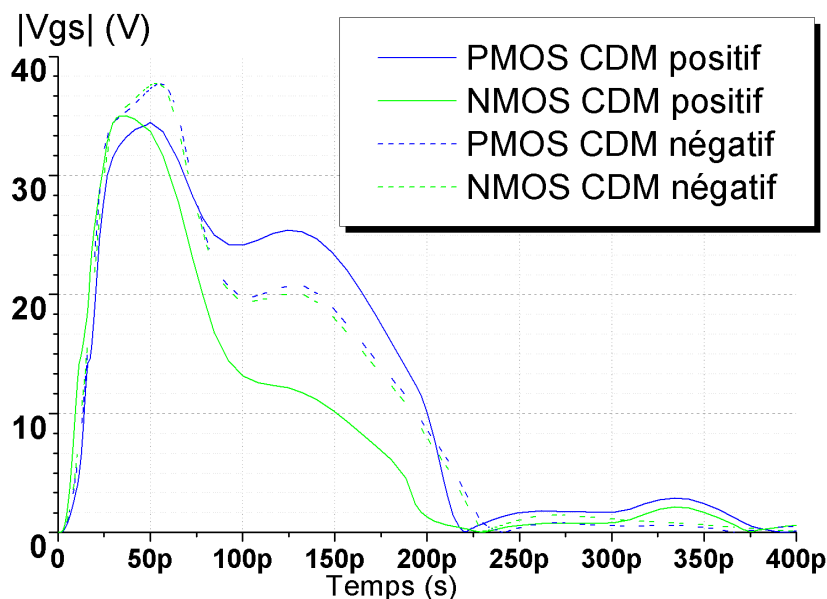


FIG. 2.25 – Surtension simulée au niveau des grilles du PMOS et du NMOS de l'étage stressé

sation des défauts détectés (claquage d'oxyde et fusion filamentaire de silicium au travers d'une jonction). En effet, la simulation électro-thermique fait apparaître un point chaud au niveau de la source du PMOS de l'étage stressé lors d'un stress négatif. La localisation de défauts faite pour la pièce n° 6, stressée avec des stress positifs, montre un défaut de type filamentaire observé coté source du **PMOS**.

2.3.9 Défauts induits indirectement

D'autres circuits digitaux de même type sont présents sur ce véhicule de test. Ces circuits ont aussi des broches d'alimentation supplémentaires séparées et non protégées vis-à-vis des ESD. Or, tous les circuits de la puce sont reliés au même bus de masse. Lorsque les stress SCDM sont appliqués au circuit inverseur, toutes les broches sont chargées au potentiel de stress. Les broches non protégées ESD des autres circuits de la puce vont se décharger au travers de la porte logique à laquelle elles sont reliées, la porte NAND dans le cas du circuit NAND et la porte NOR dans le cas du circuit NOR. Il en résulte que lors de la campagne de stress CDM, des stress non négligeables ont été appliqués à ces circuits. Ces stress indirects risquent d'induire la création de défauts. Nous allons présenter ici l'évolution de ces défauts durant la période de stockage. Leur cas est intéressant puisque ces défauts ne sont pas localisés aux mêmes endroits que sur les circuits de l'étude précédente.

Description des circuits stressés indirectement

Deux types de circuits similaires à ceux étudiés précédemment sont présents sur la puce de test. Ce sont aussi des chaînes de dix inverseurs rebouclées sur une porte NAND ou sur une porte NOR (Non Ou) comme représenté sur les schémas électriques des figures 2.26 et 2.27. La broche supplémentaire de stress est connectée à la broche d'alimentation de la porte NAND

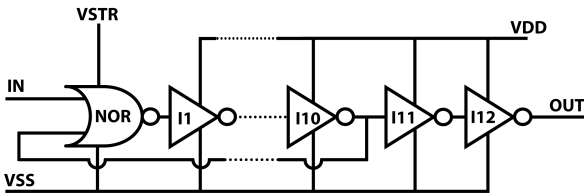


FIG. 2.26 – circuit NOR

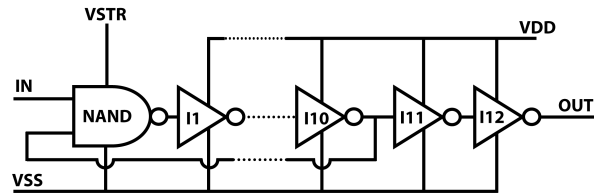


FIG. 2.27 – circuit NAND

ou NOR de ces circuits. Ces portes sont dessinées avec des MOS plus petits susceptibles d'être particulièrement sensibles aux ESD car les largeurs (W) des MOS de ces portes sont de dimension minimum.

Évolution des paramètres électriques après un stockage de 2 ans

Comme nous l'avons expliqué au paragraphe 2.3.9, ces circuits ont subi des stress indirects lors de la campagne de stress des circuits inverseurs. Le tableau 2.7 présente l'évolution des paramètres électriques de ces circuits avant et après deux années de stockage.

	NAND			NOR	
n°	3	5	6	5	6
Stress CDM	10@1,5kV positif	10@2kV positif et négatif	10@2kV positif	10@2kV positif et négatif	10@2kV positif
I_{DDq} (A) @ $V_{DD} = 4V$	230 μ	200p	3,3m	610 μ	980 μ
Courant de fuite après 2 années de stockage					
I_{DDq} (A) @ $V_{DD} = 4V$	3m	82 μ	3,6m	730 μ	994 μ
Fonctionnalité	OK	freq dim	OK	OK	non fonct

TAB. 2.7 – Évolution des courants de fuite des circuits NAND

On voit que les circuits ont été détériorés par les stress indirects, car leurs courants de fuite ont augmenté. L'image de la figure 2.28 représente l'acquisition EMMI du circuit n° 3 faite après l'application des stress. On distingue clairement un défaut au niveau de la porte logique NAND du circuit. Leur courant de fuite évolue après 2 années de stockage comme pour le circuit inverseur. Ces augmentations sont parfois très importantes, comme par exemple le circuit NAND n° 3, qui voit son courant de fuite multiplié par 12. Après les deux années de stockage, le circuit NAND n° 5 présente une diminution de la fréquence de sortie. L'évolution du défaut, dans ce cas, a un impact sur la fonctionnalité du circuit. En effet, le dessin des portes NAND, sur laquelle est appliqué le stress, est plus petit que pour les portes inverseuses du buffer sortie : elles sont donc plus fragiles puisque moins aptes à conduire une grande quantité de courant. Leur fonctionnement est aussi plus sensible à la présence d'un défaut. Les augmentations des courants de fuite après deux années de stockage sont liées à la dégradation des défauts.

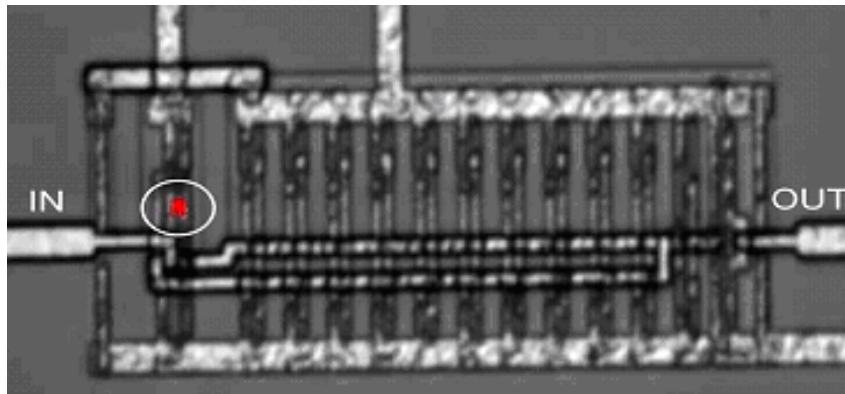


FIG. 2.28 – Image EMMI du circuit NAND n° 3

2.4 Conclusion

Grâce à un circuit test dédié, nous avons induit des défauts au cœur du circuit, c'est-à-dire de portes logiques et non pas au niveau des structures de protection ESD, en utilisant le stress SCDM. Les défauts créés provoquent une surconsommation qui n'induit pas de dysfonctionnement du circuit dans le cas des circuits stressés sur la broche d'alimentation du onzième étage de la chaîne d'inverseur. Après deux années de stockage dans des conditions normales, le courant de fuite de ces circuits augmente mais le signal de sortie n'est que peu perturbé. En effet, la fréquence d'oscillation n'est pas affectée. En faisant une analyse de défaillance très poussée, nous avons pu déterminer la nature des défauts créés par les décharges électrostatiques appliqués. Des mesures électriques avancées ainsi que les techniques EMMI, OBIRCH et OBIC ont permis de localiser ces défauts. La technique PICA a permis de mettre en évidence l'impact de ces défauts sur le fonctionnement du circuit. Grâce à un simulateur électrique, nous avons simulé l'impact de ces derniers sur le signal de sortie du circuit. Une simulation électro-thermique nous a aussi permis de comprendre le mécanisme de défaillance mis en jeu lors des stress SCDM. Des défauts ont été également induits par des stress CDM indirects dans les portes logiques NAND et NOR à l'entrée de circuits également présents sur ce véhicule de test. L'évolution de ces défauts montre que ces portes logiques, plus finement dessinées, sont plus sensibles que dans le cas de stress appliqués au niveau d'une porte inverseuse situé dans le buffer de sortie.

En résumé, nous pouvons dire que cette étude montre que des défauts latents présents dans un circuit digital mais n'engendrant que quelques nano-Ampères de courant de fuite supplémentaires peuvent évoluer au cours du temps jusqu'à induire un courant de fuite dépassant le micro-Ampère (limite couramment utilisée pour définir la défaillance), et même remettre en cause la fonctionnalité du circuit. La fiabilité (c.f. 2.1.1) étant la capacité d'un circuit à exécuter les fonctions requises dans les conditions indiquées pendant une période donnée, l'étude présentée dans ce chapitre montre que les circuits silicium, d'une technologie qui n'est pas vraiment sensible aux ESD, peuvent être dé-fiabilisés par la présence d'un défaut latent induit par un stress ESD. De plus, nous avons vu au début de ce chapitre 2.2.4 que la tendance pour les futures technologies ne va pas dans le sens d'une meilleure immunité contre les ESD. Les problèmes liés aux défauts latents, et surtout leur détection (c.f paragraphe 1.3), vont être de futurs défis en particulier pour les applications haute fiabilité. Nous allons présenter dans le chapitre suivant les nouvelles techniques que nous avons étudiées pour la détection de défauts latents.

Chapitre 3

Mise en place d'une technique avancée pour la caractérisation des défauts latents

Sommaire

3.1	Potentialités de la mesure du bruit basse fréquence pour la détection de défauts latents	68
3.1.1	Stratégies de protection des circuits intégrés face aux ESD	68
3.1.2	Fonctionnement d'une protection ESD basée sur un Transistor Bipolaire Autopolarisé	69
3.1.3	Étude d'un GCNMOS	71
3.1.4	Confirmation avec des protections ESD de type NPN	82
3.2	Étude de transistors MOS	87
3.2.1	Défauts de type filamentaire dans un NMOS	87
3.2.2	Défauts dans un oxyde d'un transistor PMOS	90
3.2.3	Conclusion	95
3.3	Validation de la technique sur des circuits	95
3.3.1	Circuits inverseurs	96
3.3.2	Convertisseur DC/DC	99
3.4	Conclusion	105

Dans les chapitres précédents, nous avons vu que l'omniprésence des puces microélectroniques, dans la société actuelle et en particulier dans les équipements touchant à la sécurité des personnes, rend primordial le besoin de fiabilité. L'amélioration de la fiabilité passe en partie par la détection dans les circuits intégrés des défauts latents, c'est-à-dire n'induisant pas de dysfonctionnement. Nous avons vu dans la partie 2.2.4, que les nouvelles technologies de fabrication tendent à proposer des circuits certes plus performants mais en contre partie, dont la robustesse face aux ESD sera largement diminuée. De plus, les techniques de détection et de tri actuellement basées sur la mesure des courants de fuite seront bientôt beaucoup moins efficaces voire inutilisables (c.f. paragraphe 1.3).

L'étude de l'impact des défauts latents sur la fiabilité des circuits intégrés traitée dans la partie 2.3 a montré l'importance de la détection de ces derniers pour améliorer la fiabilité. Nous allons présenter dans ce chapitre l'utilisation d'une nouvelle méthode pour la caractérisation de défauts latents. L'objectif de ce chapitre est de valider l'utilisation de la technique de mesure du bruit basse fréquence comme outil de détection et de caractérisation de défauts latents induits par stress ESD. En effet, nous avons montré dans la partie 1.3.5 que la mesure du bruit basse fréquence pouvait apporter des informations supplémentaires, en particulier dans le cas de bruit en excès. Nous essaierons d'utiliser ces propriétés afin d'obtenir des informations sur la nature des défauts créés. Cette technique de caractérisation n'ayant jamais été employée pour détecter des défauts ESD dans des circuits en silicium, nous avons dû procéder par étapes. Dans une première partie, nous avons vérifié l'applicabilité de cette méthode. Nous avons choisi pour cette première étape, d'utiliser des structures simples, de type protections ESD (GCNMOS : Gate Coupled NMOS). Dans une deuxième partie, différents types de défauts seront créés au niveau de transistors MOS dans le but de déterminer si les signatures observées grâce à la mesure du bruit basse fréquence permet de déterminer la nature du défaut. Enfin dans une dernière partie, nous avons validé l'utilisation de cette technique dans le cadre de circuits plus complexes, dans un premier temps, au niveau de la détection des défauts latents des circuits de test présentés précédemment (c.f. partie 2.3), puis au niveau d'un circuit commercial, un convertisseur DC/DC.

3.1 Potentialités de la mesure du bruit basse fréquence pour la détection de défauts latents

Afin de démontrer l'utilité de la mesure du bruit basse fréquence comme outil de détection de défauts latents, nous avons choisi d'étudier les potentialités de cette technique sur des structures bien connues que sont les éléments de protection ESD. Nous commencerons cette partie par un rappel sur la stratégie de protection des circuits microélectroniques contre les décharges électrostatiques, puis sur le fonctionnement des structures de protection de type TBA (Transistor Bipolaire Autopolarisé). Ensuite, nous présenterons les résultats de l'étude faite sur des GCNMOS ainsi que des mesures faites sur des transistors NPN après des stress de type TLP ou HBM.

3.1.1 Stratégies de protection des circuits intégrés face aux ESD

Toutes les entrées/sorties d'un circuit doivent être protégées contre les ESD. De plus, le réseau de protection ne doit pas perturber le fonctionnement du composant. Quelles que soient

les broches d'entrée et de sortie agressées, le réseau doit offrir un chemin pour évacuer le courant de la décharge électrostatique. De façon générale, les structures de protection doivent se situer autour du coeur du circuit à protéger et au plus près des entrées/sorties du composant ainsi que des bus d'alimentation. Il existe deux types de stratégies de protection, une stratégie dite distribuée et une stratégie centralisée. Le principe d'une protection centralisée est présenté sur la figure 3.1.

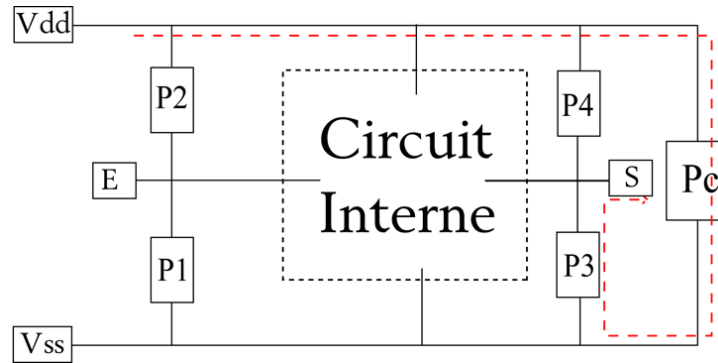


FIG. 3.1 – Stratégie de protection des circuits face aux décharges électrostatiques

Les protections des entrées et sorties vont diriger le courant de décharge vers la protection centrale P_C . Cette protection centrale est nécessairement bidirectionnelle, et est mise en jeu dans la plupart des cas de décharge, comme représenté sur la figure 3.1 dans le cas d'une décharge entre le plot Vdd et une des sorties.

3.1.2 Fonctionnement d'une protection ESD basée sur un Transistor Bipolaire Autopolarisé

Le transistor autopolarisé est très souvent utilisé comme structure de protection centrale. Nous allons présenter dans ce paragraphe le fonctionnement de cette structure lorsqu'elle est soumise à une décharge électrostatique. Le Transistor Bipolaire Autopolarisé (TBA) peut être un transistor bipolaire de type NPN ou PNP connecté en base commune, soit un transistor MOS ayant la grille, le substrat et la source court-circuités appelé GGNMOS pour Gate Grounded NMOS. Lorsque la grille est court-circuitée avec le substrat et la source au travers d'une résistance, la structure est appelée GCNMOS pour Gate Coupled NMOS. Dans ces deux derniers cas, c'est le transistor bipolaire parasite inhérent au transistor MOS qui est utilisé. De cette manière, le composant de protection que constitue le TBA est un dipôle, comme représenté par la figure 3.2, qui va conduire le courant de décharge.

Deux types de décharge sont donc possibles, un courant direct du point de vue de la jonction collecteur/base ou inverse, respectivement un stress négatif ou positif appliqué sur le drain.

- Cas d'un courant direct : Pour un courant direct, le composant se comporte en diode (la diode drain/substrat) et la tension à ses bornes est relativement basse. La puissance qu'il dissipe est faible. Ce composant étant de grande dimension, il pourra conduire des forts courants avant d'être détruit.
- Cas d'un courant inverse : Le composant conduit le courant sous une tension beaucoup plus grande que dans le cas précédent. En effet, au début de la décharge, le potentiel aux bornes de la structure augmente. La grille étant couplée, une polarisation de grille induit

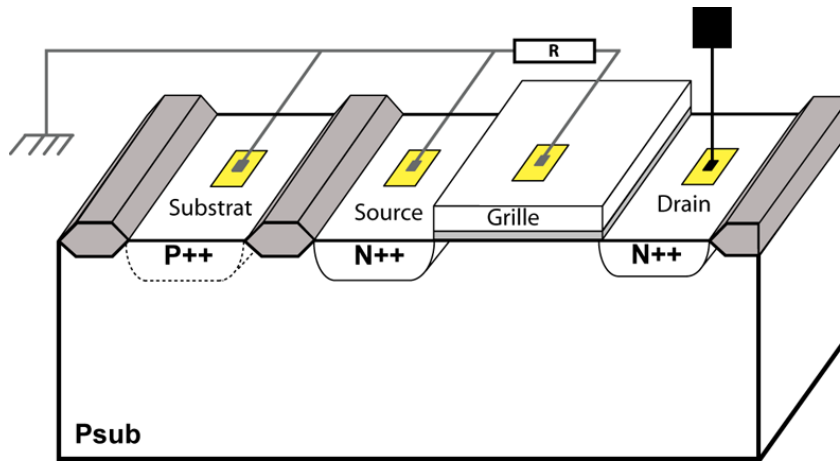


FIG. 3.2 – Coupe technologique d'un transistor GCNMOS utilisé comme protection ESD

la création d'un canal. Ce dernier favorise la conduction des électrons vers la jonction drain/substrat où ils sont multipliés dans la région de charge d'espace par avalanche. Les trous également créés sont évacués vers le contact de substrat au travers de la résistance de substrat R_{sub} . Lorsque la chute de potentiel au travers de cette dernière dépasse la tension de seuil directe de la jonction source/substrat, la source injecte un courant d'électrons dans le substrat. On assiste alors au déclenchement du transistor bipolaire et à un repliement de la tension de drain : les électrons injectés par la source sont multipliés par avalanche lorsqu'ils franchissent la jonction drain/substrat, permettant ainsi la diminution de la tension de drain nécessaire pour obtenir un courant de trous suffisant dans R_{sub} pour maintenir la jonction source/substrat en direct. Le courant engendré par la multiplication du courant de drain permet donc de polariser la base du transistor bipolaire, d'où l'appellation de transistor bipolaire autopolarisé. La tension à ses bornes reste plus élevée que dans le cas direct, la puissance dissipée est donc plus importante, ce cas est donc le plus critique. Nous utiliserons ce mode de décharge lors de la création des défauts latents.

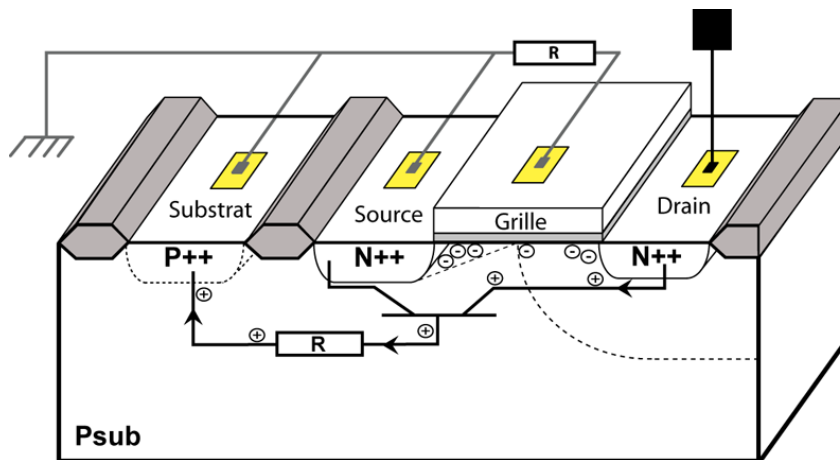


FIG. 3.3 – Schéma de fonctionnement d'un transistor GCNMOS

3.1.3 Étude d'un GCNMOS

Présentation de la structure

Le GCNMOS est un élément de protection ESD utilisé en technologie CMOS. C'est un MOS inter-digité à 4 doigts de grille de largeur $1,72 \mu\text{m}$ et d'épaisseur 37 nm . La structure est donc un dipôle dont le schéma équivalent est représenté par la figure 3.4.

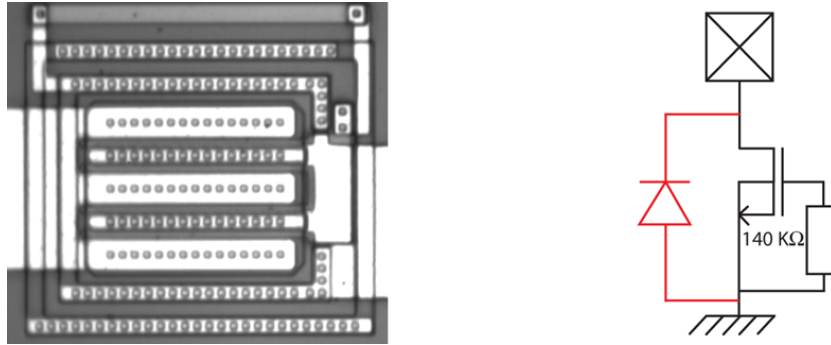


FIG. 3.4 – Photographie et schéma électrique d'un GCNMOS

Pour cette première étude, nous avons également décidé d'étudier les potentialités de la mesure des paramètres S comme indicateur de défauts latents. Ces mesures se faisant à plusieurs MHz , nous sommes obligés d'utiliser un boîtier spécial dit micro ruban, qui permet de connecter directement le composant avec une transition SMA par l'intermédiaire d'une ligne 50Ω . Comme représenté sur la figure 3.4 la structure est équivalente à une diode dont l'anode est reliée à la broche de drain et la cathode à la broche de substrat.

Caractérisation électrique statique

La caractéristique électrique statique de cette structure est donc équivalente à celle d'une diode. Lorsqu'une tension positive est appliquée sur le drain, nous avons le comportement d'une diode en inverse, c'est-à-dire un courant de fuite I_s jusqu'à une tension de claquage à partir de laquelle un courant d'avalanche important traverse la jonction. Si une tension négative est appliquée sur le drain, la diode est en fonctionnement direct, i.e. le courant croît de manière exponentielle à partir de la tension de seuil directe de $0,6\text{V}$. Lors de la caractérisation quasi statique d'une structure de protection (TLP ou vfTLP), la mesure des caractéristiques électriques statiques et en particulier l'évolution de ces dernières avant et après un stress permet d'obtenir une signature électrique de l'apparition d'un défaut dans la structure. Ce sont en général les caractéristiques inverses qui sont utilisées. La figure 3.5, montre la caractéristique électrique que nous avons choisie pour être notre témoin de l'apparition d'un défaut dans la structure.

Afin de comparer cette technique avec celle de la mesure du bruit basse fréquence, nous allons stresser le composant jusqu'à avoir une très faible modification de la caractéristique statique et la comparer avec l'évolution de la mesure du bruit basse fréquence.

Mesures du bruit basse fréquence

Banc de mesure Les mesures de bruit basse fréquence consistent à enregistrer le spectre en fréquence du courant qui traverse la structure pour une polarisation donnée. Nous utilisons

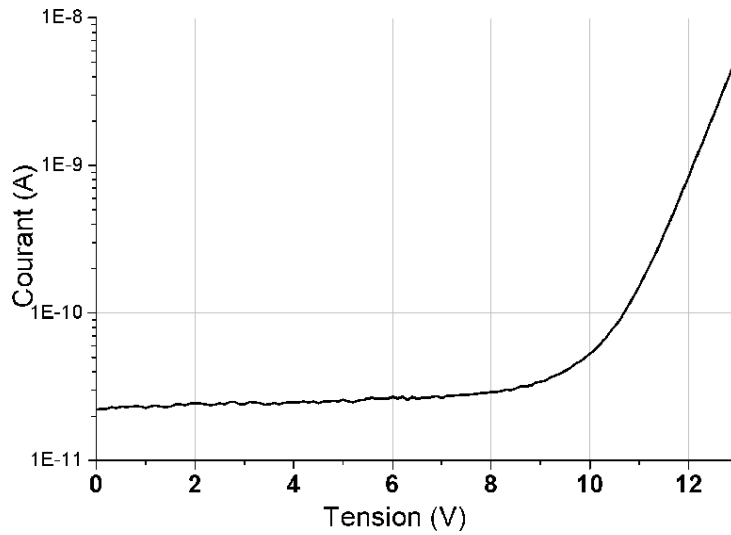


FIG. 3.5 – Évolution du courant inverse dans le GCNMOS

pour cela le banc de mesure décrit par le schéma 3.6, il se compose :

- d'un système de polarisation résistif, la résistance de polarisation doit être la plus élevée possible ($10M\Omega$) afin d'avoir un bruit thermique lié à cette résistance suffisamment faible pour ne pas masquer la source de bruit à mesurer.
- d'une capacité de découplage pour éliminer la composante continue du signal.
- d'un amplificateur transimpédance, qui amplifie les fluctuations de courant et les transforme en fluctuations de tension.
- d'un analyseur de spectre (HP 8941A) qui fait une transformée du signal temporel pour le ramener dans le domaine fréquentiel

Les mesures de bruit basse fréquence sont faites dans une cage de Faraday, avec une alimentation par batteries pour l'amplificateur transimpédance et le système de polarisation.

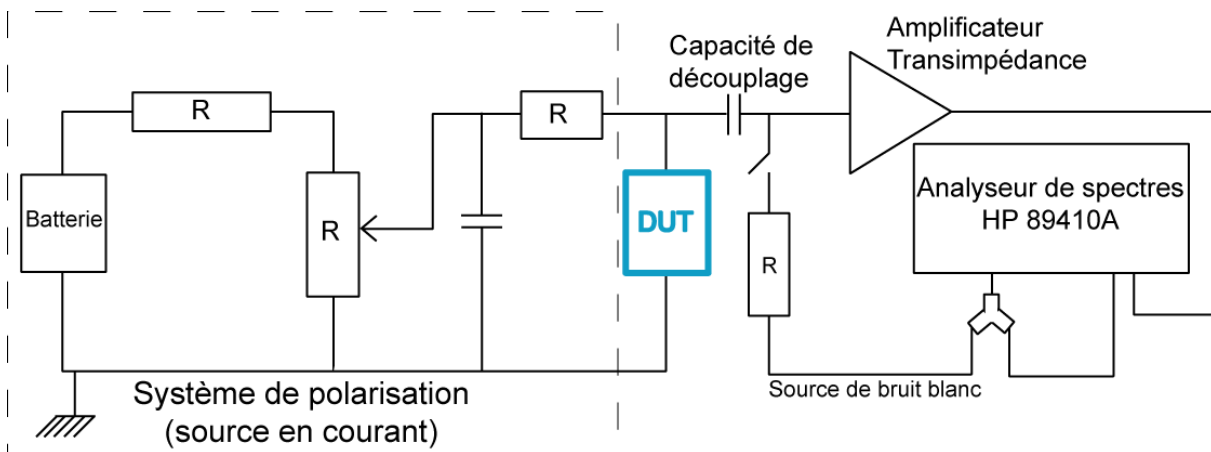


FIG. 3.6 – Banc de mesure du bruit basse fréquence

Avant de mesurer le bruit basse fréquence des structures étudiées, nous devons d'abord mesurer le bruit généré par le banc de mesure, décrit ci-dessus . Le niveau de bruit mesuré sera le niveau minimum mesurable. Il est représenté sur la figure 3.7 (bruit de chaîne) pour un calibre minimum de $10^{-8}V/A$ de l'amplificateur transimpédance. Les mesures du bruit basse fréquence

n'ont jamais été faites sur ce type de structure, il est donc difficile d'anticiper le comportement de ces dernières. Nous allons faire des mesures références qui permettront de suivre l'évolution de ces dernières après les différents décharges. De plus la mesure de bruit d'un composant de référence à chaque campagne de mesures permettra de déterminer la bonne reproductibilité de ces mesures. Comme nous l'avons vu précédemment, le composant étudié est un dipôle, il y a donc deux possibilités de polarisation : en direct ou bien en inverse. Nous avons choisi de faire les mesures en polarisation inverse comme dans le cas des mesures statiques. Nous nous sommes placés à une tension de **13V** pour avoir un niveau de bruit supérieur au niveau de bruit minimum mesurable par le banc de mesure. Le graphe 3.7 représente la mesure de bruit basse fréquence de référence (d'un composant n'ayant subi aucun stress) en polarisation inverse ($V_{DUT} = 13V$ et $I_{DUT} = 8nA$).

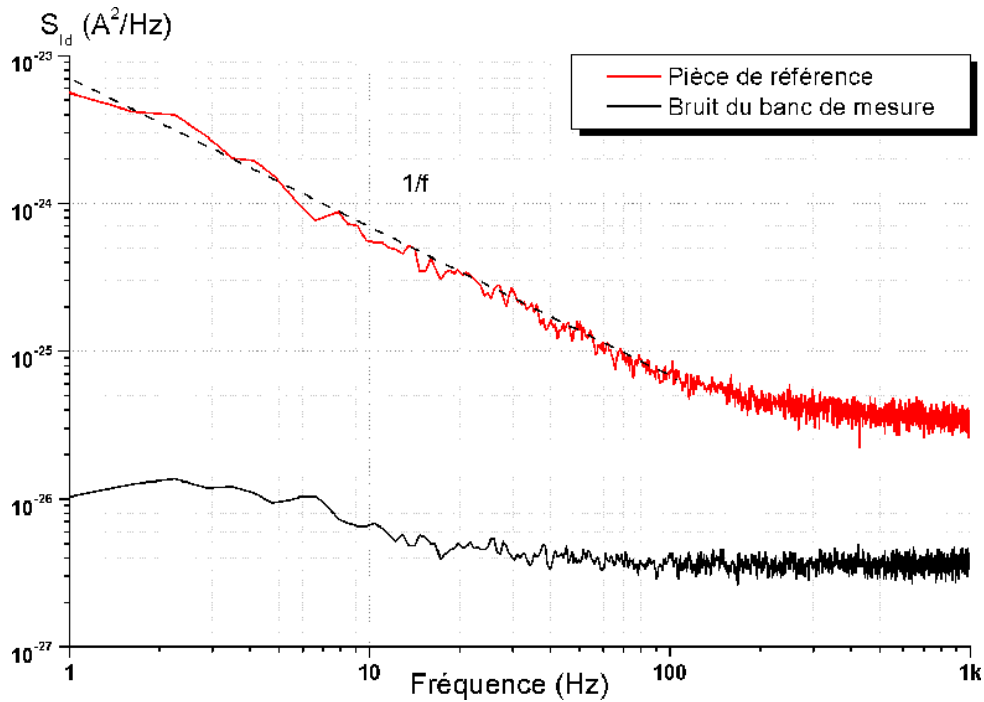


FIG. 3.7 – Mesures de la densité spectrale de bruit basse fréquence d'une structure de référence et du banc de mesure de 1Hz à 1kHz

Modèle analytique Le spectre a une décroissance en $1/f$ puis atteint un plateau à partir de $400Hz$. Le plateau est une superposition de sources de bruit : bruit de grenaille en $2qI$ et bruit thermique en $4kT/R$. Un modèle simple de la densité spectrale de bruit permet de décrire le spectre mesuré. Ce modèle est basé sur l'expression de toutes les densités spectrales des différentes sources de bruit.

$$S_{ID} = \frac{KI^\beta}{f^\gamma N} + \frac{4I^2 \overline{\Delta N^2}}{(nV)^2} \frac{1}{f_i + f^2/f_i} + 2qI(1 + M^\alpha) + 4kT/R \quad (3.1)$$

Le premier terme représente la densité spectrale de bruit en $1/f$ ou bruit de scintillation, le terme suivant correspond aux contributions de bruit en excès des différents centres de génération-recombinaison. Enfin les deux derniers termes rendent compte des sources de bruit de grenaille,

d'avalanche et de bruit thermique, comme nous l'avons décrit dans le paragraphe 1.3.5. Afin de simplifier ce modèle, on définira :

- A égal à $\frac{\alpha_t}{N} I^\beta$ qui correspondra à la constante relative de bruit en $1/f$
- γ correspondant à la puissance de f pour le bruit de scintillation
- K_i comme $\frac{I^2}{n^2 V} 4n_t f_i (1 - f_t)$ en rapport avec les sources de bruit de G-R
- f_i comme la fréquence relative à la constante de temps du centre recombinant τ
- B égal à $2qI(1 + M^\alpha) + 4kT/R$ pour le plancher de bruit.

L'équation 3.2 ainsi obtenue permet de connaître les contributions de chaque source de bruit dans la densité spectrale de bruit basse fréquence mesuré.

$$S_{ID} = \frac{A}{f^\gamma} + \sum_i \frac{K_i}{f_i + f^2/f_i} + B \quad (3.2)$$

En choisissant les bonnes valeurs pour les constantes A , B , K_1 et f_i nous pouvons obtenir la contribution des différentes sources de bruit dans les spectres mesurés, pour la structure de référence.

- $A = 3.10^{-23} (A^2 \cdot Hz^{\gamma-1})$
- $\gamma = 1,5$
- $K_1 = 0$
- $B = 4.10^{-26} (A^2 / Hz)$

La figure 3.8, montre la bonne corrélation entre le modèle et la mesure de la densité spectrale pour le composant de référence.

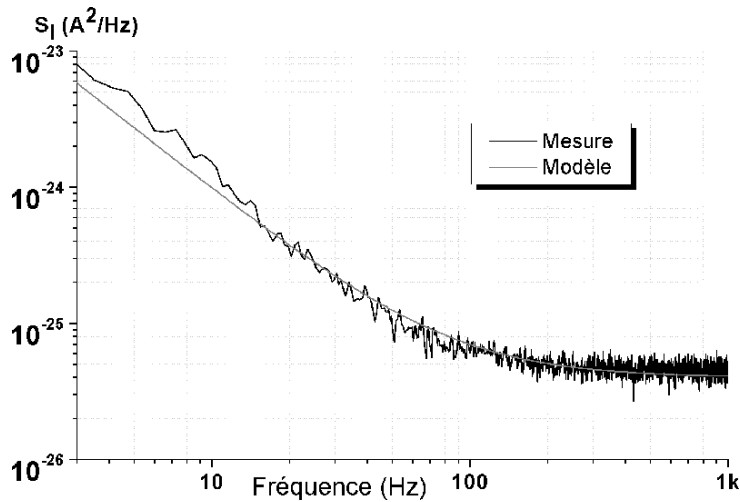


FIG. 3.8 – Comparaison du modèle avec la mesure

Ce modèle ne fait pas intervenir la composante liée au bruit de génération-recombinaison. Le spectre de la pièce de référence est constitué d'une composante de bruit de scintillation et d'un plancher de bruit probablement lié au bruit d'avalanche. Une modélisation plus précise du plancher de bruit observé donne une valeur pour le facteur multiplicateur d'environ $\sqrt[3]{15}$ c'est-à-dire entre une valeur comprise entre 1,57 et 3,8 ce qui est en accord avec la formule empirique de Miller [101].

Méthode de stress ESD

Nous avons choisi de stresser les composants en utilisant un testeur TLP, présenté dans la partie 1.1.3, dans le but de maîtriser la création d'un défaut latent. Après chaque stress TLP, les GCNMOS sont caractérisés complètement (mesures statiques et mesure du bruit basse fréquence) avant et après un recuit de 24 heures à 125°C. De cette manière, la création d'un (de) défaut(s) sera détectée soit par une évolution du courant de fuite soit par une modification du spectre du bruit basse fréquence. Nous avons choisi de faire un recuit de 24 heures afin de diminuer l'effet d'éventuelles charges piégées dans les oxydes et favoriser une défaillance de type filament au travers d'une jonction.

Dans un premier temps, nous avons tracé la caractéristique quasi-statique de cette structure de protection ESD comme décrit au paragraphe 1.1.3. Nous pouvons observer sur la figure 3.9 que la défaillance du GCNMOS apparaît pour un stress TLP d'environ 2,8A en cumulatif.

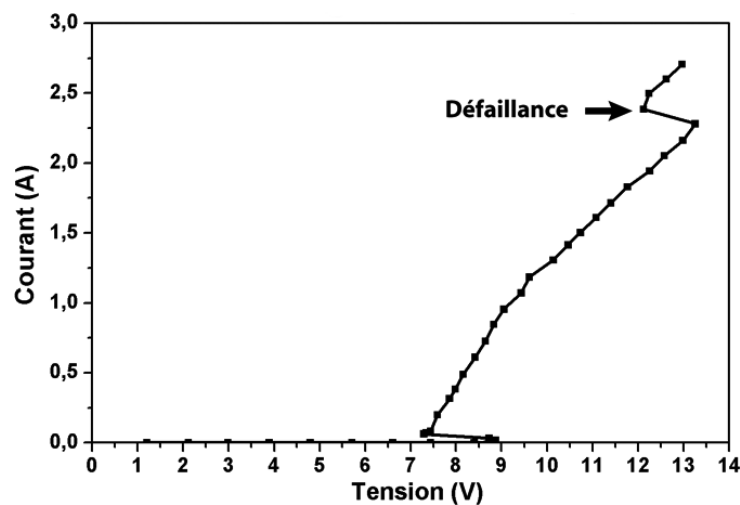
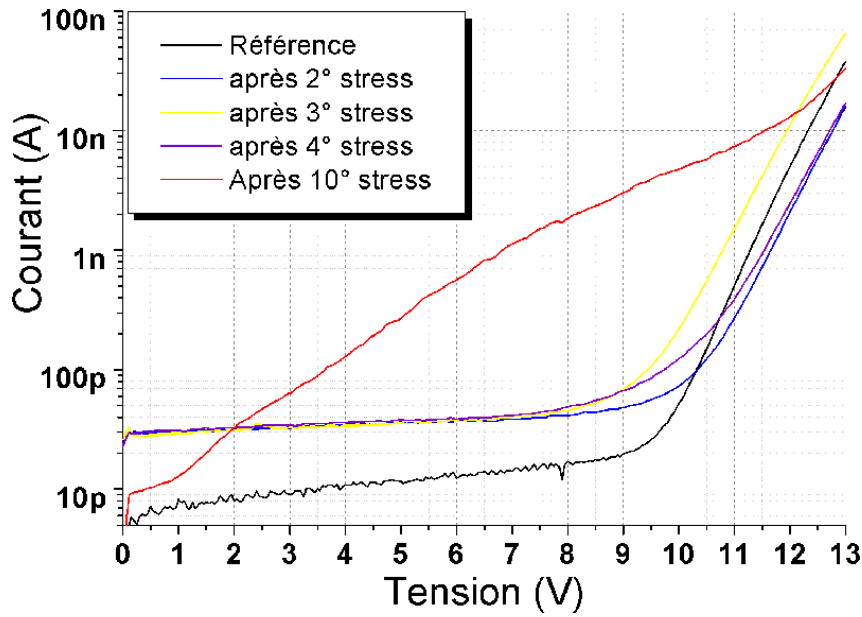


FIG. 3.9 – Caractéristique quasi-statique du GCNMOS

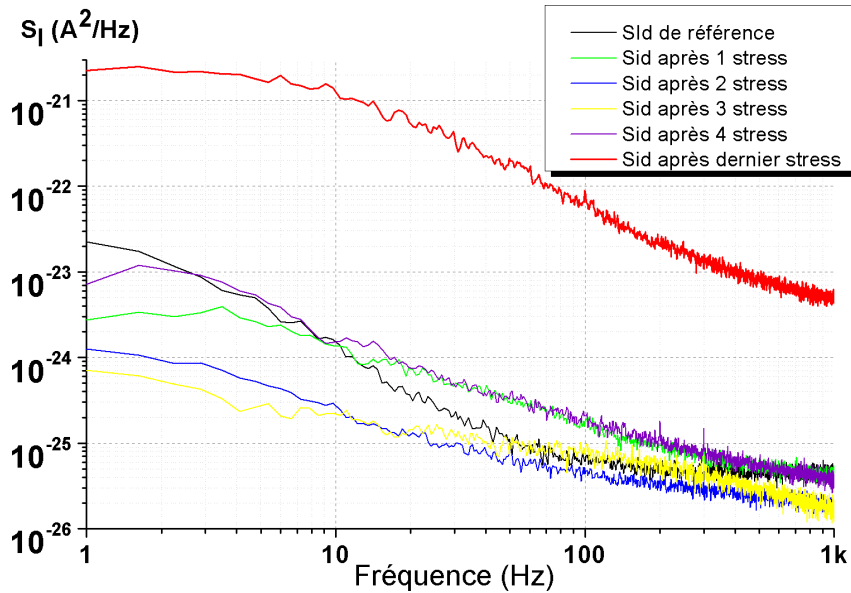
Résultats

Les figures 3.10(a) et 3.10(b) montrent respectivement l'évolution des mesures statiques et de bruit basse fréquence pour une structure ayant subi 9 stress TLP, un à 2,2A, un à 2,4A, un à 2,6A et 6 à 2,8A. Aucune évolution significative du spectre de bruit basse fréquence n'a pu être observée sans modification significative de la caractéristique inverse du courant de fuite.

On remarque sur la figure 3.10(a) que le niveau du courant de saturation I_s de la jonction avant l'avalanche augmente après le premier stress TLP. Nous avons remarqué que ce niveau diminue après le recuit de 24 heures à 125°C, mais ne retrouve pas le niveau d'avant stress. Des charges piégées dans l'oxyde de grille lors de la décharge TLP pourraient être à l'origine de ce phénomène. Après le dernier stress, la caractéristique I(V) de la pièce présente une augmentation du courant dès les basses tensions (3V), elle est d'une décade environ à 6V passant de 40pA à 500pA. Ce comportement induit une augmentation de près de 2 décades sur la mesure du bruit basse fréquence. Ce type de signature sur la caractéristique I(V) passerait inaperçu lors de tests industriels, le paramètre de défaillance étant en général un courant de fuite d'un micro-Ampère à la tension d'alimentation. Pour notre étude, ce type de signature est la preuve de



(a) Évolution de la caractéristique I(V)



(b) Évolution de la mesure du bruit basses fréquences

FIG. 3.10 – Comparaison de l'évolution des caractéristiques électriques au cours des stress

l'apparition d'un défaut *latent* dans la structure. Nous allons donc étudier plus en détail les signatures obtenues après ce dernier stress TLP. Cette augmentation du bruit BF liée à la forme du courant de fuite inverse de la structure permet d'émettre des hypothèses quant à la nature du défaut. La modification de la pente de la courbe de courant de fuite indique l'apparition d'une résistance plus faible qu'auparavant. Cette résistance peut être un ou des filaments traversant l'oxyde de grille ou de la jonction drain-substrat. Ces filaments créent une densité plus importante de centres recombinants à leurs interfaces avec le silicium ou dans l'oxyde et donc une augmentation du bruit basse fréquence en particulier du bruit de génération-recombinaison. Des mesures complémentaires après un recuit de 24H à 125°C sont effectuées pour étudier l'évolution de la signature de ce(s) défaut(s) avec la température. Les figures 3.11(a)

et 3.11(b) montrent respectivement l'évolution des mesures statiques I(V) et des mesures du bruit basse fréquence.

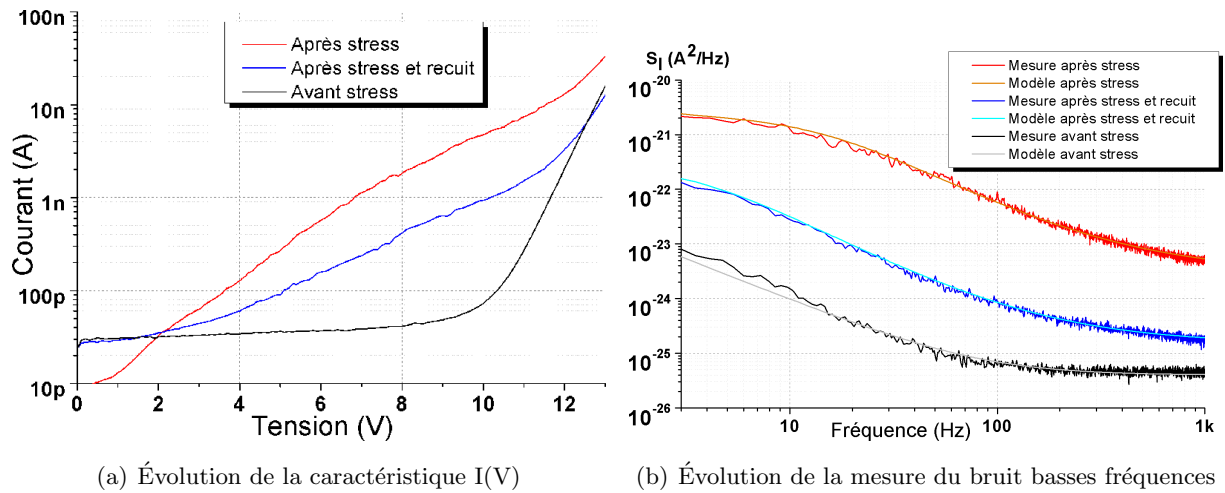


FIG. 3.11 – Comparaison de l'évolution des caractéristiques électriques au cours des stress

Après 24h à 125°C, le courant de fuite du composant a subi une faible modification de son allure, mais il reste toujours supérieur au courant de fuite de référence (C.f. figure 3.11(a)). Comme on peut le voir sur la figure 3.11(b), le bruit basse fréquence du composant reste très supérieur au bruit de la mesure de référence, tout en ayant diminué par rapport au bruit mesuré après le stress. Nous pouvons donc conclure que le défaut créé lors du dernier stress TLP entraîne une source de bruit supplémentaire de type bruit de génération-recombinaison. Ce défaut est actif le long du chemin de courant en inverse et évolue au cours du recuit. Nous pouvons avancer comme hypothèse quant à la nature du défaut : la création **d'un filament de silicium amorphe** au niveau de la jonction drain substrat du GCNMOS, et non au niveau de l'oxyde de grille qui est couplée, et donc peu stressée lors d'un ESD. Des stress TLP positifs au niveau du drain du GCNMOS ont été appliqués, c'est le cas le plus défavorable comme nous l'avons décrit dans le paragraphe 3.1.2 pour lequel c'est le transistor bipolaire parasite qui conduit le courant de décharge. Le défaut est généralement créé par second claquage thermique (comme nous l'avons décrit au paragraphe 1.2.2) au niveau le plus faible de la jonction du transistor qui est polarisé en inverse (jonction sphérique, surface...). Le courant en inverse, c'est-à-dire près de l'avalanche passe aussi à ce niveau et permet d'observer l'impact du défaut sur les caractéristiques I(V) et de bruit basse fréquence. L'impact sur la caractéristique I(V) correspond à l'apparition d'une résistance en parallèle plus faible à partir de 3V. Pour les mesures de bruit, nous observons l'apparition d'une source de bruit de génération-recombinaison et une augmentation du bruit en $1/f$ et du bruit de plancher. Le modèle présenté précédemment permet d'observer l'apparition d'une nouvelle source de bruit de génération-recombinaison. Le tableau 3.1 résume les paramètres que nous avons utilisés pour les différentes mesures (avant, après stress et après le recuit).

Ce tableau montre clairement l'apparition d'une source de bruit de génération-recombinaison (K_1) et une augmentation du bruit en $1/f$ (A) ainsi que du plancher de bruit (B). En effet, pour les composants stressés, les paramètres liés aux différentes sources de bruit ont dû être ajustés. Une seule source de bruit de génération-recombinaison est utilisée (K_1). Après le stress, une source de bruit de génération-recombinaison avec un plateau à environ $1,8 \cdot 10^{-21} A^2$ et une fré-

Paramètres du modèle	Avant stress	Après stress	Après stress et recuit
A ($A^2.Hz^{\gamma-1}$)	3.10^{-23}	2.10^{-21}	6.10^{-23}
γ	1, 5	1	1
B (A^2/Hz)	4.10^{-26}	3.10^{-24}	$1, 2.10^{-25}$
$f_1(Hz)$		14	3, 5
K_1 (A^2)		$1, 8.10^{-21}$	$1, 9.10^{-22}$
γ	1, 5	1	1

TAB. 3.1 – Paramètres du modèle de spectre de bruit

quence de coupure autour de $14Hz$ est nécessaire. Une augmentation importante des constantes liées au bruit en $1/f$ et au plancher est aussi nécessaire, respectivement : $3.10^{-23}A^2.Hz^{\gamma-1}$ à $2.10^{-21}A^2.Hz^{\gamma-1}$ et $4.10^{-26}A^2/Hz$ à $3.10^{-24}A^2/Hz$. Après le recuit de 24 heures à $125^\circ C$, le bruit de génération-recombinaison voit son plateau et sa fréquence de coupure passer respectivement à $1, 9.10^{-22}A^2$ et $3, 5Hz$. On observe également une diminution du bruit en $1/f$ et du plancher. Cette modification du niveau de bruit blanc observée de plusieurs décades est problématique puisque le courant à $13V$, polarisation à laquelle sont faites les mesures de bruit, ne varie pas ou peu. Plusieurs hypothèses peuvent répondre à ce problème :

- La plage de fréquence observée n'est pas assez large. Une deuxième source de bruit de G-R ayant une fréquence de coupure supérieure à $1kHz$ avec un plateau autour de $3.10^{-24}A^2$ avant le recuit et de $1, 2.10^{-25}A^2$ après le recuit peut engendrer la modification du plancher de bruit observée.
- Une modification de la partie réelle de l'admittance et/ou du facteur de multiplication par avalanche peut provoquer une modification du niveau de bruit blanc.

Il est important de noter que des mesures I(V) et de bruit basse fréquence en polarisation directe ont été faites sur ce même composant ainsi que des mesures de paramètres-S, mais elles n'ont pas permis d'observer de signature du défaut. A cela plusieurs raisons :

- Dans le cas des mesures en direct, le chemin de courant est différent de celui en mode de polarisation direct et inverse. Le chemin inverse active le défaut alors que le chemin direct non.
- Dans le cas des mesures des paramètres-S, une capacité de grille trop importante est probablement à l'origine de la non-détection du défaut. En effet, la modification que provoque le défaut étant très minime en terme de paramètres électriques (capacité, résistance...), la capacité importante liée à la grille du MOS (environ $30fF$ pour ce composant) masque toute modification d'autres paramètres électriques du modèle.

Une autre structure est stressée à partir de $2, 8A$, aucune augmentation du courant de fuite ni du bruit basse fréquence n'est observée après ce premier stress. Ce qui est la preuve d'un effet cumulatif des stress sur la création de défaut. Cette structure est stressée à nouveau, 2 fois à $2, 8A$, puis une fois à $3A$.

Après ce dernier stress, les caractéristiques I(V) en polarisation inverse ainsi que la mesure du bruit basse fréquence au même niveau de tension que pour les mesures de référence, c'est-à-dire à $13V$, montrent une variation significative (c.f. figures 3.12). Nous pouvons remarquer qu'après

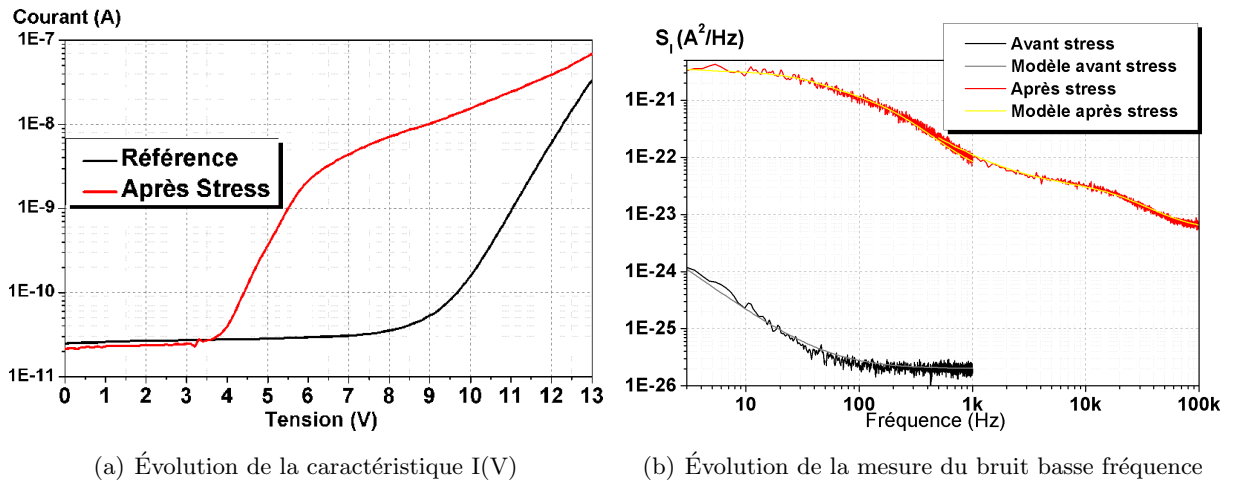


FIG. 3.12 – Comparaison de l'évolution des caractéristiques électriques avant et après les stress

le dernier stress à 3A, le courant de fuite augmente de près de deux décades à 6V (la tension d'alimentation) mais ne passe que de 20nA à environ 60nA à 13V (c.f. figure 3.12(a)). La densité de bruit basse fréquence à 13V voit son amplitude multipliée par plus de 10^4 à 10Hz, comme représenté sur la figure 3.12. L'expression analytique utilisée précédemment pour modéliser le densité spectrale de bruit permet de rendre compte de l'apparition de 3 sources de bruit de génération-recombinaison. En effet, afin de modéliser le spectre mesuré après l'application du dernier stress, des sources de bruit de génération-recombinaison doivent être ajoutées. Ces sources ont des fréquences caractéristiques de 40Hz, 200Hz et 21kHz et elles rendent compte de la présence de plusieurs centres de GR sur le chemin du courant inverse dans la structure. Ces centres de génération-recombinaison sont directement liés à la présence du (ou des) défaut(s) créé(s) lors du stress TLP à 3A. Un (ou des) filament(s) de silicium fondu(s) au travers de la jonction drain/substrat du GCNMOS sont à l'origine de ces centres de génération-recombinaison comme décrit au paragraphe 1.2.2. La transition entre le réseau cristallin du silicium et les filaments de silicium amorphe est le siège de nombreux centres de GR.

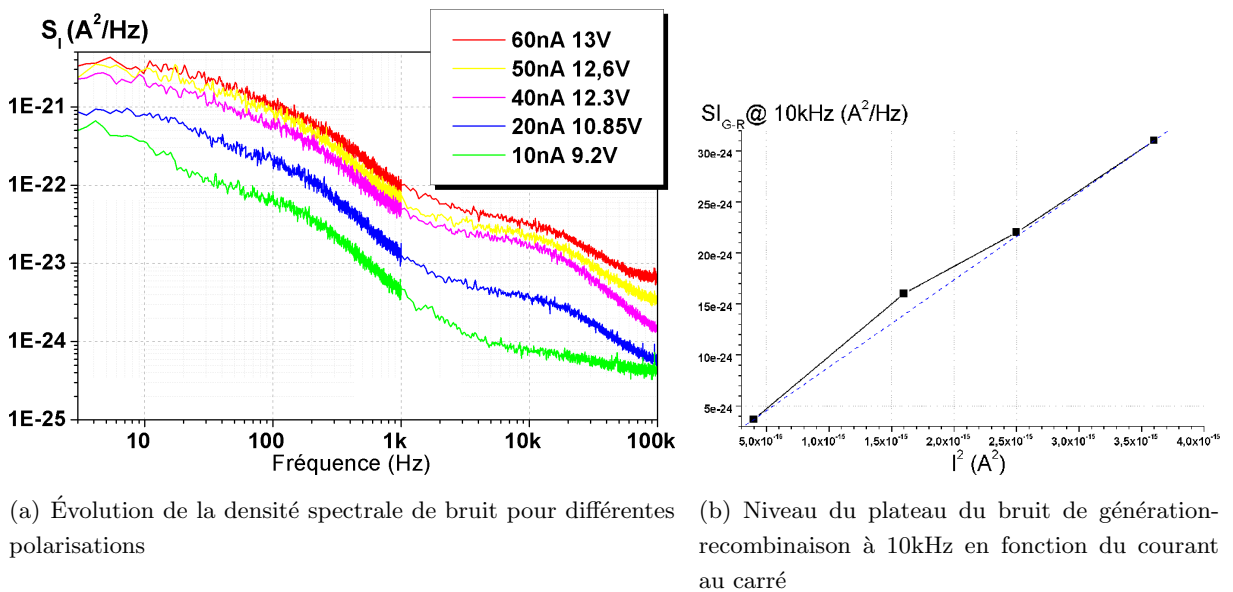


FIG. 3.13 – Spectre de bruit pour différentes polarisations et évolution du plateau à 10kHz

La figure 3.13 montre l'évolution du spectre de bruit basse fréquence en fonction des différentes polarisations en inverse de la structure. Nous pouvons remarquer que la densité de bruit en courant diminue avec le courant. Le plancher de bruit blanc est atteint autour de $100kHz$ pour les polarisations à $13V$ et $12,6V$, il correspond au bruit d'avalanche. En dessous de $12V$ ce bruit d'avalanche n'est plus aussi important et le plancher de bruit blanc n'est pas atteint. Nous pouvons noter également que le bruit de génération-recombinaison ayant une fréquence de coupure de $21kHz$ voit son plateau diminuer avec le courant et disparaître pour un courant de $10nA$. La figure 3.13(b) montre le niveau de la densité de bruit à $10kHz$ en fonction du carré du courant de polarisation. Cette évolution linéaire confirme qu'à $10kHz$ le niveau de bruit basse fréquence correspond au plateau d'une source de bruit de génération-recombinaison (c.f. paragraphe 1.3.5). Le spectre à $10nA$ présente une composante en $1/f$ pour les fréquences inférieures à $20Hz$. Cette composante en $1/f$ est présente également pour les spectres des autres polarisations, mais elle est masquée par les niveaux de bruit de GR qui lui sont supérieurs. Nous pouvons donc conclure que la composante de bruit en $1/f$ ne suit pas la même évolution que le bruit de génération-recombinaison en fonction du courant en I^2 mais plutôt en I^β avec β inférieur à 2, comme décrit dans la partie 1.3.5.

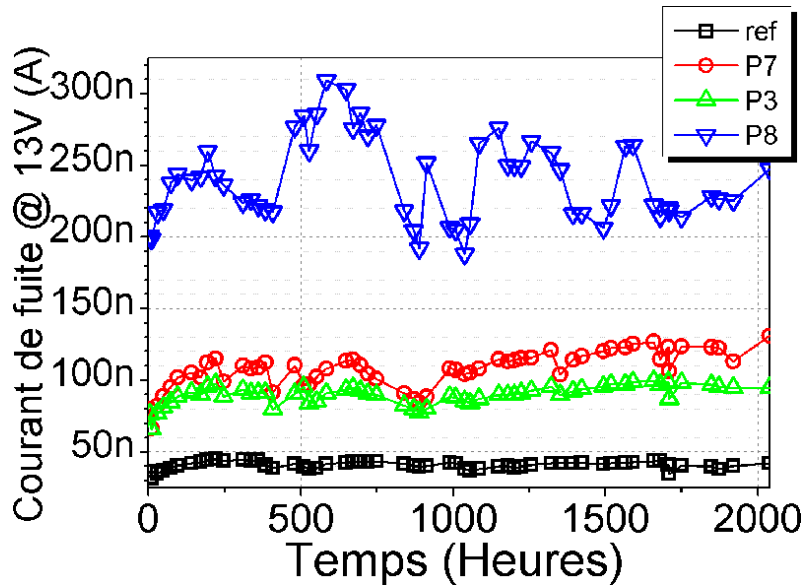


FIG. 3.14 – Courant de fuite avant et après le vieillissement de 2000 heures à $125^\circ C$

A la suite de ces mesures, ce composant a subi un recuit de 24 heures à $125^\circ C$ et est à nouveau caractérisé. Aucune modification significative n'apparaît, ni sur les caractéristiques statiques ni sur les caractéristiques de bruit basse fréquence. Le GCNMOS subit ensuite un vieillissement dans une étuve à $90^\circ C$ sous polarisation de $8V$. Nous avons choisi ces paramètres de façon arbitraire, sans avoir étudié leur impact sur la durée de vie et donc nous ne pourrions pas conclure quant à la modification de la durée de vie par la présence de défauts. Néanmoins, la figure 3.14 montre qu'il n'y a pas d'augmentation importante du courant de fuite à $13V$ après 2000 heures à $90^\circ C$ pour le composant étudié (P8).

Contrairement au courant de fuite, la mesure du bruit basse fréquence évolue après le vieillissement. La figure 3.15 montre le spectre de bruit avant et après le vieillissement du GCNMOS pour un point de polarisation identique ($V = 13V$ et $I = 60nA$). Après le vieillissement, la

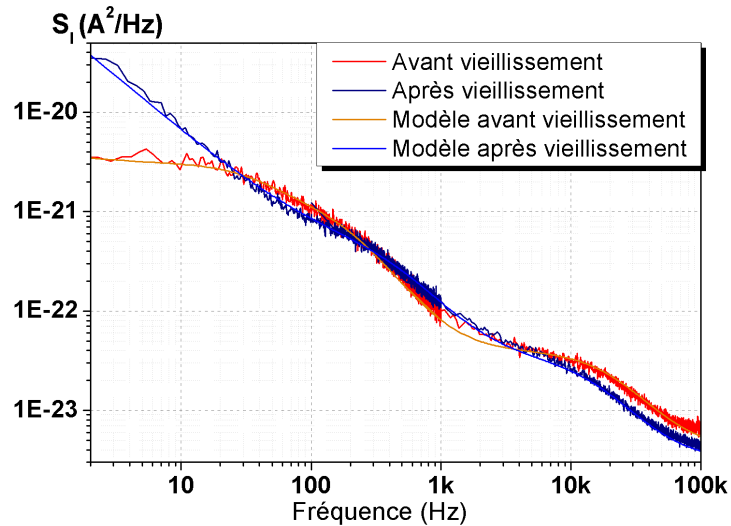


FIG. 3.15 – Densité spectrale de bruit avant et après le vieillissement de 2000 heures à 125 °C

source de bruit en $1/f$ a considérablement augmenté. Le paramètre A du modèle relatif à cette source de bruit augmente de près de 2 décades (c.f. tableau 3.2). On remarque de plus, une modification des paramètres de certaines sources de génération-recombinaison, par exemple celle ayant une fréquence de coupure à $21k Hz$.

Paramètres du modèle	Avant vieillissement	Après vieillissement
A en $A^2.Hz^{\gamma-1}$	1.10^{-21}	8.10^{-20}
γ	1, 1	1, 1
B en A^2/Hz	4.10^{-24}	3.10^{-24}
f_1 en Hz	40	500
K_1 en A^2	2.10^{-21}	3.10^{-22}
f_2 en Hz	200	16k
K_2 en A^2	1.10^{-21}	$2, 5.10^{-23}$
f_2 en Hz	21k	
K_2 en A^2	$3, 5.10^{-23}$	

TAB. 3.2 – Paramètres du modèle de spectre de bruit avant et après vieillissement

Certaines sources de bruit de G-R ne sont plus nécessaires pour modéliser le spectre mesuré. Ceci ne signifie pas qu'elles ont disparu, mais plutôt qu'elles ne sont plus prédominantes. Lors du vieillissement, des modifications physiques sont apparues au niveau de la structure et certainement au niveau du (ou des) défauts, comme par exemple un réarrangement cristallin au niveau des interfaces silicium amorphe-silicium cristallin, ou un dépiégeage de charges dans l'oxyde induisant une modification du spectre de bruit mais pas des paramètres statiques (le courant reste inchangé).

Conclusion

Cette étude permet de valider l'utilisation de la mesure du bruit basse fréquence comme outil de détection de défauts même latents, de type fusion filamentaire de silicium, créés par stress ESD (TLP). Cette méthode est plus sensible que la mesure du courant de fuite inverse car elle fait apparaître des augmentations de plusieurs décades alors que le courant de fuite n'augmente que très peu. De plus, le spectre de bruit basse fréquence renseigne sur la nature du défaut généré (sources de bruit de GR). Des études en température pourraient permettre de connaître plus précisément les énergies d'activation des centres recombinants [72]. L'évolution de ces défauts après un recuit est aussi observée par la mesure du bruit basse fréquence et non par la mesure du courant de fuite.

En résumé, la mesure du bruit basse fréquence est un outil plus puissant que la mesure classique du courant de fuite pour détecter et caractériser les défauts créés par stress ESD dans des structures microélectroniques en silicium.

3.1.4 Confirmation avec des protections ESD de type NPN

Nous allons présenter ici les mesures faites sur des structures de protection ESD de type TBA basées sur un transistor bipolaire NPN à deux doigts, dont une coupe deux dimensions d'un doigt est représentée à la figure 3.16. La caractéristique principale de cette structure est la présence d'un collecteur à dopage graduel (N++/N). Il est fabriqué dans une technologie CMOS analogique de $0,6\mu m$. Dans cette étude, des stress HBM et TLP ont été appliqués sur ces structures. L'utilisation du bruit basse fréquence comme outil plus sensible que la mesure du courant de fuite sera confirmée. Ces structures ayant été spécialement dessinées pour autoriser l'utilisation des techniques de localisation de défauts par la face avant, nous présenterons les résultats de la technique OBIC (c.f. paragraphe 1.4.2) de localisation de défauts, la seule à permettre de localiser les défauts détectés. Cette technique apportera également des informations supplémentaires quant à la nature et au lieu des défaillances.

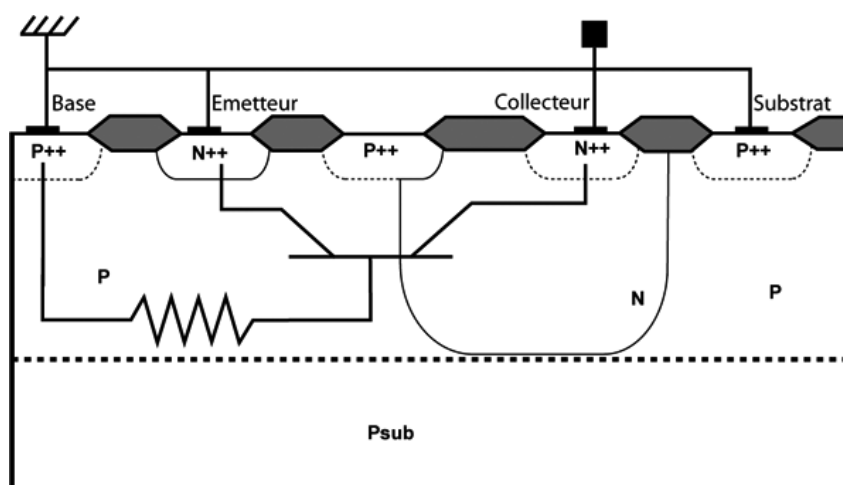


FIG. 3.16 – Coupe schématique d'une structure de protection de type NPN

La figure 3.17 montre l'évolution des courants de fuite inverses des structures de protection

ESD après chaque stress TLP pour la figure 3.17(a) et HBM pour la figure 3.17(b). Après la dernière décharge, les caractéristiques électriques sont semblables, ce qui semble indiquer la création d'un défaut comparable.

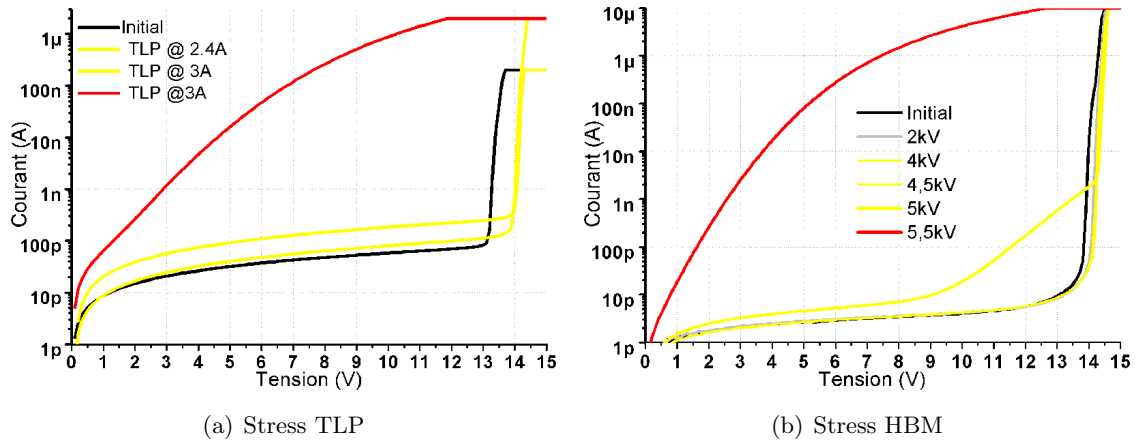


FIG. 3.17 – Évolution du courant de fuite après les stress

Nous avons mesuré le bruit basse fréquence de ces structures après les décharges. La figure 3.18 présente le résultat des mesures de bruit pour le même courant de polarisation : $50nA$. On remarque que les spectres des deux structures sont relativement similaires. Le niveau du bruit basse fréquence est le même, et les spectres ont la même allure. Comme pour l'étude précédente, nous pouvons conclure que les défauts générés lors des stress TLP et HBM sont de même nature puisque qu'ils présentent la même signature de bruit basse fréquence.

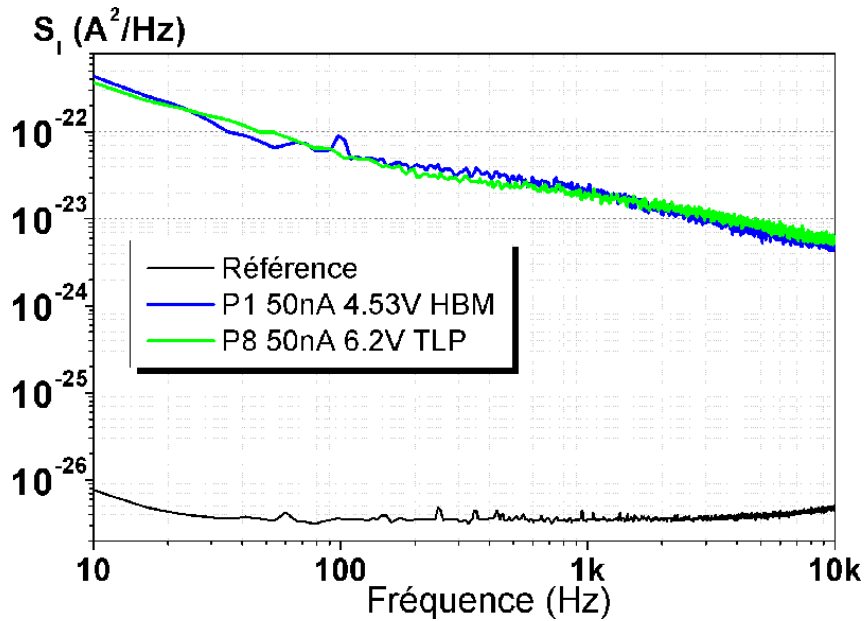


FIG. 3.18 – Mesure du bruit basse fréquence après les stress TLP et HBM

Nous avons fait une étude de localisation de ces défauts précédemment générés en utilisant différentes techniques (EMMI, OBIRCH et OBIC). Le faible niveau de courant de fuite supplémentaire engendré par le défaut rend la technique EMMI inefficace. Il n'y a pas assez de photons générés par ionisation par impact au niveau du défaut. Seule la technique avancée de localisation

basée sur la technique OBIC a permis d'observer les signatures relatives à la présence de défauts. La figure 3.19 montre une vue de dessus schématique d'un des deux doigts du transistor NPN et l'image de référence OBIC d'un composant n'ayant pas subi de stress. Les régions grises de la figure 3.19(a) représente les métallisations et les zones blanches les zones ouvertes. La jonction collecteur/emetteur est située au milieu de la zone ouverte, elle ne sera donc pas masquée par un niveau de métallisation lors de l'utilisation des techniques de localisation. Le collecteur et l'émetteur sont respectivement situés en haut et en bas sur l'image 3.19.

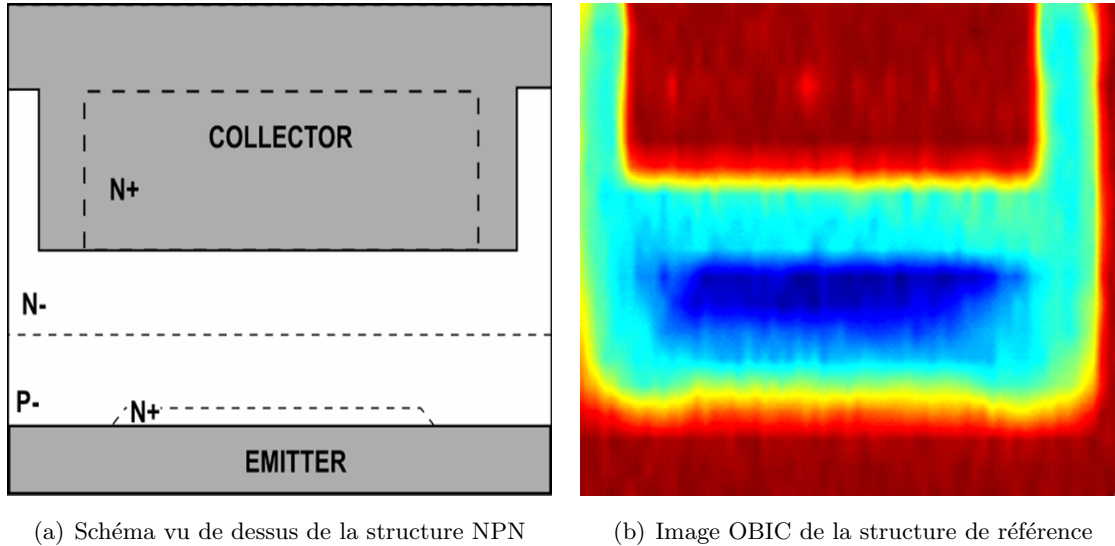


FIG. 3.19 – Schéma et image OBIC de référence

Sur la figure 3.19(b), l'échelle de couleur va du rouge vers le bleu, le rouge étant lié à une absence de photocourant généré et le bleu à un maximum de photocourant généré. Les régions colorées en rouge sont associées aux zones de métallisation, les zones bleues aux régions de silicium.

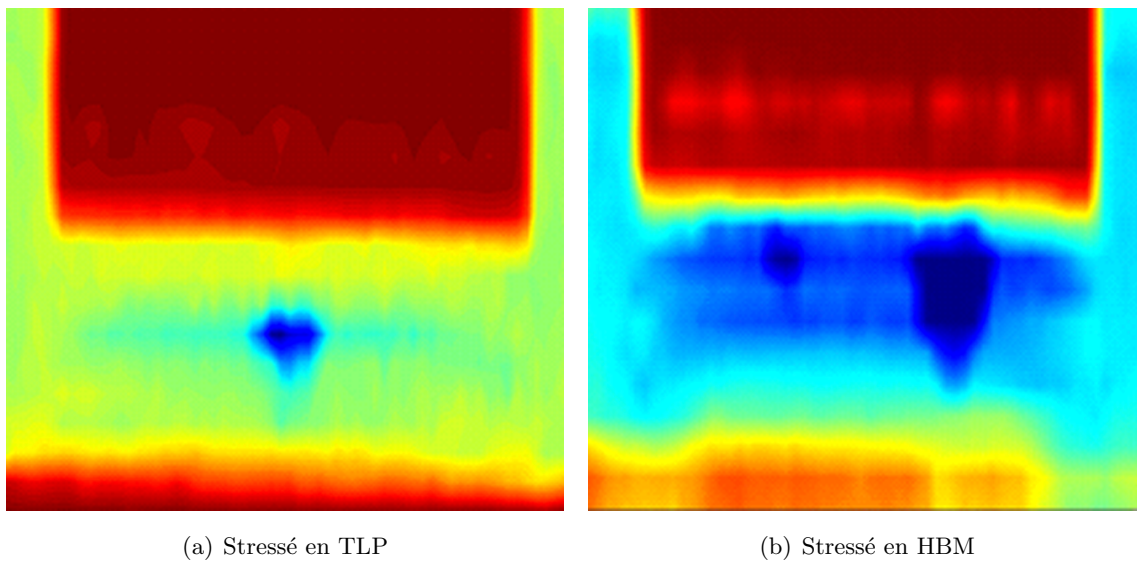
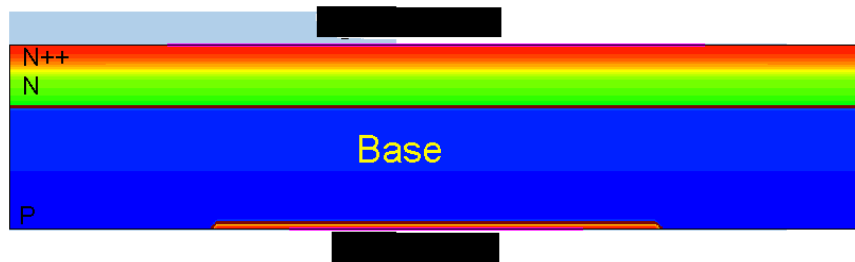


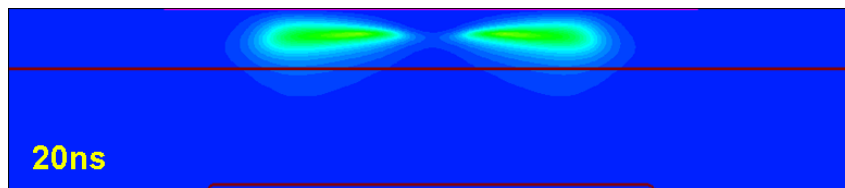
FIG. 3.20 – Image OBIC des NPN stressés

Les images 3.20(a) et 3.20(b) représentent respectivement les signatures pour le compo-

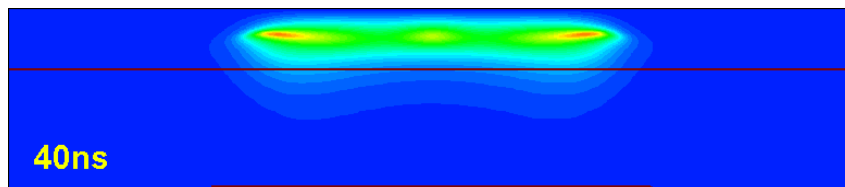
sant stressé en TLP et en HBM. On remarque sur l'image 3.20(b) la présence de deux régions colorées en bleu foncé significative d'un fort courant photogénéré. Ces zones sont les lieux de défaillance. En effet, des défauts de type silicium amorphe filamentaire, au travers de la jonction Collecteur-Base, créent par effet de pointe une augmentation locale du champ électrique qui a pour conséquence une meilleure séparation des porteurs photogénérés et donc un courant total photogénéré plus important. Dans le cas d'un composant stressé par impulsion TLP (c.f. figure 3.20(a)), une seule zone relative à une augmentation du courant généré est détectée. Nous avons donc **deux** défauts dans le cas de stress cumulatif HBM et **un seul** dans le cas de stress cumulatif TLP. De plus on remarque que le défaut dans ce dernier cas est situé au milieu du doigt du NPN.



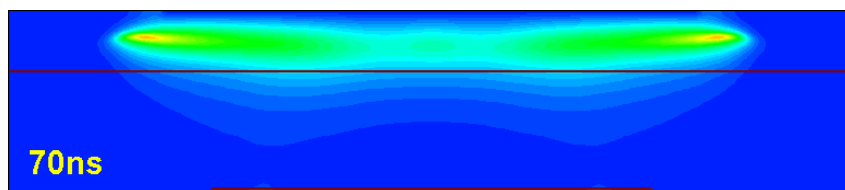
(a) Coupe deux dimensions de la structure simulée



(b) Température dans la structure à 20ns



(c) Température dans la structure à 40ns



(d) Température dans la structure à 70ns

FIG. 3.21 – Résultats de simulation électrothermique deux dimensions au cours d'un stress HBM

Afin de mieux comprendre cette différence dans la nature des défauts induits par les stress HBM et TLP, nous avons fait la simulation électro-thermique en deux dimensions de cette structure. En régime de forte densité de courant, le courant se focalise. Le dessin particulier de cette structure permet à ce courant focalisé (point chaud) de se déplacer [102]. Ce comportement favorise l'homogénéisation de la dissipation thermique le long du doigt de la structure et retarde

l'apparition du second claquage thermique à l'origine de la défaillance.

Grâce à une simulation électro-thermique de la structure le long du doigt de transistor NPN, représenté sur la figure 3.21(a), il est possible d'observer le déplacement du point chaud au cours d'un stress ESD, comme illustré sur les figures 3.21(b), 3.21(c), 3.21(d), lors d'un stress HBM. Ce point chaud est situé au niveau de la jonction N^{++}/N , où est présent le maximum de champ électrique. En comparant le comportement thermique de la structure au cours des stress HBM et TLP, nous avons observé une différence de dynamique de déplacement du point chaud. Cette différence sur le comportement du point chaud est également à l'origine d'une température maximale plus importante dans le cas d'un stress TLP que d'un stress HBM. Le graphique 3.22 présente le maximum de température dans la structure au cours d'un stress TLP et HBM. Pour un courant maximum de stress équivalent en HBM et TLP, le maximum de température est plus important dans le cas d'un stress TLP et apparaît à $70ns$. Dans le cas d'un stress HBM, nous observons deux maxima de température équivalents, un à $40ns$ et un autre à $160ns$. Ce comportement est compréhensible puisque dans le cas d'une impulsion TLP, toute l'énergie est fournie en $100ns$, le point chaud se déplace donc plus rapidement le long du doigt afin de dissiper toute l'énergie fournie. Lors du stress HBM, l'énergie est fournie sur une plus grande période ($\approx 500ns$), même si les $3/4$ de l'énergie sont fournis au cours des cents premières nano-secondes. Cette différence de dynamique thermique est certainement à l'origine de la différence de signature de défaillance observée.

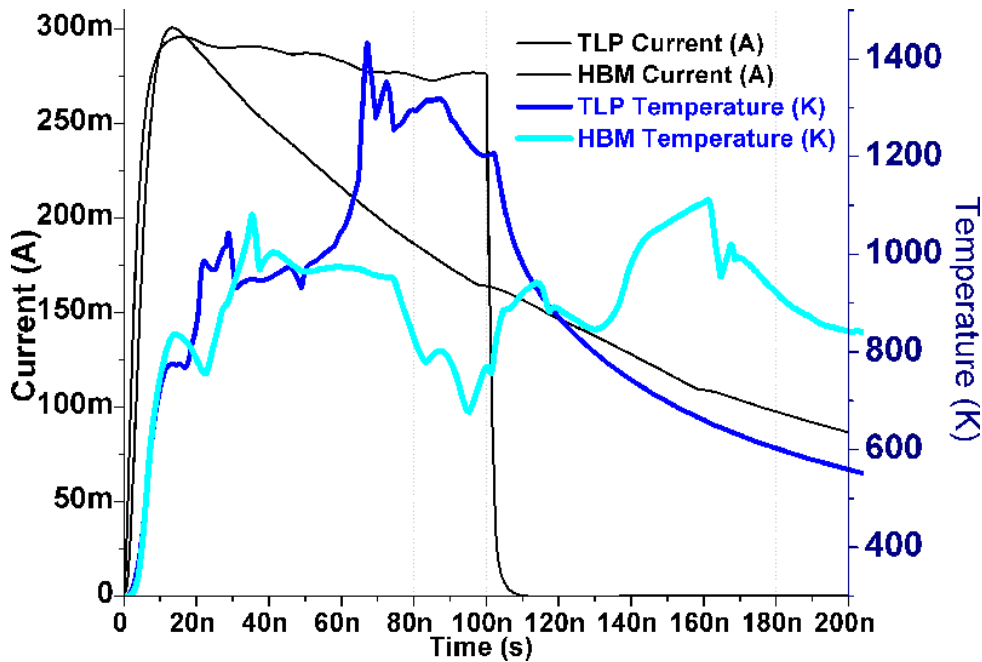


FIG. 3.22 – Évolution du maximum de température au cours d'un stress TLP et HBM dans la structure TBA NPN

La simulation électro-thermique utilisée ici nous renseigne de façon qualitative sur les phénomènes réels se produisant lors des stress HBM et TLP, en particulier à cause des modèles de température qui ne sont plus valables au dessus de $800K$ et du fait que nous avons fait une simulation deux dimensions qui surestime la température dans la structure. Néanmoins, la si-

mulation renseigne sur le comportement global de la structure au cours des stress. Nous avons pu relier la différence de dynamique thermique observée à la figure 3.22 à une différence dans le déplacement du point chaud le long du doigt du NPN. Un article publié à la conférence ESREF 2005 et dans la revue *Microelectronics Reliability* [20] détaille cette étude.

3.2 Étude de transistors MOS

Les études précédentes (c.f. paragraphes 3.1.3 et 3.1.4) ont montré la possibilité d'utiliser la mesure de bruit basse fréquence comme outil de détection d'un défaut latent. Ces études ont été menées sur des structures de protection ESD de type TBA. Ces structures, en régime statique, se comportent comme des diodes, la grille ou la base de ces transistors étant court-circuitée à la source ou à l'émetteur. Nous allons maintenant étudier le cas de transistors NMOS et PMOS connectés en source commune, mode de connexion couramment employé dans les circuits microélectroniques. Les défauts créés jusqu'à présent sont des défauts latents de type filamentaire au niveau de la jonction. Nous allons dans un premier temps étudier l'impact de ce type de défaut sur les caractéristiques basses fréquences des transistors dans ces différents régimes de fonctionnement : sous le seuil, ohmique et saturé. Puis nous présenterons les résultats obtenus en créant des défauts latents au niveau des oxydes de PMOS.

3.2.1 Défauts de type filamentaire dans un NMOS

Le NMOS utilisé ici, provient de la même technologie de fabrication que le GCNMOS étudié précédemment. Il existe cependant une différence dans le dopage de la région de canal dans le but de diminuer le V_t de ces structures. Le courant de fuite de la jonction de drain est donc plus important, comme on peut le vérifier sur la figure 3.24(d). Connaissant le mode de défaillance de cette structure en mode grille court-circuitée et désirant obtenir le même type de défaut, à savoir un défaut de type filamentaire au travers de la jonction drain/substrat, nous avons appliqué des stress TLP de façon cumulée en court-circuitant la grille avec la source et le substrat, comme représenté sur la figure 3.23. Nous avons stressé cette structure jusqu'à obtenir une signature similaire à celle de l'étude du GCNMOS, c'est-à-dire une augmentation importante du courant de fuite inverse à 6 V mais inférieure au micro-Ampère.

Les caractéristiques statiques du NMOS sont mesurées avant et après les stress et sont représentées sur la figure 3.24. Nous avons mesuré les caractéristiques suivantes :

- Caractéristique $I_d(V_{ds})$, figure 3.24(a).
- fonction de transfert, figure 3.24(b).
- Caractéristique $I_d(V_{ds})$ sous le seuil, figure 3.24(c).
- courant de fuite de la jonction drain/substrat, figure 3.24(d).

Ces mesures permettent de conclure à la création d'un défaut de type latent puisque le fonctionnement du transistor n'est pas ou peu modifié. Même la pente du courant sous le seuil ne présente pas de modification. Seules les caractéristiques sous le seuil à des tensions de drain supérieures à 1,2V de grilles inférieures à 0,1V sont perturbées par la présence du défaut. A ce niveau de courant, le courant de fuite dû au défaut est comparable au courant mesuré ce qui explique cette modification. Dans les autres cas, le courant supplémentaire lié au défaut est très inférieur au niveau des courants mesurés. Les mesures de bruit basse fréquence sont faites avant

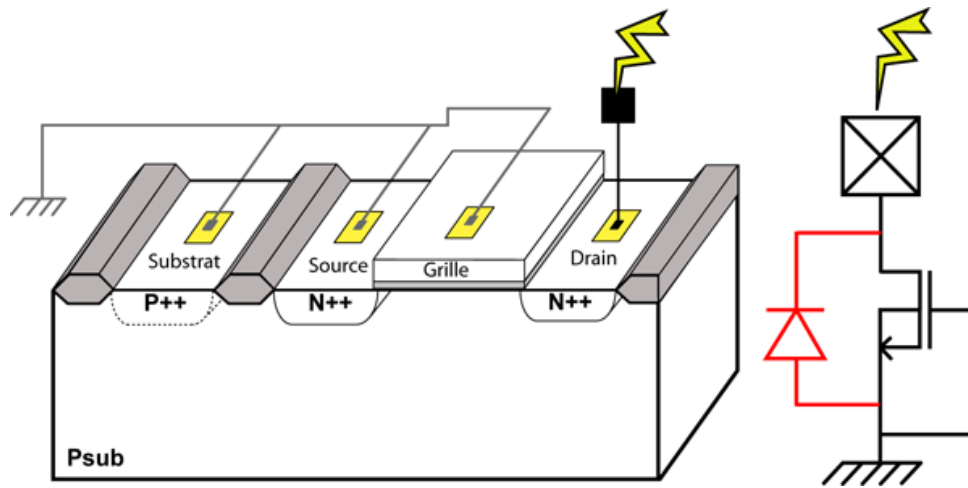
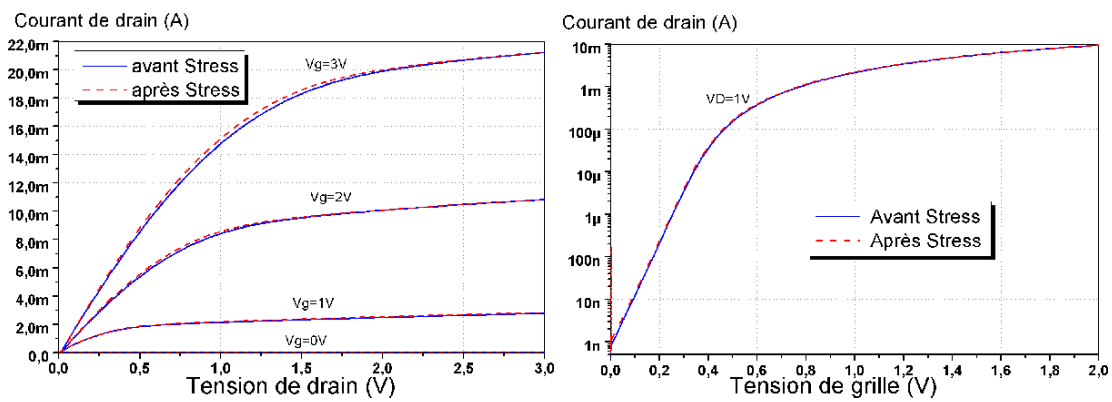
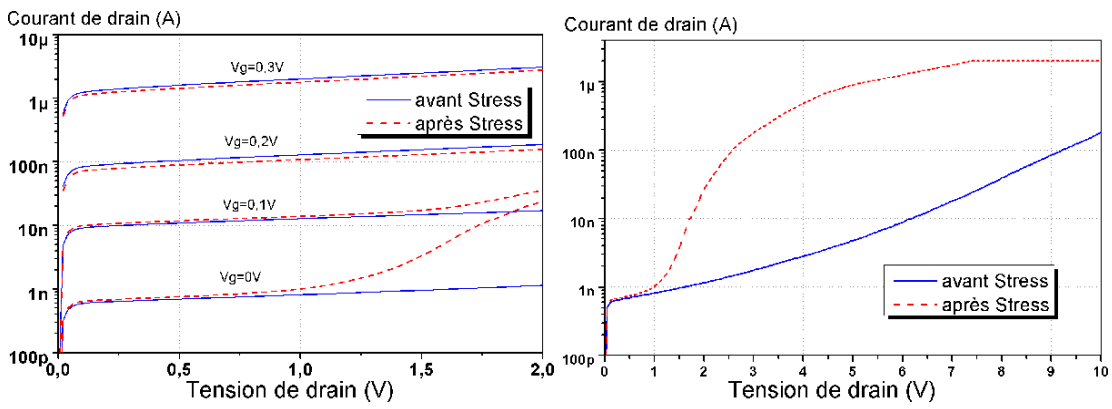


FIG. 3.23 – Schéma électrique du mode de stress



(a) Caractéristique $I_d(V_{ds})$ avant et après les stress (b) Fonction de transfert avant et après les stress



(c) Caractéristique $I_d(V_{ds})$ sous le seuil avant et après les stress (d) Courant de fuite en mode diode en inverse

FIG. 3.24 – Évolution des caractéristiques statiques avant et après stress

et après les stress dans les différents modes de fonctionnement du transistor. Afin de polariser les transistors MOS dans les différents régimes de fonctionnement, nous avons utilisé un banc de mesure similaire au banc de mesure de bruit BF présenté dans la partie 3.1.3, mais en rajoutant un système de polarisation supplémentaire pour polariser la grille des transistors. Ce banc de mesure est présenté sur la figure 3.25.

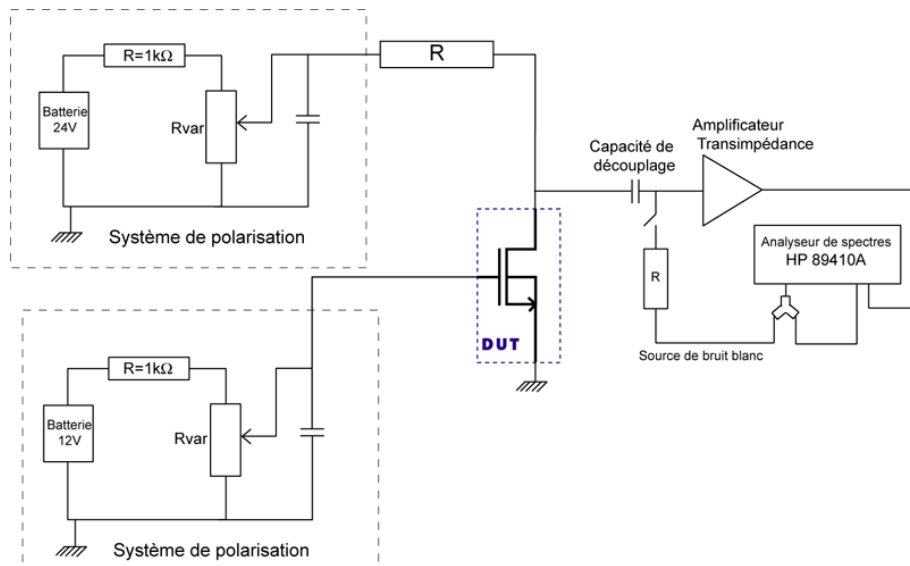
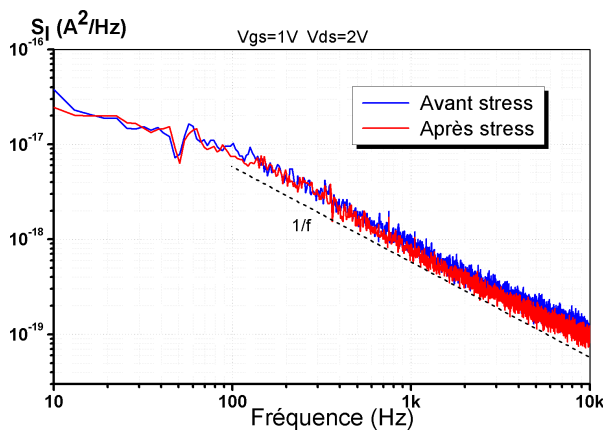
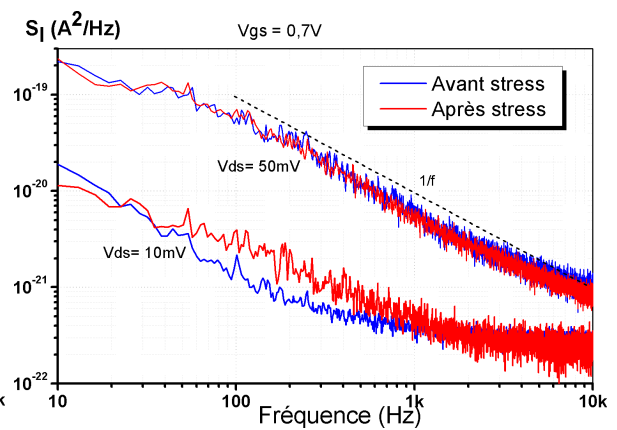


FIG. 3.25 – Schéma du banc de mesure du bruit basse fréquence

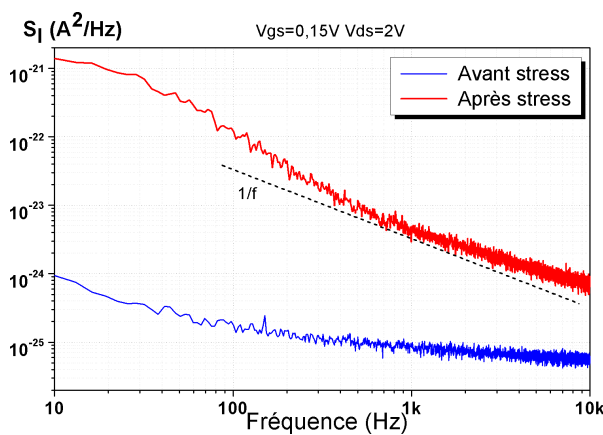
La figure 3.26 montre les résultats de ces mesures. Comme pour les mesures statiques, seuls les modes de polarisation perturbés en statique présentent une différence du spectre de bruit.



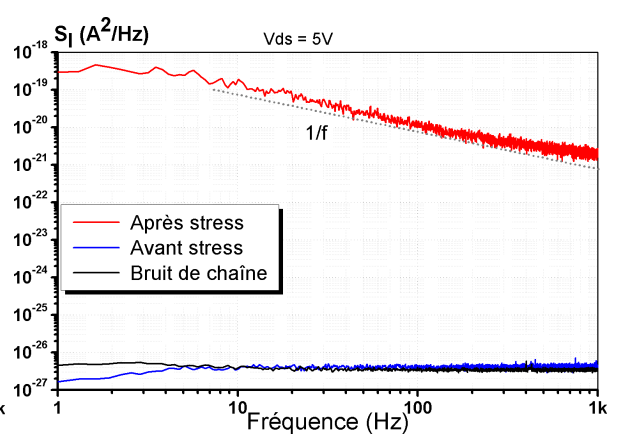
(a) Spectre de bruit BF en régime saturé



(b) Spectre de bruit BF en régime ohmique



(c) Spectre de bruit BF sous le seuil



(d) Spectre de bruit BF en diode

FIG. 3.26 – Mesure du spectre de bruit basse fréquence pour différentes polarisations

En effet, les spectres mesurés en régime ohmique (c.f. figure 3.26(b) et saturé (c.f. figure 3.26(a)) ne sont pas modifiés par la présence du défaut. Par contre la mesure de bruit BF faite en mode diode à 5 V comme dans le cas du GCNMOS présente une très grande augmentation du niveau de bruit (c.f. figure 3.26(d)). Les mesures faites en polarisation sous le seuil sont également perturbées. Si on se place proche d'un niveau de polarisation perturbé par le défaut, ici $V_{gs} = 0,15$ V et $V_{ds} = 2$ V, une augmentation du niveau de bruit est observée (c.f. figure 3.26(c)). Par contre, si le niveau de polarisation sous le seuil n'est pas perturbé par la présence du défaut, par exemple $V_{gs} = 0,15$ V et $V_{ds} = 0,3$ V, il n'y a pas de changement dans le niveau de bruit mesuré. Cela s'explique par le fait que, à cette tension de drain ($V_{ds} = 0,3$ V) le défaut créé n'est pas électriquement activé (c.f. figure 3.24). Il en va de même pour les spectres en polarisation ohmique. De plus, le niveau de bruit en régime saturé pour une tension de drain de 2 V est supérieur au niveau de bruit mesuré en polarisation de diode en inverse à 5 V en présence du défaut. Le mode de conduction différent dans les régimes ohmique et saturé par rapport à celui d'une diode en inverse peut aussi expliquer que le bruit BF n'est pas modifié dans ces régimes de polarisation. En régime ohmique et saturé, les porteurs passent dans le canal du NMOS alors que dans l'autre, ils franchissent la barrière de potentiel induite par la zone dépeuplée de la jonction en inverse. De plus si le défaut n'est pas situé sur le chemin du courant (canal de MOS), il n'aura aucun impact sur le spectre de bruit mesuré, comme nous l'avons décrit dans le paragraphe 1.3.5. Il est donc aussi possible que le défaut ne se trouve pas au niveau du canal, c'est-à-dire à la surface du silicium mais plutôt au niveau de la jonction sphérique du drain, zone où le champ électrique est maximale lors d'un ESD.

Conclusion

En conclusion, le défaut latent créé dans un MOS au niveau de la jonction drain/substrat n'est pas détecté dans la totalité des régimes de fonctionnement du transistor puisque ce défaut n'est pas activé dans la plupart de ses régimes de fonctionnement (saturé et ohmique). Cela permet de mettre en évidence les limitations de la technique de mesure du bruit basse fréquence comme outil de détection de défauts latents. En effet, dans un circuit complexe, il sera très difficile de polariser le MOS ou la structure ayant un défaut latent dans un régime où ce dernier sera activé. Néanmoins, cette étude confirme la plus grande sensibilité de la mesure de bruit BF par rapport aux mesures dites classiques de courant de fuite. L'augmentation observée sur le spectre de bruit pour une polarisation où le défaut est activé est bien supérieure à l'augmentation du courant de fuite pour la même polarisation. Nous allons maintenant étudier l'évolution du bruit BF dans un PMOS en présence d'un défaut dans l'oxyde de grille de ce dernier, la qualité de l'oxyde étant un paramètre très important dans le fonctionnement d'un MOS (c.f. paragraphe 1.2.1) et ce type de défaut étant tout particulièrement généré lors d'un stress ESD de type CDM.

3.2.2 Défauts dans un oxyde d'un transistor PMOS

Afin de provoquer une défaillance dans l'oxyde de grille du MOS, nous avons utilisé des transistors de puissance issus du commerce (c.f. datasheet [103]), et un testeur VF-TLP pour appliquer les stress directement sur la grille comme illustré sur la figure 3.27. Une étude précédente a montré que l'utilisation du banc TLP pour créer des défaillances latentes au niveau d'un

oxyde d'un transistor n'est pas possible. Les défauts générés par l'impulsion TLP de 100ns sont de type court circuit de la grille avec le silicium, le transistor n'ayant plus aucune fonctionnalité. Cela vient de la trop grande énergie des impulsions TLP. Le VF-TLP quant à lui, a la possibilité de générer des impulsions plus courtes ayant donc moins d'énergie.

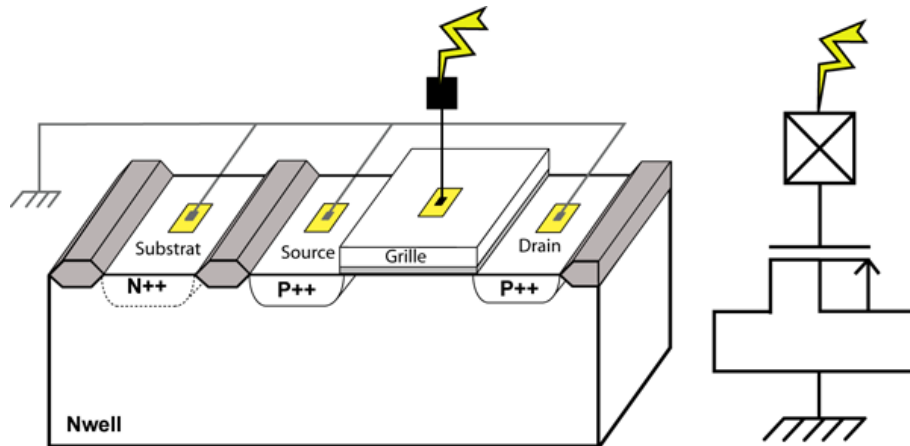


FIG. 3.27 – Schéma électrique du mode de stress

Le tableau 3.3 récapitule les tensions de charge du testeur VF-TLP appliquées aux transistors. Les PMOS sont stressés avec des impulsions de 5ns directement sur la grille, le drain et la source étant connectés à la masse. Les pièces 4, 5 et 10 sont stressées de façon cumulative, comme il est décrit dans le tableau. La pièce 6 ne subit qu'un seul stress avec une tension de charge de 154 V ce qui induit une tension d'environ 49V sur la grille pendant 5ns.

n° pièce	Tension de charge VF-TLP lors des stress
4	de 140 V à 158 V par pas de 2 V
5	de 40 V à 150 V par pas de 5 V puis 160 V à 190 V par pas de 10 V
6	154 V
10	154 V et 2 fois 152 V

TAB. 3.3 – Historique des stress appliqués

Les caractérisations électriques de ces pièces sont faites avant et après les stress aussi bien les mesures statiques que les mesures de bruit basse fréquence. Dans le cas de la mesure du courant de fuite au travers de l'oxyde, la tension de polarisation est appliquée sur la grille et toutes les autres broches sont mises à la masse. La figure 3.28 présente les résultats des mesures statiques après la campagne de stress. Une pièce est gardée en référence et ne subit aucun stress. Les pièces n° 4, 5 et 6 présentent un niveau de courant de fuite de grille important après les stress (c.f. figure 3.28(a)), mais les transistors PMOS restent fonctionnels. On observe tout de même une dérive de certains paramètres comme la tension V_t (c.f. figure 3.28(b)) ou le niveau de courant en régime saturé (c.f. figure 3.28(d)). Les caractéristiques sous le seuil de ces pièces sont également très perturbées (c.f. figure 3.28(c)), en particulier pour la pièce n° 5 qui présente le courant de fuite de grille le plus important.

Dans ce paragraphe nous allons détailler plus précisément le comportement du courant sous le seuil des structures ayant subi les stress VF-TLP. En régime sous le seuil, la conduction ne

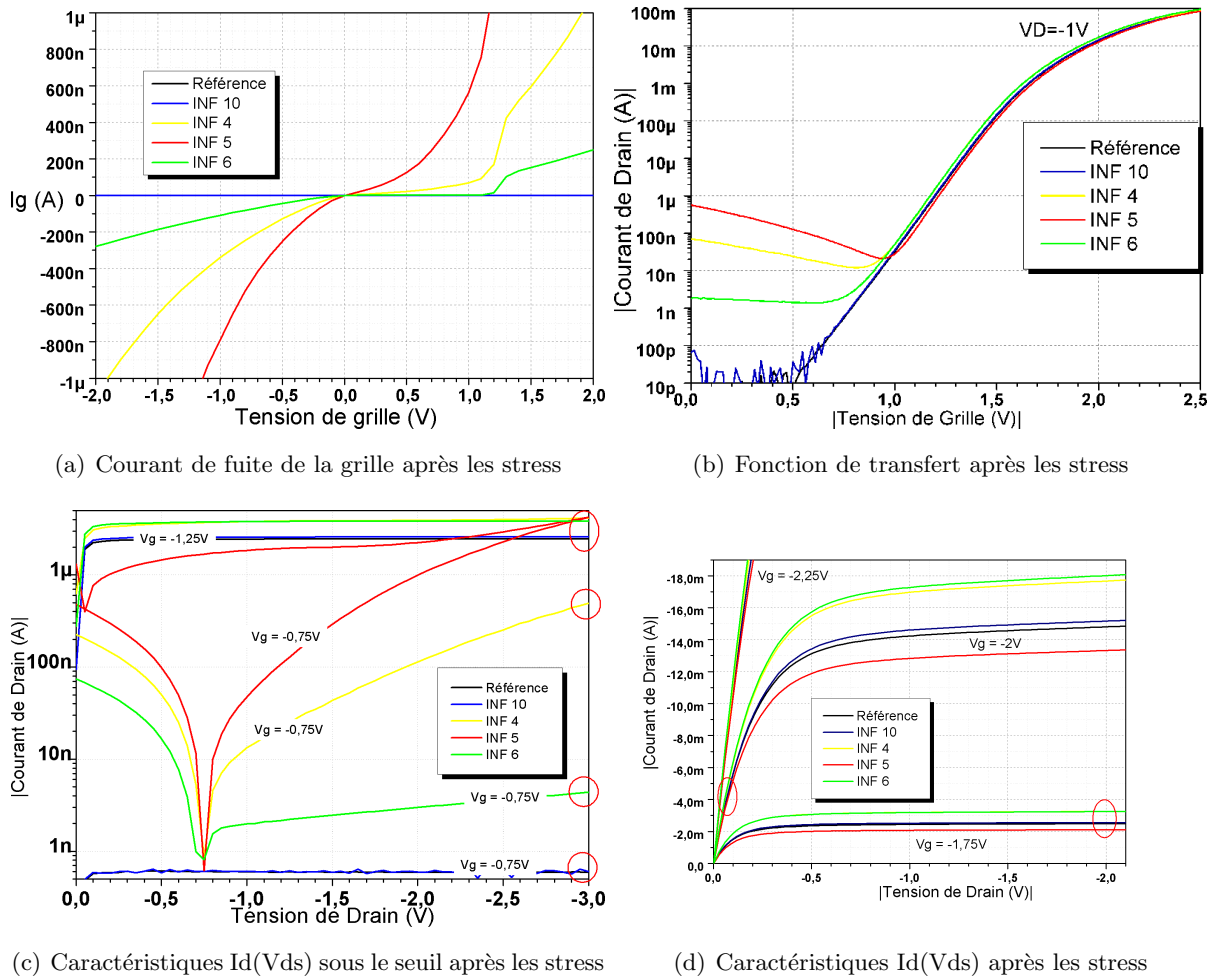


FIG. 3.28 – Caractéristiques électriques statiques des transistors PMOS après les stress VF-TLP

se fait pas dans le canal, les courants mesurés étant des courants de fuite dus à la jonction drain/substrat ou à l'oxyde de grille. On remarque que la mesure du courant de drain sous le seuil de ces PMOS présente une diminution pour les faibles valeurs de tension de drain, suivie d'une augmentation. Cette diminution, pour les faibles valeurs de tension de drain, est liée à la diminution du courant de fuite de grille liée à la diminution de la tension aux bornes de l'oxyde ($V_{gs} - V_{ds}$). Sur la figure 3.28(b), on remarque que la pente de la caractéristique sous le seuil ($V_{gs} \leq 1$ V) des transistors stressés est fortement perturbée. Ceci est dû au courant de fuite lié au défaut au travers de l'oxyde.

Nous avons fait les mesures du bruit basse fréquence dans chaque régime de fonctionnement des transistors PMOS comme indiqué par les cercles rouges sur les figures 3.28 :

- saturé : $V_{ds} = -2$ V ; $V_{gs} = -1,75$ V.
- Ohmique, en deux points de polarisation $V_{gs} = -2$ V ; $V_{ds} = -50$ mV et $V_{ds} = -100$ mV.
- Sous le seuil, en deux points de polarisation : $V_{ds} = -3$ V ; $V_{gs} = -0,75$ V et $V_{gs} = -1,25$ V.

Les résultats de ces mesures sont représentés sur la figure 3.29.

Tout d'abord, il est important de noter que les mesures présentées sur la figure 3.29(c) révèlent un problème lors de la mesure. En effet, pour les mesures dans les basses fréquences

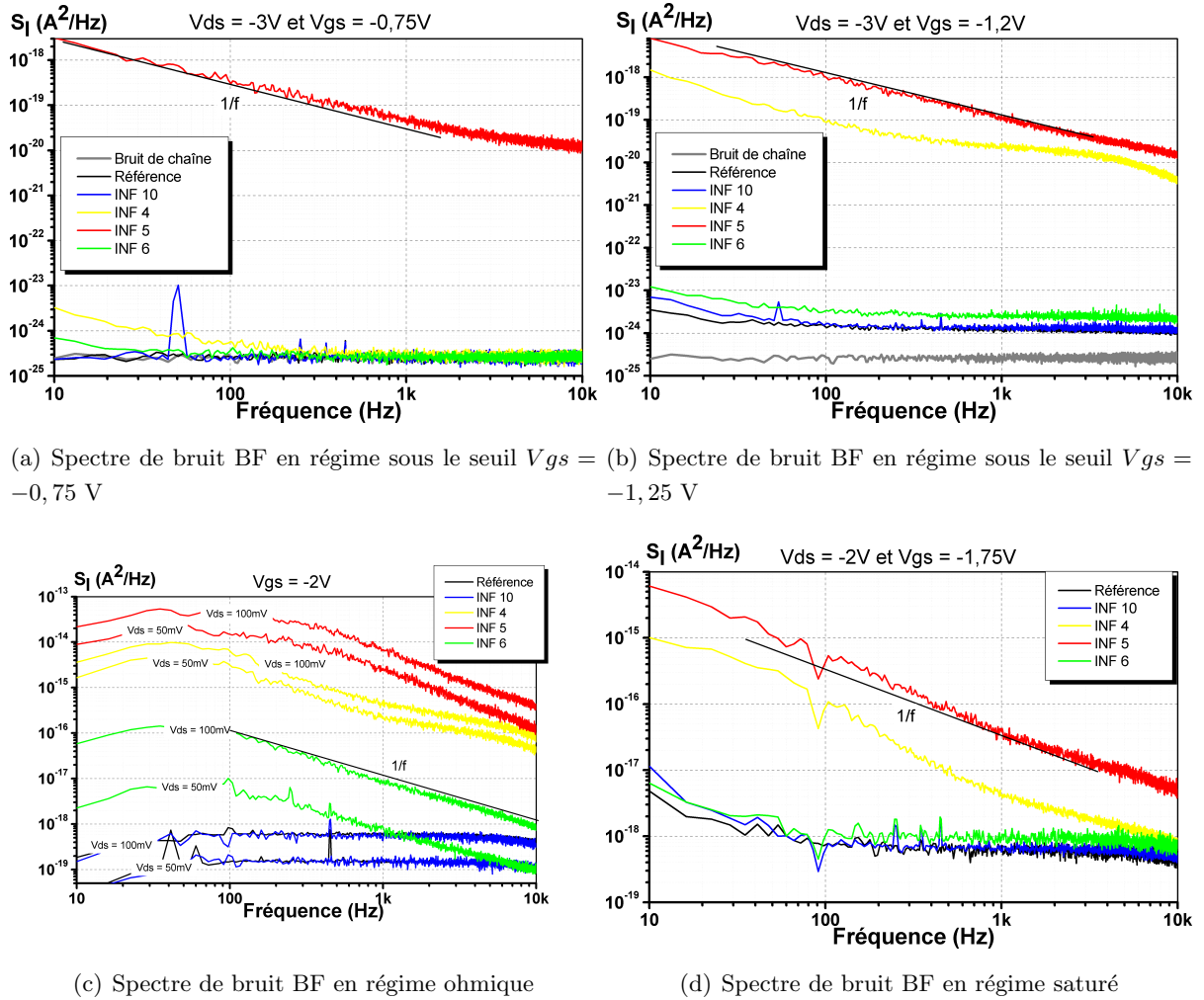


FIG. 3.29 – Spectre de bruit basse fréquence pour différents régimes de fonctionnement

≤ 100 Hz, le nombre de points de mesure n'est pas suffisant. De plus, le niveau de bruit est tel que l'amplificateur transimpédance est saturé. Le plateau observé sur ces mesures pour les fréquences inférieures à 100 Hz n'est pas valide. Nous allons commenter ces résultats pièce par pièce.

1. Dans le cas de la pièce n° 5 correspondant à un défaut important au niveau de l'oxyde du PMOS ($I_g > 1\mu A$ à -2 V), nous observons une augmentation du bruit basse fréquence dans tous les régimes de fonctionnement du transistor, saturé, ohmique et sous le seuil (c.f. figure 3.29(c)).
2. Dans le cas de la pièce n° 4 qui présente un défaut d'oxyde moins important ($I_g \approx 1\mu A$ à $-2V$) et des caractéristiques électriques moins perturbées, nous observons une augmentation du niveau de bruit basse fréquence en régime ohmique ainsi qu'en régime saturé. Les mesures de bruit basse fréquence en régime sous le seuil montrent deux comportements différents selon le point de polarisation choisi. Dans le cas d'une faible tension de grille ($V_{gs} = -0,75V$), nous observons une légère augmentation du niveau de bruit pour les basses fréquences, liée à une augmentation de bruit en $1/f$ (c.f. figure 3.29(a)). Pour une tension de grille plus importante ($V_{gs} = -1,25$ V) nous observons une très grande augmentation du niveau de bruit comparable à celui de la pièce n° 5 (c.f. figure 3.29(b)).

3. Dans le cas de la pièce n° 6 présentant un courant de fuite de grille de $300nA$ à $V_{gs} = -2V$, le bruit basse fréquence en régime ohmique augmente significativement (c.f. figure 3.29(c)). Par contre en régime saturé la mesure du bruit BF ne présente pas ou très peu de bruit basse fréquence supplémentaire par rapport à une pièce n'ayant pas de défaut. Il en va de même pour les points de polarisation sous le seuil, avec cependant une augmentation nette pour une tension $V_{gs} = -1,25V$.
4. Dans le cas de la pièce 10 qui a subi 3 stress VF-TLP mais pour laquelle aucune modification des mesures statiques n'a été observée, nous n'observons aucune augmentation du bruit basse fréquence dans aucun des régimes de fonctionnement (c.f. figures 3.29(c)).

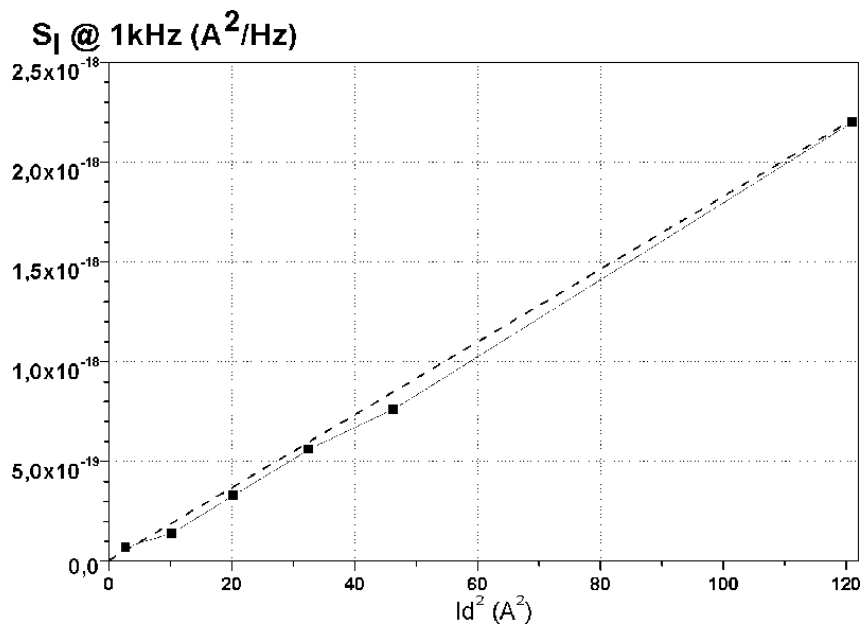


FIG. 3.30 – Évolution du niveau de bruit BF à 1kHz pour différents courants de polarisation en régime Ohmique

Comme nous venons de le souligner, dans le cas d'un défaut d'oxyde dans un transistor MOS, le bruit basse fréquence mesuré en régime ohmique est largement modifié. Même dans le cas d'un défaut n'engendrant que quelques centaines de nanoampères supplémentaires, à comparer avec un courant de drain de plusieurs milliampères pour lequel est mesuré le bruit basse fréquence, le spectre de bruit BF montre une signature significative de la présence d'un défaut. La densité spectrale de bruit mesurée pour un transistor sain en régime ohmique entre $10Hz$ et $10kHz$ a l'allure d'un plateau. Nous avons fait une étude du comportement du spectre de bruit en régime ohmique pour différents niveaux de courant afin de connaître la nature de ce plateau. La figure 3.30 montre clairement que le niveau du plateau est linéaire en fonction du carré du courant. Ceci prouve que le plateau mesuré est un plateau de bruit de G-R typique pour des transistors MOS dans ce régime de fonctionnement [104], et relatif à la présence de pièges dans l'oxyde ou à l'interface SiO_2/Si .

3.2.3 Conclusion

Nous avons étudié dans cette partie le comportement du bruit basse fréquence dans les différents régimes de fonctionnement des transistors MOS en présence de deux types de défauts latents, un défaut de jonction de type filamentaire et un défaut d'oxyde de grille. Dans le cas d'un défaut dans la jonction drain/substrat provoqué par des impulsions TLP cumulées, aucune modification des caractéristiques électriques du transistor n'est observée. Seule une augmentation du courant de fuite inverse en mode diode du MOS pour de très faibles valeurs de tension de grille (régime sous le seuil) révèle la présence du défaut. Les mesures du bruit basse fréquence dans tous ces régimes de fonctionnement ne révèlent aucune modification excepté dans le cas cité précédemment, d'une faible tension de grille et d'un courant de fuite inverse en mode diode. Lorsqu'un défaut est créé dans l'oxyde de grille, les caractéristiques électriques du transistor MOS sont modifiées (tension V_t , et niveau du courant en régime saturé). La qualité de l'oxyde de grille est un paramètre très important dans le fonctionnement des MOS puisque directement lié au comportement du canal. Les mesures de bruit basse fréquence sont largement influencées par la présence de ce type de défaut. Le bruit BF en régime ohmique, en particulier, est très perturbé même lorsque le défaut d'oxyde ne génère que quelques centaines de nanoampères. En conclusion, le bruit basse fréquence permet d'obtenir une signature plus sensible que les mesures de courant de fuite. Des défauts ne ramenant que quelques nanoampères de courant supplémentaire engendrent une augmentation de plusieurs décades du niveau de bruit basse fréquence comme dans le cas de l'étude du GCNMOS. Cette étude nous a permis de démontrer que comme dans le cas de la mesure du courant I_{ddq} , l'efficacité de la détection est conditionnée par la nécessité d'activation du défaut. Nous allons dans la dernière partie de ce chapitre appliquer la technique de mesure du bruit basse fréquence à des circuits complets afin de détecter la présence de défauts latents dues à des décharges électrostatiques.

3.3 Validation de la technique sur des circuits

Dans les parties précédentes, nous avons utilisé la technique de la mesure du bruit BF comme indicateur de la présence d'un défaut dans des structures simples (structure de protection ESD et transistor MOS). Dans cette partie, nous allons appliquer cette technique sur des circuits complets, c'est-à-dire des circuits contenant plusieurs dizaines voire plusieurs centaines de transistors. La technique habituellement utilisée pour détecter la présence d'un défaut dans un circuit consiste à le placer en régime de repos, pour lequel ce dernier a une consommation minimale, appelé état "stand by" et à mesurer le niveau de ce courant (mesure I_{ddq}). D'autres tests dits "fonctionnels" sont également effectués pour déceler la présence de défauts, mais ces derniers demandent un équipement plus lourd et ne sont pas fait de façon systématique. En particulier, lors de la qualification ESD de circuits intégrés, seul le courant de fuite en régime "stand by" est utilisé. Dans ce cas, un courant supérieur au micro Ampère ou à un certain pourcentage du courant de référence (d'une pièce saine) sont les critères choisis pour détecter la création d'un défaut dans le circuit. Dans les futures technologies, au-delà de 90 nm, certains circuits dits "hautes performances" auront des courants de repos de l'ordre du micro Ampère voire supérieur (c.f. paragraphe 1.3). Une augmentation même d'un micro Ampère du courant de repos lié à la présence d'un défaut sera difficilement mesurable si ce dernier est de plusieurs dizaines de micro

Ampères. La technique de la mesure du bruit BF pourrait être une alternative intéressante pour détecter la présence de défauts dans ces technologies. Dans cette partie, nous allons mesurer le bruit basse fréquence du courant de repos de circuits stressés en ESD. Nous commencerons par un circuit numérique simple issu d'un véhicule de test (c.f. paragraphe 2.3) et finirons par un circuit plus complexe analogique issu du commerce.

3.3.1 Circuits inverseurs

Les circuits utilisés dans l'étude décrite au paragraphe 2.3 sont de bons candidats pour valider l'utilisation du bruit basse fréquence comme outil de détection de défauts dans des circuits microélectroniques. Ces composants étant montés dans un boîtier de type PGA 68, nous avons dû fabriquer une carte adaptée $50\ \Omega$ (c.f. figure 3.31) pour permettre les mesures de bruit BF. Comme nous l'avons décrit dans l'étude consacrée à ce véhicule de test, ces derniers ont subi des stress SCDM deux années auparavant, ainsi que plusieurs manipulations, comme un burn-in et une localisation de défaut. Nous avons montré que les défauts initialement créés ont évolué et la plupart des circuits ont des courants de fuite très importants. Dans cette étude, les composants les plus intéressants sont ceux qui présentent le plus faible courant de fuite (défauts les plus minimes). Une analyse de défaillance a été faite et nous aidera lors de l'interprétation de nos résultats de mesures.

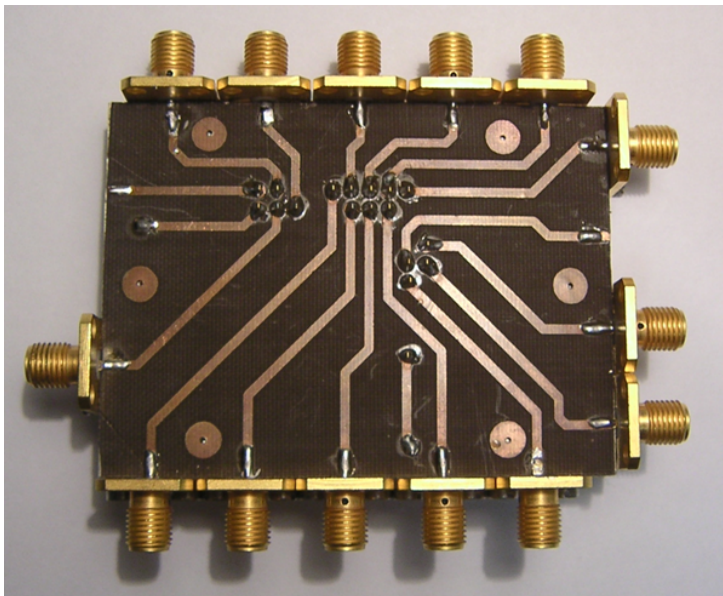


FIG. 3.31 – Support de test adapté 50 Ohms pour boîtier PGA

Ces mesures sont faites avec le même montage que nous avons utilisé pour la mesure du bruit BF des protections ESD GCNMOS représenté sur la figure 3.6. Dans ce cas, le circuit testé est utilisé comme un dipôle. Les circuits sont polarisés à une tension $VDD = 4V$ en mode inverseur, le mode pour lequel ils consomment le moins de courant. Les mesures de bruit sont faites entre 1 et $10\ kHz$. Nous avons, dans un premier temps, mesuré le bruit pour un composant de référence n'ayant subi aucun stress. Ce dernier présente un courant de $800\ pA$ à $4\ V$. La figure 3.32 présente le bruit basse fréquence d'une pièce saine que nous garderons comme référence.

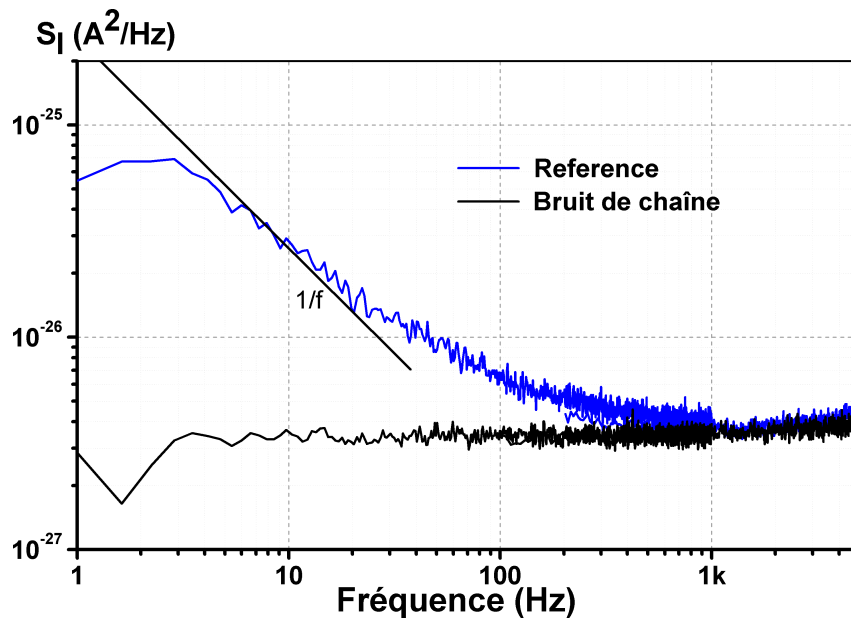


FIG. 3.32 – Bruit basse fréquence de la pièce de référence

Le spectre de bruit de cette pièce de référence présente une composante en $1/f$ avant d'atteindre un plancher de bruit lié au bruit de chaîne du banc de mesure vers 400Hz . Une analyse de défaillance de la pièce n° 6 qui a été présentée dans la partie 2.3.5 a permis de conclure que les stress SCDM appliqués à cette pièce ont créé deux défauts au niveau du transistor PMOS de l'étage stressé. Cet 11° étage inverseur présente un défaut d'oxyde du côté de la source et un défaut de type filamentaire au niveau de la jonction source/substrat comme décrit dans le tableau 2.6. Le courant de fuite de cette pièce dépasse le micro Ampère ($1,7\mu\text{A}$ pour $V_{DD} = 4\text{V}$), mais le premier but est ici de valider l'utilisation de la mesure du bruit BF sur le courant de fuite d'un circuit pour détecter les défauts. La figure 3.33 montre le résultat de la mesure du bruit BF sur le courant de fuite du circuit inverseur n° 6.

On observe une augmentation très importante du niveau de bruit BF, ce qui confirme la plus grande sensibilité de cette technique par rapport à celle de la mesure de la valeur du courant de repos. Le niveau du courant de repos passe de 800pA à $1,7\mu\text{A}$ c'est-à-dire une augmentation de moins de 4 décades alors que le niveau de bruit est lui augmenté de plus de 7 décades. Le cas de la pièce 3 est aussi un cas très intéressant. En effet, les analyses faites sur ce composant ont conclu à la présence d'un défaut d'oxyde de grille du côté de la source du PMOS de l'étage stressé, également le 11° étage inverseur. Ce défaut n'est pas activé en polarisation de repos. En effet, la grille du PMOS et la source de cet étage sont au potentiel V_{DD} comme nous l'avons montré sur le schéma 2.8. Aucun courant de fuite ne traverse donc ce défaut puisque aucune différence de potentiel n'est présente aux bornes de ce dernier. Les mesures de bruit BF effectuées sur le courant de repos de cette pièce ne présentent pas d'augmentation significative en comparaison avec le bruit BF d'une pièce de référence. Grâce au dessin spécifique de ce circuit (c.f. paragraphe 2.3.2), il est possible d'appliquer un potentiel aux bornes de ce défaut. Nous polarisons les broches V_{DD} , IN , V_{SS} à 0V et V_{STR} à $0,6\text{V}$ afin obtenir un courant au travers de la grille de 200nA . La figure 3.34 montre cette mesure par rapport au bruit de chaîne du

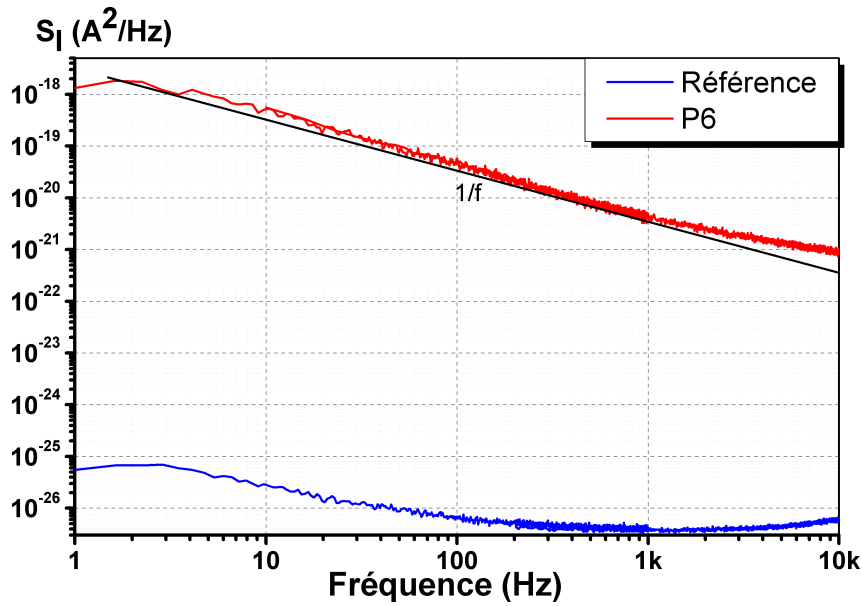


FIG. 3.33 – Mesures du bruit BF de la pièce n° 6

montage.

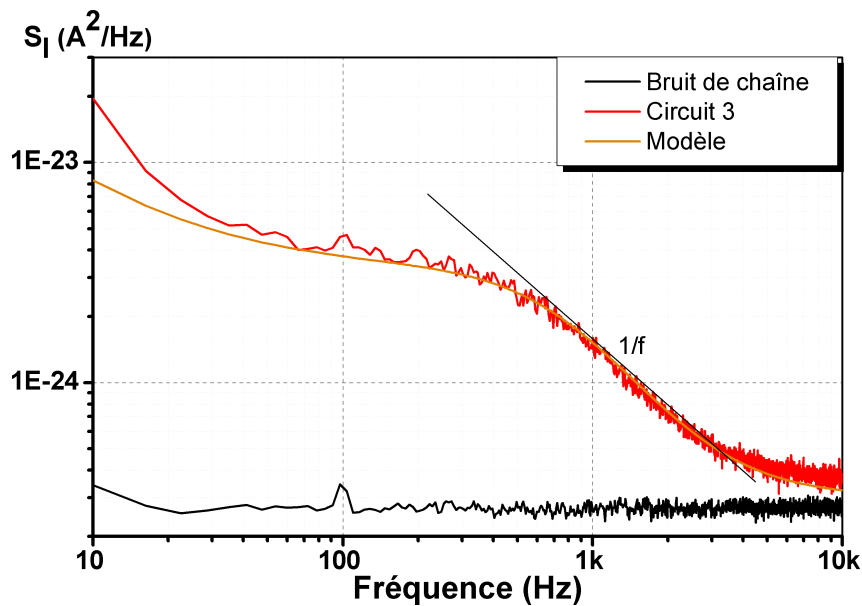


FIG. 3.34 – Mesures du Bruit BF du circuit n° 3 (le courant passe au travers de l'oxyde)

Nous allons utiliser le modèle de densité spectrale de bruit présenté dans la partie 3.1.3 pour déterminer les sources de bruit présentes dans le spectre mesuré. Le tableau 3.4 montre les paramètres du modèle utilisé. Trois sources de bruit sont nécessaires pour modéliser le spectre mesuré, une source de bruit de G-R ayant une fréquence de coupure de 800 Hz et une valeur de plateau ici appelée K_1 de $3 \cdot 10^{-24}\text{ A}^2$, un plancher de bruit à $3 \cdot 10^{-25}\text{ A}^2/\text{Hz}$, et une source de bruit en $1/f$. Le modèle ainsi défini reproduit bien le spectre mesuré.

Paramètres du modèle	Pièce 3
$A (A^2.Hz^{\gamma-1})$	5.10^{-23}
$B (A^2/Hz)$	3.10^{-25}
$f_1 (Hz)$	800
$K_1 (A^2)$	3.10^{-24}

TAB. 3.4 – Paramètres du modèle de bruit pour le circuit 3

En résumé, les mesures de bruit basse fréquence sur le courant de repos de circuit sont validées. Elles permettent de détecter la présence de défaut **si toutefois ce dernier est activé** lors de la polarisation. Nous avons pu, grâce au dessin spécial de ces circuits issus d'un véhicule de test, observer le spectre de bruit pour un courant lié à un défaut d'oxyde. Comme dans le cas présenté dans la partie 3.2.2, figure 3.29(b), le spectre lié à un courant de fuite au travers d'un oxyde est caractéristique d'une source de bruit de G-R.

3.3.2 Convertisseur DC/DC

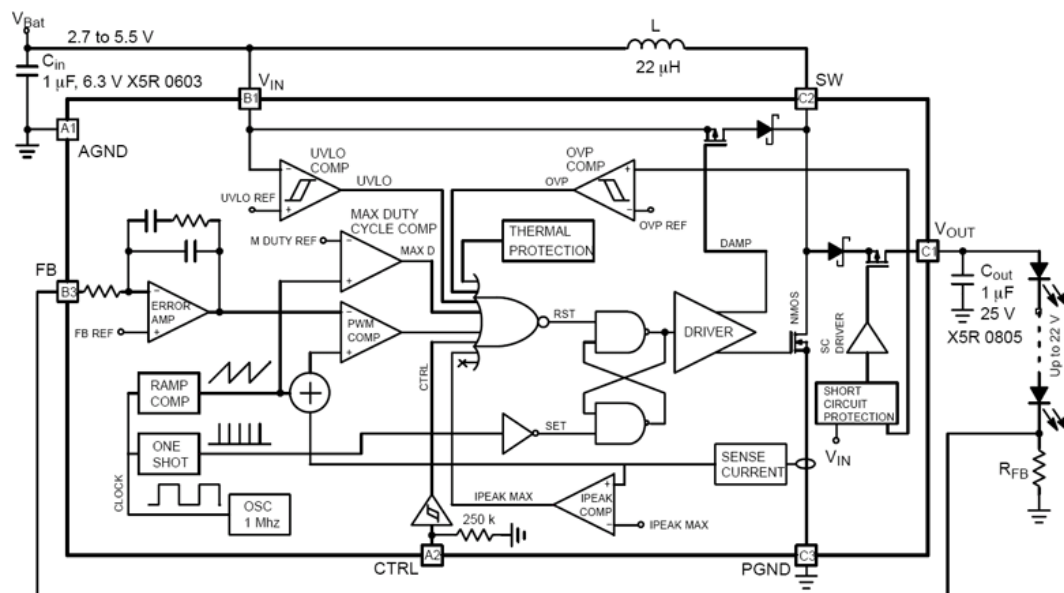


FIG. 3.35 – Schéma synthétique du convertisseur DC/DC

Nous allons dans cette partie présenter les résultats obtenus lors de l'application de cette technique à la détection des défauts latents dans un circuit complexe issu du commerce. Le circuit choisi pour cette étude est un circuit commercial fabriqué par ON Semiconductor. C'est un convertisseur DC/DC fournissant une tension régulée (V_{OUT}) et une puissance de 500mW appropriée pour les applications nécessitant un courant constant comme l'alimentation de LED ("light-emitting diode" en anglais ou "diode électroluminescente"). Comme nous pouvons le voir sur le schéma de principe de la figure 3.35 [105], ce circuit est assez complexe en comparaison avec les circuits précédemment étudiés. Nous avons choisi ce circuit car il s'agit d'un circuit analogique de précision qui devrait être beaucoup plus sensible à un défaut latent qu'un circuit numérique.

En effet, les courants de polarisation de certains blocs critiques peuvent être comparables au courant de fuite induit par un défaut ESD. La robustesse ESD de ce circuit est de 2kV HBM et 200V MM, aucune robustesse CDM n'est spécifiée. De plus amples informations sur ce circuit peuvent être trouvées dans le document [105].

Afin de limiter le nombre de défauts générés, chaque circuit n'est stressé que sur une seule broche et que pour un seul niveau de stress CDM selon la norme JEDEC [9], c'est-à-dire que 3 zaps consécutifs sont appliqués. Quatre broches différentes ont été stressées sur des circuits différents :

- CTRL : Cette entrée de circuit logique permet d'activer ou désactiver le circuit. Cette broche peut être sensible en CDM du fait de la présence de transistors de faible dimension ayant leur grille exposée.
- SW : Il s'agit de la sortie de puissance qui est le drain d'un MOS de puissance
- VIN : Tension d'alimentation.
- AGND : Masse analogique.

Après chaque stress CDM, la fonctionnalité est vérifiée, et le courant de fuite au repos du circuit, I_{ddq} ainsi que la caractéristique du bruit en courant de l'alimentation VIN sont mesurés. Le circuit a ensuite été stocké pendant 3 mois. Puis les caractéristiques I_{ddq} et de bruit ont été mesurées à nouveau ainsi que la fonctionnalité d'une part, après déstockage et après un burn-in de 24h à 125°C, d'autre part. Le tableau 3.5 résume les niveaux de stress appliqués ainsi que les résultats de mesure obtenus. Nous avons choisi pour notre étude d'analyser les circuits présentant une augmentation de courant de repos ou I_{ddq} la moins importante, la valeur limite de la spécification étant $1\mu A$.

N° Pièce	Broche stressée	Niveau stress CDM	I _{ddq} @4,2V après stress CDM	Statut après stress	I _{ddq} @4,2V 3 mois après stress CDM	I _{ddq} @4,2V après burn-in 24h à 125°C	Statut après burn-in
1	CTRL	+500V	1,3μA	OK	0,76μA	0,2μA	OK
2	CTRL	-500V	0,75μA	F	0,62μA	0,2μA	OK
3	CTRL	+1000V	5,1μA	F	3,89μA	0,56μA	
7	SW	+500V	5,1μA	OK	3,1μA	0,4μA	
8	SW	-500V	1,5μA	A	1,13μA	0,49μA	
14	VIN	-500V	2,1μA	OK	1,59μA	0,6μA	
20	AGND	-500V	1,1μA	OK	0,77μA	0,76μA	
Ref			0,23μA	OK	0,23μA	0,37μA	

TAB. 3.5 – Procédure de stress CDM des convertisseurs DC/DC et caractéristiques après stress CDM et burn-in de 24h à 125°C : courant au repos I_{ddq} , statuts après test de fonctionnalité. OK indique que le composant reste dans la spécification, F (Fail) indique qu'un (ou des) paramètre(s) est (sont) hors spécifications mais que le circuit est encore fonctionnel, A (Alarm) indique que le composant est défaillant

Pour les mesures de bruit du courant de l'alimentation, le circuit est polarisé en régime de repos pour une tension VIN de 3,6V, les broches AGND, CTRL, FB étant connectées à la masse. La mesure du bruit basse fréquence est faite sur ce courant I_{ddq} avant et après la campagne de stress CDM. Le niveau de courant I_{ddq} pour un composant sain est de 200nA à 3,6V.

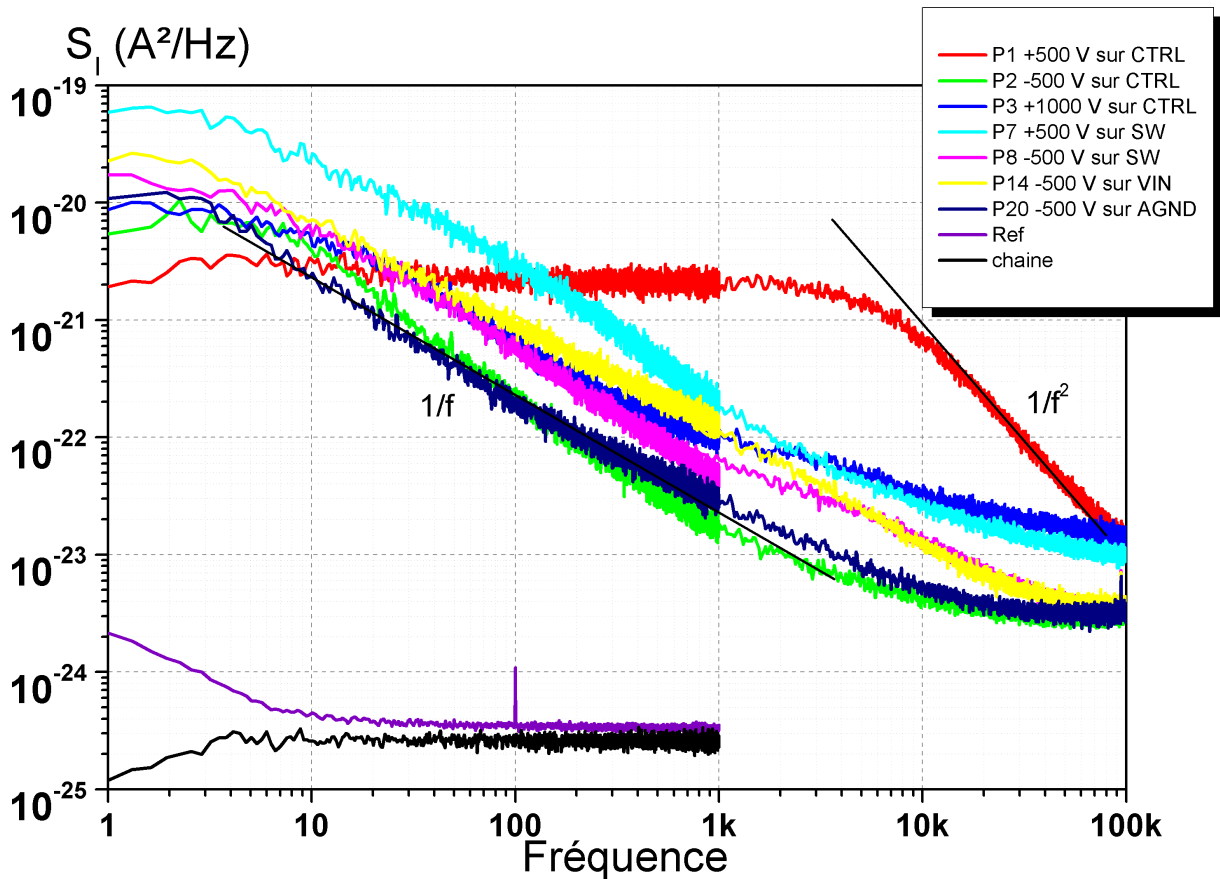


FIG. 3.36 – Mesures du bruit BF des convertisseurs DC/DC après les stress CDM

Après stress CDM, tous les circuits présentent une surconsommation plus ou moins importante allant de plusieurs μA pour les circuits les plus dégradés à quelques centaines de nA pour les moins affectés (proche du courant I_{ddq} avant stress). Des tests électriques complets de fonctionnalité ont été effectués sur tous les circuits stressés. Comme indiqué dans le tableau 3.5, certains des circuits (1, 7, 14 et 20) sont toujours fonctionnels à part l'augmentation du courant I_{ddq} . Deux circuits (2 et 3) ont certains paramètres hors spécifications (statut F) et un seul est considéré non-fonctionnel (statut A). Dans le cas de ces 3 derniers composants, le test de fonctionnalité conduit à un rejet des composants.

Le niveau de bruit basse fréquence pour un convertisseur sain est représenté sur la figure 3.36 (Ref), ce dernier est proche du bruit minimum mesurable par le banc de mesure, mais reste mesurable. Le spectre mesuré a une composante de bruit en $1/f$ jusqu'à $7Hz$ puis un plateau de bruit de $7Hz$ à $1kHz$, qui n'est pas dû au bruit de grenaille en $2qI$, qui est d'environ $10e^{-25} A^2/Hz$ pour ce niveau de courant.

Après le stress, tous les circuits présentent une surconsommation plus ou moins importante allant de plusieurs μA pour les circuits les plus dégradés à quelques centaines de nA pour les moins affectés (proche du courant I_{ddq} avant stress). Des tests électriques complets ont été effectués sur tous les circuits stressés. Les circuits présentant les courants de fuite les plus

importants montrent des déviations de certains paramètres voire des caractéristiques électriques en dehors des spécifications. La figure 3.36 présente également les spectres de bruit BF du courant I_{ddq} des circuits du tableau 3.5. La majorité des circuits stressés montrent une augmentation importante du bruit en $1/f$, près de 4 décades à 10 Hz . Le convertisseur n° 1 ayant subi un stress à -500 V sur la patte CTRL, présente un spectre différent des autres circuits. Nous allons étudier en détail le spectre de ce dernier.

Le spectre de la densité de bruit de la pièce n° 1 est typique d'une source de bruit de G-R. Il se compose d'un plateau de 1 Hz à 5 kHz puis d'une décroissance en $1/f^2$. Nous avons donc fait une étude en courant pour vérifier si le niveau du plateau est une fonction linéaire du courant au carré. La figure 3.37 montre les différents spectres mesurés pour les différents niveaux de courant.

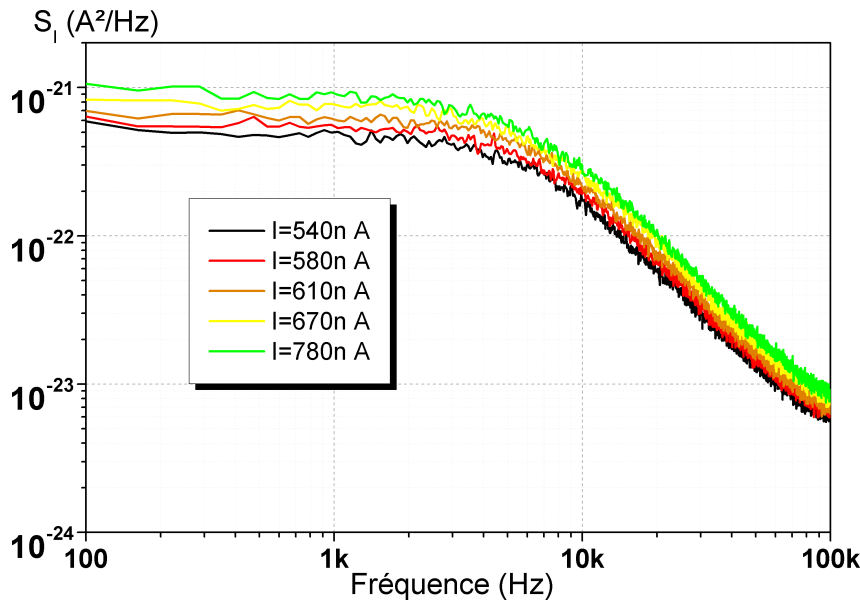


FIG. 3.37 – Spectre de bruit BF pour plusieurs courants de polarisation

La figure 3.38 montre l'évolution de la valeur du plateau de bruit BF (à 1 kHz) en fonction du courant de polarisation au carré. Ce graphe montre clairement que le niveau du plateau du spectre de bruit du convertisseur n° 1 est fonction du courant I_{ddq} au carré. Nous pouvons donc conclure que le spectre mesuré est lié à une source de bruit de G-R, ayant une fréquence de coupure d'environ 5 kHz .

Comme le montre le schéma de la figure 3.35, la patte CTRL est directement connectée à un étage comparateur, donc directement connectée sur une (ou des) grille(s) de transistor(s), elle(s) est (sont) donc directement agressée(s) lors de l'application du stress CDM. Le stress appliqué est un stress négatif avec une tension de charge CDM de -500 V . Un défaut dans l'oxyde de grille d'un ou de plusieurs des transistors MOS présents dans l'étage inverseur est probablement créé. Ce défaut d'oxyde peut être de type charges piégées dans l'oxyde ou chemin de conduction au travers de l'oxyde. Il pourrait être à l'origine de la faible augmentation du courant de fuite I_{ddq} mesurée, ainsi que de la source de bruit de G-R supplémentaire observée (c.f. figure 3.36). Une analyse de défaillance à l'aide de la photoémission a permis de mettre en évidence un défaut dans le transistor PMOS de l'étage logique sur certains des circuits stressés. Ce défaut n'a pas

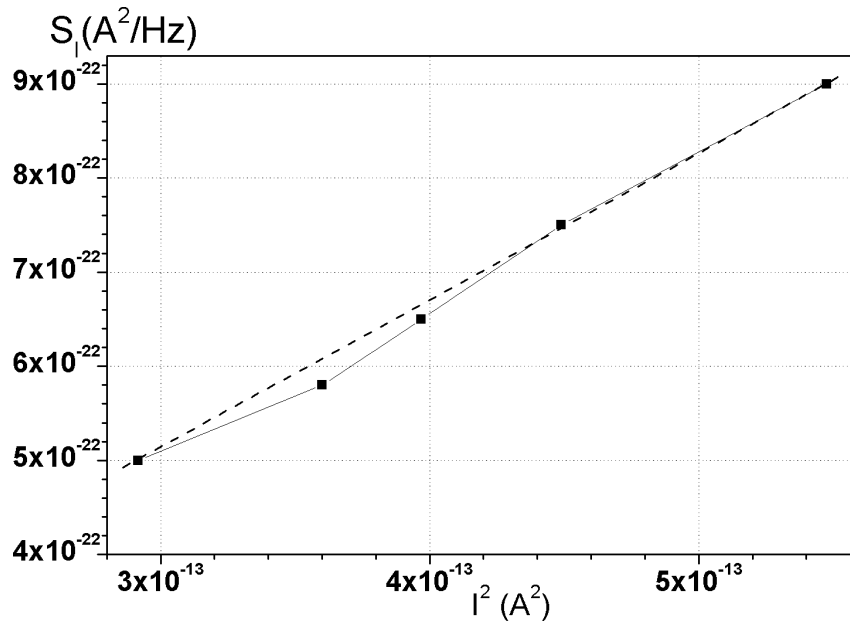


FIG. 3.38 – Niveau de bruit BF à 1kHz en fonction du courant au carré pour le circuit n° 1

pu être détecté sur tous les échantillons stressés sur la broche CTRL. Cependant, vu les performances dynamiques médiocres de la protection ESD associée à cette broche évaluées à l'aide d'un testeur VF-TLP, on peut émettre comme hypothèse très probable que les oxydes ont été soumis à de forts champs électriques. L'augmentation du courant de fuite I_{ddq} observée peut donc être partiellement associée soit à un piégeage de charges induisant une forte déviation de la tension de seuil des MOS soit à des microclaquages de l'oxyde de grille du PMOS (filament grille-source) de l'étage logique conduisant à une activation marginale du circuit convertisseur. Afin de valider l'hypothèse du piégeage de charges dans les oxydes, les circuits ont été testés à nouveau après un stockage de 3 mois. Comme indiqué dans le tableau 3.5, tous les circuits ont vu leur courant de fuite I_{ddq} diminuer après ces 3 mois de stockage. Cette diminution peut être attribuée à un dépiégeage des charges dans les oxydes. Pour confirmer cette tendance, un recuit de 24h à 125°C a été effectué. Les mesures sur les circuits après ce recuit montrent une nouvelle diminution du courant I_{ddq} qui, pour les pièces n° 1 et n° 2 se retrouve au niveau de celui d'un composant sain (200nA). Un test de fonctionnalité sur ces deux pièces permet de démontrer que la pièce n° 2 qui avait un statut F est à nouveau parfaitement fonctionnelle.

Nous avons mesuré le bruit BF du circuit n° 1 après un mois et trois mois de stockage. Les résultats de ces mesures sont représentés sur la figure 3.39. On observe une diminution du niveau de bruit BF avec le temps et en particulier du niveau du plateau de bruit de G-R, comme on peut le voir dans le tableau 3.6 par le biais du paramètre K_1 .

Cette diminution pourrait être liée à une diminution de la densité de piège dans les oxydes. Elle peut aussi être attribuée à une diminution du courant de polarisation lors de la mesure, comme nous l'avons présenté à la figure 3.37. Afin de connaître le phénomène responsable de cette diminution, nous allons tracer les spectres de densité de bruit BF divisés par le courant au carré lors de la mesure. En effet, dans l'équation mathématique associée à une source de bruit

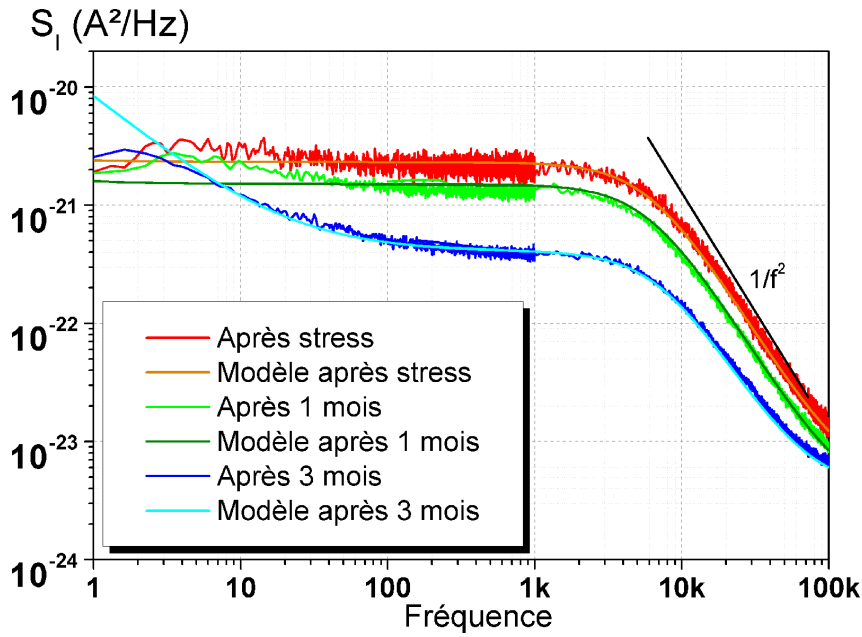


FIG. 3.39 – Mesure du bruit BF juste après stress CDM et après 1 puis 3 mois de stockage.

Courant I_{ddq} (nA)	550	450	600
Paramètres du modèle	Après le stress	Après 1 mois	Après 3 mois
A ($A^2 \cdot Hz^{\gamma-1}$)	$1 \cdot 10^{-22}$	$1 \cdot 10^{-22}$	$8 \cdot 10^{-21}$
B (A^2/Hz)	$4 \cdot 10^{-24}$	$4 \cdot 10^{-24}$	$4 \cdot 10^{-24}$
f_1 (Hz)	6000	6000	7000
K_1 (A^2)	$2,3 \cdot 10^{-21}$	$1,5 \cdot 10^{-21}$	$4 \cdot 10^{-22}$

TAB. 3.6 – Paramètres du modèle de spectre de bruit pour convertisseur DC/DC n° 1 au cours de la période de stockage

de G-R : $S_i(f) = \frac{4I^2}{(nV)^2} \overline{\Delta N^2} \frac{\tau}{1+\omega^2\tau^2}$, deux paramètres sont susceptibles de faire évoluer le niveau du plateau indépendamment de la fréquence, d'une part le niveau de courant lors de la mesure (I^2) et d'autre part un paramètre lié à la densité de pièges ($\frac{4\Delta N^2}{(nV)^2} \frac{\tau}{1+\omega^2\tau^2}$).

La figure 3.40 présente les spectres de bruit du convertisseur n° 1 divisés par le courant au carré lors de la mesure. Nous voyons clairement que les spectres juste après le stress et après un mois de stockage se superposent. Ceci permet d'associer la diminution du niveau du bruit de G-R observé lors de la mesure à une diminution du courant de polarisation et peu ou pas à une diminution de la densité de pièges dans les oxydes. Par contre, le spectre mesuré après 3 mois de stockage présente une forte diminution du niveau de bruit de G-R même lorsque le spectre est divisé par le courant de polarisation au carré. Cette diminution est donc induite par une diminution du paramètre $\frac{4\Delta N^2}{(nV)^2} \frac{\tau}{1+\omega^2\tau^2}$ lié à la densité de pièges. Connaissant le courant I_{ddq} , la fréquence de coupure τ , et en choisissant une fréquence de 500 Hz (au niveau des plateaux), il est possible d'évaluer la variation du paramètre directement lié à la densité de pièges ($\frac{\Delta N^2}{(nV)^2}$) dans l'oxyde avant et après stockage de 1 et 3 mois

L'histogramme présenté à la figure 3.41, montre que le paramètre lié à la densité de pièges diminue après 3 mois de stockage.

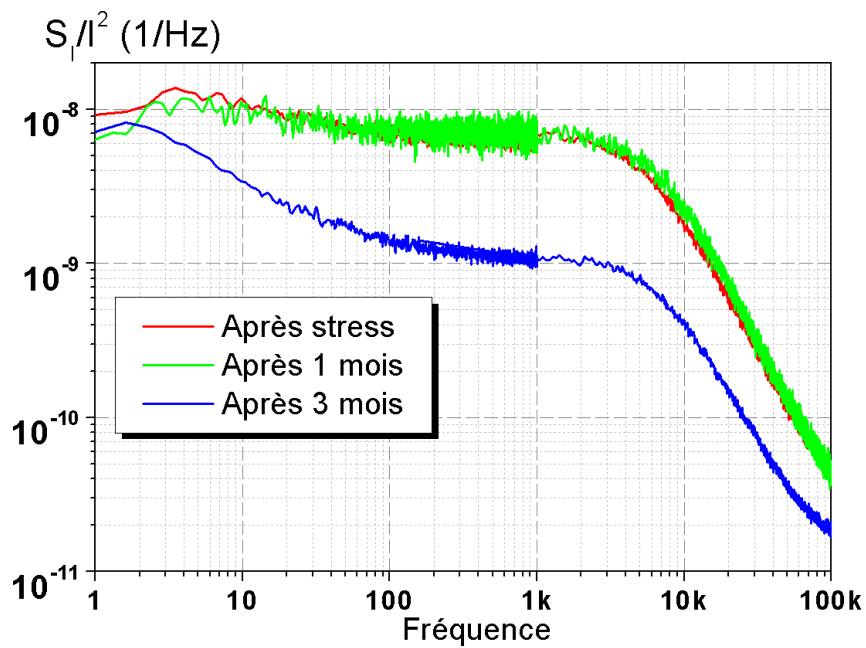


FIG. 3.40 – Mesure du bruit BF divisé par le courant de polarisation au carré.

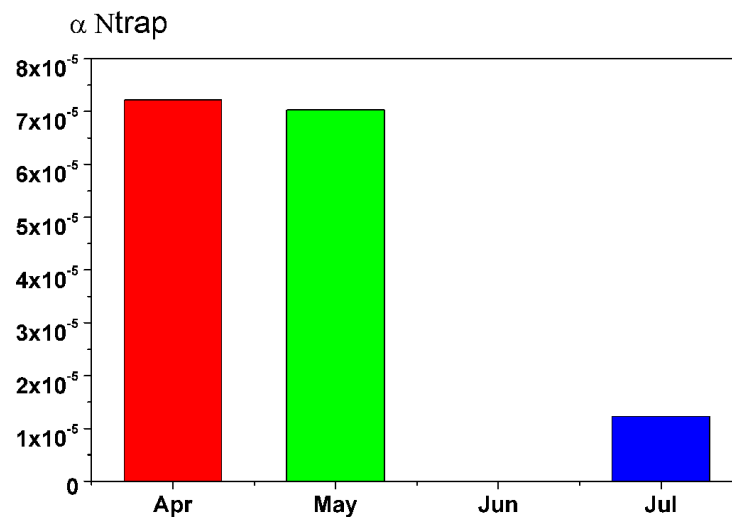


FIG. 3.41 – Évolution de la densité de pièges au cours du stockage.

Ces résultats confirment que le défaut qui se traduit en bruit BF par une source de bruit de G-R dominante correspond à du piégeage de charges dans les oxydes.

3.4 Conclusion

Nous avons démontré dans ce chapitre que la mesure du bruit basse fréquence permet d'obtenir une signature électrique d'un défaut même latent provoqué par une décharge électrostatique dans des structures simples et des circuits complexes. Le bruit basse fréquence a permis de détecter des défauts dans des structures de protection ESD (c.f. paragraphe 3.1.3) et dans des transistors MOS (c.f. paragraphe 3.2). Ces études ont montré que la mesure de bruit basse

fréquence est plus sensible que la mesure du courant de fuite puisque la présence d'un défaut peut engendrer plusieurs décades d'augmentation du niveau de bruit mesuré. Elles ont permis également de démontrer que la mesure du bruit BF permet de détecter des défauts aussi bien dans les oxydes de grille que dans les jonctions, les deux types de défaillances le plus souvent rencontrés dans le domaine des ESD. Dans une dernière partie, nous avons validé l'utilisation de cette technique comme outil de détection de défauts latents dans des circuits. Cette technique est plus sensible que la mesure du courant I_{ddq} et ne sera pas limitée par l'augmentation du courant de fuite de repos des nouvelles technologies. Nous avons également observé différentes modifications du spectre du bruit basse fréquence, lors de la présence d'un défaut. Nous pouvons distinguer deux cas : une forte augmentation du bruit en $1/f$ ou l'apparition d'une source de bruit de G-R. L'augmentation du bruit en $1/f$ peut être associée à l'apparition d'un défaut de type filamentaire alors qu'un défaut d'oxyde de grille correspondrait à l'apparition d'une source de bruit de G-R. Ce dernier peut être expliqué par le processus de création de défauts dans les oxydes, décrit dans le paragraphe 1.2.1, basé sur la génération de pièges dans le diélectrique. Dans le cas de circuits commerciaux, cette analyse a permis de montrer qu'un circuit ayant subi des stress CDM au cours de sa fabrication, est susceptible d'avoir été soumis à des champs électriques suffisants pour induire du piègeage de charges dans les oxydes qui, dans le cas de circuits analogiques, peuvent induire un rejet des composants au test de fonctionnalité. Un dépiégeage de ces charges se produit avec le temps mais n'est complètement éliminé qu'à la suite d'un recuit de 24h à 125°C. L'utilisation de ce type de recuit sur des circuits critiques avant montage sur une carte électronique de haute fiabilité constitue une solution pour éviter des dysfonctionnements voire des défaillances liés à ce type de défaut latent induit par des charges piégées dans les oxydes.

Conclusion générale

Les décharges électrostatiques constituent un grave problème de fiabilité des circuits intégrés et peuvent provoquer pour certains circuits la majeure partie des retours clients. Dans le domaine spatial, il a été recensé près de 160 dysfonctionnements d'équipement en orbite et 5 pertes de mission ont été attribuées à un événement ESD. Le coût moyen d'un satellite se situant autour de 75 millions d'Euros, la fiabilité de l'électronique embarquée est devenue un enjeu économique incontournable. Dans le contexte actuel d'utilisation des puces microélectroniques dans de nombreux domaines touchant directement à notre sécurité, comme les applications automobiles ou médicales, le niveau de fiabilité des composants utilisés est également devenu un enjeu majeur. Le travail présenté dans ce mémoire est une contribution à l'effort apporté dans le domaine de la microélectronique pour fiabiliser les produits. Dans cette thèse nous nous sommes proposé d'étudier les potentialités de la technique mature de mesure du bruit basse fréquence comme outil de détection de défauts générés par stress ESD dans les circuits intégrés.

Ainsi, dans le premier chapitre, nous avons donné, tout d'abord, quelques informations sur le phénomène des ESD dans le monde de la microélectronique. Par la suite, les différents modèles et outils nécessaires à l'étude de ce phénomène ont été présentés. Nous avons détaillé les différents types de défaillances pouvant être engendrées par une ESD, en présentant l'état de l'art de la compréhension physique de création de ces derniers. Nous avons également répertorié les techniques utilisées pour caractériser et détecter la présence de défauts dans les composants. Dans cette partie, le bruit basse fréquence a été présenté. Nous avons rappelé rapidement certaines définitions concernant les diverses sources de bruit BF ainsi que le formalisme mathématique nécessaire à mettre en œuvre pour étudier celles-ci. A la fin de ce chapitre, nous avons proposé un aperçu des différentes techniques non destructives utilisées pour localiser les défaillances dans les circuits intégrés.

Le chapitre suivant a traité du problème de fiabilité des produits issus de l'industrie microélectronique. Nous avons commencé par définir quelques termes liés à cette problématique puis présenté quelques points historiques révélateurs des efforts fournis pour améliorer la qualité des circuits intégrés. Dans une deuxième partie, nous avons soulevé la problématique des défauts latents et en particulier leurs impacts sur la fiabilité des systèmes embarqués. Dans cette partie, les futurs verrous technologiques liés à la problématique des ESD ont également été évoqués. La dernière partie de ce chapitre est consacrée à l'étude de l'impact de défauts latents générés par stress CDM. Un véhicule de test spécialement dessiné pour créer un défaut latent au cœur du circuit a permis de suivre l'évolution de défauts latents au cours du temps. Grâce à une étude

approfondie des défaillances engendrées, la nature des défaillances ainsi que les mécanismes mis en jeu lors de la création de ce défaut ont pu être démontrés. Cette étude a permis de montrer que la présence de défauts latents induit une diminution de la durée de vie des circuits intégrés.

Le dernier chapitre expose les résultats obtenus par l'emploi de la technique de mesure du bruit basse fréquence comme outil de détection de défaut généré par ESD. Nous avons dans un premier temps validé l'utilisation de cette technique grâce à des structures de protection ESD, un GCNMOS mais également un transistor NPN. Les défaillances induites dans ces deux structures sont de même nature : fusion filamentaire du silicium au niveau de la jonction drain(collecteur)-substrat. Afin de comparer les différences de signature électrique d'un défaut d'oxyde et de jonction, des transistors MOS ont été utilisés. Nous avons provoqué des défaillances similaires à l'étude précédente (fusion filamentaire du silicium) afin de connaître l'impact de tels défauts sur les caractéristiques BF dans les différents modes de fonctionnement d'un transistor MOS. Nous avons fait de même pour un défaut créé dans l'oxyde de grille du transistor. Ces études ont permis de démontrer que les caractéristiques BF ne sont perturbées que si le défaut a un impact direct sur le mode de conduction lors de la mesure. En effet, un défaut de type filamentaire au travers d'une jonction, et plus particulièrement situé au niveau de la jonction sphérique de cette dernière, c'est-à-dire en profondeur, n'induit pas de perturbation sur le signal lorsque le chemin de conduction se fait au travers du canal, c'est-à-dire en surface du silicium. Un défaut d'oxyde aura donc un plus grand impact qu'un défaut de jonction, puisque ce dernier est impliqué dans quasiment tous les régimes de fonctionnement du transistor. Dans la dernière partie de ce chapitre nous avons validé l'utilisation de cette technique pour détecter la présence de défaut latent dans les circuits intégrés, tout d'abord, sur un circuit simple issu du véhicule de test précédemment étudié au chapitre 2, mais également pour un circuit complexe issu du commerce, un convertisseur DC/DC. Pour limiter la complexité de la mesure et la durée du test, nous nous sommes inspiré de la méthode de mesure Iddq et avons également effectué la mesure de bruit BF sur le courant d'alimentation au repos. Les résultats obtenus sont très encourageants puisque la technique de mesure du bruit BF, dans cette configuration de polarisation, permet de détecter la présence de défauts latents dans un circuit tel qu'un convertisseur DC/DC qui est relativement complexe. La mesure de bruit BF permet également dans certains cas de déterminer directement la nature du défaut grâce à la signature électrique. Nous avons montré dans le cas du convertisseur DC/DC, que des stress ESD de type CDM induisait des phénomènes de piégeage de charges dans les oxydes pouvant conduire à des dysfonctionnements du circuit. La mesure Iddq détecte une augmentation du courant de fuite, mais ne permet de déterminer l'origine du défaut qu'à la suite d'une nouvelle mesure après recuit thermique qui permet un dé-piégeage partiel ou total des charges. En mesure de bruit BF, nous avons pu montrer que la signature correspondait à une source de bruit de génération-recombinaison qui a une signature en bruit très typique.

La mesure du bruit basse fréquence semble être un bon candidat pour la détection de défauts latents dans les circuits intégrés soumis à des décharges électrostatiques. Elle est aussi plus sensible que la mesure du courant de fuite actuellement employée. Nous avons vu dans le chapitre 1 que l'efficacité de la technique de détection basée sur la mesure du courant de fuite va être de plus en plus limitée du fait de l'augmentation générale des courants de fuite de repos des

futures technologies. Même si la technique de mesure de bruit BF est, elle aussi, soumise à une augmentation de son niveau intrinsèque (sans présence de défaillance) [106], la plus grande sensibilité observée et les niveaux intrinsèques très faibles pour les technologies silicium permettent de penser qu'elle restera une alternative intéressante. La procédure relativement lourde qu'elle nécessite la rend probablement impropre à une utilisation industrielle, mais pour les applications où la fiabilité est un paramètre primordial, cette technique permettra d'améliorer la sélection des composants.

Bibliographie

- [1] A. AMERASEKERA et C. DUVVURY : *ESD in silicon integrated circuits*. John Wiley & Sons, 1995.
- [2] R. G. WAGNER et AL : Extent and cost of EOS/ESD damage in an IC manufacturing process. Dans *EOS/ESD Symposium*, pages 49–55, 1993.
- [3] FABRICE PICOT : *Contribution à l'Optimisation d'un Flot de Conception Submicronique à base de Cellules Pré-Characterisées*. Thèse de doctorat, Université de Montpellier II Sciences et Techniques du Languedoc, décembre 2002.
- [4] N. TOSIC GOLO , F.G. KUPER et T. MOUTHAAAN : Zapping thin film transistors. *Microelectronics Reliability*, 42:747–746, 2002.
- [5] C. DUVVURY et A. AMERASEKERA : ESD : A pervasive reliability concern for IC technologies. *Proceedings of the IEEE*, 81(5):690–702, mai 1993.
- [6] EIA/JEDEC STANDARD : Electrostatic Discharge (ESD), Sensitivity Testing Human Body Model (HBM), EIA/JEDEC-A114A, 1997. 9p.
- [7] ESD ASSOCIATION : Association Standard test Method for Electrostatic Discharge Sensitivity Testing – Human Body Model (HBM) Component level, ESD STM5.1-1998, 1998. 13p.
- [8] ESD ASSOCIATION : Association Standard test Method for Electrostatic Discharge Sensitivity Testing – Machine Model (MM) Component level, ESD STM5.2-1999, 1999. 11p.
- [9] EIA/JEDEC STANDARD : Field induced Charged-Device Model, Test method for Electrostatic Discharge withstand thresholds of microelectronics components, JESD22-C101, 1995. 7p.
- [10] ESD ASSOCIATION : Association Standard test Method for Electrostatic Discharge Sensitivity Testing – Charged Device Model (CDM) Component level, ESD STM5.3-1999, 1999. 12p.
- [11] R.G. RENINGER et AL : A field induced charged device model simulator. Dans *EOS/ESD Symposium*, pages 59–71, 1989.
- [12] SHEELA SOWARIRAJ : *Full Chip Modelling of ICs under CDM Stress*. Thèse de doctorat, University of Twente, 2005.
- [13] H. GIESER et P. EGGER. : Influence of tester parasitics on charged device model failure thresholds. Dans *EOS/ESD Symposium*, pages 69–84, 1994.
- [14] M. CHAINE et AL : Investigation into socketed CDM (SDM) tester parasitics. Dans *EOS/ESD Symposium*, pages 301–308, 1998.

-
- [15] T. MALONEY et N. KHURANA : Transmission line pulsing techniques for circuits modelling of ESD phenomena. Dans *7th EOS/ESD Symposium*, pages 49–55, Minneapolis, MN, 1985.
- [16] N. MAURAN : Conception et réalisation d'un banc de caractérisation sous pointes pour mesures impulsionnelles haute énergie, 2 juillet 2003. Mémoire de diplôme ingénieur CNAM.
- [17] C. MUSSHOF et AL : Risettime effects of HBM and square pulses on the failure thresholds of GGNMOS transistors. *Microelectronics Reliability*, 36(11/12):1743–1746, 1996.
- [18] W. STADLER et AL : Does the ESD-failure current obtained by transmission-line pulsing always correlate to human body model tests? Dans *EOS/ESD Symposium*, pages 366–372, 1997.
- [19] M. KELLY, G. SERVAIS, T. DIEP, D. LIN, S. TWEREFOR et G. SHAH : A comparison of electrostatic discharge models and failure signatures for CMOS integrated circuits devices. Dans *Proceedings of 17th EOS/ESD Symposium*, pages 175–185, Phoenix, AZ, 1995.
- [20] N. GUITARD et AL : Different failure signatures of multiple TLP and HBM stresses in an ESD robust protection structure. Dans *ESREF*, pages 1415–1420, 2005.
- [21] H. GEISER et M. HAUNSCHILD : Very-fast Transmission Line Pulsing of integrated structures and the charged device model. Dans *EOS/ESD Symposium*, pages 85–94, 1996.
- [22] Oryx Instruments CORP. : A flexible Bench Top TLP/VF-TLP Test System. <http://www.oryxinstruments.com>.
- [23] T.C. HANG, C.C KOU, M.K. RADHAKRISHNAN et N.M. IYER : Physical Failure Anlaysia to distinguish EOS and ESD failures. Dans *9th IPFA*, pages 65–69, Singapore, 2002.
- [24] R. DEGRAEVE et B. KACZERAND G. GROESENEKEN : Degradation and breakdown in thin oxide layers : mechanisms, models and reliability prediction . Dans *Microelectronics Reliability* , volume 39, pages 1445–1460, 1999.
- [25] R.H. FOWLER et L. NORDHEIM : Electron in Intense Electric Field. Dans *Proc. Soc. London Ser. A*, volume 119, pages 173–181, 1928.
- [26] W.D. ZHANG, M. LALOR, D. BURTON, R. DEGRAEVE et G. GROESENEKEN : On the mechanism of electron trap generation in gate oxides. Dans *Microelectronics Engineering* , volume 59, pages 89–94, 2001.
- [27] P. BELLUTTI et N. ZORZI : High electric field induced positive charges in thin gate oxide. *Solid-State Electronics*, 45:1333–1338, 2001.
- [28] M.L. GREEN, E.P. GUSEV, R. DEGREAVE et E.L. GARFUNKEL : Ultrathin (<4nm) SiO₂ and Si-O-N gate dielectric layers for silicon microelectronics : Understanding the processing, structure, and physical and electrical limits. *Applied physics reviews*, 90(5):2057–2121, 2001.
- [29] D.J. DIMARIA : Defect production, degradation, and breakdown of silicon dioxide films. *Solid-State Electronics*, 41(7):957–965, 1997.
- [30] W.D. ZHANG, M.J. UREN, G. GROESENEKEN, R. DEGRAEVE, M. LALOR et D.BURTON : Dependence of energy distributions of interface states on stress conditions . Dans *Microelectronics Engineering* , volume 59, pages 95–99, 2001.
- [31] R. DEGRAEVE : Issues in High-K Reliability, 2003. Tutorial IRPS.

-
- [32] P.E. NICOLLIAN, W.R. HUNTER et J.C. HU : Experimental evidence for voltage driven breakdown models in ultrathin gate oxides. Dans *IEEE 38th Annual IRPS*, pages 7–15, San Jose, 2000.
- [33] S.K. LAI : Interface trap generation in silicon dioxide when electrons are captured by trapped holes . *Journal of Appl. Phys.*, 54(5):2540–2545, 1983.
- [34] W.D. ZHANG, C.Z. ZHAO, H.K. SII, G. GROESENEKEN, R. DEGRAEVE, J.N. ELLIS et C.D. BEECH : Relation between hole traps and hydrogenous species in silicon dioxides . Dans *Solid-State Electronics* , 2002.
- [35] F. SAIGNE : *Une nouvelle approche de la sélection des composants de type MOS pour l'environnement radiatif spatial* . Thèse de doctorat, Université Montpellier II, 1998.
- [36] A.J. LELIS, T.R. OLDHAM, H.E. BOESCH et F.B. MCLEAN : The nature of the trapped hole annealing process. *IEEE Trans. Nucl. Sci.*, 36(6):1808–1815, 1989.
- [37] J. WU, P. JULIANO et E. ROSENBAUM : Breakdown and latent damage of ultra-thin gate oxide under ESD stress conditions. *Microelectronics Reliability*, 41:1771–1779, 2001.
- [38] S. HAENDLER, F. DIEUDONNÉ, J. JOMAAH, F. BALESTRA, C. RAYNAUD et J.L.PELLOIE : Impact of front oxide quality on transient effects and low-frequency noise in partially and fully depleted SOI n-MOSFETs . *Solid-State Electronics* , 46:1013–1017, 2002.
- [39] Y. FONG et C. HU : The effects of high electric field transients on thin gate oxide MOSFETs. Dans *EOS/ESD*, pages 252–257, 1987.
- [40] J. COLVIN : The identification and analysis of latent ESD damage on CMOS input gates. Dans *EOS/ESD Symposium*, pages 109–116, 1993.
- [41] J. SUNÉ, I. PLACENCIA, N. BARNIOL, E. FARRÉS, F. MARTÍN et X. AYMERICH : On the breakdown statistics of thin SiO₂ films. *Thin Solid Films* , 185:347–362, 1990.
- [42] M.HOUSSA, N. VANDEWALLE, T. NIGAM, M. AUSLOOS, P.W. MERTENS et M.M. HEYNS : Analysis of the gate voltage fluctuations in ultra-thin gate oxides after soft breakdown. Dans *IEDM*, pages 909–912, 1998.
- [43] R. DEGRAEVE, G. GROESENEKEN, R. BELLENS, J.L. OGIER, M. DEPAS, P. J. ROUSSEL et H. E. MAES : New insights in the relation between electron trap generation and the statistical properties of oxide breakdown . *IEEE Transactions on Electron Devices* , 45(4):904–911, 1998.
- [44] R. DEGRAEVE, G. Groeseneken and R. BELLENS, M. DEPAS et H.E. MAES : A consistent model for the thickness dependence of intrinsic breakdown in ultra-thin oxides. Dans *IEDM*, pages 863–866, 1995.
- [45] T. TOMITA, H. UTSUNOMIYA, T. SAKURA, Y. KAMAKURA et K. TANIGUCHI : A new soft breakdown model for thin thermal SiO₂ films under constant stress. *IEEE Transactions on Electron Devices*, 46:159–164, 1999.
- [46] J.C. REINER : Latent gate oxide damages caused by CDM-ESD. Dans *EOS/ESD Symposium*, pages 311–321, 1995.
- [47] R. SUBRAMONIAM, R.S. SCOTT et D.J. DUMIN : A statistical Model of Oxide Breakdown based on a Physical description of Wearout. Dans *IEDM*, pages 135–138, 1992.

- [48] N. SHIONO et M. ITSUMI : A lifetime projection method using series model and acceleration factors for TDDB failures of thin gate oxides. Dans *IRPS*, pages 1–6, 1993.
- [49] G. GROESENEKEN : Hot carrier degradation and ESD in submicron CMOS technologies : How do they interact ? Dans *EOS/ESD Symposium*, pages 276–286, 2000.
- [50] W.D. GREASON et K. CHUM : Characterisation of charge accumulation and detrapping processes related to latent failure in CMOS integrated circuits. *IEEE*, pages 586–593, 1991.
- [51] H.C. JOSEPHS : Analysis of second breakdown in transistor using a simple model. *IEEE Transaction On Electron Devices*, 13(11), 1966.
- [52] F. WEITZSCH : A discussion of some known physical models for second breakdown. *IEEE Transaction On Electron Devices*, 13(11), 1966.
- [53] PH. LETURCQ : *Comportement électrique et thermique des transistors bipolaires aux forts niveaux de tension et de courant : application aux phénomènes de second claquage*. Thèse de doctorat, Faculté de Sciences de L’université de Toulouse, 10 octobre 1969.
- [54] J.C. REINER, T.KELLER, H. JÄGGI et S. MIRA : Impact of ESD-induced soft drain junction damage on CMOS product lifetime . *Microelectronics Reliability*, 40:1619–1628, 2000.
- [55] T.J. LANONEY : Integrated circuit metal in the charged device model : Bootstrap heating, melt damage, and scaling laws. Dans *EOS/ESD Symposium*, pages 371–376, 1992.
- [56] A. AMERASEKERA et F. NAJIM : *Failure Mechanisms in Semiconductor*. John Wiley & Sons, 1996.
- [57] S. VOLDMAN, R. GAUTHIER, D. REINHART et K. MORRISSEAU : High-current transmission line pulse characterization of aluminum and copper interconnects for advanced CMOS semiconductor technologies . Dans *IEEE 36th Annual International Reliability Physics Symposium*, pages 293–301, 1998.
- [58] LOGICVISION.
- [59] H. WOLF, H. GIESER, W. SOLDNER et H. GOBNER : A dedicated TLP set-up to investigate the ESD robustness of RF elements and circuits. Dans *16th Annual ESREF*, pages 1421–1424, 2005.
- [60] V. VASSILEV, G. GROESENEKEN, S. JENEI, R. VENEGAS, M. STEYAERT et H. MAES : Modelling and extraction of RF performance parameters of CMOS Electrostatic Discharge protection devices. Dans *EOS/ESD Symposium*, pages 111–118, 2002.
- [61] D.J. DIMARIA : Stress induced leakage currents in thin oxides . *Microelectronic Engineering* , 28:63–66, 1995.
- [62] C. JAHAN, S. BRUYÈRE, G. GHIBAUDO, E. VINCENT et K. BARLA : Model for the oxide thickness dependence of SILC generation based on anode hole injection process. *Microelectronic Engineering* , 39:791–795, 1999.
- [63] T.WANG, N-K. ZOUS, -L. LAI et C.HUANG : Hot hole Stress Induced Leakage Current (SILC) transient in tunnel oxide . *IEEE Electron Device Letters*, 19(11):411–413, 1998.

-
- [64] S. KAMOHARA, D. PARK, C. HU et K. MORRISSEAU : Deep-trap SILC (Stress Induced Leakage Current) model for nominal and weak oxides . Dans *IEEE 36th Annual International Reliability Physics Symposium*, pages 57–61, 1998.
- [65] T. NIGAM, R. DEGRAEVE, G. GROESENEKEN, M.M. HEYNS et H.E. MAES : A fast and simple methodology for lifetime prediction of ultra-thin oxides. Dans *IEEE 37th Annual International Reliability Physics Symposium*, pages 381–388, 1999.
- [66] C. LEROUX, G. GHIBAUDO, G. REIMBOLD, R. CLERC et S. MATHIEU : Oxide thickness extraction methods in the nanometer range for statistical measurements . *Solid-State Electronics* , 46(11):1849–1854, 2002.
- [67] F. LIME, R. CLERC, G. GHIBAUDO, G. PANANAKAKIS et G. GUÉGAN : Impact of gate tunneling leakage on the operation of nMOS transistors with ultra-thin gate oxides. *Microelectronic Engineering*, 59:119–125, 2001.
- [68] M. MARGALA et I. PECUH : Testing of deep-submicron battery-operated circuits using new fastcurrent monitoring scheme. Dans *IEEE International Proceedings Workshop on Defect Based Testing*, pages 65–69, 2000.
- [69] E.P. VANDAMME, D. SCHREURS, C. VAN DINTHER, G. BADENES et L. DEFERM : Development of RF large signal MOSFET model, based on an equivalent circuit, and comparison with the BSIM3v3 compact model. *Solid-State Electronics*, 46:353–360, 2002.
- [70] J.G. SU, S.C. WONG, C.Y. CHANG, T.Y. HUANG et L. DEFERM : The extraction of MOSFET gate capacitance from S-parameter measurements. *Solid-State Electronics*, 46:1163–1167, 2002.
- [71] A. KERLAIN et V. MOSSER : Robust, versatile, direct low-frequency noise characterization method for material/process quality control using cross-shaped 4-terminal devices. Dans *ESREF*, pages 1327–1330, 2005.
- [72] R. PLANA : *Bruit de fond dans les transistors à effet de champ et bipolaires pour micro-ondes*. Thèse de doctorat, Faculté de Sciences de L’université de Toulouse, 12février 1993.
- [73] A. VAN DER ZIEL : Noise in solid-state devices and lasers. *Proceedings of the IEEE*, 58(8):1178–1206, 1970.
- [74] G. VASILESCU : *Bruits et signaux parasites*. Dunod, 1999.
- [75] G. GHIBAUDO et T. BOUTCHACHA : Electrical noise and RTS fluctuations in advanced CMOS devices. *Microelectronics Reliability*, 42:573–582, 2002.
- [76] A. CESTER, L. BANDIERA, G. GHIDINI, I. BLOOM et A. PACCAGNELLA : Soft breakdown current noise in ultra-thin gate oxides. *Solid-State Electronics*, 46:1019–1025, 2002.
- [77] L.K.J. VANDAMME, R. FEYAERTS et G. TREFAN : 1/f Noise in pentacene and polythiénylene vinylene thin film transistors. *Journal Of Applied Physics*, 91(2):719–723, 2002.
- [78] K. H. DUH et A. VAN DER ZIEL : Hooge parameters for various FET structures. *IEEE Transactions on Electron Devices*, 32(3):662–666, 1985.
- [79] M. BORGARINO, J. KUCHENBECKER, J.G. TARTARIN et L. BARY : Hot carrier effects in Si-SiGe HBTs. *IEEE Transactions on Device and Materials Reliability*, 1(2):86–94, 2001.

- [80] L. REN, S. OKHONIN et M. ILEGEMS : Low frequency Noise in Electrically Stressed n-MOSFETs. *Solid-State Electronics*, 43:849–856, 1999.
- [81] S.L. JANG, H.K. CHEN et K.M. CHANG : Low-Frequency Noise Characteristics of Hot Carrier-Stressed buried-channel pMOSFETs. *Solid-State Electronics*, 42:411–418, 1998.
- [82] K.S. WILLS, C. DUVVURY et O. ADAMS : Photoemission testing for ESD failures. Advantage and limitations. Dans *EOS/ESD Symposium*, pages 53–61, 1988.
- [83] C. RUSS, K. BOCK, M. RASRAS, I. DE WOLF, G. GROESENEKEN et H.E. MAES : Non-uniform triggering of gg-NMOS_t investigated by combined emission microscopy and transmission line pulsing. Dans *EOS/ESD Symposium*, pages 177–186, 1998.
- [84] T. WILSON et C.J.R. SHEPPARD : Observations of dislocations and junction irregularities in bipolar transistors using the OBIC mode of the scanning optical microscope. *Solid-State Electronics*, 29(11):1189–1194, 1986.
- [85] F. ESSELY, D. TREMOUILLES, N. GUITARD, M. BAFLEUR, P. PERDU, A. TOUBOUL et D. LEWIS : Study of the impact of multiple ESD stresses. Dans *2° Workshop EOS/ESD/EMI*, pages 35–37, 2004.
- [86] INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS : A compilation of IEEE standard computer glossaries, 1990.
- [87] The Cosmos on a SHOESTRING : High-Reliability systems.
- [88] THE AEROSPACE CORPORATION : Understanding solar risks. *Space Operations Digest*, 1(1), Nov.20, 2002.
- [89] ESA : The discharge detector experiment. *Preparing for the future*, 7(3):1–3, 1997.
- [90] J. RIVENC : Electrostatic discharges in automotive environment : from the sources characterization to the requirement sheet. Dans *2rd Workshop EOS/ESD/EMI*, pages 1–6, 2004.
- [91] W. D. GREASON : *Electrostatic damage in Electronics devices and systems*. Research studies press, 1989.
- [92] O.J. MCATEER et R.E. TWIST : Latent ESD failures. Dans *EOS/ESD Symposium Proceedings*, page 41, 1982.
- [93] G. BOSELLI et C. DUVVURY : Trends and challenges to ESD and latch-up designs for nanometer CMOS technologies. *Microelectronics Reliability*, 45(9–11):1406–1414, 2005.
- [94] ELECTROSTATIC DISCHARGE (ESD) TECHNOLOGY ROADMAP : <http://www.esda.org/>, 2004.
- [95] N. GUITARD, D. TRÉMOUILLES, S. ALVES, M. BAFLEUR, F. BEAUDOIN, P. PERDU et A. WISLEZ : ESD induced latent defects in CMOS ICs and reliability impact. Dans *26th Annual Electrical Overstress/Electrostatic Discharges Symposium EOS/ESD*, pages 174–181, 2004.
- [96] M. BAFLEUR, D. TREMOUILLES, S. ALVES, F. BEAUDOIN, P. PERDU et A. WISLEY : Impact of CDM ESD stress on CMOS ICs reliability. Dans *EOS/ESD/EMI Workshop*, pages 9–11, 2002.

-
- [97] J. Saint MARTIN : *Application de l'analyse de signatures de défaillance à la localisation de composants défaillants suite à un stress par décharges électrostatiques*. Thèse de doctorat, LAAS/CNRS and CNES, 2001.
- [98] S. ALVES : *Analyse de signatures de défaillances dues à une décharge électrostatique de type CDM*, 2001. LAAS/CNRS.
- [99] T. BEAUCHÊNE, D. LEWIS, P. PERDU, F. BEAUDOIN, P. FOUILLAT et A. TOUBOUL : *ESD defect localisation using photovoltaic laser stimulation techniques : Optimization and interpretation*. Dans *IPFA*, pages 179–182, 2003.
- [100] M. REMMACH : *PICA*. Thèse de doctorat, IXL, 2006.
- [101] S.L. MILLER : *Ionization rates for holes and electrons in silicon*. *Phys. Rev.*, 105:1246–1249, 1957.
- [102] D. Trémouilles et AL. : *Design guidelines to achieve a very high ESD robustness in a self-biased NPN*. Dans *EOS/ESD Symposium*, pages 281–288, 2002.
- [103] Infineon TECHNOLOGIES : *Datasheet BSS84P* <http://www.infineon.com/upload/document/bss84p-rev2.3.pdf>.
- [104] S. HAENDLER, J. JOMAAH, G. GHIBAUDO et F. BALESTRA : *Improved analysis of low frequency noise in dynamic threshold MOS/SOI transistors*. *Microelectronics Reliability*, 41:855–860, 2001.
- [105] ON SEMICONDUCTOR : *Datasheet NCP5010* <http://www.onsemi.com/pub/collateral/ncp5010.pdf>.
- [106] M-H. TSAI et T-P. MA : *The impact of device scaling on the current fluctuation in MOSFET's*. *IEEE Transactions on electrons devices*, 41(11):2061–2068, 1994.

Liste des publications

Reuves :

- N. GUITARD, D. TRÉMOUILLES, F. ESSELY, M. BAFLEUR, P. PERDU, N. NOLHIER, V. POUGET, D. LEWIS et A. TOUBOUL : "Different failure signatures of multiple TLP and HBM stresses in an ESD robust protection structure." *Microelectronics Reliability*, 45(9-10), pages 1415–1420, Septembre-Novembre 2005. 16th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF'2005), 2005.
- N. GUITARD, D. TRÉMOUILLES, M. BAFLEUR, L. ESCOTTE, L. BARY, P. PERDU, G. SARRABAYROUSE, N. NOLHIER et R. REYNA-ROJAS : "Low frequency noise measurements for ESD latent defect detection in high reliability applications." *Microelectronics Reliability*, 44(9-11), pages 1781–1786, Septembre-Novembre 2004. 15th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF'2004), 2004.
- D. TRÉMOUILLES, G. BERTRAND, M. BAFLEUR, F. BEAUDOIN, P. PERDU, N. GUITARD et L. LESCOUZERES : "TCAD and SPICE modeling help solve ESD protection issues in analog CMOS technology." *Microelectronic Reliability*, 43(1), pages 71–79, Janvier 2003.

Conférences internationales :

- N. GUITARD, D. TRÉMOUILLES, S. ALVES, M. BAFLEUR, F. BEAUDOIN, P. PERDU et A. WISLEZ : "ESD Induced Latent Defects In CMOS ICs And Reliability Impact." *26th Annual Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, pages 174–181, 19–23 Septembre 2004, Grapevine (USA).

Conférences et séminaires :

- F. ESSELY, N. GUITARD, F. DARRACQ, V. POUGET, M. BAFLEUR, A. TOUBOUL et D. LEWIS : "OBIC technique for ESD defect localization : Influence of the experimental procedure." *3rd Workshop EOS/ESD/EMI*, Toulouse (France), 18–19 Mai 2006.
- N. GUITARD, D. TRÉMOUILLES, M. BAFLEUR, L. ESCOTTE, L. BARY, P. PERDU, G. SARRABAYROUSE, N. NOLHIER et R. REYNA-ROJAS : "Méthode de détection de défauts latents ESD dans les technologies CMOS basée sur des mesures de bruit basse fréquence." *Atelier ANADEF 2004*, Port d'Albret (France), 8 Juin 2004.
- N. GUITARD, D. TRÉMOUILLES, M. BAFLEUR, L. ESCOTTE, L. BARY, P. PERDU,

- G. SARRABAYROUSE, N. NOLHIER et R. REYNA-ROJAS : "Potentialities of low frequency noise measurement as ESD latent defect detection for high reliability applications." *2nd Workshop EOS/ESD/EMI*, pages 39–42, Toulouse (France), 13 Mai 2004.
- F. ESSELY, D. TRÉMOUILLES, N. GUITARD, M. BAFLEUR, P. PERDU, A. TOUBOUL et D. LEWIS : "OBIC techniques applied to study the impact of multiple ESD stresses." *2nd Workshop EOS/ESD/EMI*, pages 35–37, Toulouse (France), 13 mai 2004.
- N. GUITARD : "Utilisation de la mesure de bruit basse fréquence comme indicateur de stress ESD." *JNRDM*, Marseille (France), pages 307–309 4–6, Mai 2004.
- D. TRÉMOUILLES, N. GUITARD, M. BAFLEUR, N. NOLHIER et L. LESCOUZERES : "TLP and photo emission coupling, a powerful tool for study of ESD protection strategy." *Workshop EOS/ESD/EMI*, Toulouse (France), 13 Octobre 2002.

Résumé

Les agressions électriques, du type décharges électrostatiques (ESD) et surcharges électriques (EOS), sont à l'origine de plus de 50% des défaillances des circuits intégrés. De plus, avec l'avènement des technologies sans fil et des applications dites "plus électriques" en automobile et dans l'aviation, les spécifications de robustesse à ces agressions se sont considérablement durcies. Dans le même temps, la réduction des dimensions et la complexité croissante des technologies pose le problème de leur susceptibilité à ces contraintes EOS/ESD et de la probabilité non négligeable de génération de défauts latents. Enfin, les niveaux de fiabilité exigés maintenant dans la plupart des applications sont extrêmement élevés. Afin de répondre à ces nouvelles exigences, la détection des défauts latents est devenue indispensable, notamment pour des applications comme celles du domaine spatial. Or, la diminution des dimensions lithographiques a pour conséquence une augmentation des courants de repos des circuits microélectroniques. Cette augmentation rend difficile voire impossible la détection de défauts latents susceptibles de « dé-fiabiliser » des systèmes microélectroniques. Nous avons, dans cette thèse, étudié l'impact de défauts latents induits par stress ESD de type CDM sur la fiabilité de circuits et proposé une nouvelle méthodologie pour leur détection. Issue du domaine des radio fréquences, cette méthodologie basée sur des mesures du bruit basse fréquence nous a permis de mettre en évidence, avec une meilleure sensibilité, des défauts latents dans de simples structures de protections ESD mais aussi dans des circuits commerciaux complexes soumis à des décharges de type CDM. Différentes techniques de localisation par stimulation laser ont été mises en oeuvre pour la détection physique des défauts générés et corroborer l'analyse des mécanismes physiques à l'origine de l'augmentation du bruit.

Mots-clés: Décharges électrostatiques (ESD), Protection, Simulation physique, Modélisation SPICE, Stimulation laser

Abstract

Electrical stresses, such as electrostatic discharges (ESD) and electric overstress (EOS), are at the origin of more than 50% of integrated circuits failures. Moreover, with the advent of wireless technologies and the development of "X-by-wire" systems for automotive and aircraft applications, robustness specifications have become more severe. Concurrently, both shrinking and increasing complexity of semiconductor technologies increase their susceptibility to EOS/ESD stresses and generation of latent defects is more likely to occur. Finally, the required reliability levels in the majority of the applications are extremely high. To meet these new requirements, latent defects detection become essential. Due to feature size shrinking, the quiescent current of microelectronics circuits is increasing. This current increase will make difficult or impossible to detect latent defects susceptible to degrade the reliability of microelectronics systems. In this thesis, we studied the impact of latent defects induced by CDM ESD stresses on the reliability of integrated circuits, and proposed a new methodology for their detection. This methodology, based on low frequency noise measurements, enables the detection of latent defects with a

higher sensitivity compared to leakage current measurement. The methodology was validated for simple ESD protection structures but also for complex commercial circuits submitted to CDM discharges. Various laser stimulation techniques were carried out for the localization of the generated defects and the validation of the physical mechanisms involved in the noise increase.

Keywords: Electrostatic discharge (ESD), Device simulation, SPICE modeling, Laser stimulation