



**HAL**  
open science

# Contribution pour l'amélioration de la robustesse et du bruit de phase des synthétiseurs de fréquences.

Marc Houdebine

► **To cite this version:**

Marc Houdebine. Contribution pour l'amélioration de la robustesse et du bruit de phase des synthétiseurs de fréquences.. Micro et nanotechnologies/Microélectronique. Institut National Polytechnique de Grenoble - INPG, 2006. Français. NNT: . tel-00137092

**HAL Id: tel-00137092**

**<https://theses.hal.science/tel-00137092>**

Submitted on 16 Mar 2007

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

*INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE*

Numéro attribué par la bibliothèque

--	--	--	--	--	--	--	--	--	--

THÈSE

pour obtenir le grade de

DOCTEUR DE L'INPG

Spécialité : **Automatique/Productique.**

Thèse CIFRE préparée au

**Laboratoire d'Automatique de Grenoble**

et en collaboration avec la société **STMicroelectronics.**

Dans le cadre de l'école doctorale Électronique, Électrotechnique Automatique et  
Traitement du Signal

présentée et soutenue publiquement par

**Marc Houdebine**

Le 20 décembre 2006

---

# Contribution pour l'amélioration de la robustesse et du bruit de phase des synthétiseurs de fréquences.

---

Directeurs de thèse :

**Olivier Sename**, LAG.

**Mazen Alamir**, LAG.

**Sébastien Dedieu**, ST.

JURY :

M. Pascal Fouillat	(IXL, Bordeaux)	,Rapporteur.
M. Jamal Daafouz	(ENSEM-INPI, Nancy)	,Rapporteur.
M. Mohammed M'Saad	(GREYC, Caen)	,Examineur.
M. Olivier Sename	(LAG, Saint Martin d'Hères)	,Directeur de thèse.
M. Mazen Alamir	(LAG, Saint Martin d'Hères)	,Directeur de thèse.
M. Sébastien Dedieu	(STMicroelectronics, Crolles)	,Directeur de thèse.



À mes parents ...

À Maguy ...

À Marie-Pierre ...



# Remerciements

Je tiens à remercier toutes les personnes qui ont contribué à ce travail et sans qui ce projet n'aurait pas autant porté de fruits. La richesse de ce travail vient notamment de la réunion de savoir-faire de différents horizons. En effet, ce travail se trouve au point focal où se concentre un spectre très large qui s'étend de la micro(nano)-électronique à l'automatique en passant par l'électronique analogique, l'électronique numérique, le traitement du signal et de l'information, la modélisation et l'analyse des systèmes non linéaires, l'étude et la synthèse d'observateur et de contrôleurs performants. . .

Ainsi, je remercie en premier mes directeurs et encadrant de thèse entre qui la bonne entente a permis de passer trois riches années et grâce à qui ce projet a pu aboutir à tant de résultats. Merci donc à Mazen Alamir pour sa perspicacité qui a fait de nos échanges des moments inoubliables. Merci à Olivier Sename pour son dynamisme qui a rythmé ce travail de recherche. Et bien entendu, merci à Sébastien Dedieu grâce à qui cette histoire a commencé et avec qui j'aurai le plaisir de poursuivre ces recherches.

Merci à ceux qui m'ont beaucoup aidé dans l'étude des architectures de synthétiseurs de fréquences, à savoir en particulier Franck Badets et Daniel Saias, mais aussi Loic Joet qui fut l'étincelle originelle de cette aventure.

Merci à ceux qui ont contribué à la réalisation du prototype de la FFLL (explication dans ce rapport). Je pense plus particulièrement à Gérald Provins pour son aide très précieuse dans l'assemblage du synthétiseur de fréquence et de son oscillateur.

Je remercie Willy Beulé pour la réalisation de la carte de test ainsi que Guillaume Royer et Mickael Belly pour leur contribution dans le test du prototype.

La recherche sur les boucles à verrouillage de phases numériques a pu être aussi poussée grâce à Jérôme Lajoinie qui nous a préparé le terrain et que je n'oublie pas dans ces remerciements.

Je souhaite aussi remercier mes collègues du Laboratoire d'automatique de Grenoble qui ont contribué directement ou indirectement à ce travail. Ainsi, je remercie tout particulièrement Christophe Gauthier pour ses échanges constructifs, sans oublier David, Fadi, Denis et les autres.

Enfin, je remercie aussi tous ceux et celles qui m'ont accompagné à STMicroelectronics. Je pense à mes collègues de bureau Thierry et Laurence, mais aussi à Frédéric Paillardet qui a suivi de près ce travail de recherche.

# Table des matières

<b>Remerciements</b>	<b>4</b>
<b>Introduction</b>	<b>11</b>
<b>1 Architectures des PLLs</b>	<b>17</b>
1.1 Principe de la Boucle à verrouillage de phase . . . . .	17
1.1.1 Fonctionnement global de la boucle : . . . . .	18
1.1.2 L'oscillateur contrôlé : le système à réguler . . . . .	19
1.2 Architectures Classiques . . . . .	25
1.2.1 Composition de ces architectures . . . . .	25
1.2.2 Avantages et inconvénients de ces architectures . . . . .	31
1.3 Architecture proposée : la FLL . . . . .	33
1.4 Autres Architectures échantillonnées . . . . .	37
1.5 PLLs entièrement numériques . . . . .	39
1.5.1 Composition des PLLs numériques . . . . .	40
1.5.2 La Mesure de la Fréquence de Sortie . . . . .	41
1.6 conclusion de ce chapitre . . . . .	43
<b>2 Modélisation des PLLs</b>	<b>45</b>
2.1 Le modèle continu linéaire . . . . .	45
2.1.1 Modèle du comparateur et de la pompe de charges . . . . .	46
2.1.2 Modèle du filtre de boucle . . . . .	46
2.1.3 Modèle de l'oscillateur contrôlé . . . . .	47
2.1.4 Équation complète de la boucle . . . . .	48
2.2 Le modèle continu discret . . . . .	49
2.3 Validité des modèles linéaires continus et discrets . . . . .	50
2.4 Les modèles hybrides . . . . .	52
2.5 Bilan de l'État de l'art . . . . .	55
2.6 Notre modèle non-linéaire de la FLL . . . . .	55
2.6.1 Modèle de l'oscillateur contrôlé . . . . .	56
2.6.2 Modèle du contrôleur . . . . .	57



2.6.3	Modèle complet de la boucle . . . . .	63
2.7	Conclusion de ce chapitre . . . . .	65
<b>3</b>	<b>Analyse des PLLs</b>	<b>67</b>
3.1	L'outil d'analyse semi-globale . . . . .	68
3.1.1	Notations . . . . .	68
3.1.2	Énoncé du théorème initial . . . . .	69
3.1.3	Exemple d'analyse sur notre modèle non-linéaire . . . . .	71
3.1.4	Énoncé du théorème amélioré . . . . .	77
3.1.5	Implémentation pour des systèmes de faible dimension . . . . .	80
3.1.6	Exemple d'analyse sur les PLLs échantillonnées classiques . . . . .	84
3.1.7	Conclusion sur la méthode d'analyse . . . . .	90
3.2	Modèle de bruit . . . . .	90
3.2.1	Rappel du fonctionnement du système . . . . .	90
3.2.2	Impact des injections de l'interrupteur . . . . .	93
3.2.3	Modélisation de l'échantillonnage dans la littérature . . . . .	94
3.2.4	Modélisation de l'échantillonnage par méthode de discrétisation exacte . . . . .	97
3.2.5	Vérification des modèles . . . . .	100
3.3	Conclusion de ce chapitre . . . . .	107
<b>4</b>	<b>Observation de la fréquence de sortie</b>	<b>109</b>
4.1	Les PLLs numériques . . . . .	110
4.2	La mesure de la fréquence de sortie . . . . .	111
4.2.1	Principe de la mesure . . . . .	111
4.2.2	Mesure de l'écart temporel $Dt_1$ . . . . .	113
4.2.3	Dégradation du spectre de sortie . . . . .	114
4.3	Observateur Non linéaire . . . . .	116
4.3.1	Évolution de $N_{1m}$ . . . . .	116
4.3.2	Estimation de $Dt_1/T_{inv}$ . . . . .	118
4.4	Performances de l'observateur . . . . .	127
4.4.1	Modèles de simulation : . . . . .	127
4.4.2	Niveau de bruit simulé : . . . . .	129
4.4.3	Résultats de simulation : . . . . .	129
4.5	Conclusion de ce chapitre . . . . .	132
<b>5</b>	<b>Commande robuste des PLLs</b>	<b>135</b>
5.1	État de l'art . . . . .	136
5.2	Contrôle robuste . . . . .	139
5.2.1	Mise en forme $H_\infty$ . . . . .	139
5.2.2	Synthèse $H_\infty$ nominale . . . . .	140
5.3	Robustesse aux variations de paramètres . . . . .	143

---

5.3.1	Variation du gain de l'oscillateur et problème standard . . . . .	143
5.3.2	Détermination de $N_{11}$ . . . . .	146
5.3.3	Robustesse aux variations de gain de l'oscillateur . . . . .	147
5.4	Implémentation du contrôleur . . . . .	149
5.4.1	Contraintes techniques de réalisation . . . . .	149
5.4.2	Réalisation du correcteur . . . . .	149
5.5	conclusion de ce chapitre . . . . .	157
	<b>Conclusion</b>	<b>158</b>
	<b>Perspectives</b>	<b>160</b>
	<b>Annexe A. Divergence entre les modèles linéaires continus et discrets</b>	<b>162</b>
	<b>Annexe B. Effet des injections de l'interrupteur de la FLL sur le spectre de sortie</b>	<b>166</b>
	<b>Liste des Acronymes</b>	<b>170</b>
	<b>Liste des Symboles</b>	<b>173</b>
	<b>Bibliographie</b>	<b>175</b>
	<b>Résumé &amp; Mots Clefs</b>	<b>180</b>



# Introduction

## L'électronique en pleine évolution :

L'électronique a pris son essor durant la fin du XX<sup>ème</sup> siècle. La tendance historique était à l'électronique analogique qui consistait à travailler sur des niveaux de tensions variables. L'élément clef qui fut à l'origine de cette évolution fut le transistor<sup>1</sup> bipolaire alors utilisé comme amplificateur de courant. La fonctionnalité de l'électronique numérique a très vite pris le dessus en faisant suivre la technologie qui a penché vers le transistor MOS (Metal-Oxyde-Semiconducteur) moins coûteux. Les architectures intégrées ont alors suivi cette tendance en limitant autant que possible les fonctions analogiques au profit des solutions numériques.

Parce que le monde qui nous entoure est analogique, l'électronique analogique ne sera jamais complètement écartée mais tendra à être minimisée. Cependant, l'ampleur de l'électronique numérique est responsable de l'évolution de technologies appropriées au détriment de l'électronique analogique qui doit malgré tout s'y adapter. Les fonctions analogiques restent pourtant des éléments clefs proche de l'antenne dans les systèmes de communications dont l'étendue est significative en ce début de XXI<sup>ème</sup> siècle. Les télécommunications visent toujours des performances plus élevées avec entre autres l'accroissement des fréquences de travail des circuits rendu possible grâce à la miniaturisation des transistors intégrés sur silicium. Les technologies suivent ce courant avec des transistors prévus pour consommer moins sous des tensions d'alimentation toujours plus basses et optimisant les vitesses de commutation au détriment du bruit et des courants de fuite.

En raison de cette évolution technologique, les fonctions analogiques utilisées jusqu'à aujourd'hui ont de plus en plus de difficulté à conserver leurs performances et se trouvent limitées par leur consommation. Parmi ces fonctions, nous nous intéresserons ici à un système bien particulier mais très répandu : les Boucles à Verrouillage de Phase que nous nommerons par le sigle anglais PLL pour "Phase Locked Loops". Ces systèmes se retrouvent dans de nombreuses applications comme modulateur ou démodulateur de signaux, pour la restitution d'horloges et de données, ou encore comme oscillateur local

---

<sup>1</sup>Le transistor fut inventé en 1947 par trois chercheurs américains, John Bardeen, William B. Shockley et Walter .H Brattain qui lui donnèrent ce nom par contraction de "transfert resistor".

des chaînes de communication. Nous les appelons plus généralement des “Synthétiseurs de Fréquences”. Comme nous le montrerons dans ce mémoire, ces systèmes doivent eux aussi s’adapter aux technologies numériques et respecter des contraintes en consommation et en bruit de phase imposées par les nouvelles applications.

Les limitations des architectures classiques poussent la recherche vers de nouvelles architectures au fonctionnement plus complexe et fortement non-linéaire. Ces non linéarités posent alors la question de la validité des modèles classiques qui ne permettent plus d’évaluer correctement la stabilité, la robustesse et surtout la pureté spectrale en sortie du système. Et qu’en est-il de l’adaptation aux transferts technologiques typiquement numériques ? C’est ce que nous proposons d’étudier dans ce travail.

## Contribution de la thèse :

Ce travail fut réalisé dans le cadre d’une collaboration entre :



Le **Laboratoire d’Automatique de Grenoble**,  
UMR CNRS-INPG-UJF 5528,  
ENSIEG-BP 46,  
38402 Saint Martin d’Hères Cedex,  
FRANCE.



**ST Microelectronics**,  
850 rue Jean Monnet,  
38926 Crolles Cedex,  
FRANCE.

La réunion des savoir-faire en automatique et en microélectronique a permis d’étendre le travail du cahier des spécifications jusqu’au test des Boucles à Verrouillage de Phase entièrement intégrées sur Silicium. L’apport des outils d’automatique dans ce travail a abouti à plusieurs solutions intégrées en cours de développement dans les technologies de la société STMicroelectronics.

Cette étude tient compte des contraintes imposées par les applications à venir à savoir :

1. Un profil de bruit de phase minimal : en technologie des télécommunications, le rapport signal à bruit constitue le paramètre le plus critique et le plus limitatif des architectures classiques.
2. Une intégrabilité complète : parce que l’ajout de composants externes coûte cher et rajoute du bruit, cette étude vise à ce que tous les composants soient internes et occupent de ce fait une surface minimale.
3. Une consommation minimale : de même que la tension d’alimentation diminue, la

consommation en courant du circuit tend elle aussi à être diminuée.

Ce travail commun a abouti aux résultats présentés dans ce document partant du savoir faire de la microélectronique et proposant des architectures répondant aux problèmes existant.

L'analyse des architectures existantes et de leurs limitations nous a conduit au développement d'une nouvelle architecture qui tire bénéfice de l'échantillonnage pour minimiser le bruit de phase en sortie de la boucle tout en diminuant fortement la consommation et la surface. Cette architecture a fait l'objet d'un dépôt de brevet. Le nouveau mode de fonctionnement et la non linéarité de cette architecture ne permettent pas d'analyse à partir des modèles classiques. La stabilité et la robustesse du système sont démontrées grâce à un nouvel outil qui réalise une approche semi-globale. Cet outil se base donc sur le modèle non linéaire de la boucle pour valider sa stabilité à l'écart du point de fonctionnement. Le résultat de l'outil d'analyse est présenté sous forme graphique simple à interpréter.

Pour l'analyse du profil de bruit de phase en sortie de la boucle, nous proposons un modèle basé sur la méthode exacte de discrétisation. La fiabilité de ce modèle a été validée grâce au test d'un prototype réalisé sur la base de la nouvelle architecture de synthétiseur de fréquences. Ce prototype a été réalisé par nos soins dans une technologie propre à la société STMicroelectronics. Nous avons conçu le système, dessiné les plans de masque (Layout) et intégré le tout dans un boîtier destiné à être fixé sur une carte de test spécialement conçue pour ce circuit démonstrateur. Les tests que nous avons effectués ont été concluants tant pour la validation du système que pour la validation de son étude.

Du fait de l'évolution des technologies numériques, nous avons étudié les architectures de PLLs numériques. Dans le prolongement de l'architecture analogique, nous avons déposé un brevet pour protéger un nouveau synthétiseur de fréquences numérique simple et qui permet d'accéder à certaines grandeurs afin d'appliquer un traitement numérique qui améliore la qualité du spectre de sortie. En effet, les boucles à verrouillage de phase numériques étant limitées par la résolution de la mesure de la fréquence de sortie, nous proposons dans ce travail un observateur qui permet d'améliorer la pureté spectrale en sortie malgré les contraintes de réalisation pour l'intégration des calculs. De même, tout en tenant compte de ces contraintes d'implémentation, nous avons développé des outils permettant la mise en oeuvre de contrôleurs performants conçus par une approche robuste de type  $H_\infty$ .

## Organisation de ce mémoire :

Ce mémoire de thèse s'articule en cinq chapitres :

### **Chapitre 1 : Architectures des PLLs**

Dans ce chapitre sont présentées les architectures classiques actuellement utilisées ainsi que leurs limitations en terme de performances. L'analyse de ces boucles à verrouillage de phase permet de comprendre les bénéfices de la nouvelle architecture échantillonnée proposée. En complément, l'état de l'art des architectures échantillonnées de PLL est présenté pour mieux se positionner par rapport à la recherche internationale et pour illustrer l'efficacité de notre outil d'analyse présenté au chapitre 3.

Enfin, du fait de l'évolution des technologies numériques, ce chapitre présente les architectures des solutions entièrement numériques qui commencent à apparaître et pour lesquelles les chapitres 4 et 5 proposent des améliorations de performances.

### **Chapitre 2 : Modélisation des PLLs**

Ce chapitre retrace progressivement les différents modèles possibles des PLLs. Les modèles continus linéaires les plus utilisés sont présentés en premier lieu. Afin de tenir compte de l'échantillonnage, les différents modèles linéaires discrets sont présentés puis comparés aux modèles linéaires continus afin d'évaluer l'erreur due à l'absence de prise en compte de l'échantillonnage. Le comportement séquentiel du comparateur de phases pris en compte dans les modèles hybrides met en évidence la complexité de ces systèmes. Enfin, le modèle non-linéaire utilisé par l'outil d'analyse est présenté en prévision du chapitre 3.

### **Chapitre 3 : Analyse des PLLs**

Nous proposons un outil d'analyse semi-globale de stabilité et de robustesse qui tient compte du modèle non-linéaire de la boucle à verrouillage de phase. Par soucis de clarté, une approche simple de l'outil suivi d'une application sur la nouvelle architecture de synthétiseur de fréquences est effectuée en premier lieu. Une extension de l'outil est ensuite proposée et appliquée à une architecture de PLL échantillonnée connue pour être sujette à des problèmes de stabilité.

Comme le bruit de phase est le critère le plus important de ces systèmes, ce chapitre se termine par la présentation d'un nouveau modèle basé sur une méthode de discrétisation exacte. Les résultats obtenus par ce modèle sont comparés aux résultats de test d'un démonstrateur.

**Chapitre 4 : Observation**

Les architectures numériques des synthétiseurs de fréquences ont besoin de la mesure de la fréquence de sortie. Cette mesure est malheureusement imprécise et dégrade le spectre de sortie. Pour cela, nous proposons un observateur qui affine cette mesure pour diminuer la contribution en bruit de la mesure de la fréquence de sortie. Afin d'être implémentable, cet observateur tient compte des limitations technologiques qui réduisent la capacité de calcul. L'efficacité de cet observateur est démontrée par calcul et par simulations.

**Chapitre 5 : Commande**

Les architectures analogiques des boucles à verrouillage de phase se limitent à des régulateurs de type PI (Proportionnel-Intégral) en raison de leur simplicité d'implémentation. Ainsi, avec peu de composants, il est possible d'atteindre des performances satisfaisantes malgré les dispersions des procédés de fabrication qui n'assurent pas de grande précision des valeurs des composants analogiques.

Ce chapitre propose une synthèse robuste de contrôleur par la méthode  $H_\infty$  afin d'améliorer le filtrage des bruits dans la boucle tout en restant robuste vis à vis des variations de paramètres.

L'implémentation de ces correcteurs dans les architectures de PLLs numériques est traitée pour la mise en œuvre de contrôleurs robustes d'ordre élevé.





# Chapitre 1

## Architectures des PLLs

Ce chapitre présente les architectures des boucles à verrouillage de phase dont l'objectif est d'asservir la fréquence de sortie d'un oscillateur contrôlable sur une fréquence de référence. Cet oscillateur représente donc le système à contrôler. Son fonctionnement est présenté dans un premier temps et permet d'introduire la notion de bruit de phase.

Les boucles de contrôle classiques sont présentées afin de saisir leurs avantages et leurs défauts. Leur étude permettra de mieux comprendre l'intérêt de la nouvelle architecture de synthétiseur de fréquence baptisée FLL pour Fractional Frequency Locked Loop. Cette architecture a fait l'objet d'un dépôt de brevet dans le cadre de ce travail [Houdebine and Dedieu, 2006] et de deux publications [Houdebine et al., 2005, 2006b]. Cette architecture tire profit de son fonctionnement échantillonné pour minimiser le bruit de phase en sortie de la boucle. Afin de mieux saisir son fonctionnement et son aspect innovant, d'autres architectures échantillonnées sont présentées et comparées.

Enfin, les PLLs numériques sont présentées en vue d'une meilleure introduction des chapitres 4 et 5. Le principe du brevet déposé dans le cadre de ce travail [Houdebine et al., 2006a] est présenté en fin de ce chapitre et sera rappelé au chapitre 4.

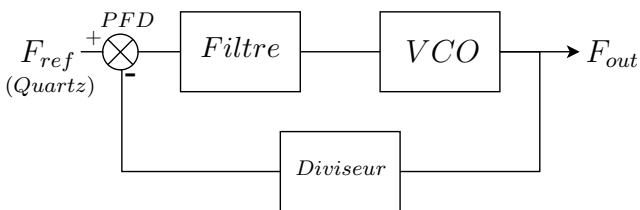
### 1.1 Principe de la Boucle à verrouillage de phase

Que ce soit pour synthétiser une fréquence fixe ou pour suivre une fréquence modulée, les boucles à verrouillage de phase sont extrêmement répandues en électronique. Leur domaine d'application s'étend très largement des télécommunications aux horloges locales dans les microprocesseurs. Ce mémoire porte sur l'utilisation la plus sévère en terme de bruit de ces systèmes bouclés : la synthèse de Radio-Fréquences (RF) à haute pureté spectrale.

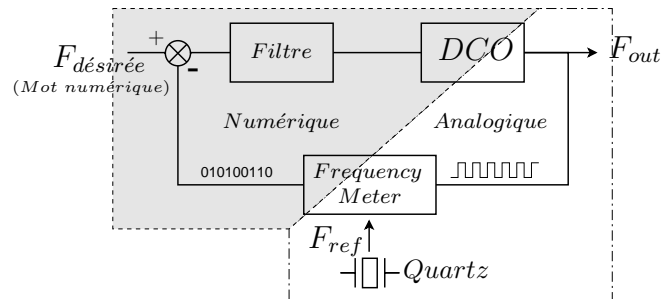
### 1.1.1 Fonctionnement global de la boucle :

Le concept de boucle à verrouillage de phase a été évoqué la première fois par le scientifique français H. de Bellescize [1932] mais le système ne sera réellement utilisé que quarante ans plus tard. Il consiste à asservir un oscillateur de fréquence variable sur une source de référence provenant d'un quartz précis ou encore directement d'un signal modulé. L'élément à asservir est l'oscillateur contrôlé en tension (appelé ici VCO pour "Voltage Controlled oscillator") dans le cas d'une PLL analogique ou encore un oscillateur contrôlé par un mot numérique (que nous appellerons DCO pour "Digitally controlled oscillator") dans le cas d'une PLL numérique.

Le schéma de base d'une architecture analogique présenté sur la figure 1.1.a illustre le principe de fonctionnement : dans le cas où la fréquence de sortie doit être supérieure à la fréquence de référence, un diviseur situé sur la boucle de retour ramène le signal de sortie à une fréquence proche de celle de la fréquence de référence. Le comparateur de phase-fréquence (appelé ici PFD pour "Phase-Frequency Differentiator") évalue la différence des deux fréquences (ou phases quand il s'agit des fronts de sortie) et agit ainsi sur la tension de contrôle du VCO par l'intermédiaire d'un filtre. Ce filtre intègre alors les charges délivrées par la pompe de charges en une tension de contrôle.



1.1.a PLL analogique



1.1.b PLL numérique

FIG. 1.1 – Schémas de principe d'une Boucle à verrouillage de phase.

Le principe de fonctionnement dans le cas d'une PLL numérique est identique et son schéma de principe est illustré sur la figure 1.1.b. Pour bien délimiter les parties analogiques et numériques, la boucle est représentée avec la fréquence de référence au niveau de la boucle de retour. Sur la figure 1.1.b, la partie grisée correspond à la partie numérique du système. Étant donné que le signal de sortie est analogique, le DCO effectue la transition de la partie numérique vers la partie analogique. De même, le "Frequency Meter" effectue la transition analogique-numérique. Ici, la fréquence délivrée par le quartz sert de

référence pour la mesure de la fréquence de sortie. Une fois numérisée, la valeur de cette fréquence est comparée à la consigne et le reste de la boucle est entièrement numérique jusqu'à l'entrée de contrôle de l'oscillateur (partie grisée).

L'oscillateur constitue donc le système à réguler. Dans le cadre d'une synthèse de fréquences, il faudra l'asservir par rapport à une fréquence de référence ainsi que de filtrer son bruit de phase. Cet élément plus complexe qu'il en a l'air nécessite une étude approfondie.

### 1.1.2 L'oscillateur contrôlé : le système à réguler

L'oscillateur contrôlé constitue le système à réguler. Tout comme le reste du circuit, l'oscillateur est taillé selon les critères choisis par le concepteur qui se référera au cahier des charges pour le choix de son architecture et de ses performances. Comme ce travail porte sur les architectures de PLLs Radio-Fréquences large bande et à haute pureté spectrale, nous optons pour des architectures d'oscillateurs à résonance  $LC$  bien plus performantes en terme de pureté spectrale que les autres architectures telles que celles des oscillateurs en anneau.

Il est donc important de bien comprendre le fonctionnement de ce système que devra contrôler la boucle de régulation.

#### Fonctionnement de l'oscillateur :

Nous allons distinguer deux classes d'oscillateurs : l'oscillateur contrôlé en tension appelé VCO pour rester conforme à la littérature internationale, et d'autre part l'oscillateur contrôlé par un mot numérique que nous nommons par DCO. Dans les deux cas, l'oscillation est générée par un circuit résonnant  $LC$  pour lequel une paire différentielle apporte

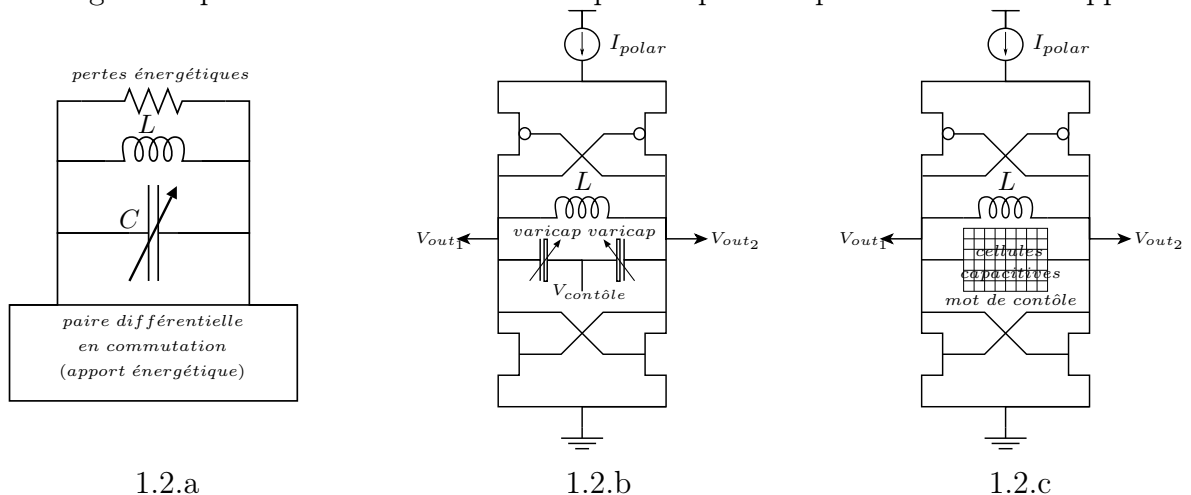


FIG. 1.2 – Schéma de principe : 1.2.a d'un oscillateur, 1.2.b d'un VCO, 1.2.c d'un DCO.

de l'énergie (figure 1.2.a).

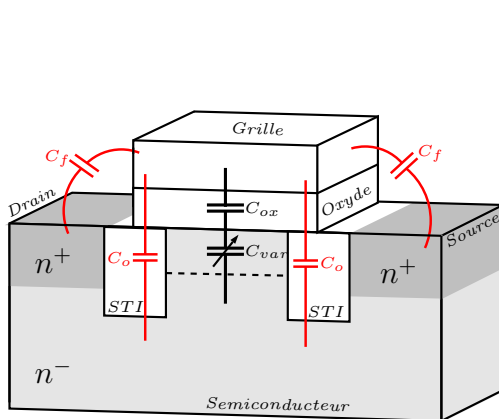
Le contrôle de la fréquence de sortie s'effectue par l'intermédiaire d'une capacité variable qui se décompose en une valeur nominale  $C_{min}$  à laquelle s'ajoute une valeur variable  $C_{var}$ . La fréquence d'oscillation est alors fonction de l'inductance  $L$  et du condensateur variable  $C_{min} + C_{var}$  :

$$F_{out} = \frac{1}{2\pi\sqrt{L(C_{min} + C_{var})}}. \quad (1.1)$$

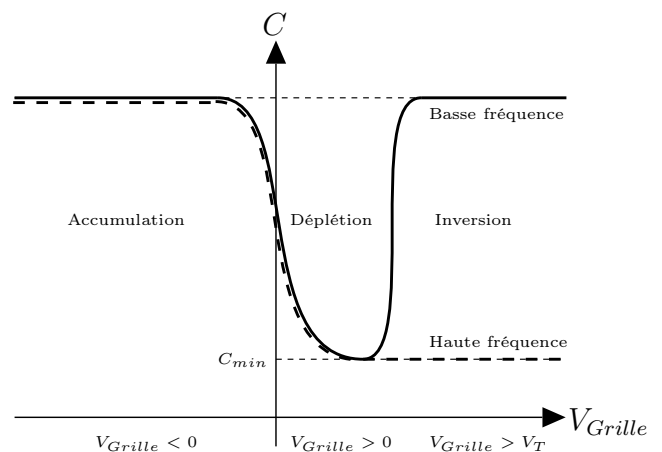
Cette première équation (1.1) souligne déjà le premier caractère non-linéaire de la fréquence de sortie en fonction de la tension ou du mot de contrôle qui agira sur la valeur de la capacité variable  $C_{var}$ .

Dans le cas du VCO, la capacité variable est réalisée grâce à un transistor MOS dont on exploite la formation du canal sous la couche d'oxyde pour modifier la valeur de la capacité ainsi formée. En effet, comme le montre la figure 1.3.a, le transistor MOS est structuré par couches isolées les unes des autres créant ainsi des surfaces présentant les capacités parasites :

- $C_{ox}$  : capacité dont la surface correspond à celle de l'oxyde et de la grille de dimension  $W \times L$ .
- $C_f$  : "capacité frange" correspondant aux surfaces en vis à vis constituant la grille d'une part et le drain et la source du transistor d'autre part.
- $C_o$  : "capacité d'overlap" dont l'importance est minimisée grâce à la couche "STI" propre aux technologies les plus fines pour éviter les formations de bec sous la grille.
- $C_{var}$  : capacité variable en fonction de la polarisation de la grille qui va former plus ou moins le canal dessiné en pointillé sur la figure 1.3.a.



1.3.a ensemble des capacités



1.3.b évolution des capacités du MOS

FIG. 1.3 – Evolution de la capacité du MOS

L'ensemble de ces capacités parasites fixent la valeur minimale  $C_{min}$  du condensateur variable ainsi formé (voir la figure 1.3.b). Ensuite, suivant la valeur du potentiel de grille, le régime du transistor va être modifié en se traduisant par une modification de la quantité de charges sous l'oxyde. D'abord en régime d'accumulation pour un potentiel de grille négatif, l'absence d'électrons dans le canal donne la valeur maximale au condensateur ainsi formé. Ensuite, lors de l'accroissement du potentiel de grille, la zone est d'abord déplétée, c'est à dire désertée par les trous (absence d'électrons) jusqu'à ce que le régime d'inversion soit atteint (présence d'électrons).

Autre source de non-linéarité non moins difficile à réduire en équation : la non linéarité de la valeur de l'inductance en fonction de la fréquence ([Maget, 2002], pp. 17-23).

La quantité des paramètres technologiques qui rentrent en jeu ainsi que la non linéarité des équations rendent difficile la mise en équation de ce composant. L'établissement d'un modèle représentatif de l'oscillateur utilisable dans les outils d'analyse de stabilité est donc fortement compromis.

La preuve apparaît nettement sur la figure 1.4 qui représente la superposition des mesures du VCO et des résultats de simulation obtenus sur l'outil Cadence avec le simulateur Eldo intégrant un très grand nombre de paramètres technologiques.

L'écart des caractéristiques simulées (toujours au dessus de la courbe de simulation sur la figure 1.4) et mesurées (toujours en dessous des mesures sur la figure 1.4) montre bien qu'il serait fastidieux de chercher un modèle exact pouvant être intégré dans une étude de stabilité.

La figure 1.4 montre les caractéristiques du VCO qui sera intégré ultérieurement dans la PLL complète qui fut testée en vue de la validation de la nouvelle architecture de synthétiseur de fréquences présentée dans ce chapitre à la section 1.3. Pour pouvoir parcourir l'ensemble de la plage de fréquences désirées avec un facteur de qualité suffisant, le VCO dispose

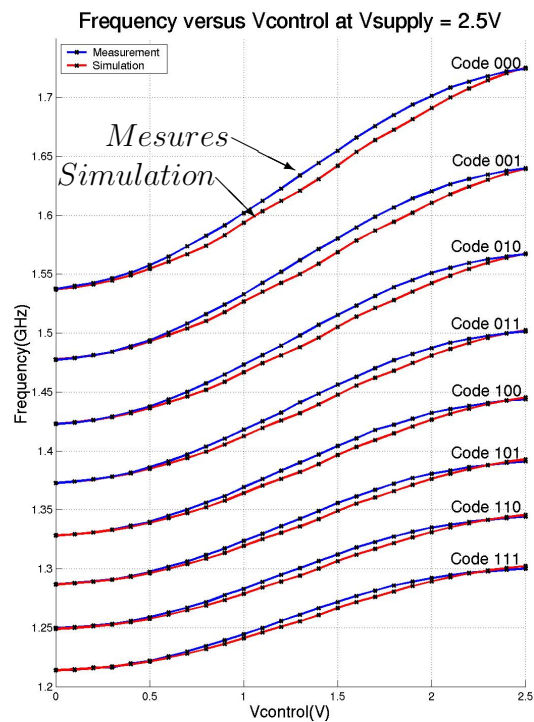


FIG. 1.4 – Caractéristique du VCO utilisé pour le test du démonstrateur.

de plusieurs banques de varactors adressées sur 3 bits. Bien entendu, le recouvrement

des plages de programmation permettent de présélectionner une banque permettant de bénéficier du meilleur gain à la fréquence demandée.

Le comportement non-linéaire du VCO apparaît nettement sur la figure 1.4 où le gain du VCO est compris entre  $10MHz/V$  et  $100MHz/V$ .

Cette caractéristique fortement non-linéaire ne peut être prise en compte que par l'expression d'une enveloppe permettant la considérations des variations de paramètres. Cette enveloppe sera prise en compte dans la suite des travaux et comparée à l'état de l'art dans le chapitre 2.6.

Quant aux oscillateurs contrôlés par un mot numérique, les DCOs, la valeur de la fréquence de sortie est ajustée par une grille de capacités élémentaires (figure 1.2.c) activées ou non de telle sorte que la capacité variable ne prend que des valeurs discrètes. Les technologies actuelles permettent de régler la valeur de cette capacité à quelques atto-Farad près. Les technologies prochaines permettront d'affiner encore cette précision valorisant ainsi ce type d'oscillateur par rapport aux classiques VCOs. L'autre avantage majeur de ces oscillateurs est que chaque cellule capacitive est polarisée dans l'une des deux zones horizontales de la figure 1.3.b. Ainsi, le DCO est moins sensible aux variations d'alimentation et aux bruits sur la commande.

Cette présentation de l'oscillateur ne serait pas complète si nous n'abordions pas l'un des critères les plus importants de ces systèmes : le bruit de phase en sortie.

### Le bruit de phase de l'oscillateur :

Tout d'abord introduisons cette notion fondamentale qui est celle de "bruit de phase". Ce bruit se manifeste par des fluctuations aléatoires de la période du signal de sortie de l'oscillateur. Ces fluctuations dues à différentes sources de bruits étalent la densité spectrale de puissance  $DSP(f)$  autour de la fréquence porteuse  $f_0$  (figure 1.5).

Plusieurs grandeurs physiques permettent de le quantifier et les rapports qui peuvent exister entre ces différentes grandeurs sont soumises à des conditions [Ferre-Pikal et al., 1997]. Dans ce travail, le bruit de phase est exprimé en bande latérale unique (en anglais SSB : Single Sided Band) ramené dans une bande de mesure de  $1Hz$ . Cette grandeur notée  $L$  s'exprime par le rapport entre la puissance dans une bande latérale de bruit de phase et la puissance de la porteuse du signal :

$$L(f_m, B) = 10 \log_{10} \left( \frac{P_n}{P_0} \right) \quad (1.2)$$

Avec  $P_n = \int_{f_0+f_m-\frac{B}{2}}^{f_0+f_m+\frac{B}{2}} DSP(f)df$  la puissance de bruit dans une bande de fréquence  $B$  à la distance  $f_m$  de la porteuse.  $P_0$  désigne la puissance de la porteuse (voir la figure 1.5). Étant donné que  $L(f_m)$  s'exprime en puissance par rapport à la porteuse ( en anglais 'carrier' d'où le 'c' de l'unité) par bande de fréquence, son unité est en dBc/Hz (en supposant

par bande de 1Hz).

Le bruit de phase en bande latérale unique  $L$  est défini en  $dBc/Hz$  lorsque la puissance  $P_n$  est déterminée sur une bande de largeur 1Hz. Il est cependant possible de définir ce bruit pour des largeurs de bande différentes comme ce sera le cas au chapitre 4. Dans ce cas là, pour une puissance  $P_n$  définie sur une bande de largeur  $B$ , le bruit  $L$  est exprimé en  $dBc/BHz$ . Pour retrouver le niveau de bruit équivalent en  $dBc/Hz$ , il suffit de retirer  $10 \log_{10} B$ .

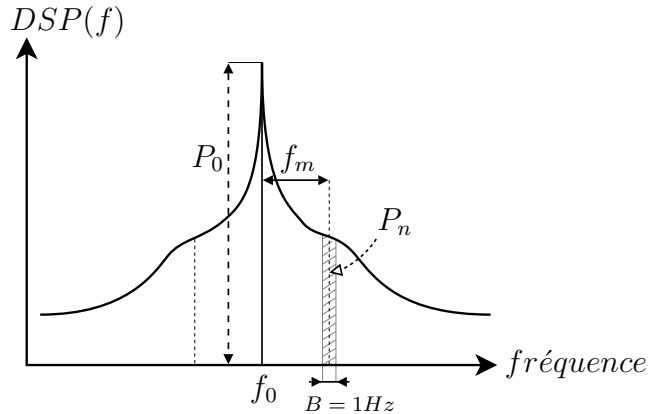


FIG. 1.5 – Spectre de Puissance

Enfin, le bruit de phase en bande latérale unique est exprimé pour toute distance  $f_m \in [0; +\infty[$  de la porteuse. Il est donc représenté en fonction de l'offset de fréquence  $f_m$  à la porteuse comme le montre la figure 1.6.b.

Avant d'expliquer le bruit de l'oscillateur, examinons le bruit d'un transistor MOS. Ce bruit se décompose en deux contributeurs principaux : le bruit thermique et le bruit de flicker (voir la figure 1.6.a). Le bruit thermique<sup>1</sup> est responsable du plancher de bruit en hautes fréquences tandis que le bruit de flicker<sup>2</sup> se traduit par une remontée de bruit en basses fréquences.

Le courant qui alimente le circuit oscillant ( $I_{polar}$  sur la figure 1.2.b et 1.2.c) est fourni par un transistor MOS présentant ce profil de bruit  $i_{n-polar}$  (en  $A/\sqrt{Hz}$ ). A priori, cette fluctuation ne génère qu'une modulation d'amplitude du signal de sortie de l'oscillateur. Le phénomène de conversion de ce bruit d'amplitude en bruit de phase est complexe et a différentes origines. Le mécanisme est détaillé dans [Cibiel, 2003; Cordeau, 2004] montrant que les pentes du profil de bruit du MOS sont augmentées de  $20dB$  par ce phénomène de conversion de l'oscillateur. En revanche, au delà de l'offset de fréquence  $f_0/2Q_{ch}$ , le bruit thermique HF dû au buffer de sortie de l'oscillateur impose un plancher de bruit. Ce buffer est pourtant nécessaire pour avoir suffisamment de puissance pour piloter les étages suivants.

<sup>1</sup>Bruit thermique ou bruit de résistance ou bruit Johnson du nom du physicien Johnson qui l'a mis en évidence en 1927.

<sup>2</sup>Le Bruit de Flicker ou bruit en  $1/f$ , bruit de scintillement, bruit de basse fréquence, bruit en excès ou bruit rose peut avoir diverses origines comme des impuretés dans le matériau qui libèrent aléatoirement des porteurs de charge.



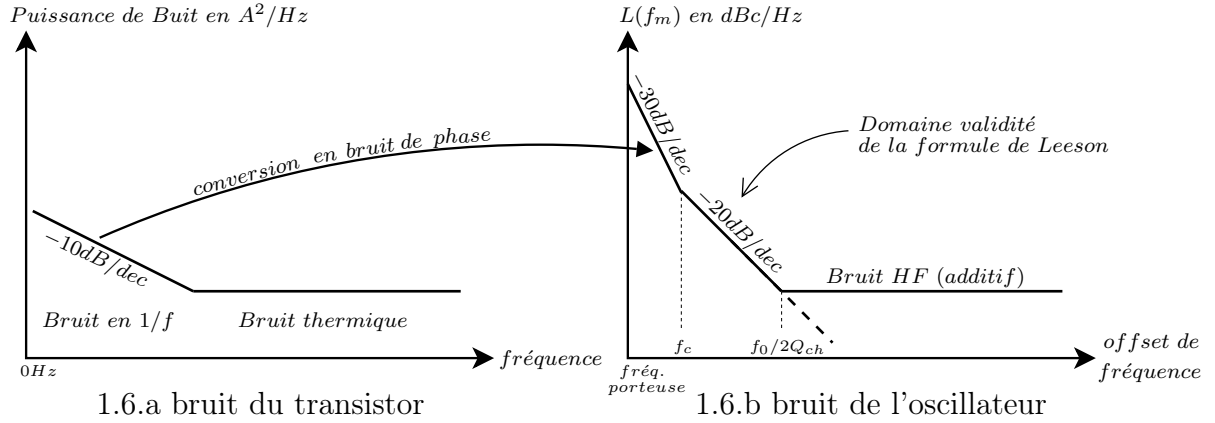


FIG. 1.6 – Principe de conversion du bruit dans les oscillateurs

La meilleure expression de ce profil de bruit est donnée par la formule semi-empirique de Leeson ([Hajimiri and Lee, 1998], [Leeson, 1966]) :

$$L(f_m) = 10 \log \left\{ \frac{1}{2} \left[ 1 + \left( \frac{f_0}{2Q_{ch}f_m} \right)^2 \left[ 1 + \frac{f_c}{f_m} \left[ \frac{FkT_0}{P_s} \right] \right] \right] \right\}. \quad (1.3)$$

avec :

- $Q_{ch}$  : facteur de qualité en charge.
- $f_0$  : fréquence idéale de l'oscillateur.
- $f_m$  : offset de fréquence.
- $f_c$  : fréquence de coin.
- $F$  : facteur de bruit de l'élément actif.
- $k$  : constante de Boltzmann.
- $T_0$  : Température de référence (290K).
- $P_s$  : Puissance moyenne dissipée.

Cette formule (1.3) montre encore que le facteur de qualité doit être le plus élevé possible pour minimiser le bruit de phase.

Ce que nous retiendrons du bruit de l'oscillateur est l'accroissement du bruit en  $-30dBc$  et  $-20dBc$  par décade proche de la porteuse avant d'atteindre un plancher au plus loin de la porteuse. La puissance du bruit proche de la porteuse dépendra aussi d'autres facteurs comme le bruit rapporté par les régulateurs et les alimentations... [Razavi, 1996].

Le bruit de phase du VCO devra être minimisé pour conserver le caractère faible bruit du synthétiseur de fréquences. C'est pourquoi la boucle à verrouillage de phase doit non seulement asservir le VCO sur la fréquence choisie, mais en plus filtrer le bruit du VCO dans la bande passante.

## 1.2 Architectures Classiques

Pour atteindre les spécifications en bruit de phase notamment proche de la porteuse, la boucle à verrouillage de phase doit filtrer le bruit de l'oscillateur, ceci sans apporter de contribution supplémentaire au bruit de sortie. Pourtant, les architectures existantes peuvent non seulement rajouter du bruit, mais en plus générer des oscillations parasites qui se manifestent sur le spectre de sortie par des raies parasites.

### 1.2.1 Composition de ces architectures

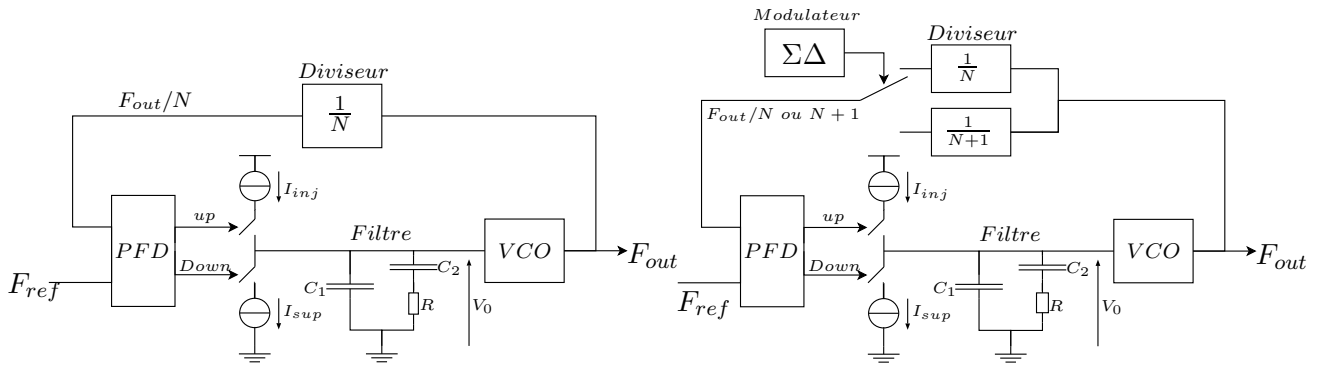
#### Notations

Dans la suite de ce travail,  $F_{ref}$  désigne la fréquence du signal de référence. La fréquence de sortie de l'oscillateur est notée  $F_{out}$ .

Dans le cas d'une représentation en phase, la phase de sortie notée  $\varphi_{out}$  est asservie sur la phase de référence notée  $\varphi_{ref}$ .  $N$  désigne le rang de division du diviseur programmable si bien que  $\frac{\varphi_{out}}{N}$  désigne la phase du signal de sortie divisé par  $N$ . Le déphasage entre la phase de référence et la phase du signal de sortie divisé est noté  $\Delta\varphi$ .

De même,  $T_{ref}$  désigne la période du signal de référence et  $T_{out}$  désigne la période du signal de sortie.

La tension de contrôle de l'oscillateur est notée  $V_0$ .



1.7.a PLL entière

1.7.b PLL fractionnaire

FIG. 1.7 – Schémas de synthétiseurs de fréquences classiques : 1.7.a à division entière, 1.7.b à division fractionnaire

### Fonctionnement global de la boucle

L'architecture la plus répandue est présentée sur la figure 1.7. La pompe de charge qui suit le comparateur de phase (PFD) fait la particularité de ce type de boucle : dans le cas d'une fréquence de sortie trop élevée (figure 1.8.a) il faut abaisser la tension de commande  $V_0$ , le PFD envoie une impulsion proportionnelle au déphasage  $\Delta t$  sur le signal *Down* qui permettra à la pompe de charge de retirer du courant de la capacité d'intégration du filtre abaissant ainsi la tension de contrôle  $V_0$  du VCO.

Dans le cas inverse d'une fréquence de sortie trop basse (voir la figure 1.8.b,  $\frac{F_{out}}{N} < F_{ref}$ ) où il faut augmenter la tension de contrôle  $V_0$ , le PFD envoie une impulsion proportionnelle au déphasage sur le signal *Up* qui génèrera une injection de courant de la part de la pompe de charges qui sera intégrée par la capacité d'intégration du filtre augmentant ainsi la tension de contrôle  $V_0$ .

Il s'agit bien d'un verrouillage en phase car l'erreur dépend de l'écart temporel  $\Delta t$  séparant les deux fronts de comparaison. Dans ce cas, la différence des phases des signaux de référence et de sortie s'exprime par :

$$\Delta\varphi = 2\pi \frac{\Delta t}{T_{ref}} \quad (1.4)$$

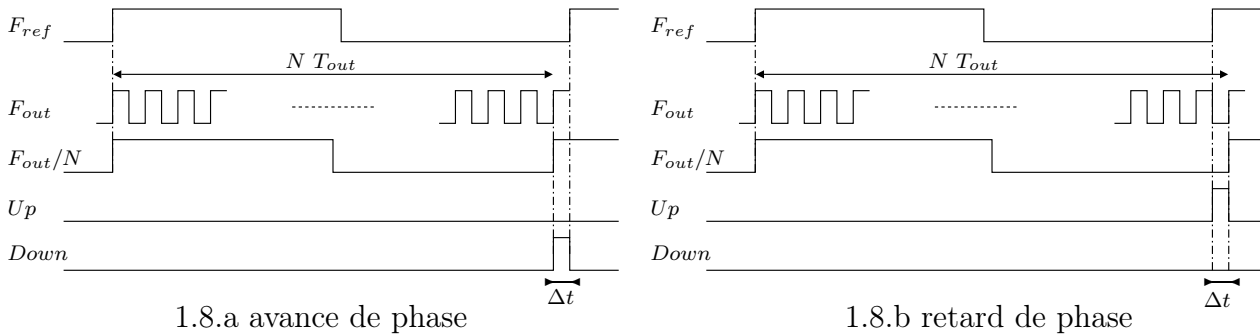


FIG. 1.8 – Signaux de sortie du comparateur de phase selon l'avance (1.8.a) ou le retard (1.8.b) de phase du signal de sortie dans le cas d'une division entière.

L'oscillateur contrôlé détaillé ci-avant (paragraphe 1.1.2) ne constitue pas le seul élément non-linéaire du système. En effet, seul le filtre constitué de condensateurs et de résistances peut être modélisé par une fonction de transfert. Pour les autres éléments, la linéarité n'est assurée que dans une région très voisine du point de fonctionnement, comme nous allons le voir ci après.

### Réalisation du comparateur de phases (PFD)

L'objectif du comparateur de phases consiste simplement à générer une impulsion correspondant à l'écart entre deux fronts de signaux (le  $\Delta t$  de la figure 1.8). La structure la plus classique pour commander les pompes de charges est à base de bascules D :

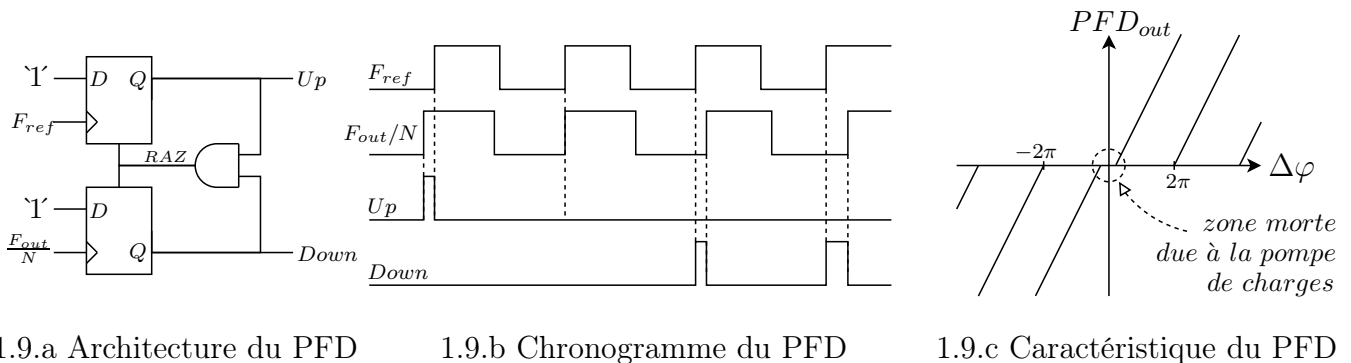


FIG. 1.9 – Caractéristique d'un comparateur de phase à base de bascules D.

D'autres architectures sont présentées dans [Kroupa, 2003; Vaucher, 2002], mais celle de la figure 1.9.a représente l'architecture de base qui permet de générer les signaux  $Up$  et  $Down$  visibles sur le chronogramme 1.9.b. Comme cela figure sur les architectures de PLLs 1.7.a et b, ces signaux commandent à la pompe de charge d'injecter un courant ou de le retirer du filtre proportionnellement à l'écart temporel  $\Delta t$  et donc proportionnellement au déphasage  $\Delta\varphi$ . Ainsi, si la pompe de charge débite son courant dans une seule capacité, la tension aux bornes de cette capacité donne la caractéristique de  $PFD_{out}$  en fonction du déphasage  $\Delta\varphi$  (figure 1.9.c). Pour un déphasage supérieur à  $2\pi$  ou inférieur à  $-2\pi$ , les fronts de comparaison se décalent d'une période ce qui crée la non linéarité visible sur la caractéristique 1.9.c. Lorsque le déphasage est proche de zéro, le comparateur de phase présente une zone morte due au retard induit par la porte logique AND qui génère la Remise à Zéro (RAZ). Cependant, ce retard est inférieur au temps de réactivité de la pompe de charge comme cela sera montré ci après. La zone morte de la caractéristique 1.9.c est donc essentiellement due aux pompes de charges qui n'ont pas le temps d'injecter de courant si l'impulsion de commande  $Up$  ou  $Down$  est trop brève.

La linéarité de ces systèmes est donc loin d'être acquise. Le fonctionnement séquentiel du comparateur de phases est responsable du comportement hybride de ces systèmes. Son fonctionnement est schématisé par le diagramme d'état 1.10 qui présente l'ensemble des séquences possibles.

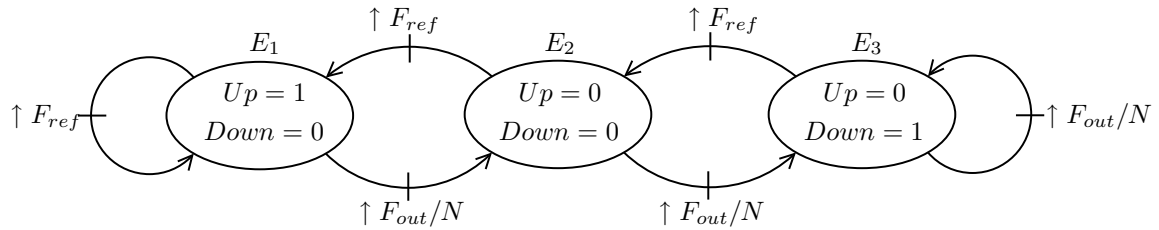


FIG. 1.10 – Machine d'état du comparateur de phases ( $\uparrow$ =Front montant)

Le PFD induit donc l'un des ces comportements :

$E_1$  Charge du condensateur du filtre.

$E_2$  Aucune action de charge laissant la dynamique autonome des états du filtre.

$E_3$  Décharge du condensateur du filtre.

Ainsi, conformément au chronogramme de la figure 1.9, le système se trouve le plus souvent dans l'état  $E_2$  où aucun courant n'est débité par la pompe de charges. Dans cet état, la dynamique du filtre est autonome. Comme le montre le chronogramme 1.9.b, si les fronts de référence et du signal de sortie arrivent simultanément, alors aucune action n'est faite. En revanche, si le front de référence intervient en premier, alors le système passe dans l'état  $E_1$ . Le signal  $U_p$  commande une injection de courant dans le filtre dont la dynamique évoluera en suivant cette nouvelle consigne. Dès que le front de sortie divisée intervient, l'injection de courant s'arrête et le système revient dans l'état  $E_2$ . Le mécanisme est identique en cas d'arrivée du front de  $F_{out}/N$  en premier avec un passage par l'état  $E_3$ .

Si la différence entre la fréquence de référence et la fréquence du signal divisé est trop importante, il est possible que le système reste dans l'état  $E_1$  ou  $E_3$  malgré les événements  $\uparrow F_{ref}$  ou  $\uparrow F_{out}/N$ . Dans ces cas là, l'injection de courant de la pompe de charges est maintenue.

La réalisation physique du comparateur de phase se fait à base de portes logiques. Le PFD ne limite donc pas les performances de la mesure du déphasage étant bien plus réactif que la pompe de charges. En effet, la pompe de charges est constituée de transistors MOS qui délivrent une impulsion de courant sur commande des signaux  $U_p$  et  $Down$ . Les transistors ne peuvent pas délivrer de courant instantanément. Si l'impulsion de commande est trop courte, alors les transistors ne délivrent pas de courant, ce qui cause la zone morte de la figure 1.9.c. Cependant, ce retard de réaction n'est pas le seul défaut des pompes de charges.

### Réalisation de la pompe de charges

Le courant délivré par la pompe de charges est issu d'un transistor dont la grille est polarisée afin de régler l'amplitude du courant qu'il débite.

La figure 1.11 montre le schéma de principe de la pompe de charges. Son but est d'injecter ou retirer un courant de la capacité de charge  $C_L$ . Le courant de sortie correspond donc au courant  $I_D$  qui traverse le transistor du Drain à sa Source. L'amplitude de ce courant est fonction de son potentiel de grille  $V_{gs}$  ainsi que du potentiel de sortie égal à  $V_{ds}$  lorsque l'interrupteur piloté par  $Up$  et  $Down$  est fermé. Ce courant est alors de la forme :

$$I_D = \frac{\beta}{2n} \frac{W}{L} (V_{gs} - V_t)^2 (1 + \lambda V_{ds}). \quad (1.5)$$

Où  $\frac{\beta}{2n}$  est un paramètre technologique et  $\frac{W}{L}$  correspond aux dimensions du transistor ( $W$  sa largeur et  $L$  sa longueur).

Cette équation (1.5) n'est valable que dans la partie centrale de la figure 1.12. L'injection ou le retrait de courant doit se faire idéalement d'une valeur nominale  $I_{nom}$ . L'objectif est de polariser les transistors dans la partie centrale de la courbe 1.12 de telle sorte que la variation de la tension de sortie ait le minimum d'effet sur la valeur du courant injecté.

Cependant, l'effet de  $\lambda$  de l'équation (1.5) induit une pente sur la caractéristique du courant (figure 1.12) qui va créer une erreur de courant en fonction de la valeur du potentiel de sortie qui se répercute directement sur  $V_{ds}$ .

D'autre part, la valeur du potentiel de grille  $V_{gs}$  de l'équation (1.5) par rapport au potentiel technologique  $V_t$  décale la caractéristique 1.12 (courbe en pointillés) verticalement ce qui peut écarter le point de croisement des deux caractéristiques. Le potentiel de sortie pour un fonctionnement optimal de la pompe de charges est donc à la moitié du potentiel de l'alimentation appelé 'Potentiel Milieu'.

Les principaux comportements non-linéaires des pompes de charges sont :

- l'évolution non linéaire du courant en fonction du  $V_{gs}$  (figure 1.12).
- l'erreur de courant liée au potentiel de sortie  $V_{ds}$  (équation (1.5)).
- la dépendance du courant en fonction de  $V_{gs} - V_t$  (équation (1.5)).

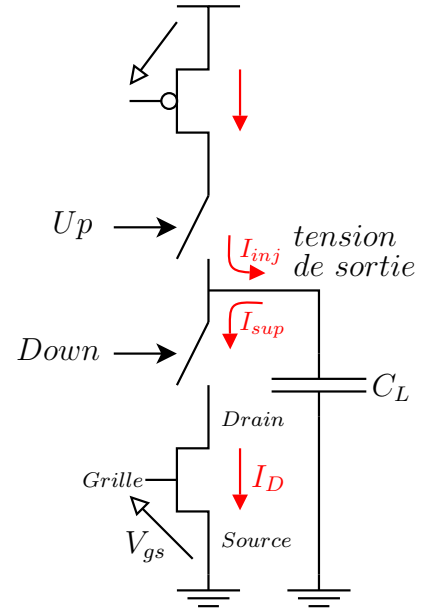


FIG. 1.11 – Principe de la pompe de charges

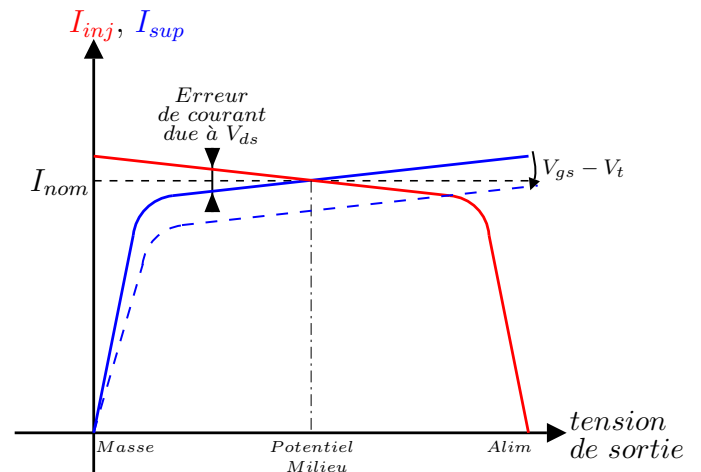


FIG. 1.12 – Influence de la tension de sortie sur le mismatch de courant.

Les variations des potentiels à la fermeture et à l'ouverture des interrupteurs pilotés par les signaux  $Up$  et  $Down$  induisent une dynamique d'établissement du courant comparable à la figure 1.13. Ce phénomène doit aussi être pris en compte dans un modèle non linéaire.

Figure 1.13 :

- dépassement de la consigne dû d'une part aux injections parasites lors du changement d'état des interrupteurs MOS actionnés par le comparateur de phase (signaux  $Up$  et  $Down$ ).
- dépassement de la consigne dû d'autre part à la réaction de la source de courant lors de son allumage.
- retard induisant une *zone morte* rendant impossible la mesure de déphasages trop faibles.

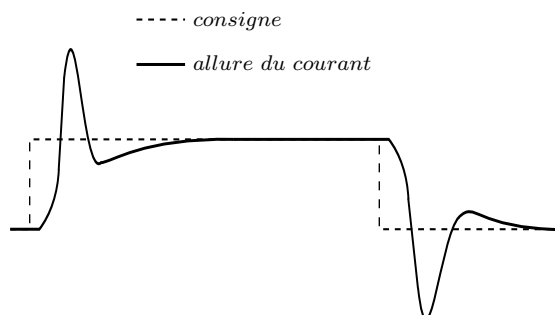


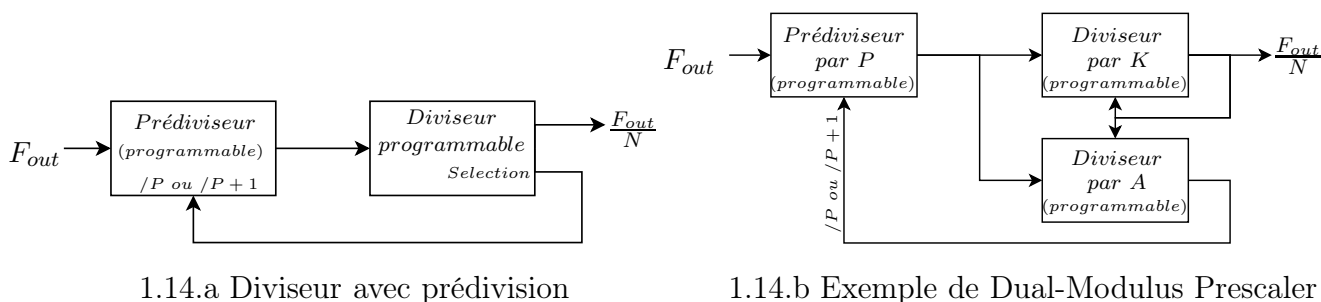
FIG. 1.13 – Allure de l'appel de courant.

La prise en compte de ces caractéristiques dans les modèles pour l'analyse sera abordée au chapitre 3.

L'utilisation du comparateur de phases comme de la pompe de charges est commune aux architectures classiques de PLLs. En revanche, la gestion de la division sur la boucle de retour est différente dans le cas d'une synthèse à rapport de fréquences entier ou fractionnaire.

### La division du signal de sortie

La fréquence de sortie de l'oscillateur contrôlé en tension est divisée sur la boucle de retour pour être ramenée à l'ordre de grandeur de la fréquence de référence. Cette division peut être entière dans le cas d'un rapport entier entre les fréquences de référence et de sortie ou bien fractionnaire si l'on désire que ce rapport puisse être non entier.



1.14.a Diviseur avec prédivision

1.14.b Exemple de Dual-Modulus Prescaler

FIG. 1.14 – Diviseur Radio-Fréquences

La réalisation du diviseur est complexifiée par sa fréquence de travail cadencée par la fréquence de sortie du VCO. Pour résoudre ce problème, les divisions s'opèrent en deux temps par un prédiviseur qui réduit la fréquence du signal et qui rend possible toutes les valeurs de divisions. Ainsi, dans l'exemple de réalisation de la figure 1.14.b, le rang de division  $N$  vaut :  $N = A.(P + 1) + (K - A).P = P.K + A$ ,  $K \geq A$ .

Il est à noter que par construction, la comparaison de phases ne s'effectue que par rapport à chaque front de référence. Le fonctionnement de la boucle à verrouillage de phase est donc non seulement discret, mais en plus à pas d'échantillonnage légèrement variable suivant l'avance ou le retard de phase de la sortie divisée.

Dans le cas d'une division fractionnaire où le rapport de fréquences est de la forme  $F_{out} = (N + f)F_{ref}$  avec  $N \in \mathbb{N}$  et  $0 < f < 1$ , la solution la plus commune place plusieurs diviseurs sur la boucle de retour (figure 1.7.b) dont les sorties sont commutées en proportion de la partie fractionnaire demandée. La logique de commande (appelée  $\Sigma\Delta$  dans la littérature [Meninger and Perrott, 2005; Meninger, 2005]) qui commute les sorties des diviseurs vers l'entrée du comparateur de phase va générer un bruit de quantification qui pourra être mis en forme pour l'éloigner de la fréquence porteuse. Cette dégradation du bruit de sortie donne tout son sens au compromis à faire pour le choix de l'une ou l'autre de ces deux architectures (figure 1.7.a ou b).

## 1.2.2 Avantages et inconvénients de ces architectures

### Compromis entre fréquence de référence et bande passante

Comme illustré sur la figure 1.15, les fréquences de sortie de la boucle à verrouillage de phase sont des multiples de la fréquence de référence. Dans le cas d'un rapport de fréquences entier, l'écart entre deux porteuses à émettre doit être de la valeur de la fréquence de référence ( $F_{ref_1} = F_{vco}/M$ ,  $M \in \mathbb{N}$ ) fixant ainsi la valeur de cette fréquence en fonction du cahier des charges. Ainsi, si le cahier des charges spécifie un trop grand rapprochement des fréquences de sortie, alors la fréquence de référence sera d'autant plus basse.

Pour des raisons d'intégrabilité, la fréquence de coupure de la boucle ne doit pas être trop basse sous peine d'augmenter alors la surface des composants du filtre. Cependant, pour des raisons de stabilité et de validité du modèle (voir Chapitre 2), la fréquence de coupure  $F_{C_1}$  de la boucle est toujours prise inférieure à la fréquence de référence [Crawford, 1994].

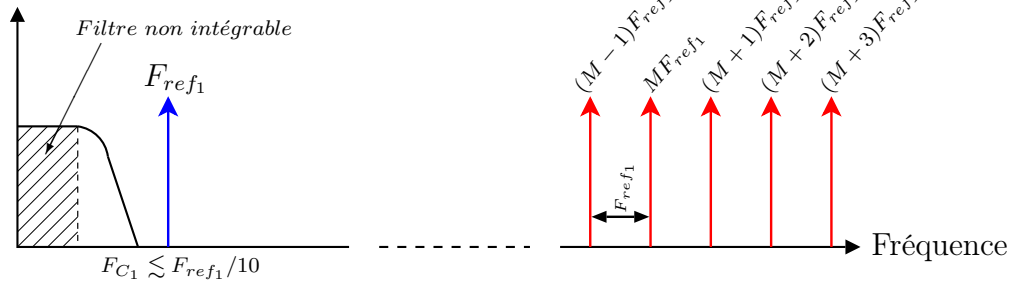
Ainsi, plus la fréquence de référence sera basse, plus les composants du filtre devront être gros.

Ce problème est résolu par les boucles à verrouillage de phase à rapport de fréquence fractionnaire où  $F_{ref_2} = F_{vco}/(N + f)$ ,  $N \in \mathbb{N}$ ,  $0 \leq f \leq 1$ . Ainsi, l'écart entre deux



fréquences porteuses à émettre n'est plus égal à  $N \times F_{ref2}$  mais à la plus petite partie fractionnaire  $f_i$  fois la fréquence de référence  $F_{ref2}$ .

Spectre d'une PLL entière :



Spectre d'une PLL fractionnaire :

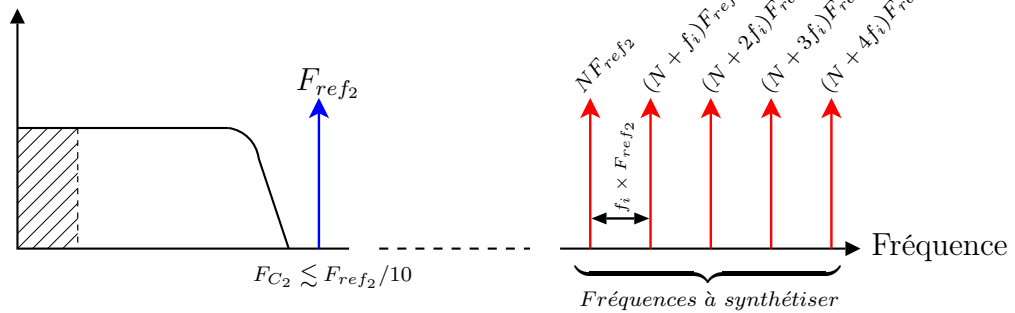


FIG. 1.15 – Spectre de synthétiseurs de fréquences à rapport entier et fractionnaire.

La division fractionnaire est donc la solution pour augmenter la valeur de la fréquence de référence, laissant plus de liberté pour fixer sa valeur en fonction de l'optimum à trouver pour : la surface des composants, le temps d'établissement de la boucle, le filtrage du bruit du VCO et des autres contributeurs.

### La pureté spectrale en sortie de boucle

La fréquence de référence pose un problème supplémentaire aux compromis exposés ci dessus. L'ensemble du circuit étant cadencé à la fréquence de référence, la tension de contrôle du VCO est donc elle aussi rafraîchie à cette cadence au travers du filtre de boucle.

Ce rafraîchissement de la tension de contrôle du VCO à chaque période de référence génère des raies parasites sur le spectre de sortie distantes de la fréquence porteuse de la valeur de la fréquence de référence (en bleu). Ces raies parasites seront donc d'autant plus loin de la porteuse que la fréquence de référence sera élevée. Cet autre intérêt appuie les solutions fractionnaires si ce n'est que la partie fractionnaire est obtenue par brassage de la sortie de deux diviseurs créant alors une modulation supplémentaire sur la tension de contrôle du VCO. Cette modulation indésirable se traduit sur le spectre de sortie par un bruit de quantification mis en forme par la logique de brassage ( $\Sigma\Delta$ , figure 1.7.b).

Notre objectif est de synthétiser la fréquence porteuse verrouillée sur une fréquence de référence tout aussi élevée mais en n'ayant recours qu'à un seul diviseur de telle sorte que la qualité du spectre de sortie n'en soit pas dégradée (quatrième courbe de la figure 1.16).

Si les architectures classiques ne parviennent pas à résoudre ce problème, c'est alors qu'il faut recourir à de nouvelles architectures. C'est ce que propose ce travail de thèse qui met à profit les outils d'automatique pour permettre des fonctionnements nouveaux de boucles à verrouillage de phase.

### 1.3 Architecture proposée : la FLL

Pour parvenir aux objectifs de bruit de phase décrits à la section précédente, le schéma de principe de la nouvelle architecture proposée dans le cadre de cette étude est représenté sur la figure 1.17. Ainsi, la division réalisée sur le chemin de retour ne se fait plus que de la partie entière du rapport de division :  $F_{out}/F_{ref} = N + f$  avec  $N \in \mathbb{N}$  et  $0 \leq f \leq 1$ . La partie fractionnaire de ce facteur de division est maintenant programmée dans la valeur du courant injecté par la pompe de charges. Pour fonctionner, ce système nécessite une fonction  $H(z)$  qui s'insère entre la tension de contrôle de l'oscillateur et le courant débité

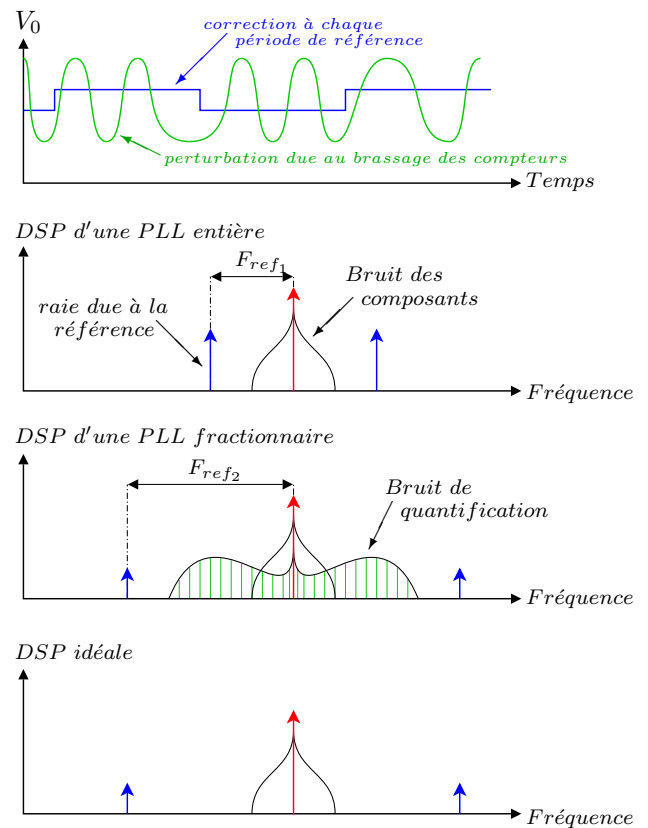


FIG. 1.16 – Densités spectrales de puissance.

par la pompe de charges. Ainsi, en isolant l'oscillateur de la pompe de charge, la fonction  $H(z)$  peut gérer indépendamment la tension de contrôle de l'oscillateur et la tension issue de la mesure. Le bruit de quantification est alors évité et il ne reste que les raies parasites dues au rafraîchissement à chaque période de référence. Le détail de cette fonction est reporté sur la figure 1.18.

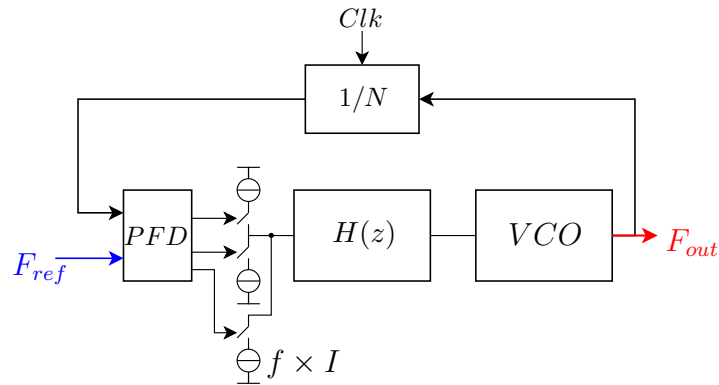


FIG. 1.17 – Schéma de principe de la nouvelle architecture de synthétiseur de fréquences.

Dans le cadre de nos recherches, nous avons déposé un brevet sur cette nouvelle architecture de synthétiseur de fréquences à rapports de divisions fractionnaires basée sur un fonctionnement échantillonné. Ce système a été baptisé FFL pour “Fractional Frequency Locked Loop” et son mode de fonctionnement est décrit sur la figure 1.18 :

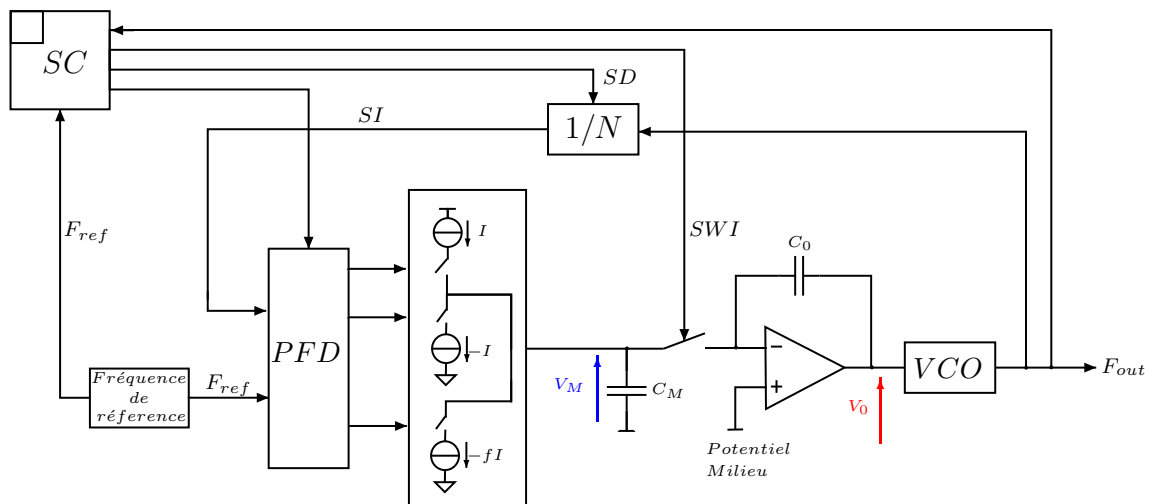


FIG. 1.18 – architecture de la Fractional Frequency Locked Loop.

Son mode de fonctionnement est le suivant :

Un interrupteur MOS commandé par le signal  $SWI$  permet d'isoler la tension de commande  $V_0$  du VCO. Cette tension de commande est maintenue constante pendant l'ouverture de cet interrupteur par la capacité d'intégration  $C_0$ . Dès lors, la fréquence de sortie  $F_{out}$  est maintenue constante pendant toute cette phase dite "de mesure". Un seul diviseur sur la chaîne de retour est nécessaire pour la mesure de la fréquence de sortie dont la méthode sera présentée ci-dessous. Le circuit comparateur de phases va alors agir sur trois sources de courant dont l'une est programmable pour fixer la valeur de la partie fractionnaire du facteur de division. En fin de phase de mesure, une certaine quantité de charges aura été intégrée dans la capacité de mesure  $C_M$  proportionnellement à l'erreur de fréquence entre la fréquence de sortie et la fréquence désirée.

Vient alors la phase dite de "correction" qui consiste à corriger la tension de contrôle du VCO lors de la fermeture de l'interrupteur sur commande du signal  $SWI$ . Les charges résultantes de la mesure sont alors transférées de la capacité de mesure  $C_M$  vers la capacité d'intégration  $C_0$ .

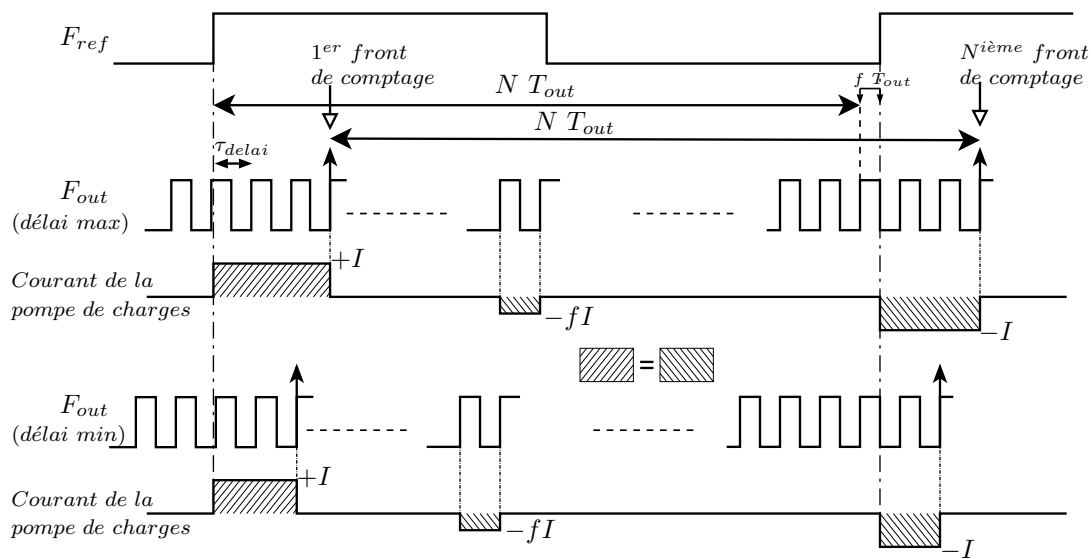


FIG. 1.19 – Chronogrammes du principe de mesure de l'erreur de fréquence pour deux valeurs de délai initial  $\tau_{delai}$ .

Le principe de la mesure de l'erreur entre la fréquence de sortie et la fréquence désirée est exposé sur la figure 1.19. La mesure se déroule en trois temps : d'abord l'injection de charges entre le front de référence et le second front de sortie ; puis l'intégration d'un courant proportionnel à la partie fractionnaire  $f$  du rapport de division pendant une période du signal de sortie ; et enfin le retrait de charges entre le front suivant de la

référence et le  $N^{ième}$  front de sortie suivant le front arrêtant l'injection du premier courant. Ainsi, en régime établi, on a  $T_{ref} = (N + f)T_{out}$  et la quantité de charges  $\Delta Q_M$  intégrées dans la capacité de mesure  $C_M$  vaut :

$$\Delta Q_M = (\tau_{delai} + 2T_{out})I - fIT_{out} - I(\tau_{delai} + (1 - f)T_{out} + T_{out}) = 0. \quad (1.6)$$

Cette équation (1.6) est valable quel que soit le délai  $\tau_{delai}$  dû au déphasage cyclique entre la phase de sortie et la phase de référence du fait de la division fractionnaire. En effet, dans le cas où la consigne est atteinte, sur une période du signal de référence il y a  $N$  périodes du signal de sortie et une fraction égale à  $f \times T_{out}$ . Lorsque le système est verrouillé, il y a donc un déphasage cyclique du front de sortie par rapport au front de référence qui est nommé  $\tau_{delai}$ . La première injection en complément de la dernière injection a pour but d'annuler l'effet dû à ce déphasage.

Si le régime n'est pas établi, alors une quantité de charges  $\Delta Q_M$  restera stockée dans la capacité de mesure  $V_M$  proportionnellement à l'erreur de fréquence. Si tel est le cas, ces charges de mesure  $\Delta Q_M$  sont transférées dans la capacité d'intégration  $C_0$  lors de la phase suivante dite de correction.

La figure 1.20 montre le déroulement de chaque cycle de mesure/correction dans le cas d'un verrouillage de phase atteint. La tension de mesure  $V_M$  aux bornes de la capacité  $C_M$  fluctue durant la mesure sans affecter la tension de contrôle  $V_0$  isolée par l'interrupteur MOS qui ne permettra le transfert des charges  $\Delta Q_M$  qu'uniquement dans la fenêtre  $\tau_{swi}$  autorisée par la commande  $SWI$ .

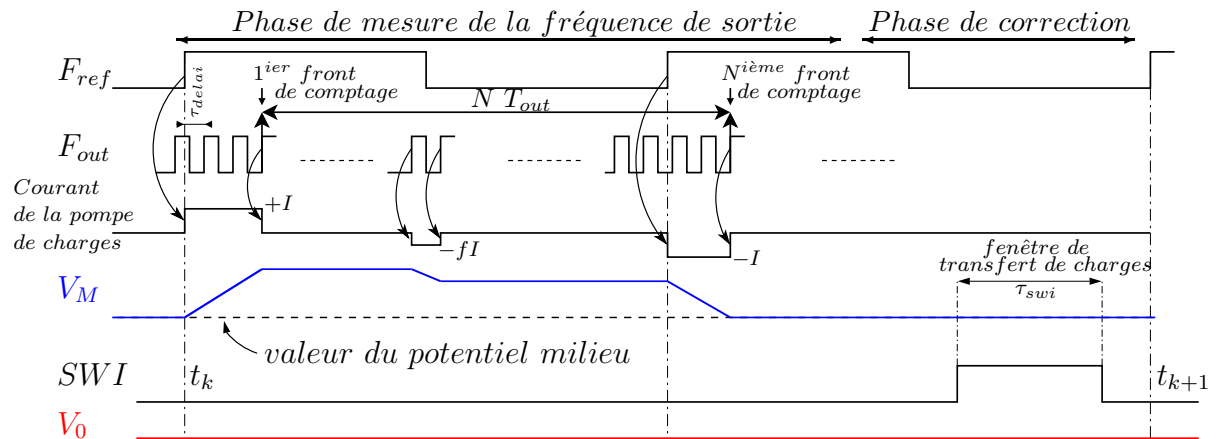


FIG. 1.20 – Chronogramme du fonctionnement de la nouvelle architecture en régime établi.

Dans l'exemple de la figure 1.20, il n'y a pas de transfert de charges dans la fenêtre  $\tau_{swi}$  car le résultat de la mesure a ramené  $V_M$  à son potentiel d'équilibre : le potentiel

milieu. Ce potentiel milieu, fixé par l'amplificateur pour l'intégration, est volontairement fixé à la moitié de la tension d'alimentation afin de minimiser l'erreur entre les sources de courant de la pompe de charges comme cela fut décrit dans la figure 1.12.

Cette étude portant majoritairement sur l'aspect automatique de ces systèmes, il ne sera pas montré ici plus de détail sur cette architecture. De plus amples précisions sur l'intérêt de cette architecture sont données dans ([Joet et al., 2002] et [Houdebine and Dedieu, 2006]).

Comme cela sera montré ci-après, il existe d'autres architectures échantillonnées, mais celle-ci est la seule qui tire profit de l'échantillonnage pour réaliser une division fractionnaire sans bruit de quantification.

## 1.4 Autres Architectures échantillonnées

L'échantillonnage dans les boucles à verrouillage de phase a souvent été utilisé pour différentes raisons. On peut citer notamment le travail effectué en collaboration entre l'université Danoise d'Otsted et la société RFMagic [Cassia et al., 2003] qui intercale simplement un échantillonneur comparable à celui qui vient d'être présenté entre la pompe de charges et le VCO d'une PLL fractionnaire classique pour éviter les repliements de spectre dus à l'échantillonnage irrégulier lié aux injections de charges et au modulateur  $\Sigma\Delta$ .

Un seul type d'architecture qui diffère réellement des autres par son mode de fonctionnement échantillonné est présenté ici. Un exemple illustre ici ce type d'architecture pour présenter les problèmes de non-linéarité que cela soulève.

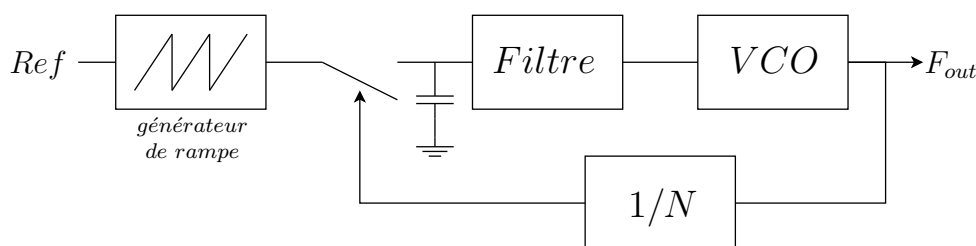


FIG. 1.21 – Principe d'un type de PLL échantillonnée

L'un des principes de fonctionnement des PLLs échantillonnées est présenté sur la figure 1.21. Un générateur de rampe fait croître une tension en phase avec la référence. La phase de sortie divisée par un entier sur la boucle de retour vient alors actionner le "switch" isolant la tension de filtre de la rampe de référence. Lorsque la PLL est verrouillée,

l'interrupteur se ferme au moment où la rampe de référence a atteint le niveau de la tension d'entrée du filtre. Si la rampe a dépassé cette valeur en cas de retard de phase (auquel cas il faut augmenter la tension de contrôle du VCO), la tension de filtre sera augmentée de l'écart de tension entre sa valeur initiale et la valeur instantanée de la rampe.

Un exemple de réalisation de ce type de boucle échantillonnée est présenté sur la figure 1.22. Cet exemple est tiré d'un travail commun entre le Georgia Institute of Technology (Atlanta) et la société National Semiconductor [Zhang et al., 2003].

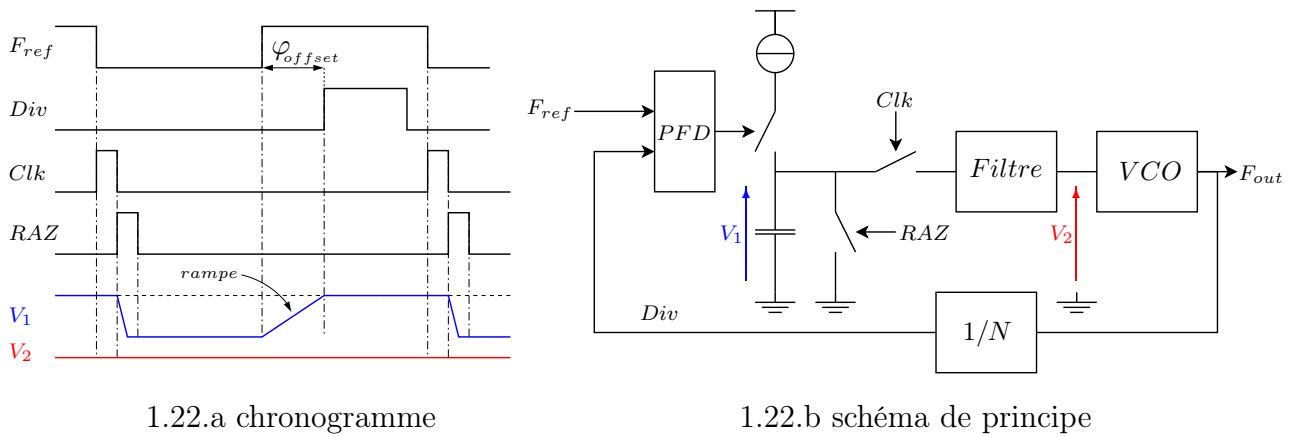


FIG. 1.22 – Une PLL échantillonnée particulière

Dans cet exemple, la rampe est générée par la charge d'un condensateur par une source de courant équivalent à la moitié d'un circuit pompe de charges classique. Le comparateur de phase ferme l'interrupteur permettant de charger la capacité entre le front de référence et le front de sortie divisé. La tension ainsi formée est ensuite comparée à la tension du filtre sur ordre du signal  $Clk$ . L'interrupteur de Remise A Zero permet à la rampe de recommencer sa croissance au potentiel de masse pour le cycle suivant.

Cet exemple, à division entière et non pas fractionnaire, est cité ici pour souligner le suivi de phase : comme le montre le chronogramme 1.22.a, lorsque la PLL est verrouillée, un 'offset' de phase  $\varphi_{offset}$  est maintenu constant. Il est facile de comprendre que la phase du signal de sortie est bel et bien asservie à savoir que si la phase de référence venait à changer, la phase du signal divisé et donc la phase de sortie suivrait cette variation. Tout se passe donc comme s'il y avait un suivi de phase théorique correspondant à la phase de référence avec un 'offset' ( $\varphi_{offset}$ ).

Maintenant, si la division n'était pas entière mais fractionnaire, nous aurions ce même suivi de phase théorique mais l'offset  $\varphi_{offset}$  ne serait plus constant du fait de la partie fractionnaire. C'est aussi ce qui se passe dans le cas de la nouvelle architecture de PLL présentée précédemment (la FLL) : contrairement aux PLLs fractionnaires classiques qui compareront toujours la phase de sortie divisée par  $N$  ou  $N + 1$  à la phase de référence,

ce type de fonctionnement permet d'effectuer une mesure exacte du déphasage entre la phase de sortie et la consigne. Ce mode de fonctionnement évite ainsi tout brassage qui dégraderait la pureté spectrale de la boucle.

Enfin, il faut remarquer que ce type d'architecture échantillonnée (figure 1.22) suit un comportement non-linéaire du fait :

1. du VCO comme démontré précédemment.
2. de la tension de sortie de la source de courant qui génère la rampe de référence mais qui subit aussi l'évolution non linéaire d'une pompe de charges comme présenté sur la figure 1.12. La rampe n'est donc pas linéaire par morceaux.
3. du comparateur de phase qui pose lui aussi un problème qui peut amener à un état de "faux verrouillage" tel que cela sera démontré au chapitre 3.

L'ensemble des architectures présentées jusqu'à maintenant sont entièrement analogiques. Comme présenté en introduction de ce mémoire, l'ampleur de l'électronique numérique vient à faire évoluer les technologies en leur direction au détriment des systèmes analogiques qui souffrent alors de la diminution des tensions d'alimentation, du bruit des nouveaux transistors, des baisses de consommation ainsi que des rails d'alimentation communs aux systèmes numériques qui véhiculent les appels de courant parasitant et dégradant les performances des chaînes de communication analogiques.

Même si le tout numérique n'existera certainement jamais en matière de télécommunication, la minimisation des parties analogiques pourra toucher les boucles à verrouillage de phase.

Ce travail de recherche propose des améliorations pour les architectures de PLLs numériques à haute pureté spectrale.

## 1.5 PLLs entièrement numériques

Les solutions de PLLs entièrement numériques existent depuis déjà plusieurs années. Cependant, des solutions les plus simples comme les synthétiseurs direct de fréquence<sup>3</sup> [Crawford, 1994] aux solutions plus complexes avec convertisseur numérique/analogique [Goldberg, 1998], les performances des PLLs numériques sont limitées. En effet, les synthétiseurs directs sont limités à de plus basses fréquences de travail en raison de l'utilisation d'une mémoire ROM dans laquelle est pré-enregistrée la forme du signal à générer. De plus, ce mode de fonctionnement limite leurs performances en bruit de phase qui n'atteint pas celles des PLLs analogiques. Il en est de même pour les solutions avec conversion numérique/analogique qui n'ont pas des résolutions suffisantes pour maintenir un niveau de bruit satisfaisant.

---

<sup>3</sup>voir dans la littérature les DDFS : Direct Digital Frequency Synthesizer



Depuis peu, les technologies numériques sont devenues suffisamment fines pour permettre d'améliorer un point critique : la numérisation des écarts de phases qui subissent une quantification rajoutant du bruit en sortie de la boucle. Grâce aux technologies modernes, la contribution en bruit de cette quantification est sensiblement réduite par une meilleure résolution comme cela sera montré au chapitre 4.

### 1.5.1 Composition des PLLs numériques

Les oscillateurs à inductance et condensateur LC sont privilégiés pour leur facteur de qualité. Ils constituent donc toujours l'élément clef à réguler. Ici, l'entrée de contrôle de l'oscillateur est numérique comme décrit au paragraphe 1.1.2, ce qui permet de réaliser la majeure partie de la boucle en numérique. Bien entendu, le signal de sortie étant analogique, il faut coder la valeur de la fréquence de sortie. C'est ce que réalise l'élément le plus critique situé sur le chemin de retour : le "Frequency Meter" pour la mesure de la fréquence du signal de sortie  $F_{out}$ .

Les technologies récentes permettent une pleine évolution des DCOs avec notamment des réseaux constitués d'éléments présentant des valeurs capacitives de plus en plus petites. Ces réseaux capacitifs permettent actuellement d'obtenir des pas de fréquence de moins de  $10kHz$  pour des fréquences de sortie autour de  $2GHz$ . Si le mot de commande peut alors être codé sur suffisamment de bits, la partie numérique de la boucle ne représente pas un point limitatif des performances du système. En revanche, toute la difficulté est reportée sur la résolution de la mesure de la fréquence de sortie.

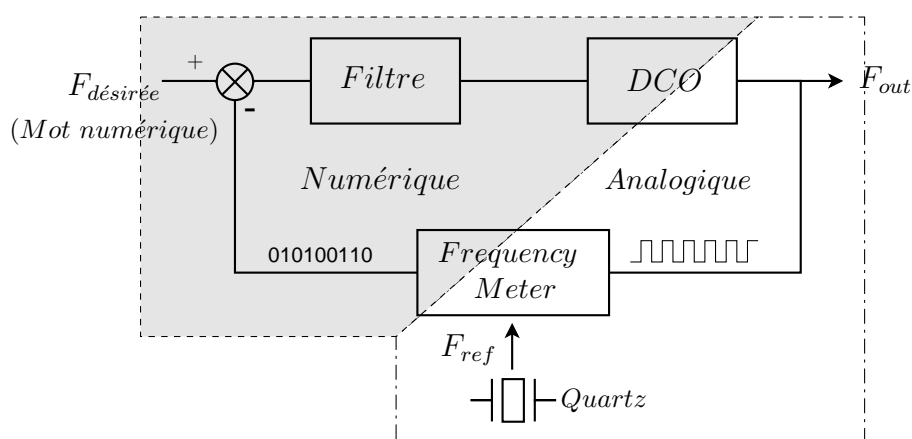


FIG. 1.23 – Architecture des PLLs numériques

## 1.5.2 La Mesure de la Fréquence de Sortie

Comme pour tout problème de métrologie, la mesure de la fréquence de sortie se fait par rapport à un signal de référence. Cette mesure doit donc coder le rapport entre la fréquence de sortie et la fréquence de référence qui pourra être délivrée par un quartz par exemple. Ainsi, le résultat de la mesure devra donner la valeur du rapport de fréquence non entier, c'est à dire  $(N + f)$  en considérant le rapport :  $F_{out} = (N + f)F_{ref}$  avec  $N \in \mathbb{N}$  et  $0 < f < 1$ .

### Méthode de mesure en série

Tropian, une société canadienne, a breveté une méthode de mesure du rapport de deux fréquences inspirée des modes de fonctionnement des modulateurs  $\Sigma\Delta$  [Sander, 2001] :

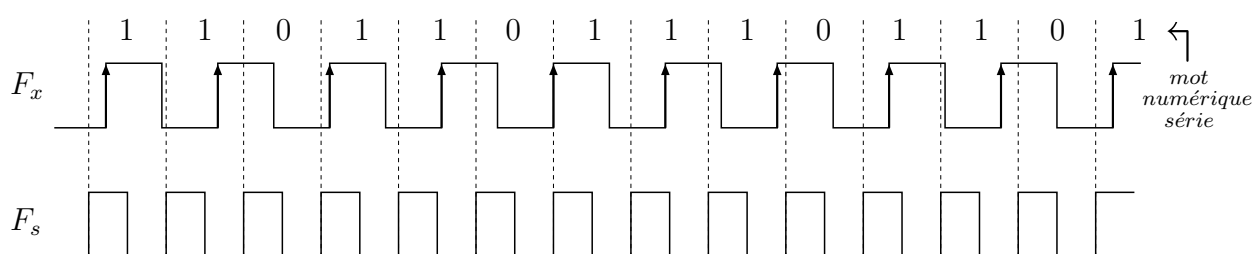


FIG. 1.24 – Méthode de mesure en série

L'objectif consiste simplement à détecter la présence de fronts montants du signal  $F_x$  sur une période du signal  $F_s$ . Un '1' signifiera la présence du front montant alors qu'un '0' en signifiera l'absence. Le rapport des deux fréquences sera alors codé par le mot numérique ainsi constitué. La définition de la mesure est déterminée par la longueur de la séquence choisie qui fera la longueur du mot.

L'inconvénient de cette méthode est qu'il faut une période du signal de référence  $F_s$  pour obtenir un bit du mot. Autrement dit, pour obtenir le rapport des deux fréquences codé sur 128 bits, il faut 128 périodes de référence. Ainsi, pour augmenter le débit de la mesure, il faut augmenter la fréquence de référence avec une autre PLL...

### Méthode de mesure directe

L'échelle sans cesse décroissante des dernières technologies réduit considérablement les temps de délai de passage du signal au travers des portes logiques. Cette diminution temporelle offre la possibilité de découper le temps séparant deux fronts de signal pour en mesurer l'écart [Chung and Lee, 2004; Dudek et al., 2000; Kalisz et al., 1997]. Les systèmes qui permettent de réaliser cette fonction sont appelés de façon générale "Time to Digital Converter" (TDC).

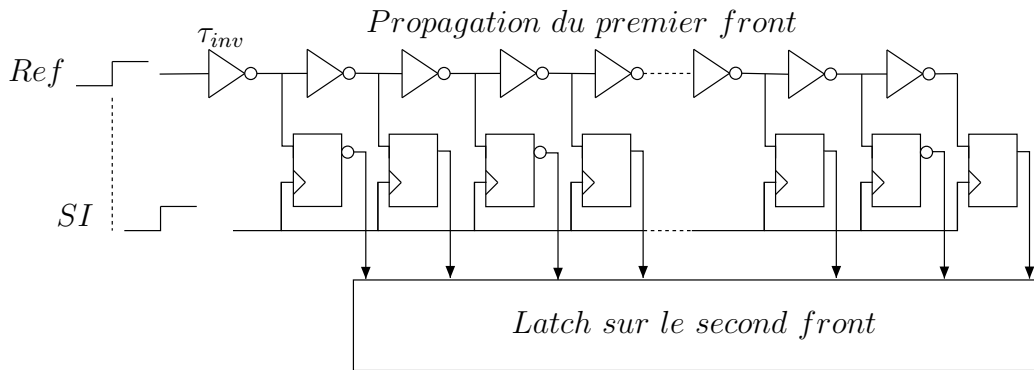


FIG. 1.25 – Principe de fonctionnement d’un Time to digital Converter (TDC) permettant de mesurer le temps séparant deux fronts de signaux analogiques.

Le premier front traversant une chaîne d’inverseurs<sup>4</sup> du TDC fait basculer l’état de sortie de chaque inverseur avec un retard  $\tau_{inv}$  à chaque porte. Le second front déclenche la saisie des états de sortie des inverseurs dans une mémoire. Ainsi, si la chaîne d’inverseurs est suffisamment longue pour que le second front arrive avant que toutes les portes n’aient changé d’état, la saisie permettra de savoir combien de temps d’inverseur  $\tau_{inv}$  séparent les deux fronts.

Le délai minimal mesurable et le pas de mesure est donc d’un temps d’inverseur  $\tau_{inv}$  et le délai maximal mesurable est fonction de la longueur de la chaîne d’inverseurs (exemple : pour 20 inverseurs, le délai maximum mesurable est de  $20 \times \tau_{inv}$  par pas de  $\tau_{inv}$ ).

Parce qu’il ne serait pas réalisable de disposer d’une chaîne d’inverseurs suffisamment longue pour couvrir une période de référence, le principe de mesure est illustré sur la figure 1.26.

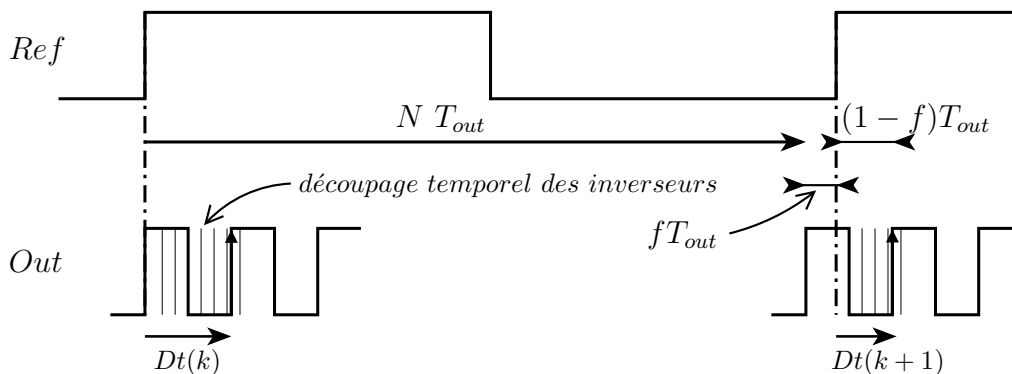


FIG. 1.26 – Principe de mesure du rapport de fréquence  $N + f$ .

<sup>4</sup>L’inverseur est la plus petite porte logique constituée d’un transistor NMOS et d’un transistor PMOS. Un signal carré présenté en entrée de l’inverseur en sortira inversé avec un délai lié au temps de commutation d’un transistor MOS.

L'observation du chronogramme 1.26 montre bien que dans le cas d'un rapport de fréquence  $F_{out} = (N + f)F_{ref}$  on a  $N$  périodes du signal de sortie plus une fraction de ce signal correspondant à  $fT_{out}$  dans une période du signal de référence. Ainsi, une méthode similaire à celle de la méthode de comparaison de phase de l'architecture analogique proposée (la FFL, chronogramme 1.19) peut servir pour la mesure directe du rapport de fréquence : la différence des  $Dt$  successifs définissant le temps séparant le front de référence du front suivant du signal de sortie vaut :

$$\begin{aligned} Dt(k) - Dt(k + 1) &= T_{out} - (1 - f)T_{out} & (1.7) \\ &= fT_{out} & (1.8) \end{aligned}$$

De même que dans le cadre de la Fractional Frequency Locked Loop (voir figure 1.19), tout délai initial dû à la partie fractionnaire est invisible pour la mesure puisqu'il en résultera une translation de la phase de sortie vers la droite du chronogramme 1.26 et tout délai initial s'annulera par la différence  $Dt(k) - Dt(k + 1)$ .

Ainsi, un compteur de fronts (ou un classique diviseur) permet d'accéder à la partie entière  $N$  du facteur de division, et une chaîne d'inverseurs permet d'accéder à la partie fractionnaire  $f$  du facteur de division avec la précision voulue en une période de référence seulement. En revanche, la numérisation de la partie fractionnaire réalise une quantification dont la résolution dépend du temps d'inverseur. L'étude de l'impact de cette quantification sur le bruit de sortie ainsi qu'un observateur pour résoudre ce problème sera proposé au chapitre 4.

Cette décomposition de la mesure en deux temps avec la détermination de la partie entière du facteur de division suivie de la mesure de sa partie fractionnaire a fait l'objet d'un dépôt de brevet au cours de ce travail [Houdebine et al., 2006a].

Une autre solution [Staszewski et al., 2004] propose une mesure à partir de fronts de comparaison différents. Cependant, la mesure des intervalles de temps infinitésimaux se fait aussi par l'intermédiaire d'un Time to Digital Converter. Ainsi, cette autre architecture est aussi sujette à une dégradation du bruit de phase comme cela sera montré au chapitre 4. Ce chapitre présentera notre contribution pour minimiser cette dégradation du bruit. Le détail de ces architectures n'est pas décrit afin de focaliser l'attention du lecteur sur la méthode de mesure essentielle à la compréhension du chapitre 4.

## 1.6 conclusion de ce chapitre

Ce chapitre a présenté un large panel des différents types de boucles à verrouillage de phase. Une nouvelle architecture a été proposée pour résoudre les problèmes de bruits inhérents aux architectures classiques. Cependant, quelle qu'en soit l'architecture, le caractère non-linéaire des oscillateurs contrôlés tout comme celui des boucles dans leur globalité est clairement ressorti.

La modélisation et l'étude de ces systèmes est toujours d'actualité. Ce travail de thèse propose de nettes améliorations dans ce domaine.

# Chapitre 2

## Modélisation des PLLs

Les différentes architectures de synthétiseurs de fréquences existantes ont été présentées au chapitre précédent. Leur fonctionnement non-linéaire a été souligné, ce qui montre que l'analyse de ces systèmes n'est pas aussi simple qu'on aurait pu le penser à première vue. Pourtant, les modèles linéaires continus sont les plus utilisés. Ceci est dû à leur simplicité de construction et d'utilisation. Cependant, ces modèles ne sont valides que sous certaines conditions qui sont présentées dans ce chapitre à partir du travail de Crawford [1994]. Cette démonstration est basée sur le calcul de l'écart fréquentiel entre les modèles continus linéaires et discrets. Trois modèles linéaires discrets sont détaillés dans ce chapitre selon les différentes approximations possibles de la forme des impulsions de charges [Crawford, 1994; Acco, 2003].

Cependant, comme ces modèles ne tiennent pas compte du comportement séquentiel du comparateur de phases, nous présentons la mise en équation des modèles hybrides [Van Paemel, 1994]. Ces modèles difficiles à obtenir sont justifiés par une simulation de l'accrochage des PLLs montrant une dynamique bien différente de celle des systèmes linéaires. Cependant, ces modèles hybrides sont établis à partir des modèles linéaires de chaque bloc constituant la boucle à verrouillage de phase.

Notre contribution à la modélisation des boucles à verrouillage de phase est présentée en fin de ce chapitre. Le modèle établi [Houdebine et al., 2005] sera défini bloc par bloc de telle sorte qu'aucune non-linéarité ne soit à omettre. Ce modèle est réutilisé pour illustrer l'outil d'analyse de stabilité des systèmes échantillonnés au chapitre 3.

### 2.1 Le modèle continu linéaire

Comme le bruit de phase en sortie de la boucle constitue la principale préoccupation, les modèles les plus largement utilisés sont linéarisés autour du point de fonctionnement. Toute étude basée sur ces modèles ne pourra donc pas valider la stabilité du système pour

des états éloignés de l'état de verrouillage.

En outre, les boucles à verrouillage de phase sont des systèmes cadencés à la fréquence de référence voire échantillonnés à cette fréquence. Les limitations du modèle linéaire continu ne se situent donc pas seulement dans l'espace d'état mais aussi dans l'espace des paramètres. En effet, comme nous allons le voir, ces modèles ne sont valides que sous certaines conditions sur la bande passante de la boucle.

### 2.1.1 Modèle du comparateur et de la pompe de charges

Le comparateur de phase est modélisé par un simple différentiateur. Son comportement par impulsion est géré au niveau de la pompe de charges dont on moyenne la valeur du courant :

La pompe de charges délivre un courant d'amplitude  $I_{chpp}$  sur une durée  $\Delta t$  correspondant à la différence de phase (voir Chapitre 1.) sur commande du comparateur de phase. L'erreur de phase  $\Delta\varphi$  est proportionnelle à l'écart temporel  $\Delta t$  :

$$\Delta\varphi = 2\pi \frac{\Delta t}{T_{ref}} \quad (2.1)$$

Ainsi, la moyenne du courant sur une période de référence sera de :

$$\bar{I} = \frac{1}{T_{ref}} \int_0^{T_{ref}} i \, dt = \frac{1}{T_{ref}} \int_0^{\Delta t} I_{chpp} \, dt \quad (2.2)$$

$$\bar{I} = \frac{I_{chpp}}{T_{ref}} \Delta t \quad (2.3)$$

Et l'équation (2.1) permet d'aboutir au résultat :

$$\bar{I} = \frac{I_{chpp}}{2\pi} \Delta\varphi. \quad (2.4)$$

### 2.1.2 Modèle du filtre de boucle

Étant donné que le filtre de boucle se situe juste en entrée de l'oscillateur contrôlé, il n'est constitué essentiellement que d'éléments passifs afin de minimiser l'apport de bruit. La surface de silicium occupée limite la valeur des condensateurs (non bruyants) tandis que les valeurs des résistances sont limitées par le bruit thermique qui suit la loi :  $\overline{V_n^2} = 4kTR\Delta f$  avec  $k$  la constante de Boltzmann,  $T$  la température absolue et  $R$  la valeur de la résistance.

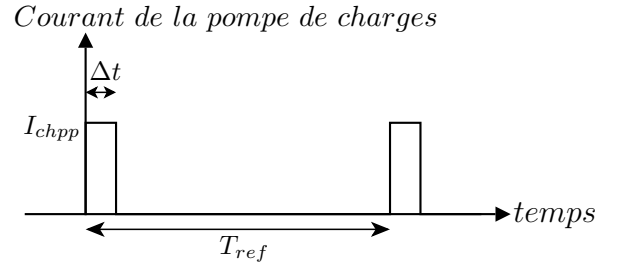


FIG. 2.1 – Impulsions de courant suite à l'action du comparateur de phases

Le rôle du filtre étant de convertir et d'intégrer les impulsions de courant en tension de contrôle  $V_0$ , les topologies les plus classiques du filtre sont présentées sur les figures 2.2 et 2.3 et les fonctions de transfert sont :

*Fonction de transfert :*

$$\frac{V_0(p)}{I(p)} = \frac{1 + R_1 C_1 p}{C_1 p} \quad (2.5)$$

*Zéro :*

$$\omega_z = \frac{-1}{R_1 C_1} \quad (2.6)$$

*Pôle :*

$$\omega_p = 0 \quad (2.7)$$

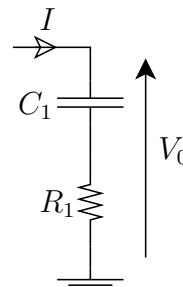


FIG. 2.2 – Filtre du premier ordre

*Fonction de transfert :*

$$\frac{V_0(p)}{I(p)} = \frac{1 + R_1 C_1 p}{R_1 C_1 C_0 p^2 + (C_1 + C_0) p} \quad (2.8)$$

*Zéro :*

$$\omega_z = \frac{-1}{R_1 C_1} \quad (2.9)$$

*Pôles :*

$$\omega_{p1} = 0 \quad (2.10)$$

$$\omega_{p2} = \frac{-1}{R_1 C_1} - \frac{1}{R_1 C_0} \quad (2.11)$$

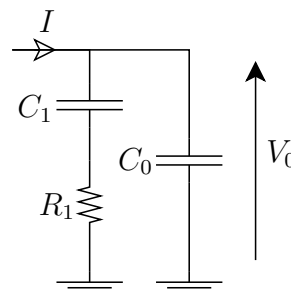


FIG. 2.3 – Filtre du second ordre

Le filtre de boucle peut aussi être suivi des filtres additifs pour mieux rejeter les bruits et les perturbations. La tension  $V_0$  issue du filtre constitue la tension de contrôle du VCO.

### 2.1.3 Modèle de l'oscillateur contrôlé

La linéarisation autour du point de fonctionnement de la caractéristique du VCO donnée au paragraphe 1.1.2 aboutit naturellement à une équation linéaire de la forme :

$$F_{out} = K_0 V_0 \quad (2.12)$$

où  $K_0$  correspond au gain tension-fréquence qui peut varier d'un facteur 10.

Afin d'exprimer la phase du signal en vue de l'optimisation du bruit de phase en sortie de la boucle, la fonction de transfert du VCO est modifiée en considérant l'expression de la phase en fonction de la fréquence :

$$\dot{\varphi} = 2\pi F \quad (2.13)$$



D'où la fonction de transfert de la tension de contrôle  $V_0$  vers la phase de sortie  $\varphi_{out}$  du VCO :

$$\varphi_{out} = \frac{2\pi K_0}{p} V_0, \text{ avec } p = 2\pi f \quad (2.14)$$

### 2.1.4 Équation complète de la boucle

Le schéma global de la boucle qui permet alors de calculer l'ensemble des fonctions de sensibilité voulues est représenté sur la figure 2.4 avec un filtre d'ordre 2 :

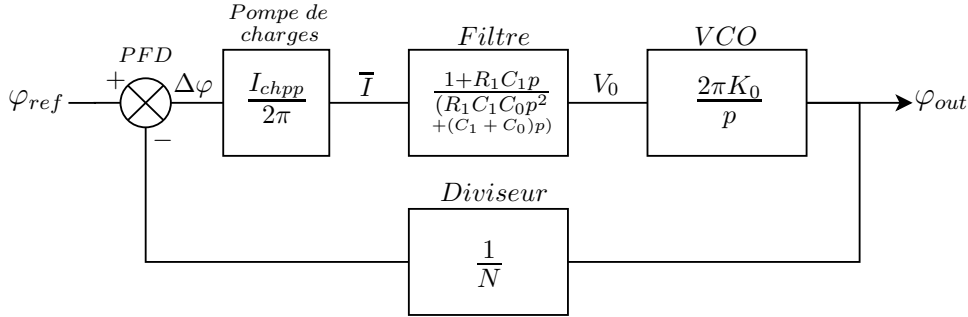


FIG. 2.4 – Modèle usuel des synthétiseurs de fréquence

Cela constitue une PLL dite de ‘type 2’ du fait de la présence de deux pôles en 0. La fonction de transfert en boucle ouverte est :  $\frac{I_{chpp}K_0}{N} \times \frac{1+R_1C_1p}{R_1C_1C_0p+(C_1+C_0)} \times \frac{1}{p^2}$ .

Les modèles linéaires continus suffisent pour analyser le profil de bruit de phase en sortie de la boucle qui constitue le point le plus préoccupant dans les applications actuelles. C’est pourquoi ce type de modèle est encore très répandu comme le montre cette recherche de Jiang et al. [2002] qui utilise ce type modèle pour optimiser les composants de la boucle afin de minimiser le bruit de phase<sup>1</sup>. Cependant, il est évident que les non linéarités du système ne sont pas prises en compte ni même l’échantillonnage du système à la fréquence de référence. Il est vrai que pour l’analyse en petit signal, la linéarisation des caractéristiques est suffisante. En revanche, il se peut que le système échantillonné ne soit pas assimilable à un système continu.

Il est donc nécessaire de savoir jusqu’à quelle limite ce modèle reste valide sans tenir compte de cet échantillonnage. La section suivante répond à cette question.

<sup>1</sup>cette publication comme beaucoup d’autres utilise le terme de “jitter” qui est la manifestation temporelle du bruit de phase. En français il se nomme “gigue”

## 2.2 Le modèle continu discret

Dans l'hypothèse d'un courant de pompe de charges injecté de façon idéalement constant sur la totalité de la durée  $\Delta t$  correspondant au déphasage  $\Delta\varphi$  de valeur nominale  $I_{chpp}$ , la forme exacte du courant injecté est présentée sur la figure 2.5.

La largeur  $\Delta t$  de l'impulsion de courant varie selon le déphasage entre le front de référence et le front de sortie divisé. L'amplitude de cette impulsion est constante et égale à  $|I_{chpp}|$ . En revanche, la largeur de l'impulsion est variable, ce qui ne permet pas de construire un modèle en  $z$ . Pour cela, il faut approximer la forme de l'impulsion soit par une impulsion de Dirac, soit par une moyenne constante de ce courant sur la largeur de la période de référence  $T_{ref}$ . Dans tous les cas, la quantité de charges reste la même et vaut  $Q(n) = \Delta t(n) \times |I_{chpp}| \times \text{signe}(I_{chpp})$ .

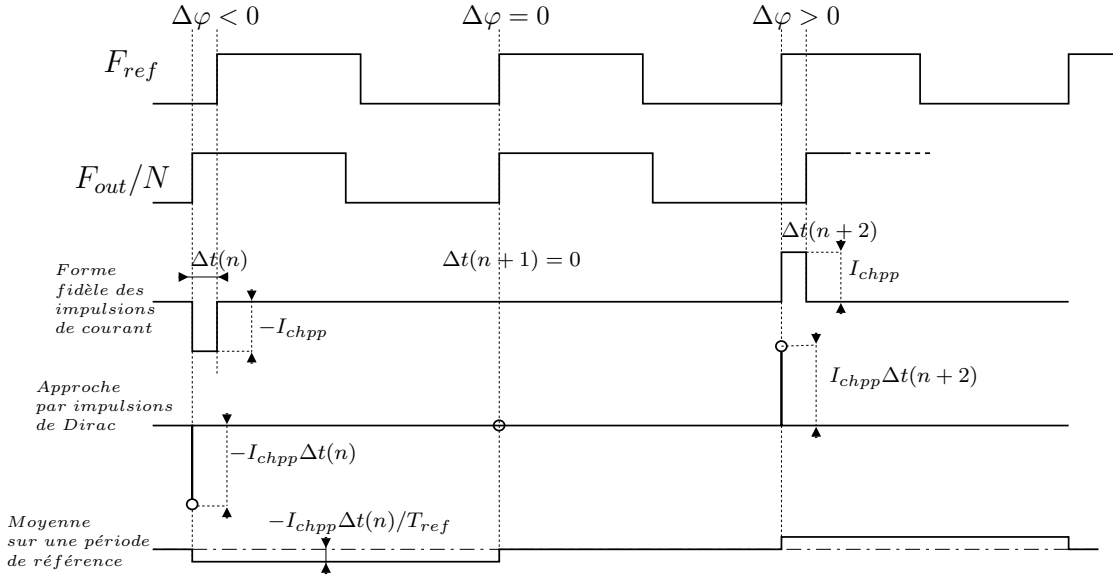


FIG. 2.5 – Les trois états du comparateur de phases :  $\Delta\varphi < 0$ ,  $\Delta\varphi = 0$ ,  $\Delta\varphi > 0$ .

Les trois états possibles sont représentés sur la figure 2.5 : avance de phase  $\Delta\varphi < 0$ , erreur de phase nulle  $\Delta\varphi = 0$ , et retard de phase  $\Delta\varphi > 0$ .

Trois modélisations discrètes sont possibles :

1. L'expression la plus approchée de la forme idéale du courant injectée est donnée par :

$$I(p) = I_{chpp} \sum_{n=0}^{+\infty} \left( \frac{1 - e^{-p\Delta t(n)}}{p} \times e^{-T_{ref}np} \right). \quad (2.15)$$

Le terme  $\frac{1-e^{-p\Delta t(n)}}{p}$  traduit les impulsions de largeur  $\Delta t(n)$  et le terme  $e^{-T_{ref}np}$  représente l'action effectuée à chaque période d'échantillonnage  $T_{ref}$ .

2. Une approche plus simple par impulsion de Dirac pour tenir compte de l'échantillonnage à la fréquence de référence  $F_{ref} = 1/T_{ref}$  permet d'obtenir le jeu d'équations le plus facilement exploitable :

$$I(t) = I_{chpp} \Delta t(t) \delta_{T_{ref}}(t) = I_{chpp} \sum_{n=0}^{+\infty} \Delta t(n) \cdot \delta(t - nT_{ref}) \quad (2.16)$$

$$I(z) = I_{chpp} \sum_{n=0}^{+\infty} \Delta t(n) z^{-n}. \quad (2.17)$$

3. Enfin, une moyenne du courant sur la période de référence obtenue par un échantillonneur-bloqueur d'ordre 0 permet d'aboutir au modèle le plus proche du modèle continu :

$$I(p) = \frac{I_{chpp}}{T_{ref}} \sum_{n=0}^{+\infty} \Delta t(n) \cdot \frac{1 - e^{-pT_{ref}}}{p} \cdot e^{-p n T_{ref}} \quad (2.18)$$

$$I(p) = \frac{I_{chpp}}{T_{ref}} \cdot \frac{1 - e^{-pT_{ref}}}{p} \sum_{n=0}^{+\infty} \Delta t(n) \cdot e^{-p n T_{ref}} \quad (2.19)$$

$$(2.20)$$

Pour chacun des modèles, la relation entre le déphasage  $\Delta\varphi$  et l'écart temporel  $\Delta t$  reste vrai :

$$\Delta\varphi = 2\pi \frac{\Delta t}{T_{ref}}. \quad (2.21)$$

## 2.3 Validité des modèles linéaires continus et discrets

Bien que l'approche linéaire la plus réaliste est décrite par l'expression discrète de l'équation (2.15), le modèle linéaire continu reste le plus utilisé en raison de sa souplesse d'utilisation. La comparaison de ces deux modèles [Crawford, 1994] permet d'estimer l'erreur commise par l'approximation continue. Le calcul exact à suivre est reporté en Annexe.A : du modèle discret (2.15), on effectue deux approximations pour se ramener au modèle continu.

L'une de ces deux approximations impose à la fréquence de coupure d'être inférieure à la fréquence de référence. Pour cela, la bande passante de la PLL est généralement choisie inférieure à  $\frac{F_{ref}}{10}$ .

L'autre approximation induit une erreur qui se met sous la forme  $A(\omega)e^{j\theta(\omega)}$  où  $A(\omega)$  correspond à l'amplitude et  $\theta(\omega)$  à la phase de l'écart fréquentiel entre les deux modèles avec :

$$A(\omega) = \frac{1}{\sqrt{1 + (\omega \Delta t)^2}} \quad (2.22)$$

$$\theta(\omega) = -\omega \Delta t + \arctan(\omega \Delta t) \quad (2.23)$$

Ainsi, l'erreur entre les modèles linéaires continus et discret est fonction de la fréquence  $\omega$  et de l'erreur de phase  $2\pi\Delta t/T_{ref}$ .

Les figures 2.6 et 2.7 représentent le tracé des écarts d'amplitude  $A(\omega)$  et de phase  $\theta(\omega)$  entre les modèles linéaires continus et discrets. L'échelle en abscisse est normalisée par rapport à une fréquence de référence de  $F_{ref} = 27MHz$ . Il apparaît clairement que pour un écart de phase nul ( $\Delta t = 0$ ), il n'y a aucun écart entre les deux modèles. En revanche, plus l'écart temporel  $\Delta t$  augmente, plus l'erreur de phase augmente ce qui accroît l'écart entre les deux modèles. Ainsi, pour un écart temporel  $\Delta t$  de  $12ns$ , l'écart d'amplitude est de  $1dB$  à  $F_{ref}/4$  et l'écart de phase est de  $2^\circ$ .

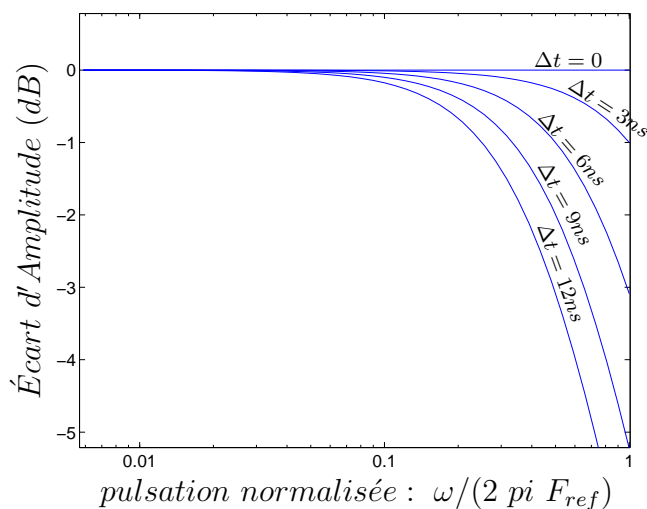


FIG. 2.6 – Écart d'amplitude  $A(\omega)$  entre les modèles linéaires continus et discrets.

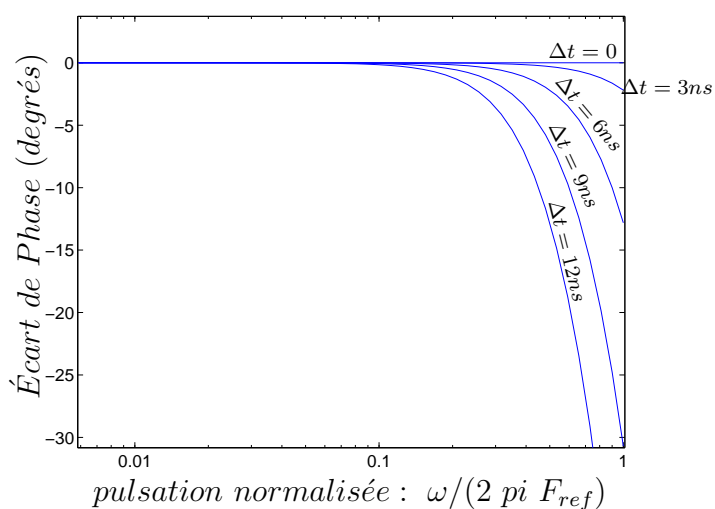


FIG. 2.7 – Écart de phase  $\theta(\omega)$  entre les modèles linéaires continus et discrets.

Dans le cas d'une PLL à rapport de division entier (figure 1.7.a), l'erreur de phase devient très petite lorsque la PLL est verrouillée. Dans ce cas, l'écart entre les modèles linéaires continus et discrets sera d'autant plus petit. En revanche, dans le cas d'une PLL fractionnaire (figure 1.7.b), l'écart temporel  $\Delta t$  n'est jamais nul puisque la division sur le

chemin de retour se fait par différents rapports de divisions entiers. Dans ce cas, l'écart entre les modèles linéaires continus et discrets n'est jamais nul.

De façon usuelle, la bande passante de la boucle à verrouillage de phase est choisie inférieure à  $\frac{F_{ref}}{10}$  de telle sorte que le modèle linéaire reste valide et que la stabilité de la boucle soit assurée pour les variations faibles des signaux.

La seule solution pour prendre en compte de façon plus précise le comportement séquentiel du comparateur de phases est de recourir aux modèles hybrides.

## 2.4 Les modèles hybrides

Mark Van Paemel [1994] propose dans ses travaux un modèle hybride des PLLs basé sur le diagramme d'état 2.8 pour évaluer le comportement transitoire du système. Il restreint l'erreur de phase entre la phase de référence et de sortie divisée  $\Delta t$  à une période de sortie  $T_{ref}$  maximum et à une tension de contrôle de l'oscillateur comprise entre la masse et la tension d'alimentation.

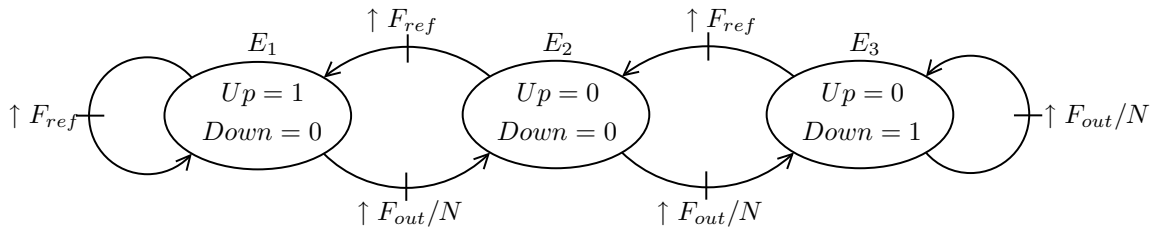


FIG. 2.8 – Machine d'état du comparateur de phases ( $\uparrow$ =Front montant)

Ce modèle a été repris par Pascal Acco [Acco, 2001, 2003] qui établit une analyse à partir des différentes séquences possibles de charge du filtre et de décharges du filtre par la pompe de charges :

- CC : Charge suivie d'une Charge.
- CD : Charge suivie d'une Décharge.
- DC : Décharge suivie d'une Charge.
- DD : Décharge suivie d'une Décharge.

Le cas CC d'une Charge suivie d'une Charge du filtre est représenté sur la figure 2.9. L'injection de charges sur l'intervalle de temps  $\Delta t$  fait croître la tension du filtre de premier ordre (présenté en section 2.1.2 sur la figure 2.2). La pente est due à la charge de la capacité  $C_1$ . La présence en série de la résistance  $R_1$  est responsable du saut de tension au départ et à l'arrêt de l'injection. Le filtre n'ayant pas de dynamique interne, la tension reste constante en l'absence d'injection de charges, ce qui ne serait pas le cas avec un filtre d'ordre 2 (présenté en section 2.1.2 sur la figure 2.3).

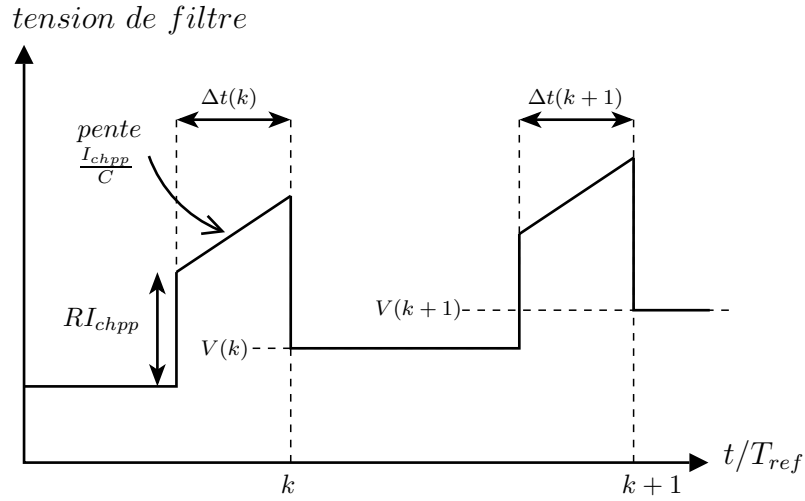


FIG. 2.9 – Cas de d'une séquence de deux charges successives

Ainsi, pour l'architecture de filtre la plus simple (filtre d'ordre 1), le jeu d'équations est [Van Paemel, 1994; Acco, 2003] :

$$CC \begin{cases} V(k+1) = V(k) + \frac{I_{chpp}}{C} \Delta t(k+1) \\ \Delta t(k+1) = \frac{-(RI_{chpp}+V(k)) + \sqrt{(RI_{chpp}+V(k))^2 - 2\frac{I_{chpp}}{C}((T_{ref}-\Delta t(k))V(k) - \frac{1}{K_0})}}{I_{chpp}/C} \end{cases} \quad (2.24)$$

$$CD \begin{cases} V(k+1) = V(k) + \frac{I_{chpp}}{C} \Delta t(k+1) \\ \Delta t(k+1) = \Delta t(k) - T_{ref} + \frac{1}{K_0 V(k)} \end{cases} \quad (2.25)$$

$$DC \begin{cases} V(k+1) = V(k) + \frac{I_{chpp}}{C} \Delta t(k+1) \\ \Delta t(k+1) = \frac{-(RI_{chpp}+V(k)) + \sqrt{(RI_{chpp}+V(k))^2 - 2\frac{I_{chpp}}{C} \left[ \frac{1}{K_0} - I_{chpp} \left( R\Delta t(k) + \frac{\Delta t(k)^2}{2C} \right) + V(k)(\Delta t(k) - T_{ref}) \right]}}{I_{chpp}/C} \end{cases} \quad (2.26)$$

$$DD \begin{cases} V(k+1) = V(k) + \frac{I_{chpp}}{C} \Delta t(k+1) \\ \Delta t(k+1) = \Delta t(k) - T_{ref} + \frac{1/K_0 - I_{chpp} \left( R\Delta t(k) + \frac{\Delta t(k)^2}{2C} \right)}{V(k)} \end{cases} \quad (2.27)$$

On constate déjà la complexité du jeu d'équations alors que le filtre n'est constitué que d'une résistance et d'un condensateur. Les équations deviennent fastidieuses si l'on considère un filtre d'ordre 2 et l'ajout de filtres supplémentaires  $RC$  en ferait un filtre d'ordre 3 ou d'ordre supérieur complexifiant d'autant ces calculs.

Pascal Acco [2001] distingue deux méthodes de linéarisation possibles : la linéarisation ‘a priori’ et la linéarisation ‘a posteriori’. Un modèle est linéarisé ‘a priori’ si un modèle linéaire de chaque bloc est établi avant de les réunir pour le calcul du modèle de boucle. En revanche, la linéarisation est réalisée ‘a posteriori’ si on linéarise le modèle de boucle construit à partir des modèles non-linéaires des blocs qui constituent le système.

De ce système hybride, Pascal Acco réalise une linéarisation à posteriori plus précise qu’une linéarisation classique à priori, mais l’analyse nécessite de dénombrer les combinaisons de séquences possibles. De plus, à chaque séquence correspond un modèle linéaire qui lui est propre.

La figure 2.10 montre la comparaison d’une simulation temporelle réalisée à partir d’un modèle hybride et d’un modèle linéaire d’une PLL. Dans chacun des cas, le filtre est d’ordre 2 (figure 2.3), composé d’une résistance et de deux condensateurs. Les valeurs des composants sont identiques pour chacun des deux modèles.

La figure 2.10 met bien en évidence l’influence du fonctionnement séquentiel du comparateur de phases sur la dynamique de la boucle. Ainsi, pour des différences de phases importantes, le modèle linéaire ne permet pas d’interpréter le temps d’établissement. En revanche, les sauts de phase dus au comparateur de phases sont effectivement bien pris en compte par le modèle hybride. La région de validité du modèle linéaire est restreinte à un environnement proche de l’état d’équilibre. S’il peut être possible d’utiliser ce modèle pour l’analyse du bruit sous certaines conditions, en revanche il ne peut valider la stabilité du système. Pour ce qui est du modèle hybride, il ne tient compte que du comportement séquentiel du comparateur de phases mais considère encore les autres composants comme linéaires.

Bien sûr, cette simulation n’est pas réaliste puisqu’elle ne tient pas compte de la caractéristique de l’oscillateur qui est saturée et dont le gain varie d’un facteur 10, mais elle montre la nécessité du modèle non linéaire pour l’analyse de la stabilité de la boucle à l’écart du point de fonctionnement. En résumé, même si le domaine de validité du modèle hybride est plus large que celui des modèles linéaires, il ne traduit pas complètement la réalité.

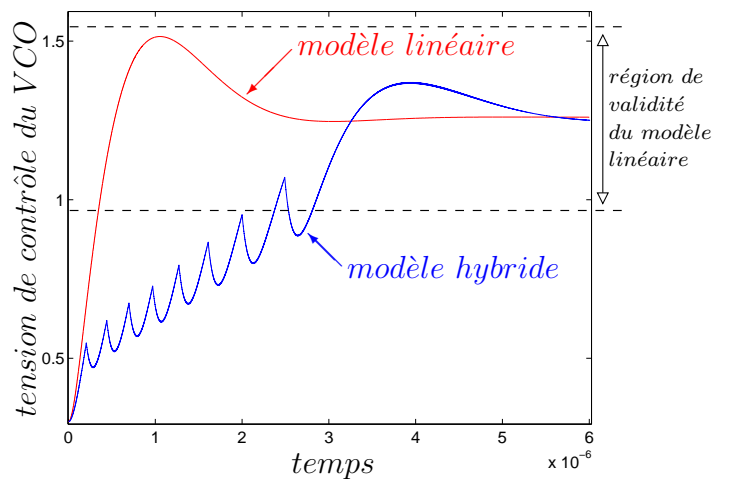


FIG. 2.10 – Comparaison de l’accrochage d’une PLL avec un modèle hybride et un modèle linéaire.

## 2.5 Bilan de l'État de l'art

Le bruit de phase en sortie de la boucle étant le point le plus fondamental des spécifications techniques des applications, les modèles linéaires continus sont les plus répandus puisqu'ils offrent un maximum de souplesse d'analyse. Cependant, ces modèles linéaires continus ne tiennent pas compte de l'échantillonnage si bien qu'ils ne sont valides que pour une région proche du point de fonctionnement et une bande passante de la PLL réduite à moins de  $\frac{F_{ref}}{10}$ . Comme il a été montré dans cette section, l'augmentation de la bande passante de la boucle à verrouillage de phase nécessite la prise en compte de l'échantillonnage.

Les modèles linéaires continus et discrets sont donc appropriés pour l'analyse du bruit si ce n'est que le modèle linéaire continu est limité en terme de fréquence de coupure de la PLL.

Pour une analyse en large signal, le modèle hybride est plus approprié. Cependant, ces modèles ne tiennent compte que du comportement séquentiel du comparateur de phases. Les autres non linéarités du système comme les imperfections de la pompe de charge et les variations de gain de l'oscillateur ne sont pas prises en compte.

La validation de la stabilité de ces systèmes doit donc impérativement reposer sur un modèle prenant en compte l'échantillonnage dû à la fréquence de référence et les non linéarités de chaque bloc. Ceci est d'autant plus vrai pour la nouvelle architecture (la Fractional Frequency Locked Loop) proposée pour laquelle un modèle spécifique doit être développé pour l'analyse.

## 2.6 Notre modèle non-linéaire de la FFLL

Le modèle que nous allons présenter peut être établi tout aussi facilement pour tout système échantillonné à une fréquence de travail fixe comme c'est le cas pour l'ensemble des synthétiseurs de fréquences cadencés par une fréquence de référence. Ainsi, il devient possible d'établir un modèle événementiel du système bloc par bloc comme cela va être montré dans cette section.

Cette section établit le modèle de la Fractional Frequency Locked Loop dont le schéma est rappelé sur la figure 2.11. Cette architecture est composée d'un oscillateur contrôlé à circuit résonnant  $LC$  classique. Le comparateur de phase permet d'effectuer une mesure du déphasage dont le résultat est stocké dans la capacité de mesure  $C_M$ . Il est possible de réaliser de plusieurs façons le transfert de charges de la capacité de mesure  $C_M$  vers la capacité d'intégration  $C_0$ . Deux modes de réalisation sont présentés ici. Le modèle complet de la boucle doit tenir compte de l'ensemble des non linéarités présentées par chacun de ces blocs.



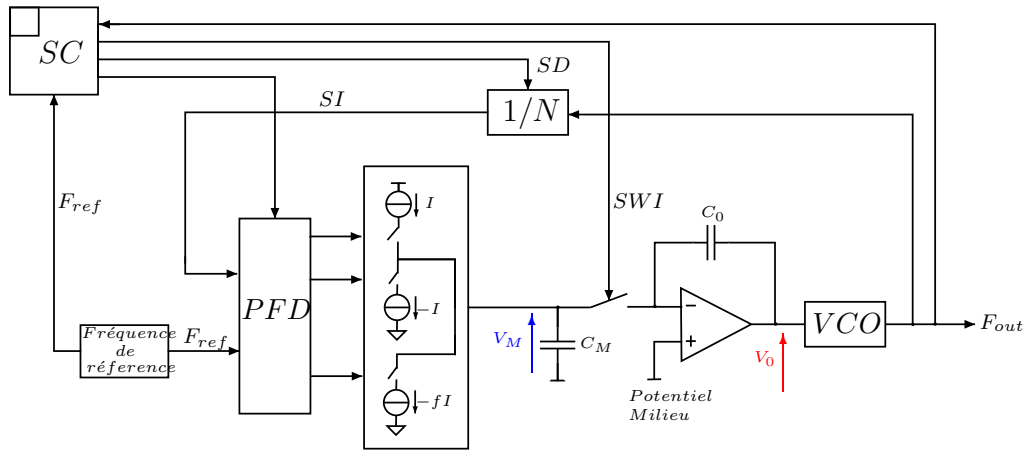


FIG. 2.11 – Rappel de l'architecture de la Fractional Frequency Locked Loop.

### 2.6.1 Modèle de l'oscillateur contrôlé

Le VCO constitue l'élément à réguler. Comme montré au paragraphe 1.1.2, sa caractéristique est non-linéaire et difficile à mettre en équation. Considérons donc une enveloppe qui permettra de tenir compte de l'ensemble des caractéristiques possibles pour le calcul

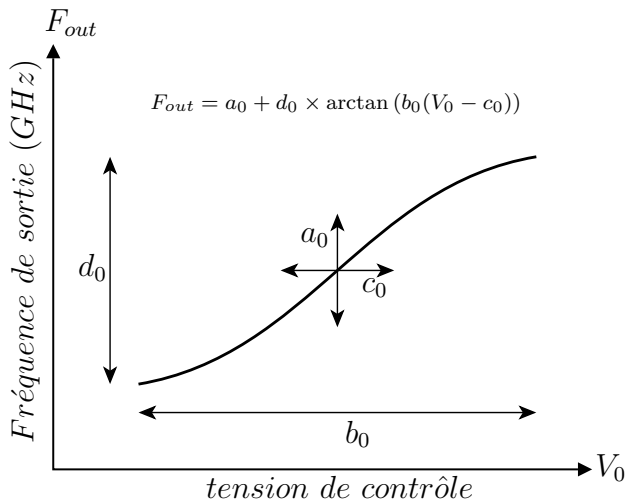


FIG. 2.12 – Une mise en équation possible de l'enveloppe du VCO par arctan.

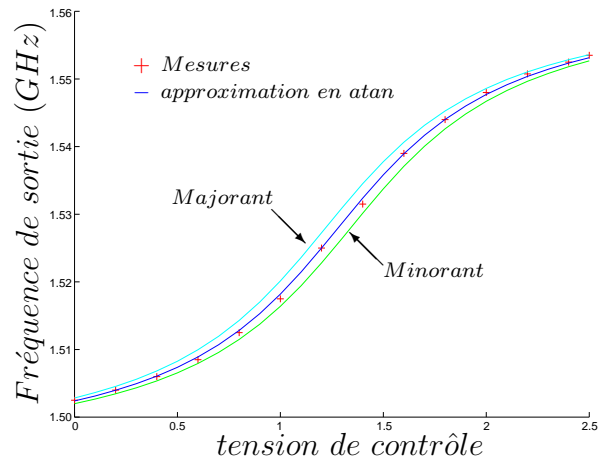


FIG. 2.13 – Modélisation du VCO

de la robustesse du système.

Comme le montre la figure 2.13, il est possible d'envelopper la caractéristique de l'oscillateur contrôlé par une fonction classique comme par exemple la fonction arc-tangente.

Il serait aussi possible de définir la caractéristique du VCO par morceaux, c'est au libre choix de chacun et selon le niveau de fidélité du modèle attendu.

Comme le montre la figure 2.12, la fonction arc-tan s'établit de la façon suivante :

$$F_{out} = a_0 + d_0 \times \arctan(b_0(V_0 - c_0)) \quad (2.28)$$

où les réels  $a_0$ ,  $b_0$ ,  $c_0$  et  $d_0$  sont choisis de telle sorte que la courbe obtenue se superpose à la caractéristique de l'oscillateur ou l'englobe afin de tenir compte des dispersions de procédés technologiques. Ainsi, on dispose d'une fonction  $F_{out} = f(V_0)$  qui décrit le comportement de l'oscillateur en fonction de sa tension de commande  $V_0$  dans le cas nominal. De même, on peut faire intervenir les variations de procédé par prise en compte des paramètres :  $F_{out} = f'(V_0, a_0, b_0, c_0, d_0)$ .

## 2.6.2 Modèle du contrôleur

La boucle à verrouillage de phase est constituée d'un diviseur sur le chemin de retour qui génère un signal utile à la mesure de la fréquence de sortie. Le modèle du comparateur de phase vient naturellement : il peut être événementiel ou être simplement modélisé par une caractéristique de la mesure.

Dans le cas de la nouvelle architecture échantillonnée présentée dans ce travail et baptisée 'FFLL', le fonctionnement par remise à zéro du diviseur modifie la caractéristique du comparateur de phases par une simple saturation.

En effet, comme l'illustre la figure 2.14, plus la fréquence du signal de sortie est élevée, plus le  $N^{ième}$  front de comptage qui sert à l'arrêt de l'injection du troisième courant arrive tôt. Au delà d'une certaine différence de fréquences, l'événement du  $N^{ième}$  front de comptage arrive avant le front de référence si bien que la quantité de charges minimale de la mesure est :  $\Delta Q_{M_{min}} = (\tau_{delai} + 2T_{out})I - fIT_{out}$ .  $\tau_{delai}$  désigne le déphasage initial dû à la partie fractionnaire du facteur de division (voir la section 1.3).

De même, dans le cas inverse lorsque la fréquence de sortie est trop faible, une limitation d'injection au front numéro  $N_l$  sature le courant à la valeur maximale :  $\Delta Q_{M_{max}} = (\tau_{delai} + 2T_{out})I - fIT_{out} - I(\tau_{delai} + (1 - f)T_{out} + N_l T_{out})$ . La valeur de ce front limite  $N_l$  est choisi de telle sorte que le  $N^{ième}$  front servant à la mesure n'empiète pas sur la phase de correction.

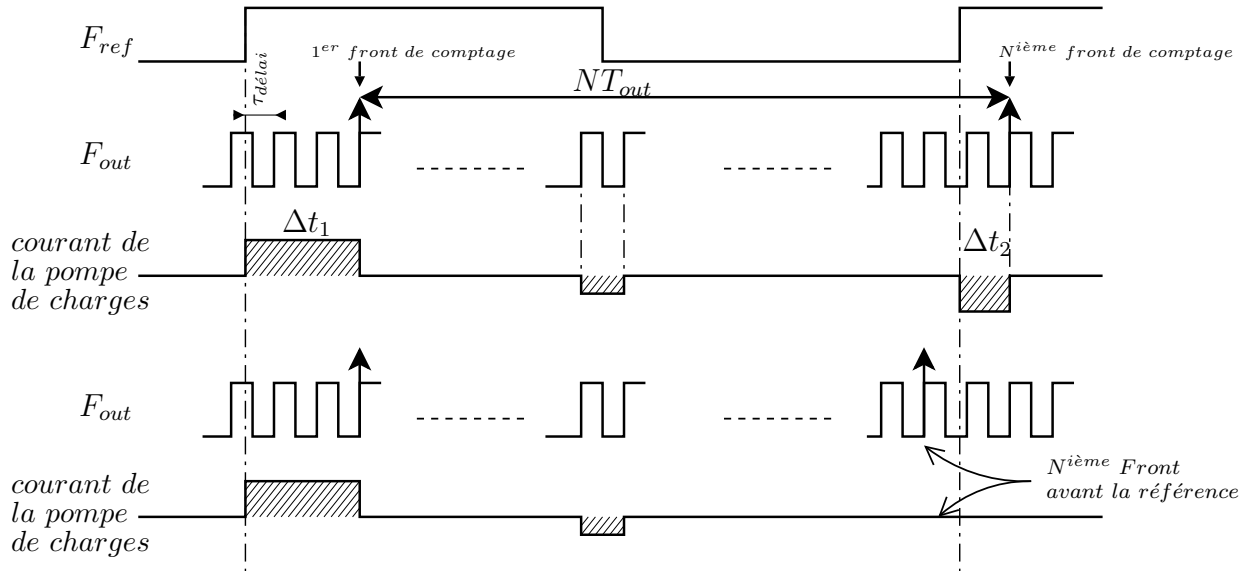


FIG. 2.14 – Saturation de la mesure de la FLL pour une fréquence de sortie trop élevée.

La figure 2.15 montre la caractéristique de la mesure de l'erreur de phase. Elle représente la quantité de charges  $\Delta Q_M$  intégrées dans la capacité de mesure  $C_M$  en fonction du temps total  $\Delta t$  d'intégration de ces charges. Ce temps total d'intégration s'exprime en fonction des périodes de sortie  $T_{out}$  et de référence  $T_{ref}$ . La quantité de charges résultantes de la mesure  $\Delta Q_M = I_{chpp} \times \Delta t$  est conforme à l'équation (1.6) présentée à la section 1.3.

Cette caractéristique présente deux saturations qui dépendent du délai cyclique  $\tau_{délai}$  dû à la partie fractionnaire du rapport de fréquences  $F_{out}/F_{ref}$ . Cette dépendance est à prendre en compte dans le modèle exact de ce bloc. Pour modéliser ce bloc, nous avons besoin de définir les instants particuliers de commutation du modèle : l'instant  $k$  (et suivants à commencer de  $k + 1$ ) définissent les instants d'échantillonnage du système toutes les deux périodes du signal de référence  $F_{ref}$  comme le montre la figure

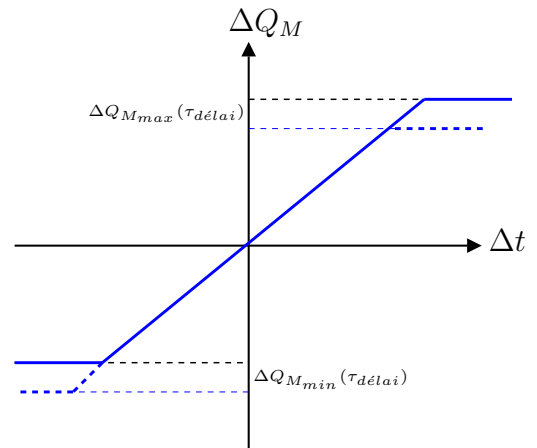


FIG. 2.15 – Caractéristique de la Mesure

2.16. Cette figure montre le chronogramme du système dans un cas non verrouillé, c'est à dire où l'erreur de fréquence est grande. La phase de correction, qui intervient après la phase de mesure, se manifeste par la fermeture de l'interrupteur à l'instant  $t_{cl}$ . Les tensions  $V_M$  et  $V_0$  sont constantes entre la fin de la mesure et l'instant de fermeture de l'interrupteur  $t_{cl}$ . La fenêtre de fermeture  $\tau_{swi}$  de l'interrupteur est définie entre l'instant  $t_{cl}$  et l'instant  $t_{op}$  de sa réouverture. Le transfert de charges de la capacité de mesure  $C_M$  à la capacité d'intégration  $C_0$  s'effectue pendant ce laps de temps  $\tau_{swi}$ . Cette fenêtre peut ne pas être suffisamment large devant la constante de temps du filtre de boucle nécessaire au contrôle de la bande passante et qui ralentit ce transfert de charges. Ainsi, il est possible que ce transfert ne soit pas complet et que des charges restent dans la capacité de mesure. Ces charges sont transférées à la phase de correction suivante avec l'ajout des charges issues de la mesure suivante.

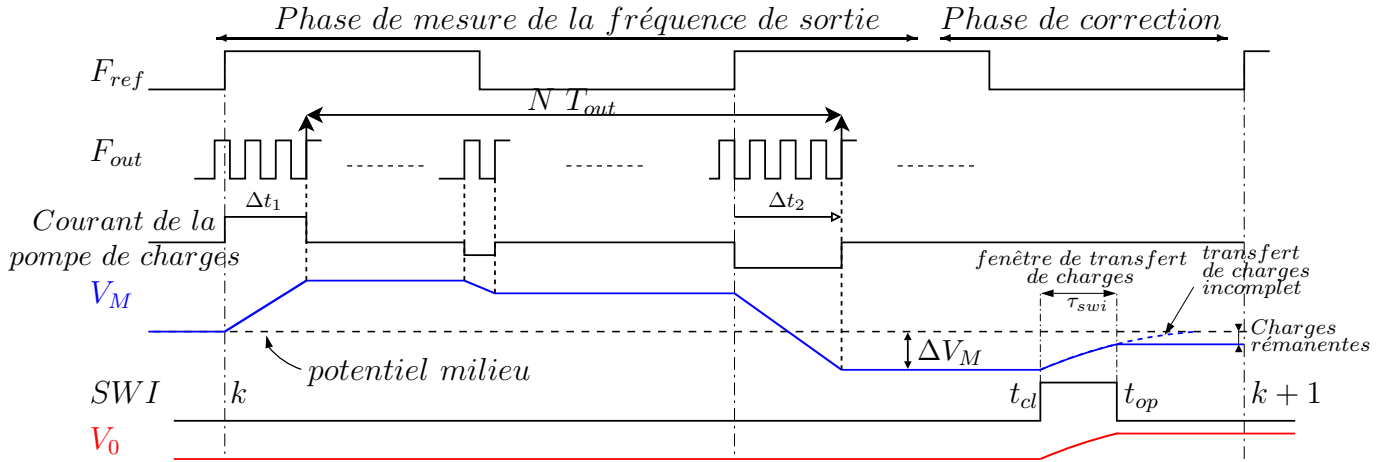


FIG. 2.16 – Définition des instants  $k$ ,  $k + 1$  et des instants de fermeture  $t_{cl}$  et d'ouverture  $t_{op}$  de l'interrupteur.

La modélisation du comparateur de phases peut se faire par observation de la dépendance des délais  $\Delta t_1$  et  $\Delta t_2$  :

$$\Delta t_2^{theorique} = \Delta t_1 - T_{ref} + \sum_{k=1}^{k=N} T_{out}(k) \simeq \Delta t_1 - T_{ref} + NT_{out}. \quad (2.29)$$

Cependant,  $\Delta t_2$  est soumis à diverse conditions physiques :

- Si  $\Delta t_2^{theorique} < 0$  alors le  $N^{ième}$  front arrive avant le second front de référence et  $\Delta t_2$  n'existe pas :

$$\Delta t_2(k) = 0 \quad (2.30)$$

$\Delta t_2$  est noté  $\Delta t_2(k)$  pour montrer qu'il appartient à la phase de mesure commençant à l'instant  $k$ .

- Si  $0 \leq \Delta t_2^{theorique} \leq \Delta t_1 - T_{ref} + N_l T_{out}$  alors c'est que l'on est dans la partie linéaire de la caractéristique :

$$\Delta t_2(k) = \Delta t_2^{theorique} \quad (2.31)$$

- Si  $\Delta t_2^{theorique} > \Delta t_1 - T_{ref} + N_l T_{out}$  alors c'est que le  $N^{ième}$  front arrive après le front de limitation  $N_l$  et  $\Delta t_2$  atteint la saturation supérieure :

$$\Delta t_2(k) = \Delta t_1 - T_{ref} + N_l T_{out} \quad (2.32)$$

De même, l'expression du  $\Delta t_1$  à l'instant suivant est :

$$\Delta t_1(k+1) = \Delta t_1(k) - 2T_{ref} + MT_{out} \quad (2.33)$$

$$M \text{ tel que : } 2T_{out} \leq \Delta t_1(k+1) \leq 3T_{out} \quad (2.34)$$

Où  $M$  représente l'action de la remise à zéro du diviseur imposant à  $\Delta t_1$  d'être supérieur à deux périodes du signal de sortie afin d'éviter toute zone morte sur la caractéristique de la mesure.

À l'issue de la mesure (à l'instant  $t_{cl}$ ), une quantité de charges s'est ajoutée à la quantité initiale  $C_M \Delta V_M(k)$ . La tension de mesure  $V_M = pm + \Delta V_M$  (avec  $pm$  le potentiel milieu) est définie par la quantité :

$$\Delta V_M(t_{cl}) = \Delta V_M(k) + \frac{\Delta Q_M(t_{cl})}{C_M} = \frac{\Delta t_1(k) I_{chpp} - f I_{chpp} T_{out}(k) - I_{chpp} \Delta t_2(k)}{C_M} \quad (2.35)$$

Où  $\Delta V_M(k)$  représente la valeur initiale de l'écart de  $V_M$  au potentiel milieu qui peut ne pas être nulle en raison d'un éventuel transfert de charges précédent qui n'aurait pas été complet.

L'interrupteur étant ouvert de l'instant  $k$  à l'instant  $t_{cl}$ , la tension de mesure  $V_M$  n'influence pas la tension de contrôle  $V_0$  sur cet intervalle de temps. La période du signal de sortie est donc supposée constante sur cet intervalle de temps.

Une fois la mesure terminée, la variation de tension de  $V_M$  doit donc être ajoutée à la tension de contrôle  $V_0$  du VCO pour en corriger la fréquence de sortie.

Différentes solutions permettent d'effectuer cette correction.

Une première solution consiste simplement à réaliser un sommateur de tension tel qu'il est représenté sur la figure 2.17.

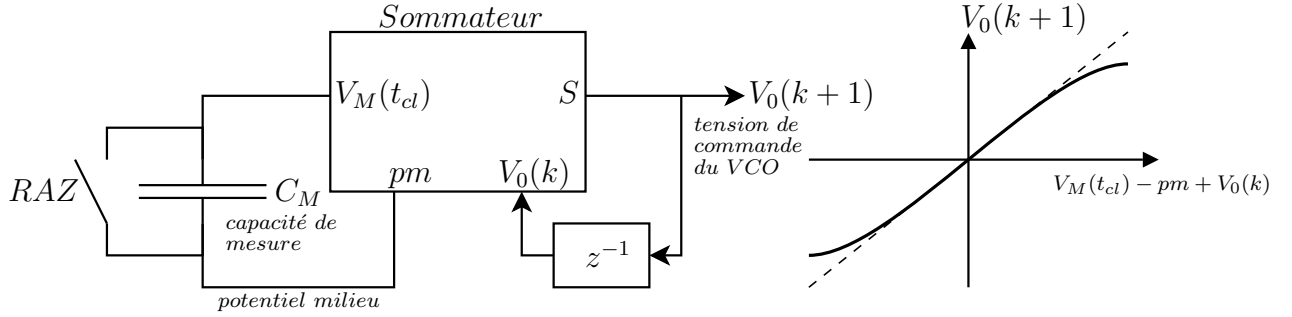


FIG. 2.17 – Additionneur de tension

Il existe plusieurs réalisations possibles pour ce type de circuit que nous ne présenterons pas ici. En revanche, la non-linéarité des transistors se répercute sur la caractéristique tracée sur la figure 2.17. L'intérêt d'un tel circuit serait dans le temps de transfert de charges quasi-nul. L'inconvénient est bien évidemment que cette caractéristique est non linéaire mais peut s'exprimer elle aussi à l'aide d'une fonction arc-tangente enveloppant la caractéristique réelle. Ainsi, l'expression idéale devrait être :

$$V_0(k+1) = V_0(k) + \Delta V_M(t_{cl}) \text{ avec : } \Delta V_M(t_{cl}) = V_M(t_{cl}) - pm \quad (2.36)$$

où  $pm$  désigne le potentiel milieu correspondant au point d'équilibre de la tension  $V_M$ . Ce potentiel milieu est fixé à la moitié de la tension d'alimentation puisqu'il représente aussi la tension d'équilibre en sortie de la pompe de charges. Ainsi, l'égalité des courants est optimale (en référence à la figure 1.12 de la section 1.2.1).

Cependant, les non linéarité dues aux transistors peuvent être modélisées :

$$V_0(k+1) = V_0(k) + [a_s(V_0(k)) + d_s \times \arctan(b_s V_M(t_{cl}) - c_s)] \quad (2.37)$$

Les termes  $b_s$ ,  $c_s$  et  $d_s$  sont définis comme précédemment pour la caractéristique du VCO alors que le terme de centrage  $a_s$  dépend légèrement du point de fonctionnement :

$$a_s(V) = a_a + d_a \times \tan(b_a V - c_a) \quad (2.38)$$

L'ensemble de ces paramètres sont déterminés grâce à la simulation électrique sous l'environnement Cadence qui tient compte des dispersions de procédé de fabrication.

Une seconde solution pour réaliser la correction de la tension de contrôle  $V_0$  du VCO consiste à effectuer un transfert de charges.

L'intérêt de cette méthode est de pouvoir placer la résistance de filtre  $R$  avant l'interrupteur échantillonneur permettant ainsi de minimiser la contribution en bruit ramené en sortie de la PLL. En effet, le bruit de tension de la résistance (bruit thermique) se répercute sur la tension de contrôle de l'oscillateur qui le transforme en bruit de phase. Ainsi, en positionnant la résistance du filtre avant l'interrupteur, l'influence du bruit de tension de la résistance sur la tension de contrôle de l'oscillateur est minimisé par la fenêtre d'ouverture de l'interrupteur.

En revanche, l'inconvénient de cette méthode est que le transfert des charges peut ne pas se faire intégralement laissant des charges dans la capacité  $C_M$  qui devront alors s'évacuer au cycle suivant de transfert de charges.

Pour intégrer cette solution dans notre outil d'analyse, nous avons exprimé la dynamique de transfert qui est équivalente à une décharge de la capacité  $C_M$  au travers de la résistance  $R$  grâce à la masse virtuelle imposée par l'entrée de l'amplificateur. La variation de tension de  $\Delta V_M$  suit donc la loi classique :

$$\Delta V_M(t) = \Delta V_M(t_{cl}) e^{\frac{-1}{RC_M}(t-t_{cl})}, \text{ avec } t \in [t_{cl}; t_{op}] \quad (2.39)$$

Où  $t_{cl}$  désigne l'instant de fermeture de l'interrupteur. En effet, l'équation (2.39) n'est valable que lorsque l'interrupteur est fermé. Lorsqu'il est ouvert, la tension de mesure suit la loi (2.35).

La variation de la tension de contrôle du VCO  $\Delta V_0$  est mise en équation par le principe de conservation de la charge :  $C_M \Delta V_M = C_0 \Delta V_0$ .

L'interrupteur étant ouvert de l'instant  $t_{op}$  au front de référence définissant l'instant  $k+1$ , les tensions  $V_M$  et  $V_0$  sont maintenues constantes. Le jeu d'équations à l'instant  $k+1$  est alors :

$$\Delta V_M(k+1) = \Delta V_M(t_{cl}) e^{\frac{-1}{RC_M} \tau_{swi}} \quad (2.40)$$

$$V_0(k+1) = V_0(k) + \frac{C_M}{C_0} (\Delta V_M(k+1) - \Delta V_M(t_{cl})) \quad (2.41)$$

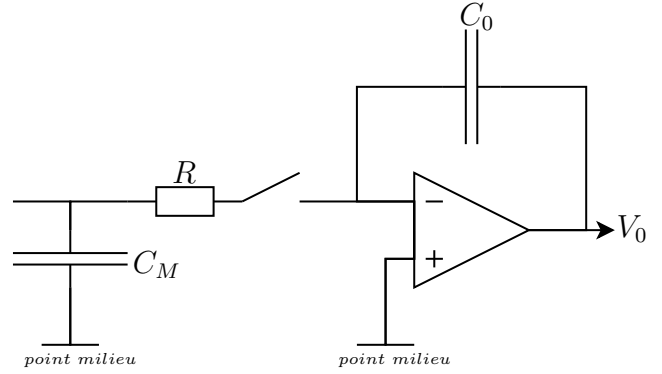


FIG. 2.18 – Réalisation par transfert de charges

### 2.6.3 Modèle complet de la boucle

Nous avons donc établi un modèle non-linéaire bloc par bloc de l'architecture complète. La souplesse de l'outil sera justement de permettre à l'utilisateur d'accéder à chaque élément séparément et de pouvoir agir en fonction de l'architecture ou des paramètres à modifier.

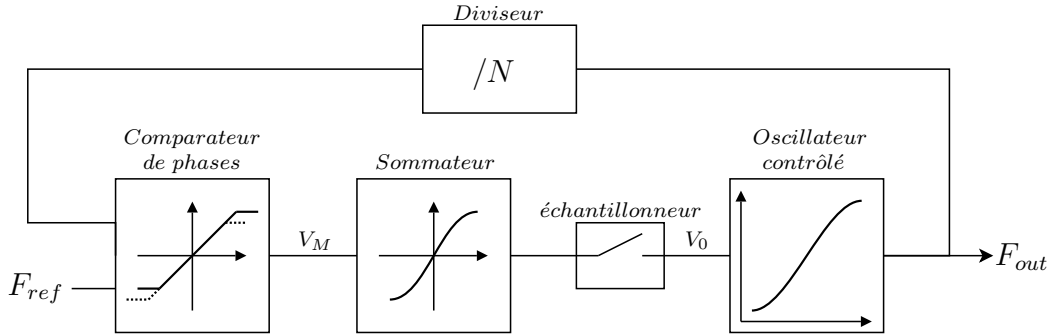


FIG. 2.19 – Modèle non linéaire de la “Fractional Frequency Locked Loop”

Récapitulatif des différentes caractéristiques :

- VCO :

$$F_{out}(k) = a_0 + d_0 \times \arctan(b_0(V_0(k) - c_0)) \quad (2.42)$$

où  $a_0$ ,  $b_0$ ,  $c_0$  et  $d_0$  sont des paramètres. La période du signal s'exprime simplement  $T_{out}(k) = 1/F_{out}(k)$

- Comparateur de phases :

$$\Delta V_M(t_{cl}) = \Delta V_M(k) + \frac{\Delta t_1(k)I_{chpp} - fI_{chpp}T_{out}(k) - I_{chpp}\Delta t_2(k)}{C_M} \quad (2.43)$$

avec

$$\Delta t_1(k) = \Delta t_1(k-1) - T_{ref} + MT_{out}(k-1) \quad (2.44)$$

$$M \text{ tel que : } 2T_{out} \leq \Delta t_1(k) \leq 3T_{out} \quad (2.45)$$

Et la prise en compte de la saturation :

↪ Si  $\Delta t_1(k) - T_{ref} + NT_{out} < 0$  :

$$\Delta t_2(k) = 0.$$

↪ Si  $0 \leq \Delta t_1(k) - T_{ref} + NT_{out} \leq \Delta t_1(k) - T_{ref} + N_l T_{out}$  :

$$\Delta t_2(k) = \Delta t_1 - T_{ref} + NT_{out}$$

↪ Si  $\Delta t_1(k) - T_{ref} + NT_{out} > \Delta t_1 - T_{ref} + N_l T_{out}$  :

$$\Delta t_2(k) = \Delta t_1 - T_{ref} + N_l T_{out}$$

- Transfert de charges :

1<sup>ère</sup> solution avec sommation de tensions :

$$V_0(k+1) = V_0(k) + [a_s(V_0(k)) + d_s \times \arctan(b_s V_M(t_{cl}) - c_s)] \quad (2.46)$$

$$\text{avec : } a_s(V) = a_a + d_a \times \tan(b_a V - c_a) \quad (2.47)$$



Ou  $a_a, b_a, c_a, d_a$  et  $b_s, c_s, d_s$  sont des paramètres.  
 $2^{nde}$  solution par transfert de charges :

$$\Delta V_M(k+1) = \Delta V_M(t_{cl}) e^{\frac{-1}{RC_M} \tau_{swi}} \quad (2.48)$$

$$V_0(k+1) = V_0(k) + \frac{C_M}{C_0} (\Delta V_M(k+1) - \Delta V_M(t_{cl})) \quad (2.49)$$

$$V_M(k) = pm + \Delta V_M(k) \quad (2.50)$$

Ainsi, on définit le vecteur d'état  $V$  :

$$V = \begin{pmatrix} V_0 \\ V_M \\ \Delta t_1 - \Delta t_2 \end{pmatrix} \quad (2.51)$$

dont la succession des valeurs prises aux instants d'échantillonnage  $k$  est définie par la fonction  $G$  :

$$V(k+1) = G(V(k), \tilde{p}) \quad (2.52)$$

avec  $\tilde{p}$  le vecteur de paramètres :

$$\tilde{p} = (a_0, b_0, c_0, d_0, N, T_{ref}, C_M, I_{chpp}, b_s, c_s, d_s, a_a, b_a, c_a, d_a) \quad (2.53)$$

La figure 2.20 illustre ce modèle avec le corps  $G$  de la fonction qui permet de calculer les valeurs successives prises par le vecteur d'état  $V$  compte tenu des paramètres  $p$ .

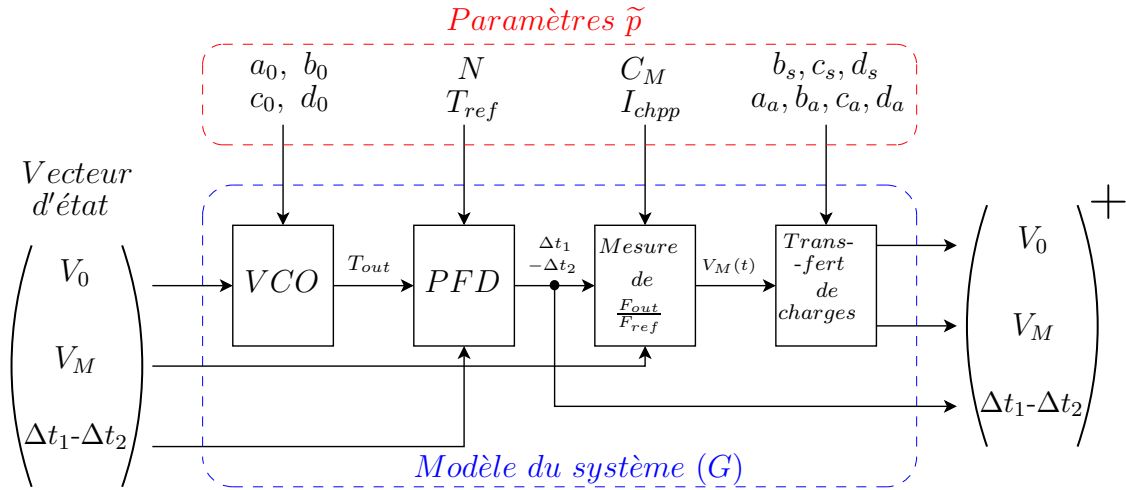


FIG. 2.20 – Illustration de l'application de la fonction  $G$  sur le vecteur d'état  $V$

La prise en compte des variations des paramètres se fait au travers de  $\tilde{p}$ .

## 2.7 Conclusion de ce chapitre

Les différents modèles existants ont été présentés dans ce chapitre. Parce que les outils fréquentiels du domaine de Laplace sont les plus répandus, le modèle linéaire continu est le plus utilisé. Cependant, ce modèle n'est valide que pour une région proche du point de fonctionnement ainsi que pour une bande passante du système très réduite. L'étude d'une PLL de large bande passante doit donc se faire à partir d'un modèle discret. De plus, tant que le modèle ne tient pas compte du fonctionnement séquentiel du comparateur de phase, aucune analyse ne pourra permettre l'étude du système pour les larges signaux.

Un modèle qui tient compte de l'ensemble des non linéarité du système a été présenté dans ce chapitre. Il se base sur les caractéristiques de chacun des blocs qui constituent le système pris séparément. La souplesse de ce modèle vient du fait qu'il n'est pas nécessaire de calculer l'équation complète de la boucle.

L'étude de la stabilité du système qui est présentée au chapitre 3 est illustrée par un exemple d'application basé sur le modèle établi dans ce chapitre.



# Chapitre 3

## Analyse des PLLs

Ce chapitre présente notre contribution à l’analyse des boucles à verrouillage de phase. L’étude de la stabilité et de la robustesse de ces systèmes y est abordée avec une prise en compte des non linéarités du système contrairement à l’état de l’art qui est majoritairement basé sur les modèles linéaires [Kroupa, 2003]. Les quelques travaux portant sur l’étude de la stabilité des PLLs avec une approche non linéaire ne tient compte que du comportement séquentiel du comparateur de phases (PFD) des boucles à verrouillage de phase classiques [Van Paemel, 1994; Acco, 2001]. Cependant, Gardner [2005] et Szabó and Kolumbán [2003] constatent par simulations temporelles qu’il existe des états de stabilité indésirés appelés “False Lock” dus au fonctionnement échantillonné de certaines architectures. Szabó and Kolumbán [2003] proposent une architecture permettant d’éviter au système d’être attiré par ces cycles limites. Cependant, Parle and Kennedy [2005] montrent à l’aide de simulations temporelles que ces cycles limites peuvent encore attirer le système sous certaines conditions malgré la solution de Szabó and Kolumbán [2003]. La preuve est ainsi faite que ces constatations obtenues essentiellement par simulations temporelles ne permettent pas de valider la stabilité de ces systèmes.

Dans ce chapitre, nous proposons un outil d’analyse basé sur le modèle non linéaire du système afin d’étudier sa stabilité de façon semi-globale. Ainsi, l’étude ne se limite plus à un environnement proche de l’état de verrouillage. La lecture du résultat de l’outil proposé est facilitée par sa représentation graphique.

Un premier théorème issu du travail de Chemori and Alamir [2004] donne une première approche de cet outil. Une illustration de ce théorème est présentée avec l’analyse de la Fractional Frequency Locked Loop présentée à la section 2.6.

Une amélioration de ce théorème est présentée afin d’étendre l’étude aux systèmes mal amortis. Ce théorème plus général est illustré par l’analyse de la PLL échantillonnée de Szabó and Kolumbán [2003]. Il est montré que le phénomène de faux verrouillage constaté par leurs simulations temporelles est mis en évidence par notre outil.

L'approche non linéaire n'est pas nécessaire pour l'analyse du bruit de phase en sortie de la boucle. En revanche, il peut être nécessaire de tenir compte de l'échantillonnage comme montré au chapitre 2 à partir des travaux de Crawford [1994]. La littérature aborde cet aspect en modélisant l'échantillonnage par un simple délai [Tang et al., 2002] ou par un échantillonneur-bloqueur [Cassia et al., 2003].

Nous proposons dans ce chapitre de modéliser l'échantillonnage par l'intermédiaire d'une méthode exacte de discrétisation. Un exemple d'analyse du bruit en sortie de la Fractional Frequency Locked Loop illustre l'efficacité de ce modèle par rapport aux modèles classiques. Cette comparaison est effectuée d'abord par simulations puis avec l'appui des mesures de bruit de phase d'un circuit démonstrateur.

## 3.1 L'outil d'analyse semi-globale

Nous proposons dans ce travail un outil d'analyse qui exploite un modèle comportemental intégrant l'ensemble des non-linéarités du système. Cet outil permet une étude semi-globale dans la mesure où le domaine de validité est limité mais défini par l'utilisateur et sans restriction.

### 3.1.1 Notations

$V$  désigne le vecteur d'état sans se restreindre à des tensions. Par exemple, l'erreur de phase décrite plus loin fait partie des composants du vecteur d'état du système.

Le vecteur d'état désiré correspondant à l'état d'équilibre du système une fois la PLL verrouillée est appelée  $V_d$ .

Le calcul de l'évolution du vecteur d'état  $V$  à chaque instant d'échantillonnage se fait au travers de la fonction  $G : V(k+1) = G(V(k), \tilde{p})$ . Ainsi,  $G^{(i)}(V, \tilde{p})$  correspond à la valeur du vecteur d'état au  $i^{\text{ème}}$  instant d'échantillonnage :  $V(k+i) = G^{(i)}(V(k), \tilde{p})$ . On note  $G(V(k), \tilde{p})$  le premier instant d'échantillonnage :  $G^{(1)}(V(k), \tilde{p}) = G(V(k), \tilde{p})$ .

Chaque élément de la boucle à verrouillage de phase est caractérisé par des grandeurs physiques (gains, offsets, valeurs de courants ou de composants) fixés avec une incertitude lors de la fabrication du composant. Ces paramètres sont désignés par la lettre  $\tilde{p}$  et rentrent en compte dans le calcul de l'évolution du vecteur d'état au travers de l'application  $G$ . Par exemple, le vecteur de paramètres du modèle de la Fractional Frequency Lock Loop établi à la section 2.6 est :  $\tilde{p} = (a_0, b_0, c_0, d_0, N, T_{ref}, C_M, I_{chpp}, b_s, c_s, d_s, a_a, b_a, c_a, d_a)$ . De même, l'ensemble des valeurs possibles de ce vecteur de paramètres  $\tilde{p}$  est noté  $\mathbb{P}$ .

La norme  $\|V - V_d\|$  correspond à la distance entre le vecteur d'état  $V$  et le vecteur d'état désiré  $V_d$ . Cette norme peut être Euclidienne ou propre à un découpage particulier

de l'espace d'état analysé. Cela ne change en rien la méthodologie de l'étude.

De même,  $\|G^{(i)}(V) - V_d\|$  désigne la distance entre le vecteur d'état désiré et le vecteur d'état après  $i$  instants d'échantillonnage à compter du vecteur  $V$ .

La boule  $B_\rho$  ( $B$  mis pour "Boule" par abus de langage) désigne le volume de l'espace d'état défini par l'ensemble des vecteurs d'état  $V$  tels que :  $\|V - V_d\| \leq \rho$  avec  $\rho$  réel.

De même, le volume de l'espace d'état séparant deux sphères de rayons différents est appelé "couronne" correspondant au volume de la boule  $B_{\rho_b}$  privé du volume intérieur de la boule  $B_{\rho_a}$  :  $B_{\rho_b} \setminus \text{int}(B_{\rho_a})$  avec  $\rho_a < \rho_b$ .  $\text{int}(B_{\rho_a})$  désigne l'intérieur de la Boule  $B_{\rho_a}$  de telle sorte que la couronne soit fermée.

### 3.1.2 Énoncé du théorème initial

La méthode peut être appelée d'opérateurs contractants puisque son principe consiste à observer l'évolution du système en direction du vecteur d'état désiré.

Dans la suite de ce travail, les résultats sont présentés par ordre de complexité croissante. Ainsi, un premier théorème facilitera la compréhension de l'outil d'analyse qui aboutira à l'énoncé d'un théorème plus complet.

L'énoncé du théorème initial [Chemori and Alamir, 2004], [Chemori and Alamir, 2005] est le suivant :

**Theorème 1** *Soit l'équation dynamique :*

$$V(k+1) = G(V(k), \tilde{p}) \quad (3.1)$$

Avec  $V \in \mathbb{R}^n$  le vecteur d'état et  $\tilde{p} \in \mathbb{R}^p$  le vecteur de paramètres.

Si il existe deux scalaires réels  $\rho_1$  et  $\rho_2$  ainsi que  $\gamma \in [0, 1[$  et  $i \in \mathbb{N}$  tels que :

$$(a) \quad \sup_{\substack{\|V - V_d\| \leq \rho_j \\ \tilde{p} \in \mathbb{P}}} \|G(V, \tilde{p}) - V_d\| \leq \rho_j, \quad j \in \{1, 2\} \quad (3.2)$$

$$(b) \quad \sup_{\substack{\rho_1 \leq \|V - V_d\| \leq \rho_2 \\ \tilde{p} \in \mathbb{P}}} \|G^{(i)}(V, \tilde{p}) - V_d\| \leq \gamma \|V - V_d\| \quad (3.3)$$

Alors le voisinage  $B_{\rho_1} = \{V : \|V - V_d\| \leq \rho_1\}$  est attractif et invariant pour toute condition initiale élément de la boule  $B_{\rho_2}$  de rayon  $\rho_2$  et tout  $\tilde{p} \in \mathbb{P}$ .



### Éléments de démonstration

- (1) Si  $V(0) \in B_{\rho_2}$  alors  $V(k) \in B_{\rho_2} \forall k$  par hypothèse en considérant (3.1) et (3.2) donc toute évolution démarrant dans  $B_{\rho_2}$  y reste.
- (2) D'après (3.3), tant que  $V((q-1)i) \notin B_{\rho_1}$ , pour  $q \in \mathbb{N}$ ,  $q > 1$  :

$$\|V(qi) - V_d\| \leq \gamma \|V((q-1)i) - V_d\|$$

alors  $V(qi)$  ne peut pas rester hors de  $B_{\rho_1}$  indéfiniment donc  $B_{\rho_1}$  est attractive. Et comme (3.2) est satisfait pour  $i = 1$  alors  $B_{\rho_1}$  est invariant.

□

### Explication du théorème

Cet outil distingue deux analyses différentes : l'invariance et l'attraction.

L'invariance décrite par l'équation (3.2) traduit le comportement du système dans une boule  $B_{\rho_i}$  de centre  $V_d$  ( $V_d$  étant le vecteur d'état désiré) et de rayon  $\rho_i$  : pour tout état initial élément de cette boule, le système y reste. Cette analyse s'intéresse à l'évolution du système à l'instant d'échantillonnage suivant.

L'attraction traduit la faculté du système à se rapprocher du vecteur d'état désiré après  $i$  instants d'échantillonnage. Elle est définie par l'équation (3.3) qui évalue l'évolution du système en direction de la boule  $B_{\rho_1}$ .

### Illustration du théorème

La figure 3.1 propose un schéma typique illustrant le théorème 1 avec  $\gamma = 1$ . L'abscisse de la figure représente la distance  $\rho$  du vecteur d'état considéré au vecteur d'état désiré  $V_d$  c'est à dire pour lequel  $\rho = 0$ . L'ordonnée de la figure représente ici la fonction :

$$\psi_i(\rho) = \sup_{\|V - V_d\| = \rho} \|G^{(i)}(V, \tilde{p}) - V_d\| \quad (3.4)$$

Le tracé se fait pour chaque surface  $\|V - V_d\| = \rho$  où  $\rho$  est compris entre 0 et une limite choisie dont la valeur maximale est fixée arbitrairement mais en tenant compte de la limite de validité du modèle considéré. Le retour aux équations (3.2) et (3.3) se fait en analysant la courbe décrite par  $\psi_i(\rho)$ .

Les régions où la courbe se situe en dessous de la première bissectrice du repère indique une évolution du système en direction du vecteur d'état désiré ( $\rho = 0$ ). En revanche, si  $\psi_i(\rho)$  se situe au dessus de la première bissectrice du repère, alors c'est qu'il existe au moins un état distant de  $V_d$  de rayon  $\rho$  tel que le système s'éloigne de l'état désiré après  $i$  instants d'échantillonnage.

La lecture de  $\psi_1(\rho)$  est utile pour interpréter l'équation (3.2). Ainsi, sur la figure 3.1, la zone grisée correspond à l'équation (3.2) pour  $\rho_1$  et la zone comprise entre les axes du repère et les pointillés correspond à l'équation (3.2) pour  $\rho_2$ .

L'équation (3.3) est illustrée par  $\psi_i(\rho)$  pour  $i$  fixé. La région de validité de l'équation (3.3) correspond à la zone hachurée de la figure 3.1. Dans la mesure où l'on considère la première bissectrice du repère, la figure 3.1 illustre l'équation (3.3) pour  $\gamma = 1$ .

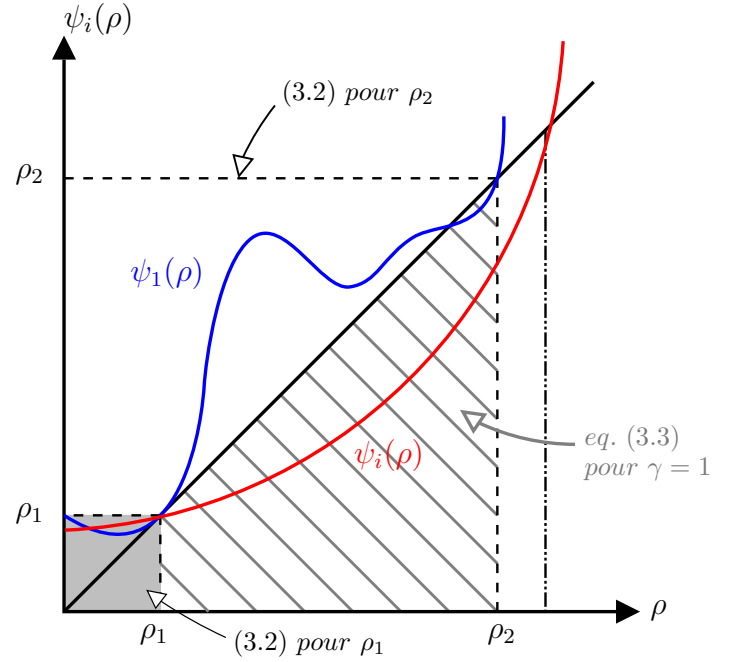


FIG. 3.1 – Schéma typique du théorème 1.

Dans la suite de ce travail, il sera reporté sur l'ordonnée le rapport :

$$\Psi_i(\rho) = \sup_{\|V - V_d\| = \rho} \{ \|G^{(i)}(V, \tilde{p}) - V_d\| - \|V - V_d\| \} \quad (3.5)$$

Et pour l'analyse de la robustesse du système en fonction du vecteur de paramètres  $\tilde{p} \in \mathbb{P}$  :

$$\Psi_{i, \tilde{p}}(\rho) = \sup_{\substack{\|V - V_d\| = \rho \\ \tilde{p} \in \mathbb{P}}} \{ \|G^{(i)}(V, \tilde{p}) - V_d\| - \|V - V_d\| \} \quad (3.6)$$

Cela permettra de faciliter la lecture du résultat de l'analyse : plutôt que de comparer la position de la courbe  $\psi_i(\rho)$  à la première bissectrice du repère, il suffira de comparer la courbe  $\Psi_i(\rho)$  à 0. Ainsi, à des rayons où  $\psi_i(\rho)$  est inférieur à la première bissectrice du repère, la courbe  $\Psi_i(\rho)$  est inférieure à 0. De même,  $\Psi_i(\rho)$  est supérieur à 0 pour les parties supérieures à la première bissectrice du repère de la figure 3.1. La lecture graphique du résultat s'en trouve donc simplifiée.

### 3.1.3 Exemple d'analyse sur notre modèle non-linéaire

Le modèle non linéaire de la nouvelle architecture de synthétiseur de fréquence (FLL) présenté au paragraphe 2.6 permet d'évaluer l'évolution du système à chaque instant  $t_k$ . En électronique, du fait des relations entre courants et tensions, les états sont classiquement choisis parmi les tensions aux bornes des condensateurs et les courants dans les



inductances. Dans le cas présent, sont considérées la tension  $V_M$  aux bornes de la capacité de mesure  $C_M$  et la tension  $V_0$  aux bornes de la capacité d'intégration  $C_0$  (voir la figure 1.18). A ces états, s'ajoute la phase du signal de sortie qui induit le délai cyclique  $\tau_{delai}$  responsable des variations des temps d'injection  $\Delta t_1$  et  $\Delta t_2$  (voir la figure 2.14) et ayant aussi une influence sur la caractéristique du circuit comparateur de phases.

La figure 3.2 montre comment s'établit la fonction  $G$  et comment elle agit sur le vecteur d'état dans cet exemple. Comme montré à la section 2.6, chaque bloc du système est modélisé séparément et les paramètres sont affectés à chacun de ces blocs. Le vecteur d'état de l'instant d'échantillonnage  $k + 1$  est ainsi calculé à partir du vecteur d'état à l'instant  $k$  et des paramètres  $\tilde{p}$ .

$$V(k + 1) = G(V(k), \tilde{p}) \quad (3.7)$$

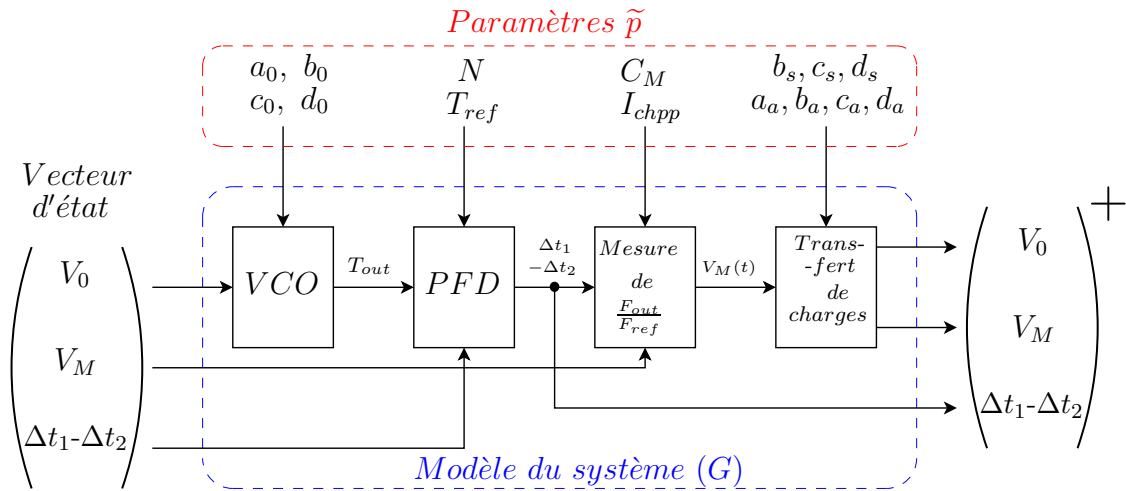


FIG. 3.2 – Illustration de l'application de la fonction  $G$  sur le vecteur d'état  $V$

Cette figure met bien en évidence la séparation entre le modèle du système et la méthode d'analyse. En effet, l'outil calcule les valeurs successives du vecteur d'état par l'intermédiaire de la fonction  $G$  qui décrit le système et dont les valeurs des paramètres  $\tilde{p}$  peuvent changer. Le contenu même de la fonction  $G$  qui apparaît comme une boîte noire n'influence en rien la méthode d'analyse.

Ainsi, dans cet exemple, de la tension de contrôle  $V_0$  et de la variation de gain du VCO, il est possible de calculer la valeur de la période du signal de sortie. Les valeurs du déphasage  $\Delta t_1 - \Delta t_2$  sont alors calculés par la caractéristique du comparateur de phase. Enfin, les valeurs de la capacité de mesure  $C_M$  et du courant de la pompe de charges  $I_{chpp}$  suivi du transfert de charges permettent de calculer les nouvelles valeurs de la tension de

mesure  $V_M$  et de la tension de contrôle du VCO  $V_0$ .

L'application de l'outil d'analyse au sens du théorème 1 donne les résultats suivants.

$$\Psi_i(\rho) = \sup_{\|V - V_d\| = \rho} \left\{ \|G^{(i)}(V, \tilde{p}) - V_d\| - \|V - V_d\| \right\}$$

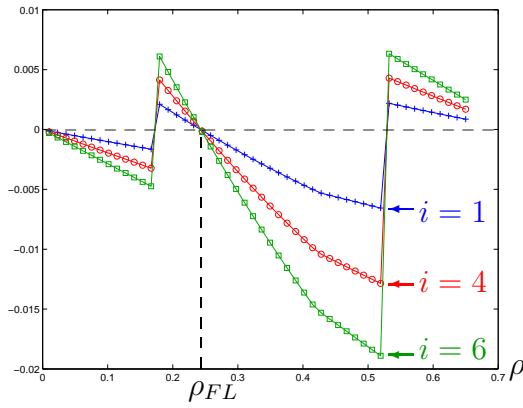


FIG. 3.3 – Résultat de l'outil d'analyse pour un courant  $I_{chpp} = 100\mu A$

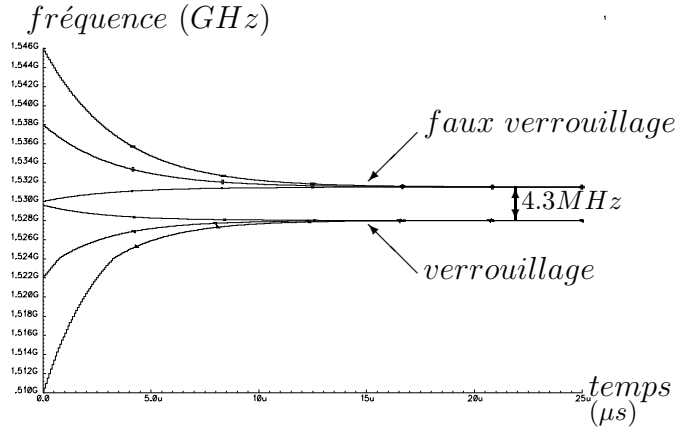


FIG. 3.4 – Simulation électrique pour un courant  $I_{chpp} = 100\mu A$

La figure 3.3 présente le résultat d'analyse de l'outil. Comme  $\Psi_i(\rho \leq 0.17)$  est inférieur à 0 pour  $i = 1$ , alors la Boule  $B_{0.17}$  est une région attractive et invariante. De même, toute Boule de rayon  $\rho \leq 0.17$  est invariante puisque  $\Psi_1$  y est négatif. Le système doit donc converger vers le vecteur d'état désiré pour toute condition initiale élément de la boule  $B_{0.17}$ .

Cependant, un second pôle attracteur distant de  $V_d$  de  $\rho_{FL}$  pourrait être un point de convergence pour des états situés dans la couronne définie par la boule  $B_{0.52}$  privée de la boule  $B_{0.17}$ . En effet, dans cette couronne,  $\Psi_i(\rho)$  est inférieur à 0 au delà de  $\rho_{FL}$  traduisant une évolution du système en direction du vecteur d'état désiré  $V_d$  en  $\rho = 0$ . En revanche, sur la partie inférieure de cette couronne jusqu'à  $\rho_{FL}$ ,  $\Psi_i(\rho)$  est supérieur à 0 traduisant la possibilité d'une évolution du système en éloignement du vecteur d'état désiré.

Ce point stationnaire et égal à 0 pour  $i = 1$  au rayon  $\rho_{FL} = 0.225$  prédit une possibilité d'état stable de la boucle à verrouillage de phase à un offset de fréquence de  $4.3MHz$  de la fréquence de sortie désirée.

La figure 3.4 montre les résultats de simulations réalisées au niveau transistor dans l'environnement Cadence<sup>1</sup> pour 6 conditions initiales différentes portant sur les tensions  $V_0$  et  $V_M$  ainsi que le déphasage initial  $\Delta t_1 - \Delta t_2$ . Ces simulations temporelles confirment en effet une possibilité de verrouillage de la PLL avec une erreur de  $4.3MHz$  par rapport à

<sup>1</sup>Cadence est un environnement de simulation qui intègre différents outils permettant de simuler les circuits définis par des assemblages de transistors, condensateurs, résistances...

la consigne.

Toute analyse à partir d'un modèle linéaire discret n'est valable qu'autour du point de fonctionnement, c'est à dire proche de  $\rho = 0$  sur la figure 3.3. Ainsi, conformément au résultat de l'outil d'analyse présenté dans ce chapitre, une telle analyse assure la stabilité locale autour du point de fonctionnement. En revanche, le théorème 1 permet l'analyse à partir du modèle non-linéaire de la boucle, mettant alors en évidence toute possibilité d'instabilité de la boucle loin du point de fonctionnement liée au comportement non-linéaire du système. Il s'agit donc bien d'une analyse semi-globale.

L'analyse vient d'être effectuée pour une valeur nominale du courant issu de la pompe de charges de  $100\mu A$ .

Les figures 3.5 et 3.6 présentent les résultats de la même analyse pour un courant nominal des pompes de charges de  $130\mu A$ . Ce changement de paramètre a un effet notable sur la stabilité semi-globale du système.

La figure 3.5 correspond au tracé de la courbe  $\Psi_1(\rho)$ . La figure 3.6 représente la fréquence de sortie du système simulé dans l'environnement Cadence pour les mêmes conditions initiales que celles de la figure précédente 3.4 mais avec une valeur nominale du courant de la pompe de charges de  $130\mu A$ .

$$\Psi_1(\rho) = \sup_{\|V - V_d\| = \rho} \left\{ \|G^{(1)}(V, \tilde{p}) - V_d\| - \|V - V_d\| \right\}$$

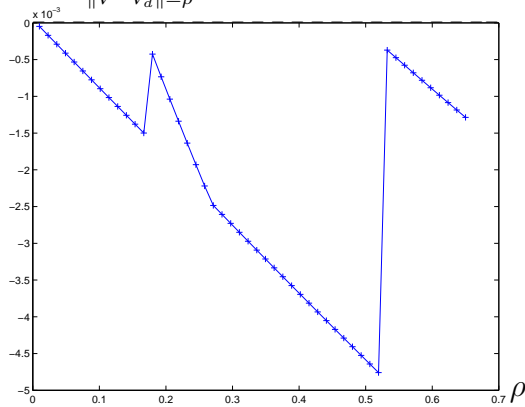


FIG. 3.5 – Résultat de l'outil d'analyse pour un courant  $I_{chpp} = 130\mu A$

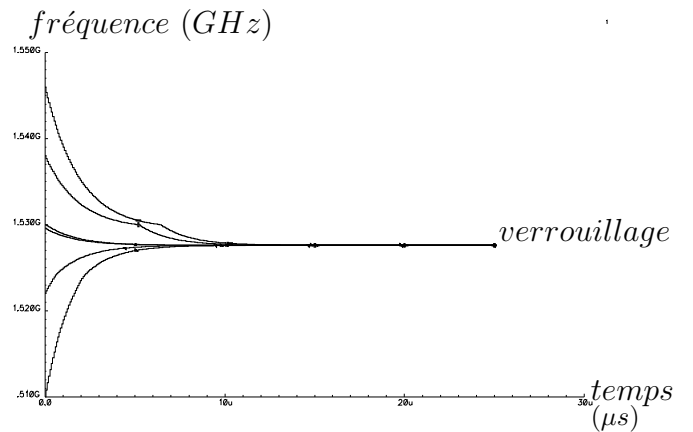


FIG. 3.6 – Simulation électrique pour un courant  $I_{chpp} = 130\mu A$

Pour une valeur du courant augmentée à  $130\mu A$ , le résultat de l'outil d'analyse prévoit une région d'attraction incluant la boule  $B_{0.65}$  qui s'étend jusqu'aux limites physiques du système imposées par les tensions d'alimentation.

Il est intéressant de constater que le pic autour de  $\rho = 0.2$  traduit la possibilité d'une dynamique non linéaire telle que le montre la figure 3.6 où la dynamique de convergence

du système présente une cassure.

Les simulations effectuées ci dessus sont valables pour les valeurs nominales des composants. Afin de pleinement valider la stabilité de la boucle, une analyse de robustesse doit tenir compte des variations des paramètres par l'intermédiaire de la variable  $\tilde{p} \in \mathbb{P}$ . Ce vecteur de paramètres peut ainsi inclure les variations des composants comme des valeurs des capacités  $C_M$  et  $C_0$ , les variations de gain du VCO, les variations de courants ou encore tout autre paramètre physique susceptible de varier.

Les figures 3.7 et 3.8 présentent le résultat de l'analyse de la robustesse du système par rapport aux variations de la valeur du courant issu de la pompe de charges. Ainsi, le vecteur de paramètres  $\tilde{p}$  est restreint à la valeur du courant  $I_{chpp}$  pour ne pas complexifier l'interprétation du résultat. L'ensemble des valeurs  $\mathbb{P}$  que pourra prendre le vecteur de paramètre  $\tilde{p} = I_{chpp}$  est :  $\mathbb{P} = [110\mu A, 130\mu A]$  pour la figure 3.7. Dans le cas de la figure 3.8, cet ensemble est augmenté à l'intervalle  $\mathbb{P} = [120\mu A, 140\mu A]$ .

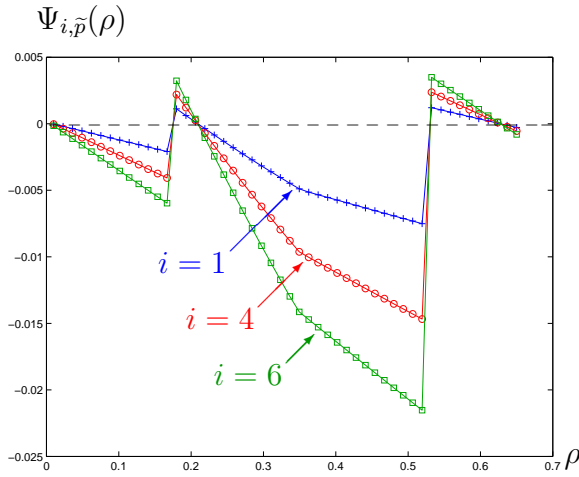


FIG. 3.7 – Résultat d'analyse en robustesse pour  $\tilde{p} = I_{chpp}$ ; (voir le théorème 1) et  $\mathbb{P} = [110\mu A, 130\mu A]$ .

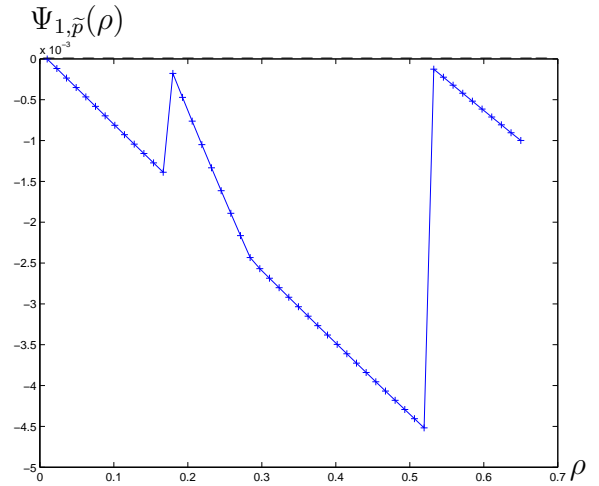


FIG. 3.8 – Résultat d'analyse en robustesse pour  $\tilde{p} = I_{chpp}$ ; (voir le théorème 1) et  $\mathbb{P} = [120\mu A, 140\mu A]$ .

L'intervalle de valeurs choisi pour l'ensemble  $\mathbb{P}$  permet ainsi de tenir compte d'une variation possible de la valeur du courant issu de la pompe de charges de 10% en raison des dispersions de procédé de fabrication. La figure 3.7 montre bien que le critère  $\Psi_{i, \tilde{p}}(\rho)$  peut être positif et que ce critère augmente pour un nombre d'instantants d'échantillonnage croissant de  $i = 1$  à  $i = 6$ . Cette augmentation du critère dans les valeurs positives ne permet pas de conclure directement d'une instabilité puisque rien ne dit qu'il n'existe pas

un instant d'échantillonnage  $i$  à partir duquel le critère redeviendra négatif. En revanche, le phénomène de faux verrouillage est encore possible du fait de l'existence d'une solution à l'équation :  $\Psi_{1,\tilde{p}}(\rho) = 0$ .

La figure 3.8 montre le tracé de  $\Psi_{1,\tilde{p}}(\rho)$  pour un intervalle de valeurs de  $\tilde{p}$  supérieur au précédent de  $10\mu A$ . Le fait que  $\Psi_{1,\tilde{p}}(\rho)$  est négatif sur la boule  $B_{0.7}$  permet de conclure que le système est robuste et stable sur cet espace face aux variations de courant de la pompe de charges. En effet, si l'on considère que les variations de procédé de fabrication peuvent faire varier la valeur du courant de la pompe de charges de plus ou moins 10%, alors la valeur nominale de  $I_{chpp}$  doit être de  $130\mu A$  pour assurer la stabilité sur  $B_{0.7}$ .

Pour des raisons de clarté, l'analyse de la robustesse présentée dans cet exemple a restreint le vecteur de paramètres  $\tilde{p}$  au courant issu de la pompe de charges. L'analyse de robustesse effectuée avec l'ensemble des paramètres a permis d'aboutir à un résultat similaire à la figure 3.8. Le recours à cet outil est donc essentiel pour valider la stabilité des boucles à verrouillage de phase avant leur réalisation.

Cet outil permet donc de mettre en évidence toute possibilité d'instabilité ou défaut de convergence de la boucle à verrouillage de phase y compris en présence d'incertitudes. Il a permis ainsi de prévoir la possibilité de faux verrouillage qui est un phénomène déjà observé et décrit dans la littérature ainsi que cela sera présenté plus loin.

Le théorème 1 permet de trouver une fonction de Lyapunov au sens discret pour des instants d'échantillonnage multiples de la période initiale.

Cependant, la condition sur l'invariance (3.2)<sup>2</sup> est restrictive car elle se limite au premier instant d'échantillonnage seulement. Ainsi, pour un système mal amorti mais stable, la région d'invariance au premier instant d'échantillonnage est inexistante. Ainsi, tout système faiblement amorti ne pourra pas vérifier cette condition (3.2) alors qu'il peut être stable avec tout l'espace d'état comme région d'attraction.

La section suivante propose une extension du théorème 1 qui modifie la condition d'invariance (3.2) pour l'étendre à l'étude des systèmes mal amortis.

---

<sup>2</sup>Rappel de la condition d'invariance (3.2) :

$$\sup_{\tilde{p} \in \mathbb{P}} \|G(V, \tilde{p}) - V_d\| \leq \rho_j, \quad j \in \{1, 2\}$$

### 3.1.4 Énoncé du théorème amélioré

Le théorème amélioré que nous proposons dans cette section reprend les notions du théorème 1. La condition d'attraction n'est pas modifiée, mais la condition d'invariance est étendue à l'étude des systèmes mal amortis.

L'énoncé du théorème est le suivant :

**Theorème 2** *Soit l'équation dynamique :*

$$V(k+1) = G(V(k), \tilde{p}) \quad (3.8)$$

Avec  $V \in \mathbb{R}^n$  un vecteur d'état et  $\tilde{p} \in \mathbb{R}^p$  le vecteur de paramètres.

Si il existe  $i \in \mathbb{N}$  tel qu'il existe  $\rho_1, \rho_2$  et  $\rho_{max} < \rho_2$  satisfaisant les conditions suivantes :

$$(a) \quad \sup_{\substack{\|V - V_d\| \leq \rho_1 \\ 0 \leq j \leq i \\ \tilde{p} \in \mathbb{P}}} \|G^{(j)}(V, \tilde{p}) - V_d\| \leq \rho_{max} \quad (3.9)$$

$$(b) \quad \sup_{\substack{\rho_1 \leq \|V - V_d\| \leq \rho_2 \\ \tilde{p} \in \mathbb{P}}} \|G^{(i)}(V, \tilde{p}) - V_d\| \leq \gamma \|V - V_d\| \quad (3.10)$$

Alors pour toute condition initiale dans  $B_{\rho_2}$ , la trajectoire rejoint la boule  $B_{\rho_{max}}$  et y reste. ♠

**Remarque :** Ce théorème dit qu'il faut trouver l'existence d'un entier  $i$  tel que les scalaires  $\rho_1, \rho_2$  et  $\rho_{max}$  existent. Cette écriture dit implicitement que ces trois scalaires dépendent de l'entier  $i$  comme l'illustre la figure 3.9 pour les deux scalaires  $\rho_1$  et  $\rho_2$ .

L'équation (3.10) correspond à la condition d'attraction du théorème précédent. L'extension de ce théorème par rapport au théorème 1 porte sur la condition d'invariance qui a été modifiée. L'équation (3.9) permet maintenant de trouver la boule  $B_{\rho_{max}}$  tel que le système n'en sorte pas jusqu'à l'instant d'échantillonnage  $i$  qui valide la condition d'attraction (3.10).

#### Explication du théorème

L'équation (3.9) détermine la Boule  $B_{\rho_{max}}$  telle que le système n'en sorte pas pour tout instant d'échantillonnage, pour toute condition initiale élément de la boule  $B_{\rho_1}$  et pour toutes les variations possibles de paramètres  $\tilde{p} \in \mathbb{P}$ .

L'équation (3.10) correspond à la condition d'attraction stipulant qu'il existe un entier  $i$  tel que pour toute condition initiale élément de la couronne  $B_{\rho_2} \setminus B_{\rho_1}$ , le système tendra à se rapprocher du vecteur d'état désiré  $V_d$  après  $i$  instants d'échantillonnage.

### Illustration du théorème

La figure 3.9 illustre la condition (3.10) en fonction de la distance  $\rho$  à  $V_d$  et pour  $\gamma = 1$ . L'évolution de  $\rho_1$  et  $\rho_2$  en fonction du nombre  $i$  d'instant d'échantillonnage  $y$  apparaît pour illustrer la dépendances de ces rayons en fonction des instants d'échantillonnage dans les équations (3.9) et (3.10). En effet, pour un système mal amorti, les valeurs prises par le vecteur d'état tendent à se rapprocher des valeurs du vecteur d'état désiré après s'en être éloigné aux premiers instants d'échantillonnage. La figure 3.9 illustre ce phénomène : pour l'instant d'échantillonnage  $i = 10$ , la fonction  $\Psi_i(\rho) = \sup_{\|V-V_d\|=\rho} \|G^{(i)}(V) - V_d\|$  est supérieure à la première bissectrice du repère. Rappelons que la première bissectrice du repère traduit la condition  $\Psi_i(\rho) = \|V - V_d\|$ . Les rayons  $\rho_1$  et  $\rho_2$  ne sont pas définis pour  $i = 10$ .

Pour l'instant d'échantillonnage  $i = 20$ , les rayons  $\rho_1$  et  $\rho_2$  existent. La distance séparant ces rayons s'accroît au fur et à mesure que le nombre d'instant d'échantillonnage croît.

La figure 3.10 illustre le théorème dans un espace à 2 dimensions.

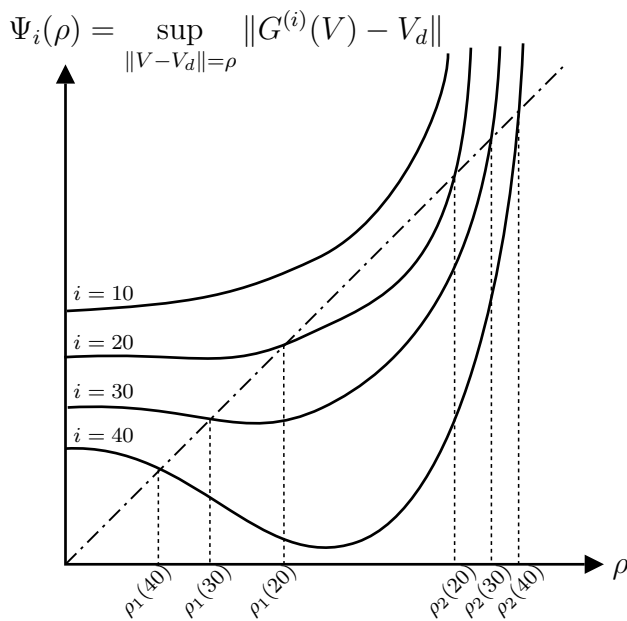


FIG. 3.9 – Illustration de l'évolution de  $\rho_1$  et  $\rho_2$  en fonction de  $i$

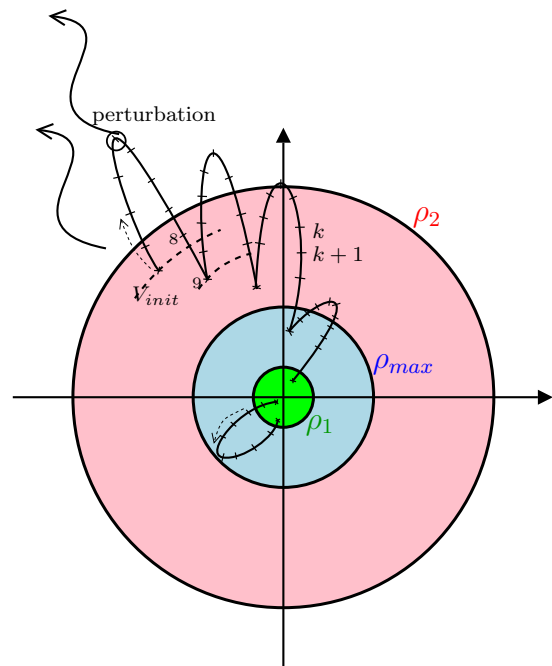


FIG. 3.10 – Illustration de  $\rho_{max}$  sur un espace à deux dimensions

La figure 3.10 illustre l'équation (3.10) : pour toute condition initiale élément de la couronne  $B_{\rho_2} \setminus \text{int}(B_{\rho_1})$ , le système tend à se rapprocher pour  $i = 9$ . Sur la figure 3.10, les instants d'échantillonnage  $k$  sont symbolisés par des traits. La condition (3.10) ne s'intéresse qu'aux  $i^{\text{ème}}$  instants d'échantillonnage suivant, elle ne valide donc pas les instants

d'échantillonnage intermédiaire. Cela n'exclue donc pas le fait que le système puisse sortir de la boule  $B_{\rho_2}$  pendant les instants intermédiaires comme illustré sur la figure 3.10. Toute perturbation intervenant alors que le système se trouve à l'extérieur de la boule  $B_{\rho_2}$  peut faire prendre des valeurs au vecteur d'état qui ne font pas partie des valeurs prises dans le cas nominal. L'étude de la robustesse permet de tenir compte de ce phénomène.

La condition (3.10) dit que pour toute condition initiale élément de la couronne  $B_{\rho_2} \setminus \text{int}(B_{\rho_1})$  le système tend à se rapprocher du vecteur d'état désiré après  $i$  instants d'échantillonnage ( $i = 9$  dans cette illustration) puis fini par entrer dans la boule  $B_{\rho_1}$ . La condition (3.9) dit que pour toute condition initiale élément de la boule  $B_{\rho_1}$ , et pour tout instant d'échantillonnage intermédiaire à l'instant  $i$  (ici  $i = 9$ ), alors le système reste dans la boule  $B_{\rho_{max}}$ .

Cette approche générale se restreint toutefois à l'existence d'un  $i$  unique sur l'ensemble de l'espace d'état analysé. En effet, il peut ne pas être systématique d'attendre  $i$  instants d'échantillonnage avant que le système se rapproche du vecteur d'état désiré  $V_d$ . Pour des systèmes de dimensions importantes, le calcul des conditions du théorème se fait par optimisation sur les régions à analyser. Dans le cas de systèmes de faibles dimensions, il devient possible d'effectuer un parcours exhaustif de l'espace d'état sans pour autant aboutir à un temps de calcul exorbitant. Il serait donc dommage de se priver d'informations supplémentaires tout en diminuant le temps de calcul par la recherche du premier instant d'échantillonnage tel que la condition d'attraction soit vérifiée.

**Remarque :** le théorème général garantit que pour tout état élément de la couronne  $B_{\rho_2} \setminus B_{\rho_1}$ , le système admet  $B_{\rho_1}$  comme un ensemble d'accumulation (3.10)).

Pour un système faiblement amorti, on ne peut plus garantir que le système y reste pour tout instant d'échantillonnage (équation (3.2)). Il faut donc se ramener à l'équation (3.9) pour évaluer la distance maximale parcourue par le vecteur d'état au cours de  $i$  instants d'échantillonnage pour toute condition initiale élément de  $B_{\rho_1}$ .

Afin d'exclure le cas particulier d'un système convergent vers  $B_{\rho_1}$  puis rebondissant hors de  $B_{\rho_2}$  en un instant d'échantillonnage (figure 3.11), il faut imposer  $\rho_{max} < \rho_2$  permettant ainsi d'assurer le retour du système vers  $B_{\rho_1}$ .

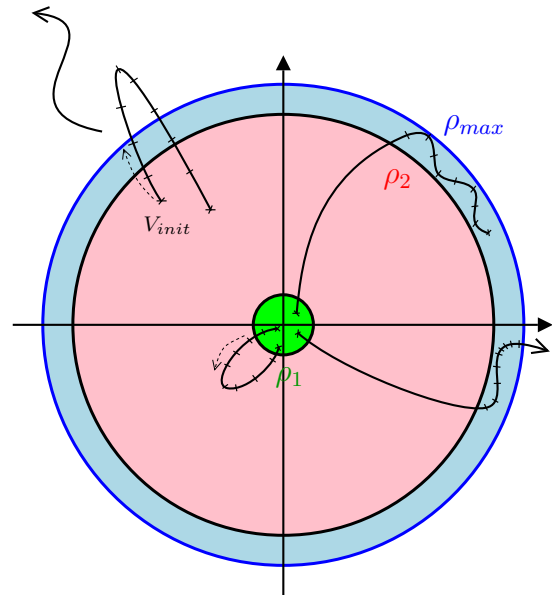


FIG. 3.11 – Illustration d'une convergence vers  $B_{\rho_1}$  mais sortie de  $B_{\rho_2}$  pour  $i=1$ .



### Cas général de l'étude avec une procédure d'optimisation

Le théorème 2 assure la stabilité du système défini par la fonction  $G$  lorsque les conditions (3.9) et (3.10) sont vérifiées. La condition d'attraction (3.10) assure l'évolution du système en direction de la boule  $B_{\rho_1}$  pour un instant d'échantillonnage  $i$  donné pour toute condition initiale de la couronne  $B_{\rho_2}/\text{int}(B_{\rho_1})$ .

L'invariance de la boule  $B_{\rho_{max}}$  n'est validée que si la distance entre le vecteur d'état et le vecteur d'état désiré est inférieure à un rayon  $\rho_{max}$  pour tout instant d'échantillonnage inférieur à  $i$  et pour toute condition initiale élément de la boule  $B_{\rho_1}$  (condition (3.9)).

Ces deux recherches imposent de trouver le maximum global sur les volumes considérés afin de valider la stabilité du système sur l'espace d'état analysé. Un algorithme d'optimisation peut effectuer la recherche du maximum de la norme  $\|G^{(i)}(V, \tilde{p}) - V_d\|$  à partir de différentes initialisations. Cependant, la recherche risque d'aboutir à un maximum local inférieur au maximum global amenant à conclure faussement que le système est stable.

Le choix des valeurs initiales pour la recherche du maximum global est donc, comme toujours, un choix crucial. Ceci est d'autant plus vrai pour des systèmes comme la Fractional Frequency locked Loop dont la fonction de recherche  $\Psi_i(\rho)$  présente des cassures.

La figure 3.12 illustre la difficulté de la recherche du maximum global avec une fonction  $\Psi_i(\rho)$  comparable à celle de la Fractional Frequency Locked Loop. Sur cette figure, les flèches en trait-point symbolisent l'évolution de la recherche du maximum en fonction du résultat de la fonction  $\Psi_i(\rho)$ . Cette recherche peut conduire à des maximums locaux négatifs et aboutir à la conclusion d'une convergence sur la totalité de l'espace analysé. Pourtant, rien ne garantit que les valeurs initiales conduisent la recherche dans la région où  $\Psi_i(\rho)$  devient positif. Pourtant, ce type de discontinuité est courant avec les systèmes non linéaires.

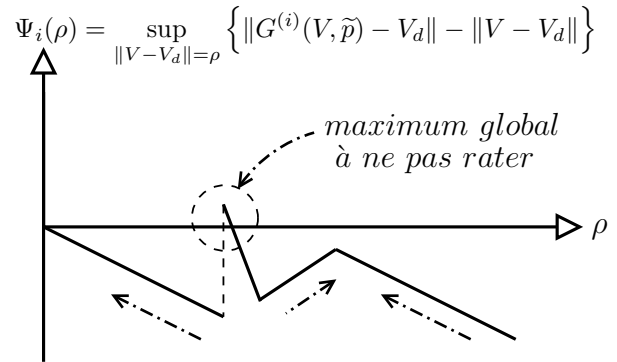


FIG. 3.12 – Exemple de maximum global difficile à détecter.

Pour des systèmes non linéaires de faible dimension, une recherche exhaustive est donc préférable.

### 3.1.5 Implémentation pour des systèmes de faible dimension

Pour une équation dynamique :

$$V(k+1) = G(V(k), \tilde{p}) \quad (3.11)$$

Avec  $V \in \mathbb{R}^n$  un vecteur d'état de dimension faible. Dans l'exemple qui suit, la dimension de ce vecteur est de trois. Ainsi, il devient possible de parcourir l'ensemble du vecteur d'état sans recourir nécessairement à un parcours optimal de l'espace d'état. Cela exclut toute particularité isolée sans accroître pour autant le temps de calcul exorbitant pour des systèmes de faible dimension.

Afin d'apporter un maximum d'informations, le nombre d'instantants d'échantillonnage  $i$  minimum pour vérifier la condition d'attraction est tracé en fonction de la distance  $\rho$  au vecteur d'état désiré :

$$i_c(\rho) = \min_{i \in \{0, i_{Max}\}} \{i \mid \sup_{\substack{\|V - V_d\| = \rho \\ \tilde{p} \in \mathbb{P}}} \|G^{(i)}(V, \tilde{p}) - V_d\| < \|V - V_d\|\} \quad (3.12)$$

L'équation (3.12) traduit la recherche de la région d'attraction pour un coût de calcul minimal. En effet, si un algorithme optimal évite le parcours complet de chaque surface, la recherche ainsi menée évite en plus tout calcul des instantants d'échantillonnage suivant le premier instant vérifiant la condition d'attraction. Il nécessitera donc moins d'opérations de détecter le premier  $i$  tel que l'inégalité (3.12) est vérifiée. En outre, cette approche permet d'analyser l'évolution de  $\rho_1$ ,  $\rho_2$  et  $\rho_{max}$  en fonction du nombre d'instantants d'échantillonnage  $i$  nécessaires comme illustré sur la figure 3.13.

Maintenant, le rayon  $\rho_1^c$  correspond à :

$$\rho_1^c = \min\{\rho \mid i_c(\rho) \text{ existe}\} \quad (3.13)$$

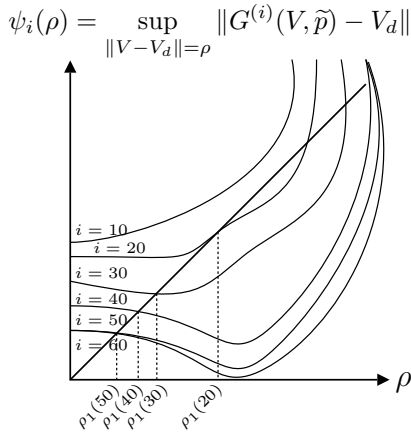
Il s'agit en effet du plus petit rayon pour lequel  $i_c(\rho)$  existe.

De même, on peut définir  $\rho_2$  comme le plus grand rayon tel que  $i_c(\rho)$  existe :

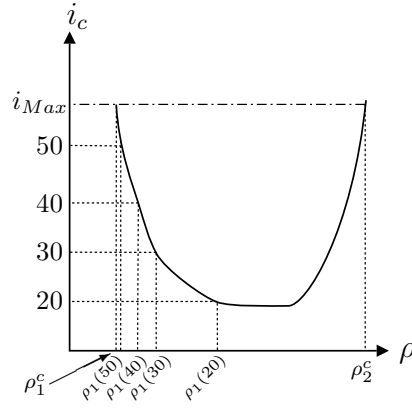
$$\rho_2^c = \max\{\rho \mid i_c(\rho') \text{ existe } \forall \rho' \leq \rho\} \quad (3.14)$$

L'évolution de  $\rho_1$  et  $\rho_2$  apparaît clairement sur la figure 3.13.a. La figure 3.13.b trace le premier instant d'échantillonnage  $i$  tel que la condition d'attraction est satisfaite (équation (3.12)). L'évolution de  $\rho_1$  et  $\rho_2$  se lit effectivement bien alors qu'il n'a pas été nécessaire de calculer l'évolution du système pour 60 instantants d'échantillonnage comme c'est le cas sur la figure 3.13.a. Considérons ici  $\rho_1$  seulement. La figure 3.13.c met bien en évidence la dépendance de  $\rho_1$  en fonction de  $i$ . Cependant, comme la figure 3.13.b réunit les informations sur  $\rho_1$  et  $\rho_2$  simultanément, il n'est pas nécessaire de tracer le résultat sous la forme

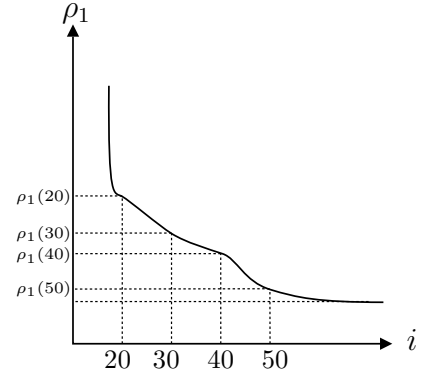
de la figure 3.13.c.



3.13.a Critère (3.4)



3.13.b  $i$  en fonction de  $\rho$



3.13.c  $\rho_1$  en fonction de  $i$

FIG. 3.13 – Illustration de la dépendance de  $\rho_1$  en fonction de  $i$ .

La figure 3.13.b montre bien qu'il est possible d'obtenir autant d'information utile que dans la figure 3.13.a pour moins de calcul avec l'évolution de  $\rho_1$  et  $\rho_2$  en fonction de  $i$ . Les régions de l'espace d'état qui nécessiteront de plus d'instant d'échantillonnage avant de se rapprocher du vecteur d'état désiré apparaissent aussi.

Pour des systèmes de dimension faible, il serait dommage de se priver d'autant d'informations pour un coût de calcul réduit. De même, sans plus de calcul, il est aussi possible de connaître l'évolution de  $\rho_{max}$  en fonction de  $\rho_1$  et a fortiori en fonction de  $\rho$  :

La figure 3.14 illustre autrement l'équation (3.12) et montre qu'il n'est pas nécessaire de calculer systématiquement 33 instants d'échantillonnage pour valider la condition d'attraction. Sur cette même figure apparaît aussi le rayon  $\rho_{max}(\rho)$  correspondant à l'éloignement maximal du vecteur d'état désiré pour toute condition initiale élément de la surface de rayon  $\rho$ .

Dans cet exemple,  $i_c(\rho) = 33$  car il faut au moins 33 instants d'échantillonnage pour vérifier la condition :

$$\sup_{\substack{\|V - V_d\| = \rho \\ \tilde{p} \in \mathbb{P}}} \|G^{(i)}(V, \tilde{p}) - V_d\| < \|V - V_d\| \quad (3.15)$$

Bien sûr, il faut choisir  $i_{Max} > 33$  sans quoi  $i_c(\rho)$  ne serait pas défini.

Le premier intérêt est qu'il n'est pas nécessaire de calculer systématiquement 33 instants d'échantillonnages pour valider la condition (3.15) sur la surface de rayon  $\rho$ . En

effet, moins de 10 instants d'échantillonnage suffisent à la plupart des conditions initiales de l'illustration 3.14 pour valider la condition d'attraction (3.15). Il y a donc un gain immédiat de temps de calcul.

D'autre part, rien ne garantit que 33 instants d'échantillonnage suffisent pour valider la condition (3.15) sur l'ensemble de la surface. Mieux vaut s'arrêter au premier instant d'échantillonnage qui valide (3.15). En effet, comme l'illustre la figure 3.14, il se peut que la condition initiale  $C_5$  élément de la surface de rayon  $\rho$  ne nécessite que de 5 instants d'échantillonnages pour valider la condition d'attraction alors que 33 instants d'échantillonnage ne permettent pas de le valider en raison du faible amortissement du système. Ainsi, si l'on recherche un instant d'échantillonnage unique  $i$  sur l'ensemble de la surface de rayon  $\rho$ , il faut réaliser une opération logique 'Et' sur la totalité de la surface : il faut que la condition (3.15) soit vraie pour un  $i$  sur toute la surface de rayon  $\rho$ . En revanche, l'expression de la recherche de  $i_c(\rho)$  (3.12) équivaut à une fonction logique 'Ou' : il faut que la condition (3.15) soit vraie sur toute la surface de rayon  $\rho$  pour  $i$  ou  $i - 1$  ou  $i - 2$  ou ... ou 0.

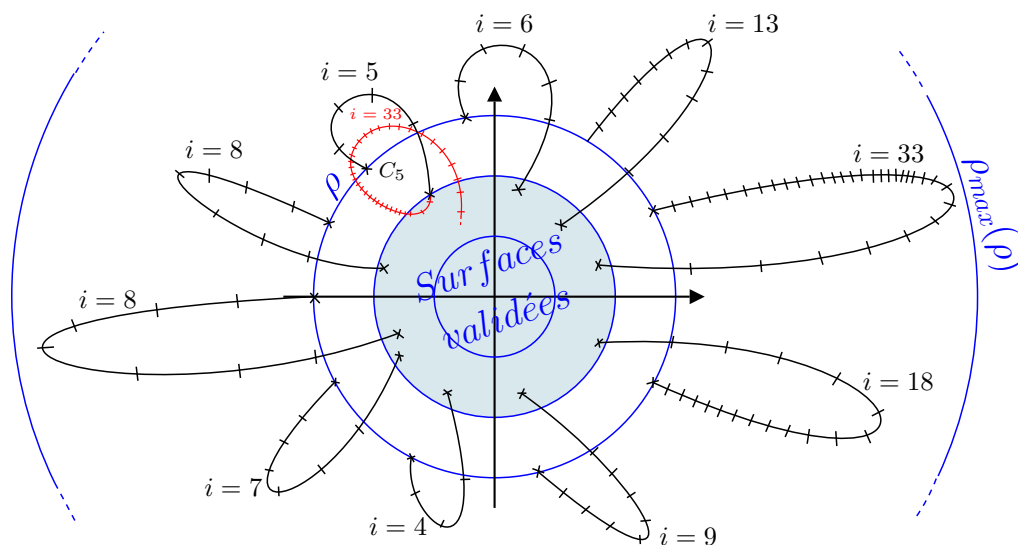


FIG. 3.14 – Illustration de la valeur minimale de  $i$  nécessaire (ici  $i_c(\rho) = 33$ ) pour valider la contraction de la surface (exemple sur un espace à deux états).

L'intérêt de cette méthode est de limiter le nombre de calculs des instants d'échantillonnage. Il est inutile de calculer les instants d'échantillonnage qui suivent le premier instant qui valide la condition d'attraction. Ceci est vrai pour chaque surface évaluée comme pour chaque condition initiale de la surface analysée.

Dès lors, il est possible d'effectuer une recherche à l'aide d'une procédure d'optimisation ou par découpage de l'espace d'état. Dans ce dernier cas, la grille d'analyse doit pouvoir

être affinée dans les régions où il peut y avoir une ambiguïté comme cela sera montré dans le prochain exemple.

Ceci amène donc à l'expression de  $\rho_{max}$  en fonction de  $\rho$  :

$$\rho_{max}(\rho) = \max_{\substack{\|V - V_d\| = \rho \\ 0 \leq j \leq i_c(\rho) \\ \tilde{p} \in \mathbb{P}}} \{\|G^{(j)}(V, \tilde{p}) - V_d\|\} \quad (3.16)$$

En vue de la minimisation du temps de recherche, ce calcul ne s'effectue pas directement mais à chaque recherche de  $i_c(\rho)$ , la valeur maximale de  $\|G^{(j)}(V, \tilde{p}) - V_d\|$  est gardée en mémoire.

Dans l'exemple qui suit, nous pourrons représenter le rang  $i$  maximal nécessaire pour satisfaire la condition d'attraction en fonction du rayon  $\rho$  comme illustré sur la figure 3.13.b.

Nous pourrons aussi tracer le rayon  $\rho_{max}$  en fonction du rayon  $\rho$ .

### 3.1.6 Exemple d'analyse sur les PLLs échantillonnées classiques

Les PLLs échantillonnées présentées au paragraphe 1.4 du chapitre 1 sont aussi sujettes au phénomène de faux verrouillage [Stensby, 2002], [Szabó and Kolumbán, 2003]. Dans leur recherche publiée en 2003, Szabó and Kolumbán [2003] présentent un modèle de leur système scindé en deux [Kolumbán et al., 1999] : un modèle basses fréquences et un modèle hautes fréquences différenciés par deux fonctions de transfert du filtre différentes. Les simulations à partir du modèle hautes fréquences permettent de montrer qu'il existe des conditions initiales induisant un phénomène de faux verrouillage. Ils proposent alors une architecture de filtre permettant de s'affranchir de ce phénomène.

En 2005, Parle and Kennedy [2005] publient un résultat de simulation conforme au modèle précédent mais montrant qu'il existe encore une condition initiale induisant un phénomène de faux verrouillage malgré la solution de Szabó and Kolumbán [2003]. Entre autres, ils ont montré par simulation uniquement qu'un changement de consigne peut amener le système vers cet état indésiré.

Nous allons ici nous servir de leur système comme exemple. Nous nous proposons ainsi d'effectuer une analyse semi-globale de cette PLL échantillonnée afin de mettre en évidence la possibilité ou non de toute forme d'instabilité ou d'état de stabilité non désiré. La mise en évidence de la possibilité de faux verrouillage dans le cas d'un changement de consigne se fait par l'intermédiaire du déphasage entre la référence et le signal de sortie

divisé pris en compte parmi les états du système.

Les états du système pour cet exemple sont :

- La tension  $V_0$  de commande du VCO. Elle est donc comprise entre la Masse et la tension d'alimentation.
- La tension  $V_1$  issue de la mesure, elle est aussi comprise entre la Masse et la tension d'alimentation. Elle correspond à la tension atteinte par la rampe générée par la référence lors de l'arrivée du front de sortie divisé.
- L'écart de phase  $\varphi_{offset}$  entre la référence et le signal de sortie divisé. Sa valeur est donc incluse dans  $[-T_{ref}; T_{ref}]$ ,  $T_{ref}$  étant la période du signal de référence.

La figure 3.15 rappelle l'architecture de la PLL échantillonnée et la figure 3.16 montre le chronogramme associé à cette architecture proche de l'état d'équilibre.

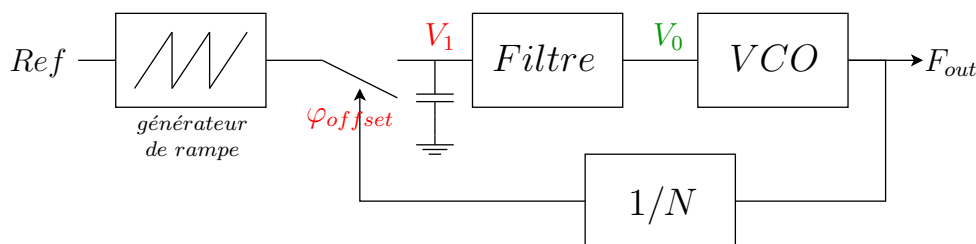


FIG. 3.15 – Schéma de la boucle analysée par la méthode Semi-Globale.

Le principe de fonctionnement est le suivant : une rampe est générée à la fréquence du signal de référence. Le potentiel  $V_1$  (dessiné par un point sur la figure 3.16) est égal à la valeur atteinte par la rampe de référence lors du front montant du signal de sortie divisé. La figure 3.16 montre le chronogramme du système à l'état d'équilibre.

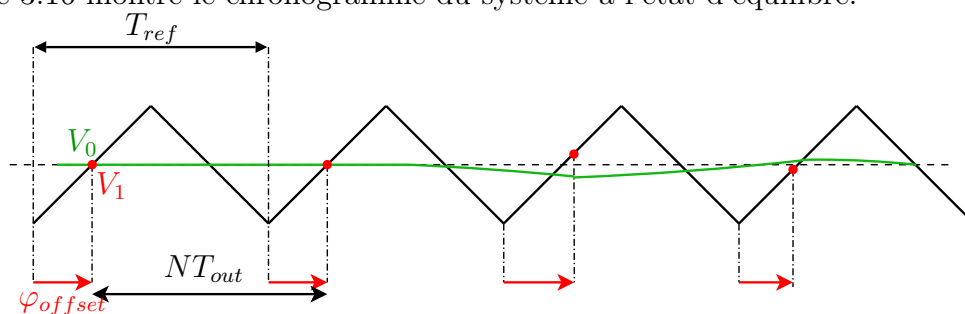


FIG. 3.16 – Évolution chronologique des états  $V_1$ ,  $V_0$  et  $\varphi_{offset}$ .

Si la tension de contrôle du VCO  $V_0$  (en trait plein sur la figure 3.16) s'écarte du

potentiel d'équilibre, la fréquence de sortie qui s'en trouve modifiée décale le front du signal divisé. Ainsi, à la fermeture de l'interrupteur, la tension  $V_1$  évoluera à l'opposé de la tension de contrôle  $V_0$  par rapport au potentiel d'équilibre. La correction de la tension de contrôle est alors effectuée par l'intermédiaire du filtre de boucle.

A l'équilibre, l'offset de phase  $\varphi_{offset}$  entre la référence et le signal de sortie divisé est constant de telle sorte que les tensions  $V_1$  et  $V_0$  soient sensiblement égales.

Cette étude ne se restreint pas au modèle linéaire établi dans [Kolumbán et al., 1999]. Nous choisirons plutôt ici la description non-linéaire bloc par bloc traduisant les comportements de chaque élément. Cette méthode offre la souplesse de pouvoir modifier un bloc (la caractéristique du filtre de boucle dans le cas présent) sans avoir à réécrire l'équation générale du système.

L'étude est effectuée sur l'espace d'état suivant :

$$\begin{pmatrix} V_1 \\ V_0 \\ \varphi_{offset} \end{pmatrix} \in B_{valid} := [0; 2.5] \times [0; 2.5] \times [-T_{ref}; T_{ref}], \text{ avec } T_{ref} = 20\mu s \quad (3.17)$$

Cet ensemble  $B_{valid}$  représente le volume de l'espace d'état sur lequel on souhaite valider la stabilité du système. Ce volume est à rapprocher de la boule  $B_{\rho_2}$  comme définit au théorème 1.  $B_{valid}$  s'étend ainsi jusqu'aux valeurs limites physiques que peuvent prendre les tensions et la phase. En effet, les tensions ne peuvent pas être négatives (le potentiel de masse est égal à 0) et elles ne peuvent pas dépasser le potentiel d'alimentation fixé ici à 2.5 volts. De même, la phase  $\varphi_{offset}$  ne peut pas prendre de valeur extérieure à l'intervalle  $[-T_{ref}; T_{ref}]$  puisque le front de sortie divisé est comparé au front de référence le plus proche.

Le résultat de l'analyse effectuée à partir du système initial est montré sur les figures 3.17 et 3.18. La figure 3.17 trace le nombre d'instants d'échantillonnage  $i$  nécessaires pour valider la condition d'attraction (3.10) en fonction de la distance  $\rho$  au vecteur d'état désiré.

La figure 3.18 montre l'excursion maximale ( $\rho_{max}$ ) atteinte par le vecteur d'état avant de vérifier la condition d'attraction en fonction de la distance  $\rho$  au vecteur d'état désiré.

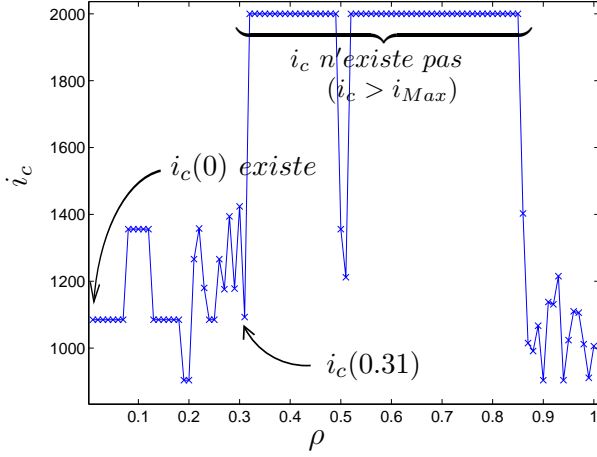


FIG. 3.17 – Évolution du  $i$  minimal nécessaire pour valider la condition d'attraction ( $i_{Max} = 2000$ ).

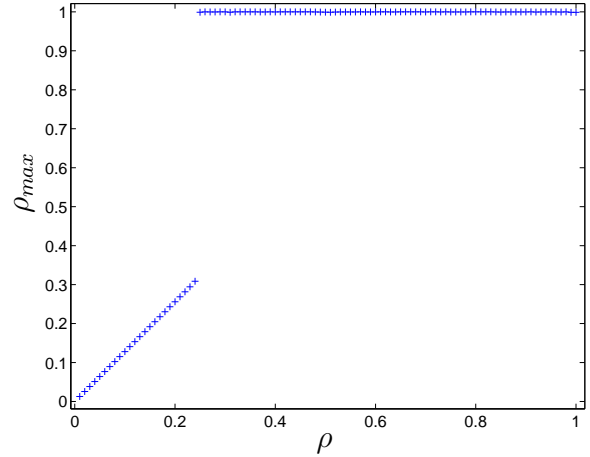


FIG. 3.18 – Évolution du  $\rho_{max}$  en fonction de  $\rho$

La représentation de  $\rho$  est normalisée par rapport au volume  $B_{valid}$  :  $\rho = 0$  correspond au vecteur d'état désiré et  $\rho = 1$  correspond à la surface  $B_{valid}/int(B_{valid})$ . L'appellation des volumes par "Boule" est donc un abus de langage ici puisqu'il s'agirait plutôt de cubes. Cependant, l'appellation "Boule" est conservée pour rester cohérent sur l'ensemble de ce travail et afin d'en faciliter la lecture. D'autre part, l'outil d'analyse n'est pas restreint par la forme des volumes ni par les normes utilisées qui ne sont donc pas limitées à la norme Euclidienne.

La figure 3.17 permet de lire directement les résultats suivant en reprenant les notations des équations (3.13) et (3.14) :

$\rho_1^c = \min\{\rho \mid i_c(\rho) \text{ existe}\} = 0$  pour  $i = 1085 < i_{Max}$ . Comme  $\rho_1^c = 0$ , alors le système convergera asymptotiquement vers le vecteur d'état désiré.

$\rho_2^c = \max\{\rho \mid i_c(\rho') \text{ existe } \forall \rho' \leq \rho\} = 0.31$  pour  $i < 1424 < i_{Max}$ . Comme  $\rho_2^c \neq 1$ , alors la convergence du système n'est assurée que dans la boule  $B_{0.31}$  et non pas dans le volume  $B_{valid}$  complet.

La figure 3.18 montre l'excursion maximale atteinte par le vecteur d'état avant de vérifier la condition d'attraction. Il s'agit donc du tracé de  $\rho_{max}$  selon l'équation (3.16). Comme  $\rho_{max}$  tend vers 0 lorsque  $\rho$  tend vers 0 et que  $\rho_1^c = 0$ , alors c'est que le système tend de façon stable vers le vecteur d'état désiré pour toute condition initiale élément de  $B_{0.31}$ .



Ainsi, la convergence du système en direction de l'état de verrouillage attendu n'est assurée que pour des conditions initiales éléments de la boule  $B_{0.31}$  où  $i_c$  (3.12) est défini. En revanche, la stabilité n'est pas assurée pour des conditions initiales élément de la couronne  $B_{valid}/B_{0.31}$  puisque  $i_c$  n'y est pas défini en continu.

La valeur maximale attribuée à  $i$  est ici fixée à 2000 instants d'échantillonnage. On remarque que  $i_c$  existe pour des valeurs de  $i$  dépassant 1000 instants d'échantillonnage. Il peut donc être nécessaire d'attendre plus de 1000 périodes du signal de référence avant de se rapprocher du vecteur d'état désiré. Ce phénomène est lié au faible amortissement du système.

Ainsi, le système ne peut pas valider la condition d'invariance (3.2) du premier théorème alors qu'il est stable pour tout condition initiale élément de la boule  $B_{0.31}$ .

Il résulte de cette première analyse que la convergence du système en direction de l'état de verrouillage attendu n'est pas validée sur tout l'espace d'état considéré.

Évaluons maintenant le résultat de l'analyse avec une solution comparable à celle proposée dans [Szabó and Kolumbán, 2003] : la fréquence de coupure du filtre de boucle est augmentée pour des écarts de tensions entre  $V_1$  et  $V_0$  trop importants (supérieurs à une tension de diode). Dans cet exemple, nous choisissons les valeurs des composants de telle sorte que la convergence soit assurée afin de présenter un résultat qui valide la stabilité du système sur tout l'espace d'état.

Les résultats de l'analyse sont présentés sur les figures 3.19, 3.20 et 3.21. La figure 3.19 montre maintenant qu'il existe un  $i < i_{Max}$  tel que la condition d'attraction est vérifiée sur tout l'espace d'état.

En d'autres termes et pour reprendre les notations des équations (3.13) et (3.14) :

$\rho_1^c = \min\{\rho \mid i_c(\rho) \text{ existe}\} = 0$  pour  $i = 187 < i_{Max}$ . Comme  $\rho_1^c = 0$ , alors le système convergera asymptotiquement vers le vecteur d'état désiré.

$\rho_2^c = \max\{\rho \mid i_c(\rho') \text{ existe } \forall \rho' \leq \rho\} = 1$  pour  $i < 300 < i_{Max}$ .  $\rho_2^c = 1$  signifie que le système convergera vers le vecteur d'état désiré pour toute condition initiale élément de l'espace d'état évalué (la Boule  $B_{valid}$  qui s'étend jusqu'aux limites physiques du système). Pour obtenir la valeur maximale de  $i$ , une étude particulière dans la couronne  $B_{0.52} \setminus B_{0.49}$  (figure 3.20) aura été nécessaire afin de s'assurer que le nombre d'instants d'échantillonnage n'atteigne pas la valeur maximale  $i_{Max}$ . Cette région plus sensible que les autres aurait pu être celle pour laquelle il y ait possibilité de faux verrouillage en cas de mauvais choix du filtre de boucle comme c'est le cas dans [Szabó and Kolumbán, 2003; Parle and Kennedy, 2005].

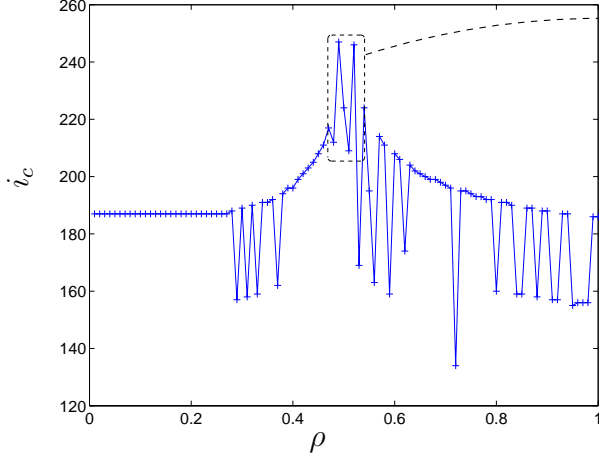


FIG. 3.19 – Évolution du  $i$  minimal nécessaire pour valider la condition d'attraction ( $i_{Max} = 2000$ ).

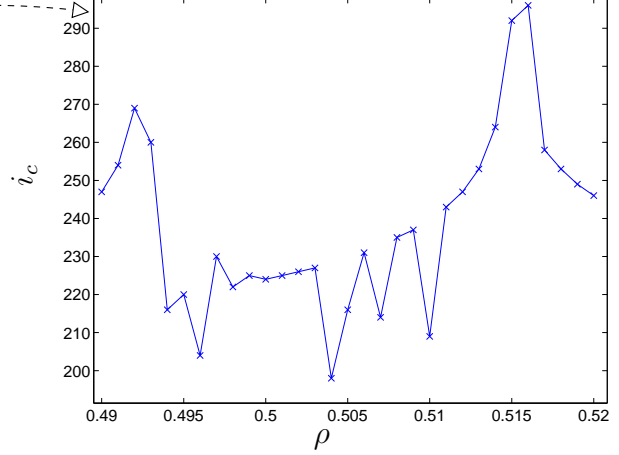


FIG. 3.20 – Augmentation du nombre de points de calcul dans la couronne  $B_{0.52} \setminus B_{0.49}$ .

L'évaluation de  $\rho_{max}$  (3.16) se lit sur la figure 3.21 :

$$\rho_{max}(\rho = 0) = 0,$$

et :

$$\rho_{max}(\rho = 0.24) = 0.5236,$$

et :

$$\rho_{max}(\rho > 0.24) \geq 1.$$

ce qui signifie que pour  $\rho > 0.24$ , la boule  $B_{\rho_{max}}$  devrait englober la boule  $B_{valid}$  s'il n'y avait pas de saturation possible des états. En effet, la boule  $B_{valid}$  s'étend jusqu'aux valeurs limites possibles des tensions et de la phase. En d'autres termes, le système pourra évoluer jusqu'à saturation des états pour des conditions initiales élément de la couronne  $B_{valid}/B_{0.24}$ .

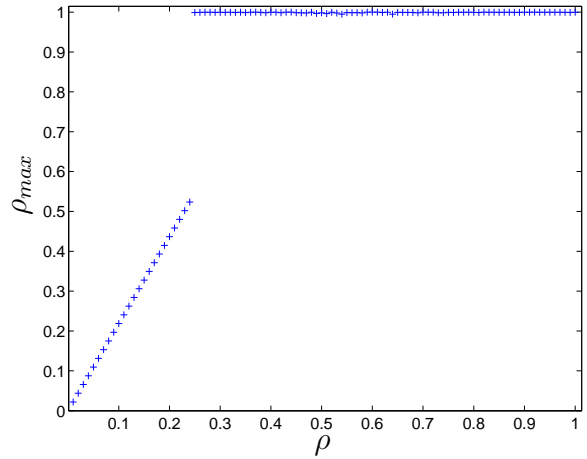


FIG. 3.21 – Évolution du  $\rho_{max}$  en fonction de  $\rho$

En résumé, comme  $\rho_1^c = 0$  et que  $\rho_{max}(\rho = 0)$  tend vers 0, alors le système convergera vers le vecteur d'état désiré. Et puisque  $\rho_2^c = 1$ , alors cette convergence est assurée pour toute condition initiale de la boule  $B_{valid}$ .

### 3.1.7 Conclusion sur la méthode d'analyse

Les modèles d'analyse de stabilité et de robustesse les plus utilisés reposent sur les outils linéaires classiques. Pourtant, certains phénomènes d'instabilité dus aux non linéarités comme le faux verrouillage ne peuvent être détectés à partir de modèles linéaires.

Nous avons proposé ici une méthode d'analyse efficace basée sur un modèle comportemental simple à établir qui se met sous la forme d'une équation modulaire permettant de décrire chaque élément séparément. Le résultat de l'analyse sous forme graphique simplifie la lecture du résultat et valide la stabilité et la robustesse de la boucle à verrouillage de phase sur un domaine pré-défini.

Deux exemples d'applications ont été donnés pour illustrer l'efficacité de ce nouvel outil : le premier porte sur le système mis au point au cours de ce travail de thèse. Le second exemple s'appuie sur un exemple publié plusieurs fois mais pour lequel le phénomène de faux-verrouillage n'avait pu être décelé qu'à partir de simulations temporelles.

Voilà qui termine le paragraphe sur l'analyse semi-globale de la stabilité et de la robustesse des boucles à verrouillage de phases non-linéaires. Il reste cependant à analyser le profil de bruit de phase en sortie de la boucle qui constitue le critère de performance le plus important des synthétiseurs de fréquences.

## 3.2 Modèle de bruit

Parce que le bruit de phase en sortie de la boucle est le plus important des critères, il est nécessaire de bien modéliser le système afin de minimiser les contributions en bruit de chacun des éléments. Le bruit étant un phénomène de faible amplitude, il convient désormais de considérer le modèle linéaire de la boucle. En revanche, l'échantillonnage entre encore en ligne de compte.

Cette partie développera donc essentiellement la modélisation petit signal des PLLs avec une attention particulière pour la prise en compte de l'échantillonnage. Il a été présenté à la section 2.2 du chapitre 2 les trois modélisations possibles des systèmes par impulsions de charges. Dans ces cas là, il s'agit de modéliser une impulsion de charges sur une durée  $\Delta t$  variable mais d'amplitude constante. Nous allons ici modéliser un système plus complexe qui va tenir compte d'une dynamique de transfert de charges sur une fenêtre d'ouverture de largeur constante.

### 3.2.1 Rappel du fonctionnement du système

Le schéma de principe de la nouvelle architecture de synthétiseur de fréquences mise au point dans le cadre de cette thèse et présentée à la section 1.3 du chapitre 1 est rappelé

sur la figure 3.22.

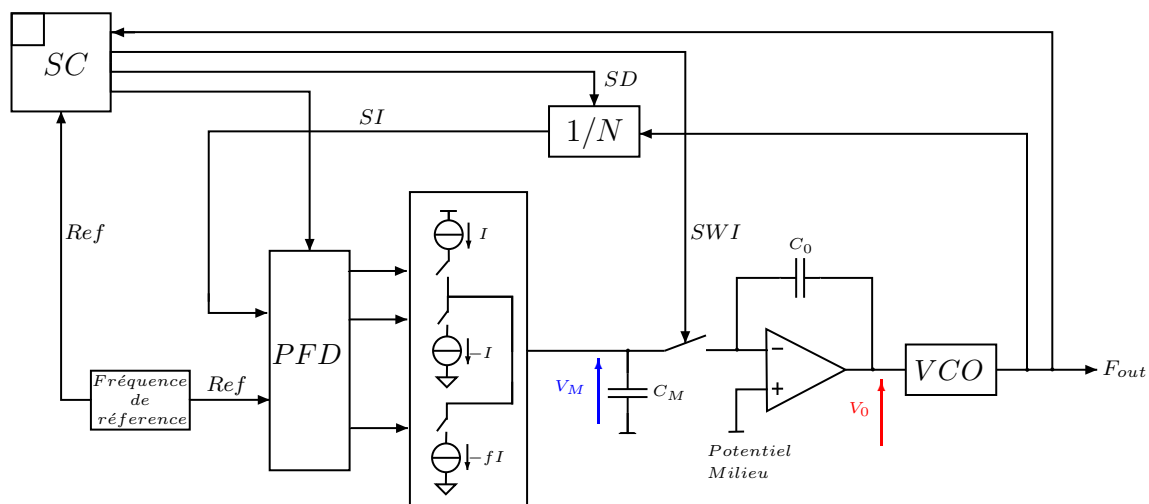


FIG. 3.22 – La nouvelle architecture de synthétiseur de fréquences proposée.

Le chronogramme de ce système baptisé FFLL est représenté sur la figure 3.23 hors de l'état d'équilibre. La boucle suit des cycles de mesure de la fréquence de sortie suivie d'une correction de la tension de contrôle du VCO. Durant la mesure, l'interrupteur  $SWI$  (cf figure 3.22) isole le VCO du reste du système. La tension de contrôle  $V_0$  du VCO est maintenue constante durant cette première phase de mesure décrite au chapitre 1.

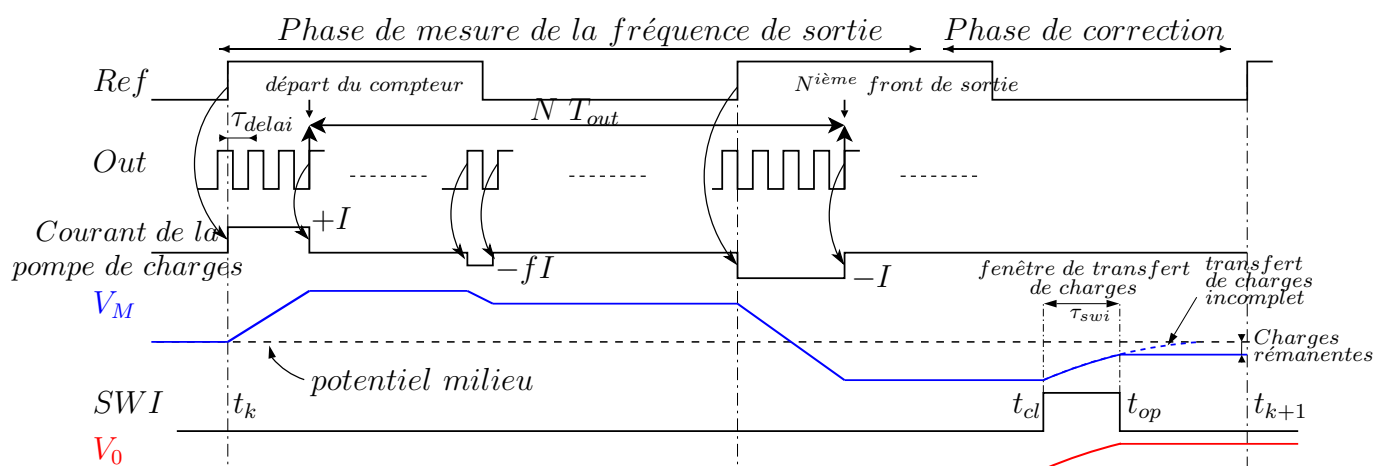


FIG. 3.23 – Chronogramme de la PLL échantillonnée (FFLL) dans un cas non verrouillé.

Une fois la mesure terminée, le système corrige la tension de contrôle du VCO par fermeture de l'interrupteur  $SWI$ . Le filtre constitué par la capacité  $C_M$  et la résistance  $R$  (voir la figure 3.24) permet de fixer la bande passante de la PLL. Toute autre catégorie de filtre est aussi possible.

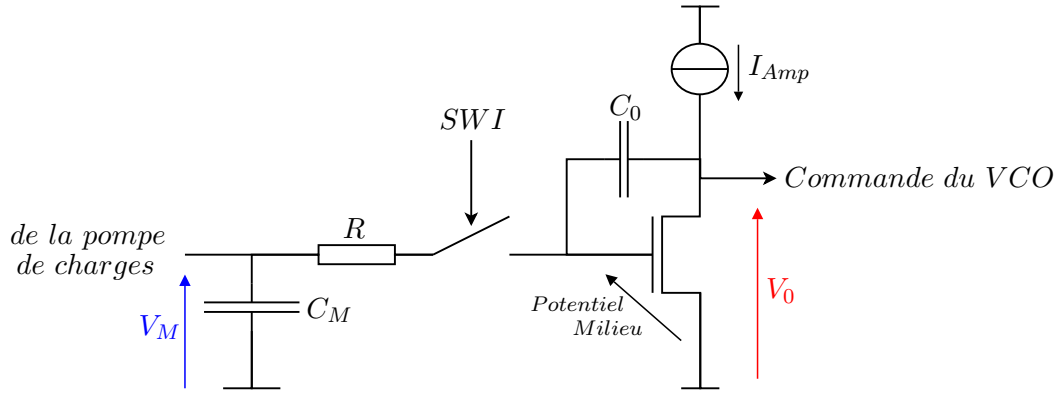


FIG. 3.24 – Détails du circuit de transfert de charges.

Nous avons choisi celui ci car il est entièrement intégrable sur Silicium et le placement de la résistance du filtre avant l'interrupteur permet de couper la contribution en bruit thermique de la résistance (voir la section 2.1.2 sur le filtre de boucle au chapitre 2). L'amplificateur servant au transfert de charges est réduit à un transistor MOS afin de minimiser sa contribution en bruit, mais sa bande passante est supérieure à celle du filtre de telle sorte que la dynamique du transfert des charges ne soit pas uniquement due qu'au filtre. Ce filtre ralentit donc le transfert de charges avec une constante de temps égale à  $R \times C_M$ .

Dans ce cas particulier, l'entrée négative de l'amplificateur constitue une masse virtuelle (le Potentiel Milieu n'est que continu) si bien que le transfert de charges se passe comme si  $C_M$  se déchargeait à la masse au travers de  $R$  (équation (3.18)). Comme le courant entrant par l'entrée négative de l'amplificateur (la grille du transistor MOS) est nul, le principe de conservation de la charge (équation (3.19)) assure l'intégration de ces charges dans  $C_0$  :

$$\frac{dV_M}{dt} = \frac{-1}{RC_M} V_M. \quad (3.18)$$

$$C_M \Delta V_M = C_0 \Delta V_0. \quad (3.19)$$

Cette équation dynamique n'est valable que dans la fenêtre de fermeture  $[t_{cl}, t_{op}]$  (voir la figure 3.23). En dehors de cette fenêtre, la tension de contrôle est constante à l'exception près de l'injection de charges due à l'ouverture et à la fermeture de l'interrupteur  $SWI$ .

Ce phénomène inévitable ne peut être corrigé par la boucle puisqu'il constitue une perturbation sur la commande de trop haute fréquence pour être corrigée. Cette perturbation va créer des raies parasites sur le spectre de sortie à des fréquences multiples de la fréquence de référence. De ce fait, ces perturbations ne sont pas prises en compte dans le modèle petit signal du système.

### 3.2.2 Impact des injections de l'interrupteur

L'interrupteur *SWI* n'est autre qu'un transistor MOS dont la tension de grille lui permet d'être bloqué (en régime d'accumulation) ou passant (en régime d'inversion). Comme cela fut montré à la section 1.1.2 du chapitre 1, les valeurs des capacités internes du transistor varient en fonction du potentiel de grille. Ainsi, au changement d'état de l'interrupteur se mêlent la variation de tension de grille en plus de la variation des valeurs des capacités. Ces deux variations (de capacité  $C$  et de tension  $V$ ) ont pour effet commun d'injecter ou de retirer des charges parasites. Une partie de ces charges injectées et retirées à chaque ouverture et fermeture de l'interrupteur s'intègrent dans la capacité d'intégration  $C_0$  en créant alors une variation de la tension de commande  $V_0$  de l'oscillateur :

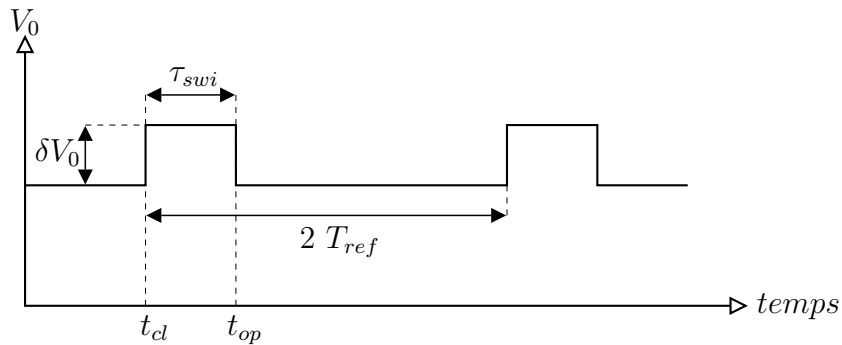


FIG. 3.25 – Variations de la tension de contrôle  $V_0$  dues aux injections parasites de l'interrupteur.

Il a été montré dans [Zhang et al., 2003] que cette perturbation génère des raies parasites sur le spectre de sortie dont la puissance suit la loi (voir l'annexe B pour la démonstration) :

$$Spurs@\frac{2\pi n}{T_s} = 20 \log_{10} \left[ \frac{K_o \delta V_0 T_s}{\pi n^2} \sin \left( \frac{\pi n \tau_{swi}}{T_s} \right) \right], \text{ avec } T_s = 2 T_{ref}. \quad (3.20)$$

Ce que montre cette équation, c'est que l'amplitude des raies parasites (appelées 'Spurious') générées est maximale pour un temps d'ouverture  $\tau_{swi}$  égal à la moitié de la période

d'échantillonnage  $T_s$ . Afin de minimiser la hauteur de ces raies, il est nécessaire de minimiser la fenêtre d'ouverture  $\tau_{swi}$  de l'interrupteur.

À l'exception de cette précaution ainsi que de la réalisation (qui n'est pas décrite ici) du MOS interrupteur, il n'est pas possible de s'affranchir de ces raies parasites qui ne sont pas prises en compte dans le modèle de bruit d'autant plus que ces raies apparaissent au delà de la fréquence d'échantillonnage, et donc au delà de la fréquence de Shannon fixant la limite de validité de tout modèle en  $z$ . Fort heureusement, la plage de fréquences pour laquelle l'analyse de bruit est la plus importante se situe en dessous de la fréquence d'échantillonnage : de part et d'autre de la bande passante du système. En effet, l'analyse de bruit doit permettre d'évaluer le filtrage des bruits de la référence et de l'oscillateur par la boucle à verrouillage de phase.

### 3.2.3 Modélisation de l'échantillonnage dans la littérature

Dans [Tang et al., 2002], il est montré que l'absence de prise en compte de l'échantillonnage dans les PLLs donne des résultats optimistes sur la stabilité, mais en réalité, la marge de phase peut être bien plus réduite qu'on ne le pense.

L'emprise des modèles linéaires présentés à la section 2.1 est telle que la plupart des modèles de PLLs échantillonnées considèrent l'échantillonnage soit comme un délai, soit comme un échantillonneur bloqueur positionné en série sur la chaîne directe de la boucle. Ainsi, beaucoup de travaux [Tang et al., 2002] tiennent compte de l'échantillonnage par un délai ajouté en série sur la chaîne directe du schéma bloc :

$$Ech(p) = e^{-T_s p} \quad (3.21)$$

D'autres études intègrent l'échantillonnage dans le modèle avec un échantillonneur bloqueur :

$$Ech(p) = \frac{1 - e^{-T_s p}}{p} \quad (3.22)$$

Ce type de modélisation peut être aussi dérivé sous différentes formes comme par exemple dans le travail sur les PLLs échantillonnées de Zhang et al. [2003] où un modèle mixte en  $z$  et  $p$  tient compte de l'échantillonnage de façon similaire à un échantillonneur bloqueur. Nous ne retenons dans ce rapport que l'expression (3.22) pour modéliser l'échantillonneur bloqueur.

Dans le travail commun entre l'université Technique du Danemark et la société RF Magic [Cassia et al., 2003], un système similaire à la figure 3.24 est inséré entre la pompe de charges et le filtre de boucle afin de rejeter les bruits dus au modulateur  $\Sigma\Delta$  (figure 1.7.b) qui brasse les diviseurs de la boucle de retour. Dans ce travail, ce système est modélisé par un échantillonneur-bloqueur puis par un simple retard.

Comme cette méthode d'échantillonnage est similaire à celle de la FLL, il est intéressant de détailler le modèle établi par Cassia et al. [2003] :

A l'issue de la mesure, la quantité de charges accumulées dans  $C_M$  vaut :

$$Q_{C_M} = \int_0^{T_{ref}} I dt = I_{chpp} \Delta t \quad (3.23)$$

Avec  $I_{chpp}$  la valeur nominale du courant débité par la pompe de charges et  $\Delta t$  l'écart temporel entre la phase de référence et la phase de sortie divisée. Comme la relation entre l'écart de phase et l'écart temporel reste vraie :

$$\Delta t = \frac{\Delta\varphi}{2\pi} T_{ref} \quad (3.24)$$

Alors il vient :

$$Q_{C_M} = \frac{I_{chpp}}{2\pi} T_{ref} \Delta\varphi(t) \quad (3.25)$$

Dans [Cassia et al., 2003], l'échantillonnage à la fréquence de référence est assimilé à un retard d'une période de référence pour l'expression de la charge  $Q_{C_0}$  dans  $C_0$ . De même, la variation de charges intégrées dans  $C_M$  n'ayant lieu qu'à la fermeture de l'interrupteur sur une fenêtre  $\tau_{swi}$ , l'échantillonnage correspondant est assimilé à un retard de  $\tau_{swi}$  :

$$Q_{C_0}(t) = Q_{C_0}(t - T_{ref}) + Q_{C_M}(t - \tau_{swi}) \quad (3.26)$$

L'expressions des tensions aux bornes des capacités découle simplement de  $Q = CV$  :

$$V_0(t) = V_0(t - T_{ref}) + \frac{I_{chpp}}{2\pi C_0} T_{ref} \Delta\varphi(t - \tau_{swi}) \quad (3.27)$$

La transformée de Laplace conduit l'expression précédente à :

$$\frac{V_0(p)}{\Delta\varphi(p)} = T_{ref} \frac{I_{chpp}}{2\pi C_0} \frac{e^{-\tau_{swi}p}}{1 - e^{-T_{ref}p}} \quad (3.28)$$

Parce que l'équation (3.28) modélise la tension  $V_0$  comme un train d'impulsions alors qu'il s'agit en réalité d'une fonction en escalier, un bloqueur d'ordre zéro est ajouté :

$$H_{ZOH}(p) = \frac{1}{T_{ref}} \frac{1 - e^{-T_{ref}p}}{p} \quad (3.29)$$

L'équation finale modélisant le circuit échantillonneur-intégrateur dans [Cassia et al., 2003] est :

$$\frac{V_0(p)}{\Delta\varphi(p)} = H_{ZOH}(p) \times T_{ref} \frac{I_{chpp}}{2\pi C_0} \frac{e^{-\tau_{swi}p}}{1 - e^{-T_{ref}p}} \quad (3.30)$$

$$\frac{V_0(p)}{\Delta\varphi(p)} = \frac{I_{chpp}}{2\pi C_0} \frac{e^{-\tau_{swi}p}}{p} \quad (3.31)$$



Finalement, selon Cassia et al. [2003], la modélisation du comparateur de phase suivi de la pompe de charges, de la capacité de mesure  $C_M$ , de l'échantillonneur et de la capacité d'intégration  $C_0$  se réduit à un retard du temps d'ouverture de l'interrupteur et à un intégrateur.

Ce calcul a été établi pour une fréquence d'échantillonnage égale à la fréquence de référence. Ce même calcul serait donc applicable pour modéliser le schéma 3.24 avec une période d'échantillonnage égale à la moitié de la fréquence de référence.

Le tableau 3.1 résume les trois principaux modèles possibles de cet échantillonneur que la littérature propose.

Modèle	Équation	Expression
Délai	(3.21)	$e^{-T_s p}$
Échantillonneur-bloqueur	(3.22)	$\frac{1-e^{-T_s p}}{p}$
selon [Cassia et al., 2003]	(3.31)	$\frac{e^{-\tau_{swi} p}}{p}$

TAB. 3.1 – Différents modèles de l'échantillonnage existants.

La description la plus proche de notre système est donnée par Cassia et al. [2003]. Cependant, ce modèle n'est pas compatible puisqu'il rend la boucle instable. Comme le montre la figure 3.26, le schéma bloc de la FFLI inclut la mesure du déphasage, l'échantillonnage, le filtre et l'oscillateur. Mis à part l'échantillonnage, la dynamique du système dépend du filtre de premier ordre et de l'intégrateur pur lié à l'oscillateur.

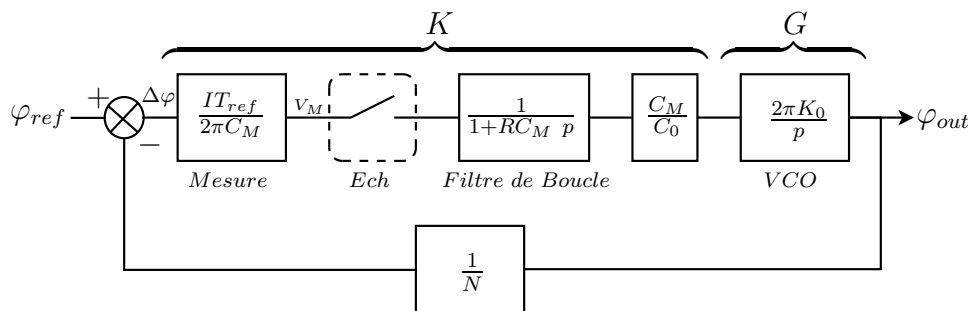


FIG. 3.26 – Schéma bloc comprenant la modélisation de l'échantillonnage

Ainsi, le modèle de Cassia et al. [2003] introduit un intégrateur supplémentaire qui ne peut assurer la stabilité du système avec un simple filtre passe-bas comme filtre de boucle. En effet, il faudrait un zéro pour écarter la phase de  $-180^\circ$  à la fréquence de coupure du

système, or ce zéro ne peut être donné par le simple retard  $e^{(-\tau_{swi}p)}$  comme le montre sa courbe de Bode sur la figure 3.27. Ce modèle ne peut donc pas être valable.

En revanche, l'échantillonneur bloqueur peut être candidat à un modèle éventuel de ce bloc. Comme le montre la figure 3.28, l'action intégrale de  $1 - e^{(-T_s p)}$  fait gagner  $90^\circ$  à la phase du système en basses-fréquences. Ainsi, l'intégrateur ajouté par le modèle de l'échantillonneur-bloqueur (3.22) ne s'oppose pas à la stabilité de la boucle.

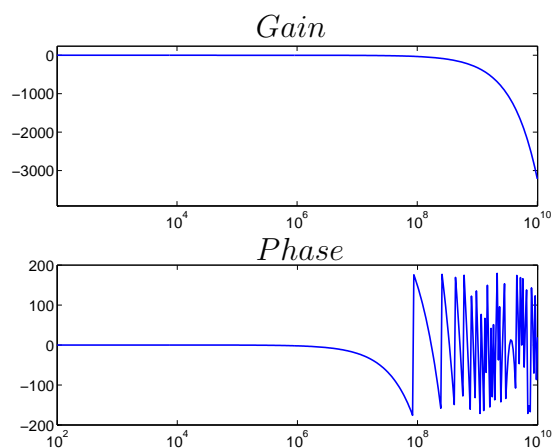


FIG. 3.27 – Diagramme de Bode de :  $e^{(-T_s p)}$  avec  $T_s = 1/27e^6$ .

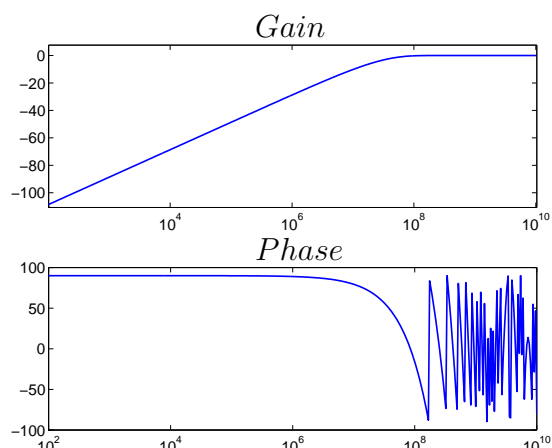


FIG. 3.28 – Diagramme de Bode de :  $1 - e^{(-T_s p)}$  avec  $T_s = 1/27e^6$ .

Nous retenons donc la possibilité de modéliser le bloc échantillonné par un retard (3.21) ou un échantillonneur bloqueur (3.22).

Nous proposons d'établir le modèle de notre système baptisé FFL en tenant compte de la dynamique du système dans le temps de fermeture de l'interrupteur. Ce modèle peut être obtenu par une méthode de discrétisation exacte.

### 3.2.4 Modélisation de l'échantillonnage par méthode de discrétisation exacte

La littérature est très riche sur la modélisation des systèmes continus pilotés par ordinateur. Il est bien connu [Astrom and Wittenmark, 1997] que la modélisation d'un système de fonction de transfert  $F$  commandé à la période  $T$  et dont la sortie est échantillonnée à la même période est :

$$F(z) = (1 - z^{-1}) \mathcal{Z} \left\{ \mathcal{L}^{-1} \left[ \frac{F(p)}{p} \right] \Big|_{t=kT} \right\} \quad (3.32)$$

Où  $\mathcal{Z}$  désigne la transformée en Z et  $\mathcal{L}^{-1}$  désigne la transformée de Laplace monolatérale inverse.

Cette formule s'applique bien dans notre cas puisque durant l'ouverture de l'interrupteur  $SWI$ , la tension de commande du VCO est maintenue constante. En outre, la mesure de l'erreur de phase se fait par comparaison de fronts et donc instantanément au front du signal de référence.

Comme il est illustré sur la figure 3.23, la tension de commande est gardée constante pendant le temps d'ouverture de l'interrupteur. La valeur de  $V_0$  à l'instant de fermeture  $t_{cl}$  de l'interrupteur est donc la même qu'à l'instant  $t_k$ . De même,  $V_0$  ne change pas de valeur de l'instant d'ouverture  $t_{op}$  de l'interrupteur à l'instant  $t_{k+1}$ . Du point de vue de l'oscillateur contrôlé, il importe peu de choisir un instant d'échantillonnage à un instant  $t \in [t_k; t_{cl}] \cup [t_{op}; t_{k+1}]$ .

De même que pour la tension de contrôle  $V_0$ , la tension de mesure  $V_M$  reste inchangée de l'instant  $t_{op}$  à l'instant  $t_{k+1}$ . Comme l'interrupteur est ouvert sur l'intervalle de temps  $[t_k; t_{cl}]$ , du point de vue de la tension de contrôle, la valeur de  $V_M$  semble changer instantanément à l'instant  $t_k$  avec :

$$V_M(t_k) = \frac{I_{chpp} T_{ref}}{2\pi C_M} \Delta\varphi(t_k) \quad (3.33)$$

Ceci s'établit à partir de (3.25) en considérant  $V_M = Q_{C_M}/C_M$ .

L'instant d'échantillonnage  $k$  n'est pas choisi ici à l'instant  $t_{cl}$  pour souligner le fait que le système n'est pas simplement échantillonné mais possède une dynamique sur une fenêtre  $[t_{cl}; t_{op}]$ . L'instant  $t_k$  peut donc être choisi à tout instant durant le temps d'ouverture de l'interrupteur  $SWI$  qui maintient constante la tension de contrôle  $V_0$ .

Comme il a été montré à l'aide de la figure 3.24 à la section 3.2.1, le filtrage du transfert de charges intervient seulement dans la fenêtre de fermeture de l'interrupteur et agit comme un filtre de fonction de transfert  $\frac{1}{1+RC_M p}$ . Le contrôleur  $K$  constitué du comparateur de phase suivi de la pompe de charge et du circuit échantillonneur-intégrateur s'exprime alors :

$$K(z) = \frac{IT_{ref} C_M}{2\pi C_M C_0} (1 - z^{-1}) \mathcal{Z} \left\{ \mathcal{L}^{-1} \left[ \frac{1}{p(1 + RC_M p)} \right] \Big|_{\tau_{swi}} \right\} \quad (3.34)$$

Ce qui aboutit après calculs au résultat :

$$K(z) = \frac{IT_{ref}}{2\pi C_0} \frac{\left(1 - e^{-\frac{\tau_{swi}}{RC_M}}\right)}{\left(z - e^{-\frac{\tau_{swi}}{RC_M}}\right)} \quad (3.35)$$

De même, il est possible d'exprimer la fonction de transfert discrète du VCO à partir du modèle linéaire établi à la section 2.1.3 :

$$G(z) = 2\pi K_0(1 - z^{-1}) \mathcal{Z} \left\{ \mathcal{L}^{-1} \left[ \frac{1}{p^2} \right] \Big|_{T_s} \right\} \quad (3.36)$$

La période d'échantillonnage est  $T_s = 2T_{ref}$ .

L'expression discrète du VCO est finalement :

$$G(z) = 2\pi K_o \frac{2T_{ref}}{z - 1} \quad (3.37)$$

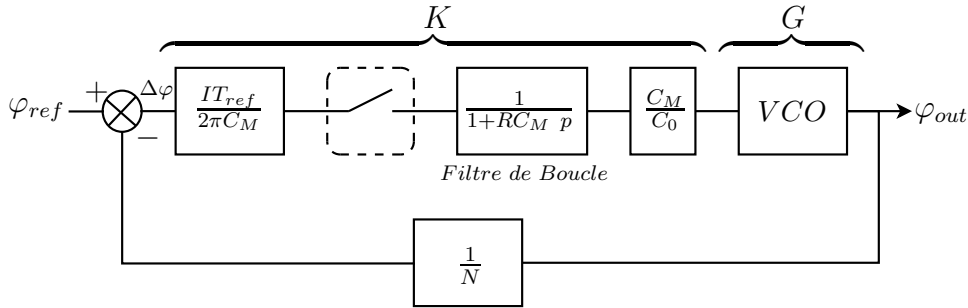


FIG. 3.29 – Modèle petit signal de la FLL

Pour la comparaison des modèles, les fonctions de transfert s'expriment aussi dans le domaine de Laplace par la transformée de Tustin :

$$K(p) = \frac{IT_{ref}}{2\pi C} \frac{2 \left(1 - e^{-\frac{\tau_{swi}}{\tau_a}}\right) - T_s p \left(1 - e^{-\frac{\tau_{swi}}{\tau_a}}\right)}{2 \left(1 - e^{-\frac{\tau_{swi}}{\tau_a}}\right) + T_s p \left(1 + e^{-\frac{\tau_{swi}}{\tau_a}}\right)} \quad (3.38)$$

$$G(p) = 2\pi K_o \frac{T_{ref}(2 - T_s p)}{2T_s p} \quad (3.39)$$

Ce nouveau modèle tient compte de la dynamique du système sur une fenêtre d'ouverture  $\tau_{swi}$  à chaque période d'échantillonnage.

### 3.2.5 Vérification des modèles

#### Vérification par simulations

Afin de valider le modèle petit signal, des simulations mixtes sous Cadence ont été effectuées : le système est réalisé en transistors à l'exception du VCO et du comparateur de phases qui ont été changés par des blocs codés en VerilogA. Le VerilogA est un langage qui permet de traduire le comportement de certains blocs par un modèle événementiel. Cette méthode permet de minimiser les temps de simulation. Ainsi, l'oscillateur et le comparateur de phases sont modélisés par une fonction de transfert linéaire. Le système conserve son caractère échantillonné et non-linéaire au niveau du circuit de transfert de charges.

Les figure 3.30, 3.31 et 3.32 montrent les résultats de simulations temporelles obtenues pour une valeur de résistance du filtre de  $10k\Omega$ . La figure 3.30 montre le résultat des simulations mixtes obtenues sous cadence. Le tracé montre l'évolution de la tension de contrôle  $V_0$  du VCO et de la tension de mesure  $V_M$ . La tension de mesure  $V_M$  effectue des sauts dus à la phase de mesure de la fréquence de sortie.

La figure 3.31 montre les résultats de simulation obtenus avec le modèle non linéaire mais dont le VCO et le comparateur de phase a été linéarisé afin de permettre la comparaison avec le modèle petit signal. Comme il a été montré précédemment, les fluctuations de  $V_M$  lors de la phase de mesure ne sont prises en compte qu'à l'instant de fermeture de l'interrupteur. C'est pourquoi les fluctuations de  $V_M$  n'apparaissent pas sur la figure 3.31 contrairement à la simulation électrique de la figure 3.30.

La figure 3.32 montre les réponses indicielles des modèles petits signaux obtenus par la méthode de discrétisation exacte et par considération du comportement échantillonné du système avec un simple délai ou un échantillonneur bloqueur.

Les réponses indicielles permettent ici de comparer les différents modèles. Le temps de réponse est ici un critère de vérification. Il n'y a aucun dépassement pour chacun des modèles. Les réponses temporelles montrent l'équivalence entre le modèle électrique simulé dans l'environnement Cadence, le modèle non linéaire et le modèle petit signal obtenu par la méthode de discrétisation exacte. En revanche, le temps de réponse est bien différents pour les simulations effectuée avec les modèles qui considèrent l'échantillonnage comme un simple délai ou un échantillonneur/bloqueur.

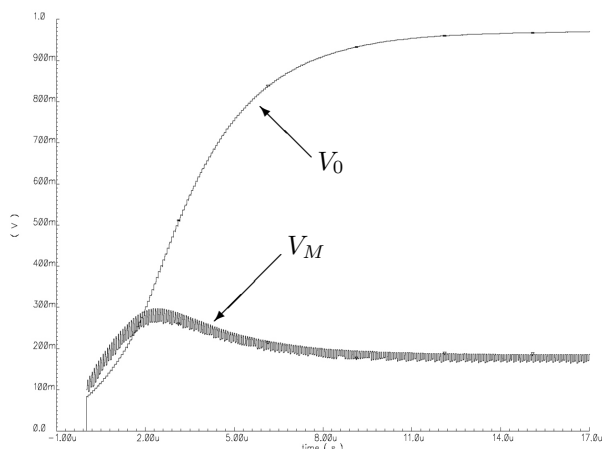


FIG. 3.30 – Simulation au niveau transistor.

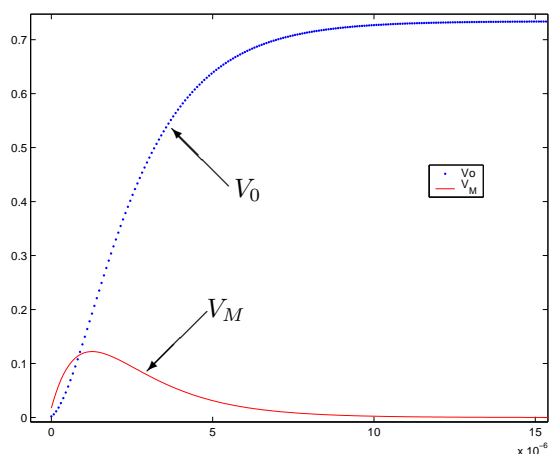


FIG. 3.31 – Simulation pas à pas du modèle non linéaire.

Valeurs des composants :  
 $R = 10k\Omega$ ,  $I = 100\mu A$ ,  $C = 10pF$

figure 3.30 : simulation électrique du système complet sous Cadence.

figure 3.31 : simulation temporelle à partir du modèle non linéaire établi à la section 2.6.

figure 3.32 : Réponse indicielle à partir du modèle petit signal.

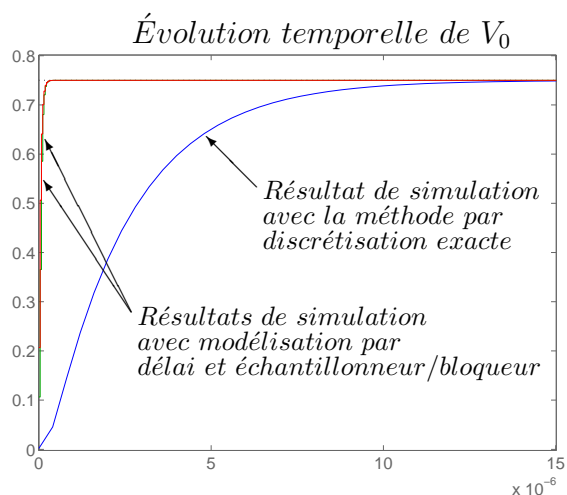


FIG. 3.32 – Évolution temporelle de  $V_0$  avec les modèles petit signal.

Les figures 3.33, 3.34 et 3.35 montrent le résultats de simulations réalisées dans les mêmes conditions que précédemment mais avec une résistance du filtre de  $100k\Omega$  réduisant l'amortissement du système. Ici, le dépassement est un critère de vérification autant que le temps de réponse.

Les simulations obtenues par simulation dans l'environnement Cadence (figure 3.33), avec le modèle non linéaire (figure 3.34) et avec le modèle petit signal obtenu par la méthode de discrétisation exacte (figure 3.35) montrent toutes un dépassement d'environ 32.4%. En revanche, les résultats temporels obtenus avec les modèles basés sur un simple

décali ou un échantillonneur/bloqueur ne correspondent pas ni en temps de réponse, ni en terme de dépassement (figure 3.35).

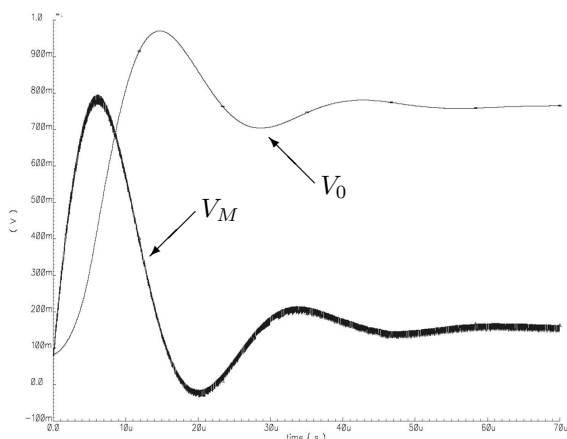


FIG. 3.33 – Simulation au niveau transistor.

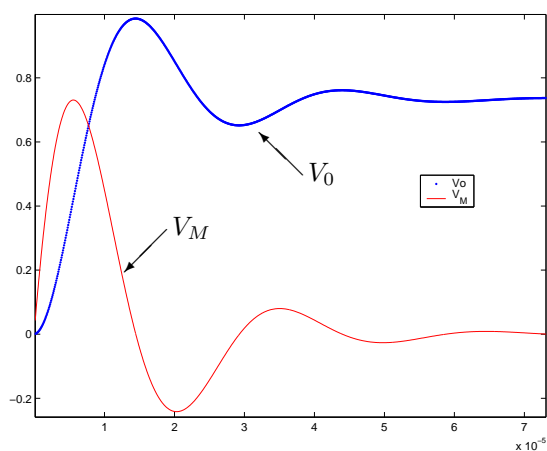


FIG. 3.34 – Simulation pas à pas du modèle non linéaire.

Valeurs des composants :

$$R = 100k\Omega, I = 100\mu A, C = 10pF$$

figure 3.33 : simulation électrique du système complet sous Cadence.

figure 3.34 : simulation temporelle à partir du modèle non linéaire établi à la section 2.6.

figure 3.35 : Réponse indicielle à partir du modèle petit signal.

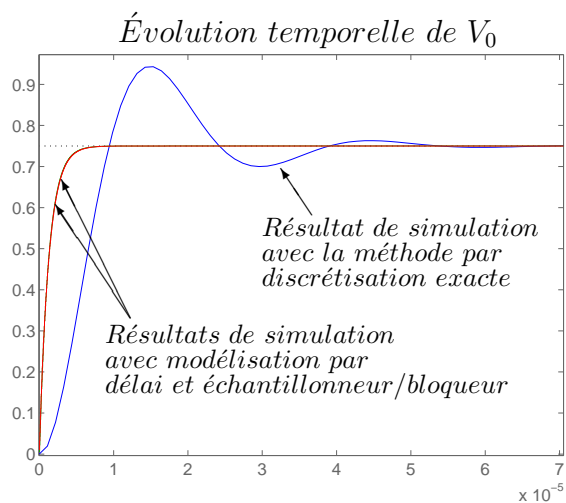


FIG. 3.35 – Évolution temporelle de  $V_0$  avec les modèles petit signal.

Ces résultats de simulation sont concluants pour valider le modèle du système. Cependant, l'objectif de ce modèle est de prédire le profil de bruit de phase en sortie de la boucle. Des simulations en bruit de phase du système complet sous Cadence sont impossibles à réaliser. Seuls les résultats de test d'un circuit démonstrateur peuvent valider la fiabilité du modèle par rapport au profil de bruit de phase en sortie de la boucle.

### Vérification par mesures d'un prototype

Un démonstrateur de la nouvelle architecture de synthétiseur de fréquences a été fabriqué dans une technologie MOS de la société STMicroelectronics. L'architecture est conforme à celle qui a été présentée sur la figure 3.22 et sa réalisation sur Silicium est présentée sur la figure 3.36. L'inductance  $L$  de l'oscillateur apparaît sur la droite de la figure. Les varactors permettant de contrôler la fréquence de sortie apparaissent sur la gauche du VCO. Le bloc de gauche représente la totalité de la boucle de contrôle sans composant externe. La capacité de mesure  $C_M$  ainsi que d'intégration  $C_0$  sont fixées à  $20pF$  et sont dessinées ici en blanc. Ces capacités sont réalisées par juxtaposition des pistes métalliques sans utiliser l'ensemble des couches possibles. Seules les couches de métal du niveau 2 au niveau 5 ont été utilisées pour réaliser ces capacités. La partie entière de la pompe de charges ( $+I$  et  $-I$ ) apparaît sur la gauche et la partie fractionnaire du courant ( $fI$ ) est générée par le bloc situé en dessous de la capacité  $C_M$ . Le comparateur de phase numérique est placé entre la capacité de mesure  $C_M$  et la partie entière de la pompe de charge. De même, le circuit échantillonneur est placé entre les capacités de mesure  $C_M$  et de correction  $C_0$ . Le diviseur situé sur la chaîne de retour est placé au dessus de la capacité  $C_0$ .

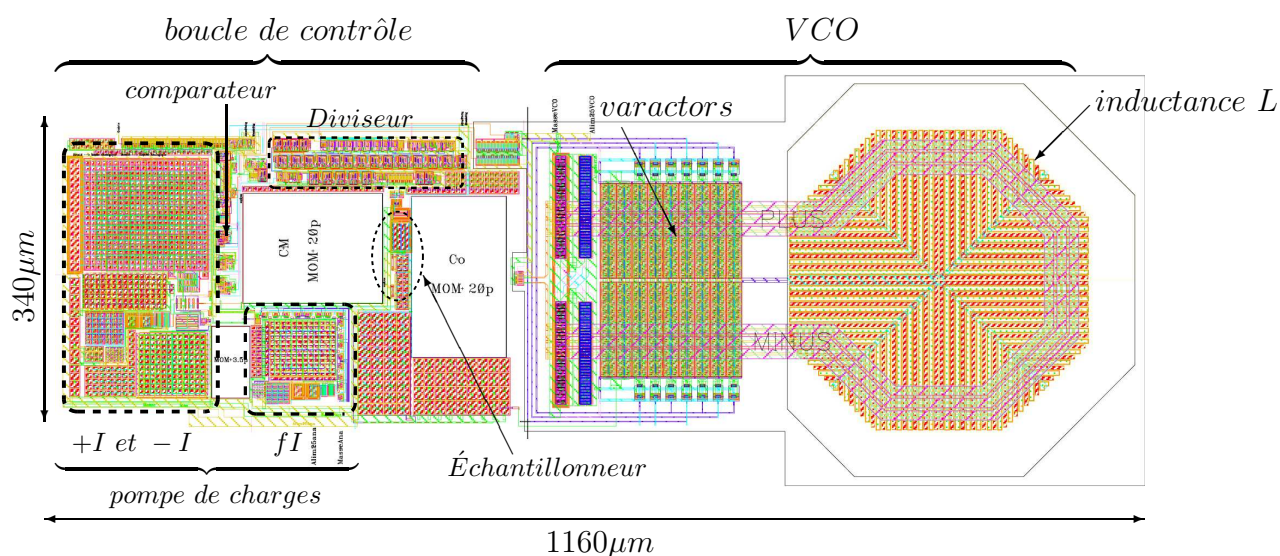


FIG. 3.36 – Layout du circuit

Afin de pouvoir agir sur les performances du système, les valeurs des courants débités par la pompe de charges sont contrôlables. Ainsi, il est possible de modifier la bande passante du système en jouant sur la valeur du courant  $I_{chpp}$ .

La figure 3.37 montre le résultat de la mesure du spectre du signal de sortie obtenue avec l'analyseur de spectre. La figure est centrée sur la fréquence porteuse autour de laquelle le bruit de la boucle est mis en forme. La figure 3.38 issue de l'analyseur de bruit



de phase Agilent E5052A représente un côté de ce profil de bruit de sortie afin d'afficher la mesure avec une abscisse logarithmique. Sur cette figure, le profil de bruit du VCO en boucle ouverte est superposé au profil de bruit de phase en boucle fermée afin de mettre en évidence l'action de la PLL sur le filtrage de ce bruit.

Le niveau de bruit de la figure 3.38 est donné en  $dBc/Hz$  conformément à la présentation du bruit de phase faite au paragraphe 1.1.2. Ce niveau de bruit peut se retrouver à partir du spectre de la figure 3.37 : la puissance de la porteuse (curseur de la figure) est calée à  $5.60dBm$ . Le bruit de phase à  $100kHz$  de la porteuse est de  $-40dBm$  soit  $45.6dBm$  en dessous de la porteuse. Comme la mesure de l'analyseur de spectre est effectuée par bandes de  $50Hz$ , alors c'est que le niveau de bruit équivalent par bande de  $1Hz$  est de  $20\log(50) \simeq 34dB$  en dessous. Le plancher de bruit de phase en bande latérale est donc bien de  $45.6 + 34 = 79.6dBc/Hz$ , ce que l'on retrouve sur le profil de bruit de la figure 3.38.

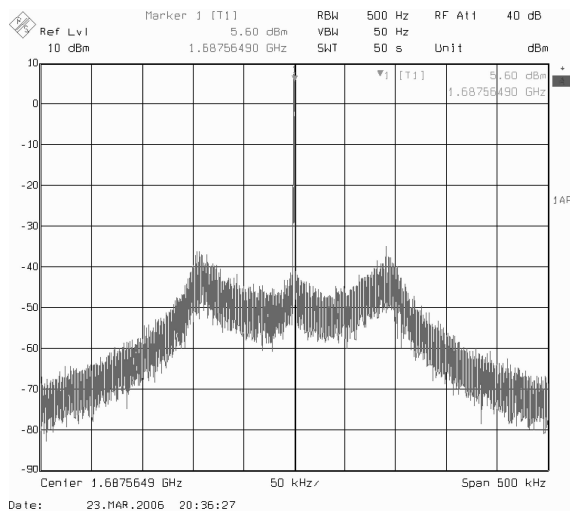


FIG. 3.37 – Profil de bruit à l'analyseur de spectre

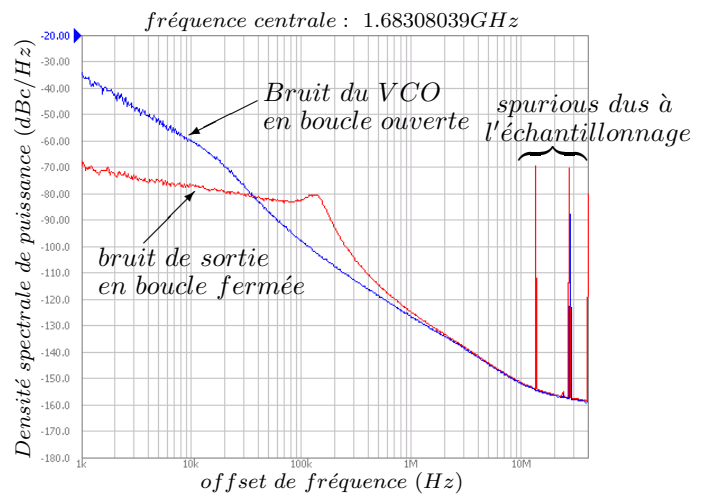


FIG. 3.38 – Profil de bruit de phase à l'analyseur de bruit de phase (Agilent E5052A)

Deux raies apparaissent sur le profil de bruit de phase du système en boucle fermée (figure 3.38). Ces raies sont dues à la fréquence d'échantillonnage à la moitié de la fréquence de référence ( $F_s = \frac{F_{ref}}{2}$ ) ainsi que ses multiples. Cependant, comme prévu initialement, aucune raie ne figure du fait de la partie fractionnaire du facteur de division.

Les figures 3.39 et 3.40 montrent les mesures de bruit de phase sur lesquelles sont superposés les résultats du profil de bruit obtenu en injectant les différents bruits du système dans les modèles petit signal. Pour cela, on injecte le profil de bruit caractéristique de la fréquence de référence délivrée par le quartz. On injecte aussi le bruit de la pompe

de charge donné par les simulations dans l'environnement Cadence. Enfin, on injecte le profil de bruit de phase de l'oscillateur qui est mesuré en boucle ouverte. L'ensemble de ces contributions ramenées en sortie de la boucle permet ainsi de comparer les profil de bruit calculé par l'intermédiaire des différents modèles au profil de bruit mesuré. Ainsi, on compare les résultats obtenu avec le modèle issu de la méthode de discrétisation exacte (3.36 et 3.37) avec les modèles tenant compte de l'échantillonnage soit par un délai (3.21), soit par un échantillonneur bloqueur (3.22).

La figure 3.39 présente le résultat de simulation avec un courant de la pompe de charge de  $50\mu A$ . La bande passante est ainsi réduite d'autant par rapport au résultat obtenu avec un courant de la pompe de charges de  $200\mu A$  sur la figure 3.40.

Les résultats obtenus avec une modélisation de l'échantillonnage basée sur un échantillonneur bloqueur (3.22) ou un simple délai (3.21) figurent en pointillés ( $-\cdot-\cdot-$ ). Il est clair que le profil prévu par ces modèle est bien différent du profil mesuré. En revanche, le profil de bruit obtenu par modélisation de l'échantillonnage avec une méthode de discrétisation exacte est tracé en points rouges et se trouve superposé aux mesures. Le changement de la valeur du courant débité par les pompes de charges permet d'insister sur la précision de ce modèle.

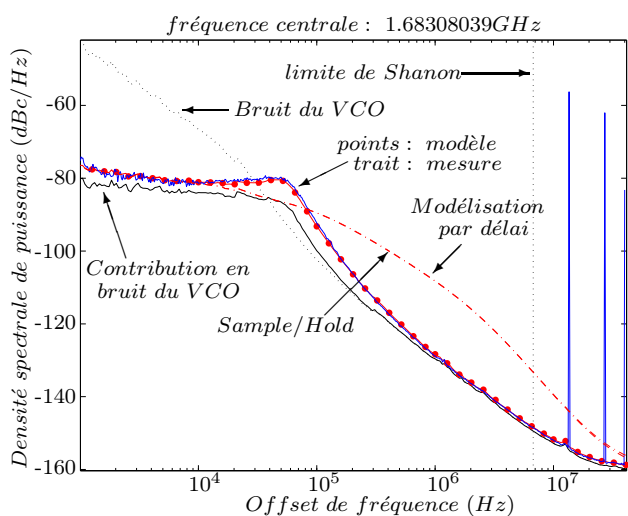


FIG. 3.39 – Correspondance entre mesures et modèles pour un courant  $I_{chpp} = 50\mu A$

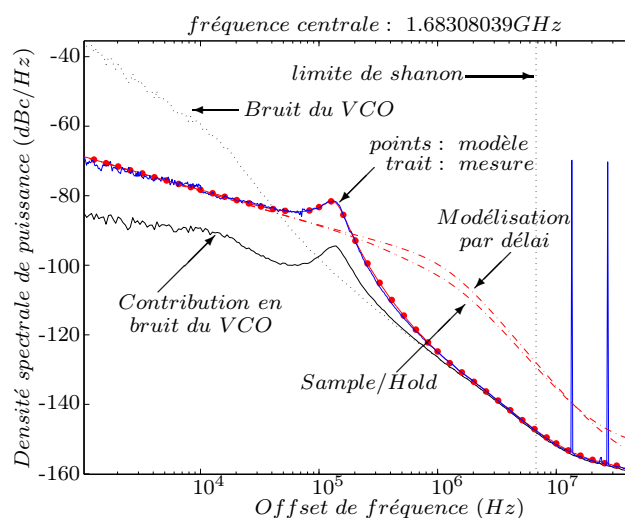
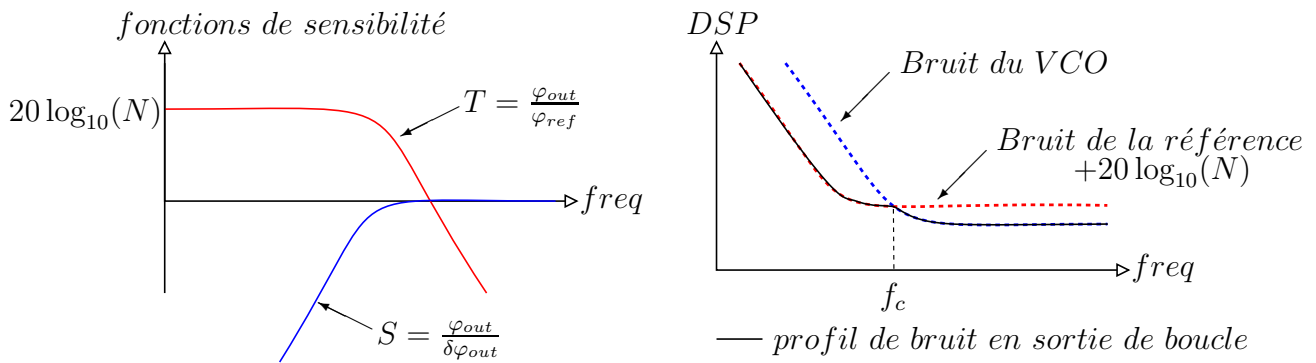


FIG. 3.40 – Correspondance entre mesures et modèles pour un courant  $I_{chpp} = 200\mu A$

Enfin, la limite de validité des modèles échantillonnés a été tracée en pointillés verticalement. Les modèles petit signal ne sont donc plus efficaces au delà de cette limite due au théorème de Shannon. Le bruit de sortie de la PLL calculé par les modèles reste cependant cohérent avec la mesure. Ceci est dû au fait que la fonction de sensibilité  $S$  qui traduit le rejet des bruits de l'oscillateur (figure 3.41.a) est unitaire à partir de ces fréquences. De ce fait, il n'y a qu'une simple recopie du bruit du VCO au delà de la fréquence de coupure (comme l'illustre la figure 3.41.b). Cependant, cette limitation n'est pas restrictive puisque

la bande passante de la PLL ne peut être qu'inférieure à la fréquence d'échantillonnage. Or, comme la bande fréquentielle qui nous intéresse est inférieure à la bande passante, alors le domaine de validité du modèle est suffisant pour permettre l'analyse du profil de bruit en sortie de la boucle.

En effet, comme l'illustre la figure 3.41, la bande passante du système est fixée à partir des contributions en bruit des composants. Les deux contributeurs principaux sont le bruit de la fréquence de référence et le bruit de l'oscillateur. Comme le montre la figure 3.41.a, le système filtre le bruit du VCO comme un filtre passe haut. En revanche, la référence est filtrée comme un filtre passe bas mais avec un gain égal à  $20 \log_{10}(N)$  ( $N = \frac{F_{out}}{F_{ref}}$ ) en raison de la présence du diviseur par  $N$  sur la boucle de retour.



3.41.a fonctions de sensibilité.

3.41.b Bruit de phase en sortie de boucle.

FIG. 3.41 – Contribution en bruit de la référence et de l'oscillateur

Compte tenu de ces fonctions de sensibilité, le système va filtrer le bruit du VCO en basses fréquences puis le bruit de la référence en hautes fréquences comme illustré sur la figure 3.41.b. Le profil de bruit minimum sera donc obtenu pour une fréquence de coupure de la boucle égal à  $f_c$  de quelques centaines de kilo-Hertz. La fréquence de coupure de la boucle reste donc bien inférieure à la fréquence d'échantillonnage en régime établi.

Si la bande passante du système est élargie en phase transitoire (pour accroître la vitesse de convergence ou éviter les phénomènes de faux verrouillage), cela n'est donc plus du ressort de l'étude du bruit mais de la stabilité non linéaire du système, ce qui renvoie au début de ce chapitre.

La limite de validité du modèle due au théorème de Shannon n'est donc pas pénalisante.

Cette étude permet ainsi de prouver l'efficacité du modèle obtenu par la méthode de discrétisation exacte (3.36 et 3.37). Ce modèle est donc suffisant pour l'analyse du bruit du système. En revanche, la modélisation de l'échantillonnage par un délai (3.21) ou un échantillonneur bloqueur (3.22) est inappropriée.

### 3.3 Conclusion de ce chapitre

Ce chapitre a essentiellement présenté nos travaux sur l'analyse des boucles à verrouillage de phase. L'analyse de la stabilité et de la robustesse de ces systèmes non linéaires a été abordée à partir de modèles échantillonnés. La souplesse de cette étude a été marquée par l'absence de contraintes sur la linéarité du modèle. Ce modèle est d'autant plus fonctionnel que les composants de la PLL peuvent être modélisés séparément. Ainsi, il a été simple et rapide de modifier la caractéristique du filtre de boucle d'une PLL échantillonnée sans avoir à réécrire l'équation globale de la boucle.

Le résultat de l'analyse est présenté sous forme graphique afin d'en faciliter la lecture. Afin d'apporter un maximum d'informations à moindre coût, le théorème général a été adapté aux systèmes de faibles dimensions. Cependant, tout algorithme d'optimisation peut éviter de parcourir tout l'espace d'état. Quoi qu'il en soit, les instants d'échantillonnage ne sont jamais calculés jusqu'à convergence du système. Bien au contraire, on ne simule jamais tous les instants : dès qu'il y a contraction, le calcul s'arrête.

L'étude de la robustesse du système peut être effectuée soit par parcours des valeurs possibles des paramètres du système, soit par l'intermédiaire d'une optimisation de dimension supérieure. Deux exemples permettent d'approuver l'efficacité et la nécessité de cette analyse non linéaire.

L'étude non linéaire du système est nécessaire pour l'étude des régimes transitoires de la boucle à verrouillage de phase. En revanche, pour l'étude du bruit de phase, seulement l'échantillonnage du système est à prendre en compte.

Le profil du bruit de phase en sortie de la boucle étant le paramètre le plus important de ces systèmes, il est important d'effectuer un modèle fiable permettant de fixer au mieux les paramètres des composants. La littérature ne tient compte de l'échantillonnage dans les PLLs que sous la forme d'un délai ou d'un échantillonneur bloqueur. Pourtant, les résultats de test d'un prototype montrent bien l'erreur commise par ces modèles. Un recours aux méthodes exactes de discrétisation a permis d'établir un modèle de bruit qui prédit un profil de bruit qui colle parfaitement aux mesures du prototype.

Cette étude a donc montré l'importance de la prise en compte de l'échantillonnage dans les modèles de bruit.



# Chapitre 4

## Observation de la fréquence de sortie

Ce chapitre met l'accent sur les architectures numériques de synthétiseur de fréquences. En effet, en électronique analogique il n'est pas aisé d'effectuer des calculs de traitement de l'information. Désormais, avec les solutions numériques, il devient possible d'effectuer des calculs permettant d'améliorer les performances du système.

Ces traitements numériques ont déjà fait l'objet d'implémentations dans le cadre des Synthétiseurs Directs de Fréquences (DDFS : Direct Digital Frequency Synthesizer) où le signal analogique Radio-Fréquence de sortie est généré par une mémoire ROM. Cependant, comme la sortie de la mémoire ROM est quantifiée, un traitement numérique est nécessaire pour lisser la forme du signal analogique à synthétiser. Hikawa [2004] propose une interpolation effectuée pour améliorer la conversion numérique-analogique du signal. L'inconvénient des DDFS reste une faible fréquence du signal de sortie [Crawford, 1994].

Dans le cas des PLLs digitales traité ici, il faut mesurer la valeur de la fréquence du signal de sortie comme cela a été introduit au paragraphe 1.5.2. Il ne serait pas nécessaire d'estimer la valeur de cette mesure si elle avait été précise. Cependant, l'erreur de quantification de la mesure dégrade la pureté spectrale de la boucle. Il est donc nécessaire d'affiner la mesure de la fréquence de sortie par l'intermédiaire d'un observateur, tout en tenant compte des limitations des puissances de calculs intégrés qui amenuisent la capacité du traitement de l'information.

Ce chapitre propose un observateur implémentable permettant de minimiser le bruit de phase en sortie. Après un rappel du principe de fonctionnement des PLL numériques et de leur limitation de calcul, la quantification de la mesure est expliquée. L'observateur présenté ici propose une solution simple et implémentable pour affiner la précision de la mesure de la fréquence de sortie.

## 4.1 Les PLLs numériques

L'évolution des technologies fait tendre les systèmes vers des solutions entièrement numériques. Le signal de sortie étant toujours analogique, l'oscillateur contrôlé par le mot numérique de commande *cmd* (DCO : Digitally Controlled Oscillator) est un circuit résonnant à base de composants inductif et capacitif comme décrit au paragraphe 1.1.2. Ainsi, le mot de contrôle *cmd* sélectionne le nombre suffisant de capacités élémentaires de la matrice de contrôle pour fixer en conséquence la valeur de la fréquence du signal de sortie. Ce mot numérique *cmd* est délivré par le contrôleur (figure 4.1) réalisé de façon entièrement numérique. Afin d'être effectif pour le comparateur, le signal de sortie doit être numérisé par la boucle de retour. Cette numérisation est effectuée par le "Frequency Meter" qui évalue le rapport de fréquence entre le signal de sortie  $F_{out}$  et le signal de référence  $F_{ref}$  délivré par un quartz de référence. Le Frequency Meter délivre donc le rapport mesuré séparable en une partie entière mesurée  $N_m$  et une partie fractionnaire mesurée  $f_m$ . Ce résultat de mesure numérique peut alors être comparé au rapport de fréquence désiré  $N_d + f_d$  entré en consigne sous forme numérique. Le signal d'erreur  $\varepsilon$  numérique permet alors au contrôleur de corriger le mot numérique *cmd* de contrôle du DCO.

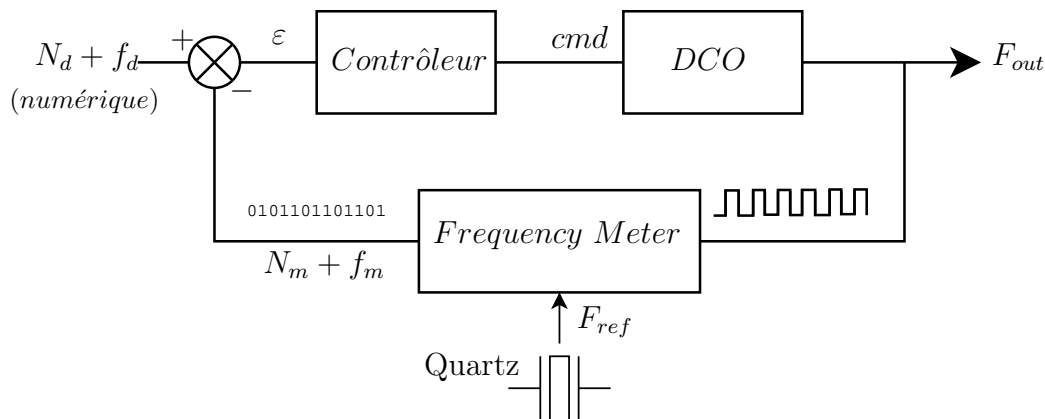


FIG. 4.1 – Schéma de principe des PLLs numériques

Ainsi, la majeure partie du système est numérique, mais sa réalisation est soumise à certaines contraintes.

Tout d'abord, la fréquence de calcul est limitée à celle de la fréquence de référence afin de minimiser la consommation du circuit. L'horloge qui cadence les calculs est donc la même que celle qui cadence la mesure de la fréquence du signal de sortie et du rafraîchissement du mot de contrôle de l'oscillateur.

D'autre part, afin de minimiser la surface de silicium occupée, la résolution des mots numériques est limitée à un codage de l'ordre de la vingtaine de bits maximum. Pour

la même raison, les calculs sont restreints aux additions, soustractions, multiplications et divisions par puissances de 2. En effet, en codage binaire, toute division par une puissance de 2 équivaut à un décalage des bits.

Ces contraintes limitent l'observateur à des performances de calcul réduites. Mais avant d'évaluer les performances requises pour l'observateur, il faut analyser la qualité de la mesure du rapport entre la fréquence de sortie et la fréquence de référence en l'absence de tout observateur.

## 4.2 La mesure de la fréquence de sortie

Le mesure de la fréquence de sortie constitue un point limitatif des performances des boucles à verrouillage de phase numériques. L'objectif de cette mesure est de déterminer le plus précisément possible le rapport mesuré  $N_m + f_m$  entre les fréquences du signal de sortie et de référence. Ce bloc situé sur la boucle de retour délivre la valeur du rapport sous forme numérique scindée en une partie entière  $N_m$  et une partie fractionnaire  $f_m$ . La partie entière  $N_m$  représente une approche grossière du facteur de division tandis que la partie fractionnaire  $f_m$  fait la précision de la mesure. Les performances visées en terme de bruit de phase sont telles que la partie fractionnaire doit être déterminée avec le maximum de précision. Cependant, la méthode de mesure a ses limites.

### 4.2.1 Principe de la mesure

Dans le prolongement du fonctionnement de la nouvelle architecture de synthétiseur de fréquence (la Fractional Frequency Locked Loop) présentée au chapitre 1, la méthode de mesure du rapport entre la fréquence de sortie et la fréquence de référence est présentée sur la figure 4.2.

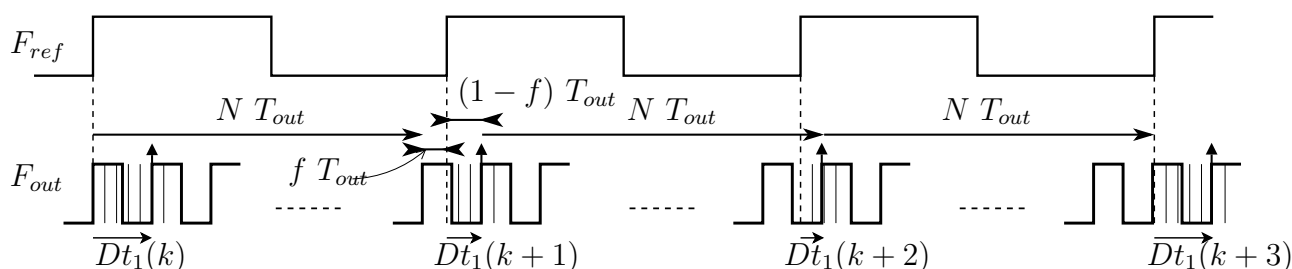


FIG. 4.2 – Méthode de mesure : La valeur de la partie fractionnaire du rapport des fréquences de sortie et de référence est directement liée à la différence  $Dt_1(k) - Dt_1(k+1)$ .



Pour un rapport de fréquence  $N + f$  ( $N \in \mathbb{N}$  et  $0 \leq f \leq 1$ ) il y a  $N$  périodes du signal de sortie ( $F_{out}$ ) plus une fraction de période du signal de sortie sur une période du signal de référence ( $F_{ref}$ ). Cette fraction proportionnelle à la partie fractionnaire  $f$  ( $f \times T_{out}$ ) est responsable d'un délai cyclique entre le front du signal de sortie et le front du signal de référence. C'est pour cette raison qu'une mesure directe par comptage des fronts n'est pas possible et que la mesure de la partie fractionnaire doit tenir compte des délais successifs entre le front de référence et le front du signal de sortie.

Ainsi, comme l'illustre la figure 4.2, la différence  $Dt_1(k) - Dt_1(k + 1)$  vaut :

$$Dt_1(k) - Dt_1(k + 1) = T_{out} - (1 - f)T_{out} = fT_{out} \quad (4.1)$$

De même, sur la période de référence suivante, la différence vaut :

$$Dt_1(k + 1) - Dt_1(k + 2) = (1 - f)T_{out} - (1 - 2f)T_{out} = fT_{out} \quad (4.2)$$

Dès lors, lorsque  $N$  périodes du signal de sortie séparent deux fronts de comparaison du signal de sortie, le résultat des différences temporelles entre les fronts de référence et de sortie permet de déterminer directement la valeur de la partie fractionnaire du rapport de fréquences. Cependant, si  $N + 1$  périodes du signal de sortie séparent deux fronts de comparaison du signal de sortie (cas de  $Dt_1(k + 2) - Dt_1(k + 3)$  sur la figure 4.2), alors le résultat de comparaison est :

$$Dt_1(k + 2) - Dt_1(k + 3) = (1 - 2f)T_{out} - (1 - 3f + 1)T_{out} = (-1 + f)T_{out} \quad (4.3)$$

En résumé, deux scénarios sont possibles :

- Scénario 1 :  $N$  périodes séparent deux fronts successifs du signal de sortie servant à la comparaison de phase :

$$Dt_1(j) - Dt_1(j + 1) = fT_{out} \quad (4.4)$$

- Scénario 2 :  $N + 1$  périodes séparent deux fronts successifs du signal de sortie servant à la comparaison de phase :

$$Dt_1(j) - Dt_1(j + 1) = (-1 + f)T_{out} \quad (4.5)$$

Proche du verrouillage, il ne peut pas y avoir d'autre scénario comme par exemple  $N - 1$  périodes du signal de sortie entre deux fronts de sortie servant à deux comparaisons successives. En effet, la partie fractionnaire  $f$  du rapport de fréquences  $F_{out}/F_{ref} = N + f$  induit un glissement de la phase qui se traduit par une évolution décroissante de l'écart temporel  $Dt_1$ . Ainsi, comme l'illustre la figure 4.2 (voir à l'instant  $k + 3$ ), deux fronts de sortie servant à la mesure sont distant de  $N + 1$  périodes si le  $N^{ième}$  front suivant le précédant arrive avant le front de référence.

La preuve est ainsi faite que l'écart temporel  $Dt_1$  est un élément clef pour déterminer la partie fractionnaire  $f$  du rapport de fréquence entre la fréquence de sortie et la fréquence de référence. Cette partie fractionnaire étant représentative de la précision de la mesure, elle influence directement la qualité du spectre en sortie de la boucle. Cette mesure doit donc être la plus fine possible. Malheureusement, la mesure de l'écart temporel  $Dt_1$  est sujette à une quantification.

### 4.2.2 Mesure de l'écart temporel $Dt_1$

Le principe de la mesure de l'écart temporel  $Dt_1$  est présenté sur la figure 4.3. Cette structure tire l'avantage de la finesse des dernières technologies : le délai de traversée d'un inverseur par le signal étant court (typiquement inférieur à  $40ps$  pour une technologie de  $65nm$ ) et non nul, on procède à un découpage temporel pour connaître le nombre de temps d'inverseurs  $T_{inv}$  séparant les deux fronts de comparaison. En effet, comme l'illustre la figure 4.3, le premier front de référence traverse une chaîne d'inverseurs. L'inverseur est la porte logique la plus petite et donc celle qui présentera un temps de propagation  $T_{inv}$  du signal le plus petit entre son entrée et sa sortie.

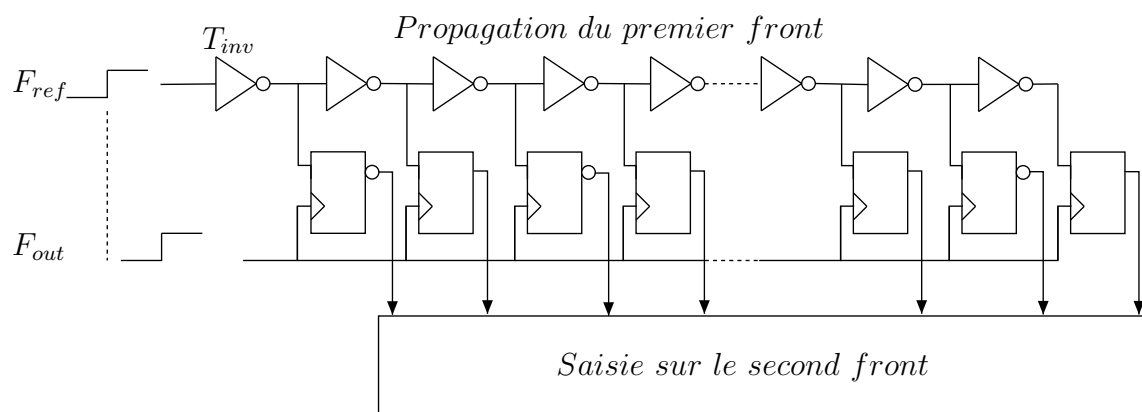


FIG. 4.3 – Schéma de principe de la conversion Temps vers Numérique (TDC : Time to Digital Converter).

Le front de référence est alors retardé d'un temps d'inverseur à chaque traversée d'un inverseur de la chaîne. Le front du signal de sortie va permettre d'effectuer la lecture de

l'état de sortie de chaque inverseur. Ainsi, la lecture de la propagation du premier front ( $F_{ref}$ ) dans la chaîne d'inverseurs à l'arrivée du second front ( $F_{out}$ ) permet de savoir dans quelle tranche de temps d'inverseurs  $T_{inv}$  se trouve le délai à mesurer  $Dt_1$ . En effet, comme l'illustre la figure 4.4, le découpage temporel par pas de  $T_{inv}$  ne permet de connaître la valeur du délai  $Dt_1$  qu'avec une précision d'un temps d'inverseur  $T_{inv}$  près. Nous n'avons donc pas accès à la valeur de  $Dt_1$ , mais au nombre mesuré  $N_{1m}$  de temps d'inverseurs séparant les deux fronts :

$$N_{1m}(k) = Ent \left( \frac{Dt_1(k)}{T_{inv}} \right) \quad (4.6)$$

Où  $Ent$  désigne la partie entière du rapport  $\frac{Dt_1}{T_{inv}}$ .

Cette quantification induit une perte de précision de la mesure qui se répercute sur le spectre de sortie par un bruit de quantification.

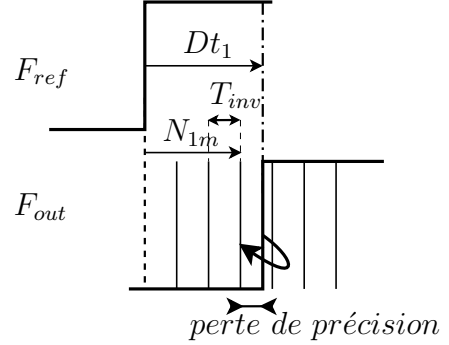


FIG. 4.4 – Quantification induisant l'incertitude sur la mesure de  $\frac{Dt_1}{T_{inv}}$ .

### 4.2.3 Dégradation du spectre de sortie

Sous l'hypothèse d'une distribution uniforme de  $Dt_1$  ayant une probabilité égale de se trouver en tout point de l'intervalle  $[-\frac{T_{inv}}{2}; \frac{T_{inv}}{2}]$ , sa densité de probabilité  $f_q$  s'écrit :

$$f_q = \frac{1}{T_{inv}} \cdot 1_{[-\frac{T_{inv}}{2}; \frac{T_{inv}}{2}]} \quad (4.7)$$

La puissance de bruit qui s'écrit de façon générale :

$$P = \int_{-\infty}^{\infty} x^2 \cdot f_q(x) dx \quad (4.8)$$

permet d'exprimer la puissance de bruit de quantification :

$$P = \frac{1}{T_{inv}} \int_{-T_{inv}/2}^{T_{inv}/2} x^2 dx = \frac{T_{inv}^2}{12}. \quad (4.9)$$

Sous la même hypothèse d'un signal aléatoire de valeur moyenne nulle, la valeur rms du bruit de quantification est :

$$\sigma_{rms} = \frac{T_{inv}}{\sqrt{12}} \quad (4.10)$$

De plus, comme il a été dit à la section 2.1.1, de l'expression de la phase  $\Delta\varphi = 2\pi\frac{\Delta t}{T}$ , il vient :

$$\sigma_\varphi = \frac{2\pi\sigma_{rms}}{T_{out}} = \frac{2\pi T_{inv}}{T_{out}\sqrt{12}} \quad (4.11)$$

Enfin, de l'expression générale du bruit :  $\sigma^2 = \int_0^{F_{ref}} 2L(f)df$  [Ferre-Pikal et al., 1997], il vient :

$$L = \frac{\sigma^2}{F_{ref}} \quad (4.12)$$

Ce qui permet d'aboutir à l'expression générale du plancher de bruit de phase en bande latérale unique en basses fréquences [Staszewski et al., 2005, 2004; Staszewski and Balsara, 2006] :

$$L = 10 \log_{10} \left( \frac{(2\pi)^2 T_{inv}^2}{12} \frac{1}{T_{out}^2 F_{ref}} \right) \text{ en } dBc/Hz. \quad (4.13)$$

L'équation (4.13) n'est vraie que sous l'hypothèse d'une distribution uniforme de  $Dt_1$ .

Ainsi, pour une fréquence de référence de  $27MHz$ , pour une fréquence de sortie égale à  $(74, 2) F_{ref}$  de l'ordre de  $2GHz$ , et un temps de propagation du signal au travers d'un inverseur de  $T_{inv} = 40ps$ , le plancher de bruit calculé dû au TDC est :  $L = -91.06 dBc/Hz$ . Ce résultat est valable par bandes d'intégration de  $1Hz$ . Pour un temps de simulation de  $1ms$ , la bande d'intégration est de  $1kHz$ . Le plancher de bruit se retrouve alors augmenté de  $10\log_{10}(1e^3) = 30dB$ . Le niveau de bruit attendu pour différentes bandes d'intégration est appelé dans le tableau 4.1 :

Bande d'intégration	Niveau de bruit attendu $L$
$1Hz$	$-91.06 dBc/Hz$
$1kHz$	$-61.06 dBc/1kHz$
$30kHz$	$-46.29 dBc/30kHz$

TAB. 4.1 – Niveaux de bruit attendu  $L$  calculé pour différentes bandes d'intégration.

Les résultats de test de l'architecture analogique présentés à la section 3.2.5 montrent que les performances en terme de bruit de phase peut être inférieur à  $-80dBc/Hz$  dans la bande passante de la PLL fractionnaire analogique. Il serait souhaitable que le plancher de bruit de phase obtenu avec les architectures numériques soit d'autant sinon mieux. Le bruit de quantification du Frequency Meter dégrade donc le niveau de plancher de bruit de  $10dB$ .

A défaut de pouvoir réduire le temps de délai  $T_{inv}$  d'un inverseur, cette dégradation du spectre de sortie justifie la nécessité d'une observation. Cet observateur doit restituer la valeur réelle du rapport  $Dt_1/T_{inv}$  pour s'affranchir de la limitation due à la quantification de la mesure de la partie fractionnaire (4.6). Ce travail propose une estimation de la valeur réelle de  $Dt_1/T_{inv}$  à partir des valeurs mesurées.

Cependant, comme nous allons le voir, l'architecture de l'observateur est limitée par la puissance de calcul qui est réduite du fait de l'intégration.

### 4.3 Observateur Non linéaire

Il vient d'être montré que la mesure de la valeur de la partie fractionnaire  $f$  du rapport de fréquences  $F_{out}/F_{ref}$  qui fait la qualité du spectre de sortie est entachée d'erreurs par la quantification du Frequency Meter. En effet, le calcul de cette partie fractionnaire s'effectue par un découpage temporel d'un intervalle de temps  $Dt_1$ . Ce découpage temporel se fait par une chaîne d'inverseur dont le pas  $T_{inv}$ , fixé par la technologie, n'est pas négligeable devant cet intervalle  $Dt_1$ . Or, seule la valeur entière de cet intervalle de temps découpé par la chaîne d'inverseurs est accessible à la mesure.

Ainsi, comme démontré précédemment, pour améliorer la précision de la mesure de fréquence, il faut restituer la valeur de  $Dt_1$  par estimation du rapport  $Dt_1/T_{inv}$ .

Cependant, la restitution de ce rapport doit se faire avec des calculs simples. En effet, la contrainte de consommation limite la fréquence du calcul et la contrainte de surface limite le nombre de calculs et la résolution du calcul. Les calculs effectués pour l'observation doivent donc être limités à des additions, des soustractions, des multiplications et des divisions pas puissances de 2 qui sont équivalentes à des décalages de bits en codage binaire.

L'observateur doit donc reposer sur des opérations simples. L'analyse de l'évolution des valeurs mesurées  $N_{1m}$  va conduire à la construction de cet observateur.

#### 4.3.1 Évolution de $N_{1m}$

La figure 4.5 montre le scénario typique de l'évolution du rapport  $Dt_1/T_{inv}$  pour une partie fractionnaire  $f = 0.2$ . Les valeurs réelles (cercles sur la figure 4.5) adoptent une évolution toujours décroissante jusqu'à ce qu'elles atteignent la limite inférieure après quoi le système saute au front de sortie suivant comme illustré sur la figure 4.2 (saut de  $k + 2$  à  $k + 3$ ). Le saut correspondant est exactement de  $T_{out}/T_{inv}$ .

La méthode de mesure ne permet que d'accéder à la partie entière  $N_{1m}$  du rapport  $Dt_1/T_{inv}$  (carrés sur la figure 4.5). Il apparaît clairement sur la figure 4.5 que la pente estimée à partir de la mesure (pointillés rouges) est bruyante comparée à la pente réelle

(trait plein). Cette pente correspond à la partie fractionnaire  $f$  à mesurer et est déterminable à partir de la différence de deux rapports successifs  $Dt_1/T_{inv}$ . L'observation revient donc à estimer la pente qui doit se rapprocher autant que possible du trait plein, c'est à dire de la pente réelle.

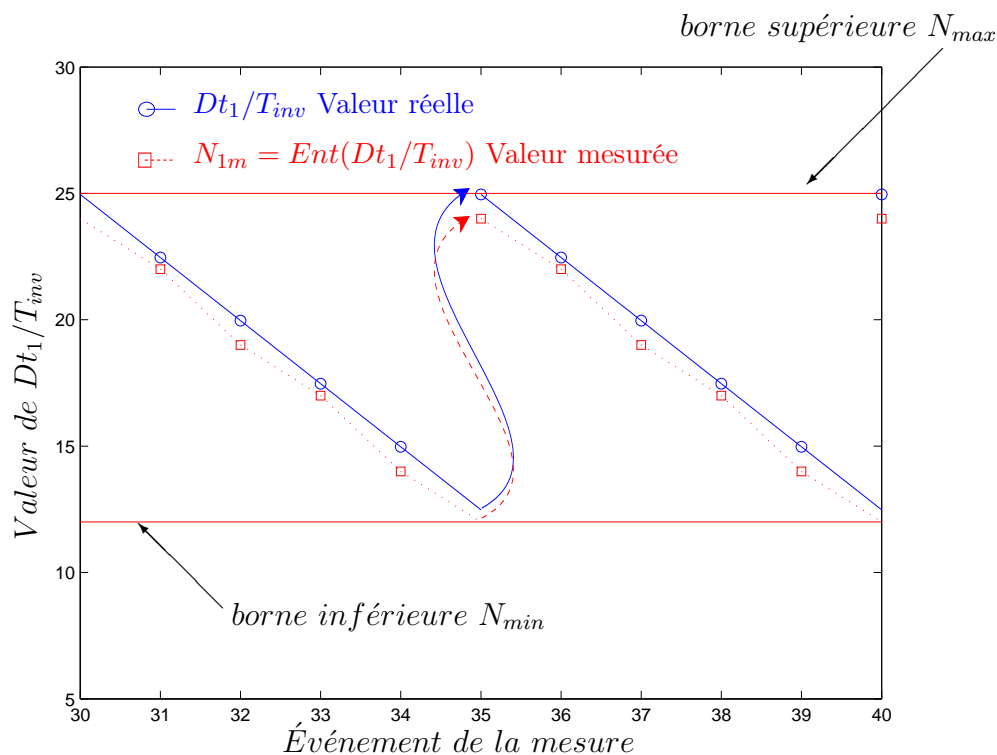


FIG. 4.5 – Évolution des valeurs réelles et mesurées de  $Dt_1/T_{inv}$  pour  $f = 0.2$ .

La figure 4.6 montre l'évolution du rapport  $Dt_1/T_{inv}$  pour une partie fractionnaire  $f = 0.6$ . L'augmentation de la pente (en raison de l'augmentation de la partie fractionnaire) est telle que la saturation est atteinte très rapidement. Cela signifie physiquement que deux fronts de sortie successifs servant à la comparaison sont plus souvent séparés de  $N + 1$  périodes du signal de sortie. Cette pente devrait être estimée en s'approchant de celle du trait plein (pente réelle). Cependant, comme ce trait plein effectue beaucoup de sauts de la valeur  $T_{out}/T_{inv}$  dont la valeur est mal connue, l'observateur peut gagner en efficacité en estimant plutôt la valeur de la pente approchée par les pointillés et dont la valeur est égale à  $1 - f$ . Ainsi, en raison du nombre de sauts minimal, la convergence de l'observateur est facilitée.

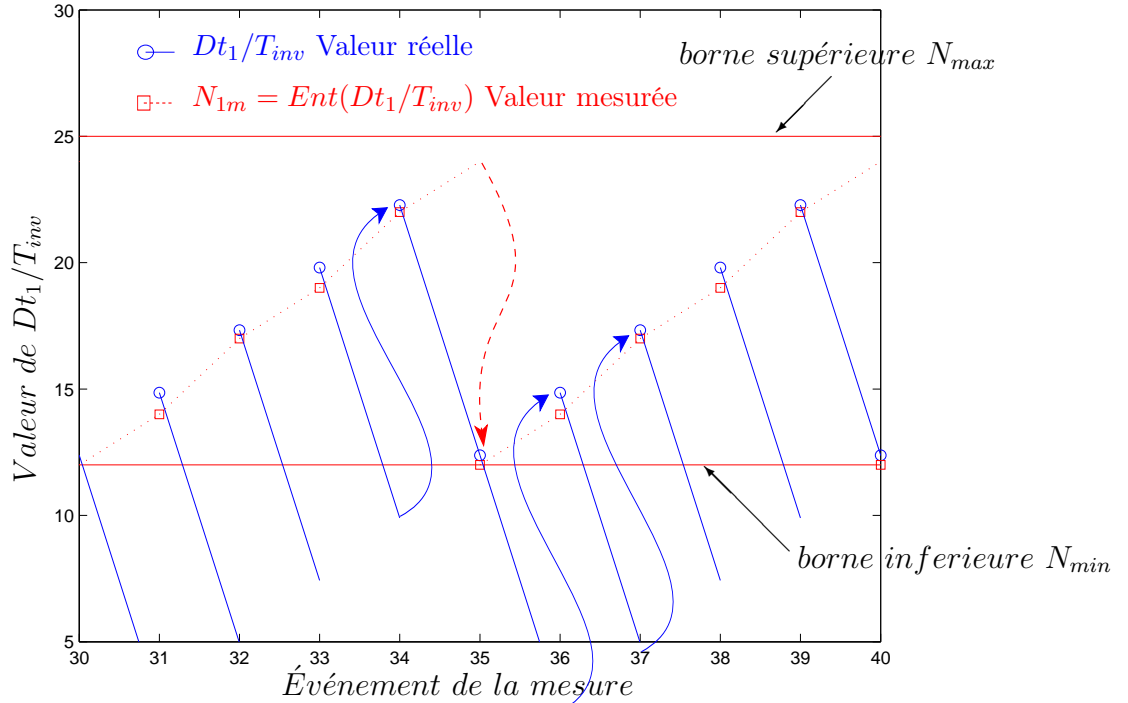


FIG. 4.6 – Évolution des valeurs réelles et mesurées de  $Dt_1/T_{inv}$  pour  $f = 0.8$ .

Dans les deux cas, la valeur des sauts est égale à  $T_{out}/T_{inv}$  puisque le système saute physiquement une période du signal de sortie. La valeur de la partie fractionnaire vaut alors :

$$\text{si la pente est négative : } f = -\text{pente} \times \frac{T_{inv}}{T_{out}}. \quad (4.14)$$

$$\text{si la pente est positive : } f = 1 - \text{pente} \times \frac{T_{inv}}{T_{out}}. \quad (4.15)$$

La *pente* correspond donc ici à la différence entre deux valeurs réelles  $N_1$  de  $Dt_1/T_{inv}$  modulo  $T_{out}/T_{inv}$ . Cependant, la mesure de  $Dt_1/T_{inv}$  est erronée à cause de la quantification du TDC. La détermination de la partie fractionnaire passe donc par la restitution de la valeur de la *pente* pour laquelle il est nécessaire de retrouver la valeur réelle de  $Dt_1/T_{inv}$ .

### 4.3.2 Estimation de $Dt_1/T_{inv}$

L'objectif de cette estimation est de restituer la valeur de  $N_1 = Dt_1/T_{inv}$  afin d'affiner la valeur de la *pente* qui permet d'accéder directement à la valeur de la partie fractionnaire  $f$  du facteur de division.

### Corps de l'estimateur

L'observateur nécessite 3 états internes :  $N_l$  et  $N_h$  pour borner la valeur réelle de  $Dt_1/T_{inv}$  et une pente instantanée ' $pent_{inst}$ ' correspondant à la différence de deux valeurs consécutives de  $\widehat{N}_1$  où  $\widehat{N}_1$  désigne la valeur estimée de  $N_1$ . L'objectif est de restituer la valeur réelle de  $N_1$  à partir des valeurs mesurées  $N_{1_m}$  pour trouver la *pent* correspondant à la partie fractionnaire  $f$ .

Le système d'équations dynamiques de l'observateur est donné par :

#### Definition 1

$$N_h(k+1) = \min(N_{1_m}(k+1) + 1; N_h(k) + \widehat{pent}(k)) \quad (4.16)$$

$$N_l(k+1) = \max(N_{1_m}(k+1); N_l(k) + \widehat{pent}(k)) \quad (4.17)$$

Avec  $N_h(k+1) \geq N_l(k+1)$ .

Si  $N_h(k+1) < N_l(k+1)$ , on peut choisir :  $N_h(k+1) = N_{1_m}(k+1) + 1$   
et :  $N_l(k+1) = N_{1_m}(k+1)$ .

Pour avoir  $\widehat{N}_1(k+1) \in [N_h(k+1), N_l(k+1)]$ , on choisit :

$$\widehat{N}_1(k+1) = \frac{N_h(k+1) + N_l(k+1)}{2}. \quad (4.18)$$

Dès lors, la valeur de la pente instantanée est :

$$pent_{inst}(k+1) = \widehat{N}_1(k+1) - \widehat{N}_1(k) \text{ mod } \left( \frac{T_{out}}{T_{inv}} \right). \quad (4.19)$$

Ce qui conduit à la valeur estimée de la pente :

$$\widehat{pent}(k+1) = \sum_{i=k-2^n}^{i=k} \frac{pent_{inst}(i)}{2^n}, \text{ avec } n \in \mathbb{N} \quad (4.20)$$

**Remarque 1 :** Les valeurs initiales de  $N_h$  et  $N_l$  sont respectivement  $N_{1_m} + 1$  et  $N_{1_m}$ . En cas d'incohérence entre  $N_h$ ,  $N_l$  et la mesure, ces états internes sont réinitialisées à ces valeurs.

**Remarque 2 :** La valeur estimée de la pente ( $\widehat{pent}$ ) se fait au travers d'une moyenne des  $n$  pentes instantanées ( $pent_{inst}$ ) précédentes. Cette fonction est équivalente à un filtrage numérique. La limite de la longueur  $n$  de ce filtrage est telle que la fréquence de coupure de ce filtre doit être supérieure à la bande passante de la PLL.



### Explication de l'observateur

Le principe de la restitution de l'état est décrit par la figure 4.7. Sur cette figure, la valeur réelle à restituer est dessinée par des cercles. Chaque tronçon symbolise la quantification liée au temps d'un inverseur  $T_{inv}$ . Ainsi, la mesure directe donne le numéro du dernier inverseur dont la sortie a changé d'état avant l'arrivée du front de référence. Ce numéro correspond à la valeur entière du déphasage à mesurer divisé par le temps d'un inverseur :  $N_{1m} = Ent(Dt_1/T_{inv})$ .

Deux valeurs  $N_h$  et  $N_l$  encadrent la valeur réelle de  $Dt_1/T_{inv}$  comprise dans  $[N_{1m}; N_{1m} + 1]$ . Les valeurs suivantes possibles des bornes  $N_h$  et  $N_l$  sont obtenues par conciliation d'une part des équations (4.16) et (4.17) donnant des valeurs candidates issues des valeurs précédentes et d'autre part du résultat de mesure  $N_{1m} = Ent(Dt_1/T_{inv})$ .

Par conséquent, les valeurs les plus critiques de ces bornes sont  $N_l(k) = N_{1m}(k)$  et  $N_h(k) = N_{1m}(k) + 1$  et donc  $\widehat{N}_1(k) = N_{1m}(k) + 0.5$  (4.18). Cela signifie que l'estimation ne peut pas dégrader les performances du système puisque le résultat ne peut pas être plus approximatif que la mesure directe.

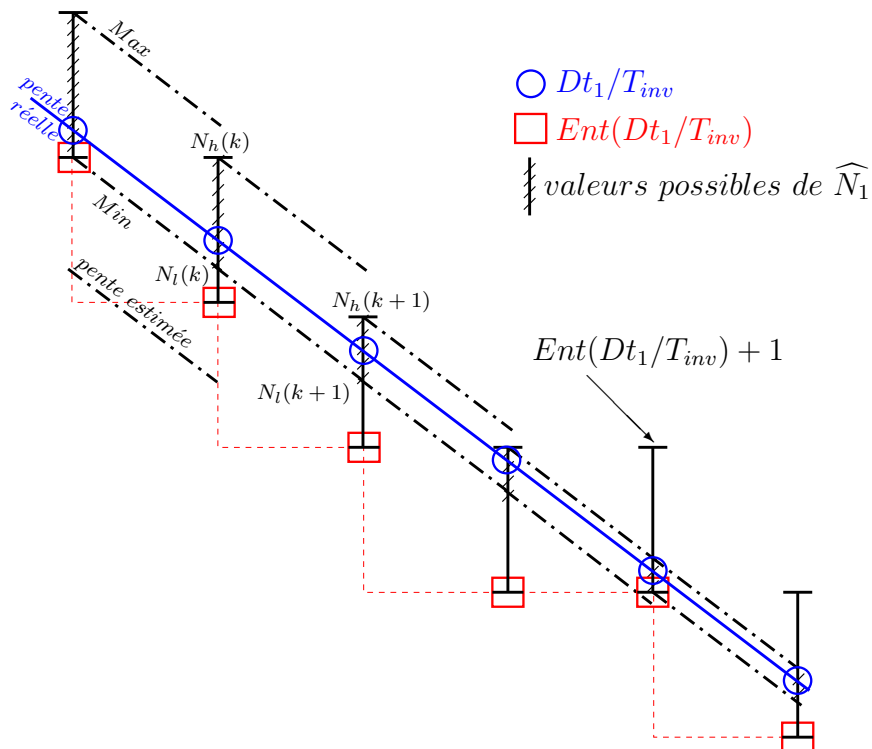


FIG. 4.7 – Évolution des bornes  $N_l$  et  $N_h$  de  $\widehat{N}_1$  : *Min* et *Max*

Comme il a été montré à partir des figures 4.5 et 4.6, le nombre de sauts est lié à la valeur de la partie fractionnaire  $f$ . La convergence de l'observateur étant facilitée par un nombre de saut (de valeur  $\frac{T_{out}}{T_{inv}}$ ) minimal, il est préférable d'opter pour l'un des deux calculs :

si  $f < 0.5$ , le scénario à pente négative (4.14) est préféré (voir la figure 4.5) et :

$$f = -pente \times \frac{T_{inv}}{T_{out}}.$$

si  $f < 0.5$ , le scénario à pente positive (4.15) est préféré (voir la figure 4.6) et :

$$f = 1 - pente \times \frac{T_{inv}}{T_{out}}.$$

si  $f \simeq 0.5$ , alors les deux scénarios sont équivalents en terme de performances compte tenu du nombre de sauts.

Jusqu'ici, la valeur du rapport  $T_{out}/T_{inv}$  a été supposée connue. En réalité, de même que l'imprécision qui touche  $Dt_1/T_{inv}$ , ce rapport est mesuré et donc erroné. Parce que ce rapport agit directement sur le calcul de  $f$  (4.14) et (4.15), ce rapport justifie une étude particulière.

### Gestion du saut de $T_{out}/T_{inv}$

Soit  $\widehat{\frac{T_{out}}{T_{inv}}}$  la valeur estimée du rapport entre la période de sortie  $T_{out}$  et le délai présenté par chaque inverseur  $T_{inv}$  du TDC (Time To Digital Converter).

Pour simplifier les expressions et les calculs, *saut* désigne la valeur réelle  $\frac{T_{out}}{T_{inv}}$  et  $\widehat{saut}$  désigne sa valeur estimée  $\widehat{\frac{T_{out}}{T_{inv}}}$ .

La partie entière du rapport  $T_{out}/T_{inv}$  est connue puisqu'elle correspond à l'amplitude maximale prise par les valeurs entières mesurées  $N_{1m}$ . Un procédé de mesure similaire à celui qui est présenté avec le TDC mais avec des comparaisons de fronts plus complexes pourrait au mieux donner cette valeur à 20% près [Tonietto, 2005; Tonietto et al., 2006]. Cette résolution n'est pas suffisante puisque la valeur du saut intervient dans le calcul de  $f$  (4.14) et (4.15). Ainsi, l'erreur sur le *saut* peut entraîner un offset de la valeur de la partie fractionnaire mesurée.

Cet offset de valeur existe bien par la méthode de mesure initiale puisque la valeur mesurée  $f_m$  de  $f$  est aussi calculée par le biais de l'équation (4.14) qui est :  $f = pente/saut$ .

Nous affirmons que l'observateur proposé n'introduit aucun offset sur la valeur estimée  $\widehat{f}$  de la partie fractionnaire  $f$  du rapport de fréquence  $\frac{F_{out}}{F_{ref}} = N + f$  tant que l'écart  $\widehat{\frac{T_{out}}{T_{inv}}} - \frac{T_{out}}{T_{inv}}$  reste limité.

Le terme 'limité' est assez large mais difficile à quantifier en raison du comportement non linéaire de l'observateur. Dans l'application présentée, pour une fréquence de sortie de  $2GHz$  et un temps d'inverseur de  $40ps$ , la valeur du rapport est  $T_{out}/T_{inv} = 12.5$ . Nous connaissons la valeur entière du rapport  $Ent(T_{out}/T_{inv}) = 12$  puisque la valeur mesurée  $N_{1_m}$  varie avec une amplitude de 12 temps d'inverseurs.

La figure 4.8 montre différentes simulations temporelles du résultat de la mesure et de l'estimation du rapport de fréquences. Ces simulations sont effectuées avec l'observateur seul en entrée duquel on injecte la fréquence de référence et une fréquence fixe multiple de la référence de  $73 + f$ . Les figures 4.8 comparent les résultats de la partie fractionnaire mesurée  $f_m$  à partir des valeurs mesurées  $N_{1_m}$  avec les valeurs de la partie fractionnaire  $\widehat{f}$  issues de l'observateur. Pour ne pas pénaliser le résultat issu de la mesure directe, le résultat initial est filtré par l'intermédiaire d'un registre de la même longueur que celui de l'observateur. La longueur du registre est ici de 128.

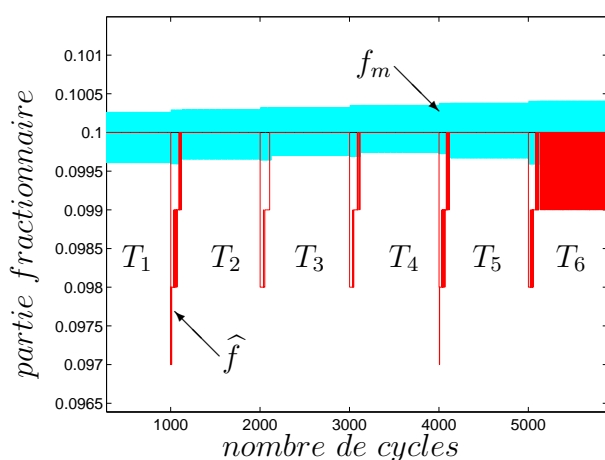
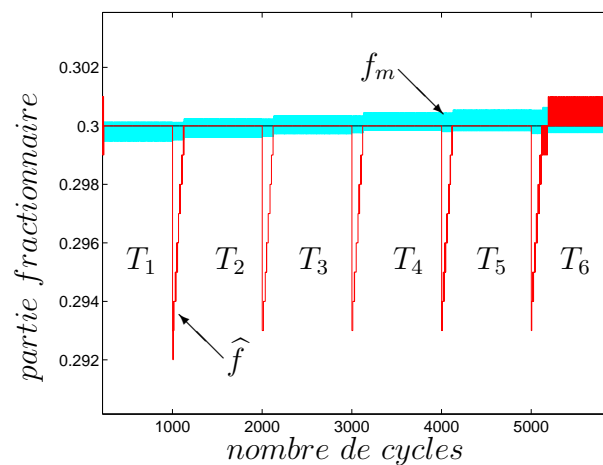
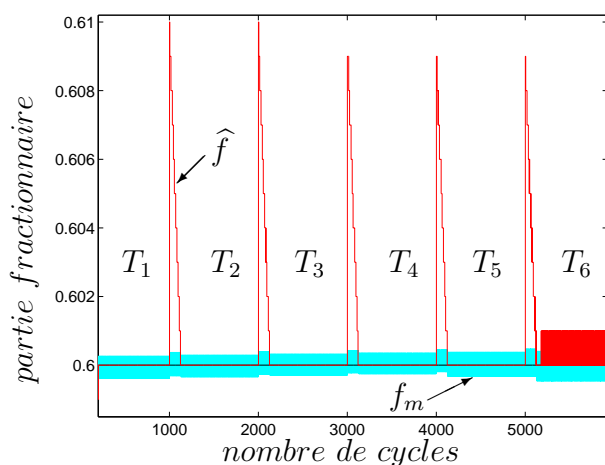
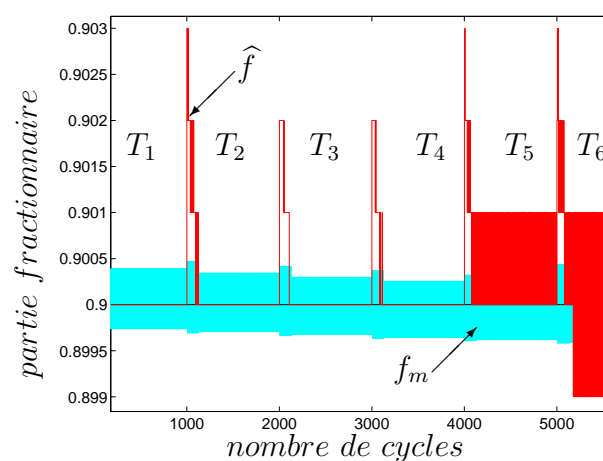
Pour évaluer l'effet de l'erreur commise sur  $T_{out}/T_{inv}$ , nous fixons artificiellement la valeur du *saut* pendant les durées  $T_1, T_2, T_3, T_4, T_5, T_6$  comme montré dans la table 4.2.

Les pics de la valeur  $\widehat{f}$  sur les figures 4.8.a à d correspondent aux instants où la valeur du *saut* est modifiée. La largeur de ce pic correspond au temps nécessaire au registre de longueur 128 pour changer intégralement de valeur et amener l'observateur à converger vers la valeur réelle de  $f$ . Ce phénomène qui existe aussi sur la valeur mesurée  $f_m$  est plus clairement visible sur la figure 4.8.d. Après ce temps de convergence, on constate que l'erreur  $\widehat{f} - f$  devient très proche de zéro. En effet, la valeur de  $f$  a aussi été tracée sur les figures 4.8.a à d mais son tracé est confondu avec celui de  $\widehat{f}$ . On aperçoit le tracé de  $f$  seulement aux instants où l'observateur fait un écart.

On constate donc qu'il n'y a aucun offset entre  $\widehat{f}$  et  $f$  pour des valeurs de l'erreur  $\widehat{saut} - saut$  inférieure à 0.9. Cette marge est très large comparée à la valeur connue  $Ent(T_{out}/T_{inv}) = 12$ . Par rapport aux valeurs données dans le tableau 4.2, cela sous-entend qu'il est possible de fixer arbitrairement la valeur de *saut* dans l'intervalle connu  $[Ent(saut); Ent(saut) + 0.9]$  sans créer d'offset sur la mesure de  $f$ .

Ce n'est pas le cas pour la mesure directe à partir des valeurs  $N_{1_m}$  où l'erreur sur la valeur du *saut* crée un offset variable sur la valeur mesurée  $f_m$  du fait de sa dépendance dans l'équation (4.14).

Durée	valeur de $\widehat{saut}$	Durée	valeur de $\widehat{saut}$
$T_1$	$\widehat{saut} = saut + 0$	$T_4$	$\widehat{saut} = saut + 0.9$
$T_2$	$\widehat{saut} = saut + 0.3$	$T_5$	$\widehat{saut} = saut + 1.2$
$T_3$	$\widehat{saut} = saut + 0.6$	$T_6$	$\widehat{saut} = saut + 1.5$

TAB. 4.2 – Valeur du  $\widehat{saut}$  sur les intervalles de temps  $T_1$  à  $T_6$ 4.8.a Simulation pour  $f = 0.1$ 4.8.b Simulation pour  $f = 0.3$ 4.8.c Simulation pour  $f = 0.6$ 4.8.d Simulation pour  $f = 0.9$ FIG. 4.8 – Simulations pour différentes parties fractionnaires  $f$ 

Cet atout de l'observateur valorise encore son intérêt qui n'est pas seulement de dimi-

nuer le plancher de bruit de phase dû au Frequency Meter, mais aussi d'annuler l'offset dû au manque de précision du *saut*.

Ce phénomène peut s'expliquer à l'aide de la figure 4.9 qui présente un cycle périodique que peut atteindre la dynamique de  $N_{1_m}$ .

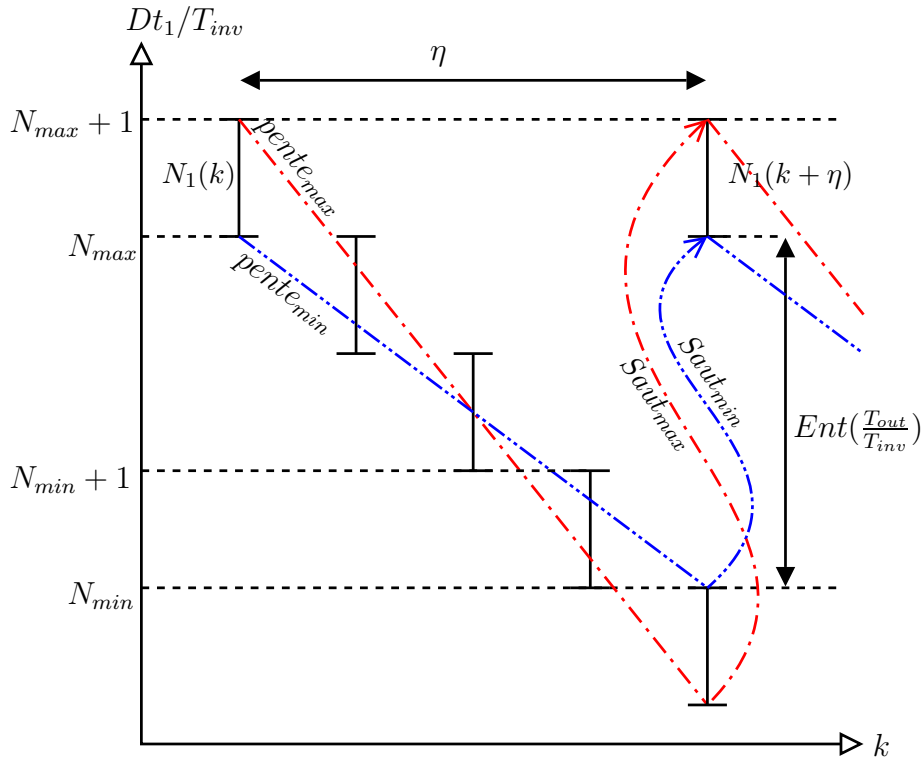


FIG. 4.9 – Pente maximale et pente minimale possibles.

Si la valeur du  $\widehat{saut}$  est trop faible, alors pour aboutir à un résultat cohérent avec les valeurs mesurées  $N_{1_m} = Ent(Dt_1/T_{inv})$ , l'observateur trouve une pente plus faible (voir la figure 4.9).

De même, si la valeur du  $\widehat{saut}$  est trop forte, alors pour aboutir à un résultat cohérent avec les valeurs mesurées  $N_{1_m}$ , l'observateur trouve une pente plus forte.

L'observateur trouve naturellement une dynamique cohérente avec la mesure de telle sorte qu'il puisse quand même converger vers une solution telle que :  $Ent(\widehat{N}_1) = N_{1_m}$ .

Cette dynamique est quand même limitée par construction comme montré sur la figure 4.9 avec les valeurs de pente minimales et maximales qui seront induites par les sauts maximum et minimum possible.

Cette interprétation permet de comprendre qu'une erreur sur la valeur du  $\widehat{saut}$  sera compensée par une erreur sur la *pente* de telle sorte que le résultat issu de l'observateur

soit cohérent. Cependant, cette discussion ne garantit que ces deux erreurs respectives se compensent de telle sorte que la différence  $\widehat{f} - f$  s'annule.

Le comportement non linéaire de l'observateur rend difficile toute démonstration générale. Cependant, le cas illustré sur la figure 4.9 permet de comprendre pourquoi l'erreur  $\widehat{f} - f$  ne s'annule pas pour toute erreur limitée  $\widehat{saut} - saut$  comme c'est le cas sur les simulations 4.8.

La figure 4.9 montre les deux cas extrêmes possibles de pente minimale et de pente maximale qui permet de respecter la condition de cohérence avec les mesures. C'est à dire qu'il faut que la partie entière de la valeur estimée  $\widehat{N}_1$  soit toujours égale à la partie entière de la valeur réelle  $N_1$  qui n'est autre que la valeur mesurée  $N_{1_m}$ . Pour cela, il faut que  $\widehat{N}_1$  reste élément de  $[N_{1_m}; N_{1_m} + 1[$ .

Le résultat issu de l'observateur est cohérent avec les mesure seulement si :

$$Ent(\widehat{N}_1) = N_{1_m} = Ent\left(\frac{Dt_1}{T_{inv}}\right) \quad (4.21)$$

Ainsi, le scénario avec la pente de valeur minimale est possible avec la valeur du saut minimale (en  $-\dots-\dots-$  sur la figure 4.9). De même pour les valeurs maximales (en  $-\cdot-\cdot-\cdot-$ ).

$N_{min}$  et  $N_{max}$  correspondent aux valeurs limites de la mesure dues à la comparaison avec le front du signal de sortie. Ces deux valeurs sont donc distantes de  $Ent(T_{out}/T_{inv})$ .

Montrons qu'il est impossible qu'un cycle propre s'installe avec un offset sur la valeur estimée  $\widehat{f}$ .

Soit  $\eta \in \mathbb{N}$  tel qu'il n'existe qu'un seul saut (de valeur  $\frac{T_{out}}{T_{inv}}$ ) entre  $N_1(k)$  et  $N_1(k + \eta)$  et tel que  $Ent(N_1(k)) = Ent(N_1(k + \eta))$  (voir la figure 4.9) :

$$N_1(k + \eta) = N_1(k) + \eta \text{ pente} + saut \quad (4.22)$$

$$\widehat{N}_1(k + \eta) = \widehat{N}_1(k) + \eta \widehat{\text{pente}} + \widehat{saut} \quad (4.23)$$

Ainsi, pour une partie fractionnaire constante, la figure devient périodique de période  $\eta$  et l'étude faite sur une période est valable sur toutes les périodes.

Ceci montre par construction qu'il existe plusieurs couples  $\{\widehat{\text{pente}}, \widehat{saut}\}$  tels que le résultat issu de l'observateur soit cohérent avec le résultat issu de la mesure :  $Ent(\widehat{N}_1) \in [N_{1_m}; N_{1_m} + 1[$  avec  $\widehat{\text{pente}} \in [\text{pente}_{min}; \text{pente}_{max}]$  et  $\widehat{saut} \in [Saut_{min}; Saut_{max}]$ .

Pour montrer que ces solutions n'induisent pas d'offset sur la valeur de la partie fractionnaire estimée, il faut d'abord exprimer clairement les valeurs limites  $\text{pente}_{min}$ ,  $\text{pente}_{max}$ ,  $Saut_{min}$  et  $Saut_{max}$  :

Il vient naturellement (figure 4.9) :

$$Saut_{min} = Ent\left(\frac{T_{out}}{T_{inv}}\right) \quad (4.24)$$

$$Saut_{max} = Ent\left(\frac{T_{out}}{T_{inv}}\right) + 2 \quad (4.25)$$

De même, les pentes maximales et minimales sont :

$$pente_{min} = \frac{N_{max} - N_{min}}{\eta} \quad (4.26)$$

$$pente_{max} = \frac{N_{max} + 1 - (N_{min} - 1)}{\eta} \quad (4.27)$$

La *pente* réelle à retrouver étant égale au rapport entre le *saut* réel de valeur  $\frac{T_{out}}{T_{inv}}$  et la période  $\eta$ , on a :

$$\eta = \frac{saut}{pente} \quad (4.28)$$

D'autre part, comme  $N_{max} - N_{min} = Ent\left(\frac{T_{out}}{T_{inv}}\right)$ , alors les expressions (4.26) et (4.27) deviennent :

$$pente_{min} = Ent\left(\frac{T_{out}}{T_{inv}}\right) \frac{pente}{saut} \quad (4.29)$$

$$pente_{max} = \left(Ent\left(\frac{T_{out}}{T_{inv}}\right) + 2\right) \frac{pente}{saut} \quad (4.30)$$

La condition pour éviter tout offset est  $f = \widehat{f}$ , c'est à dire dans le cas de (4.14) où  $f = -pente \times 1/saut$  :

$$\frac{\widehat{pente}}{\widehat{saut}} = \frac{pente}{saut} \quad (4.31)$$

et dans le cas de (4.15) où  $f = 1 - pente \times 1/saut$ , le résultat est le même :

$$\frac{\widehat{pente}}{\widehat{saut}} = \frac{pente}{saut} \quad (4.32)$$

Ainsi, le rapport des valeurs limites  $pente_{max}$  et  $Saut_{max}$  est :

$$\frac{pente_{max}}{Saut_{max}} = \left(Ent\left(\frac{T_{out}}{T_{inv}}\right) + 2\right) \frac{pente}{saut} \times \frac{1}{Ent\left(\frac{T_{out}}{T_{inv}}\right) + 2} = \frac{pente}{saut} \quad (4.33)$$

De même pour les valeurs limites  $pen\text{te}_{min}$  et  $Saut_{min}$  :

$$\frac{pen\text{te}_{min}}{Saut_{min}} = Ent\left(\frac{T_{out}}{T_{inv}}\right) \frac{pen\text{te}}{saut} \times \frac{1}{Ent\left(\frac{T_{out}}{T_{inv}}\right)} = \frac{pen\text{te}}{saut} \quad (4.34)$$

Ceci montre que l'estimation de la partie fractionnaire  $f$  est sans erreur pour une dynamique cyclique de  $N_{1m}$  conforme à celle de la figure 4.9 si la valeur estimée du saut est comprise entre :

$$\frac{\widehat{T}_{out}}{T_{inv}} \in \left[ Ent\left(\frac{T_{out}}{T_{inv}}\right); Ent\left(\frac{T_{out}}{T_{inv}}\right) + 2 \right] \quad (4.35)$$

L'intérêt de cet observateur est donc qu'il n'est pas nécessaire de connaître précisément la valeur du rapport  $\frac{T_{out}}{T_{inv}}$ . En effet, la valeur de la partie fractionnaire est estimée sans erreur malgré cette incertitude.

Le second intérêt de ce résultat est que si la période du signal de sortie  $T_{out}$  fluctue (modulation, bruit . . .), il n'est pas nécessaire d'effectuer une mesure en ligne du rapport  $\frac{T_{out}}{T_{inv}}$  pour poursuivre l'observation.

La concordance des calculs et des simulations illustrent l'efficacité de cet observateur non linéaire.

## 4.4 Performances de l'observateur

Du fait du comportement fortement non-linéaire de cet observateur, il semble difficile de donner une preuve formelle de son efficacité. Les performances de l'observateur vont être évaluées en comparant l'erreur  $\widehat{N}_1 - Dt_1/T_{inv}$  et l'erreur  $N_{1m} - Dt_1/T_{inv}$ . Pour cela, il faut inclure l'observateur dans une boucle à verrouillage de phase et comparer le bruit de phase de sortie avec celui issu d'une PLL numérique classique. Cependant, comme l'observateur utilise une fonction de filtrage issue de la longueur du registre, il faut rajouter ce filtre dans l'architecture classique afin de ne pas tirer de conclusion sur les améliorations dues au filtre uniquement.

### 4.4.1 Modèles de simulation :

Parce que l'observateur utilise un registre pour définir la pente estimée, nous devons ajouter le même type de filtrage équivalent à l'architecture de base afin d'être sûr de ne pas confondre les améliorations dues au filtrage comme cela est décrit dans [Sander, 2001].

De l'architecture de base présentée sur la figure 4.1 sont dérivées deux architectures : d'une part une PLL numérique munie d'un simple filtre ajouté au Frequency Meter (que



nous appelons ici “DPLL avec Filtrage”, figure 4.10.a) et d’autre part une PLL numérique à laquelle est ajouté l’observateur (que nous nommons ici “DPLL avec Observation”, figure 4.10.b). Le filtre ajouté à la DPLL avec Filtrage utilise la même longueur de registre que l’observateur. Ainsi, la comparaison des deux peut certifier que l’amélioration sur le spectre de sortie est bien due à l’observation et non pas seulement au filtrage équivalent de l’observateur.

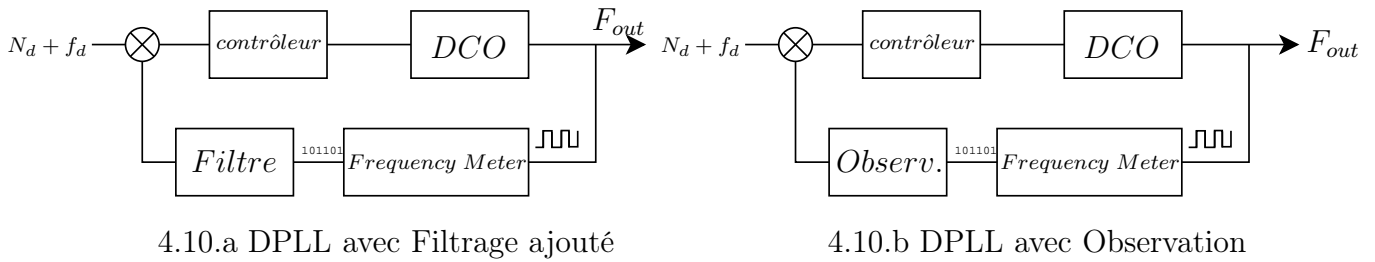


FIG. 4.10 – Schéma des deux PLLs numériques modélisées pour évaluer l’efficacité de l’observateur.

La figure 4.11 permet de comparer la réponse fréquentielle de l’observateur à celle d’un simple filtre de fonction de transfert :

$$\text{Pour un registre de longueur } n = 32 \text{ (4.20) :} \quad F(z) = \frac{z^{32} - 1}{z^{33} - z^{32}} \quad (4.36)$$

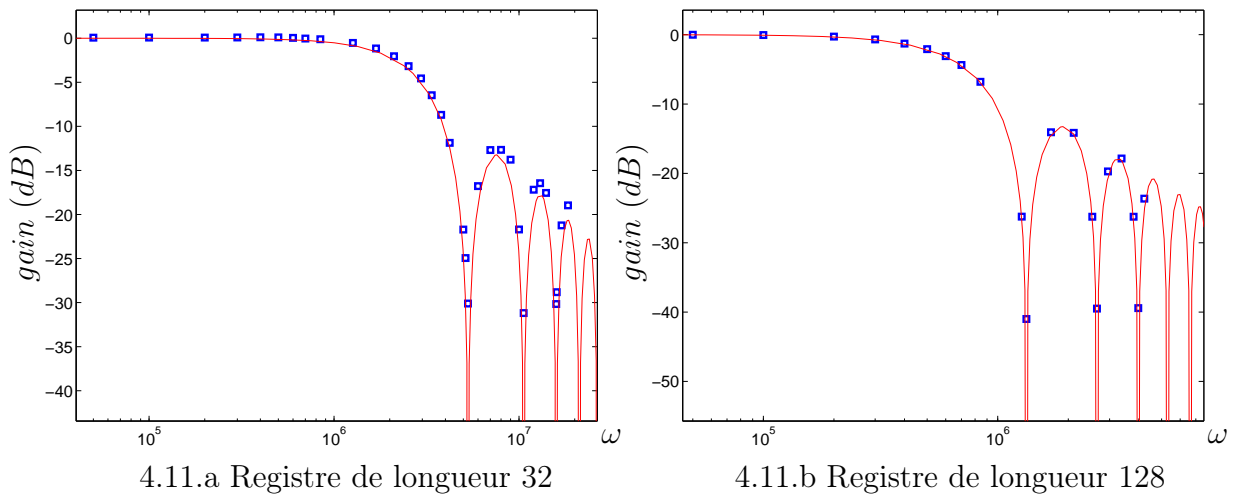


FIG. 4.11 – Comparaison des réponses fréquentielles entre l’observateur (carrés) et un filtre équivalent (trait plein)

Le filtre décrit par l'équation (4.36) est donc intégré à l'architecture de la DPLL avec Filtrage (figure 4.10.a) de telle sorte que les réponses fréquentielles des deux DPLLs soient identiques et que la différence de performances ne soit due qu'à l'observateur.

Pour chacune de ces deux architectures, le contrôleur est un simple PID pour ne s'intéresser ici qu'aux apports de l'observateur sur le bruit dans la bande passante.

Les résultats de simulations, secondés par le niveau de bruit théorique, permettent de quantifier les améliorations apportées par l'observateur.

#### 4.4.2 Niveau de bruit simulé :

La section 4.2.3 de ce même chapitre a montré le niveau théorique de bruit en basses fréquences pour une répartition uniforme des  $Dt_1(k)$  sur l'intervalle  $[-\frac{T_{inv}}{2}; \frac{T_{inv}}{2}]$ . Dans le cas d'une répartition non uniforme, l'expression (4.13) n'est plus correcte. Par simulation, il est cependant possible d'évaluer le plancher réel de bruit par extraction de la densité de probabilité de  $Dt_1$  dans l'intervalle  $[-\frac{T_{inv}}{2}; \frac{T_{inv}}{2}]$ .

En considérant l'erreur  $\epsilon(k) = Dt_1(k) - \widehat{N}_1(k)T_{inv}$  telle que la puissance de bruit sur  $S$  points de calcul de la simulation s'écrit :

$$P = \sum_{k=1}^{k=S} \frac{\epsilon(k)^2}{S}. \quad (4.37)$$

Ainsi, le niveau de bruit de phase correspondant est :

$$L = 10 \log_{10} \left( (2\pi)^2 \frac{P}{T_{out}^2} \frac{1}{F_{ref}} \right) \text{ en } dBc/Hz. \quad (4.38)$$

Cette équation (4.38) permet donc d'évaluer le niveau du plancher de bruit théorique à partir de la répartition non nécessairement uniforme des  $Dt_1(k)$  extraits de la simulation.

#### 4.4.3 Résultats de simulation :

Les paramètres de simulation en boucle fermée sont :

paramètre :	valeur :
longueur du filtre	$n = 128, (4.20)$
Fréquence de référence	$F_{ref} = 27MHz$
Période de sortie	$T_{out} = 499ps$
Temps de délai d'un inverseur	$T_{inv} = 40ps$

TAB. 4.3 – Paramètres de simulation.

La fréquence de coupure du filtre de l'observateur est de  $210kHz$ , supérieure à la bande passante de la boucle de l'ordre de  $50 - 100kHz$ .

Les performances calculées et simulées sont reportées dans le tableau 4.4. Le résultat théorique donné par la formule (4.13) donnée pour une répartition uniforme de  $Dt_1(k)$  prévoit un plancher de bruit en basses fréquences de  $-46.29dBc$  par bande de  $30kHz$ . La répartition de  $Dt_1(k)$  donnée par simulation de l'architecture de base prévoit la même valeur par la formule statistique (4.38). Dans le cas de l'architecture de la DPLL avec Filtrage, le niveau prévu du plancher de bruit est inchangé dans la mesure où la fréquence de coupure du filtre passe-bas s'étend au delà de la plage fréquentielle analysée (qui ne s'étend que jusqu'à la fréquence de coupure du système). Avec l'observateur, le calcul prévoit un plancher de bruit de  $-58dBc$  par bande de  $30kHz$  soit un plancher de bruit diminué de  $12dBc$ .

Type de calcul :	équation correspondante :	valeur :
Théorie	(4.13)	$-46.29dBc/30kHz$
Distribution simulée de $Dt_1$	(4.38)	$-46.26dBc/30kHz$
Plancher de bruit estimé de la DPLL avec Filtrage	(4.38), carrés sur la figure 4.12	$-46.42dBc/30kHz$
Plancher de bruit estimé de la DPLL avec Observation	(4.38), trait plein sur la figure 4.12	$-58.46dBc/30kHz$

TAB. 4.4 – Plancher de bruit estimé par calcul

La figure 4.12 montre l'erreur commise par la mesure par rapport à la valeur réelle de  $Dt_1/T_{inv}$ . Il apparaît clairement (pointillés) que la valeur mesurée  $N_{1m}$  est répartie sur la totalité de la plage de valeurs. La concordance des valeurs du plancher de bruit théorique (4.13) et statistique (4.38) montre aussi que cette répartition est uniforme. En revanche, grâce à l'observateur, la valeur estimée  $\widehat{N}_1$  converge rapidement vers la valeur réelle. Il arrive que le bruit de mesure l'en écarte, mais l'observateur converge suffisamment rapidement pour se rapprocher au plus vite de la valeur réelle.

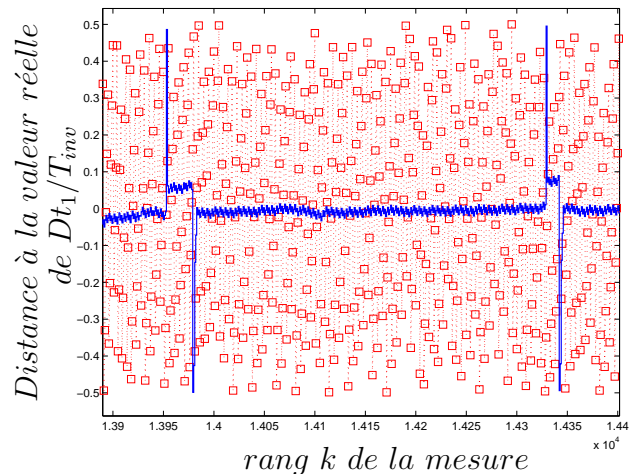


FIG. 4.12 – Erreur de mesure : pointillés :  $Dt_1/T_{inv} - N_{1m}$ , trait plein :  $Dt_1/T_{inv} - \widehat{N}_1$

Malgré ces écarts, la figure 4.12 montre bien les bénéfices de ce dispositif.

Les figures 4.13 et 4.14 tracent le profil de bruit de phase en sortie de la boucle avec le Frequency Meter pour seul contributeur de bruit (bruit de quantification). Pour focaliser sur le bruit généré par la mesure de fréquence, aucune autre source de bruit n'est ajoutée ici. Les autres contributeurs exclus de cette analyse sont le bruit de phase de l'oscillateur qui n'est surtout effectif qu'en dehors de la bande passante de la PLL et d'autre part le bruit de phase du signal de référence dont le plancher de bruit se situe en dessous du bruit généré par le Frequency Meter dans la bande passante et qui est filtré par la boucle au delà. L'objectif de cet observateur est de minimiser le bruit généré par la mesure de fréquence dans la bande passante de la boucle à verrouillage de phase (jusqu'à 50kHz-100kHz).

La figure 4.13 montre le résultat de l'analyse spectrale effectuée à partir d'une simulation temporelle de 1ms pour chacun des deux systèmes, ce qui induit un pas fréquentiel de 1kHz. Les raies parasites sont dues à la partie fractionnaire du rapport de fréquences  $F_{out}/F_{ref}$  qui est de 0.2. La densité spectrale de puissance décroît au delà de  $10^5 Hz$  du fait de la présence des différents filtres de la boucle. Afin de mieux visualiser l'amélioration liée à l'observateur, la figure 4.14 présente le même résultat de simulation mais intégré par bandes de 30kHz ce qui permet de lisser la courbe. L'amélioration de 12dBc grâce à l'observateur est clairement visible sur ce tracé.

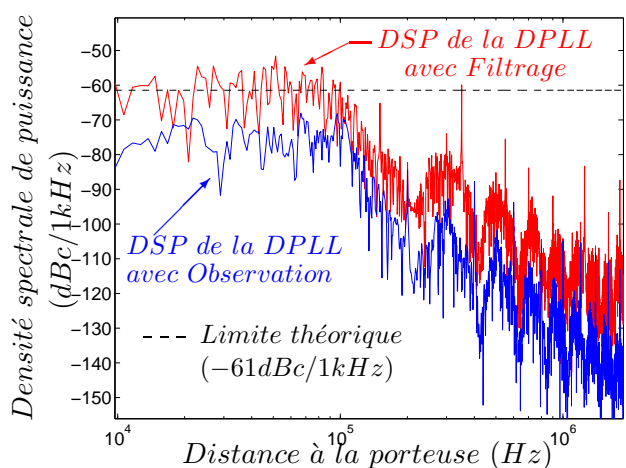


FIG. 4.13 – Densité spectrale de puissance pour les deux DPLL par bande de 1kHz

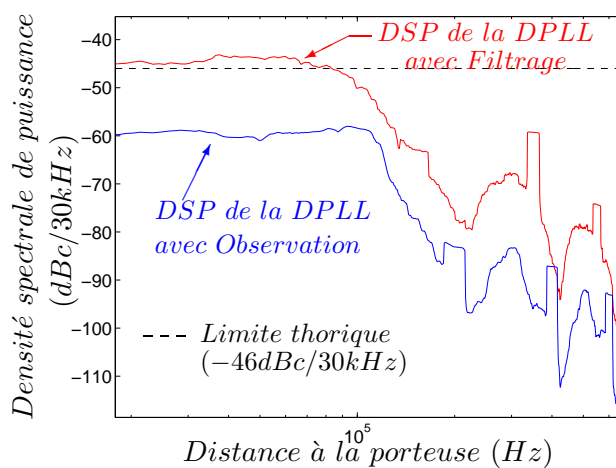


FIG. 4.14 – Densité spectrale de puissance pour les deux DPLL par bande de 30kHz

La figure 4.15 montre la puissance de bruit simulée en fonction de la partie fractionnaire comprise entre 0.1 et 0.9. La partie entière du rapport de division reste inchangée et égale à 74. Pour ces simulations, l'offset  $\frac{\widehat{T_{out}}}{T_{inv}} - \frac{T_{out}}{T_{inv}}$  est fixé à 0.1 pour ne pas se placer dans un cas idéal d'offset sur le saut nul. Le rapport  $\frac{T_{out}}{T_{inv}}$  pour ces simulations étant d'en-

viron 12.5, une erreur de 0.1 unité est cohérente et pessimiste par rapport à la méthode de mesure en ligne de ce rapport. Malgré cette erreur, aucun offset de fréquence en sortie n'est constaté conformément à l'étude faite à ce sujet à la section 4.3.2.

La figure 4.15 met en évidence le comportement non linéaire de l'observateur. Contrairement aux résultats de la DPLL avec Filtrage pour laquelle le niveau de bruit reste aux alentours de  $-46dBc/30kHz$ , le plancher de bruit obtenu avec la DPLL avec Observateur peut descendre jusqu'à  $20dBc$  en dessous.

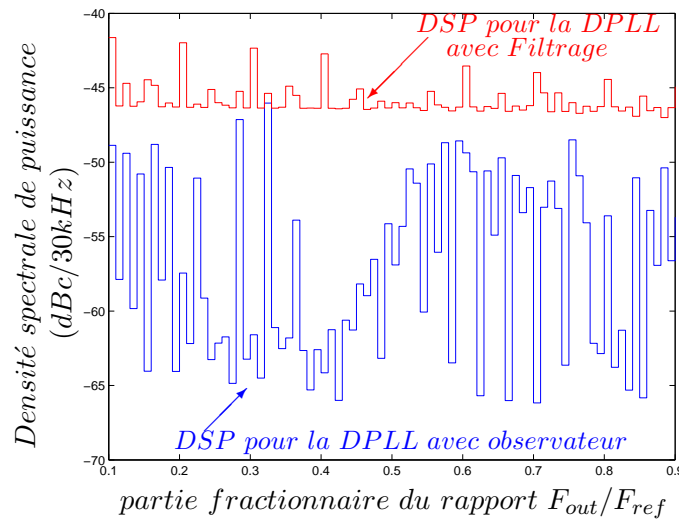


FIG. 4.15 – Densité spectrale de puissance pour chacune des deux DPLL pour différentes valeurs de  $f$

## 4.5 Conclusion de ce chapitre

En raison de l'évolution des technologies et des diminutions de surfaces et de consommation, la tendance actuelle est aux solutions entièrement numériques. Les synthétiseurs de fréquences n'échappant pas à cette évolution, il est nécessaire de poursuivre les recherches dans cette direction.

Afin d'optimiser les éléments numériques de ces systèmes, la conversion analogique-numérique est effectuée sur la boucle de retour. Cependant, les technologies actuelles ne permettent pas encore d'effectuer une conversion suffisamment fine pour ne pas générer de bruit en sortie de la boucle. En effet, la quantification des écarts de phase dégrade le bruit de phase dans la bande passante de la boucle.

Le recours à l'automatique est nécessaire pour restituer la précision perdue par la quantification. Cependant, les limitations des puissances de calcul liées à la consommation

et à la surface de ces système ne permettent pas de simuler en ligne le comportement du système et donc de recourir aux architectures classiques d'observation.

Ce chapitre a présenté un observateur simple et implémentable pour diminuer le plancher de bruit de phase en sortie de la boucle. Borné par les résultats issus de la mesure directe, cet observateur ne peut pas dégrader la résolution de la mesure. L'efficacité de ce dispositif a été approuvée par des calculs théoriques et des simulations de la boucle à verrouillage de phase.

Il a aussi été prouvé que sous une condition facile à satisfaire, aucun offset de fréquence en sortie de la PLL n'est causé par l'observateur. La complexité de l'estimateur s'en trouve ainsi réduite.

Ce chapitre a donc montré que malgré les limitations de calcul, il est possible d'améliorer les performances des PLLs numériques par traitement de l'information et donc d'ouvrir la voie numérique à la synthèse de fréquences.

Enfin, pour profiter pleinement des potentialités du numérique, le contrôleur peut ne plus se limiter à un simple PID mais être réalisé à partir d'outils de l'automatique et pousser encore plus loin les performances de ces système. Ceci fait l'objet du chapitre suivant.



# Chapitre 5

## Commande robuste des PLLs

Les boucles à verrouillage de phase asservissent la fréquence de sortie de l'oscillateur contrôlé sur une fréquence de référence généralement délivrée par un oscillateur à quartz. Cet asservissement se fait donc par l'intermédiaire d'une contre-réaction qui permet d'établir un signal d'erreur entre la sortie et la référence. La correction à effectuer sur l'entrée de contrôle de l'oscillateur doit être effectuée suivant le résultat de cette comparaison. L'architecture du contrôleur qui vient piloter l'oscillateur est donc laissée au libre choix du concepteur qui doit faire son possible pour minimiser le bruit de phase en sortie tout en assurant la stabilité de la boucle.

Les architectures analogiques de synthétiseurs de fréquences réalisées jusqu'ici étaient limitées par les variations technologiques. Celles-ci font effectivement varier jusqu'à 20% les valeurs des résistances et des capacités. De plus, le nombre de résistances et de transistors sont limités en raison du bruit qu'ils génèrent. Pour cela et pour des raisons de facilité d'implémentation, le contrôleur est généralement structuré sur la base d'un simple PID suivi de filtres [Staszewski and Balsara, 2005; Staszewski et al., 2006; Da Dalt, 2005].

Le développement des PLLs numériques permet de réaliser des correcteurs plus complexes, de placer leurs pôles avec plus de précision et aussi de réaliser des contrôleurs non linéaires.

Ce chapitre vise à appliquer les méthodes propres à l'automatique de synthèse de correcteurs robustes aux PLLs entièrement intégrées sur Silicium. Les contraintes de réalisation et d'implémentation doivent être prises en compte afin de conserver l'autonomie du système tout en minimisant sa consommation et sa surface.

Après un bref rappel de l'état de l'art et des contraintes de réalisation, ce chapitre présente la conception d'un contrôleur par la méthode de synthèse  $H_\infty$  et de son implémentation. Enfin, l'impact des variations de gain de l'oscillateur sur la robustesse du système sera aussi évalué.



## 5.1 État de l'art

Comme cela a été montré à la section 2.1.2 du chapitre 2, le filtre de boucle des architectures analogiques est essentiellement constitué d'éléments passifs pour minimiser l'apport de bruits. D'autre part, les variations de procédé technologiques qui touchent les composants induisent une imprécision sur les valeurs des composants qui peut aller jusqu'à 20%. Une telle imprécision rend difficile tout positionnement précis des pôles et des zéros. Le correcteur des boucles à verrouillage de phase analogiques se limite donc généralement aux cellules RC présentées à la section 2.1.2 dont l'action est celle d'un PID. Afin d'accroître l'ordre du filtrage, il est courant de faire suivre une série de filtres à ce correcteur.

Le transfert des synthétiseurs de fréquences vers les technologies numériques a historiquement repris la même structure de contrôleur [Staszewski and Balsara, 2005; Staszewski et al., 2006; Da Dalt, 2005], dont un schéma de boucle général est représenté sur la figure 5.1.

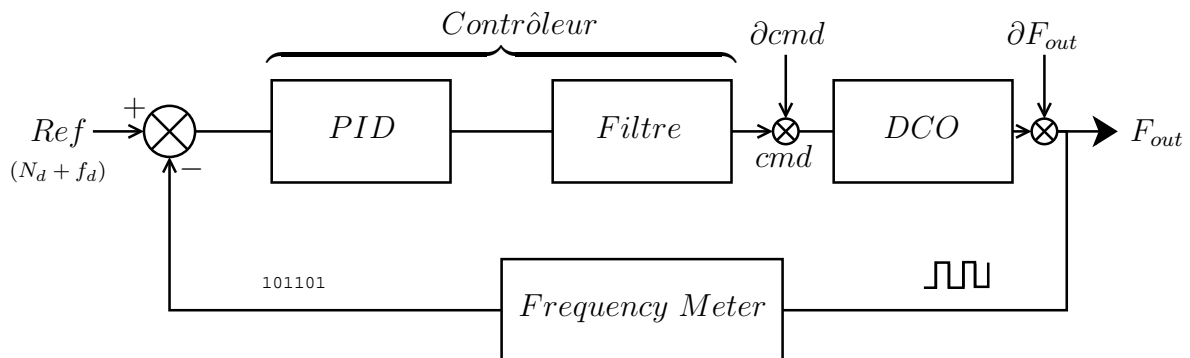


FIG. 5.1 – Schéma de boucle des Digital Phase Locked Loop classiques.

Nommons  $Ref$  le mot numérique de référence  $N_d + f_d$ . Le terme *Correcteur* ou *Contrôleur* désigne de façon générale le calculateur numérique qui précède le DCO et qui génère donc le mot de commande  $cmd$ .

$dcmd$  désigne les perturbations sur le mot de commande essentiellement dues à la résolution numérique (granularité du calcul) tandis que  $dF_{out}$  désigne le bruit généré par le DCO.

On définit alors les fonctions de sensibilité du système bouclé comme :

T : fonction de transfert de la référence à la sortie.

$$\frac{F_{out}}{Ref} = \frac{Correcteur \times DCO}{1 + Correcteur \times FreqMeter \times DCO} \quad (5.1)$$

S : rejet des bruits du DCO sur la sortie.

$$\frac{F_{out}}{\partial F_{out}} = \frac{1}{1 + Correcteur \times FreqMeter \times DCO} \quad (5.2)$$

SG : rejet des perturbations de la commande sur la sortie.

$$\frac{F_{out}}{\partial cmd} = \frac{DCO}{1 + Correcteur \times FreqMeter \times DCO} \quad (5.3)$$

KS : influence de la référence sur la commande.

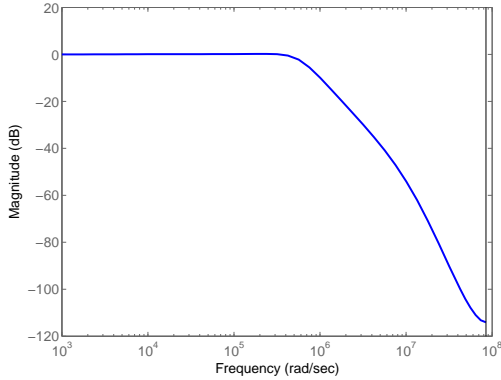
$$\frac{cmd}{Ref} = \frac{Correcteur}{1 + Correcteur \times FreqMeter \times DCO} \quad (5.4)$$

Ces fonctions de sensibilités discrètes sont tracées sur les figures 5.2.a, .b, .c et .d. avec l'expression du filtre de boucle (PID + Filtre) :

$$Correcteur_{PID+Filtre} = \frac{5,12 \cdot 10^{-7} z - 5,119 \cdot 10^{-7}}{z^6 - 4,76 z^5 + 9,328 z^4 - 9,629 z^3 + 5,521 z^2 - 1,668 z + 0,2074} \quad (5.5)$$

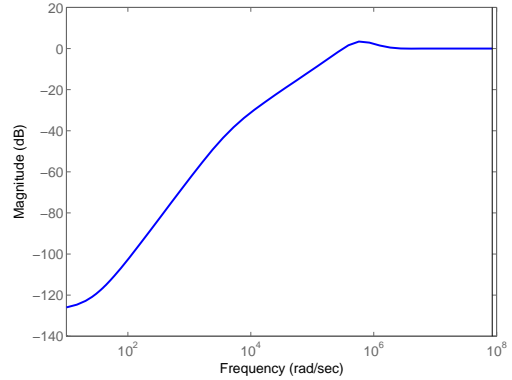
La fréquence d'échantillonnage correspond à celle de la fréquence de référence et vaut  $27MHz$ .

Fonction de transfert de la référence à la sortie



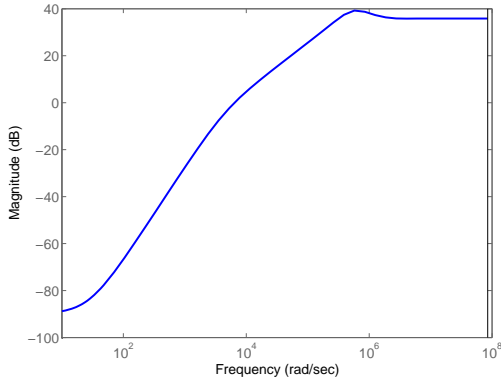
$$5.2.a : T = F_{out}/Ref$$

Rejet du bruit du DCO



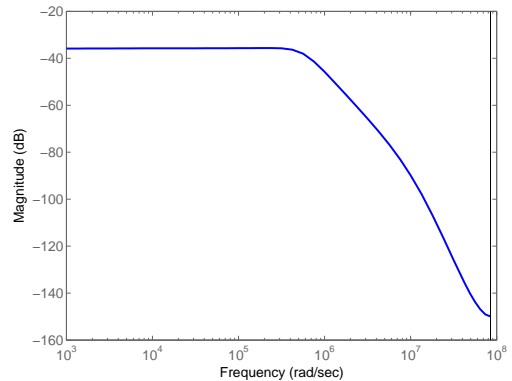
$$5.2.b : S = F_{out}/\partial F_{out}$$

Rejet des perturbations de la commande



$$5.2.c : SG = F_{out}/\partial cmd$$

Influence de la référence sur la commande



$$5.2.d : KS = cmd/Ref$$

FIG. 5.2 – Fonctions de sensibilités de la Digital Phase Locked Loop

L'expression de ces fonctions de sensibilités est conservée pour le reste de cette étude. Les fonctions de transfert de l'état de l'art constituent donc la base de référence pour évaluer les améliorations apportées par la synthèse du correcteur par la méthode  $H_\infty$ .

La question implicite est bien sûr de se demander si les potentialités des technologies numériques n'offrent pas la possibilité d'intégrer un correcteur plus performant que celui de la figure 5.1.

## 5.2 Contrôle robuste

Comme il a été montré à la fin du chapitre 3 (figure 3.41), la fréquence de coupure de la boucle est choisie afin de minimiser les contributions en bruit de la fréquence de référence et de l'oscillateur. Il est donc possible de connaître le profil des fonctions de sensibilité à partir des caractéristiques des composants. En d'autres termes, il est possible d'établir des gabarits à respecter pour optimiser le profil de bruit de phase en sortie de la boucle à verrouillage de phase.

Les fonctions de sensibilités montrées sur les figures 5.2.a à .d à partir du schéma de boucle incluant le contrôleur (5.5) tiennent compte de ces gabarits. Nous allons donc étudier les potentialités offertes par la synthèse  $H_\infty$  en comparant le contrôleur obtenu à celui de l'état de l'art et en comparant les performances obtenues.

Cependant, la synthèse du contrôleur ne doit pas seulement tenir compte du profil de bruit, mais aussi de la robustesse du système.

L'ensemble de ces contraintes fait de la synthèse  $H_\infty$  l'outil idéal pour traiter ce genre de problème. En effet, lorsqu'une solution est trouvée, la synthèse  $H_\infty$  assure la robustesse du système tout en respectant les gabarits sur les fonctions de sensibilités fixés [Zhou and Doyle, 1998; Doyle et al., 1992].

Nous allons donc appliquer ici cette méthode de synthèse aux boucles à verrouillage de phase.

### 5.2.1 Mise en forme $H_\infty$

Il faut bien définir chaque composant de la boucle en vue de la mise en forme  $H_\infty$  pour optimiser la synthèse du contrôleur :

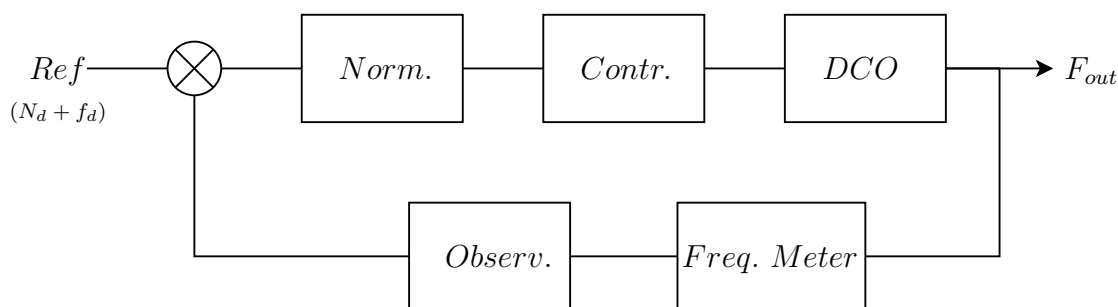


FIG. 5.3 – Schéma de la boucle digitale avec observateur.

Les différents composants sont :

- *Norm.* : Normalisation pour respecter la réalisation du système et coder les fréquences sur un nombre de bits raisonnable et limiter ainsi la surface du système.
- *Contr.* : Contrôleur à trouver.
- *DCO* : Oscillateur qui convertit le mot numérique en fréquence. Il ne s'agit donc ici que d'un gain. La prise en compte des variations de ce gain est traitée à la section 5.3.
- *Freq. Meter* : Dispositif de mesure de fréquence qui rajoute le bruit de quantification et qui est considéré comme étant un gain unitaire.
- *Observ.* : Observateur défini au chapitre 4.

Afin de minimiser l'ordre du contrôleur lors de la synthèse  $H_\infty$ , la fonction de transfert de l'observateur n'est pas celle définie à la section 4.4.1 mais une approximation au premier ordre qui se rapproche de la fonction de transfert tracée sur la figure 4.11

## 5.2.2 Synthèse $H_\infty$ nominale

La synthèse du correcteur est faite à partir du schéma 5.4.

Pour modéliser la fonction de sensibilité  $S$ , le gabarit  $W_S$  est placé sur l'erreur  $\varepsilon$  :  $e_S = W_S \times \varepsilon$ . En effet, dans le schéma de boucle considérée, la fonction de transfert en boucle fermée de la référence  $Ref$  vers l'erreur  $\varepsilon$  revient à la fonction de sensibilité  $S$  :

$$\frac{\varepsilon}{Ref} = \frac{1}{1 + Norm. \times Contr. \times DCO \times Freq.Meter \times Observ.} = S \quad (5.6)$$

De ce fait, de la référence  $Ref$  à la sortie  $e_S$ , le transfert est égal à :  $e_S = W_S \times S \times Ref$  de telle sorte que la synthèse  $H_\infty$  trouvera une solution si le produit des fonctions de transfert  $W_S \times S$  reste inférieur à 1 sur toutes les fréquences.

Il s'agit donc d'un problème usuel de sensibilité mixte [Skogestad and Postlethwaite, 2005] : le problème revient à trouver le contrôleur  $Contr$  tel que :

$$\left\| \begin{array}{c} W_S S \\ W_T T \end{array} \right\|_\infty \leq \gamma \quad (5.7)$$

La valeur minimale de  $\gamma$  que vérifie ce problème est appelée  $\gamma_{opt}$ .

La norme  $H_\infty$  d'une fonction de transfert  $F$  qui correspond au maximum de la fonction  $F$  sur toutes les fréquences est notée  $\|F\|_\infty$ .

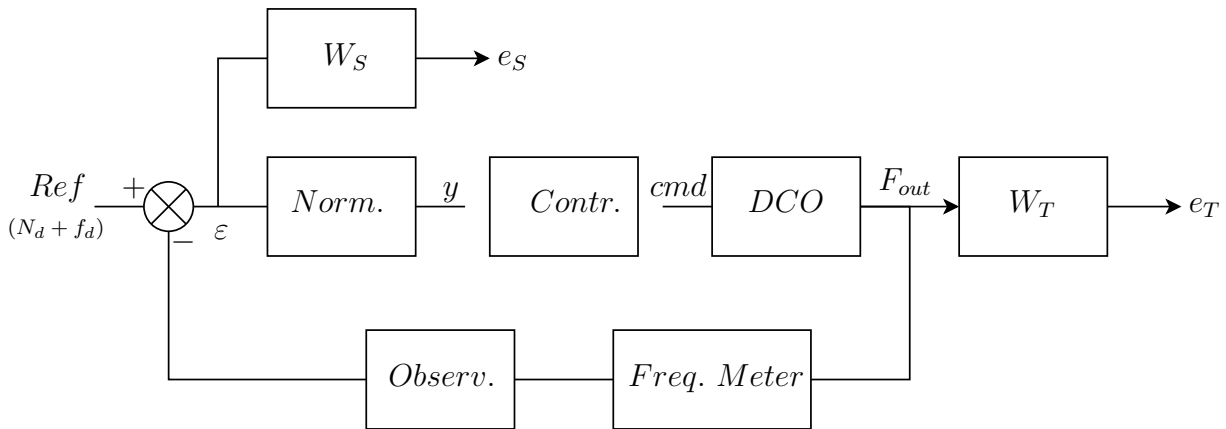


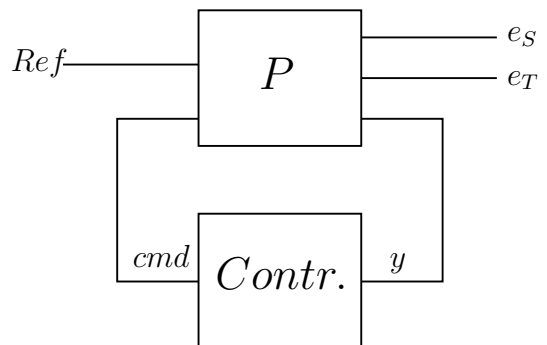
FIG. 5.4 – Schéma de boucle .

De même, pour modéliser la fonction de sensibilité  $T$ , le gabarit  $W_T$  doit être placé en sortie du système comme le montre la figure 5.4.

La mise en forme standard du problème  $H_\infty$  conformément à la figure 5.5 permet de modéliser les fonctions de sensibilité  $S$  et  $T$ . Il est intéressant de remarquer dans le schéma de boucle du système que la référence est un mot numérique qui n'est pas susceptible d'être bruité. Il n'est donc pas nécessaire de filtrer le mot numérique de référence en imposant un gabarit sur  $T$ . Bien au contraire, ajouter le gabarit  $W_T$  augmenterait inutilement l'ordre du contrôleur.

Le résultat de la synthèse du correcteur avec seulement le gabarit  $W_S$  imposé sur la fonction de sensibilité  $S$  est présenté sur la figure 5.6.

Le contrôleur a été calculé par l'outil de synthèse discret LMI. Le résultat est obtenu pour  $\gamma_{opt} = 0.5233$ .

FIG. 5.5 – Mise en forme du problème  $H_\infty$ .

L'absence de gabarit sur la fonction de transfert  $T$  montre effectivement qu'il n'est pas nécessaire d'imposer une fréquence de coupure de la référence vers la sortie. Bien au contraire, il peut être possible de bénéficier d'une fonction de transfert  $T$  qui laisse passer toutes les fréquences de la référence  $Ref$  en vue d'une modulation large bande.

En revanche, il reste nécessaire de rejeter le bruit de l'oscillateur proche de la porteuse, c'est à dire dans la bande passante de la PLL. Il est clair que la fonction de sensibilité  $S$  assure un rejet des bruits de l'oscillateur aussi performant qu'avec le correcteur initial. Ce phénomène s'explique par la présence du filtre de l'observateur sur le chemin

de retour entre le Frequency Meter (*Freq. Meter*) et le mot numérique de référence. La fonction de sensibilité  $S$  montre aussi que le système est plus robuste avec une marge de phase de  $77.25^\circ$  à un pulsation de  $4,28.10^5 rad/sec$  contre une marge de phase de  $59.6^\circ$  à  $3,19.10^5 rad/sec$  avec le correcteur initial. De même, la marge de gain obtenue avec le correcteur  $H_\infty$  atteint  $37.7dB$  contre  $13.8dB$  seulement avec le correcteur initial.

Le contrôleur obtenu par la synthèse  $H_\infty$  est d'ordre 3 :

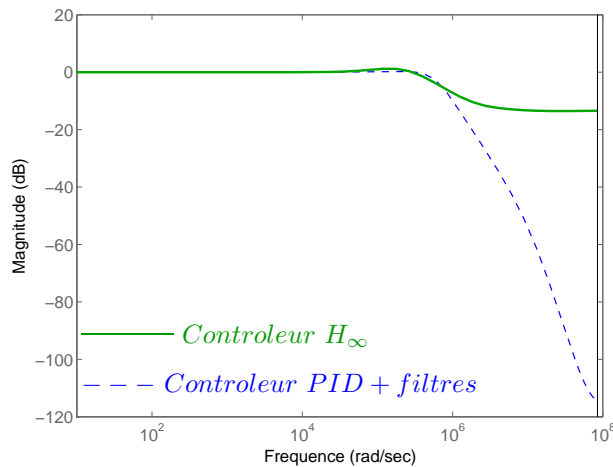
$$\text{Contrôleur}_{H_\infty} = \frac{2,197z^2 - 4,229z + 2,032}{z^3 - 1,98z^2 + 0,9599z + 0,02008} \quad (5.8)$$

Ce contrôleur est à comparer au correcteur initial d'ordre 6 de l'architecture de la figure 5.1 constitué d'un PID suivi d'une série de filtres pour mieux couper le bruit :

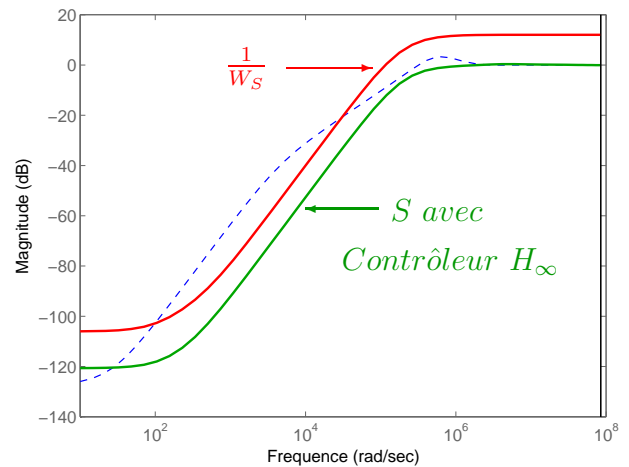
$$\text{Contrôleur}_{PID+Filtre} = \frac{5,12.10^{-7}z - 5,119.10^{-7}}{z^6 - 4,76z^5 + 9,328z^4 - 9,629z^3 + 5,521z^2 - 1,668z + 0,2074} \quad (5.9)$$

Tout en rejetant aussi bien le bruit de l'oscillateur, le contrôleur issu de la synthèse  $H_\infty$  est d'un ordre inférieur.

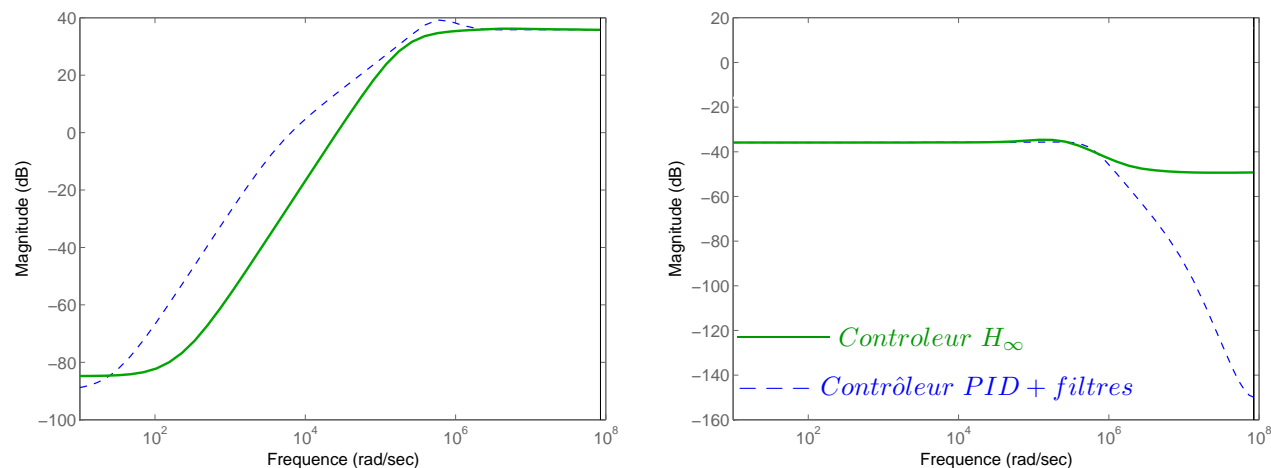
Il n'est cependant pas dit que le correcteur obtenu par la synthèse  $H_\infty$  soit plus facile à implémenter que le correcteur initial. La question d'implémentation du correcteur est abordée à la section 5.4.



5.6.a :  $T = F_{out}/Ref$



5.6.b :  $S = F_{out}/\partial F_{out}$

5.6.c :  $SG = F_{out} / \delta cmd$ 5.6.d :  $KS = cmd / Ref$ FIG. 5.6 – Fonctions de sensibilités de la DPLL avec le correcteur  $H_\infty$ .

La souplesse offerte par la méthode de synthèse  $H_\infty$  peut aussi permettre de tenir compte de la robustesse du système en fonction des variations de gain de l'oscillateur.

## 5.3 Robustesse aux variations de paramètres

Il a été montré que les boucles à verrouillage de phase analogiques sont fortement touchées par les variations de procédé, de température ou de tensions d'alimentation qui font varier les paramètres du système à plusieurs endroits dans la boucle : valeurs des courants de la pompe de charge, valeurs des condensateurs et des résistances du filtre, variations des gains des transistors. . .

La boucle de contrôle des architectures numériques n'est plus affectée par ces variations de paramètres. En revanche, l'oscillateur conserve toujours sa caractéristique non linéaire. Il vient naturellement d'étudier la robustesse de la PLL numérique en fonction de ces variations et de voir s'il est nécessaire d'intégrer ces variations dans la synthèse  $H_\infty$ .

### 5.3.1 Variation du gain de l'oscillateur et problème standard

La section 1.1.2 a montré que la caractéristique de l'oscillateur n'est pas linéaire. En effet, le gain de l'oscillateur n'est pas constant et peut varier d'un facteur 10. La figure 5.7.a rappelle la forme de la caractéristique du DCO. La figure 5.7.b présente seulement la variation de gain de l'oscillateur en fonction du mot numérique de commande  $cmd$ . Cette variation de gain peut être interprétée comme un gain nominal médian  $K_{0m}$  auquel s'ajoute une variation d'amplitude maximale plus ou moins  $\delta K$ .



Cette caractéristique est propre à celle des oscillateurs à circuit de résonance  $LC$ . Il existe d'autres types d'oscillateurs qui sont aussi non linéaires. Mais dans tous les cas, cette caractéristique est bornée par une pente minimale  $K_{0_{min}}$  et une pente maximale  $K_{0_{max}}$ . Cette étude est donc valable pour tout type d'oscillateur.

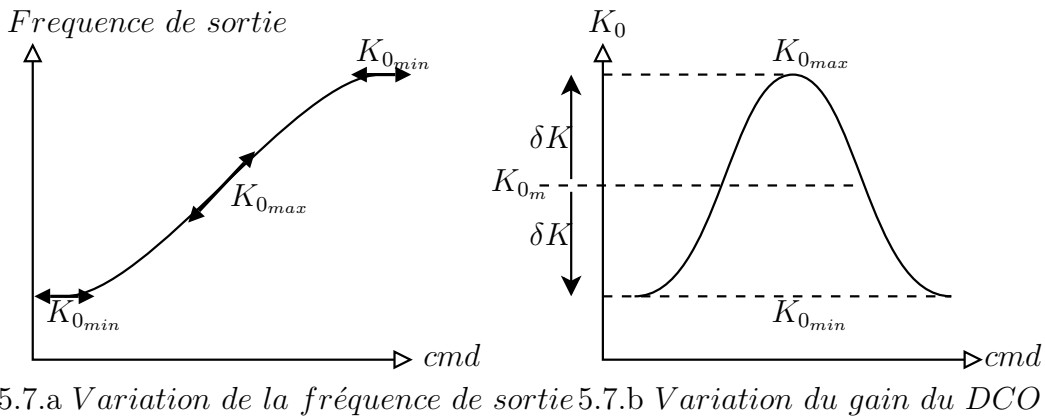


FIG. 5.7 – Variation du gain de l'oscillateur en fonction de la commande

Ainsi, le gain  $K_0$  de l'oscillateur peut s'écrire à l'aide des paramètres de gain médian  $K_{0_m}$ , de l'excursion maximale  $\delta K$  et du sens et de l'amplitude de variation  $\Delta$  :

$$K_0 = K_{0_m} + \delta K \times \Delta, \text{ avec : } \Delta = [-1; 1] \quad (5.10)$$

Avec  $\Delta$  qui vaut entre 0 et  $-1$  pour une variation du gain de  $K_{0_m}$  vers  $K_{0_{min}}$ , et qui vaut entre 0 et  $+1$  pour une variation du gain de  $K_{0_m}$  vers  $K_{0_{max}}$ .

La figure 5.8 montre le schéma bloc du système complet avec prise en compte des variations de gain de l'oscillateur (équation (5.10)).

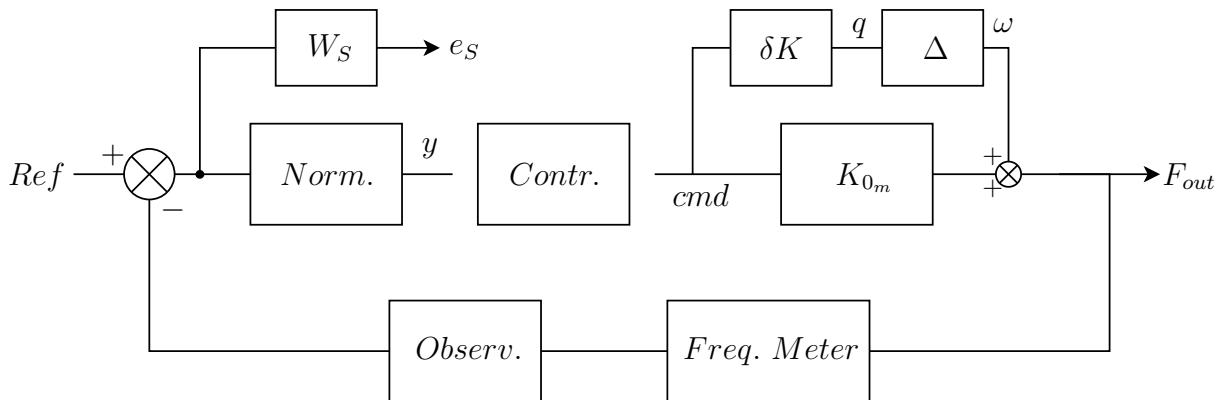


FIG. 5.8 – Schéma bloc de la DPLL avec prise en compte de la variation de gain du DCO

Cette représentation permet la mise en forme du problème  $H_\infty$  en prenant en compte les variations de gain du DCO. En effet, comme le montre la figure 5.9, la mise en forme du problème  $P$  exclut alors aussi les variations de gain  $\Delta$  qui ne sont pas connues. Autrement dit, la forme de la courbe 5.7.b n'a pas à être précisément connue, pourvu que l'on ait seulement connaissance des valeurs limites  $K_{0_{min}}$  et  $K_{0_{max}}$ .

L'intérêt de cette représentation est que si les variations  $\Delta$  ne sont pas connues, on sait en revanche que  $|\Delta| \leq 1$  auquel cas le théorème du petit gain (théorème 3) permet d'assurer la stabilité de la boucle formée par le système  $P$  et  $K$  d'une part que l'on peut appeler  $N$  et l'amplitude de la variation de gain  $\Delta$  d'autre part (figure 5.9).

Le théorème du petit gain s'énonce ainsi [Doyle et al., 1992] :

**Théorème 3** *Théorème du petit gain :*

Soit la Matrice  $M \in (RH_\infty)^{p \times q}$  et les incertitudes  $\Delta \in RH_\infty$  stables. Alors le système bouclé  $M\Delta$  est stable pour toutes les incertitudes admissibles si et seulement si :

$$\det(I - M\Delta(j\omega)) \neq 0 \quad (5.11)$$

Ce qui équivaut à :

- (a)  $\|\Delta\|_\infty \leq \delta$  si et seulement si  $\|M(p)\|_\infty < 1/\delta$  ;
- (b)  $\|\Delta\|_\infty < \delta$  si et seulement si  $\|M(p)\|_\infty \leq 1/\delta$ .

Ici la matrice  $M$  correspond à la matrice  $N_{11}$  car selon la figure 5.9, on a :

$$\begin{pmatrix} q \\ e_S \end{pmatrix} = \begin{pmatrix} N_{11} & N_{12} \\ N_{21} & N_{22} \end{pmatrix} \begin{pmatrix} \omega \\ Ref \end{pmatrix} \quad (5.12)$$

Dans notre cas, si  $\delta = 1$  alors le système sera robuste puisque l'on sait que  $\|\Delta\|_\infty \leq 1$ . Dans ce cas il faut vérifier que  $\|N_{11}\|_\infty < 1$  pour vérifier le théorème du petit gain qui est une condition non nécessaire mais suffisante pour assurer la robustesse de la stabilité vis à vis des variations de gain du DCO.

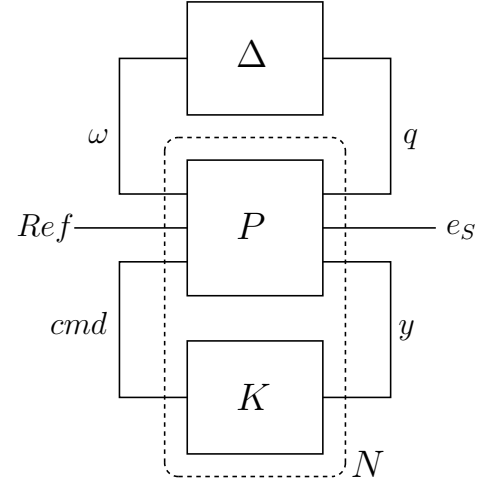


FIG. 5.9 – Mise en forme du problème  $H_\infty$

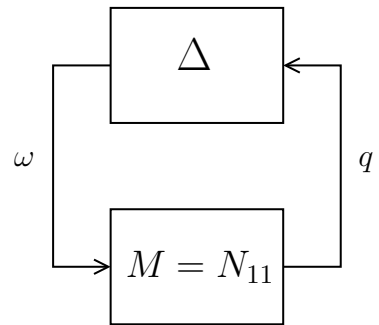


FIG. 5.10 – Illustration du théorème du petit gain.

En revanche, si  $\delta = \frac{1}{\|N_{11}\|_\infty}$  est supérieur à 1, alors c'est que le système ne sera pas pleinement robuste vis à vis des variations de gain du DCO.

### 5.3.2 Détermination de $N_{11}$

L'expression de la matrice  $N$  (5.12) montre que pour accéder à la matrice  $N_{11}$ , il suffit de calculer le rapport  $\frac{q}{\omega}$ . Le schéma de boucle 5.8 permet de dérouler simplement les équations :

Comme  $q = \delta K \times cmd$  et que :

$$\frac{cmd}{\omega} = \frac{-Contr. \times Norm. \times Observ.}{1 + Contr. \times Norm. \times Observ. \times K_{0_m}} \quad (5.13)$$

Où la fonction de transfert du Frequency Meter n'est pas reportée puisqu'elle est considérée comme unitaire ( $FreqMeter = 1$ ).

On a alors :

$$\frac{q}{\omega} = \delta K \times \frac{-Contr. \times Norm. \times Observ.}{1 + Contr. \times Norm. \times Observ. \times K_{0_m}} \quad (5.14)$$

Le rapprochement avec les fonctions de sensibilité peut s'effectuer par l'intermédiaire de la fonction  $KS$  :

$$KS = \frac{Contr. \times Norm.}{1 + Contr. \times Norm. \times Observ. \times K_{0_m}} \quad (5.15)$$

En substituant  $KS$  dans l'expression de  $q/\omega$  (5.14), on aboutit simplement à :

$$N_{11} = \frac{q}{\omega} = -\delta K \times Observ. \times KS \quad (5.16)$$

Ainsi, pour assurer  $\|N_{11}\|_\infty < 1$ , il suffit de s'assurer que :

$$\|KS\|_\infty < \left\| \frac{1}{\delta K \times Observ.} \right\|_\infty \quad (5.17)$$

Il est intéressant de remarquer que l'observateur a une influence sur la robustesse puisque son expression apparaît dans le gabarit sur  $KS$  (5.17). Il est donc possible que l'observateur pénalise la robustesse.

La figure 5.11 rappelle la réponse fréquentielle de l'observateur (carrés) superposée à la réponse fréquentielle d'un filtre numérique équivalent (trait). Cette fonction de transfert a un gain unitaire en basse fréquence.

Dans notre application, les variations  $\delta K$  sont de 10%, ce qui a pour effet de diminuer le gabarit sur  $KS$  de 20dB. Si le gain en basse fréquence de l'observateur avait été important, le gabarit sur  $KS$  en aurait été baissé d'autant.

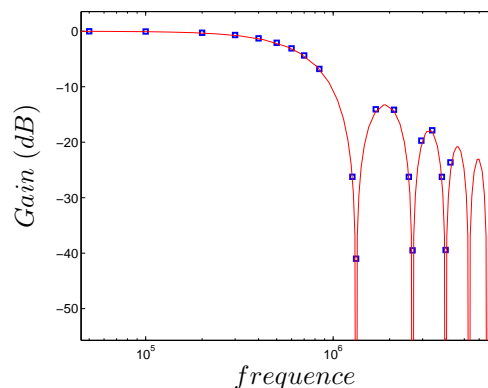


FIG. 5.11 – Réponse fréquentielle de l'observateur.

La synthèse du correcteur pourrait se faire en imposant à la fonction de sensibilité  $KS$  d'être inférieure au gabarit de fonction de transfert  $1/(\delta K \times Observ.)$ . Cependant, l'ajout d'un gabarit augmenterait l'ordre du correcteur inutilement si le système pouvait vérifier la condition (5.17) par nature. Cette condition est donc à vérifier dans un premier temps.

### 5.3.3 Robustesse aux variations de gain de l'oscillateur

La condition (5.17) offre un critère de robustesse du système indépendamment de la synthèse  $H_\infty$ .

La figure 5.12 retrace les fonctions de sensibilités  $KS$  de la boucle avec le contrôleur PID+Filtres tel qu'il se présente dans l'état de l'art et avec le contrôleur obtenu par la synthèse  $H_\infty$ .

Le gabarit à respecter  $1/(\delta K \times Observ.)$  est tracé en superposition de ces courbes identiques à celles de la figure 5.6.d.

Le respect du gabarit apparaît clairement sur toutes les fréquences assurant la robustesse du système avec chacun de ces deux correcteurs quelle que soit l'amplitude des variations du gain de l'oscillateur.

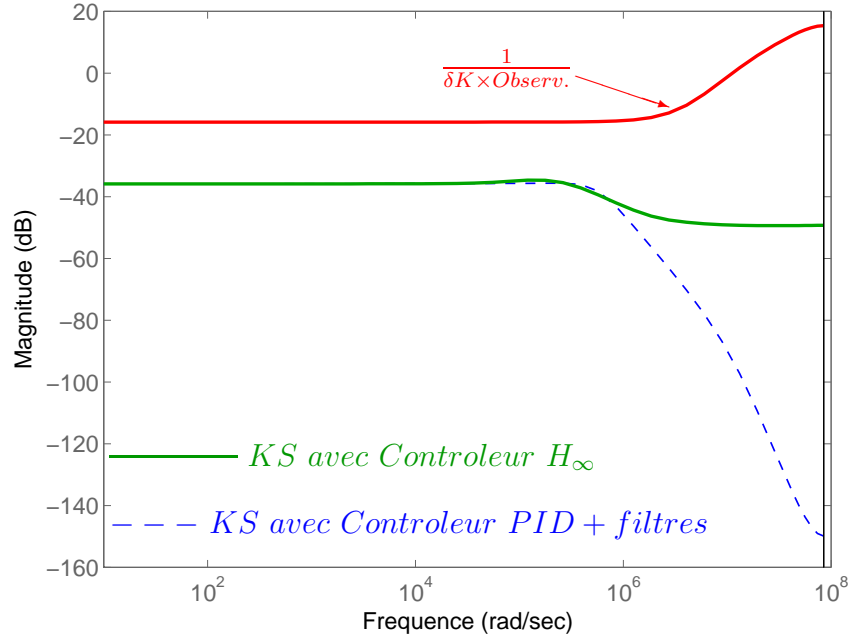


FIG. 5.12 – Fonction de sensibilité  $KS$  avec le contrôleur PID (5.9) et le contrôle issu de la synthèse  $H_\infty$ .

Dans le cas présent, les variations de gain de l'oscillateur n'ont pas besoin d'être prises en compte lors de la synthèse  $H_\infty$ . Cependant, le gabarit pourrait ne pas être respecté en raison de trop fortes variations du gain de l'oscillateur ou pour d'autres correcteurs. Dans ce cas, le gabarit pourra être intégré à la synthèse  $H_\infty$  en plaçant un gabarit supplémentaire  $W_{KS}$  sur l'entrée de commande  $cmd$  de l'oscillateur. Le gabarit conforme à la condition (5.17) permettrait si possible de respecter la robustesse aux variations de gain du DCO moyennant un accroissement de l'ordre du correcteur.

Cependant, l'ordre du correcteur n'est pas nécessairement un facteur contradictoire à son implémentation. En effet, des coefficients du filtre nécessitant trop de chiffres significatifs seront plus problématiques pour la réalisation du filtre que des coefficients approchables grossièrement.

## 5.4 Implémentation du contrôleur

La synthèse  $H_\infty$  permet d'obtenir le meilleur correcteur compte tenu des spécifications désirées, encore faut-il pouvoir implémenter le contrôleur obtenu. En effet, les contraintes de surface et de consommation limitent les précisions des coefficients à intégrer. Il est ici nécessaire d'approcher les valeurs réelles des coefficients par des valeurs discrètes.

### 5.4.1 Contraintes techniques de réalisation

Il est difficile de définir ces contraintes dans la mesure où elles ne dépendent pas seulement de la technologie. En effet, les principales limitations portent sur la consommation et la surface du système (System On Chip, "SOC"), ce qui ne fournit pas de frontière franche permettant de trancher sur la réalisabilité du composant.

Ainsi, les limitations portent sur les opérations où seules sont autorisées :

- les additions.
- les soustractions.
- les multiplications.
- les divisions par puissances de 2 uniquement puisqu'en binaire, elles reviennent à n'effectuer qu'un décalage de bits.

Il est aisé de comprendre que les coefficients du filtre devront être décomposés en puissances de 2 qui n'excéderont pas un certain ordre.

### 5.4.2 Réalisation du correcteur

#### Simplification du correcteur

Il vient naturellement d'analyser le contrôleur obtenu par la synthèse  $H_\infty$ .

La synthèse  $H_\infty$  de l'exemple ci dessus a abouti au contrôleur :

$$Contr. = \frac{2.197z^2 - 4.229z + 2.032}{z^3 - 1.98z^2 + 0.9599z + 0.02008} \quad (5.18)$$

Les pôles et zéros du correcteur obtenu dans l'exemple ci dessus sont :

pôles	zéros
1.00001135235589	0.99615193082351
1.00000478661603	0.928603290544352
-0.0200827080976841	

TAB. 5.1 – pôles et zéros du contrôleur obtenu par la synthèse  $H_\infty$  (5.8)

Il apparaît clairement que les pôles et les zéros du système ne seront pas exprimables par des puissances de 2 ne dépassant pas 10 bits.

De plus, compte tenu des incertitudes du modèle, il n'est pas nécessaire de retenir trop de chiffres significatifs sur la position des pôles et des zéros.

Le contrôleur peut donc être approximé de prime abord par simplification des pôles proches en intégrateurs purs ( $z = 1$ ). Pour ce qui est des autres coefficients, il faut procéder à une décomposition des facteurs en puissances de 2.

### Décomposition en puissances de 2

Comme toutes les divisions intégrées doivent être effectuées par des facteurs correspondant à des puissances de 2 pour n'effectuer que des décalage de bits en codage binaire, alors chaque coefficient du filtre doit être retranscrit en somme de puissances de 2. Par exemple, le coefficient 0.6024 sera décomposé avec un degré maximal de 15 par les puissances de 2 :

$$1 \quad 4 \quad 5 \quad 7 \quad 11 \quad 12 \quad 14 \quad 15$$

Une fois implémenté, le facteur 0.6024 sera donc approximé par  $0.602386 : \frac{1}{2^1} + \frac{1}{2^4} + \frac{1}{2^5} + \frac{1}{2^7} + \frac{1}{2^{11}} + \frac{1}{2^{12}} + \frac{1}{2^{14}} + \frac{1}{2^{15}} = 0.602386$ .

Dans l'exemple présenté, le nombre de bits maximum pour le codage des coefficients en binaire est fixé à 10, les pôles et les zéros sont alors intégrables par les décompositions en puissances de 2 :

$$\text{pôle } -0.020082708 : -1 \cdot \left( \frac{1}{2^6} + \frac{1}{2^8} \right) = 0.01953125$$

$$\text{zéro } 0.9961519308 : \frac{1}{2^1} + \frac{1}{2^2} + \frac{1}{2^3} + \frac{1}{2^4} + \frac{1}{2^5} + \frac{1}{2^6} + \frac{1}{2^7} + \frac{1}{2^8} = 0.99609375$$

$$\text{zéro } 0.9286032905 : \frac{1}{2^1} + \frac{1}{2^2} + \frac{1}{2^3} + \frac{1}{2^5} + \frac{1}{2^6} + \frac{1}{2^8} + \frac{1}{2^9} = 0.927734375$$

Le correcteur issu de la synthèse  $H_\infty$  (5.18) peut donc être intégré sous sa forme réduite en puissances de 2 :

$$\text{Correc.Reduit} = \frac{z - 0.99609375}{z - 1} \times \frac{z - 0.927734375}{z - 1} \times \frac{1}{z + 0.01953125} \quad (5.19)$$

La figure 5.13 montre les fonctions de transfert du correcteur initial calculé par la méthode  $H_\infty$  et de sa forme réduite en puissances de 2.

La différence entre les deux contrôleurs n'est sensible qu'en dessous de  $100 \text{ rad/sec}$  ce qui est assez bas compte tenu de la plage fréquentielle étudiée.

La marge de phase du système complet qui était initialement de  $77,25^\circ$  avec le contrôleur calculé diminue légèrement à  $64^\circ$  avec le contrôleur réduit. En revanche, la marge de gain qui était alors de  $37,7 \text{ dB}$  est maintenant accrue à  $44,6 \text{ dB}$ .

Les figures 5.14.a, b, c et d montrent les différences des fonctions de sensibilité obtenue avec le contrôleur initial et le contrôleur réduit en puissances de 2.

La figure 5.14.b montre que le rejet des bruits de l'oscillateur reste conforme au profil du gabarit  $\frac{1}{W_s}$ . Il s'avère même que le filtrage du bruit du DCO en basse fréquences est meilleur que celui prévu par la méthode de synthèse.

La figure 5.14.d montre que la robustesse du système face aux variations de gain de l'oscillateur est respectée puisque la fonction de transfert  $KS$  reste inférieure au gabarit de robustesse.

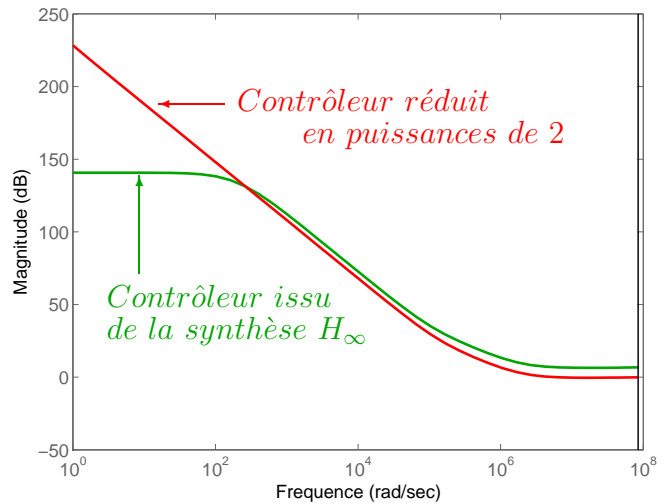
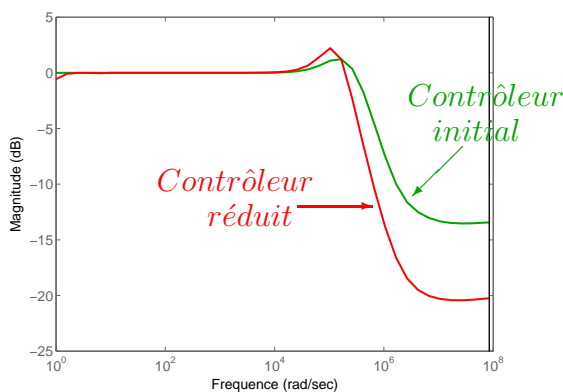
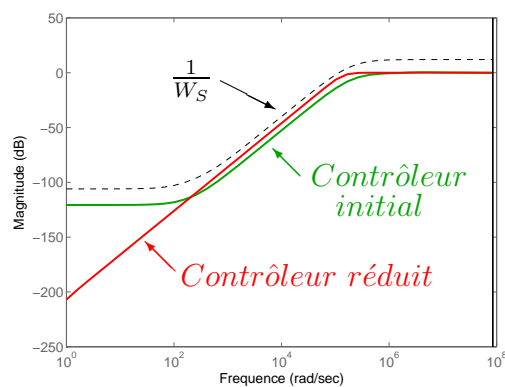


FIG. 5.13 – Tracé des fonctions de transfert des deux correcteurs

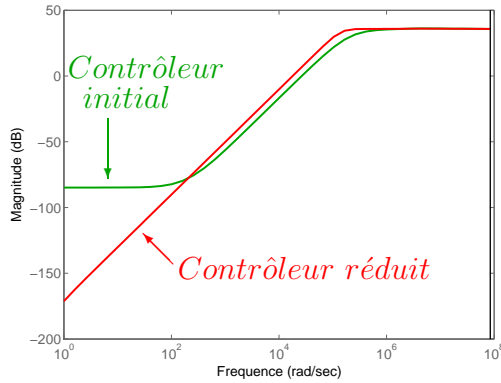
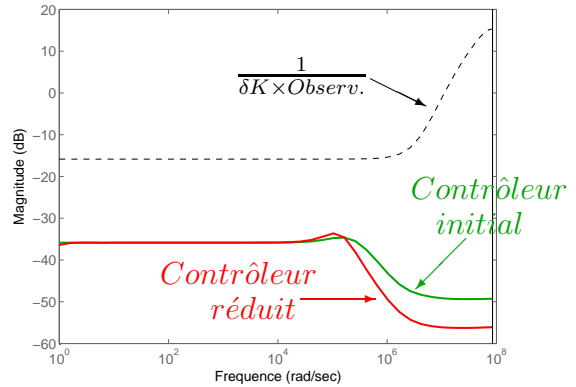


5.14.a :  $T = F_{out}/Ref$



5.14.b :  $S = F_{out}/\partial F_{out}$



5.14.c :  $SG = F_{out}/\delta cmd$ 5.14.d :  $KS = cmd/Ref$ FIG. 5.14 – Fonctions de sensibilités de la DPLL avec le correcteur  $H_\infty$  initial et réduit

Cet exemple montre bien qu'il n'est pas nécessaire d'implémenter rigoureusement le contrôleur issu de la synthèse  $H_\infty$ , et qu'une analyse rapide des pôles permet de minimiser la surface du contrôleur obtenu en conservant de bonnes propriétés en terme de performances et de robustesse.

Cependant, il n'est pas toujours possible de simplifier des pôles par intervention manuelle. Dans ce cas là, on peut recourir à une recherche automatique à l'aide d'un algorithme, comme décrit ci-après.

### Réajustement des coefficients

Lorsqu'il est nécessaire de s'approcher de la fonction de transfert du contrôleur calculé initialement alors que la réduction en puissances de 2 des coefficients a trop dégradé les performances du système, il est possible d'affiner les puissances de 2 des coefficients du contrôleur par un parcours des puissances voisines de chaque facteur. En effet, l'approche par puissances de 2 d'un facteur peut se faire par approximation supérieure ou inférieure. Par exemple, pour implémenter le facteur multiplicatif 0.6024, deux approches sont possibles pour une résolution maximale de 10 bits :

$$\text{Approche inférieure : } \frac{1}{2^1} + \frac{1}{2^4} + \frac{1}{2^5} + \frac{1}{2^7} = 0.601562$$

$$\text{Approche supérieure : } \frac{1}{2^1} + \frac{1}{2^4} + \frac{1}{2^5} + \frac{1}{2^6} = 0.609375$$

Rien ne permet de choisir l'un ou l'autre des résultats puisque le choix doit être fait sur la position relative des pôles et des zéros. Un algorithme de parcours des puissances

de 2 de chaque coefficient permet rapidement d'évaluer les améliorations liées à leur déplacement. Il n'est possible de juger de l'amélioration qu'en fonction de l'un ou plusieurs des trois critères suivants :

1. L'écart fréquentiel entre la fonction de transfert du correcteur initial obtenu par la synthèse  $H_\infty$  et la fonction de transfert du correcteur décomposé en puissances de 2.
2. L'écart fréquentiel entre une ou plusieurs des fonctions de sensibilité pour le système bouclé avec chacun des deux contrôleurs.
3. L'écart entre les marges de robustesse de chacune des solutions obtenues.

Ces critères permettent à l'algorithme de quantifier l'erreur commise par la réduction en puissances de 2 et donc de trancher sur la nécessité de modifier une puissance de 2 des facteurs décomposés.

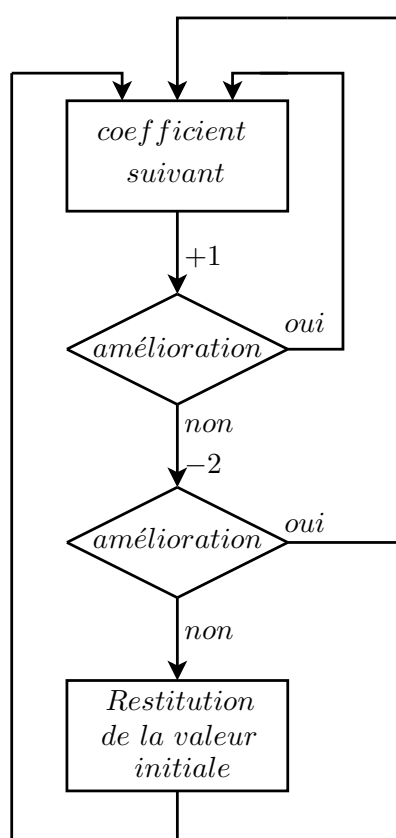


FIG. 5.15 – algorithme du premier facteur retenu

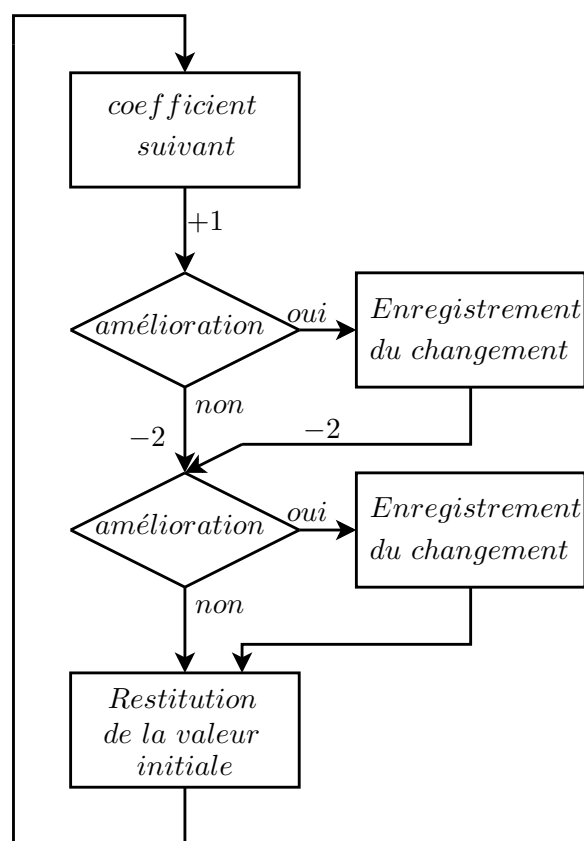


FIG. 5.16 – algorithme du meilleur facteur retenu

Deux algorithmes sont retenus : l'algorithme du premier facteur retenu (figure 5.15) et l'algorithme du meilleur facteur retenu (figure 5.16). Lorsque le nombre de coefficient est important et que le codage se fait sur une grande précision, le temps de calcul pour un parcours exhaustif de toutes les combinaisons possibles pourrait être contraignant. Pour cela, l'algorithme du premier facteur retenu (figure 5.15) enregistre la modification d'une puissance de 2 dès que celle-ci améliore l'un des critères puis change de coefficient.

Dans le cas du parcours de peu de coefficients ou d'un calcul hors ligne, il est possible de parcourir les coefficients selon l'algorithme du meilleur facteur retenu (figure 5.16). Dans ce cas, le parcours de toutes les combinaisons possibles est effectué avant d'appliquer la modification d'une puissance de 2. Cela minimise alors la probabilité de tomber dans un minimum local.

### Exemple de recherche automatique des coefficients

L'augmentation de l'ordre des gabarits abouti à la synthèse d'un contrôleur plus complexe et donc moins facile à implémenter que le précédent (5.8). Ainsi, la réduction des coefficients en puissances de 2 peut être faite à l'aide de l'algorithme présenté.

Soit le contrôleur suivant obtenu par la méthode synthèse  $H_\infty$  avec un gabarit sur  $W_S$  et un autre sur  $W_T$  qui est d'ordre 1 :

$$\text{Contrôleur}_{init} = \frac{z^4 - 0,3577z^3 - 2,097z^2 + 1,455z}{z^4 - 2,338z^3 + 1,182z^2 + 0,6499z - 0,4938} \quad (5.20)$$

La réduction immédiate en puissances de 2 conduit au contrôleur réduit :

$$\text{Contrôleur}_{reduction\ directe} = \frac{z^4 - 0,3574z^3 - 2,097z^2 + 1,454z}{z^4 - 2,337z^3 + 1,182z^2 + 0,6494z - 0,4932} \quad (5.21)$$

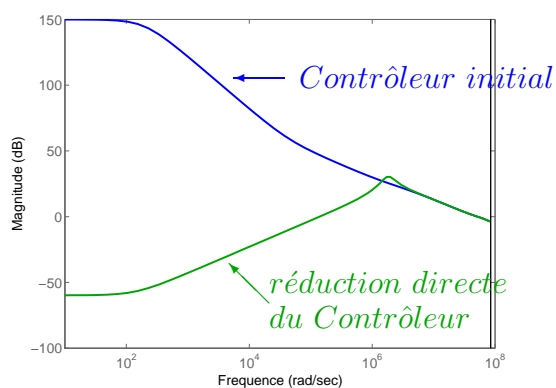
La réduction en puissances de 2 ne permet que d'avoir des valeurs quantifiées des coefficients du contrôleur. Cette quantification agit directement sur la position des pôles et des zéros si bien que la fonction de transfert résultante du correcteur s'en trouve modifiée. La figure 5.17.a montre en effet la différence entre le contrôleur initial issu de la synthèse  $H_\infty$  et ce même contrôleur après une décomposition directe en puissances de 2.

La recherche s'effectue sur les coefficients du numérateur  $R_1, R_2, R_3$  et  $R_4$  et sur les coefficients du dénominateur  $S_1, S_2, S_3, S_5$  et  $S_6$  :

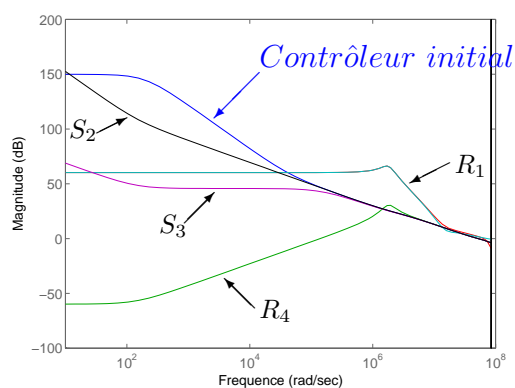
$$\text{Contrôleur} = \frac{R_K(z)}{S_K(z)} = \frac{R_4z^4 + R_3z^3 + R_2z^2 + R_1z}{S_4z^4 + S_3z^3 + S_2z^2 + S_1z + S_0} \quad (5.22)$$

Une première recherche suivant l'algorithme du meilleur facteur retenu 5.16 offre un premier résultat en moins de 0.8 secondes présenté sur la figure 5.17.b. Le résultat montre qu'il est préférable de modifier le facteur  $S_2$  de  $z^2$  du dénominateur parmi toutes les modifications candidates à une amélioration du critère ( $R_4$ ,  $R_1$ ,  $S_3$  et  $S_2$ ). Suite à cette modification, la figure 5.17.c présente le nombre de modifications possibles qui apporteraient encore une amélioration. L'algorithme calcule une meilleure amélioration si le coefficient  $R_2$  de  $z^2$  du numérateur est modifié à son tour. Le contrôleur ainsi amélioré en puissances de 2 devient (figure 5.17.d) :

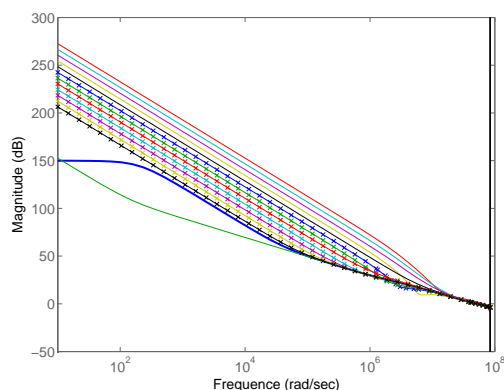
$$\text{Contrôleur}_{\text{réduction finale}} = \frac{z^4 - 0,3574z^3 - 2,096z^2 + 1,454z}{z^4 - 2,337z^3 + 1,181z^2 + 0,6494z - 0,4932} \quad (5.23)$$



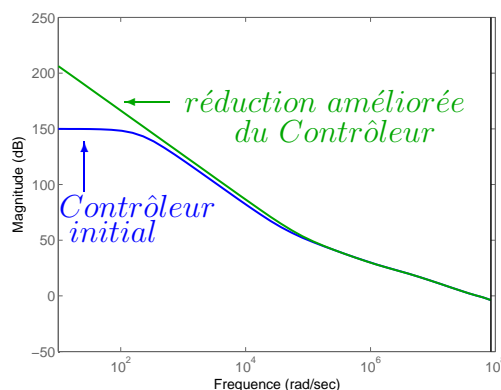
5.17.a : Réduction initiale



5.17.b : Première recherche



5.17.c : seconde recherche



5.17.d : Réduction terminée

FIG. 5.17 – Étapes de la réduction du contrôleur en puissances de 2

Sur ce petit exemple, il est intéressant de remarquer que les coefficients retouchés ne sont pas ceux qui sont les plus éloignés de ceux du contrôleur initial. En effet, comme le rappelle la table 5.2, les coefficients  $R_3$ ,  $R_1$ ,  $S_3$ ,  $S_1$  et  $S_0$  qui ont été modifiés par la décomposition directe en puissances de 2 n'ont pas été retouchés par l'algorithme d'affinage. En revanche, les coefficients  $R_2$  et  $S_2$  sujets à une erreur plus faible lors de la décomposition initiale ont ensuite été modifiés par l'algorithme. L'approximation faite par la décomposition directe des facteurs en somme de puissances de 2 ne permet donc pas de juger du coefficient à affiner. L'algorithme est nécessaire et efficace parce qu'il calcule l'écart fréquentiel des fonctions de transfert pour chaque coefficient.

Coefficient	$Contrôleur_{init}$	$Contrôleur_{reduction\ directe}$	$Contrôleur_{reduction\ finale}$
$R_4$	1	1	1
$R_3$	-0.3577	-0.3574	-0.3574
$R_2$	-2.097	-2.097	-2.096
$R_1$	1.455	1.454	1.454
$S_4$	1	1	1
$S_3$	-2.338	-2.337	-2.337
$S_2$	1.182	1.182	1.181
$S_1$	0.6499	0.6494	0.6494
$S_0$	-0.4938	-0.4932	-0.4932

TAB. 5.2 – Modifications des coefficients du contrôleur.

Les puissances de 2 du contrôleur  $K_{reduction\ finale}$  implémentable avec un codage sur moins de 10 bits sont :

$$\begin{aligned}
 R_4 &= \frac{1}{2^0} \\
 R_3 &= \frac{1}{2^2} + \frac{1}{2^4} + \frac{1}{2^5} + \frac{1}{2^7} + \frac{1}{2^8} + \frac{1}{2^9} \\
 R_2 &= \frac{1}{2^0} + \frac{1}{2^0} + \frac{1}{2^4} + \frac{1}{2^5} + \frac{1}{2^9} + \frac{1}{2^{10}} \\
 R_1 &= \frac{1}{2^0} + \frac{1}{2^2} + \frac{1}{2^3} + \frac{1}{2^4} + \frac{1}{2^6} + \frac{1}{2^{10}} \\
 S_4 &= \frac{1}{2^0} \\
 S_3 &= \frac{1}{2^0} + \frac{1}{2^0} + \frac{1}{2^2} + \frac{1}{2^4} + \frac{1}{2^6} + \frac{1}{2^7} + \frac{1}{2^{10}} \\
 S_2 &= \frac{1}{2^0} + \frac{1}{2^3} + \frac{1}{2^5} + \frac{1}{2^6} + \frac{1}{2^7} + \frac{1}{2^{10}} \\
 S_1 &= \frac{1}{2^1} + \frac{1}{2^3} + \frac{1}{2^6} + \frac{1}{2^7} + \frac{1}{2^{10}} \\
 S_0 &= \frac{1}{2^2} + \frac{1}{2^3} + \frac{1}{2^4} + \frac{1}{2^5} + \frac{1}{2^6} + \frac{1}{2^7}
 \end{aligned}$$

TAB. 5.3 – Puissances de 2 de chaque coefficient du contrôleur final.

Le tableau 5.3 montre clairement que l'implémentation d'un contrôleur nécessitant des coefficients définis avec une bonne résolution nécessite une plus grande surface. Le compromis entre la surface et les performances du contrôleur intervient donc encore ici.

## 5.5 conclusion de ce chapitre

Ce chapitre a montré que le contrôle de la PLL numérique avec un PID issu de l'état de l'art analogique n'est pas optimal. En effet, il n'est plus nécessaire de couper les hautes fréquences de la fonction de sensibilité  $T$  puisque le mot numérique de référence n'est pas bruyant.

Un contrôleur issu de la méthode de synthèse robuste  $H_\infty$  permet de rejeter tout aussi bien le bruit de l'oscillateur avec un contrôleur de dimension inférieure à un classique PID suivi de filtres.

Le respect du gabarit établi pour l'analyse de la robustesse face aux variations du gain de l'oscillateur montre qu'il n'est pas nécessaire de l'intégrer à la synthèse  $H_\infty$ . Dans le cas contraire, cette méthode peut tenir compte de ce gabarit.

L'implémentation du contrôleur peut être faite par analyse des pôles et des zéros et par une réduction directe des coefficients du filtre en puissances de 2. Si cette première approche n'est pas satisfaisante, un algorithme permet de retoucher les puissances de 2 servant à la décomposition des coefficients.

La réalisation d'une PLL numérique intégrant ce type de contrôleur est à prévoir dans les perspectives de ce travail.



# Conclusion

L'étude des architectures existantes et de leurs limitations a servi de base à ce travail qui propose plusieurs solutions pour les rendre plus performantes. L'accent a été mis sur la robustesse et le profil de bruit de phase en sortie de la boucle. Le caractère non linéaire de ces systèmes a bien été identifié et un modèle non linéaire a été établi suite à l'étude de la réalisation physique de ces architectures.

Le développement d'un outil d'analyse exploitant ce modèle non linéaire permet de valider la stabilité et la robustesse de ces systèmes échantillonnés de façon semi-globale. La prise en compte des non linéarités a permis de montrer la possibilité d'états de stabilité indésirables (le faux verrouillage) que ne peut pas déceler une étude basée sur un modèle linéaire. Le résultat graphique de cet outil offre une lecture directe du résultat. Cet outil a été utile et nécessaire pour la réalisation de la nouvelle architecture réalisée dans le cadre de cette étude : la Fractional Frequency Locked Loop. Un modèle de bruit a aussi été développé pour l'étude du profil de bruit de phase de cette nouvelle PLL. Le test du prototype de cette architecture a validé son mode de fonctionnement et son modèle de bruit montrant l'intérêt de cette innovation par l'absence de bruit de quantification malgré le rapport de division fractionnaire.

Les synthétiseurs de fréquence n'échappent pas à l'évolution technologique vers le "tout numérique". Cependant, la quantification due à la technologie lors de la numérisation du rapport de fréquences entre la sortie et la référence dégrade les performances en bruit de ces solutions numériques. Pourtant, ces solutions numériques sont amenées à être de plus en plus développées car les architectures analogiques ont de plus en plus de mal à être implémentées dans des technologies dédiées au numérique.

Nous avons présenté dans ce rapport un observateur implémentable qui peut diminuer le plancher du bruit de phase jusqu'à  $20dB$ . Cette solution rendue possible par les potentialités du numérique offre une alternative simple aux architectures complexes et consommandes imaginées pour résoudre ce problème.

Nous avons profité de ces potentialités pour évaluer les apports d'un contrôleur robuste et performant issu de la synthèse  $H_\infty$ . Il a ainsi été montré qu'il est possible de conserver la robustesse du système avec un meilleur rejet des bruits tout en ayant recours à un contrôleur simple. Un soin particulier a été apporté à cette étude des solutions numériques pour



rendre le système implémentable. Ainsi, une réduction des coefficients du contrôleur en puissances de 2 a été effectuée pour l'implémenter avec moins de 10 bits de résolution.

La rencontre des savoir faire en micro-électronique et en automatique a permis d'aboutir aux résultats présentés dans ce rapport. Le travail a été si fructueux que tout n'a pas été détaillé dans ce document. C'est le cas des différentes architectures dont la boucle à verrouillage de phase numérique qui a fait l'objet d'un dépôt de brevet [Houdebine et al., 2006a]. La description complète de cette architecture n'a pas été faite pour ne pas charger le document de descriptions au risque de ne plus saisir la problématique de ces systèmes. Il en va de même pour la Fractional Frequency Locked Loop dont la réalisation n'a pas été détaillée. Pourtant, la pompe de charges, l'amplificateur, le diviseur et les autres blocs ont fait l'objet d'études spécifiques loin d'être inintéressantes. Mais nous avons pris soin de préserver la clarté de cette étude et de cibler ce travail sur les apports de l'automatique dans les systèmes intégrés pour la synthèse de fréquences.

La richesse de cet étude provient du fait qu'elle s'étend du cahier des charges jusqu'au test en laboratoire. Un projet aussi complet ne pourrait être résumé en si peu de pages. C'est pourquoi les références invitent le lecteur à consulter les autres documents cités.

# Perspectives

Il est fort probable que la portée de ce travail aille au delà de notre imagination. En effet, l'outil d'analyse de stabilité semi-globale ouvre la voie à une application de cet outil aux convertisseurs DC-DC dont le fonctionnement est comparable à celui de la SPLL présentée dans ce rapport.

L'avenir dira si les solutions comme la Fractional Frequency Locked Loop seront les seules à atteindre des niveaux de bruit minimaux ou bien si son homologue numérique prendra le dessus. Pour le savoir, les recherches sur les architectures numériques n'en sont qu'à leurs début et les premiers prototypes sont déjà prometteurs. Une implémentation de l'observateur est à prévoir pour confirmer les résultats obtenus par simulation et vérifier la surface totale du circuit avec ce type de solution. Il ne fait pas de doute que la synthèse de correcteurs robustes comme la méthode  $H_\infty$  prendra le dessus sur le placement de pôle des correcteurs PID classiques suivis de filtres. L'étude sur ce sujet présentée dans ce rapport ouvre la voie à ces recherches et peut déjà faire l'objet d'une implémentation sur un circuit démonstrateur.

Les architectures digitales de synthétiseurs de fréquences commencent à présenter de bonnes performances en terme de bruit de phase. Comme pour les architectures analogiques, on peut s'attendre à de nouvelles architectures numériques plus performantes. Cependant, ces améliorations de performances ne seront plus seulement liées à de nouvelles architecture du système, mais aussi à de nouveaux traitements numériques de l'information.



# Annexe A

## Divergence entre les modèles linéaires continus et discrets

Pour évaluer la divergence entre les modèles continus linéaires (en  $p = j\omega$ ) et discrets (en  $z = e^{-T_p}$ ) au paragraphe 2.3, James A. Crawford [Crawford, 1994] suggère la démonstration suivante réécrite et développée ici avec les notations de ce mémoire :

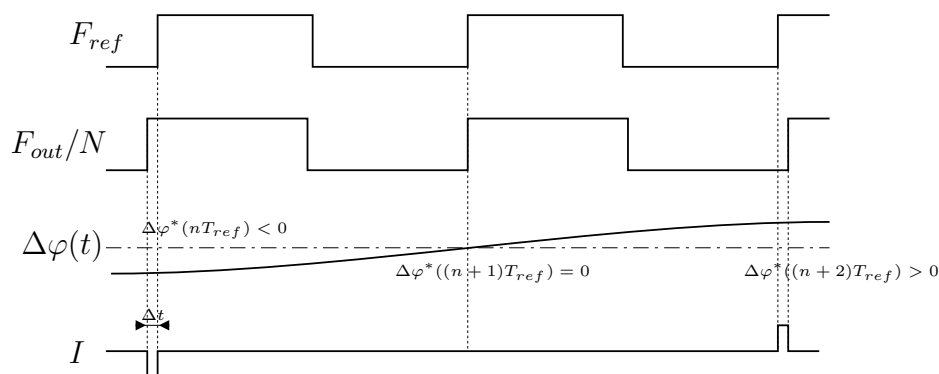


FIG. 18 – Les trois états du comparateur de phases

En partant du modèle discret, nous allons effectuer diverses approximations pour parvenir au résultat linéaire continu de la fonction de transfert constituée par le comparateur de phase et la pompe de charges. Les approximations effectuées permettront d'évaluer l'écart entre les deux modèles.

Le courant débité par la pompe de charges induit par l'action du comparateur de phases est de la forme :

$$I(p) = I_{chpp} \sum_{n=0}^{+\infty} \left( \frac{1 - e^{-p\Delta t(n)}}{p} \times e^{-T_{ref}np} \right). \quad (24)$$

Où  $I_{chpp}$  désigne la valeur absolue du courant. Le terme  $\frac{1-e^{-p\Delta t(n)}}{p}$  traduit les impulsions de largeur  $\Delta t(n)$  et le terme  $e^{-T_{ref}np}$  représente l'action effectuée à chaque période d'échantillonnage  $T_{ref}$ .

**Approximation 1** *Pour une fréquence de coupure de boucle suffisamment basse, on peut recourir au développement limité :  $e^{-p\Delta t} \simeq 1 - p \Delta t$ .*

D'où :

$$I(p) = I_{chpp} \sum_{n=0}^{+\infty} \Delta t(n) e^{-T_{ref}np} \quad (25)$$

Or  $\Delta\varphi = 2\pi \frac{\Delta t}{T_{ref}}$ , d'où :

$$I(p) = \frac{I_{chpp} T_{ref}}{2\pi} \sum_{n=0}^{n=+\infty} \Delta\varphi(n) e^{-T_{ref}np} \quad (26)$$

Le comparateur de phase induit des impulsions de charges. L'erreur de phase  $\Delta\varphi$  n'est donc pas continue en réalité. En considérant  $\Delta\varphi^*$  la valeur instantanée de l'erreur de phase, on peut écrire le modèle par impulsions à chaque période de référence  $T_{ref}$  équivalent :

$$\Delta\varphi^*(t) = \sum_{n=0}^{+\infty} \Delta\varphi(n) \delta(t - nT_{ref}) \quad (27)$$

Où  $\delta(t - nT_{ref})$  désigne l'impulsion de Dirac à chaque période de référence.

Pour aller plus loin, James Crawford va utiliser deux résultats. Le premier vient de la considération de la transformée de Laplace de l'erreur de phase instantanée  $\Delta\varphi^*$  :

$$L[\Delta\varphi^*(t)] = \Delta\varphi^*(p) = \sum_{n=0}^{+\infty} \int_0^{+\infty} \Delta\varphi(n) \delta(t - nT_{ref}) e^{-tp} dt \quad (28)$$

$$\Delta\varphi^*(p) = \sum_{n=0}^{+\infty} \Delta\varphi(n) e^{-nT_{ref}p} \quad (29)$$

Pour établir le second résultat, il faut utiliser l'approche par série de Fourier de l'impulsion de Dirac :

$$\delta(t) = \sum_{n=0}^{+\infty} C_n e^{j\omega_{ref}nt} \quad (30)$$

où  $\omega_{ref} = \frac{2\pi}{T_{ref}}$  représente la pulsation de l'échantillonnage à la fréquence de référence, et  $C_n$  le coefficient :

$$C_n = \frac{1}{T_{ref}} \int_{-T_{ref}/2}^{T_{ref}/2} \delta(t) e^{j\omega_{ref}t} dt \quad (31)$$

$$C_n = \frac{1}{T_{ref}} \quad (32)$$

La transformée de Laplace de l'erreur de phase instantanée  $\Delta\varphi^*(t)$  exprimée par l'équation (27) devient alors :

$$\Delta\varphi^*(p) = L[\Delta\varphi^*(t)] \quad (33)$$

$$\Delta\varphi^*(p) = \frac{1}{T_{ref}} \sum_{n=0}^{+\infty} \int_0^{+\infty} \Delta\varphi(t) e^{jn\omega_{ref}(t-nT_{ref})} \cdot e^{-tp} dt \quad (34)$$

$$\Delta\varphi^*(p) = \frac{1}{T_{ref}} \sum_{n=0}^{+\infty} \int_0^{+\infty} \Delta\varphi(t) e^{jn\omega_{ref}t-tp} \cdot e^{-jn\frac{2\pi}{T_{ref}}nT_{ref}} dt \quad (35)$$

$$\Delta\varphi^*(p) = \frac{1}{T_{ref}} \sum_{n=0}^{+\infty} \int_0^{+\infty} \Delta\varphi(t) e^{-(p-jn\omega_{ref})t} dt \quad (36)$$

$$\Delta\varphi^*(p) = \frac{1}{T_{ref}} \sum_{n=0}^{+\infty} \Delta\varphi \left( p - jn\frac{2\pi}{T_{ref}} \right) \quad (37)$$

**Approximation 2** Dans l'hypothèse supplémentaire que tous les termes hautes fréquences (c'est à dire pour  $n \neq 0$ ) sont en dehors de la bande passante de la boucle et donc négligeables, on ne conserve que le terme pour  $n = 0$

Il vient alors :

$$\Delta\varphi^*(p) \simeq \frac{\Delta\varphi(p)}{T_{ref}} \quad (38)$$

L'utilisation des résultats (29) et (38) dans l'équation (26) permet d'aboutir à la fonction de transfert pseudo-continue du comparateur de phase et de la pompe de charges :

$$I(p) = \frac{I_{chpp} T_{ref}}{2\pi} \Delta\varphi^*(p) \quad (39)$$

$$I(p) = \frac{I_{chpp}}{2\pi} \Delta\varphi(p) \quad (40)$$

L'équation du modèle continu du PFD et de la pompe de charges (40) a été obtenue à partir de la forme exacte du courant issu de la pompe de charges (24) après 2 approximations.

La seconde approximation impose à la fréquence de coupure de la PLL d'être inférieure à la fréquence de référence. Pour cela, la fréquence de coupure est souvent choisie inférieure à  $\frac{F_{ref}}{10}$ .

La première approximation permet d'estimer l'écart entre les deux modèles linéaires continu et discret par l'intermédiaire de l'approximation 1 :

$$\left( \frac{e^{-p\Delta t}}{1 - p \Delta t} \right)_{p=j\omega} = A(\omega)e^{j\theta(\omega)} \quad (41)$$

Il vient donc que l'amplitude et la phase de l'erreur commise sont :

$$A(\omega) = \frac{1}{\sqrt{1 + (\omega \Delta t)^2}} \quad (42)$$

$$\theta(\omega) = -\omega \Delta t + \arctan(\omega \Delta t) \quad (43)$$

Lorsque les modèles sont proches, l'amplitude  $A$  doit être égale à 1 et la phase de l'erreur  $\theta$  doit être nulle. il apparaît alors que l'erreur due à l'approximation faite sera croissante pour une erreur de phase  $\Delta t$  croissante et pour des fréquences élevées.

## Annexe B

# Effet des injections de l'interrupteur de la FLL sur le spectre de sortie

Un résultat de travail entre l'institut de technologie de Georgie et la société National Semiconductor à été publié dans [Zhang et al., 2003] pour y décrire l'architecture d'une PLL échantillonnée. L'échantillonneur de cette nouvelle architecture est réalisé à partir d'un transistor MOS comme nous l'avons fait dans notre nouvelle architecture de synthétiseur de fréquences présentée à la section 1.3 du chapitre 1.

La forme temporelle des fluctuations de la tension de contrôle  $V_0$  en raison des injections de l'interrupteur (voir la section 3.2) est le suivant :

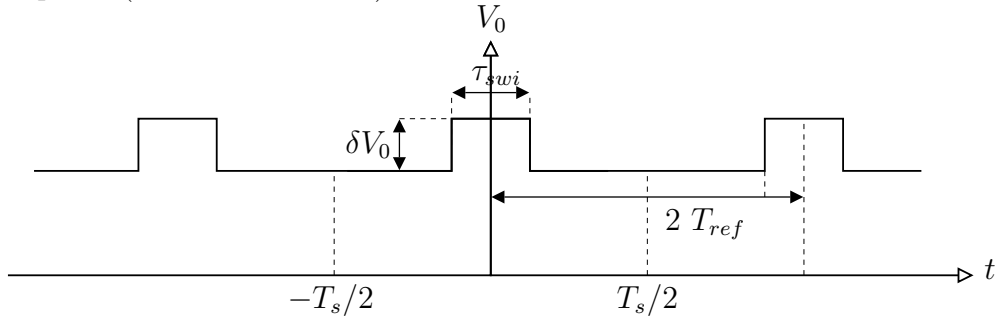


FIG. 19 – Variations de la tension de contrôle  $V_0$  due aux injections parasites de l'interrupteur.

Par décomposition de Fourier, on peut établir l'expression de la tension  $V_0$  présentée ici comme paire :

$$A_n = \frac{2}{T_s} \int_{-T_s/2}^{T_s/2} V_0(t) \cos\left(\frac{2\pi n t}{T_s}\right) dt \quad (44)$$

$$A_n = \frac{2\delta V_0}{\pi n} \sin\left(\frac{\pi n \tau_{swi}}{T_s}\right) \quad (45)$$



D'où l'expression de la tension de commande :

$$V_0(t) = A_0 + \sum_{n=1}^{+\infty} \frac{2\delta V_0}{\pi n} \sin\left(\frac{\pi n \tau_{swi}}{T_s}\right) \cos\left(\frac{2\pi n t}{T_s}\right) \quad (46)$$

Cette tension contrôle la fréquence de sortie de la PLL dont l'expression temporelle est :

$$V_{outVCO} = A \cos(2\pi f t) \quad (47)$$

avec  $f = F_0 + K_0 \times V_0$ .

Soit :

$$f(t) = F_0 + K_0 \times A_0 + K_0 \sum_{n=1}^{+\infty} \frac{2\delta V_0}{\pi n} \sin\left(\frac{\pi n \tau_{swi}}{T_s}\right) \cos\left(\frac{2\pi n t}{T_s}\right) \quad (48)$$

Comme nous analysons le bruit de phase en sortie de la boucle, celui-ci peut être obtenu par intégration de la fréquence :

$$\phi(t) = \int_0^t f(\tau) d\tau. \quad (49)$$

$$\phi(t) = \sum_{n=1}^{+\infty} K_0 \frac{2\delta V_0}{\pi n} \sin\left(\frac{\pi n \tau_{swi}}{T_s}\right) \frac{T_s}{2\pi n} \sin\left(\frac{2\pi n t}{T_s}\right) \quad (50)$$

Ainsi, nous aboutissons à l'expression temporelle de la tension de sortie du VCO :

$$V_{outVCO} = A \cos \left[ \omega_c t + \sum_{n=1}^{+\infty} \frac{2K_0 \delta V_0 T_s}{\pi n^2} \sin\left(\frac{\pi n \tau_{swi}}{T_s}\right) \sin\left(\frac{2\pi n t}{T_s}\right) \right]. \quad (51)$$

$$V_{outVCO} = A \cos \left[ \omega_c t + \sum_{n=1}^{+\infty} \beta \sin(n\omega_m t) \right]. \quad (52)$$

$$(53)$$

En posant  $\omega_m = \frac{2\pi}{T_s}$  la fréquence de modulation et  $\beta = \frac{2K_0 \delta V_0 T_s}{\pi n^2} \sin\left(\frac{\pi n \tau_{swi}}{T_s}\right) = \frac{2K_0 \delta V_0 \tau_{swi}}{n} \text{sin}_c\left(\frac{\pi n \tau_{swi}}{T_s}\right)$ , si bien que pour être en faible indice de modulation, il faut avoir  $\beta \ll 1$  soit  $\frac{2K_0 \delta V_0 \tau_{swi}}{n} \ll 1$

Se placer dans le cas d'un faible indice de modulation est intéressant pour faciliter la transformation de Bessel. En effet, pour une modulation de phase de la forme :  $v(t) = A \cos(\omega_c t + \beta \sin(\omega_m t))$ , on sait que [Taub and Schilling, 1971] :

$$v(t) = A \{ J_0 \cos(\omega_c t) - J_1 [\cos(\omega_c - \omega_m)t - \cos(\omega_c + \omega_m)t] + J_2 [\cos(\omega_c - 2\omega_m)t + \cos(\omega_c + 2\omega_m)t] - J_3 [\dots] \} \quad (54)$$

avec pour  $\beta \ll 1$  :

$$\begin{aligned} J_0(\beta) &\simeq 1 - \left(\frac{\beta}{2}\right)^2 \\ J_n(\beta) &\simeq \frac{1}{m!} \left(\frac{\beta}{2}\right)^m, \quad m \geq 1 \end{aligned} \quad (55)$$

Soit :

$$\begin{aligned} J_0 &\simeq 1 \\ J_1 &\simeq \frac{\beta}{2} = \frac{K_0 \delta V_0 T_s}{\pi n^2} \sin\left(\frac{\pi n \tau_{swi}}{T_s}\right) \\ J_2 &\simeq \frac{\beta^2}{8} = \frac{K_0^2 \delta V_0^2 T_s^2}{2\pi^2 n^4} \sin^2\left(\frac{\pi n \tau_{swi}}{T_s}\right) \simeq 0 \\ J_3 &\simeq \frac{\beta^3}{48} \simeq 0 \end{aligned} \quad (56)$$

Comme  $J_0 \simeq 1$ , alors la puissance spectrale en dBc des spurios à chaque multiple  $n$  de  $T_s$  sera :

$$Spurs@\frac{2\pi n}{T_s} = 20 \log_{10} \left[ \frac{K_0 \delta V_0 T_s}{\pi n^2} \sin\left(\frac{\pi n \tau_{swi}}{T_s}\right) \right], \quad \text{avec } T_s = 2 T_{ref}. \quad (57)$$

Un application numérique avec les valeurs de la FFL donne :  
Pour  $K_0 = 100 \text{ MHz/V}$ ,  $\delta V_0 = 1 \mu\text{s}$ ,  $\tau_{swi} = 20 \text{ ns}$  et  $T_s = 74 \text{ ns}$  :

$n = 1$	$\beta = 3,53.10^{-6}$	$J_0 = 0,9999964 \simeq 1$ $J_1 = 1,77.10^{-6} \ll 1$
$n = 10$	$\beta = 3,78.10^{-8}$	$J_0 = 0,99999996 \simeq 1$ $J_1 = 1,89.10^{-8} \ll 1$

Ce qui justifie bien les hypothèses.



# Liste des Acronymes

- DCO** Digitally Controlled Oscillator : Oscillateur contrôlé par mot numérique, composant que doit réguler la PLL numérique (DPLL), (figure 1.2.c)
- DDFS** Direct Digital Frequency Synthesizer : Architecture numérique de synthèse de fréquences par chaîne directe (sans contre-réaction), la forme du signal est générée par une mémoire.
- DPLL** Digital Phase Locked Loop : boucle à verrouillage de phase numérique (figure 1.1.b).
- FLL** Fractional Frequency Locked Loop : boucle à verrouillage de phase qui tire profit de l'échantillonnage pour éviter le bruit de quantification (figure 1.18) Architecture brevetée [Joet et al., 2002; Houdebine and Dedieu, 2006].
- KS** Nom de la fonction de sensibilité qui traduit l'influence de la référence sur la commande.
- PFD** Phase Frequency Differentiator : comparateur de phase/Fréquence qui sert à la comparaison entre la phase de référence et la phase du signal de sortie divisé sur la chaîne de retour (figure 1.9).
- PLL** Phase Locked Loop : Boucle à verrouillage de phase (figure 1.1.a).
- S** Nom de la fonction de sensibilité qui traduit le rejet des bruits de l'oscillateur sur la sortie.
- SG** Nom de la fonction de sensibilité qui traduit le rejet des perturbations de la commande sur la sortie.
- SPLL** Sampled Phase Locked Loop : PLL au fonctionnement échantillonné qui fonctionne avec la génération d'une rampe en phase avec la référence (figure 1.21).
- T** fonction de transfert de la référence à la sortie.

**Suite de la liste des acronymes :**

- TDC** Time to Digital Converter : Système permettant de numériser l'écart temporel qui sépare deux fronts de signaux analogiques (figure 1.25).
- VCO** Voltage Controlled Oscillator : Oscillateur contrôlé en tension, composant que doit réguler la PLL analogique (figure 1.2.b).

# Liste des Symboles

$B_\rho$	Boule de rayon $\rho$ , désigne le volume de l'espace d'état défini par l'ensemble des vecteurs d'état $V$ tels que : $\ V - V_d\  \leq \rho$ avec $\rho$ réel.
$cmd$	Nom donné au signal de contrôle du DCO des PLLs numériques (DPLL).
$Dt_1$	Délai séparant le front de référence du front suivant du signal de sortie, il s'appelle $Dt_1$ par analogie aux temps $\Delta t_1$ et $\Delta t_2$ de la mesure de la FLL.
$\Delta t_1$	Délai séparant le front de référence du troisième front suivant du signal de sortie. Il est utilisé pour la méthode de mesure de la FLL.
$\Delta t_2$	Délai séparant le second front de référence du $N^{ième}$ front du signal de sortie à compter du démarrage du compteur. Il est utilisé pour la méthode de mesure de la FLL.
$f$	Partie fractionnaire du facteur de division $F_{out}/F_{ref} = N + f$ .
$f_d$	Partie fractionnaire désirée du facteur de division $Ref = N_d + f_d$ entré en consigne.
$f_m$	Partie fractionnaire mesurée par le Frequency Meter du facteur de division $F_{out}/F_{ref} = N + f$ .
$F_{out}$	Fréquence du signal de sortie de l'oscillateur contrôlé en tension ou par mot numérique.
$G^{(i)}(V(k), \tilde{p})$	Application déterminée par le modèle non linéaire qui permet de calculer l'évolution du vecteur d'état $V(k)$ après $i$ instants d'échantillonnage.
$\varphi_{out}$	Phase du signal de sortie de l'oscillateur contrôlé en tension ou par mot numérique.
$F_{ref}$	Fréquence du signal de référence généralement délivré par un quartz.
$\varphi_{ref}$	Phase du signal de référence généralement délivré par un quartz.
$F_0$	Fréquence centrale de l'oscillateur contrôlé.

## Suite de la liste des symboles

$K_0$	Gain de l'oscillateur contrôlé (VCO ou DCO).
$\mathcal{L}$	Transformée de Laplace.
$L(f_m)$	bruit de phase en bande latérale unique défini en $dBc/Hz$ lorsqu'il est ramené par bande de $1Hz$ .
$N$	Partie entière du facteur de division $F_{out}/F_{ref} = N + f$ .
$N_1$	Valeur temporelle correspondant au rapport $Dt_1/T_{inv}$ (chapitre 4).
$N_{1_m}$	Valeur mesurée de la valeur temporelle correspondant au rapport $Dt_1/T_{inv}$ (chapitre 4).
$N_d$	Partie entière désirée du facteur de division $Ref = N_d + f_d$ entré en consigne.
$N_m$	Partie entière mesurée par le Frequency Meter du facteur de division $F_{out}/F_{ref} = N + f$ .
$\widehat{N}_1$	Valeur estimée de la valeur temporelle correspondant au rapport $Dt_1/T_{inv}$ (chapitre 4).
$N_h$	Majorant de la valeur de $Dt_1/T_{inv}$ (chapitre 4).
$N_l$	Minorant de la valeur de $Dt_1/T_{inv}$ (chapitre 4).
$p$	Laplacien : $p = 2\pi f$ .
$\tilde{p}$	Vecteur de paramètres du modèle non linéaire. Il est nommé ainsi pour ne pas le confondre avec le laplacien $p$ .
$\tau_{delai}$	Retard de phase cyclique entre le front de référence et le front de sortie dû à la partie fractionnaire $f$ du rapport de division $F_{out}/F_{ref} = N + f$ .
$T_{inv}$	Retard du signal lors de la traversée d'un inverseur.
$T_{out}$	période du signal de sortie
$T_{ref}$	période du signal de référence
$V(k)$	Vecteur d'état du modèle non linéaire. Il peut être constitué de tensions, courants, phases, ...
$V_d$	Vecteur d'état désiré correspondant au vecteur d'état d'équilibre du système.
$\mathcal{Z}$	Transformée en $Z$ .

# Bibliographie

- Acco, P. (2001). Why do we linearise charge pump PLL equations so early. *NDES'01, Dleft, the Netherlands*.
- Acco, P. (décembre 2003). *Étude de la boucle à verrouillage de phase par impulsions de charge, prise en compte des aspects hybrides*. Thèse Laboratoire d'étude des systèmes informatiques et automatiques, INSA Toulouse.
- Astrom, K. and Wittenmark, B. (1997). *Computer Controlled Systems, Theory and design*. prentice hall.
- Cassia, M., Shah, P., and Bruun, E. (2003). Analytical Model and Behavioral Simulation Approach for a  $\Sigma\Delta$  Fractional-N Synthesizer Employing a Sample-Hold Element. *IEEE Transactions on Circuits And Systems-II : Analog And Digital Signal Processing*, 50(11).
- Chemori, A. and Alamir, M. (2004). Generation of multi steps limit cycles for rabbit using a low dimensional (scalar) nonlinear predictive control scheme. *IEEE/RSJ international conference on Intelligent Robots and Systems, Sendai, Japan*.
- Chemori, A. and Alamir, M. (2005). Limit cycle generation for a class of non-linear systems with jumps using a low dimensional predictive control. *International Journal of control*, 78(15) :1206–1217.
- Chung, C.-C. and Lee, C.-Y. (2004). A new DLL Based Approach for All Digital Multi-phase Clock Generation. *IEEE Journal of Solid State Circuits*, 39(3).
- Cibiel, G. (décembre 2003). *Contribution à l'analyse d'amplificateurs microondes à très faible bruit de phase. Application à la réalisation d'une source à très haute pureté spectrale en bande C*. Thèse LAAS, CNRS.
- Cordeau, D. (2004). *Étude comportementale et conception d'oscillateurs intégrés poly-phases accordables en fréquence en technologie Si et SiGe pour les radiocommunications*. Thèse École Supérieure d'Ingénieurs de Poitiers.
- Crawford, J. (1994). *Frequency Synthesizer Design Handbook*. ArtechHouse Boston.London.



- Da Dalt, N. (2005). A Design-Oriented Study of the Nonlinear Dynamics of Digital Bang-Bang PLLs. *IEEE Transactions on circuits and systems-I : regular papers*, 52(1).
- de Bellescize, H. (1932). La réception synchrone. *L'Onde Électrique*, 11 :230–240.
- Doyle, J., Bruce, F., and Tannenbaum, A. (1992). *Feedback Control Theory*. Macmillan Publishing Company.
- Dudek, P., Szczepanski, S., and Hatfield, J. (2000). A High Resolution CMOS Time-To-Digital Converter utilizing a Vernier Delay Line. *IEEE Transactions on Solid State Circuits*, 35(2).
- Ferre-Pikal, E., Camparo, J., Cutler, L., Maleki, L., Riley, W., Stein, S., Thomas, C., Walls, F., and White, J. (1997). Draft revision of IEEE STD 1139-1988 standard definitions of physical quantities for fundamental frequency and time metrology-random instabilities. *IEEE International Frequency Control Symposium*, pages pp. 338–357.
- Gardner, F. (2005). *Phaselock techniques, 3<sup>rd</sup> edition*. Wiley.
- Goldberg, B. (1998). *Digital techniques in frequency synthesis*. Mac Graw Hill.
- Hajimiri, A. and Lee, T. (1998). A General Theory of Phase Noise in Electrical Oscillators. *IEEE Journal of Solid State Circuits*, 33(2) :179–194.
- Hikawa, H. (2004). Direct Digital Frequency Synthesizer with Multi-Stage Linear Interpolation. *ISCAS, International Symposium on Circuit and Systems*, 4.
- Houdebine, M. and Dedieu, S. (2006). Procédé et dispositif de génération d'un signal par boucle à verrouillage de fréquence fractionnaire. Brevet STMicroelectronics sous le numéro : 0413596.
- Houdebine, M., Dedieu, S., Alamir, M., and Sename, O. (2005). A New Fractional Frequency Synthesizer Architecture With Stability and Robustness Analysis. *Proceedings of the IFAC World Congress, Prague, Czech Republic*.
- Houdebine, M., Dedieu, S., and Lajoinie, J. (2006a). Procédé d'élaboration d'un mot numérique représentatif d'un rapport non-entier entre les périodes respectives de deux signaux, et dispositif correspondant. Brevet STMicroelectronics sous le numéro : 06/07416.
- Houdebine, M., Dedieu, S., Sename, O., and Alamir, M. (2006b). A sampled spur free fractional frequency synthesizer and its noise analysis. *ESSCIRC European Solid State Circuit Conference, Montreux, Suisse*.

- Jiang, H., He, C., Chen, D., and Randall, G. (2002). Optimal loop parameter design of charge pump PLLs for jitter transfer characteristic optimization. *The 2002 45th Midwest Symposium on Circuits and Systems*, 1.
- Joet, L., Dedieu, S., André, E., and Saias, D. (2002). Method and device for generating a signal with a frequency equal to the product of a reference frequency and a real number. Patent US2004113665.
- Kalisz, J., Szplet, R., Pasierbinski, J., and Poniecki, A. (1997). Field Programmable Gate Array Based Time-To-Digital Converter with 200ps Resolution. *IEEE Transaction on instrumentation and Measurement*, 46(1).
- Kolumbán, G., Frigyik, B., and Kennedy, M. (1999). Accurate baseband model for sampling phase lock-loop. *IEE colloquium on Theory and Practice*.
- Kroupa, V. (2003). *Phase Lock Loops and Frequency Synthesis*. Wiley.
- Leeson, D. (1966). A simple model of feedback oscillator noise spectrum. *Proc. letters of IEEE*, 54(2).
- Maget, J. (Décembre 2002). *Varactor and Inductors for Integrated RF circuits in Standard MOS Technologies*. PhD. Thesis, Université de München.
- Meninger, S. (2005). *Low Phase Noise, High Bandwidth Frequency Synthesis Techniques*. PH.D. Thesis, Massachusetts Institute of Technology.
- Meninger, S. and Perrott, M. (2005). Bandwidth extension of low noise fractional-N Synthesizers. *IEEE Radio Frequency Integrated Circuits Symposium-RFIC*, pages 211–214.
- Parle, M. and Kennedy, M. (2005). Comments on the effectiveness of the Szabo and Kolumban solution to false lock in Sampling PLL Frequency Synthesizer. *Proceedings of the 2005 European Conference on Circuit Theory and Design*, 3.
- Razavi, B. (1996). A study of phase noise in CMOS oscillator. *IEEE journal of solid state circuits*, 31(3).
- Sander, W. (2001). Digital Phase Discriminations Based on Frequency Sampling. United States Patent No US 6,269,135 B1.
- Skogestad, S. and Postlethwaite, I. (2005). *Multivariable Feedback Control : analysis and design, 2nd Edition*. Wiley.
- Staszewski, R. and Balsara, P. (2005). Phase-Domain All-Digital Phase-Locked Loop. *IEEE Transaction on circuits and systems - II : Express briefs*, 52(3).

- Staszewski, R. and Balsara, P. (2006). *All-Digital Frequency Synthesizer in Deep-Submicron CMOS*. Wiley.
- Staszewski, R., Leipold, D., Hung, C., and Balsara, P. (2004). TDC-Based Frequency Synthesizer for Wireless Applications. *IEEE Radio Frequency Integrated Circuits Symposium*.
- Staszewski, R., Wallberg, J., Hung, C.-M., Feygin, G., Entezari, M., and Leipold, D. (2006). LMS-based calibration of an RF digitally controlled oscillator for mobile phones. *IEEE Transactions on Circuits and Systems II : Express Briefs* *IEEE*, 53(3) :225 – 229.
- Staszewski, R., Wallberg, J., Rezeq, S., Hung, C., Eliezer, O., Vemulapalli, S., Fernando, C., Maggio, K., Staszewski, R., Barton, N., Lee, M., Cruise, P., Entezari, M., Muhammad, K., and Leipold, D. (2005). All-Digital PLL and Transmitter for Mobile Phones. *IEEE Journal of Solid State Circuits*, 40(12).
- Stensby, J. (2002). Stability of False Lock States in a Class of Phase-Lock Loops. *IEEE, Proceedings of the Thirty-Fourth southeastern Symposium on System Theory*, pages 133–137.
- Szabó, Z. and Kolumbán, G. (2003). How to avoid False Lock in SPLL Frequency Synthesizers. *IEEE Transactions on instrumentation and measurements*, 52(3) :927–931.
- Tang, Y., Ismail, M., and Bibyk, S. (2002). A new fast-settling gearshift adaptive PLL to extend loop bandwidth enhancement in frequency synthesizers. *IEEE International Symposium on Circuits And Systems-ISCAS*, 4.
- Taub, H. and Schilling, D. (1971). *Principles of Communication Systems*. Mc Graw Hill.
- Tonietto, R. (2005). *Wideband All Digital PLL for Direct Modulation*. Thèse de l’université de Pavia (Italie).
- Tonietto, R., Zuffi, E., Castello, R., and Bietti, I. (2006). A 3MHz Bandwidth Low Noise RF All Digital PLL with 12ps Resolution Time to Digital Converter. *ESSCIRC European Solid State Circuit Conference, Montreux, Suisse*.
- Van Paemel, M. (1994). Analysis of a Charge-Pump PLL : A new Model. *IEEE transaction on communications*, 42(7).
- Vaucher, C. (2002). *Architectures for RF Frequency Synthesizers*. Kluwer Academic publisher.
- Zhang, B., Allen, P. E., and Huard, J. M. (2003). A Fast Switching PLL Frequency Synthesizer With an On-Chip Passive Discrete-Time Loop Filter in 0.25- $\mu\text{m}$  CMOS. *IEEE Journal of Solid-State Circuits*, 38(6).

Zhou, K. and Doyle, J. (1998). *Essentials of Robust Control*. Prentice Hall.

## Contribution pour l'amélioration de la robustesse et du bruit de phase des synthétiseurs de fréquences.

**Résumé :** Cette étude porte sur les apports de l'automatique dans les systèmes intégrés sur Silicium pour la synthèse de radio-fréquences de l'ordre du Giga-Hertz avec une pureté spectrale optimale. La base des architectures qui réalisent cette fonction repose sur celle des boucles à verrouillage de phase (PLL). Ce travail se positionne par rapport aux différents modèles existants et apporte des améliorations pour l'étude du bruit de phase et de la robustesse de ces systèmes non linéaires avec entre autres un outil pour l'analyse de la stabilité et de la robustesse semi globale. Ces travaux ont permis l'optimisation d'une nouvelle architecture fractionnaire réalisée et testée. L'approche systémique propre à l'automatique a aussi permis d'améliorer les performances des architectures numériques grâce à un observateur et un contrôleur robuste de type  $H_\infty$ . Leur implémentation sur Silicium est rendue possible grâce à des algorithmes qui visent à réduire la surface du circuit.

**Mots Clefs :** Synthétiseur de fréquence, Boucle à verrouillage de phase, modèle non linéaire, stabilité et robustesse semi globale, méthode de discrétisation exacte, bruit de phase, observateur non linéaire, synthèse  $H_\infty$ , intégration complète sur puce.

## Contribution to robustness and phase noise improvements of Frequency synthesizers.

**Abstract :** This study is about the contribution of automatics in fully integrated on chip radio frequency synthesizers. This study pays attention to the output Giga Hertz frequency spectral purity which has to be optimal. Frequency synthesizers are based on Phase Locked Loops architectures (PLL). This work deals with these nonlinear system modelling and proposes improvements for noise and robustness analysis especially with a tool for semi-global stability and robustness analysis. Thanks to these tools, a new fractional frequency synthesizer has been optimized, designed and tested. This work is also widened to digital PLL architectures whose performances are improved by the use of an innovative observer and a robust controller obtained by the  $H_\infty$  synthesis method. Tools are elaborated in order to implement these controllers on the minimum silicon area.

**Index terms :** Frequency synthesizer, Phase Locked Loop, nonlinear model, semi global stability and robustness analysis, exact discretization method, phase noise, non linear observer,  $H_\infty$  synthesis, fully integrated system on chip.



