

Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : Application à la Radio Logicielle

Samuel Rouxel

*Soutenance de Thèse
Université de Bretagne Sud
Laboratoire LESTER - CNRS FRE 2734
Mardi 5 décembre 2006*



Samuel Rouxel

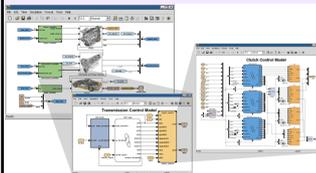
Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : Application à la Radio Logicielle



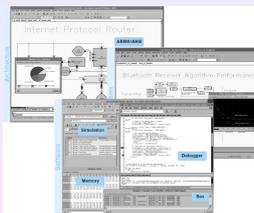
Conception des systèmes temps réel embarqués

System Studio

Simulink

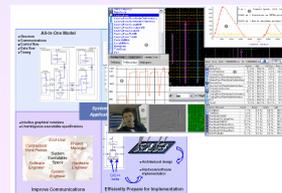


Source: The Mathworks



Source: Synopsys

CoFluent Studio



Source: CoFluent



Samuel Rouxel

Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : Application à la Radio Logicielle

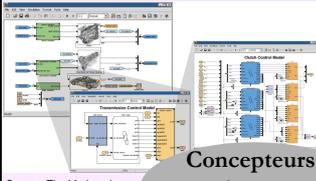
2



Conception des systèmes temps réel embarqués

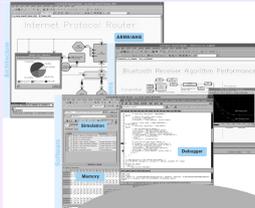
System Studio

Simulink



Source: The Mathworks

Concepteurs
traitement
du Signal



Source: Syn

Spécialistes CAO

CoFluent Studio



Source: CoFlu

Concepteurs
systèmes temps
réel



Samuel Rouxel

Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène :
Application à la Radio Logicielle

3



Conception Multidisciplinaire

Concepteur
IP Software

Concepteur
traitement
du Signal

Concepteur
IP numériques
matérielles

Concepteur
Télécom



Source: Xcell Journal Issue 58

Concepteur
IP analogiques
matérielles

Fondeur

Comment fournir un flot de conception unifié ?



Samuel Rouxel

Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène :
Application à la Radio Logicielle

4



Plan

- Enjeux et tendances de la conception des systèmes
- Vers l'ingénierie dirigée par les modèles
- Contexte et contributions
- Méthodologie de conception A3S
- Expérimentations
- Conclusions et perspectives

Plan

- Enjeux et tendances de la conception des systèmes
- Vers l'ingénierie dirigée par les modèles
- Contexte et contributions
- Méthodologie de conception A3S
- Expérimentations
- Conclusions et perspectives

La convergence du numérique



- Vers une intégration massive des technologies applicatives
 - Technologie de l'information
 - Communication
 - Multimédia et jeux
 - Géolocalisation
 - Électronique grand public
- Multistandards
- Systèmes flexibles

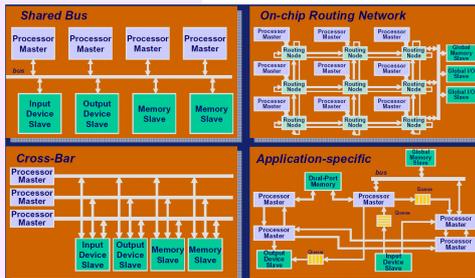
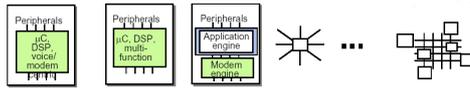
La convergence du numérique



- Vers une intégration massive des technologies applicatives
- Multistandards
 - GSM 900/1800/1900, GPRS, EDGE
 - MP3, ACC, ACC+, OGG, WMA, Wave
 - MPEG4, H.263, WMV
 - Infrarouge,
 - Bluetooth v2.0
 - etc.
- Systèmes flexibles

Architecture Multi-processeurs (MPSoC)

Plus de processeurs connectés



2005 2010 **NOKIA**
Connecting People

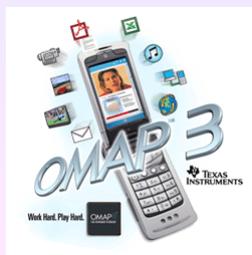
Architectures de communication diversifiées

Source: Tensilica 2006

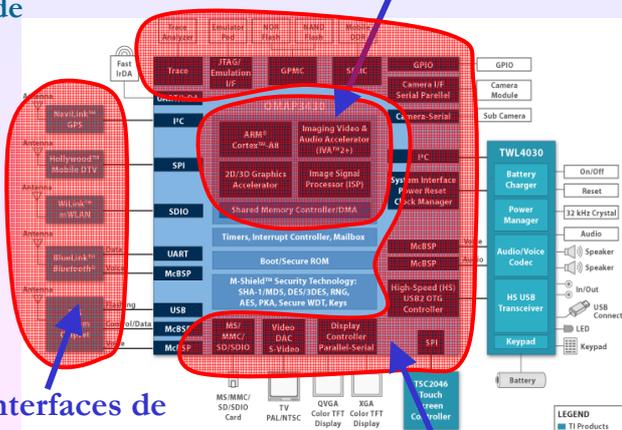
Exemple : Architecture OMAP

- Complexe
- Différents types de processeurs

Multi-processeurs



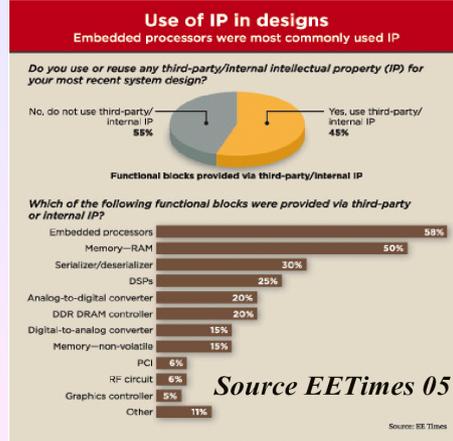
Source: Texas Instrument 2006



Interfaces de Communication

Périphériques

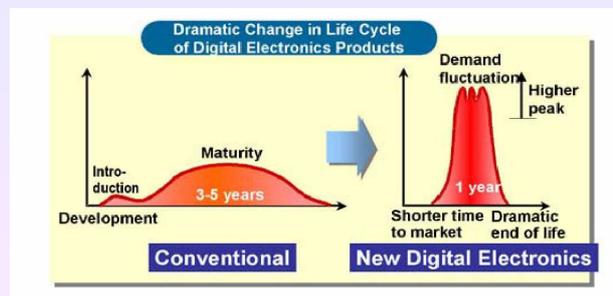
Conception basée sur les IP



Obtenir une meilleure productivité, jusqu'à 200% de gain avec des IP où des blocs de haut niveau

Source: MEDEA

Nouveau cycle de vie des produits numériques



Réduction du temps de prototypage
 Durée de vie limitée des produits

Plan

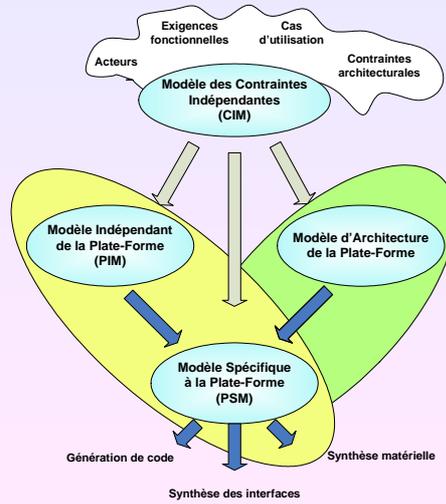
- Enjeux et tendances de la conception des systèmes
- **Vers l'ingénierie dirigée par les modèles**
- Contexte et contributions
- Méthodologie de conception A3S
- Expérimentations
- Conclusions et perspectives

Ingénierie dirigée par les modèles IDM

- **IDM ou MDE (Model Driven Engineering)**
 - Outils, concepts et langages pour créer et transformer les modèles
 - Modèles basés objets
 - Une application est générée par les modèles
- **MDA**
 - Réduction du MDE à l'aspect dépendance du logiciel à une plate-forme d'exécution

Principes MDA

- 3 modèles (CIM, PIM, PSM)

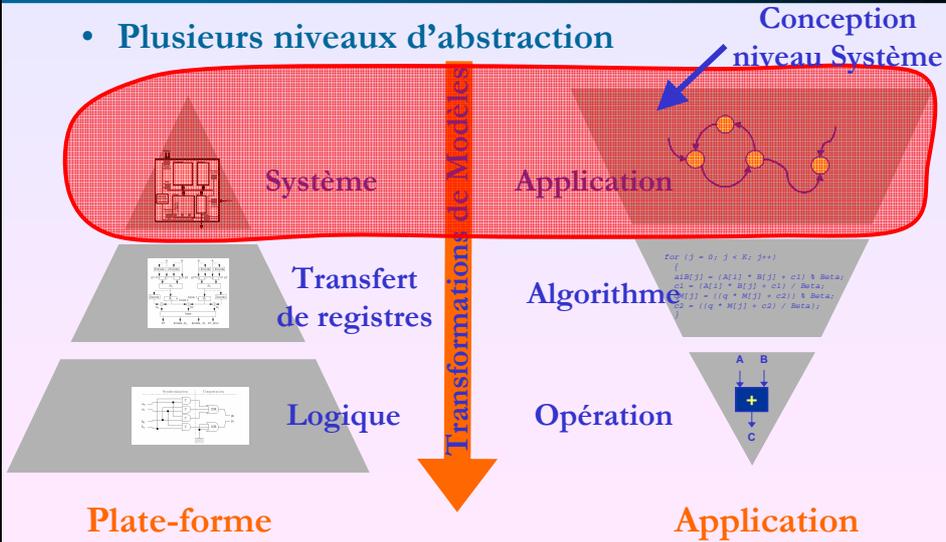


Propriétés du MDA

- L'approche MDA assure
 - La Portabilité
 - L'Interopérabilité
 - La Réutilisabilité
- UML : un des supports du MDA

Niveaux de modélisation

- Plusieurs niveaux d'abstraction



Plan

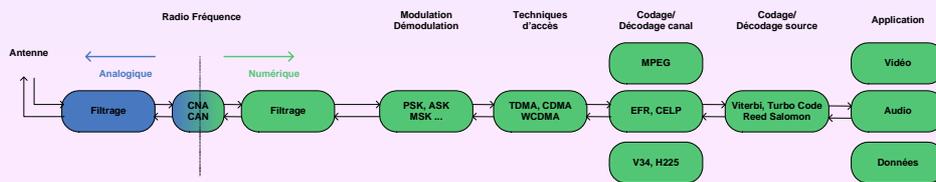
Plan

- Enjeux et tendances de la conception des systèmes
- Vers l'ingénierie dirigée par les modèles
- **Contexte et contributions**
- Méthodologie de conception A3S
- Expérimentations
- Conclusions et perspectives

Contexte

• **Projet A3S**

- RNRT
- Proposition d'une méthodologie de conception et de l'environnement de conception
- Approche MDA basée sur UML 1.4
- Application au domaine de la Radio Logicielle



Contexte

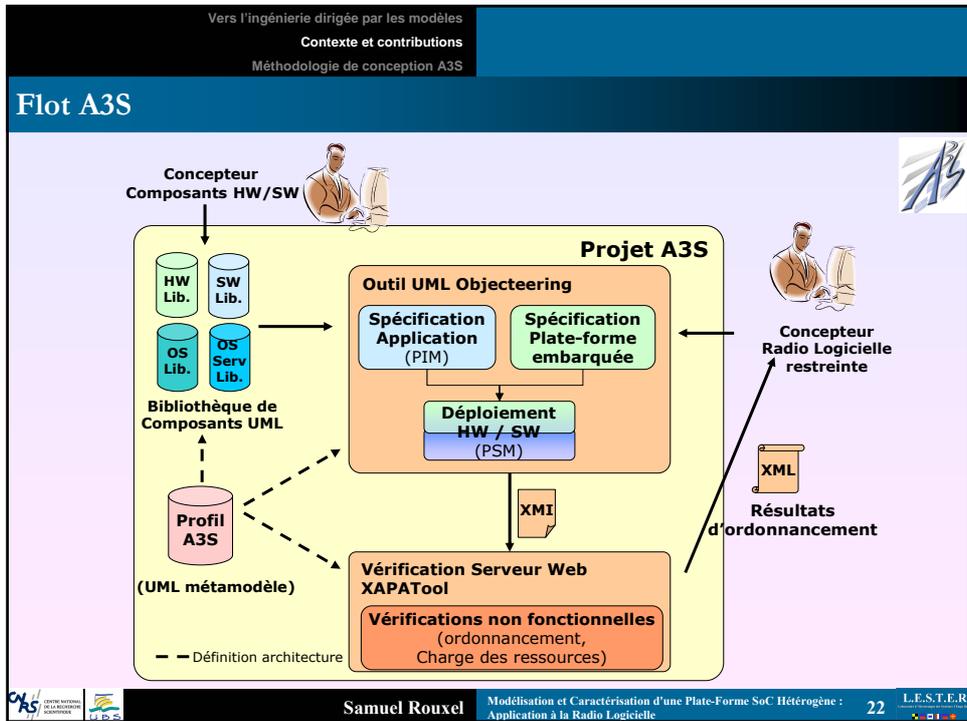
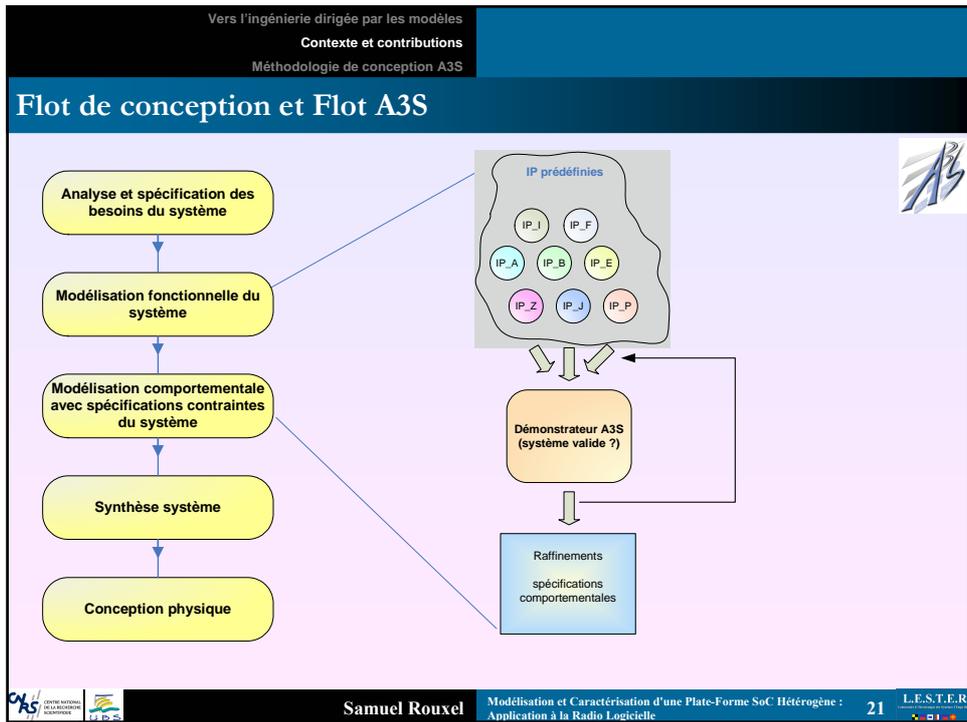
• **Objectifs**

- Définir un modèle d'Architecture Radio Logicielle (ARL) avec des couches d'abstraction (middleware, machine virtuelle)
- Instancier le modèle ARL pour une plate-forme
- Établir un référentiel des contraintes
- Étudier les profils UML adaptés au domaine Radio Logicielle
- Avoir un démonstrateur
- Générer le code approprié



• **Convergence des compétences métier pour appréhender la complexité du problème et apporter une contribution significative**

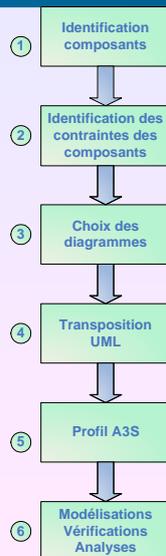
- Génie Logiciel et UML (Thales et Softeam)
- Architecture et Application (Mitsubishi)
- Méthodologie de conception (LESTER)



Plan

- Enjeux et tendances de la conception des systèmes
- Vers l'ingénierie dirigée par les modèles
- Contexte et contributions
- **Méthodologie de conception A3S**
- Expérimentations
- Conclusions et perspectives

Les étapes



Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Identification des composants

- 1 Identification des composants
- 2 Identification des contraintes des composants
- 3 Choix des diagrammes
- 4 Transposition UML
- 5 Profil A3S
- 6 Modélisation Vérifications Analyses

Samuel Rouxel Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : Application à la Radio Logicielle 25

Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Identification des composants

- 1 Identification des composants
- 2 Identification des contraintes des composants
- 3 Choix des diagrammes
- 4 Transposition UML
- 5 Profil A3S
- 6 Modélisations Vérifications Analyses

Logiciels

- Traitements (PIM)
- IP (PSM)

Matériels

- Processeurs
- Mémoires
- Interconnexions
- ASIC
- Composants analogiques etc.

Systèmes d'exploitation

- Systèmes d'exploitation
- Services

Samuel Rouxel Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : Application à la Radio Logicielle 26

Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Identification des composants

1

2

3 Choix diagramme

4 Transposition UML

5 Profil A3S

6 Modélisations Vérifications Analyses

Logiciels
Traitements (PIM)
IP (PSM)

Matériels
Processeurs
Mémoires
Interconnexions
ASIC
Composants analogiques
etc.

Systèmes d'exploitation
Systèmes d'exploitation
Services

Vue PIM
Traitement
Code de redondance cyclique

Vue Algorithmique
Algorithme particulier
Ports
Code convolutionnel
Viterbi

Vue PSM
IP
Ports
Executable Viterbi
Bitstream Viterbi

Samuel Rouxel

Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : Application à la Radio Logicielle

27

L.E.S.T.E.R.

Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Identification des composants

1

2

3 Choix diagramme

4 Transposition UML

5 Profil A3S

6 Modélisations Vérifications Analyses

Logiciels
Traitements (PIM)
IP (PSM)

Matériels
Processeurs
Mémoires
Interconnexions
ASIC
Composants analogiques
etc.

Systèmes d'exploitation
Systèmes d'exploitation
Services

Vue PIM
Traitement
Code de redondance cyclique

Vue Algorithmique
Algorithme particulier
Ports
Code convolutionnel
Viterbi

Vue PSM
IP
Ports
Executable Viterbi
Bitstream Viterbi

Samuel Rouxel

Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : Application à la Radio Logicielle

28

L.E.S.T.E.R.

Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Identification des composants

1

2

3 Choix diagramme

4 Transposition UML

5 Profil A3S

6 Modélisations
Vérifications
Analyses

Logiciels
Traitements (PIM)
IP (PSM)

Matériels
Processeurs
Mémoires
Interconnexions
ASIC
Composants analogiques
etc.

Systèmes d'exploitation
Systèmes d'exploitation
Services

Composant matériel

Ports

Vue interne
Architecture matérielle

Vue externe
Caractéristiques propres
(horloge, capacité mémoire, etc.)

Ports

Samuel Rouxel Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : Application à la Radio Logicielle 29 L.E.S.T.E.R.

Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Identification des composants

1

2

3 Choix diagramme

4 Transposition UML

5 Profil A3S

6 Modélisations
Vérifications
Analyses

Logiciels
Traitements (PIM)
IP (PSM)

Matériels
Processeurs
Mémoires
Interconnexions
ASIC
Composants analogiques
etc.

Systèmes d'exploitation
Systèmes d'exploitation
Services

Samuel Rouxel Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : Application à la Radio Logicielle 30 L.E.S.T.E.R.

Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Identification des composants

The diagram illustrates the identification of components in a system. On the left, a vertical flowchart shows the process steps: 1. Identification des composants, 2. Choix des diagrammes, 3. Transposition UML, 4. Profil A3S, 5. Modélisations Vérifications Analyses. A large green trapezoidal shape represents the system's boundary. To the right, the system architecture is shown. An 'Application' block contains tasks T1, T2, T3, T4, and T5. Below it is the 'Système d'exploitation' (OS) block, which includes a 'noyau' (kernel) with services: 'Service d'ordonnancement', 'Service gestion IPC', 'Service gestion mémoire', 'Service de synchronisation', 'Service d'interruption', and 'Service temporel'. The OS also includes 'Services...'. External inputs include 'Evénements extérieurs (synchro, interruption, etc.)', 'Horloge', and 'Initialisation'. A 'Bibliothèque' (library) is connected to the OS. Logos for CNRS, ONERA, and IRTS are visible at the bottom left.

Samuel Rouxel

Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : Application à la Radio Logicielle

31

L.E.S.T.E.R.

Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Identification des contraintes associées aux composants

The diagram shows the identification of constraints associated with components. It features a vertical flowchart with the following steps: 1. Identification composants, 2. Identification des contraintes des composants, 3. Choix des diagrammes, 4. Transposition UML, 5. Profil A3S, 6. Modélisations Vérifications Analyses. The background is a light purple gradient. Logos for CNRS, ONERA, and IRTS are visible at the bottom left.

Samuel Rouxel

Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : Application à la Radio Logicielle

32

L.E.S.T.E.R.

Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Identification des contraintes associées aux composants

1 Identification composants

2 Composants logiciels
(1) Contraintes indépendantes
(2) Contraintes dépendantes } de l'implantation
(1) => Communes à tous
(2) => Spécifiques implantation

3 Composants matériels
Contraintes de configuration
=> Spécifiques à chaque type

4 Transposition

5 Profil A3S
Contraintes de configuration
=> Spécifiques à chaque type

6 Modélisations
Vérifications
Analyses

Samuel Rouxel Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : Application à la Radio Logicielle 33 L.E.S.T.E.R.

Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Identification des contraintes associées aux composants

1 Identification composants

2 Composants logiciels
(1) Contraintes indépendantes
(2) Contraintes dépendantes } de l'implantation
(1) => Communes à tous
(2) => Spécifiques implantation

Indépendantes	Dépendantes	Dép. Spécifique
Nombre d'itérations	Consommation	DSP
Périodique ?	Niveau de priorité	Adressage mémoire
Contrainte temps réel	Période	Taille programme
Mode de fonctionnement	Date de réveil	FPGA
Retard	Deadline	Nb cellules logiques
Données résiduelles	Temps d'exécution	Nb blocs multiplieurs
Données échangées		Nb blocs RAM
		Taille bitsream

3 Modélisations
Vérifications
Analyses

Samuel Rouxel Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : Application à la Radio Logicielle 34 L.E.S.T.E.R.

Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Identification des contraintes associées aux composants

1 Identification composants

2

3

4 Transposition

5 Profil A3S

6 Modélisations
Vérifications
Analyses

Composants logiciels
(1) Contraintes indépendantes } de l'implantation
(2) Contraintes dépendantes }
(1) => Communes à tous
(2) => Spécifique implantation

Composants matériels
Contraintes de configuration
=> Spécifiques à chaque type

Composants Système d'exploitation
Contraintes de configuration
=> Spécifiques à chaque type

CSAS CENTRE NATIONAL DE RECHERCHE SUR LES SYSTEMES AUTOMATIQUES
UBS

Samuel Rouxel Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : Application à la Radio Logicielle 35 L.E.S.T.E.R.

Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Identification des contraintes associées aux composants

1 Identification composants

2

3

4 Transposition

5 Profil A3S

6 Modélisations
Vérifications
Analyses

Composants logiciels
(1) Contraintes indépendantes } de l'implantation
(2) Contraintes dépendantes }
(1) => Communes à tous
(2) => Spécifique implantation

DSP	FPGA	Mémoire
	Fréquence de fonctionnement	
	Puissance statique consommée	
Taille mémoire volatile	Taille mémoire dispo	Taille mémoire
Taille mémoire données	Temps de reconfiguration	
Taille mémoire programme	Nb cellules logiques	
Type de calcul	Nb blocs multiplieur	
	Nb blocs mémoire	

CSAS CENTRE NATIONAL DE RECHERCHE SUR LES SYSTEMES AUTOMATIQUES
UBS

Samuel Rouxel Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : Application à la Radio Logicielle 36 L.E.S.T.E.R.

Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Identification des contraintes associées aux composants

1 Identification composants

2

3

4 Transposition

5 Profil A3S

6 Modélisations
Vérifications
Analyses

Composants logiciels
(1) Contraintes indépendantes } de l'implantation
(2) Contraintes dépendantes }
(1) => Communes à tous
(2) => Spécifiques implantation

Composants matériels
Contraintes de configuration
=> Spécifiques à chaque type

Composants Système d'exploitation
Contraintes de configuration
=> Spécifiques à chaque type

CSAS CENTRE NATIONAL DE RECHERCHE SUR LES SYSTEMES AUTOMATIQUES
UBS

Samuel Rouxel

Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène :
Application à la Radio Logicielle

37

L.E.S.T.E.R.

Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Identification des contraintes associées aux composants

1 Identification composants

2

3

4 Transposition

5 Profil A3S

6 Modélisations
Vérifications
Analyses

Composants logiciels
(1) Contraintes indépendantes } de l'implantation
(2) Contraintes dépendantes }
(1) => Communes à tous

Système d'exploitation
Nom
Profondeur de la pile
Coût mémoire

Service d'ordonnancement
Fréquence de l'ordonnancement
Politique d'ordonnancement
Préemptivité
Type de priorité
Niveau de priorité
Mécanismes de priorité

CSAS CENTRE NATIONAL DE RECHERCHE SUR LES SYSTEMES AUTOMATIQUES
UBS

Samuel Rouxel

Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène :
Application à la Radio Logicielle

38

L.E.S.T.E.R.

Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Choix des diagrammes

```

    graph TD
      1[1 Identification composants] --> 2[2 Identification des contraintes des composants]
      2 --> 3[3 Choix des diagrammes]
      3 --> 4[4 Transposition UML]
      4 --> 5[5 Profil A3S]
      5 --> 6[6 Modélisations Vérifications Analyses]
  
```

① Identification composants

② Identification des contraintes des composants

③ **Choix des diagrammes**

④ Transposition UML

⑤ Profil A3S

⑥ Modélisations Vérifications Analyses

Samuel Rouxel

Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : Application à la Radio Logicielle

39

L.E.S.T.E.R.

Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Choix des diagrammes

```

    graph TD
      1[1 Identification composants] --> 2[2 Identification des contraintes des composants]
      2 --> 3[3 Choix des diagrammes]
      3 --> 4[4 Transposition UML]
      4 --> 5[5 Profil A3S]
      5 --> 6[6 Modélisations Vérifications Analyses]
  
```

① Identification composants

② Identification des contraintes des composants

③ **Choix des diagrammes**

④ Transposition UML

⑤ Profil A3S

⑥ Modélisations Vérifications Analyses

Plate-forme Matérielle
Exprimer l'architecture matérielle
=> Diagramme de Déploiement

Application Indépendante Plate-forme (AIP)
Exprimer et exploiter le comportement
Transposable en graphe
=> Diagramme d'Activité

Application Dépendante Plate-forme
Déployer AIP sur la plate-forme
Spécifier les services du système d'exploitation utilisés
=> Diagramme de Déploiement

Samuel Rouxel

Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : Application à la Radio Logicielle

40

L.E.S.T.E.R.

Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Choix des diagrammes

- 1 Identification composants
- 2 Identification des contraintes des composants
- 3 **Plate-forme Matérielle**
Exprimer l'architecture matérielle
=> Diagramme de Déploiement
- 4 **Application Indépendante Plate-forme (AIP)**
Exprimer et exploiter le comportement
Transposable en graphe
=> Diagramme d'Activité
- 5 **Profil A3S**
- 6 **Modélisations Vérifications Analyses**

Application Dépendante Plate-forme
Déployer AIP sur la plate-forme
Spécifier les services du système d'exploitation utilisés
=> Diagramme de Déploiement

Samuel Rouxel Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : Application à la Radio Logicielle 41 L.E.S.T.E.R.

Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Choix des diagrammes

- 1 Identification composants
- 2 Identification des contraintes des composants
- 3 **Plate-forme Matérielle**
Exprimer l'architecture matérielle
=> Diagramme de Déploiement
- 4 **Application Indépendante Plate-forme (AIP)**
Exprimer et exploiter le comportement
Transposable en graphe
=> Diagramme d'Activité
- 5 **Profil A3S**
- 6 **Modélisations Vérifications Analyses**

Application Dépendante Plate-forme
Déployer AIP sur la plate-forme
Spécifier les services du système d'exploitation utilisés
=> Diagramme de Déploiement

Samuel Rouxel Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : Application à la Radio Logicielle 42 L.E.S.T.E.R.

Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Transposition UML

① Identification composants

② Identification des contraintes des composants

③ Choix des diagrammes

④ Transposition UML

⑤ Profil A3S

⑥ Modélisations Vérifications Analyses

Samuel Rouxel

Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : Application à la Radio Logicielle

43

L.E.S.T.E.R.

Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Transposition UML

Formalisation 1/2

Composants	Eléments UML	Stéréotypes
Matériels		
Bibliothèque	Component	a3s-"type_compo"Component
Ports matériels	Component	a3s-"type_compo"Port
Utilisés	ComponentInstance	a3s-"type_compo"ComponentInstance
Ports matériels	ComponentInstance	a3s-"type_compo"PortInstance
Connexions	Link	a3s-LinkTransition
Logiciels		
Bibliothèque	Class	a3s-SWComponent
IP source	Class	a3s-SWIOPort
Ports logiciels	ActionState/SubactivityState	a3s-ObjectCode/a3s-Module
Traitement (PIM)	Transition	
Connexions		
Utilisés	Object	a3s-"implantation"SWComponentInstance
IP (PSM)	Object	a3s-SWIOPortInstance
Port		
Système d'exploitation	Component	a3s-OSComponent
Utilisés	ComponentInstance	a3s-OSComponentInstance
Services	Class	a3s-OS"nom_service"
Utilisés	Object	a3s-OS"nom_service"Instance

Samuel Rouxel

Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : Application à la Radio Logicielle

44

L.E.S.T.E.R.

Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Le profil A3S

① Identification composants

② Identification des contraintes des composants

③ Choix des diagrammes

④ Transposition UML

⑤ Profil A3S

⑥ Modélisations Vérifications Analyses

Samuel Rouxel

Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène :
Application à la Radio Logicielle

45

L.E.S.T.E.R.

Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Le profil A3S

① Identification composants

② Identification des contraintes des composants

③ Choix des diagrammes

④ Transposition UML

⑤ Profil A3S

⑥ Modélisations Vérifications Analyses

13 Métamodèles

- 1 projet
- 5 composants matériels
- 2 composants logiciels
- 2 système d'exploitation
- 1 plate-forme matérielle
- 1 application
- 1 déploiement application/plate-forme

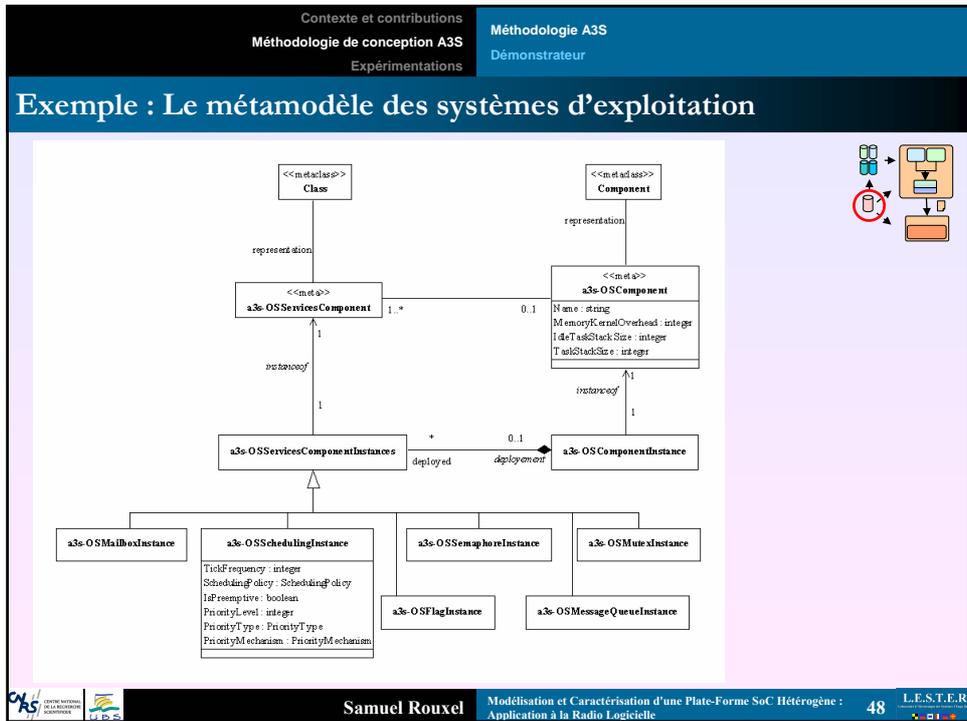
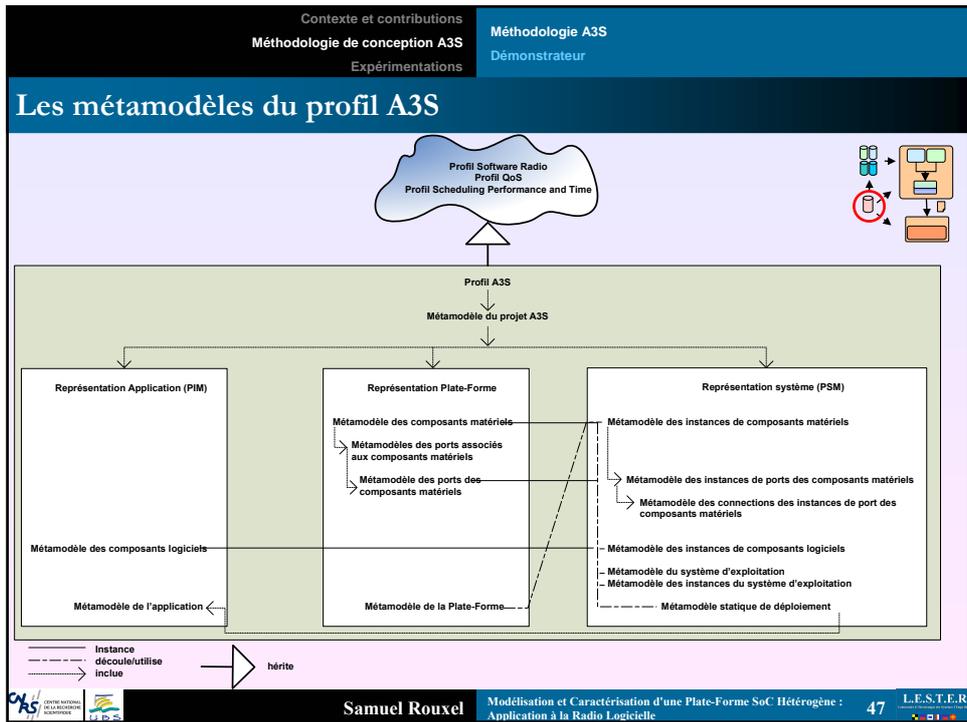
Formalisation 2/2

Samuel Rouxel

Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène :
Application à la Radio Logicielle

46

L.E.S.T.E.R.



Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Modélisations, Vérifications, et Analyses

- 1 Identification composants
- 2 Identification des contraintes des composants
- 3 Choix des diagrammes
- 4 Transposition UML
- 5 Profil A3S
- 6 **Modélisations
Vérifications
Analyses**

Samuel Rouxel

Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène :
Application à la Radio Logicielle

49

L.E.S.T.E.R.

Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Modélisations, Vérifications, et Analyses

- 1 Identification composants
- 2 Identification des contraintes des composants
- 3 Choix des diagrammes
- 4 Trans
- 5
- 6

Modélisations
Application logicielle
Plate-forme matérielle
Déploiement

Vérifications de cohérence
Sémantiques
Syntaxiques

Analyses
XAPAT
Extractions et mise en forme des informations
Graphe de Tâches
RTDT
Analyse d'ordonnancement

Samuel Rouxel

Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène :
Application à la Radio Logicielle

50

L.E.S.T.E.R.

Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Modélisations, Vérifications, et Analyses

- 1 Identification composants
- 2 Identification des contraintes des composants
- 3 Choix de diagramme
- 4 Trans
- 5
- 6

Modélisations
Application logicielle
Plate-forme matérielle
Déploiement

Vérifications de cohérence
Sémantiques
Syntaxiques

Analyses
XAPAT
Extractions et mise en forme des informations
Graphe de Tâches
RTDT
Analyse d'ordonnancement

51

Samuel Rouxel Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : Application à la Radio Logicielle L.E.S.T.E.R.

Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Modélisations, Vérifications, et Analyses

- 1 Identification composants
- 2 Identification des contraintes des composants
- 3 Choix de diagramme
- 4 Trans
- 5
- 6

Modélisations
Application logicielle
Plate-forme matérielle
Déploiement

Vérifications de cohérence
Sémantiques
Syntaxiques

Conformité au profil
Vérifier que tous les composants sont stéréotypés
Tester connexion de tous les ports matériels
Cohérence des valeurs fournies (comparaisons)
Cohérence du déploiement
etc.

52

Samuel Rouxel Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : Application à la Radio Logicielle L.E.S.T.E.R.

Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Modélisations, Vérifications, et Analyses

- 1 Identification composants
- 2 Identification des contraintes des composants
- 3 Choix de diagramme
- 4 Trans
- 5
- 6

Modélisations
Application logicielle
Plate-forme matérielle
Déploiement

Vérifications de cohérence
Sémantiques
Syntaxiques

Conformité au profil
Vérifier que tous les composants sont stéréotypés
Tests
Imbrication de boucles (pour chaque composant vérifier que chaque port...)
Comparaisons de valeurs ($a=b?$)
Calculs simples (ex: $a/b= c/d ?$)

Samuel Rouxel

Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : Application à la Radio Logicielle

53

L.E.S.T.E.R.

Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Modélisations, Vérifications, et Analyses

- 1 Identification composants
- 2 Identification des contraintes des composants
- 3 Choix de diagramme
- 4 Trans
- 5
- 6

Modélisations
Application logicielle
Plate-forme matérielle
Déploiement

Vérifications de cohérence
Sémantiques
Syntaxiques

Analyses
XAPAT
Extractions et mise en forme des informations
Graphe de Tâches
RTDT
Analyse d'ordonnancement

Samuel Rouxel

Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : Application à la Radio Logicielle

54

L.E.S.T.E.R.

Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Modélisations, Vérifications, et Analyses

Objecteering

XMI file

XAPAT

XML files .GTG .ARCH .RES

RTDT

Samuel Rouxel

Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène :
Application à la Radio Logicielle

55

L.E.S.T.E.R.

Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Modélisations, Vérifications, et Analyses

Objecteering

XMI file

XAPAT

XML files .GTG .ARCH .RES

RTDT

Graphe de tâches

T1, T2, T3, T4, T5, T6

Modèle de communication

SW/SW or HW/HW

SW/HW or HW/SW

Communication mémoire

Tâche de Communication

Communication mémoire

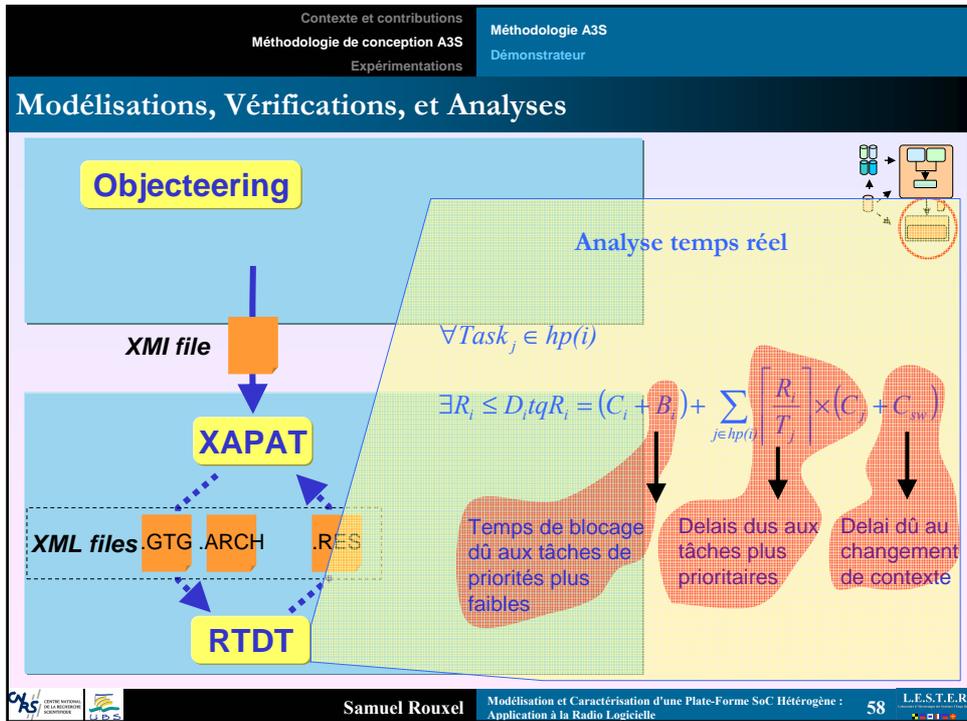
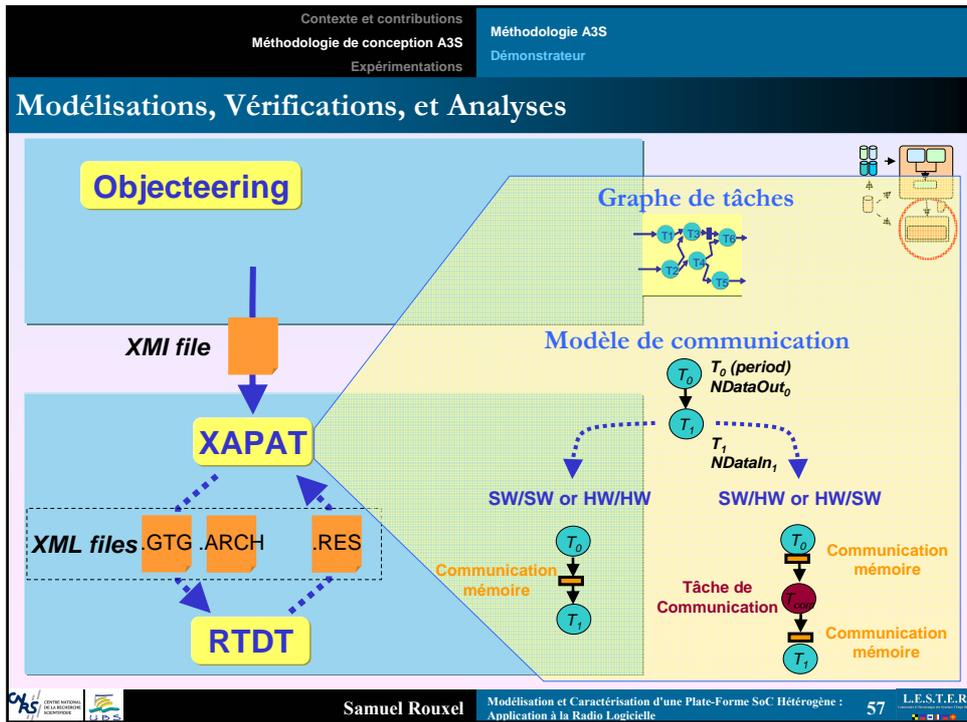
Communication mémoire

Samuel Rouxel

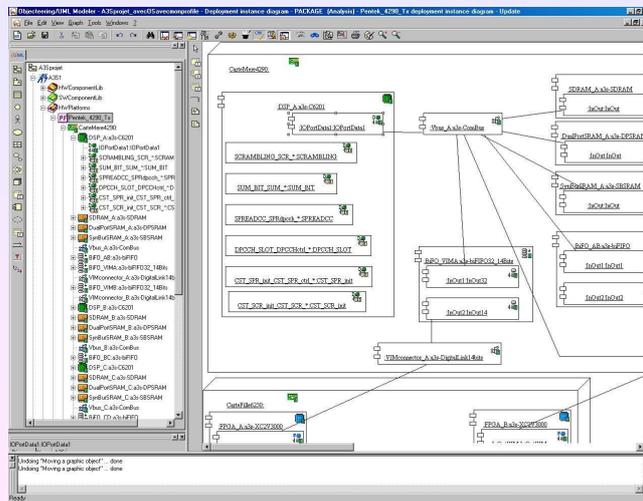
Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène :
Application à la Radio Logicielle

56

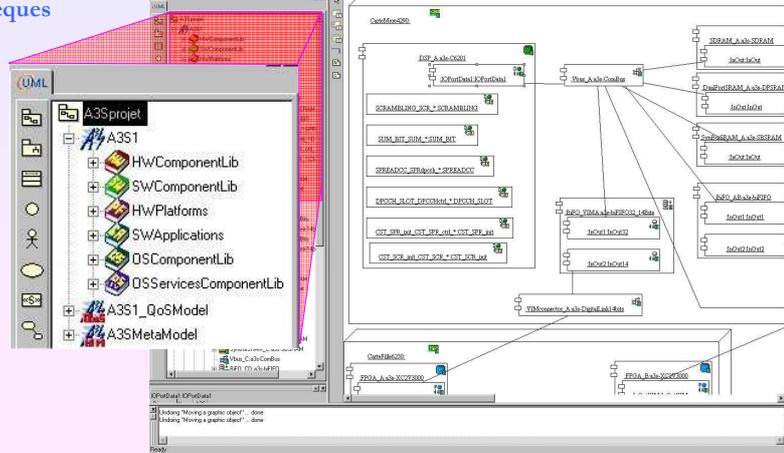
L.E.S.T.E.R.



Démonstrateur



Bibliothèques



Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Démonstrateur

Bibliothèques

Composants et paramètres

Samuel Rouxel Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : Application à la Radio Logicielle 61 L.E.S.T.E.R.

Contexte et contributions
Méthodologie de conception A3S
Expérimentations

Méthodologie A3S
Démonstrateur

Démonstrateur

Fenêtre de modélisations

- Diagramme d'activité
- Diagramme de déploiement

Samuel Rouxel Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : Application à la Radio Logicielle 62 L.E.S.T.E.R.

Contexte et contributions		Méthodologie A3S
Méthodologie de conception A3S		Démonstrateur
Expérimentations		

Bilan

- **Objectifs**
 - Modèle architecture Radio Logicielle avec couche d'abstraction **Atteint**
 - Référentiel des contraintes avec grammaire de calcul **Atteint**
 - Profil UML adapté aux systèmes Radio Logicielle **Atteint**
 - Proposer un outil de spécification inter métier **Atteint**
 - Génération de code **A réaliser**
 - Middleware, machine virtuelle **A réaliser**




 Samuel Rouxel

 Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : 63
 Application à la Radio Logicielle

Plan

- Enjeux et tendances de la conception des systèmes
- Vers l'ingénierie dirigée par les modèles
- Contexte et contributions
- Méthodologie de conception A3S
- **Expérimentations**
- Conclusions et perspectives




 Samuel Rouxel

 Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : 64
 Application à la Radio Logicielle

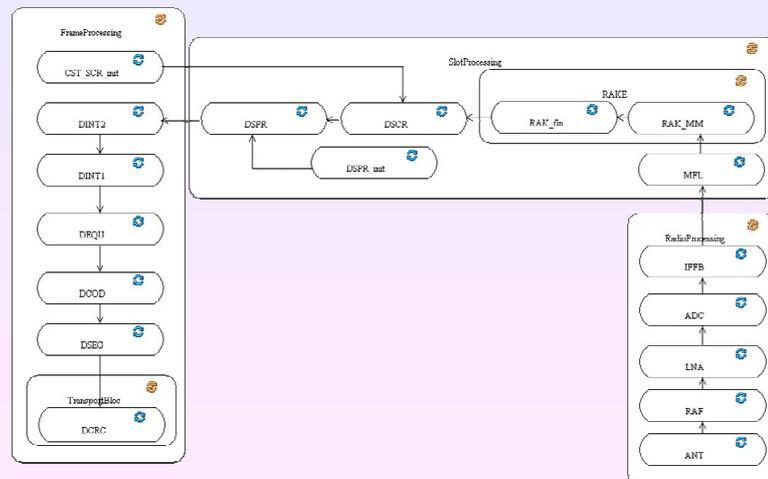
Systeme Radio Logiciel UMTS

- Application logicielle
 - Émetteur UMTS
 - 20 traitements
 - Récepteur UMTS
 - 18 traitements
- Plate-forme matérielle
 - Hétérogène
 - 4 cartes Pentek
 - Émettrice
 - Réceptrice
 - Multi-DSP
 - Multi-FPGA

**Application + Architecture + choix d'implantation
=> Validité du système ?**

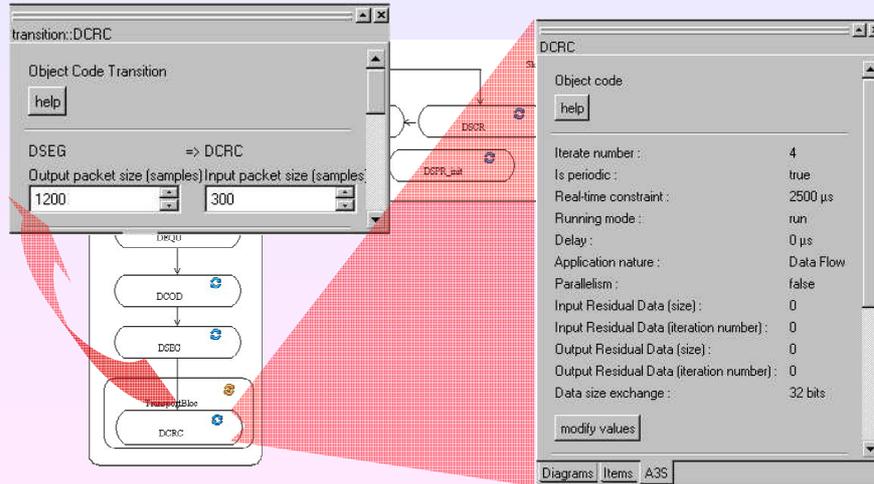
Modélisation UML

- Application logicielle



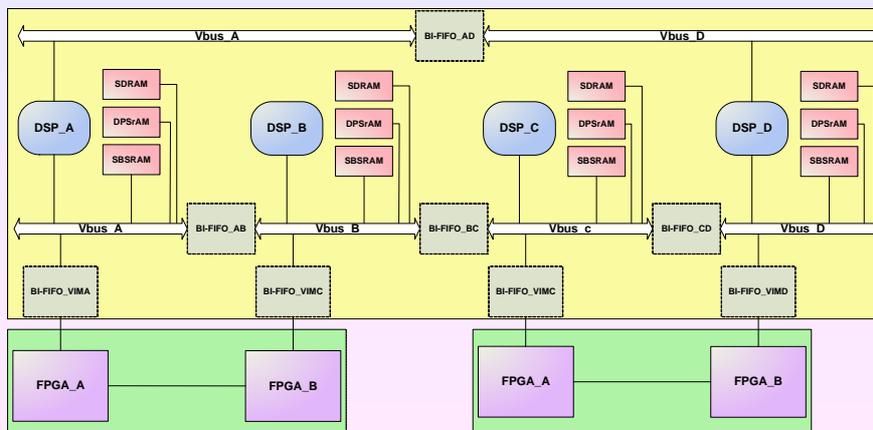
Modélisation UML

- Application logicielle



Modélisation UML

- Plate-forme matérielle



Méthodologie de conception A3S
Expérimentations
Conclusions et Perspectives

Emetteur/Récepteur UMTS
Application de tracking

Modélisation UML

- Plate-forme matérielle

The diagram shows a hardware platform with four DSPs (DSP_A, DSP_C, DSP_D) and two FPGAs (FPGA_A, FPGA_B). DSP_A is connected to FPGA_A via a BI-FIFO_VIMA interface. DSP_C and DSP_D are connected to FPGA_A and FPGA_B via BI-FIFO_VMC and BI-FIFO_VMD interfaces. Each DSP is connected to SDRAM, DPS/AM, and SBSRAM. The DSPs are connected to each other via Vbus_A, Vbus_C, and Vbus_D. The FPGAs are connected to each other via Vbus_A and Vbus_D. The DSPs are connected to the FPGAs via BI-FIFO_VIMA, BI-FIFO_VMC, and BI-FIFO_VMD.

DSP_A: a3s-C6201

DSP instance

help

Power consumption : 100 mW
Max operating frequency : 300 MHz
Volatile memory capacity : 256 kbits
Prog memory capacity : 384 kbits
Data memory capacity : 512 kbits
Computation coding : Fixed

IDPortData1:IDPortData1

DSP port instance

help

Data flow direction : input/output
Throughput : 600000 kbits/s
Data width : 32 bits
Memory access : CPU
Protocol : Parallel
Use : General

Samuel Rouxel

Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : Application à la Radio Logicielle

69

L.E.S.T.E.R.

Méthodologie de conception A3S
Expérimentations
Conclusions et Perspectives

Emetteur/Récepteur UMTS
Application de tracking

Modélisation UML

- Plate-forme matérielle

The diagram shows a hardware platform with four DSPs (DSP_A, DSP_C, DSP_D) and two FPGAs (FPGA_A, FPGA_B). DSP_A is connected to FPGA_A via a BI-FIFO_VIMA interface. DSP_C and DSP_D are connected to FPGA_A and FPGA_B via BI-FIFO_VMC and BI-FIFO_VMD interfaces. Each DSP is connected to SDRAM, DPS/AM, and SBSRAM. The DSPs are connected to each other via Vbus_A, Vbus_C, and Vbus_D. The FPGAs are connected to each other via Vbus_A and Vbus_D. The DSPs are connected to the FPGAs via BI-FIFO_VIMA, BI-FIFO_VMC, and BI-FIFO_VMD.

FPGA_A: a3s-XC2V3000

FPGA instance

help

Power consumption : 100 mW
Max operating frequency : 420 MHz
Volatile memory capacity : 256 kbits
Time for reconfiguration : 4000 µs
Logic unit capacity : 14336
Multiplier block : 96
RAM block : 96

InOutVIM:InOutVIM

FPGA port instance

help

Data flow direction : input/output
Throughput : 300000 kbits/s
Data width : 14 bits

Samuel Rouxel

Modélisation et Caractérisation d'une Plate-Forme SoC Hétérogène : Application à la Radio Logicielle

70

L.E.S.T.E.R.

Méthodologie de conception A3S
Expérimentations
Conclusions et Perspectives

Emetteur/Récepteur UMTS
Application de tracking

Expérience

- Variation de contraintes
 - Emetteur
 - Récepteur

Configurations	Contraintes	
	Applicatives	Implantation
1	Faible Débit 117 Kbits	Tout logiciel (DSP)
2	Faible Débit 117 Kbits	Mixte (DSP+FPGA)
3	Forte Débit 950 Kbits	Tout logiciel (DSP)
4	Forte Débit 950 Kbits	Mixte (DSP+FPGA)
1	Faible Débit 117 Kbits	Tout logiciel (DSP)
2	Faible Débit 117 Kbits	Mixte (DSP+FPGA)
3	Forte Débit 950 Kbits	Tout logiciel (DSP)
4	Forte Débit 950 Kbits	Mixte (DSP+FPGA)

Samuel Rouxel

Modification de Configuration dans Plate-Forme SoC Hétérogène
Application à la Radio Logicielle

L.E.S.T.E.F

Méthodologie de conception A3S
Expérimentations
Conclusions et Perspectives

Emetteur/Récepteur UMTS
Application de tracking

Expérience

- Conditions de faisabilité
 - Réalisable
 - Ordonnançable
Respect des contraintes applicatives
 - Tps_exe_trame < 10ms

Configurations	Contraintes	
	Applicatives	Implantation
1	Faible Débit 117 Kbits	Tout logiciel (DSP)
2	Faible Débit 117 Kbits	Mixte (DSP+FPGA)
3	Forte Débit 950 Kbits	Tout logiciel (DSP)
4	Forte Débit 950 Kbits	Mixte (DSP+FPGA)
1	Faible Débit 117 Kbits	Tout logiciel (DSP)
2	Faible Débit 117 Kbits	Mixte (DSP+FPGA)
3	Forte Débit 950 Kbits	Tout logiciel (DSP)
4	Forte Débit 950 Kbits	Mixte (DSP+FPGA)

Samuel Rouxel

Modification de Configuration dans Plate-Forme SoC Hétérogène
Application à la Radio Logicielle

L.E.S.T.E.F

Méthodologie de conception A3S
Expérimentations
Conclusions et Perspectives

Emetteur/Récepteur UMTS
Application de tracking

Expérience/Résultats

- Conditions de faisabilité
 - Réalisable
 - Ordonnançable
 - Respect des contraintes applicatives
 - Tps_exe_trame < 10ms

Configurations	Contraintes	Applicatives	Implantation
	1	Temps 10 ms	Taux d'occupation DSP_A : 96.6 % DSP_C : 3.4 %
2	Faible Débit 117 Kbits	Mixte (DSP+FPGA)	
3	Forte Débit 950 Kbits	Tout logiciel (DSP)	
4	Forte Débit 950 Kbits	Mixte (DSP+FPGA)	
1	Faible Débit 117 Kbits	Tout logiciel (DSP)	
2	Faible Débit 117 Kbits	Mixte (DSP+FPGA)	
3	Forte Débit 950 Kbits	Tout logiciel (DSP)	
4	Forte Débit 950 Kbits	Mixte (DSP+FPGA)	

Samuel Rouxel

Modification de Configuration dans Plate-Forme SoC Hétérogène
Application à la Radio Logicielle

L.E.S.T.E.F

Méthodologie de conception A3S
Expérimentations
Conclusions et Perspectives

Emetteur/Récepteur UMTS
Application de tracking

Expérience/Résultats

- Conditions de faisabilité
 - Réalisable
 - Ordonnançable
 - Respect des contraintes applicatives
 - Tps_exe_trame < 10ms

Configurations	Contraintes	Applicatives	Implantation
	1 VALIDE	Temps 10 ms	Taux d'occupation DSP_A : 96.6 % DSP_C : 3.4 %
2	Faible Débit 117 Kbits	Mixte (DSP+FPGA)	
3	Forte Débit 950 Kbits	Tout logiciel (DSP)	
4	Forte Débit 950 Kbits	Mixte (DSP+FPGA)	
1	Faible Débit 117 Kbits	Tout logiciel (DSP)	
2	Faible Débit 117 Kbits	Mixte (DSP+FPGA)	
3	Forte Débit 950 Kbits	Tout logiciel (DSP)	
4	Forte Débit 950 Kbits	Mixte (DSP+FPGA)	

Samuel Rouxel

Modification de Configuration dans Plate-Forme SoC Hétérogène
Application à la Radio Logicielle

L.E.S.T.E.F

Méthodologie de conception A3S
Expérimentations
Conclusions et Perspectives

Emetteur/Récepteur UMTS
Application de tracking

Expérience/Résultats

- Conditions de faisabilité
 - Réalisable
 - Ordonnançable
 - Respect des contraintes applicatives
 - Tps_exe_trame < 10ms

Configurations	Contraintes	
	Applicatives	Implantation
1 VALIDE	Temps 10 ms	Taux d'occupation DSP_A : 96.6 % DSP_C : 3.4 %
2	Faible Débit 117 Kbits	Mixte (DSP+FPGA)
3	Temps 10.33 ms	Taux d'occupation DSP_A : 96.6 % DSP_C : 5.1 %
4	Forte Débit 950 Kbits	Mixte (DSP+FPGA)
1	Faible Débit 117 Kbits	Tout logiciel (DSP)
2	Faible Débit 117 Kbits	Mixte (DSP+FPGA)
3	Forte Débit 950 Kbits	Tout logiciel (DSP)
4	Forte Débit 950 Kbits	Mixte (DSP+FPGA)

Samuel Rouxel

Modification de Configuration dans Plate-Forme SoC Hétérogène
Application à la Radio Logicielle

L.E.S.T.E.F

Méthodologie de conception A3S
Expérimentations
Conclusions et Perspectives

Emetteur/Récepteur UMTS
Application de tracking

Expérience/Résultats

- Conditions de faisabilité
 - Réalisable
 - Ordonnançable
 - Respect des contraintes applicatives
 - Tps_exe_trame < 10ms

Configurations	Contraintes	
	Applicatives	Implantation
1 VALIDE	Temps 10 ms	Taux d'occupation DSP_A : 96.6 % DSP_C : 3.4 %
2	Faible Débit 117 Kbits	Mixte (DSP+FPGA)
3 NON VALIDE	Temps 10.33 ms	Taux d'occupation DSP_A : 96.6 % DSP_C : 5.1 %
4	Forte Débit 950 Kbits	Mixte (DSP+FPGA)
1	Faible Débit 117 Kbits	Tout logiciel (DSP)
2	Faible Débit 117 Kbits	Mixte (DSP+FPGA)
3	Forte Débit 950 Kbits	Tout logiciel (DSP)
4	Forte Débit 950 Kbits	Mixte (DSP+FPGA)

Samuel Rouxel

Modification de Configuration dans Plate-Forme SoC Hétérogène
Application à la Radio Logicielle

L.E.S.T.E.F

Méthodologie de conception A3S
Expérimentations
Conclusions et Perspectives

Emetteur/Récepteur UMTS
Application de tracking

Expérience/Résultats

- Conditions de faisabilité
 - Réalisable
 - Ordonnançable
 - Respect des contraintes applicatives
 - Tps_exe_trame < 10ms

Configurations	Contraintes	Applicatives	Implantation
1	VALIDE	Temps 10 ms	Taux d'occupation DSP_A : 96.6 % DSP_C : 3.4 %
2	VALIDE	Temps 7.96 ms	Taux d'occupation DSP_A : 11.4 % DSP_C : 3.4 % FPGA_A : 66 %
3	NON VALIDE	Temps 10.33 ms	Taux d'occupation DSP_A : 96.6 % DSP_C : 5.1 %
4		Forte Débit 950 Kbits	Mixte (DSP+FPGA)
1		Faible Débit 117 Kbits	Tout logiciel (DSP)
2		Faible Débit 117 Kbits	Mixte (DSP+FPGA)
3		Forte Débit 950 Kbits	Tout logiciel (DSP)
4		Forte Débit 950 Kbits	Mixte (DSP+FPGA)

Samuel Rouxel

Modification de Configuration dans Plate-Forme SoC Hétérogène
Application à la Radio Logicielle

L.E.S.T.E.I

Méthodologie de conception A3S
Expérimentations
Conclusions et Perspectives

Emetteur/Récepteur UMTS
Application de tracking

Expérience/Résultats

- Conditions de faisabilité
 - Réalisable
 - Ordonnançable
 - Respect des contraintes applicatives
 - Tps_exe_trame < 10ms

Configurations	Contraintes	Applicatives	Implantation
1	VALIDE	Temps 10 ms	Taux d'occupation DSP_A : 96.6 % DSP_C : 3.4 %
2	VALIDE	Temps 7.96 ms	Taux d'occupation DSP_A : 11.4 % DSP_C : 3.4 % FPGA_A : 66 %
3	NON VALIDE	Temps 10.33 ms	Taux d'occupation DSP_A : 96.6 % DSP_C : 5.1 %
4	VALIDE	Temps 8.29 ms	Taux d'occupation DSP_A : 11.4 % DSP_C : 5.1 % FPGA_A : 66 %
1		Faible Débit 117 Kbits	Tout logiciel (DSP)
2		Faible Débit 117 Kbits	Mixte (DSP+FPGA)
3		Forte Débit 950 Kbits	Tout logiciel (DSP)
4		Forte Débit 950 Kbits	Mixte (DSP+FPGA)

Samuel Rouxel

Modification de Configuration dans Plate-Forme SoC Hétérogène
Application à la Radio Logicielle

L.E.S.T.E.I

Méthodologie de conception A3S
Expérimentations
Conclusions et Perspectives

Emetteur/Récepteur UMTS
Application de tracking

Expérience/Résultats

- Conditions de faisabilité
 - Réalisable
 - Ordonnançable
 - Respect des contraintes applicatives
 - Tps_exe_trame < 10ms

Configurations	Contraintes	
	Applicatives	Implantation
1 VALIDE	Temps 10 ms	Taux d'occupation DSP_A : 96.6 % DSP_C : 3.4 %
2 VALIDE	Temps 7.96 ms	Taux d'occupation DSP_A : 11.4 % DSP_C : 3.4 % FPGA_A : 66 %
3 NON VALIDE	Temps 10.33 ms	Taux d'occupation DSP_A : 96.6 % DSP_C : 5.1 %
4 VALIDE	Temps 8.29 ms	Taux d'occupation DSP_A : 11.4 % DSP_C : 5.1 % FPGA_A : 66 %
1 NON VALIDE	Temps 19.27 ms	Taux d'occupation DSP_A : 185 % DSP_C : 4.6 %
2	Faible Débit 117 Kbits	Mixte (DSP+FPGA)
3	Forte Débit 950 Kbits	Tout logiciel (DSP)
4	Forte Débit 950 Kbits	Mixte (DSP+FPGA)

Samuel Rouxel

Modification de Configuration dans Plate-Forme SoC Hétérogène
Application à la Radio Logicielle

L.E.S.T.E.F

Méthodologie de conception A3S
Expérimentations
Conclusions et Perspectives

Emetteur/Récepteur UMTS
Application de tracking

Expérience/Résultats

- Conditions de faisabilité
 - Réalisable
 - Ordonnançable
 - Respect des contraintes applicatives
 - Tps_exe_trame < 10ms

Configurations	Contraintes	
	Applicatives	Implantation
1 VALIDE	Temps 10 ms	Taux d'occupation DSP_A : 96.6 % DSP_C : 3.4 %
2 VALIDE	Temps 7.96 ms	Taux d'occupation DSP_A : 11.4 % DSP_C : 3.4 % FPGA_A : 66 %
3 NON VALIDE	Temps 10.33 ms	Taux d'occupation DSP_A : 96.6 % DSP_C : 5.1 %
4 VALIDE	Temps 8.29 ms	Taux d'occupation DSP_A : 11.4 % DSP_C : 5.1 % FPGA_A : 66 %
1 NON VALIDE	Temps 19.27 ms	Taux d'occupation DSP_A : 185 % DSP_C : 4.6 %
2 VALIDE	Temps 9.44 ms	Taux d'occupation DSP_A : 17.1 % DSP_C : 4.6 % FPGA_A : 71.2 %
3	Forte Débit 950 Kbits	Tout logiciel (DSP)
4	Forte Débit 950 Kbits	Mixte (DSP+FPGA)

Samuel Rouxel

Modification de Configuration dans Plate-Forme SoC Hétérogène
Application à la Radio Logicielle

L.E.S.T.E.F

Méthodologie de conception A3S
Expérimentations
Conclusions et Perspectives

Emetteur/Récepteur UMTS
Application de tracking

Expérience/Résultats

- Conditions de faisabilité
 - Réalisable
 - Ordonnançable
 - Respect des contraintes applicatives
 - Tps_exe_trame < 10ms

Configurations	Contraintes	Applicatives	Implantation
1	VALIDE	Temps 10 ms	Taux d'occupation DSP_A : 96.6 % DSP_C : 3.4 %
2	VALIDE	Temps 7.96 ms	Taux d'occupation DSP_A : 11.4 % DSP_C : 3.4 % FPGA_A : 66 %
3	NON VALIDE	Temps 10.33 ms	Taux d'occupation DSP_A : 96.6 % DSP_C : 5.1 %
4	VALIDE	Temps 8.29 ms	Taux d'occupation DSP_A : 11.4 % DSP_C : 5.1 % FPGA_A : 66 %
1	NON VALIDE	Temps 19.27 ms	Taux d'occupation DSP_A : 185 % DSP_C : 4.6 %
2	VALIDE	Temps 9.44 ms	Taux d'occupation DSP_A : 17.1 % DSP_C : 4.6 % FPGA_A : 71.2 %
3	NON VALIDE	Temps 19.33 ms	Taux d'occupation DSP_A : 185 % DSP_C : 5 %
4		Forte Débit 950 Kbits	Mixte (DSP+FPGA)

Samuel Rouxel

Application à la Radio Logicielle

81

Méthodologie de conception A3S
Expérimentations
Conclusions et Perspectives

Emetteur/Récepteur UMTS
Application de tracking

Expérience/Résultats

- Conditions de faisabilité
 - Réalisable
 - Ordonnançable
 - Respect des contraintes applicatives
 - Tps_exe_trame < 10ms

Configurations	Contraintes	Applicatives	Implantation
1	VALIDE	Temps 10 ms	Taux d'occupation DSP_A : 96.6 % DSP_C : 3.4 %
2	VALIDE	Temps 7.96 ms	Taux d'occupation DSP_A : 11.4 % DSP_C : 3.4 % FPGA_A : 66 %
3	NON VALIDE	Temps 10.33 ms	Taux d'occupation DSP_A : 96.6 % DSP_C : 5.1 %
4	VALIDE	Temps 8.29 ms	Taux d'occupation DSP_A : 11.4 % DSP_C : 5.1 % FPGA_A : 66 %
1	NON VALIDE	Temps 19.27 ms	Taux d'occupation DSP_A : 185 % DSP_C : 4.6 %
2	VALIDE	Temps 9.44 ms	Taux d'occupation DSP_A : 17.1 % DSP_C : 4.6 % FPGA_A : 71.2 %
3	NON VALIDE	Temps 19.33 ms	Taux d'occupation DSP_A : 185 % DSP_C : 5 %
4	VALIDE	Temps 9.49 ms	Taux d'occupation DSP_A : 17.2 % DSP_C : 5 % FPGA_A : 71.2 %

Samuel Rouxel

Application à la Radio Logicielle

82

Résultats

- Surcoût temporel dû au système d'exploitation faible $< 0.3\%$
- Modélisation OS niveau abstraction système

Validation de l'outil de faisabilité avec OS
Validation des résultats d'estimation

Plan

Plan

- Enjeux et tendances de la conception des systèmes
- Vers l'ingénierie dirigée par les modèles
- Contexte et contributions
- Méthodologie de conception A3S
- Expérimentations
- **Conclusions et perspectives**

Conclusions

- Enrichissement du langage UML pour la conception de système Radio Logicielle
 - Développement du profil UML A3S
- Réalisation d'un démonstrateur
 - Tester la faisabilité d'un système à haut niveau (rapidement)
 - Identification des erreurs
- Validation de l'outil par confrontation aux implantations réelles
 - Robustesse
 - Ergonomie (multi métiers)

Perspectives multiples

- Transposer l'outil dans le langage UML 2.0
- Enrichir les possibilités de l'outil
 - Modélisation
 - Prise en compte middleware, NoC
 - Fonctionnalités
 - Intégrer la génération de code
 - Augmenter l'interopérabilité de l'outillage
 - Passerelles de récupération de résultats de simulation (spécification des paramètres automatique)
 - Estimation de performances supplémentaires (coût mémoire, consommation)
- Mopcom et Spices

Publications

- **S. Rouxel**, G. Gogniat, J-P. Diguët, J-L. Philippe and C. Moy. *"Model Driven Engineering for Distributed Real-Time Embedded Systems : From MDD Concepts to Experiments and Illustrations"*. ISTE, 2006. Chapter 7 *"Schedulability Analysis and MDD, bedulability Analysis and MDD"*, pp. 110-130.
- **S. Rouxel**, G. Gogniat, J-P. Diguët, J-L. Philippe and C. Moy, *"System Level Design with UML : a Unified Approach"*, IEEE Symposium on Industrial Embedded System (IES'06), Antibes Juan-Les-Pins France, October 2006.
- **S. Rouxel**, G. Gogniat, J-P. Diguët, J-L. Philippe and C. Moy, *"A3S Method and Tools for Analysis of Real-Time Embedded Systems"*, International Workshop on Modeling and Analysis of Real-Time and Embedded Systems (MARTES'06), Genova, Italy, October 2006.
- **S. Rouxel**, J-P. Diguët, G. Gogniat, N. Bulteau, J. Carre-Gourdin, J-E. Goubard, C. Moy, *"UML Framework for PIM and PSM Verification of SDR Systems"*, SDR Forum Technical Conference Anaheim, California, USA, November 2005.
- C. Moy, M. Raulet, **S. Rouxel**, J-P. Diguët, G. Gogniat, P. Desfray, N. Bulteau, J-E. Goubard, Y. Denef, *"UML Profile for Waveform SPS abstraction"*, SDR Forum Technical Conference Phoenix, Arizona, USA, November 2004.
- Y. Denef, J-E. Goubard, G. Gogniat, **S. Rouxel**, J-P. Diguët, C. Moy and N. Bulteau, *"UML Profile for SDR hardware/software adequacy verification"*, OMG's First Annual Software-Based Communications (SBC) Workshop: From Mobile to Agile Communications, Arlinton, USA, September 2004.
- A. Delautre, J-E. Goubard, G. Gogniat, **S. Rouxel**, J-P. Diguët, C. Moy and N. Bulteau, *"UML profile towards waveform performances verification"*, Wireless World Research Forum (WWRF), Oslo, Norway, June 2004.

Merci !

Questions ?