



HAL
open science

Conception, réalisation et caractérisation de grilles en silicium polycristallin déposé amorphe à basse température et dopé bore in situ

Emmanuel Jordana

► To cite this version:

Emmanuel Jordana. Conception, réalisation et caractérisation de grilles en silicium polycristallin déposé amorphe à basse température et dopé bore in situ. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 2005. Français. NNT : . tel-00010405

HAL Id: tel-00010405

<https://theses.hal.science/tel-00010405>

Submitted on 5 Oct 2005

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Préparée au
Laboratoire d'Analyse et d'Architecture des Systèmes du CNRS

En vue de l'obtention du
Doctorat de l'Université Paul Sabatier de Toulouse

Spécialité : Conception des Circuits Microélectroniques et Microsystèmes

Par
Emmanuel JORDANA

Conception, réalisation et caractérisation de grilles
en silicium polycristallin déposé amorphe à basse
température et dopé bore in situ.

Soutenue le 20 juillet 2005, devant le jury composé de :

Président du jury	G. ABLART
Rapporteurs	O. BONNAUD J. R. MORANTE
Directeur de thèse	F. OLIVIE
Co-directeur :	E. SCHEID
Examineurs	G. SARRABAYROUSE P. TEMPLE-BOYER

Je tiens à remercier en premier lieu, Monsieur Jean-Claude LAPRIE, Directeur du LAAS-CNRS, de m'avoir accueilli dans son laboratoire, ainsi que Monsieur Alain CAZARRE de m'avoir accepté au DEA CCMM.

Je remercie mes deux directeurs de thèse, François OLIVIE et Emmanuel SCHEID, pour m'avoir encadré pendant cette thèse.

Mes plus vifs remerciements vont à Monsieur Gérard SARRABAYROUSE, qui m'a aidé tout au long de cette thèse et qui a contribué à mener ce travail à son terme.

Je remercie les membres du jury, Messieurs Guy ABLART, Olivier BONNAUD, Joan-Ramon MORANTE, Pierre TEMPLE-BOYER pour l'intérêt qu'ils ont manifesté à juger ce travail.

Un grand merci également au personnel TEAM, 2I et du centre de documentation pour leur gentillesse, leur disponibilité et leur bonne humeur, en particulier Bernard ROUSSET, Laurent BOUSCAYROL, Ludovic SALVAGNAC, Laurent JALABERT, Françoise ROSSEL, David BOURRIER, Monique BENOIT, Véronique CONEDERA, Monique DILHAN, David COLIN, Nicolas MAURAN, Christian BERTY, Arlette EVRARD et Michelle POWELL.

Bien entendu, je ne peux pas manquer de remercier l'exceptionnelle équipe de thésards (anciens ou actuels) qui ont animé ces trois années et demi de travail « intensif », grâce à leurs qualités de bonne humeur et d'humour : Jérôme BALLET, Frédéric VAN MEER, Laurent RABBIA, Petra SCHMITT, Thomas RICART, Jérôme LAUNAY, William

SANT, Younes LAMRANI, Mohamed SAADAOUI, Marie-Laure POURCIEL-GOUZY et Christian CARMEL.

Merci à Pierre PANIZZUTTI, Julien IVARNEZ, Julien TERSET, Pascal SEGUINAU, Oscar RUESGA, Cédric ANDRE, René COLIN, James LEE, Stéphane LOISEAU, Mathieu DUMAS, Jean-François GARRIGUES, Sarah LAYBROS... pour m'avoir aidé à me sortir la tête du guidon.

Une grand merci à *netclub.fr* pour m'avoir permis de faire la rencontre d'Imène, qui m'accompagne depuis 4 ans déjà.

Je dédie cette thèse à mes parents, à ma sœur et à ma grand-mère, pour leurs conseils avisés et surtout leur constant soutien durant toutes ces années, sans lequel je ne serais allé jusqu'au bout.

Et comme l'usage l'exige, mille excuses à ceux que j'ai oublié et qui ne figurent pas dans ces remerciements.

Introduction générale **1**

Chapitre 1 : Position des problèmes **5**

I. EVOLUTION DE LA MICROELECTRONIQUE **6**

II. LIMITES A LA MINIATURISATION **7**

A. Présentation de la capacité MOS **8**

B. Le substrat et le canal **9**

1. Le substrat 9
2. Le canal 10

C. L'isolant de grille **10**

1. Le SiO₂ 11
2. Fiabilité de l'isolant de grille 12
3. L'azote dans l'isolant 16
4. Effet tunnel 17
5. Les diélectriques à forte permittivité 18

D. La grille **24**

1. Le polysilicium 25
2. Grille en polysilicium 32
3. Grille métallique 35

III. CONCLUSION **36**

Chapitre 2: Simulateurs capacité-tension et courant-tension **39**

I. INTRODUCTION **40**

II. PRESENTATION DU SIMULATEUR CAPACITE-TENSION **42**

A. Les différentes approches **42**

B. Principe de la simulation **43**

C. Un peu de théorie **47**

1. Le silicium 47

2.	Le dioxyde de silicium SiO ₂	62
3.	Le polysilicium	63
D.	Etapes de calcul et résultats	64
1.	Conventions	64
2.	Calcul du niveau de Fermi	64
3.	Calcul des distributions de porteurs	66
4.	Raccordement	72
5.	Résolution de l'équation de Poisson	72
6.	Test de convergence	75
7.	Calcul de la charge	76
8.	Calcul de la capacité	77
9.	Derniers calculs	78
III.	PRESENTATION DU SIMULATEUR COURANT-TENSION	80
A.	Définition de l'effet tunnel	80
B.	Modélisation du courant tunnel	82
1.	L'approche de Bardeen	82
2.	L'approximation des états quasi-liés	83
3.	La transparence.	84
4.	Masses effectives des porteurs dans l'oxyde	85
5.	Force image	86
C.	Modélisation choisie	87
1.	Fréquence d'impact	88
2.	Transparence	89
3.	Calcul de chaque contribution au courant	91
IV.	CONCLUSION	95
 Chapitre 3: Caractérisations physique et électrique		97
I.	INTRODUCTION	98
II.	LE FOUR	98
A.	Généralités sur les dépôts CVD	98
B.	Le réacteur secteur	100
III.	CARACTERISATION PHYSIQUE DU POLYSILICIUM DOPE <i>IN SITU</i>	102
A.	Description des échantillons	102

B. Etude SIMS	104
C. TEM	107
D. AFM	109
E. Mesure par effet Hall	110
F. Mesure 4 pointes	111
G. Mesure des contraintes	112
IV. CARACTERISATION ELECTRIQUE	113
A. Description des échantillons	113
B. Homogénéité en épaisseur	115
C. Caractéristique courant-tension	116
D. Caractéristique capacité-tension	120
1. Mesure Haute Fréquence-Basse Fréquence (HF-BF)	120
2. Mesure quasi-statique	121
3. Résultats et interprétation	122
E. Statistiques de claquage	127
V. CONCLUSION	132
 Conclusion générale	 135

Introduction
générale

Introduction générale

Malgré les barrières technologiques de plus en plus difficiles à franchir et des coûts grandissants de réalisation des circuits intégrés, l'industrie des semiconducteurs, conformément aux prédictions de Gordon Moore¹, s'est toujours distinguée à produire régulièrement de nouvelles générations de composants.

*L'International Technology Roadmap for Semiconductors (ITRS)*², qui édite régulièrement la *Roadmap*, est chargée d'évaluer les technologies à mettre en place dans l'avenir afin que l'évolution des composants reste fidèle à la loi de Moore. Cette évolution passant par la diminution de la taille des transistors et l'augmentation de la taille des « wafers », la génération 90 nanomètres est actuellement en plein essor sur des lignes de production à 300 millimètres (12 pouces).

Cette réduction des dimensions des composants a permis :

- De réduire le coût par fonction : En 1968, un transistor coûtait 1\$, aujourd'hui on en obtient 50 millions pour le même prix.
- D'augmenter la productivité des usines microélectroniques.
- D'améliorer les performances des circuits avec de nouvelles fonctionnalités.

Le transistor MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*) est le composant de base, la « brique élémentaire » à la base de la plupart des dispositifs présents dans notre quotidien. Outre la longueur de canal du transistor, l'épaisseur de l'isolant de grille subit, elle aussi, la loi de la miniaturisation afin de maintenir un fort couplage capacitif entre la grille et le canal du transistor. Ceci a pour conséquence de faire apparaître un phénomène prépondérant limitant le fonctionnement du transistor : l'augmentation du courant de fuite. Selon les prédictions de la *Roadmap*, à partir de 2006, la valeur du courant de fuite à travers l'oxyde de grille généralement utilisé, le dioxyde de silicium (SiO₂), ne permettra plus de respecter les requis.

Par conséquent, pour s'affranchir de ces problèmes, la poursuite de l'intégration de nouveaux composants doit se faire par l'introduction de nouvelles structures ou de nouveaux matériaux.

La solution en développement pour pallier ce problème est d'introduire des matériaux isolants avec une permittivité plus importante que celle du SiO₂. Ainsi, à épaisseur électrique

Introduction générale

d'oxyde équivalente, il est possible de maximiser l'épaisseur physique de l'isolant et ainsi s'affranchir du problème de courant de fuite. Ces matériaux qui ont des constantes diélectriques plus élevées que celle du SiO_2 , sont les diélectriques à forte permittivité dont le plus prometteur est le HfO_2 . Malgré des résultats encourageants, ces matériaux posent encore de nombreux problèmes de compatibilité avec la chaîne de production de l'industrie microélectronique.

L'autre point majeur concerne la grille, actuellement en silicium polycristallin dopée par implantation. Pour une grille de type P^+ , le bore est l'impureté dopante qui soulève deux problématiques du fait de la méthode de dopage : la pénétration du bore dans la structure et la déplétion de grille qui entraînent, entre autres, une chute de la mobilité des porteurs du canal et une augmentation de l'épaisseur « électrique » de l'isolant. Enfin, l'association diélectrique à forte permittivité / polysilicium provoque des instabilités de la tension de seuil du transistor³ et une forte chute de la mobilité des porteurs du canal⁴.

Les solutions actuellement proposées consistent à remplacer le polysilicium par un métal dont le travail de sortie soit approprié au type de l'électrode de grille. Cependant, ce retour à des grilles métalliques pose deux inconvénients : tout d'abord, il ne résout pas encore le problème des instabilités de la tension de seuil du transistor. Enfin, l'introduction de la métallisation induit une complexité et un coût plus élevé à la réalisation.

Nous nous sommes donc intéressés à un polysilicium de type P qui pourrait limiter la diffusion du bore à travers la structure et minimiser la déplétion de grille tout en gardant les avantages liés au polysilicium, tels que l'autoalignement des zones de grille, source et drain, une faible résistivité et l'ajustement du niveau de Fermi. Il s'agit d'un silicium déposé sous forme amorphe à basse température à partir de disilane (Si_2H_6) et dopé *in situ* à partir trichlorure de bore (BCl_3). Le faible bilan thermique de ce dépôt devrait conduire à un dopage uniforme dans la grille et à une diffusion de bore négligeable.

Ce manuscrit, constitué de trois chapitres, représente l'ensemble des travaux qui ont été menés sur ce matériau ainsi que sur son utilisation en tant qu'électrode de grille de capacités MOS.

Introduction générale

Une synthèse bibliographique sur la position des problèmes constituera le premier chapitre. Nous y aborderons le sujet des isolants de grille, des matériaux constituant l'électrode de grille et les problèmes inhérents à la réduction de l'épaisseur de l'isolant. A partir de cette synthèse, nous montrerons l'intérêt que constitue ce type de dépôt.

Un problème important qu'a fait surgir la réduction des dimensions des transistors est la quantification des porteurs aux interfaces substrat/isolant et polysilicium/isolant. Modifiant leur fonctionnement, elle se manifeste par une augmentation de l'épaisseur électrique de l'isolant. Il nous a ainsi paru important de travailler également à l'élaboration de simulateurs $C(V)$ et $I(V)$ prenant en compte ces effets afin que l'extraction des paramètres physiques soit la plus précise possible. C'est l'objet du second chapitre. Le modèle théorique de comportement des porteurs sera présenté ainsi que les hypothèses que nous avons choisies de faire. Des comparaisons avec le modèle classique seront présentées pour souligner les écarts de résultats.

La caractérisation physique du matériau et la caractérisation électrique de capacités MOS dont la grille est constituée de polysilicium dopé bore *in situ* constitueront, après la présentation du réacteur secteur dans lequel les dépôts sont effectués, le troisième chapitre.

Ce manuscrit se terminera par une synthèse des principaux résultats ainsi que par les perspectives et études complémentaires à mener pour l'avenir.

Chapitre 1 :

Position

des

problèmes

I. EVOLUTION DE LA MICROELECTRONIQUE

Depuis la réalisation du premier transistor par William Shockley, Walter Brattain et John Bardeen en 1948, la microélectronique a parcouru un chemin incroyable. D'une taille des dispositifs de l'ordre du centimètre dans les années 50, nous sommes rentrés, en ce début du XXI^{ème} siècle, dans l'ère du nanomètre.

De nos jours, le composant le plus utilisé dans les circuits intégrés est le transistor MOS (*Metal Oxide Semiconductor*). Apparu dans les années 60 et généralisé dans les années 80 en association avec la logique CMOS (*Complementary Metal Oxide Semiconductor*), l'amélioration de ses performances, conformément à la célèbre loi de Moore⁵, est passée et passe encore par la miniaturisation de ses dimensions.

Les raisons de cette miniaturisation sont simples. Elles sont :

- Financières :
 - ✓ Réduction du coût par fonction.
 - ✓ Augmentation de la productivité des usines microélectroniques.
- Technologiques :
 - ✓ Augmentation de la densité de composants par « wafer ».
 - ✓ Réduction de la consommation électrique.
 - ✓ Vitesse des circuits.

Le concept le plus simple pour comprendre l'impact de la réduction des dimensions est celui que Dennard a introduit dans les années 70⁶ : c'est l'approche à champ constant. La conservation de la valeur du champ électrique passe par la réduction par un facteur K de la longueur de canal L_G , de la largeur de grille W, de l'épaisseur d'oxyde T_{OX} , de la profondeur de jonction x_j , de la tension de grille V_G , de la tension de seuil V_{TH} ainsi que par l'augmentation du dopage du substrat N_{SUB} de ce même facteur. Ainsi, pour un champ électrique constant dans la structure, le temps de réponse du transistor est divisé par K et la puissance consommée est réduite de K^2 .

L'*International Technology Roadmap for Semiconductors (ITRS)*⁷ est l'organisme chargé d'éditer régulièrement la *Roadmap* tous les deux ans. Son rôle est d'évaluer les

Chapitre 1 : Position des problèmes

technologies à mettre en place dans l'avenir afin que l'évolution des composants reste fidèle à la loi de Moore. Les lignes de production étant actuellement à 300 millimètres (diamètre des « wafers »), la génération 90 nanomètres est en plein essor (*Tableau I-1*).

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	120	107	95	85	76	67	60
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
Physical gate length high-performance (HP) (nm)	45	37	32	28	25	22	20
EOT: equivalent oxide thickness (physical) for high-performance (nm)	1.3	1.2	1.1	1.0	0.9	0.8	0.8
Electrical thickness adjustment for gate depletion and inversion layer effects (nm)	0.8	0.8	0.7	0.7	0.4	0.4	0.4
Equivalent electrical oxide thickness in inversion (nm)	2.1	2.0	1.8	1.7	1.3	1.2	1.2

Tableau I-1 : Prévisions à court terme de la longueur de canal et de l'épaisseur d'isolant. Les cases blanches correspondent à des solutions existantes, les cases grisées à des solutions connues mais non implémentées. Les cases foncées sont relatives à des solutions inconnues aujourd'hui. Source : ITRS 2003.

Au cours de l'évolution de la miniaturisation, le sentiment d'approcher les limites de la technologie s'est toujours fait ressentir : à la fin des années 70, la difficulté de supprimer l'effet de canal court laissait penser que 1µm pourrait bien être la limite. Dans les années 80, on pensait que l'on ne pourrait pas dépasser 500nm à cause des résistances de source et de drain...De nos jours, ce sentiment est toujours aussi présent puisque la distance interatomique est de 0,3nm et que les oxydes de grille en SiO₂ actuels les plus minces sont de l'ordre de 1,2nm⁸. Si l'on extrapole la tendance de la miniaturisation, ce transistor ultime, d'une longueur de canal de 10nm, apparaîtrait vers l'année 2022 selon Iwai⁹.

II. LIMITES A LA MINIATURISATION

Selon la *Roadmap 2003*⁷, les défis de la technologie CMOS à relever pour les 6 prochaines années seront dans le domaine :

- Des isolants de grille.
- De l'électrode de grille.
- Des outils de détermination de la fiabilité.
- Des interconnexions en cuivre et diélectriques à faible permittivité.

- Du packaging.

Le sujet de cette thèse étant relatif à l'ingénierie de grille des transistors MOS, nous ne traiterons que du cas de l'isolant et de la grille, une fois avoir parlé synthétiquement du substrat et du canal. Après avoir présenté brièvement la structure de la capacité MOS, nous nous pencherons sur l'impact de la réduction des dimensions sur chaque partie de cette structure, sur les solutions apportées actuellement et sur les éventuelles perspectives, en particulier les diélectriques à haute permittivité et les grilles métalliques. Enfin, à partir de la synthèse des solutions qu'apportent ces nouveaux matériaux mais aussi des améliorations à leur apporter, nous présenterons la solution que nous proposons et que nous pensons être capable de diminuer les problèmes de la déplétion de grille et de la pénétration des atomes dopants à travers la structure. L'idée est de réaliser l'électrode de grille par un dépôt de silicium dopé bore *in situ* : cette méthode permet d'avoir un dopage de bore relativement constant dans le silicium et, le dépôt se faisant à faible température, on peut supposer que le bore diffusera peu dans l'isolant.

A. Présentation de la capacité MOS

La capacité MOS, qui constitue le cœur du transistor, est formée par la mise en « sandwich » d'un matériau isolant (généralement du dioxyde de silicium SiO_2) par un substrat de silicium monocristallin et une électrode de grille en métal ou en silicium polycristallin (*Figure II-1* : Structure du transistor MOS.).

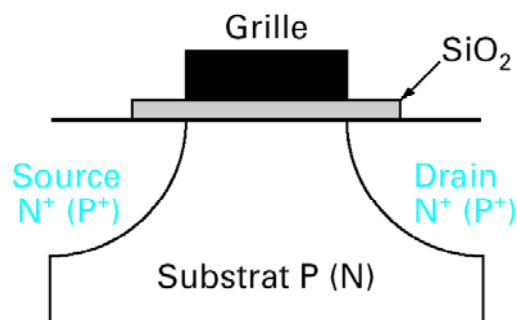


Figure II-1 : Structure du transistor MOS.

L'électrode de grille commande l'intensité du champ électrique transversal dans le canal qui attire les porteurs minoritaires à la surface du semiconducteur (si le transistor est à

enrichissement) et permet donc de contrôler la formation du canal de conduction entre la source et le drain du transistor et, par-là même, l'intensité du courant de drain. Les porteurs minoritaires peuvent avoir deux origines :

- Ils peuvent être fournis par la source lorsque le potentiel dans le canal approche la valeur du potentiel de la source : la barrière de potentiel entre la source et le canal disparaît et les minoritaires diffusent dans le canal et sont attirés vers le drain par l'action du champ électrique longitudinal créé par la tension de drain.
- Dans le cas des capacités MOS, les porteurs minoritaires ne sont fournis que par le volume du semiconducteur. De par leur faible nombre, l'établissement de la zone d'inversion est beaucoup plus long que dans le cas précédent.

B. Le substrat et le canal

1. Le substrat

Le substrat de départ est soit une plaque de silicium dopée uniformément, soit une plaque présentant deux niveaux de dopage :

- Un dopage fort (de l'ordre de 10^{19}cm^{-3}) dans le volume.
- Un dopage faible (de 10^{15} à 10^{16}cm^{-3}) dans une couche superficielle (obtenue par épitaxie ou par implantation ionique suivie d'un long recuit) d'une épaisseur de $4\mu\text{m}$ environ.

Par opposition aux substrats massifs, il existe des substrats dits « isolants » dont la particularité est que le film superficiel de silicium repose sur un substrat isolant. Cette configuration peut être obtenue par utilisation du saphir comme substrat isolant (technologie SOS : Silicon On Sapphire) ou par l'utilisation de substrats en silicium recouverts d'un film mince de SiO_2 sur lequel repose un film de silicium monocristallin (technologie SOI : Silicon On Insulator¹⁰) mais c'est cette dernière qui est la plus développée car la couche supérieure de silicium possède une meilleure qualité cristalline à l'interface.

La difficulté majeure, pour la technologie SOI, est que la couche supérieure de silicium sur l'isolant doit être monocristalline. Deux technologies, reposant sur l'implantation ionique, se dégagent parmi les solutions disponibles : il s'agit de la méthode SIMOX

(Separation by Implanted Oxygen) et de la méthode Smart-Cut™. La première consiste à implanter des ions oxygène qui, par recuit thermique, donnent une couche de SiO₂ enterrée¹¹ tandis que la seconde, utilise l'implantation d'ions hydrogène pour découper le substrat selon la direction cristalline et le wafer-bonding¹². La méthode Smart-Cut™ est actuellement celle qui apparaît comme la mieux adaptée.

2. Le canal

La structure du canal peut être homogène (composé seulement de silicium) mais c'est le SiGe qui est le matériau le plus prometteur pour l'ingénierie de canal. En effet, le SiGe contraint en tension permet d'obtenir une plus grande mobilité des électrons pour les transistors NMOS alors que, s'il est contraint en compression, il permet un gain de mobilité des trous dans le canal pour les PMOS à canal long^{13 14 15}. L'explication physique de ce gain est, d'une part que la masse effective des trous dans ce matériau est plus faible que dans le silicium non contraint, et d'autre part que les maxima des bandes de valence correspondant aux trous lourds et légers ne sont plus confondus, contrairement au silicium non contraint.

Cependant, pour intégrer ce matériau au process MOS, il faut faire face à deux problèmes majeurs :

- Le bilan thermique du process complet doit être adapté de telle sorte à ce que la contrainte du SiGe n'en soit pas affectée.
- Le dépôt de la mince couche de silicium au-dessus du SiGe doit être optimisé de manière à ce que la rugosité à l'interface canal/isolant ne soit pas trop importante.

Enfin, des études ont montré que le gain de l'introduction du SiGe se réduisait au fur et à mesure que la longueur de canal diminuait¹⁴ mais l'explication, qu'elle soit technologique ou physique, n'est pas encore connue et des travaux sont en cours à ce sujet¹⁶.

C. L'isolant de grille

Dans ce paragraphe, nous allons présenter le diélectrique le plus couramment utilisé, à savoir le SiO₂. Les mécanismes de conduction à travers l'oxyde et la fiabilité seront également abordés. Un paragraphe sera également consacré aux alternatives à ce matériau :

les oxydes nitrurés et surtout les matériaux à haute permittivité, les diélectriques les plus prometteurs pour l'avenir mais dont l'industrialisation pose encore quelques problèmes. Nous présenterons les solutions qu'ils apportent mais aussi les problèmes qu'ils introduisent : le blocage du niveau de Fermi et le « remote Coulomb scattering ».

1. Le SiO₂

Le SiO₂ est obtenu par dépôt en phase vapeur (CVD : *Chemical Vapor Deposition*), par oxydation thermique rapide (RTO : *Rapid Thermal Oxidation*) ou par oxydation thermique classique du silicium qui constitue, pour le transistor MOS, la méthode d'oxydation la plus répandue.

Comme nous pouvons le constater sur la *Figure II-2*¹⁷, il existe entre le substrat et l'isolant une couche transitoire d'un composé SiO_x (1 < x < 2) que l'on appelle couche interfaciale. Sa présence, due à une transition entre les deux matériaux ne se faisant pas dans un seul plan atomique, est à l'origine de la rugosité d'interface¹⁸. Des mesures ont estimé l'épaisseur de cette couche à environ 0,4 ou 0,5nm^{19 20}.

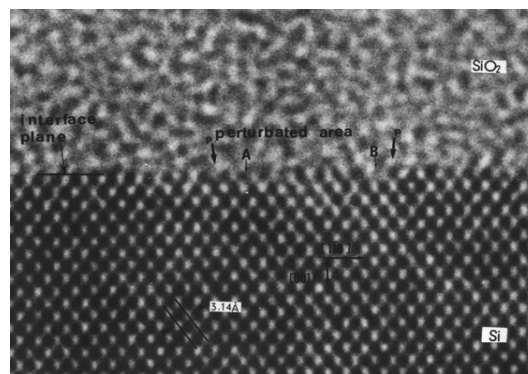


Figure II-2 : Vue en coupe TEM de l'interface silicium/SiO₂ et mise en évidence de la rugosité d'interface (d'après 17).

Elle est le siège de défauts d'interface qui se comportent comme des pièges à électrons ou à trous.

2. Fiabilité de l'isolant de grille

La fiabilité de l'oxyde de grille fait l'objet d'un nombre impressionnant de publications depuis une trentaine d'années. De nos jours, l'importance de ce critère est indéniable puisque la fiabilité de l'oxyde diminue avec son épaisseur. De plus, on ne sait toujours pas si le claquage partiel implique une perte partielle ou totale de l'effet transistor et si le claquage définitif a un impact sur le fonctionnement des circuits²¹.

Il existe plusieurs modèles reliant le processus de dégradation de l'isolant de grille d'un transistor MOS avec les conditions électriques dans lesquelles il évolue. Des modèles (modèle thermochimique²², modèle de l'injection de trous chauds de l'anode²³ et modèle de libération de l'hydrogène²⁴) ont été introduits mais les mécanismes microscopiques du claquage demeurent inconnus.

Le claquage est défini par un changement local de la conductance d'un composant. Ce changement, qui peut être abrupt ou graduel, est accompagné d'un comportement bruité²⁵. Il est lié à l'accumulation de défauts générés aléatoirement dans le volume de l'oxyde par une contrainte qui vont provoquer la formation d'un chemin de conduction à travers l'oxyde. Elle est généralement électrique (constante ou dynamique²⁶) mais peut aussi être induite par radiations²⁷ et elle crée des défauts qui peuvent être des pièges neutres à électrons, des états d'interface, des pièges à trous ou des états dits « lents ».

La relation entre la statistique de claquage et la création aléatoire des défauts est expliquée par le modèle de percolation (*Figure II-3*): si deux défauts voisins (leur taille est comprise entre 0,5nm et 1,5nm^{28 29 30}) se chevauchent, une conduction entre ces deux est possible. Le claquage apparaît lorsqu'un chemin de conduction, formé par une suite de défauts se chevauchant, relie les deux électrodes³¹.

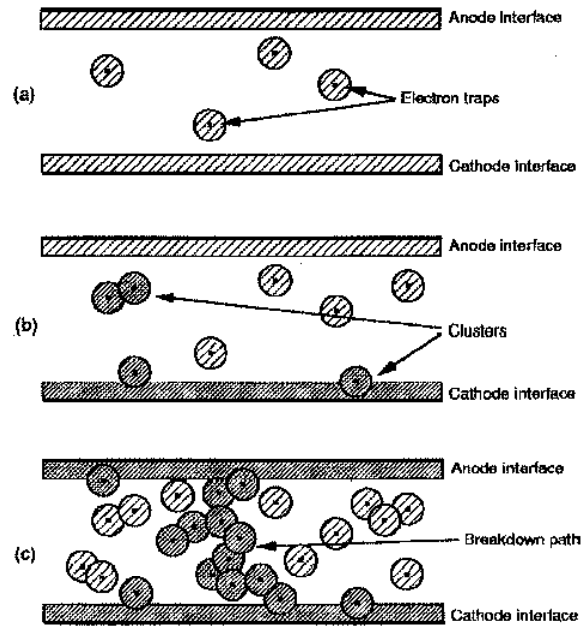


Figure II-3 : Formation du chemin de conduction à travers l'isolant (d'après 31).

La relation entre le nombre de défauts au claquage et la charge emmagasinée au claquage par l'isolant est donnée par³² :

$$Q_{BD} = \frac{q \cdot N_{BD}}{P_g}$$

où q est la charge de l'électron et P_g est le taux de génération de défauts. Celui-ci dépendant peu de l'épaisseur de l'isolant, varie fortement avec la tension appliquée sur la grille³².

La distribution de la densité de pièges à électrons nécessaire pour déclencher le claquage ($D_{ot,crit}$, reliée à la pente de la statistique de claquage β ³⁰), que ce soit un quasi-claquage ou un claquage définitif, suit une loi de Weibull³³ (ce qui signifie qu'ils ont la même origine physique). Ce modèle permet en outre d'expliquer la dépendance des distributions de claquage en fonction de l'épaisseur d'oxyde T_{OX} et de l'aire des composants : lorsque T_{OX} diminue, β diminue³⁰ et les facteurs d'échelle η_1 et η_2 (correspondant à 63 % de T_{bd}) de deux distributions de Weibull pour deux aires différentes A_1 et A_2 suivent la loi :

$$\frac{\eta_1}{\eta_2} = \left(\frac{A_1}{A_2} \right)^{\left(\frac{1}{\beta} \right)}$$

Les mécanismes de transport des électrons pendant la dégradation de l'oxyde ont également été étudiés :

- Dans les oxydes épais ($T_{OX} > 10\text{nm}$), le piégeage de charges est le phénomène affectant le plus la conduction Fowler-Nordheim^{34 35 36}.
- Dans les oxydes minces ($T_{OX} < 7\text{nm}$), c'est le SILC qui joue un rôle important, surtout à faible tension^{37 38 39}.
- Pour les épaisseurs intermédiaires, les deux mécanismes peuvent être simultanément observés⁴⁰.

Cependant, bien que les mécanismes de transport soient connus, leur corrélation avec le processus de dégradation n'a pas encore été établie et fait toujours l'objet de recherches^{41 42 43}.

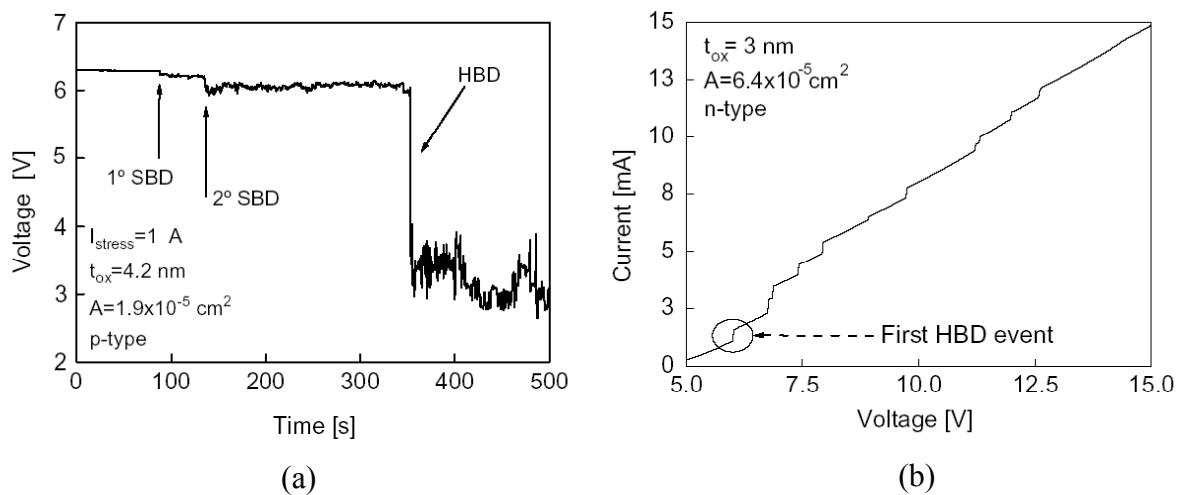


Figure II-4 : Claquage du composant selon la méthode de stress : courant constant (a) et rampe de tension (b) (d'après 54).

Les différents modes de claquage sont répertoriés ci-dessous :

a) Claquage destructif

On dénombre trois types de claquage destructif :

- High-HBD : claquage avec propagation latérale des dommages.
- Low-HBD : claquage sans propagation latérale des dommages.
- NL-HBD (Non Linear): caractéristique I(V) similaire à celle du High-HBD mais pente plus faible au-delà d'un certain seuil.

b) Quasi-claquage

Le quasi-claquage (*B-SILC*, *quasi*, *partial* ou *soft breakdown*) a été observé pour la première fois en 1994 sur des oxydes d'épaisseur inférieure à 5 nm^{44 45}. Cependant, ce phénomène est aussi apparu sur des oxydes plus épais⁴⁶. Sa caractéristique est une augmentation subite du courant à faible champ, apparaissant comme un claquage mais se différenciant du claquage destructif par une moindre conductance.

A ce jour, il a été recensé trois types de quasi-claquages :

- A-SBD (*analogue SBD*): caractérisé par un signal bruité.
- D-SBD (*digital SBD*): caractérisé par un signal télégraphique à 2 états⁴⁷.
- MB (*micro-breakdown*): indétectable pour les surfaces élevées, la valeur du courant est plus faible que pour le quasi-claquage standard⁴⁸.

c) SILC

Le phénomène de SILC (*Stress Induced Leakage Current*) a été observé pour la première fois en 1982 par Maserjian et Zamani⁴⁹ sur un oxyde d'épaisseur 5nm. Sur la caractéristique I(V) de capacités MOS dont l'épaisseur d'oxyde est inférieure à 10 nm, il se manifeste par une augmentation du courant de fuite après une contrainte à fort champ (*Figure II-5*). C'est un phénomène important puisqu'il est à l'origine de problèmes de fiabilité, notamment sur les batteries (courant de fuite trop élevé) et les mémoires non volatiles de type EEPROM (perte d'information).

Augmentant exponentiellement lorsque l'épaisseur de l'isolant diminue (jusqu'à 4 ou 4,5nm) et pour un champ électrique moyen ou élevé (régime d'inversion ou d'accumulation), il a été montré que la tendance s'inverse lorsque l'épaisseur continue de diminuer et que le SILC devient même négligeable pour les oxydes très minces (2nm)⁵⁰. Par contre, à faible champ (déplétion et faible inversion) ou pour des épaisseurs d'isolant aussi faibles, le SILC devient prépondérant à cause du passage par effet tunnel des électrons d'une électrode à l'autre via les pièges d'interface ou près de l'interface^{50 51 52}.

La cinétique de génération du SILC suit une loi en puissance selon la charge injectée et correspond à la création de pièges d'interface et près de l'interface après une injection à tension constante (CVS) ⁵³:

$$\frac{\Delta J}{J_0} = \frac{\Delta N_{IT}}{N_{IT}}$$

avec N_{IT} la densité de pièges d'interface ou près de l'interface.

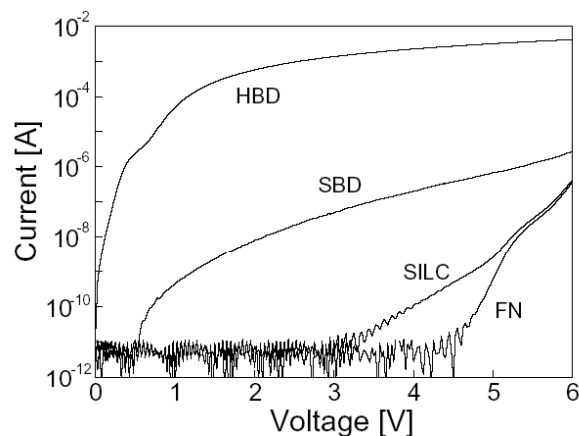


Figure II-5 : Caractéristiques I(V) des différents mécanismes de claquage pour un composant dont l'oxyde a une épaisseur de 4,3nm, une aire de $6,4 \cdot 10^{-5} \text{ cm}^2$ et un substrat de type P (d'après 54).

Quant à la conduction post-claquage, peu de choses sont connues à son sujet du fait de son caractère aléatoire et de sa dépendance selon les conditions de stress : par exemple, un ou plusieurs claquage de n'importe quel type (HBD ou SBD) peut se produire sur le même échantillon, selon que l'on applique un courant constant (2 SBD et 1 HBD, *Figure II-4-a*) ou une rampe de tension (plusieurs HBD, *Figure II-4-b*). Une revue complète sur les modèles de conduction post-claquage proposés est disponible dans la référence ⁵⁴.

3. L'azote dans l'isolant

Pour remplacer le dioxyde de silicium, la première solution a été d'introduire de l'azote dans le dioxyde de silicium : ce sont les oxydes nitrurés qui sont étudiés depuis que l'épaisseur de l'isolant de grille est passée sous la barre des 4nm. Ce matériau comporte quatre principaux avantages :

- La forte réduction de la pénétration du bore contenu dans la grille en silicium polycristallin : celui-ci diffuse dans le SiO_2 , provoque des décalages de la tension de seuil et dégrade la fiabilité du transistor^{55 56 57 58 59}. La présence d'azote dans l'isolant de grille permet d'obtenir la réduction de cette diffusion grâce à la plus grande densité d'atomes dans le réseau.
- Une meilleure immunité à la dégradation due aux électrons chauds grâce à un champ électrique supporté plus grand que celui du SiO_2 ⁶⁰.
- De meilleurs résultats de tenue au claquage et de fiabilité que pour le SiO_2 si le pourcentage d'azote contenu dans l'isolant reste faible⁶¹. Par contre, un trop fort taux d'azote, surtout près de l'interface substrat-isolant, annihile les bénéfices de l'incorporation d'azote et provoque même une chute de la mobilité des porteurs dans le canal du transistor^{62 63 64}.

Il existe deux procédés pour obtenir un d'oxyde nitruré et, selon la méthode employée, il en résultera un profil d'azote différent :

- L'oxydation thermique du silicium dans une ambiance azotée à partir des gaz N_2O ou NO .
- Des recuits de préoxydes ou préoxynitrures: SiO_2 sous N_2O ou NO ou SiO_xN_y sous O_2 .

Cependant, l'inconvénient principal de ces matériaux est que, plus le taux d'azote augmente, plus la constante diélectrique augmente, et plus la largeur de la bande interdite diminue⁶⁵. La conséquence est la diminution de la hauteur de barrière tunnel pour les électrons et les trous, et donc l'augmentation du courant tunnel.

4. Effet tunnel

L'effet tunnel direct n'affecte pas vraiment le fonctionnement du transistor puisque des composants avec des oxydes de grille de 0,8nm ont été réalisés⁶⁶. Cependant, c'est la caractérisation qui pose problème puisque la mesure $C(V)$ est faussée par l'effet tunnel et la valeur de la résistance série. Des méthodologies de mesure ont été proposées, comme par exemple les références^{67 68 69} qui permettent d'effectuer la mesure $C(V)$ avec des densités de courant pouvant atteindre 10^3A/cm^2 .

Mais le problème principal est la consommation excessive du transistor à l'état OFF. Il est intéressant de remarquer que, pour une polarisation de 1V, nous sommes passés d'une valeur du courant de fuite de $10^{-12}\text{A}/\text{cm}^2$ pour un oxyde de 3,5nm à $10\text{A}/\text{cm}^2$ pour un oxyde de 1,5nm, c'est-à-dire 12 décades d'écart pour le courant par rapport à seulement un facteur 2 pour l'épaisseur d'oxyde⁷⁰. Selon la *Roadmap* 2003, l'épaisseur physique équivalente d'oxyde (*EOT* : *Equivalent Oxide Thickness*) sera de 1nm pour la technologie 90nm, ce qui correspondrait à un courant de fuite de $100\text{A}/\text{cm}^2$, ce qui est inacceptable.

Ainsi, la réduction constante des dimensions du transistor MOS est en train de pousser l'isolant en SiO_2 ou en SiO_xN_y vers ses limites. Des isolants avec des constantes diélectriques plus élevées que celles de ces derniers, permettant de réduire fortement le courant tunnel, sont donc requis : il s'agit des diélectriques à forte permittivité.

5. Les diélectriques à forte permittivité

Le principe est, pour une constante diélectrique supérieure, de maintenir constante la capacité d'oxyde C_{ox} par une épaisseur d'isolant $T_{\text{ox}_{\text{high-k}}}$ plus importante que celle du SiO_2 $T_{\text{ox}_{\text{SiO}_2}}$ (*Figure II-6*⁷¹) :

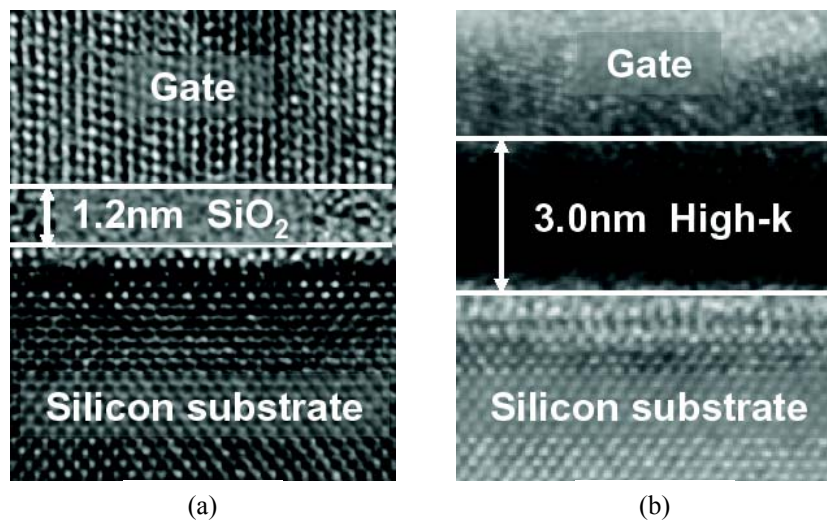


Figure II-6 : Vues comparatives TEM des structures MOS électriquement équivalentes avec un oxyde de grille standard en SiO_2 (a) et un isolant high-k (b).

$$C_{ox} = \frac{\epsilon_{SiO_2} \cdot \epsilon_0}{T_{oxSiO_2}} = \frac{\epsilon_{high-k} \cdot \epsilon_0}{T_{oxhigh-k}}$$

avec ϵ_{SiO_2} la constante diélectrique du dioxyde de silicium et ϵ_{high-k} celle du matériau high-k.

Grâce à une épaisseur physique d'isolant plus grande et pour des caractéristiques capacité-tension équivalentes, le courant tunnel sera fortement réduit, ce qui entraînera une augmentation du rapport I_{ON}/I_{OFF} .

Les matériaux candidats sont nombreux : Ta_2O_5 , $SrTiO_3$, ZrO_2 , HfO_2 , TiO_2 , Al_2O_3 ... Par exemple, une couche de SiO_2 de 2nm pourrait être théoriquement remplacée par une couche de Ta_2O_5 de 12nm puisque sa permittivité est 6 fois plus grande que celle du dioxyde de silicium). Mais, pour intégrer ces nouveaux diélectriques dans la technologie MOS, les performances électriques, les critères de stabilité et de fiabilité des matériaux candidats doivent être supérieurs à ceux du dioxyde de silicium ou, au moins, être les mêmes. Ces nouveaux diélectriques devront donc satisfaire aux conditions suivantes :

- L'épaisseur électrique équivalente doit être inférieure à 1nm pour satisfaire à l'évolution de la *Roadmap*.
- Les propriétés intrinsèques du matériau doivent être satisfaisantes: permittivité, hauteur de barrière et énergie de gap, stabilité au contact du silicium, morphologie du film.
- Ils doivent répondre aux critères suivants : compatibilité avec le matériau de grille, compatibilité avec le process, fiabilité correcte.

a) Propriétés intrinsèques du matériau

(1) Permittivité

La permittivité ne doit être ni trop faible pour que le remplacement du SiO_2 soit justifié (exemple du Al_2O_3 dont la constante diélectrique est de 8 à 10, le bénéfice est trop faible par rapport au SiO_2), ni trop élevée ($\kappa > 50$) car on constate une augmentation de l'effet de « franges » de la grille vers les zones de source et de drain, dégradant le contrôle de la grille sur le canal⁷².

(2) Hauteur de barrière et énergie de gap

Le diélectrique doit présenter une hauteur de barrière conséquente au contact du silicium et du matériau de grille afin de minimiser effectivement le courant tunnel. La hauteur de barrière décroît lorsque la constante diélectrique augmente^{73 74}: les hauteurs de barrière du Ta₂O₅ et du SrTiO₃ en contact avec le silicium étant inférieures à 0,5eV⁷⁵, on peut d'ores et déjà éliminer ces deux matériaux. Comme l'énergie de gap est inversement proportionnelle à la constante diélectrique et qu'elle doit être supérieure à 5eV, la valeur limite de la constante électrique sera fixée aux alentours de 30⁷⁶.

(3) Stabilité thermique

Le troisième critère concerne la stabilité thermodynamique des ces matériaux en contact avec le silicium : ils doivent supporter des températures de l'ordre de 1000°C pour les recuits d'implantation des zones de grille, source et drain. Le critère de la stabilité est un problème très important car, portés à haute température, certains diélectriques se décomposent au contact du silicium en SiO₂, oxyde métallique (M_xO_y) et éventuellement en silicate (M_xSi_y) (c'est le cas pour le Ta₂O₅ et le TiO₂)⁷⁷.

En ce qui concerne le ZrO₂, sa stabilité thermodynamique a été démontrée⁷⁸ mais il n'est pas stable jusqu'à 1000°C, contrairement au HfO₂ qui semble être le candidat le plus prometteur. A cette température, il réagit avec le silicium pour former un silicate⁷⁹.

L'utilisation d'oxydes pseudo-binaires associés aux deux oxydes binaires cités précédemment, tels que les silicates (ZrSi_xO_y ou HfSi_xO_y) et les aluminates (ZrAl_xO_y ou HfAl_xO_y), pourrait constituer un compromis : une constante diélectrique plus faible que HfO₂ et ZrO₂, mais tout de même élevée par rapport au SiO₂, tout en conservant une interface avec le silicium proche de l'interface Si/SiO₂. Quoiqu'il en soit, il est aussi possible d'utiliser en tant que diélectrique un matériau incompatible avec le silicium à condition qu'il en soit séparé par une couche tampon qui, elle, reste stable au contact du silicium et du diélectrique.

(4) Morphologie

La morphologie du matériau joue un rôle crucial : il est préférable que le diélectrique soit amorphe puisque, s'il est polycristallin, les joints de grain sont autant de chemins facilitant la conduction tunnel⁸⁰. Leur présence augmente également la diffusion des atomes dopants de la grille à travers la structure (instabilité de la tension de seuil du transistor). Par exemple, le HfO₂ et le ZrO₂ cristallisent respectivement à 500°C et 400°C⁸¹, ce qui pose un problème lors du recuit d'implantation des zones de grille, source et drain qui s'effectuent à 1000°C. Comme pour le critère de la stabilité thermodynamique, la solution semble se trouver dans les silicates qui permettent de d'augmenter la température à laquelle ils se cristallisent⁷⁷ et ceci, en fonction de leur composition⁸¹. Une autre solution consiste à faire un alliage entre le HfO₂ et le Al₂O₃, bien que les aluminates aient une densité de défauts supérieure à celles des silicates. Enfin, une autre voie consiste à ajouter de l'azote dans les silicates d'hafnium, permettant d'augmenter la température de cristallisation, de bloquer la diffusion de bore et d'améliorer la fiabilité^{77 82 83}.

Enfin, des instabilités concernant des changements de taille des grains et de leur orientation entraînent des variations sur la valeur de κ , ce qui n'est pas acceptable pour l'industrie. L'épitaxie par jets moléculaire (Molecular Beam Epitaxy) peut résoudre le problème de l'instabilité de la valeur de κ puisque les dépôts sont monocristallins mais le faible rendement de cette technique la rend inadaptée à une industrialisation.

b) Intégration dans le process et performances

(1) Compatibilité avec le matériau de grille

Le diélectrique doit être compatible avec le matériau de grille. Des exemples de capacités ou de transistors MOS réalisés à partir de l'association d'un diélectrique à haute permittivité et d'une grille en polysilicium sont données ci-dessous :

- HfO₂ et poly-Si de type N^{77 84 85 86} ou de type P^{87 88 89}.
- Al₂O₃ et poly-Si de type N⁹⁰ ou de type P⁸⁹.
- ZrO₂ et poly-Si⁹¹.

Cependant, les problèmes relatifs au polysilicium, c'est-à-dire de déplétion de grille, de résistivité, de forts bilans thermiques lors des recuits d'implantation, de chute de la

mobilité et d'instabilité de la tension de seuil ont poussé les chercheurs à se poser la question d'un éventuel retour à des grilles métalliques. Nous développerons ces points par la suite.

(2) Procédés de dépôt

Le procédé de dépôt a son importance puisqu'il déterminera la qualité et les propriétés du matériau. De plus, il doit être compatible avec le process MOS standard. La première méthode de dépôt, le PVD (Physical Vapor Deposition), telles que l'évaporation ou la pulvérisation, est inadaptée car ils peuvent provoquer des défauts dus aux radiations ou aux ions. La deuxième est le CVD (Chemical Vapor Deposition) qui se décline en plusieurs catégories: MOCVD (Metal Organic CVD), ALD ou ALCVD (Atomic Layer CVD), RTCVD (Rapid Thermal CVD), PECVD (Plasma Enhanced CVD), RPCVD (Remote Plasma CVD), permettant un contrôle précis de l'homogénéité du dépôt, de traiter un nombre élevé de plaquettes et la compatibilité avec le procédé 300mm⁹². Quelle que soit la méthode choisie, la préparation de surface est prépondérante : la présence d'une mince couche de SiO₂ permet souvent d'améliorer la nucléation et la morphologie de la couche⁹³.

(3) Piégeage de charges

Le piégeage de charges du HfO₂ et du Al₂O₃ est de 8 à 15 décades plus élevé que celui du SiO₂⁹². Une première explication serait une densité de défauts bien supérieure pour de tels diélectriques⁹⁴. Mais une autre hypothèse propose, parce que le piégeage de charge intervient près de l'interface avec le silicium, qu'une amélioration de la méthode de dépôt pourrait augmenter les performances⁹⁴. De plus, contrairement au SiO₂, le piégeage de charges se manifesterait plutôt par un remplissage des défauts existants (lacunes, interstitiels, « oxygen deficiency ») plutôt que par la création de nouveaux défauts, ce qui pose un problème quant à la qualité intrinsèque de ces diélectriques^{95 96}. De nombreuses études complémentaires sont ainsi nécessaires pour que la fiabilité intrinsèque de ces nouveaux diélectriques soit au moins équivalente à celle du SiO₂.

(4) Instabilité de la tension de seuil

L'instabilité de la tension de seuil d'un transistor dont l'isolant est un diélectrique à forte permittivité est une des caractéristiques de l'utilisation de ce type de matériaux. Elle peut

résulter de deux phénomènes : le BTI (*Bias Temperature Instability*) et surtout le blocage du niveau de Fermi (*Fermi level pinning*)⁹⁷. Elle dépend de la méthode de dépôt du diélectrique⁹⁸.

L'interface grille/isolant présente des états de surface, dus à des liaisons pendantes et à des défauts et dont les niveaux d'énergie sont situés dans la bande interdite de l'isolant. Ils ont également une composante du volume du diélectrique reliée aux états de Bloch. Si la densité d'états de surface est élevée, le niveau de Fermi de la grille va avoir tendance à s'aligner avec le niveau de plus haute énergie des états de surface pour avoir l'équilibre des charges. La force du blocage du niveau de Fermi est reliée à la densité d'états de surface et à leur profondeur de pénétration dans l'isolant⁹⁹.

Pour les grilles poly-Si dopées P associées au HfO₂, la présence de liaisons Si-Hf et de lacunes d'oxygène¹⁰⁰ implique que le niveau de Fermi ne se situe pas près du haut de la bande de valence mais plutôt sous le bas de la bande de conduction. Pour le Al₂O₃ associé à du poly-Si dopé N, l'effet est moins fort que pour le HfO₂ mais le niveau de Fermi se situe juste au-dessus du haut de la bande de valence.

L'utilisation de métaux à la place du polysilicium¹⁰¹ ou d'une mince couche de SiO₂ à l'interface métal/isolant⁹⁷ réduit le blocage du niveau de Fermi.

Le deuxième phénomène responsable de décalages de la tension de seuil est le NBTI (*Negative Bias Temperature Instability*) pour les transistors PMOS et surtout le PBTI (*Positive Bias Temperature Instability*) pour les NMOS, causés par les pièges dans le volume du HfO₂ et qui pourraient être améliorés par un recuit au deutérium¹⁰².

(5) Faible mobilité des électrons dans le canal

Les phénomènes « Coulomb scattering »¹⁰³, « phonon scattering »^{104 105 106} et « roughness scattering » limitent la mobilité des porteurs du canal respectivement à faible, moyen et fort champ électrique¹⁰⁷. Les défauts des diélectriques provoquent également une chute de la mobilité : exemple du Al₂O₃, dépourvu de « remote phonon scattering »¹⁰⁸. Nous ne développerons que le cas des interactions de type coulombien car ce sont les principales responsables de la chute de la mobilité des porteurs du canal.

La première interaction est due aux impuretés ionisées du volume du substrat et des charges d'interface¹⁰⁹. Cependant, étant le principal phénomène de scattering pour les isolants de 10nm, on ne s'y intéressera pas.

La seconde interaction est le phénomène prédominant pour les isolants de 1nm. Si la grille est en polysilicium, les charges dans la zone de déplétion réagissant avec les porteurs du canal (« remote Coulomb scattering ») et ce, d'autant plus fortement que le dopage de grille est fort¹⁰⁹. La chute de la mobilité des porteurs du canal en est d'autant plus diminuée. La présence de porteurs libres à l'interface réduit cet effet mais d'une manière insuffisante.

La troisième est l'interaction entre les porteurs du canal et les plasmons de l'électrode de grille (« plasmon scattering »), son influence étant d'autant plus forte que le dopage est élevé.

La solution envisagée est d'utiliser des grilles métalliques car elles permettent, d'une part de supprimer la déplétion de grille, et d'autre part la forte densité d'électrons masque totalement le « Coulomb scattering » et l'influence des modes surface-optique (SO) des phonons¹¹⁰. Enfin, le « plasmon scattering » est supprimé¹⁰⁹. Une amélioration de l'interface isolant/substrat permet également d'augmenter la mobilité : une couche intercalée (SiO_2 ⁹⁸, silicates), au prix d'une diminution de la constante diélectrique.

Enfin, la diffusion des impuretés dopantes de la grille dans le canal dégrade, elle aussi, la mobilité des porteurs du canal⁸⁷. Contrairement au cas du SiO_2 , ce n'est plus seulement le cas du bore, mais également des impuretés de type N : phosphore ou arsenic¹¹¹. Ici aussi, la solution semble être au détriment de la constante diélectrique puisque l'insertion d'une couche de silicium nitrurée ou d'oxynitride d'aluminium^{112 92} permet de freiner cette diffusion.

D. La grille

Avant d'aborder le sujet de la grille polycristalline et métallique, nous allons évoquer les propriétés mécaniques et électriques intrinsèques de ce matériau ainsi que les principales études menées, en particulier sur la méthode de dopage *in situ*.

1. Le polysilicium

L'apparition du polysilicium remonte au début des années 70 afin de remplacer le métal dans la réalisation de grilles de transistors MOS. Il a également été utilisé pour la première fois dans des applications piézorésistives^{113 114 115} dans les années 70 et comme matériau mécanique dans les années 80.

Le cristal de polysilicium, dont la structure peut être colonnaire ou granulaire (*Figure II-7*, d'après French et al¹¹⁶), est constitué de grains de silicium monocristallins d'orientations cristallines différentes qui sont séparés par des joints de grains. Les grains et les joints de grains sont les sièges de deux types de défauts :

- Les dislocations qui induisent l'apparition de liaisons pendantes électriquement actives.
- Les macles qui peuvent être électriquement actives ou non selon qu'elles se terminent à l'intérieur du grain (apparition de dislocations) ou en surface.

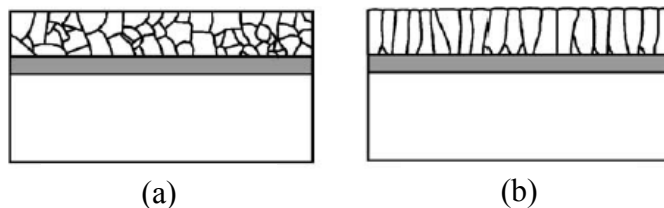


Figure II-7 : Structure granulaire (a) et colonnaire (b) du polysilicium.

a) Méthodes de dépôt du silicium polycristallin

Le polysilicium se dépose par CVD (*Chemical Vapour Deposition*) : APCVD (*Atmospheric Pressure CVD*) ou PECVD (*Plasma Enhanced CVD*), mais c'est le LPCVD (*Low Pressure CVD*) qui est le plus souvent utilisé.

(1) Dépôt et implantation ionique

Généralement, il est d'abord déposé (à partir de silane SiH_4 et, plus rarement, de disilane Si_2H_6) puis, lors d'une seconde étape, il est dopé par implantation ionique : la distribution en profondeur des impuretés est contrôlée par l'énergie du faisceau d'ions et la

quantité totale introduite (la dose) est contrôlée en mesurant le courant électrique. L'implantation ionique permet d'atteindre une excellente résolution en surface ainsi qu'une précision en profondeur de quelques dizaines de nanomètres. Cette étape est suivie d'une étape de recuit car le polysilicium est inutilisable : les ions incidents ont créé des défauts ou une amorphisation modifiant les propriétés électriques du matériau et les impuretés occupent des sites interstitiels électriquement neutres. Il est donc nécessaire d'effectuer un recuit de redistribution afin de diminuer la proportion de défauts et de déplacer les impuretés sur des sites substitutionnels sur lesquels elles seront électriquement actives.

Le recuit est généralement un recuit thermique conventionnel dans un four constitué de résistances chauffantes placées autour d'une enceinte mais d'autres méthodes existent :

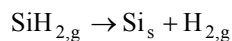
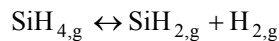
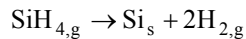
- La cristallisation par laser^{117 118 119} : le silicium, porté localement à haute température, fond tandis que le substrat reste à température relativement basse. L'avantage est qu'il en résulte des densités de défauts cristallins moindres qui conduisent à des propriétés électriques proches du monocristal. Les inconvénients sont, d'une part que cette méthode ne s'applique qu'à des couches minces (de l'ordre de 100nm) du fait que le laser émet dans l'ultra-violet qui est très absorbé dans le silicium amorphe, et d'autre part qu'une cristallisation homogène est difficile à obtenir sur une grande surface compte tenu de la dimension du faisceau.
- Le recuit thermique rapide (RTA) : la couche de silicium est illuminée par une lampe halogène émettant dans la gamme de longueurs d'ondes absorbées par le silicium pendant une durée de l'ordre de la minute, ce qui permet de hautes températures, supérieures à celles utilisées en recuit thermique conventionnel. C'est une méthode peu utilisée^{120 121} expliquée en partie par la délicatesse de la mise au point de la méthode.

En ce qui concerne le gaz utilisé, des études ont montré l'apport du disilane par rapport au silane :

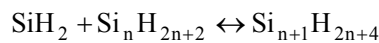
- Une température de dépôt inférieure (450 ou 475°C) à celle à laquelle le silane est utilisé. Il en résulte une mobilité supérieure, un temps de nucléation plus long, une vitesse de cristallisation plus faible et des grains plus gros pour des contraintes et une qualité cristalline à peu près équivalentes^{122 135}.
- Une résistivité plus faible pour le polysilicium dopé bore¹²³.
- Une rugosité plus faible¹²⁴.

- L'ajout d'une faible quantité de disilane au silane permet d'accélérer le dépôt¹²⁵ : l'utilisation du disilane permet des vitesses de dépôt plus élevées par rapport au silane car la quantité de silylène produite est 100 à 10000 fois plus élevée.

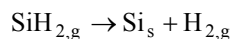
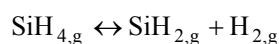
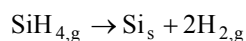
Les équations des réactions pour le silane sont :



La deuxième équation représente la décomposition par pyrolyse du silane pour donner naissance à la molécule de silylène, extrêmement réactive, qui est à l'origine de réactions en chaîne produisant des silanes d'ordre supérieur dont la quantité est toujours négligeable devant la quantité de silane¹²⁶:



Pour le disilane, les équations de la réaction sont les suivantes :



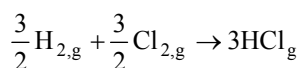
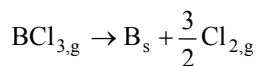
(2) Dopage in situ

La seconde méthode de dopage est le dopage *in situ* qui consiste, lors du dépôt, à ajouter un gaz source d'atomes dopants pour que le silicium soit déposé et dopé simultanément. Elle est beaucoup moins étudiée que le dopage par implantation mais comporte des avantages non négligeables : elle permet de s'affranchir de la création de défauts induits par l'implantation et du coût d'un implanteur, de réduire le nombre d'étapes du process et elle autorise le dopage simultané d'un grand nombre de plaquettes.

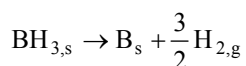
Les applications sont pourtant nombreuses : le polysilicium dopé *in situ* est utilisé pour réaliser des résistances¹²⁷, des MEMS¹²⁸, les émetteurs de transistors bipolaires¹²⁹, des TFT¹³⁰, les zones de source, canal et drain de transistors MOS^{131 132} et le premier niveau de masque de composants de puissance. Il existe également un exemple d'utilisation de cette méthode de dopage pour la réalisation de l'électrode de grille d'un transistor MOS¹³³ mais nous pouvons douter de l'homogénéité du dépôt à cause des vitesses de dépôt élevées (de 500 à 150nm/min) pour obtenir une épaisseur de 88nm. De plus, la température de dépôt (T=650°C) donne forcément un silicium déjà polycristallin alors que l'auteur affirme que le dépôt est amorphe.

Comme pour le dépôt du polysilicium non dopé, les gaz utilisés en tant que source de silicium sont généralement le silane et, plus rarement, le disilane¹³⁴ (choix motivé par la nécessité, pour les TFT, d'être compatible avec le verre, c'est-à-dire que le dépôt puisse se faire à des températures inférieures à 600°C¹³⁵). Quant aux gaz sources de dopants, il s'agit de la phosphine PH₃^{136 137} pour le type N et le trichloroborane BCl₃^{138 139 143 138 140 141 142} ou le diborane B₂H₆.

La décomposition du trichlorure de bore est supposée être¹⁴³:



Tandis que celle du diborane¹⁴⁴ est la suivante :



Peu d'études sur le polysilicium dopé bore *in situ* ont été réalisées mais les principaux résultats sont les suivants:

- La vitesse de dépôt est augmentée par la présence de bore : possédant moins d'électrons sur sa couche externe que le silicium, il diminue la densité locale

d'électrons sur les atomes de silicium en surface autour du site d'adsorption et affaiblit les liaisons chimiques entre les atomes de silicium et d'hydrogène. Le nombre de sites libres augmente, l'adsorption des hydrures de silicium s'en trouve favorisée¹⁴⁵.

- Inversement, l'acide chlorhydrique, même s'il est le produit de la réaction et est donc en faible quantité, a un effet inhibiteur sur la vitesse de dépôt¹⁴⁶: ce phénomène est dû à la compétition entre l'adsorption du HCl et du BCl₃ à la surface des plaquettes.
- Le matériau sur lequel est effectué le dépôt joue un rôle prépondérant¹⁴³: la vitesse de dépôt sur du Si₃N₄ est supérieure à la vitesse de dépôt sur du SiO₂. Cette observation est expliquée par le fait que le Si₃N₄ présente un nombre inférieur de sites de chimisorption pour le silane que le SiO₂.
- Dans un four tubulaire, des problèmes d'uniformité horizontale de l'épaisseur et de l'incorporation du bore dans le réacteur sont rencontrés surtout en présence de diborane B₂H₆ plutôt qu'avec le trichlorure de bore BCl₃: il apparaît un appauvrissement du mélange en gaz dopant le long du réacteur et par conséquent l'incorporation en atomes de bore diminue lorsque l'on s'éloigne du point d'injection¹⁴⁷. L'utilisation d'un four vertical, que nous utilisons pour le dépôt de nos couches de polysilicium, peut être la solution à ce problème.

b) Influence du dépôt et du recuit sur sa structure

Le régime de dépôt du polysilicium dépend des conditions technologiques d'élaboration: pression, débit, température. En fonction de la température de dépôt, on distingue deux types de dépôts séparés par une température de transition T_t dont la valeur varie selon que le polysilicium soit déposé dopé ou non et, dans le dernier cas, selon le niveau de dopage (*Figure II-8*, d'après¹¹⁶). Par contre, elle ne dépend pas du type de gaz utilisé.

- Si la température de dépôt est inférieure à T_t , le silicium est déposé amorphe ou mixte (ensemble de zones amorphes et cristallisées), c'est-à-dire qu'il est composé d'un ensemble de grains monocristallins séparés par une couche amorphe. Au fur et à mesure que la température de dépôt diminue, la taille des grains ne change pas alors que l'épaisseur de la couche amorphe augmente.

- Si le silicium est déposé à une température supérieure à T_t , il est déjà polycristallin et sa structure est colonnaire.

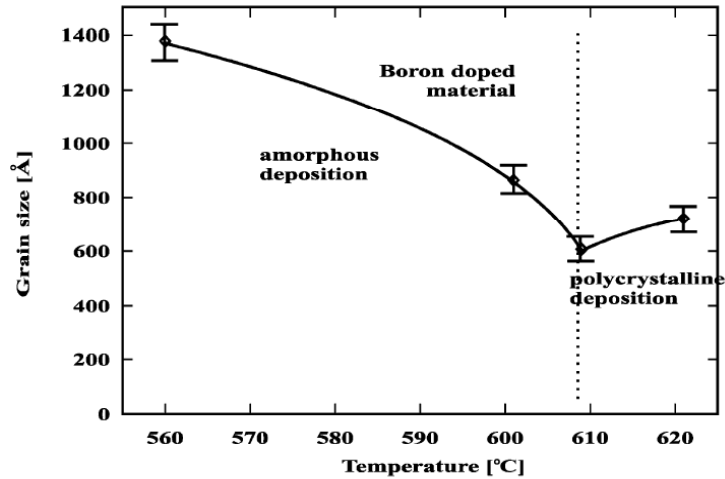


Figure II-8 : Taille des grains du polysilicium implanté bore et recuit à 1000°C en fonction de la température de dépôt (d'après 116).

Le recuit d'activation revêt une importance particulière pour que la couche amorphe prenne l'orientation cristalline des grains adjacents et se réduise. Ainsi, le polysilicium obtenu par cristallisation en phase solide du silicium amorphe présente des grains de taille nettement supérieure à celle du polysilicium obtenu directement par dépôt¹⁴⁸. De même, un dépôt amorphe, après cristallisation, permet d'obtenir une rugosité plus faible et un meilleur champ de claquage par rapport à un dépôt polycristallin¹⁴⁹. Une rugosité excessive de l'interface polysilicium/oxyde contribue à une variation du champ électrique local et à un abaissement de la hauteur de barrière, ce qui facilite la conduction à travers l'isolant.

c) Propriétés électriques et mécaniques du polysilicium

Dans les joints de grain, la jonction de deux orientations cristallines qui se rencontrent provoque la création de liaisons pendantes. Lors du dopage du polysilicium, les atomes dopants s'insèrent majoritairement dans les joints de grain et se fixent à ces liaisons pendantes, rendant les joints de grain électriquement neutres. Ils se comportent alors comme des barrières électriques similaires à des barrières Schottky¹⁵⁰ ou tunnel.

Les modèles décrivant le mécanisme de transport des porteurs à travers la barrière sont

Chapitre 1 : Position des problèmes

nombreux et ils impliquent généralement deux mécanismes :

- Le modèle de l'émission thermoionique couplé à l'effet tunnel^{151 152}.
- Un autre modèle, combinant l'émission thermoionique et la diffusion, introduit par Singh¹⁵³.

La chute de tension à travers les joints de grains étant faible, on peut considérer le joint de grain comme une résistance linéaire. Ainsi, le polysilicium peut être modélisé par des résistances mises en série (Figure II-9, d'après ¹⁵⁰) dont la résistivité totale s'exprime par la relation:

$$\rho = \left[\frac{L - (2w + \delta)}{L} \right] \rho_g + \left[\frac{2w + \delta}{L} \right] \rho_b$$

où ρ_g et ρ_b sont les résistivités respectives des grains et des joints de grain.

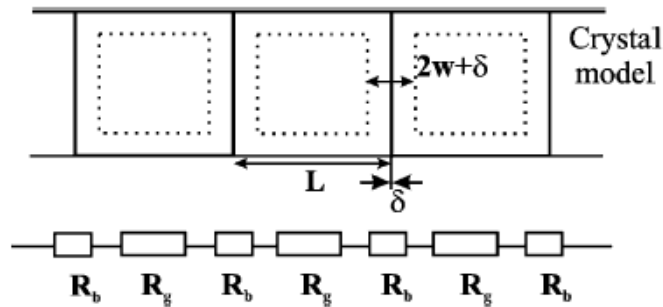


Figure II-9 : Modèle électrique du polysilicium (d'après ¹⁵⁰).

La résistivité du matériau dépend, elle aussi, des conditions de dépôt. Si le polysilicium est déposé à une température supérieure à T_t , il en résulte un nombre de pièges plus important et donc une barrière de potentiel et une épaisseur des joints de grains plus importante. Ainsi, la résistivité des joints de grains étant supérieure à celle des grains, il en résulte une plus grande résistivité du polysilicium (Figure II-10, d'après ¹¹⁶).

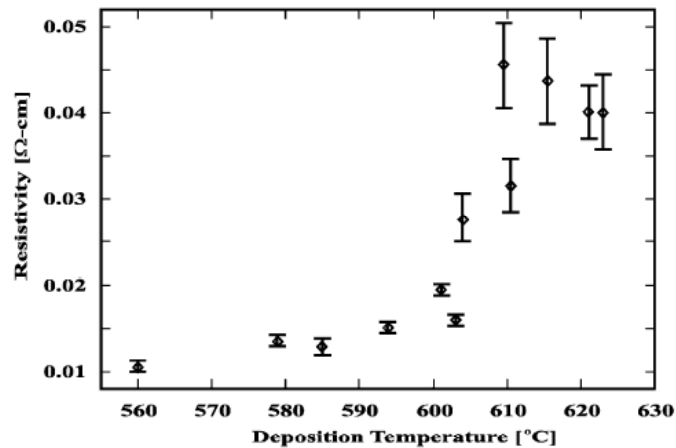


Figure II-10 : Résistivité du polysilicium en fonction de la température de dépôt (d'après 116).

De même, les conditions de dépôt du polysilicium influent énormément sur ses contraintes mécaniques intrinsèques, qui sont généralement négatives (dépôt en compression). De trop fortes valeurs de contraintes peuvent être la source de nombreux problèmes, en particulier pour les microsystemes et pour la fiabilité des transistors MOS. Une solution pour que les contraintes soient minimisées est un dépôt à une température inférieure à T_t suivi d'un recuit. Celui-ci, même effectué à basse température, permet aux zones amorphes de se cristalliser et, puisque la forme cristallisée a un plus faible volume que la forme amorphe, la modification du matériau permet de réduire la contrainte compressive. Mais il faut tenir compte qu'une compensation trop importante peut donner des contraintes en tension trop élevées.

2. Grille en polysilicium

Le choix du polysilicium en tant que matériau de grille du transistor MOS a permis de réduire les effets de canal court et de diminuer les tensions de seuil des transistors¹⁵⁴, mais aussi d'avoir un auto-alignement de la grille avec la source et le drain et une amélioration de la fiabilité des transistors.

Cependant, dans le cas de grilles P^+ , le dopage de la grille s'effectuant par implantation ionique de bore, un problème se pose pour les forts dopages lorsque l'on a affaire à des structures à faibles épaisseurs d'oxyde. Idéalement, la grille devrait être uniformément et fortement dopée, ce qui n'est pas le cas : de par la faible taille du bore, celui-ci a tendance à diffuser facilement dans la structure et il est nécessaire, d'une part d'implanter

à faible énergie ou d'implanter une faible dose de bore et d'autre part que le bilan thermique du recuit d'activation ne soit pas trop fort. Mais, dans ce cas, l'électrode de grille n'est pas entièrement dopée et la région insuffisamment dopée se comporte comme une zone dépeuplée qui augmente l'épaisseur électrique de l'isolant. De plus, si les dopants de la grille ne sont pas assez activés, on peut voir apparaître un effet de résistance série, dont la non prise en compte lors des test de fiabilité peut conduire à une surestimation du champ régnant dans l'oxyde et à une possible réduction de la capacité en accumulation^{155 156}.

Le dopage de la grille est un paramètre essentiel puisqu'il conditionne la fiabilité des transistors¹⁵⁷, nous allons donc détailler les problèmes de déplétion de grille et de pénétration du bore dans la structure.

a) Pénétration du bore dans la structure

Le dopage de la grille P^+ requiert de fortes doses de bore pour assurer une conductance suffisante. La raison est que le recuit d'activation du bore n'implique pas une ionisation totale du bore : il arrive que seulement 50% du bore soit activé¹⁵⁸ (pour des concentrations effectives de $2 \cdot 10^{19} \text{ cm}^{-3}$) car on doit avoir un faible bilan thermique. Si le bilan thermique est trop élevé, le bore, étant de petite taille et ayant un coefficient de diffusion élevé dans le silicium et le SiO_2 à haute température, va diffuser de façon excessive à travers la structure.

La conséquence est que la diffusion du bore va dégrader non seulement la qualité de l'oxyde, mais aussi le fonctionnement du transistor : la présence de bore dans l'oxyde introduit des charges fixes négatives décalant la tension de flat-band^{159 160 161} alors qu'il dégrade la mobilité des porteurs ainsi que la transconductance du transistor s'il se trouve dans le canal.

Les solutions disponibles pour remédier à la diffusion du bore sont :

- L'incorporation de faibles quantités d'azote dans la grille^{162 163} ou dans l'oxyde^{164 165} : la nitruration de l'oxyde constitue la méthode la plus utilisée.
- L'intercalage d'une mince couche de nitrure ou de silicium dopé azote (NIDOS : NIrogen DOPed Silicon)^{166 167 168} entre la grille et l'oxyde.
- De déposer le silicium sous forme amorphe réduisant les effets de canalisation lors de l'implantation¹⁶⁹.

- Des structures à base de germanium avec ou sans carbone: dépôt de SiGe^{170 171}^{172 173} ou de SiGeC. La taille des grains est ainsi plus importante que dans le cas du polysilicium standard et permet de minimiser la diffusion du bore. En outre, la proportion de germanium fixe le travail de sortie du matériau.

En ce qui concerne le polysilicium de type N (dopé arsenic, phosphore...), l'oxyde joue un rôle de barrière à la diffusion car les impuretés ont une taille élevée (le coefficient de ségrégation est supérieur à 1, contrairement au bore). Ainsi, la réduction de l'épaisseur d'oxyde ne soulève pas le problème de la diffusion des dopants de grille si l'isolant est le SiO₂. Par contre, la diffusion d'impuretés de type N devient un problème lorsque l'on utilise le HfO₂ comme diélectrique, car leurs coefficients de ségrégation deviennent équivalent à celui du bore en présence de SiO₂, favorisant leur diffusion dans l'isolant et le canal¹⁷⁴.

b) Déplétion de grille

Si la dose d'implantation de bore pour le dopage du polysilicium dopé P⁺ a été insuffisante ou si le dopant n'a pas été suffisamment activé, une zone faiblement dopée dans la grille près de l'interface grille/oxyde apparaît : c'est le phénomène de la déplétion de grille, ajoutant de 0,3 à 0,7nm à l'épaisseur « électrique » du diélectrique¹⁷⁵. Cette zone provoque une chute de potentiel qu'il n'est plus possible de négliger pour les oxydes de grille ultra-minces puisque la déplétion de grille a un impact d'autant plus fort que l'épaisseur de l'isolant diminue^{176 177 178} et que la longueur de canal se réduit¹⁷⁹. De même, la géométrie de la grille, en particulier les effets de coin, a une influence sur la déplétion de grille¹⁸⁰.

Cet effet dégrade les performances des transistors MOS : augmentation de l'épaisseur « électrique » de l'isolant (et donc diminution du courant de drain à l'état passant), diminution de la capacité de la structure en inversion pouvant atteindre 20 à 30%¹⁸¹, modification de la tension de seuil, modification du comportement du transistor sous le seuil¹⁸², surestimation de la durée de vie de l'isolant¹⁸³...

Le taux de déplétion de grille se calcule de la manière suivante¹⁸⁴:
$$G_{\%} = \frac{C_{ACC} - C_{INV}}{C_{INV}}$$

Dans le cas du transistor NMOS, la déplétion de grille, bien que plus faible, est aussi

présente et serait due, selon Moran et al ¹⁸³, à la tendance qu'ont les atomes d'arsenic ou de phosphore, à se placer dans les joints de grains du polysilicium et à devenir ainsi inactifs.

En conclusion, bien que la déplétion de grille soit un phénomène en compétition avec celui de la diffusion du bore à travers la structure, il a été montré que l'on pouvait se contenter d'un $G_{\%} < 20\%$ car il est moins pénalisant qu'une pénétration de dopants à travers l'oxyde : il n'engendre pas de dégradation significative de la transconductance ¹⁸⁵.

Les solutions proposées pour réduire la déplétion de grille sont :

- Un recuit LTP (Laser Thermal Process) après le dépôt et l'implantation ¹⁸⁶.
- Le remplacement de la grille polycristalline par une grille métallique : c'est la solution la plus probable pour l'avenir.

3. Grille métallique

Le retour à des grilles en métal permettrait de s'affranchir des problèmes apparaissant lorsque le polysilicium est associé à des diélectriques à forte permittivité (instabilité de la tension de seuil, faible mobilité des porteurs du canal). En outre, l'utilisation de métaux permet de se débarrasser de la déplétion de grille, d'obtenir des résistivités très faibles.

Deux approches sont possibles :

- L'utilisation d'un métal dont le niveau de Fermi est au niveau de la moitié du gap du silicium (exemple : Ti). L'inconvénient est qu'il en résulte de fortes tensions de seuil, que ce soit pour les transistors PMOS ou NMOS : les tensions d'alimentation pour la technologie $0,13\mu\text{m}$ étant environ de 1V, la quantité $(V_G - V_{TH})$ contenue dans l'expression du courant I_{DSAT} devient trop faible. Pour cette raison, cette solution n'a probablement pas d'avenir.
- L'utilisation de deux métaux différents : l'un à fort travail de sortie pour les transistors PMOS et l'autre à faible travail de sortie pour les NMOS. La tendance est donc à « l'ingénierie de travail de sortie de grille » pour intégrer de nouveaux matériaux : métaux (Al^{101} , Ta, TaN, TaSiN ¹⁸⁷, Mo ¹⁸⁸) ou oxydes conducteurs (IrO_2 , RuO_2 ¹⁸⁹).

Ces métaux doivent être stables thermiquement et chimiquement avec le diélectrique de grille et compatibles avec le process MOS standard. En outre, il est nécessaire de trouver une alternative à l'autoalignement de la grille et des zones de source et de drain car l'utilisation de deux métaux complique sérieusement le process. Enfin, le problème du blocage du niveau de Fermi ne semble pas être encore résolu puisque Yeo et al¹⁹⁰ montrent qu'il est plus marqué pour des grilles métalliques que pour des grilles polycristallines de type P ou N.

III.CONCLUSION

Le but de ce chapitre d'introduction était, à travers l'état actuel de la recherche, de positionner les problèmes induits par la réduction des dimensions du transistor MOS à grille polycristalline, et en particulier l'épaisseur de l'isolant de grille : la déplétion de grille et la pénétration des atomes dopants à travers la structure. Nous avons également vu que l'association du polysilicium avec des diélectriques à forte permittivité induisait des problèmes de mobilité des porteurs du canal, des instabilités de tension de seuil et, à cause de trop forts bilans thermiques, des problèmes de cristallisation de l'isolant et de stabilité au contact du silicium.

Il est probable, à l'avenir, que l'on assistera à un retour des grilles métalliques. Cependant, ces solutions sont encore au stade de la recherche car, pour l'instant, elles créent autant de problèmes qu'elles n'en résolvent, en particulier en ce qui concerne le blocage du niveau de Fermi et la complexité accrue du process induit par la nécessité de trouver deux métaux à travail de sortie différents.

Les études que nous avons menées au LAAS-CNRS concernent la méthode de dopage *in situ* à partir de disilane et de trichlorure de bore pour la réalisation de l'électrode de grille de capacités MOS. Elles portent sur deux points importants :

- Cette méthode doit entraîner un dopage uniforme dans l'électrode de grille pour supprimer la déplétion de grille habituellement constatée lorsqu'elle est dopée par implantation.

Chapitre 1 : Position des problèmes

- L'emploi du disilane comme source gazeuse autorise de faibles bilans thermiques (dépôt à 465°C et recuit à 600°C), ce qui doit permettre une diffusion du bore négligeable lors du recuit d'activation du bore.

Le dopage *in situ* a déjà été étudié dans des fours LPCVD conventionnels mais le polysilicium obtenu présentait des contraintes mécaniques trop élevées et la concentration de bore dépendait de la position de la plaquette sur la charge. Ces raisons ont été les motivations qui nous ont poussé à utiliser un réacteur vertical dont le flux des gaz est parallèle aux plaquettes et supprimant l'effet de charge.

Enfin, nous pensons qu'il y a un intérêt supplémentaire à développer cette méthode de dopage à basse température : son utilisation en association avec le HfO_2 ou un de ses silicates sans que celui-ci se cristallise.

Chapitre 2 :

Simulateurs capacité-tension et courant-tension

I. INTRODUCTION

La réduction des dimensions des transistors implique une augmentation de la valeur du dopage du canal du transistor : la *Roadmap* 2003 de l'ITRS indique que des valeurs comprises entre $2,5 \cdot 10^{18}$ et $5 \cdot 10^{18} \text{ cm}^{-3}$ seront requises dans l'avenir¹⁹¹. De telles valeurs, associées à des épaisseurs d'isolant extrêmement faibles (de l'ordre de la dizaine d'angströms), entraînent des valeurs de champ électrique très élevées à l'interface substrat/isolant du transistor et provoquent dans cette zone une forte courbure des bandes d'énergie dans les régimes d'accumulation et d'inversion du composant. Il en résulte alors une quantification des niveaux d'énergie des électrons et des trous dans leurs bandes respectives : on parle ainsi d'effets quantiques.

En ce qui concerne l'interface polysilicium/oxyde, les effets quantiques ont été toujours considérés comme négligeables mais les travaux de Spinelli¹⁹² ont montré qu'ils pouvaient aussi apparaître dans les régimes d'accumulation et de déplétion. Sachant que, de plus, le simple fait de la présence d'une barrière de potentiel abrupte à l'interface entraîne une quantification des porteurs lorsque le transistor est en régime de «bandes plates»¹⁹³, il devient évident que la quantification des porteurs à l'interface polysilicium/oxyde n'est plus négligeable.

Lorsque les isolants étaient relativement épais, il n'était pas nécessaire de prendre la quantification des porteurs en compte et l'on pouvait modéliser le transistor avec une approche classique mais l'évolution des dimensions a rendu indispensable la connaissance précise du comportement physique des porteurs. Ainsi, pour évaluer l'impact de leur caractère quantique sur le fonctionnement global du transistor, l'élaboration d'un outil de simulation basé sur une approche quantique est devenue indispensable.

Les différences entre les approches classique et quantique (*Figure I-1*), dans lesquelles les porteurs obéissent à la statistique de Fermi-Dirac, sont les suivantes :

- Lorsque le champ électrique à l'interface est faible, les bandes sont faiblement courbées et les porteurs de la couche d'inversion ou d'accumulation sont considérés comme un gaz de particules libres à 3 dimensions. C'est le *modèle classique*.
- A fort champ, les porteurs à l'interface se retrouvent confinés dans un puits de potentiel étroit et profond (entre 2 et 3 nm de largeur) dans lequel, n'étant

libres que dans un plan parallèle à l'interface, ils forment un gaz d'électrons bi-dimensionnel. C'est le *modèle quantique*.

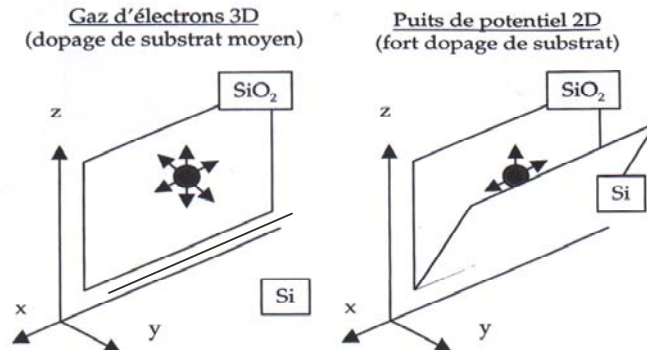


Figure I-1 : Modèles classique et quantique de répartition des électrons dans la bande de conduction.

Les conséquences de la quantification des porteurs vont se manifester par un décalage du maximum des distributions des porteurs par rapport à l'interface (*Figure I-2*) et par une désertion de porteurs à cet endroit. Ce décalage va provoquer une augmentation de l'épaisseur « électrique » de l'isolant de 3 à 4 angströms et une diminution du courant de drain du transistor MOS.

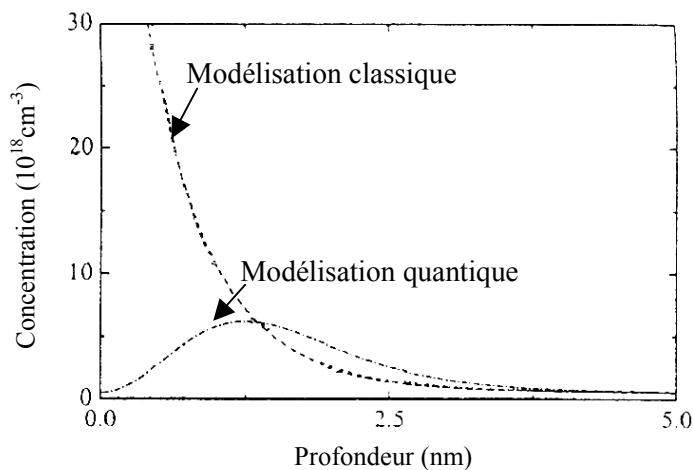


Figure I-2 : Différence entre une modélisation classique et une modélisation quantique.

La réduction de la dimension des transistors entraîne également un accroissement du passage par effet tunnel des porteurs du canal vers la grille à travers l'isolant et vice-versa. De

plus en plus, l'effet tunnel intervient à faible champ électrique et détériore le fonctionnement du transistor.

Pour l'étude du fonctionnement du transistor, il est nécessaire de comprendre les mécanismes en jeu lors de la conduction tunnel à travers l'oxyde et la modélisation de ces mécanismes est également indispensable. Le courant tunnel ne peut plus être modélisé seulement par l'équation de Fowler-Nordheim, puisque le mécanisme de conduction n'est plus le même, mais aussi par un courant tunnel direct tenant compte du caractère quantique de certains électrons et trous à l'interface électrode injectante-isolant.

Ce chapitre sera donc consacré à la présentation des approches que nous avons choisies pour développer les modèles capacité-tension et courant-tension. Nous expliquerons les différentes approximations effectuées, les formalismes utilisés (résolution auto-cohérente des équations de Schrödinger et de Poisson pour le modèle $C(V)$ et concept de la transparence pour le modèle $I(V)$) et nous donnerons des résultats de simulation pour ces deux modèles : comparaisons entre les résultats donnés par la prise en compte ou non de la contribution des états quantifiés.

II. PRESENTATION DU SIMULATEUR CAPACITE-TENSION

A. Les différentes approches

L'intérêt que suscite la modélisation de la quantification des porteurs à l'interface semiconducteur/oxyde remonte à plus de 30 ans. A cette époque, Stern¹⁹⁴ s'est intéressé à ce phénomène pour les transistors NMOS en régime d'inversion. Depuis, de nombreux travaux ont été consacrés à ce sujet et l'on pourra avoir une étude comparative de simulateurs relativement récents dans la référence¹⁹⁵.

Pour évaluer le comportement des porteurs sur la totalité de la structure, il existe deux façons de procéder.

La première consiste à résoudre les équations de Schrödinger et de Poisson sur l'intégralité de la structure, en prenant en compte les caractéristiques des trois matériaux (substrat, isolant, grille) et la pénétration dans l'isolant des fonctions d'onde associées aux

porteurs, comme par exemple dans le modèle de Lo et al¹⁹⁶. L'avantage de cette méthode est que l'on obtient une évaluation rigoureuse des fonctions d'onde dans la structure. Cependant, le problème majeur est qu'il est nécessaire d'effectuer de nombreuses simulations en jouant sur le paramètre de l'épaisseur d'oxyde pour arriver au bon résultat, ce qui est trop coûteux en terme de temps de calcul.

En séparant les calculs dans le substrat et dans la grille et en opérant un raccordement de ces calculs, il est possible d'évaluer le comportement des porteurs sur la totalité de la structure en s'affranchissant de l'épaisseur d'isolant comme paramètre initial. Cette méthode de calcul, qui constitue la deuxième approche et qui a été développée par Simonetti¹⁹⁷, permet d'économiser un temps de calcul important tout en ayant des résultats équivalents à la première méthode et c'est la raison pour laquelle nous l'avons choisie. Pour l'implémentation, nous utiliserons MATLAB car ce langage comporte de nombreuses fonctions intégrées telles que la recherche de valeurs et de vecteurs propres, la résolution d'équations de manière itérative, l'intégration de fonctions...pour simplifier la programmation.

B. Principe de la simulation

Les calculs sont effectués dans le substrat et dans le polysilicium si la grille est constituée de ce matériau (les schémas de bandes sont donnés p25). Pour chacune de ces zones, la charge et la capacité sont déterminées pour une gamme de potentiels de surface couvrant tous les régimes de fonctionnement (sauf l'inversion pour la grille puisque ce régime n'est jamais atteint) et permettant de couvrir une gamme raisonnable de tensions de grille V_G .

Le raccordement des deux séries de calcul, c'est-à-dire la recherche de la correspondance entre les potentiels de surface du substrat V_S et de la grille V_P , se fait en supposant qu'il n'y a pas de charges dans l'isolant¹ et que la structure est électriquement neutre :

$$Q_S(V_S) = -Q_P(V_P)$$

Équation II-1

¹ Nous considérons que l'isolant est parfait et que la simulation ne s'effectuera que sur des composants n'ayant été soumis à aucune contrainte susceptible d'avoir créé des pièges.

$$V_G = V_S - V_P + V_{FB} + V_{OX} \quad \text{Équation II-2}$$

Avec V_S et Q_S le potentiel de surface et la charge dans le semiconducteur, V_P et Q_P le potentiel de surface et la charge dans la grille, V_{FB} la tension de flat-band et V_{OX} la tension supportée par l'oxyde.

$$V_{FB} = \frac{E_{FS} - E_{FP}}{q} \quad \text{Équation II-3}$$

où E_{FS} et E_{FP} sont les niveaux de Fermi dans le semiconducteur et dans la grille.

$$V_{OX} = -\frac{Q_S T_{OX}}{\epsilon_{OX}} \quad \text{où } \epsilon_{OX} \text{ est la permittivité de l'oxyde.}$$

Pour chaque potentiel de surface, il faut calculer le potentiel et les distributions de porteurs, les deux équations à résoudre étant celles de Schrödinger et de Poisson. Pour résoudre l'équation de Schrödinger, il faut connaître le potentiel régnant dans la zone de calcul, donné par l'équation de Poisson. Or, celle-ci nécessite la connaissance des concentrations des porteurs, elles-mêmes données par l'équation de Schrödinger. Ces deux équations ayant des variables communes, on doit donc les résoudre de manière itérative.

Le principe de la résolution couplée de ces équations est le suivant : l'interface du substrat ou de la grille est considérée comme l'origine de la zone de calcul qui s'étend jusqu'à une distance L_S . A l'intérieur de cette zone de calcul se trouve la zone quantifiée (de 0 à L_Q) dans laquelle l'équation de Schrödinger sera résolue. On ne résoudra cette équation que dans cette zone puisque les porteurs sont quantifiés près de l'interface. Au-delà, nous les considérerons comme libres. Le gain sur le temps de calcul par rapport à une résolution sur L_S sera ainsi considérable.

Pour un potentiel de surface donné (*Figure II-1*), on se donne un potentiel de départ permettant de calculer avec l'équation de Schrödinger une première évaluation des concentrations de porteurs quantifiés (2D) sur L_Q . En parallèle, est fait un calcul de la

Chapitre 2 : Simulateurs capacité-tension et courant-tension

concentration des porteurs libres (3D) sur L_S . Pour avoir la distribution résultante, un raccordement est effectué entre les deux distributions 2D et 3D.

La densité de charge totale (trous+électrons+dopants), grâce à la méthode de convergence de Newton-Raphson^{2 197 198} appliquée à l'équation de Poisson, nous donne pour la prochaine itération la nouvelle forme du potentiel qui va être réinjectée dans l'équation de Schrödinger. Ce schéma est appliqué jusqu'à ce que la condition de convergence soit atteinte, moment à partir duquel on peut calculer la charge en intégrant la densité de charge sur la longueur de calcul L_S .

² La méthode de Newton-Raphson converge généralement rapidement et donne des résultats indépendants des conditions de départ. C'est la méthode la mieux adaptée à la résolution de systèmes d'équations non linéaires.

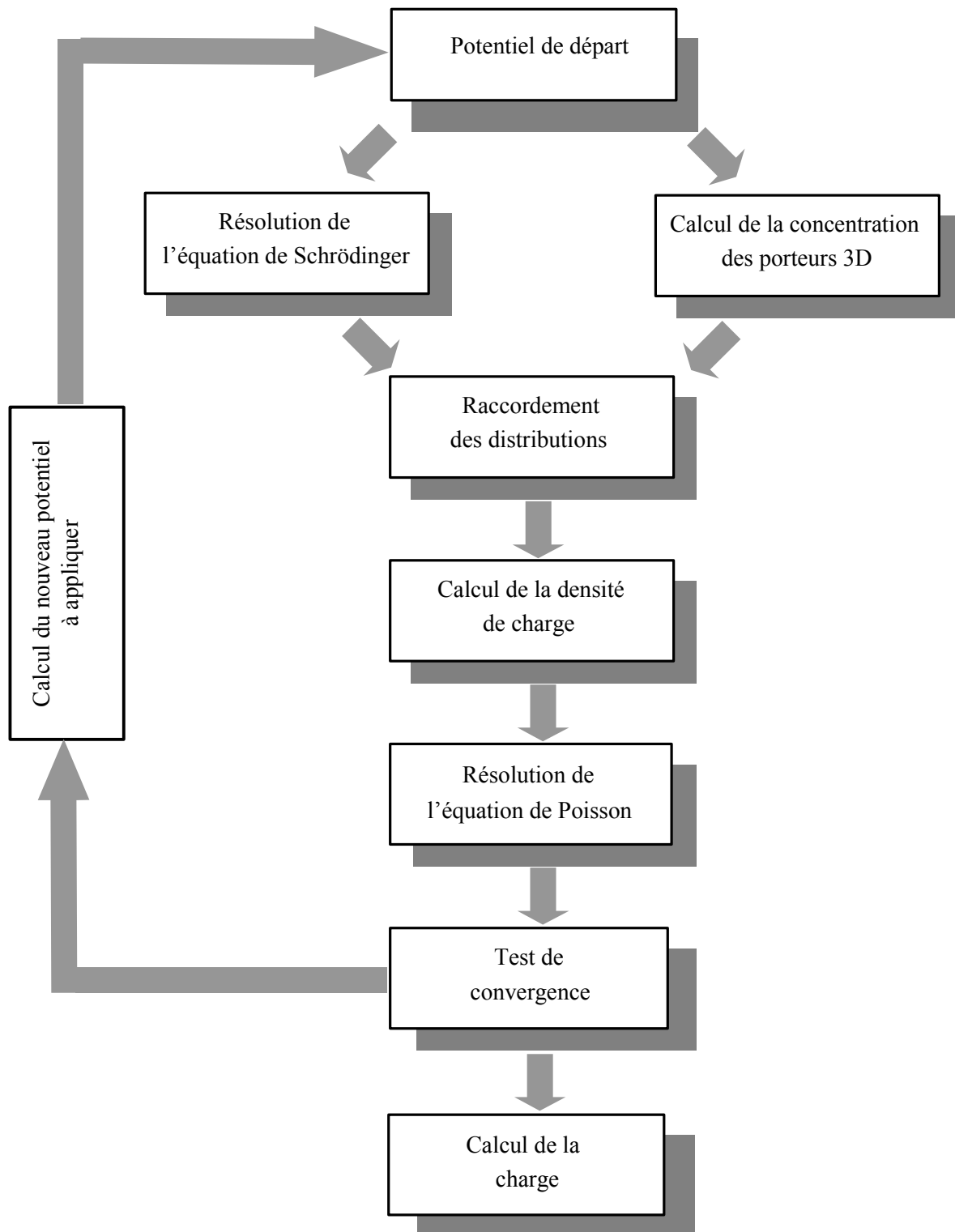


Figure II-1: Schéma représentatif du principe de calcul de la charge utilisant la résolution auto-cohérente des équations de Schrödinger et de Poisson.

C. Un peu de théorie

Ce paragraphe présente quelques notions de physique des matériaux à la base des équations qui vont être utilisées dans le simulateur et qui sont extraites de la référence ¹⁹⁹.

1. Le silicium

a) Structure cristalline

Le silicium fait partie de la famille des cristaux covalents, comme tous les éléments de la colonne IV de la classification périodique des éléments (C, Ge, Sn...). Ces éléments ont quatre électrons périphériques (électrons de valence) qu'ils mettent en commun avec quatre voisins pour établir des liaisons covalentes. Ces électrons de valence sont liés, leur énergie de liaison est forte dans le cas du carbone diamant (isolant), nulle pour le métal (conducteur) et intermédiaire dans le cas du silicium et du germanium (semiconducteurs).

Le réseau du silicium est celui du diamant, il est constitué de deux réseaux cubiques faces centrées décalés l'un de l'autre du quart de la diagonale principale (*Figure II-2*).

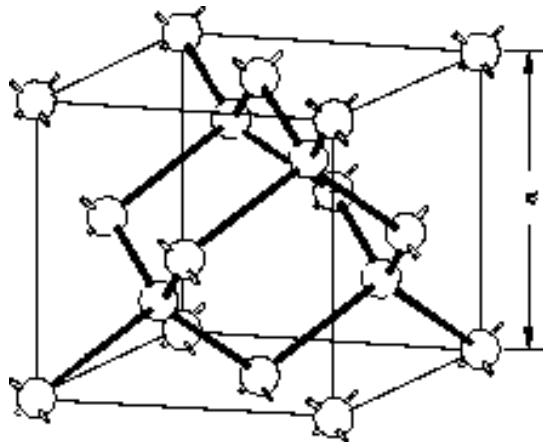


Figure II-2 : Structure du cristal de silicium.

Le minimum de la bande de conduction du silicium est situé dans la direction (001), au point d'abscisse $(0 \ 0 \ k_0)$ avec $k_0=0,85.K_x$ où K_x représente l'abscisse du point X, limite de la première zone de Brillouin dans la direction Δ (*Figure II-3*). Le maximum de la bande de valence se situant à $k=0$, et n'étant pas aligné avec le minimum de la bande de conduction, le silicium est un semiconducteur à gap indirect.

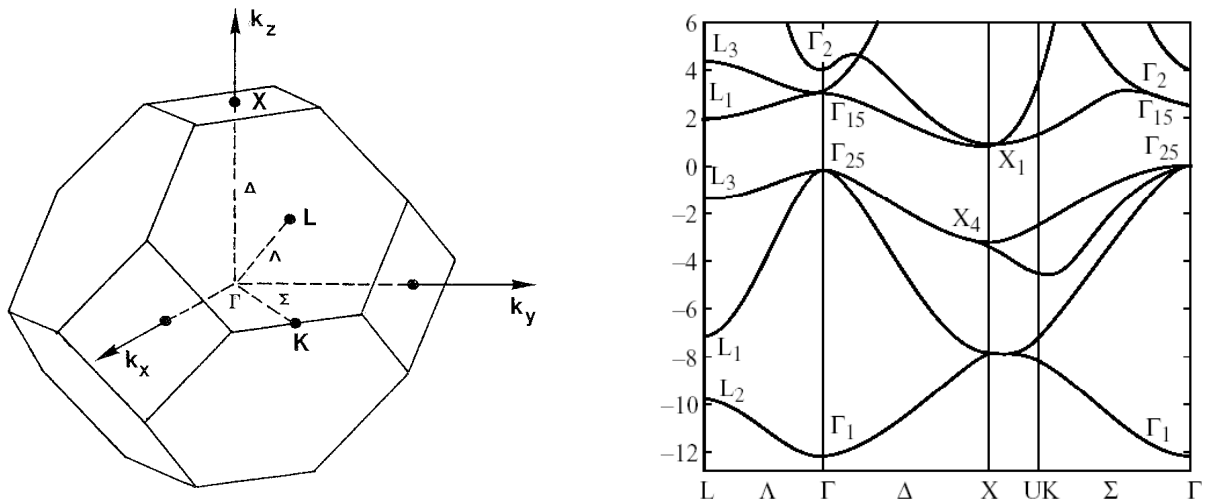


Figure II-3 : Première zone de Brillouin et structure des bandes d'énergie du silicium.

Compte tenu de la structure cubique du silicium, il existe 6 directions équivalentes qui sont (100) , $(\bar{1}00)$, (010) , $(0\bar{1}0)$, (001) , $(00\bar{1})$. La bande de conduction présente donc 6 minima équivalents : le silicium est un semiconducteur multivallée à 6 vallées (Figure II-4).

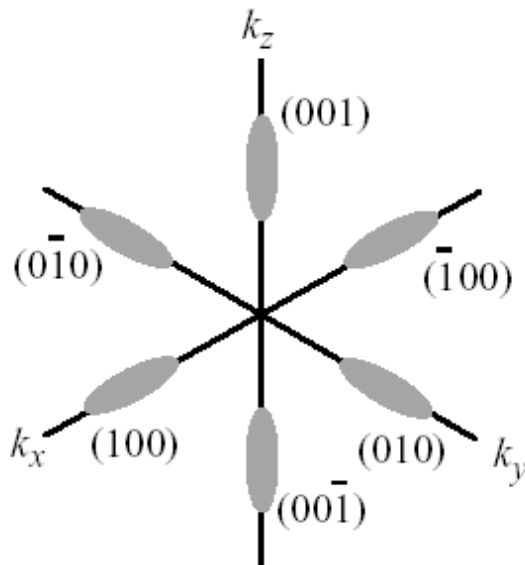


Figure II-4 : Surfaces d'énergie constante des bandes de conduction du silicium. Les minima de cette bande correspondent au centre des ellipsoïdes. Dans chacun de ces minima, les électrons sont caractérisés par leurs masses effectives longitudinale et transversale.

b) Masses effectives

Le cristal est un ensemble ordonné de noyaux et d'électrons liés entre eux par des forces essentiellement coulombiennes. Ces forces étant trop complexes pour que l'on puisse les modéliser, le concept de masse effective a été introduit : un trou ou un électron quasi-libre de charge $+e$ ou $-e$ et de masse m_0 est représenté par une quasi-particule libre de charge identique et de masse m^* que l'on appelle masse effective.

(1) Masse effective des électrons

Un électron dans la bande de conduction est caractérisé par une fonction d'onde qui est une somme de Bloch d'orbitales antiliantes. En termes corpusculaires, il est soumis à un potentiel électrostatique dû à la somme des forces exercées par les ions du réseau cristallin et les autres électrons ainsi qu'à la force résultant du champ électrique appliqué au cristal¹⁹⁹. On montre que la masse effective des électrons est donnée par la relation :

$$m_i^* = \frac{\hbar^2}{\frac{\partial^2 E(k)}{\partial k_i^2}} \quad \text{Équation II-4}$$

avec : \hbar : constante de Planck réduite.

k_i : vecteur d'onde de la particule dans la direction i .

$E(k)$: relation de dispersion de la particule.

Dans le cas d'un semiconducteur à gap indirect comme le silicium, l'expression de l'énergie dans un minimum de la bande de conduction est la suivante :

$$E(\vec{k}) = E_c + \frac{\hbar^2}{2m_l} (k_{//} - k_0)^2 + \frac{\hbar^2}{2m_t} k_{\perp}^2 \quad \text{Équation II-5}$$

dans laquelle m_l est la masse effective longitudinale (masse effective de l'électron dans son mouvement suivant l'axe de révolution de l'ellipsoïde) et m_t la masse effective transversale (masse effective de l'électron dans son mouvement dans le plan perpendiculaire à cet axe). $k_{//}$ est la composante de \vec{k} portée par l'axe de révolution de l'ellipsoïde et k_{\perp} sa composante dans

le plan perpendiculaire.

(2) Masse effective des trous

La bande de valence du silicium est composée de deux branches dégénérées en $k=0$ (figure II-5). La bande de plus grande courbure, la bande inférieure, correspond à des trous de masse effective inférieure (les trous légers), c'est la bande de trous légers. La bande de plus faible courbure, la bande supérieure, correspond aux trous lourds et est appelée bande de trous lourds. Une troisième bande de valence, abaissée de $\Delta_{so}=0,0441$ eV par rapport aux deux autres et due à l'interaction spin-orbite, sera aussi prise en compte dans ce simulateur (elle n'est pas représentée sur la Figure II-5). Généralement, elle est négligée car elle est très peu peuplée mais cette approximation est inexacte pour le silicium dans la mesure où Δ_{so} peut être de l'ordre de grandeur de $2.k_B.T$ (k_B : constante de Boltzmann) à température ambiante, entraînant un peuplement non négligeable de cette bande d'énergie.

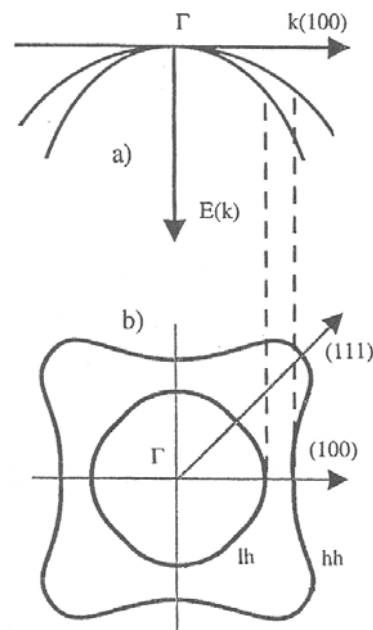


Figure II-5 : Structure de la bande de valence au voisinage de $k=0$ (a) et surfaces équi-énergie (b) des bandes correspondant aux trous lourds (hh) et légers (lh).

Bien que les surfaces équi-énergie ne soient pas isotropes en raison de la dégénérescence en $k=0$, on peut les remplacer par des sphères avec une approximation satisfaisante. On définit ainsi des masses effectives isotropes pour les trous lourds (m_{hh}), légers (m_{lh}) et ceux associés à la bande spin-orbite (m_{so}) qui vont permettre de développer les

bandes de valence dans l'approximation parabolique, comme pour la bande de conduction. Les lois sont les suivantes¹⁹⁹ :

$$E_{hh}(k) = E_V - \frac{\hbar^2 k^2}{2m_{hh}} \quad \text{Équation II-6}$$

$$E_{lh}(k) = E_V - \frac{\hbar^2 k^2}{2m_{lh}} \quad \text{Équation II-7}$$

$$E_{so}(k) = E_V - \Delta_{so} - \frac{\hbar^2 k^2}{2m_{so}} \quad \text{Équation II-8}$$

Jusqu'à aujourd'hui, aucun consensus n'a été trouvé sur les valeurs des masses effectives des trous m_{hh} , m_{lh} et m_{so} . On pourra observer dans le *tableau II-1* (page 63) les différentes valeurs ainsi que les valeurs des masses effectives des électrons relevées dans la littérature.

c) Densités d'états dans les bandes permises

Dans un cristal à trois dimensions, la densité d'états dans l'espace des \vec{k} est donnée par¹⁹⁹ :

$$g(\vec{k}) = \frac{2}{(2\pi)^3} \quad \text{Équation II-9}$$

Pour le silicium, semiconducteur à gap indirect, la densité d'états s'écrit¹⁹⁹ :

$$g(\vec{k}) = \frac{2}{(2\pi)^3} \cdot \frac{m_t}{m_l} \quad \text{Équation II-10}$$

Chapitre 2 : Simulateurs capacité-tension et courant-tension

La densité d'états en fonction de l'énergie est obtenue en explicitant k en fonction de l'énergie en utilisant l'approximation parabolique. Sachant que le nombre d'états contenus dans une sphère de rayon k et centrée en k_0 est donné par:

$$N(k) = g(k) \cdot \frac{4}{3} \cdot \pi \cdot (k - k_0)^3 \quad \text{Équation II-11}$$

La densité d'états de la bande de conduction a pour expression :

$$g_{3D,el,el}(E) = \frac{dN(E)}{dE} = \frac{1}{2\pi^2} \left(\frac{2m_c}{\hbar^2} \right)^{\frac{3}{2}} (E - E_c)^{\frac{1}{2}} \quad \text{Équation II-12}$$

avec $m_c = (6m_l^{\frac{1}{2}} m_t)^{\frac{2}{3}}$: masse effective de densité d'états à trois dimensions de la bande de conduction : $m_c = 1,06 \cdot m_0$ (m_0 : masse de l'électron dans le vide)

Les densités d'états de la bande de valence s'expriment de la manière suivante :

$$g_{3D,hh,hh}(E) = \frac{1}{2\pi^2} \left(\frac{2m_v}{\hbar^2} \right)^{\frac{3}{2}} (E_v - E)^{\frac{1}{2}} \quad \text{Équation II-13}$$

et :

$$g_{3D,so}(E) = \frac{1}{2\pi^2} \left(\frac{2m_{so}}{\hbar^2} \right)^{\frac{3}{2}} (E_v - \Delta_{SO} - E)^{\frac{1}{2}} \quad \text{Équation II-14}$$

avec $m_v = (m_{hh}^{\frac{3}{2}} + m_{lh}^{\frac{3}{2}})^{\frac{2}{3}}$: masse effective de densité d'états à trois dimensions de la bande de valence : $m_v = 0,59 \cdot m_0$ et $m_{so} = 0,29 \cdot m_0$ la masse effective de densité d'états à trois dimensions de la bande due à l'interaction spin-orbite.

De même que pour les masses effectives des électrons et des trous, les masses effectives des densités d'états des bandes de conduction et de valence sont consignées dans le *Tableau II-1*.

Référence	Masse effective longitudinale des électrons	Masse effective transversale des électrons	Masse effective des trous lourds	Masse effective des trous légers	Masse effective des trous de la bande spin-orbite	Masse effective des densités d'états 2D associées aux électrons longitudinaux	Masse effective des densités d'états 2D associées aux électrons transversaux	Masse effective des densités d'états 2D associées aux trous lourds	Masse effective des densités d'états 2D associées aux trous légers	Masse effective des densités d'états 2D associées aux trous de la bande spin-orbite
¹⁹⁹	0,916	0,191	0,53	0,16						
²⁰⁰	0,98	0,19	0,49	0,16						
¹⁹⁷ (2002)	0,916	0,19	0,52	0,16	0,29	0,19	0,417	0,52	0,16	0,29
²⁰¹ (2000)	0,916	0,191	0,29	0,2						
²⁰² (1999)	0,92	0,19	0,291	0,2	0,29	0,19	0,417	0,645	0,251	0,29

Tableau II-1: Tableau récapitulatif des masses effectives et des masses effectives de densité d'état des électrons et des trous. Cases grisées : donnée non disponible.

d) Dopage du silicium

On considère que le cristal de silicium a une orientation cristalline (100), qu'il est parfait et qu'il n'y a ni états de surface³ ni d'états d'interface⁴. Les seules impuretés susceptibles d'introduire des niveaux d'énergie permis dans la bande interdite sont les atomes dopants qui sont par ailleurs incomplètement ionisés. Ceux-ci introduisent des niveaux d'énergie près des bandes permises (énergie de liaison : voir *Tableau II-2*) et fournissent des électrons à la bande de conduction et des trous à la bande de valence respectivement pour un semiconducteur de type N ou P.

³ Pas de liaisons pendantes (on suppose qu'il n'y a pas de rupture de la périodicité du réseau) ni d'atomes étrangers à la surface du silicium.

⁴ La transition entre le silicium et l'oxyde est immédiate, il n'y a pas d'états électroniques intermédiaires entre ces deux matériaux.

Les énergies de liaison des atomes dopants les plus courants du silicium sont données ci-dessous :

	Type N		Type P	
	Phosphore	Arsenic	Bore	Indium
$E_C(z)-E_D(z)$	0,045eV	0,054eV		
$E_A(z)-E_V(z)$			0,045eV	0,16eV

Tableau II-2: Ecart entre les extrema des bandes permises et les niveaux d'énergie des dopants en fonction du semiconducteur.

La quantité de dopants ionisés varie avec la température selon les formules suivantes¹⁹⁹ :

$$\text{Atomes donneurs : } N_D^+ = \frac{N_D}{1 + 2 \cdot \exp\left(\frac{E_F - E_D}{k_b T}\right)} \quad \text{Équation II-15}$$

$$\text{Atomes accepteurs : } N_A^- = \frac{N_A}{1 + \frac{1}{4} \cdot \exp\left(\frac{E_A - E_F}{k_b T}\right)} \quad \text{Équation II-16}$$

e) Bande interdite

Le modèle utilisé est celui développé par Thurmond²⁰³ qui est valable sur une large gamme de températures (jusqu'à 1200K) :

$$E_g = E_0 - \alpha \cdot \left(\frac{T^2}{T + \beta} \right) \quad \text{Équation II-17}$$

avec : $E_0 = 1,170 \pm 0,001 \text{eV}$

$$\alpha = 4,73 \cdot 10^{-4} \pm 0,25 \cdot 10^{-14} \text{eV/K}$$

$$\beta = 636 \pm 50K$$

Des résultats de calcul de l'énergie de gap sont représentés sur la *Figure II-6* :

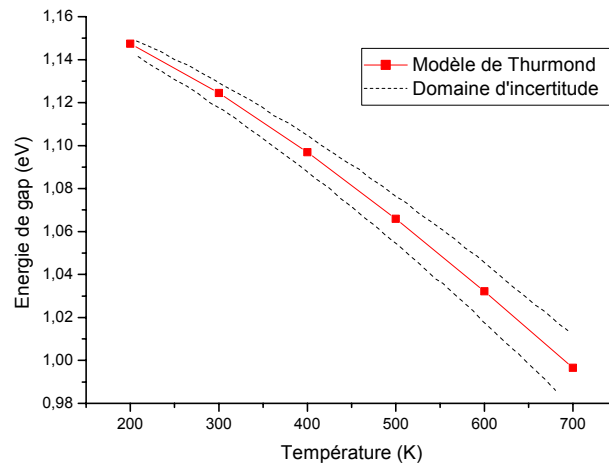


Figure II-6 : Energies de gap du silicium en fonction de la température calculées à partir du modèle de Thurmond.

f) Modélisation du comportement des porteurs

(1) Modélisation classique

Si les porteurs se déplacent librement dans le cristal, ils se comportent comme un gaz d'électrons à trois dimensions : c'est la modélisation classique.

La concentration des électrons libres dans la bande de conduction est obtenue en intégrant du bas de la bande de conduction à l'infini le produit de la densité d'état 3D par la fonction de répartition des électrons :

$$n_{3D} = \int_{E_C}^{\infty} g_{3D,et,el}(E) \cdot f_n(E) \cdot dE$$

Équation II-18

De même, la concentration des trous libres dans la bande de valence est obtenue en intégrant du haut de la bande de valence à l'infini le produit de la densité d'état par la fonction de distribution :

$$p_{3D} = \int_{-\infty}^{E_V} g_{3D,hh,lh}(E) \cdot f_p(E) \cdot dE + \int_{-\infty}^{E_V - \Delta_{so}} g_{3D,so}(E) \cdot f_p(E) \cdot dE \quad \text{Équation II-19}$$

avec $g_{3D,et,el}$, $g_{3D,hh,lh}$, $g_{3D,so}$ étant les densités d'états et f_n et f_p les probabilités d'occupation des niveaux d'énergie par les électrons et les trous.

Les électrons et les trous obéissent à la statistique de Fermi-Dirac car, d'une part, ce sont des fermions (ce qui les distingue des bosons, obéissant à la statistique de Bose-Einstein) et d'autre part la statistique de Boltzmann n'est pas utilisée, car elle surestime la concentration des porteurs près de l'interface et introduit des erreurs dans le calcul du niveau de Fermi qui aura pour conséquence une répercussion sur le calcul de la charge²⁰⁴ (Figure II-7).

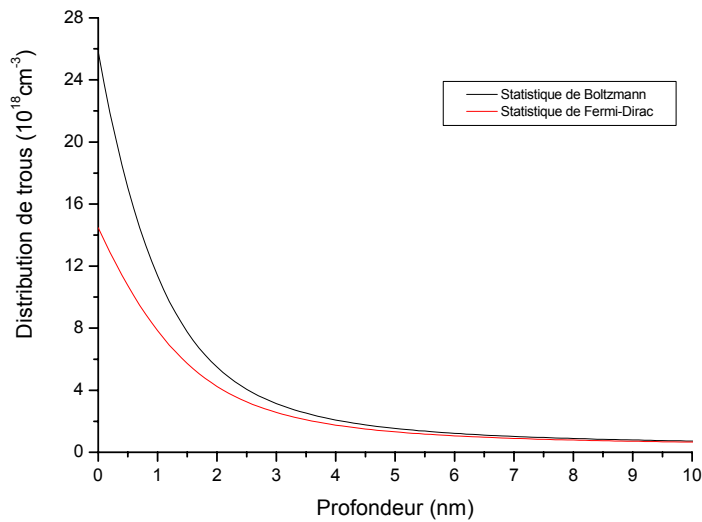


Figure II-7 : Comparaison des concentrations de trous en inversion suivant le type de statistique à laquelle ils obéissent (Boltzmann ou Fermi-Dirac) et pour du silicium de type N dopé à 10^{18} cm^{-3} .

Ainsi, les concentrations des électrons s'écrivent :

$$n_{3D}(z) = \frac{2}{\sqrt{\pi}} \cdot N_C \cdot F_{1/2} \left(\frac{E_F - E_C(z)}{k_B \cdot T} \right) \quad \text{Équation II-20}$$

Comme nous avons pris comme convention : $E_C(z) = q \cdot V(z)$,

$$n_{3D}(z) = \frac{2}{\sqrt{\pi}} \cdot N_C \cdot F_{1/2} \left(\frac{E_F - q \cdot V(z)}{k_B \cdot T} \right) \quad \text{Équation II-21}$$

De même, pour les trous :

$$p_{3D}(z) = \frac{2}{\sqrt{\pi}} \cdot N_{V1} \cdot F_{1/2} \left(\frac{E_V(z) - E_F}{k_B \cdot T} \right) + \frac{2}{\sqrt{\pi}} \cdot N_{V2} \cdot F_{1/2} \left(\frac{E_V(z) - \Delta_{SO} - E_F}{k_B \cdot T} \right) \quad \text{Équation II-22}$$

Et comme : $E_V(z) = E_C(z) - E_G$,

$$p_{3D}(z) = \frac{2}{\sqrt{\pi}} \cdot N_{V1} \cdot F_{1/2} \left(\frac{q \cdot V(z) - E_G - E_F}{k_B \cdot T} \right) + \frac{2}{\sqrt{\pi}} \cdot N_{V2} \cdot F_{1/2} \left(\frac{q \cdot V(z) - E_G - \Delta_{SO} - E_F}{k_B \cdot T} \right) \quad \text{Équation II-23}$$

avec : N_C , N_{V1} , N_{V2} densités équivalentes d'états dans les bandes de conduction, de valence et la bande due à l'interaction spin-orbite :

$$N_C = 2 \cdot \left(\frac{2\pi m_c k_b T}{h^2} \right)^{3/2}, N_{V1} = 2 \cdot \left(\frac{2\pi m_v k_b T}{h^2} \right)^{3/2}, N_{V2} = 2 \cdot \left(\frac{2\pi m_{so} k_b T}{h^2} \right)^{3/2} \quad \text{Équation II-24}$$

et $F_{1/2}$ l'intégrale de Fermi d'ordre $\frac{1}{2}$: $F_{1/2}(\eta) = \int_0^{\infty} \frac{\alpha^{1/2}}{1 + \exp(\alpha - \eta)} d\alpha \quad \text{Équation II-25}$

L'intégrale de Fermi n'est solvable que numériquement mais le temps de calcul est si long que l'on doit utiliser une approximation analytique si l'on veut un résultat rapide. Pour

cela, on utilise l'approximation de Aymerich-Humet²⁰⁵ dont l'erreur commise est inférieure à 0,53% :

$$F_j(\eta) = \left[\frac{(j+1).2^{j+1}}{\left[b + \eta + \left(|\eta - b|^c + a \right)^{1/c} \right]^{j+1}} + \frac{\exp(-\eta)}{\Gamma(j+1)} \right]^{-1} \quad \text{où } a=9,6 ; b=2,13 \text{ et } c=12/5. \quad \text{Équation II-26}$$

(2) Modélisation quantique

Le comportement des porteurs est régi par l'équation de Schrödinger dépendante du temps :

$$j\hbar \frac{\partial \Psi(\vec{r}, t)}{\partial t} = -\frac{\hbar^2}{2m^*} \Delta \Psi(\vec{r}, t) + U(\vec{r}, t) \cdot \Psi(\vec{r}, t) \quad \text{Équation II-27}$$

Pour les structures que nous allons simuler, nous avons supposé que l'équilibre thermodynamique est assuré (voir chapitre approximations), ce qui se traduit par une invariance en fonction du temps du potentiel et des distributions des porteurs. Donc, nous pouvons nous affranchir de la résolution rigoureuse de l'équation précédente et nous contenter de résoudre l'équation de Schrödinger indépendante du temps en posant :

$$\Psi(\vec{r}, t) = \Gamma(\vec{r}) \cdot \exp\left(-\frac{jEt}{\hbar}\right) \quad \text{Équation II-28}$$

Donc, l'équation de Schrödinger indépendante du temps s'écrit :

$$\left(-\frac{\hbar^2}{2m^*} \Delta + U(\vec{r}) \right) \Gamma(\vec{r}) = E \cdot \Gamma(\vec{r}) \quad \text{Équation II-29}$$

On considère que le potentiel auquel est soumise la structure est unidimensionnel, dans la direction (Oz) perpendiculaire à l'interface Si/SiO₂ et polySi/SiO₂. Cette hypothèse est

Chapitre 2 : Simulateurs capacité-tension et courant-tension

valable dans le cas d'une capacité MOS mais pas pour le transistor pour lequel il faut appliquer un traitement 2D très coûteux en temps de calcul. On pourra consulter à ce sujet les références^{206 207}.

Dans les deux autres directions, le potentiel est constant et sera choisi comme étant nul, ainsi : $V(\vec{r}) = V(z)$. Les particules étant alors libres dans le plan parallèle à l'interface, la fonction enveloppe globale s'écrit sous la forme d'un produit d'une fonction de z par une onde plane dans le plan (xy) :

$$\Gamma(r) = \Phi(z) \cdot \exp(jk_1x + jk_2y) \cdot \varphi(r) \quad \text{Équation II-30}$$

où φ est la fonction de Bloch⁵ et Φ une solution de l'équation de Schrödinger à une dimension :

$$\left(-\frac{\hbar^2}{2m_j} \cdot \frac{d^2}{dz^2} + qV(z) \right) \Phi_{i,j}(z) = E_{i,j} \cdot \Phi_{i,j}(z) \quad \text{Équation II-31}$$

avec : m_j : masse effective du porteur j .

$\Phi_{i,j}(z)$: fonction d'onde enveloppe i -ème bande.

E_{ij} : énergie des porteurs de la i -ème sous-bande.

$V(z)$: énergie potentielle à laquelle sont soumis les porteurs.

L'énergie totale de la particule est donnée par :

$$E = E_{i,j} + \frac{\hbar^2}{2m_j} (k_{j,x}^2 + k_{j,y}^2) \quad \text{Équation II-32}$$

⁵ La fonction d'onde $\Psi(\vec{r})$ d'une particule dans un réseau périodique est de la forme : $\Psi(\vec{r}) = u(\vec{r}) \cdot \exp(j\vec{k} \cdot \vec{r})$ avec : $u(\vec{r} + \vec{t}) = u(\vec{r})$. La spécificité d'une telle fonction est qu'elle a la périodicité du réseau.

Chapitre 2 : Simulateurs capacité-tension et courant-tension

Ainsi, les porteurs confinés dans le puits suivant la direction (Oz) se répartissent dans des sous-bandes d'énergie dont le minimum est E_{ij} .

L'équation de Schrödinger à une dimension est l'équation aux valeurs propres de l'énergie, elle fournit les fonctions propres Φ_{ij} associées aux valeurs propres de l'énergie E_{ij} des porteurs contenus dans les puits de potentiel formés par la bande de conduction ou de valence.

La résolution de cette équation se fait de 0 (interface) à L_Q , représentant la limite de la zone quantifiée et correspondant à la distance sur laquelle s'étend le puits de potentiel. A l'interface, la fonction d'onde s'annule car nous considérons qu'il n'y a pas de pénétration d'onde dans l'isolant (voir § II-C-2 : « Le dioxyde de silicium », page 23). Au-delà de L_Q , les porteurs ont un comportement classique (les fonctions d'ondes s'annulent), puis, dans le volume, la densité de porteurs s'annule. Ainsi, les deux conditions aux limites pour la résolution de l'équation de Schrödinger sont :

$$\Phi(z = 0) = \Phi(z = L_Q) = 0 \quad \text{Équation II-33}$$

La population de chaque sous-bande est donnée par les formules suivantes :

$$n_{i,et,el} = \int_{E_{i,et,el}}^{\infty} g_{2D,et,el} \cdot f_n(E) dE \quad \text{Équation II-34}$$

$$p_{i,hh,lh} = \int_{-\infty}^{E_{i,hh,lh}} g_{2D,hh,lh} \cdot f_p(E) dE \quad \text{Équation II-35}$$

$$p_{i,so} = \int_{-\infty}^{E_{i,hh,lh} - \Delta_{SO}} g_{2D,so} \cdot f_p(E) dE \quad \text{Équation II-36}$$

Chapitre 2 : Simulateurs capacité-tension et courant-tension

avec $g_{2D,et,el}$, $g_{2D,hh,lh}$, $g_{2D,so}$ les densités d'états 2D des électrons et des trous et f_n et f_p les statistiques d'occupation des niveaux d'énergie par les électrons et les trous gouvernées par la statistique de Fermi.

Pour un porteur j , la densité d'états 2D, fonction de la masse effective de densité d'états 2D $m_{d,j}$ ⁶, s'écrit :

$$g_{2D,j} = \frac{m_{d,j}}{\pi\hbar^2} \quad \text{Équation II-37}$$

La distribution spatiale des porteurs d'une sous-bande est donnée par le produit de la population totale de cette sous-bande par le carré de la fonction d'onde associée au niveau d'énergie de celle-ci :

$$n_{i,et,el}(z) = n_{i,et,el,TOT} |\Phi_{i,et,el}(z)|^2 \quad \text{Équation II-38}$$

$$p_{i,hh,lh}(z) = p_{i,hh,lh,TOT} |\Phi_{i,hh,lh}(z)|^2 \quad \text{Équation II-39}$$

$$p_{i,so}(z) = p_{i,so,TOT} |\Phi_{i,so}(z)|^2 \quad \text{Équation II-40}$$

Ainsi, la distribution totale de porteurs quantifiés résulte de la sommation sur tous les niveaux d'énergie de la distribution spatiale de chaque sous-bande d'énergie:

$$n_{2D}(z) = \sum_{j=et,el} \frac{k_B T m_{dj}}{\pi\hbar^2} \sum_i \ln \left(1 + \exp \left(\frac{E_F - E_{i,j}}{k_B T} \right) \right) * |\Phi_{i,j}(z)|^2 \quad \text{Équation II-41}$$

⁶ Les valeurs des masses effectives des densités d'états 2D de chaque porteur sont consignées dans le tableau I-1, page 14.

$$\begin{aligned}
 p_{2D}(z) = & \sum_{j=hh, lh} \frac{k_B T m_{dj}}{\pi \hbar^2} \sum_i \ln \left(1 + \exp \left(\frac{E_{i,j} - E_F}{k_B T} \right) \right) * |\Phi_{i,j}(z)|^2 \\
 & + \frac{k_B T m_{dso}}{\pi \hbar^2} \sum_i \ln \left(1 + \exp \left(\frac{E_{i,j} - \Delta_{so} - E_F}{k_B T} \right) \right) * |\Phi_{i,j}(z)|^2
 \end{aligned}
 \tag{Equation II-42}$$

avec m_{dj} les masses effectives des densités d'états à deux dimensions associées aux porteurs.

g) Approximation du quasi-équilibre

Pour notre modèle théorique, nous considérerons que l'équilibre thermodynamique est assuré. Pour des structures avec des oxydes de grille d'épaisseur limite estimée à environ 2nm, les porteurs obéissent à la fonction d'occupation de Fermi. Dans ce cas, la perte par effet tunnel des états quasi-liés à travers l'oxyde est toujours compensée par la génération de porteurs dans le volume du semiconducteur. C'est l'approximation du quasi-équilibre qui est massivement utilisée.

Dans le cas contraire, le processus de remplissage des états quasi-liés ne va pas être suffisant pour compenser le passage des porteurs par effet tunnel à travers l'isolant et l'occupation des états quasi-liés n'obéira plus à la statistique de Fermi-Dirac²⁰⁸. Ainsi, les équations de calcul des populations de porteurs, données par l'approximation du quasi-équilibre, ne seraient plus valables.

2. Le dioxyde de silicium SiO₂

La silice qui est utilisée dans les structures MOS est obtenue par oxydation thermique du silicium et a une structure amorphe. A première vue, il est donc impossible de représenter ce matériau avec des bandes d'énergie puisqu'il n'est pas cristallin. Cependant, des études ont fait apparaître que la silice amorphe avait des propriétés cristallines localisées. On peut ainsi admettre le caractère cristallin du SiO₂ et donc l'existence d'une structure de bandes d'énergie dans ce matériau.

Dans le simulateur, nous supposerons que l'oxyde est exempt de défauts (le potentiel régnant dans l'oxyde est linéaire) et dépourvu de charges. De plus, nous considérerons que les

fonctions d'ondes associées aux porteurs ne pénètrent pas dans l'isolant (barrière de potentiel considérée comme infinie) car il a été montré que la charge dans l'isolant Q_{ox} , située au voisinage de l'interface Si/SiO₂, est toujours négligeable par rapport à la charge du semi-conducteur¹⁹⁷ et n'entraîne aucune modification de la caractéristique C(V) de la structure. Cette approximation, rigoureusement incorrecte puisque la barrière a une valeur finie, est applicable car, d'après Haque²⁰⁹, l'erreur commise par cette approximation est inférieure à 4,5% pour un oxyde d'épaisseur 1nm. La seule conséquence est un léger décalage dans le sens perpendiculaire à l'interface²¹⁰ de la distribution des charges. D'après Mudanai²¹¹, cette approximation ne serait plus valable pour des dopages supérieurs à 10²⁰cm⁻³, ce qui n'est pas le cas des structures que nous allons étudier.

Enfin, en ce qui concerne la différence entre les affinités électroniques du silicium et du dioxyde, nous ne choisirons pas de la fixer à 3,1eV puisque sa valeur dépend à la fois de la température et de l'épaisseur de l'isolant dû à l'abaissement Schottky de la barrière²¹². Des valeurs typiques qui sont fournies à température ambiante, sans tenir compte de l'abaissement de la barrière due à la force image, sont : 2,8eV pour une épaisseur d'oxyde de 7nm ou 2,6 pour une épaisseur d'oxyde de 5nm.

3. Le polysilicium

Bien que les caractéristiques physiques du polysilicium soient très probablement différentes de celles du silicium monocristallin, aucun paramètre spécifique à ce matériau (hauteur de barrière, masse effective, permittivité...) n'a été trouvé dans la littérature, de sorte qu'il sera simplement considéré comme du silicium très fortement dopé.

Pour les semiconducteurs dont le dopage excède 10¹⁹cm⁻³, on considèrera que les impuretés sont totalement ionisées et que les interactions entre les dopants entraînent une réduction de gap d'une quantité ΔE_g dont l'expression pour du silicium de type N est la suivante²⁰⁰:

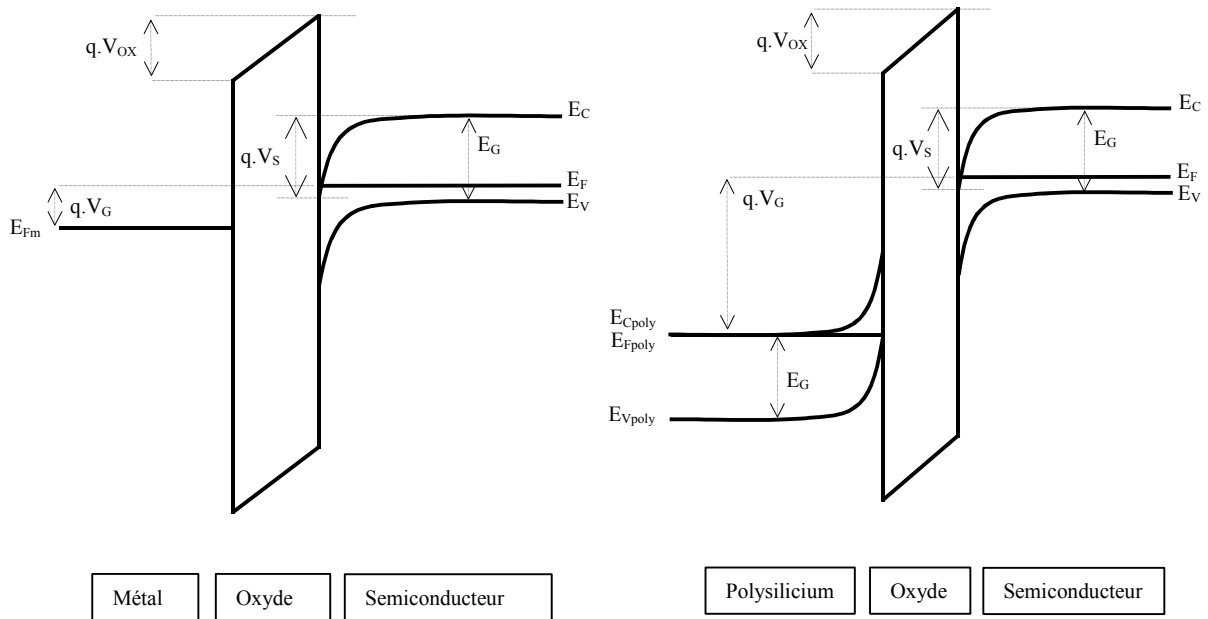
$$\Delta E_g = -0,0225 \times (N_D / 10^{18} \times 300/T)^{1/2}$$

Équation II-43

D. Etapes de calcul et résultats

1. Conventions

Les deux types de structure que nous pouvons étudier sont des capacités MOS à grille métallique ou en polysilicium. Les schémas de bandes sont représentés ci-dessous :



On note :

- E_C et E_V : énergies respectives du bas de la bande de conduction et du haut de la bande de valence du substrat de silicium monocristallin.
- E_{Cpoly} et E_{Vpoly} : énergies respectives du bas de la bande de conduction et du haut de la bande de valence de la grille en silicium polycristallin.
- E_F , E_{Fm} et E_{Fpoly} : niveaux de Fermi respectifs du substrat de silicium, de la grille métallique et en polysilicium.
- E_G : énergie de gap du silicium monocristallin et polycristallin.
- V_{OX} : tension supportée par l'oxyde de grille.
- $V_G = E_F - E_{Fpoly}$: tension appliquée sur la grille.
- $E_C(z) = q \cdot V(z)$ et $V(z=0) = V_S$: potentiel de surface du silicium.

2. Calcul du niveau de Fermi

La détermination du niveau de Fermi dans le semiconducteur se fait en résolvant l'équation d'électroneutralité dans le volume. La charge totale dans le volume du

semiconducteur étant nulle, le potentiel régnant dans le semiconducteur est nul puisque nous avons choisi de prendre l'origine des énergies sur le bas de la bande de conduction dans le volume du semiconducteur⁷:

$$\rho_{VOL} = 0 \Rightarrow p_{3D} - n_{3D} + N_D^+ - N_A^- = 0 \quad \text{Équation II-44}$$

avec n_{3D} et p_{3D} les concentrations de porteurs libres et N_D^+ et N_A^- les concentrations des dopants donneurs et accepteurs partiellement ionisés.

La résolution de cette équation se fait de manière itérative, à l'aide de la fonction FZERO de MATLAB qui utilise une combinaison de la méthode de la bissection, de la sécante et de l'interpolation quadratique inverse²¹³.

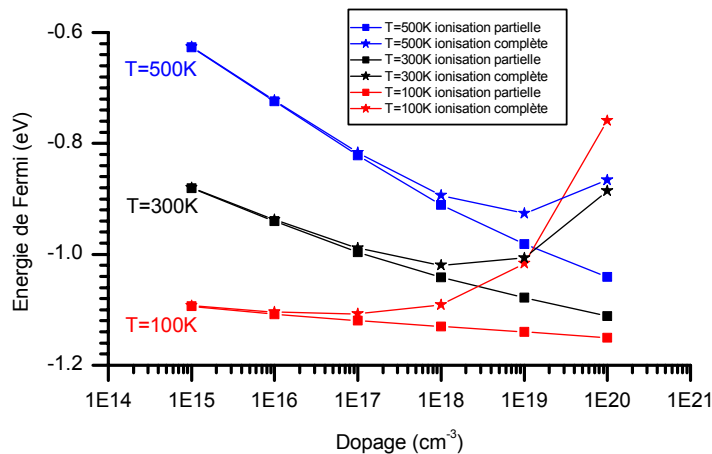


Figure II-8 : Mise en évidence de l'effet de la prise en compte de la réduction de gap pour un semiconducteur de type P lors de forts niveaux de dopage pour différentes températures.

Les résultats de calcul du niveau de Fermi dans le silicium pour des dopages de type P allant de 10^{15} à 10^{20} cm^{-3} et pour des températures de 100K, 300K et de 500K sont représentés sur la Figure II-8. Nous voyons bien que la prise en compte de l'ionisation complète des atomes dopants est indispensable pour les forts dopages. Par exemple, pour un dopage à

⁷ Les énergies sont comptées positivement pour celles étant supérieures au bas de la bande de conduction dans le volume et négativement pour celles en dessous. Par exemple, à T=300K, le haut de la bande de valence est situé à -1,12eV.

10^{20}cm^{-3} , la réduction de gap atteint 0,22eV, ce qui introduit d'importantes erreurs sur les calculs qui suivent. Nous pouvons également remarquer que la réduction du gap est amplifiée pour les faibles températures.

3. Calcul des distributions de porteurs

a) Longueurs d'études

La quantification des porteurs n'apparaît que sur quelques dizaines d'angströms à partir de l'interface, leur comportement à partir de cette limite tendant vers un comportement classique. Ainsi, pour économiser un temps de calcul précieux tout en conservant la validité du modèle, le calcul quantique sera effectué sur une longueur L_Q de 15nm, représentant la zone quantifiée¹⁹⁷.

En parallèle, un calcul classique sur toute la longueur d'étude L_S sera aussi effectué. En régime d'accumulation, nous avons choisi une longueur d'étude de 30nm. Des valeurs plus élevées ne seraient pas utiles et allongeraient le temps de calcul et des longueurs plus faibles affecteraient le calcul. Du fait du plus grand étalement du potentiel dans le régime de déplétion et d'inversion, la longueur d'étude sera choisie comme étant égale à 1,5 fois W_{DEP} , largeur de la zone de déplétion (*Figure II-9*). Ainsi, au-delà de cette limite, nous sommes certains que les distributions de porteurs et le potentiel ne varient plus.

b) Pas de calcul

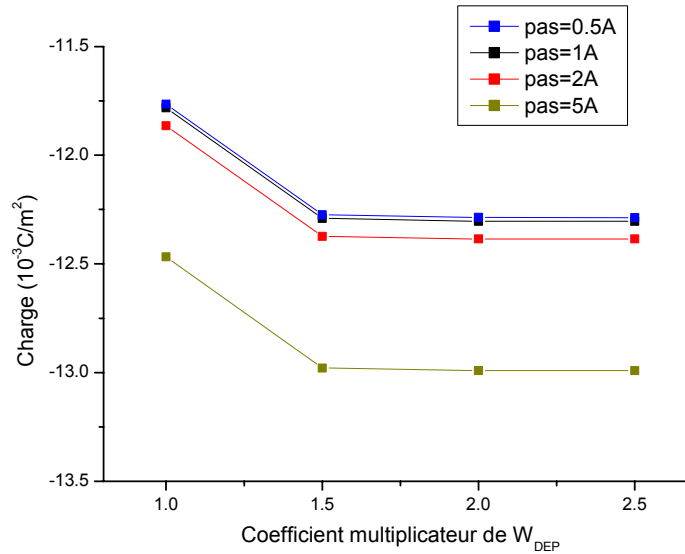


Figure II-9 : Influence sur le calcul de la charge de la longueur de la zone d'étude pour du silicium de type P dopé à 10^{18}cm^{-3} pour plusieurs pas de calcul ($V_s = -1.1 \text{V}$).

Quel que soit le régime de fonctionnement et dans les deux zones de calcul, le pas est choisi égal à 1Å pour avoir une précision acceptable. Pour la zone quantifiée, on pourrait choisir un pas de $0,5 \text{Å}$ mais, pour un temps de calcul trop long, on aurait relativement les mêmes résultats.

c) Potentiel de départ

Il est choisi linéaire car on part de l'hypothèse que la densité de charges est nulle partout dans la région étudiée, ce qui n'est seulement vrai que dans le volume. Les conditions aux limites sont $V_{z=0} = V_s$ et $V_{z=L_s} = 0$.

d) Calcul des distributions 3D

Les formules de calcul des concentrations des porteurs libres sont données au paragraphe II-C-1-f : « Modélisation du comportement des porteurs ».

e) Linéarisation et résolution de l'équation de Schrödinger

La dérivée seconde d'une fonction peut être linéarisée par la méthode des éléments finis :

$$\left. \frac{d^2 U(x)}{dx^2} \right)_{x=x_i} \approx \frac{U(x_{i+1}) - 2U(x_i) + U(x_{i-1}))}{\Delta x^2} \quad \text{Équation II-45}$$

On peut ainsi écrire l'équation de Schrödinger de la manière suivante:

$$-\frac{\hbar^2}{2m_j} \cdot \frac{\Phi_{i,j}(z_{k+1}) - 2\Phi_{i,j}(z_k) + \Phi_{i,j}(z_{k-1}))}{\Delta z^2} + qV(z_k) \cdot \Phi_{i,j}(z_k) = E_{i,j} \cdot \Phi_{i,j}(z_k) \quad \text{Équation II-46}$$

soit :

$$H \cdot \Phi_{i,j}(z) = E_{i,j} \cdot \Phi_{i,j}(z) \quad \text{Équation II-47}$$

avec :

$$H = -\frac{\hbar^2}{2m_j \cdot \Delta z^2} \begin{pmatrix} -2 & 1 & 0 & \dots & \dots & 0 \\ 1 & -2 & 1 & 0 & \dots & 0 \\ 0 & 1 & -2 & 1 & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots & \dots \\ 0 & \dots & 1 & -2 & 1 & 0 \\ 0 & \dots & 0 & 1 & -2 & 1 \\ 0 & \dots & \dots & 0 & 1 & -2 \end{pmatrix} \quad \text{Équation II-48}$$

$$+ q \cdot \begin{pmatrix} V(x_2) & 0 & \dots & \dots & \dots & \dots & 0 \\ 0 & V(x_3) & 0 & \dots & \dots & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots & \dots & \dots \\ 0 & \dots & 0 & V(x_i) & 0 & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots & \dots & \dots \\ 0 & \dots & \dots & \dots & 0 & V(x_{N-2}) & 0 \\ 0 & \dots & \dots & \dots & \dots & 0 & V(x_{N-1}) \end{pmatrix}$$

La résolution de l'équation de Schrödinger se ramène donc à la détermination des valeurs (E_{ij}) et vecteurs propres (Φ_{ij}) de la matrice H. Elle se réalise avec la fonction EIG de

MATLAB qui prend en compte les conditions initiales qui nous avons posé, c'est-à-dire que la fonction d'onde s'annule en $z=0$ et $z=L_Q$, et qui vérifie la relation de normalisation de la fonction d'onde:

$$\int_0^{L_Q} |\Phi_{i,j}(z)|^2 dz = 1$$

Équation II-49

f) Modélisation des états étendus

Les états étendus étant les états d'énergie permis aux porteurs au-dessus du puits, on pourrait les modéliser classiquement puisqu'ils ont un comportement 3D.

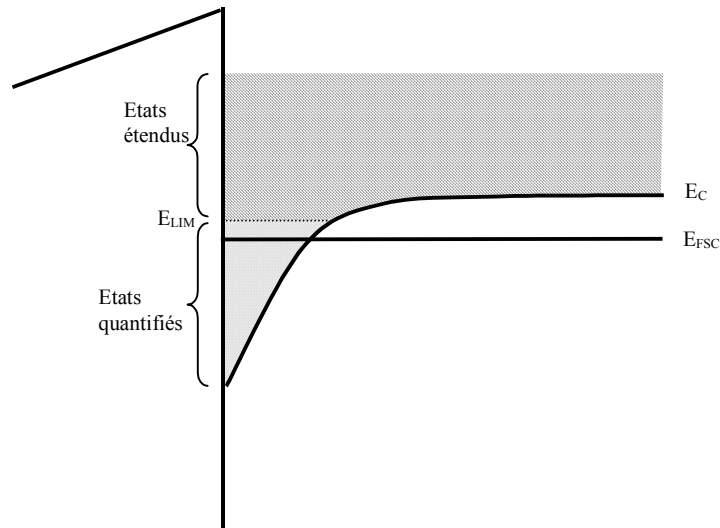


Figure II-10 : Distinction entre états quasi liés et états étendus.

Ainsi, la modélisation la plus naturelle consisterait à effectuer deux calculs différents : un premier calcul 2D concernant les porteurs d'énergies inférieures à E_{LIM} et un autre 3D pour les porteurs d'énergies supérieures à E_{LIM} ²¹⁴ (Figure II-10). La distribution totale est égale à la somme de ces deux contributions. Mais cette approche comporte deux inconvénients :

- Le premier est qu'elle ne permet pas de modéliser la quantification des porteurs pour les faibles champs électriques⁸, phénomène mis en évidence par Pacelli¹⁹³ (Figure II-11) puisque lorsque les bandes sont très faiblement courbées, cette modélisation considère qu'il n'y a pas de niveaux d'énergie quantifiés et donc que tous les porteurs sont considérés comme libres.
- Le second est qu'un mauvais choix de la valeur de E_{LIM} entraîne une erreur de calcul car les distributions de porteurs sont très sensibles à sa valeur. Le choix de E_{LIM} est donc délicat.

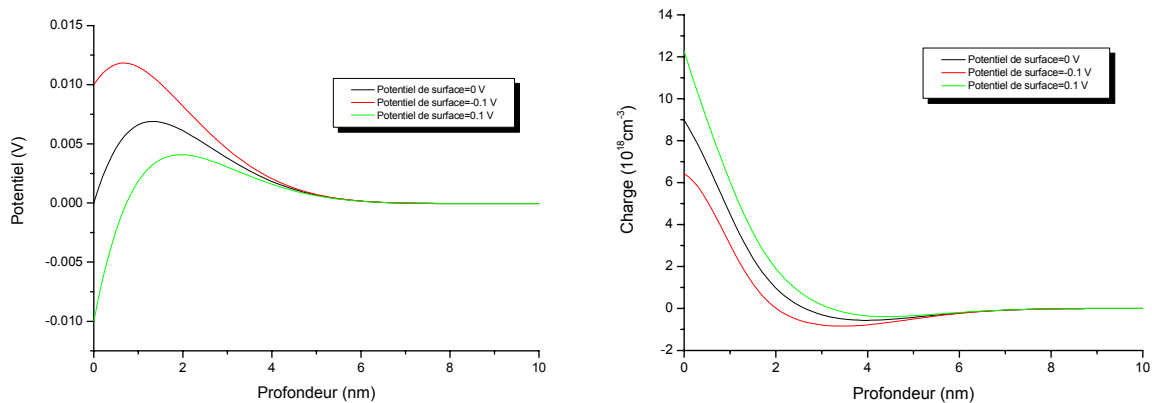


Figure II-11 : Effet Pacelli : Forme du potentiel et mise en évidence de la valeur non nulle de la charge pour des potentiels de surface proches de zéro.

Nous avons donc choisi de modéliser les états étendus en les considérant comme des sous-bandes d'énergie à 2D, c'est-à-dire qu'un nombre important de sous-bandes d'énergie sont prises en compte (y compris celles situées au-dessus du puits) de manière à ce que les états étendus y soient inclus. Cette approche permet non seulement d'avoir une continuité du modèle global sur toute la gamme de potentiels de surface mais surtout il permet de modéliser la quantification à bas champ électrique. Le nombre de niveaux d'énergies étant conditionné par la largeur de la longueur L_Q , Simonetti¹⁹⁷ a mis en évidence que le choix de L_Q au-delà de 10-20nm n'avait aucune influence sur la validité du calcul.

⁸ A champ électrique nul et pour les forts dopages ($N > 10^{18} \text{ cm}^{-3}$), le phénomène de quantification apparaît de part la discontinuité introduite par la seule présence de la barrière et se traduit par une densité de charges non nulle près de l'interface.

g) Résultats de calcul 2D

Sur les schémas ci-dessous, sont représentés les résultats de calcul de distribution 2D des trous lourds et légers. Nous n'avons pas représenté les trous liés à l'interaction spin-orbite car le schéma serait illisible. C'est pour la même raison que seules les populations des deux premières sous-bandes d'énergie sont représentées (*Figure II-12, Figure II-13, Figure II-14*).

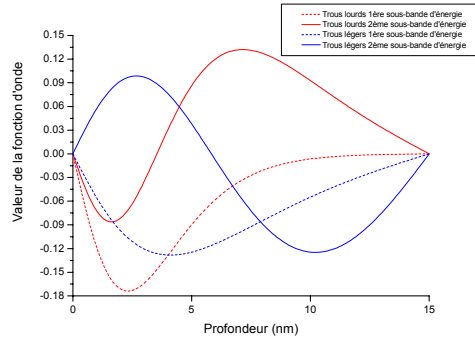


Figure II-12 : Valeurs des fonctions d'ondes associées aux trous lourds et légers des 2 premières sous-bandes d'énergie en régime d'inversion.

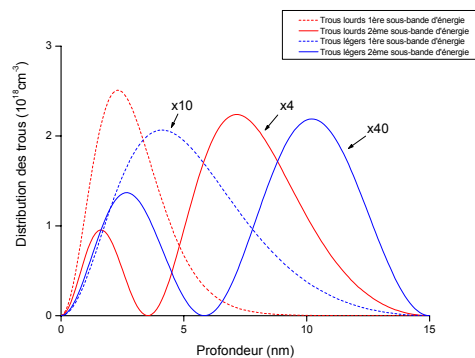


Figure II-13 : Distributions des trous lourds et légers des deux premières sous-bandes d'énergie en régime d'inversion.

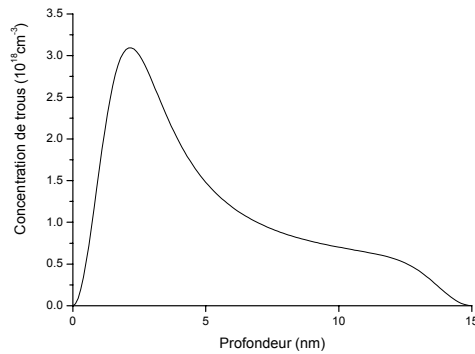


Figure II-14 : Distribution totale des trous contenus dans le puits de potentiel.

4. Raccordement

Pour obtenir les distributions de chaque type de porteur, on raccorde les distributions 2D calculées de 0 à L_Q et les distributions 3D calculées de 0 à L_S 5nm avant la limite de la zone quantifiée (Figure II-15).

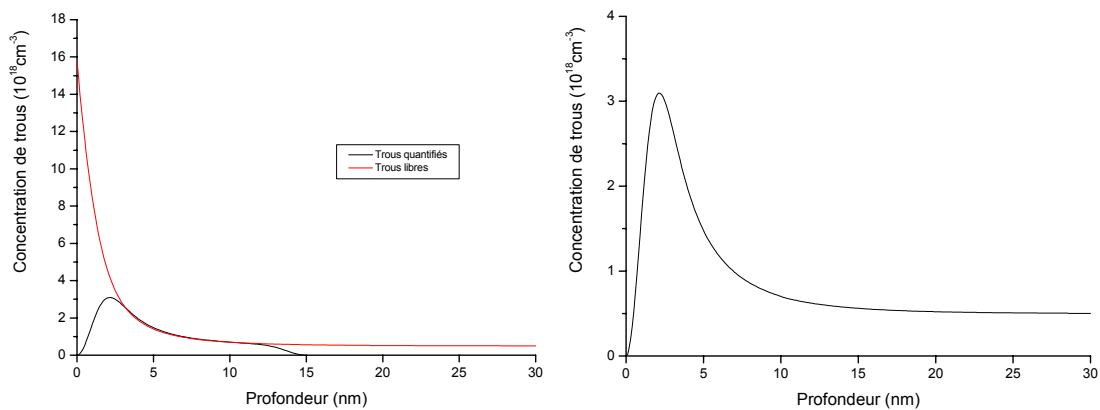


Figure II-15 : Exemple de raccordement pour les trous dans le cas d'un substrat de type P en accumulation. La longueur L_Q étant de 15nm, on raccorde autour de 10nm.

5. Résolution de l'équation de Poisson

L'équation de Poisson à une dimension s'écrit :

$$\frac{d^2V(z)}{dz^2} = -\frac{\rho(z)}{\epsilon_s} \quad \text{Équation II-50}$$

De la même manière que pour l'équation de Schrödinger, elle va être linéarisée par la méthode des éléments finis, elle va s'écrire :

$$\frac{V(z_{k+1}) - 2V(z_k) + V(z_{k-1}))}{\Delta z^2} = -\frac{1}{\epsilon_s} \rho(z_k) = -\frac{q}{\epsilon_s} (p(z) - n(z) - N_A^-(z) + N_D^+(z)) \quad \text{Équation II-51}$$

On peut donc écrire l'équation de Poisson sous la forme :

$$F(V) = 0 \Leftrightarrow MV + \frac{\Delta z^2}{\epsilon_s} \rho = 0 \quad \text{Équation II-52}$$

avec :

$$M = \begin{pmatrix} 1 & 0 & \dots & \dots & \dots & \dots & 0 \\ 1 & -2 & 1 & 0 & \dots & \dots & 0 \\ 0 & 1 & -2 & 1 & 0 & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots & \dots & \dots \\ 0 & \dots & 0 & 1 & -2 & 1 & 0 \\ 0 & \dots & \dots & 0 & 1 & -2 & 1 \\ 0 & \dots & \dots & \dots & \dots & 0 & 1 \end{pmatrix}$$

Pour la résoudre, nous allons lui appliquer la méthode itérative de Newton-Raphson dont nous donnons ici un bref rappel théorique :

Soit un système de N équations à N inconnues :

$$f(x) = 0 \Leftrightarrow \begin{cases} f_1(x_1, \dots, x_i, \dots, x_N) = 0 \\ \dots \\ f_i(x_1, \dots, x_i, \dots, x_N) = 0 \\ \dots \\ f_N(x_1, \dots, x_i, \dots, x_N) = 0 \end{cases} \quad \text{Équation II-53}$$

On part d'une solution x_0 voisine de la solution recherchée x et l'on cherche la valeur de l'incrément u à ajouter x_0 pour atteindre x , on peut alors réécrire l'équation précédente de la manière suivante :

$$f(x) = f(x_0 + u) \approx f(x_0) + J(x_0).u = 0 \quad \text{Équation II-54}$$

Où $J(x_0)$ est la matrice Jacobienne $J(x)$ du système évaluée en $x=x_0$. Son expression est :

$$J(x) = \begin{pmatrix} \frac{\partial f_1}{\partial x_1} & \dots & \frac{\partial f_1}{\partial x_i} & \dots & \frac{\partial f_1}{\partial x_N} \\ \dots & \dots & \dots & \dots & \dots \\ \frac{\partial f_i}{\partial x_1} & \dots & \frac{\partial f_i}{\partial x_i} & \dots & \frac{\partial f_i}{\partial x_N} \\ \dots & \dots & \dots & \dots & \dots \\ \frac{\partial f_N}{\partial x_1} & \dots & \frac{\partial f_N}{\partial x_i} & \dots & \frac{\partial f_N}{\partial x_N} \end{pmatrix}$$

$$\text{Ainsi, } J(x_0).u = -f(x_0) \quad \text{Équation II-55}$$

$$\text{Et donc : } u = -J(x_0)^{-1} \times f(x_0) \quad \text{Équation II-56}$$

On poursuit le processus jusqu'à ce que la convergence soit atteinte, c'est-à-dire lorsque x sera suffisamment proche de x_0 .

Appliquée à l'équation de Poisson, la dernière équation devient :

$$\Delta V = -J^{-1} \times F(V) \quad \text{Équation II-57}$$

$$\text{où : } J = \frac{dF(V)}{dV} = M + \frac{\Delta z^2}{\epsilon_s} \cdot \frac{d\rho}{dV} \cdot I$$

I étant la matrice Identité de la dimension de la matrice M.

En posant :

$$\rho(z) = -q(p(z) - n(z) - N_A^-(z) + N_D^+(z)) \quad \text{Équation II-58}$$

Le calcul de $\frac{d\rho}{dV}$ se fait en dérivant numériquement par rapport au potentiel le vecteur composé par les valeurs de la densité de charge.

On obtient ainsi la valeur de l'incrément ΔV à appliquer au potentiel V pour la prochaine itération.

6. Test de convergence

La méthode de Newton-Raphson est appliquée jusqu'à ce que la convergence soit atteinte, condition réalisée lorsque la quantité rajoutée au potentiel de l'itération précédente est inférieure à une certaine valeur. La valeur de cette dernière constitue le critère d'arrêt de la méthode.

Sur la *Figure II-16*, nous remarquons que pour une valeur inférieure à 10^{-4} eV, la charge est constante. Donc, cette valeur est suffisante pour la méthode, elle permet d'obtenir un résultat fiable tout en ayant un minimum d'itérations.

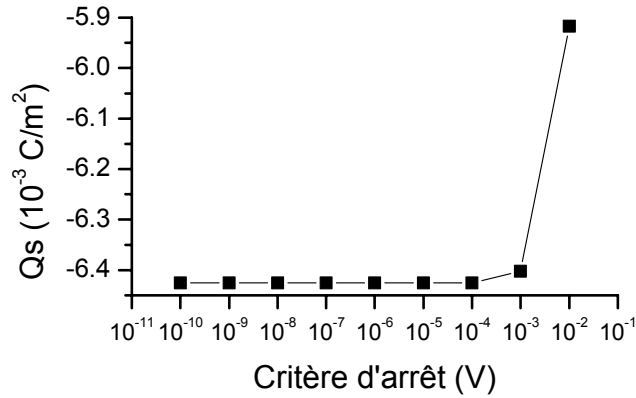


Figure II-16 : Influence de la valeur du critère d'arrêt sur le calcul de la charge d'un semiconducteur de type P, dopé à 10^{18} cm^{-3} et pour un potentiel de surface $V_s=1.1\text{V}$.

7. Calcul de la charge

Dans ce paragraphe, nous allons présenter les résultats de calcul de la charge du substrat et de la grille en fonction des potentiels de surface respectifs (Figure II-17).

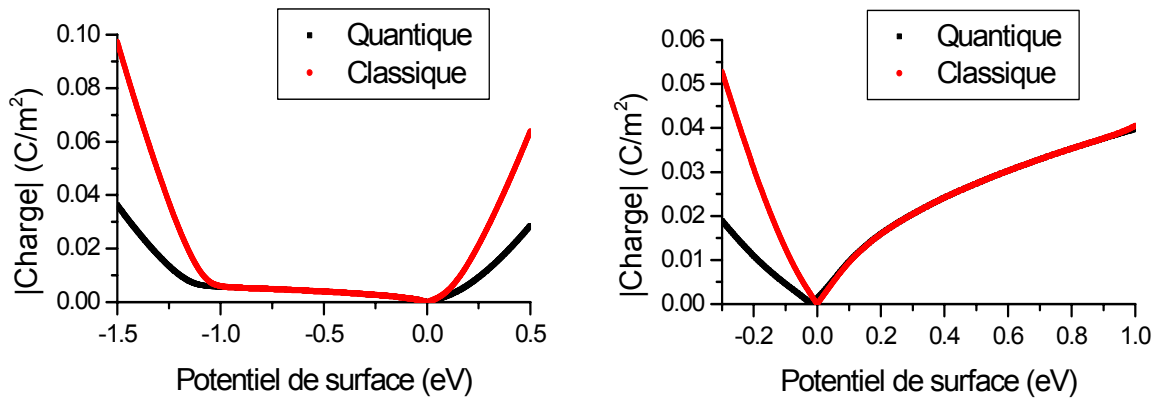


Figure II-17 : Valeur absolue de la charge du substrat (gauche) et de la grille en polysilicium (droite) en fonction des potentiels de surface. La différence entre les résultats des deux approches classique et quantique est mise en évidence. Pour le substrat, le régime d'accumulation correspond à un potentiel de surface supérieur à 0 et le régime d'inversion apparaît pour un potentiel de surface inférieur à -1eV. Pour la grille, nous voyons que seuls les régimes d'accumulation (potentiel de surface inférieur à 0) et de déplétion sont atteints car des potentiels de surface supérieurs à 1eV ne peuvent pas être atteints.

Il est évident, d'après ces résultats, que la non prise en compte de la quantification des porteurs s'avère être une erreur puisque, si l'on utilise le modèle classique, on voit nettement apparaître une surestimation de la charge en régime d'accumulation et d'inversion.

8. Calcul de la capacité

Nous avons tout d'abord pensé, à l'aide des fonctions «spline» intégrées à MATLAB, à interpoler la courbe de la charge en fonction du potentiel de surface puis en calculer la dérivée pour avoir la courbe de la capacité en fonction du potentiel de surface. Mais cette courbe présentait des discontinuités en régime de déplétion (autour de $V_s = -0.2\text{eV}$ et $V_s = -0.8\text{eV}$ pour un semiconducteur de type P).

Ainsi, nous avons opté pour une autre méthode dont le défaut principal est la multiplication par deux du temps de calcul par rapport à la méthode précédente mais faisant disparaître les discontinuités : il s'agit, pour chaque potentiel de surface, de calculer les charges correspondantes aux potentiels V_s et $V_s - ac$ (physiquement, la constante « ac » correspondrait à l'amplitude du signal alternatif que l'on superposerait au point de fonctionnement pour mesurer la capacité. Sa valeur a été choisie comme égale à $100\mu\text{V}$).

La capacité est donc définie de la manière suivante:

$$C_s = \left| \frac{Q_s(V_s - ac) - Q_s(V_s)}{ac} \right| \quad \text{Équation II-59}$$

Les résultats de calcul de capacité pour le substrat et la grille sont donnés sur la *Figure II-18*.

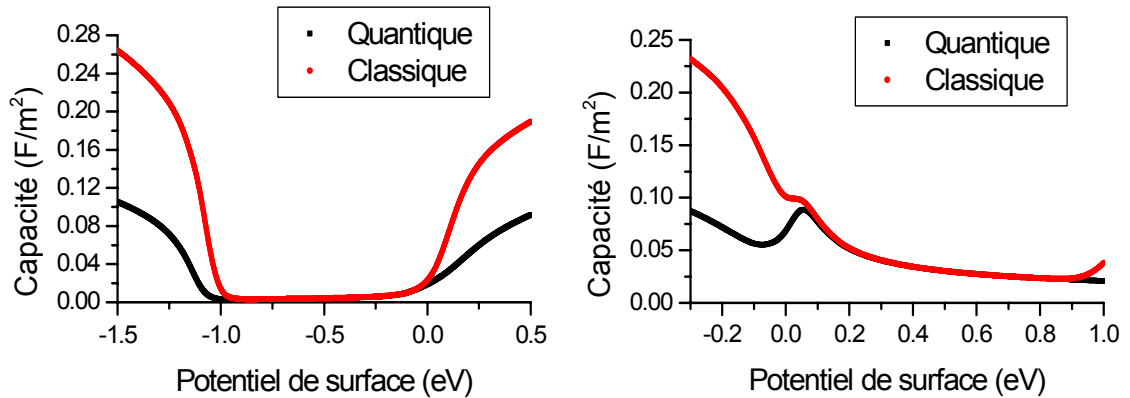


Figure II-18 : Mise en évidence de l'impact du choix du modèle classique ou quantique sur les valeurs des capacités du substrat (gauche) et de la grille (droite) en fonction du potentiel de surface.

De même que pour le calcul de la charge, la différence du résultat de calcul est flagrante pour les régimes d'accumulation et d'inversion. De plus, on peut noter un « kink » de la valeur de la capacité de la grille autour de 0 eV : celui-ci a déjà été observé expérimentalement et expliqué comme étant dû à l'ionisation incomplète des dopants dans le cas d'un fort dopage²¹⁵ ou d'un dopant à forte énergie d'activation²¹⁶.

9. Derniers calculs

La tension de « flat band » est égale à la différence des énergies de Fermi du semiconducteur et de la grille. Lorsque l'on utilisera le modèle pour simuler des mesures expérimentales, on considèrera que le décalage entre le V_{FB} théorique et le V_{FB} expérimental pourra être assimilé à la quantité de charges dans l'oxyde Q_{OX} .

La tension supportée par la capacité est égale à :

$$V = V_{substrat} - V_{grille} - V_{flatband} + V_{oxyde} \quad \text{Équation II-60}$$

La capacité totale est égale à la mise en série des capacités du substrat, de l'oxyde et de la grille (dans le cas d'une grille en polysilicium).

Sur la *Figure II-19* sont représentées les caractéristiques capacité-tension d'une structure MOS à oxyde de grille ultra mince résultant des calculs précédents ainsi que pour diverses épaisseurs d'isolants.

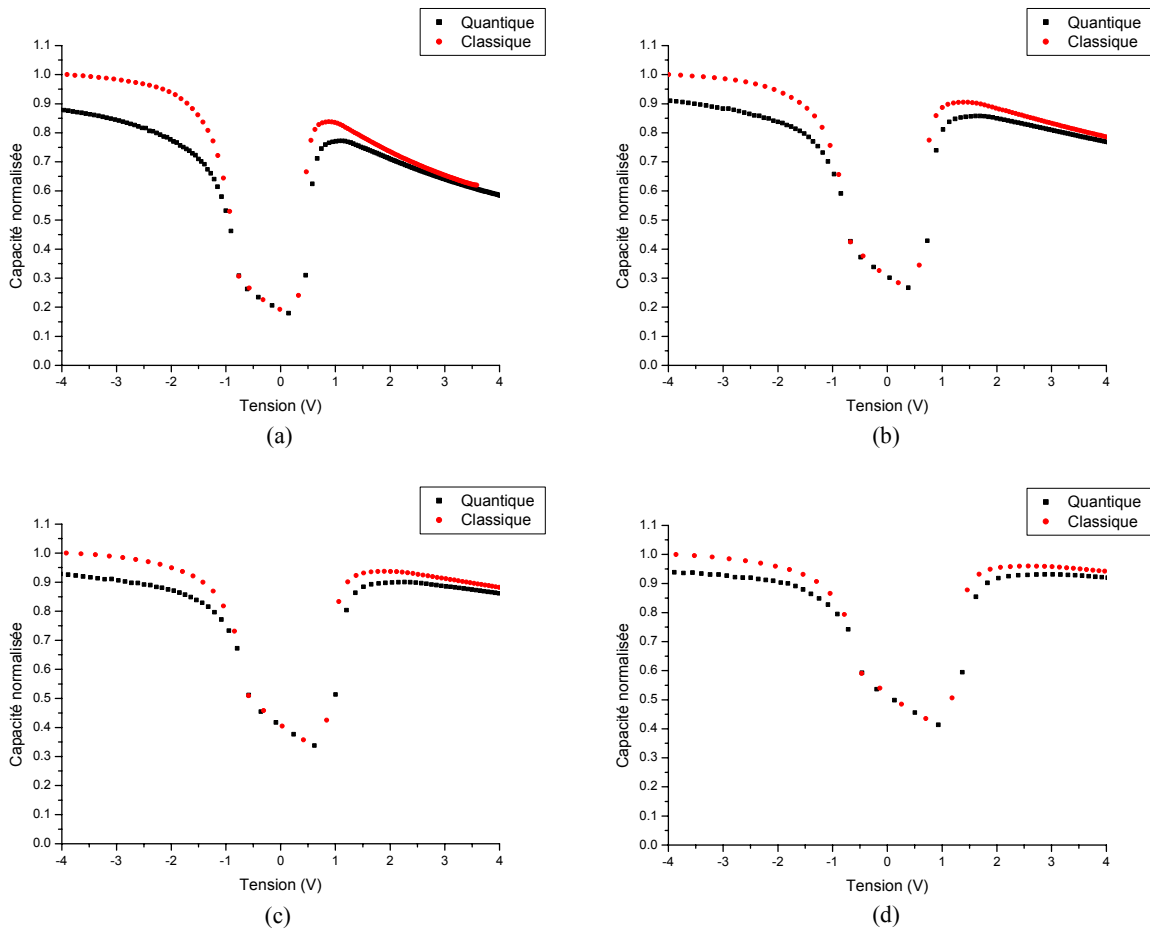


Figure II-19 :Caractéristique C(V) d'une capacité MOS avec un dopage de substrat de 10^{18}cm^{-3} et un dopage de grille de 5.10^{19}cm^{-3} et un oxyde de grille de 2nm (a), 3,5nm (b), 5nm (c) et 7nm (d) avec une approche quantique (carrés foncés) ou classique (ronds clairs).

Nous pouvons constater la différence entre les résultats de l'approche classique et de l'approche quantique : en régime d'accumulation, on observe un décalage de plus en plus important au fur et à mesure que l'épaisseur de l'isolant diminue, ce qui entraîne une erreur de plus en plus grande sur l'extraction de l'épaisseur d'oxyde (*Tableau II-3*):

	Tox=2nm	Tox=3,5nm	Tox=5nm	Tox=7nm
Erreur (%)	12	9	7	6

Tableau II-3 : Erreur approximative commise sur l'extraction de l'épaisseur de l'isolant en fonction de l'épaisseur de l'isolant T_{ox} si l'on utilise l'approche classique.

Il est important de remarquer que la prise en compte ou non de la quantification des porteurs affecte également la chute de potentiel dans les diverses parties de la capacité MOS, en particulier dans l'isolant V_{OX} . Or, nous allons voir que V_{OX} est une variable incontournable dans l'évaluation du courant tunnel. Ainsi, ce résultat illustre bien tout l'intérêt de l'approche quantique pour modéliser la caractéristique $C(V)$ de capacités MOS.

III.PRESENTATION DU SIMULATEUR COURANT-TENSION

Dans ce paragraphe, nous allons décrire le simulateur courant-tension que nous avons réalisé et présenter quelques résultats de simulation. Utilisant les résultats du simulateur $C(V)$ puisqu'il tient compte du confinement des porteurs perpendiculairement à l'interface, il est basé sur le formalisme de la transparence.

A. Définition de l'effet tunnel

L'effet tunnel correspond au passage d'un porteur d'énergie E à travers une barrière de potentiel de hauteur H telle que $E < H$. Dans une structure MOS, la forme de la barrière varie selon la polarisation (*Figure III-1*):

- Si les bandes permises de l'isolant de grille sont suffisamment inclinées, la barrière de potentiel à franchir pour la particule est triangulaire et la distance tunnel est inférieure à l'épaisseur d'oxyde: la conduction est de type Fowler-Nordheim.
- Si les bandes permises de l'isolant sont faiblement courbées, la barrière de potentiel à franchir pour la particule est trapézoïdale et la distance tunnel correspond à T_{OX} . Avec l'apparition de diélectriques de plus en plus fins ($T_{OX} < 3nm$), ce mécanisme de conduction tunnel direct apparaît à de faibles valeurs du champ électrique.

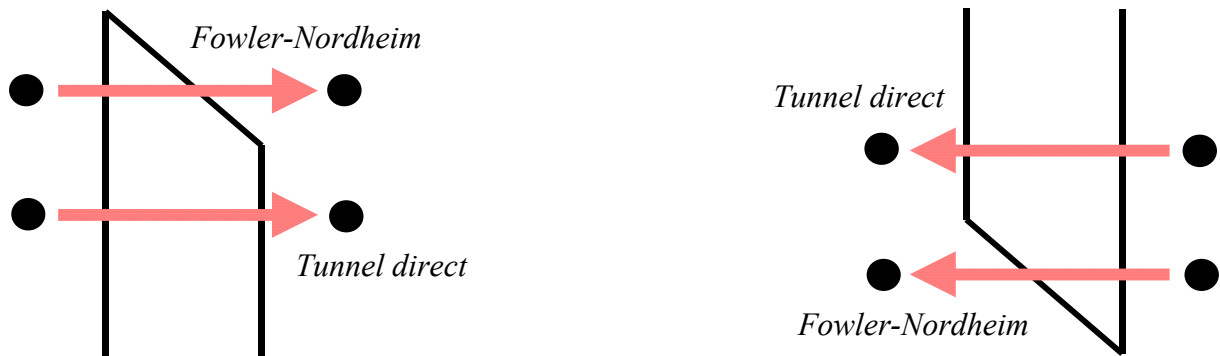


Figure III-1 : Schéma du passage par effet tunnel des électrons de la bande de conduction (gauche) et des trous de la bande de valence (droite).

A ces deux mécanismes de conduction s'ajoutent deux autres types de passage par effet tunnel (*Figure III-2*).

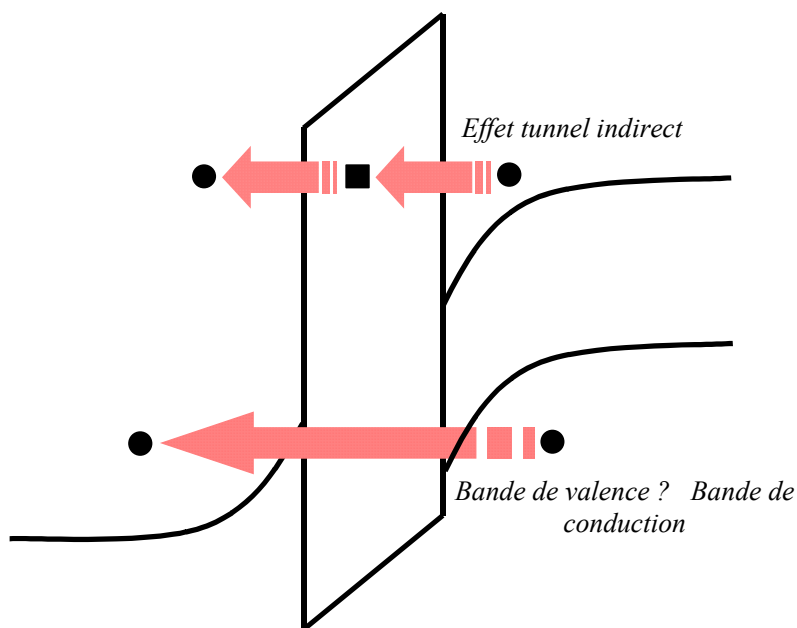


Figure III-2 : Contributions du courant tunnel que nous négligerons dans notre modèle.

Le premier est l'effet tunnel indirect et sa caractéristique est l'utilisation par les porteurs concernés de niveaux d'énergie permis dans la bande interdite de l'isolant, introduits par les défauts contenus dans l'isolant. Malgré son existence, nous ne prendrons pas en compte ce type de conduction car il est rendu négligeable par la faible densité de défauts dans les isolants ultra-minces n'ayant pas été soumis à une contrainte. La conséquence est qu'il ne sera pas possible d'étudier le SILC sur les échantillons que nous testerons à moins d'une

modification du programme prenant en compte l'influence de la charge injectée sur la transparence à travers la tension supportée par l'isolant.

Le deuxième type de conduction concerne le passage par effet tunnel direct des électrons liés de la bande de valence du substrat à travers l'isolant vers la bande de conduction de la grille. De même pour cette contribution, nous ne la prendrons pas en compte car la hauteur de barrière que ces électrons ont à franchir est trop élevée (hauteur de barrière des électrons dans la bande de conduction + énergie de gap) pour que le courant correspondant soit significatif.

B. Modélisation du courant tunnel

Il existe 3 formalismes différents pour modéliser le courant tunnel en tenant compte de la quantification des porteurs²¹⁷ : la méthode de Bardeen, l'approximation des états quasi-liés et la notion de la transparence. Ces méthodes, malgré leurs concepts physiques différents, donnent des résultats très proches. En voici une brève description.

1. L'approche de Bardeen

Cette méthode, introduite par Bardeen²¹⁸, est utilisée dans les références²¹⁹⁻²³⁷. La probabilité de passage d'un porteur situé sur un niveau d'énergie discret (état initial φ_i), traversant une barrière de potentiel, et se retrouvant dans un continuum (état final φ_f) à la même énergie E_i , est donnée par la Règle d'Or de Fermi :

$$P_{i \rightarrow f} = \frac{2\pi}{\hbar} \left| \langle \varphi_f | M | \varphi_i \rangle \right|^2 g(E_i) = \frac{1}{\tau_n} \quad \text{Équation III-1}$$

$g(E_i)$ étant la densité d'états finale, Bardeen propose d'écrire l'opérateur M , représentant la transmission, comme le recouvrement des fonctions d'onde initiale et finale, calculé en un point d'abscisse x_0 dans la barrière de potentiel :

$$\langle \varphi_f | M | \varphi_i \rangle = \frac{\hbar^2}{2m} \left[\varphi_i \frac{d\varphi_f}{dx} - \varphi_f \frac{d\varphi_i}{dx} \right]_{x_0} \quad \text{Équation III-2}$$

Le courant tunnel total est égal à la somme des contributions de chaque niveau d'énergie :

$$J = \sum_n N_n J_n = \sum_n N_n \frac{q}{\tau_n} \quad \text{Équation III-3}$$

Nous pouvons voir le principe de la décomposition de la structure MOS en deux puits quantiques sur la *Figure III-3*. Après avoir calculé les fonctions d'ondes, on peut calculer l'opérateur M :

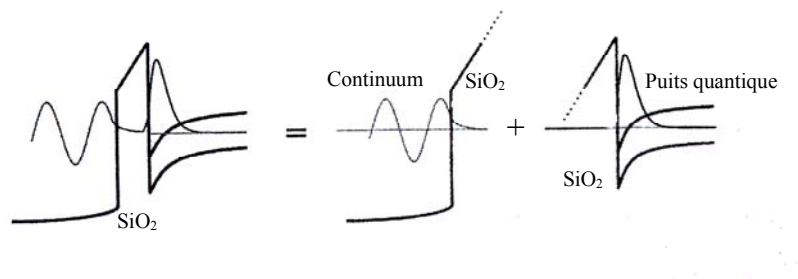


Figure III-3 : Décomposition de la structure MOS en deux puits quantiques pour la méthode de Bardeen (d'après xxix).

2. L'approximation des états quasi-liés

Les états quasi-liés sont les états contenus dans le puits de potentiel et qui, soumis à un mécanisme de dépeuplement (effet tunnel), ne se vident jamais car ils sont entretenus par des mécanismes de remplissage permettant un retour à l'équilibre thermodynamique. Ils se distinguent des états liés ou stationnaires par le fait que ces derniers ne se vident pas.

L'évolution de la fonction d'onde associée à un état quasi-lié en fonction du temps en l'absence de mécanisme de remplissage est donnée par :

$$\Psi_n(x, t) = \varphi_n(x) e^{-t/\tau_n/2} \quad \text{Équation III-4}$$

Pour le $n^{\text{ième}}$ niveau d'énergie, ψ_n est la fonction d'onde dépendante du temps, φ_n est la fonction d'onde stationnaire (on néglige l'effet tunnel) et τ_n est la durée de vie tunnel.

L'expression de l'énergie associée à ce porteur est : $E_n^* = E_n + \frac{i\hbar}{2\tau_n}$ Équation III-5

Pour une structure MOS, la dérivée de la phase du coefficient de réflexion présente des pics de résonance pour les niveaux d'énergie des états quasi-liés. La largeur de ces pics est reliée à la durée de vie tunnel (*Figure III-4*).

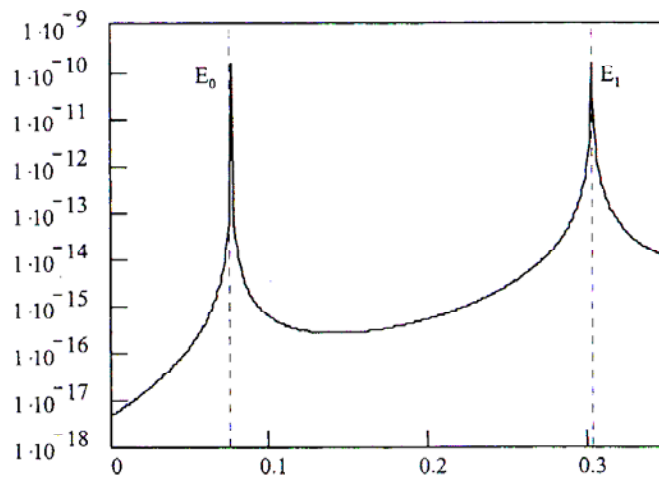


Figure III-4 : Pics de résonance du coefficient de réflexion relatifs aux deux premiers états quasi liés (d'après xxix).

Cette méthode est largement utilisée^{196 220 221 222 223 224} mais sa programmation pose d'épineux problèmes numériques du fait de la nécessité de détecter avec une grande précision les pics de résonance et d'en calculer leur largeur²²¹.

3. La transparence.

Cette méthode^{225 226 227}, qui est basée sur l'approximation semi-classique WKB (Wentzel-Kramer-Brillouin), permet d'obtenir des résultats analytiques. La durée de vie tunnel est calculée de la manière suivante:

$$\frac{1}{\tau_n} = T_n f_n$$

Équation III-6

avec, pour le $n^{\text{ième}}$ niveau, la transparence T_n et la fréquence d'impact f_n .

Plusieurs approches sont possibles en ce qui concerne le calcul du nombre de porteurs disponibles pour franchir l'isolant par effet tunnel : un calcul purement quantique (résolution auto-cohérente des équations de Schrödinger-Poisson)²²⁶ ou un calcul approché, en considérant le confinement des porteurs dans un puits triangulaire^{230 228} ou exponentiel²²⁹.

Le défaut de cette méthode était qu'elle ne prenait pas en compte la contribution des porteurs réfléchis à l'interface lors qu'ils traversent l'isolant par effet tunnel direct, jusqu'à ce que Register propose d'introduire un terme correcteur : c'est l'approximation WKB modifiée²³⁰. Produisant des résultats proches des simulations numériques, son travail ne prend pas en compte le caractère 2D des porteurs mais d'autres auteurs proposent d'appliquer le facteur correctif à chaque niveau d'énergie confiné^{226 197}.

En fait, cette approche est contradictoire : généralement, on considère comme triangulaire le puits de potentiel de l'électrode injectante pour déterminer l'expression de la transparence (approche semi-classique du problème)²³⁰ alors que les niveaux d'énergie utilisés dans la formule de la vitesse du paquet d'ondes des particules sont calculés à l'aide de la résolution auto-cohérente des équations de Schrödinger-Poisson. Cependant, elle donne de bons résultats, comme nous l'avons précisé, proches des modèles numériques.

4. Masses effectives des porteurs dans l'oxyde

Le sujet de la modélisation des masses effectives des électrons et des trous dans l'isolant est un sujet de controverse : bien qu'il ait été montré que la masse effective des électrons dans l'oxyde n'est pas constante²³¹, les auteurs choisissent, pour plus de simplicité, de représenter les électrons par une masse effective constante.

Dans le cas des électrons, certains auteurs représentent la structure de bandes du SiO₂ par le modèle de dispersion de Franz ($m_{\text{ox}}=0,55m_0$ ²³² ou $m_{\text{ox}}=0,61m_0$ ²³³) alors que d'autres ont choisi une approximation parabolique^{197 236}, moins rigoureuse mais étant équivalente à la

relation de dispersion de Franz par un simple ajustement de la masse effective des électrons ($m_{ox}=0,5m_0$ ^{234 219} ou $m_{ox}=0,31m_0$ ²³⁵).

En ce qui concerne les trous, la structure de bandes du SiO₂ a toujours été représentée par le modèle de dispersion parabolique ($m_{ox}=0,42m_0$ ²³⁶ ou $m_{ox}=0,33m_0$ ²³⁷ ou $0,51m_0$ ²³⁸) alors que Hou²²⁸ pense que ce modèle n'est adapté que pour des épaisseurs d'isolant inférieures à 2nm et que le modèle de dispersion le plus adapté pour les trous serait celui de Freeman-Dahlke.

Pour notre modèle, nous avons choisi de prendre, pour les électrons, $m_{ox,e}=0,52m_0$ et $m_{ox,p}=0,33m_0$ pour les trous, dans une approximation parabolique.

5. Force image

Négligeable jusqu'à des épaisseurs d'oxyde de 1nm²³⁹, l'influence de la force image ne sera pas prise en compte. Résultant de la discontinuité de la constante diélectrique à l'interface isolant/semiconducteur, elle a pour conséquence d'arrondir les coins de la barrière de potentiel et d'en réduire la hauteur (*Figure III-5*, d'après²¹²). Il y a une controverse sur son influence sur la valeur de la transparence de la barrière tunnel^{227 240 231 239 241} mais les dernières publications laissent à penser que la non prise en compte de l'abaissement de la hauteur de barrière due à la force image induirait des erreurs importantes sur le calcul de la transparence et des oscillations de courant en régime tunnel direct²⁴². Quoiqu'il en soit, nous la négligerons dans notre simulateur.

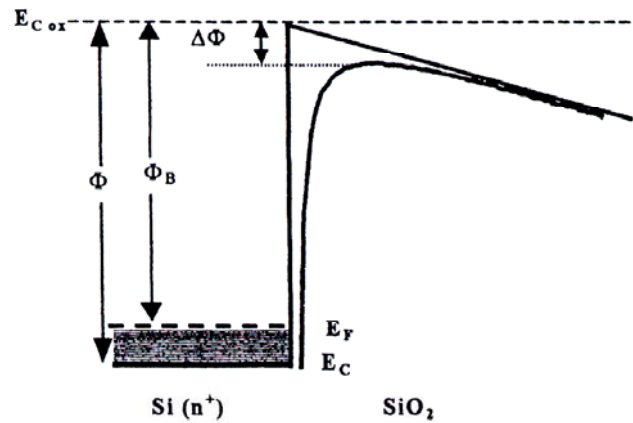


Figure III-5 : Représentation de l'abaissement et de l'arrondissement de la hauteur de barrière de potentiel due à l'isolant (d'après xxii).

C. Modélisation choisie

Notre choix s'est porté sur une modélisation analytique du courant tunnel à l'aide du formalisme de la transparence non seulement pour des choix de facilité de mise en œuvre et pour la rapidité de calcul mais aussi parce que cette méthode utilise les niveaux d'énergie calculés avec le simulateur C(V).

Nous nous sommes ainsi inspirés du modèle de Simonetti¹⁹⁷ dans lequel le calcul de la densité de courant par porteur et par niveau d'énergie peut se résumer par la formule suivante :

$$J_{i,j}(E) = \int q f_{i,j} g_{2D,j} f(E) T(E) dE \quad \text{Équation III-7}$$

où $f_{i,j}$ est la fréquence d'impact de la fonction d'onde du porteur de type j (électron ou trou) sur le niveau d'énergie i , $g_{2D,j}$ la densité d'états à deux dimensions du porteur j , $f(E)$ la fonction de Fermi-Dirac et $T(E)$ la probabilité de transmission du porteur à travers l'oxyde ou transparence.

Le courant total est égal à la somme de toutes les contributions : $J = \sum_j \sum_i J_{i,j}$ Équation III-8

1. Fréquence d'impact

La méthode pour calculer la fréquence d'impact considère le puits de potentiel triangulaire ^{Erreur ! Signet non défini. 229 230}. L'expression pour calculer la fréquence d'impact est la suivante :

$$f_{i,j} = \left(2 \int_0^{z_{\text{turn}}} \frac{dz}{v_z} \right)^{-1} \quad \text{Équation III-9}$$

où z_{turn} est la distance par rapport à l'interface où l'énergie $E_{i,j}$ considérée coïncide avec la base de la bande de conduction et v_z , vitesse du paquet d'ondes de la particule considérée.

Pour l'électron, elle est donnée par :

$$v_z = \sqrt{\frac{2(E_{i,j} - qV(z))}{m_j}} \quad \text{Équation III-10}$$

Pour les trous, la formule devient ^{Erreur ! Signet non défini.}

$$v_z = \sqrt{\frac{2(E_{i,j} - qV(z) - E_g)}{m_j}} \quad \text{Équation III-11}$$

Sur la *Figure III-6*, sont représentés les calculs des fréquences d'impact en fonction du niveau d'énergie pour deux régimes de fonctionnement : la déplétion et l'inversion.

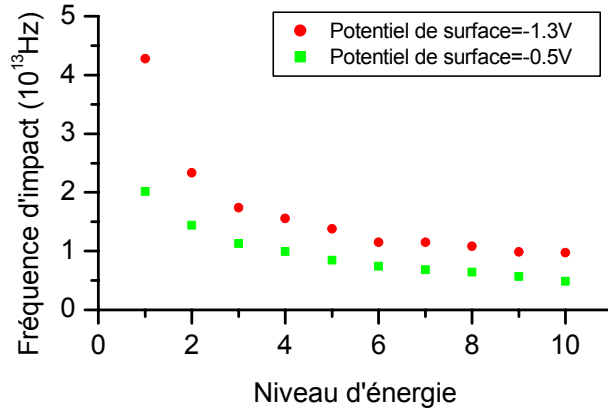


Figure III-6 : Résultats du calcul de la fréquence d'impact en fonction du niveau d'énergie pour des électrons longitudinaux en régime de déplétion (-0,5V) et d'inversion (-1,3V) pour un semiconducteur de type P dopé à 10^{18}cm^{-3} .

2. Transparence

Le calcul de la transparence s'effectue en se plaçant dans l'approximation semi-classique WKB (Wentzel-Kramers-Brillouin) à laquelle nous appliquerons le facteur correctif introduit par Register pour prendre en compte, lors de l'effet tunnel direct, la part de porteurs réfléchis à l'interface correspondante à l'électrode injectante.

$$T_{\text{WKB}}(E) = \exp \left[-2 \int_0^{z_{\text{ox}}(E)} |k_{\text{ox},j}(E, z)| dz \right] \quad \text{Équation III-12}$$

où $x_{\text{ox}}(E)$ est la distance tunnel vue par le porteur d'énergie E ($x_{\text{ox}}(E)$ est égal à T_{ox} pour un passage par effet tunnel direct et est inférieur à T_{ox} pour un passage par effet Fowler-Nordheim) et $k_{\text{ox},j}(E, z)$ le vecteur d'onde du porteur j dans l'oxyde.

La relation de dispersion étant parabolique, $k_{\text{ox},j}(E)$ s'écrit :

$$k_{\text{ox},j}(E, z) = \sqrt{\frac{2m_{\text{ox},j}}{\hbar^2} (qV_{\text{ox}}(z) - E)} \quad \text{Équation III-13}$$

Ainsi, l'expression de la transparence pour un électron soumis à l'effet tunnel direct s'écrit :

$$T_{TD_{WKB}}(E) = \exp \left[-\frac{8\pi}{3} \frac{T_{ox} \sqrt{2m_{ox,j}}}{qV_{ox} h} \left((q\Phi_{ox,j} - E)^{3/2} - (q\Phi_{ox,j} - qV_{ox} - E)^{3/2} \right) \right] \quad \text{Équation III-14}$$

Pour un électron soumis à l'effet Fowler-Nordheim :

$$T_{FN_{WKB}}(E) = \exp \left[-\frac{8\pi}{3} \frac{T_{ox} \sqrt{2m_{ox,j}}}{qV_{ox} h} (q\Phi_{ox,j} - E)^{3/2} \right] \quad \text{Équation III-15}$$

avec V_{ox} la tension supportée par l'oxyde, $m_{ox,j}$ la masse effective du porteur j dans l'isolant et $\Phi_{ox,j}$ la différence d'affinité électronique entre le silicium et le SiO_2 vue par le porteur j (voir § II-C-2 « Le dioxyde de silicium », page 23).

Le facteur correctif introduit par Register²³⁰ a pour expression :

$$T_R(E) = \frac{4 \times \sqrt{\frac{2(E_{i,j} - qV_s)}{m_j}} \times \sqrt{\frac{2(\Phi_{ox,j} - qV_{ox} - E_{i,j})}{m_j}}}{\frac{2(E_{i,j} - qV_s)}{m_j} + \frac{2(\Phi_{ox,j} - qV_{ox} - E_{i,j})}{m_j}} \times \frac{4 \times \sqrt{\frac{2(E_{i,j} + qV_{ox} - qV_s)}{m_j}} \times \sqrt{\frac{2(\Phi_{ox,j} - E_{i,j})}{m_j}}}{\frac{2(E_{i,j} + qV_{ox} - qV_s)}{m_j} + \frac{2(\Phi_{ox,j} - E_{i,j})}{m_j}} \quad \text{Équation III-16}$$

avec V_s le potentiel de surface de l'électrode injectante.

La transparence tunnel direct corrigée s'écrit donc :

$$T_{TD}(E) = T_{WKB_{TD}}(E) \times T_R(E) \quad \text{Équation III-17}$$

Sur la *Figure III-7*, est représentée l'influence du facteur de correction de Register sur le calcul des transparences pour des électrons longitudinaux, appartenant à la première sous-bande d'énergie et pour les régimes de déplétion et d'inversion.

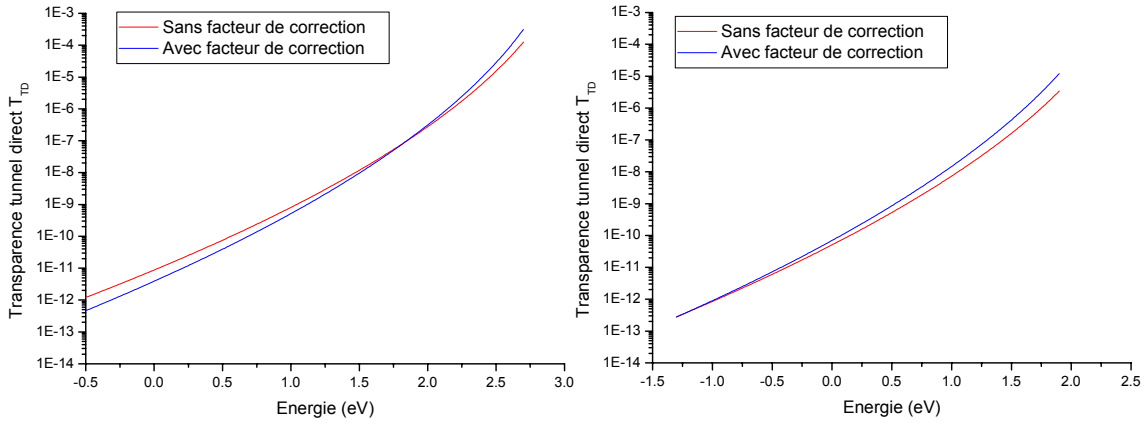


Figure III-7 : Transparence tunnel direct corrigée ou non en fonction de l'énergie pour les électrons longitudinaux de la première sous-bande d'énergie en régime de déplétion (gauche) et d'inversion (droite).

3. Calcul de chaque contribution au courant

Dans le modèle $C(V)$, pour le calcul de la contribution à la charge des états étendus, nous avons fait l'hypothèse que l'on pouvait les modéliser en les considérant comme des sous-bandes d'énergie à 2D : la charge du semiconducteur étant indépendante de la largeur de la zone quantifiée L_Q , cette hypothèse était valable. Cependant, il n'en est pas de même pour le calcul du courant puisque, surtout en régime de forte accumulation où ils sont prépondérants, celui-ci augmente en même temps que L_Q ¹⁹⁷.

Par conséquent, il est nécessaire de revenir à une distinction nette entre les états quantifiés et les états étendus que l'on va considérer comme libres dans toutes les directions de l'espace.

Nous allons donc considérer que le courant tunnel peut être décomposé en trois composantes : la première (J_{TD2D}) concerne le passage par effet tunnel direct des porteurs confinés, la seconde (J_{TD3D}) est relative au passage par effet tunnel des porteurs libres du continuum d'énergies et la troisième (J_{FN}) est la contribution des porteurs passant par effet

tunnel Fowler-Nordheim. Le courant total est donc égal à la somme des ces trois composantes pour les électrons et les trous et ce, pour une injection par la grille et le substrat.

Dans le cas de la bande de conduction, la représentation de ces contributions peut se schématiser sous la forme suivante (Figure III-8) :

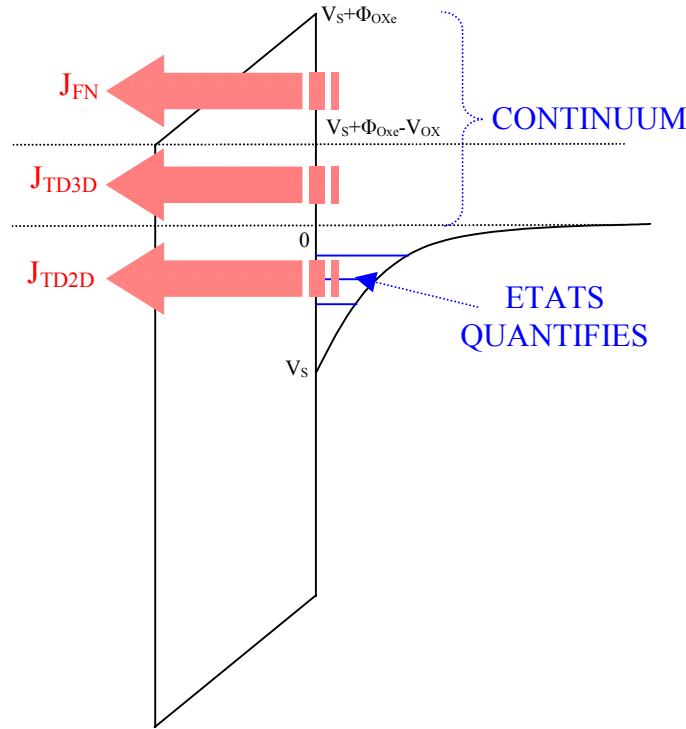


Figure III-8 : Schéma des différentes contributions à l'effet tunnel.

Les formules pour calculer ces trois composantes sont :

$$J_{TD2D,i,j} = \frac{qm_{d,j}}{\pi\hbar^2} f_{i,j} \cdot \int_{V_s}^0 f(E) \cdot T_{TD}(E) \cdot dE \quad \text{Équation III-18}$$

$$J_{TD3D} = \frac{4\pi qm_{ds} k_B T}{h^3} \cdot \int_0^{V_s + \Phi_{OX} - V_{OX}} T_{TD}(E) \cdot \ln \left(1 + \exp \left(\frac{E_F - qV_s - E}{k_B T} \right) \right) \cdot dE \quad \text{Équation III-19}$$

$$J_{FN} = \frac{4\pi qm_{ds} k_B T}{h^3} \cdot \int_{V_s + \Phi_{OX} - V_{OX}}^{V_s + \Phi_{OX}} T_{FN}(E) \cdot \ln \left(1 + \exp \left(\frac{E_F - qV_s - E}{k_B T} \right) \right) \cdot dE \quad \text{Équation III-20}$$

Chapitre 2 : Simulateurs capacité-tension et courant-tension

m_{ds} est la masse effective de densité totale des électrons dans la bande de conduction de l'électrode injectante. Son expression est la suivante²²⁹:

$$m_{ds} = m_{d,t} + m_{d,l} = 2m_t + 4\sqrt{m_t m_l} \quad \text{Équation III-21}$$

Bien évidemment, le schéma est le même pour la bande de valence et les formules s'appliquent, elles aussi, aux courants de trous dont la masse effective de densité totale est de la forme :

$$m_{ds,p} = m_{d,hh} + m_{d,lh} + m_{d,so} \quad \text{Équation III-22}$$

Sur la *Figure III-9* sont représentées les caractéristiques courant-tension (en régime d'accumulation) d'une structure MOS à oxyde de grille ultra mince résultant des calculs précédents (semiconducteur type P dopé à 10^{18} cm^{-3} , isolant SiO_2 de 2nm d'épaisseur et grille en silicium polycristallin dopé N à $5.10^{19} \text{ cm}^{-3}$) ainsi que pour diverses épaisseurs d'isolants:

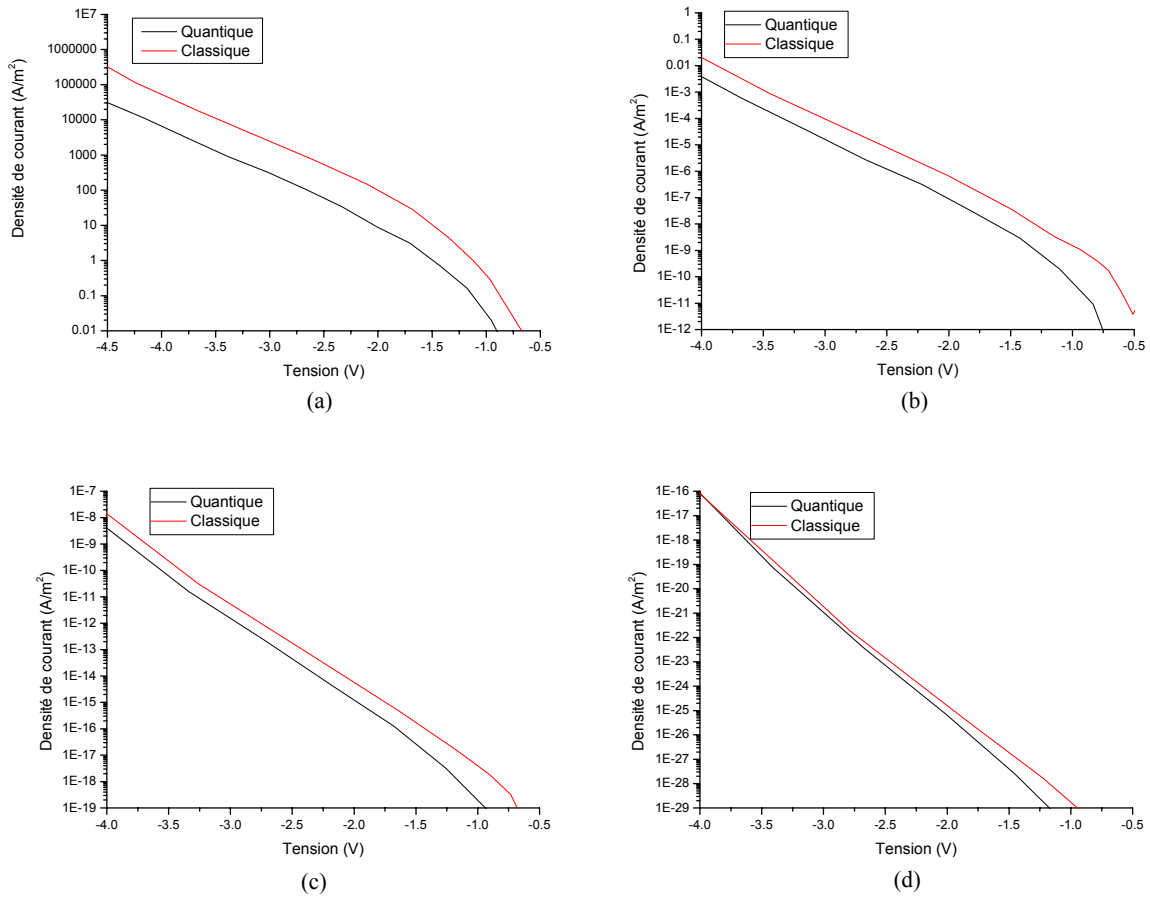


Figure III-9 : Caractéristique $J(V)$ en régime d'accumulation d'une capacité MOS avec un dopage de substrat de 10^{18}cm^{-3} , un dopage de grille de 5.10^{19}cm^{-3} et un oxyde de grille de 2nm (a), 3,5nm (b), 5nm (c) et 7nm (d) selon une approche quantique (foncé) ou classique (clair).

Le calcul quantique correspond au modèle que nous avons expliqué alors que le modèle classique est obtenu en considérant que les porteurs ont un comportement 3D dans l'intégralité de leur bande respective (le courant n'est constitué que des composants J_{TD3D} et J_{FN}). Une surévaluation du courant est constatée dans le cas du modèle classique, d'autant plus grande que l'épaisseur d'isolant est mince. On peut en déduire que l'on commet une erreur sur l'extraction de paramètres pour de faibles épaisseurs d'isolant si l'on n'utilise pas le modèle quantique.

IV. CONCLUSION

Ce chapitre a été consacré à l'élaboration d'un simulateur de caractéristiques capacité-tension et courant-tension prenant en compte la quantification des porteurs aux interfaces substrat/isolant et grille/isolant.

Dans un premier temps, nous avons expliqué ce phénomène ainsi que les raisons pour lesquelles il est indispensable d'en tenir compte pour la conception d'un tel outil de simulation.

Pour le simulateur $C(V)$, nous avons exposé son principe de fonctionnement ainsi que les bases physiques de ce modèle, à savoir le concept important de masse effective, la méthode itérative de Newton-Raphson, les équations de distribution de porteurs et les équations de Schrödinger et de Poisson ainsi que le passage de ces deux équations à la forme matricielle. Les résultats de simulation concernant les distributions de porteurs, les calculs de charge et de capacité pour les zones de substrat et de grille ont été présentés. Il a été mis en évidence tout l'intérêt de la prise en compte des effets quantiques dans le simulateur $C(V)$ à travers l'erreur commise sur l'extraction de l'épaisseur de l'isolant dans le cas d'une approche classique.

En ce qui concerne le simulateur $I(V)$, après avoir présenté brièvement les différentes approches utilisées pour modéliser le courant tunnel, nous avons opté pour un modèle utilisant le formalisme de la transparence pour des raisons de simplicité car le modèle $I(V)$ utilise les niveaux d'énergie calculés par le simulateur $C(V)$ et fournit une expression analytique du courant. Les états étendus ont fait l'objet d'une explication puisqu'il est impossible de les considérer comme des états 2D pour modéliser leur contribution au courant total. Enfin, quelques résultats ont été présentés : calcul de la fréquence d'impact, de la transparence et surtout, l'influence de la prise en compte ou non du caractère quantique des porteurs de l'électrode injectante.

Ce chapitre constitue donc une solide base théorique nécessaire à une extraction précise des paramètres physiques des composants que nous allons caractériser dans le prochain chapitre.

Chapitre 3 :

Caractérisations physique et électrique

I. INTRODUCTION

Dans ce chapitre, une description du four utilisé, le réacteur secteur, sera donnée. Après une brève description du CVD, nous verrons les avantages d'utiliser ce type de four vertical.

Ensuite seront d'abord présentés les résultats de la caractérisation physique du silicium polycristallin dopé bore in-situ. Premièrement, nous étudierons la diffusion du bore de la couche de silicium polycristallin dans la structure en fonction du bilan thermique induit par le recuit d'activation. Ensuite, nous évaluerons les contraintes mécaniques induites par cette couche. Puis, nous estimerons la résistivité de la couche qui ne doit pas être trop élevée. Enfin, nous donnerons les estimations de la rugosité de surface du polysilicium et de la rugosité d'interface avec le dioxyde de silicium.

La deuxième partie de ce chapitre sera consacrée à la caractérisation électrique de capacités MOS dont l'électrode de grille a été réalisée en silicium polycristallin dopé bore in-situ : des études courant-tension, capacité-tension et de fiabilité seront réalisées pour évaluer respectivement les paramètres du courant tunnel, le taux de déplétion de grille et la charge emmagasinée au claquage.

Enfin, nous conclurons sur l'apport du polysilicium dopé bore in-situ en tant que matériau de grille : nous ferons la synthèse des avantages et des inconvénients mais aussi des améliorations éventuelles à apporter au process.

II. LE FOUR

A. Généralités sur les dépôts CVD

Le dépôt chimique à partir d'une phase vapeur ou CVD (Chemical Vapor Deposition) consiste à mettre en contact un ou plusieurs substrats avec un ou plusieurs réactifs dans une enceinte : le réacteur. Les gaz réagissent chimiquement avec les substrats afin de déposer un film solide, alors que les sous-produits de la réaction sont entraînés et éliminés du réacteur.

Il existe différents types de dépôts CVD selon le mode d'activation. Cependant, nous ne nous intéresserons qu'aux dépôts activés thermiquement à faible pression : ce sont les dépôts LPCVD (Low Pressure CVD).

Un dépôt CVD dans un réacteur à parois chaudes est une suite de plusieurs étapes²⁴³ (Figure II-1): au contact du substrat et des parois chaudes du réacteur, les réactifs viennent se physisorber en surface, c'est-à-dire créer des liaisons de faible énergie avec le(s) substrat(s). Ils peuvent alors soit diffuser en surface, soit se chimisorber, ce qui entraîne le plus souvent la désorption de produits secondaires. L'ensemble des espèces chimiques est évacué vers la sortie du réacteur par convection.

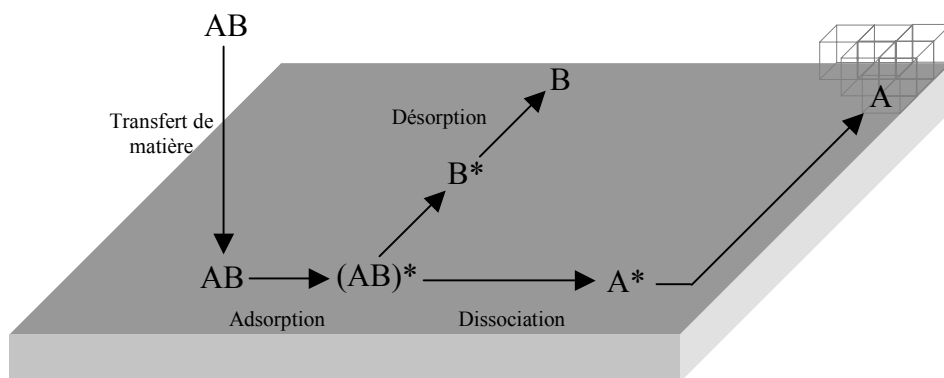


Figure II-1 : Les différentes phases d'un dépôt CVD.

La vitesse de dépôt résulte de l'addition des vitesses de transport des réactifs jusqu'à la surface de réaction (régime diffusionnel) et des vitesses de réaction de dépôt (régime chimique). La prédominance de l'un ou l'autre de ces régimes dépend essentiellement des conditions de travail et de la nature des réactions chimiques. Plus le réacteur travaille en régime chimique, plus les dépôts seront uniformes.

Le mécanisme de transfert de masse est influencé par la température. Les phénomènes chimiques de surface sont souvent activés thermiquement et leur vitesse de réaction est donnée par :

$$v = A \cdot \exp\left(\frac{-E_a}{kT}\right)$$

où : A est le facteur de fréquence.

E_a est l'énergie d'activation.

T la température.

K la constante de Boltzmann.

Ainsi, à basse température, la vitesse de réaction est faible et peut être inférieure à la vitesse d'arrivée des réactifs : les réactions de surface limitent donc la vitesse de dépôt. A haute température, c'est le transport de matière qui limite la vitesse de dépôt.

La pression des gaz influe aussi énormément sur le dépôt : la diffusivité des gaz augmente fortement lorsque la pression diminue : le dépôt résultant est alors de meilleure qualité.

B. Le réacteur secteur

Les réacteurs les plus utilisés en microélectronique sont les réacteurs tubulaires à parois chaudes à la géométrie soit verticale soit, le plus souvent, horizontale. Dans ce type de réacteurs, le flux de gaz est perpendiculaire aux plaquettes. Cependant ils présentent quelques inconvénients tels que :

- L'épuisement des gaz réactifs le long de la charge. Ce problème a fait l'objet de solutions plus ou moins efficaces telles que l'injection de gaz tout le long de la charge ou de créer un profil de température le long de la charge afin de compenser la chute de la concentration de gaz par une augmentation de la vitesse de réaction.
- La difficulté d'exécuter plusieurs dépôts à la suite car le temps de diffusion des gaz dans l'espace inter-plaquettes introduit des périodes de transition non négligeables.

De plus, des applications telles que les piles photovoltaïques, de par la nécessité d'obtenir des couches homogènes de quelques microns d'épaisseur, ont montré les limites des fours tubulaires. C'est la raison pour laquelle le Laboratoire de Génie Chimique de Toulouse a mis au point une nouvelle géométrie de réacteur, protégé par un brevet en 1987, de telle sorte que l'écoulement des gaz se fasse parallèlement aux plaquettes : le réacteur annulaire (*Figure II-2*). Il en résulte une meilleure homogénéité car les gaz entrent en contact avec une surface limitée de substrats. Pouvant contenir jusqu'à 90 plaquettes en position verticale sur un support horizontal en quartz, il est constitué de deux tubes coaxiaux verticaux également en

quartz. Ces deux tubes sont chauffés par des résistances électriques enroulées autour du tube externe et à l'intérieur du tube interne. Les gaz sont introduits par le haut et évacués par le bas.

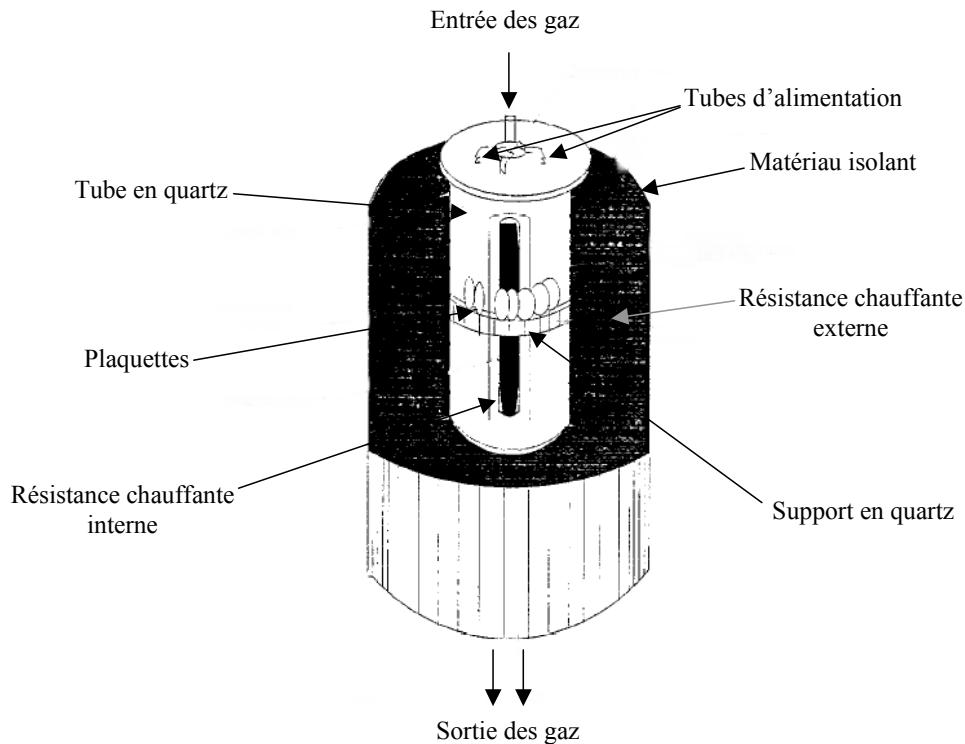


Figure II-2 : Schéma du réacteur annulaire.

De par la géométrie du réacteur, les périodes de transition induites par les phénomènes inter-plaquettes sont supprimés. En outre, ce type de réacteur permet d'occuper une place au sol en salle blanche bien moindre qu'un réacteur tubulaire. Enfin, un modèle réduit représentatif des phénomènes se produisant dans le réacteur a été réalisé, il permet d'étudier la mise en place rapide et moins coûteuse de nouveaux dépôts : le réacteur secteur (*Figure II-3*).

Le réacteur secteur, conçu au Laboratoire de Génie Chimique de Toulouse²⁴⁴, est constitué d'un prisme droit à base trapézoïdale permettant de traiter environ quatre plaquettes de quatre pouces. Il peut être séparé en trois zones (zone d'entrée, zone de plaquette et zone de sortie). Le chauffage est assuré par des éléments de chauffe indépendants.

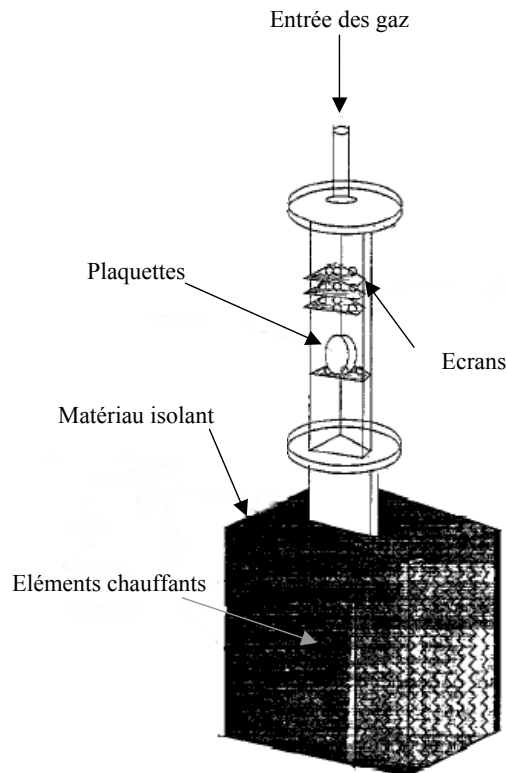


Figure II-3 : Schéma du réacteur secteur.

Le réacteur secteur permet d'obtenir des vitesses de dépôt jusqu'à trente fois supérieures à celles d'un four tubulaire. De plus, à vitesse de dépôt égale, le four secteur produit des couches plus homogènes que le four tubulaire.

III. CARACTERISATION PHYSIQUE DU POLYSILICIUM DOPE *IN SITU*

A. Description des échantillons

Deux types d'échantillons sont préparés : la série 1 pour les expériences de SIMS et la série 2 pour les études de contraintes, de résistivité et de rugosité.

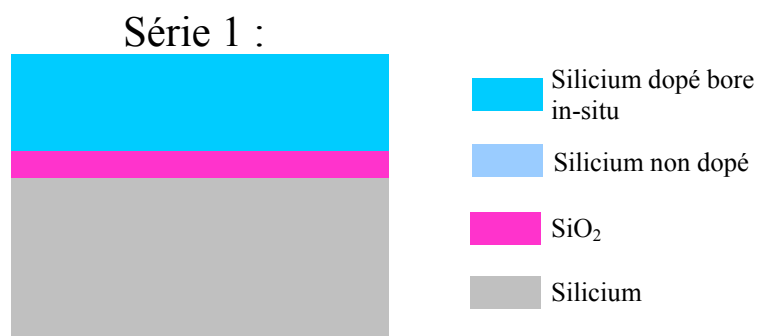
- Substrat : substrat de silicium de diamètre 4 pouces, de type N orientés (100) et dont la résistivité est comprise entre 0,008 et 0,02 Ω .cm.



- Nettoyage standard H_2O_2/H_2SO_4 , oxydation sacrificielle, nettoyage RCA + HF « last » puis oxydation sèche (épaisseur : 25nm).



- Réalisation de la grille :
 - Série 1 : dépôt de silicium amorphe non dopé (épaisseur : $0,05\mu m$), dépôt de silicium amorphe dopé bore in-situ (épaisseur : $0,13\mu m$) puis recuits d'activation (voir partie SIMS).
 - Série 2 : dépôt de silicium amorphe dopé bore in-situ (épaisseur : 400nm) puis recuit d'activation.



Caractéristiques du dépôt:

Gaz : Si_2H_6 (50scm)+ BCl_3 (10scm)

Température : $T=480^\circ C$

Durée : $t=30min$

Pression : $p=360mTorr$

Caractéristiques du recuit:

Gaz : N_2 (débit)

Température : $T=600^\circ C$

Durée : $t=2H$

Pression : $p=1atm$

B. Etude SIMS

L'étude de la diffusion du bore s'effectue par la technique SIMS (Secondary Ion Mass Spectrometry) sur un CAMECA 4F6 à l'INSA de Toulouse. La grande sensibilité de détection et la bonne résolution en profondeur de cette technique permet de renseigner sur la localisation d'impuretés ou de détecter des contaminants.

Principe de mesure (*Figure III-1*): la surface d'un échantillon, placé dans le vide, est bombardée par un faisceau d'ions primaires de quelques keV d'énergie et émis par une source. Les collisions avec la surface induisent l'émission de photons, d'électrons, d'atomes neutres, d'agrégats et, surtout, d'ions mono ou poly atomiques, dits ions secondaires par analogie avec les ions primaires issus de la source. L'analyse par SIMS s'intéresse à l'information contenue dans les ions secondaires. Accélérés par une tension d'extraction, ils sont dirigés vers un prisme électrostatique assurant un tri en énergie puis vers un prisme magnétique où s'effectue un tri en masse. Enfin, un système de détection composé d'un second prisme électrostatique permet soit de visualiser une image sur un écran fluorescent, soit de diriger les particules vers un multiplicateur d'électrons.

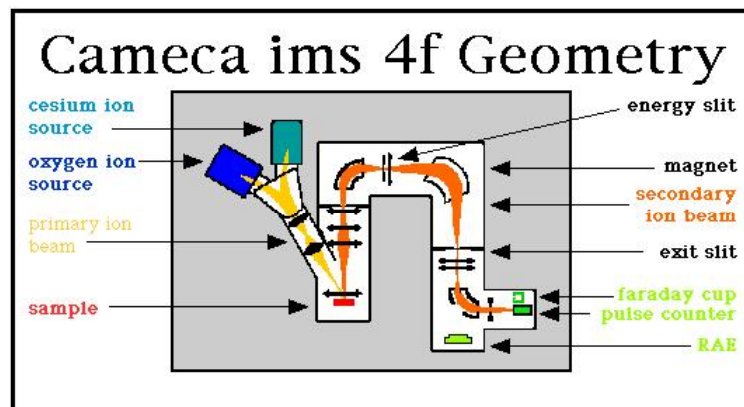


Figure III-1 : Principe de la mesure SIMS.

Permettant d'obtenir un spectre de masse, une analyse isotropique, des images ioniques de la répartition des éléments en 2D ou 3D, la distribution latérale de la concentration d'un élément donné, nous ne nous intéresserons qu'aux profils de bore en profondeur.

Chapitre 3 : Caractérisations physique et électrique

Pour différents bilans thermiques, cette étude nous fournira une estimation de la diffusion du bore dans la structure et, à partir des profils, d'obtenir une évaluation du coefficient de diffusion du bore dans le polysilicium à l'aide d'un modèle de diffusion du bore développé à l'Université de Constantine en Algérie²⁴⁵.

Les échantillons vont être soumis à différents recuits qui fourniront 7 types de profils de diffusion (*Figure III-2*):

- Pas de recuit.
- 600°C pendant 2 heures.
- 600°C pendant 8 heures.
- 700°C pendant 30 minutes.
- 700°C pendant 2 heures.
- 850°C pendant 15 minutes.
- 850°C pendant 1 heure.

Il s'agit de vérifier si le bilan thermique que nous avons choisi pour l'élaboration de la grille des capacités que nous avons fabriquées est optimal : il doit induire un profil de dopage plat, une diffusion de bore relativement faible ainsi qu'une bonne activation électrique des impuretés dopantes.

Tout d'abord, observons la courbe correspondant à un polysilicium dopé mais non recuit, le profil de dopage est plat, comme nous nous y attendions, le plateau étant situé à 10^{20}cm^{-3} . La transition entre le silicium non dopé et le silicium dopé ne s'effectue pas abruptement et correspond au temps d'ouverture de la vanne de BCl_3 .

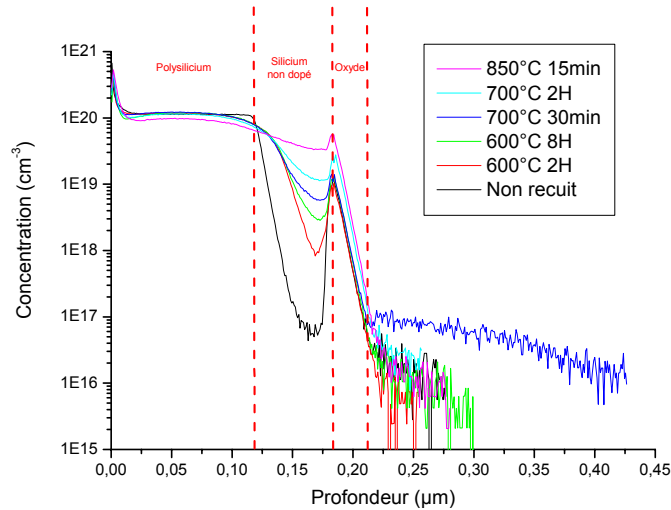


Figure III-2 : Profils de dopage de bore en fonction du type de recuit d'activation.

Penchons-nous sur le recuit à 600°C pendant 2 heures : c'est celui que nous utilisons pour la fabrication des capacités. A cette température, le bore est censé peu diffuser, le recuit sert juste à l'activer électriquement mais on remarque qu'il est présent en faible quantité dans la couche de silicium amorphe non dopé. Dans les capacités que nous avons fabriquées, il n'y a pas de couche amorphe. Or, le bore diffuse plus dans ce matériau que dans le SiO₂ à cause d'un plus faible coefficient de ségrégation du bore entre deux couches de silicium. Donc, nous pouvons penser que le bore sera peu présent dans l'oxyde de grille.

Pour des bilans thermiques plus élevés, le bore diffuse de plus en plus dans la structure et dépasse même les seuils de tolérance, comme nous pouvons le constater par exemple pour le recuit à 850°C à 15min : le bore diffuse trop car la couche non dopée s'est cristallisée, les défauts, présents lors de l'état amorphe de la couche et qui ralentissaient la progression du bore, ont disparu. La conséquence est un profil de dopage pratiquement plat sur l'ensemble polysilicium/silicium non dopé.

Le degré d'activation du bore a aussi été extrait : il correspond à la fraction de dopants électriquement actifs, la quantité de dopants électriquement inactifs conduit à la formation d'amas ou de clusters qui peuvent dégrader la cristallinité du dépôt^{246 247 248}. Le résultat de l'étude nous donne, en fonction du type de recuit, une fraction de dopants électriquement

Chapitre 3 : Caractérisations physique et électrique

actifs comprise entre 58 et 62%, ce qui correspond relativement aux résultats d'un dopage par implantation (50 à 60%)²⁴⁵.

Les résultats de l'étude des coefficients de diffusion pour chaque type de recuit sont les suivants (*Tableau III-1*):

Température du recuit (°C)	Durée du recuit (h)	Coefficient de diffusion (cm ² /s)
600	2	$6,7 \cdot 10^{-19}$
	8	$5,1 \cdot 10^{-19}$
700	0,5	$1,4 \cdot 10^{-15}$
	2	$1,3 \cdot 10^{-16}$
850	0,25	$4,9 \cdot 10^{-14}$

Tableau III-1 : Coefficients de diffusion du bore dans le polysilicium en fonction du type de recuit.

Pour le bilan thermique utilisé dans le process de fabrication des capacités MOS (T=600°C-2 heures), le coefficient est de l'ordre de 10^{-19} cm²/s : la diffusion de bore est insignifiante, on peut penser que l'isolant sera dépourvu d'atomes dopants.

C. TEM

Une image transversale de la structure a été réalisée au CEMES de Toulouse (Philips-FEI Tecnai G2 F20 S-Twin) avec un Microscope Electronique en Transmission (*Figure III-3*).



Figure III-3 : Banc de mesure TEM.

On peut ainsi évaluer avec précision la rugosité d'interface avec le SiO_2 car celle-ci, si elle est trop élevée, elle pourrait avoir une influence sur la fiabilité du composant : si le silicium est déposé sous forme amorphe, et même après cristallisation (ce qui est le cas de notre dépôt), la rugosité et la tension de claquage sont meilleures que s'il est déposé sous forme polycristalline^{249 250}. De plus, une forte rugosité est responsable de l'apparition de pics de champ électrique local, entraînant une décroissance de la mobilité des porteurs en forte inversion²⁵¹.

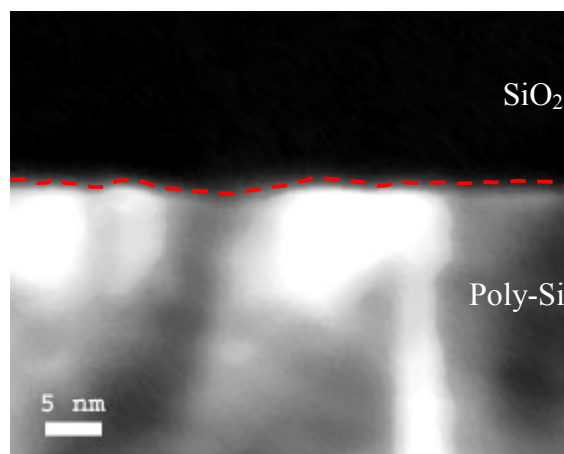


Figure III-4 : Vue en coupe de l'interface poly-Si / SiO_2 .

Comme nous pouvons le constater sur la *Figure III-4*, les variations de la rugosité sont d'environ 1 à 3 nm. De par une vitesse de dépôt élevée ($v_d=6$ nm/min), la taille des grains est

supérieure à celle du silicium déposé polycristallin (structure colonnaire, *Figure III-5-a*), ce qui entraîne une faible rugosité (*Figure III-5-b*). Il n'est cependant pas évident de conclure exactement sur la rugosité de l'interface poly-Si/SiO₂ puisque tout dépend de l'endroit où la mesure est effectuée (*Figure III-6*).

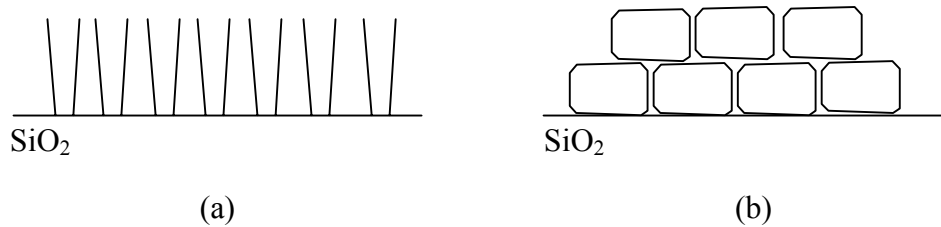


Figure III-5 : Structure du silicium déposé polycristallin (a) et déposé amorphe et recuit (b).

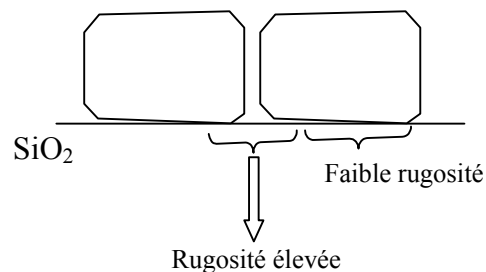


Figure III-6 : Rugosité d'interface de la couche de polysilicium.

D. AFM

La rugosité de surface du polysilicium a été étudiée avec un Microscope à Force Atomique AFM. Les résultats (*Figure III-7*) montrent une faible rugosité de surface dont la moyenne est de l'ordre de 1,3nm avec des pics à 14nm.

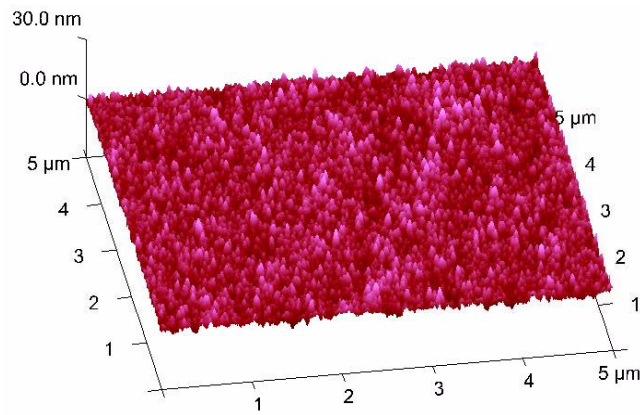


Figure III-7 : Rugosité de surface du polysilicium.

Par comparaison, Voutsas²⁵² a étudié la rugosité de surface de dépôts de silicium effectués à partir de silane à 570°C : des rugosités de surface comprises entre 5 et 9 nm sont obtenues. Dans son étude, Basa²⁵³ trouve des rugosités comprises entre 8,8 et 15,6 nm.

E. Mesure par effet Hall

La mesure effet Hall, effectuée à l'aide d'un ACCENT HL5500PC (*Figure III-8*), permet d'obtenir des résultats de résistivité, de concentration et de mobilité de porteurs dans un matériau.



Figure III-8 : Banc de mesure par effet Hall.

Le *Tableau III-2* donne les résultats de la mesure effectuée sur une couche de polysilicium d'une épaisseur de 0,395μm et compare ces résultats avec les données du silicium monocristallin.

	Epaisseur (nm)	Résistivité (mΩ.cm)	Dopage (cm ⁻³)	Mobilité (cm ² .V ⁻¹ .s ⁻¹)
		Résistance carré (Ω/□)		
Poly dopé bore in-situ	395	2	1,5.10 ²⁰	21,4
		48		
Silicium monocristallin		1	10 ²⁰	28

Tableau III-2 : Résultats de la mesure par effet Hall.

La résistivité du polysilicium est de l'ordre de celle du silicium monocristallin pour un dopage équivalent. De plus, elle est toujours inférieure aux valeurs données pour des couches de polysilicium dopées bore *in situ* à des niveaux équivalents ou même supérieurs : nous trouvons 48 Ω/□ pour un dopage électriquement actif de 1,5.10²⁰ cm⁻³, ce qui signifie que la mobilité des trous dans la couche ou/et que la fraction de dopants électriquement activés est (sont) élevée(s). Par comparaison, si l'on regarde les travaux de Herner et al²⁵⁴, Nam et al²⁵⁵ et Ylönen et al²⁵⁶, les résultats sont compris entre 65 et 420 pour des dopages de 5.10²¹ cm⁻³ à 2.10²⁰ cm⁻³.

Le taux d'activation des dopants est de 62%, ce qui correspond à une bonne activation des dopants. La mobilité des trous est de 21,4 cm².V⁻¹.s⁻¹, ce qui est très proche de la valeur du silicium monocristallin (28 cm².V⁻¹.s⁻¹). Pour comparaison, Pejnefors et al²⁵⁷ trouvent de 1 à 5 cm².V⁻¹.s⁻¹ pour un dopage compris entre 5.10¹⁸ et 2.10¹⁹, ce qui est environ une décade en dessous de la valeur pour le silicium monocristallin. Cette valeur de mobilité peut être expliquée par la structure du polysilicium qui est composée de grains de silicium monocristallin de forte taille.

F. Mesure 4 pointes

La mesure 4 pointes de la résistance carré, effectuée à différents endroits de la surface de polysilicium à l'aide d'un Chang Min Tech CMT-SR2000N, permet d'avoir une image relative de l'homogénéité de l'épaisseur du dépôt (*Figure III-9*).

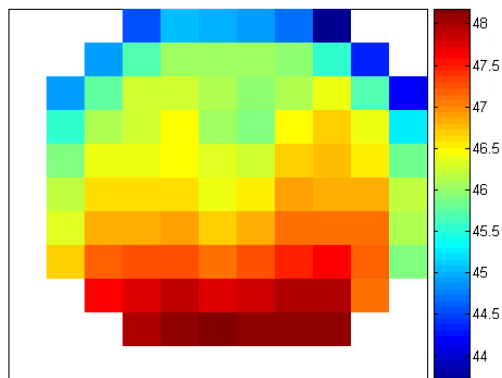


Figure III-9 : Cartographie de la mesure de la résistance carré du dépôt de polysilicium.

La résistance carré est plutôt stable et oscille entre 44 et 48 Ω/\square . Le dopage n'est pas tout à fait constant sur la surface et l'on peut considérer l'écart entre ces deux valeurs de résistance carré comme étant le résultat conjugué de l'homogénéité du dépôt et de la variation de dopage, tous deux ayant une influence équivalente. Donc, pour un dépôt d'une épaisseur d'environ 0,4 μm , l'écart entre l'épaisseur effective minimale et maximale sera d'environ 20nm, soit une inhomogénéité de $\pm 5\%$, ce qui est tout à fait convenable.

G. Mesure des contraintes

Nous avons utilisé le KLA-Tencor P15 pour mesurer les contraintes mécaniques de la couche de polysilicium induites par le dépôt car celles-ci peuvent dégrader la fiabilité électrique des composants^{258 259 260}. Les résultats, donnés dans le *Tableau III-3*, sont des valeurs de contrainte en tension comprises entre 222 et 318Mpa, qui sont des valeurs usuelles pour ce type de matériau : Ylönen et al.²⁵⁶ obtiennent une contrainte en tension de 200Mpa et une résistivité de 2m Ω .cm pour une couche de polysilicium dopé bore déposée à 530°C et recuite à 650°C pendant une heure.

Echantillon	Moyenne (Mpa)	Maximum (Mpa)	Centre (Mpa)
1	261	271	262
3	222	266	263
4	256	318	274
5	247	306	240

Tableau III-3 : Résultat des mesures de contraintes pour quatre échantillons.

IV. CARACTERISATION ELECTRIQUE

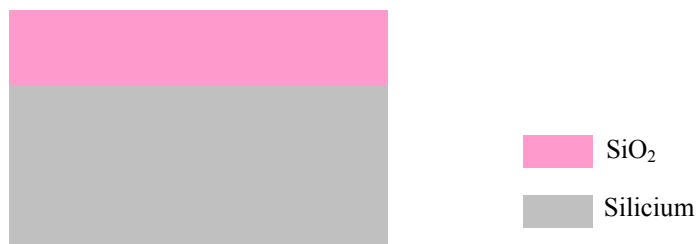
Des capacités MOS avec des grilles de deux types différents ont été réalisées: grille métallique en aluminium (série alu) et grille en polysilicium dopée bore in-situ (série poly) d'épaisseur 200nm et avec un oxyde de grille de 4nm. Les capacités de la série alu vont jouer le rôle de témoin et donc permettre de quantifier l'apport de la grille polysilicium.

A. Description des échantillons

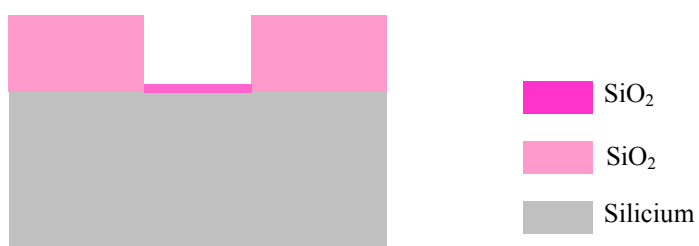
- Substrat : substrat de silicium de diamètre 4 pouces, de type N orientés (100) et dont la résistivité est comprise entre 0,008 et 0,02 Ω .cm.



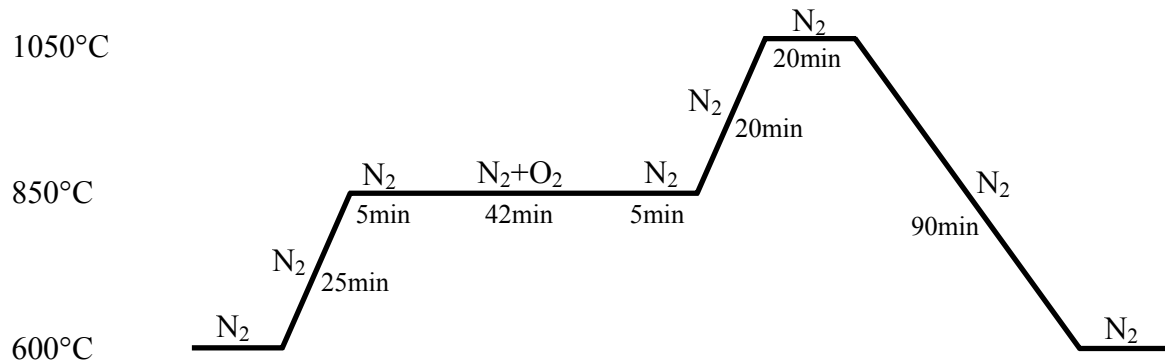
- Préparation : Nettoyage standard H_2O_2/H_2SO_4 , oxydation sacrificielle, nettoyage standard H_2O_2/H_2SO_4 puis oxydation humide de champ (épaisseur : 350nm).



- Oxydation de grille : Nettoyage RCA + HF « last » puis oxydation sèche (épaisseur : 4nm)

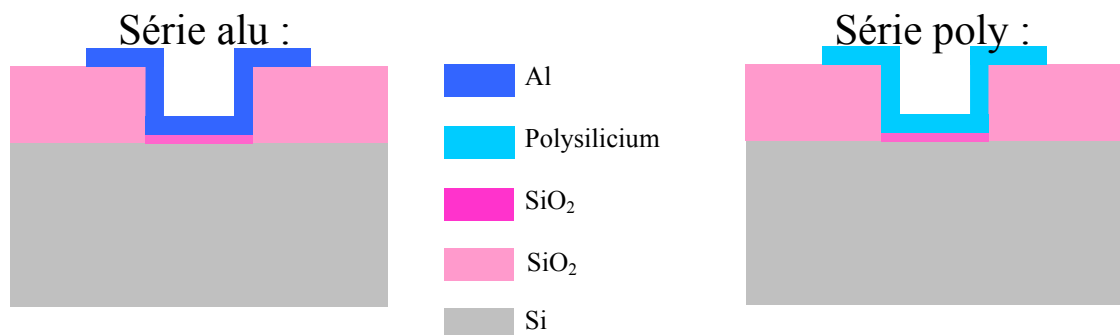


Synoptique de l'oxydation de grille :



L'oxydation se déroule pour des débits de gaz de 3L pour l'azote et de 1L pour l'oxygène à la pression atmosphérique. La mesure à l'ellipsomètre nous donne une épaisseur d'isolant de 3,8nm.

- Réalisation de l'électrode de grille :
 - Série poly : dépôt de silicium amorphe dopé bore in-situ (épaisseur : 200nm) puis recuit d'activation.
 - Série alu : dépôt d'aluminium (épaisseur : 200nm).



Caractéristiques du dépôt de silicium :

Gaz : Si₂H₆ (50sccm)+BCl₃ (10sccm)

Température : T=480°C

Durée : t=30min

Pression : p=360mTorr

Caractéristiques du recuit :

Gaz : N₂ (débit)

Température : T=600°C

Durée : t=2H

Pression : p=1atm

- Métallisation face avant : pour la série poly, désoxydation de la surface du polysilicium dans une solution de buffer HF, dépôt d'aluminium (épaisseur : 200nm) puis recuit post-métallisation sous forming gas à 450°C pendant 20min sous N₂/H₂ (95:5).
- Métallisation face arrière : dépôt d'or-antimoine (épaisseur : 200nm) par évaporation puis recuit à 200°C pendant 20min sous N₂.



B. Homogénéité en épaisseur

On désire un oxyde de grille d'une épaisseur égale à 4nm environ. La mesure à l'ellipsomètre effectuée sur plusieurs plaquettes écrans nous donne une épaisseur physique de l'isolant d'environ 3,8nm.

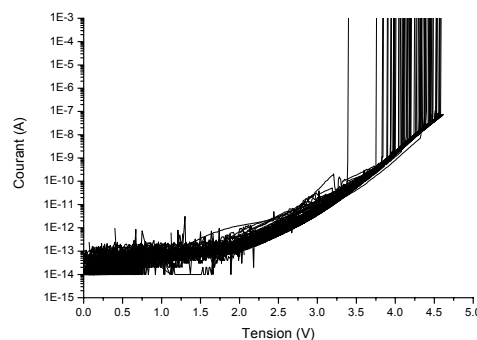


Figure IV-1 : Test d'homogénéité en épaisseur. Exemple : grille métallique polarisée en accumulation.

La *Figure IV-1* représente une caractérisation courant-tension effectuée sur une centaine d'échantillons. Nous pouvons remarquer qu'il y a peu de dispersion sur la partie

conductrice des caractéristiques ce qui signifie que la croissance de l'oxyde a été relativement homogène.

C. Caractéristique courant-tension

Nous avons effectué des caractérisations courant-tension à l'aide d'un HP4155 couplé à un testeur sous pointe SET sur des capacités MOS de surface 10^{-10} m^2 . Ces tests nous permettent de déterminer le type de conduction, d'évaluer la qualité de l'interface injectante et de choisir la valeur de la contrainte électrique qui sera appliquée lors des tests de fiabilité.

Les résultats de la mesure courant-tension pour la grille métallique en injection d'électrons par le substrat (*Figure IV-2-a*) et par la grille (*Figure IV-2-b*) sont donnés ci-dessous :

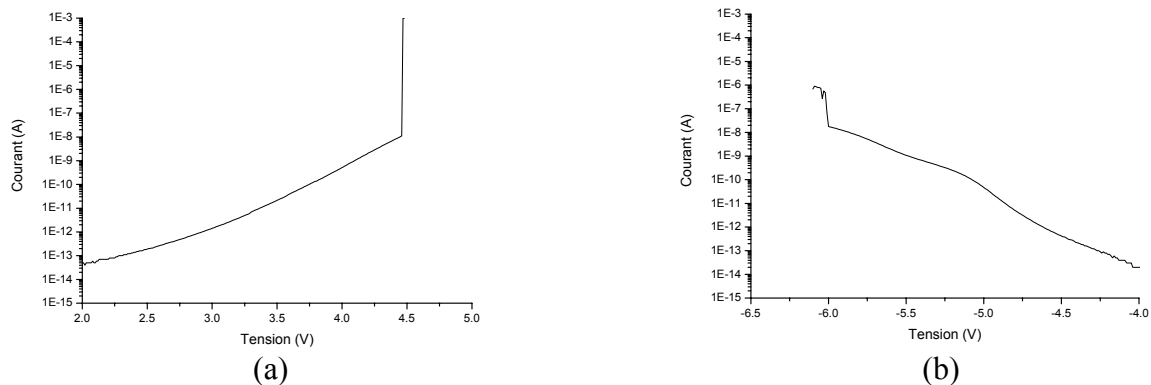


Figure IV-2 : Caractéristiques I(V) de capacités MOS à grille métallique en injection d'électrons par le substrat (a) et par la grille (b).

Les mêmes résultats sont donnés pour la grille en polysilicium (*Figure IV-3-a et Figure IV-3-b*) :

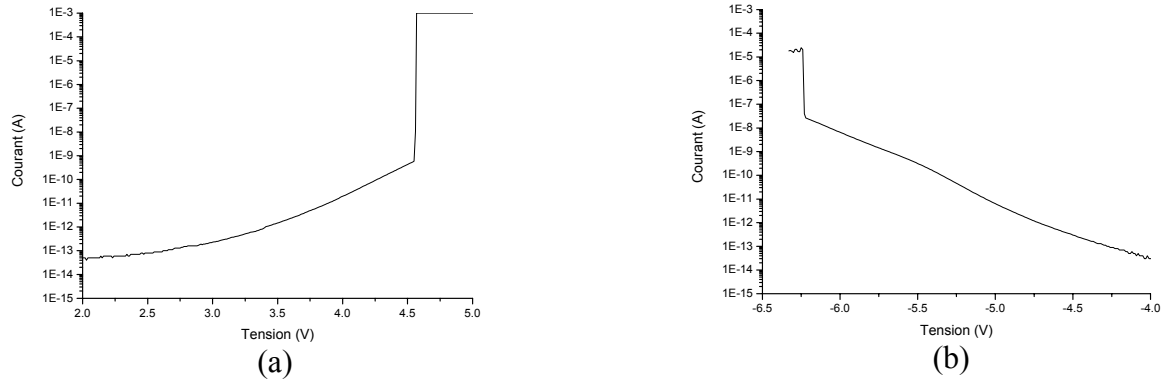


Figure IV-3 : Caractéristiques I(V) de capacités MOS à grille polycristalline en injection d'électrons par le substrat (a) et par la grille (b).

Les oscillations quantiques du courant que l'on observe en régime d'injection d'électrons par la grille sont représentatives d'une interface oxyde/grille de bonne qualité.

Pour des oxydes de grille d'une épaisseur inférieure à 4nm, le mécanisme de conduction des porteurs à travers l'isolant n'est probablement pas de type Fowler Nordheim. Il est possible de s'en assurer à l'aide d'un petit programme développé avec MATLAB déterminant les paramètres associés à ce type de conduction.

Dans un premier temps, nous avons fabriqué les mêmes composants de deux types de grille mais avec un isolant plus épais (environ 5,5nm). Les résultats obtenus nous confirment une conduction de type Fowler Nordheim (Figure IV-4 et Figure IV-5):

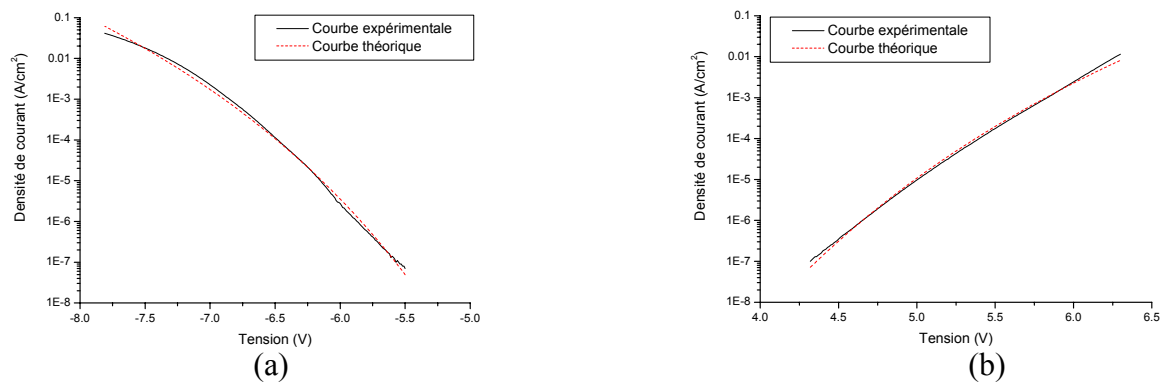


Figure IV-4 : Comparaison des caractéristiques courant-tension pour une capacité MOS à grille métallique en injection d'électrons par le substrat (b) et la grille (a).

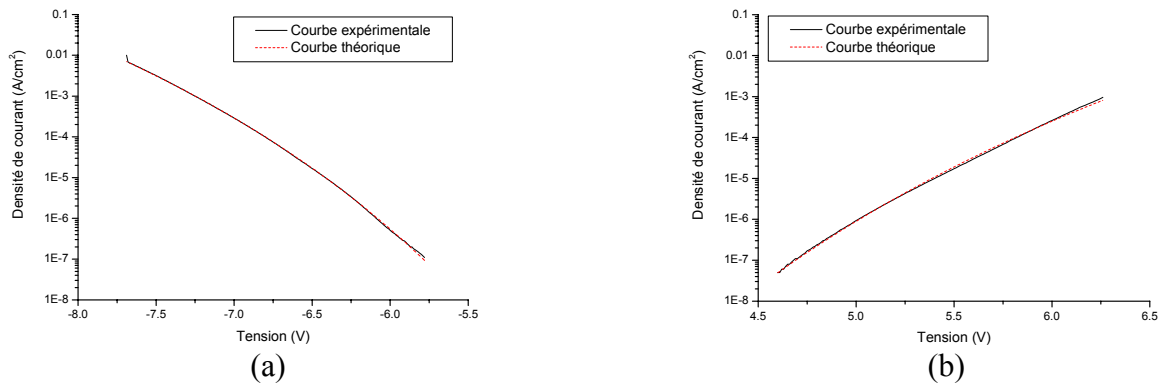


Figure IV-5 : Comparaison des caractéristiques courant-tension pour une capacité MOS à grille polycristalline en injection d'électrons par le substrat (b) et la grille (a).

Mais, dans le cas d'un isolant d'une épaisseur de 3,8 nm, la courbe simulée ne correspond pas du tout à la courbe expérimentale en injection substrat, ce qui confirme que la conduction n'est pas de type Fowler-Nordheim (*Figure IV-6 et Figure IV-7*). Dans le cas de l'injection grille, nous pouvons remarquer que, pour le début de la polarisation (de 4,2 à 5V pour la grille métallique et de 4 à 5,5V pour la grille polycristalline), le mécanisme de conduction n'est pas de type Fowler-Nordheim. Par contre, pour les polarisations supérieures, il semble que la conduction devienne de type Fowler-Nordheim. C'est un résultat normal puisque, pour des oxydes d'épaisseur inférieure à 4nm, le mécanisme de conduction est, dans un premier temps, de type tunnel direct puis de type Fowler-Nordheim pour les fortes polarisations.

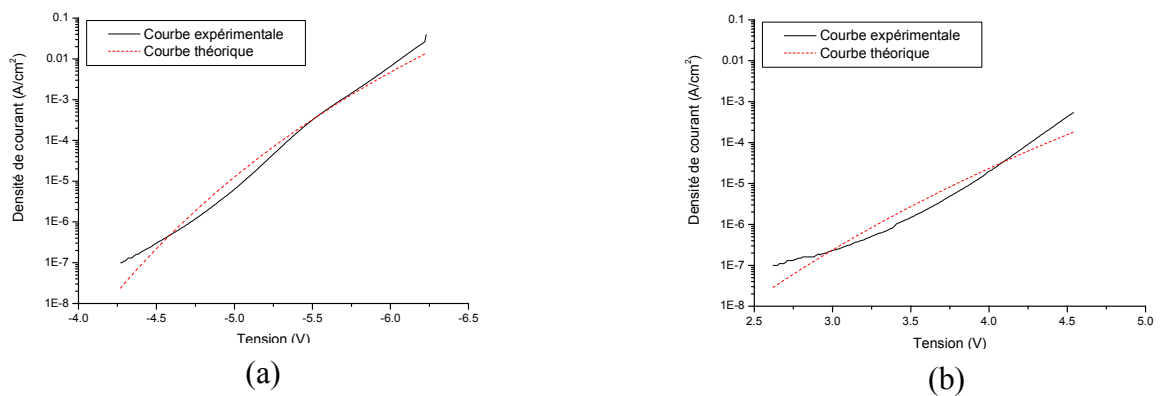


Figure IV-6 : Comparaison des caractéristiques courant-tension pour une capacité MOS à grille polycristalline en injection d'électrons par le substrat (b) et la grille (a).

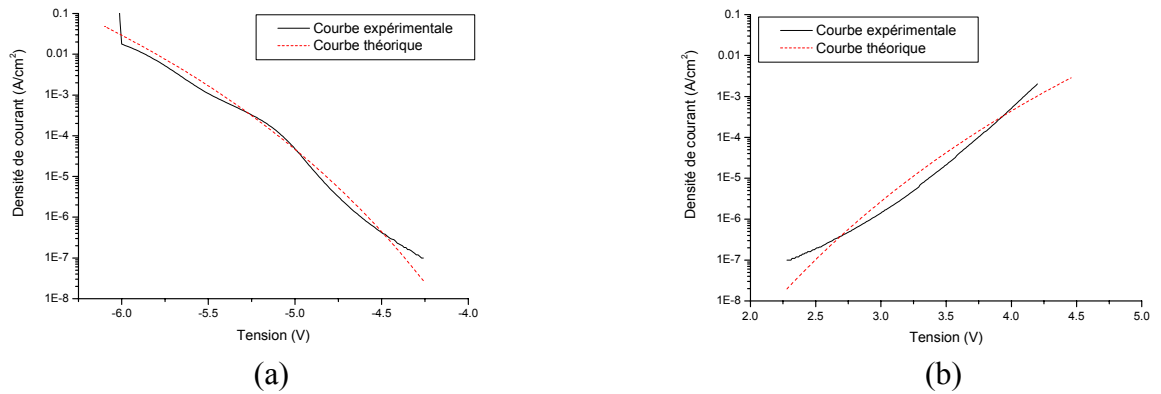


Figure IV-7 : Comparaison des caractéristiques courant-tension pour une capacité MOS à grille métallique en injection d'électrons par le substrat (b) et la grille (a).

Pour vérifier que ces composants ont une caractéristique courant-tension de type tunnel direct, l'élaboration d'un simulateur $I(V)$, dont la description a fait l'objet du chapitre 2 de ce manuscrit, a été nécessaire. L'application du modèle théorique se fait sur une capacité MOS à grille polycristalline.

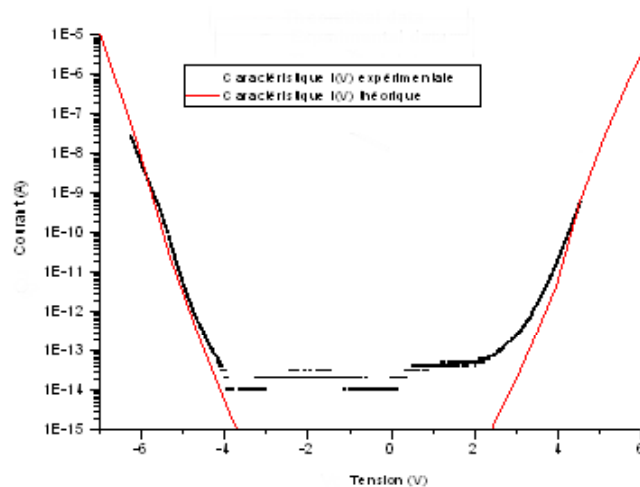


Figure IV-8 : Caractéristiques théoriques et expérimentales courant-tension d'une capacité MOS à grille polycristalline.

Sur la *Figure IV-8*, nous constatons un très bon accord entre le courant théorique et le courant mesuré expérimentalement excepté en régime de faible accumulation : la modélisation de la contribution des états étendus, qui ne sont pas négligeables, n'est pas correcte, comme nous l'avons indiqué dans le paragraphe III-C-3 du chapitre 2 (ils sont

considérés comme libres, contrairement aux porteurs quasi-liés confinés dans le puits de potentiel), ceci peut expliquer la sous-évaluation du courant à faible champ.

L'extraction des paramètres donne :

- Epaisseur de l'isolant : 3,8nm
- Différence des affinités électronique pour les électrons : 3eV
- Différence des affinités électronique pour les trous : 4,9eV
- Masse effective des électrons dans l'isolant : $0,52m_0$
- Masse effective des trous dans l'isolant : $0,33m_0$

L'épaisseur de l'isolant extraite est conforme aux résultats de la mesure par ellipsométrie et de la mesure capacité-tension. La différence des affinités électroniques pour les électrons et les trous est conforme aux données théoriques. Le choix des masses effectives dans l'isolant des électrons **et des trous a été expliqué dans le paragraphe III-B-4 du chapitre 2.**

D. Caractéristique capacité-tension

Des mesures capacité-tension ont été réalisées pour extraire les paramètres physiques des capacités MOS fabriquées : l'épaisseur de l'oxyde de grille, la tension de flat-band, la résistance série de la structure, le dopage de substrat et de la grille et la quantité de charges dans l'isolant.

1. Mesure Haute Fréquence-Basse Fréquence (HF-BF)

La mesure est effectuée à l'aide de l'analyseur d'impédance HP42184. Le principe de mesure est le suivant : pour plusieurs point de fonctionnement en polarisation continue, on applique un signal alternatif qui va faire varier la charge aux bornes de la capacité à mesurer. C'est cette variation de charge qui va nous donner la valeur de la capacité.

Le principe de la mesure HF-BF est de mesurer la caractéristique capacité-tension pour deux fréquences distinctes. La structure ayant un comportement différent en régime d'accumulation selon la fréquence appliquée, cette méthode permet d'évaluer la résistance série de la structure. Dans notre cas, les fréquences sont égales à 1kHz et 100kHz. Cette

méthode permet également d'évaluer la tension de flat-band, le dopage de substrat et, couplée à la caractéristique quasi-statique, de calculer la densité des états d'interface.

Les résultats des mesures $C(V)$ HF/BF sur des capacités MOS avec des grilles métalliques (*Figure IV-9-a*) et des grilles en polysilicium (*Figure IV-9-b*) et de surface 9.10^{-8} m^2 sont présentées ci-dessous :

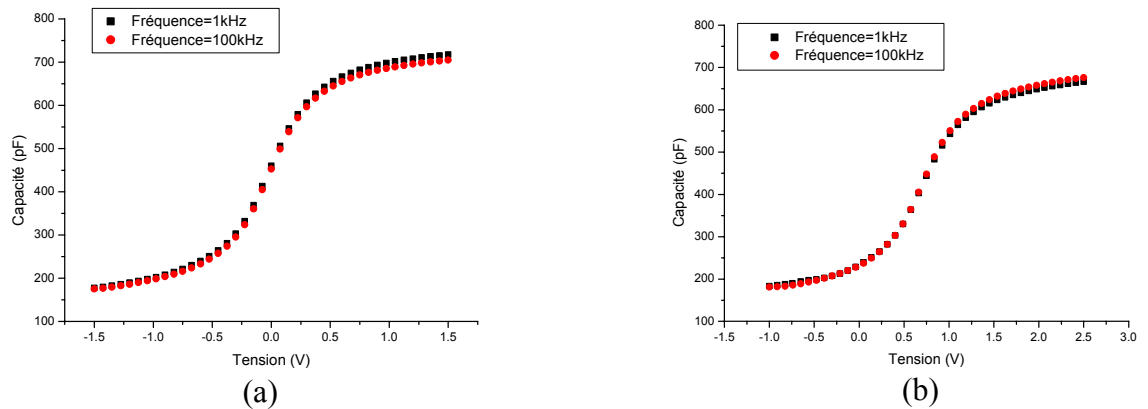


Figure IV-9 : Caractéristique $C(V)$ HF-BF pour des capacités MOS à grille en aluminium (a) et en polysilicium (b).

2. Mesure quasi-statique

La mesure quasi-statique est effectuée avec le K595 de Keithley sur des capacités MOS de surface 9.10^{-8} m^2 et dont la grille est soit métallique soit polycristalline. Cette mesure quasi-statique, comme son nom l'indique, permet de voir la réponse des porteurs minoritaires du substrat n'ayant pas le temps de réagir lors d'une mesure $C(V)$ HF-BF. Cette réponse se répercute sur la courbe de la capacité qui remonte en régime d'inversion. Cette mesure va permettre d'évaluer la déplétion de grille pour une grille polycristalline.

Ci-dessous sont représentées les caractéristiques $C(V)$ quasi-statiques normalisées des capacités MOS à grille métallique (*Figure IV-10-a*) ou polycristalline (*Figure IV-10-b*).

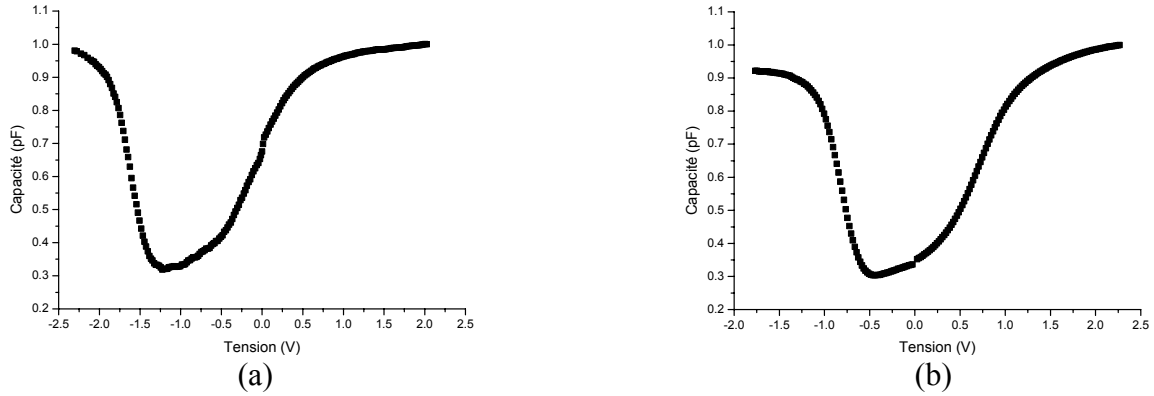


Figure IV-10: Caractérisation quasi-statique de capacités MOS à grille en aluminium (a) et en polysilicium (b).

La déplétion de grille est estimée à environ 8%, ce qui est un résultat bien meilleur que ce que l'on peut obtenir avec la méthode de dopage classique par implantation ionique.

3. Résultats et interprétation

a) Extraction de l'épaisseur de l'isolant

Les courbes C(V) obtenues du simulateur sont superposées aux caractéristiques C(V) expérimentales pour la grille métallique (Figure IV-11-a) et la grille polycristalline (Figure IV-11-b).

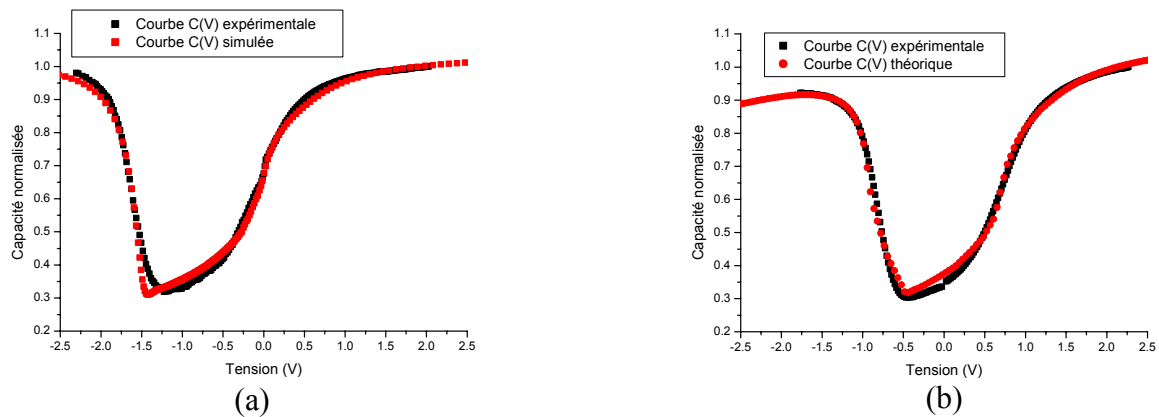


Figure IV-11: Courbes C(V) en quasi-statique expérimentales et simulées pour des capacités MOS à grille métallique (a) et en silicium polycristallin (b)

L'accord entre les résultats expérimentaux et la théorie sont globalement bons. Le léger décrochage entre les courbes expérimentales et simulées en régime de déplétion devrait résulter d'un dopage du substrat non plat : la valeur de la capacité au fond de la « cuvette » est fixée par le dopage de substrat en surface tandis que l'écartement entre les régimes de déplétion de d'inversion varie selon le dopage en volume.

Les résultats de l'extraction de l'épaisseur de l'isolant sont consignés dans le *Tableau IV-1* :

Epaisseur d'oxyde (nm)	Ellipsomètre	Méthode classique	Simulateur C(V)
Grille aluminium	3,8	4,2	3,8
Grille polysilicium	3,8	4,6	3,7

Tableau IV-1: Résultats de l'extraction de l'épaisseur de l'isolant.

La mesure à l'ellipsomètre donne une épaisseur physique approximative du dioxyde de silicium que l'on a fait croître sur le substrat. Elle nous donne 3,8nm, ce qui est en accord avec le résultat du simulateur prenant en compte la quantification des porteurs dans le substrat et dans la grille si celle-ci est polycristalline. Par contre, la méthode classique d'extraction de T_{OX} par la valeur maximale de la capacité en accumulation surestime le résultat (4,2 et 4,6 nm), ce qui confirme la présence de la quantification des porteurs et que la méthode classique ignore donc l'augmentation de l'épaisseur « électrique » de l'isolant.

b) Résistance série

La résistance série est estimée de deux manières et les résultats de calcul sont données dans le *Tableau IV-2*:

- La méthode du raccordement : à partir de la mesure de la conductance et de la capacité, la valeur de la résistance série de la structure est celle qui va permettre de raccorder la courbe HF à la courbe BF. Les courbes étant déjà très proches et la méthode ne permettant pas une grande précision l'estimation nous donne, pour les deux types de grille, une résistance série inférieure à 10 Ω .

- La mesure de la partie réelle de l'impédance en fonction de la fréquence : en haute fréquence, la partie réelle de l'impédance de la capacité MOS tend vers la résistance série. Cette mesure donne 10 Ω pour la grille métallique et 11 Ω pour la grille en polysilicium.

Résistance série (ohms)	Méthode du Raccordement	Partie réelle de l'impédance
Grille aluminium	<10	10
Grille polysilicium	<10	11

Tableau IV-2: Résultats de la mesure de la résistance série de la structure.

La grille polycristalline n'implique donc pas d'augmentation significative de la résistance série, elle se comporte comme une électrode métallique.

c) Tension de flat-band

L'estimation de la tension de flat band peut s'effectuer à partir de deux méthodes, les résultats étant consignés dans le *Tableau IV-3*:

- La méthode de la capacité de flat-band : C_{FB} , qui est calculé à l'aide de la formule donnée ci-dessous, est reporté sur la courbe $C(V)$ et la tension correspondant à C_{FB} est la tension de flat-band.

$$C_{FB} = \frac{C_{OX}}{1 + \frac{136\sqrt{T/300}}{T_{OX}\sqrt{N_S}}}$$

où : C_{OX} est la capacité de l'oxyde.

T la température.

N_S le dopage de substrat.

- A partir du simulateur : dans celui-ci, la tension de flat-band est égale à la différence entre les travaux de sortie du silicium et du matériau de grille, les charges de l'oxyde ne sont pas prises en compte. Les résultats donnent 0,2 V pour la grille métallique et 0,9 V pour la grille en polysilicium. Le

+0,3 et le -0,1 représentent la quantité de tension à ajouter ou à retrancher à la courbe théorique pour qu'elle colle à la courbe expérimentale.

Tension de flat band (V)	Méthode de C_{FB}	Simulateur C(V)
Grille aluminium	0,12	-0,094(+0,3)=0,2
Grille polysilicium	0,86	1,002(-0,1)=0,9

Tableau IV-3 : Résultats de l'extraction de la tension de flat-band.

QUELLE QUE SOIT LA METHODE EMPLOYEE, LES VALEURS SONT EQUIVALENTES. CEPENDANT, ON CONSTATE QUE LES VALEURS EXTRAITES DU SIMULATEUR C(V) SONT LEGEREMENT SUPERIEURES AUX VALEURS DONNEES PAR LA METHODE DE C_{FB} . CECI POURRAIT ETRE EXPLIQUE PAR LA PRISE EN COMPTE DE L'IONISATION INCOMPLETE DES DOPANTS PAR LE SIMULATEUR ALORS QUE LA METHODE CLASSIQUE N'EN TIENT PAS COMPTE.

d) Quantité de charges dans l'isolant

(1) Charges d'interface

La densité d'états d'interface est calculée selon la méthode de la conductance (détail de la méthode à la référence²⁶³). Elle consiste à mesurer en fonction de la fréquence la conductance du modèle équivalent parallèle. La courbe est gaussienne : l'abscisse du maximum correspond à la constante de temps des pièges d'interface alors que son ordonnée est liée à la densité de ces états. Les résultats sont consignés dans le *Tableau IV-4*:

	Densité d'états d'interface
Grille aluminium	$D_{IT}=9.10^{11} \text{cm}^{-2} \cdot \text{eV}^{-1}$
Grille polysilicium	$D_{IT}=8.10^{11} \text{cm}^{-2} \cdot \text{eV}^{-1}$

Tableau IV-4 : Densités d'états d'interface selon le type de grille.

Pour des isolants d'épaisseur 3,5nm, Bauza et al²⁶¹ trouvent une densité d'états d'interface de l'ordre de $10^{11} \text{cm}^{-2} \cdot \text{eV}^{-1}$. Nos résultats se situent presque une décade au-dessus de cette valeur pour une épaisseur sensiblement inférieure. Ils semblent donc indiquer que les

valeurs pourraient être améliorées sensiblement par un meilleur nettoyage de surface, la rugosité de l'interface pouvant être la cause de densités d'états d'interface trop élevées²⁶².

(2) Charges fixes

Nous avons estimé la quantité de charges fixes dans l'oxyde, en supposant que les charges d'interface sont négligeables puisque le recuit sous forming gaz à 450°C est censé les avoir passivés (détail de la méthode à la référence²⁶³):

$$Q_f = (\Phi_{MS} - V_{FB}) \times C_{OX}$$

$$\text{Grille métallique : } \Phi_{MS} = \Phi_M - \chi - \frac{E_C - E_I}{q} + \frac{kT}{q} \ln\left(\frac{N_D}{n_i}\right)$$

$$\text{Grille poly-Si : } \Phi_{MS} = \frac{E_G}{q} + \frac{kT}{q} \ln\left(\frac{N_D}{n_i}\right)$$

Les résultats sont donnés dans le *Tableau IV-5*:

	Charges fixes (cm ⁻²)
Grille aluminium	(-)3,7.10 ¹¹
Grille polysilicium	(+)9,2.10 ¹¹

Tableau IV-5 : Quantité de charges fixes pour chaque type de grille.

Il est difficile de conclure sur ces résultats dans la mesure où la quantité de charges fixes est du même ordre de grandeur que la densité d'états d'interface : le signe négatif de la quantité de charges concernant les capacités à grille métallique pourrait être expliqué par le fait que l'hypothèse selon laquelle la densité d'états d'interface est négligeable est fautive. Ainsi, il est très probable que les résultats du *Tableau IV-5* englobent les charges fixes et les charges d'interface.

e) Niveaux de dopage

Le dopage de substrat est évalué selon 3 méthodes :

- Le calcul de la pente de la courbe $1/C^2=f(V)$ en régime de déplétion.

- A partir de la valeur minimum de la capacité en régime d'inversion à haute fréquence.
- A partir du simulateur C(V).

Les résultats sont consignés dans le *Tableau IV-6* :

Dopage substrat (10^{18}cm^{-3})	Méthode de la pente	Méthode du Min(C_{HF})	Simulateur C(V)
Grille aluminium	0,7	0,84	$N_S=10^{18}\text{cm}^{-3}$
Grille polysilicium	0,8	0,95	$N_S=10^{18}\text{cm}^{-3}$ $N_G=5.10^{19}\text{cm}^{-3}$

Tableau IV-6 : Résultats des calculs de dopage de substrat et de la grille.

Selon la méthode, nous obtenons un dopage de substrat N_S de 7.10^{17} à 10^{18}cm^{-3} correspondant au dopage de nos plaquettes. Le simulateur C(V) donne, en outre, le dopage de grille N_G que l'on estime à 5.10^{19}cm^{-3} . Cette valeur est plus faible que celles données par le SIMS (10^{20}cm^{-3}) et la mesure à effet Hall ($1,5.10^{20}\text{cm}^{-3}$), il se peut que 5.10^{19}cm^{-3} soit la quantité de dopants électriquement actifs.

E. Statistiques de claquage

Nous avons mené une étude de la fiabilité des composants par des tests CCS (Constant Current Source) : un courant constant est appliqué sur la grille et on mesure la tension résultante en fonction du temps. L'injection de courant doit être adéquate : assez forte pour que la mesure ne soit pas trop longue, ni trop élevée pour que le claquage du composant n'apparaisse pas trop vite. Cette méthode permet de calculer la charge emmagasinée par la capacité au claquage et nous renseigne sur la qualité de l'isolant de grille.

Une réponse typique à une contrainte en courant en fonction du temps est de la forme (*Figure IV-12*) :

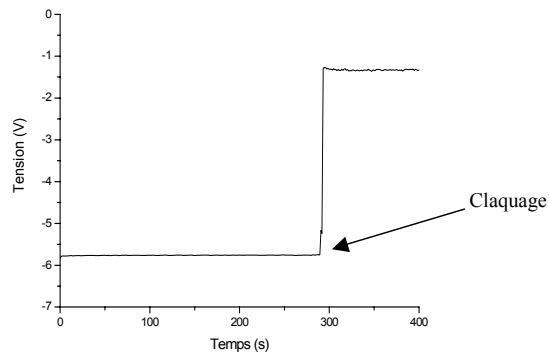


Figure IV-12: Tension en fonction du courant pour une contrainte à courant constant.

La tension est constante jusqu'à l'apparition du claquage définitif du composant.

Le nombre d'échantillons testés doit être supérieur à 120 pour avoir des résultats exploitables et pour être traités statistiquement par la distribution de Weibull dont l'expression est la suivante :

$$F(T_{BD}) = 1 - \exp\left(-\frac{T_{BD}}{\alpha}\right)^\beta$$

avec : F étant la probabilité cumulée de claquage.

T_{BD} le temps que met une capacité à claquer.

α est le temps que mettent 63% des capacités à claquer.

β est la pente de Weibull.

Les tests de fiabilité ont été effectués sur des capacités MOS à grille métallique et à grille polycristalline, de surface 10^{-10}m^{-2} et pour une injection substrat de $2\text{mA}/\text{cm}^2$ et une injection grille de $-20\text{mA}/\text{cm}^2$. Les résultats sont donnés ci-dessous (Figure IV-13 et Figure IV-14) :

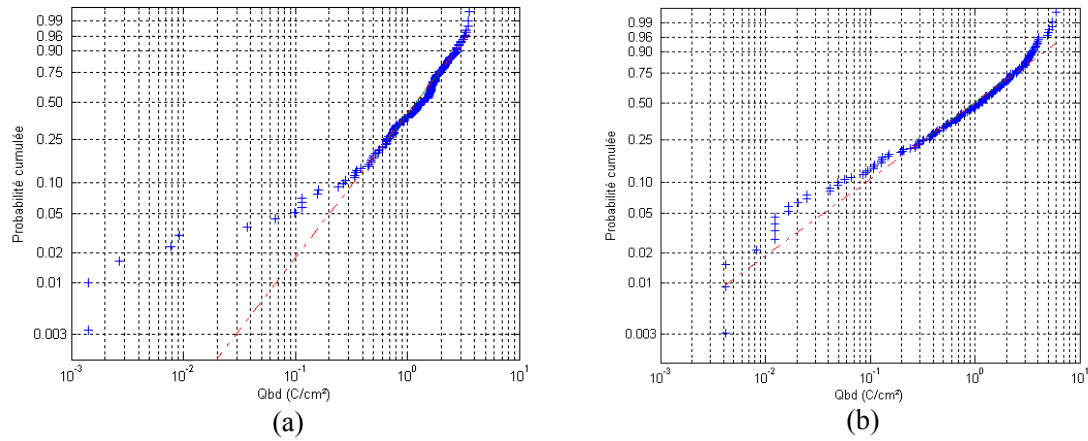


Figure IV-13: Statistiques de Weibull pour les capacités MOS à grille métallique en injection substrat (a) et en injection grille (b).

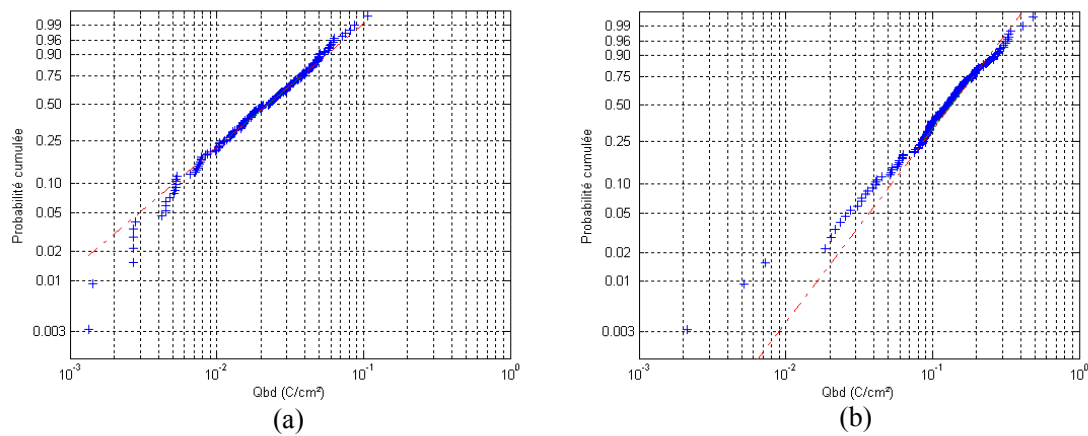


Figure IV-14: Statistiques de Weibull pour les capacités MOS à grille polycristalline en injection substrat (a) et en injection grille (b).

Les résultats sont récapitulés dans le *Tableau IV-7* pour la grille métallique et le *Tableau IV-8* pour la grille polycristalline :

Grille métallique	Injection d'électrons par le substrat	Injection d'électrons par la grille
Charges au claquage (C/cm ²)	1,5	1,4
Temps au claquage (s)	753	707
Pente de Weibull	1,3	0,9

Tableau IV-7: Charge emmagasinée au claquage et pente de Weibull pour la grille en aluminium en fonction de l'injection de courant.

Grille polycristalline	Injection d'électrons par le substrat	Injection d'électrons par la grille
Charges au claquage (C/cm ²)	0,03	0,16
Temps au claquage (s)	15	79
Pente de Weibull	1,4	1,7

Tableau IV-8: Charge emmagasinée au claquage et pente de Weibull pour la grille en polysilicium en fonction de l'injection de courant.

Nous avons choisi ces intensités de courant car elles représentent le meilleur compromis durée de la mesure/temps au claquage. Cependant, leur faible valeurs comparées

aux données de la littérature (par exemple $J=0,1\text{A}/\text{cm}^2$ chez Degraeve²⁶⁴) laissent présager d'une faible fiabilité de l'isolant.

La pente de Weibull est le reflet de la densité critique de défauts de l'oxyde⁹. Les valeurs que nous obtenons, oscillant entre 1,3 et 1,7 (une exception : 0,9), sont plutôt inférieures aux estimations de Wu²⁶⁵ : la pente de Weibull doit se situer autour de 2 pour des épaisseurs d'oxyde de 4nm. De plus, une faible pente reflète une influence non négligeable du claquage extrinsèque. Par contre, il est intéressant de remarquer qu'aucun consensus n'a toujours été trouvé sur le fait que la pente dépende ou non de la tension appliquée, du sens de polarisation ou de la température. En ce qui concerne nos composants, il est difficile de conclure sur ce sujet.

Comparons nos résultats avec ceux de Degraeve²⁶⁴, pour un oxyde d'épaisseur 4nm. Premièrement, l'injection est fixée à $0,1\text{A}/\text{cm}^2$ et l'aire des composants qu'il a testés est de 2.10^{-9} m^2 . Les résultats sont : $Q_{\text{BD}}=1\text{ C}/\text{cm}^2$ pour l'injection grille et $Q_{\text{BD}}=40\text{ C}/\text{cm}^2$ pour l'injection substrat, donc des conditions plus défavorables que les nôtres, dans la mesure où une polarisation et une aire de composant plus élevées entraînent une accélération de l'apparition du claquage. Par conséquent, les charges au claquage Q_{BD} que nous obtenons étant plus faibles que ceux de Degraeve, nos résultats de fiabilité sont décevants par rapport à la littérature.

Nous pouvons faire deux remarques :

- Les résultats des composants à grille métallique, l'échantillon témoin, sont mauvais par rapport à la littérature. Les hypothèses sont les suivantes :
 - On n'observe que le claquage extrinsèque. Ce n'est pas le cas puisque toutes les courbes de charges au claquage obéissent à la statistique de Weibull.
 - Mauvaise qualité intrinsèque de l'isolant? C'est possible dans la mesure où il n'a pas été possible de caractériser les pièges responsables de la formation des chemins de conduction nécessaires à l'apparition du claquage.

⁹ La densité critique de défauts de l'oxyde est le seuil à atteindre pour que des chemins de conduction se forment dans l'oxyde suite à une contrainte.

- Mauvais nettoyage de surface pré-oxydation? Au vu des résultats du calcul des densités d'états d'interface, il est évident que ces résultats de fiabilité pourraient être améliorés. Cependant, la quantité d'états d'interface ne peut pas être seule responsable de ces résultats de Q_{BD} .
- Les résultats de Q_{BD} des composants à grille en polysilicium sont encore plus mauvais que ceux de la grille métallique. Quelles peuvent en être les raisons ?
 - Présence excessive de bore dans l'isolant? Il ne semble pas, d'après la valeur du coefficient de diffusion du bore à 600°C.
 - Niveau de contrainte mécanique trop élevé? Les valeurs que nous avons obtenues sont « standards ». Donc, elles ne peuvent pas être mises en cause.
 - Interface poly-Si/SiO₂ trop rugueuse? D'après les résultats de TEM, il est difficile de conclure mais une interface trop rugueuse pourrait être la cause de la faible valeur de charges au claquage. Cependant, les oscillations de courant présentes sur les courbes I(V) en injection d'électrons par la grille témoignent d'une interface de bonne qualité.

V. CONCLUSION

Dans ce chapitre ont été réunies les caractérisations du polysilicium dopé bore *in situ* : tout d'abord des caractérisations physiques de ce matériau, puis des caractérisations électriques de capacités MOS à oxyde de grille ultra-mince et dont ce type de polysilicium constitue l'électrode de grille.

Tout d'abord, il a été mis en évidence la capacité de la méthode de dopage *in situ* à partir de disilane dans un four vertical à réduire considérablement la déplétion de grille tout en limitant la diffusion de bore à travers la structure.

De même, grâce au dépôt à basse température, le polysilicium obtenu présente une très faible résistivité, des contraintes « standards », une faible rugosité d'interface avec le SiO₂ et une mobilité des porteurs très proche de la valeur du silicium monocristallin.

La caractérisation électrique des capacités MOS a permis, tout d'abord, de valider le modèle théorique développé dans le chapitre précédent puisqu'il a été démontré l'erreur

Chapitre 3 : Caractérisations physique et électrique

commise dans le cas où l'on utiliserait une modélisation classique pour extraire l'épaisseur de l'isolant.

Cependant, la conclusion qui ressort de l'étude électrique est qu'il est possible d'améliorer sensiblement le procédé utilisé pour la fabrication des capacités MOS : les états de surface présents à l'interface substrat/oxyde peuvent être diminués par un nettoyage plus efficace. De même, une amélioration du procédé pourrait fournir de bien meilleurs résultats de charge emmagasinée au claquage, dont la médiocrité n'a pu être expliquée.

Conclusion
générale

Chapitre 4 : Conclusion générale

La grille d'un transistor MOS est généralement en silicium polycristallin dopé par implantation, car elle est réalisée en même temps que les zones de source et de drain. Pour une grille de type P⁺, le bore est l'impureté dopante qui soulève deux problématiques : la pénétration du bore dans la structure et la déplétion de grille.

Nous nous sommes donc intéressés à une méthode de dopage qui pourrait limiter ces deux effets pénalisants et nous avons étudié son application à la réalisation de l'électrode de grille d'un transistor MOS : c'est la méthode de dopage bore *in situ* du polysilicium. Cette méthode de dopage, effectuée dans un réacteur vertical à basse température à partir de disilane et de trichlorure de bore, produit un silicium amorphe qui, après recuit à faible température, devient polycristallin, dopé uniformément et très faiblement résistif.

La synthèse générale des résultats obtenus lors de ce travail est la suivante.

Dans le premier chapitre, la synthèse bibliographique sur la position des problèmes concernant les isolants de grille, les matériaux constituant l'électrode de grille et les problèmes inhérents à la réduction de l'épaisseur de l'isolant nous ont permis de montrer l'intérêt que constitue ce type de dépôt, que ce soit en terme de minimisation du couple déplétion de grille/diffusion du bore que de son éventuelle association avec des diélectriques à forte permittivité.

Le second chapitre a été dédié à la conception de simulateurs C(V) et I(V) prenant en compte la quantification des porteurs afin que l'extraction des paramètres physiques, effectuée lors de la caractérisation électrique, soit la plus précise possible. Nous avons montré, pour un dopage de l'ordre de 10^{18} cm^{-3} et des épaisseurs d'isolant de 3 à 7 nm, l'erreur commise sur la valeur de l'épaisseur de l'isolant extraite si l'on utilisait un modèle classique. C'est un chapitre important qui a constitué l'outil indissociable des mesures que nous avons effectuées.

Le troisième et dernier chapitre est constitué des résultats de la caractérisation physique du polysilicium dopé bore *in situ* et de la caractérisation électrique de capacités MOS dont la grille est constituée de polysilicium dopé bore *in situ*. Le polysilicium que nous obtenons est très faiblement résistif, présente des résultats standards de contraintes mécaniques et de rugosité d'interface avec l'isolant. Comme nous nous y attendions, la

Chapitre 4 : Conclusion générale

diffusion de bore est négligeable et le profil de dopage est pratiquement uniforme. Les résultats de l'étude électrique nous montrent que la déplétion de grille est pratiquement supprimée. Par contre, la qualité de l'isolant semble largement améliorable en terme de charges et, surtout, de fiabilité mais, ce travail d'optimisation de l'oxydation de grille ne constituait pas l'objet de cette thèse.

Bien que la tendance soit au retour des métaux en tant qu'électrode de grille, il serait intéressant d'optimiser la méthode de dépôt de polysilicium dopé bore à basse température afin de l'associer avec des diélectriques à forte permittivité, comme le HfO_2 , pour l'intégration de futurs transistors MOS.

Références bibliographiques

¹ G. Moore, “Cramming more components onto integrated circuits”, Electronics, Volume 38, Number 8, April 19, 1965

² <http://public.itrs.net/>

³ C. Hobbs; L. Fonseca; V. Dhandapani; S. Samavedam; B. Taylor; J. Grant; L. Dip; D. Triyoso; R. Hegde; D. Gilmer; R. Garcia; D. Roan; L. Lovejoy; R. Rai; , L. Hebert; H. Tseng; B.White; P. Tobin, « Fermi level pinning at the polySi/metal oxide interface », Symposium of VLSI Technology, p.9, 2003

⁴ M. V. Fischetti; D. A. Neumayer; E. A. Cartier, « Effective electron mobility in Si inversion layers in metal–oxide–semiconductor systems with a high- insulator: The role of remote phonon scattering », Journal of Applied Physics 90, p4587, 2001

⁵ G. Moore, “Cramming more components onto integrated circuits”, Electronics, Volume 38, Number 8, April 19, 1965

⁶ R. H. Dennard; F. H. Gaensslen; H. N. Yu; V. L. Rideout; E. Bassous; A. R. LeBlanc, « Design of Ion-Implanted MOSFET's with Very Small Physical Dimensions », Journal of Solid State Circuits, pp256-268, 1974

⁷ <http://public.itrs.net/>

⁸ S. Thompson; N. Anand; M. Armstrong et al., « A 90nm Logic Technology Featuring 50nm Strained Silicon Channel Transistors, 7 layers of Cu Interconnects, Low k ILD, and 1µm² SRAM Cell », IEDM Technical Digest, p.61, 2002

⁹ H. Iwai, « CMOS downsizing toward sub-10 nm », Solid-State Electronics 48, pp497-503, 2004

¹⁰ G. K. Celler; S. Cristoloveanu, « Frontiers of silicon-on-insulator », Journal of Applied Physics 93, pp4955-4978, 2003

- ¹¹ K. Izumi; M. Doken; H. Ariyoshi, « C.M.O.S. devices fabricated on buried SiO₂ layers formed by oxygen implantation into silicon », Electronics Letters 14, p593, 1978
- ¹² M. Bruel, « Silicon on insulator material technology », Electronics Letters 31, p1201, 1995
- ¹³ S. Verdonckt-Vandebroek; E.F. Crabbe; B.S. Meyerson; D.L. Hareme; P.J. Restle, J.M.C. Stork; J.B. Johnson, « SiGe-channel heterojunction p-MOSFET's », Transactions on Electron Devices 41, p90, 1994
- ¹⁴ J. Alieu; P. Bouillon; R. Gwozieck; D. Moi; G. Bremond; T. Skotnicki, « Optimisation of Si_{0.7}Ge_{0.3} channel heterostructures for 0.15/.18 µm CMOS process », ESSDERC, p144, 1998
- ¹⁵ G. Höck; E. Kohn; C. Rosenblad; H. von Känel; H.J. Herzog; U. König, « High hole mobility in SiGe channel metal-oxide-semiconductor field-effect transistors grown by plasma enhanced-chemical vapor deposition », Applied Physics Letters 76, p3920, 2000
- ¹⁶ Romanjek et al, publication à paraître
- ¹⁷ <http://www.mse.arizona.edu>
- ¹⁸ O. L. Krivanek; T. T. Sheng; D. C. Tsui, « A high-resolution electron microscopy study of the Si-SiO₂ interface », Applied Physics Letters 32, p439, 1978
- ¹⁹ Stoneham et al, Philips Magazine B55, p201, 1987
- ²⁰ H. Nohira; A. Omura; M. Katayama; T. Hattori, « Valence band edge of ultrathin silicon oxide near interface », Applied Surface Science 123/124, p546, 1998
- ²¹ J. H. Stathis, « Physical and predictive models of ultrathin oxide reliability in CMOS devices and circuits », Transactions on Device and Materials Reliability 1, pp43-59, 2001
- ²² J. W. McPherson; R. B. Khamankar, « Molecular model for intrinsic time-dependent dielectric breakdown in SiO₂ dielectrics and the reliability implications for hyper-thin gate oxide », Semiconductor Science and Technology 15, pp462-470, 2000
- ²³ I. C. Chen; S. Holland; K. K. Young; C. Chang; C. Hu, « Substrate hole current and oxide breakdown », Applied Physics Letters 49, pp669-671, 1986

- ²⁴ D. J. DiMaria; J. W. Stasiak, « Trap creation in silicon dioxide produced by hot electrons », *Journal of Applied Physics* 65, pp2342-2356, 1989
- ²⁵ M. Depas; T. Nigam; M. Heyns, « Definition of dielectric breakdown for ultrathin (<2 nm) gate oxides », *Solid-State Electronics* 41, pp725-728, 1997
- ²⁶ R. Rodriguez; M. Nafria; E. Miranda; J. Sune; X. Aymerich, « Analysis of the degradation and breakdown of thin SiO₂ films under static and dynamic tests using a two-step stress procedure », *Transactions on Electron Devices* 47, pp2138-2145, 2000
- ²⁷ Scarpa et al, *Transactions on Nuclear Sciences* 44, pp1818-1825, 1997
- ²⁸ M. J. Chen; H. T. Huang; J. H. Chen; C. W. Su; C. S. Hou; M. S. Liang, « Cell-based analytic statistical model with correlated parameters for intrinsic breakdown of ultrathin oxides », *Electron Device Letters* 20, pp523-525, 1999
- ²⁹ J. Suñé, « New physics-based analytic approach to the thin-oxide breakdown statistics », *Electron Device Letters* 22, pp296-298, 2001
- ³⁰ R. Degraeve et al, « A consistent model for the thickness dependence of intrinsic breakdown in ultra-thin oxides », *IEDM*, pp863-866, 1995
- ³¹ R. Degraeve; B. Kaczer; G. Groeseneken, « Degradation and breakdown in thin oxide layers: mechanisms, models and reliability prediction », *Microelectronics Reliability* 39, p1445, 1999
- ³² Stathis; D. J. DiMaria, « Reliability Projection for Ultra-Thin Oxides at Low Voltage », *IEDM*, p167, 1998
- ³³ R. Degraeve; P. Roussel; G. Groeseneken; H. E. Maes, « A new analytic model for the description of the intrinsic oxide breakdown statistics of ultra-thin oxides », *Microelectronics Reliability* 36, p1639, 1996
- ³⁴ J.A. Lopez-Villanueva; J.A. Jimenez-Tejada; P. Cartujo; J. Bausells; J.E. Carceller, « Analysis of the effects of constant-current Fowler-Nordheim-tunneling injection with

charge trapping inside the potential barrier », *Journal of Applied Physics* 70, pp3712-3720, 1991

³⁵ S. Elrhbari; M. Jourdain; A. MeinertzHagen, « Effect of tunneling electrons in Fowler–Nordheim regime on the current-voltage characteristics and model of degradation of metal-oxide-semiconductor capacitors », *Journal of Applied Physics* 76, pp1013-1020, 1994

³⁶ E. Miranda; G. Redin; A. Faigon, « Modeling of I-V characteristics of high-field stressed MOS structures using a Fowler-Nordheim-type tunneling expression », *Microelectronics Reliability* 42, pp935-940, 2002

³⁷ P. Olivo; T. N. Nguyen; B. Ricco, « High-field-induced degradation in ultra-thin SiO₂ films », *Transaction on Electron Devices* 35, pp2259-2264, 1988

³⁸ A. I. Chou; K. Lai; K. Kumar; P. Chowdhury; J. C. Lee, « Modeling of stress-induced leakage current in ultrathin oxides with the trap-assisted tunneling mechanism », *Applied Physics Letters* 70, pp3407-3409, 1997

³⁹ B. Ricco; G. Gozzi; M. Lanzoni, « Modeling and simulation of stress-induced leakage current in ultrathin SiO₂ films », *Transactions on Electron Devices* 45, pp1554-1560, 1998

⁴⁰ E. Vincent; S. Bruyere; C. Papadas; P. Mortini, « Dielectric Reliability in Deep Submicron Technologies: From Thin to Ultrathin Oxides », *Microelectronics Reliability* 37, pp1499-1506, 1997

⁴¹ M. Depas; B. Vermeire; P. W. Mertens; M. Meuris; M. M. Heyns, « Wear-out of ultra-thin gate oxides during high-field electron tunnelling », *Semiconductor Science and Technology* 10, pp753-758, 1995

⁴² D.A. Buchanan; S.H. Lo, « Reliability and Integration of Ultra-Thin Gate Dielectrics for Advanced CMOS », *Microelectronics Engineering* 36, pp329-333, 1997

Références bibliographiques

- ⁴³ R. Rodriguez; E. Miranda; R. Pau; J. Sune; M. Nafria; X. Aymerich, « Monitoring the degradation that causes the breakdown of ultrathin (<5 nm) SiO₂ gate oxides », Electron Device Letters 21, pp251-253, 2000
- ⁴⁴ S.H. Lee; B.J. Cho; J.C Kim; S.H. Choi, IEDM, p605, 1994
- ⁴⁵ K. Okada; S. Kawasaki; Y. Hirofuji, « New Experimental Findings on Stress Induced Leakage Current of Ultra Thin Silicon Dioxides », International Conference on Solid State Devices and Materials, p565, 1994
- ⁴⁶ S. Lombardo; A. La Magna; C. Gerardi; M. Alessandri; F. Crupi, « Soft breakdown of gate oxides in metal–SiO₂–Si capacitors under stress with hot electrons », Applied Physics Letters 75, pp1161-1163, 1999
- ⁴⁷ T. Sakura; H. Utsunomiya; Y. Kamakura; K. Taniguchi, « A Detailed Study of Soft- and Pre-Soft-Breakdowns in Small Geometry MOS Structures », IEDM, pp183-186, 1998
- ⁴⁸ G. Cellere; L. Larcher; M.G. Valentini; A. Paccagnella, « Micro breakdown in small-area ultrathin gate oxide », Transactions on Electron Devices 49, pp1367-1374, 2002
- ⁴⁹ J. Maserjian; N. Zamani, « Behavior of the Si/SiO₂ interface observed by Fowler-Nordheim tunneling », Journal of Applied Physics 53, p559, 1982
- ⁵⁰ A. Ghetti; E. Sangiorgi; J. Bude; T.W. Sorsch; G. Weber, « Tunneling into interface states as reliability monitor for ultrathin oxides », Transactions on Electron Devices 47, p2358, 2000
- ⁵¹ R. Clerc; A. Spinelli; G. Ghibaudo; C. Leroux; G. Pananakakis, « Electrical characterization and quantum modeling of MOS capacitors with ultra-thin oxides (1.4 - 3 nm) », WODIM, p 50, 2000
- ⁵² D. Ielmini; A. Spinelli; M. Rigamonti; A. Lacaita, « Modeling of SILC based on electron and hole tunneling - Part I », Transactions on Electron Devices 47, p1258, 2000

Références bibliographiques

- ⁵³ M. Fadlallah; G. Ghibaudo; M. Bidaud; O. Simonetti; F. Guyader, « Stress-induced leakage current at low field in NMOS and PMOS devices with ultra-thin nitrided gate oxide », *Microelectronics Engineering* 72, pp 241-246, 2004
- ⁵⁴ E. Miranda; J. Suñé, « Electron transport through broken down ultra-thin SiO₂ layers in MOS devices », *Microelectronics Reliability* 44, pp1-23, 2004
- ⁵⁵ M.Y. Hao; D. Nayak; R. Rakkit, « Impact of boron penetration at P⁺-poly/gate oxide interface on deep-submicron device reliability for dual-gate CMOS technologies », *Electron Device Letters* 18, p215, 1997
- ⁵⁶ Kim et al, *IEDM Technical Digest*, p287, 1997
- ⁵⁷ Z.J. Ma; J.C. Chen; Z.H. Liu; J.T. Krick; Y.C. Cheng; C. Hu; P.K. Ko, « Suppression of boron penetration in P⁺ polysilicon gate P-MOSFETs using low-temperature gate-oxide N₂O anneal », *Electron Device Letters* 15, p109, 1994
- ⁵⁸ J.R. Pfister; F.K. Baker; T.C. Mele; H.H Tseng, « The effect of boron penetration on P⁺ polysilicon gated PMOS devices », *Transactions on Electron Devices* 37, p1842, 1990
- ⁵⁹ T. Morimoto; H. S. Mom; Y. Ozawa; K. Yamade; H. Iwai, *IEDM Technical Digest*, p429, 1990
- ⁶⁰ M.L. Green et al, « Ultrathin (< 4 nm) SiO₂ and Si–O–N Gate Dielectric Layers for Silicon Microelectronics: Understanding the Processing, Structure, and Physical and Electrical Limits », *Journal of Applied Physics* 90, pp2057-2121, 2001
- ⁶¹ A. Teramoto; H. Umeda; H. Tamura; Y. Nishida; H. Sayama; K. Terada; K. Kawase; Y. Ohno; A. Shigetomi, « Precise Control of Nitrogen Profiles and Nitrogen Bond States for Highly Reliable N₂O-Grown Oxynitride », *Journal of Electrochemical Society* 147, pp1888-1892, 2000

Références bibliographiques

- ⁶² M. Bhat; L. K. Han; D. Wristers; J. Yan; D. L. Kwong; J. Fulford, « Effects of chemical composition on the electrical properties of NO-nitrided SiO₂ », Applied Physics Letters 66, pp1225-1227, 1995
- ⁶³ Sagnes et al, Materials Research Society Symposium Proceedings 429, pp251-256, 1996
- ⁶⁴ Chen et al, Materials Research Society 567, p283, 1999
- ⁶⁵ Brown et al, Journal of Electrochemical Society 115, p311, 1968
- ⁶⁶ R. Chau; S. Datta; M. Doczy; J. Kavalieros; M. Metz, « Gate Dielectric Scaling for High-Performance CMOS: from SiO₂ to High-K », IEDM Technical Digest, p.45, 2000
- ⁶⁷ W.K. Henson; K.Z. Ahmed; E.M. Vogel; J.R. Hauser; J.J. Wortman; R.D. Venables; M. Xu; D. Venables, « Estimating oxide thickness of tunnel oxides down to 1.4 nm using conventional capacitance-voltage measurements on MOS capacitors », Electron Device Letters 20, pp 179-181, 1999
- ⁶⁸ K. J. Yang; C.M. Hu, « MOS Capacitance Measurements for High-Leakage Thin Dielectrics », Transactions on Electron Devices 46, pp 1500-1501, 1999
- ⁶⁹ J. Schmitz; F.N. Cubaynes; R.J. Havens; R. de Kort; A.J. Scholten; L.F. Tiemeijer, « RF capacitance-voltage characterization of MOSFETs with high-leakage dielectrics », Electron Device Letters 24, pp 37-39, 2003
- ⁷⁰ D.A. Buchanan, IBM Journal of Research and Development 43, p245, 1999
- ⁷¹ <http://www.intel.com>
- ⁷² B. Cheng; M. Cao; R. Rao; A. Inani; P. VandeVoorde; W.M. Greene; J.M.C. Stork; Z. Yu; P.M. Zeitoff; J.C.S. Woo, « The impact of high- κ gate dielectrics and metal gate electrodes on sub-100 nm MOSFETs », Transactions on Electron Devices 46, pp1537-1544, 1999
- ⁷³ E.M. Vogel; K.Z. Ahmed; B. Hornung; W.K. Henson; P.K. McLarty; G. Lucovsky; J.R. Hauser; J.J. Wortman, « Modeled tunnel currents for high dielectric constant dielectrics », Transactions on Electron Devices 45, p1350, 1998

Références bibliographiques

- ⁷⁴ Q. Lu; D. Park; A. Kalnitsky; C. Chang; C. Chia-Cheng; P.T. Sing; K. Tsu-Jae; H. Chenming, « Leakage current comparison between ultra-thin Ta₂O₅ films and conventional gate dielectrics », Electron Device Letters 19, p341, 1998
- ⁷⁵ Robertson et al, Materials Research Development Bulletin, pp217-221, 2002
- ⁷⁶ Schlom et al, Materials Research Development Bulletin, pp198-204, 2002
- ⁷⁷ G.D.Wilk; R.M.Wallace; J.M.Anthony, « High-k Gate Dielectrics: Current Status and Materials Properties Considerations », Journal of Applied Physics 89, pp5243-5275, 2001
- ⁷⁸ Wallace et al, Materials Research Symposium Bulletin, pp192-197, 2002
- ⁷⁹ M. Gutowski; J. Jaffe; C. Lui; M. Stoker; R. Hegde; R. Ragshaw; P. Tobin, « Thermodynamic Stability of High-K Dielectric Metal Oxides ZrO₂ and HfO₂ in Contact with Si and SiO₂ », Applied Physics Letters 80, p1897, 2002
- ⁸⁰ A. Uedono; N. Hattori; A. Ogura; J. Kudo; S. Nishikawa; T. Ohdaira; R. Suzuki; T. Mikado, « Characterizing Metal-Oxide Semiconductor Structures Consisting of HfSiO_x as Gate Dielectrics using Monoenergetic Positron Beams », Japanese Journal of Applied Physics 43, p1254, 2004
- ⁸¹ D.A. Neumayer; E. Cartier, « Materials Characterization of ZrO₂-SiO₂ and HfO₂-SiO₂ Binary Oxides Deposited by Chemical Solution Deposition », Journal of Applied Physics 90, pp1801-1808, 2001
- ⁸² G. B. Rayner; D. Kang; G. Lucovsky, « Spectroscopic study of chemical phase separation in zirconium silicate alloys », Journal of Vacuum Science and Technology B21, p1783, 2003
- ⁸³ M. R. Visokay; J. J. Chambers; A. L. P. Rotondaro; A. Shanware; L. Colombo, « Application of HfSiON as a gate dielectric material », Applied Physics Letters 80, p3183, 2002
- ⁸⁴ Hobbs et al.: Proc. of IEEE IEDM Tech. Digest, 2001, p. 663

Références bibliographiques

- ⁸⁵ S.J. Lee; C.H. Choi; A. Kamath; R. Clark; D.L. Kwong, « Characterization and reliability of dual high-k gate dielectric stack (poly-Si-HfO₂-SiO₂) prepared by in situ RTCVD process for system-on-chip applications », Electron Device Letters 24, p105, 2003
- ⁸⁶ Kim et al., « Conventional n-channel MOSFET devices using single layer HfO₂ and ZrO₂ as high-k gate dielectrics with polysilicon gate electrode », Proceedings of IEEE IEDM, p. 455, 2001
- ⁸⁷ Gusev et al., « Ultrathin High-k Gate Stacks for Advanced CMOS Devices », Proceedings of IEEE IEDM, p. 451, 2001
- ⁸⁸ S. Lee; D.L. Kwong, « Dual Poly-Si Gate Metal Oxide Semiconductor Field Effect Transistors Fabricated with High-Quality Chemical Vapor Deposition HfO₂ Gate Dielectrics », Japanese Journal of Applied Physics 42 Part 1, No. 12, p7256, 2003
- ⁸⁹ C. Hobbs; L. Fonseca; V. Dhandapani; S. Samavedam; B. Taylor; J. Grant; L. Dip; D. Triyoso; R. Hegde; D. Gilmer; R. Garcia; D. Roan; L. Lovejoy; R. Rai; L. Hebert; H. Tseng; B. White; P. Tobin, « Fermi level pinning at the polySi/metal oxide interface », Symposium on VLSI Technology Digest, p. 9, 2003
- ⁹⁰ D.A. Buchanan et al., « 80 nm Poly-Silicon Gated n-FET's with Ultra-Thin Al₂O₃ Gate Dielectrics for ULSI Applications », Proceedings of IEEE IEDM Tech. Digest, p. 223, 2000
- ⁹¹ G. D. Wilk; R. M. Wallace; J. M. Anthony, « Hafnium and zirconium silicates for advanced gate dielectrics », Journal of Applied Physics 87, No. 1, 484, 2000
- ⁹² S. Guha; E. Gusev; M. Copel; L.A. Ragnarsson; D.A. Buchanan, « Compatibility Challenges for High-k Materials Integration into CMOS Technology », MRS Bulletin, pp226-229, 2002
- ⁹³ M. Copel, « Structure and Stability of Ultrathin Zirconium Oxide Layers on Si(001) », Applied Physics Letters 76, pp436-438, 2000
- ⁹⁴ <http://www.eetimes.com/story/OEG20030408s0047>

- ⁹⁵ S. Zafar; A. Callegari; E. Gusev; M.V. Fischetti, « Charge trapping related threshold voltage instabilities in high permittivity gate dielectric stacks », *Journal of Applied Physics* 93, p9298, 2003
- ⁹⁶ E.P. Gusev; C. D'emic; S. Zafar; A. Kumar, « Charge trapping and detrapping in HfO₂ high-k gate stacks », *Microelectronic Engineering* 72, pp273-277, 2004
- ⁹⁷ Y.C. Yeo; P. Ranade; T.J. King; C. Hu, « Effects of high-k gate dielectric materials on metal and silicon gate workfunctions », *Electron Device Letters* 23, pp342-344, 2002
- ⁹⁸ Samavedam et al, *Motorola Annual Topical Research Conference on reliability*, 2003
- ⁹⁹ Hobbs et al, « Fermi-Level Pinning at the Polysilicon/Metal–Oxide Interface—Part I », *Transactions on Electron Devices* 51, pp971-977, 2004
- ¹⁰⁰ K. Shiraishi; K. Yamada; K. Torii; Y. Akasaka; K. Nakajima; M. Konno; T. Chikyow; H. Kitajima; T. Arikado, « Oxygen Vacancy Induced Substantial Threshold Voltage Shifts in the Hf-based High-K MISFET with p+poly-Si Gates -A Theoretical Approach », *Japanese Journal of Applied Physics Part 2* 43, pp1413-1415, 2004
- ¹⁰¹ C. S. Park; B. J. Cho; D.L. Kwong, « MOS characteristics of substituted Al gate on high-k dielectric », *Electron Device Letters* 25, pp725-727, 2004
- ¹⁰² K. Onishi; R. Choi; C. Kang; H. Cho; Y. Kim; R. Nieh; J. Han; S. Krishnan; M. Akbar; J. Lee, « Bias-temperature Instabilities of Polysilicon Gate HfO₂ MOSFET », *Transactions on Electron Devices* 50, pp1517-1524, 2003
- ¹⁰³ M.V. Fischetti, « Long-range Coulomb interactions in small Si devices. Part I: Effective electron mobility in thin-oxide structures », *Journal of Applied Physics* 89, p1232, 2001
- ¹⁰⁴ M.V. Fischetti; D. Neumayer; E. A. Cartier, « Effective Electron Mobility in Si Inversion Layers in Metal-Oxide-Semiconductor Systems with A High-κ Insulator: The Role of Remote Phonon Scattering », *Journal of Applied Physics* 90, p4587, 2001

Références bibliographiques

- ¹⁰⁵ Ren et al, « Inversion channel mobility in high-k high performance MOSFETs », IEDM Technical Digest, paper 33.2, 2003
- ¹⁰⁶ R. Chau; S. Datta; M. Doczy; B. Doyle; J. Kavalieros; M. Metz, « High-K/Metal-Gate Stack and Its MOSFET Characteristics », Electron Device Letters 25, p408, 2004
- ¹⁰⁷ S. Takagi; A. Toriumi; M. Iwase; H. Tango, « On the universality of inversion layer mobility in Si MOSFETs: Part I—Effects of substrate impurity concentration », Transactions on Electron Devices 41, p2357, 1994
- ¹⁰⁸ Bersuker et al, Motorola Workshop, Novembre 2003
- ¹⁰⁹ F Gamiz; A Godoy; J B Roldan; J E Carceller; P Cartujo, « Effect of polysilicon depletion charge on electron mobility in ultrathin oxide MOSFETs », Semiconductor Science and Technology 18, pp927-937, 2003
- ¹¹⁰ Datta et al, IEDM Technical Digest, 2003
- ¹¹¹ K. Suzuki; H. Minakata; T. Sakota; M. Yamaguchi; Y. Tamura, « Segregation coefficient of impurities at polycrystalline Si/HfO₂ interfaces », Solid State Electronics 49, pp137-139, 2005
- ¹¹² D.G. Park; H.J. Cho; I.S. Yeo; J.S. Roh; J.M. Hwang, « Boron penetration in p+ polycrystalline-Si/Al₂O₃/Si metal–oxide–semiconductor system », Applied Physics Letters 77, 2207, 2000
- ¹¹³ Jaffe et al, Transactions on Electron Devices 30, pp 420-421, 1983
- ¹¹⁴ J.YW. Seto, « Piezoresistive properties of polycrystalline silicon », Journal of Applied Physics 47, pp4780-4783, 1976
- ¹¹⁵ P. J. French; A. G. R. Evans, « Piezoresistance in polysilicon and its applications to strain gauges », Solid-State Electronics 32, pp1-10, 1989
- ¹¹⁶ P. J. French, « Polysilicon: a versatile material for microsystems », Sensors and Actuators 99, pp3-12, 2002

Références bibliographiques

-
- ¹¹⁷ T. Sameshima; S. Usui, « Pulsed laser-induced amorphization of silicon films », *Journal of Applied Physics* 70, p1281, 1991
- ¹¹⁸ S.D. Brotherton; D.J. McCulloch; J.B. Clegg; J.P. Gowers, « Excimer-laser-annealed poly-Si thin-film transistors », *Transaction on Electron Devices* 40, p407, 1993
- ¹¹⁹ K. Shimizu; O. Sugiura et al., « High-mobility poly-Si thin-film transistors fabricated by a novel excimer laser crystallization method », *Transaction on Electron Devices* 40, p112, 1993
- ¹²⁰ Plévert, Thèse, « Cristallisation par recuit rapide du silicium amorphe sur verre », 1995
- ¹²¹ E. Campo, Thèse, « Procédés thermiques rapides RTA,O : Applications à la réalisation de transistors à films minces de silicium déposés à partir de disilane », 1993
- ¹²² R. Rogel; G. Gautier; N. Coulon; M. Sarret; O. Bonnaud, « Influence of precursors gases on LPCVD TFT's characteristics », *Thin Solid Films* 427, pp108-112, 2003
- ¹²³ L. Jalabert, Thèse, « Ingénierie de grille pour application à la micro-électronique MOS sub-micronique », 2001
- ¹²⁴ J.W. Lee; T.F. Lei; C.L. Lee, « Thin Oxides Grown on Disilane-Based Polysilicon », *Japanese Journal of Applied Physics (part 1)* 41(6A), pp3651-3654, 2002
- ¹²⁵ A. Hammad; E. Amanatides; D. Mataras; D. Rapakoulias, « PECVD of hydrogenated silicon thin films from SiH₄+H₂+Si₂H₆ mixtures », *Thin Solid Films* 451-452, pp255-258, 2004
- ¹²⁶ G. Fresquet; C. Azzaro; J. P. Couderc, « Analysis and Modeling of In Situ Boron-Doped Polysilicon Deposition by LPCVD », *Journal of Electrochemical Society* 142, p538, 1995
- ¹²⁷ E. Carvou; F. Le Bihan; A. C. Salaün; R. Rogel; O. Bonnaud; Y. Rey-Tauriac; X. Gagnard; L. Roland, « Reliability improvement of high value doped polysilicon-based resistors », *Microelectronics Reliability* 42, pp1369-1372, 2002
- ¹²⁸ M. Ylönen; A. Torkkeli; H. Kattelus, « In situ boron-doped LPCVD polysilicon with low tensile stress for MEMS applications », *Sensors and Actuators* 109, pp79-87, 2003

Références bibliographiques

- ¹²⁹ I.R.C. Post; P. Ashburn; G.R. Wolstenholme, « Polysilicon emitters for bipolar transistors: a review and re-evaluation of theory and experiment », Transactions on Electron Devices 39, p1717, 1992
- ¹³⁰ V. Subramanian, « High-Performance Germanium-Seeded Laterally Crystallized TFT's for Vertical Device Integration », Transactions on Electron Devices 45(P), p1934, 1998
- ¹³¹ L. Pichon; F. Raoult; K. Mourgues; K. Kis-Sion; T. Mohammed-Brahim; O. Bonnaud, « Low temperature ($\leq 600^{\circ}\text{C}$) unhydrogenated in-situ doped polysilicon thin film transistors: Towards a technology for flat panel displays », Thin Solid Films 296, p133, 1997
- ¹³² T. Nakahata; K. Sugihara; Y. Abe; T. Ozeki, « Low thermal budget selective epitaxial growth for formation of elevated source/drain MOS transistors », Journal of Crystal Growth 264, p79-85, 2004
- ¹³³ S.H. Nam; B.H. Kim; J. Moon; T.E. Shim; J.G. Lee, « In situ boron-doped polycrystalline silicon films prepared by a novel low-pressure chemical vapour deposition method using a $\text{Si}_2\text{H}_6\text{-B}_2\text{H}_6\text{-N}_2$ gas system », Journal of Physics D 29, pp1088-1092, 1996
- ¹³⁴ J. Pejnefors; S.L. Zhang; H.H. Radamson; J.V. Grahn; M. Östling, « Chemical vapor deposition of undoped and in-situ boron- and arsenic-doped epitaxial and polycrystalline silicon films grown using silane at reduced pressure », Journal of Applied Physics 88, pp1655-1663, 2000
- ¹³⁵ E.Scheid; B. De Mauduit; P.Taurines; D.Bielle Daspét, « Super large grain polycrystalline silicon obtained from pyrolysis of Si_2H_6 and annealing », Japanese Journal of Applied Physics 29, pp2105-2107, 1990
- ¹³⁶ S. Kallel; B. Semmache; M. Lemiti; H. Jaffrezic; A. Laugier, « Structural and mechanical characterization of in-situ phosphorus-doped rapid transport low pressure chemical vapor deposition polycrystalline silicon films », Microelectronics Journal 30, pp699-703, 1999

Références bibliographiques

- ¹³⁷ S. Yokoyama; H. Onizuka; Y. Yoshizawa; H. Kuwano, « Solid-phase crystallization behaviors of in situ phosphorous-doped amorphous silicon films deposited using Si₂H₆ and PH₃ », Journal of Applied Physics 94, pp770-773, 2003
- ¹³⁸ A. Aït-Kaki; D. Rechem, « Effect of oxidation treatments on the redistribution of the boron in the thin films of polycrystalline silicon Si-LPCVD used in VLSI », The European Physical Journal of Applied Physics 25, pp77-84, 2004
- ¹³⁹ S.B. Herner; M. Konevecki; U. Raghuram; S. Sivaram; M. H. Clark, « Low Resistivity P+ Polycrystalline Silicon Deposition at Low Temperatures with SiH₄/BCl₃ », Electrochemical and Solid State Letters 7, ppG108-G111, 2004
- ¹⁴⁰ Y.Laghla; E.Scheid; H.Vergnes; J.P.Couderc, « Electronic properties and microstructure of undoped, and B or P-doped polysilicon deposited by LPCVD », Solar Energy Materials and Solar Cells 48, pp303-314, 1997
- ¹⁴¹ Y. Laghla; E. Scheid, « Optical study of undoped, B or P-doped polysilicon », Thin Solid Films 306, pp67-73, 1997
- ¹⁴² C.Azzaro; E.Scheid; D.Bielle Daspét; P.Duverneuil; P.Boudre, « An understanding of in situ boron doped polysilicon films by characterization and simulation », Journal de Physique IV, pp79-85, 1991
- ¹⁴³ B. Caussat; E. Scheid; B. De Mauduit; R. Berjoan, « Influence of dopant concentration and of substrate nature on the local organization of LPCVD in situ boron doped silicon films from silane and boron trichloride », Thin Solid Films 446, pp218-226, 2004
- ¹⁴⁴ M.K. Sanganeria; K.E. Violette; M.C. □zt□rk; G. Harris; D.M. Maher, « Boron Incorporation in Epitaxial Silicon Using Si₂H₆ and B₂H₆ in an Ultrahigh Vacuum Rapid Thermal Chemical Vapor Deposition Reactor », Journal of Electrochemical Society 142, p285, 1995
- ¹⁴⁵ Chang et al, Journal of Electrochemical Society 123, pp1245-1247, 1976

Références bibliographiques

- ¹⁴⁶ Lee, Journal of Crystal Growth 69, p52, 1984
- ¹⁴⁷ Briand, Thèse, « Silicium déposé par LPCVD et dopé in-situ : Dépôt, caractérisation et application ».
- ¹⁴⁸ G. Harbeke; L. Krausbauer; E. Steigmeier; A. Widmer; H. Kappert; G. Neugebauer, « Growth And Physical Properties Of Lpcvd Polycrystalline Silicon Films », Journal of Electrochemical Society 131, p675, 1984
- ¹⁴⁹ Kamins, « Polycrystalline silicon for integrated circuits applications », Kluwer Academic Publishers, 1991
- ¹⁵⁰ Cromwell et al, Solid-State Electronics 9, pp3035-3048, 1966
- ¹⁵¹ M.M. Mandurah; K.C. Saraswat; « A Model For Conduction In Polycrystalline Silicon - .1. Theory. », Transactions on Electron Devices 28, pp1163-1176, 1981
- ¹⁵² Joshi et al, Transactions on Electron Devices 31, pp920-927, 1984
- ¹⁵³ S. N. Singh; R. Kishore; P. K. Singh, « Thermionic emission diffusion model of current conduction in polycrystalline silicon and temperature dependence of mobility », Journal of Applied Physics 57, pp2793-2809, 1985
- ¹⁵⁴ R.H. Dennard; F.H. Gaensslen; H.N. Yu; V.L. Rideout; E. Bassous; A.R. LeBlanc, « Design of Ion-Implanted MOSFET's with Very Small Physical Dimensions », Journal of Solid-State Circuits SC69, p256, 1974
- ¹⁵⁵ J.L. Zhang; J.S. Yuan; Y. Ma; A. S. Oates, « Modeling of direct tunneling and surface roughness effects on C-V characteristics of ultra-thin gate MOS capacitors », Solid-State Electronics 45, pp373-377, 2001
- ¹⁵⁶ W.K. Henson; K.Z. Ahmed; E.M. Vogel; J.R. Hauser; J.J. Wortman; R.D. Venables; M. Xu; D. Venables,, « Estimating oxide thickness of tunnel oxides down to 1.4 nm using conventional capacitance-voltage measurements on MOS capacitors », Electron Device Letters 20, pp179-181, 1999

- ¹⁵⁷ G. Innertsberger; T. Pompl; M. Kerber, « The influence of p-polysilicon gate doping on the dielectric breakdown of PMOS devices », *Microelectronics Reliability* 41, p973, 2001
- ¹⁵⁸ D.A. Buchanan; S.H. Lo, « Reliability and Integration of Ultra-Thin Gate Dielectrics for Advanced CMOS », *Microelectronic Engineering* 36, pp13-20, 1997
- ¹⁵⁹ Lu et al, *Electronics Letters* 25, pp1685-1687, 1989
- ¹⁶⁰ J.R Pfister; F.K. Bake, « The effect of boron penetration on P⁺ polysilicon gate MOS devices », *Transactions on Electron Devices* 37, pp1842-1851, 1990
- ¹⁶¹ T.A. Aoyama; K. Suzuki; H. Tashiro; Y. Tada; H. Arimoto; K. Horiuchi, « Flatband voltage shift in PMOS devices caused by carrier activation in P⁺ polycrystalline silicon and by boron penetration », *Transactions on Electron Devices* 49, pp473-479, 2002
- ¹⁶² S. Strobel; A.J. Bauer; M. Beichele; H. Ryssel, « Suppression of boron penetration through thin gate oxides by nitrogen implantation into the gate electrode in PMOS devices », *Microelectronics Reliability* 41, pp1085-1088, 2001
- ¹⁶³ M. Herden; A.J. Bauer; M. Beichele; H. Ryssel, « Supression of boron penetration through thin gates oxides by nitrogen implantation into the gate electrode », *Solid State Electronics* 45, pp1251-1256, 2001
- ¹⁶⁴ K.S. Chang-Liao; J.M. Ku, « Improvement of oxynitride reliability by two-step N₂O nitridation », *Solid-State Electronics* 43, pp2057-2060, 1999
- ¹⁶⁵ C. Lin; A. Chou; K. Kumar; P. Chowdhury; J. C. Lee, « Leakage current, reliability characteristics and boron penetration of ultra-thin (32–36Å) O₂-oxide and N₂O/NO oxynitrides », *IEDM*, pp331-334, 1996
- ¹⁶⁶ L. Jalabert; P. Temple-Boyer; G. Sarabayrouse; F. Cristiano; B. Colombeau; F. Voillot; C. Armand, « Reduction of boron penetration through thin silicon oxide with a nitrogen doped silicon layer », *Microelectronics Reliability* 41, pp981-958, 2001

Références bibliographiques

-
- ¹⁶⁷ F. Mansour; R. Mahamdi; L. Jalabert; P. Temple-Boyer, « Boron diffusion into nitrogen doped silicon films for P+ polysilicon gate structures », Thin Solid Films 434, pp152-156, 2003
- ¹⁶⁸ P. Temple-Boyer; L. Jalabert; E. Couderc; E. Scheid; P. Fadel; B. Rousset, « Properties of nitrogen doped silicon films deposited by low pressure chemical vapor deposition from disilane and ammonia », Thin Solid Films 414, pp13-17, 2002
- ¹⁶⁹ K. Suzuki; R. Sudo, « Conditions of ion implantation into thin amorphous Si gate layers for suppressing threshold voltage shift », Solid-State Electronics 44, pp1043-1047, 2000
- ¹⁷⁰ Tsai et al, Journal of Electrochemical Society 142, p3220, 1995
- ¹⁷¹ King et al, Journal of Electrochemical Society 141, p2235, 1994
- ¹⁷² V.Z.Q. Li; M.R. Mirabedini; R.T. Kuehn; J.J. Wortman; M.C. Öztürk; D. Batchelor; K. Christensen; D.M. Maher, « Rapid thermal chemical vapor deposition of in situ boron-doped polycrystalline silicon-germanium films on silicon dioxide for complimentary-metal-oxide-semiconductor applications », Applied Physics Letters 71, p3388, 1997
- ¹⁷³ V.Z.Q. Li; M.R. Mirabedini; B.E. Hornung; H.H. Heinisch, « Structure and properties of rapid thermal chemical vapor deposited polycrystalline silicon-germanium films on SiC₂ using Si₂H₆, GeH₄, and B₂H₆ gases », Journal of Applied Physics 83, p5469, 1998
- ¹⁷⁴ K. Suzuki; H. Minakata; T. Sakota; M. Yamaguchi; Y. Tamura, « Segregation coefficient of impurities at polycrystalline Si/HfO₂ interfaces », Solid State Electronics 49, pp137-139, 2005
- ¹⁷⁵ C. Hu, « Gate Oxide Scaling Limits and Projection », IEDM, p319, 1996
- ¹⁷⁶ B. Ricco; R. Versari; D. Esseni, « Characterization of polysilicon-gate depletion in MOS structures », Electron Device Letters 17, pp 103-105, 1996
- ¹⁷⁷ P. Habas; S. Selberherr, « Numerical simulation of MOS-devices with non-degenerate gate », ESSDERC, pp161-164, 1990

- ¹⁷⁸ P. Habas; J.V. Faricelli, « Investigation of the physical modeling of the gate-depletion effect », Transactions on Electron Devices 39, pp 1496-1500, 1992
- ¹⁷⁹ C.H. Choi; P.R.Chidambaram; R. Khamankar; C.F. Machala; Y. Zhiping; R.W. Dutton, « Gate length dependent polysilicon depletion effects », Electron Device Letters 23, pp224-226, 2002
- ¹⁸⁰ C.H. Choi; P.R. Chidambaram; R. Khamankar; C.F. Machala; Y. Zhiping; R.W. Dutton, « Dopant profile and gate geometric effects on polysilicon gate depletion in scaled MOS », Transactions on Electron Devices 49, pp1227-1231, 2002
- ¹⁸¹ D.A. Buchanan, « Scaling the gate dielectric: Materials, integration, and reliability », IBM Journal of Research and Development 43, p245, 1999
- ¹⁸² J.J. Liou; R. Shireen; A. Ortiz-Conde; F.J. García Sánchez; A. Cerdeira; X. Gao; Xuecheng Zou; C.S. Ho, « Influence of polysilicon-gate depletion on the subthreshold behavior of submicron MOSFETs », Microelectronics Reliability 42, pp343-347, 2002
- ¹⁸³ S. Moran; P.K. Hurley; A. Mathewson, « Test structure for investigating activated doping concentrations in polycrystalline silicon », International Conference on Microelectronic Test Structures, p217, 1996
- ¹⁸⁴ J. Schmitz; H.P. Tuinhout; A.H. Montree; Y.V. Ponomarev; P.A. Stolk; P.H. Woerlee, « Gate polysilicon optimization for deep-submicron MOSFETs », ESSDERC, pp156-159, 1999
- ¹⁸⁵ A.I. Chou; C. Lin; K. Kumar; P. Chowdhury; M. Gardner; M. Gilmer; J. Fulford; J.C. Lee, « The Effects of Nitrogen Implant into Gate Electrode on the Characterization of Dual-gate MOSFETs with Ultrathin Oxide and Oxynitrides », International Reliability Physics Symposium, pp174-177, 1997

Références bibliographiques

-
- ¹⁸⁶ T. Yamamoto; K. Okabe; T. Kubo; K. Goto; H. Morioka; Y. Wang; T. Lin; S. Talwar; M. Kase; T. Sugii, « Novel polysilicon gate engineering with a laser thermal process for sub-40 nm CMOS devices », *Solid State Electronics* 48, pp1837-1842, 2004
- ¹⁸⁷ Samavedam et al, « Metal gate MOSFETs with HfO₂ gate dielectric », *VLSI Technical Digest*, pp24-25, 2002
- ¹⁸⁸ Lu et al, « Molybdenum metal gate MOS technology for post-SiO₂ gate dielectrics », *IEDM Technical Digest*, p641, 2000
- ¹⁸⁹ Zhang et al, *Electron Device Letters* 21, p593, 2000
- ¹⁹⁰ Y.C. Yeo; P. Ranade; T.J. King; C. Hu, « Effects of high- κ gate dielectric materials on metal and silicon gate workfunctions », *Electron Device Letters* 23, pp342-344, 2002
- ¹⁹¹ <http://public.itrs.net/>
- ¹⁹² A.S. Spinelli; A. Pacelli; A.L. Lacaita, « Simulation of polysilicon quantization and its effect on n-and p-MOSFET performance », *Solid State Electronics* 46, pp423-428, 2002
- ¹⁹³ A. Pacelli; A.S. Spinelli; L.M. Perron, « Carrier quantization at flat bands in MOS devices », *Transactions on Electron Devices* 46, pp383-387, 1999
- ¹⁹⁴ F. Stern, “Self-Consistent Results for n-Type Si Inversion Layers”, *Physical Review B* 5, pp4891-4899, 1972
- ¹⁹⁵ C.A. Richter; A.R. Hefner; E.M. Vogel, « A comparison of quantum-mechanical capacitance-voltage simulators », *Electron Device Letters* 22(1), pp35-37, 2001
- ¹⁹⁶ S.-H. Lo; D. A. Buchanan; Y. Taur, « Modeling and characterization of quantization, polysilicon depletion, and direct tunneling effects in MOSFETs with ultrathin oxides », *IBM Journal of Research and Development* 43, pp327-337, 1999
- ¹⁹⁷ Simonetti, Thèse : Influence de la quantification en énergie des porteurs sur la modélisation et la caractérisation électriques des structures MOS à oxyde de grille ultra-mince (<3nm), 2002

- ¹⁹⁸ Nougier, Méthodes de calcul numérique vol 1, p237, Hermès Science Publications, 2001
- ¹⁹⁹ Mathieu, Physique des semiconducteurs et des composants électroniques, Dunod, 2001
- ²⁰⁰ S. M. SZE, “Physics of semiconductor devices”, 2nd Edition, John Wiley and Sons, New York, 1981
- ²⁰¹ Raynaud et al, Material Research Society, pp159-164, 2000
- ²⁰² Yang, Modèle C(V) de l’Université de Berkeley (1999)
- ²⁰³ C.D. Thurmond, « The standard thermodynamic functions for the formation of electrons and holes in Ge, Si, GaAs, and GaP », Journal of The Electrochemical Society 122, p1133, 1975
- ²⁰⁴ K. S. Krisch; J. D. Bude; L. Manchanda, « Gate capacitance attenuation in MOS devices with thin gate dielectrics », Electron Device Letters 17, pp521-524, 1996
- ²⁰⁵ X. Aymerich-Humet; F. Serra-Mestres; J. Millan, « Analytical Approximation for the Fermi-Dirac Integral $F_{3/2}(n)$ », Solid State Electronics 24, pp981-982, 1981
- ²⁰⁶ A. Svizhenko; M. P. Anantram; T. R. Govindan; B. Biegel; R. Venugopal, « Two-dimensional quantum mechanical modeling of nanotransistors », Journal of Applied Physics 91, pp2343-2354, 2002
- ²⁰⁷ A. S. Spinelli; A. Benvenuti; L. Conserva; A. L. Lacaita; A. Pacelli, « Quantum-Mechanical 2D Simulation of Surface-and Buried-Channel p-MOS », International Conference on Simulation of Semiconductor Processes and Devices, p192, 2000
- ²⁰⁸ J. Suñé, X. Oriols, J-L Autran, « Non-equilibrium gate tunneling current in ultra-thin (<2 nm) oxide MOS devices », Journal of Non Crystalline Solids 280, pp127-131, 2001
- ²⁰⁹ A. Haque; M. Z. Kauser, “A comparison of wave function penetration effects on gate capacitance in deep submicron n- and p-MOSFETs », Transactions on Electron Devices 49, pp1580-1587, 2002

Références bibliographiques

- ²¹⁰ A. Haque; A. Rahman; I. B. Chowdhury, « On the Use of Appropriate Boundary Conditions to Calculate the Normalized Wave Functions in the Inversion Layers of MOSFETs with Ultra-thin Gate oxides », *Solid State Electronics* 44, pp1833-1836, 2000
- ²¹¹ S. Mudanai; L. F. Register; A. F. Tasch; S. K. Banerjee, « Understanding the effects of Wave Function Penetration on the Inversion Layer Capacitance of NMOSFETs », *Electron Device Letters* 22, pp145-147, 2001
- ²¹² G. Salace; A. Hadjadj; C. Petit; D. Ziane, « The image force effect on the barrier height in MOS structures : Correlation of the corrected barrier height with temperature and the oxide thickness », *Microelectronics Reliability* 40, pp763-766, 2000
- ²¹³ Aide de MATLAB
- ²¹⁴ J. A. López-Villanueva; I. Melchor; F. Gámiz; J. Banqueri; J. A. Jiménez-Tejada, « A model for the quantized accumulation layer in metal-insulator-semiconductor structures », *Solid State Electronics* 38, pp203-210, 1995
- ²¹⁵ C. Raynaud; J-L Autran, « Theoretical investigation of incomplete ionization of dopants in 6H-SiC metal-oxide-semiconductor capacitors », *Journal of Applied Physics* 86, pp2232-2236, 1999
- ²¹⁶ P. Bouillon; T. Skotnicki, « Theoretical analysis of kink effect in C-V characteristics of Indium-implanted NMOS capacitors », *Electron Device Letters* 19, pp19-22, 1998
- ²¹⁷ R. Clerc; A. Spinelli; G. Ghibaudo; G. Pananakakis, « Theory of direct tunneling current in metal-oxide-semiconductor structures », *Journal of Applied Physics* 91, pp1400-1409, 2002
- ²¹⁸ J. Bardeen, « Tunnelling from a Many-Particle Point of View », *Physical Review Letter* 6, p57, 1961
- ²¹⁹ H. Iwata, « Fully Quantum-Mechanical Modeling of Tunneling Current in Ultrathin Gate Oxide Metal-Oxide-Semiconductor Devices », *Japanese Journal of Applied Physics* 40, p4496-4500, 2001

Références bibliographiques

- ²²⁰ W. Magnus; W. Schoenmaker, « Full quantum mechanical treatment of charge leakage in MOS capacitors with ultra-thin oxide layers », ESSDERC, p248, 1999
- ²²¹ A. Dalla Serra; A. Abramo; P. Palestri; L. Selmi, « A comparison between semi-classical and quantum-mechanical escape-times for gate current calculations », ESSDERC, 2000
- ²²² E. Cassan, « On the reduction of direct tunneling leakage through ultra-thin gate oxides by a one-dimensional Schrödinger-Poisson solver », Journal of Applied Physics 87, p7931, 2000
- ²²³ B. Govoreanu; W. Magnus; W. Schoenmaker; J. Van Houdt; K. De Meyer, « On the calculation of the quasi-bound-state energies and lifetimes in inverted MOS structures with ultrathin oxides and its application to the direct tunneling current », Transactions on Electron Devices 51, pp764-773, 2004
- ²²⁴ A. Haque; K. Alam, « Accurate modeling of direct tunneling hole current in p-metal-oxide-semiconductor devices », Applied Physics Letters 81, pp667-669, 2002
- ²²⁵ G. Xin; C. Ten-Lon; G. Goldenblat; G.O. Workman; S. Veeraraghavan; S. Shapira; K. Stiles, « A surface potential-based compact model of n-MOSFET gate-tunneling current », Transactions on Electron Devices 51, pp127-135, 2004
- ²²⁶ X. Liu; J. Kang; R. Han, « Direct tunneling current model for MOS devices with ultra-thin gate oxide including quantization effect and polysilicon depletion effect », Solid State Communications 125, pp219-223, 2003
- ²²⁷ A. Schenk; G. Heiser, « Modeling and Simulation of Tunneling through Ultra-Thin Gate Dielectrics », Journal of Applied Physics 81(12), pp7900-7908, 1997
- ²²⁸ Y. T. Hou; M. F. Li ; Y. Jin; W. H. Lai, « Direct tunneling hole current through ultrathin gate oxide in metal-oxide-semiconductor devices », Journal of Applied Physics 91, pp258-264, 2002

- ²²⁹ F. Rana; S. Tiwari; D. A. Buchanan, « Self-Consistent Modeling of Accumulation Layers and Tunneling Currents through very Thin Oxides », *Applied Physics Letters* 69(8), pp1104-1106, 1996
- ²³⁰ L. F. Register; E. Rosenbaum; K. Yang, « Analytic model for direct tunneling current in polycrystalline silicon-gate metal-oxide-semiconductor devices », *Applied Physics Letters* 74(3), pp457-459, 1999
- ²³¹ J. Städele; B. R. Tuttle; K. Hess, « Tunneling Through Ultrathin SiO₂ Gate Oxides From Microscopic Models », *Journal of Applied Physics* 89, pp348-363, 2001
- ²³² J. Wang; Y. Ma; L. Tian; Z. Li, « Modified Airy Function Method for Modeling of Direct Tunneling Current in Metal-Oxide-Semiconductor Structures », *Applied Physics Letters* 79, pp1831-1833, 2001
- ²³³ N. Yang; W. K. Henson; J. R. Hauser; J. J. Wortman, « Modeling Study of Ultrathin Gate Oxides Using Direct Tunneling Current and Capacitance-Voltage Measurements in MOS Devices », *Transactions on Electron Devices* 46, p1464-1471, 1999
- ²³⁴ Z. A. Weinberg, « On tunneling in metal-oxide-silicon structures », *Journal of Applied Physics* 53, p5052, 1982
- ²³⁵ N. Matsuo; Y. Takami; Y. Kitagawa, « Modeling of direct tunneling for thin SiO₂ film on n-type Si(100) by WKB method considering the quantum effect in the accumulation layer », *Solid State Electronics* 46, pp577-579, 2002
- ²³⁶ A. Ghetti; C. T. Liu; M. Mastrapasqua; E. Sangiorgi, « Characterization of tunneling current in ultra-thin gate oxide », *Solid State Electronics* 44, p1523, 2000
- ²³⁷ J. Cai; C. T. Sah, « Gate Tunneling Currents in Ultrathin Oxide Metal-Oxide-Silicon Transistors », *Journal of Applied Physics* 89, p2272, 2001
- ²³⁸ K. N. Yang; H. T. Huang; M. C. Chang; C. M. Chu; Y. S. Chen; M. J. Chen; Y. M. Lin; M. C. Yu; S. M. Jang; C. H. Yu; M. S. Liang, « A physical model for hole direct tunneling

current in P⁺ poly-gate pMOSFET's with ultrathin gate oxides », Transactions on Electron Devices 47, p2161, 2000

²³⁹ W. Y. Quan; D. M. Kim; M. K. Cho, « Unified compact theory of tunneling gate current in metal–oxide–semiconductor structures: Quantum and image force barrier lowering », Journal of Applied Physics 92, pp3724-3729, 2002

²⁴⁰ E. Cassan; S. Galdin; P. Dollfus; P. Hesto, « Study of direct tunneling through ultra-thin gate oxide of field effect transistors using Monte Carlo simulation », Journal of Applied Physics 86(7), pp3804-3811, 1999

²⁴¹ L. Mao; C. Tan; M. Xu, « The effect of image potential on electron transmission and electric current in the direct tunneling regime of ultra-thin MOS structures », Microelectronics Reliability 41, pp927-931, 2001

²⁴² E. I. Goldman; N. F. Kukharskaya; A. G. Zhdan, « The effect of imaging forces in ultra thin gate insulator on the tunneling current and its oscillations at the region of transition from the direct tunneling to the Fowler–Nordheim tunneling », Solid State Electronics 48, pp831-836, 2004

²⁴³ P. Barathieu : « Modélisation cinétique et analyse structurale des dépôts de SIPOS élaborés par LPCVD », thèse, 1999

²⁴⁴ H. Vergnes : « Etudes expérimentales et modélisation du réacteur annulaire et de son modèle réduit », thèse, 1996

²⁴⁵ R. Mahamdi; F. Mansour; E. Scheid; P. Temple-Boyer; L. Jalabert, « Boron diffusion and activation during heat treatment in heavy doped polysilicon thin films for P+ Metal-Oxide-Semiconductor transistors gates », Japanese Journal of Applied Physics 40, pp6723-6727, 2001

²⁴⁶ S. M. SZE, “Physics of semiconductor devices”, 2nd Edition, John Wiley and Sons, New York, 1981

- ²⁴⁷ T. Makino; H. Nakamura, « Resistivity changes of heavily-boron-doped CVD-prepared polycrystalline silicon caused by thermal annealing », *Solid State Electronics*, Vol. 34, p. 49, 1981
- ²⁴⁸ L. Pelaz; G. H. Gilmer; H. J. Gossmann; C. S. Rafferty; M. Jaraiz; J. Barbolla, « B cluster formation and dissolution in Si : A scenario based on atomistic modelling », *Applied Physics Letter*, Vol. 74, 24, p. 3657, 1999
- ²⁴⁹ Yoneda et al, *Material Research Society Symposium Proceedings 182*, pp321-326, 1990
- ²⁵⁰ T. Kamins, « *Polycrystalline Silicon for Integrated Circuit Applications* », Kluwer Academic Publishers, 1991
- ²⁵¹ A.Chin; W.J. Chen; T. Chang; R.H. Kao; B.C. Lin; C. Tsai; J.C.-M. Huang, « Thin oxides with in situ native oxide removal [n-MOSFETs] », *Electron Device Letters* 18, pp417-419, 1997
- ²⁵² A. T. Voutsas; M. K. Hatalis, « Deposition and Crystallization of a-Si Low-Pressure Chemically Vapor Deposited Films Obtained by Low-Temperature Pyrolysis of Disilane », *Journal of the Electrochemical Society* 140, p282, 1993
- ²⁵³ C. Basa; M. Tinani; E. A. Irene, « Atomic force microscopy and ellipsometry study of the nucleation and growth mechanism of polycrystalline silicon films on silicon dioxide », *Journal of Vacuum Science and Technology A*16(4), p2466-2479, 1998
- ²⁵⁴ S. B. Herner; M. Konevecki; U. Raghuram; S. Sivaram; M. H. Clark, « Low Resistivity P⁺ Polycrystalline Silicon Deposition at Low Temperatures with SiH₄ / BCl₃ », *Electrochemical and Solid State Letters* 7, G108-G111, 2004
- ²⁵⁵ S.H. Nam; B.H. Kim; J. Moon; T.E. Shim; J.G. Lee, « In situ boron-doped polycrystalline silicon films prepared by a novel low-pressure chemical vapour deposition method using a gas system », *Journal of Physics D* 29, pp1088-1092, 1996

Références bibliographiques

- ²⁵⁶ M. Ylönen; A. Torkkeli; H. Kattelus, « In situ boron-doped LPCVD polysilicon with low tensile stress for MEMS applications », Sensors and Actuators A109, pp79-87, 2003
- ²⁵⁷ J. Pejnefors; S-L Zhang; H H Radamson; J V Grahn; M Östling, « Chemical vapor deposition of undoped and in-situ boron- and arsenic-doped », Journal of Applied Physics 88, pp1655-1663, 2000
- ²⁵⁸ J.R. Shih; Y.M. Lin; Ken Wu; Y. Peng; J.T. Yue; Hsin-Chu, International Reliability Physics Symposium, pp612-613, 2003
- ²⁵⁹ G.Sarrabayrouse; J.L.Prom; K.Kassmi, « Oxide breakdown in a metal-SiO₂-Si capacitor: influence of the metal electrode », IEE Proceedings - Part G, Vol.137, N°6, pp.475-478, 1990
- ²⁶⁰ N. Bhat; A. Wang; K.C. Saraswat, « Rapid thermal anneal of gate oxides for low thermal budget TFTs », Transactions on Electron Devices 46, pp63-69, 1999
- ²⁶¹ D. Bauza; P. Morfouli; G. Pananakakis, « Detection of interface and volume traps in very thin oxide MOS structures using DLTS, quasi-static and conductance measurements », Solid State Electronics 34, pp933-936, 1991
- ²⁶² L. Lai; K. J. Hebert; E. A. Irene, « A study of the relationship between Si/SiO₂ between interface charges and roughness », Journal of Vacuum Science and Technology B17, pp53-57, 1999
- ²⁶³ Schroder, « Semiconductor material and device characterization », Wiley Interscience, 1998
- ²⁶⁴ R. Degraeve; B. Kaczer; G. Groeseneken, « Ultra thin oxide reliability: searching for the thickness scaling limit », Microelectronics Reliability 40, pp697-701, 2000
- ²⁶⁵ E.Y. Wu; J.H. Stathis; L-K. Han, « Ultra-thin oxide reliability for ULSI applications », Semiconductor Science and Technology 15, pp425-435, 2000