



HAL
open science

Etude et réalisation d'un circuit intégré spécifique de mise en forme de signaux délivrés par un détecteur pour une expérience de physique des particules

Laurent Royer

► To cite this version:

Laurent Royer. Etude et réalisation d'un circuit intégré spécifique de mise en forme de signaux délivrés par un détecteur pour une expérience de physique des particules. Physique des Hautes Energies - Expérience [hep-ex]. Conservatoire national des arts et metiers - CNAM, 2001. Français. NNT : . tel-00001313

HAL Id: tel-00001313

<https://theses.hal.science/tel-00001313>

Submitted on 16 Apr 2002

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

CONSERVATOIRE NATIONAL DES ARTS ET METIERS

CENTRE REGIONAL ASSOCIE DE CLERMONT-FERRAND

MEMOIRE

présenté en vue d'obtenir le

DIPLOME D'INGENIEUR C.N.A.M.

en

ELECTRONIQUE

par

Laurent ROYER

**Etude et réalisation d'un circuit intégré spécifique
de mise en forme de signaux délivrés par un détecteur
pour une expérience de Physique des particules**

Soutenu le 11 mai 2001

JURY :

Président :	Monsieur	H. VU THIEN
Membres :	Monsieur	A. BALDIT
	Monsieur	J.P. BLANC
	Monsieur	G. BOHNER
	Monsieur	J.P. CHAUSSE
	Monsieur	Y. CUMINAL
	Monsieur	M. SCHNEIDER
	Monsieur	R. VALLET

Les particules sont les graines du jardin qu'est notre Univers

Gordon Kane

Remerciements

Je voudrais tout d'abord remercier les **membres du Jury**, et notamment son **Président Monsieur Vu Thien**, professeur au Conservatoire National des Arts et Métiers de Paris, d'avoir accepté de bien vouloir juger le travail présenté dans ce mémoire.

Je remercie **Monsieur Jean-Pierre Chausse** d'avoir accepté de suivre mon travail en sa qualité de responsable de la filière électronique du Centre Régional Associé au CNAM de Clermont-Ferrand.

Ce stage s'est déroulé au sein de l'équipe d'électronique du Laboratoire de Physique Corpusculaire de Clermont-Ferrand, équipe à laquelle j'appartiens depuis janvier 1998. Je remercie vivement **Monsieur Bernard Michel**, Directeur du LPC, et **Monsieur Michel Brossard**, responsable de l'équipe d'électronique, d'avoir mis tous les moyens nécessaires à ma disposition pour travailler dans les meilleures conditions possibles. Qu'ils soient par la même occasion remerciés pour leur soutien à la formation permanente de leurs personnels techniques.

J'exprime toute ma reconnaissance à **Monsieur Gérard Bohner** qui, durant toute la durée du stage et de la rédaction de ce mémoire, m'a guidé et fait partagé ses connaissances et son expérience de la micro-électronique dédiée aux expériences de Physique des particules. Ces remerciements peuvent d'ailleurs être étendus à l'ensemble du groupe de micro-électronique du LPC dirigé par **Monsieur Jacques Lecoq**.

Je tiens à remercier les membres de l'équipe clermontoise travaillant sur le projet ALICE, et notamment leurs responsables, **Monsieur Alain Baldit** et **Monsieur Pascal Dupieux**, qui m'ont fourni un sujet particulièrement intéressant et motivant.

D'une manière générale, je remercie tous ceux qui ont bien voulu porter un œil critique à mon travail.

Enfin, je voudrais exprimer toute ma reconnaissance à ma femme qui n'a cessé de m'encourager et de me soutenir durant ces dix années de formation suivie à Nice et Clermont-Ferrand.

Table des matières

Introduction	1
1 Rôle du circuit frontal	3
1.1 La Physique de l'expérience ALICE	3
1.1.1 L'expérience ALICE au CERN	3
1.1.2 Le système de déclenchement du Spectromètre Dimuons	4
1.1.3 Les détecteurs RPC	6
1.1.4 Les deux modes de fonctionnement	7
1.2 L'électronique frontale des détecteurs RPC	11
1.2.1 L'électronique frontale initiale	12
1.2.2 Le système ADULT	13
1.2.3 Autres fonctions requises	16
2 Etude et conception du circuit intégré spécifique	17
2.1 Pré-étude	17
2.1.1 Le cahier des charges	17
2.1.2 Une solution à base de composants génériques	18
2.1.3 Une solution basée sur un circuit intégré pour application spécifique (ASIC)	19
2.2 Conception du circuit intégré spécifique	21
2.2.1 Description générale	21
2.2.2 Les cellules "COMPARATEUR"	23
2.2.3 La cellule "BLOQUEUR"	35
2.2.4 La cellule "COINCIDENCE"	39
2.2.5 Les cellules "DELAI", "VERROUILLAGE", "MISE EN FORME" et "DELAI_VAR"	41
2.2.6 L'étage de sortie du circuit	46
2.2.7 La saisie des masques	48
3 Résultats des tests du circuit intégré	52
3.1 Introduction	52
3.2 Tests en laboratoire	52
3.2.1 Les comparateurs et la fonction ADULT	52
3.2.2 Le système de verrouillage	55

3.2.3	Le délai variable	56
3.2.4	La mise en forme et l'étage de sortie	56
3.2.5	Conclusion	57
3.3	Tests sous faisceau	58
3.3.1	Dispositif expérimental	58
3.3.2	Analyse préliminaire des résultats	59
3.4	Conclusion	61
4	Evolution du circuit	62
4.1	Introduction	62
4.2	Amélioration des performances du système ADULT	62
4.3	Etage de sortie LVDS	64
4.3.1	Rappels sur la technologie LVDS	64
4.3.2	Réalisation de l'étage de sortie LVDS	64
4.4	Autres modifications	66
4.4.1	Suppression de la cellule VERROUILLAGE"	66
4.4.2	Utilisation de portes logiques CMOS	66
4.4.3	Alimentations	67
4.5	Conclusion	67
	Conclusion	68
	Annexe 1 : schéma électrique équivalent d'une RPC	71
	Annexe 2 : électronique de <i>front-end</i> pour chambres RPC	72
	Annexe 3 : budget prévisionnel préliminaire	75
	Annexe 4 : comparaison des tensions d'offset des amplificateurs différentiels bipolaire et MOS	76
	Annexe 5 : schémas électroniques et dessins des masques	79
	Annexe 6 : décharge d'une capacité à travers un transistor MOS	93
	Bibliographie	96
	Index des figures	97

Note :

Le projet ALICE, dans lequel s'inscrit cette étude, étant de dimension internationale, de nombreux termes particuliers couramment employés au sein de cette communauté sont d'origine anglo-saxonne. C'est par soucis d'homogénéité, et parce qu'une traduction simple n'est pas toujours possible, que j'ai conservé un certain nombre de ces mots n'appartenant pas à la langue française, non sans en avoir donné le sens. Pour les différencier, je les ai toutefois écrits en caractères *italiques*.



Site du tunnel de l'accélérateur de particules du CERN,
à la frontière franco-suisse

Introduction

Le siècle qui vient de s'achever a permis de repousser les limites de la connaissance dans les domaines de la **Physique nucléaire** et de la **Physique des particules**. La compréhension des phénomènes à l'échelle de l'infiniment petit permettra, entre autre, d'expliquer comment fonctionne notre Univers et, peut-être, d'où il vient et où il va.

Aujourd'hui, l'Univers est tellement immense qu'il faut des milliards d'années à la lumière pour le traverser. Pourtant les physiciens pensent qu'à l'origine, il y a quinze milliards d'années, tout était concentré dans un volume inversement réduit, plus petit que celui occupé par un noyau d'atome. Très rapidement (en quelques millièmes de seconde), l'Univers aurait formé une soupe primordiale appelée **plasma de quarks et de gluons**, qui va évoluer et fonder les éléments présents actuellement. L'étude de cet état particulier de la matière dite "dé-confinée" est l'une des clés de l'énigme de la formation de l'Univers.

L'exploration de cet état de la matière en laboratoire nécessite la création de nouveaux accélérateurs, permettant de provoquer des collisions nucléaires d'ions¹ à des énergies jamais atteintes, associés à des détecteurs plus rapides et plus sensibles que ceux fonctionnant actuellement.

Le détecteur **ALICE** (*A Large Ion Collider Experiment*) fait partie de cette nouvelle génération d'instruments qui seront mis en service à partir de 2006. Il bénéficiera de la puissance du **grand collisionneur de hadrons**, le **LHC**, installé au **Centre Européen pour la Recherche Nucléaire (CERN)** sur la frontière franco-suisse. Quant aux multiples sous-détecteurs constituant ALICE, ils sont depuis plusieurs années à l'étude.

Une équipe du **Laboratoire de Physique Corpusculaire (LPC)** de Clermont-Ferrand est responsable du développement de l'électronique associée au **système de déclenchement du spectromètre dimuons**, un des sous-détecteurs de ALICE. C'est dans le cadre de cette réalisation que se situe l'étude présentée dans ce mémoire.

¹ Des atomes privés de tout ou partie de leurs électrons.

Ce système de déclenchement est constitué de plusieurs dizaines de détecteurs de particules de type **Chambre à Plaques Résistives (RPC)** qui fourniront près de 21 000 voies de mesure. Les signaux délivrés devront, avant toute exploitation par une électronique décisionnelle, être traités par une **électronique dite frontale**². Son rôle est de fournir, pour chacune des voies, une information logique, précise en temps, correspondant au passage d'une particule ou non dans la zone observée. Le travail présenté dans ce mémoire concerne l'étude, la conception et les tests d'un premier prototype de circuit intégré dédié à cette application.

Ce document est organisé en quatre parties.

Le chapitre 1 présente brièvement la Physique étudiée dans l'expérience ALICE et le sous-détecteur plus particulièrement concerné par cette étude. Suit une description plus détaillée des chambres à plaques résistives utilisées ainsi que leurs performances obtenues avec la version précédente de l'électronique frontale. Nous montrons alors que l'emploi d'une méthode de discrimination à deux seuils, imaginée au LPC et nommée **ADULT**, améliore sensiblement la résolution temporelle de ces RPC.

Le chapitre 2 est consacré à l'étude du circuit frontal réalisé. Après avoir démontré la nécessité d'un développement en micro-électronique, les différents étages réalisant les fonctions requises sont étudiés en détail.

Le chapitre 3 présente les résultats des tests effectués sur "table" et sous faisceau sur la quinzaine de circuits intégrés fabriqués. Il apparaît que ceux-ci sont globalement satisfaisants, avec notamment une excellente résolution temporelle, et confortent le choix d'un développement d'un circuit intégré spécifique.

Enfin, avant de conclure, le dernier chapitre décrit les modifications apportées au circuit prototype suivant, afin d'en optimiser les performances.

² Souvent sous la dénomination anglaise "Front End Electronics" dans la littérature.

Chapitre 1

Rôle du circuit frontal

1.1. La Physique de l'expérience ALICE

1.1.1. L'EXPERIENCE ALICE AU CERN

Une des théories la mieux établie quant à la naissance de notre Univers est celle du **Big Bang** [1][2]. Il y a plus de 15 milliards d'années, toute chose aurait émergé d'un volume inférieur à celui d'un noyau atomique et contenant assez d'énergie pour engendrer notre Univers. Cette expansion s'accomplit alors en courtes étapes successives. Une microseconde après l'instant initial, les quarks³ et les gluons⁴ sont formés et peuvent évoluer quasi-librement. Trop énergétiques pour être confinés dans les nucléons⁵, ils évoluent dans un état de dé-confinement appelé **Plasma Quark-Gluon (PQG)**.

Recréer cet état primitif en laboratoire est primordial pour mieux comprendre différents aspects de notre Univers actuel comme la nucléosynthèse⁶ ou sa masse cachée⁷. Pour cela, il faut obtenir une densité de matière et une énergie suffisantes. La seule façon possible est de réaliser des expériences dans lesquelles des ions lourds (par exemple des ions plomb) sont accélérés afin de leur donner une très haute énergie puis mis en collision. Durant les années 1990, plusieurs expériences conduites au **Centre Européen pour la Recherche Nucléaire (CERN)** ont observé des collisions d'ions d'oxygène, de soufre et de plomb sur cible fixe. Les résultats ont donné des indices encourageants indiquant que le Plasma Quark-Gluon aurait été créé pendant quelques instants fugitifs, avant de se refroidir en matière ordinaire.

Avec le **Grand Collisionneur d'Hadrons (LHC)**, le futur accélérateur du CERN, des collisions de noyaux de plomb seront produites à des énergies 300 fois supérieures à celles obtenues avec l'accélérateur employé jusqu'à présent⁸. Les physiciens estiment que ces énergies seront idéales pour obtenir le PQG. Parmi les quatre expériences installées au CERN sur ce nouvel accélérateur de particules, c'est à l'**Expérience du Grand Collisionneur d'Ions (ALICE)** que revient la tâche d'étudier

³ Famille des particules élémentaires composants les nucléons.

⁴ Particules vecteurs de l'interaction forte. Cette force forte permet aux quarks de rester confinés et aux protons de cohabiter, surpassant la force électromagnétique.

⁵ Neutrons et protons.

⁶ Formation des éléments chimiques par réactions nucléaires au sein des étoiles.

⁷ Des mesures faites en astronomie impliquent que 90% ou plus de l'univers est sous forme de matière obscure. Cette matière n'émet ni lumière, ni autre type de radiation détectable ; c'est pourquoi nous ne pouvons pas la voir, mais sa présence est ressentie à travers ses effets gravitationnels sur la matière visible.

⁸ Le Super Synchrotron à Protons (SPS)

ce domaine de la Physique nucléaire. Les mises en route de l'accélérateur LHC et de l'expérience ALICE sont prévues pour 2006.

1.1.2. LE SYSTEME DE DECLENCHEMENT DU SPECTROMETRE DIMUONS

L'observation directe du Plasma Quark-Gluon est impossible car sa durée de vie est trop courte (de l'ordre de 10^{-23} s) et son confinement trop important (de l'ordre de 10^{-15} m). Heureusement un tel plasma laisse des traces, ou signatures, que les physiciens savent reconnaître. Par exemple, la détection et la mesure des variables cinématiques des paires de muons⁹ μ^+ et μ^- , résultantes du refroidissement de ce plasma, permettent de retrouver la généalogie de ces particules. Aux énergies du LHC et pour les collisions des ions les plus lourds seulement, la théorie prédit que la résonance¹⁰ Υ qui se désintègre en une paire μ^+ μ^- (avec une probabilité de 2,5%) ne soit plus observée si le Plasma Quark-Gluon est formé. Le **Spectromètre Dimuons**, appelé aussi **Bras Dimuons**, dont sera équipé le détecteur ALICE, permettra d'étudier en détail la production des ces paires de muons.

Comme le montre la figure 1.1-1, le Bras Dimuons est composé de:

1. un dipôle magnétique pour dévier les particules chargées (*Magnet*) ;
2. dix chambres de *tracking* destinées à reconstruire avec une résolution spatiale de 100 μm les traces des particules. Celles-ci représentent 800 000 voies de mesure ;
3. un mur de fer (*Filter*) qui joue le rôle de filtre¹¹ à muons, mais qui dégrade la résolution spatiale en déviant la trajectoire des particules ; c'est pourquoi il est placé après les chambres de *tracking* ;
4. les **chambres de déclenchement** (*Trigger Chambers*) qui sélectionnent les évènements intéressants.

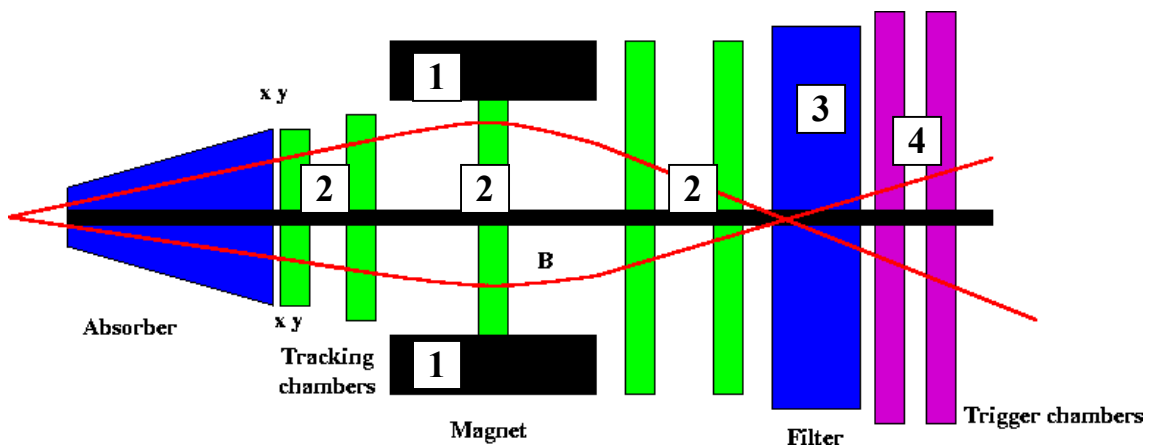


figure 1.1-1 : éléments du Bras Dimuons

⁹ Particules élémentaires.

¹⁰ La résonance Υ est un état transitoire dans lequel deux quarks b et anti-b sont liés (ils échangent des gluons). Il faut des collisions à très hautes énergies pour produire ce phénomène, comme ce devrait être le cas avec le LHC.

¹¹ Les muons traversent facilement le mur de fer alors que beaucoup d'autres particules (protons, pions...) sont stoppées.

Le circuit frontal étudié devant équiper ces chambres de déclenchement, considérons plus en détail la structure et le rôle de ce système de déclenchement.

Il est composé de quatre plans verticaux de 36 m^2 , chacun de ces plans comportant 18 détecteurs de particules appelés **Chambres à Plaques Résistives (RPC)**. Ces quatre plans sont répartis en deux stations distantes d'un mètre. Les deux plans d'une même station sont proches d'environ 15 cm.

Une paire de muons produite lors d'une collision est soumise au champ magnétique du dipôle. Les muons de charges contraires prennent alors des trajectoires de courbures opposées. Si au moins trois des quatre plans détectent une paire de muons de signes opposés et de même gamme d'énergie alors un signal de déclenchement est émis. Ce signal, obtenu en 600 ns environ, est utilisé par d'autres sous-détecteurs pour stocker les données correspondant à cet événement. Ainsi, le rôle du *trigger* est de sélectionner les événements intéressants (ceux ayant une paire $\mu^+ \mu^-$) avant leur stockage sur support informatique, permettant un gain considérable¹² de volume de données à enregistrer et à traiter. D'autre part, l'archivage des données étant relativement lent (au maximum quelques milliers d'événements par seconde), une perte importante d'événements intéressants par effet de temps mort serait à craindre sans ce système de déclenchement

L'image de la figure 1.1-2 montre la position du Bras Dimuons dans le détecteur ALICE. A l'extrémité droite les deux stations du système de déclenchement sont visibles, constituées elles-mêmes des deux plans de 36 m^2 de RPC.

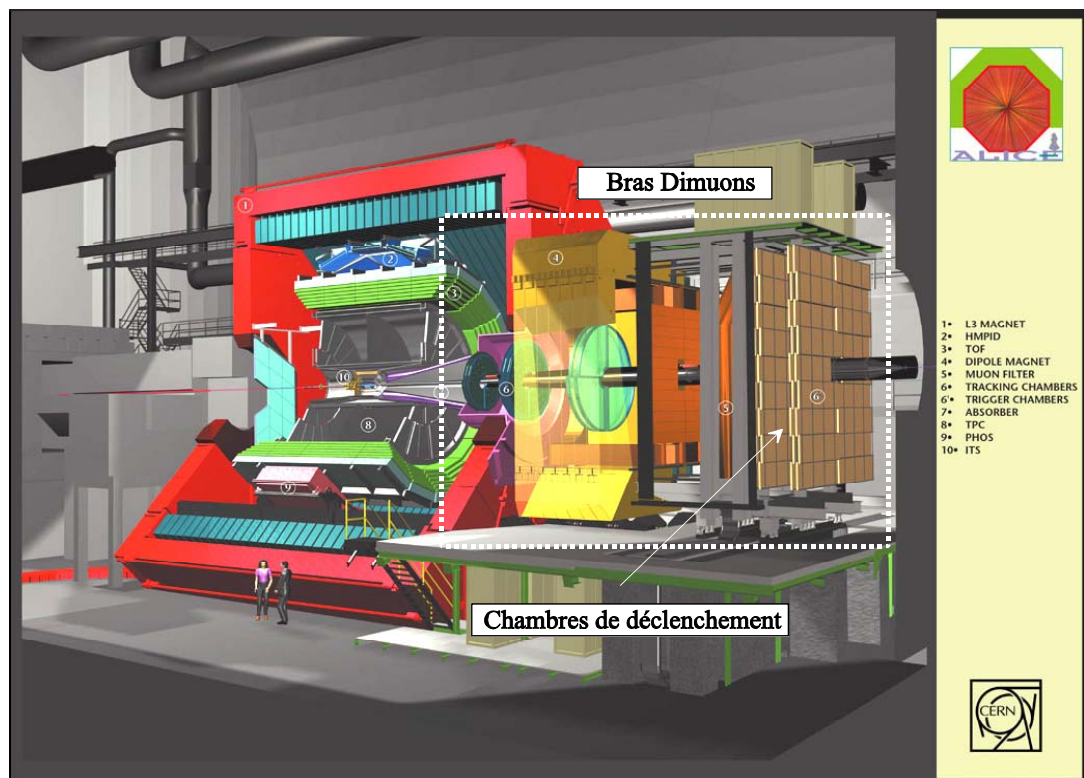


figure 1.1-2 : image virtuelle du futur détecteur ALICE, avec les chambres de déclenchement à l'extrémité droite

¹² Gain d'un facteur 5 à 50 suivant le type de collisions plomb-plomb ou proton-proton.

1.1.3. LES DETECTEURS RPC

Les détecteurs choisis pour le système de déclenchement du Spectromètre Dimuons de ALICE sont des **Chambres à Plaques Résistives**. Éléments importants dans la qualité des données de physique acquises, elles ont fait l'objet d'une étude approfondie au sein de la collaboration depuis le début du projet. Leur rôle est de détecter le passage des particules chargées que sont les muons en répondant à un certain nombre d'exigences présentées dans ce paragraphe.

1.1.3.1. Principe et structure d'une RPC

Une RPC [6][7] est formée d'un volume de gaz inséré entre deux plaques résistives en bakélite (figure 1.1-3). Une haute tension, produisant un champ électrique uniforme et constant à l'intérieur du gaz, est appliquée à un film de graphite déposé sur les faces extérieures de la bakélite. Lorsqu'une particule traverse le gaz, elle produit une ionisation, des paires $e^-/ions^+$ sont alors créées. Les électrons ainsi libérés sont accélérés par le champ électrique, et génèrent de nouvelles ionisations, produisant ainsi une avalanche de Townsend [5]. Une impulsion de tension apparaît alors entre les deux plans de graphite. Par liaison capacitive, des bandes de lecture conductrices, appelées *strips*, placées contre chacun des plans de graphite, recueillent une fraction de cette impulsion. La liaison capacitive, de faible valeur (quelques picofarads, voir Annexe1), est formée par les deux plans conducteurs (plans de *strip* et de graphite) isolés par le film plastique. Les signaux collectés sont d'amplitude négative du côté positif de la haute tension, et d'amplitude positive de l'autre. L'électronique frontale, placée à une des extrémités de chacun des *strips*, peut alors traiter ces signaux.

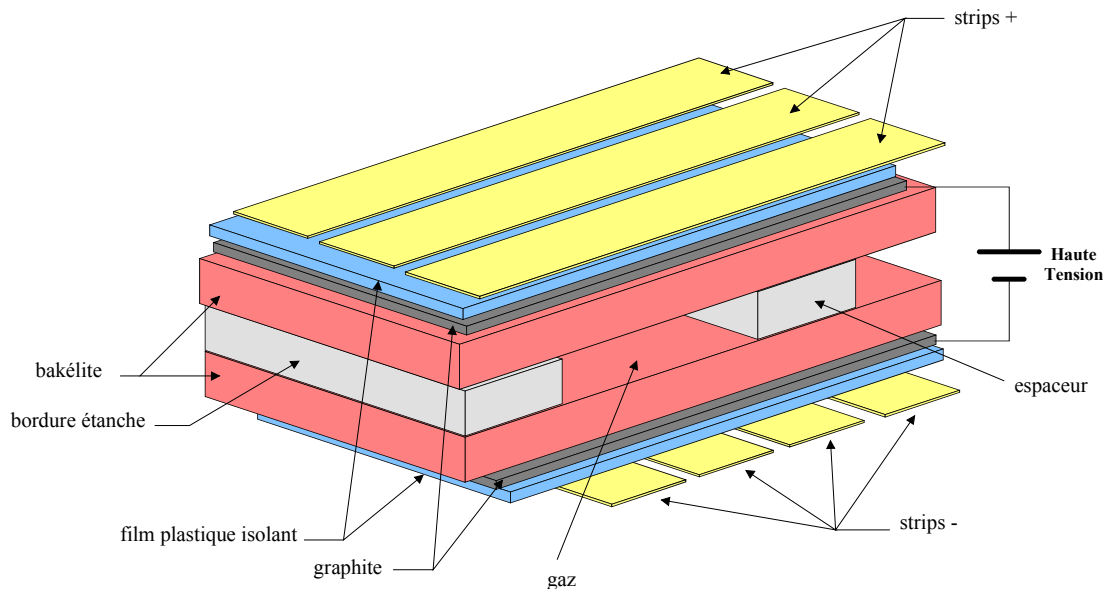


figure 1.1-3 : coupe latérale d'une RPC (les échelles ne sont pas respectées)

Dans l'expérience ALICE [4], l'épaisseur des plaques de bakélite choisie est de 2 mm. Le distance entre ces deux plaques, c'est-à-dire la zone où circule le gaz, est aussi de 2 mm. Cette épaisseur (figure 1.1-3) est maintenue constante grâce à des espaceurs disposés tous les 10 cm. Les *strips* ont des largeurs de 1 cm, 2 cm ou 4 cm environ, suivant leur position par rapport à l'axe du faisceau. La taille finale prévue pour les RPC est d'environ $(2,7 \times 0,7) \text{ m}^2$. Le nombre total de voies de mesure est 20 992, réparties sur 72 RPC.

Un schéma électrique équivalent d'une RPC est donné en Annexe 1.

1.1.3.2. Variables de fonctionnement

Avant de poursuivre, il est nécessaire de définir un certain nombre de variables. Elles caractérisent le fonctionnement de la chambre de détection RPC avec son électronique frontale associée. Ces paramètres sont mesurés lors des tests et permettent d'apprécier la conformité du couple " détecteur - électronique frontale " avec les exigences de ALICE.

✓ Efficacité

L'efficacité est le rapport entre le nombre de particules détectées par la chambre RPC et le nombre effectif de particules chargées ayant traversées le détecteur sous test. La référence est en général donnée par des scintillateurs plastiques dont l'efficacité aux particules chargées est voisine de 100%. On peut définir ainsi une efficacité locale ou une efficacité globale de la RPC selon la zone couverte par les scintillateurs.

✓ Tenue au flux

La tenue au flux est le maximum de particules par seconde et par unité de surface (généralement le cm^2) que peut soutenir le détecteur sans perte d'efficacité.

✓ Taille de *clusters*

La taille de *clusters* est le nombre moyen de *strips* adjacents touchés au passage d'une particule. Elle n'est valable que pour une largeur de *strip* donnée.

✓ Résolution temporelle

C'est un paramètre particulièrement important pour un système de déclenchement. Elle représente la fluctuation statistique du temps de réponse d'une voie du détecteur par rapport à une référence. Cette référence est en général donnée par le signal d'un scintillateur qui indique précisément l'instant de passage de la particule. Lorsque la distribution relevée est proche d'une gaussienne¹³, la résolution temporelle est caractérisée par l'écart type (σ) de cette courbe de Gauss, en précisant le pourcentage d'évènements en dehors du pic de cette distribution.

1.1.4. LES DEUX MODES DE FONCTIONNEMENT

Les chambres à plaques résistives peuvent être utilisées dans deux modes de fonctionnement : le mode *streamer* et le mode *avalanche*. Suivant la haute tension

¹³ Loi de probabilité de Gauss: $f(x) = \frac{1}{\sigma\sqrt{2\pi}} \exp\left(-\frac{(x-m)^2}{2\sigma^2}\right)$,

avec σ écart moyen par rapport à la valeur moyenne m de la variable x .

appliquée et le mélange gazeux choisi, il est possible de faire fonctionner le même détecteur dans l'un ou l'autre de ces deux modes.

1.1.4.1. Le mode avalanche

Dans le mode avalanche, l'ionisation est limitée par la haute tension appliquée et par la nature du gaz, ce qui se traduit par des signaux de faible amplitude sur les *strips* (de l'ordre du millivolt). L'électronique frontale doit donc avoir un premier étage d'amplification. Les avantages de ce régime de fonctionnement sont :

- ⇒ une meilleure résolution temporelle ($\sigma \approx 1$ ns) ;
- ⇒ une plus grande tenue au flux, soient plusieurs kHz/cm².

Par contre, ces performances sont nettement moins bonnes en ce qui concerne :

- ⇒ la taille de *clusters*, c'est-à-dire une moins bonne résolution spatiale. La valeur typique est 1,4 pour des *strips* de 2 cm ;
- ⇒ le rapport signal sur bruit. Du fait de la faible amplitude des signaux délivrés, il est plus difficile d'extraire les impulsions utiles du bruit. Des précautions doivent être prises pour protéger le détecteur des perturbations électromagnétiques extérieures, et l'amplificateur doit présenter un bruit faible à l'entrée. L'électronique frontale est donc plus délicate à réaliser.

En général, ce type de fonctionnement est préféré lorsque des tenues aux flux importantes sont requises (>1 kHz).

1.1.4.2. Le mode *streamer*

Dans le mode *streamer*, l'avalanche n'est pas contenue et les signaux électriques recueillis sont d'amplitude suffisante (>100 mV) pour être exploités sans amplification. Les avantages de ce mode sont donc :

- ⇒ un rapport signal sur bruit élevé ;
- ⇒ une électronique frontale plus simple ;
- ⇒ une taille de *clusters* réduite. Typiquement, elle est de 1,1 pour des *strips* de 2 cm de large.

Remarque [3] : la différence de taille de *clusters* entre les deux modes de fonctionnement (1,1 et 1,4) peut paraître faible. En fait, un tel écart traduit une dégradation significative de la résolution spatiale. En mode avalanche, dans plus de 30% des événements, deux *strips* adjacents sont touchés, alors que cette proportion n'est plus que de 10% en mode *streamer*. La dégradation observée en mode avalanche provient de l'amplification électronique de chacune des voies qui accentue le phénomène de *cross-talk* entre *strips* adjacents.

En revanche :

- ⇒ la tenue au flux est moins bonne. Cependant l'utilisation de plaques de bakélite de faible résistivité ($\sim 10^9 \Omega \cdot \text{cm}$) permet d'atteindre des valeurs de l'ordre de 1 kHz/cm². Le temps de récupération de la RPC, c'est-à-dire le

temps d'évacuation des charges produites lors du passage d'une particule, dépend de la constante de temps composée de la résistance locale de la bakélite et de la capacité équivalente du gap de gaz ;

- ⇒ la résolution temporelle est dégradée. Ce point est détaillé par la suite. Nous montrerons comment le circuit de lecture développé a permis d'améliorer sensiblement la résolution temporelle du détecteur en mode *streamer* pour atteindre des performances temporelles très proches du mode avalanche.

1.1.4.3. Les exigences de ALICE et le choix du détecteur

Les performances requises pour le système de déclenchement de ALICE imposent un certain nombre d'exigences en ce qui concerne les caractéristiques des RPC utilisées.

✓ Efficacité

Elle doit être supérieure à 95% pour ne pas compromettre l'efficacité globale¹⁴ du système de déclenchement.

✓ Tenue au flux

Les simulations [4] indiquent un taux maximum au niveau des chambres de déclenchement de 40 Hz/cm². En prenant un facteur de sécurité, ceci implique que le détecteur doit tenir des flux de l'ordre de 100 Hz/cm².

✓ Résolution spatiale

Comme décrit précédemment, la résolution spatiale est donnée par la taille de *clusters*. Les valeurs obtenues en mode *streamer* lors de précédents tests au CERN permettent, d'après les simulations, d'obtenir une résolution suffisante sur l'ensemble du détecteur [3]. Ces tailles de *clusters* sont de 1,1 *strip* pour les *strips* de 2 cm de large et de 1,5 *strip* pour les *strips* de 1 cm.

✓ Résolution temporelle

La fréquence de croisement de faisceau du LHC est de 40 MHz. Cela signifie que toutes les 25 ns, l'électronique du système de déclenchement lira l'ensemble des 21 000 signaux délivrés par l'électronique frontale (figure 1.2-1 et figure 1.2-2). Pour que l'ensemble de ces signaux soit pris dans le même événement, il faut que les différences de réponse en temps des voies les unes par rapport aux autres soient inférieures à 25 ns. Les écarts produits peuvent être constants, comme dans le cas de longueurs de câbles différents, ou peuvent présenter une fluctuation statistique due au temps de vol de la particule, à la forme de l'avalanche dans la RPC, à la position de l'impulsion sur le *strip*, etc. Pour des raisons de coût, la compensation

¹⁴ Avec la condition 3 plans sur 4 touchés et une efficacité de 95% par plan, l'efficacité globale est de 98%.

programmable des retards fixes a été abandonnée, imposant par la même une meilleure résolution temporelle du détecteur associé à son électronique frontale. Il a été estimé que celle-ci devait être meilleure que 3 ns pour garantir une efficacité globale du détecteur suffisante.

De nombreux tests [8] effectués en laboratoire ou sous faisceau au CERN jusqu'en 1999 ont prouvé que les RPC fonctionnant en mode *streamer* répondaient aux exigences de ALICE. De plus, le prix au mètre carré de ce type de chambre étant relativement faible¹⁵, elles sont particulièrement intéressantes pour la réalisation de grandes surfaces de détection. Pour le spectromètre dimuons, ce sont près de 150 m² de RPC qui seront produits. Par contre, la résolution temporelle obtenue en mode *streamer* est insuffisante si une électronique classique est employée, comme cela est montré dans le chapitre suivant.

¹⁵ Environ 3 000FF/m².

1.2. L'électronique frontale des détecteurs RPC

Le rôle premier de l'électronique frontale associée aux chambres résistives est de fournir une information de type tout-ou-rien à l'électronique de déclenchement [9]. Cette information logique signale le passage ou non d'une particule chargée au niveau du *strip* concerné. La fonction de base à réaliser est donc une discrimination. Ces données étant échantillonnées toutes les 25 ns par l'électronique de déclenchement, la durée du signal logique fourni a été fixée à 20 ns. Il faut donc réaliser une mise en forme pour obtenir le signal désiré. Il doit ensuite être transmis correctement via un câble différentiel d'une longueur de 20 m environ. L'ensemble de la chaîne de mesure du détecteur à l'électronique de déclenchement est illustré par les deux figures ci-dessous.

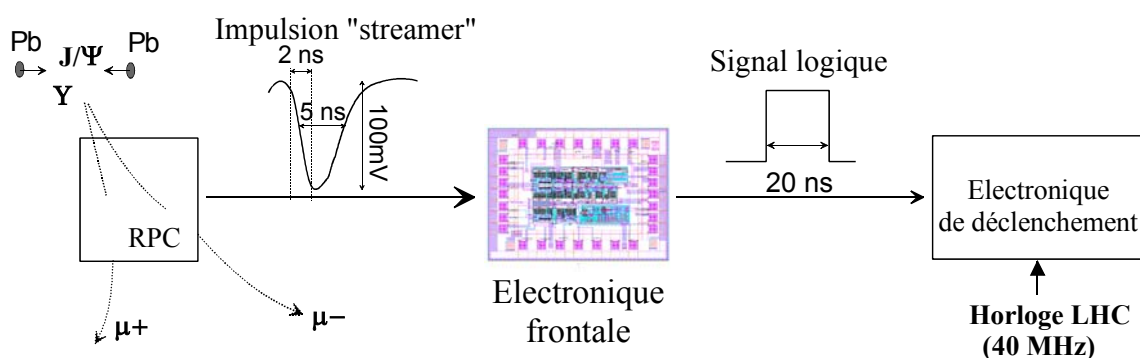


figure 1.2-1 : Synoptique du traitement d'une voie de détection

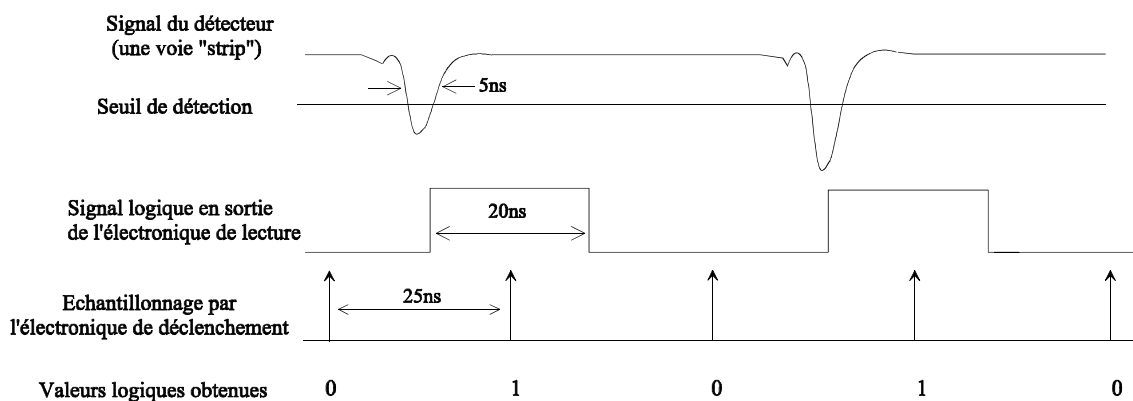


figure 1.2-2 : Chronogramme du traitement d'une voie de détection

Les signaux délivrés par le détecteur suivant la position des *strips*, sont d'amplitude positive ou négative. Seul ce dernier cas est représenté sur les figures précédentes. Le seuil de détection a été optimisé lors des tests à une valeur absolue de 80 mV. Les impulsions dites *streamer* ont un temps de montée de 2 ns environ et une largeur à mi-hauteur de 5 ns.

1.2.1. L'ELECTRONIQUE FRONTALE INITIALE

1.2.1.1. Conception

Les premiers tests de RPC ont été effectués avec une électronique frontale déportée. Les signaux en sortie de *strips* étaient transmis par des câbles coaxiaux de qualité vers des modules commerciaux qui effectuaient la mise en forme. Cette méthode étant coûteuse et lourde à mettre en place pour traiter 21 000 voies, il s'est rapidement avéré nécessaire de développer une électronique de mise en forme au plus près de la source du signal.

Le choix de cette électronique doit répondre à quatre critères essentiels :

- les trois fonctions à réaliser sont : discrimination, mise en forme, et transmission ;
- le coût par voie ne doit pas dépasser la somme de 20 FF (HT) ;
- la consommation doit être limitée à 100 mW/voie ;
- la technologie employée doit être suffisamment rapide pour traiter les impulsions de type *streamer* (temps de montée de 2 ns, largeur de 5 ns).

La première version de l'électronique frontale a été réalisée à partir d'un comparateur de la famille des composants ECL¹⁶. Cette technologie est réputée pour sa rapidité, obtenue au détriment d'une consommation relativement élevée. Pour réaliser la mise en forme de 20 ns, la fonction de verrouillage (ou *latch*) disponible sur les comparateurs AD96687¹⁷ et MAX9687¹⁸ a été utilisée. La sortie est différentielle et capable de transmettre un signal ECL sur une ligne bifilaire torsadée, adaptée à son extrémité sur une charge d'environ 100Ω. Une note interne à l'équipe ALICE du LPC donnée en Annexe 2 décrit plus en détails cette électronique. Deux séries de cartes ont été réalisées : une avec huit voies pour des pas de *strip* de 2 cm et une avec seize voies au pas de 1 cm.

1.2.1.2. Performances

Les cartes produites ont été testées sur des détecteurs RPC, soit au laboratoire en utilisant les particules cosmiques, soit sous faisceau au CERN. Nous pouvons alors faire le bilan suivant :

- les cartes réalisent les fonctions demandées ;
- le coût par voie de mesure ne dépasse pas les 20 FF imposés.

Par contre :

- la consommation, de l'ordre de 200 mW par voie, est élevée. Pour l'ensemble des 21 000 voies, cela représente une puissance totale de 4 kW ;
- la résolution temporelle est insuffisante.

¹⁶ Logique à émetteurs couplés [13].

¹⁷ De chez *Analog Devices*.

¹⁸ De chez *Maxim Integrated Circuits*.

Ce dernier point sur la précision en temps est développé dans le paragraphe qui suit. Il est à l'origine d'une nouvelle méthode de discrimination appliquée aux signaux des détecteurs RPC appelée **ADULT**¹⁹.

1.2.2. LE SYSTEME ADULT

1.2.2.1. Analyse des résultats en discrimination à "simple seuil"

La distribution en temps de la figure 1.2-3 est obtenue sur une voie de RPC avec l'électronique décrite précédemment.

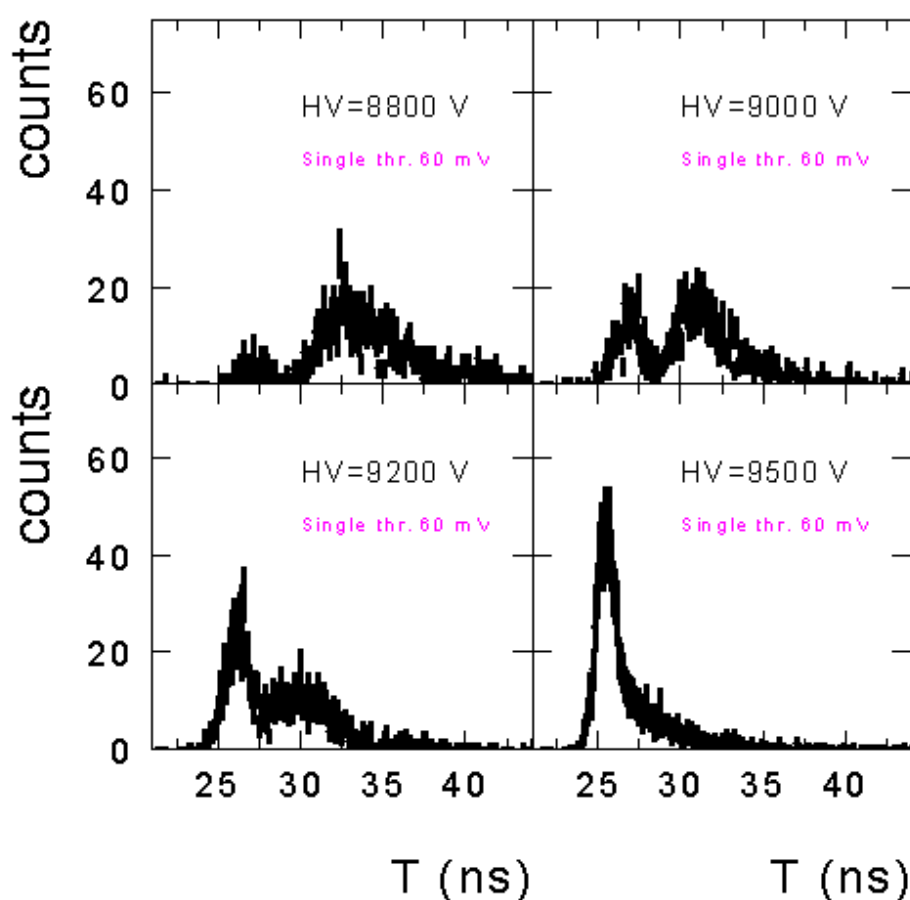


figure 1.2-3 : distributions en temps obtenues pour différentes valeurs de haute tension avec l'électronique à simple seuil

Pour pouvoir mesurer la résolution temporelle du détecteur, l'instant de passage de la particule est précisément détecté par une paire de scintillateurs placée au plus près de la RPC. Le temps de réponse du détecteur est alors comparé à cette référence. La valeur absolue du temps de réponse est arbitraire²⁰ et seule sa fluctuation relative est

¹⁹ "A DUaL Threshold", Système à Double Seuil.

²⁰ Elle dépend de la configuration matérielle de l'expérience, des différents retards induits par les longueurs de câbles, le temps de réponse des scintillateurs...

significative. Le pas de mesure en abscisse est de 100 ps et le nombre d'évènements est porté sur l'axe des ordonnées. Quatre valeurs de haute tension sont considérées : 8800 V, 9000 V, 9200 V et 9500 V. Le seuil de discrimination est fixé à -60 mV.

La figure 1.2-3 montre que pour des tensions inférieures à 9500 V, les distributions en temps sont étalées, et présentent une structure à deux pics. A tension plus élevée, la résolution temporelle est améliorée : à 9500 V, un seul pic subsiste, mais il s'étale sur la droite. Ces évènements hors pic constituent ce que les physiciens nomment la queue de distribution.

A la vue de ces résultats, il vient les remarques suivantes :

- ⇒ pour des valeurs trop faibles de la haute tension, la résolution temporelle du détecteur est médiocre ;
- ⇒ la valeur de haute tension qui doit être appliquée sur la RPC pour obtenir une résolution temporelle correcte est incompatible avec d'autres paramètres de fonctionnement comme la résolution spatiale et la dégradation de ses performances dans le temps²¹ ;
- ⇒ la résolution temporelle est fortement dépendante de la valeur de la haute tension, c'est-à-dire au champ électrique appliqué au gaz. Or des tests ont montré que l'épaisseur du gaz pouvait varier localement de quelques dixièmes de millimètres, ce qui est équivalent à une variation locale de la haute tension appliquée de plusieurs centaines de volts. Dans la zone de fonctionnement, la résolution temporelle doit donc être la plus insensible possible aux variations de haute tension.

En conclusion, un détecteur RPC, fonctionnant en mode *streamer*, ne permet pas d'atteindre la résolution temporelle requise dans ALICE lorsqu'une discrimination classique à un seuil est effectuée. Cette résolution ne peut être améliorée qu'au détriment d'autres performances.

²¹ La durée prévue d'utilisation du détecteur Alice est de 10 ans.

1.2.2.2. Le principe de la discrimination à double seuil [10]

Pour expliquer la forme des distributions précédemment décrites, observons sur la figure 1.2-4 les signaux délivrés par une voie de RPC en mode *streamer*.

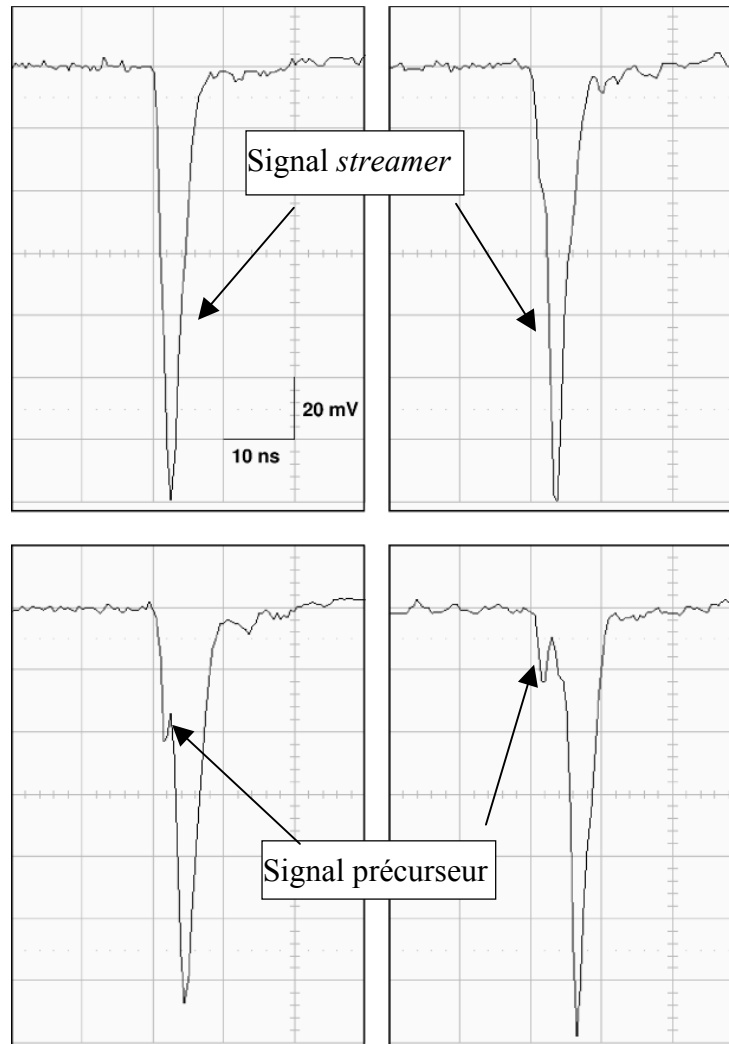


figure 1.2-4 : exemples d'impulsions de RPC en mode *streamer*

Les oscillogrammes de la figure 1.2-4 sont quatre exemples d'impulsions relevées à la sortie d'un *strip* de RPC fonctionnant en mode *streamer* à une tension pour laquelle l'efficacité est de l'ordre de 98%, soit 9400 V. Il apparaît que le signal est en fait composé de deux parties :

- une impulsion de forte amplitude, qui est à proprement appelée l'impulsion *streamer* ;
- un signal précédant l'impulsion *streamer*, de plus faible amplitude, que l'on nomme **précurseur**²².

²² Ce signal précurseur peut ne pas apparaître si l'impulsion de *streamer* se développe dans le même temps.

Le système de discrimination ADULT repose alors sur les remarques suivantes :

- ⇒ **le signal précurseur est d'amplitude faible mais son instant d'apparition est très stable par rapport à celui du passage de la particule ;**
- ⇒ **l'apparition de l'impulsion *streamer* fluctue dans le temps** (plus de 5 ns de variation entre le premier et le dernier des oscillogrammes ci-dessus). **Par contre, l'amplitude des signaux est élevée** (supérieure à 100 mV).

Lorsque la discrimination est faite sur le niveau du signal de *streamer* avec un seuil de 60 ou 80 mV, la fluctuation en temps observée est celle du signal de *streamer* lui-même. Par contre en effectuant une discrimination sur le signal précurseur, la résolution temporelle est améliorée. Mais la détection du signal précurseur doit être validée par celle de l'impulsion *streamer*, ceci afin de conserver les avantages du mode *streamer* que nous avons listés précédemment.

Il faut donc réaliser une double discrimination :

- une première discrimination avec un seuil bas pour détecter le signal précurseur. Elle donnera la référence en temps ;
- une autre avec un seuil haut pour détecter l'impulsion *streamer*.

Une coïncidence des deux signaux ainsi obtenus est effectuée. Mais le signal provenant du discriminateur à bas seuil doit être retardé afin qu'il donne la référence en temps à la sortie de la coïncidence. Ce retard à appliquer a fait l'objet de tests en laboratoire et une valeur de 10 ns a été choisie. Il détermine le délai maximal entre les deux impulsions pour lequel le signal précurseur est encore pris en compte. Au-delà, il est considéré comme non corrélé au signal *streamer* qui suit et ignoré.

Cette méthode de discrimination à double seuil, mise au point au Laboratoire de Physique Corpusculaire de Clermont-Ferrand et appelée ADULT, a été implantée dans le prototype de circuit intégré développé et décrit dans le chapitre suivant.

1.2.3. AUTRES FONCTIONS REQUISES

Hormis le système de discrimination ADULT, deux fonctions supplémentaires doivent être accomplies par l'électronique frontale afin d'optimiser l'exploitation du détecteur :

- un système de verrouillage interdit pendant environ 100 ns tout re-déclenchement lorsqu'une particule a été détectée ;
- le signal logique de sortie peut être retardé dans une gamme de 0 à 50 ns par une consigne extérieure, pour compenser d'éventuels retards constants entre voies.

Chapitre 2

Etude et conception du circuit intégré spécifique

2.1. Pré-étude

Les contraintes et enjeux de l'électronique à développer étant définis, ce début de chapitre montre que la conception d'un circuit intégré spécifique est la solution susceptible de répondre aux problèmes posés.

2.1.1. LE CAHIER DES CHARGES

Le cahier des charges succinct à prendre en compte lors de cette étude est le suivant :

1) **Fonctions requises :**

- Système de discrimination ADULT :
 - double discrimination,
 - retard fixe de 10 ns appliqué au signal de sortie du discriminateur bas seuil,
 - validation de la discrimination bas seuil par le signal de discrimination haut seuil à l'aide d'une coïncidence ;
- Système de verrouillage d'une durée de 100 ns ;
- Retard variable et contrôlable par une consigne extérieure dans une gamme de 0 à 50 ns ;
- Mise en forme du signal de sortie pour obtenir une impulsion logique d'une durée de 20 ns ;
- Etage de sortie pour la transmission du signal logique sur un câble torsadé, adapté à son extrémité à une charge de 120 Ω environ.

2) Signaux de RPC à discriminer :

- Temps de montée : environ 2 ns ;
- Largeur à mi-hauteur : environ 5 ns ;
- Polarité : positive ou négative ;
- Amplitude (valeur absolue) : > 100 mV (pour l'impulsion *streamer*).

3) Seuils de discrimination²³ :

- Bas seuil : ± 10 mV ;
- Haut seuil : ± 80 mV ;
- Précision sur les valeurs de seuil (offset) : ≤ 2 mV.

4) Tenue aux radiations : le durcissement du circuit vis-à-vis des radiations n'est pas nécessaire étant donné le faible taux escompté²⁴ ;**5) Consommation :** ≤ 100 mW par voie ;**6) Nombre de voies :** 20 992 ;**7) Prix total²⁵ par voie :** ≤ 20 FF HT ;**8) Performances** (efficacité, tenue au flux...) : voir chapitre précédent ;**9) Echéances :**

- fin de la R&D : décembre 2001 ;
- fabrication : courant 2002.

2.1.2. UNE SOLUTION A BASE DE COMPOSANTS GENERIQUES

La première solution envisagée est basée sur l'utilisation de composants génériques du commerce. Il est dans ce cas nécessaire de trouver les circuits qui effectuent les fonctions requises.

En ce qui concerne les discriminations, les comparateurs ECL employés dans la précédente électronique ont prouvé leur capacité à traiter les signaux rapides des RPC. De plus, en utilisant leurs entrées *latch*, la discrimination peut être verrouillée sur la durée de 100 ns demandée.

Le retard constant de 10 ns à appliquer au signal de sortie du discriminateur bas seuil peut être généré à l'aide d'un câble d'une longueur de 2 m. Pour l'ensemble des 21 000 voies cela représente plus de 40 km de câble. L'utilisation d'un circuit intégré spécialisé dans ce type de fonction est donc préférable en terme de coût et d'encombrement. Le composant CDA10005²⁶ en est un.

Concernant le délai programmable, le CERN a développé un circuit intégré spécifique nommé PHOS4 produisant un retard variable dans une gamme de 25 ns au pas de 1 ns. Pilotable par bus I2C²⁷ il gère quatre voies indépendamment. Dans notre

²³ D'amplitude positive ou négative suivant la polarité des impulsions recueillies sur les *strips*.

²⁴ $< 0,1$ Gray et 10^{10} neutrons/cm² sur une période de 10 ans de fonctionnement du détecteur.

²⁵ Incluant le circuit imprimé et tous les composants implanté sur la carte support (Voir Annexe 3).

²⁶ De chez ELMEC.

²⁷ *Inter-Integrated Circuit*, un standard de protocole de bus série.

application où le retard doit atteindre 50 ns, la mise en série de deux voies est requise. Le nombre de voies traitées par circuit PHOS4 est alors réduit à deux, alors que le pas de résolution de 1 ns fourni est trop précis pour notre application.

Enfin, la mise en forme du signal pour sa transmission vers l'électronique de déclenchement peut-être obtenue avec le monostable ECL MC10198²⁸.

Le tableau ci-dessous rassemble l'ensemble des composants proposés pour cette solution. Cette liste est complétée par une estimation des coûts et consommations induites par une telle électronique.

Composants	Fonction	Coût/voie	Consommation/voie
Double Comparateur AD96698	Discriminations	21 FF	400 mW
Monostable MC10198	Verrouillage 100 ns	126 FF	415 mW
Retard fixe ELMEC CDA10005	Retard fixe 10 ns	20 FF	0
PHOS 4 ASIC CERN	Retard variable 0-50 ns	Non communiqué	17 mW
Circuit imprimé	-	2 FF	-
Composants discrets et connectique	-	3 FF	-
Totaux	-	> 172 FF	832 mW

Tableau 2.1-1 : estimation du coût d'une électronique en composants du commerce

D'autres solutions à base de composants commerciaux peuvent être proposées, sans gain notable sur la consommation et le coût. Il apparaît donc que ce type de réalisation ne permet pas de respecter les contraintes imposées. La simple utilisation d'un double comparateur rapide en technologie ECL type AD96698 épuise le budget alloué et dépasse d'un facteur 4 la consommation maximale autorisée.

2.1.3. UNE SOLUTION BASEE SUR UN CIRCUIT INTEGRE POUR APPLICATION SPECIFIQUE (ASIC)

La microélectronique permet souvent de répondre aux exigences des nouveaux détecteurs mis en place pour l'étude de la Physique des particules. C'est pourquoi ce type de solution a été envisagé, pour finalement être retenu.

Une rapide estimation de la surface de silicium nécessaire a tout d'abord permis de vérifier la compatibilité de cette solution avec le budget alloué (voir Annexe 3). Mais toute conception micro-électronique n'est envisageable que si les puissants mais onéreux outils de CAO-IAO²⁹ sont mis à la disposition des développeurs. Au

²⁸ De chez Motorola.

²⁹ Conception Assistée par Ordinateur, Ingénierie Assistée par Ordinateur.

Laboratoire de Physique Corpusculaire, ces logiciels sont accessibles depuis l'arrivée en 1998 d'une équipe spécialisée dans ce domaine. De plus, l'expérience de ce groupe dans le domaine de la micro-électronique analogique, appliquée aux expériences de Physique, est un atout supplémentaire pour la réalisation d'un premier circuit frontal clermontois dédié à la Physique de ALICE.

Enfin, les ASIC sont particulièrement appréciés pour leur rapidité et leur faible consommation, paramètres qui sont essentiels dans notre application.

Pour valider ce choix, un premier prototype a été réalisé. La fabrication de circuit prototype à un coût extrêmement faible est rendu possible par la mise en commun de plusieurs projets par l'intermédiaire d'un organisme basé à Grenoble : les **Circuits Multi-Projets (CMP)**. Une quinzaine de "puces" mises en boîtier sont ainsi délivrées, dans un délai de trois mois, pour un prix approximatif de 10 kF (surface du circuit $\leq 3 \text{ mm}^2$).

Le CMP permet l'accès à onze technologies, aux coûts et performances distincts. Notre choix est dicté par les niveaux des seuils de discrimination et leurs précisions présentés dans le cahier des charges.

De telles performances ne sont pas envisageables en technologie MOS, comme cela est rappelé en Annexe 4. Des tensions de décalage (offsets) de plusieurs dizaines de millivolts sur les étages d'entrée MOS des comparateurs sont totalement incompatibles avec nos exigences. Une correction de ces décalages voie par voie est possible mais complique l'architecture du circuit ainsi que son calibrage [10]. Dans un tel cas, l'emploi d'une technologie bipolaire est recommandé pour la réalisation d'étages d'entrée à faible offset.

La technologie bipolaire proposée par le CMP est en fait une technologie mixte bipolaire-MOS. La possibilité d'implanter des portes CMOS est un atout de plus dans l'optimisation de la consommation et de la rapidité. Bien que deux fois plus chère que la technologie CMOS équivalente, la technologie BiCMOS reste abordable et compatible avec notre budget³⁰.

³⁰ Voir Annexe 3.

2.2. Conception du circuit intégré spécifique

2.2.1. DESCRIPTION GENERALE

2.2.1.1. Schéma général fonctionnel

Le schéma fonctionnel d'une voie du circuit est donné par la figure 2.2-1.

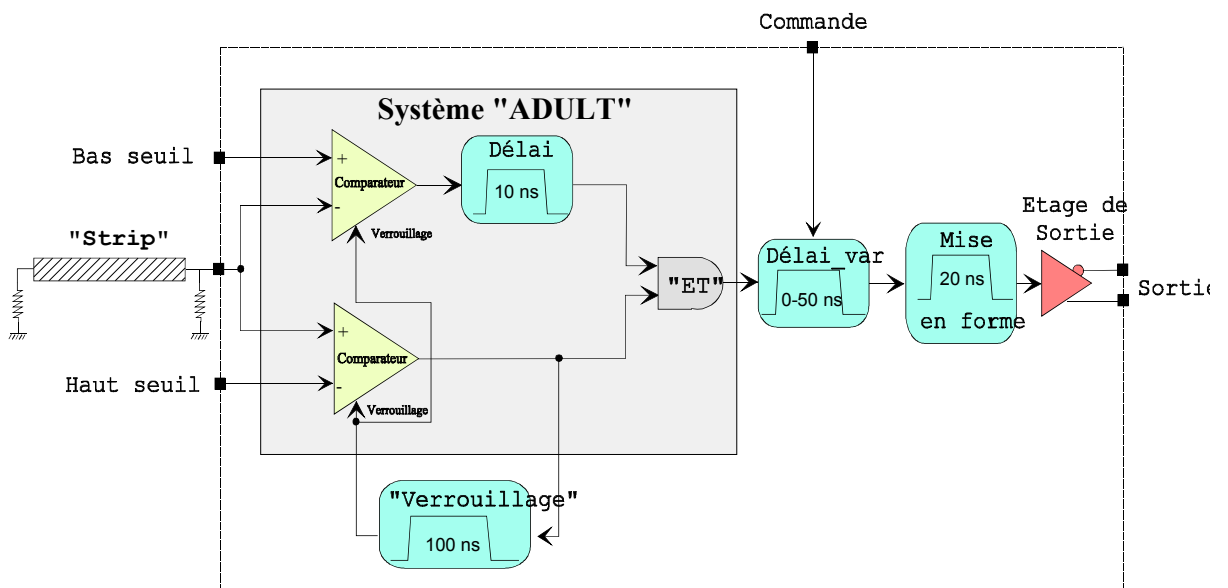


figure 2.2-1 : schéma de principe de l'électronique de traitement d'une voie

A l'entrée du circuit se trouve tout d'abord le système de discrimination ADULT. Deux comparateurs, l'un affecté du seuil bas, l'autre du seuil haut, détectent respectivement les signaux précurseur et *streamer*. Il est à noter que les tensions de seuils sont établies à l'extérieur du circuit de manière à pouvoir éventuellement modifier leurs valeurs durant la durée de vie du détecteur. Il apparaît ensuite sur la figure 2.2-1 que le signal de sortie du comparateur bas seuil est retardé d'une valeur de 10 ns avant d'être mis en coïncidence avec le signal de sortie du comparateur à haut seuil (cellule "ET").

Outre le système ADULT, ce schéma présente les fonctions annexes demandées. Tout d'abord, un bloc fonctionnel nommé "VERROUILLAGE" rend les deux comparateurs inopérants pendant 100 ns lorsque le seuil haut est dépassé. Il apparaît ensuite que le signal de sortie de la coïncidence peut être retardé dans une gamme de 0 à 50 ns, avant sa mise en forme finale et son amplification pour la transmission différentielle sur une paire bifilaire torsadée.

2.2.1.2. Schéma de réalisation

Quelques corrections doivent être apportées au schéma précédent pour représenter l'architecture exacte du circuit conçu. La figure 2.2-2 prend en compte ces modifications. Ce schéma correspond alors à celui utilisé pour la simulation (voir figure A5-4).

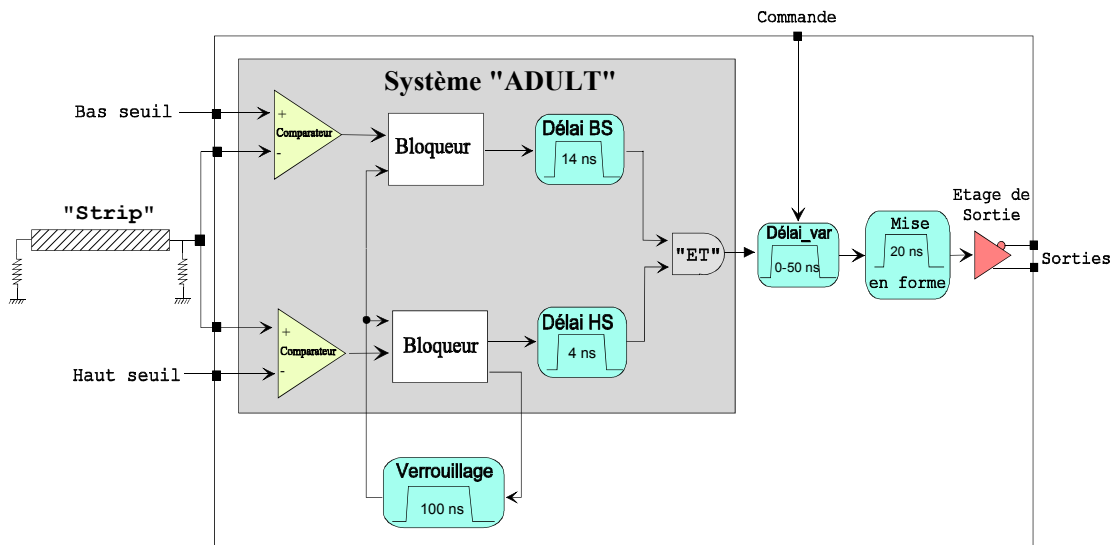


figure 2.2-2 : Schéma de principe correspondant à la réalisation

Sur cette figure, un nouvel étage apparaît. Il a été nommé "BLOQUEUR". Son rôle est de délivrer une impulsion logique de largeur fixe et indépendante de celle du signal d'entrée. Cette fonction est essentielle pour obtenir le signal de 20 ns en sortie du circuit indépendante de la durée du signal d'entrée. De plus, l'étage "BLOQUEUR" assure le verrouillage du dispositif pendant environ 100 ns lorsqu'un signal *streamer* est détecté, c'est-à-dire lorsque le seuil haut est dépassé. La cellule appelée "VERROUILLAGE" constitue le monostable qui pilote la durée durant laquelle les comparateurs sont rendus inactifs. Enfin, contrairement au premier schéma, la sortie du comparateur haut seuil est elle aussi affectée d'un retard. En fait, cette cellule permet uniquement d'obtenir deux signaux de même forme à l'entrée de la coïncidence "ET". Afin de conserver un retard relatif de 10 ns, le délai en sortie du comparateur bas seuil a sa valeur augmentée de celle du délai haut seuil, soit environ 4 ns.

Comme cela a déjà été mentionné, les signaux délivrés par les RPC sont d'amplitude positives ou négatives suivant le plan de *strip* considéré. L'alimentation des étages d'entrées du circuit, c'est-à-dire les cellules "COMPARATEUR", doit donc être bipolaire pour pouvoir traiter les deux types de signaux. Elle a été fixée à $\pm 3,5$ V, seule la tension d'alimentation négative $-3,5$ V étant pour le reste du circuit conservée.

Les différentes cellules évoquées vont maintenant être décrites, en précisant leur rôle et leur schéma de réalisation.

2.2.2. LES CELLULES "COMPARATEUR"

2.2.2.1. Introduction

Les comparateurs sont constitués de deux étages successifs d'amplification à gain élevé et d'une mise en forme du signal de sortie. Un schéma de principe est donné sur la figure 2.2-3.

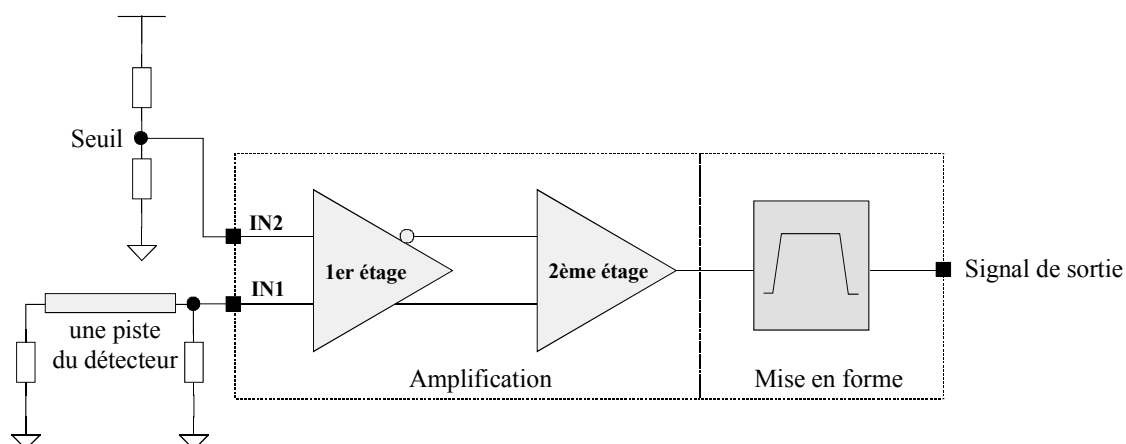


figure 2.2-3 : schéma synoptique du comparateur

Le premier étage est représenté sur la figure 2.2-4. Il y apparaît que les bases des deux transistors T1 et T2 constituent les deux entrées IN1 et IN2 du comparateur. Sur la première est appliqué le signal délivré par une voie du détecteur symbolisée par une source de courant i_{RPC} , alors que la deuxième est utilisée pour fixer le seuil de déclenchement à l'aide d'un pont diviseur à partir de la tension d'alimentation.

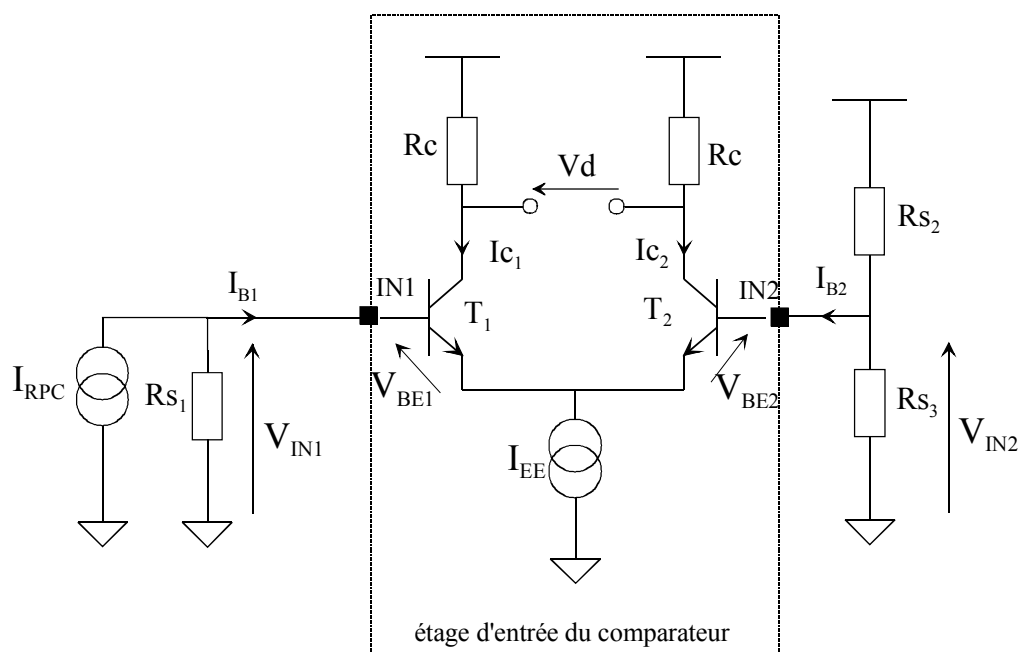


figure 2.2-4 : étage d'entrée du comparateur

Pour être pleinement efficaces, les comparateurs doivent être en mesure de détecter des dépassements de la tension de seuil de quelques millivolts. Ils doivent donc être sensibles, mais rapides aussi car la durée du dépassement est généralement inférieure à 5 ns. Ceci impose donc une forte amplification dans une large bande de fréquence.

2.2.2.2. Calcul du gain différentiel

Le signal d'entrée différentiel (amplitude du signal *strip* moins la valeur du seuil) est amplifié de manière à générer une impulsion d'amplitude suffisante pour être ensuite traitée comme un signal logique. En considérant qu'un dépassement du seuil de 2 mV en entrée doit être détecté, une amplification de 200 minimum est requise dans la bande passante du signal d'entrée pour obtenir une impulsion en sortie de quelques centaines de millivolts.

La valeur du gain en petits signaux est tout d'abord établie pour les fréquences basses, puis le simulateur permettra de vérifier que ce gain est encore suffisant aux plus hautes fréquences.

1) Calcul du gain en "petits signaux"

Les variations de la tension de sortie différentielle V_d en fonction de l'amplitude de la tension différentielle d'entrée V_{id} sont ici étudiées.

La tension de sortie différentielle V_d d'un tel étage est donnée par la relation :

$$V_d = \alpha R_C I_{EE} \tanh\left(\frac{V_{id}}{2V_t}\right) \quad (1)$$

avec :

- $V_{id} = V_{IN1} - V_{IN2}$: tension d'entrée différentielle ;
- $\alpha = \frac{\beta}{\beta + 1}$ et $\beta = \frac{I_C}{I_B}$: gain en courant du transistor ;
- $V_t = \frac{kT}{q} \approx 26 \text{ mV}$ à la température de 20°C.

Comme $\beta \approx 100$, il en découle que $\alpha \approx 1$.

En petits signaux, la tension de sortie différentielle devient³¹ :

$$V_d \approx R_C I_{EE} \left(\frac{V_{id}}{2V_t}\right) \quad (2)$$

Le gain différentiel est donc égal à :

$$G_d \approx \frac{V_d}{V_{id}} \approx \frac{R_C I_{EE}}{2V_t} = K V_{RC} \quad (3)$$

³¹ avec $\tanh(x) = \frac{\exp(x) - \exp(-x)}{\exp(x) + \exp(-x)}$, et pour $x \rightarrow 0$, $\exp(x) \approx 1+x$ et $\exp(-x) \approx 1-x$

La relation (3) montre que le gain dépend d'une constante $K = \frac{I}{V_t}$ et de la tension de polarisation $V_{RC} = R_C \frac{I_{EE}}{2}$.

Application numérique pour le comparateur étudié :

	1 ^{er} étage	2 ^{ème} étage	Gain global
R _C	3,5 kΩ	4 kΩ	-
I _{EE}	511 μA	250 μA	-
Gain G _d	34	19	646

Le gain global théorique calculé pour le double étage d'amplification est supérieur à 600. Cependant, il est obtenu en supposant négligeable l'influence de l'impédance d'entrée du deuxième étage sur le premier. En fait, le gain total réel est légèrement inférieur avec une valeur simulée de 545. Une détermination précise de la valeur de ce gain aux basses fréquences n'étant cependant pas utile dans notre cas, il importe maintenant d'en observer la variation en fonction de la fréquence.

2) Produit gain-bande

La fréquence la plus haute contenue dans le signal d'entrée à amplifier est donnée par la valeur de son temps de montée t_r , soit typiquement 2 ns pour les impulsions *streamer*. Or ce temps de montée t_r correspond [12] à une bande de fréquence, dont la coupure à -3dB est égale à $\frac{0,35}{t_r}$, soit ici 175 MHz.

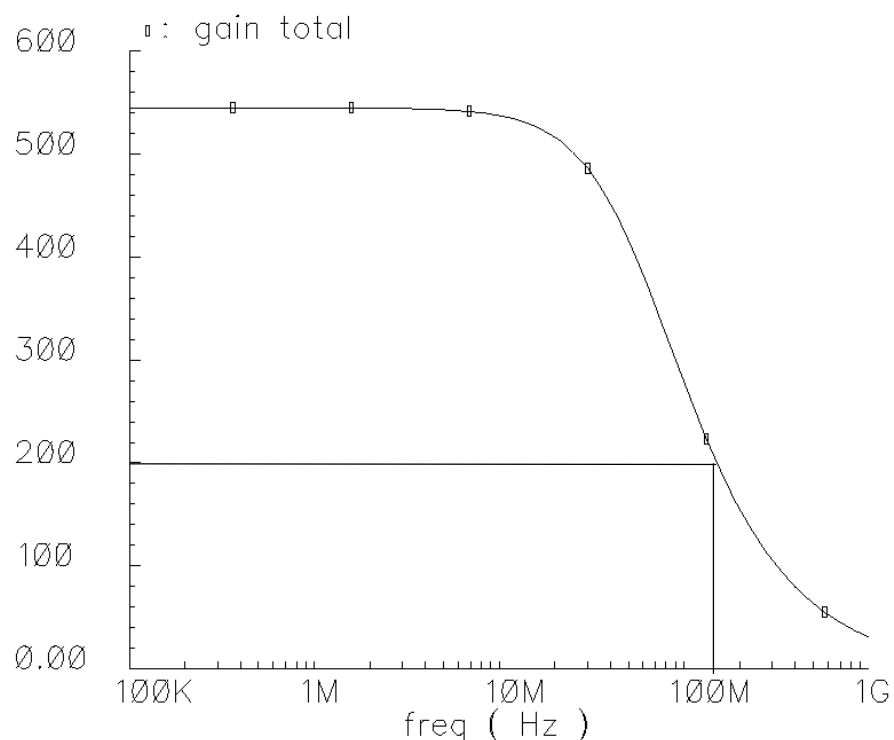


figure 2.2-5 : gain du double étage d'amplification en fonction de la fréquence

La courbe de Bode de la figure 2.2-5 obtenue par simulation pour le double étage d'amplification indique que le gain est d'environ 200 à cette fréquence. Dans la bande de fréquence utile, le gain obtenu est donc supérieur ou égal à la valeur minimale de 200 requise.

Pour valider le choix de l'étage d'amplification, des simulations avec des signaux type *streamer* de différentes amplitudes ont été réalisées, en maintenant le seuil de comparaison à une valeur fixe de -40 mV. Le résultat est donné sur la figure 2.2-6. Lorsque l'impulsion d'entrée (courbes de gauche) atteint la valeur de -42 mV, le comparateur délivre, après mise en forme, une impulsion d'amplitude proche de -1 V (courbes de droite). Les performances simulées du comparateur assurent donc une discrimination rapide et sensible des signaux *streamer*.

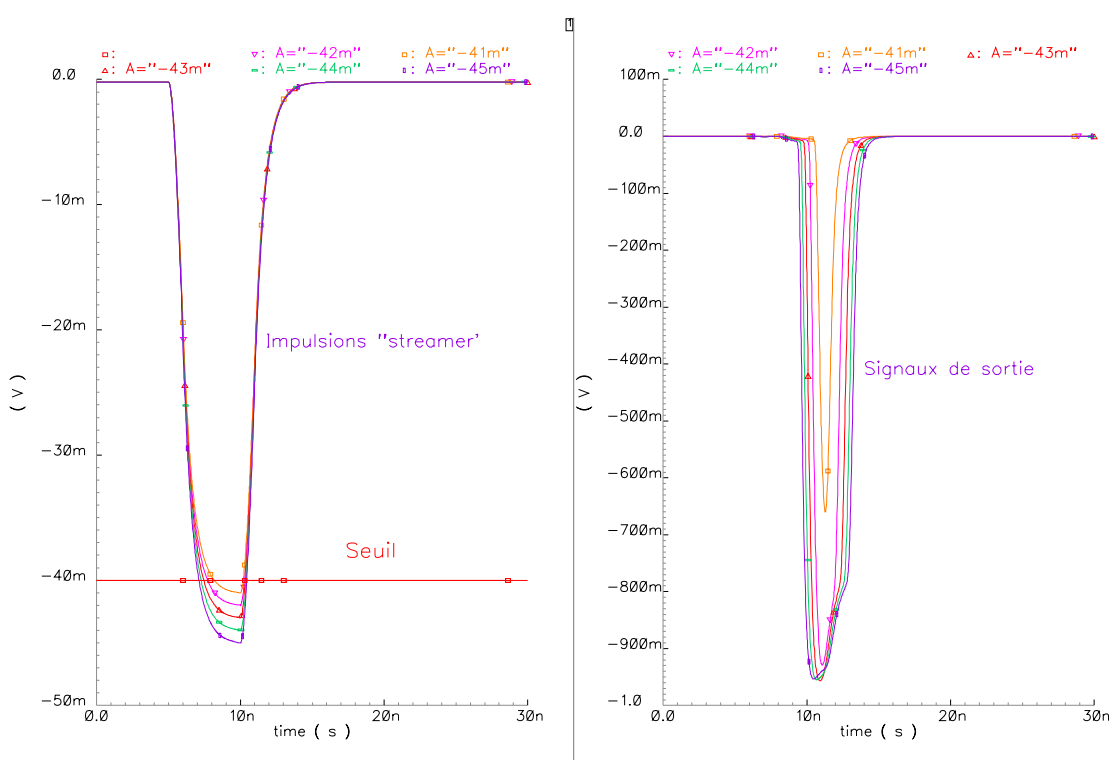


figure 2.2-6 : performances simulées du comparateur

2.2.2.3. Etude du bruit de l'étage d'entrée

1) Préambule

L'étude du bruit de l'étage d'entrée du comparateur a permis de contrôler que le rapport signal sur bruit est suffisant³² pour pouvoir discriminer sur des seuils bas de l'ordre de 10 mV. Les composants ayant une influence majeure sur le niveau de ce bruit ont été mis en évidence et optimisés.

La composante du bruit aux basses (<10 kHz) et hautes (>100 MHz) fréquences peut être négligée lors de cette étude. Nous le vérifierons par simulation.

³² Cette remarque ne tient pas compte du bruit extérieur au circuit, provenant de l'environnement électromagnétique.

Seul le **bruit blanc** [13] est donc considéré, c'est-à-dire le bruit à densité spectrale indépendante de la fréquence. Les deux sources de bruit blanc sont le **bruit thermique** et le **bruit de grenaille**, dont nous allons estimer les niveaux.

Remarque : le bruit de la source de courant I_{EE} peut être considéré comme un signal de mode commun et est donc négligeable en sortie de l'étage différentiel au voisinage du point de repos.

2) Le bruit thermique

C'est le bruit induit par l'agitation thermique dans les conducteurs. La valeur moyenne quadratique de la source équivalente de ce bruit est donnée par la relation suivante :

$$\overline{v_i^2} = 4 k T R \Delta f \quad (4)$$

avec :

- $k=1,38.10^{-23} \text{ J.K}^{-1}$ (constante de Boltzmann) ;
- T : température absolue en degré Kelvin ;
- R : résistance du conducteur ;
- Δf : bande de fréquence considérée.

A 20°C^{33} , $4 kT = K_{20} \approx 1,66.10^{-20} \text{ J}$. Cette constante est utilisée pour la suite de l'étude.

$$\overline{v_i^2} = K_{20} R \Delta f \quad (5)$$

Dans l'étage d'entrée considéré, les sources de bruit thermique peuvent être représentées par une source de tension équivalente sur chacune des deux entrées de l'étage différentiel, comme représenté sur la figure 2.2-7.

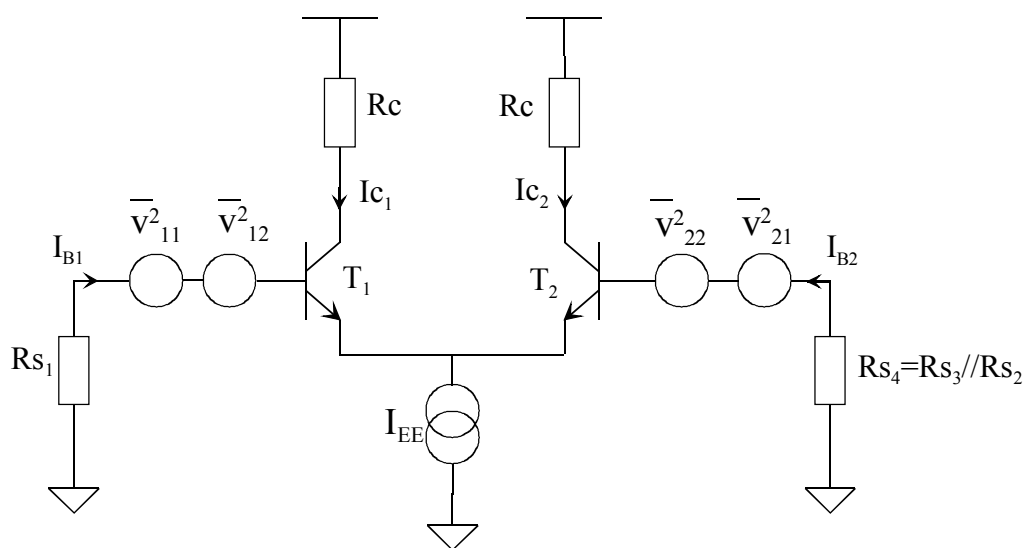


figure 2.2-7 : sources de bruit ramenées sur les deux entrées

³³ La température dans la caverne de l'expérience Alice peut être considérée constante et proche de 20°C .

On montre alors que [13] :

$$\overline{v_{11}^2} = K_{20} \Delta f \left(R_{S1} + r_{bb'1} + \frac{I}{2g_{m1}} + \frac{R_{S1}^2}{\beta_1^2 R_C} \right) \quad (6)$$

avec :

- $r_{bb'1}$: résistance de base du transistor T_1 ;
- $g_{m1} = q \frac{I_{C1}}{kT} = \frac{I_{C1}}{V_t}$, transconductance du transistor, ce qui donne à 20°C : $g_{m1} \approx \frac{I_{C1}}{26\text{mV}}$;
- R_{S1} est la résistance d'adaptation en bout de *strip*. Sa valeur est 50Ω ;
- R_C est la résistance de collecteur dont la valeur est $3,5 \text{ k}\Omega$.

Comme $R_C \gg R_{S1}$ et $\beta \approx 100$, le terme $\frac{R_{S1}^2}{\beta_1^2 R_C}$ devient négligeable devant les autres de la somme. L'équation (6) devient alors :

$$\overline{v_{11}^2} = K_{20} \Delta f \left(R_{S1} + r_{bb'1} + \frac{I}{2g_{m1}} \right) \quad (7)$$

De même, pour la deuxième entrée du montage :

$$\overline{v_{21}^2} = K_{20} \Delta f \left(R_{S4} + r_{bb'2} + \frac{I}{2g_{m2}} \right) \quad (8)$$

R_{S4} a pour valeur l'impédance équivalente des résistances R_{S2} et R_{S3} en parallèle. Or, pour obtenir une tension de seuil de l'ordre de quelques millivolts à partir de la tension d'alimentation, il faut choisir $R_{S3} \ll R_{S2}$, donc $R_{S4} \approx R_{S3}$.

$$\overline{v_{21}^2} = K_{20} \Delta f \left(R_{S3} + r_{bb'2} + \frac{I}{2g_{m2}} \right) \quad (9)$$

Remarque : la contribution de R_C pour le bruit thermique est négligeable. Par contre, les résistances sources R_{S1} et R_{S3} doivent être de valeur faible afin de diminuer le bruit en entrée. La valeur de R_{S1} est fixée par l'impédance caractéristique d'une voie du détecteur, soit environ 50Ω . Une valeur équivalente pour R_{S3} peut être choisie.

De plus, comme la transconductance g_m est proportionnelle à I_C , ce courant doit être le plus élevé possible pour diminuer le bruit thermique, tout en maintenant une consommation acceptable.

Application numérique :

Un potentiel de +35mV correspondant au seuil de discrimination est appliqué à la base du transistor T2, comme le montre le schéma de simulation de la figure 2.2-8. Pour cet étage d'entrée du comparateur, les paramètres donnés par le simulateur sont alors :

	Transistor T1	Transistor T2
$r_{bb'}$	175 Ω	167 Ω
g_m	$4,7 \cdot 10^{-3} \text{ A.V}^{-1}$	$15 \cdot 10^{-3} \text{ A.V}^{-1}$

Les résultats obtenus à partir des relations (7) et (9) sont donc :

$$\frac{\overline{v_{11}}}{\sqrt{\Delta f}} = 2,3 \text{ nV}/\sqrt{\text{Hz}}$$

$$\frac{\overline{v_{21}}}{\sqrt{\Delta f}} = 2 \text{ nV}/\sqrt{\text{Hz}}$$

3) Le bruit de grenaille

Ce bruit provient du courant aléatoire qui se superpose au courant moyen dans les jonctions des semi-conducteurs.

A l'entrée des transistors T1 et T2, les sources de courant de bruit équivalentes ont pour valeur moyenne quadratique :

$$\overline{i_{12}^2} = 2q \left(I_{B1} + \frac{I_{C1}}{\beta_1^2} \right) \Delta f = 2q I_{B1} \left(1 + \frac{\beta_1}{\beta_1^2} \right) \Delta f$$

$$\overline{i_{12}^2} \approx 2q I_{B1} \Delta f \tag{10}$$

avec $q=1,6 \cdot 10^{-19} \text{C}$.

De même :

$$\overline{i_{22}^2} \approx 2q I_{B2} \Delta f \tag{11}$$

En entrée, comme représenté sur la figure 2.2-7, les sources de tension équivalentes au bruit de grenaille sont donc respectivement :

$$\overline{v_{12}^2} \approx 2q R_{S1}^2 I_{B1} \Delta f \tag{12}$$

$$\overline{v_{22}^2} \approx 2q R_{S3}^2 I_{B2} \Delta f \tag{13}$$

Application numérique :

Dans les mêmes conditions de polarisation que précédemment, les courants de base des transistors T1 et T2 sont:

	Transistor T1	Transistor T2
i_B	1,2 μA	4,3 μA

A partir des relations (12) et (13), les valeurs suivantes sont obtenues :

$$\frac{\overline{v_{12}}}{\sqrt{\Delta f}} = 31 \text{ pV}/\sqrt{\text{Hz}}$$

$$\frac{\overline{v_{22}}}{\sqrt{\Delta f}} = 60 \text{ pV}/\sqrt{\text{Hz}}$$

4) Le bruit de blanc total

Sur l'entrée du transistor T1, la source de bruit blanc total a pour valeur :

$$\overline{v_{13}^2} = \overline{v_{11}^2} + \overline{v_{12}^2} \quad (14)$$

Les applications numériques montrent que $\overline{v_{11}^2} \gg \overline{v_{12}^2}$, donc $\overline{v_{13}^2} \approx \overline{v_{11}^2}$.

Le bruit de grenaille est donc négligeable devant le bruit thermique.

Pour l'autre entrée, il vient de même $\overline{v_{23}^2} \approx \overline{v_{21}^2}$

Les sources de bruit des deux entrées étant indépendantes, le bruit $\overline{v_0^2}$ en sortie de l'amplificateur est égal à :

$$\frac{\overline{v_0^2}}{\Delta f} = G_d^2 \left(\frac{\overline{v_{13}^2}}{\Delta f} + \frac{\overline{v_{23}^2}}{\Delta f} \right)$$

$$\frac{\overline{v_0^2}}{\Delta f} = G_d^2 \left(\frac{\overline{v_{11}^2}}{\Delta f} + \frac{\overline{v_{21}^2}}{\Delta f} \right) \quad (15)$$

Application numérique :

Avec $G_d=34$, gain du premier étage d'amplification, le bruit blanc total en sortie a pour valeur :

$$\frac{\overline{v_0^2}}{\Delta f} = 1,1 \cdot 10^{-14} \text{ V}^2/\text{Hz}$$

$$\Rightarrow \frac{\overline{v_0}}{\sqrt{\Delta f}} \approx 100 \text{ nV}/\sqrt{\text{Hz}} \quad (16)$$

5) Simulation et conclusion

La figure 2.2-8 représente le schéma du circuit d'entrée du comparateur simulé sous Cadence®.

La figure 2.2-9 donne le résultat de la simulation en bruit de la sortie de l'étage d'entrée du comparateur.

Il apparaît que la contribution du bruit blanc dans la bande passante du système (de 10 kHz à 100 MHz environ) donnée par le simulateur, vue de la sortie, est conforme à celle calculée, soit environ $100\text{nV}/\sqrt{\text{Hz}}$.

Le bruit intégré en fréquence, ramené en entrée de l'étage d'amplification, est inférieur à $100\ \mu\text{V}$, comme le montre la figure 2.2-10.

Pour un seuil d'entrée de 10 mV, le rapport signal sur bruit est d'environ 40dB. **Le bruit de l'étage d'entrée peut donc être considéré comme négligeable par rapport aux seuils de discrimination choisis.**

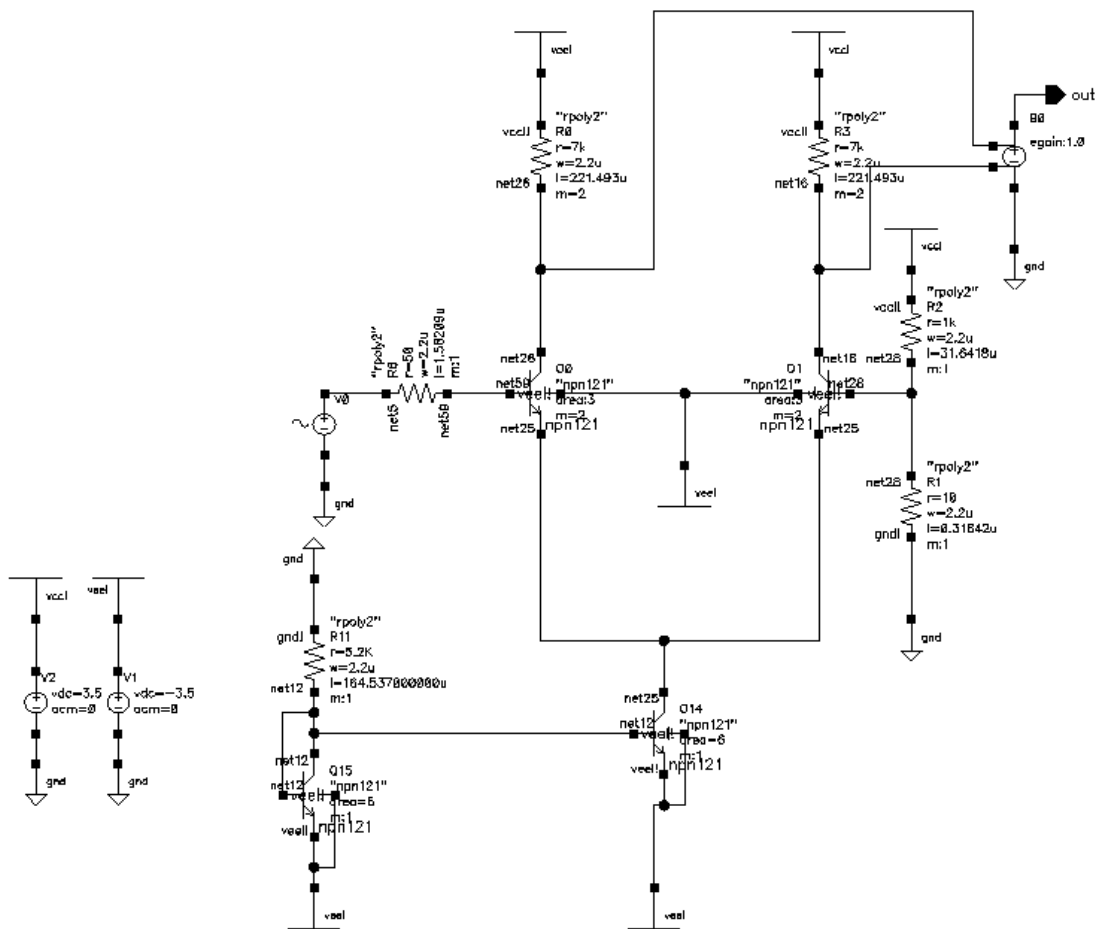


figure 2.2-8 : schéma de simulation de l'étage d'entrée

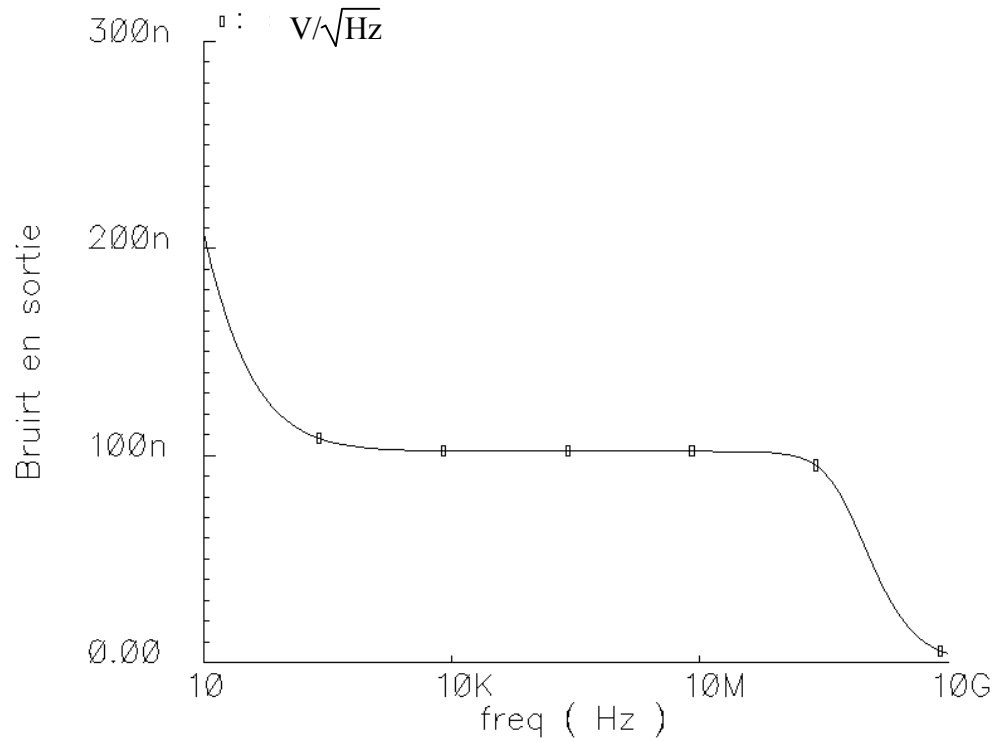


figure 2.2-9 : bruit en sortie de l'étage d'entrée, calculé par le simulateur

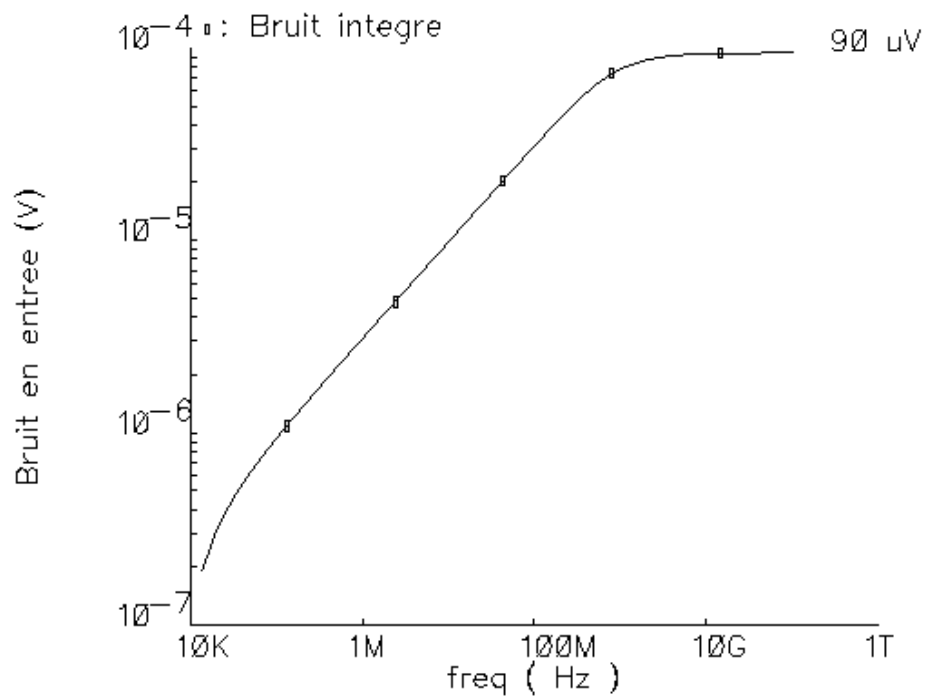


figure 2.2-10 : bruit intégré de l'étage d'amplification, ramené en entrée, calculé par le simulateur

2.2.2.4. Étage de sortie du comparateur

En sortie du deuxième étage d'amplification différentielle, les signaux sont mis en forme de manière à délivrer une impulsion logique d'amplitude négative en mode commun. Ainsi, il n'est plus utile pour la suite du circuit d'utiliser une tension de polarisation positive, qui est uniquement requise pour discriminer les signaux positifs des voies verticales du détecteur.

Cette opération est réalisée à partir d'un transistor PMOS dont la grille est commandée par le signal issu des deux étages d'amplification, comme le montre la figure 2.2-11. Le signal obtenu sur le drain est amplifié par un étage différentiel de gain 35 dont une des entrées est à un niveau continu de $-1,75\text{ V}$. La figure 2.2-12 donne les résultats de simulation en différents points de cet étage. Une information de type "tout-ou-rien" est ainsi délivrée en sortie.

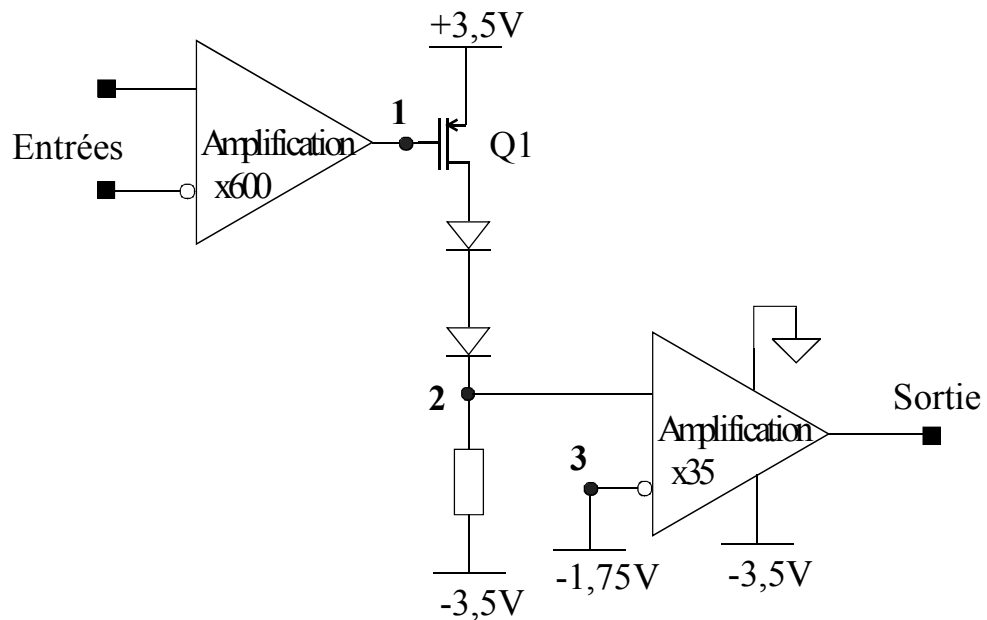


figure 2.2-11 : schéma de principe complet du comparateur

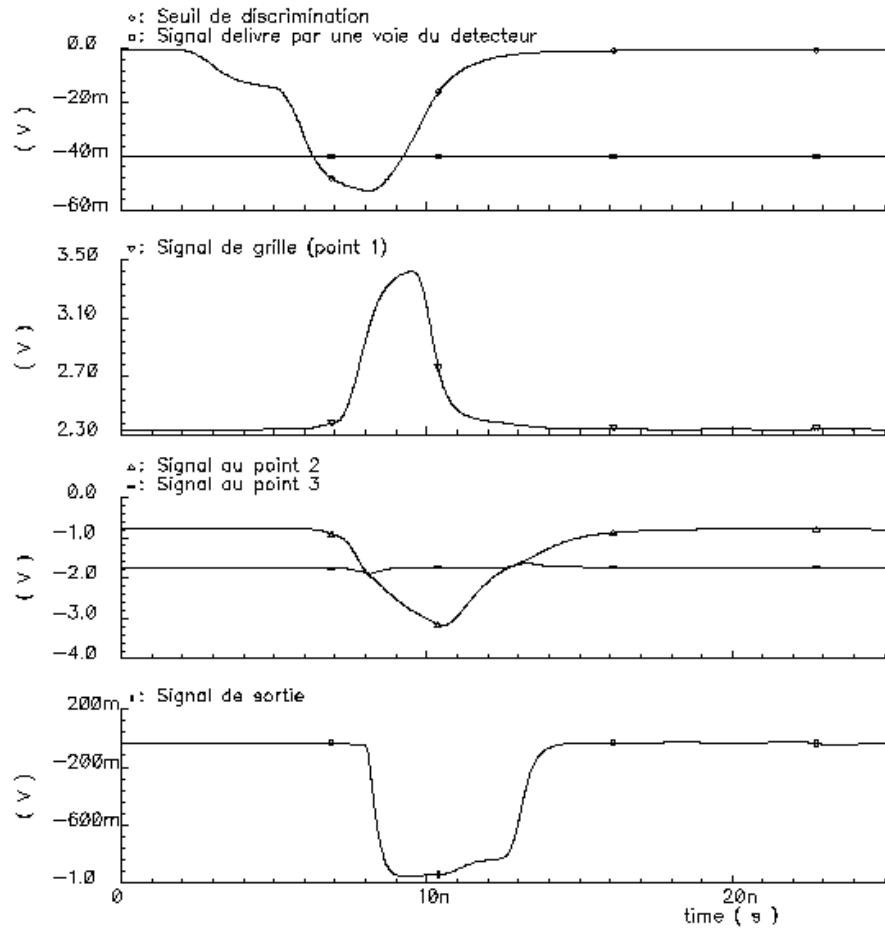


figure 2.2-12 : mise en forme des signaux de sortie du comparateur

2.2.3. LA CELLULE "BLOQUEUR"

2.2.3.1. Introduction

La cellule "BLOQUEUR" est principalement constituée d'une coïncidence à trois entrées, d'une mise en forme et d'un monostable, comme l'illustre la figure 2.2-13.

Les signaux d'entrée de la coïncidence sont :

1. le signal issu du comparateur (point 1) ;
2. le signal de sortie de la cellule "VERROUILLAGE" ;
3. le signal de sortie de la propre cellule "BLOQUEUR" (point 3).

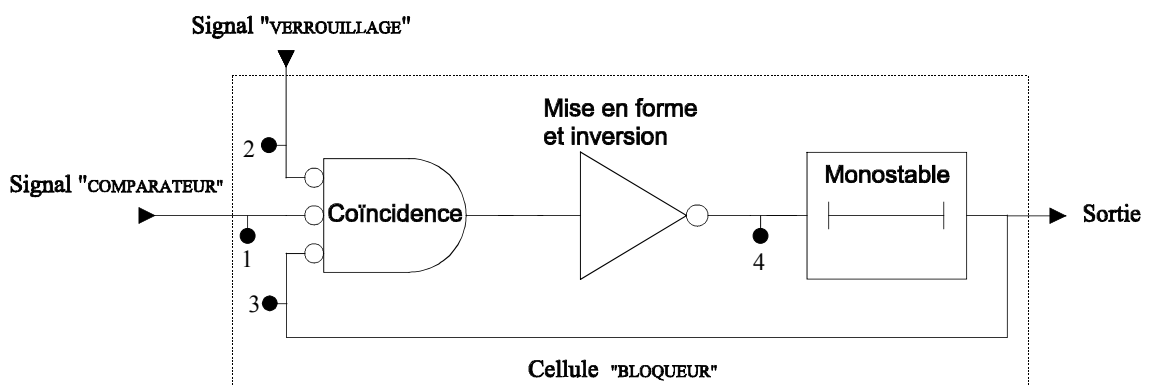


figure 2.2-13 : schéma synoptique de la cellule "BLOQUEUR"

Le rôle de cette cellule est de délivrer une impulsion logique, de durée indépendante de celle du signal de sortie de l'étage comparateur. Elle doit aussi assurer le verrouillage du circuit durant 100 ns lorsqu'un signal *streamer* est détecté.

La coïncidence réalise en fait une fonction NOR : la sortie est à l'état haut lorsque les deux entrées sont à l'état bas. Le terme "coïncidence" est cependant préféré car il correspond plus à la fonction requise. Nous considérerons donc que nous avons une porte ET avec des entrées inverseuses.

2.2.3.2. Description fonctionnelle

Le fonctionnement de la cellule "BLOQUEUR" est décrit à partir du synoptique de la figure 2.2-13 et du chronogramme de la figure 2.2-14.

Etat de repos (avant t_0) : les entrées 2 et 3 de la coïncidence (signal "VERROUILLAGE" et signal de sortie "BLOQUEUR") sont à l'état bas. L'entrée "COMPARATEUR" est au niveau haut et force la sortie de la coïncidence à être à l'état bas.

Basculement : lorsque le signal issu du comparateur passe à l'état bas, suite à la détection d'une impulsion dépassant le seuil, la sortie de la coïncidence passe alors à un niveau haut (temps t_0). Ce signal, après mise en forme et inversion, permet la décharge rapide de la capacité du monostable³⁴ (de t_0 à t_1). La sortie (point 3) passe à l'état haut au temps t_1 . Ce signal étant ramené en entrée de la coïncidence, cette dernière voit son état de sortie revenir à l'état initial (état haut).

³⁴ Voir description détaillée du monostable §2.2.5.

En sortie de la coïncidence, une impulsion logique est délivrée, dont la durée, environ 3 ns, dépend uniquement de la vitesse de contre-réaction entre la sortie et l'entrée de la coïncidence, soit principalement du temps de décharge de la capacité du monostable.

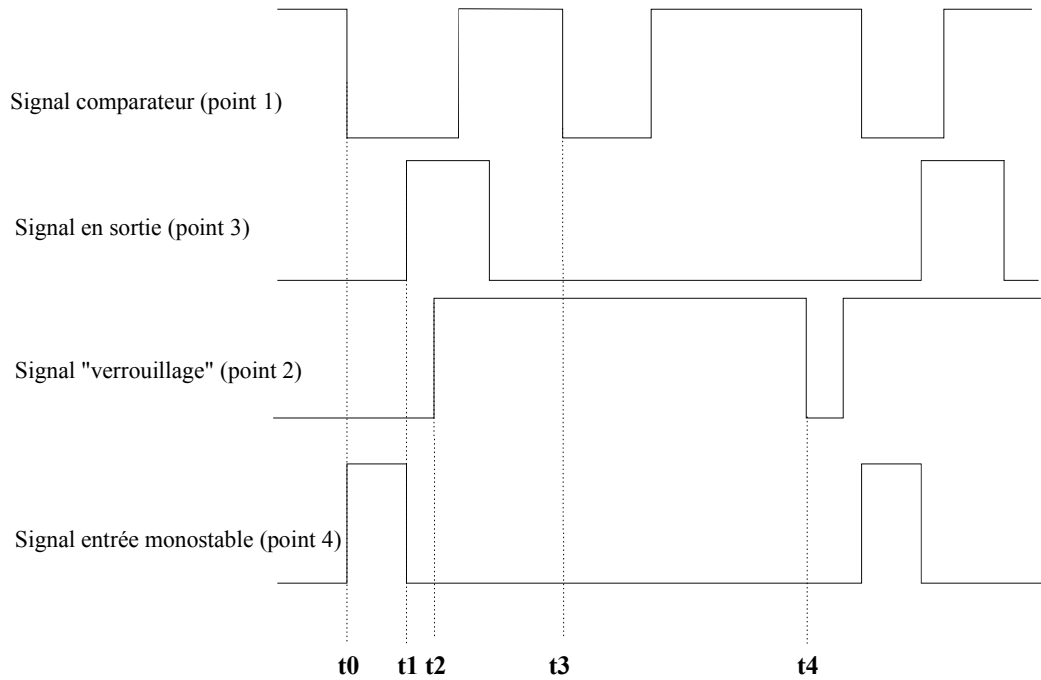


figure 2.2-14 : chronogramme correspondant au schéma synoptique de la cellule "BLOQUEUR"

De plus, la sortie de la coïncidence est bloquée par le signal de la cellule "VERROUILLAGE" (point 2) de t_2 à t_4 , quelque soit l'état de la sortie du comparateur (t_3).

2.2.3.3. Réalisation

La cellule "BLOQUEUR" a été réalisée suivant le schéma ci-dessous :

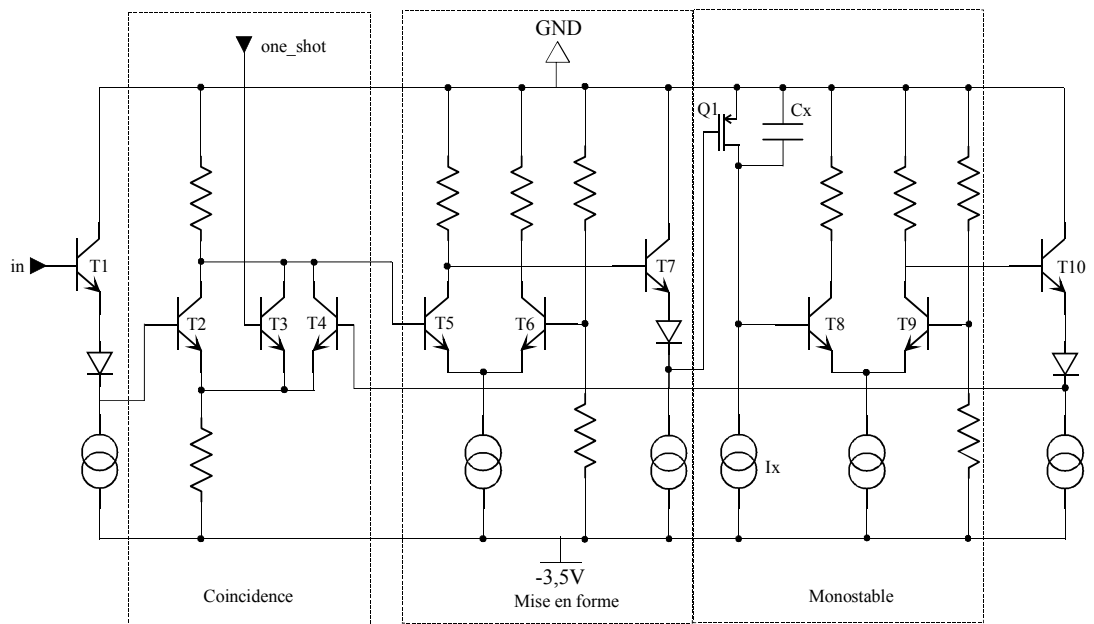


figure 2.2-15 : schéma simplifié de la cellule "BLOQUEUR"

La coïncidence est construite à l'aide de trois transistors T2, T3 et T4 mis en parallèle. La mise en forme est constituée d'une paire différentielle fonctionnant en comparateur avec un seuil fixe, et d'un transistor suiveur. Enfin, la capacité Cx chargée à courant constant Ix réalise la fonction de monostable.

Les signaux simulés en différents points de ce montage sont tracés sur la figure 2.2-16.

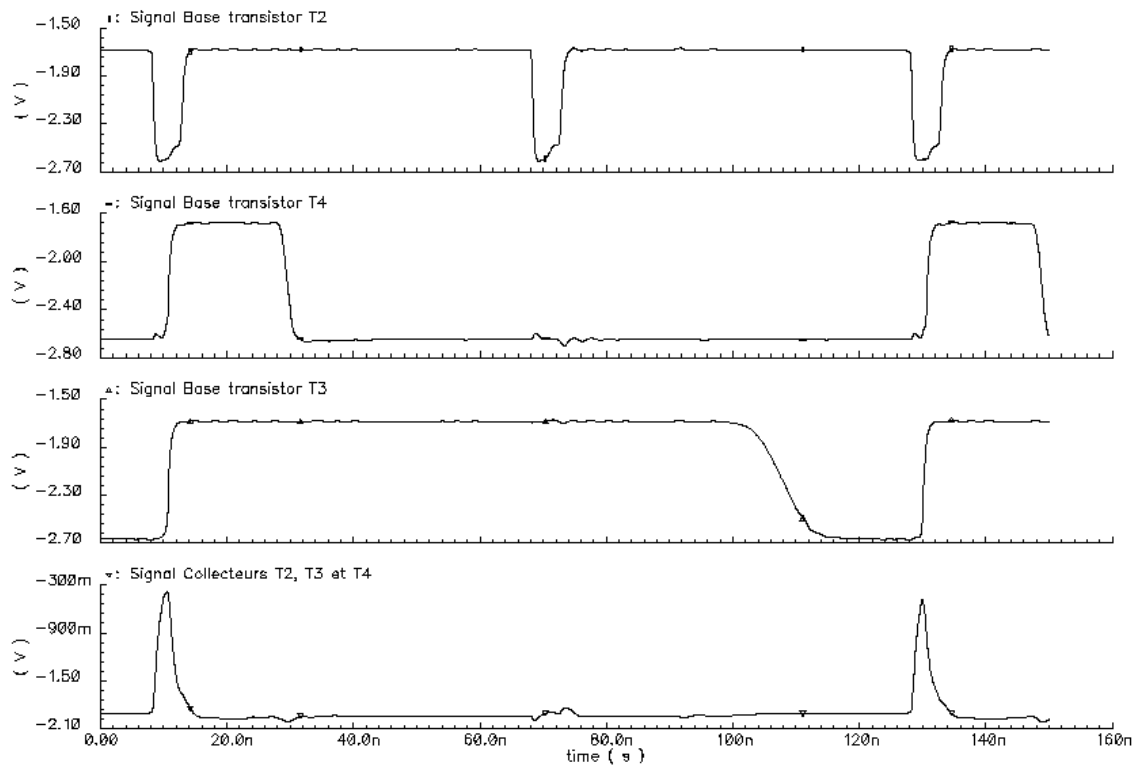


figure 2.2-16 : signaux obtenus au niveau de la coïncidence de la cellule "BLOQUEUR"

Etat de repos : la sortie du comparateur est au repos (base de T2). Le transistor T2 est passant, les deux autres T3 et T4 sont bloqués. La sortie de la coïncidence (collecteurs communs des trois transistors) est au niveau qui est considéré comme l'état bas, soit environ -1,9 V.

Basculement : lorsque le signal issu du comparateur passe à l'état bas ($\approx -2,6$ V), le transistor T2 se bloque. La sortie de la coïncidence passe alors à un niveau haut, proche de 0 V. Ce signal est appliqué à la base du transistor T5. La tension différentielle entre ce potentiel et celui fixé sur la base du transistor T6 est amplifiée et commande alors la grille du transistor PMOS Q1 du monostable. Ce transistor se comporte alors comme une résistance de faible valeur et la capacité Cx est très rapidement déchargée, comme le montre la figure 2.2-16.

Le potentiel de la base du transistor T8 remonte très rapidement ; la sortie de l'étage différentiel bascule dans l'état complémentaire lorsque le signal dépasse le seuil de tension de la base du transistor T9. Ce signal, après mise à niveau et inversion à l'aide de T10, entre sur la triple coïncidence déjà décrite. Le transistor T4 devient passant, provoquant la descente du signal de sortie de la coïncidence, comme à l'état de repos. Cet état est figé durant 100 ns grâce au maintien d'un potentiel haut sur la troisième entrée de la coïncidence, c'est-à-dire sur la base du transistor T3, provenant de la cellule "VERROUILLAGE".

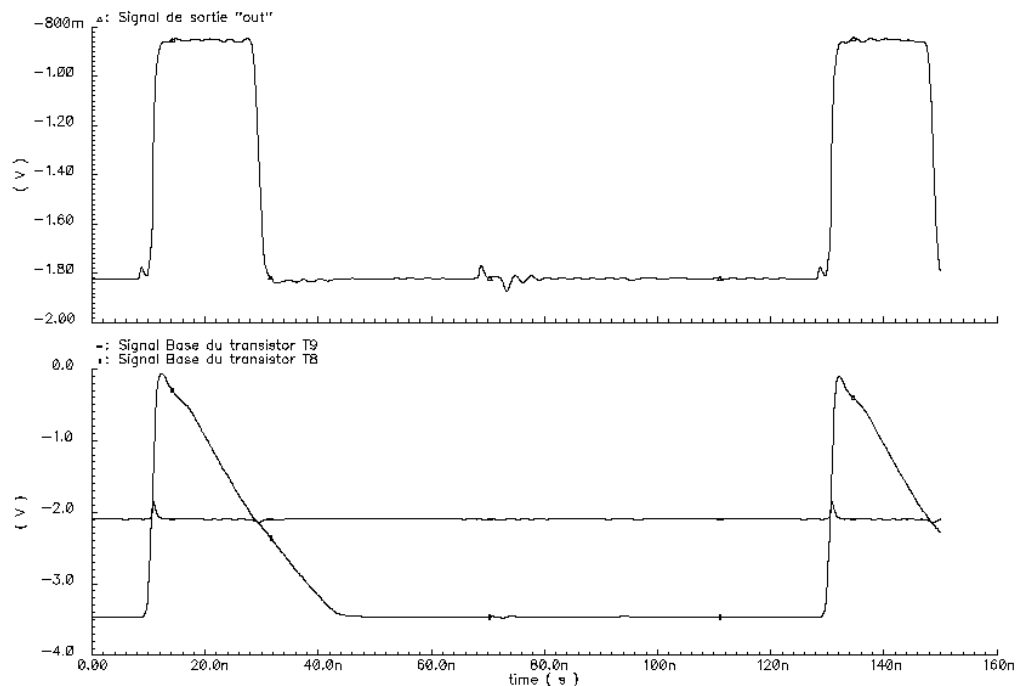


figure 2.2-17 : signaux obtenus au niveau du monostable de la cellule "BLOQUEUR"

2.2.3.4. Optimisation des paramètres électroniques

L'emploi de transistors bipolaires de taille minimale³⁵, outre le gain de place, permet de diminuer les valeurs des capacités parasites et d'augmenter ainsi la vitesse de transition. Le courant maximum admissible dans un tel composant sans dégradation de son gain est de 500 μA .

1) Coïncidence

Le potentiel appliqué sur la base du transistor T2 varie de $-1,7\text{ V}$ à $-2,7\text{ V}$. La chute de tension maximale aux bornes de la résistance d'émetteur³⁶ est donc 1 V . Une résistance d'émetteur de $2\text{ k}\Omega$ garantit donc un courant maximum de $500\text{ }\mu\text{A}$. Ce courant que l'on retrouve dans la résistance de collecteur de $4\text{ k}\Omega$ permet de délivrer en sortie de la coïncidence un signal dont l'amplitude varie de 2 V suivant l'état du transistor.

2) Mise en forme

La mise en forme du signal issu de la coïncidence doit permettre l'ouverture et la fermeture rapide du transistor PMOS. La structure différentielle assure l'inversion nécessaire du signal et le contrôle de son amplitude qui doit varier dans un rapport relativement important. En effet, la résistance drain-source doit soit être suffisamment élevée pour empêcher la décharge de la capacité vers la masse, soit à l'inverse être faible pour une décharge rapide. Le calcul et la simulation (voir Annexe 5) montrent qu'avec des tensions appliquées sur la grille de -700 mV et $-1,9\text{ V}$, la résistance drain-source varie respectivement de plusieurs centaines de $\text{k}\Omega$ (transistor bloqué) à $400\text{ }\Omega$ environ.

³⁵ Surface de l'émetteur = $3\text{ }\mu\text{m}^2$.

³⁶ $-1,7\text{ V} - V_{BE} \approx -2,5\text{ V}$ par rapport à la tension d'alimentation négative de $-3,5\text{ V}$.

Suivant la tension de commande de la grille, une impédances de forte ou de faible valeur est donc obtenue aux bornes du canal drain-source du transistor PMOS.

Remarque : bien que donnant un résultat satisfaisant, cet étage a été modifié dans le circuit prototype suivant. En effet, le nombre de composants utilisés a été réduit tout en obtenant une commutation plus rapide et plus efficace du transistor PMOS. Ces modifications sont décrites dans le dernier chapitre.

3) Monostable

La capacité C_x doit se décharger rapidement pour générer en sortie de la coïncidence une impulsion plus courte que la largeur minimale du signal délivré par le comparateur, soit 5 ns. Le but est d'obtenir un signal de durée fixe et indépendante de la durée du signal d'entrée pour effectuer une détection du front du signal d'entrée.

L'Annexe 5 donne le détail du calcul du temps de décharge de la capacité à travers le transistor PMOS. Le résultat montre que ce temps est inférieur à la nanoseconde.

Cependant, le signal appliqué à la grille présente un temps de montée de près de 3 ns. Le transistor se sature donc progressivement, ce qui entraîne une décharge plus lente de C_x que celle calculée. Celle-ci est de l'ordre de 2 ns d'après les simulations, comme le montre la figure 2.2-17.

Au total, la largeur du signal obtenu en sortie de la coïncidence est d'environ 3 ns à mi-hauteur (voir figure 2.2-16), valeur inférieure à 5 ns comme cela est nécessaire.

Par contre la durée du signal en sortie de la cellule "BLOQUEUR" est imposée par la cellule "DELAI" qui suit. En effet, ce signal doit être maintenu à l'état haut suffisamment longtemps pour assurer la charge de la capacité du monostable de la cellule "DELAI". Nous le verrons plus en détails lors de la description de cette fonction.

2.2.3.5. Conclusion

Les simulations montrent que le schéma de la cellule "BLOQUEUR" fonctionne correctement, tout en ayant une consommation faible de 9 mW. Deux cellules de ce type sont utilisées dans le circuit. Une traite le signal issu du comparateur bas seuil, alors qu'une autre est dédiée au haut seuil. La fonction "VERROUILLAGE" est commandée par le signal en sortie de la coïncidence du "BLOQUEUR" haut-seuil car c'est uniquement la détection d'une impulsion *streamer* d'amplitude suffisante qui doit verrouiller le circuit pendant 100 ns.

2.2.4. LA CELLULE "COÏNCIDENCE"

La cellule " COÏNCIDENCE" délivre un signal logique, dont la référence en temps est donnée par la sortie du discriminateur bas seuil, à condition que le seuil haut ait été lui aussi dépassé. La figure 2.2-18 permet de résumer ce principe de fonctionnement propre au système ADULT.

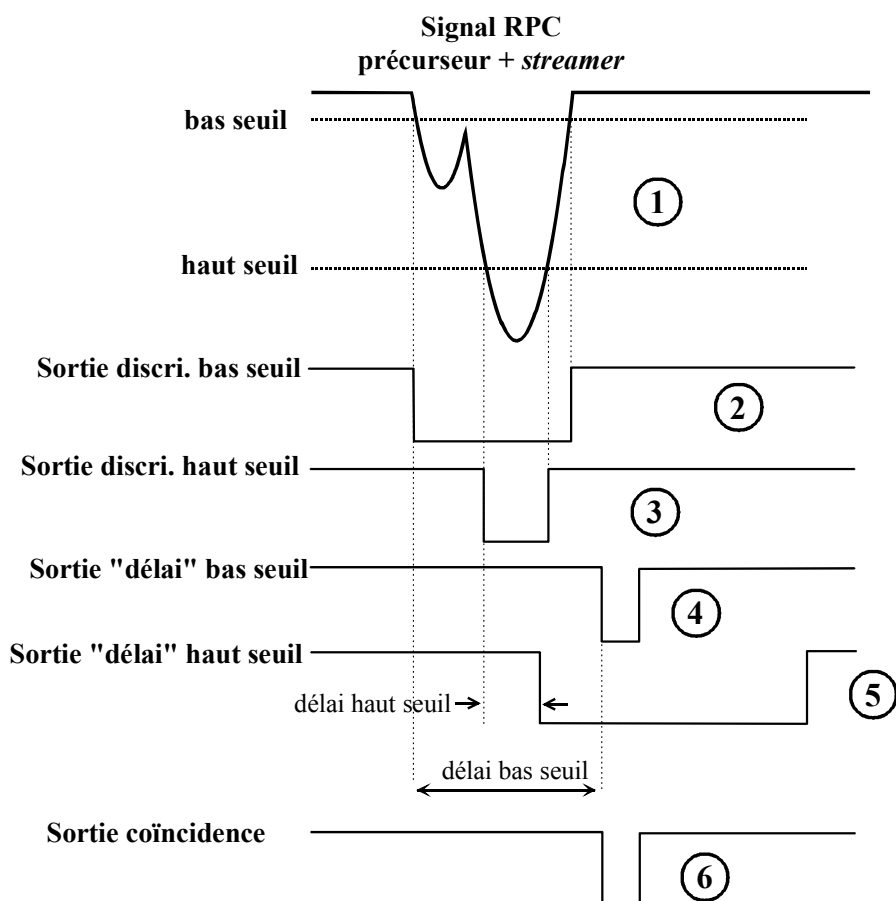


figure 2.2-18 : chronogrammes simplifiés des signaux aboutissants à l'entrée de la cellule "COÏNCIDENCE", dans le cas où le signal précurseur est validé

Les sorties des discriminateurs bas seuil (2) et haut seuil (3) sont à l'état bas durant le temps pendant lequel les seuils respectifs sont dépassés par le signal d'entrée (1). Chacun de ces signaux, après mise en forme par les cellules "BLOQUEUR", est retardé par la cellule correspondante "DELAI" (3 et 4). La différence de valeur des deux délais est d'environ 10 ns. Ainsi, en sortie de la coïncidence (3) sur laquelle les deux signaux retardés sont appliqués, nous obtenons l'image du signal donné par le bas seuil (6), à condition d'avoir dans le même temps le signal haut seuil (5).

Lorsque l'impulsion précurseur précède de plus de 10 ns le signal *streamer*, le signal en sortie de la coïncidence, noté (6) sur la figure 2.2-19, est donné par la discrimination bas seuil effectuée sur le signal *streamer*. Le signal provenant de la détection du signal précurseur est trop en avance pour entrer en coïncidence avec le signal (5). La référence en temps est donc donnée dans ce cas par le signal *streamer*.

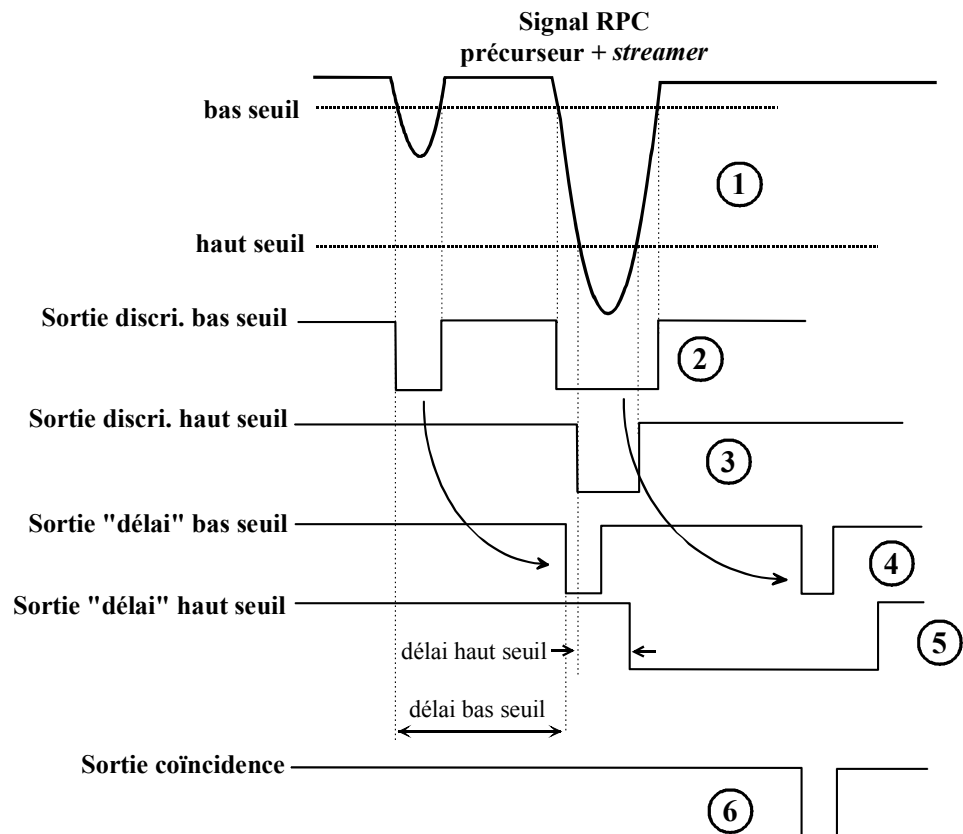


figure 2.2-19 : chronogrammes simplifiés des signaux aboutissants à l'entrée de la cellule "COÏNCIDENCE", dans le cas où le signal précurseur est ignoré

2.2.5. LES CELLULES "DELAI", "VERROUILLAGE", "MISE EN FORME" ET "DELAI_VAR"

2.2.5.1. Introduction

Ces quatre cellules sont construites suivant une même structure, qui reprend celle de l'étage monostable de la cellule "BLOQUEUR", comme représenté sur la figure 2.2-20. Une capacité est chargée par une source de courant constant I_0 . Le potentiel à ses bornes croît linéairement et est comparé à une tension fixe sur un étage différentiel. Les sorties de cet étage basculent donc d'un état à leur état complémentaire lorsque la tension de seuil est dépassée. En sortie, un signal logique est délivré, dont la durée t_w est contrôlée par les valeurs de la source de courant I_0 , de la capacité C et de la tension de seuil ΔV . Il vient donc la relation suivante :

$$t_w = \frac{C \Delta V}{I_0} \quad (17)$$

Un transistor PMOS permet de décharger la capacité.

Ce type de montage est utilisé chaque fois qu'un signal doit être retardé ou maintenu pendant un temps donné. Les différentes applications de cet étage monostable vont être décrites.

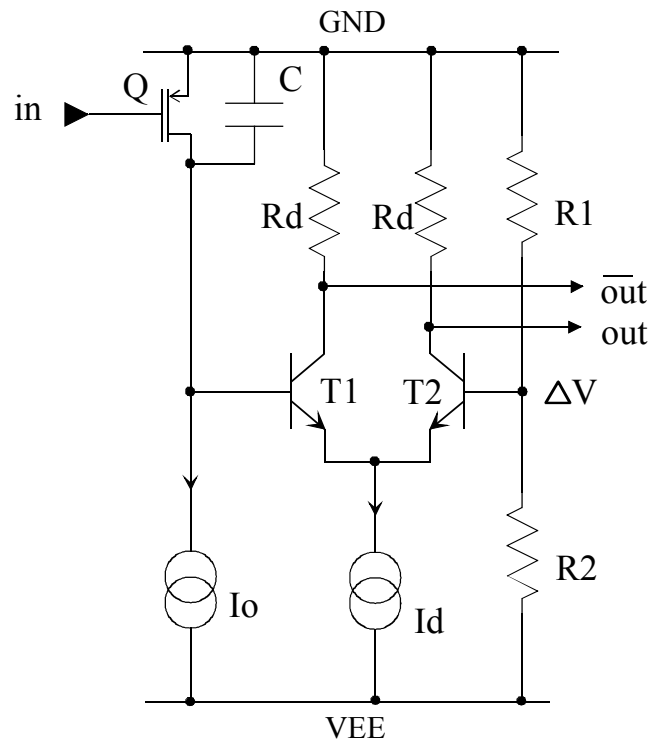


figure 2.2-20 : étage monostable

2.2.5.2. Cellule "VERROUILLAGE"

Cette cellule doit générer un signal d'une durée de 100 ns environ à destination de la cellule "BLOQUEUR" afin de prévenir tout re-déclenchement du circuit pendant ce laps de temps.

Au premier ordre, d'après la formule (17), pour obtenir un temps de charge de 100 ns en fixant la tension de seuil ΔV à -2,5 V et en choisissant une valeur de capacité de 3pF, un courant de 75 μA est nécessaire. Cependant, cela suppose que le transistor PMOS soit parfaitement fermé durant cette période et que le courant de charge soit constant. En réalité, la résistance drain-source présente une valeur non négligeable devant l'impédance de la capacité qui augmente au fur et à mesure qu'elle se charge. De plus, la source de courant n'étant elle aussi pas parfaite, le courant délivré diminue lorsque la charge augmente. Ceci est confirmé par les valeurs de courant données par le simulateur et tracées sur la figure 2.2-21, durant la charge du condensateur.

Cela a conduit à utiliser un source de courant de 130 μA , au lieu des 75 μA initialement prévus.

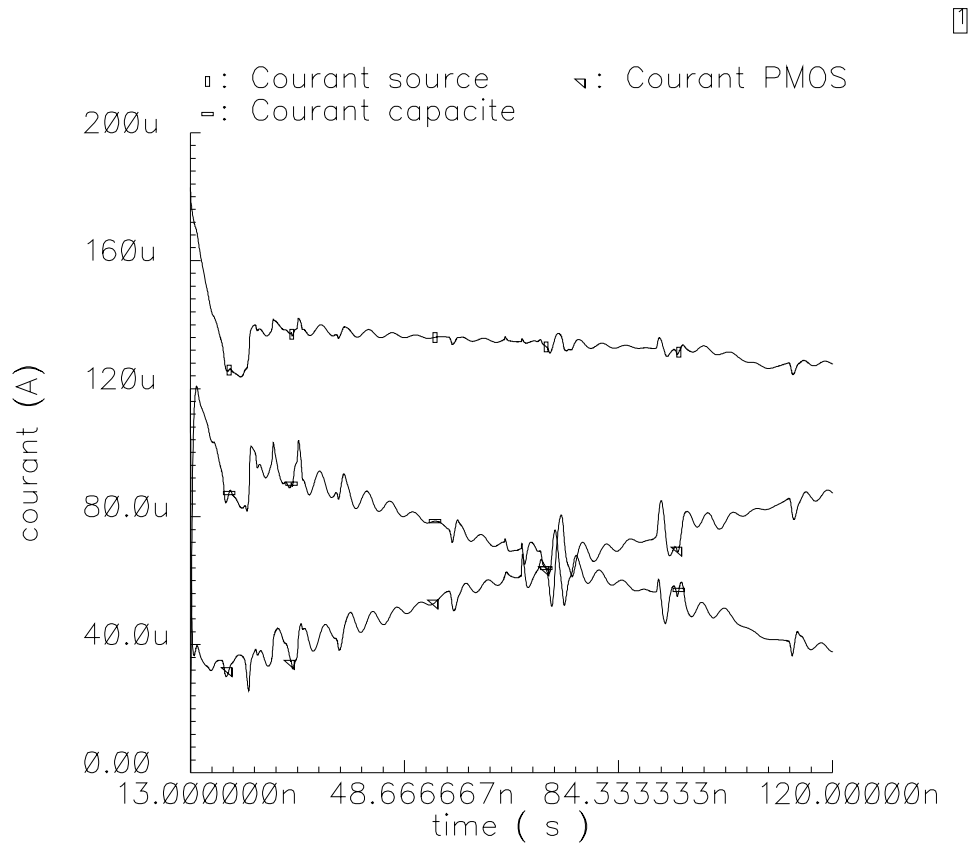


figure 2.2-21 : variations du courant délivré par la source de courant (courbe du haut), du courant traversant le condensateur (courbe décroissante) et du courant dans le canal drain-source du transistor PMOS (courbe croissante).

2.2.5.3. Cellule "DELAI"

Deux cellules sont utilisées pour retarder d'un temps constant les impulsions sortant des cellules "BLOQUEUR" du haut seuil et du bas seuil. Le retard appliqué sur la voie traitant le bas seuil doit être d'environ 10 ns supérieur à celui du haut seuil.

La cellule "DELAI" pour le seuil bas est dessinée avec une capacité de 1pF pour un courant de charge de 135 μ A. Le temps théorique de charge calculé pour atteindre la tension de seuil fixée à -1,4 V est de 10 ns. Pour les mêmes raisons précédemment évoquées, le temps réel obtenu est 14 ns.

La cellule retardant le signal du haut seuil a une capacité de 200 fF pour un courant de charge de 270 μ A, ce qui donne un temps de charge effectif de 3 ns.

L'objectif est donc atteint puisque l'écart entre les deux retards est voisin de 10 ns.

2.2.5.4. Cellule "DELAI_VAR"

Comme précisé dans le premier chapitre, l'implantation dans le circuit d'un retard ajustable dans une gamme de 50 ns est requise. A partir d'une cellule "DELAI" déjà décrite, plusieurs possibilités sont envisagées pour faire varier le temps de charge de la capacité :

- faire varier la valeur de la capacité C ;
- faire varier le courant de charge I_o ;
- faire varier la tension de seuil ΔV .

La première solution nécessite l'implantation d'un grand nombre de condensateurs qu'il faut commuter en fonction du retard à produire. La surface de silicium occupée par un tel dispositif amène un surcoût prohibitif.

La variation du courant de charge peut être effectuée soit en faisant varier la tension aux bornes de la résistance de la branche maître de la source de courant, soit en faisant varier la valeur de cette résistance. Dans ce dernier cas, une première méthode consiste à remplacer la résistance passive par la résistance équivalente au canal drain-source d'un transistor PMOS. Cette valeur de résistance R_{DS} est fonction du potentiel V_{GS} appliqué à la grille. Le schéma de ce montage est donné par la figure 2.2-22. Cependant la fonction $R_{DS}=f(V_{GS})$ n'est pas linéaire, comme le prouve la figure 2.2-23. Ceci pose des problèmes au niveau de la commande et de la précision du délai obtenu.

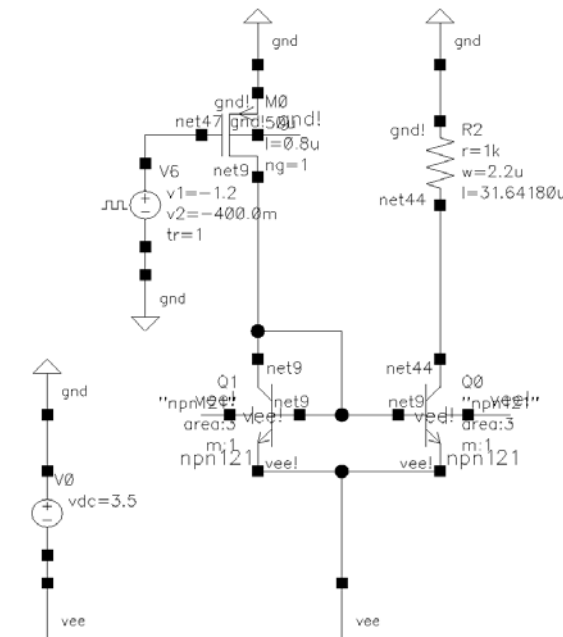


figure 2.2-22 : schéma de simulation de la source de courant variable par charge active PMOS

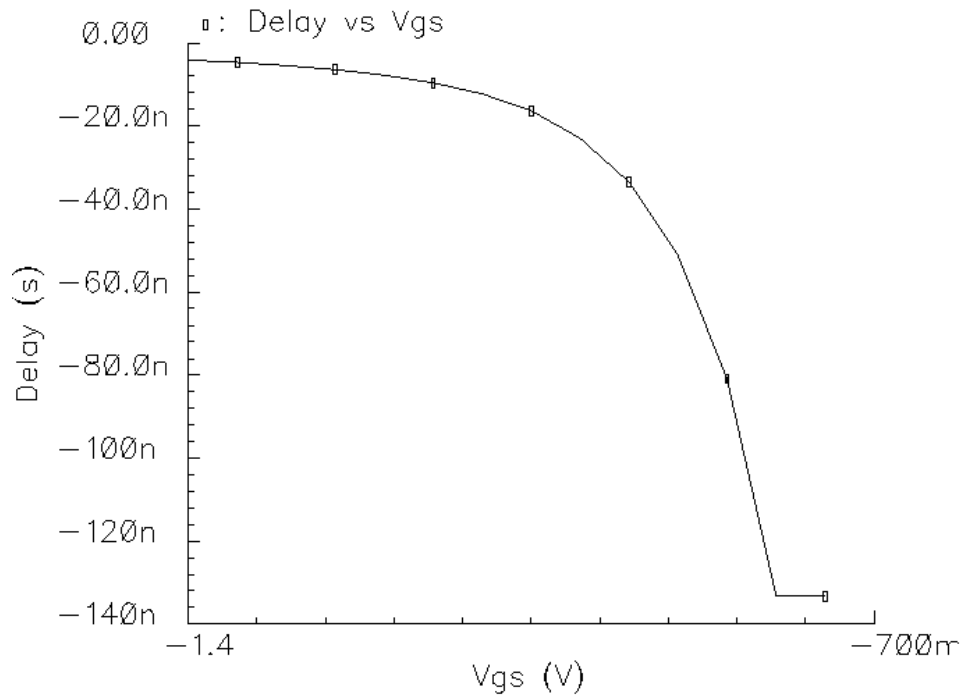


figure 2.2-23 : variation du délai en fonction de la tension V_{GS} appliquée à la grille du transistor PMOS

Par contre la linéarité est bien meilleure si la tension de seuil est utilisée comme variable de commande, comme le montre la courbe de la figure 2.2-24. Cette solution a donc été retenue, d'autant plus que sa mise en œuvre est simple et que la pente de 30 ns/V obtenue permet un ajustement plus précis du délai.

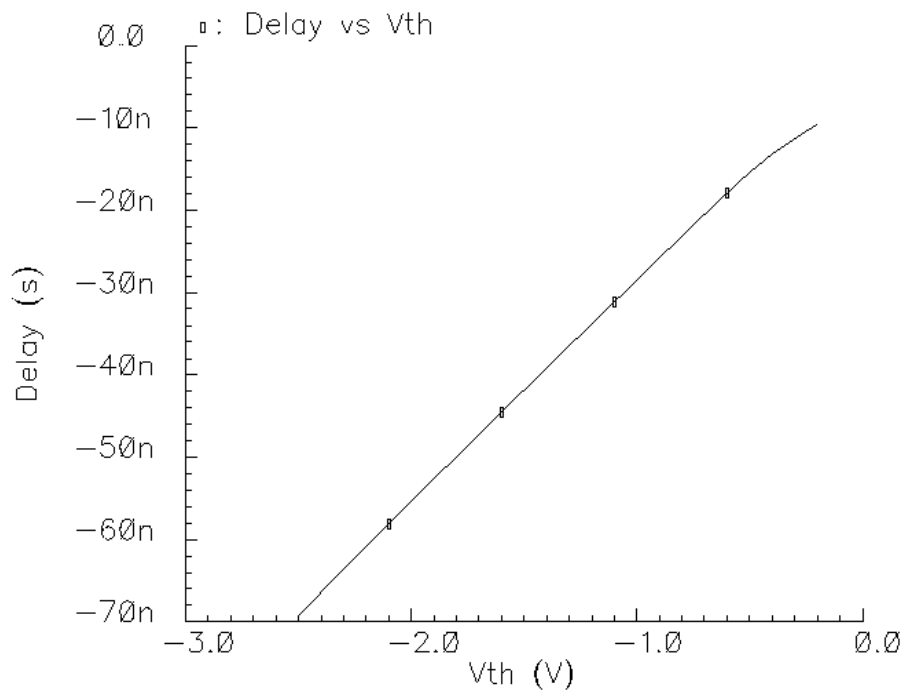


figure 2.2-24 : variation du délai en fonction de la tension de seuil ΔV (V_{th})

2.2.5.5. Cellule "MISE EN FORME"

Le but est d'obtenir en sortie du circuit un signal logique de largeur fixe égale à 20 ns. En effet, l'information provenant de l'électronique frontale doit être maintenue durant un temps inférieur à 25 ns, période minimale des collisions du LHC, mais suffisant long pour que ce signal soit lu par l'électronique de déclenchement. La valeur de 20 ns retenue semble être un bon compromis.

Pour obtenir ce temps, une capacité de 2pF avec un courant de charge de 270 μA pour un seuil de $-2,1\text{ V}$ ont été choisis pour l'étage monostable.

2.2.6. L'ETAGE DE SORTIE DU CIRCUIT

2.2.6.1. Introduction

Le dernier étage du circuit permet de sortir le signal logique de la "puce" avec des propriétés suffisantes pour assurer sa transmission et sa compatibilité avec l'électronique de destination. L'électronique frontale précédemment utilisée fournissant un signal logique ECL, ce standard a été conservé afin de pouvoir réutiliser les mêmes dispositifs d'acquisition lors des tests. De plus, la logique ECL est tout à fait adaptée à la transmission de signaux rapides sur un câble de plusieurs dizaines de mètres et est largement employée sur l'électronique des détecteurs en fonctionnement au CERN.

La figure 2.2-25 donne les principaux éléments constituant l'étage de sortie décrits par la suite.

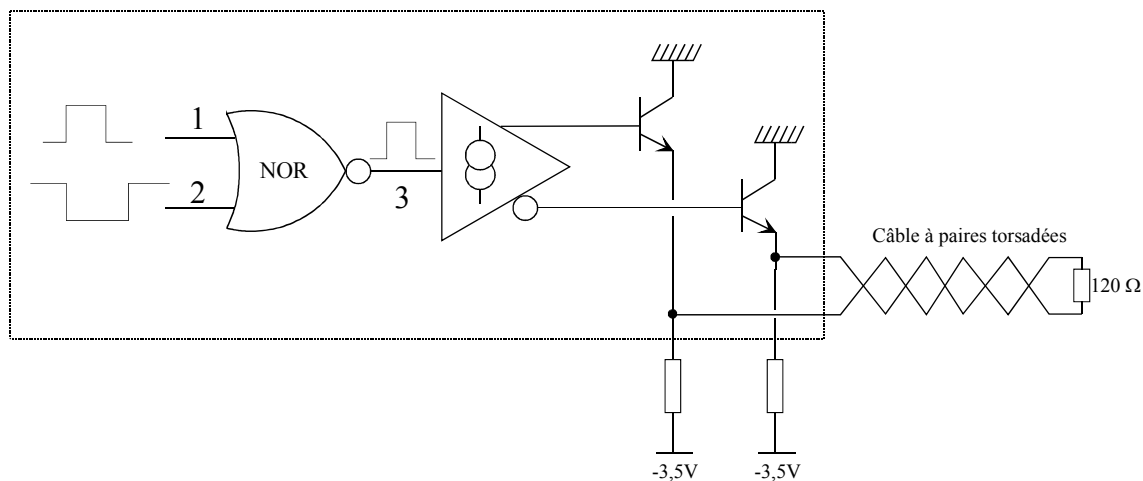


figure 2.2-25 : synoptique de l'étage de sortie ECL du circuit

Une porte NOR reçoit les signaux de sortie des cellules "DELAI_VAR" et "MISE EN FORME". Elle délivre alors une impulsion de durée de 20 ns retardée du temps choisi par la consigne extérieure appliquée à la cellule "DELAI_VAR". Un amplificateur permet ensuite d'obtenir des courants nécessaires à la commande rapide des transistors de sorties.

2.2.6.2. La fonction NOR

Observons les chronogrammes ci-dessous des signaux délivrés par les cellules "DELAI_VAR" et "MISE EN FORME".

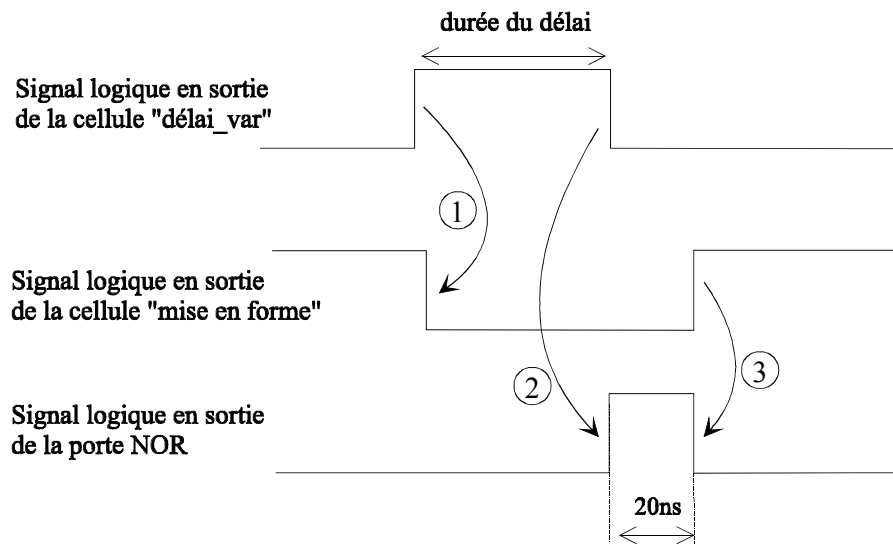


figure 2.2-26 : chronogrammes des signaux au niveau de la porte NOR

Le passage à l'état haut du signal de sortie de la cellule "DELAI_VAR" provoque la décharge de la capacité du monostable de la cellule "MISE EN FORME", comme décrit précédemment. Très rapidement le signal de sortie passe à l'état bas (transition 1). Le PMOS de ce monostable reste "fermé", la capacité ne peut donc pas se charger. Cette charge débute à la transition 2 de la figure 2.2-26 lorsque le signal de la cellule "DELAI_VAR" passe à l'état bas. La durée de la charge jusqu'à la tension de seuil étant de 20 ns, le signal en sortie de la cellule "MISE EN FORME" ne remonte qu'après ce laps de temps supplémentaire. La porte NOR délivre donc une impulsion de 20 ns de durée avec le retard choisi.

2.2.6.3. L'étage amplificateur et les transistors de sortie

Nous avons choisi de réaliser un étage de sortie ECL. Le schéma classique d'une telle sortie est donné sur la figure 2.2-25. Deux transistors délivrent par leurs émetteurs couplés un courant d'environ ± 7 mA, de manière à obtenir aux bornes de la résistance de charge de 120Ω la tension différentielle souhaitée, soit ± 800 mV. Ces transistors doivent avoir une taille suffisante pour fournir un tel courant sans risque de destruction. C'est pourquoi chaque transistor de sortie est constitué de dix transistors NPN254 en parallèle. Ces composants, équivalents à quatre transistors NPN121, acceptent un courant de 2 mA sans dégradation de leur gain. L'utilisation de dix NPN254 peut paraître alors surdimensionnée (20 mA) par rapport au courant délivré (7 mA). Il a cependant été décidé de prendre une marge de sécurité de manière à protéger ce premier circuit prototype contre les surcharges accidentelles pouvant survenir lors son utilisation.

Pour transformer le signal de mode commun, délivré par la porte NOR, en un signal différentiel, un amplificateur différentiel a été intercalé. Une des entrées de cet étage est à un potentiel fixe, entre les niveaux haut et bas du signal logique reçu sur l'autre entrée. Un courant de 3 mA alimente la structure différentielle et permet de charger rapidement les capacités d'entrées des dix transistors NPN254. Des temps de transitions des signaux de sortie de l'ordre de 2 ns sont ainsi obtenus (figure 3.2-6).

2.2.7. LA SAISIE DES MASQUES

2.2.7.1. Introduction

L'opération de saisie des masques, plus connue sous le terme anglais *layout*, est [14] "le processus de création d'une représentation physique précise d'un schéma qui répond aux contraintes imposées par le processus de fabrication et permet d'atteindre les performances mises en évidence par la simulation schématique." Plus concrètement, il s'agit de la saisie des différents masques qui sont utilisés pour la fabrication du circuit intégré. Ainsi chaque composant, transistor, résistance ou capacité, utilisé et simulé en schématique est converti en différentes couches de diffusion ou de métal qui correspondent à sa réalisation pratique sur la base de silicium.

Lors de cette opération effectuée manuellement, un certain nombre de règles doivent être suivies pour aboutir au succès lors de la fabrication du circuit électronique simulé :

1. les contraintes imposées par la technologie employée et par les densités de courant prévues (taille minimum des composants et des couches métalliques, distance minimum entre les différentes couches, ...) doivent être respectées ;
2. la densité de composants par unité de surface doit être la plus grande possible pour diminuer la valeur des capacités parasites induites par de longues connexions et réduire le coût final ;
3. les composants doivent être dessinés ou appariés de manière à réduire les problèmes de dissymétrie (étage différentiel, capacités).

2.2.7.2. Réalisation du *layout*

Après avoir obtenu des résultats satisfaisants lors de la simulation du circuit schématique, le dessin des masques correspondant a été réalisé. Quatre points ayant fait l'objet de soins particuliers sont présentés ci-dessous.

- Les étages différentiels ont été dessinés de manière à minimiser la dissymétrie, notamment en ce qui concerne l'étage d'entrée. En effet toute différence des caractéristiques des transistors bipolaires d'entrée et/ou des résistances de collecteur entraîne un "offset" dégradant la précision du comparateur. C'est pourquoi ces étages ont été dessinés en utilisant une structure croisée, comme représenté sur la figure 2.2-27 et la figure 2.2-28. Dans ce cas, toute variation linéaire des caractéristiques des composants, inhérente à la fabrication ou à un gradient de température sur la surface du silicium, est vue de manière commune par les deux branches du montage et donc annulée par le fonctionnement différentiel.

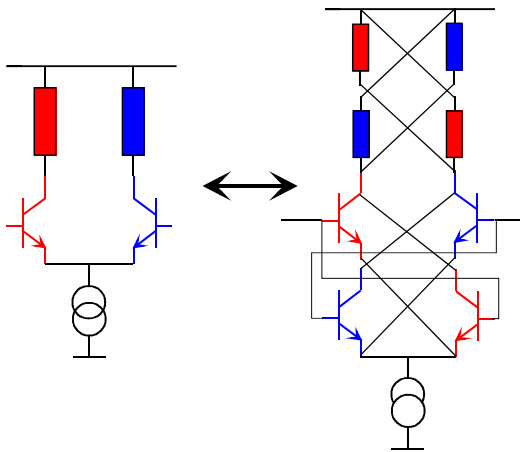


figure 2.2-27 : schéma symétrisé d'un étage différentiel ; les transistors et résistances (schéma de gauche) sont doublés et placés de manière à obtenir un dessin croisé (schéma de droite)

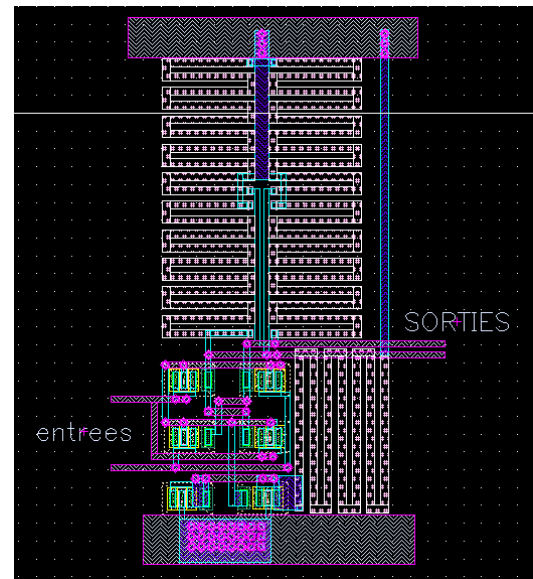


figure 2.2-28 : layout d'un étage différentiel symétrisé, $(60 \times 180) \mu\text{m}^2$

- Les transistors bipolaires de grande taille, comme pour l'étage de sortie, ont été préférés à l'utilisation équivalente de plusieurs transistors en parallèle. En effet la première solution permet d'obtenir une structure plus compacte, l'espacement entre deux transistors contigus devant être supérieur ou égal à $7 \mu\text{m}$, et évite des interconnexions par couches métalliques.
- Les condensateurs sont réalisés par la juxtaposition de deux couches de polysilicium. Leur capacité est sensible à l'épaisseur de l'isolant séparant ces deux plans, mais aussi à la valeur de la surface commune à ces deux couches. Pour minimiser les erreurs dues à l'imprécision du positionnement relatif des deux plans, le dessin correspondant à celui de la figure 2.2-29 a été utilisé. Il est important de noter que la couche de polysilicium 1 (en rouge) est scindée en deux parties et son aire déborde largement de celle de la couche supérieure de polysilicium 2 (à pois roses). Grâce à cela, les erreurs de positionnement relatif des deux couches sont sans conséquence, la surface de la capacité étant toujours donnée par celle de la couche de polysilicium 1 qui est la plus petite.

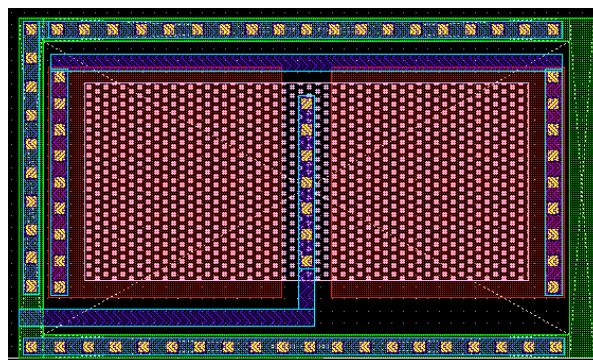


figure 2.2-29 : exemple de layout pour une capacité de 1pF , $(50 \times 30) \mu\text{m}^2$

- Des pistes d'alimentation différentes pour les éléments statiques (sources de courant, potentiels continus des seuils) et les étages dynamiques ont été choisies afin d'éviter le maximum d'interférences. En effet, des problèmes peuvent être engendrés par la réalisation intempestive d'un système bouclé, provoquant jusqu'à l'oscillation complète du circuit. De plus des condensateurs de découplage sur les alimentations ont été implantés à l'intérieur même du circuit.

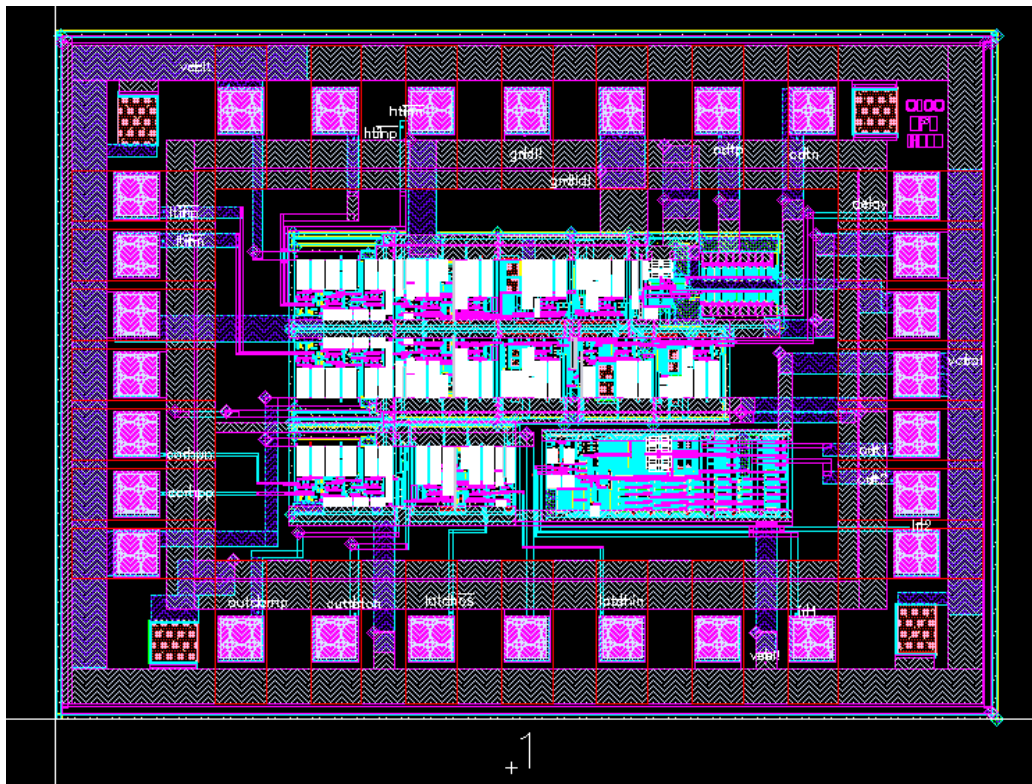


figure 2.2-30 : masque complet du circuit (2x1,5 mm²)

Remarque : une petite partie de la surface du circuit, soit environ 0,1 mm², a été utilisée par une autre équipe pour tester un étage de sortie. Cinq plots de connexions leur ont été réservés, dont des alimentations indépendantes, de manière à pouvoir tester chacune des parties sans interférer sur l'autre.

2.2.7.3. Les outils informatiques d'aide et de contrôle

La grande quantité de transistors et autres composants implantés, ainsi que la complexité des modèles fournis par le fondeur imposent le recours à des outils de CAO-IAO pour la conception des circuits intégrés. Grâce à eux, les résultats de simulation sont très proches des performances réelles du circuit fabriqué. Ces simulations sont d'autant plus affinées lorsqu'elles émanent de la *netlist*³⁷ du dessin des masques. En effet toutes les capacités parasites engendrées par les géométries et le placement des différentes couches et interconnexions sont extraites et utilisées par le simulateur. Deux paramètres importants ne sont cependant pas pris en compte : la résistance des pistes métalliques, fonction de leurs dimensions, et l'impédance complexe des fils de câblage

³⁷ Mot de langue anglaise employée pour désigner la liste des nœuds électriques et des composants correspondant au schéma ou au "layout" source.

(ou de *bounding*). Ces derniers, constitués de fils dorés de quelques dizaines de microns de diamètre, relient les plots de sortie de la puce aux pattes du boîtier support. Cependant, afin de tenir compte de leurs effets lors des simulations, ces fils ont été modélisés par une inductance en série avec une résistance, principalement au niveau des entrées d'alimentation.

Une représentation des étapes suivies et des outils logiciels utilisés lors de la conception du circuit intégré est donnée sur la figure 2.2-31.

L'outil de contrôle nommé DRC pour *Design Rules Check* vérifie que le dessin des masques respecte les règles imposées par le fondeur dans la technologie choisie. Elles sont dictées par les limites en matière de résolution lithographique et les distances à respecter pour éviter toutes interférences entre les composants adjacents.

Lorsque le *layout* s'avère conforme aux règles de dessin imposées, un dernier type de contrôle est effectué. Il s'agit d'une comparaison entre les *netlists* du schéma et du *layout*. Elle permet de garantir que le dessin des masques correspond bien au schéma que l'on a voulu transposer. La création de ce dessin étant totalement manuelle, les erreurs sont courantes mais détectées par le contrôle LVS (*Layout Versus Schematic*).

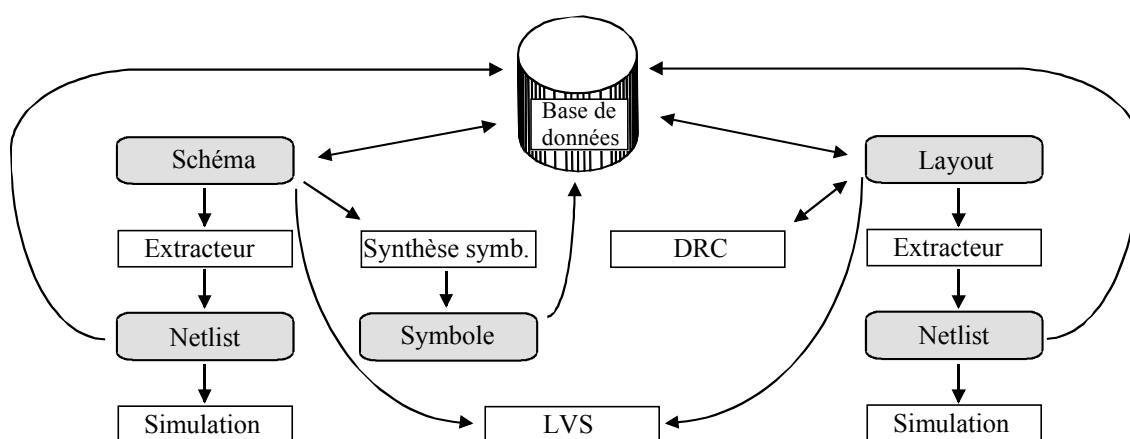


figure 2.2-31 : étapes et outils utilisés lors de la conception d'un ASIC

L'ensemble des outils de conception de circuits micro-électroniques, mis à la disposition des ingénieurs du Laboratoire de Physique Corpusculaire de Clermont-Ferrand, sont fournis par la société Cadence sous le nom d'ARTIST. Ces logiciels sont installés sur des stations de travail dotés d'un environnement Unix.

Les fichiers contenant les masques nécessaires à la fabrication du circuit ont été transmis le 28 janvier 2000 au CMP. Cette date butoir devait impérativement être respectée pour que le circuit prototype soit associé au prochain cycle³⁸ de fabrication réservé au CMP dans la technologie BiCMOS 0,8 μm .

³⁸ Communément appelé "run".

Chapitre 3 :

Résultats de tests du circuit intégré

3.1. Introduction

Quinze circuits prototypes ont été livrés début mai 2000. Cinq d'entre eux étaient collés et câblés dans un boîtier type PLCC à 28 pattes pour être immédiatement testés. Par soucis d'économie, les dix autres n'ont été mis en boîte qu'une fois les premiers tests en laboratoire concluants.

Nous avons vu que ce premier prototype est constitué d'une voie complète de mise en forme, y compris le nouveau système de double discrimination.

3.2. Tests en laboratoire

Les tests "sur table" ont été effectués à l'aide d'un générateur capable de délivrer des impulsions de RPC avec les performances requises. Il fournit des impulsions de type *streamer* précédé d'un précurseur, avec un délai variable. Pour le contrôle et la mesure des signaux d'entrée et de sortie, un oscilloscope numérique de bande passante 1 GHz a été utilisé. Une sonde différentielle à large bande (500 MHz) recueillait le signal de sortie du circuit sous test.

Nous avons ainsi pu vérifier que les prototypes réalisés répondaient aux sollicitations imposées sur les entrées. Des mesures ont été effectuées pour évaluer les performances de chacun des étages du circuit et leur adéquation avec les simulations et le cahier des charges. C'est ce que nous allons maintenant détailler.

3.2.1. LES COMPAREURS ET LA FONCTION ADULT

Les deux étages comparateurs fonctionnent correctement. Lorsque des potentiels de 10 mV et 50 mV sont respectivement appliqués sur les entrées bas et haut seuils, les comparateurs respectifs basculent à des niveaux de 12 mV et 55 mV.

Les oscillogrammes de la figure 3.2-1 montrent qu'un signal est délivré en sortie uniquement lorsque le signal d'entrée dépasse la valeur du seuil haut. Par contre, la référence en temps est bien donnée par le comparateur à bas seuil comme le prouve la figure 3.2-2. Deux types de signaux ont été générés : un premier (de couleur bleue) où le signal précurseur se confond avec le front montant de l'impulsion *streamer*, et un deuxième (en rouge) où l'impulsion de plus grande amplitude est retardée de quelques nanosecondes par rapport à la première. Il apparaît que les deux signaux de sortie sont

confondus : le temps de réponse du circuit reste le même, insensible aux fluctuations en temps de la deuxième impulsion.

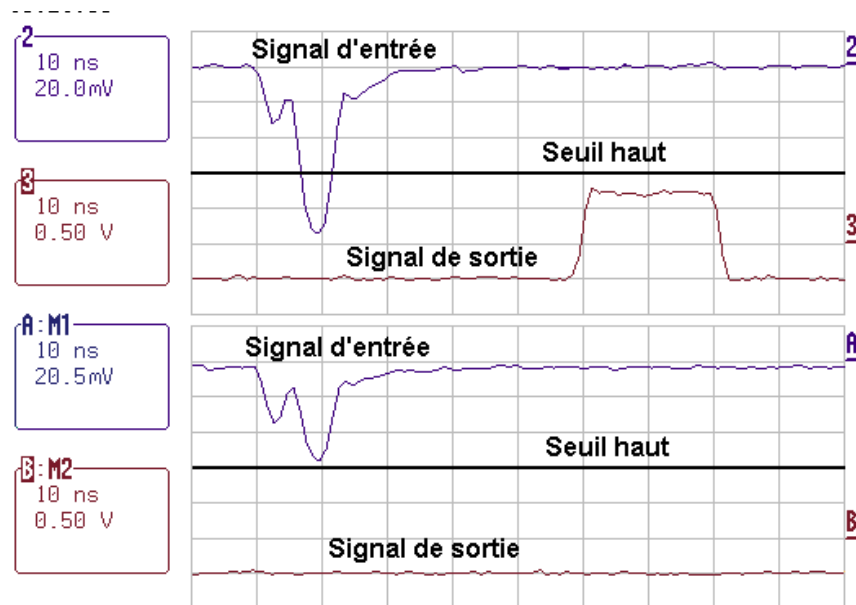


figure 3.2-1 : contrôle du fonctionnement du comparateur à seuil haut

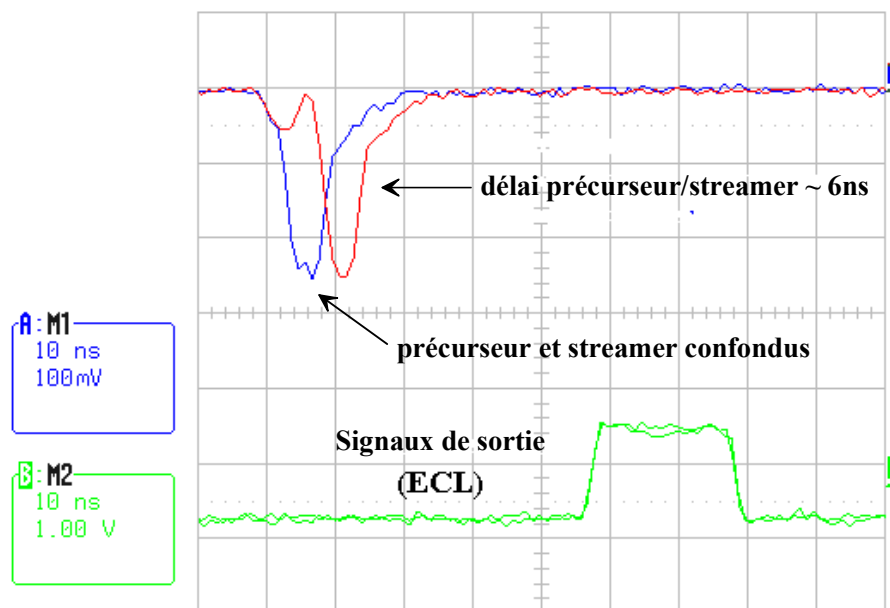


figure 3.2-2 : contrôle du fonctionnement du comparateur à seuil bas

Pour tester pleinement l'efficacité du système de discrimination ADULT, l'impulsion *streamer* a progressivement été retardée par rapport au signal précurseur, qui reste stable par rapport à la référence de temps³⁹. La mesure du temps de réponse en sortie du circuit permet de contrôler lequel des deux signaux donne la référence de temps. Ces mesures sont reportées sur le graphique de la figure 3.2-3. A la valeur nulle

³⁹ Cette référence en temps nous est donnée par le signal de déclenchement du générateur d'impulsion.

du délai précurseur-*streamer* correspond le cas où le signal précurseur est confondu avec l'impulsion *streamer*. La valeur absolue de la mesure du temps de réponse du circuit est arbitraire, seules les variations relatives sont significatives.

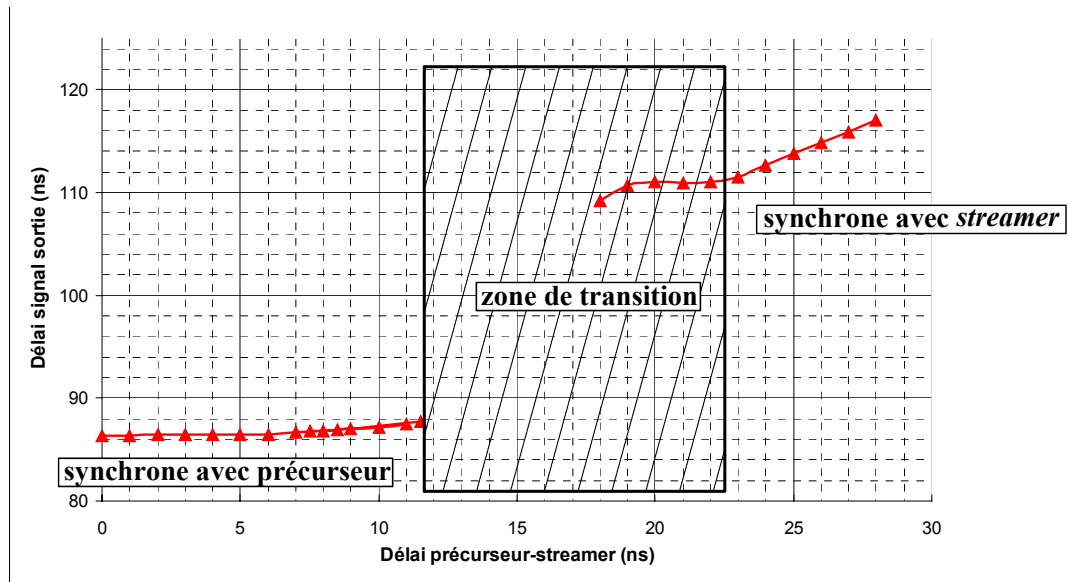


figure 3.2-3 : temps de réponse du circuit en fonction du délai entre signaux précurseur et *streamer*

D'après les résultats obtenus, il apparaît que jusqu'à une valeur de 12 ns du délai précurseur-*streamer*, le temps de réponse du circuit est stable. Le circuit est quasi insensible aux fluctuations de temps d'apparition de l'impulsion *streamer*.

Par contre, lorsque ce délai dépasse 22 ns, le temps réponse du circuit suit linéairement le décalage de l'impulsion *streamer*. En effet, le retard appliqué à la sortie du discriminateur bas seuil n'est plus suffisant pour que le signal précurseur soit pris en compte au niveau de la coïncidence. La référence de temps est alors donnée par la discrimination bas seuil sur le signal *streamer* qui suit (voir figure 2.2-19).

Entre 12 ns et 22 ns, le circuit est dans une zone de transition. Soit aucun signal n'est délivré en sortie (de 13 à 18 ns), soit ce signal n'est pas encore complètement synchrone avec le signal *streamer* retardé (de 18 ns à 22 ns).

Cependant, l'existence d'une telle zone de transition n'a pas d'incidence notable sur les résultats obtenus en fonctionnement réel sur un détecteur RPC⁴⁰. En effet, la probabilité d'avoir un tel écart de temps entre les deux types d'impulsion est très faible. Nous verrons d'ailleurs que les résultats temporels relevés en tests faisceau sont très satisfaisants.

Néanmoins, des améliorations notoires ont été apportées dans le prototype suivant de manière à supprimer cette zone d'ombre, comme cela est présenté dans le dernier chapitre.

⁴⁰ Dans les conditions normales de fonctionnement (haute tension appliquée suffisante, bon mélange gazeux...).

3.2.2. LE SYSTEME DE VERROUILLAGE

Cette fonction a été mise à l'épreuve par application d'un signal présentant plusieurs impulsions *streamer* successives, dépassant le niveau du seuil haut. La période de déclenchement de ces impulsions a été progressivement réduite. A titre d'exemple, sur la figure 3.2-4, le signal *streamer* est délivré par le générateur toutes les 30 ns.

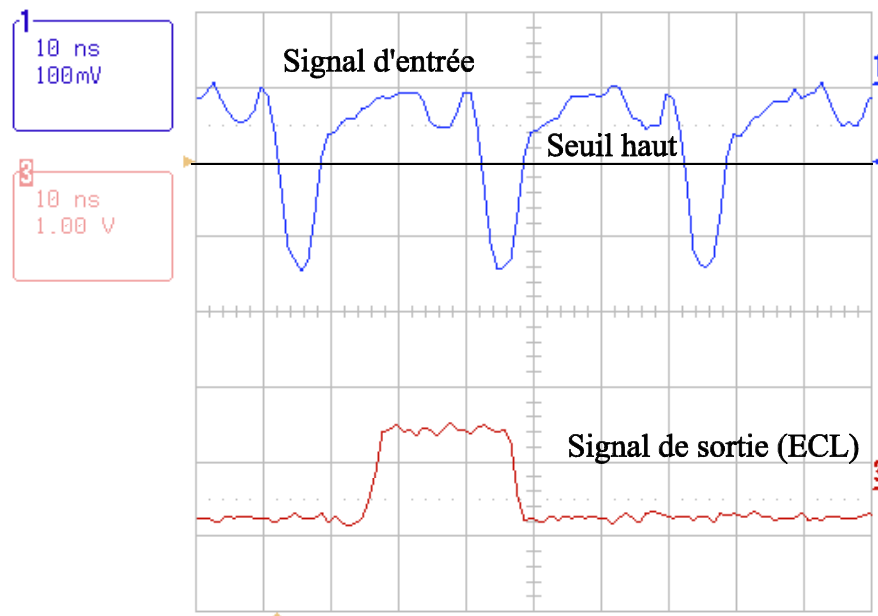


figure 3.2-4 : contrôle du fonctionnement du système de verrouillage

La visualisation du signal de sortie du circuit sur cet oscillogramme montre qu'une seule détection a été effectuée dans les 100 ns de la fenêtre d'observation. D'autres mesures permettent d'estimer cette durée de temps mort à près de 140 ns. Cette valeur est supérieure d'environ 10% à celle simulée, ce qui correspond aux tolérances sur les valeurs des composants implantés. Un ajustement des paramètres de l'étage monostable réalisant cette fonction permettra d'approcher les 100 ns requises. Il est à noter que cette valeur de 100 ns est plus ou moins arbitraire⁴¹, et qu'une précision de $\pm 10\%$ est donc tout à fait acceptable.

En conclusion, nous avons pu vérifier que la fonction de verrouillage est opérationnelle sur le circuit testé.

⁴¹ Le temps mort introduit par les autres sous-détecteurs de l'expériences ou par le système d'acquisition global sont bien supérieur à 100 ns.

3.2.3. LE DELAI VARIABLE

Un potentiomètre prélevant une fraction de la tension d'alimentation négative du circuit permet de faire varier manuellement la consigne de la cellule "DELAI_VAR". Pour une variation de 2 V de cette tension, la variation de délai obtenue est de 70 ns environ. La figure 3.2-5 illustre la réponse du circuit pour cinq consignes différentes.

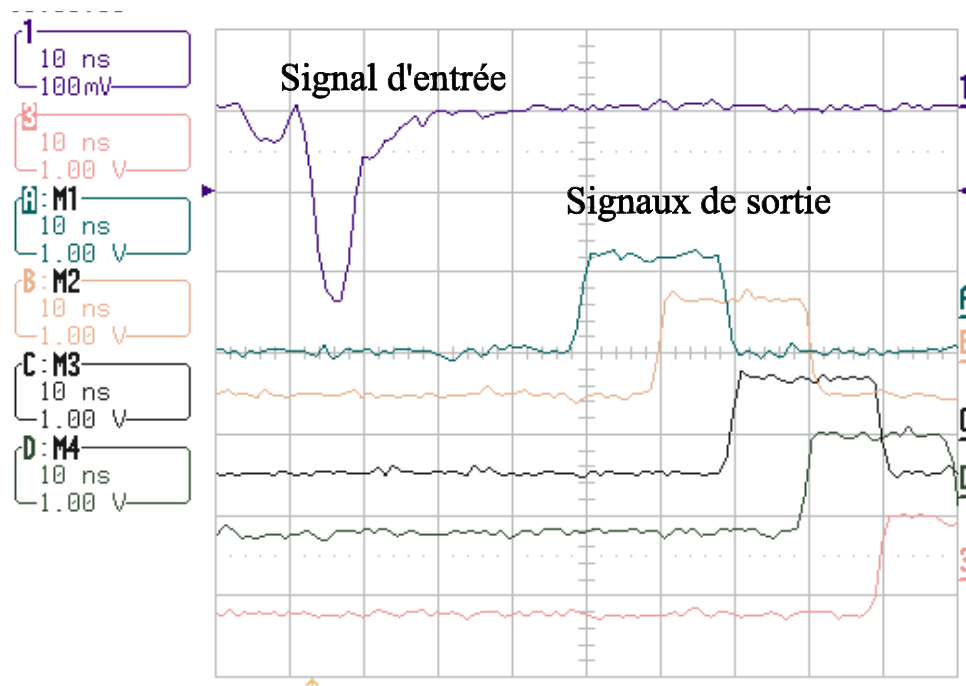


figure 3.2-5 : contrôle du fonctionnement du délai variable

La fonction de délai variable peut donc être utilisée pour ajuster les temps de réponse des différentes voies traitées. Une seule consigne par circuit, donc pour huit voies, est envisagée pour le produit final.

3.2.4. LA MISE EN FORME ET L'ETAGE DE SORTIE

L'oscillogramme de la figure 3.2-6 permet de vérifier que le signal différentiel délivré en sortie du circuit répond aux exigences du standard ECL. Les temps de montée et de descente sont inférieurs à 2 ns pour une amplitude différentielle supérieure à 1,50 V. De plus sa largeur est de 20 ns comme cela est souhaité. La consommation propre à cet étage de sortie est d'environ 70 mW.

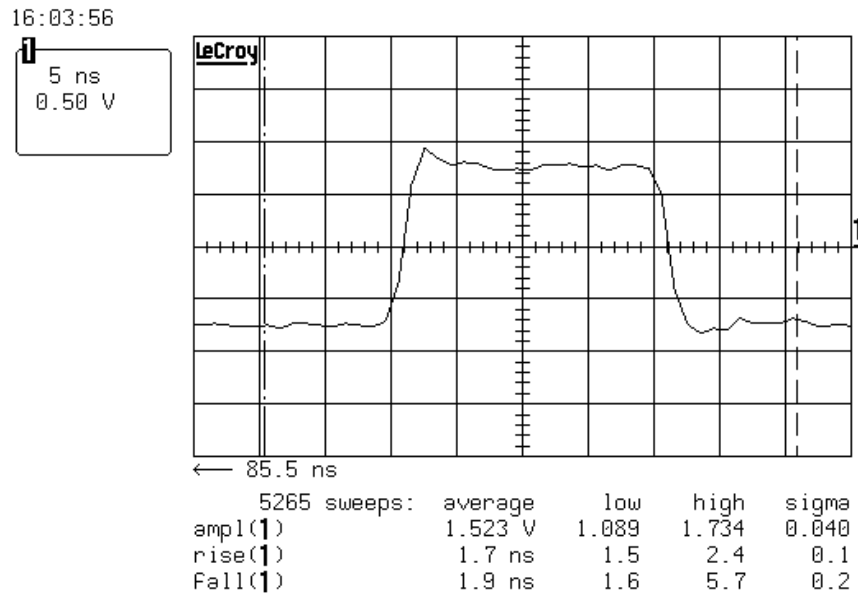


figure 3.2-6 : signal de sortie différentiel ECL

3.2.5. CONCLUSION

Nous avons vérifié sur table que les quinze circuits reçus fonctionnent et que toutes les fonctions implantées sont opérationnelles. Cependant, les performances de cette nouvelle électronique frontale ne peuvent être pleinement évaluées qu'une fois associée à une chambre RPC soumise à un flux de particules ionisantes.

Par ailleurs, la consommation totale mesurée pour une voie est de l'ordre de 140 mW, ce qui est conforme aux simulations. Elle est cependant trop élevée par rapport à la limite de 100 mW fixée dans le cahier des charges. Dans le circuit prototype suivant, l'étage de sortie ECL a été remplacé par un étage LVDS, permettant ainsi de réduire la consommation à un niveau acceptable.

3.3. Tests sous faisceau

Après avoir validé le fonctionnement du circuit prototype sur un banc de test, il était nécessaire de le confronter à des conditions plus proches de l'utilisation finale. C'est pourquoi une carte comportant huit circuits a été installée sur un détecteur RPC soumis à un faisceau de particules d'intensité variable. Ces tests se sont déroulés début juillet 2000 au CERN (zone T10 du PS).

3.3.1. DISPOSITIF EXPERIMENTAL

La chambre RPC utilisée a les caractéristiques suivantes :

- surface de 50x50 cm² ;
- composition du mélange gazeux : Ar 49% + i-C₄H₁₀ 7% + Forane 40% + SF₆ 4% ;
- plans de lecture horizontal (X) et vertical (Y) au pas de 2 cm ;
- résistivité de la bakélite $\rho = 8.10^9 \Omega.cm$.

Huit strips horizontaux sont équipés de la nouvelle électronique frontale comprenant le système de discrimination à double seuil. La carte permettant l'alimentation et la connexion des huit circuits sous test est visible sur la figure 3.3-1. Cette carte est insérée directement sur des connecteurs spécifiques qui ramènent sur la face du détecteur le signal de chacun des *strip*. Le détecteur et son électronique frontale forment alors un ensemble comme le montre la figure 3.3-2. Afin de pouvoir directement comparer les performances de ces circuits par rapport à l'électronique classique, seize voies de mesure verticales de la même chambre sont traitées par des discriminateurs à simple seuil (voir Annexe 2).

La figure 3.3-3 représente le dispositif mis en place autour de la chambre RPC sous test. Le système de déclenchement (*Trigger*) indiquant le passage d'une particule dans l'axe de la RPC, est constitué d'un hodoscope de sept scintillateurs placé en aval du détecteur et d'un autre scintillateur positionné en amont et donnant la référence en temps. Le flux central maximal est mesuré à l'aide de la coïncidence des deux scintillateurs qui délimitent une surface de 4 cm² au centre du détecteur. Les signaux ECL issus des électroniques frontales de la RPC sont transmis jusqu'à la salle d'acquisition via des câbles plats torsadés d'une longueur de 30 m.

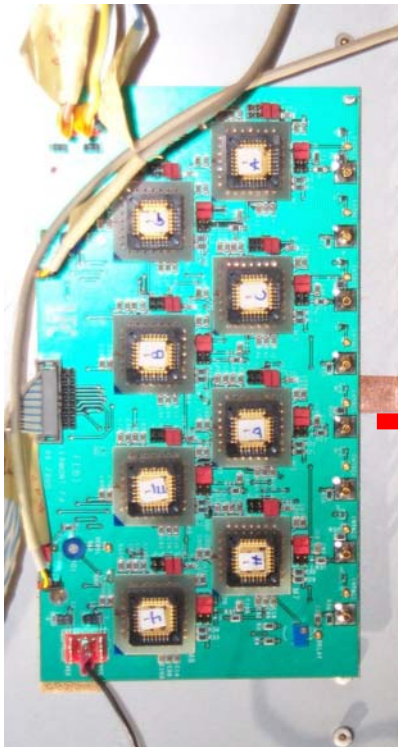


figure 3.3-1 : carte de test équipée de 8 circuits ADULT

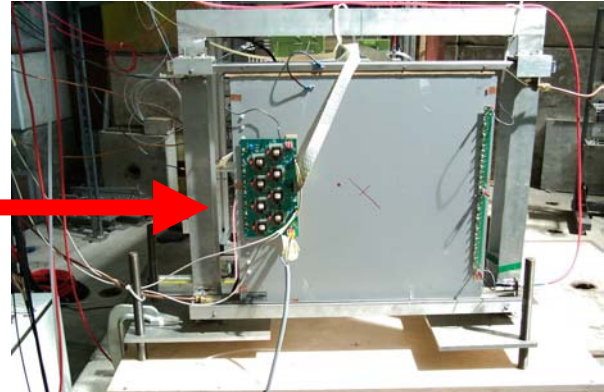
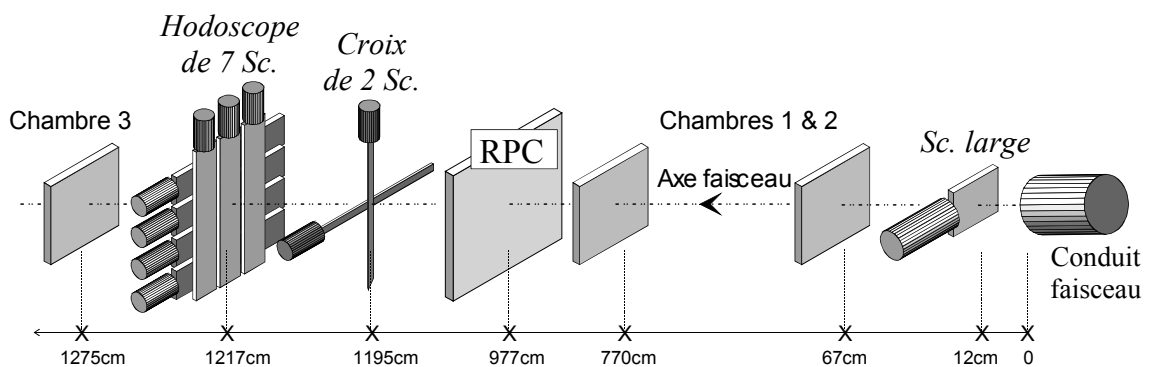


figure 3.3-2 : détecteur RPC, équipée de la carte frontale, en place pour les tests faisceau



Sc. signifie Scintillateur

figure 3.3-3 : dispositif mis en place autour de la RPC, lors des tests sous faisceau

3.3.2. ANALYSE PRELIMINAIRE DES RESULTATS

3.3.2.1. Résolution temporelle

La nouvelle technique de discrimination nommée ADULT implantée dans le circuit testé a pour but d'améliorer la résolution temporelle du détecteur. Les résultats des voies pourvues du nouveau système ADULT vont être comparés à ceux obtenus

avec les discriminateurs à simple seuil correspondants. La figure 3.3-4 montre des exemples de distributions en temps obtenues avec les deux types d'électronique. Le temps de réponse en nanosecondes d'une voie est porté en abscisse, avec sur l'axe vertical le nombre d'évènements correspondant. La valeur absolue du temps de réponse n'est pas significative, par contre la forme de la distribution nous renseigne sur la résolution obtenue. Deux tensions de fonctionnement sont considérées : 9200 V (distributions de gauche), tension pour laquelle la RPC présente une bonne efficacité (>98%), et 8600 V (à droite) où l'efficacité chute à environ 60%. Tous les histogrammes sont normalisés à 1000 entrées.

Les tracés du bas, pour la discrimination à simple seuil, et du haut, pour le système ADULT, de la figure 3.3-4 ont des formes très différentes. Avec l'électronique ADULT, pour une tension de 9200 V, un pic de temps très étroit est obtenu. Il est possible de modéliser cette distribution par une fonction gaussienne, dont l'écart type est inférieur à 1 ns. De plus, le tracé en échelle logarithmique de cette même distribution dans la fenêtre insérée montre que la proportion d'évènements hors de ce pic est faible, soit environ 2%.

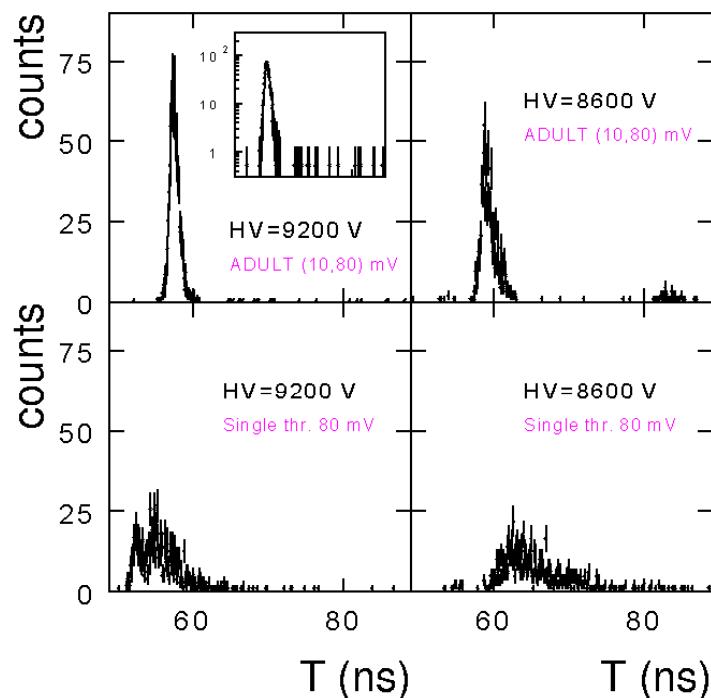


figure 3.3-4 : exemples de distributions en temps avec ADULT (en haut) comparées à une discrimination à simple seuil (en bas)

Par contre, avec la discrimination à seuil unique, les histogrammes présentent une large et double structure, comme cela a déjà été décrit dans le premier chapitre (figure 1.2-3). La résolution temporelle est donc nettement moins bonne que celle obtenue avec la nouvelle électronique.

A 8600 V, le délai entre les signaux précurseur et *streamer* délivrés par la RPC peut excéder la valeur de 10 ns. Dans ce cas, la référence en temps est donnée par le signal issu du comparateur à seuil haut. C'est la raison pour laquelle un second pic apparaît dans la distribution, à droite du premier. Il faut cependant noter que cela se produit à une tension de fonctionnement proscrite pour laquelle le détecteur n'est pas pleinement efficace ($\approx 60\%$).

Ces résultats prouvent donc le bon fonctionnement et surtout l'efficacité au niveau de l'amélioration de la résolution temporelle du système ADULT implanté dans le circuit intégré développé.

3.3.2.2. Autres performances

Les résultats obtenus en terme d'efficacité, de tenue au flux et de résolution spatiale sont identiques pour les deux électroniques utilisées et conformes à ceux déjà observés lors des précédents tests. Ces performances ne sont donc pas dégradées par la nouvelle électronique et satisfont les exigences de ALICE.

3.4. Conclusion

Les expériences menées au CERN durant deux semaines en juillet 2000 ont tout d'abord montré, dans des conditions proches de celle de ALICE, que les circuits développés remplissent leurs fonctions. Les signaux délivrés par la chambre sont discriminés, mis en forme et transmis à un système d'acquisition. Concernant les performances, le gain apporté par le système à double discrimination pour la résolution temporelle est confirmé. La "zone d'ombre" mise en évidence par les tests "sur table" n'a pas de conséquence mesurable sur les performances relevées en tests faisceau, la probabilité d'avoir, à tension de fonctionnement correcte, des signaux précurseur et *streamer* séparés de plus de 12 ns étant faible ($< 2\%$).

Chapitre 4 :

Evolution du circuit

4.1. Introduction

La faisabilité d'un ASIC dédié à la mise en forme de signaux délivrés par les détecteurs RPC de l'expérience ALICE a été démontrée par les résultats obtenus avec le premier prototype. La réalisation d'un deuxième prototype mono-voie avec des performances optimisées et une consommation réduite est cependant souhaitable avant l'élaboration du circuit final à huit voies. Celui-ci a été soumis à temps pour faire partie du cycle de fabrication de l'été 2000, avec une livraison prévue début octobre 2000.

L'élaboration du schéma global du nouveau circuit est orientée par les objectifs suivants :

- ⇒ supprimer ou réduire au minimum la "zone d'ombre" du système ADULT ;
- ⇒ réduire à moins de 100 mW la consommation d'une voie ;
- ⇒ optimiser l'ouverture et la fermeture des transistors PMOS des étages monostable, afin de charger et décharger plus efficacement leur capacité ;
- ⇒ simplifier autant que possible le schéma pour gagner en intégration et en consommation.

4.2. Amélioration des performances du système ADULT

Les résultats des tests réalisés en laboratoire décrits dans le chapitre 3 ont montré que lorsque le signal précurseur et le signal *streamer* sont séparés d'un temps compris entre 13 et 18 ns, le fonctionnement du circuit n'est pas correct. La sortie ne délivre pas de signal logique indiquant le dépassement des seuils. L'observation des signaux de la figure 4.2-1 permet de comprendre ce qui provoque un tel dysfonctionnement. Nous sommes dans le cas où les signaux précurseur et *streamer* sont séparés de 17 ns. Le signal de sortie de la cellule "BLOQUEUR" du seuil bas est encore à l'état haut lorsque le signal *streamer* est discriminé. Dans cet état, la cellule "BLOQUEUR" ne prend pas en compte la nouvelle discrimination bas seuil qui survient sur le signal *streamer*. Par contre la sortie de la cellule " BLOQUEUR " haut seuil change d'état à l'arrivée de

l'impulsion *streamer*. Mais ce signal est retardé par la cellule "DELAI" du haut seuil d'environ 4 ns. Il ne peut pas alors y avoir coïncidence avec le signal retardé du bas seuil. Aucun signal ne peut alors être délivré en sortie du circuit.

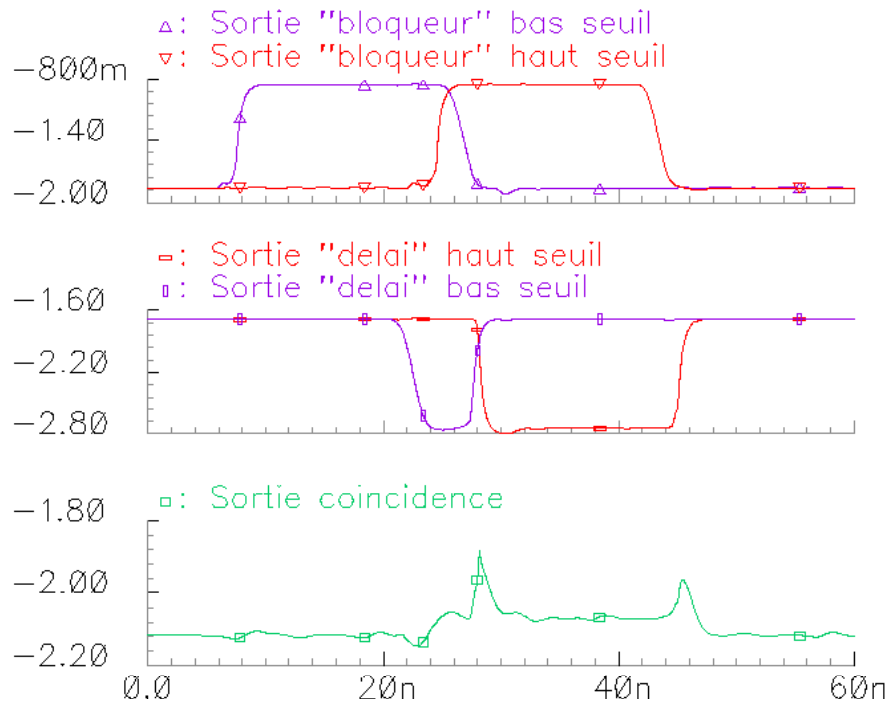


figure 4.2-1 : signaux observés pour comprendre l'origine de la "zone d'ombre"

En résumé, le signal *streamer* arrive trop tôt pour re-déclencher la discrimination bas seuil et trop tard pour que le signal de discrimination haut seuil entre en coïncidence avec le signal correspondant à la discrimination du signal précurseur. Ce dernier point est dû, nous l'avons vu, à l'action de la cellule "DELAI" du seuil haut. Sa suppression efface du même coup la "zone d'ombre", comme le prouvent les simulations de la figure 4.2-2.

La courbe rouge, correspondant au temps de réponse du nouveau prototype, n'est pas interrompue. Par rapport à la première version (courbe bleue), un signal est toujours délivré en sortie, quel que soient les conditions d'apparition des signaux précurseur et *streamer*. La nouvelle courbe est quasi plate pour un délai, entre les signaux précurseur et *streamer*, inférieur ou égal à 10 ns. La référence en temps est donc dans ce cas bien donnée par le signal précurseur. Après une zone de transition comprise entre 10 et 15 ns, due aux chevauchement des signaux au niveau de la coïncidence et du temps de récupération des cellules monostables, le temps de réponse augmente comme le temps d'apparition du signal *streamer*. Le signal précurseur n'est plus pris en compte. Ce fonctionnement est conforme au principe de discrimination ADULT, et conforme aux exigences de l'expérience.

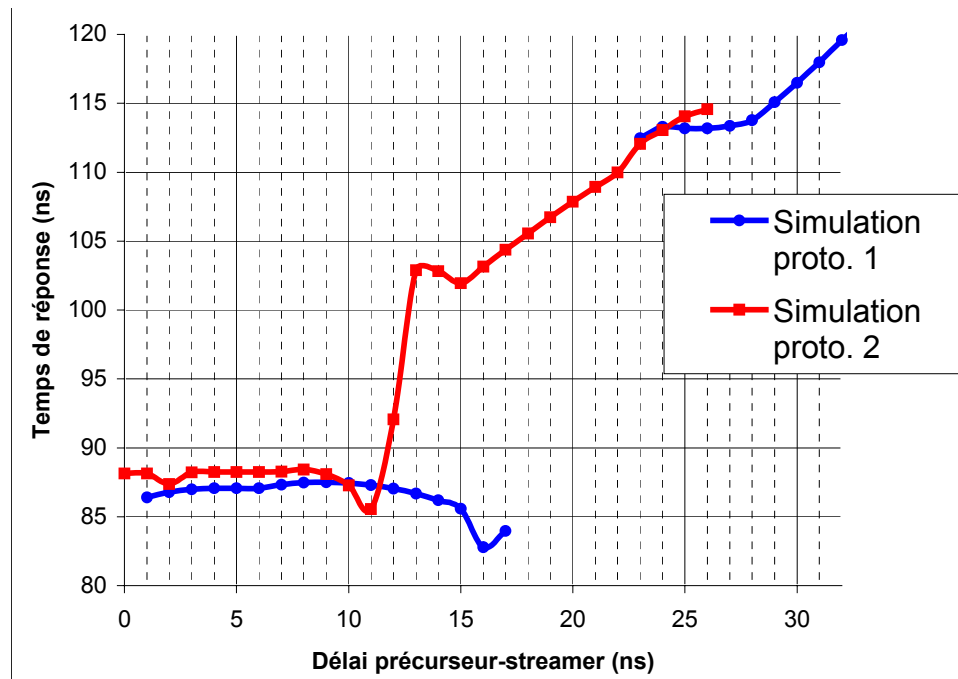


figure 4.2-2 : comparaison des temps de réponse simulés des deux prototypes

4.3. Etage de sortie LVDS

Il est apparu que près de la moitié de la puissance consommée par l'ASIC est nécessaire à l'alimentation de l'étage de sortie ECL. C'est pourquoi une autre solution basée sur la technologie LVDS a été envisagée. Des tests de transmission de signaux LVDS sur des câbles identiques à ceux qui seront utilisés dans ALICE ont été concluants. Un schéma d'étage de sortie LVDS a donc été dessiné et simulé, puis implanté dans le circuit soumis au CMP en juin 2000.

4.3.1. RAPPELS SUR LA TECHNOLOGIE LVDS

La technologie LVDS⁴² (*Low Voltage Differential Signalling*) a été développée pour transmettre des données à haut débit, tout en limitant la puissance consommée. Comme son nom l'indique, ses signaux différentiels sont de faible amplitude, en comparaison avec les autres standards de transmission de données. Elle est de ± 400 mV pour la technologie LVDS, soit la moitié de celle requise en logique ECL. Les signaux en mode commun ont une amplitude de +1,0 V pour le niveau bas, et de +1,4 V pour le niveau haut. L'étage de sortie LVDS a pour but de délivrer de tels signaux sur une résistance de terminaison de câble de 120 Ω .

4.3.2. REALISATION DE L'ETAGE DE SORTIE LVDS

Le schéma simplifié de l'étage de sortie LVDS implanté dans le nouveau circuit est donné sur la figure 4.3-1. Les signaux entrant, issus des cellules "MISE EN FORME" et "DELAI_VAR", sont traités par deux étages différentiels. Les signaux de sortie commandent les transistors de puissance de sortie qui fournissent à la charge extérieure

⁴² Définie par les normes ANSI/TIA/EIA-644 et IEEE 1596.3 SCI-LVDS.

de $120\ \Omega$ un courant de 4 mA environ. Ce courant circule dans la résistance, soit dans un sens, soit dans l'autre suivant lequel des couples de transistors (T_7, Q_2) ou (T_8, Q_1) est passant. La tension différentielle obtenue aux bornes de la charge est supérieure à la valeur de $\pm 400\ \text{mV}$ requise. Pour obtenir la tension de mode commun spécifiée par le standard LVDS, les potentiels appliqués aux bases des transistors T_7 et T_8 doivent être d'environ $1,0+0,8\ \text{V}$ et $1,4+0,8\ \text{V}$, $0,8\ \text{V}$ étant la tension aux bornes de la jonction Base-Emetteur. L'étage différentiel constitué des transistors (T_1, T_2) et T_3 permet d'obtenir de tels niveaux de tension. Quant au deuxième étage différentiel constitué des transistors (T_4, T_5) et T_6 , il pilote les transistors NMOS de sortie de manière à obtenir leur ouverture ou fermeture la plus rapide et efficace possible. Des portes inverseuses CMOS réalisent une dernière mise en forme avant que ces signaux ne soient appliqués aux grilles des transistors Q_1 et Q_2 .

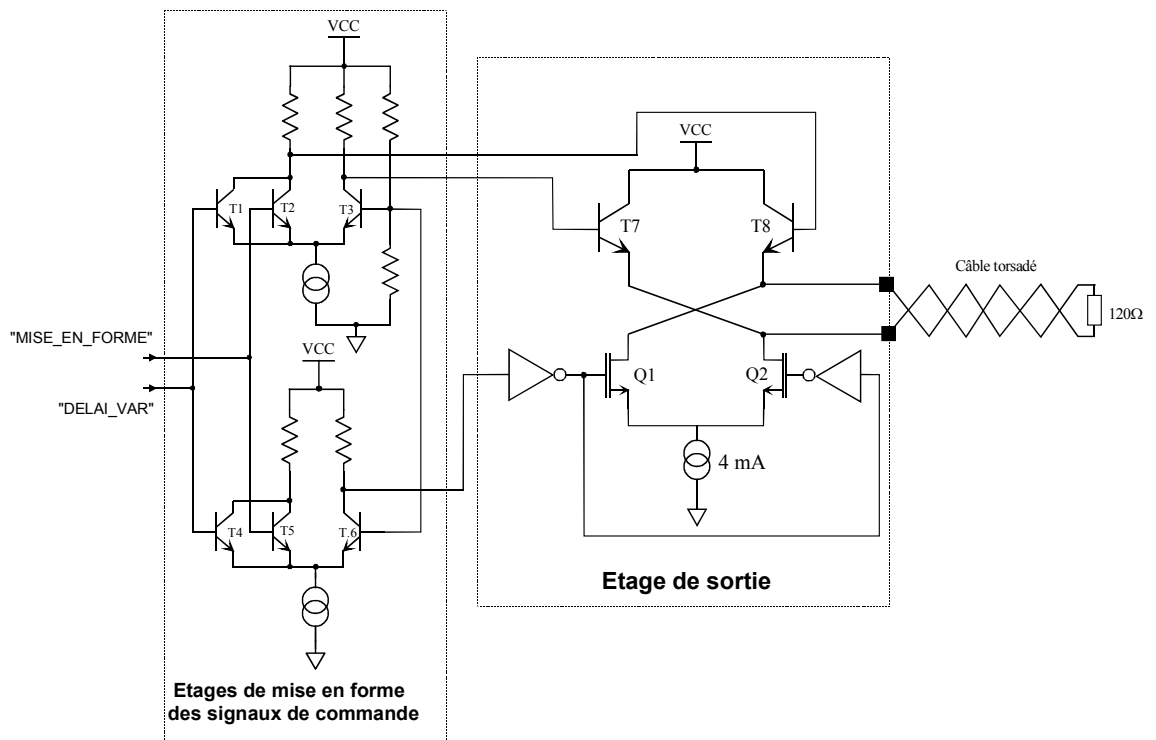


figure 4.3-1 : schéma de l'étage de mise en forme LVDS

La figure 4.3-2 suivante représente le résultat de simulation obtenu avec le schéma précédent. Les niveaux différentiels simulés sont légèrement supérieurs à $\pm 400\ \text{mV}$. Les temps de transition sont de l'ordre de 2 ns, pour une consommation statique totale ne dépassant pas 33 mW. La consommation de l'étage de sortie a donc été réduite d'un facteur deux par rapport à la version ECL.

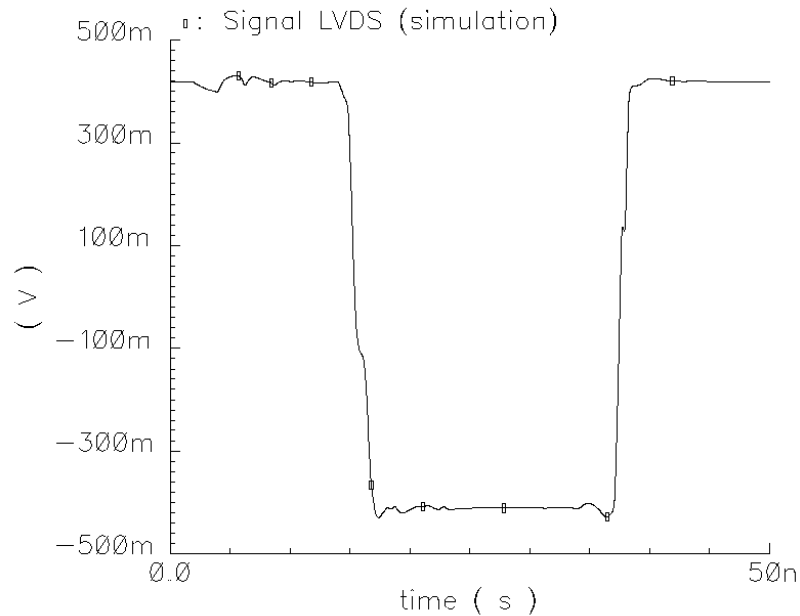


figure 4.3-2 : signal de sortie LVDS simulé

4.4. Autres modifications

4.4.1. SUPPRESSION DE LA CELLULE "VERROUILLAGE"

La cellule "VERROUILLAGE" a pu être supprimée. En effet, il est possible d'utiliser le signal de sortie de la cellule "BLOQUEUR" du seuil haut pour verrouiller le circuit durant les 100 ns requises. La durée du monostable de cette cellule a donc été allongée, son signal de sortie venant remplacer celui de la cellule "VERROUILLAGE". Quelques centaines de μm^2 de silicium et 10 mW de consommation par voie sont ainsi économisés.

4.4.2. UTILISATION DE PORTES LOGIQUES CMOS

Le nouveau prototype tire plus partie des éléments CMOS de la technologie BiCMOS employée. En effet, dès que cela est possible, des cellules logiques à base de portes CMOS sont utilisées. Les avantages sont une consommation statique nulle pour une vitesse accrue, et des niveaux logiques mieux établis, permettant notamment de fermer et d'ouvrir plus efficacement les transistors PMOS des étages monostable.

Tous les étages réalisant des combinaisons logiques de signaux ont donc été modifiés, comme par exemple la cellule "COÏNCIDENCE". Le nouveau schéma correspond à la structure classique d'une porte NAND à quatre transistors MOS (deux de type N et deux de types P, voir figure A5-17).

4.4.3. ALIMENTATIONS

Les tensions d'alimentation du circuit ont été réduites à +3,5 V et -2 V, contre $\pm 3,5$ V pour le premier circuit. En effet, d'après les spécifications d'AMS, au-delà de 5,5 V de tension d'alimentation, les transistors risquent des détériorations irréversibles. La tension d'alimentation négative est utilisée uniquement dans les cellules "COMPARATEUR" pour discriminer les signaux d'amplitude négative. Le reste du circuit est uniquement alimenté en +3,5 V, la logique LVDS étant d'amplitude positive.

4.5. Conclusion

La consommation obtenue avec le nouveau circuit est inférieure à 90 mW, contre 140 mW pour le premier prototype. La simplification du circuit, l'utilisation de portes CMOS, mais surtout la modification de l'étage de sortie, ont permis de la ramener à un niveau acceptable. De plus, les simulations montrent de meilleurs résultats dans la résolution temporelle, notamment avec la disparition de la "zone d'ombre" observée avec le premier ASIC réalisé.

Des tests réalisés durant l'hiver 2000-2001, aussi bien en laboratoire que sous faisceau, permettront de confirmer ou non les bons résultats obtenus en simulation.

Conclusion

Ce document est la synthèse d'une année de travail effectuée au sein de l'équipe d'électronique du **Laboratoire de Physique Corpusculaire de Clermont-Ferrand**, dans le cadre de l'expérience **ALICE** installée au **CERN**. L'objectif était de concevoir un premier prototype d'électronique dite **frontale**, effectuant la mise en forme des signaux délivrés par les détecteurs de particules choisis pour l'expérience, des **chambres à plaques résistives (RPC)**.

La conception et le test d'un premier circuit intégré analogique traitant une voie du détecteur, ont été menés à bien durant cette année. Les résultats obtenus valident les choix effectués :

- la conception d'un circuit intégré spécifique est matériellement possible au sein du LPC. Les outils informatiques nécessaires sont disponibles et opérationnels, et le soutien de micro-électroniciens expérimentés est assuré ;
- la fabrication des quelques trois milles circuits requis pour couvrir l'ensemble des 72 RPC est compatible avec le budget alloué, la surface de silicium nécessaire à la fabrication du circuit final à huit voies ayant été estimée à 8 mm² ;
- la technologie choisie, AMS BiCMOS 0,8 μm, semble parfaitement répondre aux contraintes de rapidité, de fiabilité et de faible tension d'*offset* présentes dans notre application ;
- les schémas électroniques élaborés et leurs transcriptions lors du dessin des masques permettent de réaliser les différentes fonctions demandées (discrimination, retard, mise en forme...), avec les performances requises ;
- la technique de discrimination à double seuil nommée ADULT, implantée dans le circuit, améliore grandement la résolution temporelle du détecteur.

Cependant des améliorations ont du être apportées à ce premier prototype avant d'envisager l'élaboration du circuit final à huit voies. Elles ont été prises en compte lors de l'étude d'un second prototype. L'objectif majeur de cette nouvelle étude a été la réduction de la consommation, notamment grâce à la modification de l'étage de sortie.

Ce deuxième circuit soumis en juin 2000, n'a pas pu être testé dans le cadre de ce mémoire. Une irradiation totale, à l'aide d'une source de rayonnement gamma, d'une

chambre de détection équipée de la nouvelle électronique, est programmée pour février 2001. Elle doit permettre de valider le couple détecteur-électronique dans un environnement bruyant. Si les résultats sont concluants, une version à huit voies pourra alors être dessinée pour être évaluée de nouveau sous faisceau à la fin de l'année 2001.

La production finale des quelques 3000 puces requises est prévue pour mi-2002. Chaque puce sera alors testée sur sa carte support à l'aide d'un banc de test développé et installé à Montluçon. Ces cartes seront ensuite envoyées à Turin (Italie) pour équiper les chambres de détection qui y seront éprouvées avant leur transfert et installation au CERN à partir de 2004.

Le sujet proposé présentait un certain nombre d'attraits.

Il était tout d'abord pour moi l'occasion de m'initier au domaine de la micro-électronique, secteur pointu et en pleine expansion. De plus, l'électronique frontale à réaliser, maillon indispensable entre le détecteur et l'électronique décisionnelle, joue un rôle important dans la qualité des données recueillies par le **Système de Déclenchement du Bras Dimuons** de l'expérience ALICE.

La taille du projet est aussi un élément supplémentaire de motivation, avec près de 21 000 voies de mesure à traiter au final, pour un détecteur faisant partie des plus grands instruments jamais construits pour la recherche.

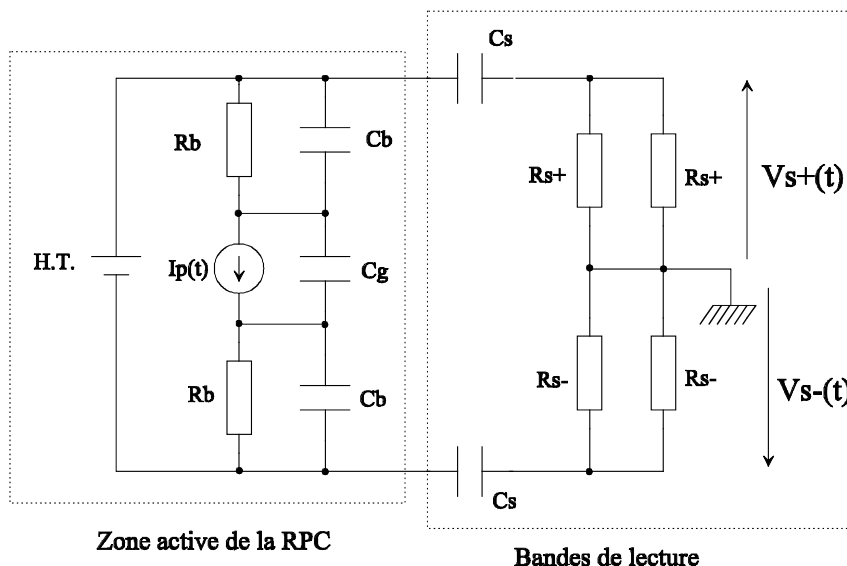
Enfin, j'ai eu l'opportunité de présenter ce travail à la communauté scientifique lors du congrès international LEB 2000 qui s'est déroulé à Cracovie en septembre 2000. Organisé annuellement par le CERN, il rassemble les électroniciens du monde entier qui travaillent dans le cadre des futures expériences du LHC. Une publication a été rédigée et publiée dans le cadre de ce congrès. De plus, le circuit développé a été bien accueilli par la collaboration du Bras Dimuons de ALICE.

Les premières prises de données du détecteur ALICE, tant attendues par la communauté scientifique, devraient avoir lieu en 2006. Si les hypothèses des physiciens se confirment, un état de la matière disparu depuis la naissance de l'Univers devrait être reproduit et observé à plusieurs dizaines de mètres sous terre, sur la frontière franco-suisse.

ANNEXES

ANNEXE 1 : SCHEMA ELECTRIQUE EQUIVALENT D'UNE RPC

Un schéma électrique équivalent d'une RPC est donné par la figure A1-1.



- Rp**: résistance équivalente de la bakélite
- Cb**: capacité équivalente de la bakélite
- Cg**: capacité équivalente du gaz
- Cs**: capacité strip-film de graphite (H.T.)
- Rs+**: résistances d'adaptation en bout de strip, coté positif de la H.T.
- Rs-**: résistances d'adaptation en bout de strip, coté négatif de la H.T.

figure A1-1 : Schéma électrique équivalent d'une RPC

Un générateur d'impulsions $I_p(t)$ symbolise le courant induit dans le gaz par le déplacement de charges lors de l'ionisation. Cette impulsion est transmise aux *strips* via les capacités C_s . Les tensions $V_{s+}(t)$ et $V_{s-}(t)$ sont obtenues en bout des *strips*, respectivement du coté positif et négatif de la haute tension.

- La résistance de bakélite **Rp** dépend de la résistivité du matériau utilisé et de la taille de la décharge sur la bakélite. Elle est approximativement de plusieurs méga-ohms.
- La capacité du gaz **Cg** dépend de la taille de la décharge dans le gaz et de l'épaisseur du gap de gaz (2 mm). Elle est de l'ordre de quelques dizaines de picofarads.
- La capacité de la bakélite **Cb** dépend de la taille de la décharge dans le gaz et de l'épaisseur de la bakélite (2 mm). Elle est de quelques dizaines de picofarads.
- La capacité de *strip* **Cs** dépend du type d'isolant utilisé et de son épaisseur. Elle est de l'ordre de quelques dizaines de picofarads.
- Les résistances **Rs** d'adaptation en bout de *strip* ont une valeur de 50 Ω .

ANNEXE 2 : ELECTRONIQUE DE FRONT-END POUR CHAMBRE RPC

L.ROYER

Note ALICE/LPC du 20 avril 1999

ELECTRONIQUE de *FRONT END* pour chambre RPC

1. Introduction

L'électronique de *Front-End* des chambres RPC doit transmettre une information logique aux cartes de trigger L0 lorsque l'amplitude du signal sortant des *strips* dépasse un certain seuil. Pour cela, elle doit réaliser une discrimination précise, rapide et présenter une variation au niveau du temps de réponse d'une voie par rapport à une autre la plus faible possible (voir plus loin).

Enfin (et surtout !), le coût par voie ne doit pas excéder 20FF.

2. Etude préliminaire

Compte tenu du coût maximum par voie imposé, le schéma global du FEE ne peut être que très simple. Une discrimination type Fraction Constante, par exemple, est inadéquate car elle demande l'emploi de plusieurs comparateurs et autres circuits annexes, d'un coût prohibitif.

Les circuits de micro-électronique développés par ATLAS et CMS, dédiés au mode avalanche, effectuent une forte amplification du signal d'entrée (gain ~ 300). Notre équipe ayant choisi le mode de fonctionnement *streamer*, l'étage d'amplification n'est donc pas nécessaire. Il est même à éviter si on ne veut pas risquer d'augmenter la taille de *clusters*. Malgré un coût réduit et des performances intrinsèques intéressantes, ces circuits ne peuvent donc pas répondre à notre attente.

Enfin, les familles de composants *FAST TTL* ou *CMOS* pouvaient paraître intéressantes étant donné leur rapidité, leurs faibles consommations et coûts. Les tests ont malheureusement montré qu'ils étaient trop lents.

3. Solution retenue (à ce jour)

Seuls les composants ECL semblent pouvoir traiter le type de signal délivré par les chambres RPC (temps de montée ≤ 2 ns et FWHM ≤ 5 ns), mais cela au détriment de la consommation. .

Le comparateur ECL, MAX9687 de chez Maxim ou AD96687 chez Analog Devices, a été retenu pour réaliser les fonctions de discrimination et de mise en forme.

Voici ses principales caractéristiques (tirées de la documentation technique) :

- boîtier double (2 comparateurs par composants) CMS 16 pattes ;
- variation du temps de propagation maximum d'un circuit par rapport à un autre : 0.5 ns ;
- consommation par circuit (max) : 15 mA pour le +5 V → 15 mA mesuré
31 mA pour le -5,2 V → 65 mA mesuré
- offset en entrée max : +/-5 mV ;
- sortie : ECL différentielle pouvant « attaquer » une ligne type paire torsadée ;
- prix (pour 16000 pièces) : 20,70FF, soit près de 10FF la voie .

4. Description du circuit pour une voie

Le schéma de principe d'une voie de l'électronique de mise en forme est donnée sur la figure A2-1.

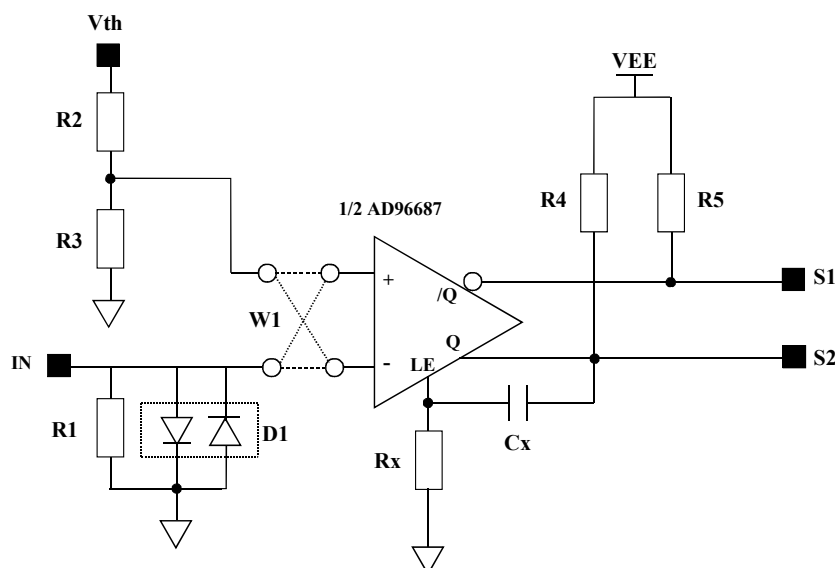


figure A2-1 : Schéma de principe d'une voie de l'électronique de mise en forme

L'entrée IN est connectée à l'extrémité d'un *strip* de RPC.

La résistance R1, de valeur 50Ω, réalise l'adaptation d'impédance de ligne du *strip*.

D1 est une double diode rapide qui écrête les signaux de trop grande amplitude (> 300 mV).

W1 (système à cavaliers) permet de connecter les entrées du comparateur en fonction de la polarité du signal d'entrée, ceci dans le but de n'avoir qu'un seul type de carte pour les plans de lecture X et Y des RPC. Lorsque le signal d'entrée IN est négatif, il est appliqué à l'entrée + du comparateur, et inversement pour un signal positif.

R2 et R3 permettent de fixer le potentiel de la tension de seuil. Ces résistances réalisent un diviseur de tension de rapport 1/100. Pour avoir une tension de seuil de 40 mV en entrée du comparateur, il faut donc appliquer une tension V_{th} de 4,0 V. On peut ainsi faire varier la tension de seuil en faisant varier cette tension V_{th} externe.

S1 et S2 sont les sorties ECL (chargées par R4 et R5) qui attaquent la ligne de transmission différentielle.

Cx et Rx dérivent le signal sortant de Q. Ce signal est appliqué à la patte *LE* du comparateur. Le circuit est alors "*latché*" (verrouillé) durant une fraction de la constante de temps $R_x.C_x$. Le signal de sortie a donc, grâce à cela, une largeur fixée (≈ 20 ns) par les composants R_x et C_x .

5. Résultats :

Les tests de GIF ont montré un fonctionnement globalement correct de ce circuit.

Cependant, un *cross-talk* important a été noté pour des amplitudes fortes à l'entrée (supérieures à plusieurs centaines de millivolts). Pour limiter ce phénomène, les versions suivantes de ces cartes devront être plus soignées au niveau du routage. De plus la présence en entrée de diodes d'écraillage rapides (présentes sur la figure A2-1) pour limiter l'amplitude des signaux d'entrée devrait réduire ce *cross-talk*.

Par contre, la consommation par voie annoncée (≈ 120 mW) est en fait bien supérieure (≈ 200 mW). La consommation donnée dans la documentation technique ne tient sans doute pas compte du courant de sortie.

La forte consommation est le prix à payer, avec cette technologie, pour avoir de bonnes performances au niveau de la vitesse.

En ce qui concerne la transmission des signaux ECL différentiels, deux câbles plats de 30 mètres, non torsadés, section AWG28, ont été utilisés, avec à priori de bons résultats.

ANNEXE 3 : BUDGET PREVISIONNEL PRELIMINAIRE

Composants	Prix/pce	Prix/voie	Nbre pièces	Total (FF)	Remarque
FEE chip	99,60 F	12,45 F	3000	298 800 F	8mm ² + PLCC68
Circuit imprimé pas 1cm	18,05 F	1,13 F	300	5 415 F	50x166mm
Circuit imprimé pas 2cm	13,25 F	1,66 F	1500	19 875 F	50x166mm
Circuit imprimé pas 4cm	28,85 F	3,61 F	800	23 080 F	50x322mm
Connexion strip	0,20 F	0,20 F	21000	4 200 F	
Connecteur sortie signaux	8,00 F	1,00 F	2625	21 000 F	HE10 16cts
Résistance 50Ω	0,14 F	0,14 F	21000	2 940 F	
Diode protection	1,00 F	1,00 F	21000	21 000 F	Prix estimé
Capacités de filtrage	1,00 F	0,13 F	2625	2 625 F	
Embase alim Weid.	1,72 F	0,43 F	5200	8 944 F	
Fiche alim Weid.	1,69 F	0,42 F	5200	8 788 F	
Contacts dorés	1,40 F	1,39 F	20800	29 120 F	
Autres composants	2,00 F	2,00 F	21000	42 000 F	
TOTAL		23,23 F		487 787 F	
SOMME PRÉVUE		23,86 F		501 000 F	
Différence		0,63 F		13 213 F	

**ANNEXE4 : COMPARAISON DES TENSIONS D'OFFSET
DES AMPLIFICATEURS DIFFERENTIELS
BIPOLAIRE ET MOS**

La tension de décalage, communément appelée tension d'*offset*, des amplificateurs différentiels affecte directement la précision de discrimination des comparateurs. Cet *offset* est provoqué par la différence des caractéristiques des composants des deux branches de la structure différentielle. Ces dispersions produisent un signal différentiel en sortie, même lorsque les deux entrées sont rigoureusement au même potentiel. Ramené en entrée, ce niveau continu est représenté par une source de tension V_{OS} appliquée sur une des entrées, comme représenté sur la figure ci-dessous. Elle limite de ce fait la résolution du comparateur.

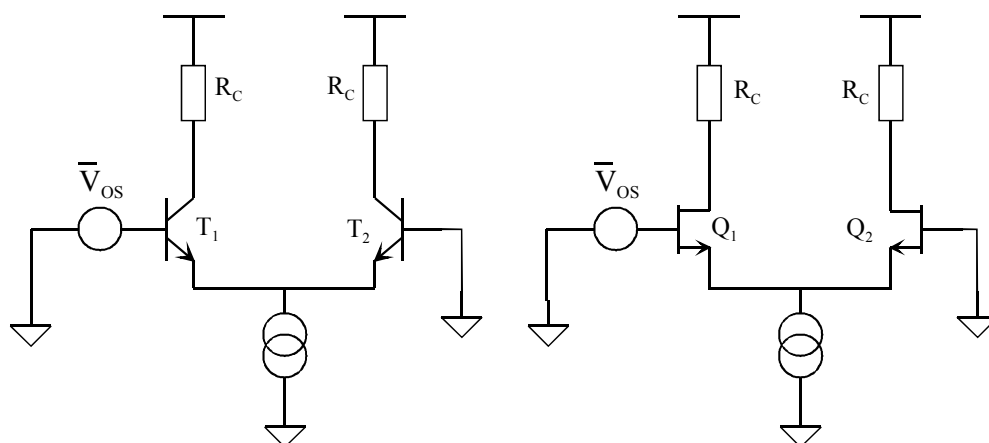


figure A4-1 : amplificateurs différentiels bipolaire et MOS

La tension d'*offset* dépend des différences géométriques des composants des deux branches de la structure supposées symétriques, et des variations locales des propriétés du semi-conducteur. Ainsi, des différences de dopage entre les transistors T_1 et T_2 ou de leurs surfaces d'émetteur produisent une dissymétrie et donc une tension de décalage.

Les transistors utilisés dans de tels montages peuvent être bipolaires ou MOS. Une simple analyse des formules respectives établissant la valeur de V_{OS} permet de conclure sur la technologie à choisir pour limiter cette valeur de tension de décalage.

Dans le cas d'un étage **bipolaire** à "paire d'émetteurs couplés", nous avons⁴³ :

$$V_{OS} = V_t \left(-\frac{\Delta R_C}{R_C} - \frac{\Delta I_S}{I_S} \right) \quad (1)$$

avec :

- $V_t \approx 26$ mV à 20°C ;
- I_S : courant de saturation du transistor bipolaire ;
- ΔI_S : écart entre les courants I_S des deux transistors T_1 et T_2 ;
- R_C : valeur des résistances de collecteur ;
- ΔR_C : écart entre les valeurs des deux résistances de collecteur.

Pour le montage à transistors **MOS** :

$$V_{OS} = \Delta V_T + \frac{V_{GS} - V_T}{2} \left(\frac{\Delta R_C}{R_C} + \Delta(W/L) \frac{1}{W/L} \right) \quad (2)$$

avec :

- V_T : tension de seuil du transistor MOS ;
- ΔV_T : différence de tension de seuil des transistors Q_1 et Q_2 ;
- V_{GS} : tension grille-source ;
- W/L : rapport entre la longueur et la largeur du canal du transistor MOS ;
- $\Delta W/L$: différence géométrique entre les deux canaux des transistors MOS Q_1 et Q_2 .

Il nous est impossible de calculer numériquement les valeurs de ces tensions. Les dispersions obtenues sont des paramètres aléatoires qui diffèrent d'une fabrication à une autre. Seules des calculs statistiques sur un large échantillonnage de circuits permettent de les estimer.

Cependant, en observant la relation (2), nous constatons que pour un pourcentage donné de dissymétrie de la résistance de charge $\frac{\Delta R_C}{R_C}$ ou de la taille des

⁴³ D'après Paul R.Gray et Robert G. Meyer dans leur livre "Analysis and Design of Analog Integrated Circuits" Third Edition, p.250-260.

transistors MOS $\Delta(W/L) \frac{I}{W/L}$, la tension d'offset dépend du facteur multiplicatif $\Delta V_{GSQ}=(V_{GS}-V_T)$ dont la valeur est comprise⁴³ entre 100 mV et 500 mV.

Par contre, pour le montage à transistors bipolaires (relation (1)), ce facteur est remplacé par V_t qui est nettement plus faible, soit 26 mV. De ce fait, l'emploi de transistors bipolaires permet d'obtenir, pour des technologies et des qualités de fabrication équivalentes, des tensions de décalages plus faibles⁴⁴ qu'avec des transistors MOS.

De plus, la différence de tension de seuil ΔV_T contribue directement à la tension de décalage dans le cas du montage à transistors MOS. Ce paramètre est loin d'être négligeable, comme le montre la documentation du fondeur AMS. En effet, la plage de variation maximale indiquée pour ce paramètre de ± 80 mV.

En conclusion, il apparaît clairement, grâce à cette courte analyse, que l'utilisation d'étages d'entrée à transistors bipolaires est préférable dans le cas où l'on souhaite minimiser la tension de décalage d'entrée.

⁴⁴ 0,1 mV à 2 mV pour un étage bipolaire, et 1 à 20 mV pour un étage MOS, d'après Paul R.Gray et Robert G. Meyer dans leur livre "Analysis and Design of Analog Integrated Circuits" Third Edition, p.421-422.

***ANNEXE 5 : SCHEMAS ELECTRONIQUES
ET DESSINS DES MASQUES (LAYOUT)***

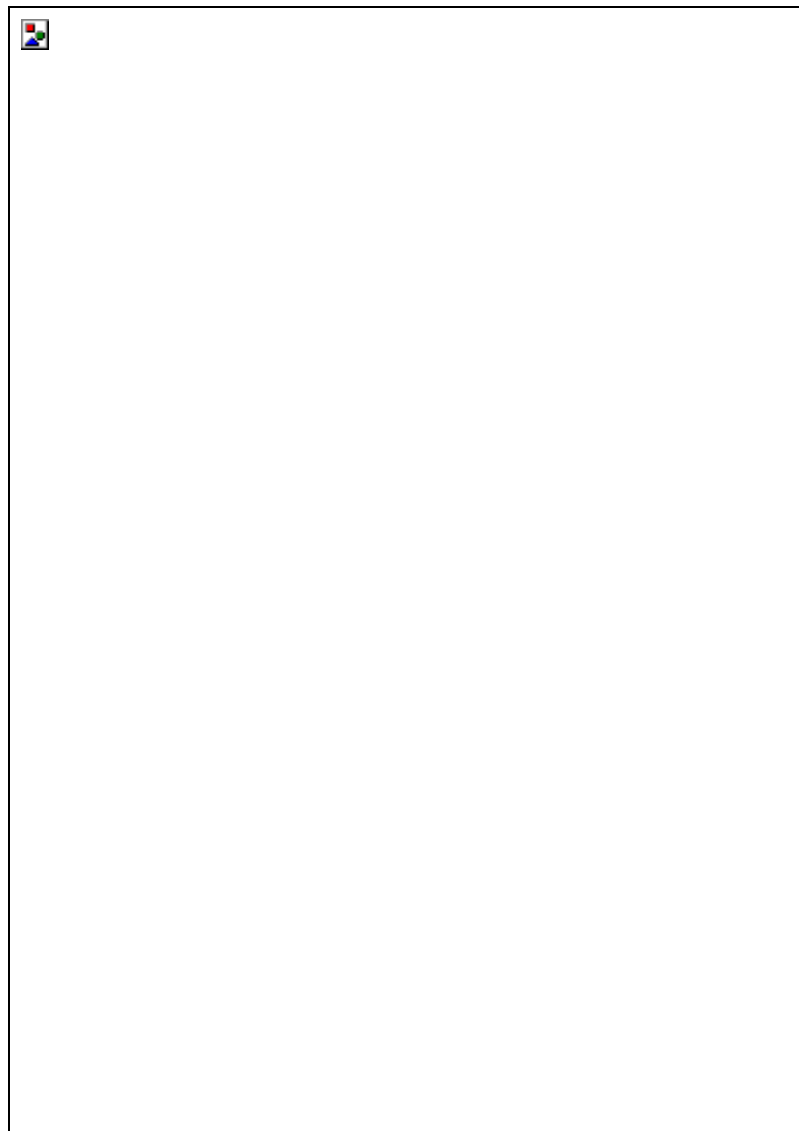


figure A5-1 : schéma de simulation du circuit complet

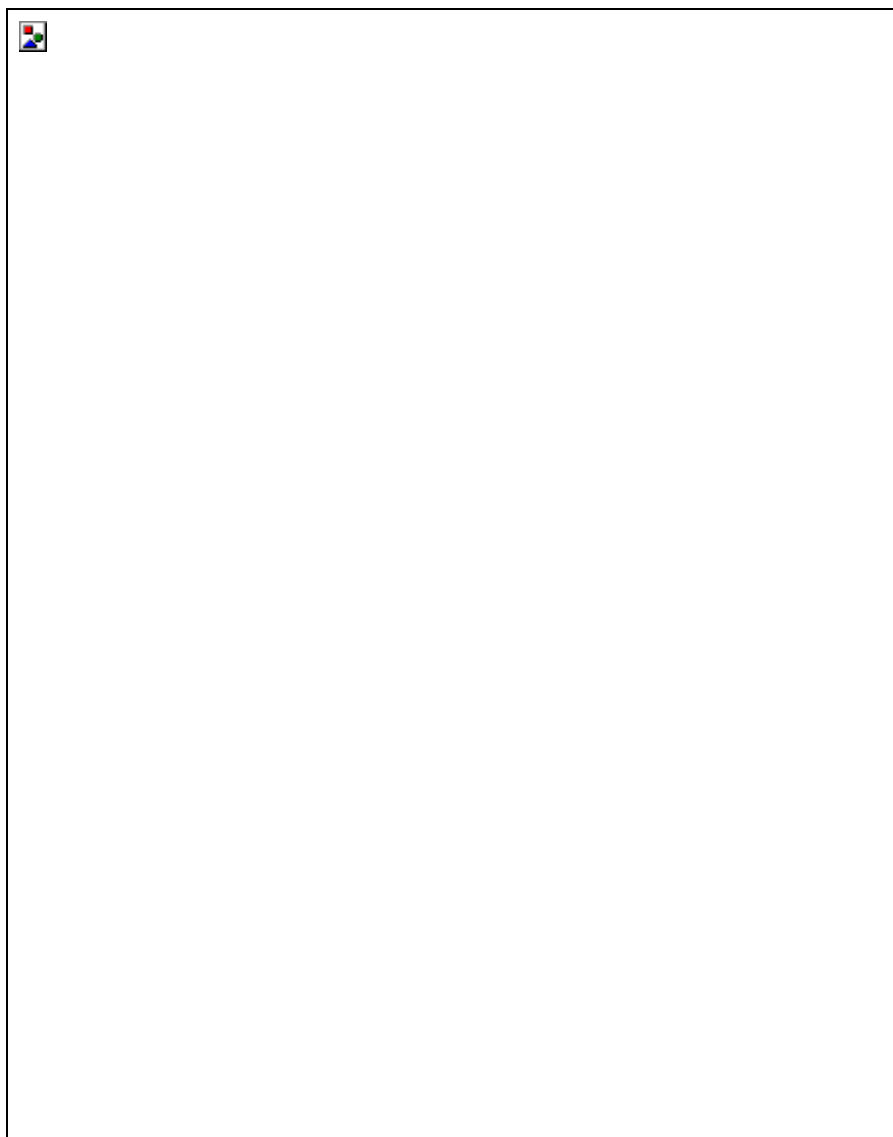


figure A5-2 : *layout* complet du circuit (2x1,5 mm²)



figure A5-3 : *layout* des plots d'entrée-sortie et des pistes de distribution des alimentations

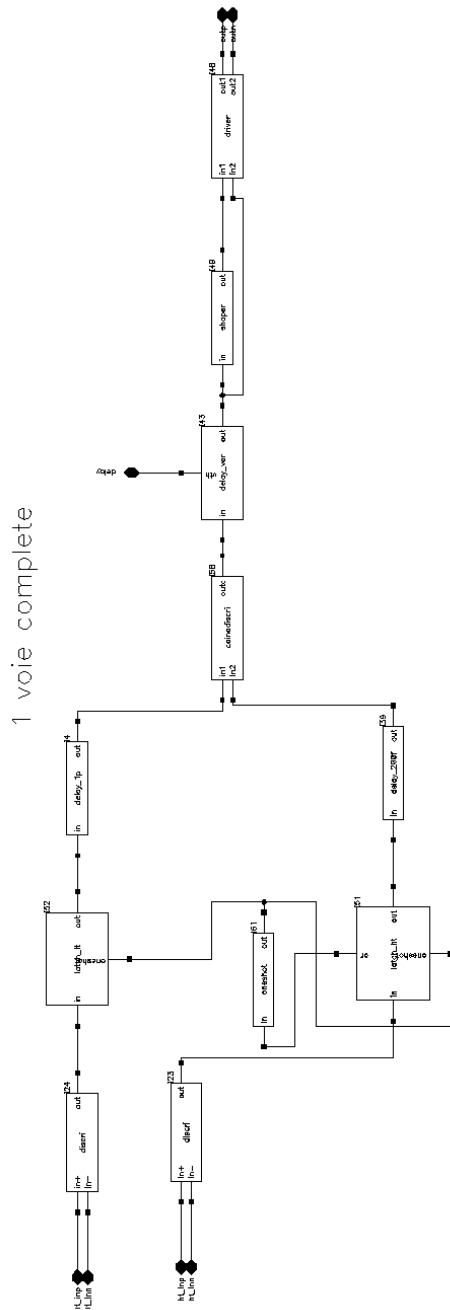


figure A5-4 : schéma comportant les différentes cellules d'une voie d'électronique frontale

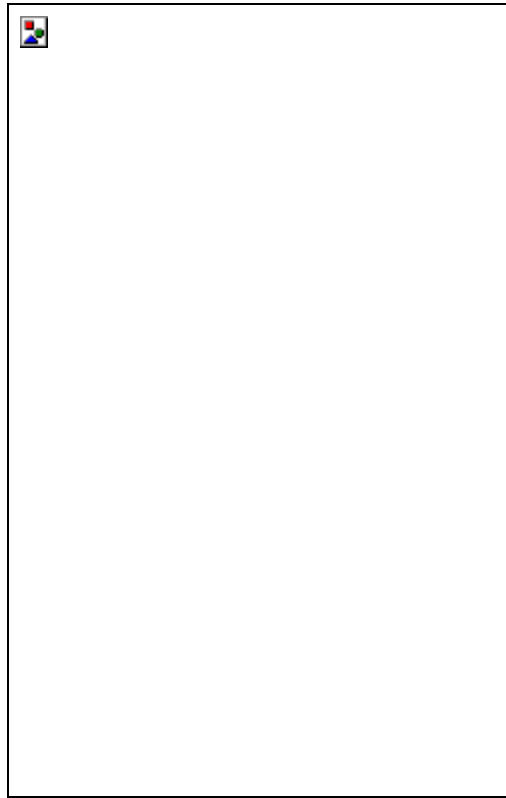


figure A5-5 : schéma de simulation de la cellule "COMPARATEUR"

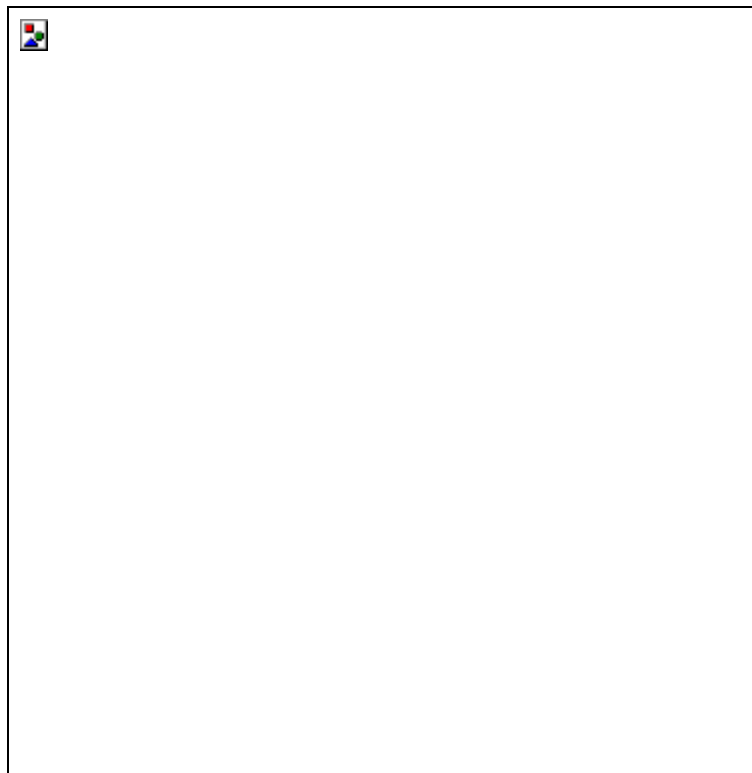


figure A5-6 : *layout* de la cellule "COMPARATEUR"

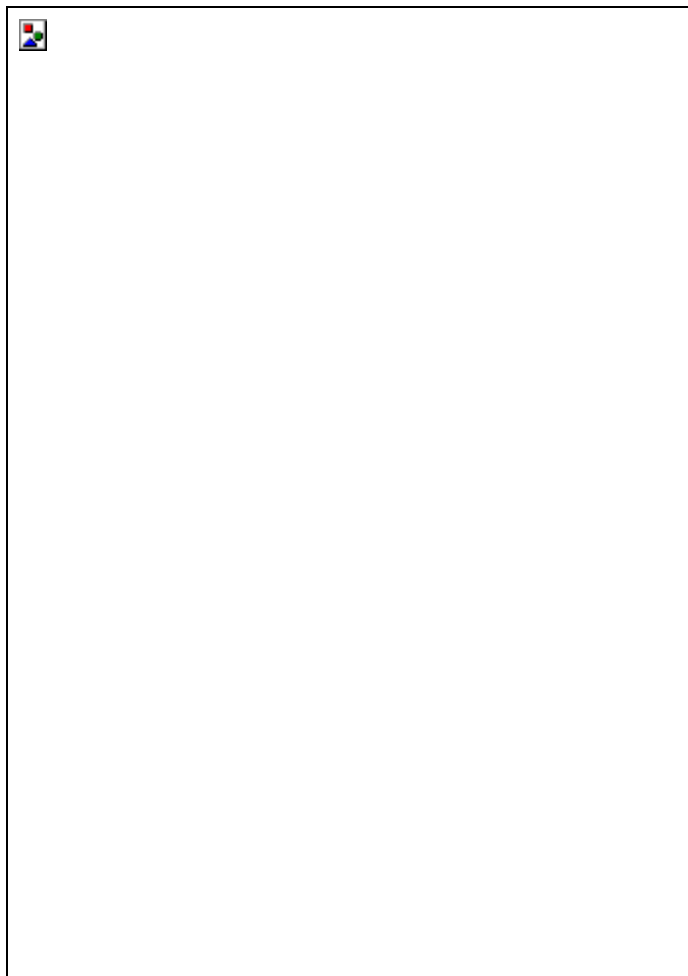


figure A5-7 : schéma de simulation de la cellule "VERROUILLAGE"



figure A5 -8 : *layout* de la cellule "VERROUILLAGE"

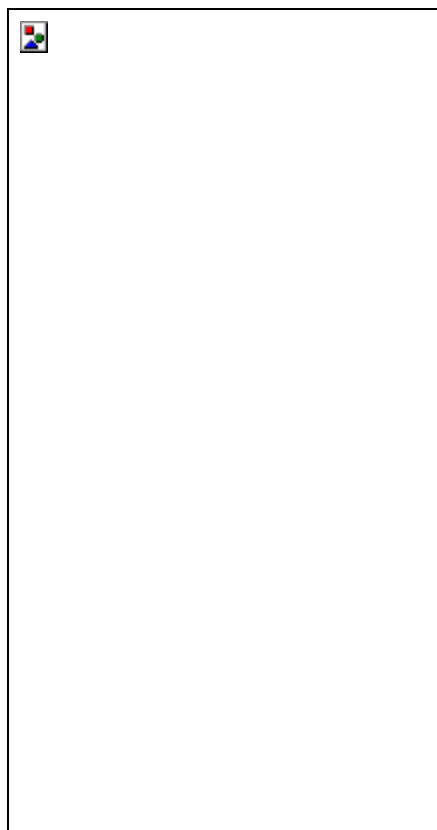


figure A5-9 : schéma de simulation de la cellule "BLOQUEUR" seuil haut

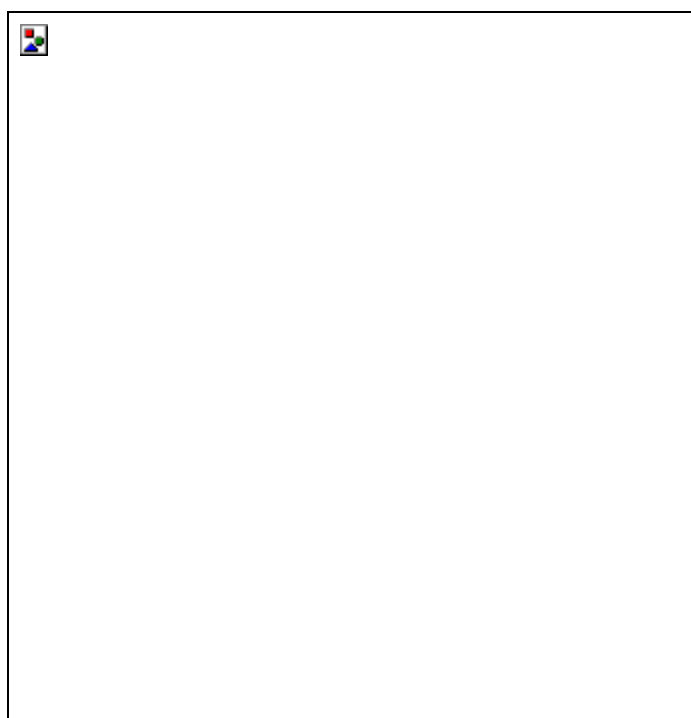


figure A5-10 : *layout* de la cellule "BLOQUEUR" seuil haut

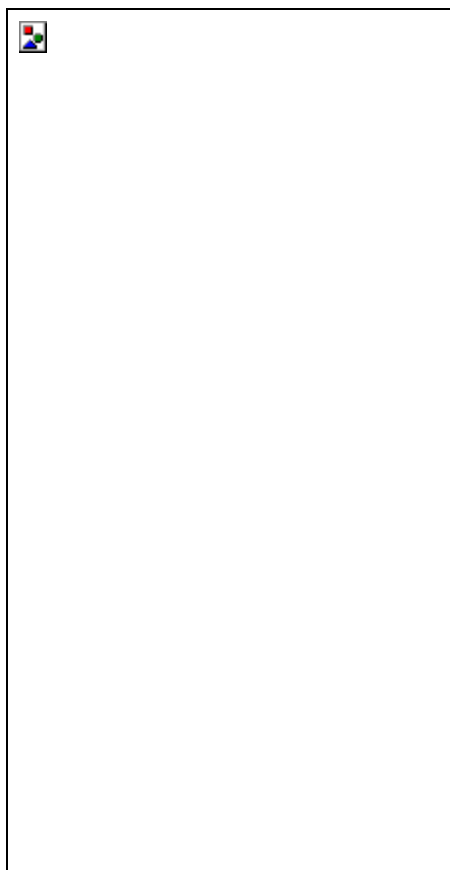


figure A5-11 : schéma de simulation de la cellule "BLOQUEUR" seuil bas



figure A5-12 : *layout* de la cellule "BLOQUEUR" seuil bas



figure A5-13 : schéma de simulation de la cellule "DELAI" seuil haut



figure A5-14 : *layout* de la cellule "DELAI" seuil haut

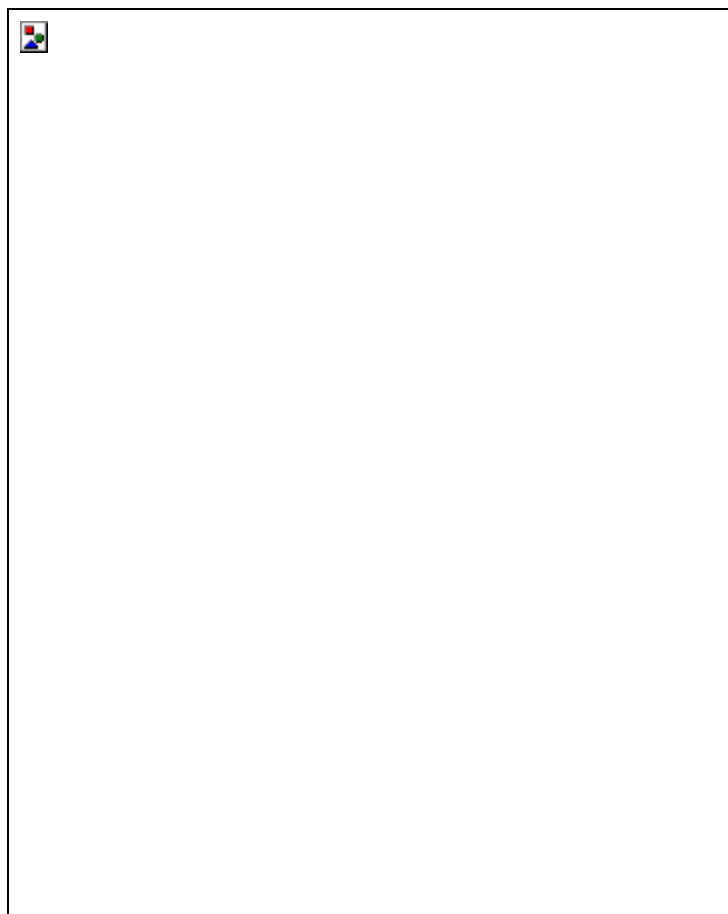


figure A5-15 : schéma de simulation de la cellule "DELAI" seuil bas

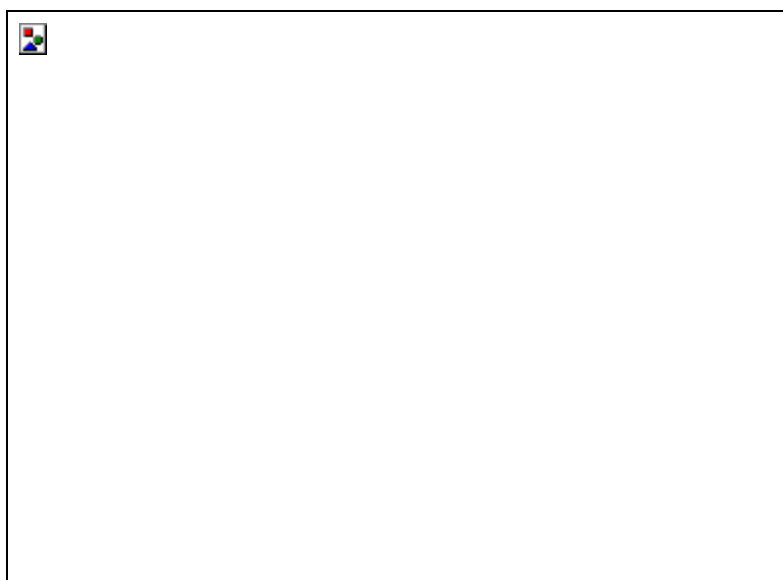


figure A5-16 : *layout* de la cellule "DELAI" seuil bas

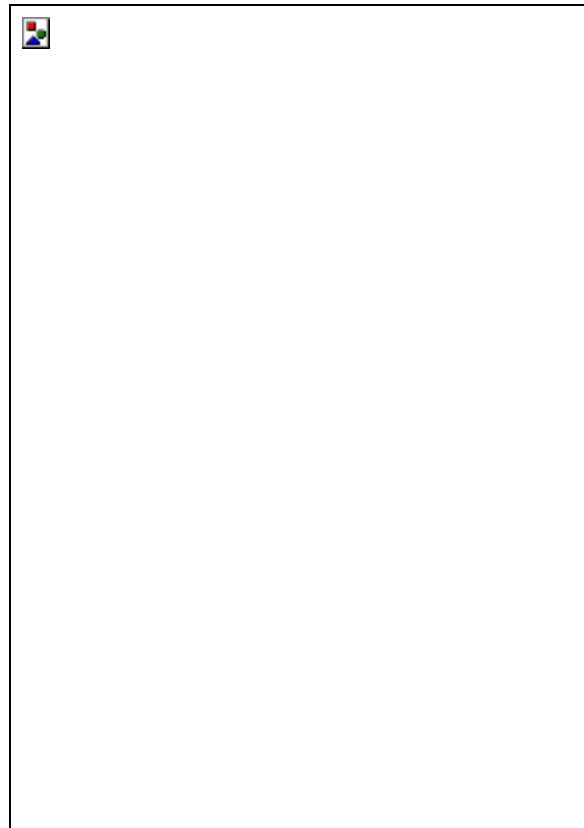


figure A5-17 : schéma de simulation de la cellule "COÏNCIDENCE"

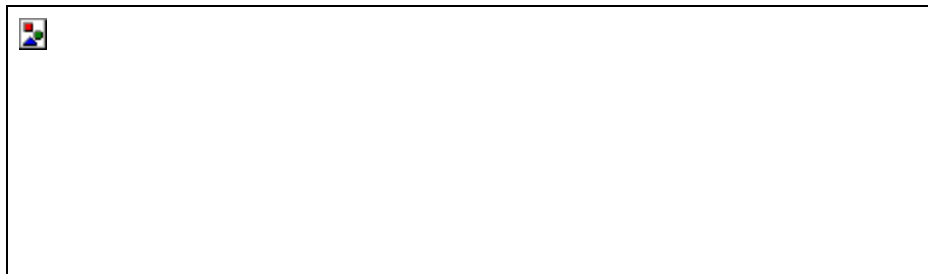


figure A5-18 : *layout* de la cellule "COÏNCIDENCE"

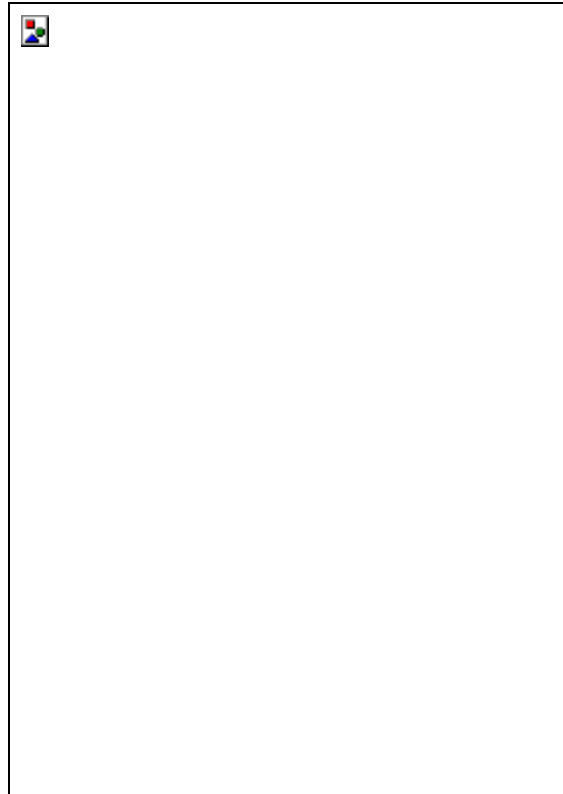


figure A5-19 : schéma de simulation de la cellule "DELAI_VAR"

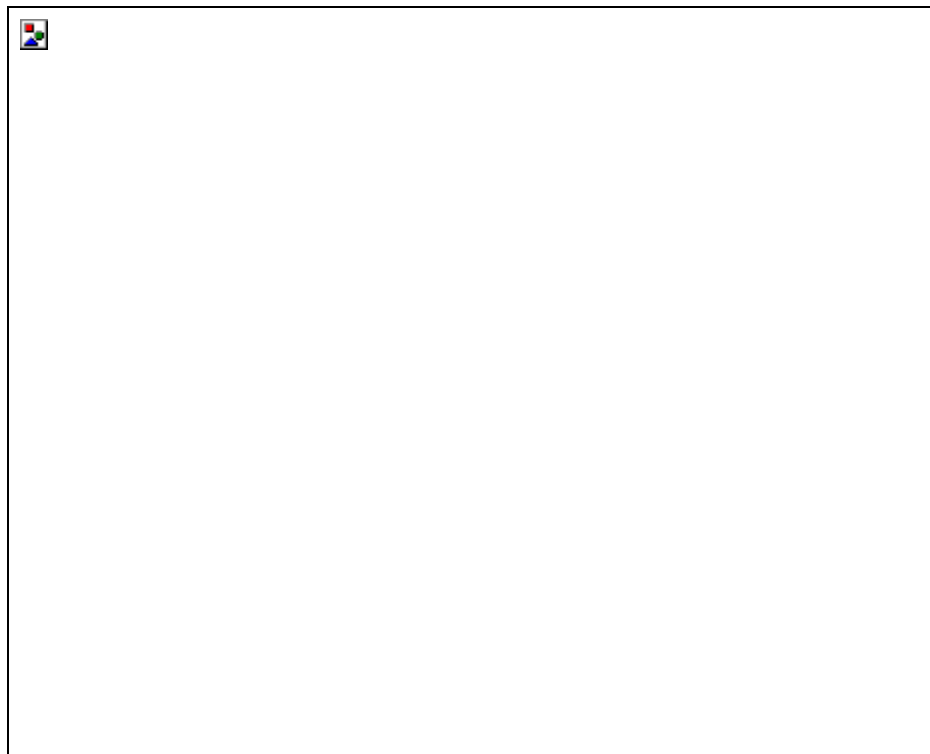


figure A5-20 : *layout* de la cellule "DELAI_VAR"



figure A5-21 : schéma de simulation de la cellule "MISE EN FORME"

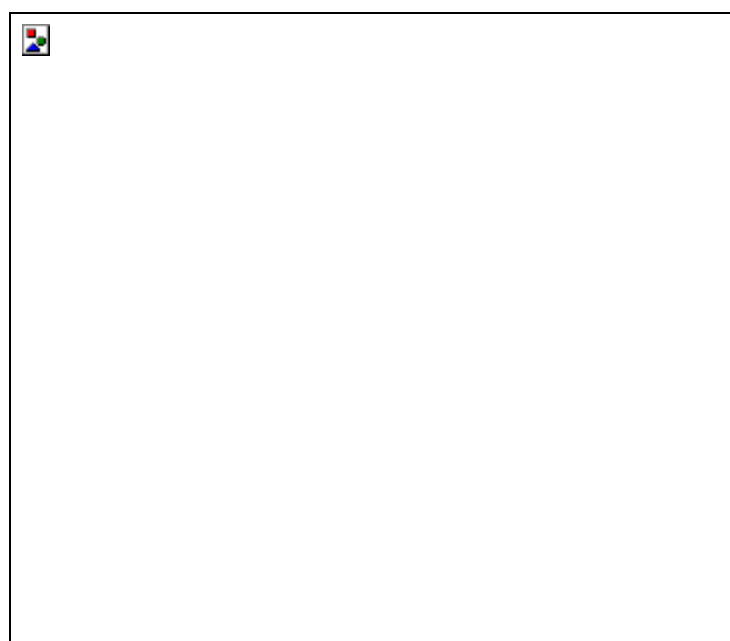


figure A5-22 : *layout* de la cellule "MISE EN FORME"

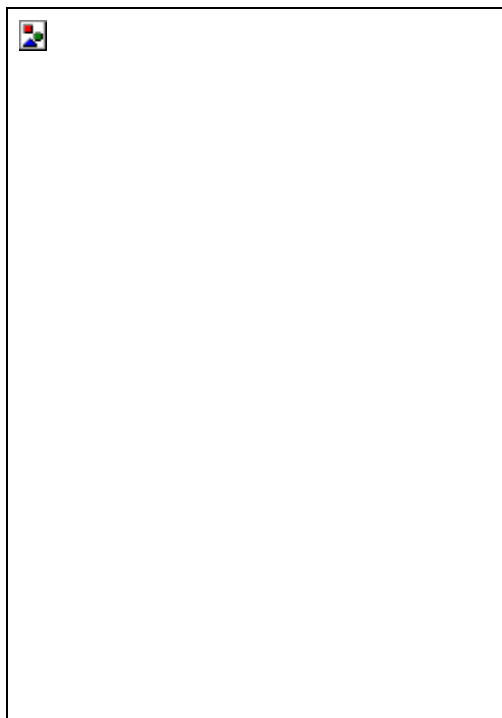


figure A5-23 : schéma de simulation de la cellule "ETAGE DE SORTIE"

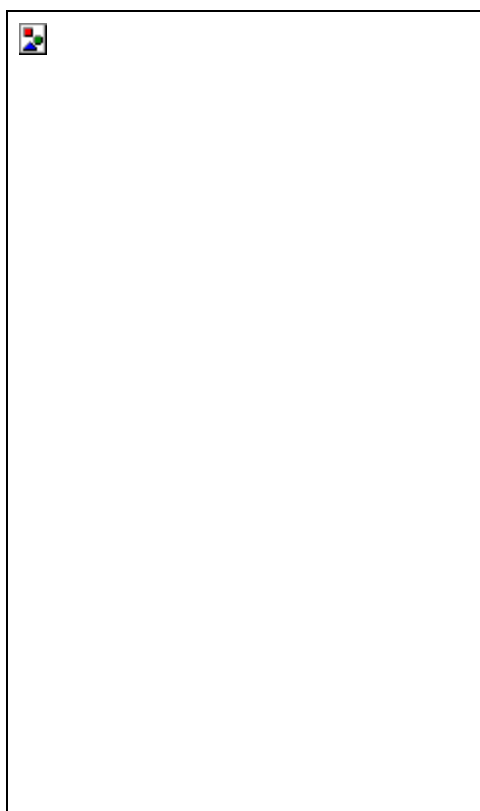


figure A5-24 : *layout* de la cellule "ETAGE DE SORTIE"

ANNEXE 6 : DECHARGE D'UNE CAPACITE A TRAVERS UN TRANSISTOR MOS

Nous proposons ici de calculer le temps de décharge d'une capacité C (de 90% à 10% de sa charge initiale) au travers d'un transistor PMOS commandé par la tension de grille V_{GS} , comme représenté sur la figure A6-1. La méthode consiste à décomposer la décharge en deux temps : un premier temps de décharge noté t_s lorsque le transistor est en régime saturé, et le temps de décharge suivant t_Q en régime quadratique (ou linéaire). Le temps de décharge total est alors $t_d = t_s + t_Q$.

Attention : pour établir les relations , le transistor PMOS a été remplacé par un transistor NMOS. Les résultats sont cependant directement transposables au transistor PMOS.

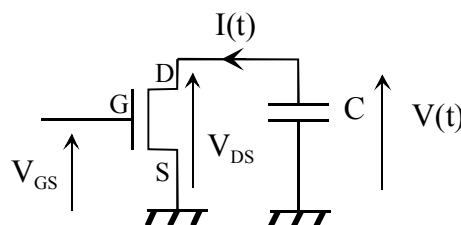


figure A6-1 : schéma pour l'étude de la décharge
d'une capacité à travers un transistor MOS

Définition des paramètres utiles aux calculs :

- $I(t)$ et $V(t)$: courant et tension de décharge de la capacité C ;
 - V_{DD} : tension d'alimentation du montage. Ici $V_{DD}=3,5 V$;
 - V_T : tension de seuil du potentiel Grille-Source en dessous de laquelle le courant de drain I_D est nul. Elle dépend principalement de la technologie employée et de la taille du transistor ;
 - L : largeur du canal du transistor MOS ;
 - W : longueur de canal du transistor MOS ;
 - k : facteur de gain du transistor MOS (paramètre technologique) ;
 - R_{DS0} : résistance R_{DS} du transistor saturé pour $V_{GS}=V_{GS0}=1,9 V$;
- C'est l'inverse de la pente à l'origine de la courbe $I_{DS}=f(V_{DS})$ pour $V_{GS}=V_{GS0}$.

$$R_{DS0} = \frac{1}{k \frac{W}{L} (V_{GS0} - V_T)} \quad (1)$$

1. **Conditions initiales** : la capacité C est chargée à la tension d'alimentation V_{DD} . Le potentiel de la grille G est à la masse, donc $V_{GS}=0 V$. Puisque $V_{GS}<V_T$, le transistor NMOS est **bloqué**, c'est-à-dire équivalent à une résistance de très grande valeur.

$$I(t)=I_{DS}=0$$

2. Début de décharge de la capacité C

Le potentiel de la grille du transistor est porté instantanément de 0 V à la valeur de $V_{GS0}=1,9 V$. Nous avons alors :

$$V_{DS}=3,5 V$$

$$V_{GS} - V_T = 1,9 - 0,8 = 1,1 V$$

donc $V_{DS} > V_{GS} - V_T \Rightarrow$ le transistor est en régime saturé.

Dans ces conditions, le courant $I(t)$ a pour expression :

$$I(t) = I_{DS\ sat} = \frac{k W}{2 L} (V_{GS0} - V_T)^2.$$

Avec la relation(1), nous obtenons $I(t) = \frac{1}{2R_{DS0}} (V_{GS0} - V_T)$

Pendant un intervalle de temps dt : $dQ(t) = C dV(t) = I(t) dt$

d'où $dt = C dV(t)/I(t)$

$$dt = \frac{2 R_{DS0} C}{V_{GS0} - V_T} dV(t)$$

$$t_S = \frac{2 R_{DS0} C}{V_{GS0} - V_T} \int dV(t) = \frac{2 R_{DS0} C}{V_{GS0} - V_T} [V(t)]_{V_{GS0}-V_T}^{0,9V_{DD}}$$

$$t_S = \frac{2 R_{DS0} C}{V_{GS0} - V_T} (0,9 V_{DD} - V_{GS0} + V_T) \quad (2)$$

3. Fin de décharge de la capacité C

La capacité C s'est déchargée progressivement et la tension V_{DS} a chuté.

Lorsque $V_{DS} < V_{GS} - V_T \Rightarrow$ le transistor passe en régime quadratique.

Nous avons cette fois-ci : $I(t) = \frac{k W}{L} \left((V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right)$

$$V_{DS} = V(t) \Rightarrow I(t) = \frac{1}{R_{DS0} C} \left(V(t) - \frac{V(t)^2}{2(V_{GS0} - V_T)} \right)$$

d'où : $dt = \frac{R_{DS0} C dV(t)}{\left(V(t) - \frac{V(t)^2}{2(V_{GS0} - V_T)} \right)}$

Le temps de descente t_Q est donc :

$$t_Q = R_{DSO} C \int_{0,1V_{DD}}^{V_{GS0}-V_T} \frac{dV(t)}{V(t) - \frac{V(t)^2}{2(V_{GS0} - V_T)}}$$

$$t_Q = R_{DSO} C \left[\ln \left(\frac{V(t)}{2(V_{GS0} - V_T) - V(t)} \right) \right]_{0,1V_{DD}}^{V_{DD}-V_T} = R_{DSO} C \ln \left(\frac{2(V_{GS0} - V_T) - 0,1V_{DD}}{0,1V_{DD}} \right)$$

$$t_Q = R_{DSO} C \ln \left(\frac{20(V_{GS0} - V_T)}{V_{DD}} - 1 \right) \quad (3)$$

4. Temps de descente complet

A partir des relations (2) et (3) obtenues, le temps de descente total est :

$$t_d = t_S + t_Q = R_{DSO} C \left[\frac{2(0,9V_{DD} - V_{GS0} + V_T)}{V_{GS0} - V_T} + \ln \left(\frac{20(V_{GS0} - V_T)}{V_{DD}} - 1 \right) \right]$$

Applications numériques :

Dans le cas du transistor PMOS utilisé dans la cellule "BLOQUEUR" :

$$W = 50 \mu m, L = 0,8 \mu m, k = 36 \cdot 10^6 \mu A/V^2, V_T = -0,8 V \text{ et } V_{GS0} = -1,9 V$$

$$\Rightarrow R_{DSO} \approx 400 \Omega$$

Avec $V_{DD} = -3,5 V$, $V_T = -0,8 V$ et $C = 0,35 pF$ il vient :

$$t_d \approx 700 ps$$

BIBLIOGRAPHIE

- [1] CROZON Michel, *L'univers des particules*, Editions du Seuil (1999), p182-189
- [2] GORDON KANE, *Le jardin des particules*, Editions Masson (1996), p137-149
- [3] ROIG Olivier , *Etude du système de déclenchement du spectromètre dimuons de l'expérience ALICE au CERN-LHC*, thèse au Laboratoire de Physique Corpusculaire de Clermont-Ferrand, 1999.
- [4] Collaboration ALICE, *ALICE Technical Design Report of the Dimuon Forward Spectrometer*, CERN/LHCC 99-22, ALICE TDR 5, 13/08/99.
- [5] KNOLL Glenn F., *Radiation Detector and Measurement*, University of Michigan, <http://www.britannica.com/bcom/eb/article/0,5716,119273,00.html>
- [6] R. SANTONICO et R. CARDARELLI, *Development of RPC*, Nuclear Instruments and Method A187 (1981) p377
- [7] R. SANTONICO et R. CARDARELLI, Nuclear Instruments and Method A263 (1988) p200
- [8] A. PICOTTI, *Study of Resistive Plate Chambers for the Alice dimuon spectrometer*, Nuclear Physics B (Proc. Suppl.) 78 (1999) p84
- [9] P. DUPIEUX et al., *The ALICE dimuon trigger : overview and electronics prototypes*, Nuclear Instruments and Method A 456 (2000), 126
- [10] R. ARNALDI et al., *A new discrimination technique to improve the time resolution of resistive plate chambers in streamer mode*, Nuclear Instruments and Method A 457 (2001), 117
- [11] VERKOOIJEN Hans, *Design of a comparator in a 0.25 μ m CMOS technology*, CERN/LHCC 2000-041, LEB 2000 Workshop
- [12] GRAY & MEYER, *Analysis and Design of Analog Integrated Cicuits, Third Edition*, Editions John Wiley & Sons, p524-526
- [13] GRAY & MEYER, *Analysis and Design of Analog Integrated Cicuits, Third Edition*, Editions John Wiley & Sons, p716-749
- [14] CLAIN Dan, *CMOS IC Layout*, Editions Newnes (1999)
- [15] Motorola Semiconductors, *MECL Device Data*, DLE 122 R1/D (1986)

INDEX DES FIGURES

figure 1.1-1 : éléments du Bras Dimuons..... 10

figure 1.1-2 : image virtuelle du futur détecteur ALICE, avec les chambres de déclenchement à l'extrémité droite..... 11

figure 1.1-3 : coupe latérale d'une RPC (les échelles ne sont pas respectées) 12

figure 1.2-1 : Synoptique du traitement d'une voie de détection..... 17

figure 1.2-2 : Chronogramme du traitement d'une voie de détection..... 17

figure 1.2-3 : distributions en temps obtenues pour différentes valeurs de haute tension avec l'électronique à simple seuil 19

figure 1.2-4 : exemples d'impulsions de RPC en mode streamer..... 21

figure 2.2-1 : schéma de principe de l'électronique de traitement d'une voie 27

figure 2.2-2 : Schéma de principe correspondant à la réalisation 28

figure 2.2-3 : schéma synoptique du comparateur..... 29

figure 2.2-4 : étage d'entrée du comparateur 29

figure 2.2-5 : gain du double étage d'amplification en fonction de la fréquence 31

figure 2.2-6 : performances simulées du comparateur 32

figure 2.2-7 : sources de bruit ramenées sur les deux entrées..... 33

figure 2.2-8 : schéma de simulation de l'étage d'entrée..... 37

figure 2.2-9 : bruit en sortie de l'étage d'entrée, calculé par le simulateur 38

figure 2.2-10 : bruit intégré de l'étage d'amplification, ramené en entrée, calculé par le simulateur..... 38

figure 2.2-11 : schéma de principe complet du comparateur 39

figure 2.2-12 : mise en forme des signaux de sortie du comparateur..... 40

figure 2.2-13 : schéma synoptique de la cellule "BLOQUEUR"..... 41

figure 2.2-14 : chronogramme correspondant au schéma synoptique de la cellule "BLOQUEUR"..... 42

figure 2.2-15 : schéma simplifié de la cellule "BLOQUEUR" 42

figure 2.2-16 : signaux obtenus au niveau de la coïncidence de la cellule "BLOQUEUR"..... 43

figure 2.2-17 : signaux obtenus au niveau du monostable de la cellule "BLOQUEUR".... 44

figure 2.2-18 : chronogrammes simplifiés des signaux aboutissants à l'entrée de la cellule "COÏNCIDENCE", dans le cas où le signal précurseur est validé 46

figure 2.2-19 : chronogrammes simplifiés des signaux aboutissants à l'entrée de la cellule "COÏNCIDENCE", dans le cas où le signal précurseur est ignoré..... 47

figure 2.2-20 : étage monostable 48

figure 2.2-21 : variations du courant délivré par la source de courant (courbe du haut), du courant traversant le condensateur (courbe décroissante) et du courant dans le canal drain-source du transistor PMOS (courbe croissante)..... 49

figure 2.2-22 : schéma de simulation de la source de courant variable par charge active PMOS..... 50

figure 2.2-23 : variation du délai en fonction de la tension V_{GS} appliquée à la grille du transistor PMOS 51

figure 2.2-24 : variation du délai en fonction de la tension de seuil ΔV (V_{th}) 51

figure 2.2-25 : synoptique de l'étage de sortie ECL du circuit 52

figure 2.2-26 : chronogrammes des signaux au niveau de la porte NOR..... 53

<i>figure 2.2-27 : schéma symétrisé d'un étage différentiel ; les transistors et résistances (schéma de gauche) sont doublés et placés de manière à obtenir un dessin croisé (schéma de droite).....</i>	<i>55</i>
<i>figure 2.2-28 : layout d'un étage différentiel symétrisé, (60x180) μm^2</i>	<i>55</i>
<i>figure 2.2-29 : exemple de layout pour une capacité de 1pF, (50 x 30) μm^2.....</i>	<i>55</i>
<i>figure 2.2-30 : masque complet du circuit (2x1,5 mm^2).....</i>	<i>56</i>
<i>figure 2.2-31 : étapes et outils utilisés lors de la conception d'un ASIC</i>	<i>57</i>
<i>figure 3.2-1 : contrôle du fonctionnement du comparateur à seuil haut</i>	<i>59</i>
<i>figure 3.2-2 : contrôle du fonctionnement du comparateur à seuil bas.....</i>	<i>59</i>
<i>figure 3.2-3 : temps de réponse du circuit en fonction du délai entre signaux précurseur et streamer.....</i>	<i>60</i>
<i>figure 3.2-4 : contrôle du fonctionnement du système de verrouillage.....</i>	<i>61</i>
<i>figure 3.2-5 : contrôle du fonctionnement du délai variable</i>	<i>62</i>
<i>figure 3.2-6 : signal de sortie différentiel ECL.....</i>	<i>63</i>
<i>figure 3.3-1 : carte de test équipée de 8 circuits ADULT</i>	<i>65</i>
<i>figure 3.3-2 : détecteur RPC, équipée de la carte frontale, en place pour les tests faisceau</i>	<i>65</i>
<i>figure 3.3-3 : dispositif mis en place autour de la RPC, lors des tests sous faisceau....</i>	<i>65</i>
<i>figure 3.3-4 : exemples de distributions en temps avec ADULT (en haut) comparées à une discrimination à simple seuil (en bas).....</i>	<i>66</i>
<i>figure 4.2-1 : signaux observés pour comprendre l'origine de la "zone d'ombre"</i>	<i>69</i>
<i>figure 4.2-2 : comparaison des temps de réponse simulés des deux prototypes.....</i>	<i>70</i>
<i>figure 4.3-1 : schéma de l'étage de mise en forme LVDS</i>	<i>71</i>
<i>figure 4.3-2 : signal de sortie LVDS simulé.....</i>	<i>72</i>

Etude et réalisation d'un circuit intégré spécifique de mise en forme de signaux délivrés par un détecteur pour une expérience de Physique des particules.

Laurent Royer

Mémoire d'ingénieur C.N.A.M., Clermont-Ferrand 2001

RESUME : Associé au Grand Collisionneur de Hadrons (LHC) du CERN, le détecteur ALICE sera, à partir de 2006, dédié à l'étude du Plasma de Quarks et de Gluons, un état de dé-confinement de la matière.

Le système de déclenchement du spectromètre dimuons de ALICE sera constitué de 72 chambres à plaques résistives (RPC) fonctionnant en mode *streamer*, fournissant près de 21 000 voies de mesure. Un premier prototype de circuit intégré spécifique effectuant la mise en forme des signaux délivrés a été étudié. Son rôle est de fournir une information logique précise en temps lorsque le signal d'entrée correspond au type d'impulsion attendu. Réalisé en technologie AMS BiCMOS 0,8 μm , il intègre les fonctions suivantes :

- une technique de double discrimination nommée ADULT ;
- un système de verrouillage évitant tout re-déclenchement sur une durée de 100ns ;
- un délai variable ;
- une mise en forme et un étage de sortie ECL.

Le schéma général a été divisé en plusieurs cellules qui ont été élaborées et simulées. La saisie des masques nécessaires à la fabrication par le fondeur a fait l'objet de beaucoup de soins pour optimiser les performances et la surface de silicium utilisée.

Quinze circuits prototypes ont été testés en laboratoire et sous faisceau de particules. Les résultats prouvent que les cellules implantées réalisent les fonctions demandées, et que le système ADULT améliore sensiblement la résolution temporelle. La consommation sera ramenée en dessous de la limite des 100 mW par voie en implantant dans le circuit un étage de sortie LVDS.

Ce travail a montré la faisabilité d'un circuit intégré spécifique adapté aux signaux particuliers délivrés par les RPC en mode *streamer*, dans les tolérances du cahier des charges notamment au niveau des coûts et de la consommation.

MOTS-CLES : électronique frontale, traitement du signal, ASIC, micro-électronique, détecteur RPC, discrimination.

ABSTRACT : Part of the Large Hadron Collider (LHC) at CERN, the ALICE detector will be dedicated to the study of the Quark Gluon Plasma, a state of deconfined matter, from 2006. The trigger system of the ALICE Dimuon Spectrometer is divided into 72 Resistive Plate Chambers (RPC) running in streamer mode, with 21 000 signal channels. A first prototype of a specific integrated circuit, which shapes the detector output signals, has been studied and designed. Its role is to produce logical data with a good time precision, when the input signal corresponds to the expected pulse shape. Designed using 0,8 μm AMS BiCMOS technology, it includes the following functions :

- a dual threshold discrimination technique called ADULT ;
- a latching system that forbids any unexpected trigger over a 100ns period of time ;
- a tunable delay ;
- a pulse shaping and an ECL driver.

The general scheme has been divided into different cells designed and simulated. The layout required for the wafer manufacturing has been made with great care in order to improve the performance, as well the quantity of silicon used.

Fifteen prototype circuits have been tested with a test bench in laboratory and with a particle beam at CERN. The results show that the cells designed carry out the required functions, and that the ADULT system noticeably increases the time resolution. The power consumption will be lowered to 100mW per channel by introducing a LVDS driver in the chip.

This study has shown the feasibility of an integrated circuit suitable for the specific RPC pulses in streamer mode, matching the requirements of cost and power consumption.

KEY-WORDS : front end electronics, signal processing, ASIC, micro-electronics, resistive plate chamber, discrimination.