



**HAL**  
open science

# Cofabrication monolithique de capteurs à supraconducteur $\text{YBa}_2\text{Cu}_3\text{O}_7$ et d'une électronique semiconductrice sur même substrat de silicium

Guillaume R. K. Huot

► **To cite this version:**

Guillaume R. K. Huot. Cofabrication monolithique de capteurs à supraconducteur  $\text{YBa}_2\text{Cu}_3\text{O}_7$  et d'une électronique semiconductrice sur même substrat de silicium. Instrumentations et Détecteurs [physics.ins-det]. Université de Caen, 2004. Français. NNT: . hal-00002866

**HAL Id: hal-00002866**

**<https://theses.hal.science/hal-00002866>**

Submitted on 17 Sep 2004

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



# Université de CAEN / BASSE-NORMANDIE

U.F.R. Sciences

Ecole Doctorale S.I.M.E.M.

## THESE

Présentée par

**Guillaume Huot**

Soutenue le 5 juillet 2004 en vue de l'obtention du

DOCTORAT DE L'UNIVERSITE DE CAEN

Spécialité : Electronique & Micro-électronique

(Arrêté du 25 avril 2002)

## Cofabrication monolithique de capteurs à supraconducteur $\text{YBa}_2\text{Cu}_3\text{O}_{7-\delta}$ et d'une électronique semiconductrice sur même substrat de silicium

---

### Membres du jury

---

Bernadette Domenges, examinateur	Chargée de recherche	LAMIP	Caen
Roland Madar, rapporteur	Directeur de recherche	ENSPG	Grenoble
Alain Kreisler, rapporteur	Professeur	Université Paris 6 & 11	Paris
Jean-Claude Villégier, examinateur	Docteur-ingénieur CEA	DRFMC-CEA	Grenoble
Geoffroy Klisnick, examinateur	Maître de conférence	Université P. & M. Curie	Paris
Daniel Bloyet, Directeur de Thèse	Professeur	ENSICAEN	Caen

---



*“Les spéculations purement intellectuelles dépouillent l’univers de son manteau sacré”*

Les Vraies richesses, Jean Giono

*A mes Montagnes françaises et italiennes...*



---

## Remerciements

Je remercie Daniel Bloyet, directeurs du GREYC (actuellement la direction est assurée par Régis Carin), de m'avoir ouvert les portes du laboratoire et d'avoir assuré la continuité de la direction de mes travaux de septembre 2000 à la fin. Ces relectures minutieuses ont été très utiles.

Je remercie également Didier Robbes d'avoir soutenu le projet de Laurence Méchin, joué le rôle de directeur de thèse pendant la première année et d'avoir ensuite passé la main.

**Je remercie très chaleureusement Laurence Méchin pour tout son travail d'encadrement et ses qualités humaines. Pour des sombres raisons d'arrêté de 2002, elle ne figure pas parmi les membres du jury, mais sans elle cette thèse n'aurait jamais vu le jour.**

Je remercie Jean-Marc Routoure pour sa participation à ma formation électronique et pour la maintenance du système linux-debian qu'il a toujours rendu opérationnel et pour sa patience mise à l'épreuve par mes questions incessantes. Ce document a été créé avec LyX et L<sup>A</sup>T<sub>E</sub>X ainsi que la présentation de soutenance, un première en instru.

Je remercie tous les membres du jury d'avoir accepté de juger mon travail même si tout le monde n'y trouva pas son compte et d'avoir apporté de réelles améliorations dans l'interprétation des résultats.

L'enseignement me réconcilia avec l'Electronique, merci à ceux qui me firent confiance : Chantal Gunter, Marc Lam, Stéphane Flament et Pierre Langoisse. En continuant le tour du labo, je remercie Laurent Pichon pour tous les échantillons fabriqués ensemble et pour sa gentillesse, Sylvain Lebargy toujours prêt à rendre service, à Christophe D pour ces ordres, à Christophe C et Bogdan C pour leur discrétion, au Linuxman Laurent Pérez, à Yves Monfort pour ses explications lumineuses et son extrême gentillesse, Sylvain Eimer pour ses prestations et ses ... Je remercie les Images trop sages, l'automaticien étincelant (il se reconnaîtra).

J'exprime toute ma reconnaissance et mon admiration pour Bernadette Domengès (et non pas "Demongès"), et quelques autres du CRISMAT : Gwenaël Le Rhum, Gérald Leclerc, Bernard Mercey, Willy Prellier (spéciale dédicasse), Erwan Rauwel (le meilleur d'entre nous) et Mumu (mon amie).

Presque 5 ans de thèse, on voit passer du monde, je remercie mes camarades thésards et maintenant devenus docteur, ingénieur, chômeur, professeur... Qu'ils reçoivent mon éternelle gratitude : mon gars Bno alias Michel, Eric, Bayonne, Nicolas l'indien, Nicolas la pastille, Karim, Isabelle, Barbera, Jonatan, Virginie, Warsito, Ahmed, Malick, Gwenal, Fan, Liu Chapelin...

Mes amis de toujours (Interdits aux conos), merci pour votre amitié fidèle : Evelynne, Guillaume, les Bonzes, Ronan, Benoît, Stefan, Paolo, El Vicioso, Carlotta, Therasa, Romina, Mathieu, Rosaria, Tonton, Estèle, Sylvain, Marion, Tristan, Pierre, Sandy, Jimmy le magicien, JuanVi, Fred et Anne et Sonia la mejor. Merci à l'équipe de rugby d'Hérouville.

Enfin, merci à mes parents, mon frère et ma soeur, ceux que j'aime et qui m'ont soutenu sans réserve. Ilaria tu éclaires ma vie, à peine assombrie par quelques cumulus nimbus (la Normandie) et tu me donnes le courage de continuer.

# Table des matières

<b>Introduction générale</b>	<b>1</b>
<b>1 Intégration, bolomètres SHTC et technologies semiconductrices refroidies</b>	<b>5</b>
1 Introduction . . . . .	5
2 Métallisation des circuits intégrés dans micro-systèmes : bibliographie . . .	7
2.1 Définitions . . . . .	7
2.2 Intégration monolithique polysilicium/CMOS pour la réalisation de MEMS . . . . .	7
2.3 Intégration monolithique oxydes ferro-électriques/CMOS . . . . .	10
2.4 Etat de l'art de l'intégration YBCO/semiconducteur . . . . .	11
3 Le bolomètre . . . . .	14
3.1 Principe du bolomètre et principales caractéristiques . . . . .	14
3.2 Aspects Technologiques . . . . .	17
3.2.1 Le TCR . . . . .	17
3.2.2 La conductance thermique . . . . .	18
4 Électronique de lecture . . . . .	19
4.1 Notions élémentaires de bruit . . . . .	19
4.2 Bruit d'un bolomètre connecté à son préamplificateur . . . . .	22
4.3 Electronique refroidie à faible bruit . . . . .	24
4.4 Bilan : intérêts de l'intégration "capteur YBCO- amplificateur semi-conducteur" . . . . .	25
5 Comportement des dispositifs semiconducteurs à basse température . . . .	26



5.1	Analyse de l'effet de l'abaissement de la température sur les propriétés de transport du silicium . . . . .	27
5.2	Les transistors bipolaires à basse température . . . . .	29
5.3	Les transistors à effet de champ à jonction à basse température . . . . .	29
5.4	Les transistors Métal-Oxyde-Semiconducteur (MOSFET) à basse température . . . . .	31
5.4.1	La tension de seuil $V_{th}$ . . . . .	32
5.4.2	Les régimes de conduction . . . . .	32
5.4.3	Circuit équivalent en régime de petits signaux . . . . .	34
5.4.4	La mobilité . . . . .	34
5.4.5	Le bruit . . . . .	36
5.5	Choix de la technologie des dispositifs . . . . .	37
6	Modélisation d'un PMOSFET à 77K pour le <i>design</i> d'un circuit . . . . .	39
6.1	Principe . . . . .	40
6.2	Mesures . . . . .	41
7	Conclusion . . . . .	44
<b>2</b>	<b>Procédés de fabrication des composants PMOS et YBCO</b>	<b>45</b>
1	Description des équipements . . . . .	45
1.1	Techniques de dépôt . . . . .	46
1.1.1	Pulvérisation cathodique (DC) . . . . .	46
1.1.2	Pulvérisation haute fréquence (HF) . . . . .	47
1.2	Photolithographie . . . . .	51
1.3	Techniques de gravure . . . . .	52
1.3.1	Gravure chimique des métaux et nettoyage des substrats . . . . .	52
1.3.2	Gravure ionique . . . . .	53
2	Procédé PMOS Rennes . . . . .	55
2.1	Introduction . . . . .	55
2.2	Étapes de la fabrication . . . . .	56
2.2.1	Nettoyage RCA des substrats de silicium . . . . .	56
2.2.2	Oxydation . . . . .	58

2.2.3	Définition des caissons de drain et de source par photolithographie . . . . .	58
2.2.4	Dépôt et diffusion du bore . . . . .	59
2.2.5	Définition et croissance de l'oxyde de grille . . . . .	59
2.2.6	Ouvertures dans l'oxyde mince au niveau des caissons de drain et de source . . . . .	60
2.2.7	Dépôt de l'aluminium . . . . .	61
2.2.8	Remarques sur la métallisation en aluminium . . . . .	61
2.3	Dimensions géométriques des composants testés . . . . .	62
2.4	Règles de dessin . . . . .	62
3	Dépôt des couches d'YBCO sur substrats de silicium . . . . .	67
3.1	Généralités sur les conditions de dépôt des couches minces d'YBCO . . . . .	67
3.1.1	Le matériau $\text{YBa}_2\text{Cu}_3\text{O}_{7-\delta}$ (YBCO) . . . . .	67
3.1.2	Conditions de dépôt nécessaires à l'obtention d'une couche supraconductrice d'YBCO . . . . .	67
3.1.3	Choix du substrat . . . . .	68
3.2	Les problèmes posés par les substrats de silicium pour la croissance épitaxiale d'YBCO . . . . .	69
3.3	Conditions de dépôt . . . . .	71
3.3.1	Le bâti d'ablation laser utilisé au GREYC . . . . .	71
3.3.2	Préparation des substrats . . . . .	74
3.3.3	Conditions de dépôt d'YSZ . . . . .	74
3.3.4	Résumé de l'ensemble des conditions de dépôt (couches tampons et YBCO) . . . . .	76
3.4	Les caractéristiques des films . . . . .	76
4	Étude de la compatibilité technologique du procédé PMOS Rennes et du procédé YBCO . . . . .	81
4.1	Analyse de la compatibilité de la technologie PMOS . . . . .	81
4.1.1	Dopage . . . . .	83
4.1.2	Métallisation aluminium . . . . .	83
4.1.3	Métallisation cuivre . . . . .	84

4.2	Conclusion . . . . .	85
<b>3</b>	<b>Modification de la Métallisation des PMOS</b>	<b>89</b>
1	Contacts ohmiques sur silicium : étude bibliographique . . . . .	89
1.1	Diagramme de bande d'un contact métal-semiconducteur . . . . .	91
1.2	Densité de courant . . . . .	93
2	Propriétés des siliciures . . . . .	97
2.1	Résistivité et évolution en fonction de la température . . . . .	97
2.2	Résistivité spécifique de contact . . . . .	101
2.3	Réactivité chimique . . . . .	102
2.4	Formation des siliciures . . . . .	102
2.4.1	Considérations thermodynamiques . . . . .	102
2.4.2	Cinétique de formation des siliciures . . . . .	104
2.5	Oxydation . . . . .	109
2.6	Utilisation en microélectronique . . . . .	109
2.6.1	Formation de $\text{TiSi}_2$ en présence de Molybdène . . . . .	109
2.6.2	Les <i>salicides</i> . . . . .	111
2.7	Conclusion . . . . .	111
3	Métallisation résistante à l'oxydation : étude bibliographique . . . . .	112
3.1	Introduction . . . . .	112
3.2	Matériaux, propriétés . . . . .	113
3.3	Propriétés des barrières de diffusion . . . . .	114
3.4	Conclusion . . . . .	115
4	Études expérimentales . . . . .	117
4.1	Introduction . . . . .	117
4.2	Résultats expérimentaux préliminaires . . . . .	119
4.3	Caractérisation de la métallisation dans la technologie PMOS de Rennes . . . . .	127
4.3.1	Introduction et description des échantillons . . . . .	127
4.3.2	Caractérisations de la métallisation de grille et de ligne . . . . .	128
4.3.3	Caractérisation de la métallisation de source et de drain . . . . .	130
4.3.4	Caractérisation de la couche de Mo . . . . .	142

---

4.3.5	Conclusion	148
4.4	Conclusion du chapitre	148
<b>4</b>	<b>Résultats de l'intégration monolithique PMOS/YBCO</b>	<b>151</b>
1	Réalisation	153
2	Caractérisation	156
2.1	Transistors	156
2.2	Composants YBCO	159
3	Améliorations envisageables	160
4	Conclusion	162
<b>Annexe A</b>		<b>167</b>
<b>Annexe B</b>		<b>169</b>
B.1	Méthode des quatre pointes en ligne	169
B.2	Mesures sur motifs	174
B.3	Techniques de mesures de la résistance de contact	174
B.3.1	Méthode TLM	174
B.3.2	Méthode CTLM	175
B.3.3	Chaîne de contacts	177
B.4	Estimation de la résistance de couche du silicium de type $p^+$	179
B.5	Méthode de van der Pauw	180
B.5.1	Remarques	182
<b>Annexe C</b>		<b>185</b>
C.1	Préparation d'un échantillon en section transverse d'un transistor par FIB	185
C.2	Imagerie TEM	189
C.2.1	Mode haute résolution	189
C.2.2	Spectrométrie de rayon X (Energy Dispersive Spectrometry)	189
<b>Bibliographie</b>		<b>191</b>



# Introduction générale

Depuis sa découverte, la supraconductivité a suscité un fort engouement en recherche, tant sur le plan théorique qu'expérimental en raison des formidables progrès technologiques qu'elle laissait présager. Cependant, la température critique est longtemps restée inférieure à  $20\text{ K}$ , rendant les matériaux supraconducteurs quasi inexploitable si ce n'est pour quelques applications dans le domaine militaire ou spatial ou encore dans la conception des grands équipements de la recherche fondamentale comme les accélérateurs de particules. Grâce à la découverte des **matériaux Supraconducteurs à Haute Température Critique** (SHTC) en 1986 [1], on a pu élargir le champ des applications.

Les matériaux SHTC sont des **oxydes métalliques** multi-éléments. Pour optimiser leurs propriétés supraconductrices, des conditions particulières de croissance et de stœchiométrie doivent être satisfaites.  $\text{YBa}_2\text{Cu}_3\text{O}_{7-\delta}$  (*YBCO*) a été le premier oxyde de la famille des cuprates à présenter une température critique ( $T_C \sim 92\text{ K}$ ) supérieure au point d'évaporation de l'azote liquide ( $T = 77\text{ K}$ ). C'est aujourd'hui le matériau SHTC le plus utilisé sous forme de couche mince pour des applications en électronique.

On peut noter que les énormes efforts d'optimisation de la qualité des couches minces d'YBCO ont ouvert la voie à d'autres oxydes à propriétés remarquables comme les **oxydes ferro-électriques** ou les **manganites**. Le large spectre des propriétés physiques de ces nouveaux matériaux offre actuellement de nouvelles perspectives tant en recherche fondamentale qu'en recherche appliquée. Le dépôt de films minces d'oxyde de ce type pour la réalisation de composants électroniques pose cependant des problèmes technologiques au niveau des substrats spécifiques de type céramique : *SrTiO<sub>3</sub>*, *MgO* ou *Al<sub>2</sub>O<sub>3</sub>* par exemple. Le silicium n'est pas adapté à la croissance épitaxiale directe d'YBCO. Cependant, c'est le matériau standard de l'électronique semiconductrice et il peut être intéressant de s'efforcer de l'utiliser pour l'YBCO.

L'objectif de cette thèse est de démontrer, d'un point de vue technologique, la faisabilité de l'intégration monolithique de composants supraconducteur (YBCO) et semiconducteur sur le même substrat de silicium.

Parmi les applications de l'YBCO en film mince, on a choisi le bolomètre qui utilise la transition résistive très abrupte lors du passage de l'état normal à l'état supraconducteur. On réalise alors un thermomètre très sensible capable de mesurer la chaleur produite par l'absorption d'un rayonnement électromagnétique. L'intérêt des SHTC se situe dans le domaine infrarouge (IR) lointain (longueur d'onde  $\lambda \geq 12 \mu m$ ) où les semiconducteurs sont inopérants [2, 3, 4, 5]. Comme le refroidissement à 77 K est une pratique commune pour les détecteurs IR semiconducteurs, les bolomètres SHTC peuvent facilement s'intégrer dans de tels systèmes de détection. Il existe aussi les bolomètres à électrons chauds qui, avec un temps de relaxation thermique très court, ont été testés comme mélangeurs de signaux à très haute fréquence [6].

Dans le cas de la mise en œuvre de plusieurs capteurs fonctionnant à basse température, les motivations de l'intégration peuvent se résumer à la réduction de :

- ✓ l'encombrement,
- ✓ des perturbations électromagnétiques et du bruit microphonique,
- ✓ des couplages capacitif et inductif entre les lignes de connexion dans le cas du multiplexage de plusieurs capteurs.

L'intégration du système d'amplification avec le capteur élimine ou réduit de fait les couplages et les interférences dus au rayonnement électromagnétique ambiant. Les impédances des fils et la surface des boucles de capture qu'elles forment sont diminuées par la réduction des dimensions du système. De plus, une fois amplifiés, les signaux des capteurs peuvent être envoyés sur un système de multiplexage. L'intégration permet à la fois de rendre le système plus compact et d'augmenter le rapport signal sur bruit (par la réduction des interférences). Il est donc naturel d'essayer d'intégrer l'électronique avec le capteur.

Avant d'envisager l'intégration monolithique sur substrat de silicium, il faut d'abord montrer que :

- ✓ une électronique semiconductrice standard fonctionne à 77 K (chapitre 1),
- ✓ la réalisation de capteurs SHTC est possible sur substrat de silicium (chapitre 2),

- ✓ un procédé semiconducteur standard peut être modifié afin de supporter la fabrication du(des) capteurs YBCO (température et pression de dépôt) (chapitre 3),
- ✓ la réunion des deux éléments sur le même substrat de silicium ne détériore pas les propriétés supraconductrices d'YBCO (chapitre 4).

Dans le chapitre 1 nous présentons l'état de l'art de l'intégration de capteur YBCO avec une électronique semiconductrice. On présentera les différents choix technologiques de l'électronique semiconductrice pour un fonctionnement à basse température. La technologie retenue sera présentée et on donnera des solutions pour la modélisation à basse température en vue de la réalisation d'un pré-amplificateur faible bruit.

Le chapitre 2 est consacré à la présentation détaillée des procédés PMOS et YBCO utilisés. En particulier, un état de l'art du dépôt d'YBCO sur *Si* sera donné. A partir des informations et des réalisations rassemblées dans les chapitres 1 et 2, nous en déduirons des contraintes sur le procédé d'intégration.

Le chapitre 3 rapportera l'étude que nous avons effectuée sur la modification du procédé PMOS. Pour cela, nous présenterons les différentes solutions technologiques à partir d'une étude bibliographique des métallisations. Les résultats expérimentaux obtenus sur la technologie PMOS seront présentés.

le chapitre 4 présentera enfin le procédé d'intégration complet et les résultats obtenus. On proposera pour conclure les améliorations possibles du procédé.





# Chapitre 1

## Intégration, bolomètres SHTC et technologies semiconductrices refroidies

### 1 Introduction

La mise en œuvre de capteurs à très haute sensibilité est délicate dans la mesure où il faut éviter de dégrader leurs performances intrinsèques par le bruit propre du préamplificateur qui lui est associé et les parasites vibratoires, électriques, magnétiques et électromagnétiques qui peuvent venir perturber la liaison capteur-préamplificateur. Ainsi, il est connu que des signaux de faible amplitude doivent être si possible préamplifiés et transmis sous faible impédance au système de traitement. Le GREYC s'intéresse depuis 1988 aux capteurs supraconducteurs (bolomètres, SQUID<sup>1</sup>) à haute température critique et depuis quelques années à d'autres microcapteurs réalisés également à partir d'oxydes de cuivre à valence mixte. Nous nous sommes donc attaqués dans cette thèse à la réalisation sur le même substrat (le silicium) d'un dispositif actif semiconducteur supposé être la base d'un futur préamplificateur et d'un capteur en couche mince de type oxyde de cuivre à valence mixte. Du fait de l'expérience du laboratoire dans ce domaine, nous avons souhaité illustrer cette démarche par la réalisation d'un microbolomètre opérant sur la transition résistive de l'YBCO, l'électronique de préamplification est donc supposée

---

<sup>1</sup>*Superconducting QUantum Interference Device*

pouvoir fonctionner à 77 K. Pour la réalisation du couple capteur amplificateur, deux solutions étaient *a priori* possibles, soit réaliser l'élément actif en silicium d'abord, soit réaliser le capteur d'abord. La diffusion des impuretés et la croissance d'oxyde dans le silicium s'effectue pour des températures allant de  $900^{\circ}\text{C}$  à  $1200^{\circ}\text{C}$ , tandis que le dépôt d'YBCO s'effectue à des températures allant jusqu'à  $700^{\circ}\text{C}$  et sous pression partielle d'oxygène. Nous constatons donc qu'il faut réaliser le transistor en premier et la couche d'YBCO en second. Cependant, un problème majeur persiste puisque les contacts et liaisons métalliques habituellement en Al ne supportent pas des températures aussi élevées et perdront complètement leurs propriétés (et perturberont celles des éléments actifs) s'ils sont montés aux températures nécessaires pour le dépôt de l'YBCO. Par ailleurs, la réalisation de bons contacts métalliques sur Si et une bonne adhérence sur  $\text{SiO}_2$  nécessite un recuit qui perturbera fortement les propriétés de l'YBCO s'il intervient en dernière étape du procédé. Notre travail est donc essentiellement centré sur deux points :

- ✓ l'étude et la réalisation du procédé de prise de contacts sur Si,  $\text{SiO}_2$  et YBCO ainsi que la réalisation de liaisons à faible résistance ;
- ✓ la réalisation d'une électronique susceptible de fonctionner à 77 K.

Nous allons dans ce premier chapitre revoir sur le plan bibliographique l'ensemble des problèmes que nous nous sommes posés :

- ✓ les technologies d'intégration sur silicium (Circuits intégrés, MEMS, DRAM, ...),
- ✓ le signal et le bruit d'un système bolométrique à base de supraconducteur,
- ✓ le comportement des dispositifs actifs (bipolaire, JFET, MOSFET) en fonction de la température et la prise en compte des variations en température de leurs paramètres principaux.

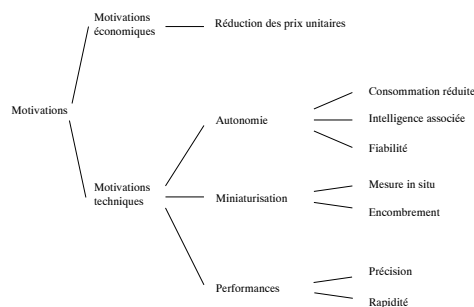


Figure 1.1: Motivations générales justifiant l'utilisation des micro-technologies et les micro-systèmes d'après [7].

## 2 Métallisation des circuits intégrés dans micro-systèmes : bibliographie

### 2.1 Définitions

Les **micro-systèmes** (MEMS<sup>2</sup>) intègrent au moins deux des fonctions suivantes : capteur, traitement du signal, actionneur [7]. Les motivations générales pour la réalisation de micro-systèmes sont résumées en figure 1.1. On considère généralement cinq filières pour l'intégration des capteurs et de leur électronique [7, 8] dont on trouvera une description schématique en annexe A) :

- ✓ Filière d'intégration monolithique "CMOS-BICMOS standard",
- ✓ Filière d'intégration monolithique "CMOS-BICMOS standard et usinage",
- ✓ Filière d'intégration monolithique "above IC",
- ✓ Filière d'intégration monolithique "spécifique",
- ✓ Filière d'intégration hybride.

### 2.2 Intégration monolithique polysilicium/CMOS pour la réalisation de MEMS

Les MEMS utilisent très largement le poly silicium. Or, le poly silicium est généralement déposé entre  $580^{\circ}C$  et  $630^{\circ}C$  et recuit à une température supérieure à  $600^{\circ}C$  afin d'obtenir un film mince de bonne qualité cristallographique et avec des contraintes résiduelles faibles (très important pour l'usinage) [9, 10]. L'intégration d'un MEMS peut suivre trois schémas comme indiqué par Varadan [11, 12] :

1. fabrication séparée des éléments usinés et des circuits CMOS puis intégration par *flip-chip* (voir annexe A),
2. usinage suivi par l'intégration des circuits CMOS,
3. fabrication des circuits CMOS suivie par le dépôt et l'usinage du polysilicium.

La première méthode est difficilement praticable dans le cas de dispositifs micro-usinés comme les accéléromètres ou les miroirs ou autres structures 3D. La seconde méthode a

---

<sup>2</sup>*Micro ElectroMechanical System*, micro système électro-mécanique

été largement développée au *Sandia National Laboratories* [13]. Les MEMS sont enterrés par rapport au niveau du circuit comme le montre la figure 1.2a. Les modules usinés sont complètement encapsulés à l'aide d'oxydes de type PSG<sup>3</sup>, la surface est remise à niveau par planarisation CMP<sup>4</sup> puis recouverte par une couche de passivation en nitrure de silicium ( $\text{Si}_3\text{N}_4$ ) [15]. Le procédé CMOS peut alors débiter. Une fois terminé, les circuits sont passivés et les MEMS sont dégagés. Comme le souligne Nguyen dans [16], cette méthode a l'énorme avantage d'intégrer sans modification de procédé les technologies les plus récentes à la fois dans les modules usinés et dans les circuits intégrés. De plus, un seul niveau de passivation est nécessaire pour remettre à niveau le module usiné par rapport au module CMOS. Par contre, le coût est élevé car les modules usinés doivent être fabriqués dans la ligne de fabrication des circuits.

Un procédé CMOS a été établi par le groupe de Howe à Berkeley [17] pour la dernière méthode. Dans ce procédé, l'aluminium est simplement remplacé par du tungstène. Cependant, les circuits n'atteignent pas les mêmes niveaux de complexité que les circuits en technologies standards. Le silicium réagit avec le tungstène W pour former  $\text{WSi}_2$ , il faut donc une barrière de diffusion très efficace entre la métallisation et le silicium. Les contraintes compressives du film de W, sa rugosité et les défauts de la barrière de diffusion ainsi que le manque d'adhésion de la couche métallique avec les oxydes ne permettent pas l'optimisation des composants. A l'heure actuelle, les contacts des composants sont réalisés en  $\text{TiSi}_2$  surmontés d'une couche de TiN comme barrière de diffusion en contact avec W. Comme le *bonding* par fils d'or ou d'aluminium est difficile sur W, les plots de contacts sont surmontés d'une couche de polysilicium avec une barrière de diffusion en TiN. Les risques de rupture de la barrière sont donc élevés. Néanmoins, les changements des paramètres des composants CMOS induits par les contraintes thermiques du dépôt du polysilicium sont minimes [18]. La figure 1.2b montre une schématisation de la technologie CMOS modifiée.

Cette dernière approche est la plus flexible du point de vue de la conception des modules usinés et des capteurs. La topographie des circuits CMOS n'est pas une contrainte, l'étape de planarisation intermédiaire de la seconde méthode peut être évitée. Le coût

---

<sup>3</sup>Phosphore Silicon glass, verre de silicium visqueux à basse température ( $500 - 600^\circ\text{C}$ ) utilisé pour la planarisation de la surface avant métallisation, cf [14].

<sup>4</sup>*Chemico-Mechanical Planarization*, polissage chimique et mécanique des substrats

de production est considérablement abaissé car le module CMOS peut être fabriqué chez un fondeur quelconque et le module usiné ou les capteurs peuvent être réalisés dans de petites unités de production. La résistance à l'oxydation et la stabilité thermique de cette technologie n'a pas été testée dans le cadre de l'intégration de l'YBCO. On peut toutefois en conclure que la métallisation limite effectivement la stabilité thermique des composants standards et qu'il faut remplacer l'aluminium par des métaux de types réfractaires. Ces changements ont pour conséquence la simplification du procédé et donc on peut se demander quelles seront les performances pour l'électronique faible bruit.

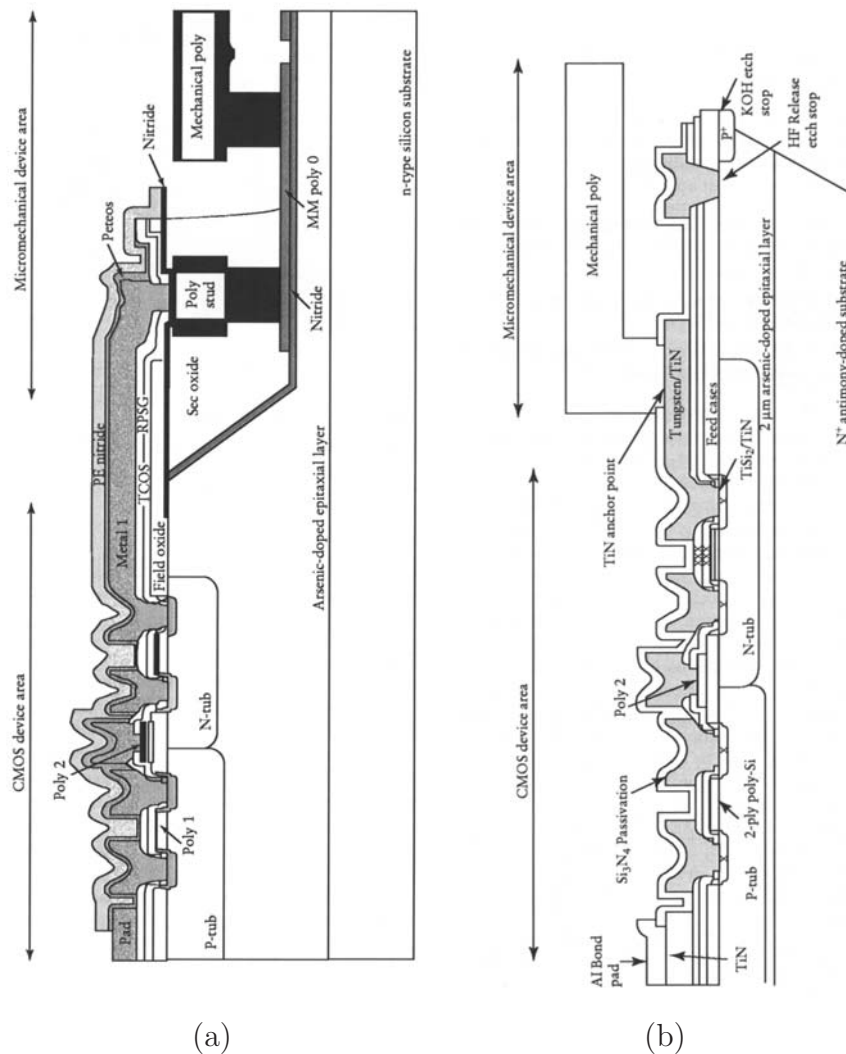


Figure 1.2: Représentation schématique des deux méthodes d'intégration monolithique MEMS/CMOS : (a) MEMS puis CMOS et (b) CMOS puis MEMS d'après [12].

## 2.3 Intégration monolithique oxydes ferro-électriques/CMOS

Les oxydes ferro électriques ont des structures cristallographiques et des conditions de dépôt voisines de celles de l'YBCO. Ces oxydes sont envisagés pour la conception de DRAM<sup>5</sup> à grande densité [19, 20, 21, 22] ou de capteurs. Les contraintes technologiques sont moins fortes pour l'intégration de ces oxydes que pour l'YBCO. Néanmoins, l'incompatibilité de l'aluminium demeure. De plus, les composants ferro électriques doivent être en contact intime avec les composants CMOS. Par conséquent, les contacts électriques des transistors sont directement exposés aux hautes températures et à l'oxygène pendant le dépôt. Depuis une dizaine d'années, un gros effort de recherche a été effectué sur ces contacts [23, 24]. Les métaux utilisés sont les métaux du groupe du platine (Pt, Ir, Ru, ...) et leurs oxydes. Une revue bibliographique de ces métallisations sera faite au chapitre 3. Récemment, Noda *et al.* [25] ont développé des micro-bolomètres sur membrane à base de  $(Ba, Sr)TiO_3$  (BST) sur Si, intégrés avec un système d'amplification CMOS de type source suiveuse (figure 1.3a et b). Le procédé CMOS standard a été modifié pour que l'électronique puisse supporter les conditions de fabrication des capteurs. En particulier, les composants ont dû supporter une température de  $600^\circ C$  sous oxygène. La solution qui a été adoptée est le remplacement de la métallisation standard par une métallisation à base de métaux réfractaires à même de supporter de grandes températures de la même façon que la solution retenue par le groupe de Howe. La fabrication débute par la réalisation de l'oxyde champ qui servira de couche d'arrêt pour la gravure de la membrane et d'oxyde d'isolation pour les transistors. Le procédé MOS est ensuite réalisé. Le niveau intermédiaire d'isolation est réalisé par du SiN qui est aussi utilisé pour la réalisation de la membrane. Une couche de SiO<sub>2</sub> achève le dispositif sur membrane. La métallisation des interconnexions et de l'électrode basse du ferro-électrique sont constituées par la même couche de Pt/Ti. Enfin, le ferro-électrique et l'électrode haute sont déposés. L'usinage du substrat est réalisé par gravure RIE en fin de procédé. Malheureusement aucune information n'est fournie sur le fonctionnement simultané des capteurs et de la structure avec le MOSFET : “no fatal degradation is introduced into the MOSFET process” *sic* (voir la photographie d'un échantillon en figure 1.3)

---

<sup>5</sup>Dynamic Random Access Memory

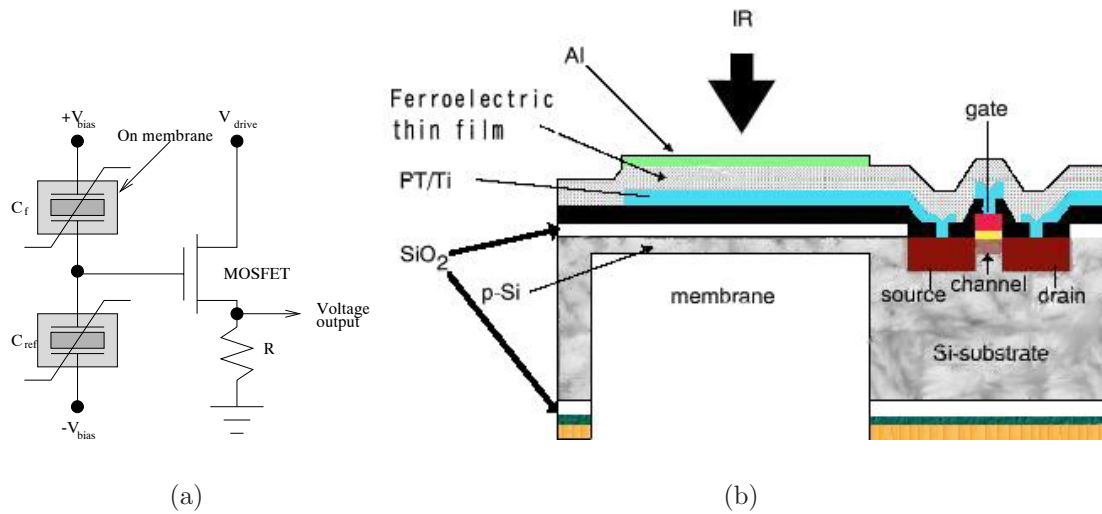


Figure 1.3: Exemple d'intégration monolithique de capacités ferro-électriques sur membrane pour la conception de matrices de micro bolomètres d'après Noda *et al.* [26, 25]. (a) structure électronique associée à un capteur matérialisé par  $C_f$  et (b) schéma du dispositif.

## 2.4 Etat de l'art de l'intégration YBCO/semiconducteur

Dès 1988, Van Duzer [27] a présenté les possibilités et les mérites de l'intégration monolithique ou hybride de dispositifs supraconducteurs avec une électronique semiconductrice. Plusieurs idées d'intégration ont été reprises par la suite par Kroger [28]. Ils distinguent trois niveaux d'intégration présentés en figure 1.4.

Le cas (a) représente deux composants semiconducteur/supraconducteur. Le cas (b) est l'intégration de circuits semiconducteurs et supraconducteurs réalisant des fonctions complémentaires sur le même substrat et le cas (c) représente un système avec des composants semiconducteurs et supraconducteurs sur des substrats séparés.

Les films minces épitaxiés d'YBCO sont maintenant disponibles avec de très bonnes propriétés supraconductrices, suffisantes pour la réalisation de composants ou de capteurs :

- ✓ température critique,  $T_C > 90 K$ ,
- ✓ densité de courant critique  $J_C [77 K] > 10^6 A.cm^{-2}$ ,
- ✓ résistance de surface  $R_S [77 K, f = 10 GHz] < 500 \mu\Omega$ ,
- ✓ transition étroite en température  $\Delta T < 1 K$ .

Des applications commerciales utilisant des matériaux SHTC comme les SQUID ont vu le jour grâce à la conception de systèmes fonctionnant en environnement non-blindé [35, 36, 37, 38, 39, 40]. Une des clés de la réussite a été l'amplification directe du signal en sortie de SQUID. Cela a été réalisé par Seidel *et al.* [41] à l'aide d'un circuit intégré semiconducteur [42] placé à proximité du SQUID. Pour les bolomètres, les applications ne concernent pour



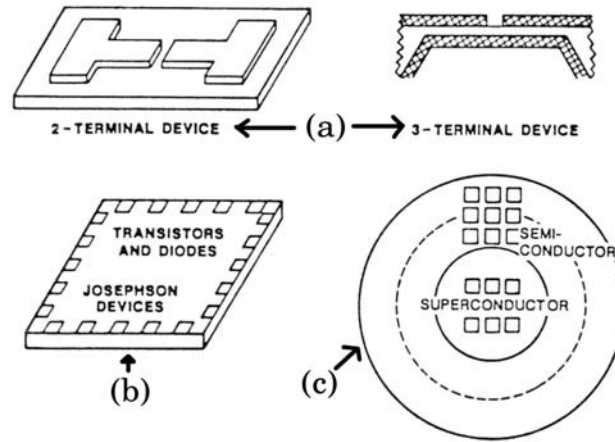


Figure 1.4: Présentation des trois types d'associations des composants supraconducteurs avec des composants semiconducteurs réalisés sur silicium d'après [27]. (a) fabrication de composants combinant les matériaux semiconducteurs et supraconducteurs dans leur fonctionnement, (b) composants semiconducteurs et supraconducteurs fonctionnant séparément sur la même puce (un seul exemple est répertorié à ce jour [29]) et (c) intégration hybride (le système le plus basique est l'interconnexion d'une puce semiconductrice et d'une puce supraconductrice ou de deux puces semiconductrices avec des interconnexions supraconductrices [30, 31, 32, 33, 34]).

l'instant que le domaine de la recherche ou les applications spatiales.

L'intégration monolithique pose deux sortes de problèmes déjà évoqués plus haut. Le premier est d'ordre technologique car les procédés de fabrication de l'électronique semiconductrice et les procédés de dépôt des films minces YBCO sont fortement **incompatibles**. Le second concerne la conception d'un système d'amplification à faible niveau de bruit opérant à 77 K. La difficulté de mise en oeuvre de l'YBCO en tant que capteur est fortement liée à ses conditions d'élaboration (dépôt à 700 – 800°C dans une atmosphère oxygène) et à la robustesse de ses caractéristiques (détérioration en atmosphère humide et désoxygénation, stabilité de ses propriétés dans le temps, basse température). De plus, il paraît difficile pour l'instant d'introduire l'YBCO dans les lignes de fabrication de fondeurs de composants semiconducteurs compte tenu de la nature très polluante des éléments qui le constituent, le cuivre notamment. Il faut donc envisager un procédé d'intégration permettant de réaliser d'une part l'électronique semiconductrice et d'autre part les capteurs YBCO sans que l'un n'endommage l'autre.

Sedky *et al.* [43] ont montré expérimentalement qu'un procédé CMOS comportant 2 à 4 niveaux de métallisation ne pouvait pas supporter un recuit *post-process*<sup>6</sup> d'une température supérieure à 525 °C et de durée supérieure à 90 min. Il a aussi été mis en évidence

<sup>6</sup>Procédé additionnel après la fabrication du circuit intégré

que le procédé *back-end*<sup>7</sup> (interconnexions en aluminium) limite la température du *post-process*. Les métallisations de *front-end*<sup>8</sup> en TiN/TiSi<sub>2</sub> et les *via*<sup>9</sup> en tungstène W ne sont pas dégradés et peuvent même supporter des températures plus élevées. L'intégration des procédés standards (CMOS<sup>10</sup> ou BICMOS<sup>11</sup>) avec l'YBCO ne peut donc pas se faire sans modifications de la métallisation de *back-end* (habituellement en aluminium). La filière "above IC", qui consiste à transférer le circuit semiconducteur dans la ligne de fabrication des capteurs qui physiquement seront construits au-dessus du circuit intégré [44], est incompatible avec la croissance épitaxiale de l'YBCO qui sera détaillée au chapitre 2. Elle a également été éliminée. La filière d'intégration hybride est possible mais nous avons choisi de démontrer la faisabilité de l'intégration monolithique. L'intégration monolithique spécifique, qui consiste à modifier un procédé de fabrication standard pour l'adapter à la fabrication des capteurs ou actionneurs, semble pour l'instant la seule applicable à l'YBCO. C'est donc cette solution que nous avons cherchée à mettre en œuvre. A ce jour, à notre connaissance, Burns *et al.* [29] ont été les seuls à développer un système intégré YBCO/semiconducteur. Ce travail visait à intégrer des fonctions électroniques spécifiques aux dispositifs SHTC, dans un procédé CMOS). Les composants SHTC pouvaient être des SQUID ou des circuits logiques à base de jonctions Josephson. Le substrat de base est un substrat SOS<sup>12</sup>. Une couche monocristalline de silicium est formée sur un substrat de saphir. La surface destinée à recevoir le SHTC est protégée pendant tout le procédé CMOS par la couche de silicium monocristallin. Le niveau de métallisation spécifique des composants CMOS a été réalisé par un polysiliciure *TiSi<sub>2</sub>*. Une couche de passivation protège le circuit de la diffusion de l'oxygène. Le *Si<sub>3</sub>N<sub>4</sub>*, qui a les propriétés requises pour cette fonction, a été gravé sélectivement par RIE<sup>13</sup>. Le silicium recouvrant les zones réservées au SHTC a été finalement enlevé par gravure RIE. Les jonctions Josephson, formées par croissance biépitaxiale, ont été réalisées en dernier. Les caractéristiques *I-V* des composants CMOS n'ont pas subi de modifications significatives après la fabrication des composants YBCO. Ce travail n'a depuis donné lieu à aucune autre publication.

---

<sup>7</sup>Partie finale de la fabrication d'un circuit intégré.

<sup>8</sup>Partie initiale de la fabrication d'un circuit intégré

<sup>9</sup>Liaison électrique entre deux niveaux de métallisation

<sup>10</sup>*Complementary Metal-Oxide-Silicon*

<sup>11</sup>*BIpolar and Complementary Metal-Oxide-Silicon*

<sup>12</sup>*Silicon On Sapphire*

<sup>13</sup>*Reactive Ion Etching*, gravure ionique réactive

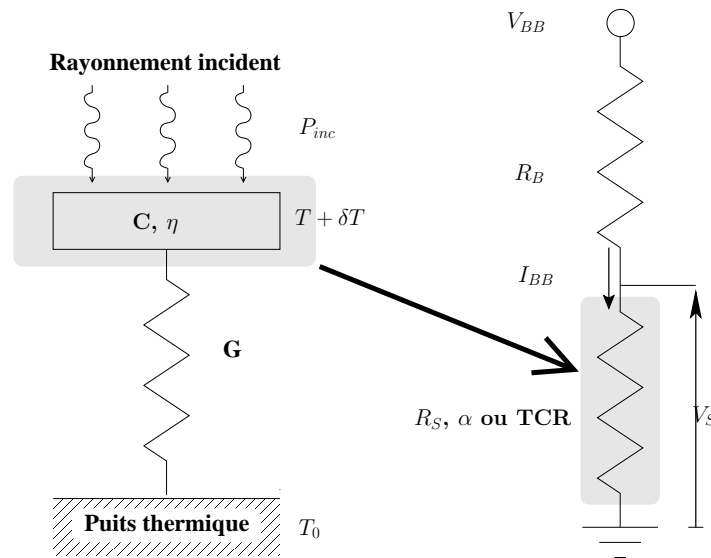


Figure 1.5: Principe du bolomètre : (a) schéma thermique équivalent et (b) schéma électrique équivalent (polarisation en courant).

### 3 Le bolomètre

#### 3.1 Principe du bolomètre et principales caractéristiques

Le bolomètre est dédié à la mesure des rayonnements électromagnétiques en astrophysique, spectroscopie infra-rouge ou en physique nucléaire. Il est généralement constitué d'un absorbeur d'énergie et d'un thermomètre. Dans certains cas l'absorbeur fait aussi office de thermomètre. L'élément servant de thermomètre est généralement une résistance (TCR<sup>14</sup>), le signal électrique en sortie du bolomètre est alors proportionnel à la variation de sa résistance  $R$ . La détection bolométrique se déroule donc en deux étapes : (1) un élément absorbant, caractérisé par un coefficient d'absorption  $\eta$  et une capacité calorifique  $C [J \cdot K^{-1}]$ , transforme la puissance incidente  $P_{inc} [W]$  en chaleur qui, (2), provoque une élévation de température du thermomètre. La chaleur introduite dans le thermomètre s'écoule vers un puits thermique à travers une conductance thermique  $G [W \cdot K^{-1}]$ . On peut alors schématiser le bolomètre des points de vue thermique ou électrique comme le montre la figure 1.5. Si on suppose que  $C$  et  $G$  restent constants malgré l'élévation de température, on peut écrire le bilan énergétique suivant [45] :

$$C \frac{dT}{dt} + GdT = \eta P_{inc}(t) + P_J(t) + P_{bg}(t) \quad (1.1)$$

<sup>14</sup>Temperature Coefficient of Resistor,  $TCR = \alpha = \frac{1}{R} \frac{dR}{dT}$ .

où  $P_J(t)$  est la puissance dissipée par effet Joule dans la résistance  $R$  du thermomètre due à sa polarisation en courant ou en tension,  $P_{bg}(t)$  la puissance de fond due aux rayonnements parasites et  $T_0$  la température du puits thermique. Si  $T$  est très voisin de  $T_0$  et si on néglige  $P_{bg}(t)$ , l'équation 1.1 peut s'écrire :

$$(T - T_0)C = [\eta P_{inc}(t) + P_J(t) - (T - T_0)G] dt \quad (1.2)$$

En écrivant la puissance incidente sous la forme :

$$P_{inc}(t) = P_{inc} + \delta P(t) \quad (1.3)$$

on obtient une équation pour le régime dynamique (équation 1.4) et une autre pour le régime statique (équation 1.5) :

$$C \frac{\delta T(t)}{\delta t} + G\delta T(t) - \delta P_J(t) = \eta\delta P(t) \quad (1.4)$$

$$P_J + G(T - T_0) = \eta P_{inc} \quad (1.5)$$

Si la variation de la puissance incidente est sinusoïdale, l'équation 1.4 s'écrit aussi :

$$S(j\omega) = \frac{\delta T(j\omega)}{\delta P(j\omega)} = \frac{\eta}{G - \frac{\delta P_J}{\delta T} + j\omega C}$$

D'un point de vue électrique (avec les notations de la figure 1.5), l'élévation de la température du thermomètre de  $\delta T$  provoque une variation de  $V_s$  égale à :

$$\delta V = I_{BB}\alpha R\delta T$$

De même la puissance dissipée par effet Joule s'écrit :

$$\Delta P_J = I_{BB}^2\alpha R\delta T$$

On définit alors la **sensibilité en tension** du bolomètre  $[V \cdot W^{-1}]$  :

$$S_V(\omega) = \frac{\delta V}{\delta P} = \frac{\eta I_{BB} R \alpha}{G_{eff} (1 + j\omega\tau)} \quad (1.6)$$

avec une **conductance effective**  $G_{eff} = G - I_{BB}^2 R \alpha [W \cdot K^{-1}]$ ,  $\alpha = \frac{1}{R} \frac{dR}{dT} [K^{-1}]$  et  $\tau = C/G_{eff} [s]$ .

En régime continu, il s'établit un équilibre entre la puissance moyenne fournie par le rayonnement, la puissance dissipée par effet Joule et la puissance évacuée vers le puits thermique. En régime alternatif (le signal électromagnétique est modulé en amplitude), le bolomètre se comporte comme un filtre passe bas du premier ordre avec une **constante de temps de réponse**  $\tau$ . On peut remarquer que si la puissance dissipée par effet Joule est trop importante, le système devient instable ( $G_{eff} = 0$ ). Il est donc obligatoire de limiter le courant de polarisation du thermomètre pour éviter un emballement thermique qui peut provoquer la destruction du thermomètre. Ainsi, en polarisation de courant, on a une contre réaction électro-thermique positive. ; la polarisation en tension produit une contre réaction électro-thermique négative car la variation de puissance électrique dissipée  $\frac{V^2}{R}$  est négative. Cependant, la polarisation en tension et la mesure des faibles courants est plus difficile à réaliser que la polarisation en tension. Cette technique a été utilisée avec succès par le groupe de Richards sur des bolomètres supraconducteurs à basse  $T_C$  avec lecture du courant par SQUID [46, 47, 48, 49].

La sensibilité d'un bolomètre polarisé en courant dépend d'un grand nombre de paramètres :  $G$ ,  $C$ ,  $R$ ,  $I_{BB}$ ,  $\alpha$  et  $\eta$ . Les quatre premiers paramètres sont "technologiques" alors que  $\alpha$  est propre au matériau utilisé. Les supraconducteurs présentent dans le domaine de température correspondant à la transition de l'état supraconducteur vers l'état normal les valeurs de coefficients  $\alpha$  les plus élevées, d'où leur intérêt.

Un bolomètre se caractérise par sa **puissance équivalente de bruit**  $NEP [W \cdot Hz^{-1/2}]$  et par sa **défectivité spécifique**  $D^* [cm \cdot Hz^{1/2} \cdot W^{-1}]$ .

$$NEP = \frac{e_n}{S_V} \quad (1.7)$$

$$D^* = \frac{\sqrt{A}}{NEP} \quad (1.8)$$

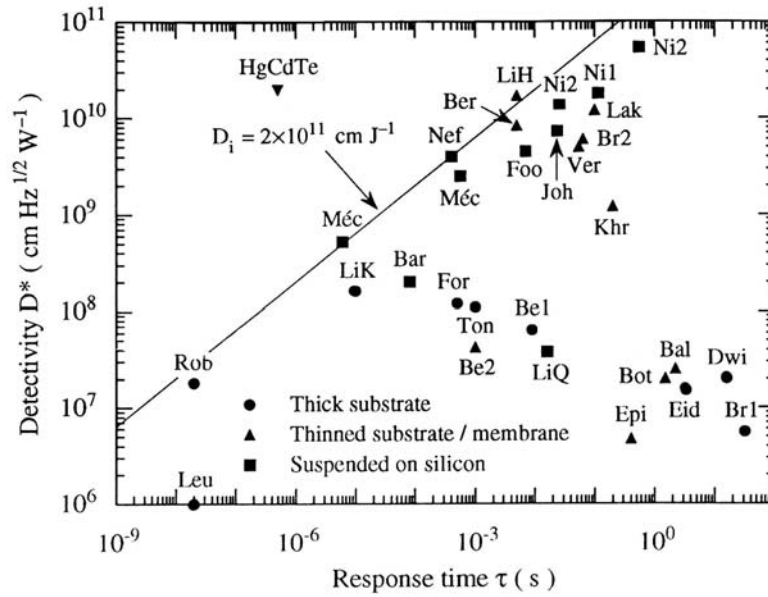


Figure 1.6: Détectivité spécifique  $D^*$  en fonction du temps de réponse  $\tau$  des bolomètres SHTC mono-corps ou composite répertoriés dans la littérature. La figure est extraite de [50] où on trouvera les références correspondantes. Les meilleurs résultats atteignent la “détectivité invariante”  $D_i$  définie par Khrebtov [51]

avec  $A$  la **surface active de détection**.

Le  $NEP$  correspond à la puissance minimale détectable, c’est-à-dire, la puissance incidente nécessaire pour produire un signal égal à l’écart type de son bruit  $e_n$  [ $V \cdot Hz^{-1/2}$ ] dans une bande passante de  $1 Hz$ . La représentation de  $D^*$  en fonction de  $\tau$  est très utile car elle permet de comparer les bolomètres en tenant compte des deux paramètres à la fois [52]. La figure 1.6 est la dernière mise à jour<sup>15</sup> effectuée par Kreisler et Gaugue dans [50]. Pour une présentation plus complète du bolomètre, on pourra se référer à l’article de revue de Richards [45].

## 3.2 Aspects Technologiques

### 3.2.1 Le TCR

L’YBCO présente une transition résistive abrupte à sa température critique<sup>16</sup> ( $T_C$ ) voisine de  $92 K$ . Cette propriété permet de réaliser des thermomètres résistifs dans la zone de transition avec une sensibilité relative très grande à une température de fonctionnement supérieure à la température de l’azote liquide. Dans la zone de transition, le TCR

<sup>15</sup>voir maintenant [53].

<sup>16</sup>On définit la température critique comme la température en dessous de laquelle la résistance électrique devient nulle.

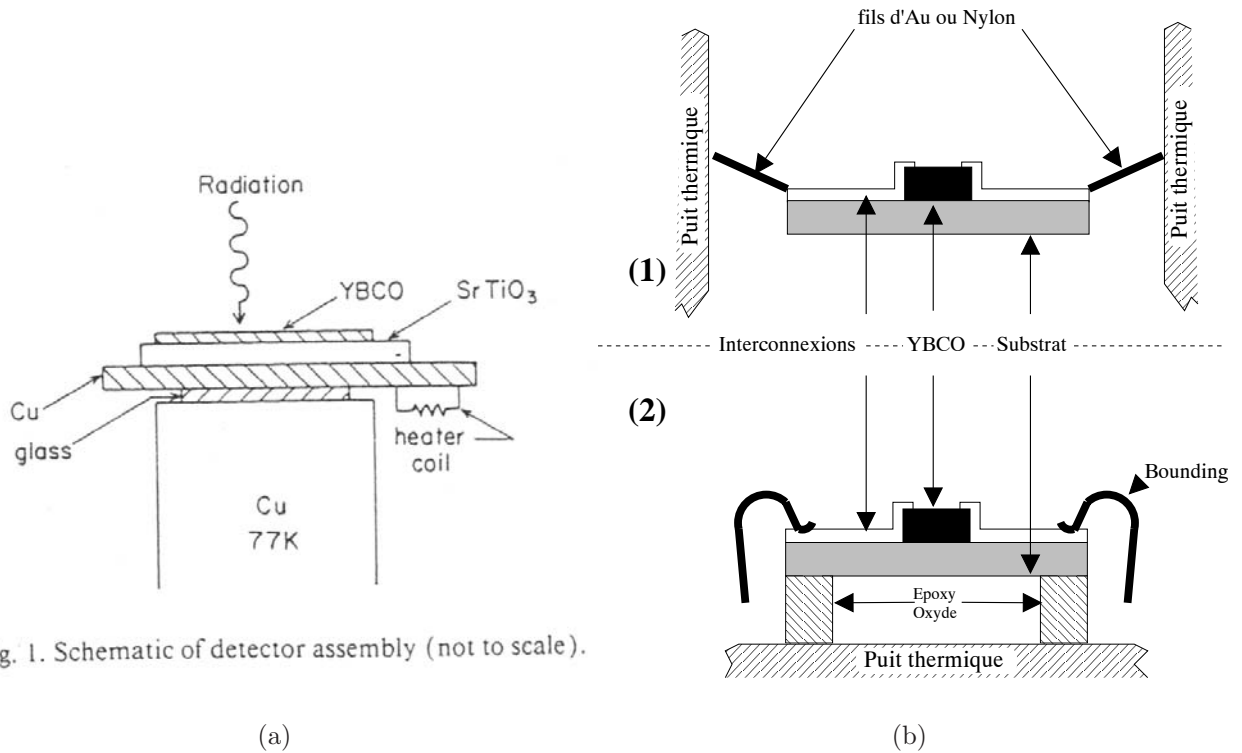


Fig. 1. Schematic of detector assembly (not to scale).

Figure 1.7: (a) Bolomètres sur substrat épais. Le schéma est extrait de [54]. L'épaisseur du micropont est de  $1\ \mu\text{m}$ , sa surface est de  $120 \times 200\ \mu\text{m}^2$  sur un substrat de  $\text{SrTiO}_3$  ( $500\ \mu\text{m}$  d'épaisseur). Lorsque le rayonnement est haché à la cadence de 130 Hz, il offre un temps de réponse  $\tau = 11,3\ \mu\text{s}$  et une sensibilité de  $0,5\ \text{VW}^{-1}$ . (b) Bolomètre sur substrat aminci [55, 56].

de l'YBCO est très grand comparé à celui des autres matériaux utilisés en bolométrie. McDonald *et al.* [59] ont obtenu des TCR de  $6,2\ \text{K}^{-1}$  pour des films minces d'YBCO sur Si avec des couches tampon de  $\text{CeO}_2$  et  $\text{YSZ}$ <sup>17</sup> et une passivation par une couche d'or de  $20\ \text{nm}$  d'épaisseur. Sans cette passivation, le TCR est de l'ordre de  $1,4$  à  $1,6\ \text{K}^{-1}$ , la couche d'or court-circuite le micro pont dans l'état normal et la largeur de la transition et donc réduite de  $1,66\ \text{K}$  à  $0,38\ \text{K}$  pour les exemples cités. A titre de comparaison, le TCR des métaux est inférieur à  $0,01\ \text{K}^{-1}$  et celui des semiconducteurs va de  $0,01$  à  $0,04\ \text{K}^{-1}$ .

### 3.2.2 La conductance thermique

Supposant une réalisation à base d'YBCO, la conductance thermique du bolomètre est contrôlée par le choix du substrat ( $\text{SrTiO}_3$ ,  $\text{MgO}$ ,  $\text{CeO}_2$ ,  $\text{YSZ}$  et  $\text{Si}$ ) et par le lien thermique entre la partie active et le puits thermique. Elle peut être modifiée par différents procédés technologiques. Trois structures sont représentées en figures 1.7 et 1.8 :

<sup>17</sup> Yttria Stabilized Zirconia

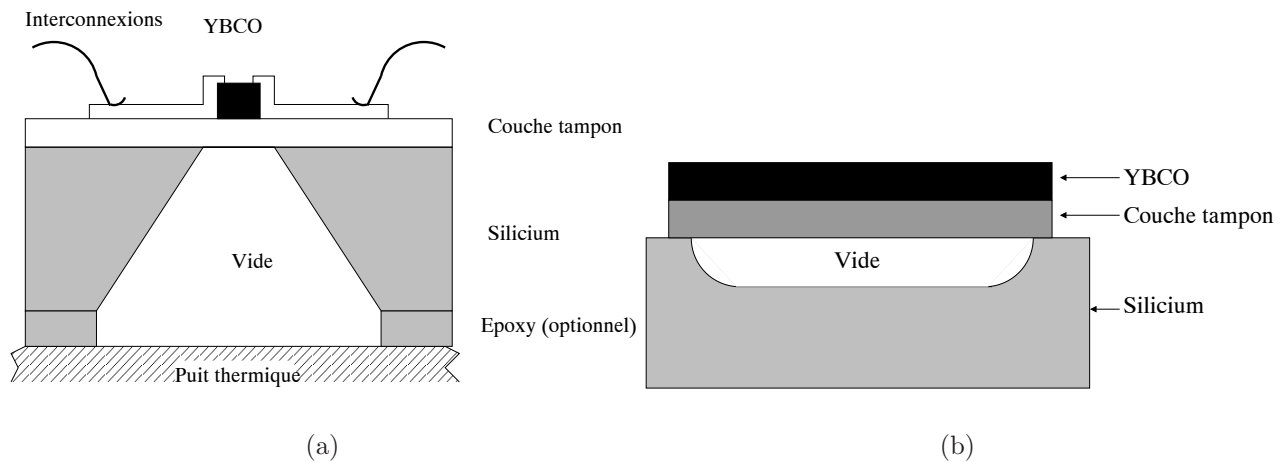


Figure 1.8: Bolomètres sur substrat de silicium usiné. (a) gravure du substrat par la face arrière (voir [57] par exemple) et (b) gravure du substrat par la face avant [58].

1. les bolomètres à **substrat épais** (Fig. 1.7a),
2. les bolomètres à **substrat aminci** (Fig. 1.7b),
3. les bolomètres sur **substrat mince usiné** (Fig. 1.8a et b) .

D'après les résultats présentés en figure 1.6, les bolomètres à substrat usiné sont parmi les plus performants. En effet, l'usinage permet d'isoler au maximum le thermomètre du puits thermique et donc de diminuer la conductance thermique tout en minimisant les capacités calorifiques.

A l'heure actuelle, les techniques de micro-usinage du silicium sont bien maîtrisées (voir par exemple [8]). Cela explique que le silicium soit un substrat de choix pour l'élaboration des bolomètres sur membrane. Ces techniques ont été adaptées au cas de l'YBCO [58]. Par ailleurs, le silicium est le semiconducteur de base pour l'élaboration des circuits intégrés. Cela permet d'envisager l'intégration du capteur et de l'électronique sur le même substrat tout en tirant profit des avantages de chaque technologie.

## 4 Électronique de lecture

### 4.1 Notions élémentaires de bruit

Un système d'amplification peut s'assimiler à un quadripôle. Son bruit électrique a des origines physiques diverses. La mesure individuelle des sources de bruit est impossible. On peut modéliser un quadripôle bruyant suivant différentes représentations [60]. On a choisi



ici le modèle  $e_n - i_n$  selon lequel un quadripôle bruyant est représenté par son équivalent non-bruyant et deux sources équivalentes de bruit reportées à son entrée : une source (ou générateur) de tension de bruit placée en série et une source de courant de bruit placée en parallèle, comme l'illustre la figure 1.9. L'amplificateur est caractérisé pour ce qui nous concerne ici par un gain différentiel  $A_v$  et son impédance d'entrée  $Z_{in}$ . Les sources de bruit internes à l'amplificateur sont modélisées par une tension  $e_{nA}$ ,  $[V \cdot Hz^{-1/2}]$  de densité spectrale<sup>18</sup> notée  $e_{nA}^2$ ,  $[V^2 \cdot Hz]$  et un courant  $i_{nA}$ ,  $[A \cdot Hz^{-1/2}]$  de densité spectrale notée  $i_{nA}^2$ ,  $[A^2 \cdot Hz]$  en parallèle avec  $Z_{in}$ . Le signal délivré par le capteur est modélisé par une source de tension  $V_S$  de résistance interne  $R_S$ . Le bruit associé à la résistance de source est modélisé par une source de tension de bruit  $e_{nRS}$  en série avec  $R_S$ . Le signal d'entrée de l'amplificateur  $V_{in}$  s'écrit donc :

$$V_{in} = V_S \left( \frac{Z_{in}}{R_S + Z_{in}} \right) \quad (1.9)$$

La densité spectrale de bruit reportée au niveau du générateur de signal est donnée par la relation<sup>19</sup> suivante :

$$S_e(f) = e_{nRS}^2 + e_{nA}^2 + R_S^2 i_{nA}^2 \quad (1.10)$$

Le bruit d'un amplificateur est dans la plupart des cas largement dominé par celui de son transistor d'entrée. A titre indicatif, le tableau 1.1 répertorie les valeurs de tension de bruit de quelques transistors JFET mesurées à température ordinaire ( $\sim 20$  °C). Ce bruit est minimal aux fréquences moyennes où les effets de fréquence et les bruits excédentaires de basse fréquence sont négligeables comparés au bruit thermique du canal. **Le bruit excédentaire** présente généralement une densité spectrale proportionnelle à  $1/f^{AF}$  ( $AF$  est un facteur dépendant de la technologie, lorsque  $AF = 1$ , on appelle le bruit excédentaire "bruit en  $1/f$ "). A la **fréquence de recouvrement**, le niveau de bruit blanc est égal au niveau de bruit excédentaire.

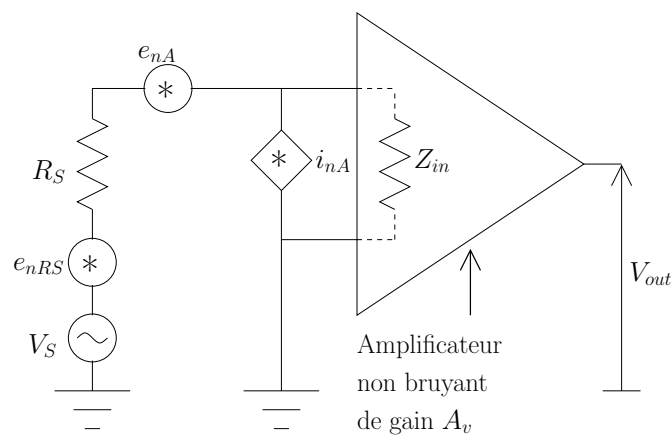
---

<sup>18</sup>Les fluctuations temporelles d'un signal électrique autour de sa valeur moyenne (bruit) sont aléatoire il est alors plus commode de l'étudier dans le domaine fréquentiel. Le signal est alors caractérisé par une **densité spectrale**.

<sup>19</sup>On suppose que les sources de bruit sont indépendantes

FET Number	FET Channel Type	$E_n$ at Midband (nV/Hz <sup>1/2</sup> )	$E_n$ at 10 Hz (nV/Hz <sup>1/2</sup> )	$I_n$ at Midband (fA/Hz <sup>1/2</sup> )	$I_n$ at 1 MHz (fA/Hz <sup>1/2</sup> )
2N2609	<i>n</i>	2.8	31	13	130
2N3460	<i>n</i>	4	40	11	70
2N3684	<i>n</i>	3.5	55	8.2	34
2N3821	<i>n</i>	2.2	7	3.5	19
2N4221A	<i>n</i>	2.2	50	8.5	18
2N4416	<i>n</i>	2	20	13	23
2N5116	<i>p</i>	3	160	35	210

Tableau 1.1: Tension et courant de bruit de quelques transistors JFET à température ambiante.

Figure 1.9: Représentation dans le modèle  $e_n - i_n$  d'un amplificateur bruyant.

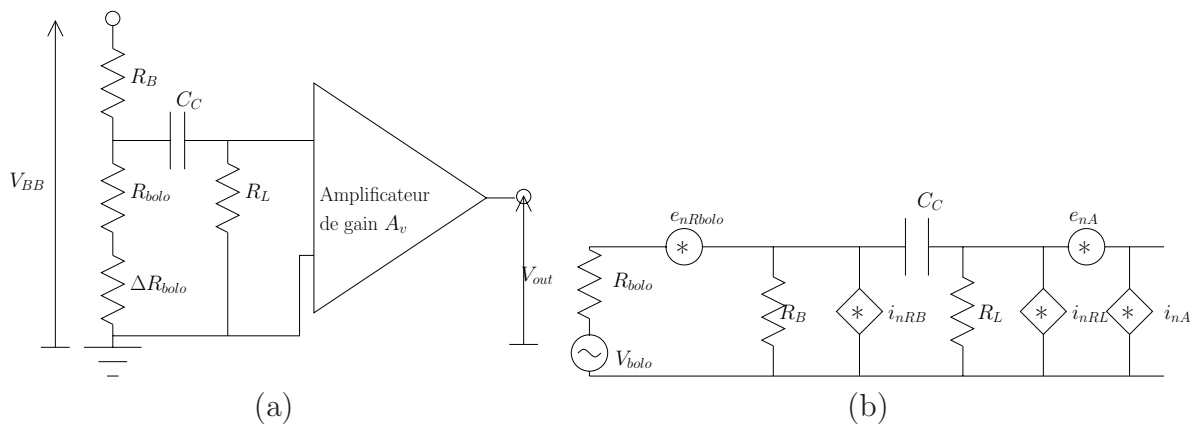


Figure 1.10: (a) Schéma électrique et (b) schéma équivalent en régime petits signaux incluant le bruit pour un capteur polarisé en courant. .

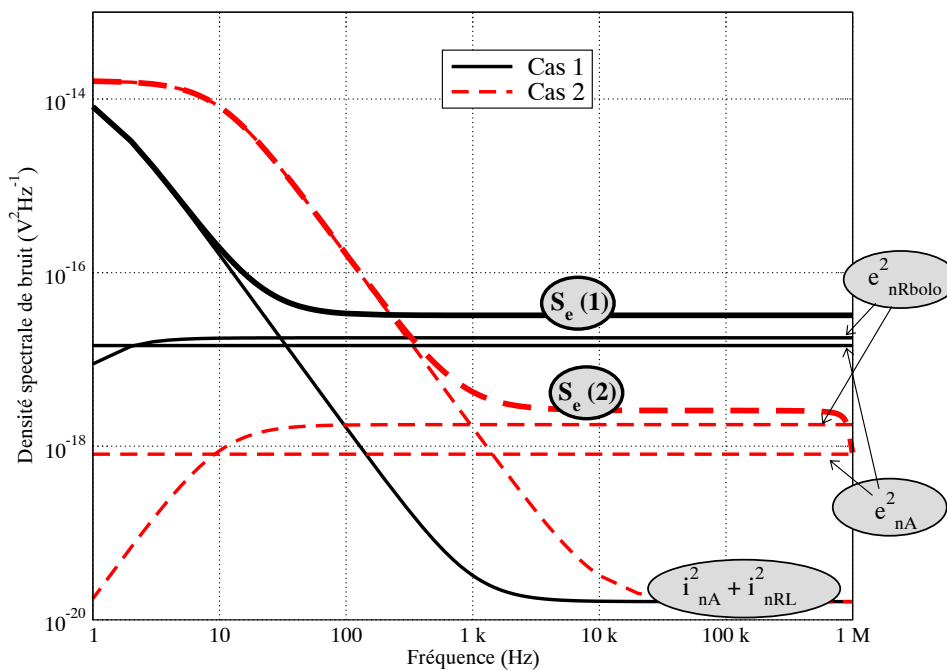


Figure 1.11: Densité spectrale de bruit en entrée de l'amplificateur et détail de chaque contribution d'après l'équation 1.12 pour les deux cas donnés en tableau 1.2.

## 4.2 Bruit d'un bolomètre connecté à son préamplificateur

Le bolomètre présenté dans la section 3 fait partie de la famille des capteurs résistifs dont une représentation générale est donnée en figure 1.10a. Une résistance d'injection  $R_B$  assure la polarisation et le signal du capteur  $V_{bolo}$  est couplé à l'entrée de l'amplificateur par une capacité  $C_C$ . La résistance  $R_L$  polarise l'entrée de l'amplificateur. La figure 1.10b donne le schéma équivalent en régime de petits signaux du système en y incluant les

	$R_s$	$R_B$	$R_L$	$C_C$	$i_{nA}$	$e_{nA}$	$e_{nRbolo}$	$\sqrt{S_e} [nV.Hz^{-1/2}]$	
	$\Omega$	$\Omega$	$\Omega$	$\mu F$	$f A.Hz^{-1/2}$	$nV.Hz^{-1/2}$	$nV.Hz^{-1/2}$	$100 Hz$	$10 kHz$
Cas 1	<b>1k</b>	10k	1M	<b>1</b>	10	<b>3,8</b>	<b>4</b>	13	5,6
Cas 2	<b>100</b>	10k	1M	<b>0,1</b>	10	<b>0,9</b>	<b>1,3</b>	90	1,6

Tableau 1.2: Paramètres utilisés pour le calcul de la densité spectrale de bruit selon l'équation 1.12.

sources de bruit (d'après Motchenbacher et Connelly [60]). Sous l'effet d'une excitation, la résistance du bolomètre  $R_{bolo}$  varie d'une valeur  $\Delta R_{bolo}$  et  $V_{bolo}$  la variation de tension induite aux bornes du bolomètre s'écrit :

$$V_{bolo} = I_{BB} \Delta R_{bolo} = \frac{V_{BB} \Delta R_{bolo}}{R_{bolo} + R_B} \quad (1.11)$$

Si on a  $R_{bolo} \ll R_B, R_L$ , la densité spectrale de bruit reportée au niveau de l'entrée du préamplificateur s'écrit :

$$S_e(f) = e_{nA}^2(f) + |Z_{eq}|^2 (i_{nA}^2(f) + i_{nRL}^2(f)) + e_{nRbolo}^2(f) \left| \frac{jR_L C_C \omega}{1 + jR_L C_C \omega} \right|^2 \quad (1.12)$$

avec  $Z_{eq}$  l'impédance équivalente vue par l'amplificateur :

$$Z_{eq} = \left( R_{bolo} \parallel R_B + \frac{1}{jC_C \omega} \right) \parallel R_L \quad (1.13)$$

Plus une résistance est grande, plus le bruit en courant est faible ; comme les résistances de polarisation  $R_B$  et de  $R_L$  sont en parallèle par rapport au bolomètre, on choisira des valeurs les plus grandes possibles. Dans ce cas seul le bruit du bolomètre domine. Pour illustrer l'influence des différentes sources de bruit, on a représenté en figure 1.11 la densité spectrale de bruit équivalent en entrée de l'amplificateur d'après l'équation 1.12 pour deux configurations dont les paramètres sont donnés dans le tableau 1.2.

A basse fréquence, le bruit est dominé par les contributions du courant de bruit de l'amplificateur et de la résistance  $R_L$ . La capacité de liaison doit alors être la plus élevée possible pour limiter ces contributions aux plus basses fréquences. A haute fréquence, le bruit est dominé par le bruit blanc de l'amplificateur et/ou de la résistance du bolomètre. Bien sûr, les sources de bruit excédentaires sont à prendre en compte.

L'utilisation des matériaux SHTC permet d'obtenir des résistances de bolomètre faibles

(voir [61, 62]) comparées à celles de bolomètres à semiconducteur. Cela pose donc de fortes contraintes sur le choix de l'amplificateur. Aussi le refroidissement de l'amplificateur à la température du bolomètre est une solution possible pour abaisser son niveau de bruit blanc.

### 4.3 Electronique refroidie à faible bruit

Dès l'apparition des transistors, des systèmes d'amplification basés sur des composants discrets fonctionnant dans l'environnement du capteur ont été conçus. Gush *et al.* [63] ont par exemple conçu un amplificateur pour un bolomètre refroidi à  $0,3 K$ . L'amplificateur est constitué de trois parties : une paire différentielle (JFET 2N6483) placée sur l'étage à  $2 K$  du cryostat, un amplificateur de type cascode et un amplificateur opérationnel PM725J, placés à température ambiante. En fonctionnement, la température des JFET est de l'ordre de  $100 K$  (c'est pourquoi ils ne sont pas placés sur le même étage du cryostat que le capteur). La résistance de source du capteur est de l'ordre de  $5 M\Omega$ . Après sélection des JFET, la paire différentielle atteint un niveau de bruit blanc de  $5 nV \cdot Hz^{-1/2}$  et une fréquence de recouvrement de  $2 kHz$ . Le gain et l'impédance de sortie du premier étage ont été établis de façon à atténuer le bruit dû aux interférences dans les liaisons avec les étages supérieurs. Downey a proposé un amplificateur composé de deux étages [64]. Le premier est une paire différentielle réalisée par deux JFET 2N6483 et d'un amplificateur opérationnel TLC 271, l'ensemble fonctionnant à  $77 K$ . Le gain obtenu dans la configuration de la figure 1.12 est de 100, le niveau de bruit blanc est de  $10 nV \cdot Hz^{-1/2}$  et la fréquence de recouvrement est de  $50 Hz$ . La puissance totale consommée est au maximum de  $250 \mu W$ .

Des circuits intégrés ont été réalisés en technologies standards pour un fonctionnement à  $77 K$  avec une optimisation en bruit appliquée à des capteurs supraconducteurs. Nous avons choisi de présenter brièvement ici deux exemples concernant les bolomètres SHTC et les SQUID DC SHTC. Voisin *et al.* [65] ont conçu un pré-amplificateur en technologie CMOS AMS  $1,2 \mu m$  *n*-well pour des bolomètres YBCO. Le niveau de bruit blanc du circuit atteint  $0,8 nV \cdot Hz^{-1/2}$  à  $77 K$  avec une fréquence de recouvrement de  $\sim 4 kHz$  et un gain de 40 ajustable par une source externe de polarisation du transistor d'entrée. Dans ce type d'amplificateur, le bruit en entrée est principalement dû au transistor d'entrée dont les dimensions ont été choisies pour minimiser le bruit excédentaire ( $W = 36000 \mu m$  et

$L = 4,2 \mu m$ ). La capacité de découplage intégrée sur l'ASIC<sup>20</sup> dans une première version ( $C_C = 20 pF$ ) a été remplacée par une capacité céramique externe de  $1 \mu F$ .

Kurnet *et al.* [66] ont réalisé un système de pré-amplification directement couplé à un SQUID DC. Le pré-amplificateur devait présenter une impédance d'entrée de l'ordre de quelques dizaines d'ohms puisque le SQUID DC a une impédance de sortie qui est souvent voisine de  $10 \Omega$ . Le pré-amplificateur est placé dans le cryostat à proximité ( $5 cm$ ) du SQUID opérant à  $77 K$ . Le niveau de bruit requis à l'entrée du pré-amplificateur doit être inférieur à  $0,5 nV \cdot Hz^{-1/2}$ . Compte tenu de ces restrictions, une technologie BICMOS  $1,2 \mu m$  a été utilisée. L'étage d'entrée a été réalisé par la mise en parallèle de 256 transistors *npn* présentant chacun un bruit en entrée de  $4,4 nV \cdot Hz^{-1/2}$ . Le niveau de bruit blanc équivalent optimal du "macro transistor" est alors annoncé dans une plage de 260 à  $280 pV \cdot Hz^{-1/2}$  correspondant au niveau de bruit attendu ( $275 pV \cdot Hz^{-1/2}$ ). La fréquence de recouvrement est  $10 Hz$ . L'assemblage en paire différentielle réalisée de deux "macro-transistors" donne un bruit en entrée de  $0,44 nV \cdot Hz^{-1/2}$  à  $77 K$ . Le gain de cette paire différentielle est de 120, la bande passante est de  $1 MHz$  et l'impédance d'entrée est de  $65 \Omega$ . Aucune précision n'est donnée sur la structure complète de l'électronique. La paire différentielle est incluse dans une boucle à verrouillage de phase dont les autres éléments sont situés à l'extérieur du cryostat.

#### 4.4 Bilan : intérêts de l'intégration "capteur YBCO- amplificateur semiconducteur"

L' YBCO présente des propriétés intéressantes pour la réalisation de capteurs. Les principaux avantages de l'intégration de tels capteurs avec des composants semiconducteurs sont :

- ✓ la réduction de l'encombrement,
- ✓ la réalisation possible de réseaux linéaires ou matrices de capteurs,
- ✓ la réduction des interférences,
- ✓ réduction du bruit blanc,
- ✓ la simplification de l'utilisation.

---

<sup>20</sup> *Application Specific Integrated Circuit*

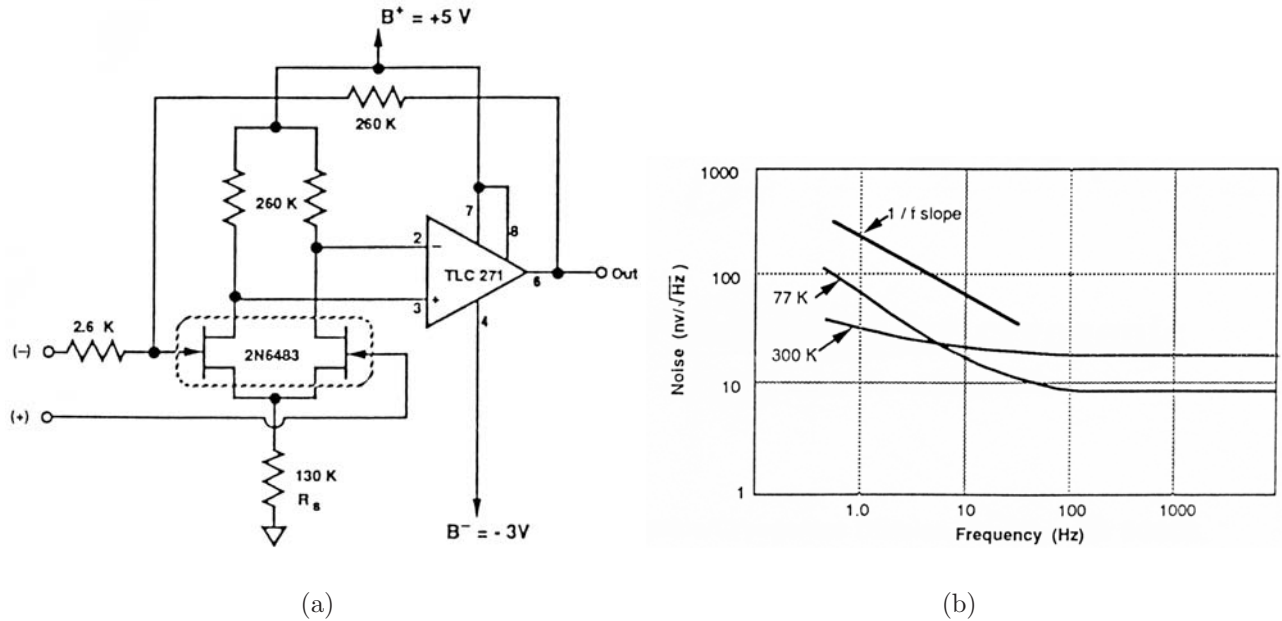


Figure 1.12: Exemple de mise en oeuvre d'un amplificateur à éléments discrets opérant à  $77\text{ K}$ . (b) Dépendances en fréquence du bruit équivalent en entrée à  $300\text{ K}$  et  $77\text{ K}$ . Les figures sont extraites de [64].

Le fort TCR de l'YBCO et les techniques de micro-usinage du silicium expliquent notre choix de réaliser un microbolomètre associé à son préamplificateur en solution intégrée sur silicium.

## 5 Comportement des dispositifs semiconducteurs à basse température

Le silicium est le matériau le plus courant pour l'électronique semiconductrice à température ambiante. Un grand nombre de circuits utilisant des technologies standards ont été conçus avec succès pour fonctionner à basse température [67, 68, 69]. De plus (chapitre 2), la croissance épitaxiale d'YBCO sur silicium a déjà été démontrée. C'est pourquoi nous nous limitons ci après au cas du silicium.

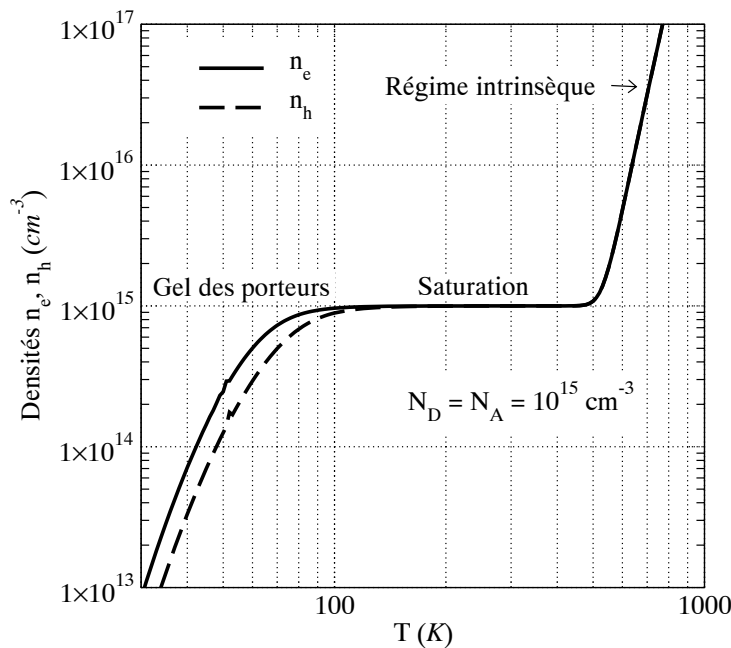


Figure 1.13: Densité de porteurs majoritaires  $n_e$  et  $n_h$  dans du silicium de type  $n$  et  $p$  respectivement. La densité d'impuretés donneurs  $N_D$  (phosphore) et accepteurs  $N_A$  (bore) est égale à  $10^{15} \text{ cm}^{-3}$ .

## 5.1 Analyse de l'effet de l'abaissement de la température sur les propriétés de transport du silicium

Deux phénomènes importants interviennent à basse température. Le premier est le **gel des porteurs**. La figure 1.13 montre l'évolution des densités de porteurs majoritaires  $n_e$  et  $n_h$  en fonction de la température pour du silicium dopé à  $10^{15} \text{ cm}^{-3}$  par du phosphore (type  $n$ ) et du bore (type  $p$ ) respectivement. Le nombre de porteurs est sensiblement constant de  $500 \text{ K}$  à  $100 \text{ K}$ , puis il chute exponentiellement avec la température. Le gel des porteurs dépend essentiellement de la largeur de bande interdite et du niveau d'énergie d'ionisation des impuretés car la densité de porteurs varie en exponentielle  $E_D/2kT$  ou  $E_A/2kT$  suivant le type N ou P du dopage dans le régime de gel des porteurs. Ce phénomène est responsable par exemple de la chute de gain des transistors bipolaires classiques qui dépend essentiellement du rapport de la densité d'impuretés ionisées de la base sur celle de l'émetteur. Pour les semiconducteurs comme  $GaAs$  ou  $Ge$ , le gel des porteurs intervient à plus basse température. Le niveau d'énergie d'ionisation des dopants ( $Si$ ,  $C$ ,  $Be$ ,  $Ge$ ) dans  $GaAs$  est suffisamment faible<sup>21</sup> (quelques  $meV$ ) pour que, même

<sup>21</sup>Ceci est vrai uniquement pour un dopage de type  $n$ . Comme la masse effective des trous est beaucoup plus importante que celle des électrons, les énergies d'ionisation des ions accepteurs sont plus élevées que



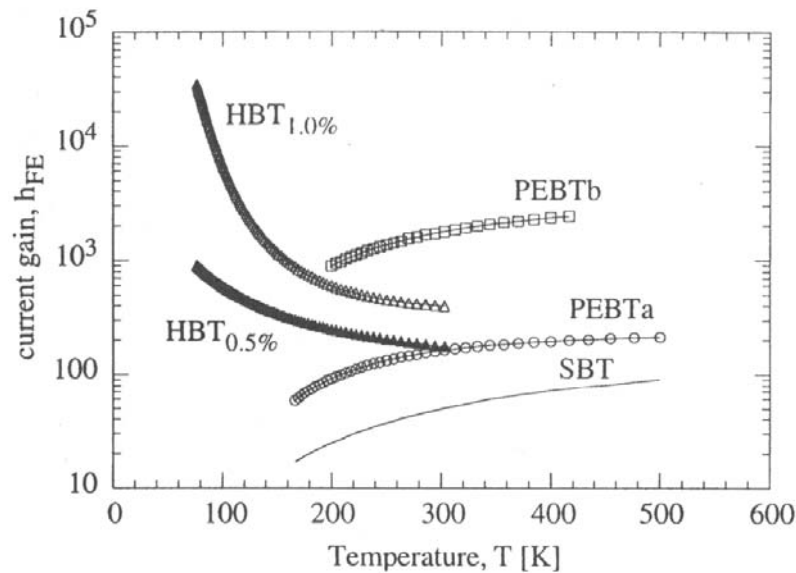


Figure 1.14: Gain en courant en fonction de la température des transistors bipolaires de type SBT, PEbT (avec deux épaisseurs d'oxyde d'interface entre la partie monocristalline et le polysilicium de l'émetteur) et HBT (*SiGe* avec deux compositions en carbone différente indiquée par le pourcentage). Le graphique est extrait de [69].

à très basse température, toutes les impuretés soient ionisées, ce qui empêche le piégeage des électrons ou des trous. Le germanium a une plus faible largeur de bande interdite que le silicium et les niveaux d'ionisation sont également plus faibles que dans le silicium. Ces deux propriétés abaissent considérablement la température à partir de laquelle le gel des porteurs devient effectif (à partir de  $20 - 15 K$ ).

Le second phénomène est l'augmentation de la mobilité des porteurs de charges. Elle est principalement contrôlée par l'interaction avec les phonons et les impuretés. Ces phénomènes sont facilement modélisables. A basse température, la densité d'impuretés ionisées et la densité de phonons diminuent, ce qui conduit à une augmentation de la mobilité des porteurs en volume. Cependant cette augmentation de la conductivité électrique est contrebalancée par le gel des porteurs. Dans les MOSFET, où la conduction se produit à l'interface Si/SiO<sub>2</sub>, la mobilité est principalement contrôlée par des phénomènes de diffusion à l'interface et par la saturation de la vitesse des porteurs. La modélisation de ces mécanismes en fonction de la température est difficile et dépend de paramètres propres aux technologies de fabrication des composants.

## 5.2 Les transistors bipolaires à basse température

Les transistors bipolaires ne sont pas connus pour fonctionner à basse température. Gutierrez [69] a rassemblé sur un même graphique les gains en fonction de la température pour trois technologies de transistors bipolaires, d'après les travaux de Ashburn *et al.* [70], Van Hallen *et al.* [71], Jayanarayanan *et al.* [72]. Dans le cas des transistors SBT (*Standard bipolar transistor*) et PEPT (*Polysilicon Emitter Bipolar Transistor*), le gain diminue avec la température et si on extrapole les courbes de la figure 1.14, il devient inférieur à l'unité à 77 K. Ceci s'explique par le gel des porteurs minoritaires dans la base qui, dans ces transistors, doit être faiblement dopée [73, 74, 75]. Du fait de ces propriétés, les transistors bipolaires SBT et PEPT n'ont pas donné lieu à des applications pour les basses températures<sup>22</sup>.

On constate par contre que le gain des transistors HBT (*Heterojunction Bipolar Transistor*) augmente quand la température diminue. Les deux courbes se rapportant à ce type de composant correspondent à un dopage au carbone de la couche SiGe de 1% et 0,5%. Cependant, il existe des possibilités technologiques pour atténuer les effets de la température sur le gain [73]. De plus, les réalisations de Kurnet *et al.* [66] et Ukhansky *et al.* [42] montrent que la réalisation de transistors bipolaires pour les basses températures est possible. Il faut aussi noter que la température de jonction de ces composants doit certainement être supérieure à la température extérieure (77 K) à cause de l'échauffement des composants par effet Joule. La technologie SiGe offre des possibilités prometteuses, mais au démarrage de ce travail ce n'était qu'une technologie émergente [77]. De plus, les composants SiGe sont destinés à des applications à haute fréquence donc pas forcément adaptées aux applications opérant à basse fréquence.

## 5.3 Les transistors à effet de champ à jonction à basse température

Le transistor à effet de champ à jonction sur silicium (Si JFET) est de loin le composant le plus utilisé à basse température. Au contraire des transistors bipolaires, le transport

---

<sup>22</sup>Dans la technologie PEPT, le contact de l'émetteur est réalisé par du polysilicium très fortement dopé. Il existe entre la partie de l'émetteur réalisée en polysilicium et l'émetteur monocristallin une couche d'oxyde natif qui contrôle le gain du transistor. On pourra se reporter aux travaux de N. Valdarez [76] pour plus de détails.

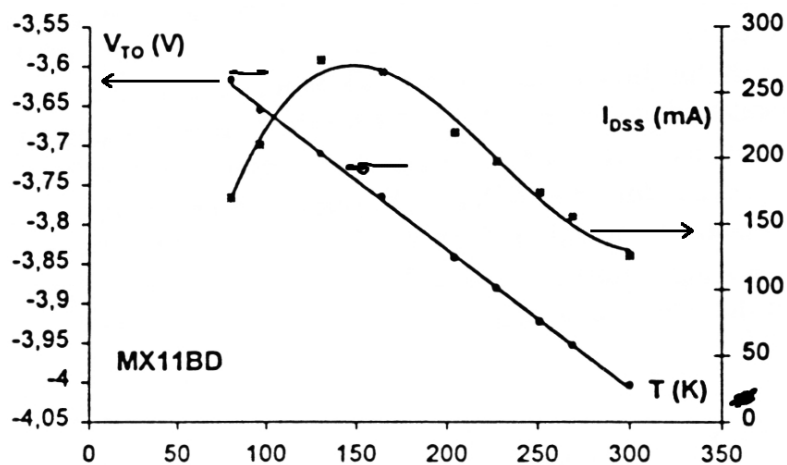


Figure 1.15: Courant de saturation et tension de pincement d'un JFET à canal  $n$  MX11BD de MOXTEK en fonction de la température, d'après [78].

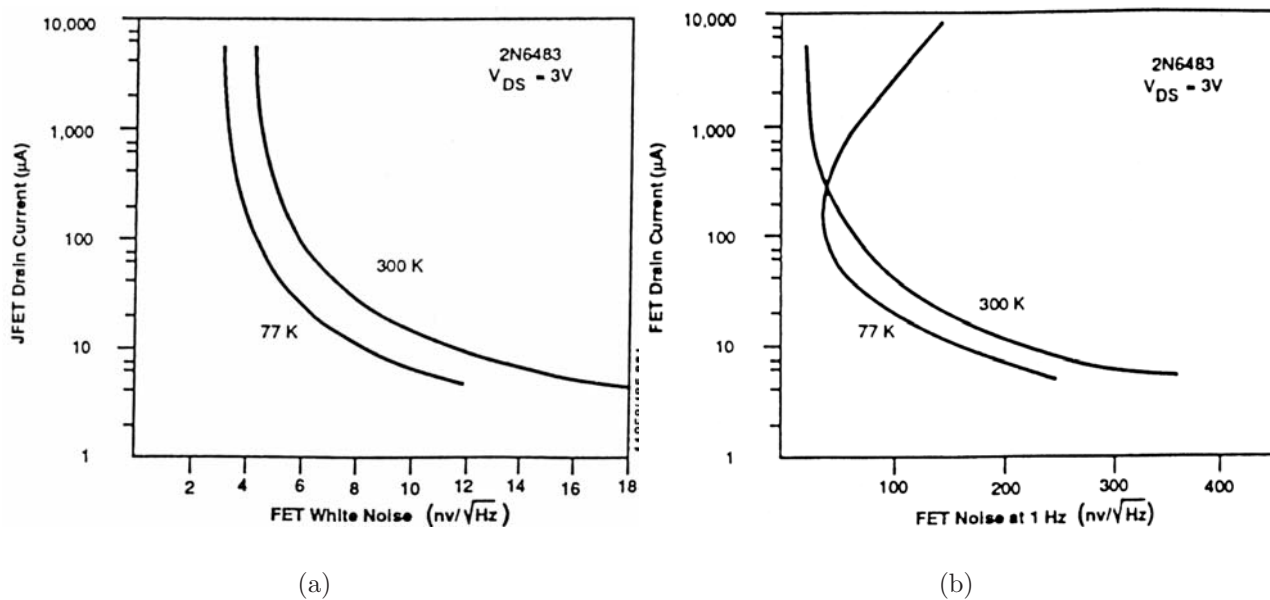


Figure 1.16: (a) Niveau de bruit blanc et (b) niveau de bruit excédentaire ( $1\text{ Hz}$ ) en fonction du courant de drain à  $300\text{ K}$  et  $77\text{ K}$  du composant 2N6483, d'après [64].

du courant est assuré par des porteurs de charges majoritaires. Les dégradations des caractéristiques  $I-V$  sont directement liées au gel des porteurs et apparaissent dès  $100\text{ K}$ . La plupart des composants ne fonctionnent pas à  $4,2\text{ K}$  [67]. On peut montrer que pour un dopage<sup>23</sup> compris entre  $10^{15}$  et  $10^{16}\text{ m}^{-3}$ , le nombre d'impuretés ionisées est divisé par 3 à  $77\text{ K}$  par rapport à l'ambiante (figure 1.13). Cependant, sous l'effet du champ électrique dans le canal, deux phénomènes d'ionisation importants génèrent des porteurs libres : l'ionisation par impact qui traduit une augmentation du libre parcours moyen des porteurs de charge [79], l'effet Poole-Frenkel qui devient important sous champ électrique élevé [80]. De ce fait, quelques composants, comme le BF245, fonctionnent à des températures très inférieures à la température de gel des porteurs [81, 82, 83].

La figure 1.15 illustre le comportement classique des JFET. Le composant testé ici est un JFET à canal  $n$  MX11BD [78]. La tension de pincement augmente en valeur absolue quand la température diminue. Cela est principalement due à la variation thermique du potentiel de la jonction grille-canal au rythme de  $-2\text{ mVK}^{-1}$ . D'autre part, le courant de saturation augmente avec le refroidissement, il est maximal vers  $150\text{ K}$  ; à  $77\text{ K}$  il est quand même plus grand qu'à  $300\text{ K}$ . On peut donc prévoir que le bruit blanc de ce composant sera plus faible à  $77\text{ K}$  qu'à  $300\text{ K}$ . L'évolution de ces paramètres avec la température se retrouve dans d'autres JFET que l'on peut trouver dans [64, 84, 85, 86].

Les JFET sont très utilisés en applications à faible bruit. Les niveaux de bruit de quelques composants commerciaux sont donnés pour une température ambiante dans le tableau 1.1. Lanzy *et al.* [85] ont mesuré un niveau de bruit blanc optimal de  $0,3\text{ nV} \cdot \text{Hz}^{-1/2}$  avec une fréquence de recouvrement de  $4\text{ Hz}$  à  $110\text{ K}$ . D'une manière plus générale, Downey [64] a montré expérimentalement que, à température donnée, les niveaux de bruit blanc et de bruit excédentaire (à  $1\text{ Hz}$  dans la publication) sont directement liés au courant de drain comme le montrent les figures 1.16a et b.

## 5.4 Les transistors Métal-Oxyde-Semiconducteur (MOSFET) à basse température

Le transistor MOS est certainement le composant semiconducteur le plus étudié des points de vue théorique et technologique. Il existe donc une large documentation sur son

---

<sup>23</sup>Ce qui est généralement le cas pour le canal

comportement à basse température. Nous résumerons ici leur comportement général à basse température.

#### 5.4.1 La tension de seuil $V_{th}$

Pour les composants dont la longueur de canal est supérieure à  $0,1 \mu m$ , on peut modéliser la tension de seuil  $V_{th}$  en fonction des paramètres technologiques et de la polarisation du substrat  $V_{SB}$  de cette façon :

$$V_{th} = V_{T0} \pm \gamma \left( \sqrt{2|\phi_B| + V_{SB}} - \sqrt{2|\phi_B|} \right)$$

avec  $V_{T0}$  la tension de seuil pour  $V_{SB} = 0 V$ ,  $\gamma$  le facteur de modulation de seuil par le substrat et  $\phi_B$  le potentiel de Fermi<sup>24</sup> dans le substrat [V].  $V_{T0}$  s'écrit :

$$V_{T0} = V_b + 2\phi_B \pm \gamma\sqrt{2|\phi_B|} \quad (1.14)$$

avec  $V_b$  potentiel de bande plate [V]. Dans l'expression 1.14, tous les termes dépendent de la température. Le calcul de  $V_{T0}$  en fonction de la température est représenté en figure 1.17 où  $N_{SS}$  est la densité de charges par unité de surface dans l'oxyde [ $cm^{-2}$ ]. On a ajouté la tension de seuil que nous avons extraite expérimentalement sur un composant PMOS pour des température allant de  $77 K$  à  $292 K$ . La pente de la courbe expérimentale est de  $3,04 mV \cdot K^{-1}$  ce qui correspond sensiblement à la pente théorique ( $3,3 mV \cdot K^{-1}$ ), calculée à partir des données technologiques du procédé PMOS et de l'équation 1.14.

#### 5.4.2 Les régimes de conduction

Les composants MOS de types  $p$  et  $n$  sont décrits par des modèles similaires. Rappelons brièvement les trois régimes de polarisation en fonction des tensions de drain  $V_{DS}$  et de grille  $V_{GS}$ , pour  $V_{GS}, V_{th}, V_{DS} \geq 0$  (NMOSFET) [87] :

1. Régime sous le seuil :  $V_{DS} \leq V_{GS} \leq V_{th}$  les phénomènes de conduction sont dominés par la diffusion des porteurs.
2. Régime linéaire :  $V_{GS} \geq V_{th}$  et  $V_{DS} \ll V_{GS}^* = V_{GS} - V_{th}$ . Le transistor se comporte comme une résistance. La densité de charge d'inversion est sensiblement constante de

---

<sup>24</sup>On définit  $\phi_B$  comme la différence entre le potentiel de Fermi extrinsèque et le potentiel de Fermi intrinsèque (qui est généralement pris pour origine).

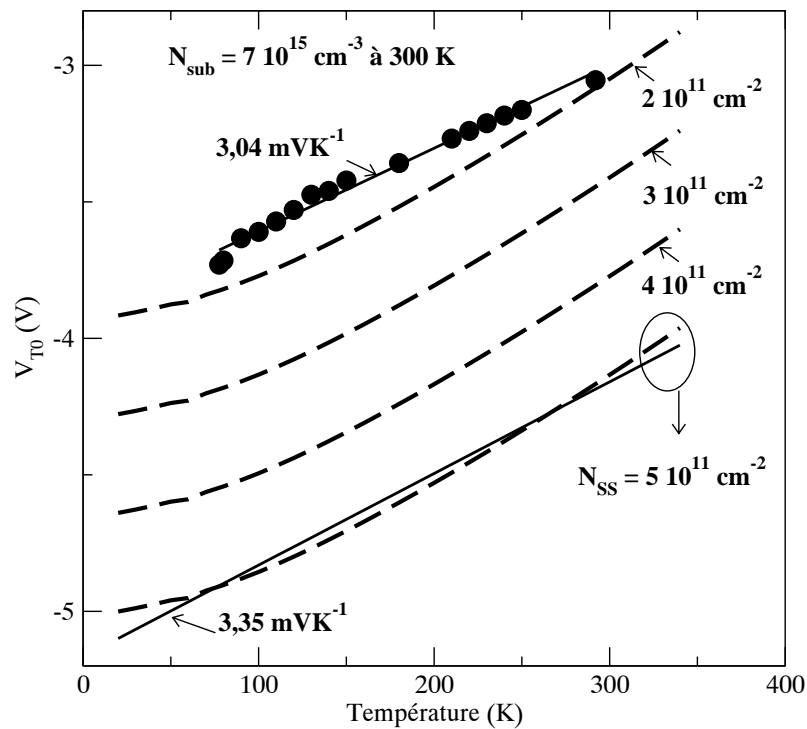


Figure 1.17: Tension de seuil  $V_{T0}$  calculée à partir de l'équation 1.14 (pointillés), avec les données technologiques du procédé PMOS. On a considéré différentes valeurs de densités de charges surfaciques dans l'oxyde ( $N_{SS}$ ). Les symboles marquent la valeur de  $V_{T0}$  extraite sur un composant PMOS de la technologie standard de Rennes qui sera décrit au chapitre 2.

la source jusqu'au drain. Le champ électrique longitudinal commande la conduction. La diffusion des porteurs est d'un effet faible. Le courant de drain  $I_{DS}$  et la résistance de canal  $r_{DS}$  se modélisent simplement par :

$$I_{DS} = \mu C_{OX} \frac{W}{L} \left( V_{GS}^* - \frac{V_{DS}}{2} \right) V_{DS} \quad (1.15)$$

et

$$r_{DS} = \frac{1}{\mu C_{OX} \frac{W}{L} \left( V_{GS}^* - \frac{V_{DS}}{2} \right)} \quad (1.16)$$

avec  $\mu$ , la mobilité des porteurs de charge [ $cm^2 \cdot V^{-1} \cdot s^{-1}$ ],  $C_{OX}$  la capacité de grille par unité de surface [ $F \cdot cm^{-2}$ ] et  $W$  et  $L$ , respectivement la largeur et la longueur du canal.

- Régime de saturation :  $V_{GS} \geq V_{th}$  et  $V_{DS} \geq V_{GS}^*$  : le canal est "pincé" au niveau du drain. La densité de charge décroît de la source vers le drain. Le courant est fonction quadratique de  $V_{GS}^*$

$$I_{DS} = \frac{\mu C_{OX} W}{2 L} (V_{GS}^*)^2 (1 + \lambda V_{DS}) \quad (1.17)$$

Dans l'équation 1.17, le terme  $\lambda$  [ $V^{-1}$ ] traduit la modulation de la longueur effective du canal [87].

Ces équations décrivent convenablement le comportement des MOSFET à canal long ( $L \geq 0,5 \mu m$ ) pour  $T \geq 50 K$  [88]. A très basse température,  $T \leq 10 K$ , on observe des effets de non-linéarité (figure 1.18) sur le courant de drain.

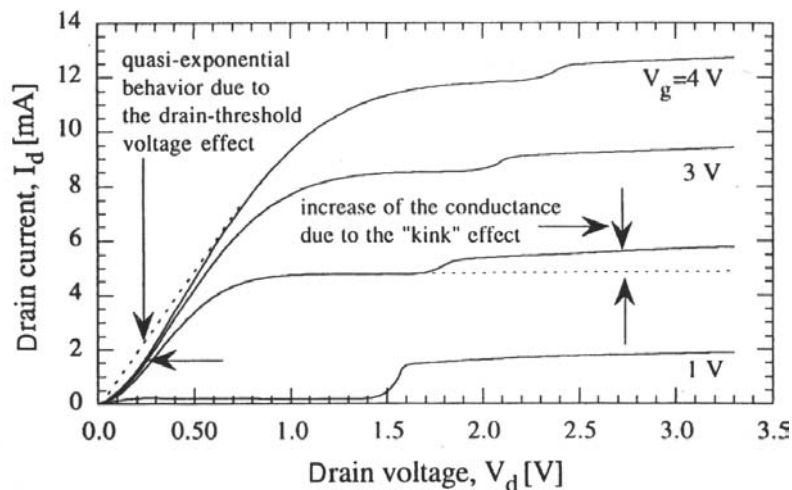


Figure 1.18: Caractéristique I-V pour un NMOSFET ( $W/L = 10/0,5$ ) pour différentes valeurs de  $V_{GS}$  à 4, 2 K d'après [69].

### 5.4.3 Circuit équivalent en régime de petits signaux

La figure 1.19 montre le schéma complet équivalent petits signaux d'un MOSFET.

Le gain à vide d'un montage en source commune peut s'écrire [89] :

$$A_v = \frac{-g_m}{g_{DS}}$$

avec  $g_m = \left. \frac{dI_D}{dV_{GS}} \right|_{V_{DS}=\text{const}}$  et  $g_{DS} = \left. \frac{dI_D}{dV_{DS}} \right|_{V_{GS}=\text{const}}$ , d'après les équations 1.15 et 1.17.

On peut remarquer que  $g_m$  et  $g_{DS}$  sont proportionnels à la mobilité. Les figures 1.20 et 1.21 montrent qu'à la fois  $g_m$  et  $g_{DS}$  augmentent lorsque la température diminue et cette augmentation est plus marquée sur les transistors à canal long. Les paramètres petits signaux présentés ici d'après [69], sont normalisés par rapport à leur valeur à 300 K.

### 5.4.4 La mobilité

La mobilité des porteurs de charge dans le canal d'inversion d'un MOSFET est plus faible que la mobilité des porteurs dans le substrat [90, 91, 92]. Elle est obtenue à partir des

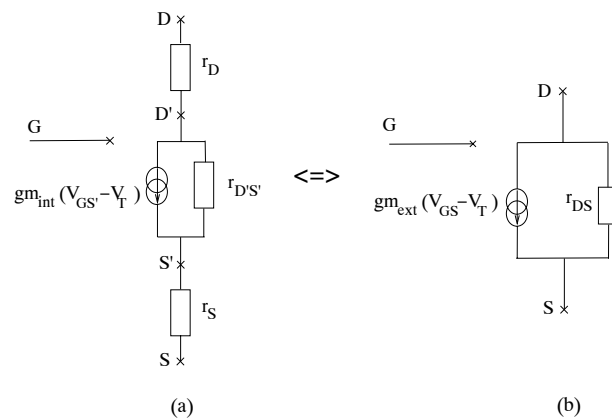


Figure 1.19: (a) Schéma équivalent en petits signaux d'un MOSFET prenant en compte les résistances d'accès  $r_S$  et  $r_D$  au canal interne du transistor (b) schéma équivalent externe incluant les effets des résistances d'accès.

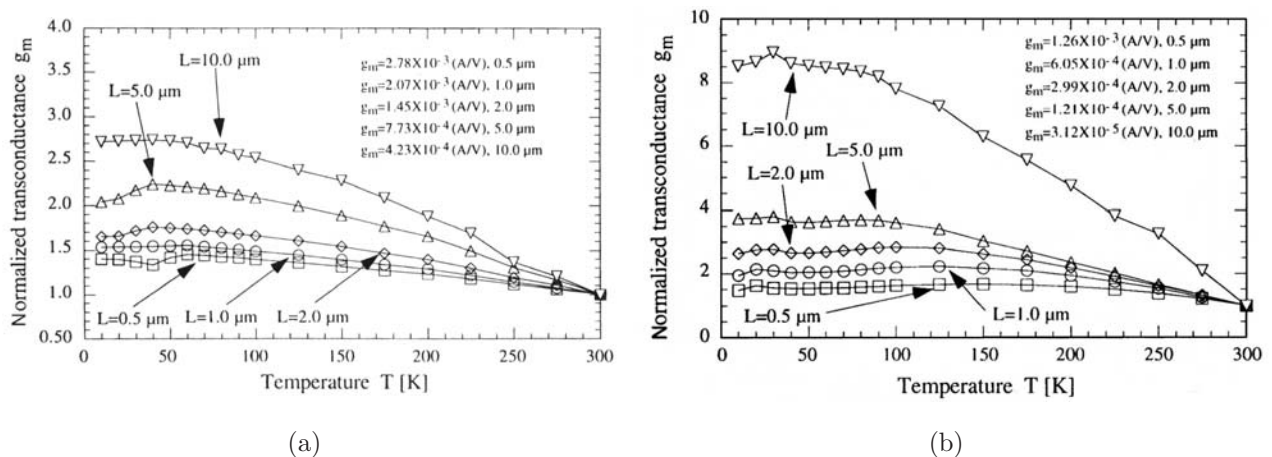


Figure 1.20: Transconductance de NMOSFET en technologie  $0,5 \mu\text{m}$  CMOS en fonction de la température pour différentes géométries : (a) régime linéaire ( $V_{DS} = 0, 23 \text{ V}$ ) pour la valeur de  $V_{GS}$  où  $g_m$  atteint son maximum et (b) en régime de saturation ( $V_{DS} = 3 \text{ V}$ ) d'après [69].

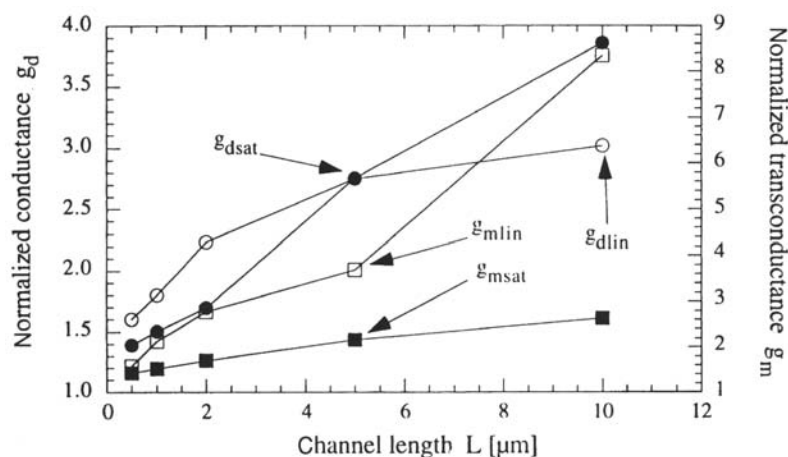


Figure 1.21: Conductances  $g_m$  et  $g_{DS}$  à  $77 \text{ K}$  d'un jeu de NMOSFET en technologie  $0,5 \mu\text{m}$  CMOS normalisées par rapport à leurs valeurs à  $300 \text{ K}$  en fonction de la longueur de canal, d'après [69]. Les indices *sat* et *lin* indiquent respectivement les régimes de saturation et linéaire.



caractéristiques I-V des composants [93, 94, 95]. La diffusion des porteurs par l'interface SiO<sub>2</sub>/Si et le fort champ électrique transversal sont responsables de cette diminution. Il existe de nombreux modèles pour en tenir compte mais ils sont relativement complexes [92]. Les paramètres qui permettent de modéliser la mobilité dépendent de la technologie du composant. Dans les modélisations simples (*cf.* équations 1.15 et 1.17), la mobilité est considérée comme constante. A partir de ce modèle simple, on peut extraire une mobilité effective des caractéristiques statiques, on s'aperçoit que la mobilité augmente quand la température baisse. Cependant, il n'est pas toujours évident d'affirmer que le gain d'un circuit donné va augmenter puisque à la fois la transconductance  $g_m$  et la conductance  $g_{DS}$  des transistors varient en température (figure 1.21).

#### 5.4.5 Le bruit

Le bruit des MOSFET est la somme des contributions en bruit blanc  $e_n$  et en bruit excédentaire  $e_{nBF}$  (généralement proportionnel à  $1/f$ ). La densité spectrale en tension de la source de bruit blanc est exprimée par :

$$e_n^2 = \kappa \frac{4kT}{g_m} \quad (1.18)$$

où  $\kappa$  est un facteur égal à 2/3 en régime de forte inversion et 1/2 en régime de faible inversion. La composante de bruit basse fréquence  $e_{nBF}$  a différentes origines physiques qui rend sa modélisation difficile et explique l'existence de nombreux modèles. D'une manière empirique, le niveau de bruit excédentaire se traduit par une densité spectrale de la forme [60] :

$$e_{nBF}^2 = \frac{K_F}{2K_P C_{ox} W L} \frac{1}{f^{AF}} \quad (1.19)$$

où est  $K_F$  un facteur d'ajustement ( $AF = 1$ ), dépendant de la technologie employée et du point de fonctionnement du composant. On trouve que le niveau de bruit excédentaire a tendance à augmenter quand la température diminue [96, 97, 98, 99, 100]. D'après les mesures de Chang *et al.* [99] en figure 1.22, on observe que les PMOSFET ont une fréquence de recouvrement plus faible que les NMOSFET. Aussi le PMOSFET est généralement choisi comme transistor d'entrée des amplificateurs (voir par exemple

[65]). La figure 1.23 illustre l'évolution du bruit basse fréquence en fonction de la tension de grille pour les deux types de transistors. On voit que le niveau de bruit basse fréquence est fortement dépendant de  $V_{GS}$  dans le cas de PMOSFET alors qu'il ne l'est pas pour les NMOSFET. Cette différence de comportement est liée à l'origine physique du bruit excédentaire qui correspond à des fluctuations de la mobilité dans les PMOSFET et à des fluctuations du nombre de porteurs induite par l'interface Si/SiO<sub>2</sub> [101] dans les NMOSFET. Cette différence ne s'observe donc pas dans les JFET. L'expression 1.19 fait apparaître que plus la surface de la grille est grande, plus le niveau de bruit excédentaire est faible. Nous avons également vu précédemment que la transconductance d'un MOSFET était proportionnelle à sa largeur si bien que son bruit blanc évolue de façon inversement proportionnelle à cette largeur. Il y a donc tout intérêt à choisir des MOSFET à canal large.

La minimisation en bruit d'un circuit pour les basses températures passe d'abord par son optimisation à température ambiante à l'aide des outils de simulation comme SPICE. Cela permet de mettre en évidence les composants les plus influents sur le niveau de bruit équivalent d'entrée de l'amplificateur. En général, c'est le composant d'attaque qui apporte la plus grande contribution. L'optimisation d'un amplificateur à base de transistors FET consistera à obtenir la plus grande surface de grille tout en veillant à ne pas dégrader les performances du circuit (gain, bande passante) et en tenant compte des contraintes de conception (*design*) et de la place disponible.

## 5.5 Choix de la technologie des dispositifs

L'intégration des transistors bipolaires pour un fonctionnement à 77 K implique des modifications importantes par rapport à un procédé standard [73, 75], nous avons donc éliminée cette solution. Les transistors à effet de champ (JFET et MOSFET) fonctionnent normalement jusqu'au gel des porteurs (le nombre de porteur décroît exponentiellement avec la température en dessous de 100 K pour du silicium non-dégénéré). Le MOSFET peut fonctionner jusqu'à des très basses températures ( $\leq 4,2 K$ ) puisque la couche de conduction est générée par le champ électrique transversal. Cependant, on constate des anomalies sur les caractéristiques statiques.

Le niveau de bruit blanc des transistors FET est généralement plus petit à 77 K qu'à

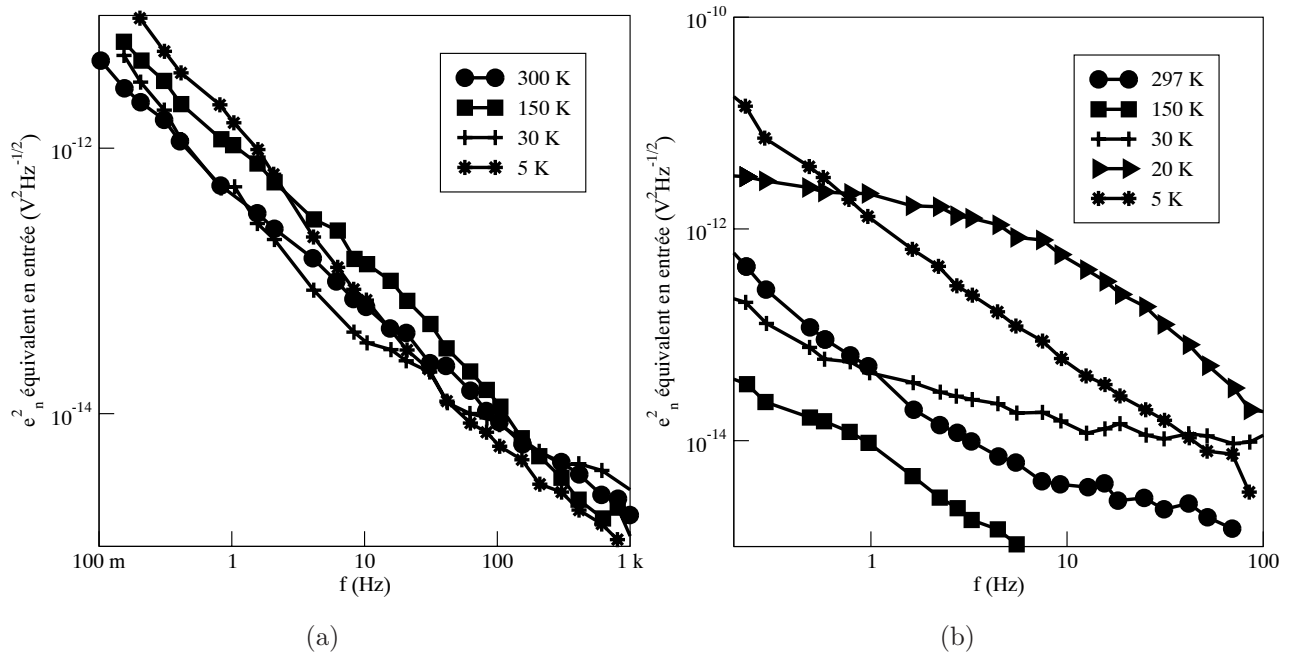


Figure 1.22: Densité spectrale de bruit mesurée à  $V_{DS} = \pm 0,5$  pour un NMOSFET (a) et un PMOSFET (b) de même dimensions ( $W/L = 80/6 \mu m^2$ ) pour  $T$  compris entre  $T = 297 K$  et  $T = 5 K$ , d'après les mesures publiées dans [99].

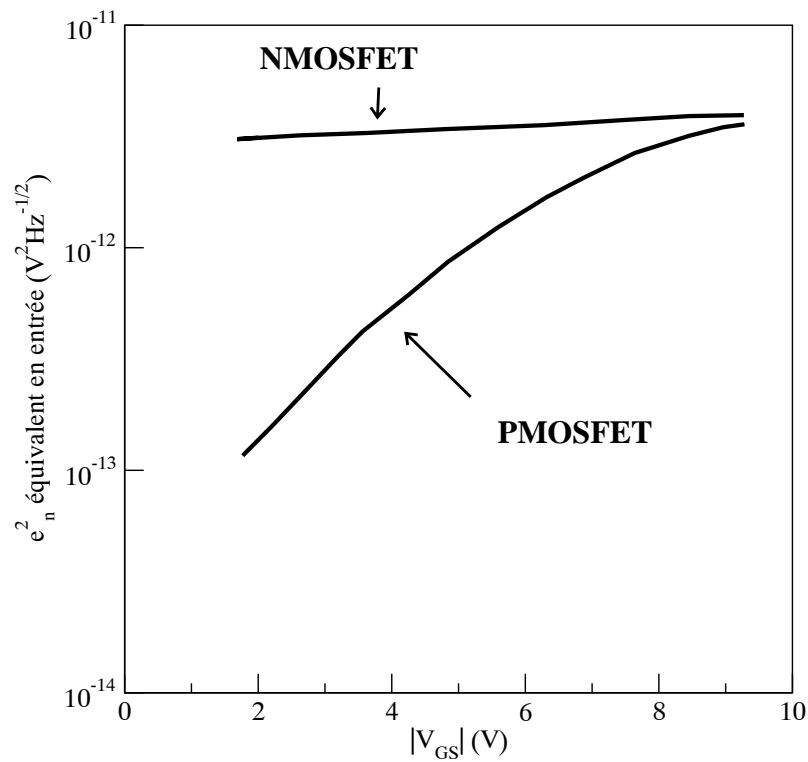


Figure 1.23: Evolution de la densité spectrale de bruit excédentaire de MOSFET mesurée à  $100 Hz$  en fonction de la tension de grille  $V_{GS}$ , d'après les mesures publiées dans [99].

300 K. Cependant, pour les JFET, la température optimale de fonctionnement se situe plutôt entre 100 K et 300 K. Lorsque le gel des porteurs est très important ( $T \leq 50$  K), la diminution du bruit thermique est limitée par la diminution de  $g_m$  (voir figure 1.21). Dans les FET, le bruit en  $1/f$  reste constant ou a tendance à augmenter lorsque la température diminue, ce qui a pour conséquence d'accroître la fréquence de recouvrement. Dans les applications à faible bruit, les JFET sont les plus utilisés. A chaque fois, les points de fonctionnement sont optimisés (polarisation, température). Les circuits publiés sont réalisés avec des composants discrets. Il existe des possibilités technologiques d'intégration des JFET dans des procédés CMOS standards [102, 103, 104, 105, 106, 107].

Les composants CMOS ne sont pas les plus performants en bruit, mais ils offrent l'avantage de fonctionner à froid sans grosse modification de procédé (ajustement de la tension de seuil). La gamme de température de fonctionnement s'étend jusqu'à 4,2 K. Des circuits intégrés peuvent atteindre des niveaux de bruit faibles en utilisant des composants de très grandes dimensions [65].

En conséquence, nous avons retenu la technologie MOS pour la réalisation de circuit amplificateur car :

- ✓ le fonctionnement à 77 K est assuré
- ✓ le niveau de bruit blanc et excédentaire peut être adapté par un dimensionnement adéquat des composants
- ✓ la métallisation *front-end* peut être *a priori* modifiée afin de supporter des températures élevées

Le laboratoire collabore depuis plusieurs années avec le groupe de Micro-électronique de Rennes où un procédé de fabrication de transistors PMOS est en place. C'est un procédé simple à un niveau de métallisation que nous avons retenu. Ce procédé sera décrit en détails au chapitre 2.

## 6 Modélisation d'un PMOSFET à 77K pour le *design* d'un circuit

La méthode de calcul analytique ne permet pas de prendre en compte les défauts des composants réels. Si les mécanismes de conduction en régime d'inversion sont bien

connus, en revanche, la mobilité des électrons et des trous dans la couche d'inversion ne peut pas s'évaluer à partir de simples équations analytiques. Le phénomène limitant le plus fortement la mobilité est la diffusion des porteurs de la couche d'inversion par les défauts à l'interface oxyde de grille/canal. Il existe des modélisations analytiques de ce phénomène mais elles nécessitent une résolution numérique complexe [69] et donc ne peuvent pas être intégrées dans un modèle simple. Nous avons opté pour la simulation SPICE.

## 6.1 Principe

NGSPICE est un programme de simulation pour l'analyse en mode DC, AC et transitoire des circuits électriques. NGSPICE est basé sur la famille de simulateurs SPICE3 développés à Berkeley<sup>25</sup>. Il existe un grand nombre de modèles pour les MOSFET. Les plus communs sont désignés par MOS 1 à 6 :

Modèle	Description	Ouvrages de référence
MOS1	caractéristique I-V basée sur une loi quadratique	[87]
MOS2	modélisation analytique	[108]
MOS3	modélisation semi empirique	[109]
MOS4 et 5	modèle BSIM pour les canaux courts	[110, 111, 112]
MOS6	modélisation analytique pour les canaux courts	[108]

Nous avons utilisé le modèle MOS1 dont les paramètres sont définis dans le tableau 1.3. Les caractéristiques DC sont définies par les paramètres  $V_{TO}$ ,  $KP$ ,  $LAMBDA$ ,  $PHI$  et  $GAMMA$  (tableau 1.3). Ces paramètres constituent le modèle de base du transistor.

Les paramètres soulignés en gris dans le tableaux 1.3 sont caractéristiques de la technologie de fabrication des composants. A partir d'un jeu de composants on peut extraire les paramètres du modèle MOS1 (tableau 1.4). La dépendance en température de certains paramètres est prise en compte par des paramètres additionnels mais ne permettent pas la simulation à 77 K. Nous avons donc choisi de remplacer les paramètres du modèle MOS1 à 300 K par les paramètres extraits des mesures des caractéristiques statiques à la tempéra-

<sup>25</sup><http://NGSPICE.sourceforge.net/>

Mos1 - model parameters (input-only)			
nmos	N type MOSfet model	cgdo	Gate-drain overlap cap.
pmos	P type MOSfet model	cgbo	Gate-bulk overlap cap.
Mos1 - model parameters (input-output)			
vto	Threshold voltage	rsh	Sheet resistance
vt0	(null)	cj	Bottom junction cap per area
kp	Transconductance parameter	mj	Bottom grading coefficient
gamma	Bulk threshold parameter	cjsw	Side junction cap per area
phi	Surface potential	mjsw	Side grading coefficient
lambda	Channel length modulation	js	Bulk jct. sat. current density
rd	Drain ohmic resistance	tox	Oxide thickness
		ld	Lateral diffusion
Mos1 - model input-output parameters			
rs	Source ohmic resistance	u0	Surface mobility
cbd	B-D junction capacitance	uo	(null)
cbs	B-S junction capacitance	fc	Forward bias jct. fit parm.
is	Bulk junction sat. current	nsub	Substrate doping
pb	Bulk junction potential	tpg	Gate type
cgso	Gate-source overlap cap.	nss	Surface state density
		tnom	Parameter measurement temperature
		kf	Flicker noise coefficient
		af	Flicker noise exponent

Tableau 1.3: Paramètres du modèle MOS1, extrait de l'aide en ligne de NGSPICE.

Paramètres	292 K	77 K	Unité
<i>VTO</i>	-3,05	-3,73	V
<i>KP</i>	$7,8 \cdot 10^{-6}$	$2,7 \cdot 10^{-5}$	$AV^{-2}$
<i>GAMMA</i>	0,98	0,98	
<i>PHI</i>	0,679	1,072	V
<i>LAMBDA</i>	0,025	0,025	$\mu m^{-1}$
<i>RS, RD</i>	800	166	$\Omega$
<i>LD</i>	2,85	2,35	$\mu m$

Tableau 1.4: Paramètres extraits sur les composants standards PMOS de Rennes à partir des caractéristiques statiques mesurées à 292 K et 77 K.

ture de l'azote liquide. Nous avons vu que dans les MOSFET, les modèles sont valables jusqu'à cette température, reste à vérifier la validité de cette méthode. Si elle l'est, on pourra alors dimensionner les composants pour un fonctionnement optimal à 77 K. En ce qui concerne le bruit, il a été montré qu'une telle stratégie ne peut pas s'appliquer en particulier pour le calcul de la contribution du bruit excédentaire.

## 6.2 Mesures

Nous avons réalisé la caractérisation de la technologie PMOS standard de Rennes de 300 K à 77 K. Nous avons extrait les paramètres principaux du modèle MOS1 à partir des caractéristiques statiques comme par exemple en figure 1.24. Malheureusement, les

plaquettes issues du procédé PMOS ne disposent pas d'un jeu de composants de différentes dimensions pour l'extraction complète des paramètres (MOS2 et supérieurs). Les figures 1.25 montrent les caractéristiques statiques  $I_{DS}(V_{GS})$  et  $I_{DS}(V_{DS})$  expérimentales et simulées. On obtient un bon accord entre le courant mesuré et le courant simulé pour une modélisation aussi simple<sup>26</sup>.

Cette méthode a été appliquée avec succès par Kurnet *et al.* [66] pour la conception d'un pré-amplificateur en technologie BICMOS (voir aussi [113, 114, 115]), alors que Voisin *et al.* ont préféré optimiser leur circuit à 300 K .[116]

---

<sup>26</sup>Dans le modèle MOS1, la mobilité est constante.

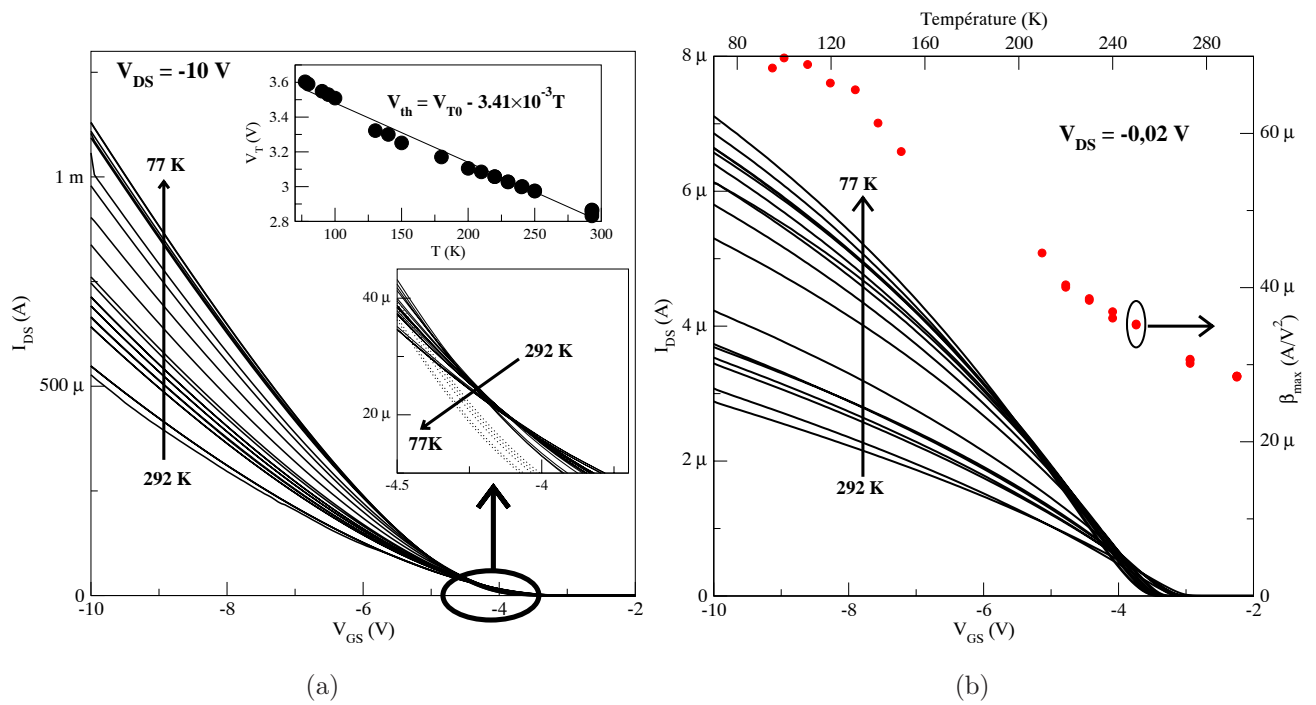


Figure 1.24: Caractéristiques statiques  $I_{DS}/V_{GS}$  : (a) en régime linéaire  $V_{DS} = -0,02 V$  et (b) en régime de saturation ( $V_{DS} = -10 V$ ). En insert : Tension de seuil  $V_{T0}$  et  $\beta_{max}$  en fonction de la température.

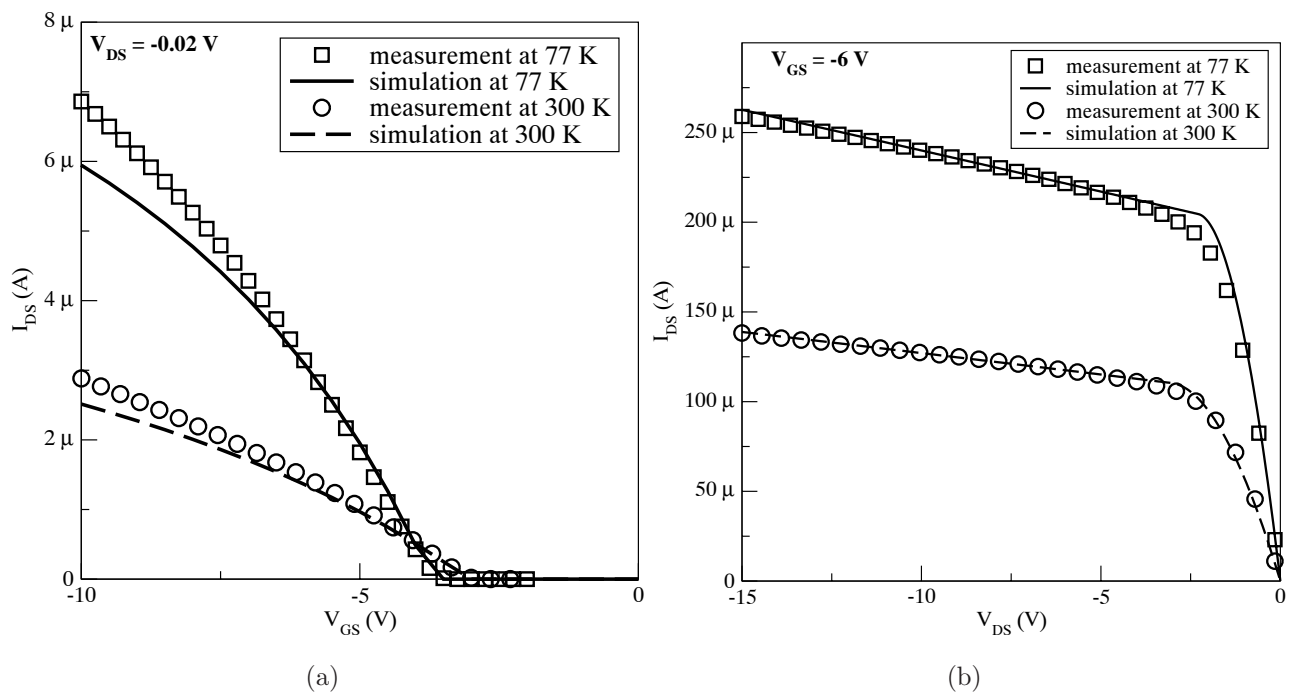


Figure 1.25: Caractéristiques statiques expérimentales (symboles) et simulées (traits pleins) d'un composant PMOS ( $W/L = 30/15 \mu m$ ) à 292 K et à 77 K.



## 7 Conclusion

Nous avons revu dans ce premier chapitre les filières d'intégration et montré que, à l'heure actuelle, seule une filière d'intégration monolithique "spécifique" est applicable aux capteurs YBCO. Le silicium est le semiconducteur le mieux adapté à l'intégration de fonctions électroniques combinées avec les capteurs en YBCO sur substrats usinés. Nous avons détaillé le fonctionnement d'un capteur YBCO simple : le bolomètre. La technologie MOS fonctionne convenablement à  $77\text{ K}$ . La technologie silicium que nous avons retenue pour réaliser un démonstrateur est une technologie simple PMOS accessible au Groupe de Micro-électronique de Rennes. Les logiciels de simulation de type SPICE peuvent être utilisés pour la conception de circuits à  $77\text{ K}$ , à condition d'adapter les modèles de composants. Cela peut se faire en obtenant les paramètres à partir des mesures des caractéristiques statiques à  $77\text{ K}$ .

# Chapitre 2

## Procédés de fabrication des composants PMOS et YBCO

Dans cette partie, nous décrivons les différents procédés de fabrication utilisés. Dans un premier temps, les équipements du GREYC seront présentés. Les étapes de fabrication et les caractéristiques de la technologie PMOS utilisée seront ensuite rappelées. Le procédé de croissance d'YBCO sur Si sera décrit et situé par rapport à l'état de l'art. Enfin les contraintes imposées par chaque technologie pour l'intégration monolithique seront analysées et en conclusion nous définirons la stratégie adoptée.

### 1 Description des équipements

Au cours de l'étude de la faisabilité de l'intégration de composants supraconducteurs et de composants PMOS, nous avons élaboré de nombreux échantillons de couches métalliques d'abord sur des substrats de Si et SiO<sub>2</sub>/Si mais aussi sur des plaquettes de composants PMOS que nous avons réalisées grâce aux moyens technologiques du groupe de microélectronique de l'IETR<sup>1</sup>. Nous ne décrivons pas en détails leurs équipements car ils sont disponibles sur leur site interne<sup>2</sup>. Cette section a pour but de montrer les équipements du GREYC et les techniques utilisées pour la réalisation de tous les contacts ou couches métalliques présentés dans ce manuscrit : les techniques de dépôt, les techniques de pho-

---

<sup>1</sup>Institut d'Electronique et de Télécommunications de Rennes avec la collaboration de Laurent Pichon (GREYC)

<sup>2</sup>Cf. le site internet : [www.ietr.org](http://www.ietr.org)

tolithographie et les techniques de gravure. Certains matériaux, comme le platine et le titane, ont été déposés au CRISMAT à Caen<sup>3</sup>. Le dépôt d'YBCO étant spécifique, il sera décrit dans la section 3.

## 1.1 Techniques de dépôt

Il existe de nombreuses méthodes PVD (Physical Vapor Deposition) de dépôt des films minces métalliques. Nous avons utilisé principalement la technique dite *pulvérisation HF*. Cette technique est une variante de la pulvérisation DC. Nous rappelons dans un premier temps brièvement le fonctionnement de cette dernière technique afin de faciliter la compréhension de la technique HF. Les caractéristiques techniques de l'équipement utilisé et les conditions de dépôt sont indiquées ensuite.

### 1.1.1 Pulvérisation cathodique (DC)

Une tension continue élevée (de quelques centaines à quelques milliers de volts) est appliquée aux bornes de deux électrodes placées dans une enceinte où un vide secondaire a préalablement été effectué. Une pression de gaz neutre (en général l'argon) de quelques millibars est ensuite maintenue. L'ionisation d'un atome de ce gaz provoque l'émission de particules, en particulier d'électrons. Un électron émis peut entrer en collision inélastique avec un atome de gaz. Si il lui transfère suffisamment d'énergie, l'atome est ionisé à son tour et libère un second électron qui sera alors accéléré par le champ électrique entre les deux électrodes. Il se crée alors les conditions d'une ionisation en cascade (compromis entre la tension appliquée, la pression de décharge du gaz et l'espacement entre les électrodes). Les ions sont attirés par la cathode (dont le potentiel est fortement négatif). Du fait de la polarisation de la cathode, il existe autour une zone sombre sans électron primaire (et où la différence de vitesse entre les ions incidents et les électrons émis par la cible est grande) et donc sans ionisation (pas d'illumination). Il existe donc à cet endroit une charge d'espace. La très grande différence de potentiel entre la surface de la cathode et la limite de la zone de décharge lumineuse engendre un énorme champ électrique qui va accélérer les ions positifs. Le bombardement de la cible par les ions  $\text{Ar}^+$  provoque l'arrachement d'atomes ou d'agrégats d'atomes dans toutes les directions de l'espace. Dans certains cas, un ion

---

<sup>3</sup>Equipe ferro-électrique : G. LeRhun, G. Poulain et R. Bouregba (contact : [gilles.poulain@ismra.fr](mailto:gilles.poulain@ismra.fr))

incident provoque l'émission d'un électron secondaire qui, accéléré à travers l'espace sans décharge va entretenir la décharge lumineuse (la lumière vient de l'émission d'un photon à la suite d'une collision inélastique entre un électron et les couches profondes d'un atome). Les électrons secondaires accélérés ne sont pas tous utilisés à l'entretien de la décharge et sont récupérés par l'anode. La chute de potentiel due au courant d'électrons dans la zone de décharge lumineuse est faible (faible champ électrique). Les atomes pulvérisés de la cible se déposent sur l'anode qui supporte l'échantillon (et les parois de la chambre).

Si la cathode ou l'anode est isolante, aucun courant DC ne peut s'établir. On assiste alors au chargement de l'anode par les électrons et de la cathode à la suite de l'ionisation de la surface par le phénomène de neutralisation des ions incidents. Ces charges au bout d'un moment atténuent suffisamment le potentiel entre les électrodes pour éteindre la décharge.

### 1.1.2 Pulvérisation haute fréquence (HF)

Si, on applique une tension HF entre les deux électrodes, dont une est mise à la masse (substrat, on verra plus loin pourquoi), on s'affranchit des propriétés électriques de la cible et du substrat. Le phénomène de pulvérisation est semblable à celui du système DC. Les phénomènes entretenant la décharge lumineuse ne sont pas encore bien connus. Une idée est de considérer que le flux et le reflux des électrons primaires d'une électrode à l'autre entretiennent la décharge. La fréquence (13,56 *MHz*) est très supérieure à la fréquence minimale d'extinction de la décharge. L'ionisation de l'électrode pendant la première moitié de la période est compensée par l'attraction massive des électrons pendant la seconde moitié de la période. La charge nette à la surface de l'électrode sur une période est nulle. Cependant, comme les électrons sont beaucoup plus légers que les ions d'argon (donc plus mobiles), il y a en moyenne sur une période du potentiel HF une densité de charge négative supérieure à la charge positive. La charge augmente jusqu'à atteindre un équilibre entre la densité d'électron autour de l'électrode et l'écrantage qu'elle produit. Il reste néanmoins entre la surface de l'électrode et la masse électrique un potentiel continu. Le processus de pulvérisation se produit donc simultanément sur les deux électrodes. Or, la pulvérisation intervient uniquement si la différence de potentiel entre l'électrode et le plasma donne suffisamment d'énergie aux ions incidents. D'un point de vue électrique,

la zone d'espace sombre (sans décharge) peut être assimilée à une capacité, sa charge nette est nulle. Comme le courant est une grandeur conservative, on peut écrire que la somme des courants traversant une électrode est égale à la somme des courants traversant l'autre électrode. L'expression du flux de courant traversant une électrode est donnée par la relation suivante [117] :

$$J = \frac{KV^{3/2}}{\sqrt{m}D^2} \quad (2.1)$$

où  $V$  est la tension entre la gaine d'ions et l'électrode,  $D$  est la longueur de cet espace (assimilée à l'épaisseur de l'isolant dans une capacité classique),  $K$  une constante et  $m$  la masse d'un électron. De la conservation des flux de courant à chaque électrode, il vient :

$$\frac{V_1^{3/2}}{D_1} = \frac{V_2^{3/2}}{D_2} \quad (2.2)$$

où les chiffres 1 et 2 se rapportent aux deux électrodes. D'un autre côté, la représentation électrique de deux capacités en série permet d'écrire :

$$\frac{V_1}{V_2} = \frac{C_2}{C_1} \quad (2.3)$$

La combinaison des relations 2.2 et 2.3 dans l'équation 2.1 donne la relation entre l'aire de l'électrode et le potentiel :

$$\frac{V_1}{V_2} = \left( \frac{A_2}{A_1} \right)^4 \quad (2.4)$$

Dans la réalité, l'exposant est inférieur à deux. Si le substrat ainsi que l'ensemble des parois de la chambre sont mis à la masse, ils sont assimilés à une électrode. D'un autre côté, un blindage adéquat de la cible permet de limiter la surface de l'électrode portant la cible (on voit sur la figure 2.1b que le blindage de la cible limite la zone de pulvérisation). Le rapport  $A_2/A_1$  est très grand devant 1 donc le potentiel  $V_1$  est très grand devant le potentiel  $V_2$ . En pratique, le potentiel  $V_2$  est trop faible pour que l'électrode soit pulvérisée. Par conséquent, la cible est assimilée à l'électrode négative (cathode). Le principe de la pulvérisation HF est montré sur la figure 2.1a.

Les propriétés des couches ainsi déposées dépendent de plusieurs facteurs, en premier lieu la pression et la température. Le diagramme de zones, présenté en figure 2.2, montre la structure d'une couche en fonction de la pression et du rapport  $T/T_m$  (température

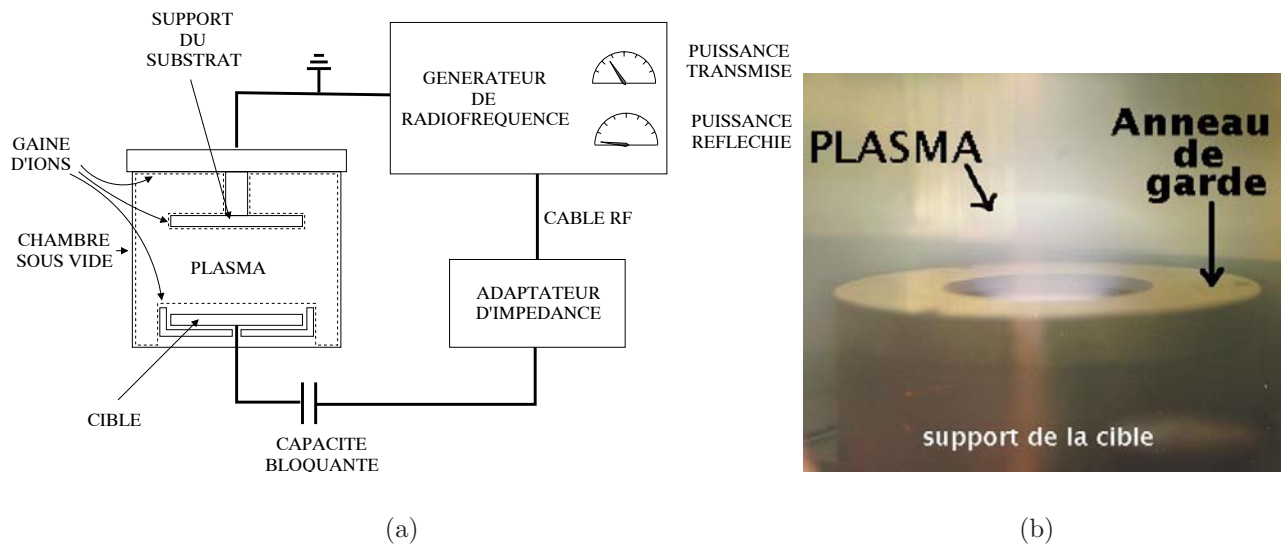


Figure 2.1: (a) Principe de la pulvérisation RF et (b) photographie du plasma au niveau de la cible dans le bâti du GREYC.

du substrat / température de fusion du matériau) pendant le dépôt. Quatre zones sont communément identifiées [118]. La zone 1 est caractérisée par une structure de type colonnaire. Les joints entre les cristaux sont peu solides et présentent des espaces vides. La zone T présente la structure d'une dense forêt de grains mal définis mais avec peu d'espace libre entre les grains. La structure de la zone 2 est formée par des grains colonnaires avec des joints denses. La dimension des grains augmente avec le rapport  $T/T_m$ . Enfin la structure de la zone 3 présente des grains équiaxiaux et de grandes dimensions. Compte tenu des conditions de dépôt du tableau 2.1, nos couches, déposées à température ambiante et à une pression voisine de 2 mbar, doivent avoir une structure intermédiaire entre la zone T et la zone 1 ( $T/T_m \sim 0$  et  $P_{Ar} = 2$  mbar).

La vitesse de dépôt dépend en grande partie du rendement de pulvérisation, c'est-à-dire du nombre d'atomes arrachés à la cible sur le nombre d'ions incidents. Ce rendement dépend de la nature du matériau pulvérisé et de l'énergie des ions incidents (principalement définie par la puissance de la tension HF appliquée aux électrodes. La figure 2.3 extraite de [118] donne l'évolution du rendement en fonction de l'énergie des ions incidents pour différents métaux.

Les caractéristiques des pulvérisations HF utilisées au GREYC et au CRISMAT sont données par le tableau 2.1 pour les différents matériaux.

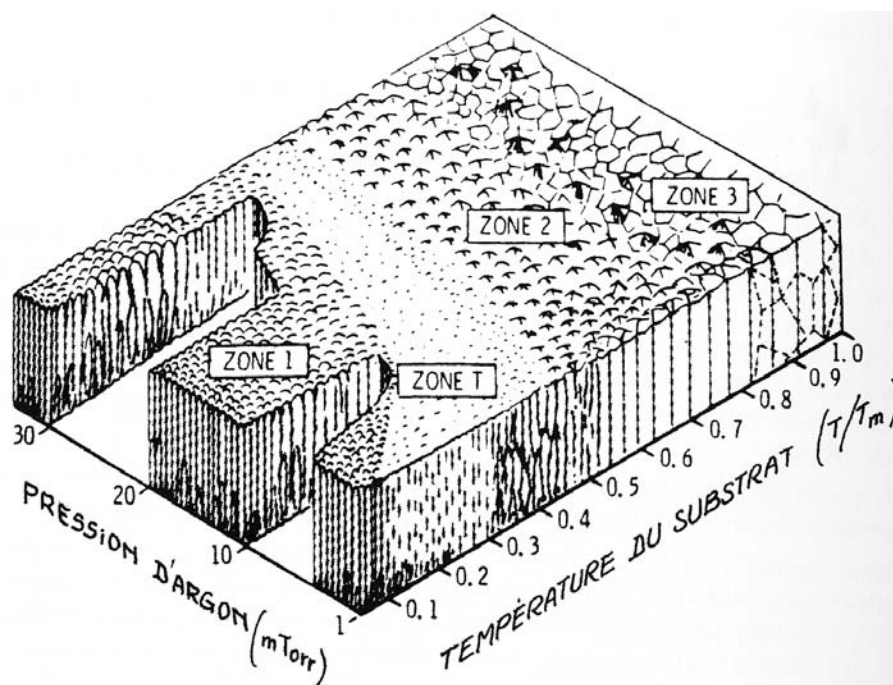


Figure 2.2: Diagramme de zones pour la pulvérisation HF sous argon. La figure est extraite de [118].

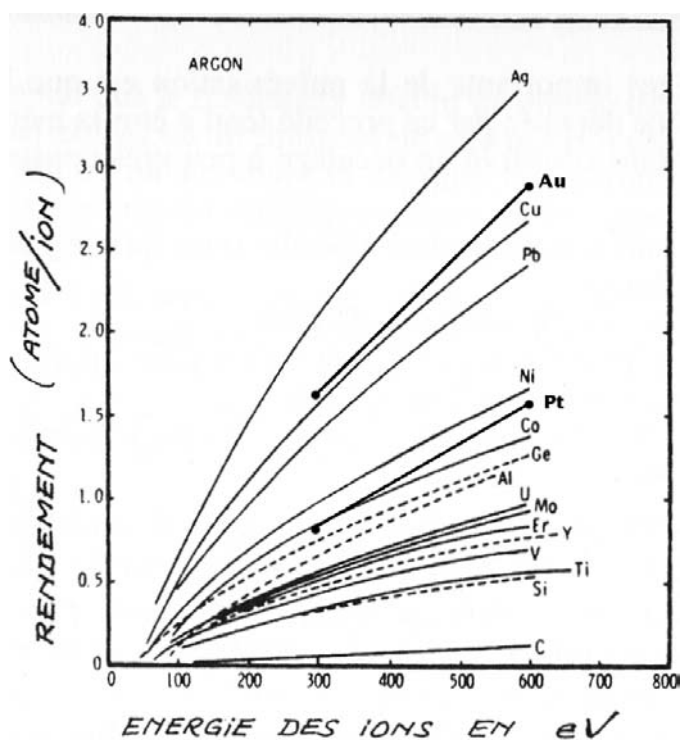


Figure 2.3: Variation du rendement (nombre d'atomes arrachés à la cible sur le nombre d'ions incidents) en fonction de l'énergie des ions du gaz de pulvérisation (Argon) pour différents matériaux. La figure est extraite de [118], les rendements de l'or et du platine ont été ajoutés d'après [117].

Générateur RF	GREYC	CRISMAT	
Matériaux	Au, Mo, Pt, NiCr, SiO <sub>2</sub>	Ti	Pt
Refroidissement	Alcool	-	-
Vide minimum	10 <sup>-6</sup> mbar	-	-
Puissance de dépôt	200 W	50 W	50 W
Pression Ar	2 mbar	4×10 <sup>-3</sup> mbar	6×10 <sup>-3</sup> mbar
Température de substrat	Température ambiante	450°C	550°C

Tableau 2.1: Caractéristiques de la pulvérisation HF utilisée.

## 1.2 Photolithographie

La photolithographie UV par contact est réalisée en salle blanche. Une résine photosensible est répandue sur toute la surface de l'échantillon au moyen d'une tournette. La vitesse et l'accélération de la tournette sont optimisées pour des échantillons carrés de 10 mm de côté. La résine est durcie par chauffage de l'échantillon sur une plaque chauffante à 90°C pendant 5 min. Un aligneur de masque (Karl Suss MJB3) permet de mettre en contact l'échantillon (côté résine) avec un masque (couche de chrome avec motifs sur une plaquette en verre) par simple pression mécanique. On a la possibilité d'augmenter le contact entre le masque et la couche de résine par aspiration<sup>4</sup>. La résine se polymérise sous l'effet de l'exposition de la source UV de 365 nm de longueur d'onde. Les motifs sont développés dans une solution appelée révélateur qui dissout la résine insolée. Le développement est stoppé en trempant l'échantillon dans un bain d'arrêt (eau déminéralisée commerciale ou eau permutée). Il n'y a pas de centrale d'eau désionisée (DI) au GREYC, le rinçage dans ces conditions est certainement une source de pollution non négligeable pour les transistors (notamment par les ions Na<sup>+</sup>, Ca<sup>2+</sup>...). Une fois la lithographie de motifs réalisée, les échantillons peuvent être gravés ou réservés pour un dépôt. Dans ce dernier cas, le matériau est pulvérisé aussi bien sur la résine que sur les zones dégagées. Après l'étape de gravure ou de dépôt, la couche de résine est éliminée par dissolution dans l'acétone ou par une solution basique (et rinçage à l'eau). Le matériau déposé sur la couche de résine part avec celle-ci. L'élimination de la résine laisse donc apparaître les motifs photolithographiés. Cette technique de dépôt est appelée communément *lift-off*. Elle est utilisée lorsque la gravure des motifs sur une couche est impossible

<sup>4</sup>Cette technique est rarement utilisée car l'épaisseur de la couche de résine n'est pas uniforme sur nos échantillons carrés. La bande d'air est donc importante et la mise en contact par aspiration modifie la position de l'échantillon par rapport au masque.



Tournette		Insolation	
Vitesse	4000 <i>trs/min</i>	Exposition	3,6 <i>s-4 s</i>
Accélération	7000 <i>trs/min<sup>2</sup></i>	Révélation	30 <i>s-60 s</i>
Séchage	90 °C, 5 <i>min</i> , air	Rinçage H <sub>2</sub> O	5 <i>min</i>

Tableau 2.2: Conditions opératoires de la photolithographie des masques dans la salle blanche du GREYC.

par gravure humide comme c'est le cas pour le platine. On a un exemple concret de cette technique dans [119, 120]. Les conditions opératoires de la photolithographie sont résumées dans le tableau 2.2.

## 1.3 Techniques de gravure

### 1.3.1 Gravure chimique des métaux et nettoyage des substrats

**Nettoyage des substrats** La préparation d'une couche métallique sur un substrat de silicium peut être compromise par la présence de contaminants ou d'oxyde natif à la surface du silicium. Le stockage à l'air des substrats à température ambiante entraîne la croissance d'une couche d'oxyde natif de 10 Å à 15 Å à la surface du silicium (voir le paragraphe 2.2.7). Cet oxyde natif est particulièrement préjudiciable à l'obtention d'un contact ohmique métal-silicium. Avant chaque dépôt, les substrats de silicium ont été plongés quelques secondes dans une solution tampon d'acide fluorhydrique (NF<sub>4</sub>/HF 5 %) et rincés dans plusieurs bains successifs d'eau permutée agitée par ultrasons. Les substrats sont conservés dans le dernier bain de rinçage<sup>5</sup> ou dans un bain d'alcool pendant le transport vers la chambre de pulvérisation. Le temps de mise en place des substrats sur leur support a été réduit au minimum et pendant ce temps, on fait en sorte que de l'eau permutée ou de l'alcool reste adsorbé sur la surface du substrat. Juste avant la fermeture du couvercle de la chambre de pulvérisation, les substrats sont séchés par un jet d'azote purifié. Cette procédure doit être scrupuleusement respectée. Lorsqu'on dépose des couches métalliques sur les transistors fabriqués à Rennes, il faut réaliser une photolithographie afin de ne nettoyer que les zones de contacts et de protéger l'oxyde de grille. Pour cela on utilise le masque d'ouverture des contacts (CO). Seules les surfaces de contact des composants sont exposées à la gravure. Ce niveau de masquage peut être conservé pendant le dépôt

<sup>5</sup>Dans le cas d'un dépôt en *lift-off*.

Métal	Solutions	Température	Résistance de la résine	Toxicité
Au	1, 2gI <sub>2</sub> , 4 gKI, 20 cm <sup>3</sup> H <sub>2</sub> O	Ambiante	très bonne	Dangereux
Al	4 H <sub>3</sub> PO <sub>4</sub> , 4 CH <sub>3</sub> COOH, 1 HNO <sub>3</sub> , 1 H <sub>2</sub> O	60°C	bonne	Dangereux
Mo	1 HNO <sub>3</sub> , 1 H <sub>2</sub> SO <sub>4</sub> , 1 – 5 H <sub>2</sub> O	0°C 25°C	moyenne très faible	Très dangereux
Pt	eau régale	80°C	nulle	Très dangereux

Tableau 2.3: Solution de gravure humide des métaux . Les solutions contenant HNO<sub>3</sub> sont exothermiques et dégagent du NO-NO<sub>2</sub>.

métallique. On réalise ainsi un dépôt *lift-off* puisque l'élimination de la résine ne laissera le métal qu'au niveau des contacts. Cette technique est avantageuse du point de vue du nombre d'étapes de lithographie car on économise la gravure de la couche métallique et par la même occasion une source supplémentaire de pollution (voir la description complète au paragraphe 1 du chapitre 4). Cependant, l'erreur d'alignement du masque CO par rapport aux fenêtres de contact déjà ouvertes fait que les contacts ne sont pas entièrement recouverts par le métal. Ce point est très défavorable pour la fiabilité de la métallisation. Nous le verrons aux chapitres 3 et 4.

**Gravure chimique<sup>6</sup> des métaux** Certains métaux comme l'aluminium ou l'or se gravent spécifiquement sans endommager la résine photosensible. Cependant, les solutions de gravure de la plupart des métaux gravent aussi la résine. En particulier, la solution de gravure du platine dissout instantanément toute la résine. Les solutions de gravure humide utilisées ici sont données dans le tableau 2.3 avec les conditions d'utilisation. Il faut noter que l'YBCO se grave très bien dans une solution saturée d'EDTA (EthyèneDi-amineTétraAcétate) ou diluée d'HPO<sub>3</sub>. Le masque de résine résiste bien mais la définition des motifs est moins précise à cause de la nature isotropique de la gravure. Pour l'YBCO et le Pt, nous avons utilisé la gravure ionique.

### 1.3.2 Gravure ionique

Les gravures de l'YBCO et du platine sont réalisées à l'aide d'un graveur ionique dont le principe est schématisé en figure 2.4. Le porte échantillon est refroidi par une circulation d'eau et son inclinaison à 45° par rapport au faisceau augmente l'efficacité de la gravure

---

<sup>6</sup>ou gravure humide

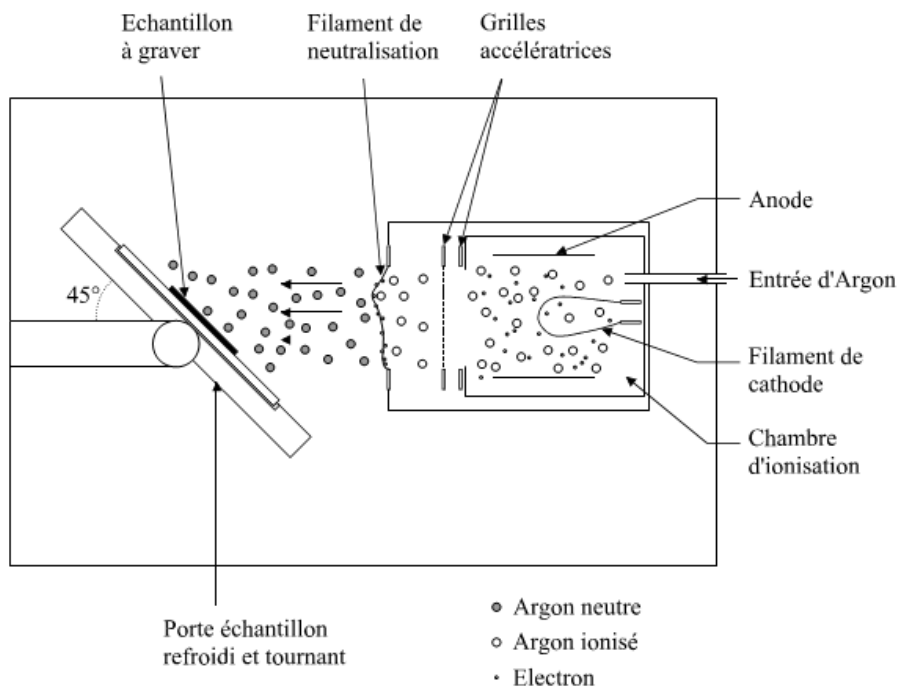


Figure 2.4: Schéma de principe du graveur ionique.

Courant de cathode	7 A-8 A
Courant de décharge	0,4 A
Tension d'ionisation	600 V
Tension d'accélération	150 V
Courant de neutralisation	1,6 A
Pression d'Ar	$2 \times 10^{-4}$ mbar

Tableau 2.4: Paramètres utilisés pour la gravure ionique de l'YBCO et du Pt.

(effet d'ombrage) et limite la redéposition des particules éjectées. Une rotation du porte-échantillon permet d'homogénéiser la gravure et de rectifier l'inclinaison des flancs de gravure. Le tableau 2.4 résume les conditions d'utilisation du graveur dans le cas de la gravure d'YBCO et du platine.

## 2 Procédé PMOS Rennes

### 2.1 Introduction

La technologie PMOS<sup>7</sup> établit à Rennes<sup>8</sup> a été choisie afin de démontrer la faisabilité de l'intégration monolithique de capteurs YBCO sur un substrat de silicium avec des composants semiconducteurs susceptibles de composer l'électronique de pré-amplification du signal à la sortie du capteur supraconducteur. Elle est basée sur quatre niveaux de masquage et possède un seul niveau de métallisation. Il est important de noter que les composants réalisés sont avant tout destinés à la découverte et à l'apprentissage de la technologie des circuits intégrés. Le niveau d'intégration est faible car les règles d'alignement ont été choisies larges (aire de composant grande). Ses principales caractéristiques sont :

1. des règles normales d'alignement larges ( $\pm 6\mu m$ ),
2. un dopage du substrat par diffusion (bore),
3. un oxyde de grille ( $\text{SiO}_2$ ) d'épaisseur comprise entre de  $70\text{ nm}$  et  $100\text{ nm}$ ,
4. une métallisation en aluminium déposée par évaporation thermique,
5. des gravures chimiques du  $\text{SiO}_2$  et de l'aluminium,
6. un seul niveau de métallisation,
7. aucune passivation.

Le substrat de silicium monocristallin est de type  $n$  (dopé au phosphore) dont la surface contient le plan (100). Les plaquettes (2 pouces) de diamètre ont leur méplat orienté à 45 degrés par rapport aux directions [100] et [010]. Le plan perpendiculaire à la surface et contenant le méplat est le plan (110). La densité de dopage est plus élevée à la surface que dans le volume du substrat, respectivement  $8 \times 10^{15}\text{ cm}^{-3}$  et  $5 \times 10^{15}\text{ cm}^{-3}$ .

Le procédé comporte cinq étapes principales illustrées par la figure 2.5 :

1. Oxydation humide ( $0,7\mu m$ ) des plaquettes de silicium  $n$ ,
2. Dopage du drain et de la source,
3. Décapage des contacts et oxydation sèche,

---

<sup>7</sup>développée en 1989 par Claude Chapron.

<sup>8</sup>En commun avec le CCMO : IETR

4. Ouverture des contacts,
5. Dépôt d'aluminium et définition des interconnexions.

Cette technologie est relativement ancienne et peut paraître obsolète par rapport aux technologies modernes puisque la production de ce type de composant s'est arrêtée avec l'apparition de la technologie CMOS comme le montre la figure 2.6 extraite de [121].

Les particularités des technologies actuelles sont principalement la évolution vers des dimensions submicrométriques des composants, l'abandon du dopage du silicium par diffusion, l'utilisation du polysilicium pour la métallisation de grille et les interconnexions locales, et la métallisation sur plusieurs niveaux. Cependant, dans le cadre de cette étude, la technologie PMOS Rennes présente l'avantage de pouvoir être modifiée à partir de l'avant dernière étape dans nos équipements caennais. Elle possède toutes les étapes nécessaires à la réalisation d'un composant et nous avons jugé qu'elle était représentative pour notre démonstration de faisabilité. Pour une application future, il faudra bien sûr utiliser les services d'une fonderie comme par exemple le CMP<sup>9</sup>.

Comme nous le verrons dans la section 4, nous nous sommes attachés à développer un procédé modifié en sorte que les composants semiconducteurs soient fabriqués en premier et sortis définitivement de la ligne de fabrication semiconductrice pour que les capteurs YBCO soient ensuite ajoutés. Cela est imposé d'une part par la stabilité d'YBCO et d'autre part pour éviter toute pollution des bâtis du fondeur.

Deux lots de cinq plaquettes ont été réalisés en 2001 et 2003 au Groupe de Micro-électronique de Rennes. Nous avons arrêté le procédé après l'étape 3 sauf pour deux plaquettes du lot 2003 qui ont subi le procédé complet. Par ailleurs, des plaquettes identiques, issues de stages de micro-électroniques des élèves de l'ENSICAEN, ont été utilisées.

## 2.2 Étapes de la fabrication

### 2.2.1 Nettoyage RCA des substrats de silicium

La procédure de nettoyage des plaquettes de silicium est connue sous le nom de "nettoyage RCA"<sup>10</sup>. Les plaquettes de silicium  $n$  sont nettoyées par deux bains successifs basique et acide. Après chaque nettoyage, les plaquettes sont rincées pendant 10 minutes

---

<sup>9</sup><http://cmp.imag.fr/>

<sup>10</sup>Du nom de la compagnie qui l'a mis au point.

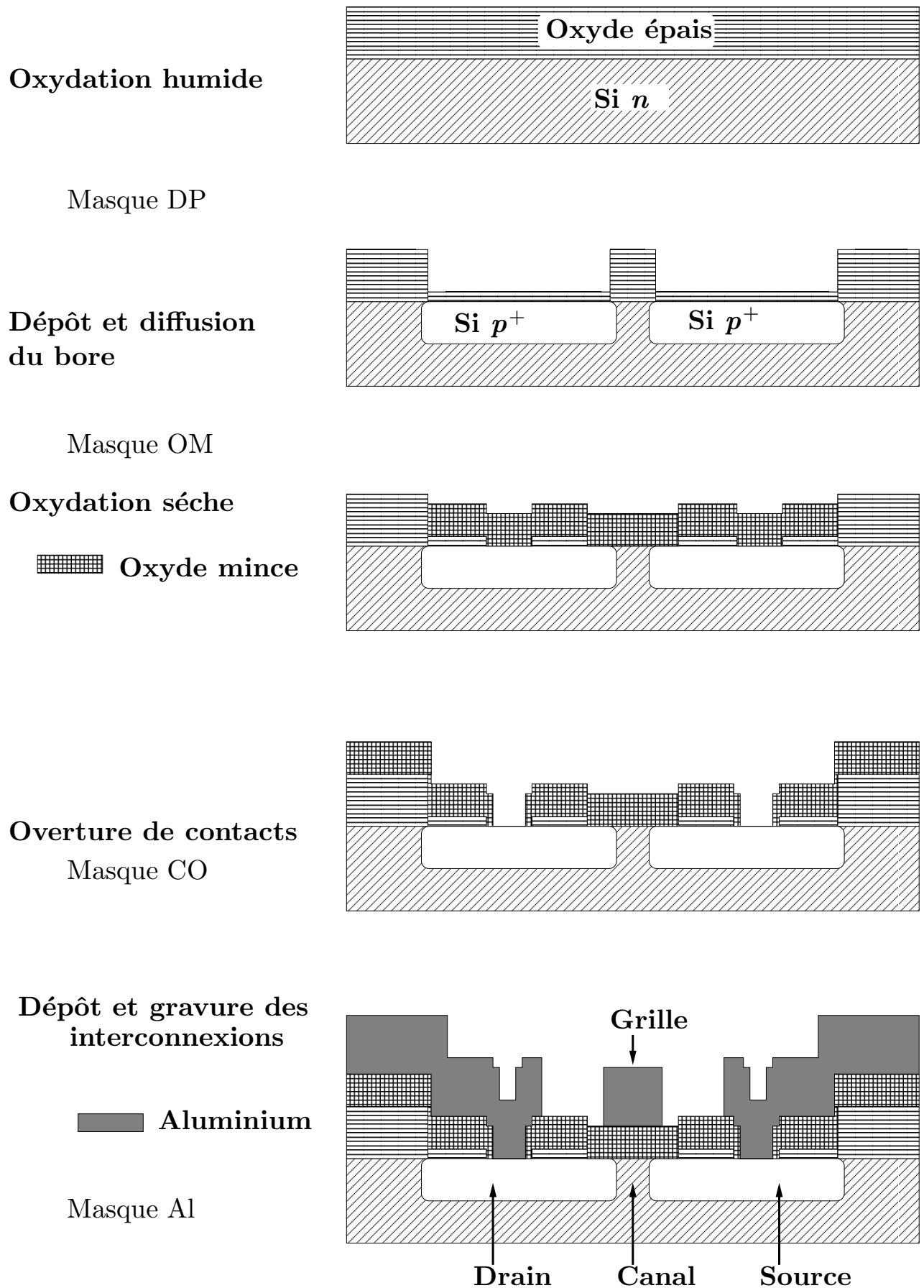


Figure 2.5: Synopsis des étapes de fabrication des transistors dans la technologie PMOS Rennes.

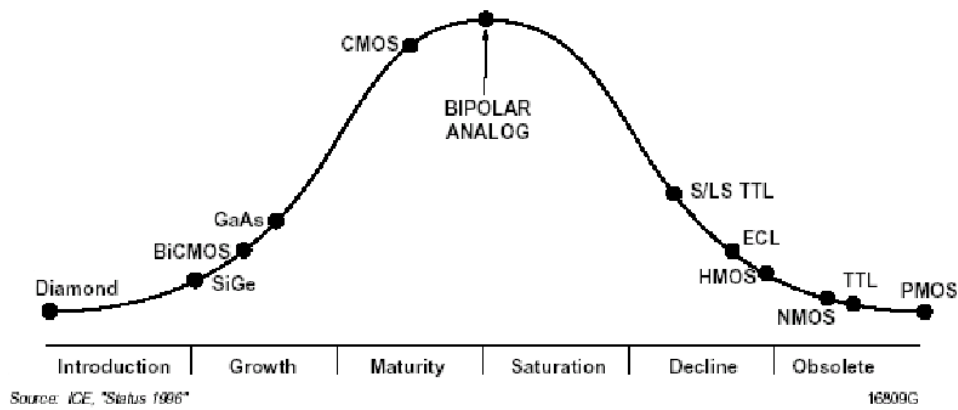


Figure 2.6: État d'avancement des technologies en 1996. La figure est extraite de [121].

dans un bain à circulation d'eau désionisée (DI). Un premier nettoyage est effectué avant l'oxydation humide des plaquettes de silicium  $n$  et un second, avant l'oxydation sèche (oxyde de grille). Le premier bain est une solution basique et oxydante ( $\text{NH}_4\text{OH}$ ,  $\text{H}_2\text{O}_2$ ) à  $70^\circ\text{C}$  qui dissout les impuretés anioniques ( $\text{NH}_4\text{OH}$ ), le second est une solution acide et oxydante ( $\text{HCl}$ ,  $\text{H}_2\text{O}_2$ ) à  $80^\circ\text{C}$  qui élimine les impuretés cationiques (métaux). Enfin, les substrats sont plongés dans une solution d' $\text{HF}$  diluée à 2% et rincés 10 minutes. Les plaquettes sont séchées sous un jet d'azote pur.

### 2.2.2 Oxydation

Une couche épaisse d'oxyde de silicium ( $600\text{ nm}$ ) croit sur la surface propre des plaquettes par une oxydation pyrolithique à  $1100^\circ\text{C}$ . Cet oxyde est la couche isolante des dispositifs. Il est aussi appelé oxyde de champ. Il masque les zones à ne pas doper pendant les étapes de dopage.

### 2.2.3 Définition des caissons de drain et de source par photolithographie

La résine est insolée à travers le premier masque appelé DP découvrant la géométrie de caissons de drain et de source des transistors. Le masque est aligné par rapport au méplat. L'oxyde épais non protégé par la résine est gravé par une solution tampon d'acide fluorhydrique (5% de  $\text{HF}$ ). Les plaquettes sont rincées dans l'eau DI.

### 2.2.4 Dépôt et diffusion du bore

Le bore est d’abord déposé sous forme d’oxyde, “verre de bore”, par transfert gazeux à  $1050^{\circ}\text{C}$  sous flux d’azote. A la surface du silicium, le verre de bore est réduit par le silicium. Une couche d’oxyde se forme à la surface de substrat. Au bout d’un moment, la couche d’oxyde de silicium est trop épaisse pour que le verre de bore déposé soit réduit par le silicium. Le verre de bore non réduit est gravé par la solution de gravure du  $\text{SiO}_2$ . Les plaquettes sont recuites à  $1050^{\circ}\text{C}$  sous un flux d’azote. Pendant ce recuit, les atomes de bore sont redistribués dans le substrat (la profondeur de diffusion est d’environ  $2\ \mu\text{m}$ ) selon la seconde loi de Fick<sup>11</sup> [117] :

$$\frac{dN}{dt} = D \frac{d^2N}{dx^2} \quad (2.5)$$

Le profil de la concentration de dopants dans le substrat peut être alors calculé en posant les conditions initiales suivantes :

- ✓  $N(0, t) = N_s$  : la concentration initiale en surface est égale à la solubilité du bore dans le silicium
- ✓  $N(\infty, 0) = 0$  : la concentration initiale dans le substrat est nulle
- ✓  $N(x, 0) = 0$  : cette condition est vraie pour un recuit après le pré-dépôt mais ne l’est plus pour les recuits suivants

La quantité  $N_s$  est définie dans [122]. Le coefficient de diffusion du bore dans le silicium varie exponentiellement avec la température comme on peut le voir sur le graphique de la figure 2.7 extraite de [123]. La profondeur latérale de la jonction drain-canal atteint environ  $2\ \mu\text{m}$  à la fin des étapes du procédé<sup>12</sup>.

### 2.2.5 Définition et croissance de l’oxyde de grille

Le second masque, OM, est utilisé pour graver l’oxyde épais au niveau de la grille et décaper les contacts drain et source. Les surfaces insolées sont gravées par la solution de HF à 5%. Les plaquettes sont nettoyées (*Cf.* section 2.2.1) avant la croissance sèche d’un oxyde dit “mince” ( $70 - 100\ \text{nm}$  d’épaisseur). Ce masque est aligné par rapport au masque

<sup>11</sup>Avec  $D$  constant suivant  $x$ .

<sup>12</sup>Ce résultat est obtenu par simulation (SUPREM). La redistribution de la densité de bore en fonction des étapes suivant le pré-dépôt de bore a fait l’objet d’un projet DEA encadré par JM. Routoure et L. Méchin en 2000.



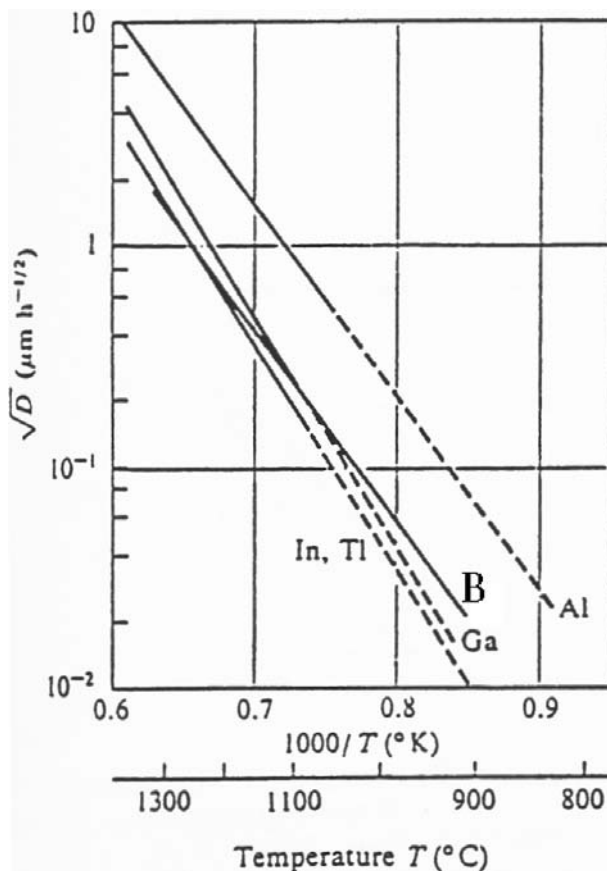


Figure 2.7: Coefficient de diffusion du bore dans le silicium en fonction de la température. La figure est extraite de [123].

DP. Les règles d'alignement définissent les capacités parasites *grille-drain* et *grille-source*. Plus les règles sont larges, plus l'oxyde de grille recouvre le drain et la source, plus les capacités parasites *grille-drain* et *grille-source* seront grandes.

### 2.2.6 Ouvertures dans l'oxyde mince au niveau des caissons de drain et de source

L'oxyde mince recouvre maintenant toute la surface des plaquettes. Des ouvertures sont définies par la photolithographie à travers le masque appelé CO (fig. 2.5) au niveau du drain et de la source des composants. L'oxyde mince est gravé par la solution de gravure du  $\text{SiO}_2$ . Les plaquettes sont conservées dans l'eau DI et séchées par un jet d'azote pur avant le transfert dans le bâti d'évaporation de l'aluminium.

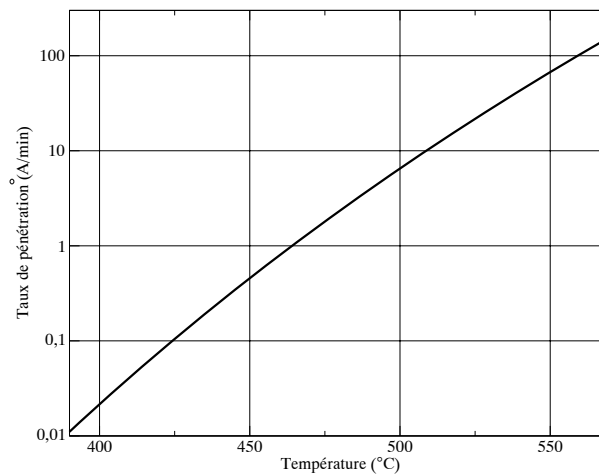


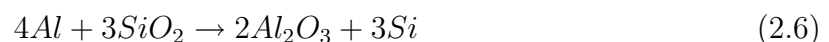
Figure 2.8: Taux de pénétration de l'aluminium dans  $\text{Al}_2\text{O}_3$  en fonction de la température. La valeur du taux est extraite de [117].

### 2.2.7 Dépôt de l'aluminium

Une couche d'environ  $400\text{ nm}$  d'aluminium est déposée par évaporation thermique d'une pastille  $\text{Al}(1\% \text{ Si})$  sous un vide inférieur à  $10^{-5}\text{ mbar}$ . Le dernier masque appelé M définit les plots de contacts, les lignes d'interconnexion et la métallisation de la grille. Une fois gravées par une solution acide à  $70^\circ\text{C}$  dans un bain-marie, les plaquettes sont recuites à  $390^\circ\text{C}$  sous un flux de gaz (*forming-gas*, mélange d'azote et 10% d'hydrogène).

### 2.2.8 Remarques sur la métallisation en aluminium

Il faut bien remarquer que la simplicité du procédé repose essentiellement sur les propriétés particulières de l'aluminium. L'aluminium pur a été utilisé au début de la technologie MOS (années 70) pour former les contacts ohmiques et la métallisation de grille. Le recuit sous *forming gas* a pour but d'augmenter l'adhésion de Al sur  $\text{SiO}_2$  et de favoriser les contact avec Si. En effet, il se forme une fine couche de  $\text{Al}_2\text{O}_3$  entre le métal et l'oxyde natif  $\text{SiO}_2$  au niveau des contacts. Pendant le recuit, l'aluminium diffuse à travers cette couche et réduit l'oxyde natif :



L'aluminium diffuse à travers à travers la couche d' $\text{Al}_2\text{O}_3$ . Le taux de pénétration de

l'aluminium dans  $\text{Al}_2\text{O}_3$  est tracé sur le graphe de la figure 2.8. La valeur du taux est extraite de [117]. A  $390^\circ\text{C}$ , le taux de pénétration de Al dans  $\text{Al}_2\text{O}_3$  est de  $0,01 \text{ \AA}/\text{min}$  et à  $500^\circ\text{C}$ , il atteint  $6,5 \text{ \AA}/\text{min}$ . Pour des recuits à une température inférieure à  $450^\circ\text{C}$ , et pendant 30 minutes, l'aluminium pourra réduire l'oxyde natif si l'épaisseur de cet oxyde est de l'ordre de  $5 \text{ \AA}$  à  $10 \text{ \AA}$ . D'après plusieurs sources<sup>13</sup>, l'épaisseur d'oxyde natif est de  $5 \text{ \AA}$  après un nettoyage HF et atteint  $10 \text{ \AA}$  en un jour dans les conditions normales de température ( $20^\circ\text{C}$ ) et de pression ( $1 \text{ atm}$ ).

## 2.3 Dimensions géométriques des composants testés

La figure 2.9a montre le dessin des masques (*layout*) du motif principal qui est répété plusieurs fois sur une plaque comme le montre la photographie de la figure 2.9b. Ce motif comprend l'ensemble des composants et des motifs de tests. Les composants sont répartis par zones et ils sont référencés dans le tableau 2.5. Les plaquettes sont découpées en carrés de 10 millimètres de côté soit à l'usine Philips Composants de Caen (avant la découpe, les plaquettes sont amincies par la face arrière et collées sur un film plastique adhésif), soit au laboratoire par une scie à fil diamanté de  $0,25 \text{ mm}$  de diamètre.

Les figures 2.10 et 2.11 représentent les principaux transistors testés et les motifs de test pour la mesure de la résistance de couche du substrat, du métal et la résistance de contact.

## 2.4 Règles de dessin

Les règles de dessin (*design rules*) définissent les dimensions minimales des motifs sur chaque masque, les distances minimum entre chaque motif et les marges d'alignement à respecter en fonction des caractéristiques de la technologie et du matériel disponible pour notre technologie PMOS. Ces caractéristiques sont données ci-dessous et correspondent à un jeu de règles dit "normales" :

1. dimensions minimales d'un motif et distance minimale entre deux motifs :  $10 \mu\text{m}$
2. erreurs maximales d'alignement des masques :  $6 \mu\text{m}$
3. diffusion latérale entre 2 à  $2,5 \mu\text{m}$

---

<sup>13</sup> Cf. le site "<http://snf.stanford.edu/Process/Characterization/NativeOx.html>", mesures effectuées par D. Stewart, P. Beck et U. Thumser.

Référence	Nom	Zone	Règle
T40	Motif de Van der Pauw	A2	N
T47	Chaîne de 14 contacts	B4	N
I1-9	Résistances des interconnexions	D2-E2	N
Q1	$L = 10 \mu m, W = 30 \mu m$	A3	N
Q5	$L = 5 \mu m, W = 15 \mu m$	A4	R2
Q6	$L = 15 \mu m, W = 5 \mu m$	A4	R2
Q10	$L = 33 \mu m, W = 100 \mu m$	B3	N
Q11	$L = 35 \mu m, W = 12 \mu m$	B3	N
Q12	$L = 35 \mu m, W = 12 \mu m$	A3	N
Q13	$L = 10 \mu m, W = 100 \mu m$	C3	N
Q14	$L = 10 \mu m, W = 2 \times 500 \mu m$	C3	N
Q15	Paire différentielle	C1	N

Tableau 2.5: Liste des références des composants et leurs règles utilisés pour la caractérisation du procédé. (voir figure 2.9).

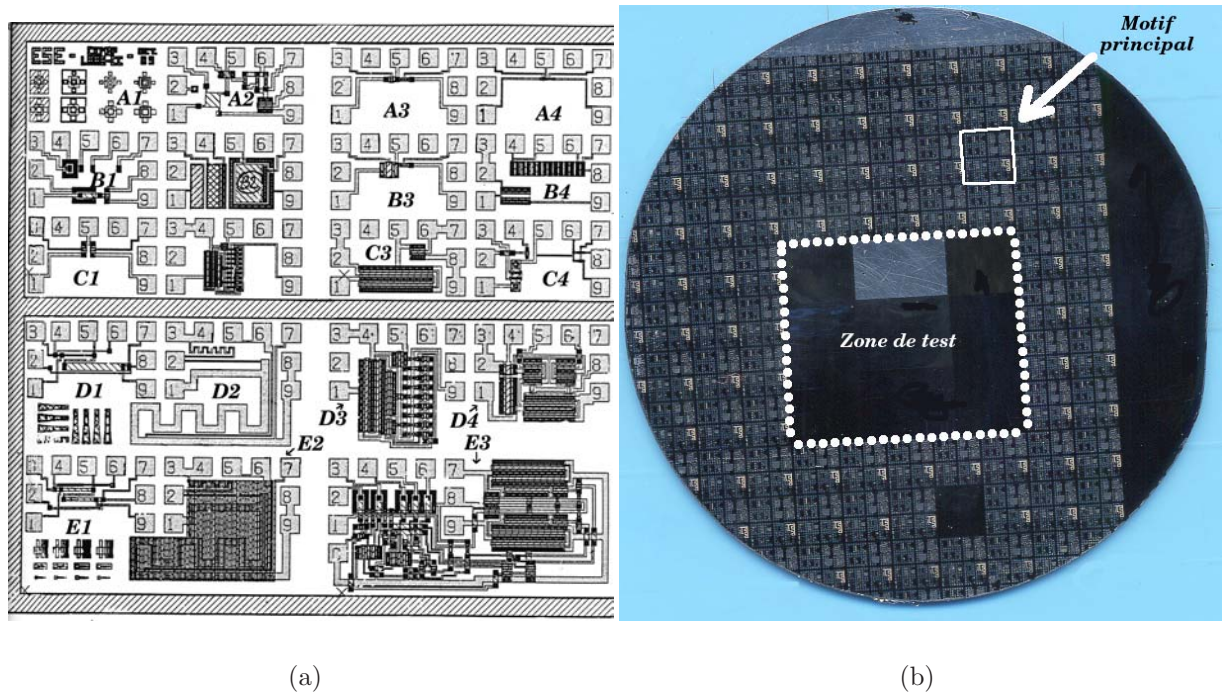


Figure 2.9: (a) Dessin du motif principal découpé en quatre zones par des bandes de découpe désoxydées (bandes hachurées). Les références A1, A2, etc permettent de repérer les composants mentionnés dans le tableau 2.5. (b) Photographie d'une plaquette de 2 pouces avec en encadré, un motif principal et en pointillés, la zone de test vide de tout composant que nous avons utilisée pour le dépôt d'YBCO.

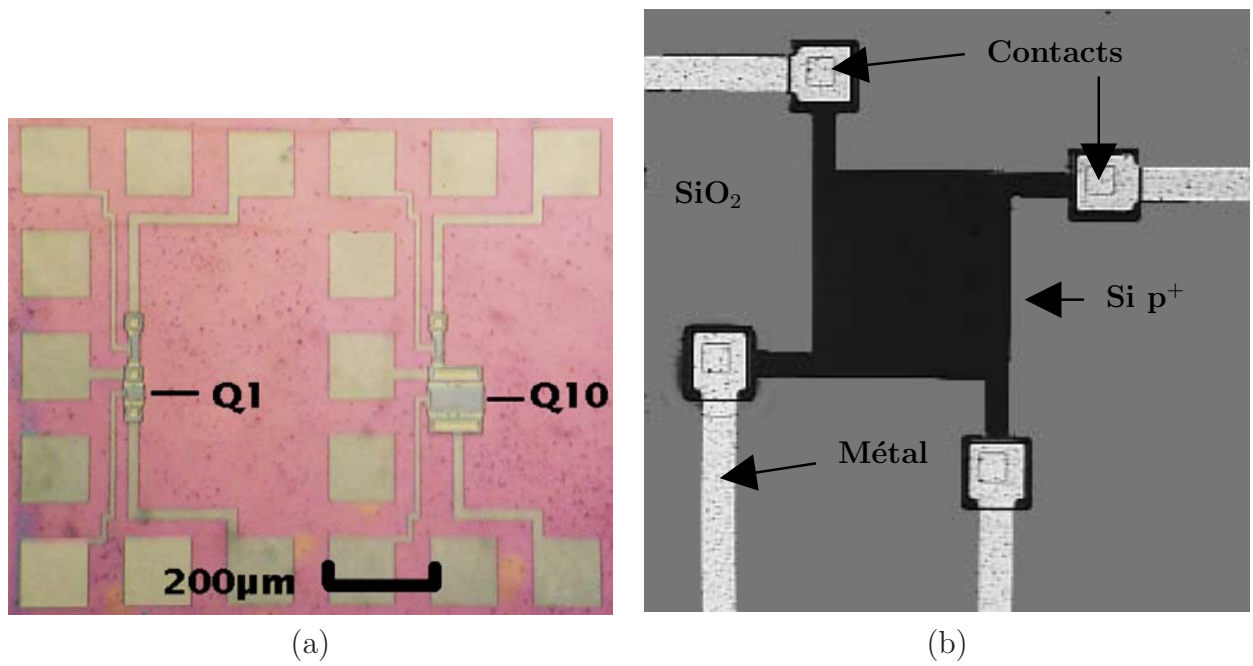


Figure 2.10: Images optiques (a) des transistors Q1 et Q10 et (b) d'un motif de "van der Pauw".

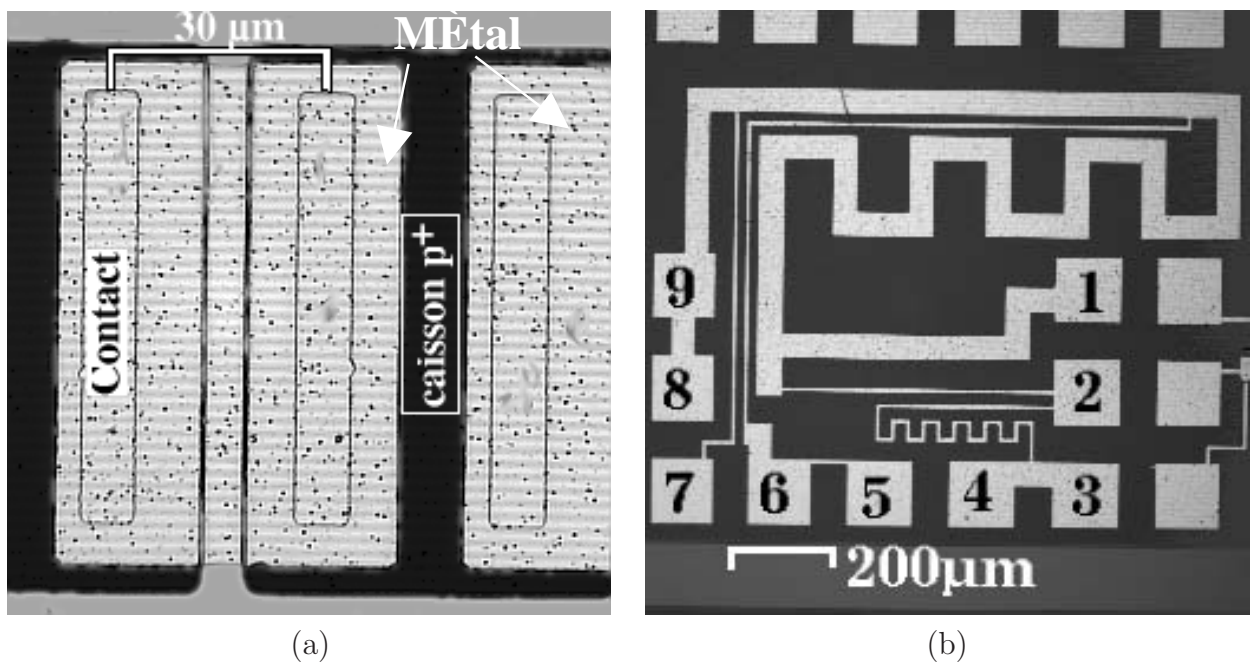


Figure 2.11: Images optiques des motifs de test : (a) motifs de contact métal-semiconducteur en chaîne et (b) motifs de lignes métalliques.

Règles		Facteur d'échelle
Larges	L	$\times 2$
Normales	N	$\times 1$
Réduites	R1	$\times 0,7$
Réduites	R2	$\times 0,5$
Réduites	R3	$\times 0,3$

Tableau 2.6: Désignation des règles et de leur facteur d'échelle par rapport à la règle normale.

4. élargissement des gravures d'oxyde de silicium entre 0 et  $1\ \mu m$
5. élargissement de la gravure de l'aluminium 0 à  $2\ \mu m$

À partir de ces règles, on peut définir de nouvelles règles dites "réduites" ou "larges" en multipliant par un facteur de proportionnalité le jeu de règles normales. Le tableau 2.6 donne les coefficients multiplicatifs pour chaque jeu de règles. Les composants fabriqués à partir des règles réduites permettent d'évaluer les limites de la technologie et/ou l'habileté du manipulateur.

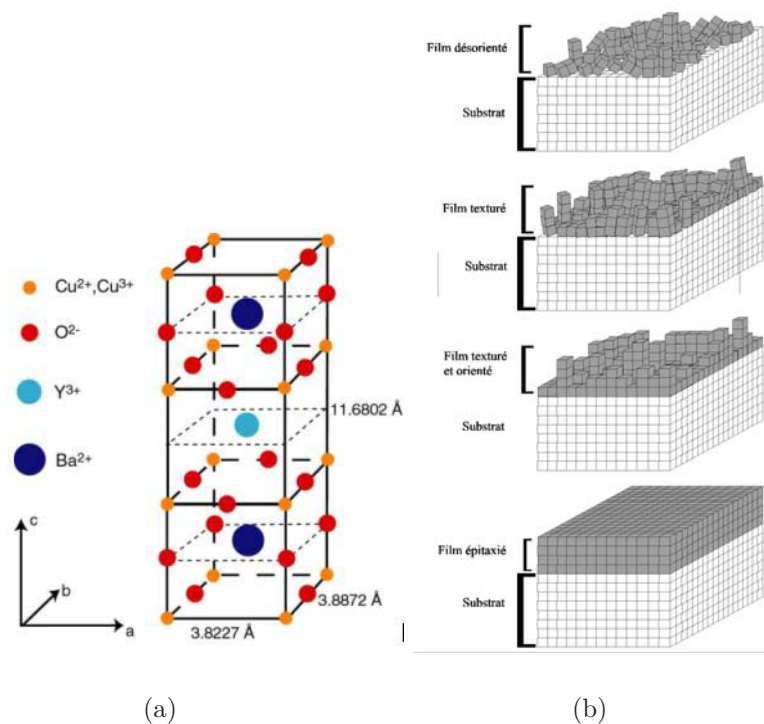


Figure 2.12: (a) Représentation schématique de la maille élémentaire du composé YBCO et (b) représentation schématique des différentes qualités structurales obtenues pour les films minces déposées sur substrats monocristallins (adaptée de [124]).

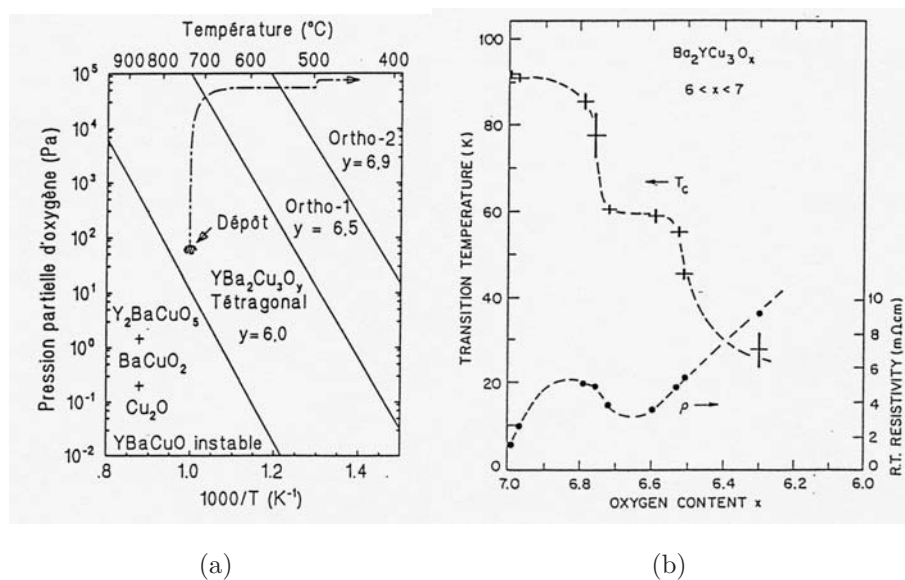


Figure 2.13: (a) Diagramme d'équilibre thermodynamique du système YBCO pour différentes techniques de dépôt [125]. (b) Evolution de la température critique et de la résistivité de l' $\text{YBa}_2\text{Cu}_3\text{O}_x$  en fonction de sa teneur  $x$  en oxygène [126] à  $700^\circ\text{C}$

## 3 Dépôt des couches d'YBCO sur substrats de silicium

### 3.1 Généralités sur les conditions de dépôt des couches minces d'YBCO

Le procédé de dépôt des couches épitaxiées d'YBCO sur silicium a été développé par Laurence Méchin au GREYC à partir de travaux réalisés au CEA Grenoble [127].

#### 3.1.1 Le matériau $\text{YBa}_2\text{Cu}_3\text{O}_{7-\delta}$ (YBCO)

La figure 2.12 présente la structure du composé  $\text{YBa}_2\text{Cu}_3\text{O}_{7-\delta}$  (YBCO), supraconducteur de température critique  $92\text{ K}$ . La cellule élémentaire est une triple maille pérovskite où les atomes de baryum et d'yttrium occupent les centres de chaque cube et les atomes de cuivre les sommets. Les dimensions de la maille élémentaire sont  $a = 0,38227\text{ nm}$ ,  $b = 0,38872\text{ nm}$  et  $c = 1,16802\text{ nm}$ . Les paramètres  $a$  et  $b$  sont très peu différents, ce qui rend généralement impossible la croissance d'un film non maclé. La dimension  $c$  est environ trois fois plus grande que les dimensions  $a$  et  $b$ . À cette très forte anisotropie structurale correspond également une anisotropie des propriétés physiques et en particulier des propriétés de transport.

#### 3.1.2 Conditions de dépôt nécessaires à l'obtention d'une couche supraconductrice d'YBCO

L'obtention de couches minces supraconductrices d'YBCO impose de conférer aux couches une structure cristalline et texturée et de conserver la stoechiométrie du matériau et notamment celle en oxygène. La première condition est représentée schématiquement par la première situation de la figure 2.12b [124]. Ces difficultés sont bien illustrées par le diagramme d'équilibre thermodynamique du système YBCO présentée en figure 2.13a pour différentes techniques de dépôt [125] et la figure 2.13b qui montre l'évolution de la température critique et de la résistivité de l' $\text{YBa}_2\text{Cu}_3\text{O}_{7-\delta}$  en fonction de sa teneur  $x$  en oxygène [126]. On verra plus loin que le dépôt par ablation laser a pour particularité intéressante de transférer la stoechiométrie de la cible. Seul l'oxygène n'est pas transmis



en proportion suffisante. En résumé, pour obtenir des couches que l'on peut qualifier d'épitaxiales d'YBCO supraconductrices, il faut réaliser les dépôts à des températures de l'ordre de 650 à 800 °C et en atmosphère oxygénée.

### 3.1.3 Choix du substrat

La nature et la qualité du substrat influencent très fortement la croissance épitaxiale des films. Pendant le dépôt, le substrat agit comme une matrice qui impose les dimensions du paramètre de maille et les directions de croissance du film. Il faut donc qu'il existe un bon accord entre les paramètres de maille, les sites de coïncidence et les orientations cristallographiques de la couche et du substrat. D'autre part, des interdiffusions entre couche et substrat peuvent entraîner la présence d'espèces indésirables dans la couche et entraîner une forte dégradation des propriétés de transport. Si les compatibilités cristalline ou chimique ne sont pas assurées, on peut insérer des couches intermédiaires dites tampons pour accorder progressivement les mailles et limiter les réactions à l'interface couche-substrat. La qualité de la surface du substrat est également un facteur primordial, notamment les irrégularités de la surface au niveau atomique et au niveau micrométrique peuvent induire la nucléation et la croissance de germes texturés différemment selon des directions non prévisibles. Ces irrégularités à la surface peuvent provenir d'un mauvais polissage ou d'une coupe des substrats hors d'une direction cristallographique prévue. Il est enfin préférable que les coefficients de dilatation du substrat et de la couche soient proches. En effet, on a vu que les couches sont déposées à des températures de l'ordre de 1000 K et peuvent être testées parfois jusqu'à des températures de l'ordre de 4,2 K. Il faut noter que des couches minces ont une plus grande capacité à supporter les contraintes que des couches épaisses.

En résumé, le substrat idéal devrait réunir les critères suivants, par rapport à l'YBCO [128] :

- (i) le meilleur accord de maille possible dans le plan de l'interface,
- (ii) une bonne compatibilité chimique à la température de dépôt (faible interdiffusion),
- (iii) une bonne qualité de surface,
- (iv) une faible différence entre les coefficients de dilatation des deux matériaux.

Pour illustrer les remarques précédentes, nous avons reporté dans le tableau 2.7 les principaux substrats utilisés pour la croissance de l'YBCO, ainsi que leurs principales

	Structure cristalline	Paramètres de maille(nm)	Désadaptation max. avec YBCO (%)	Coef. de dilatation ( $10^{-6}K^{-1}$ )
SrTiO <sub>3</sub>	cubique	0,3905	1,2	11,1
LaAlO <sub>3</sub>	rhomboédrique	0,5357 $\alpha = 60^\circ 6$	1,8	10,0
MgO	cubique	0,421	9,0	13,8
Al <sub>2</sub> O <sub>3</sub>	hexagonal	a = 0,476 c = 1,299	21,0	8,0
Y :ZrO <sub>2</sub>	cubique	0,523	35,5	11,0
Si	cubique	0,543	40,6	3,8
YBCO	orthorhombique	a = 0,38856 b = 0,38185 c = 1,16804	-	14,0 13,0 25,0

Tableau 2.7: Paramètres cristallins et quelques propriétés des principaux substrats utilisés pour la croissance de l'YBCO, d'après [129].

propriétés [129]. Les substrats SrTiO<sub>3</sub> et LaAlO<sub>3</sub> présentent les meilleurs accords de maille avec YBCO. Les substrats MgO et Al<sub>2</sub>O<sub>3</sub> sont utilisés pour les applications hyperfréquences en raison de leurs faibles pertes diélectriques, couramment avec des couches tampons de SrTiO<sub>3</sub> pour MgO [130] et CeO<sub>2</sub> pour Al<sub>2</sub>O<sub>3</sub> [131] [132]. On s'aperçoit que le silicium ne présente pas un bon accord de maille avec YBCO. Cela ne constitue cependant pas la principale difficulté pour son utilisation et nous verrons au paragraphe suivant que ce sont les critères (ii), (iii) et (iv) qui sont difficiles à respecter.

### 3.2 Les problèmes posés par les substrats de silicium pour la croissance épitaxiale d'YBCO

Afin de réaliser l'intégration monolithique de capteurs YBCO avec des circuits semiconducteurs, il faut commencer par réussir la croissance épitaxiale d'YBCO sur des substrats de la microélectronique à semiconducteurs, principalement basés sur le silicium : silicium, silicium sur isolant (SOI), et aussi silicium sur saphir (SOS). Celle-ci a été étudiée très tôt après la découverte de l'YBCO [133]. L'intérêt de l'utilisation du silicium réside également dans les nombreuses techniques de micro-usinage permettant la fabrication de structures membranaires, intéressantes notamment pour les applications en bolométrie [3].

Le silicium n'est pas un matériau naturellement bien adapté à la croissance épitaxiale

d'YBCO car trois des critères de sélection du substrat énoncés ci-dessus ne sont pas satisfaits. Le désaccord de maille (critère (i)) de 40,6% entre YBCO et Si n'est pas un vrai problème car si on considère la diagonale de la maille (a, b) d'YBCO qui vaut 0,545 nm, on se rapproche de la maille du silicium. Le problème de la compatibilité chimique est probablement le plus critique. En effet, Si et YBCO interdiffusent à la température de dépôt d'YBCO. Il apparaît notamment que l'élément baryum forme facilement le composé  $\text{BaSiO}_4$  [134, 135]. La stoechiométrie nécessaire à l'YBCO n'est plus respectée et les films déposés directement sur silicium ne présentent pas de bonnes propriétés supraconductrices [136, 137, 138, 139]. Parmi les différentes solutions envisagées dans la littérature pour contourner le problème, seul l'ajout d'une couche tampon faisant office de barrière entre les deux matériaux permet d'obtenir des couches supraconductrices d'YBCO de bonne qualité. Une autre idée serait de réduire la température de dépôt ou de réaliser un recuit rapide. Cette voie est attrayante afin d'être compatible avec la technologie des semiconducteurs mais des transitions au-dessus de 77 K n'ont pas encore été obtenues pour des températures de dépôt proches de 450 °C. La plus haute température critique (85 K) a été obtenue par co-évaporation lors d'un procédé de dépôt ne dépassant pas la température de 650 °C, ce qui reste de toute façon élevé pour la technologie des semiconducteurs [140].

Une grande variété de matériaux a été utilisée pour former cette couche tampon :  $\text{SrTiO}_3$  [127, 141],  $\text{MgO}$  [142],  $\text{NdGaO}_3$  [141],  $\text{CeO}_2$ ,  $\text{CoSi}_2$  [143],  $\text{Al}$  [144],  $\text{Pt}$  [145],  $\text{Zr}_{1-x}\text{Ce}_x\text{O}_2$  et  $\text{CeO}_2\text{-La}_2\text{O}_3$  [146],  $\text{CeAlO}_x$  [147],  $\text{BaSiO}_4$  [143],  $\text{Si}_3\text{N}_4$  [148],  $\text{ZrO}_2$  [149, 134],  $\text{YSZ}$  [150, 151, 152, 153, 154, 155],  $\text{Y}_2\text{O}_3/\text{YSZ}$  [156],  $\text{YSZ}/\text{Y}_2\text{O}_3$  [157],  $\text{BaTiO}_3/\text{MgAl}_2\text{O}_4$  [158],  $\text{MgO}/\text{TiN}$  [159],  $\text{CeO}_2/\text{YSZ}/\text{CoSi}_2$  [160],  $\text{Eu}_2\text{CuO}_4/\text{YSZ}$  [161],  $\text{CeO}_2/\text{YSZ}$  [162, 163, 164, 165, 153, 166, 167, 168]. Les meilleurs résultats ont été obtenus avec les couches tampons à base d'YSZ. Des températures critiques de 86 à 88 K et des densités de courant critique de  $2,2 \times 10^6 \text{ A} \cdot \text{cm}^{-2}$  à 77 K ont ainsi été obtenues.

Les bons résultats obtenus préférentiellement avec les couches d'YSZ s'expliquent par sa nature réductrice. En effet, le second problème posé par les substrats de silicium est la présence d'une couche d'oxyde amorphe à sa surface qui empêche a priori le démarrage d'une croissance épitaxiale sur le substrat (critère (iii) non satisfait). Il est facile de graver cette couche dans des solutions à base de HF, mais il faut également réussir à passiver cette surface entre la fin de la gravure et l'introduction dans la chambre de gravure. Il

existe des techniques de passivation par hydrogénation par exemple [139] mais elles ne sont pas faciles à mettre en œuvre (chauffage du substrat au dessus de  $800^{\circ}C$  dans un très bon vide notamment). Lorsque YSZ est utilisé, il n'est pas nécessaire de graver la couche d'oxyde amorphe. On utilise alors les propriétés réductrices de Zr [157]. Lors des premiers instants du dépôt sous vide, le Zr métallique arrive sur le substrat et réagit avec le  $SiO_2$  selon la réaction suivante :



Le composé SiO formé étant plus volatile que  $SiO_2$ , il s'évapore et laisse une surface de silicium libre pour démarrer la croissance épitaxiale d'YSZ. On peut ensuite augmenter la pression d'oxygène de façon à conserver la stoechiométrie correcte.

Enfin, le dernier critère énoncé ci-dessus n'est pas satisfait puisque le silicium et l'YBCO ont des coefficients de dilatation très différents (respectivement  $3,8 \times 10^{-6} K^{-1}$  et  $13 \times 10^{-6} K^{-1}$  en moyenne sur (a, b)). Cela impose une épaisseur maximale des couches déposées afin de garder une bonne élasticité et éviter l'apparition de fissures dans la couche. On trouve dans la littérature par exemple  $50 \text{ nm}$  [150].

### 3.3 Conditions de dépôt

#### 3.3.1 Le bâti d'ablation laser utilisé au GREYC

Les premières expériences de dépôt par ablation laser pulsée (ou Pulsed Laser Deposition) ont eu lieu dès 1965, mais cette technique n'était guère utilisée avant son application au dépôt de films minces d'oxydes supraconducteurs à haute température critique. Une description très complète de cette technique est faite dans le livre de Chrisey et Hubler [169]. Comme représenté schématiquement à la figure 2.14a, son principe est assez simple. Un faisceau laser pulvérise le matériau qui constitue la cible et la matière éjectée est recueillie sur un substrat placé en face du point d'impact. Le plasma créé par l'impact du laser est appelé la plume. Il est très directionnel et limite la surface de dépôt à environ  $10 \text{ mm} \times 10 \text{ mm}$ . La figure 2.14b est une photographie de la plume lors d'un dépôt d'YBCO. Quelques particularités rendent le dépôt par ablation laser particulièrement bien adapté au dépôt d'YBCO :

1. le matériau est transféré de façon stoechiométrique de la cible vers le substrat. Cela facilite le dépôt de matériaux multi-éléments tels que l'YBCO.
2. la pression de dépôt peut être choisie indépendamment des autres paramètres. L'oxygène est le seul élément qui n'est pas transféré en quantité suffisante. Pour respecter la stoechiométrie, les couches sont élaborées en atmosphère oxygénée.
3. le choix du type de matériau que l'on peut déposer est large : il n'est limité que par l'absorption du matériau à la longueur d'onde du laser. Le développement d'une technologie à base d'YBCO nécessite en effet l'emploi d'autres matériaux pour la réalisation de couches tampons, d'isolation ou de couches permettant la croissance dans une direction cristalline particulière.

L'appareillage utilisé pour les dépôts d'YBCO et des couches tampons a été installé au laboratoire en janvier 2000 (figure 2.15). Il est actuellement semi-automatisé et contrôlé par un logiciel écrit en langage *Labview*. Il comprend principalement :

- ✓ l'enceinte de dépôt, équipée d'un sas pour l'introduction des échantillons et d'un bras de chargement.
- ✓ un laser à excimères de type KrF (Lambda Physics / Compex 102) émettant un rayonnement ultra-violet (248 nm). Le faisceau laser est focalisé sur la cible à l'aide d'une lentille externe sur une surface de quelques  $mm^2$ .
- ✓ un carrousel porte-cible motorisé comportant cinq cibles. La distance entre la cible et le substrat peut être choisie entre 3,5 cm et 8 cm.
- ✓ le système de pompage, et les contrôles de pression.
- ✓ le porte-substrat chauffant, et le contrôle de température associé.

Le choix du mode de chauffage est un point critique de l'appareillage. Le substrat doit pouvoir être chauffé jusqu'à 700 - 800 °C sous vide et sous oxygène. Le problème posé n'est pas simple et nous avons choisi un chauffage par rayonnement en face arrière. L'élément chauffant est logé sous forme de serpentín dans un bloc d'alumine (figure 2.15). Il est constitué d'un filament de NIKROTHAL (alliage de nickel, chrome et fer, de marque déposée de la société KANTHAL), qui permet un chauffage sous vide ou sous atmosphère oxygénée. Les substrats sont placés sur un support en inconel dans un logement percé. Le support est introduit dans l'enceinte à vide par l'intermédiaire du bras de chargement. La température est lue par un thermocouple fixe qui entre dans la plaquette porte-substrat

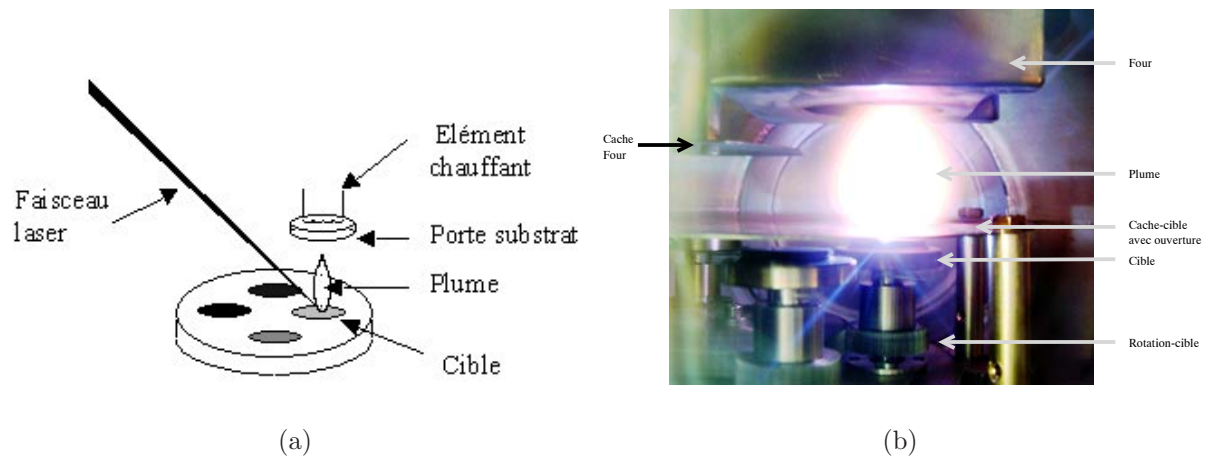


Figure 2.14: (a) Principe de l'ablation laser et (b) photographie de la plume lors d'un dépôt d'YBCO.

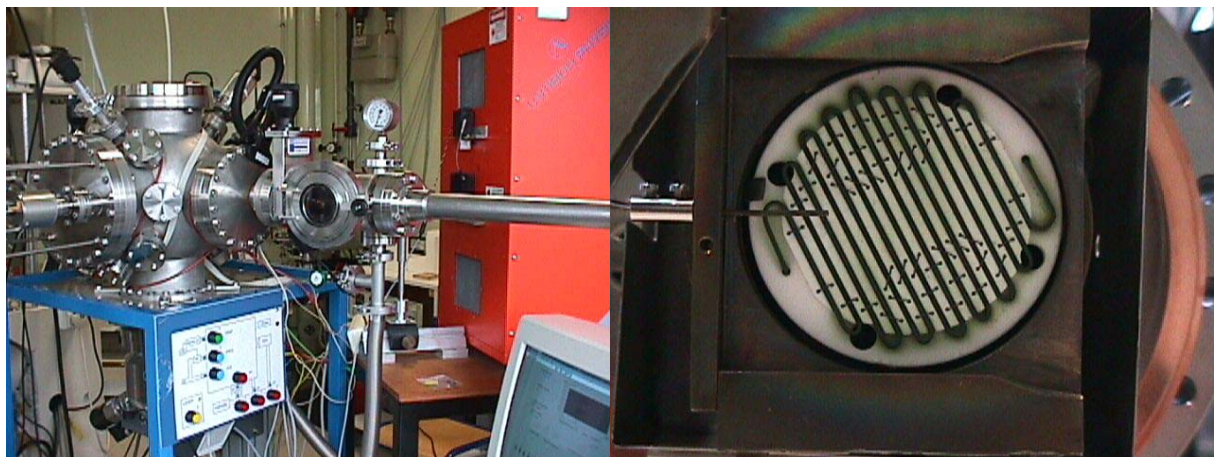


Figure 2.15: (a) Photographies du bâti d'ablation laser du GREYC et (b) photographie de la pièce d'alumine supportant le filament de NIKROTHAL. On remarque sur la gauche le thermocouple qui entre dans la plaquette porte-substrat..

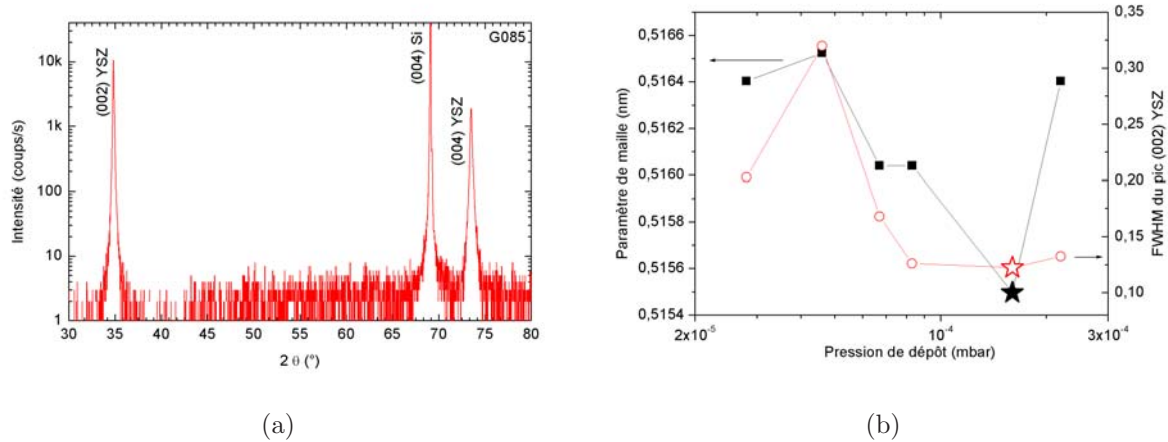


Figure 2.16: (a) Diagramme de diffraction X en configuration  $\theta - 2\theta$  d'une couche d'YSZ d'épaisseur 233 nm déposée sur un substrat Si (100) et (b) valeurs du paramètre de maille d'YSZ et largeur à mi hauteur (FWHM, [°]) du pic (002) en fonction de la pression de dépôt. L'étoile indique un dépôt dont les 30 premières secondes sont réalisées à  $10^{-5}$  mbar.

(figure 2.15). La température n'est donc pas exactement celle du substrat (elle peut être inférieure de 50 à 150 °C), mais ce mode de mesure est très reproductible. La température est contrôlée pendant le chauffage, les dépôts et le refroidissement par un régulateur de température de type PID.

### 3.3.2 Préparation des substrats

Pour rechercher les conditions de dépôt d'YBCO, nous avons utilisé des substrats de silicium découpés à la dimension  $10\text{ mm} \times 10\text{ mm}$  d'orientation (001), de type *n* (dopage au phosphore), de résistivité  $4 - 6\ \Omega \cdot \text{cm}$  et d'épaisseur  $250\ \mu\text{m}$ . Nous avons choisi de ne pas graver l'oxyde natif de surface mais simplement de nettoyer les substrats aux ultrasons par la méthode habituelle, dans des bains successifs de toluène, acétone et alcool isopropylique.

### 3.3.3 Conditions de dépôt d'YSZ

YSZ est l'acronyme anglais de Yttria-Stabilized-Zirconia (Zircone stabilisée par l'oxyde d'yttrium). Notre cible présente la composition suivante :  $(\text{Y}_2\text{O}_3)_{0,1}(\text{ZrO}_2)_{0,9}$ , ce qui stabilise la structure cubique de maille 0,515 nm. Les conditions de dépôt ont été optimisées à partir de celles décrites dans [153]. Lors de l'optimisation des conditions de dépôt d'YSZ, nous avons fixé la température du porte-échantillon à  $700^\circ\text{C}$ , l'énergie et la fréquence des impulsions du laser à respectivement 250 mJ et 3 Hz. Nous avons ensuite cherché

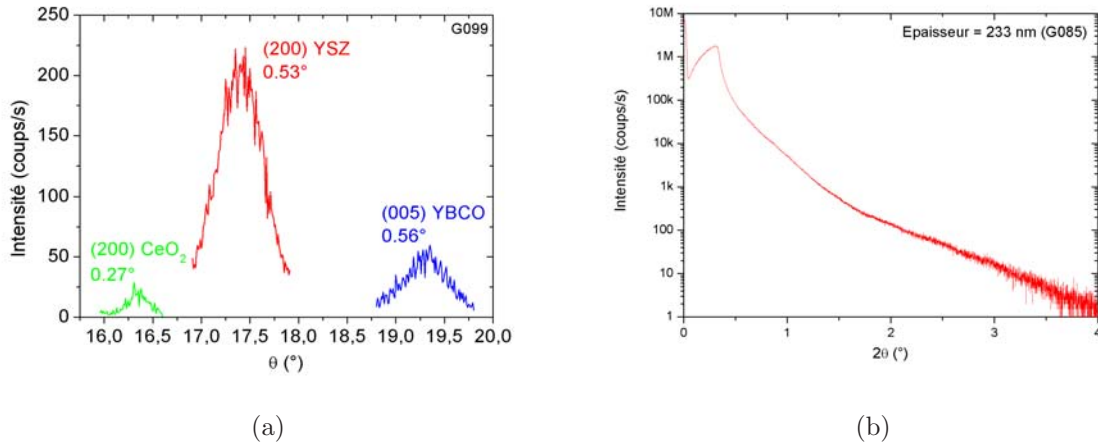


Figure 2.17: (a) Diagramme de diffraction X en configuration  $\omega - scan$  de couches d'YSZ de différentes épaisseurs et (b) Diagramme de réflectivité spéculaire de RX obtenu sur une couche d'YSZ d'épaisseur 233 nm déposée sur silicium.

la pression de dépôt optimale entre  $2 \times 10^{-5}$  et  $3 \times 10^{-4}$  mbar. Dans cette gamme de pression, les couches sont orientées selon (001). La figure 2.16 montre un diagramme de diffraction X en configuration  $\theta - 2\theta$ . Les paramètres de maille et la largeur à mi hauteur (FWHM) du pic indexé (002) sont rassemblés à la figure 2.16. On remarque un domaine de pression autour de  $10^{-4}$  mbar où le FWHM du pic (002) est minimal. Avec une pression de dépôt de 1 à  $2 \times 10^{-4}$  mbar, la qualité cristalline de la couche est d'autant meilleure que les 30 premières secondes de dépôt sont réalisées à  $10^{-5}$  mbar (point représenté par une étoile en figure 2.16). Enfin, la figure 2.17 montre les diagrammes de diffraction X en configuration  $\omega - scan$  de couches d'YSZ de différentes épaisseurs. La raie la plus étroite est obtenue pour une épaisseur de 233 nm (tableau 2.8). La vitesse de dépôt est alors de 0,044 nm/tir. Pour des épaisseurs plus grandes, les couches deviennent rugueuses. La rugosité des couches obtenues a été mesurée par AFM en mode *tapping* sur des surfaces de  $5 \mu m \times 5 \mu m$  (figure 2.18). Pour les épaisseurs de 172 nm et 233 nm, nous obtenons respectivement 0,282 nm et 0,308 nm. Nous avons demandé une mesure complémentaire de réflectivité spéculaire de rayons X à Christian Dufour (SIFCOM<sup>14</sup>). La figure 2.17 montre le spectre obtenu. La première information est l'épaisseur de la couche. On apprend également de façon qualitative que l'interface YSZ/Si est très uniforme et peu rugueuse puisque la courbe a pu être mesurée jusqu'à des angles relativement élevés. Une analyse plus précise pourrait permettre d'évaluer la rugosité de l'interface.

<sup>14</sup>laboratoire de l'ENSICAEN



Épaisseur	Paramètre de maille ( $nm$ )	FWHM (002) YSZ	Rugosité ( $nm$ )
	( $nm$ )	( $^{\circ}$ )	$5 \times 5 \mu m$
172 $nm$ (G086)	0,51562	0,68878	0,282
233 $nm$ (G085)	0,5152	0,49695	0,308
280 $nm$ (G084)	0,51568	0,59581	-

Tableau 2.8: Propriétés des couches d'YSZ de différentes épaisseurs.

Couche	YSZ	CeO <sub>2</sub>	YBCO
Température de dépôt ( $^{\circ}C$ )	700	700	700
Pression de dépôt O <sub>2</sub> ( $mbar$ )	$2 \times 10^{-5}$ (30 s) – $10^{-4}$	0,3	0,5
Épaisseur typique ( $nm$ )	200	30	80
Energie du laser ( $mJ$ )	250	250	250
Fréquence ( $Hz$ )	3	3	3

Tableau 2.9: Résumé des conditions de dépôts des trois matériaux utilisés.

### 3.3.4 Résumé de l'ensemble des conditions de dépôt (couches tampons et YBCO)

Les couches d'YBCO ont été ensuite déposées *in situ* sur les couches d'YSZ ou de CeO<sub>2</sub> / YSZ déposées sur Si. Les conditions sont celles utilisées de façon habituelle sur des substrats de SrTiO<sub>3</sub> (voir tableau 2.9 et figure 2.19). Les couches d'YBCO ainsi obtenues étaient orientées avec l'axe  $c$  perpendiculaire au substrat sur YSZ/Si et sur CeO<sub>2</sub>/YSZ/Si. Cependant l'ajout d'une fine couche épitaxiée de CeO<sub>2</sub> entre YBCO et YSZ a été nécessaire afin d'obtenir une seule orientation épitaxiale des couches d'YBCO dans le plan.

## 3.4 Les caractéristiques des films

Un exemple de diagramme  $\theta-2\theta$  mesuré sur un film d'YBa<sub>2</sub>Cu<sub>3</sub>O<sub>7- $\delta$</sub>  d'épaisseur 80  $nm$  déposé sur une double couche de CeO<sub>2</sub> / YSZ est reporté sur la figure 2.20. Les spectres enregistrés avec une simple couche tampon d'YSZ sont similaires, la seule différence étant la présence ou l'absence du pic (002) correspondant au CeO<sub>2</sub>. Sur le spectre de la figure 2.20a, nous observons les pics (002) et (004) de la structure cubique YSZ et le pic (002) de la structure cubique CeO<sub>2</sub>. La texture axe  $c$  perpendiculaire au substrat est celle que nous recherchons pour l'YBCO. Elle correspond à une orientation des plans CuO<sub>2</sub> parallèle au substrat, et se traduit par la seule présence des pics correspondant aux réflexions (001) sur le spectre. Nous pouvons également remarquer l'absence de phases parasites telles que

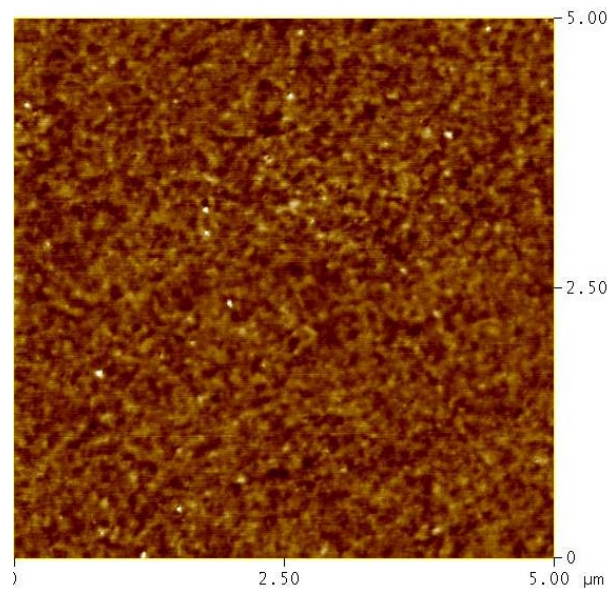


Figure 2.18: Image AFM en mode tapping de la surface d'une couche d'YSZ de 233nm d'épaisseur déposée sur Si (100).

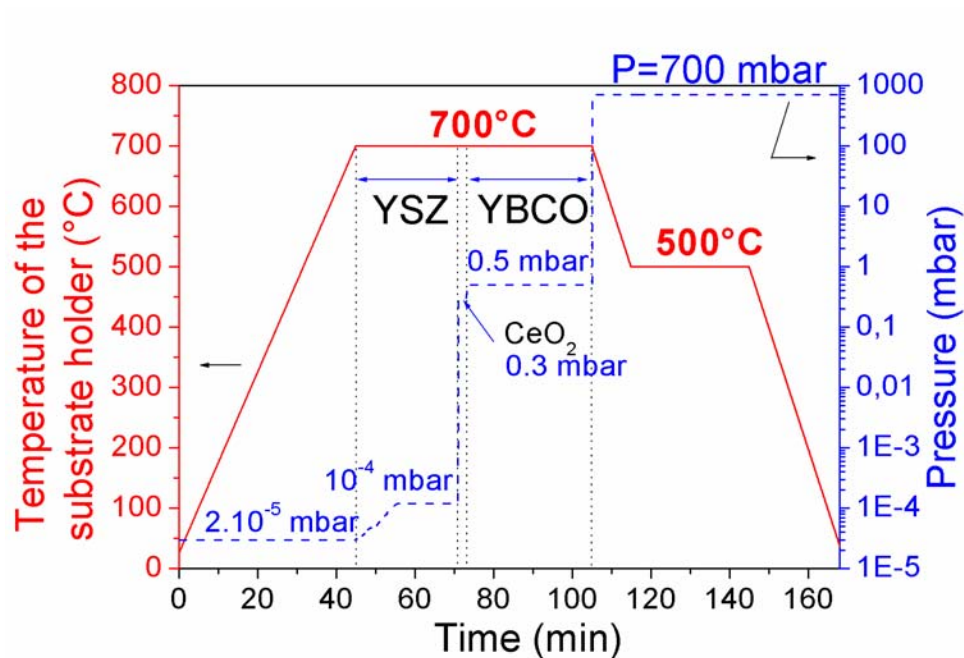


Figure 2.19: Conditions de température et pression typiques pour les dépôts d'YBCO, CeO<sub>2</sub> et YSZ sur Si (100).

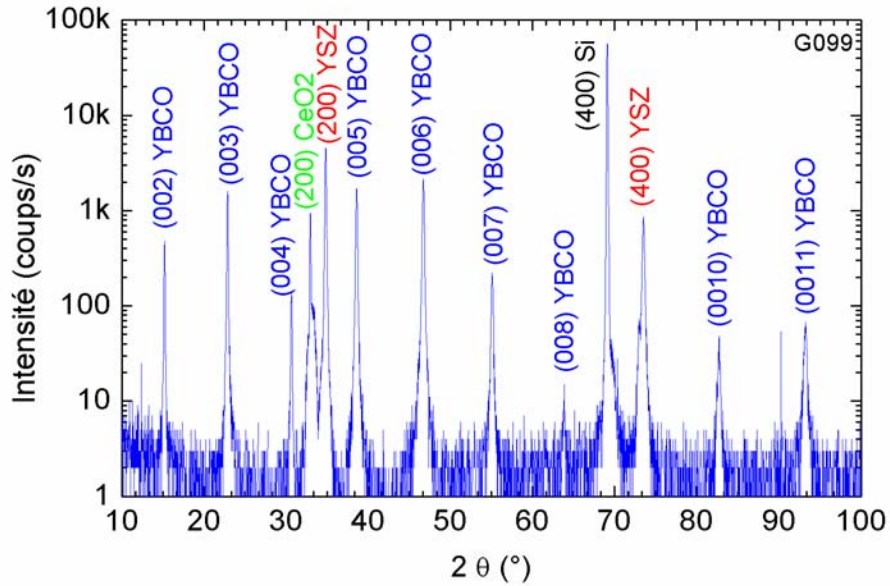


Figure 2.20: (a) Diagramme de diffraction X en configuration  $\theta - 2\theta$  d'une couche d'YBCO d'épaisseur 80 nm déposée sur CeO<sub>2</sub>/YSZ/Si(100).

BaZrO<sub>3</sub>, BaCeO<sub>3</sub>, Y<sub>2</sub>O<sub>3</sub>, CuO. Comme l'indique la figure 2.21b, les largeurs des pics à mi-hauteur des pics (005) YBCO, (200) CeO<sub>2</sub> et (200) YSZ en configuration  $\omega - scan$  valent respectivement 0,56°, 0,27° et 0,53°. Ces valeurs se situent parmi les meilleurs résultats de la littérature. A titre de comparaison, la largeur à mi-hauteur du pic (005) YBCO est de l'ordre de 0,25°. Le diagramme de diffraction X en configuration  $\varphi - scan$  a ensuite été mesuré de façon à contrôler les relations épitaxiales des couches dans le plan (fig. 2.22). Comme indiqué par la présence de deux pics dans l'intervalle de 180°, chacune des couches possède une seule orientation cristalline dans le plan. De plus, il apparaît que CeO<sub>2</sub> sur YSZ et YSZ sur Si ont leurs mailles alignées cube sur cube, mais que la maille d'YBCO est orientée à 45° par rapport à la maille de CeO<sub>2</sub>. Cette dernière relation s'explique facilement puisque la maille de CeO<sub>2</sub> ( $a = 0,541 \text{ nm}$ ) est égale à la diagonale d'une maille d'YBCO ( $a\sqrt{2} = 0,541 \text{ nm}$ ). Enfin, l'image AFM en mode tapping d'une couche d'YBCO déposée sur Si de la figure 2.24 montre les structures pyramidales typiques de la croissance d'YBCO. Les rugosités (RMS) des couches ont été mesurées dans la gamme 4 - 7 nm.

Les couches ainsi déposées présentent des températures critiques de l'ordre de 88 K (figure 2.23).

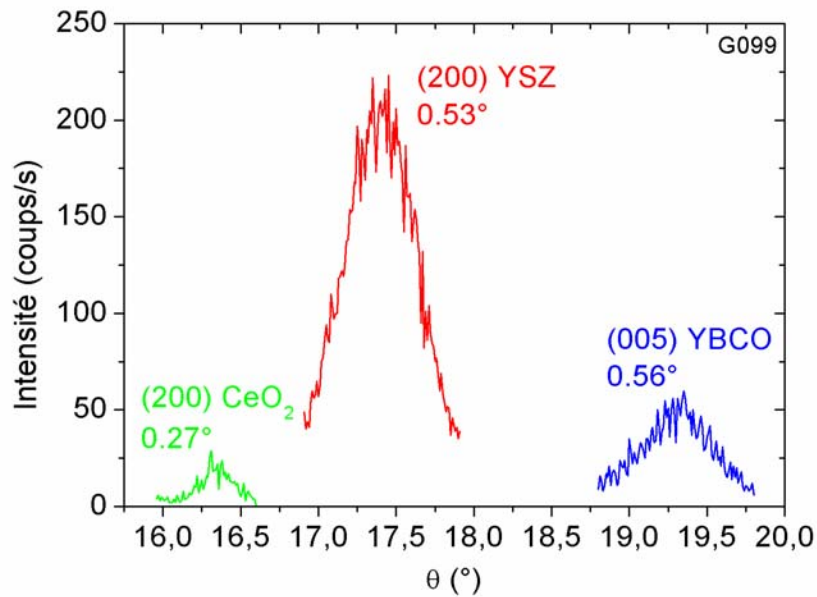


Figure 2.21: Diagrammes de diffraction X en configuration  $\omega$  – scan des couches YBCO,  $\text{CeO}_2$  et YSZ.

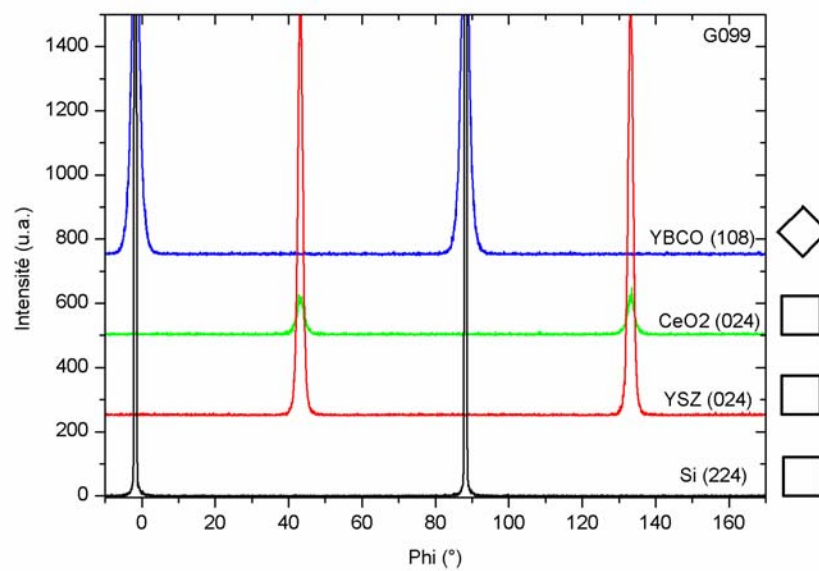


Figure 2.22: Diagramme de diffraction X en configuration  $\varphi$  – scan. Les carrés symbolisent l'orientation dans le plan de chaque couche par rapport au silicium (voir figure 2.12).

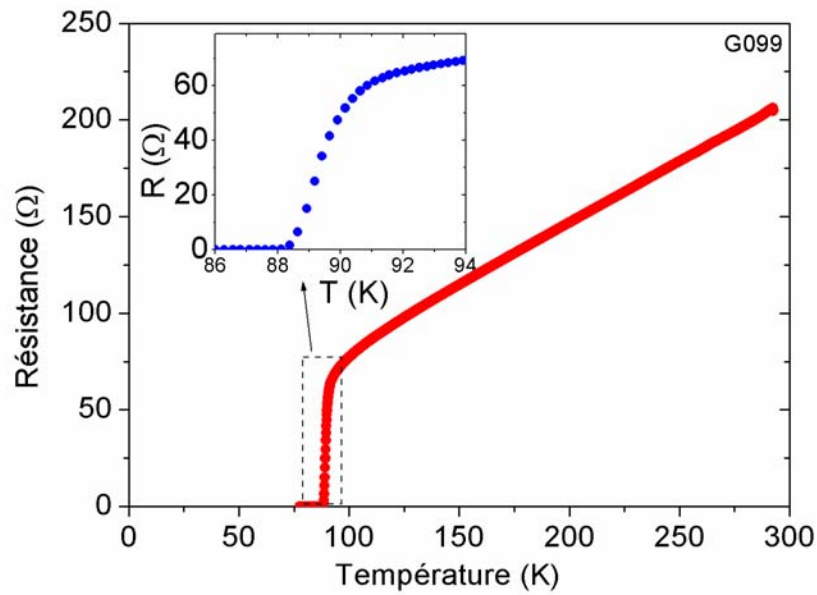


Figure 2.23: Evolution de la résistance d'une couche d'YBCO d'épaisseur 80 nm déposées sur CeO<sub>2</sub>/YSZ/Si en fonction de la temp

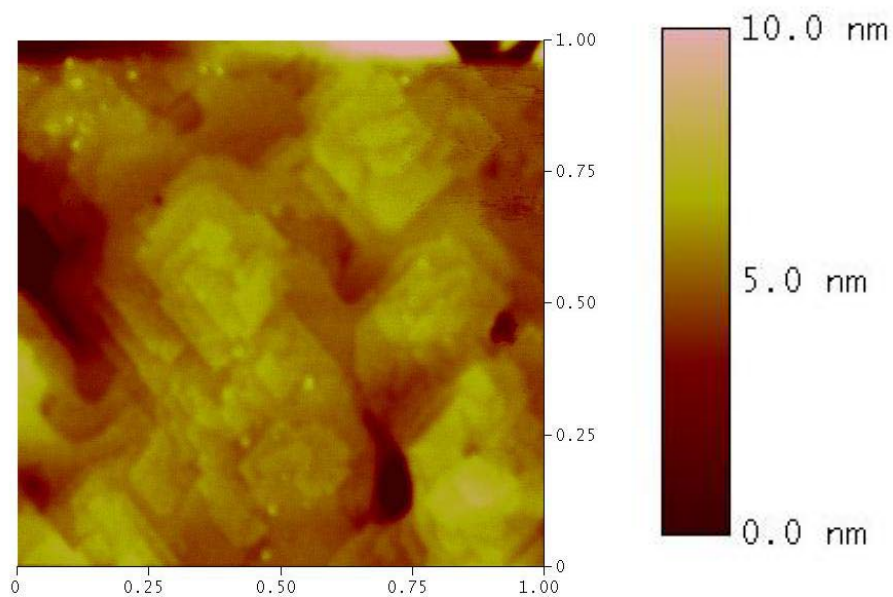


Figure 2.24: Image AFM en mode tapping d'une couche d'YBCO déposée sur Si.

## 4 Étude de la compatibilité technologique du procédé PMOS Rennes et du procédé YBCO

La section 3 a montré les conditions que l'on doit respecter pour obtenir une couche supraconductrice d'YBCO sur Si. On peut les résumer en deux conditions principales :

1. dépôt par ablation laser dans une atmosphère oxydante à une température comprise entre  $700^{\circ}C$  et  $800^{\circ}C$ ,
2. un substrat présentant un bon état de surface.

On peut résumer les contraintes de post-traitement de l'YBCO par le tableau 2.10. La définition et la métallisation des motifs sur une couche d'YBCO n'opposent pas de réelles incompatibilités avec le procédé PMOS de Rennes. Le masquage par lithographie des composants sur la plaquette suffit à les protéger pendant la gravure et la métallisation de motifs de la couche d'YBCO. Nous pouvons donc envisager la réalisation de nos échantillons suivant le processus décrit par la figure 2.25. La première étape ( notée I) correspond à la fabrication de la partie électronique semiconductrice (PMOS) tout en réservant une zone libre pour l'étape II, au cours de laquelle on réalise le capteur (YBCO). L'étape III consiste en la métallisation du pont supraconducteur et à son interconnexion avec le dispositif semiconducteur. L'aspect pratique de la réalisation du dispositif final sera précisé au chapitre 4.

### 4.1 Analyse de la compatibilité de la technologie PMOS

La technologie PMOS de Rennes décrite dans la section 2 de ce chapitre est notre technologie de test pour observer les effets de l'étape YBCO sur le fonctionnement des composants et les modifications technologiques à apporter. Trois points particuliers sont à examiner :

1. les effets de la température et du temps de dépôt sur la distribution des dopants dans le substrat et sur une éventuelle couche de poly-silicium,
2. l'effet de la température sur la métallisation des composants PMOS,
3. l'effet de la diffusion de l'oxygène à travers la métallisation des composants PMOS.

Contraintes	Valeurs
Température maximale à l'air ou sous vide	100 °C
Exposition à l'eau	Non
Exposition à l'air humide	Non
Métallisation	Au, Ag
Température minimale de fonctionnement	77 K

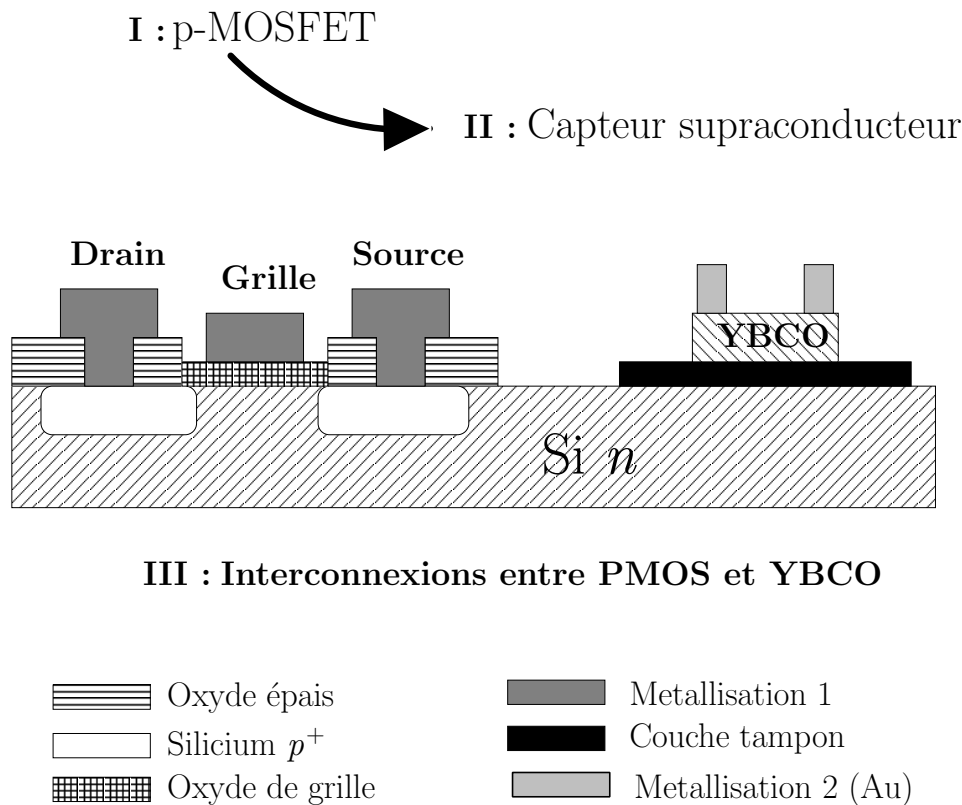
Tableau 2.10: Principales conditions sur le *post-process* d'un film d'YBCO.

Figure 2.25: Schéma des séquences de l'intégration monolithique d'un capteur YBCO et de composants PMOS. L'exemple est adapté à la technologie PMOS Rennes. La première étape est la fabrication des composants PMOS (I), suivie par le dépôt d'YBCO (II) et la réalisation de la connexion PMOS-YBCO (III). La métallisation 1 doit correspondre aux critères de stabilité thermique de résistance à l'oxydation posés par le dépôt d'YBCO (voir chapitre 3) et la métallisation 2 est la métallisation standard pour YBCO (*i.e.* Au). Le niveau d'interconnexion n'est pas représenté sur ce schéma mais peut être réalisé par la métallisation 2.

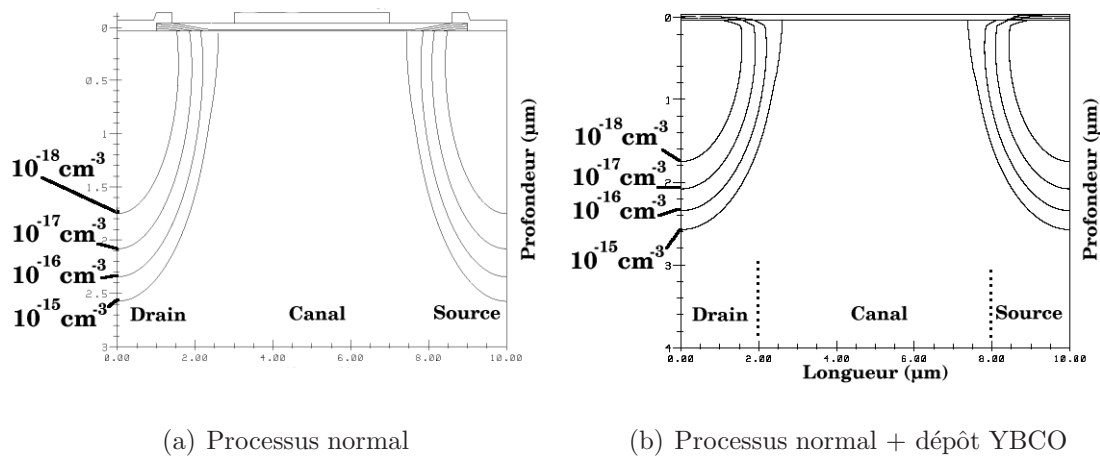


Figure 2.26: Coupe longitudinale d'un transistor MOS avec les courbes d'isodensité de dopage du bore : (a) procédé standard (sans métallisation) et (b) procédé standard + dépôt YBCO (sans métallisation).

#### 4.1.1 Dopage

Le premier point a fait l'objet d'un projet de DEA par deux élèves de l'ENSICAEN en 2000. Le pré-dépôt et la redistribution des dopants à la suite des différentes étapes du procédé ont été évalués à l'aide du logiciel SUPREM [122]. Les figures 2.26a et b montrent les courbes d'iso-densité des atomes de bore dans le silicium avant et après le recuit simulant l'étape YBCO (1 H/700 °C /0,5 mbar de O<sub>2</sub>). Le recuit de la métallisation n'a pas été pris en compte car le logiciel SUPREM n'accepte pas le recuit d'un composant métallisé et de toute façon le coefficient de diffusion du bore à 390°C<sup>15</sup> est très faible. On constate qu'à 700 °C un recuit n'a pas d'influence sur la distribution finale du bore dans le substrat.

#### 4.1.2 Métallisation aluminium

La métallisation des composants PMOS et de la majorité des composants semi-conducteurs est à base d'aluminium. Or le diagramme de phases binaire Al-Si (figure 2.27) indique de l'aluminium pur entre en fusion à partir de 660°C. La couche métallique entrera donc en fusion si on la soumet à la température du dépôt de l'YBCO. De plus, l'aluminium peut dissoudre jusqu'à environ 1,5% de silicium. Si la température reste inférieure à 577°C, la température de l'eutectique, le silicium du substrat diffusera dans le

<sup>15</sup>Température de recuit de l'aluminium dans le procédé normal.



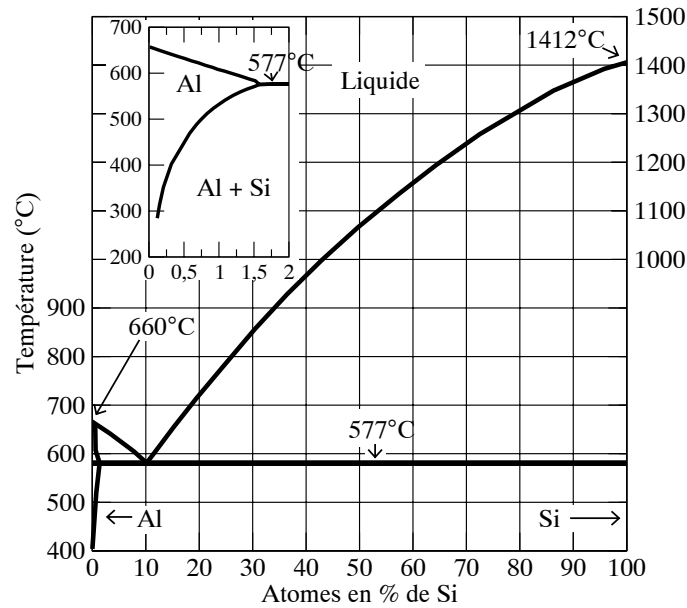


Figure 2.27: Diagramme binaire de Al-Si [170].

métal. Ce dernier point montre les limites de l'utilisation de l'aluminium dans les procédés où la métallisation est soumise à des températures élevées. Les films d'aluminium ont une structure poly-cristalline, et les joints de grains fournissent un chemin privilégié pour la diffusion du Si dans Al [14]. Une partie non-négligeable du substrat sera consommée et l'aluminium remplira les vides créés par le départ du Si. Si la pénétration de l'aluminium est plus importante que la profondeur de jonction, celle-ci sera court-circuitée. Pour réduire ce phénomène, 1% de Si est dissous dans l'aluminium déposé. Mais cela ne préserve de la diffusion que jusqu'à  $500^{\circ}\text{C}$ . Des matériaux métalliques comme TiN sont utilisés comme barrière de diffusion entre le silicium et l'aluminium. Mais Sedky *et al.* [43] ont montré les limites de cette métallisation à  $700^{\circ}\text{C}$ . L'intégration monolithique de l'YBCO dans un procédé MOS impose l'élimination de l'aluminium pour la métallisation.

### 4.1.3 Métallisation cuivre

La seule alternative qui existe actuellement dans les lignes de fabrication est le cuivre. Ce paragraphe fait une revue bibliographique rapide de la stabilité thermique du cuivre sur Si et  $\text{SiO}_2$ .

La faible résistivité et la résistance à d'électromigration de ce métal en font le métal de choix pour les nouvelles technologies en particulier pour les technologies aux dimensions inférieures à  $130\text{ nm}$ . La température de fusion du cuivre est de  $1085^{\circ}\text{C}$  et il est

donc capable de supporter le recuit pendant le dépôt d'YBCO. Cependant, l'intégration est difficile car les atomes de cuivre diffusent dans l'oxyde de silicium (contrairement à l'aluminium) et dans le silicium. Il forme des solutions solides avec le silicium à basse température et crée des niveaux profonds dans la bande interdite du silicium tout comme l'or [14]. La figure 2.28 schématise les interactions d'une couche de cuivre avec son substrat et l'oxygène en fonction de la température. Ce schéma est extrait de [171]. De nombreuses études ont été menées pour obtenir une structure qui empêche la diffusion et l'oxydation du cuivre. Une telle structure est du type Substrat/Barrière de diffusion/Cu/Passivation. On trouvera une liste de références dans [172] et [173]. En particulier, Kowala *et al.* reportent que la structure Si/TiSi<sub>2</sub>(30 nm)/Ta<sub>36</sub>SiN<sub>50</sub>(80 nm)/Cu(500 nm) n'est rompue qu'à partir de 900 °C (30 min). Cependant, à notre connaissance, il n'est pas reporté de métallisations à base de cuivre résistantes aux conditions d'oxydation rencontrées pendant le dépôt d'YBCO (avec ou sans couche de passivation).

Cette bibliographie montre qu'il pourrait exister des solutions pour intégrer le cuivre comme métallisation des composants PMOS résistante à haute température. Cependant, avec le cuivre, le procédé se complique sérieusement et il faudrait définir de nouveaux masques et ajouter une couche de passivation. De plus, le GREYC et les laboratoires du site de Caen ne disposent pas des équipements de dépôt du cuivre, des couches de barrière de diffusion et de passivation.

## 4.2 Conclusion

Nous avons examiné les étapes et les caractéristiques du procédé de la technologie PMOS standard de Rennes et les problèmes liés à l'intégration d'une couche d'YBCO sur silicium. A l'heure actuelle, les films minces d'YBCO sur Si ont des propriétés supraconductrices comparables à celles obtenues sur des substrats classiques de type *SrTiO<sub>3</sub>* ou *MgO*. Cependant, les différences entre les paramètres de maille et les coefficients de dilatation thermiques d'YBCO et de Si limitent l'épaisseur des couches à 100 nm. D'un autre côté, il a été montré qu'on pouvait obtenir, avec des substrats de type SOS ou SOI, des épaisseurs de 400 nm sans dégradations des propriétés supraconductrices.

En principe, il existe deux options : YBCO puis PMOS ou PMOS puis YBCO. Seule la seconde option décrite par la figure 2.25 est envisageable. Dans ce cas, la métallisation

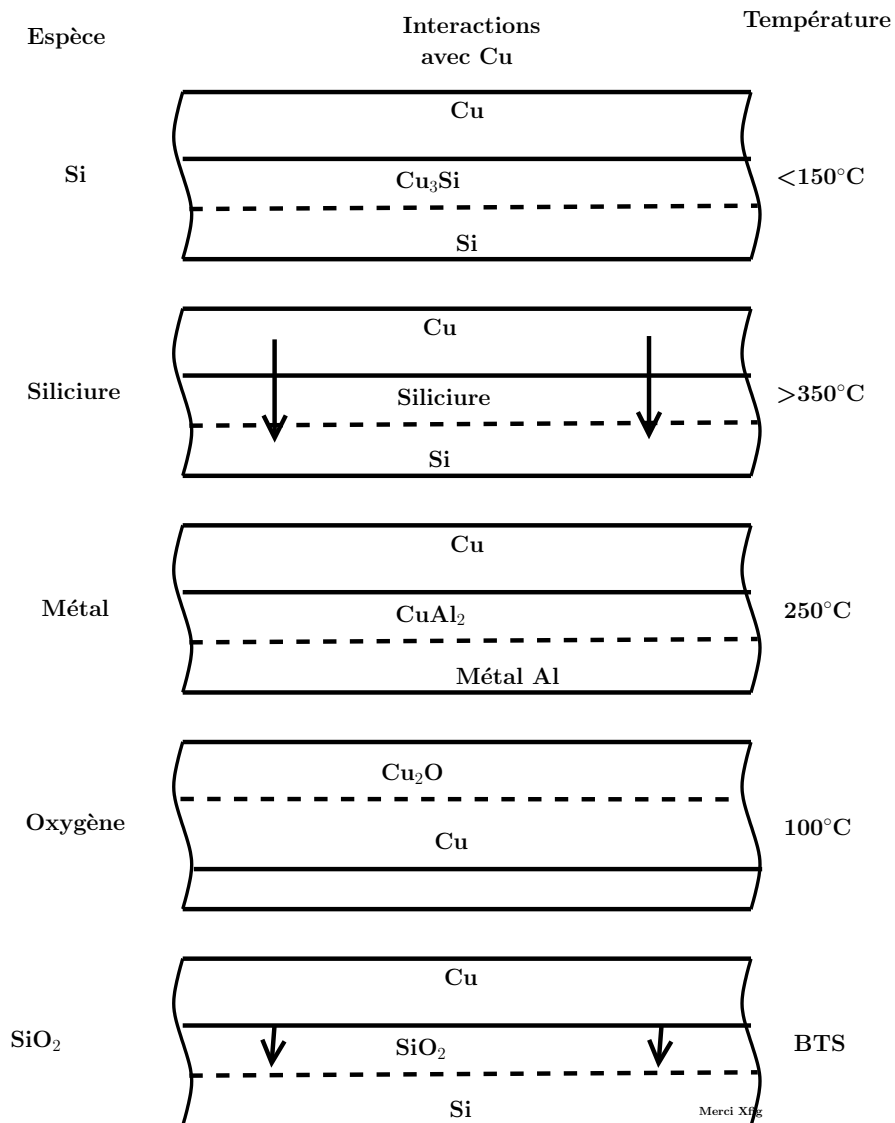


Figure 2.28: Principales interactions du cuivre avec le silicium, les siliciures, l'aluminium, SiO<sub>2</sub> et O<sub>2</sub> d'après [171].

classique Al ne peut pas convenir pour des raisons évidentes et le cuivre, malgré sa température de fusion plus élevée, ne peut pas convenir. De plus son intégration simple dans le procédé PMOS de Rennes paraît difficile. Il faut une métallisation qui soit capable de supporter le dépôt d'YBCO sans modifier complètement le procédé PMOS. La recherche d'une telle métallisation, répondant aux critères de stabilité et de facilité d'intégration, fait l'objet du chapitre 3. La recherche d'une nouvelle métallisation a été effectuée avec les moyens technologiques du GREYC.



# Chapitre 3

## Modification de la Métallisation des PMOS

Ce chapitre est consacré aux expériences entreprises dans le but de trouver, à partir de la revue bibliographique présentée dans les sections 1 à 3, une structure de métallisation pour les composants PMOS de Rennes qui doit être compatible avec les conditions de dépôt d'un film mince d'YBCO. Nous avons vu au chapitre 2 que les métallisations classiques (Al ou Cu) ne pouvaient pas convenir pour ce type d'application. De plus, il faut que la métallisation des composants soit réalisée en une seule étape et avec des caractéristiques comparables aux métallisations standards pour rester compatible avec la technologie PMOS de Rennes. Une étude bibliographique des contacts sur silicium et des métallisations résistantes à l'oxydation nous permettra de choisir les matériaux les mieux adaptés pour la métallisation de nos composants en fonction des possibilités technologiques. En troisième partie, on présentera les caractérisations électrique et chimique d'une métallisation à base de Pt, Ti et Mo.

### 1 Contacts ohmiques sur silicium : étude bibliographique

Cette partie concerne l'étude théorique du contact métal-semiconducteur appliquée aux transistors MOSFET.

La figure 3.1 représente une coupe schématique d'un transistor MOS à enrichissement sur substrat de silicium. On distingue la grille et l'oxyde de grille ainsi que le drain et

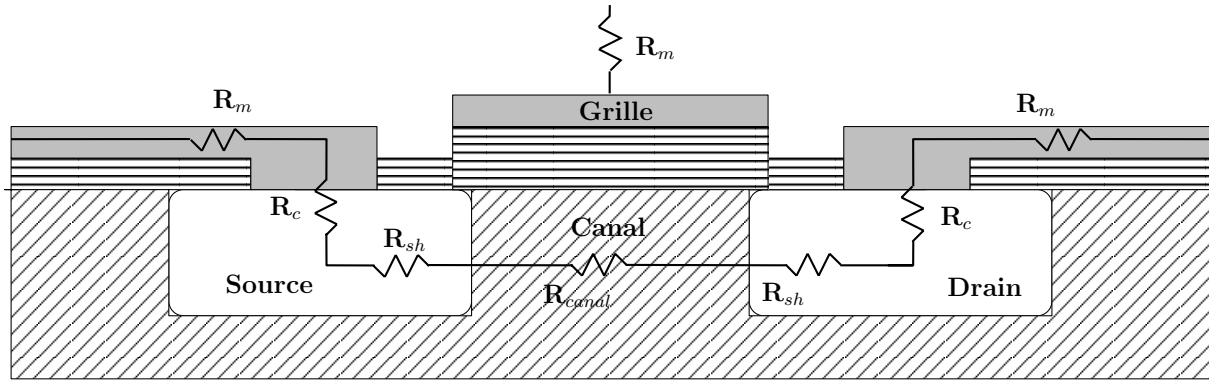


Figure 3.1: Coupe schématique d'un transistor MOS à enrichissement avec la grille, le drain et la source. Les résistances (lorsque le transistor est polarisé convenablement) qui contribuent à la résistance totale entre le drain et la source sont représentées.

la source. Lorsqu'on applique aux terminaux les potentiels de manière à former un canal conducteur, un courant dit "de drain" circule entre le drain et la source. Dans le cas idéal, la résistance entre le drain et la source est équivalente à la résistance du canal. Dans la réalité, des résistances parasites s'ajoutent à cette résistance. On distingue les résistances d'accès nommées  $R_{sh}$  sur le schéma de la figure 3.1, les résistances des connexions métalliques ( $R_m$ ) et les résistances dues au contact ( $R_c$ ). A l'inverse de la résistance du canal, elles sont constantes quel que soit le potentiel de grille. Les résistances  $R_m$  et  $R_{sh}$  sont facilement calculables si on connaît la géométrie du composant car elles ne dépendent que de la résistivité du matériau qui les constitue (un métal ou un semiconducteur dégénéré). En revanche, la résistance  $R_c$  n'est pas un simple élément passif. Le contact entre un métal et un semiconducteur n'est ohmique que sous certaines conditions. C'est ce que nous allons rappeler dans cette section.

Une des grandeurs qui caractérise un contact ohmique est **la résistivité spécifique de contact**. C'est la valeur de l'inverse de la dérivée du flux de charge  $J$  [ $A/cm^2$ ], traversant le contact par rapport au potentiel aux bornes du contact  $V$ , lorsque  $V = 0$ , soit :

$$\rho_c = \left( \frac{\partial J}{\partial V} \right)_{V=0}^{-1} \quad (3.1)$$

On la note généralement<sup>1</sup>  $\rho_c$  [ $\Omega \cdot cm^2$ ]. L'expression du flux de charge en fonction de  $V$  se déduit du diagramme de bande du métal et du semiconducteur.

<sup>1</sup>On trouve aussi la notation  $R_c$ .

## 1.1 Diagramme de bande d'un contact métal-semiconducteur

Lorsqu'un métal et un semiconducteur ne sont pas en contact (*i.e.* éloignés d'une distance  $\delta$  grande), les niveaux de Fermi de part et d'autre ne sont pas égalisés comme on peut le voir sur le diagramme de bande représenté sur la figure 3.2a. L'énergie qu'il faut fournir pour égaliser les niveaux de Fermi s'écrit :

$$q\phi_m - q(\chi + V_C) \quad (3.2)$$

avec  $\phi_m$  le potentiel d'extraction [V] d'un électron de la surface du métal,  $\chi$  l'affinité électronique du semiconducteur [V] et  $V_C$  le potentiel correspondant à la différence d'énergie entre le bas de la bande de conduction et le niveau de Fermi [V].

Si le métal et le semiconducteur sont liés électriquement (*Cf.* figure 3.2b), il y a un transport de charges du semiconducteur de type  $n$  vers le métal de telle sorte que les niveaux de Fermi s'égalisent (le flux de charge est dans le sens inverse si le semiconducteur est de type  $p$ ). Des charges négatives s'accumulent du côté métallique et des charges positives du côté semiconducteur. L'accumulation de ces charges déforme les bandes d'énergie dans le semiconducteur. Il s'établit une différence de potentiel à l'interface métal-semiconducteur. On note les potentiels  $\phi_{B0}$  et  $V_{b0}$  avec l'indice "0" pour indiquer que le semiconducteur et le métal sont reliés au même potentiel de référence. Lorsque la jonction métal/Si est polarisée, on remplace l'indice "0" par l'indice " $n$ ".

Si  $\delta$  diminue, la quantité de charge qui s'accumule à l'interface augmente. Comme la densité de porteurs de charge est faible dans le semiconducteur (par rapport au métal) la zone de charge d'espace (impuretés ionisées) s'élargit. La grandeur  $q\phi_{B0}$  (avec  $q$ , la charge élémentaire) est la différence d'énergie entre le bas de la bande de conduction et le niveau de Fermi dans le semiconducteur à l'interface. Lorsque  $\delta$  est nul (contact intime, figure 3.2c),  $q\phi_{B0}$  est égal à la différence  $q(\phi_m - \chi)$ ,  $\phi_{B0}$  est appelée barrière de potentiel.

Ce raisonnement est vrai si la densité d'états dans la bande interdite à la surface du semiconducteur est nulle, c'est-à-dire si il n'y a pas de défauts à l'interface. La figure 3.2c n'est qu'une représentation approximative du diagramme de bande d'une jonction métal/semiconducteur. La figure 3.3 prend en compte l'effet Schottky.

La barrière de potentiel  $\phi_{B0}$  est en effet réduite par l'effet Schottky. Cet effet se produit



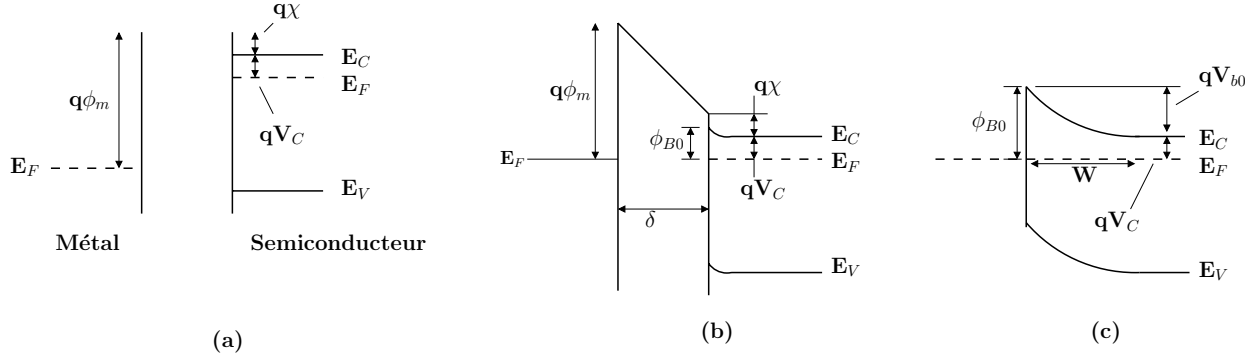


Figure 3.2: Diagramme de bande d'énergie d'un contact métal-semiconducteur de type  $n$  lorsque : (a) ils sont éloignés l'un de l'autre, les niveaux de Fermi ne sont pas équilibrés ; (b) ils sont liés électriquement et (c) ils sont en contact.  $W$  est la largeur de la zone de charge d'espace. Pour un semiconducteur de type  $p$ , le phénomène est complètement analogue.

à cause du champ électrique  $\mathcal{E}$  présent dans la zone de charge d'espace du semiconducteur. L'énergie potentielle d'un électron est abaissée par la force induite par l'image de la charge à la surface du métal. La barrière de potentiel est abaissée d'une quantité appelée potentiel de la force-image. On le note  $\Delta\phi$  [V]. La valeur de  $\Delta\phi$  est donnée par la relation 3.3 :

$$\Delta\phi = \sqrt{\frac{q\mathcal{E}}{4\pi\epsilon_S}} \quad (3.3)$$

Avec  $q$  la charge élémentaire et  $\epsilon_S$  la constante diélectrique du semiconducteur.

La zone de charge d'espace est définie par sa largeur  $W$ . Son expression est donnée par la relation 3.4. Les quantités  $V_{bn}$ ,  $V$  et  $N$  sont définies sur la figure 3.3.

$$W = \sqrt{\frac{2\epsilon_S}{qN} \left( V_{bn} - V - \frac{kT}{q} \right)} \quad (3.4)$$

où  $V$  est le potentiel externe appliqué au contact métal-semiconducteur,  $V_{bn}$  (ou  $V_{b0}$  lorsque  $V$  est nul) la différence de potentiel entre le bas de la bande de conduction en  $x = 0$  et en  $x \gg W$  et  $N$  la densité d'impuretés ionisées dans le semiconducteur. Le champ électrique  $\mathcal{E}$  est créé par la densité de charge de signe opposé, située de part et d'autre de l'interface. Son maximum est situé à l'interface métal-semiconducteur, l'expression de ce maximum est donnée par la relation suivante :

$$\mathcal{E} = \sqrt{\frac{2qN}{\epsilon_S} \left( V_{b0} - V - \frac{kT}{q} \right)} \quad (3.5)$$

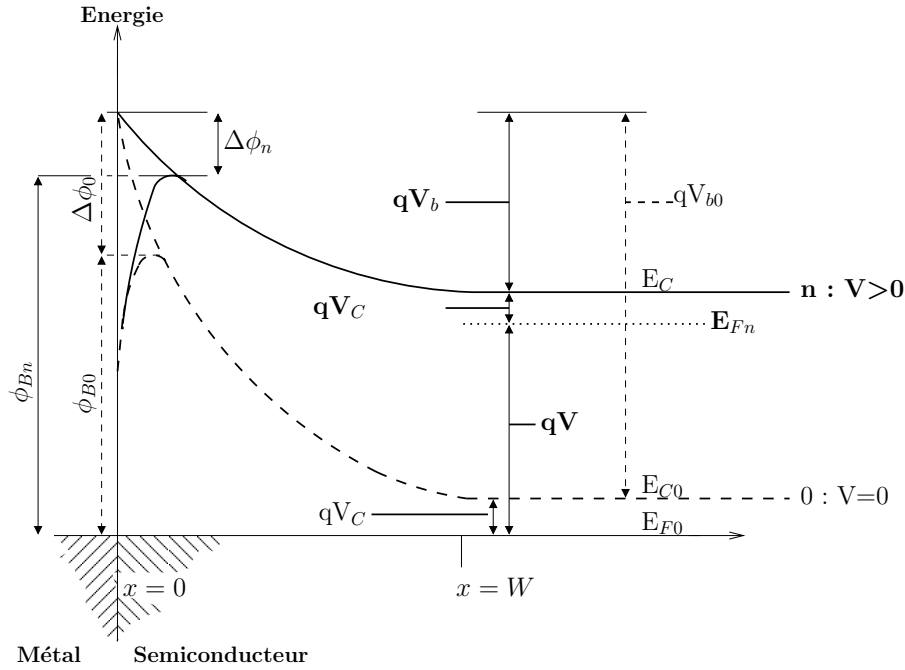


Figure 3.3: Diagramme de bande d'énergie d'un contact métal-semiconducteur de type  $n$  à l'équilibre thermodynamique lorsque le potentiel de polarisation  $V$  est nul (traits en tirets) et positif (traits pleins). Dans ce dernier cas on dit que la jonction est polarisée en direct. Pour un semiconducteur de type  $p$ , la jonction est polarisée en direct pour  $V$  négatif.

Les grandeurs  $\Delta\phi$  et  $\mathcal{E}$  dépendent du potentiel externe appliqué. Sur la figure 3.3, on a représenté le diagramme de bande d'un contact métal semiconducteur pour  $V = 0$  (pointillés) et  $V > 0$  (continu). On note  $E'_F$  le pseudo niveau de Fermi dans le semiconducteur lorsque  $V$  est non nul. Enfin, la barrière de potentiel (relation 3.6) est la somme du potentiel de bande plate  $V_{bn}$  et de  $V_C$ , la différence de potentiel entre le bas de la bande de conduction et le niveau de Fermi moins le potentiel dû à la force-image. La barrière de potentiel est fortement diminuée lorsqu'on le champ électrique est grand (dans le sens métal semiconducteur).

$$\begin{aligned}\phi_{Bn} &= V_{bn} + V_C - \Delta\phi_n \\ \phi_{B0} &= V_{b0} + V_C - \Delta\phi_0\end{aligned}\tag{3.6}$$

## 1.2 Densité de courant

La figure 3.4 (d'après [87]) montre les quatre mécanismes de conduction qui peuvent se produire entre le métal et le semiconducteur. Le premier est le passage d'un électron du semiconducteur vers le métal par dessus la barrière de potentiel, c'est le mécanisme

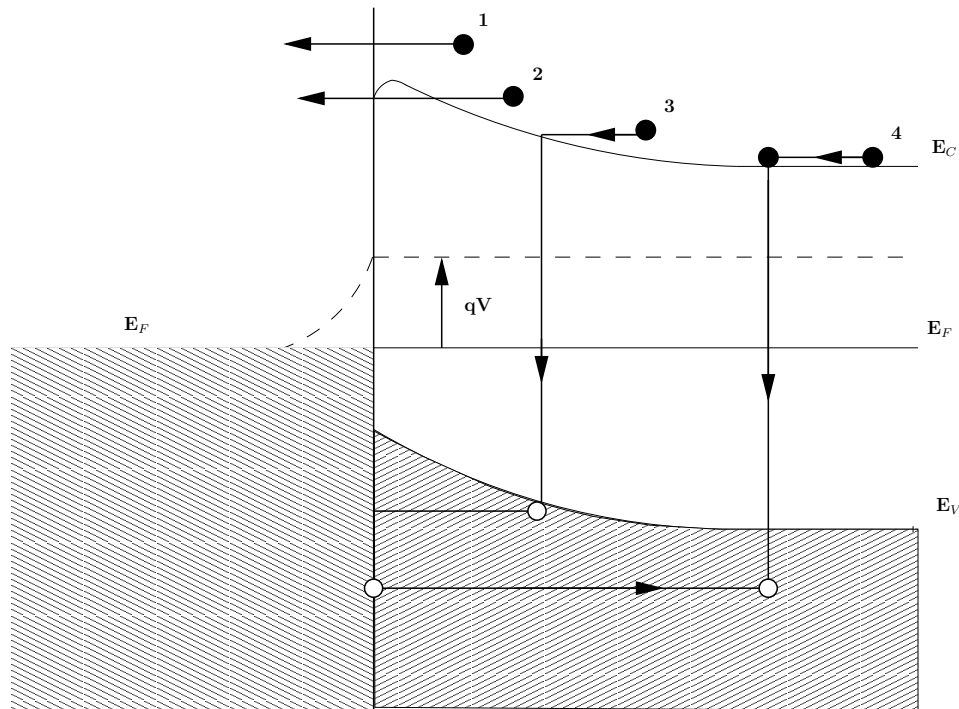


Figure 3.4: Les quatre processus de conduction lorsque la jonction est polarisée en direct.

dominant dans les diodes Schottky. Le second est le passage d'un électron par effet tunnel à travers la barrière de potentiel. Le troisième est le procédé de recombinaison d'une paire électron-trou dans la zone de charge d'espace du semiconducteur et le quatrième est dû à l'injection d'un trou du métal vers le semiconducteur et la recombinaison avec un électron dans la zone neutre du semiconducteur.

La densité de charge dans les sens direct (semiconducteur vers métal) ou indirect (l'inverse) a été calculée numériquement par Chang et Sze dans [174]. Le calcul est basé sur la probabilité qu'un électron du semiconducteur puisse passer la barrière (qui est abaissée si la jonction métal semiconducteur est polarisée en direct). Il faut calculer dans un premier temps le coefficient de transmission des électrons à travers la barrière et la distribution en énergie des électrons par rapport à la hauteur de la barrière de potentiel. Le calcul est appliqué à un contact métal semiconducteur dont la structure de bande est décrite par la figure 3.3. La densité de courant a deux termes correspondant aux deux mécanismes de conduction principaux (1 et 2 sur la figure 3.4). Le premier terme est dépendant du mécanisme d'émission thermionique et le second, du mécanisme de transport

par effet tunnel. Chang et Sze ont calculé le quotient de ces deux termes en fonction du dopage du semiconducteur pour le système Au-Si [174]. Le résultat est présenté dans la figure 3.5.

A température ambiante, l'effet tunnel devient prépondérant lorsque le dopage est supérieur à  $10^{18} \text{ cm}^{-3}$  pour le silicium et  $10^{20} \text{ cm}^{-3}$  pour l'AsGa (la valeur de la résistance de contact d'un métal sur AsGa a été calculée par Chang [175]). La relation 3.7 donne l'expression de la résistivité spécifique de contact sur Si dans le cas où le dopage est inférieur à  $10^{17} \text{ cm}^{-3}$  (effet thermionique) :

$$\rho_c = \frac{k}{qA^*T} \exp\left(\frac{q\phi_{B0}}{kT}\right) \quad (3.7)$$

avec  $A^*$  la constante effective de Richardson,  $T$  la température,  $k$  la constante de Boltzmann et  $\phi_{B0}$  la barrière de potentiel. Il n'est pas étonnant d'utiliser  $\phi_{B0}$  plutôt que  $\phi_{Bn}$  dans les expressions 3.7 et 3.8 car la résistivité spécifique de contact (relation 3.1) est définie au potentiel  $V$  nul.

Dans le cas où le dopage est supérieur à  $10^{18} \text{ cm}^{-3}$ , l'effet tunnel est prépondérant :

$$\rho_c \propto \frac{1}{E_{00}} \exp\left(\frac{qV_{b0}}{E_{00}}\right) \quad (3.8)$$

On utilise  $V_{b0}$  puisque  $\rho_c$  est définie en  $V = 0$ .  $E_{00}$  est une énergie de référence qui dépend fortement du dopage  $N$ . Elle s'écrit :

$$E_{00} = \frac{\hbar}{2} \sqrt{\frac{N}{\epsilon_S m^*}} \quad (3.9)$$

avec  $\hbar$  la constante de Planck,  $m^*$  la masse effective des électrons.

Ces résultats sont confirmés pour les contacts Al-n-Si, PtSi-Si et Au-Si [176, 175] comme le montre la figure 3.8 (située en page 100). La figure 3.6 montre l'évolution des résistivités spécifiques de contact de l'aluminium et du tungstène sur du silicium de type  $p$  et  $n$  [177].

En conclusion, les notions de contact métal semiconducteur et de résistivité spécifique de contact ont été rappelées. Le contact est ohmique lorsque le semiconducteur est dégénéré, c'est-à-dire lorsque le courant tunnel est dominant. Pour le silicium, cela se produit pour une densité de dopage supérieure à  $10^{18} \text{ cm}^{-3}$ .

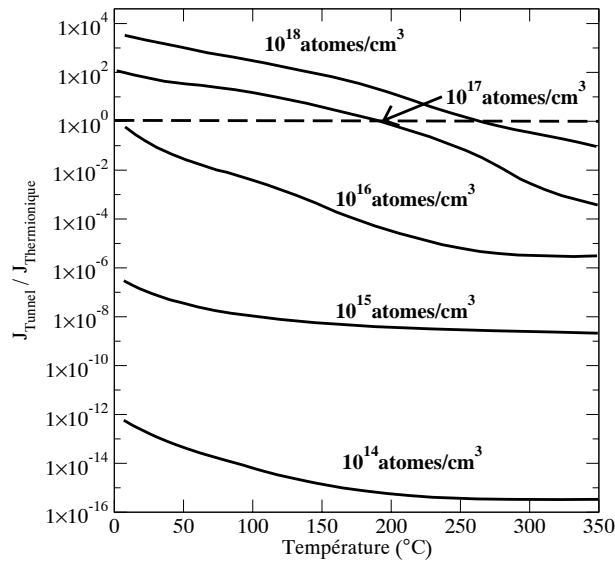


Figure 3.5: Rapport de la contribution tunnel sur la contribution thermionique de la densité de courant à travers un contact métal-semiconducteur (Au-Si dans ce cas) en fonction de la température et du dopage du semiconducteur d'après [174].

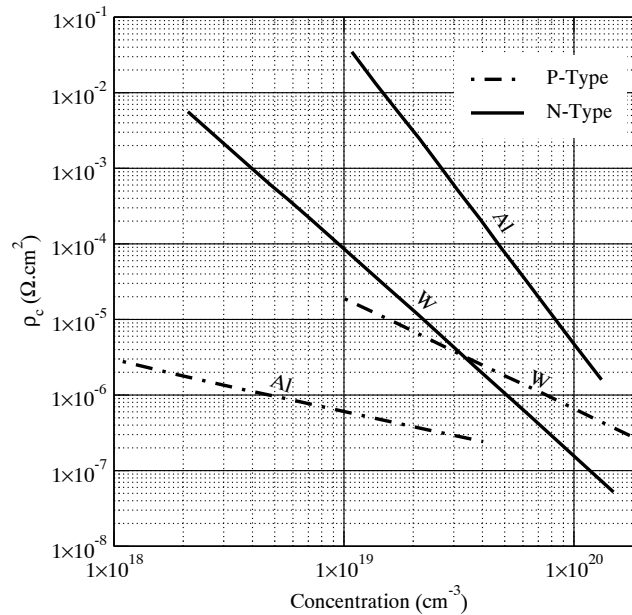


Figure 3.6: Résistivités spécifiques de contact de l'aluminium et du tungstène sur du silicium de type  $p$  ou  $n$  en fonction de la densité de dopage.

## 2 Propriétés des siliciures

Le contact Al-Si utilisé dans la fabrication des premiers transistors a dû évoluer vers des structures plus performantes, intégrant plusieurs couches : interconnexions, barrière de diffusion . Dans cette section, nous décrivons la couche qui réalise le contact ohmique avec le silicium. Les matériaux utilisés (autres que Al) sont des composés du silicium appelés siliciures<sup>2</sup> (ou *silicide* en anglais). Les siliciures sont étudiés pour différentes raisons et deux d'entre elles nous intéressent particulièrement :

- ✓ une grande stabilité thermique
- ✓ leur nature métallique (barrière de Schottky ou contact ohmique).

À l'heure actuelle, les siliciures sont largement utilisés dans tous les circuits intégrés comme contacts ohmiques, contacts Schottky, métallisations de grille, ou encore interconnexions locales en remplacement du poly-silicium. De ce fait, ces matériaux, en particulier PtSi, TiSi<sub>2</sub>, CoSi<sub>2</sub>, MoSi<sub>2</sub> et d'autres encore, ont été intensivement étudiés depuis une trentaine d'années.

Pour la réalisation des contacts sur Si, il est souhaitable de former le siliciure le plus riche en silicium car c'est le composé qui se formera préférentiellement par réaction entre un film mince métallique et le substrat de silicium (enthalpie de formation la plus négative). Par chance, il a en général la résistivité électrique la plus faible [178].

### 2.1 Résistivité et évolution en fonction de la température

Avec la réduction des dimensions (profondeur de jonction *p-n*, largeur des lignes d'interconnexion) l'influence des matériaux de métallisation sur les propriétés électriques et la fiabilité des composants devient de plus en plus grande. On a vu, en effet, au chapitre 2 que l'interdiffusion Al-Si limite la température de *post-process* car le risque de court-circuit des jonctions et le phénomène d'électromigration sont importants. Le poly-silicium est intensivement utilisé pour les connexions locales mais sa résistivité électrique élevée (quelques dizaines de  $\mu\Omega \cdot cm$ ) limite la réduction des dimensions. Une des premières propriétés remarquables des siliciures est leur faible résistivité électrique comparée à celle du polysilicium.

---

<sup>2</sup>Actuellement sont également étudiés les germanures ou *germanides* (Ge).

M	M <sub>3</sub> Si	M <sub>2</sub> Si	M <sub>5</sub> Si <sub>3</sub>	M <sub>3</sub> Si <sub>2</sub>	MSi	MSi <sub>2</sub>	MSi <sub>3</sub>
Ti	-	-	H	-	O	O	?
Mo	C	-	T	?	-	T-H	-
Pt	?	T	-	-	O	-	-

Tableau 3.1: Groupe des siliciures qui se forment avec Pt, Ti et Mo. M représente l'élément métallique (H = hexagonal, O = orthorhombique, T = tétragonal et C = cubique). Le point d'interrogation signifie que la structure cristalline du siliciure n'est pas certaine [178].

Matériau	Cible	Température de recuit (°C)	Résistivité ( $\mu\Omega \cdot cm$ ) à 300 K	
			Mono cristaux	Films minces
Polysilicium				1000
TiSi <sub>2</sub>	Métal pur	900	10	13-16
	Métal pur et Si	900		25
MoSi <sub>2</sub>	Métal pur	1100	22	40-100
	alliage	1000		100
PtSi	Métal pur	600-800	-	28-35
WSi <sub>2</sub>	Alliage	1000	12-40	70
TaSi <sub>2</sub>	Métal pur	1000	38-46	35-45
	Alliage	1000		50-55
CoSi <sub>2</sub>	Métal pur	900	65-68	18-20
	Alliage	900		25

Tableau 3.2: Résistivités des siliciures les plus courants sous forme de mono-cristaux et préparés par pulvérisation d'éléments purs (métal et Si) et d'alliages sur poly-silicium, d'après [178] et [14].

Dans le tableau 3.2, la résistivité électrique des films minces des siliciures les plus couramment utilisés est comparée à la résistivité obtenue sur mono cristaux. La résistivité d'un film mince de polysilicium (500 nm) est ajoutée pour comparaison. La résistivité des films minces est comparable à celle des mono-cristaux. Notons aussi que la résistivité d'un même siliciure en film mince varie suivant la méthode de préparation. Dans le tableau 3.2, on a distingué les préparations à partir de l'élément pur ou d'alliages. Les conditions de recuit des échantillons ne sont pas spécifiées mais des paramètres comme la nature de l'atmosphère, la durée de recuit ou encore la température ont une grande influence. La méthode que nous avons pu mettre en oeuvre est le dépôt par pulvérisation RF à partir d'une cible métallique, suivi par un recuit sous vide jusqu'à une température de l'ordre de 700°C (température maximum du porte substrat). Les siliciures qui nous intéressent particulièrement sont **PtSi**, **MoSi<sub>2</sub>** et **TiSi<sub>2</sub>** car ce sont les seuls que nous avons pu raisonnablement mettre en oeuvre avec nos moyens technologiques.

La figure 3.7 montre l'évolution de la résistance  $R_{sh} = \frac{\rho^3}{t}$  de couche<sup>4</sup> avec la température de recuit. Elle est notée dans la littérature  $R_{sh}$ <sup>5</sup> ou  $\rho_{sh}$  ou encore  $R_{\square}$  et elle a la même unité qu'une résistance (voir annexe B). Pour la distinguer d'une simple valeur de résistance, l'unité de  $R_{sh}$  est écrite  $\Omega_{\square}$  ou  $\Omega/square$ . La variation de la résistance de couche avec la température s'explique par le mécanisme de formation des siliciures. Cela en fait un bon estimateur de la stabilité thermique des siliciures. Par exemple, pour le titane, il y a un maximum autour de 600°C. Cette température correspond à la température de transition de phase entre TiSi<sub>2</sub>-C49 et TiSi<sub>2</sub>-C54. On peut élargir les résultats des deux graphes (figure 3.7) en classant les siliciures en deux groupes définis par le type de métal : les métaux réfractaires (Ti, V, Cr, Zr, Nb, Mo, Hf, Ta et W) et les métaux du groupe du platine (Os, Ir, Pt, Ru, Rh et Pd ou métaux presque nobles). Pour le premier groupe, la résistance de couche augmente fortement avec la température puis à partir d'une température comprise en 600°C et 650°C, elle décroît rapidement et se stabilise. Pour le second groupe, il n'y a pas de transition aussi marquée. La résistivité est stabilisée dès 450°C.

Pour les siliciures du type TiSi<sub>2</sub> (sur polysilicium ou Si, figure 3.7, [178, 179, 180]) la

<sup>3</sup>où  $\rho$  est la résistivité électrique et  $t$  l'épaisseur du film.

<sup>4</sup>L'équivalent anglais est *sheet resistivity*.

<sup>5</sup> $R_{sh}$  est le symbole représentant la résistance de couche choisi dans ce manuscrit.



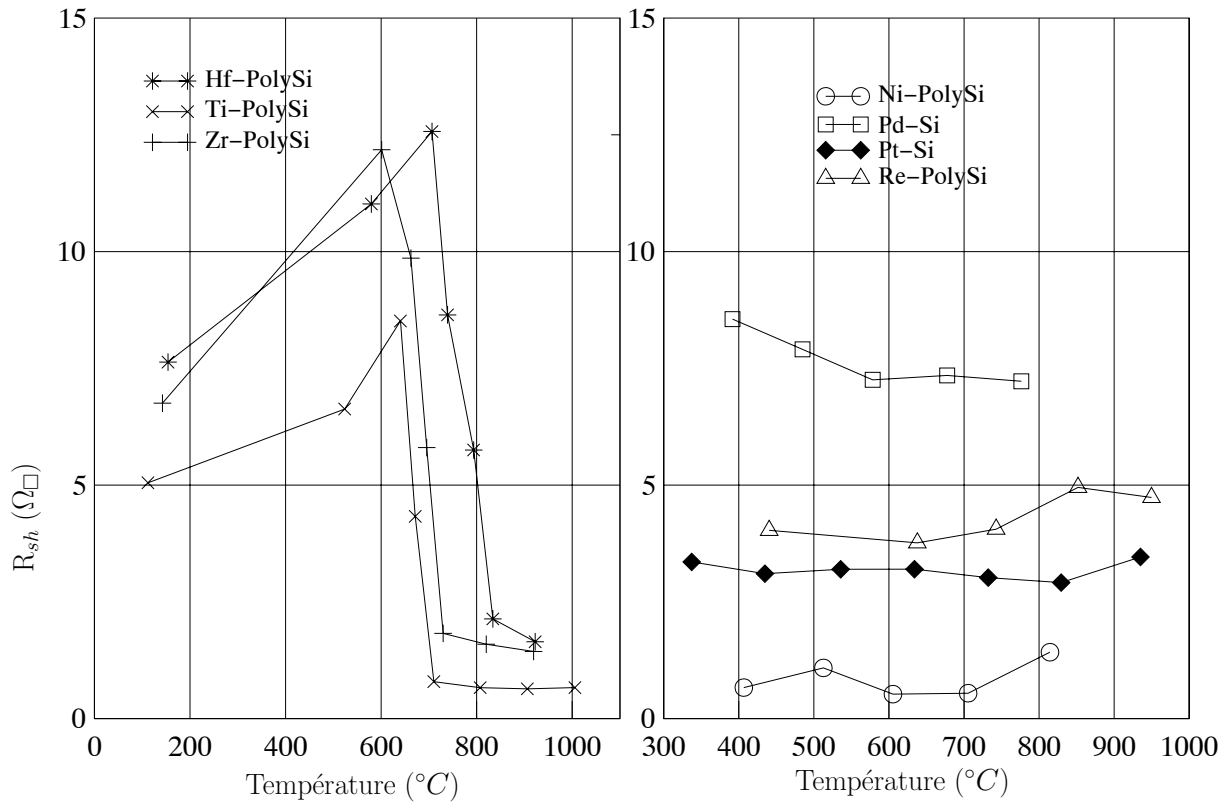


Figure 3.7: Résistance de couche de quelques siliciures en fonction de la température de recuit d'après [178, 179, 180]. L'augmentation de la résistance de couche pour  $T > 850^\circ\text{C}$  et  $T > 750^\circ\text{C}$  de Ti-Si et Ni-Si respectivement est due au phénomène d'agglomération.

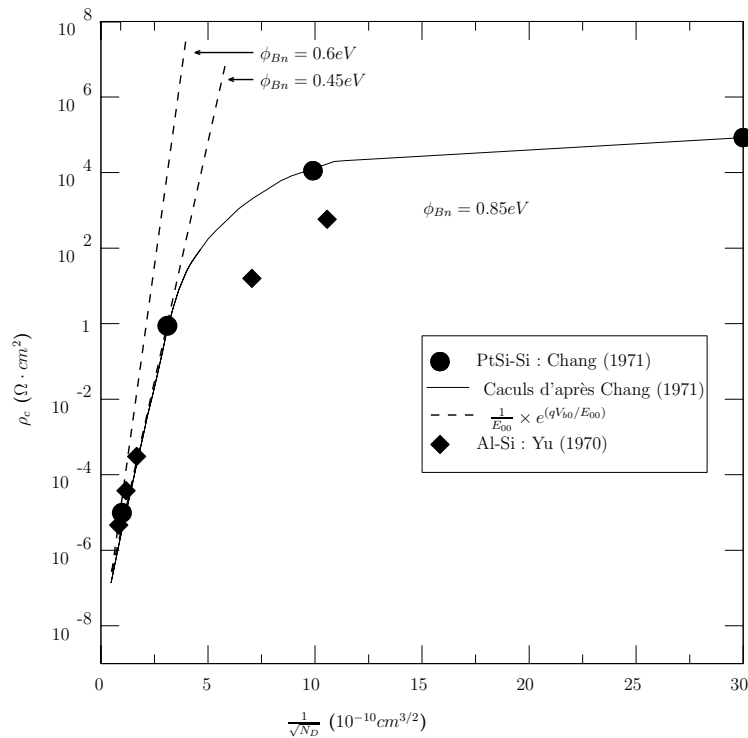


Figure 3.8: Valeurs théorique et expérimentale de la résistivité spécifique de contact de PtSi sur Si en fonction du dopage du semiconducteur de type  $n$  d'après les données expérimentales venant de [176, 175]. Les droites en pointillés sont obtenues à partir de l'équation 3.8 avec  $V_{b0} = \phi_{B0} + \Delta\phi_0 - V_C$  (Cf. figure 3.3) et  $E_{00}$  est défini par l'équation 3.9.

Siliciure	Résistivité spécifique de contact $\mu\Omega \cdot cm^2$	Références
PtSi	5	[176]
TiSi <sub>2</sub>	0,2	[181, 14, 182, 183]
MoSi <sub>2</sub>	8	[179]

Tableau 3.3: Résistivités spécifiques de contact sur silicium pour PtSi, TiSi<sub>2</sub> et MoSi<sub>2</sub> publiées dans la littérature.

résistance de couche diminue à partir d'une température de recuit supérieure à 600°C et reste stable jusqu'à au moins 850°C pour TiSi<sub>2</sub> et 1000°C pour MoSi<sub>2</sub>. Pour le groupe du Pt, la résistance de couche se stabilise à plus basse température ( $T < 400^\circ C$  pour PtSi) et reste stable jusqu'à 850°C, sauf pour NiSi sur Si où la fenêtre de stabilité est comprise entre 600°C et 750°C.

Dans le cas de PtSi, MoSi<sub>2</sub> et TiSi<sub>2</sub>, le recuit à la température de dépôt d'YBCO (700°C-750°C) ne devrait donc pas détériorer le contact siliciure-Si. Nous retenons ces matériaux pour l'intégration d'YBCO<sup>6</sup>.

## 2.2 Résistivité spécifique de contact

On trouve peu d'études sur la stabilité thermique de la résistivité spécifique de contact siliciure/Si, mais, compte tenu de la stabilité thermique évaluée par la résistance de couche, on peut supposer que la résistivité spécifique de contact sera également stable. Par ailleurs, l'étude de la variation de la hauteur de la barrière de potentiel siliciure/Si est un bon indicateur de la stabilité car nous avons vu au paragraphe 1.2 que ce paramètre intervient dans la résistivité spécifique de contact. Le tableau 3.3 montre quelques valeurs de  $\rho_c$  pour différents siliciures répertoriés dans la littérature. Les figures 3.6 et 3.8 montre l'évolution de la résistivité spécifique de contact de Al, W et PtSi sur Si en fonction du dopage du substrat. Il est à noter que les coefficients de diffusion d'impuretés dans les siliciures sont plus élevés que dans le silicium. Ainsi, plus la température de formation est élevée et plus le temps de recuit est long, plus les dopants diffusent du silicium dans le siliciure [184, 185, 180]. Il y a alors formation de composés Métal-dopant [186, 187]. La diminution de la densité de dopant dans le silicium a pour conséquence d'augmenter la résistance de contact [188, 189, 190]. Néanmoins, ces effets sont limités aux composants de petites

<sup>6</sup>Au moins d'un point de vue thermique.

Siliciures	Insoluble dans :	Soluble dans :
TiSi <sub>2</sub>	Acides minéraux sauf HF, eau régale, H <sub>2</sub> SO <sub>4</sub> +H <sub>2</sub> O <sub>2</sub>	Solutions contenant HF
TaSi <sub>2</sub>	Acides minéraux sauf HF, eau régale, H <sub>2</sub> SO <sub>4</sub> +H <sub>2</sub> O <sub>2</sub>	HF
MoSi <sub>2</sub>	Acides minéraux, eau régale	HNO <sub>3</sub> + HF
WSi <sub>2</sub>	Acides minéraux, eau régale	HNO <sub>3</sub> + HF
PtSi	Eau régale, HCl, HNO <sub>3</sub> , H <sub>2</sub> SO <sub>4</sub> , HF, H <sub>2</sub> SO <sub>4</sub> +H <sub>2</sub> O <sub>2</sub>	peu soluble dans HNO <sub>3</sub> + HF

Tableau 3.4: Réactivité des siliciures avec des solutions aqueuses de gravure. Les solutions contenant HF sont : NH<sub>4</sub>F/HF (gravure du SiO<sub>2</sub>) et HNO<sub>3</sub> / HF (gravure de silicium). L'eau régale est une solution de HCl et de HNO<sub>3</sub> chauffée à 85 °C et le mélange H<sub>2</sub>SO<sub>4</sub>/H<sub>2</sub>O<sub>2</sub> sert à éliminer les impuretés métalliques (Na ...).

dimensions et aux forts dopages. Les solutions trouvées pour limiter ce phénomène sont :

- ✓ l'élaboration du siliciure par méthode de dépôt CVD ou *Co-deposition* [182, 191, 190],
- ✓ la réduction de l'épaisseur de la couche de siliciure ,
- ✓ l'implantation de dopant après formation du siliciure.

## 2.3 Réactivité chimique

Les siliciures sont résistants à de nombreuses solutions de gravure. Seules les solutions de gravure du silicium et de son oxyde sont capables de les graver. Murarka [178] a dressé le tableau des solutions qui attaquent (ou pas) les siliciures (tableau 3.4). Hul'Ko [192] a montré que TiSi<sub>2</sub> est stable (pas de dégradation de la résistance de couche) après la gravure d'une ligne par une solution de HF(40%).

## 2.4 Formation des siliciures

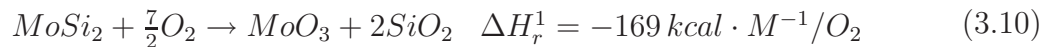
### 2.4.1 Considérations thermodynamiques

Les grandeurs thermodynamiques pour décrire une réaction chimique sont les énergies libres ( $\Delta G$  [ $kcal \cdot M^{-1}$ ]). Cependant, dans les réactions à l'état solide, les effets d'entropies sont souvent faibles (c'est le cas des réactions contrôlées par la diffusion des espèces [193, 194]), on peut alors supposer que le changement d'énergie libre est égal au changement

d'enthalpie ( $\Delta H$ , [ $kcal \cdot M^{-1}$ ])<sup>7</sup>. On appelle enthalpie de formation  $\Delta H_f$  la quantité de chaleur échangée pour former un composé à partir des éléments purs (dont l'enthalpie de formation est nulle par définition). Plus l'enthalpie de formation d'un composé est négative, plus il est stable thermiquement. L'enthalpie d'une réaction  $\Delta H_r$  est la différence entre les enthalpies de formation des produits et des réactifs. On dit qu'une réaction est énergiquement favorable lorsque l'enthalpie de réaction est négative. Le tableau 3.5 donne les enthalpies de formation de quelques siliciures.

La formation des siliciures de faible résistivité (riche en silicium) est énergiquement plus favorable que celle des siliciures plus résistifs (riche en métal). Le tableau 3.1 donne pour Pt, Ti et Mo les composés qui se forment avec le silicium avec leur structure cristalline respective.

De la même manière, on peut analyser l'oxydation des siliciures et la réaction d'un métal sur  $SiO_2$  d'après les valeurs des tableaux 3.5 et 3.6. Ainsi, on peut montrer que l'oxydation de  $MoSi_2$ , par exemple, produit soit une couche de  $SiO_2$  et soit, suivant les conditions d'oxydation, un oxyde métallique. La première option est thermodynamiquement plus favorable. On peut écrire les réactions :



Si la mobilité des atomes de silicium est suffisamment grande à travers la couche de siliciure, il se formera une couche de  $SiO_2$  à la surface sans modification de la couche de siliciure puisque  $\Delta H_r^2$  est supérieure en valeur absolue à  $\Delta H_r^1$ . Dans ce cas, la réaction consomme le silicium du substrat [195].

Dans le tableau 3.6, on a calculé l'enthalpie de la réaction de réduction du  $SiO_2$  par quelques métaux. D'après les valeurs obtenues, seul parmi les métaux présentés ici le titane va réduire le  $SiO_2$ . Cela signifie aussi que le titane est capable, comme l'aluminium, de consommer une couche d'oxyde natif à la surface du silicium.

---

<sup>7</sup>Ici on utilise normalise  $\Delta H_f$  par le nombre de moles de  $O_2$  intervenant dans la réaction : [ $kcal \cdot M^{-1}/O_2$ ]

M	M <sub>3</sub> Si	M <sub>2</sub> Si	M <sub>5</sub> Si <sub>3</sub>	MSi	MSi <sub>2</sub>
<b>Ti</b>	-	-	<b>-139</b>	<b>-31</b>	<b>-32</b>
Ta	-36,9	-30	-80	-	-28,5
<b>Mo</b>	<b>-24</b>	-	<b>-67</b>	-	<b>-26,0</b>
W	-	-	-46,5	-	-22,2
<b>Pt</b>	<b>-50,4</b>	<b>-51</b>	-	<b>-40,2</b>	-
Ir	-	-	-	-32,0	-

Tableau 3.5: Enthalpie de formation  $\Delta H_f$  [ $kcal \cdot M^{-1}$ ] de quelques siliciures ( $M_aSi_b$ ) dans les conditions normales de pression et de température .

Oxyde	SiO <sub>2</sub>	TiO <sub>2</sub>	MoO <sub>3</sub>	WO <sub>3</sub>	Ta <sub>2</sub> O <sub>5</sub>
$\Delta H_f$ [ $kcal \cdot M^{-1}$ ]	-217,9	-218	-180	-200	-489
$\Delta H_r$ [ $kcal \cdot M^{-1}/O_2$ ]		-2	147	127	56

Tableau 3.6: Enthalpie de formation de quelques oxydes métalliques et enthalpie de la réaction :  $M_y + \frac{x}{2}SiO_2 \rightarrow M_yO_2 + xSi$  .

Cinétique	Groupe du Pt Pt, Ni, Pd, ...	Groupe du Ti Ti, Mo, Ta, W, ...
1 <sup>re</sup> phase formée	M <sub>2</sub> Si	MSi <sub>2</sub>
Température de formation	200°C	600°C
Taux de Croissance	$\propto t^{1/2}$	$\propto t, t^{1/2}$
Énergie d'activation	1,1~1,5eV	>2,5eV
Espèce diffusant dominante	Métal	silicium

Tableau 3.7: Comparaison de la formation des siliciures sur silicium pour le groupe des métaux réfractaires (W, Mo, Ta, Ti, ...) et le groupe des métaux nobles ou presque nobles (*near-noble metals*) (Ni, Pd, Pt, ...) d'après [196]. Pour le groupe des métaux réfractaires le taux de croissance n'est pas toujours de forme parabolique. La figure 3.11 montre que le dépendance en temps du taux de croissance est en  $\sqrt{t}$  ou linéaire suivant la gamme de température de formation.

### 2.4.2 Cinétique de formation des siliciures

La cinétique de formation des siliciures a été largement étudiée depuis une trentaine d'année. D'une manière générale, la cinétique de la croissance des siliciures est analogue à celle de la croissance thermique de SiO<sub>2</sub> et suit une loi en racine carrée du temps (équation 3.12). Dans certains cas, la cinétique de la croissance n'est pas seulement contrôlée par la diffusion mais aussi la nature des couches (joints de grains), par des phénomènes d'interfaces ou encore par l'effet d'impuretés comme l'oxygène par exemple. La loi cinétique peut alors dépendre linéairement du temps. Les propriétés cinétiques de chaque groupe sont résumées dans le tableau 3.7 [196]

**Cas du groupe du Pt : PtSi** La formation du siliciure de platine se déroule en deux étapes. Une première phase riche en métal ( $\text{Pt}_2\text{Si}$ ) se forme à partir d'environ  $200^\circ\text{C}$  et une seconde phase ( $\text{PtSi}$ ) à partir de  $400^\circ\text{C}$  [197, 198, 199, 200, 201, 202]. La phase  $\text{PtSi}$  reste stable jusqu'à plus de  $800^\circ\text{C}$ . Sa résistivité électrique est comprise entre 28 et  $35 \mu\Omega \cdot \text{cm}$  pour un recuit entre  $600^\circ\text{C}$  et  $800^\circ\text{C}$  [178]. La résistivité de  $\text{Pt}_2\text{Si}$  est plus grande [203]. La croissance de ces deux siliciures obéit à une loi du type :

$$x^2 = D \cdot t \quad (3.12)$$

où  $x$  est l'épaisseur de siliciure formée,  $D$  le coefficient de diffusion [ $\text{cm}^2 \cdot \text{s}^{-1}$ ] et  $t$  le temps [s]. Ce type de loi montre que la réaction métal/Si est limitée par la diffusion des espèces comme pour l'oxydation du silicium [204]. L'énergie d'activation de  $\text{Pt}_2\text{Si}$  est plus faible que celle de  $\text{PtSi}$ . Cela se manifeste par la formation de  $\text{Pt}_2\text{Si}$  à plus basse température que  $\text{PtSi}$ . La figure 3.9a montre que les coefficients de diffusion de  $\text{Pt}_2\text{Si}$  et  $\text{PtSi}$  suivent une loi d'Arrhenius. Les courbes de la figure 3.9 sont obtenues à partir des épaisseurs mesurées par RBS (Rutherford Back-Scattering) d'après Pant *et al.* [197]. Les énergies d'activation calculées après ajustement des paramètres sont  $1,23 \text{ eV}$  et  $1,52 \text{ eV}$  pour  $\text{Pt}_2\text{Si}$  et  $\text{PtSi}$  respectivement. Les coefficients de diffusion sont alors  $9,391 \times 10^{-12} \text{ cm}^2 \cdot \text{s}^{-1}$  et  $1,06 \times 10^{-12} \text{ cm}^2 \cdot \text{s}^{-1}$ . Wittmer [204] a montré que l'énergie d'activation du coefficient de diffusion  $D$  ne dépend pas du niveau de dopage du substrat.

Cependant, les valeurs des énergies d'activation diffèrent selon les conditions de dépôt et en particulier avec le taux d'oxygène dissous dans le métal. La figure 3.9b illustre l'effet de la contamination par l'oxygène sur le coefficient de diffusion. Plus le pourcentage d'oxygène dissout dans la couche métallique est élevé, plus le coefficient de diffusion est faible. La cinétique de la réaction est donc très sensible à l'oxygène.

Nous avons vu plus haut que la phase riche en métal se forme en premier. Il y a coexistence de Pt et de  $\text{Pt}_2\text{Si}$  jusqu'à ce que le métal réagisse totalement avec Si. Ensuite, la phase  $\text{PtSi}$  apparaît. Ainsi, la transformation  $\text{Pt}_2\text{Si} \rightarrow \text{PtSi}$  ne débute que lorsque le platine métallique a complètement disparu. Il n'y a jamais coexistence des trois phases Pt,  $\text{Pt}_2\text{Si}$  et  $\text{PtSi}$ . La figure 3.10 illustre ces propos. Les diagrammes de diffraction X ( $\theta - 2\theta$ ) sont issus de [197]. On voit sur la figure 3.10b que les pics du  $\text{Pt}_2\text{Si}$  ont disparu.

Cependant, la présence des trois phases a été observée après un recuit sous  $\text{O}_2$  [205]

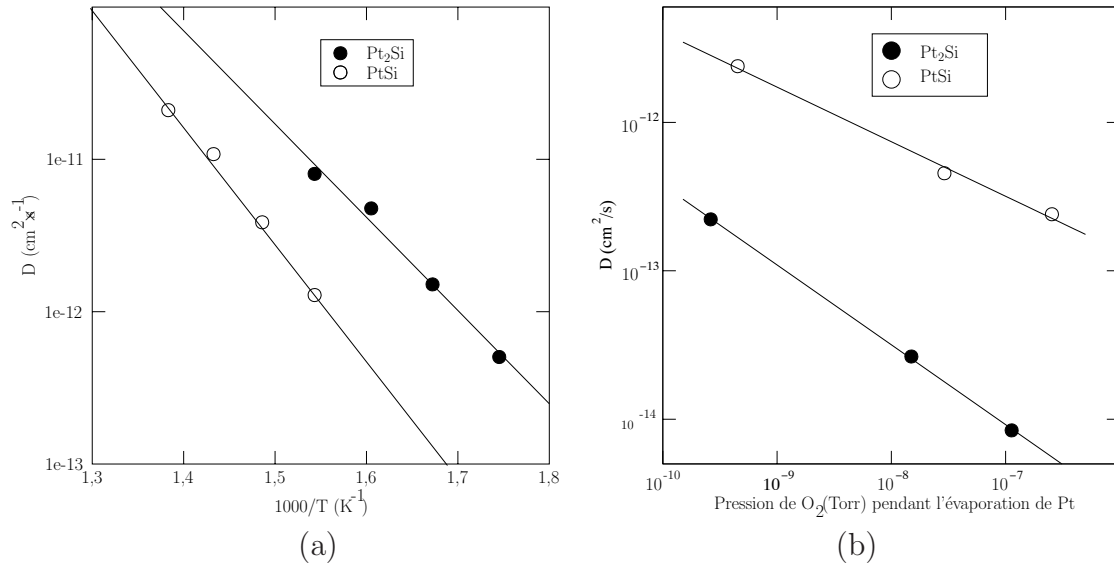


Figure 3.9: (a) Évolution des coefficients de diffusion de  $\text{Pt}_2\text{Si}$  et  $\text{PtSi}$  en fonction de la température de recuit sous vide, d'après [197]. (b) Coefficient de diffusion à  $290^\circ\text{C}$  de  $\text{Pt}_2\text{Si}$  et  $\text{PtSi}$  en fonction de la pression partielle d'oxygène pendant le dépôt de Pt par évaporation.

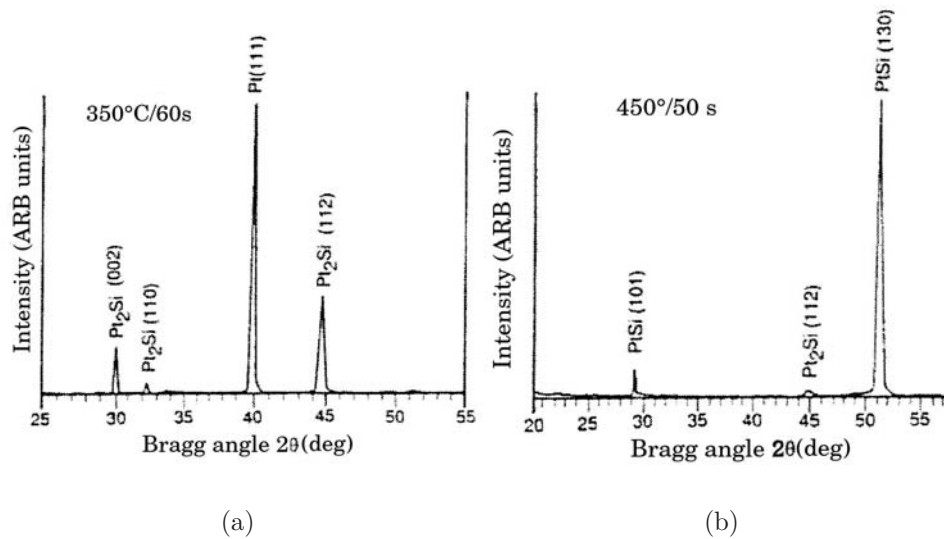


Figure 3.10: Diagramme de diffraction en  $\theta - 2\theta$  du système Pt-Si après recuit à  $350^\circ\text{C}/60\text{ s}$  (a) et  $450^\circ\text{C}/60\text{ s}$  (b), extrait de [197].

ainsi que la formation d'une couche de  $\text{SiO}_2$  à l'interface Pt-PtSi . Cette couche bloque la réaction de siliciuration et cela explique la présence des trois phases. Le silicium diffuse du substrat vers l'interface et réagit avec le platine. D'un autre côté, l'oxygène diffuse à travers les joints de grain de la couche de Pt jusqu'à l'interface Pt-PtSi où le silicium s'oxyde. Cette couche, si elle est suffisamment épaisse, bloque ensuite la diffusion de Si dans Pt. Si la température est élevée, le  $\text{Pt}_2\text{Si}$  se transforme en PtSi par diffusion de Pt vers Si [205, 206, 207, 208, 209, 210]. Ce phénomène est utilisé pour limiter la consommation du silicium par la réaction de siliciuration et du même coup diminuer la pénétration du siliciure dans le substrat [196]. Le platine qui n'a pas réagi est alors habituellement gravé par une solution d'eau régale. Cette solution n'attaque pas le  $\text{SiO}_2$  et le PtSi. De plus, le PtSi n'est pas attaqué par la gravure au HF de la couche d'oxyde.

**Cas du groupe du Ti :  $\text{TiSi}_2$**  La formation de  $\text{TiSi}_2$  et des autres siliciures appartenant au même groupe ( $\text{MoSi}_2$ ) a été rapportée dans différents articles en particulier dans [211, 212, 213, 214]. La réaction de siliciuration débute par la formation d'une phase amorphe  $\text{TiSi}_x$  à  $200^\circ\text{C}$  à l'interface Ti-Si [215] puis de  $\text{TiSi}$ . A plus haute température,  $\text{TiSi}_2$  cristallise en deux phases par diffusion du Si dans la phase amorphe. On retrouve le même schéma que pour PtSi. Une première phase appelée *C49* (orthorhombique à base centrée) apparaît à partir de  $450^\circ\text{C}$  et une seconde phase appelée *C54* (orthorhombique à faces centrées) apparaît vers  $700^\circ\text{C}$  [216, 181, 215]. La transition de phase est irréversible. La résistivité de la phase *C54* est comprise entre 12 et  $20 \mu\Omega \cdot \text{cm}$  alors que celle de la phase *C49* est comprise entre 50 et  $60 \mu\Omega \cdot \text{cm}$  [217, 218, 192, 219, 220, 221]. La loi cinétique de croissance de la phase *C49* et *C54* est en  $t^{1/2}$  [222, 213] comme pour PtSi (Cf. équation 3.12) :

$$x^2 \propto Dt \quad (3.13)$$

Le coefficient de diffusion suit une loi d'Arrhenius :

$$D = D_0 e^{-\frac{E_a}{kT}} \quad (3.14)$$

$D_0$  est le coefficient de diffusion initial et  $E_a$  l'énergie d'activation ( $E_{a, C54} = 1,3 \text{eV}$ ).

La figure 3.11a montre la dépendance en  $t^{1/2}$  de l'épaisseur de  $\text{TiSi}_2$  *C54*. Pour  $\text{MoSi}_2$ ,



Guivarc'h *et al.* [214] ont montré que la loi de croissance de la phase hexagonale ne suit pas une loi en  $t^{1/2}$  (figure 3.11b) mais une loi du type :

$$x = (Bt)^n \quad (3.15)$$

avec  $x$  l'épaisseur de la couche [ $cm$ ] et  $t$  le temps [ $s$ ],  $B$  le taux de croissance [ $cm^{1/n} \cdot s^{-1}$ ] à une température  $T$  et  $n$  une constante (égale à 2 pour MoSi<sub>2</sub> hexagonal [214]). Pour d'autres auteurs [223, 196],  $n$  est égal à l'unité. Cela indique que le processus de croissance de la couche n'est pas contrôlé par la diffusion car le taux de croissance  $B$  ne peut pas être assimilé à un coefficient de diffusion comme dans les lois 3.12 et 3.13, cependant il est activé thermiquement.

La transition entre la phase C49 et C54 est difficile. Dans de nombreux cas, la réaction reste incomplète et le contact n'atteint pas la résistivité minimale. Le processus de siliciuration devient plus difficile sur un substrat où la concentration des impuretés de dopage (As, P, B) devient grande (environ  $10^{20} cm^{-3}$ ). Elle est plus difficile sur du silicium poly-cristallin que sur du silicium mono-cristallin [220, 219, 181].

La miniaturisation rend cette transition impossible lorsque la taille des motifs devient inférieure à  $0,25 \mu m$  [224]. En effet, la phase C49 croît sur une phase amorphe Ti-Si, puis se transforme en phase C54. La taille des cristallites de la phase C49 est de l'ordre de  $100 nm$  alors que les cristallites de la phase C54 sont de l'ordre de  $1 \mu m$  [225]. En jouant sur les conditions de dépôt, comme l'amorphisation du substrat avant le dépôt, la température du substrat ou l'atmosphère, la transformation peut être complète en dessous de  $700^\circ C$  [226, 227]. Il a été montré que la phase C54 pouvait se former à  $800^\circ C$  sur des contacts de  $0,35 \mu m$  sur du poly-silicium  $n^+$  [218].

L'exposition du substrat à l'air entre le dépôt de titane et le recuit détériore les caractéristiques électriques du contact [183]. La contamination de la couche de titane par l'oxygène ralentit la transition de la phase C54 [225]. De ce fait, le titane est généralement déposé en chauffant le substrat à  $450^\circ C$  pour amorcer la phase amorphe. Un faible pourcentage d'azote est ajouté au cours du dépôt. Il se forme alors une couche de TiN à la surface.

D'un autre côté, la présence d'une couche de Mo ou de Nb à l'interface Ti-Si d'épaisseur inférieure à  $2 nm$  diminue la température de transition de la phase C54 et augmente non

seulement la stabilité thermique, mais aussi la résistivité électrique [228, 229, 230, 216].

## 2.5 Oxydation

Nous avons donné au paragraphe 2.4 les conditions thermodynamiques de l'oxydation des siliciures. Ils s'oxydent en présence d'oxygène de la même manière que le polysilicium. Une couche d'oxyde de silicium croît à la surface de la couche de siliciure et le substrat de silicium est consommé. Les propriétés de la couche de siliciure ne sont alors pas affectées par l'oxyde. L'oxydation de  $\text{MoSi}_2$  et  $\text{WSi}_2$  produit initialement les oxydes métalliques  $\text{MoO}_3$  et  $\text{WO}_3$  puis produit une couche de  $\text{SiO}_2$ . La croissance de la couche d'oxyde suit une loi du type [233, 234, 195] :

$$x^2 + Ax = B(t + \tau) \quad (3.16)$$

où  $x$  est l'épaisseur d'oxyde [ $cm$ ],  $t > 0$  le temps d'oxydation [ $s$ ],  $B$  le taux d'oxydation parabolique [ $cm^2 \cdot s^{-1}$ ],  $B/A$ , le taux d'oxydation linéaire [ $cm \cdot s^{-1}$ ] et  $\tau$  un décalage temporel dû à une couche d'oxyde natif. En représentant  $x$  en fonction de  $(t + \tau)$  ou de  $\frac{t+\tau}{x}$  on détermine les taux d'oxydation. Les taux d'oxydation sont thermiquement activés comme pour le coefficient  $D$  de l'équation 3.14. de nombreuses expériences montrent que l'épaisseur de la couche de siliciure se conserve au cours de l'oxydation lorsque le substrat est du silicium ou du poly-silicium [233, 178, 231]. Sur oxyde, il n'y a pas de réserve de silicium et le comportement du siliciure dépend non seulement des enthalpies de formation des oxydes (Cf. tableau 3.6), mais aussi de la cinétique de la réaction [195].

## 2.6 Utilisation en microélectronique

### 2.6.1 Formation de $\text{TiSi}_2$ en présence de Molybdène

Il est rapporté que si une fine couche de Mo ( $< qq. nm$ ) est intercalée entre le Ti et le substrat, la cinétique de l'apparition de la phase C54 est modifiée [235]. Zhang [230, 216] rapporte qu'une épaisseur de Mo inférieure au nanomètre diminue le temps de recuit jusqu'à l'apparition de la phase C54 à la température de  $650^\circ C$  sous atmosphère d'hélium. Dans son exemple, le temps d'apparition de cette phase est supérieur à  $1200 s$  alors qu'avec

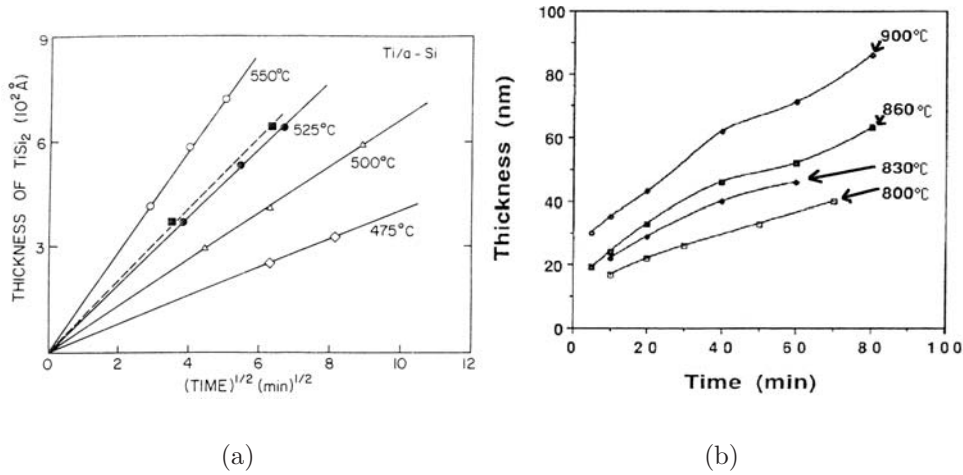


Figure 3.11: (a) Épaisseur de  $\text{TiSi}_2$  en fonction de la racine carrée du temps de recuit d'un échantillon de  $\text{Ti/Si}$  (extrait de [213]). (b) Épaisseur de  $\text{SiO}_2$  en fonction du temps d'oxydation pour un échantillon de  $\text{MoSi}_2/\text{Si}$  dans le cas d'une oxydation sèche entre  $800^\circ\text{C}$  et  $900^\circ\text{C}$  (extrait de [231]).

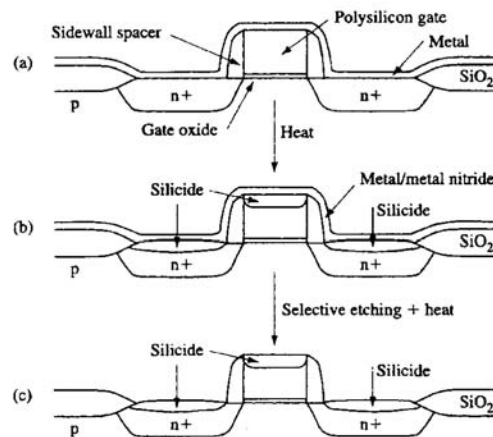


Figure 3.12: Représentation schématique des étapes du procédé *salicide* : (a) dépôt du métal, (b) formation du siliciure et (c) gravure chimique du métal en excès et du nitrure métallique formé pendant l'étape (b). Le siliciure est formé sur les contacts de drain et de source et sur la grille. L'alignement se fait par la sélectivité de la formation du siliciure sur  $\text{Si}$ . Ce schéma est extrait de [232].

Métal	Résistivité $\mu\Omega \cdot cm$	Point de fusion $^{\circ}C$	Réaction $^{\circ}C$	Stabilité $^{\circ}C$	Dilatation thermique, $\alpha$ $10^{-6} K^{-1}$
Al	2,7-3	660	250	400	23
Mo	6-15	2 620	400-700	40	5,1
W	6-15	3 410	600-700	600	4,5
<b>MoSi<sub>2</sub></b>	40-100	1 980	-	<1000	8
TaSi <sub>2</sub>	38-50	2 200	-	1000	8-11
<b>TiSi<sub>2</sub></b>	13-16	1 540	-	900	12-13
WSi <sub>2</sub>	30-70	2 165	-	1000	6-8
CoSi <sub>2</sub>	10-18	1 326	-	950	10
<b>PtSi</b>	28-35	1 229	-	750	-
Ti :W	75-200	3 300	600-700	700	-
TiN	25-200	2 880	-	-	-

Tableau 3.8: Propriétés de quelques films minces conducteurs utilisés dans les interconnexions multi-niveaux des VLSI d'après [14] et [232]. Le coefficient de dilatation thermique est défini en fonction de l'élongation  $l$  de matériau et de la température comme  $\alpha = \frac{1}{l} \frac{dl}{dT}$ .

1 nm de Mo, le temps d'apparition est compris entre 200 s et 400 s respectivement sous atmosphères d'hélium et d'azote. L'apparition prématurée de la phase C54 est attribuée à la formation d'une phase intermédiaire (Mo-Ti)Si<sub>2</sub> qui facilite la croissance de TiSi<sub>2</sub>.

### 2.6.2 Les *salicides*

Nous avons vu que les métaux comme Pt, Ti ou Mo réagissent sélectivement avec le silicium pour former des siliciures. Ces siliciures sont très peu réactifs avec les acides minéraux ou des solutions acides comme l'eau régale (qui attaque le platine). Ces propriétés sont mises à profit pour réduire les étapes de procédé. Si le métal est déposé sur toute la surface de la plaquette et si celle-ci subit ensuite un recuit dans les conditions de formation des siliciures, on obtiendra du siliciure uniquement dans les zones où le métal est en contact avec du silicium. Il est ensuite facile de graver le métal en excès. Cela explique le terme *salicide* pour *self aligned silicide*. La figure 3.12 représente de manière schématique les étapes du procédé *salicide*. Cette figure est extraite de la référence [232].

## 2.7 Conclusion

Il existe un grand nombre de solutions technologiques pour obtenir un contact ohmique sur du silicium. Les siliciures sont largement utilisés en raison de leurs propriétés et de leur facilité d'intégration. Dans la grande famille des siliciures nous avons distingué PtSi,

TiSi<sub>2</sub> et MoSi<sub>2</sub> car nous pouvons les intégrer dans le procédé PMOS installé à Rennes en utilisant nos moyens technologiques (décrits au chapitre 2). Ces trois composés sont stables thermiquement à 700°C une fois formés. Wolf [14] résume ce fait dans le tableau 3.8 en indiquant la température maximale de stabilité. La résistance de couche est le paramètre le plus utilisé pour déterminer la stabilité thermique. Ces siliciures ne sont utilisés que pour former les contacts ohmiques<sup>8</sup> car il ont une résistivité très supérieure à celle des métaux purs et s'oxydent facilement en surface à haute température. Une structure plus complexe intégrant trois types de couches doit alors être réalisée comprenant un matériau métallique de faible résistivité pour les lignes d'interconnexions et résistant à l'oxydation, une barrière de diffusion et une couche d'un matériau conducteur qui est stable thermiquement et forme un contact peu résistif sur Si. Un exemple de ce type de structure est donné dans la figure 3.13a.

## 3 Métallisation résistante à l'oxydation : étude bibliographique

### 3.1 Introduction

Nous avons vu que les siliciures sont des matériaux très stables thermiquement sur silicium. Ils doivent cependant être protégés de l'oxygène afin d'empêcher l'oxydation (qui produit des contacts ohmiques de mauvaise qualité électrique). La figure 3.13a montre le schéma de la structure d'une partie complète d'un composant Atmel AT27C010-45DC, 1Mbit EPROM [236] intégrant le TiSi<sub>2</sub> pour les contacts de grille, de drain et de source. La métallisation de ligne est réalisée par un métal, ici l'aluminium. Afin de limiter les phénomènes de diffusion entre la métallisation de ligne et le siliciure, on introduit une barrière de diffusion. Les matériaux utilisés classiquement sont des nitrures TiN, TaN, TiSiN, WN ... mais aussi des alliages comme TiW. Les figures 3.14a et b montrent les images SEM<sup>9</sup> des zones **a** et **b** représentées sur le schéma de la figure 3.13.

Dans notre application et pour les applications où la métallisation de ligne doit sup-

---

<sup>8</sup>Les siliciures sont aussi employés en remplacement du poly-silicium pour des interconnexions locales, mais dans la technologie de Rennes, il n'y a pas de poly-silicium

<sup>9</sup>Scanning Electron Microscopy, microscopie électronique à balayage

porter une température supérieure à  $550\text{ }^{\circ}\text{C}$ , l'aluminium ne peut être utilisé. La résistance à l'oxydation de la métallisation de ligne s'ajoute à la contrainte thermique du dépôt d'Y-BCO.

A partir d'une recherche bibliographique sur les barrières de diffusion et les métaux résistants à l'oxydation, nous allons maintenant définir une métallisation intégrable dans le procédé PMOS de Rennes.

## 3.2 Matériaux, propriétés

Le choix des matériaux pour la métallisation sur  $\text{SiO}_2$  est imposé par la nécessité d'obtenir la résistivité électrique la plus faible possible. Cette contrainte n'est pas très sensible pour le type d'application que nous envisageons (cependant il faut tenir compte des résistances des lignes métalliques dans la conception d'un circuit). Dans le domaine de l'électronique haute température, les technologies semi-conductrices utilisées sont SiC [237] et GaN [238, 239, 240, 241, 242]. La métallisation sur SiC peut être semblable à celle sur Si. Cependant, la métallisation est souvent prévue pour une température inférieure à  $400\text{ }^{\circ}\text{C}$ . De plus, la métallisation est protégée de l'exposition à l'oxygène par une couche de passivation<sup>10</sup> (par exemple SiN,  $\text{SiO}_2$  [243]). Okojie [244] montre que le contact d'une structure Pt/TaSi<sub>2</sub>/Ti (200/400/100 nm) sur SiC 6H et 4H de type *n* reste ohmique après un recuit de 100 heures à  $600\text{ }^{\circ}\text{C}$  à l'air.

L'intégration des ferro-électriques dans les mémoires à haute capacité (DRAM) représente des problèmes similaires à l'intégration d'YBCO du point de vue des contraintes thermiques et de l'oxydation (voir par exemple la référence [245]). Le schéma de la figure 3.15 représente une capacité ferro-électrique intégrée sur un substrat de silicium. En réalité, la capacité est connectée à un composant par l'intermédiaire d'une liaison appelée *plug*<sup>11</sup>. Les matériaux les plus utilisés pour ce type de connexion sont cités dans le tableau 3.9.

La métallisation est directement soumise à des conditions d'oxydation rencontrées dans le procédé YBCO. Kotecki a fait en 1999 [246] l'inventaire des métaux et oxydes candidats pour les électrodes des capacités ferro-électriques. **La structure de l'électrode inférieure peut être reprise comme la structure type pour la métallisation de**

---

<sup>10</sup>La couche de passivation améliore aussi la stabilité thermique de la métallisation de ligne.

<sup>11</sup>Il n'existe pas à ma connaissance d'équivalent en français.

Matériaux du plug	Résistivité $\mu\Omega \cdot cm$ à $20^\circ C$	Réactivité avec Pt	Résistance à l'oxydation
Polysilicium	500	grande	bonne
W	10	faible	faible
WSi <sub>2</sub>	60	grande	bonne

Tableau 3.9: Matériaux candidats pour le plug. WSi<sub>x</sub> est le matériau qui a les meilleures propriétés mais il pose des problèmes dans le procédé (dépôt, formation, contraintes) [246].

Matériaux d'électrode	Méthode de dépôt	Perméabilité à l'oxygène	Travail d'extraction ( $eV$ )	Résistivité $\mu\Omega \cdot cm$ à $20^\circ C$	Gravure sèche
Pt	PVD, CVD	Grande	5,6-5,7	10,58	Difficile
Ir	PVD	Modérée	5,0-5,8	5,1	Difficile
Ru	PVD	?	4,7	7,7	Dangereux
Pd	PVD	Oxydation	5,1-5,6	10,8	Difficile
<i>IrO</i> <sub>2</sub>	PVD	Faible	?	70	Difficile
<i>RuO</i> <sub>2</sub>	PVD	Faible	?	> 70	Dangereux

Tableau 3.10: Matériaux candidats pour les électrodes des capacités d'oxyde à grande constante diélectrique [246, 252]. Les valeurs de résistivité électrique ont été rajoutées par rapport au tableau original. Les électrodes doivent être stables thermiquement et permettre la croissance de l'oxyde diélectrique. L'état de surface de l'électrode détermine la qualité du film diélectrique et les performances électriques du diélectrique [247].

**nos transistor.** Les propriétés des électrodes sont résumées dans le tableau 3.10. Le platine est le matériau le plus utilisé car il offre un bon état de surface pour la croissance du diélectrique [247] et ne se dégrade pas pendant le recuit sous oxygène. Cependant, il laisse diffuser l'oxygène [248, 249]. Les oxydes de Ir ou Ru sont utilisés comme électrodes mais aussi comme barrières de diffusion car ils bloquent l'oxygène. Par contre, à haute température, ces oxydes peuvent se décomposer sous forme gazeuse entraînant une dégradation de l'état de surface de l'électrode [250]. Cette remarque introduit le paragraphe suivant sur les barrières de diffusion.

### 3.3 Propriétés des barrières de diffusion

La barrière de diffusion est un élément fondamental dans la structure de l'électrode car elle doit avoir deux propriétés essentielles :

- ✓ elle doit empêcher la diffusion de l'oxygène vers le *plug* et l'inter-diffusion des matériaux du *plug* et de l'électrode (Si, W, Pt ...).
- ✓ elle doit rester conductrice : le recuit sous O<sub>2</sub> ne doit pas former de capacité parasite et le contact avec le *plug* doit rester ohmique et de résistance la plus faible possible.

Le degré de résistance à l'oxydation et la fonction de barrière de diffusion à l'oxygène dépendent clairement du degré d'exposition à l'oxygène et de la température. D'après McIntyre [248], le platine sous forme de grains colonnaires orientés offre une faible résistance à la diffusion de l'oxygène. La barrière se trouve alors largement exposée à l'oxygène. La diffusion de l'oxygène à travers l'électrode est réduite en contrôlant la granulosité du film de Pt [249, 253]. Le tableau 3.11 rassemble les caractéristiques des structures électrodes-barrières résistantes à l'oxydation à haute température sur silicium ou polysilicium.

### 3.4 Conclusion

Les conditions d'intégration de capacités ferro-électriques sur silicium se rapprochent de celles de l'intégration d'YBCO sur Si. Cependant, les températures de formation de l'oxyde sont en général inférieures à  $700^{\circ}\text{C}$ . Les couches Pt/Ti (Ti est une couche d'adhésion) sur  $\text{SiO}_2$  sont largement employées et elles montrent une grande stabilité thermique et une très bonne résistance à l'oxydation. La couche de titane s'oxyde pendant le dépôt du ferro-électrique et cela crée une couche d'adhésion très forte pour la couche de Pt. De plus, l'oxyde de titane est chimiquement stable sur  $\text{SiO}_2$ . **Pt/Ti offre donc une bonne solution pour la métallisation des lignes d'interconnexions** car dans ce cas elle repose sur  $\text{SiO}_2$ . L'étude bibliographique des siliciures (section 2) a montré que cette métallisation ne peut pas être directement intégrée sur silicium car, à haute température, les matériaux de la métallisation et du substrat inter-diffusent provoquant une oxydation de l'interface métal/Si et le rejet de Si et Ti à la surface du platine. Afin de limiter (ou de bloquer) les diffusions, on introduit une barrière de diffusion appelée *sacrificial barrier* entre le silicium et le platine. La meilleure barrière de diffusion est  $\text{PtRhO}_x$  [251] car elle préserve l'intégrité de la structure et le contact ohmique (avec une résistivité de contact très faible). Cependant, la préparation d'une telle barrière n'est pas possible avec nos moyens caennais. D'autres solutions sont satisfaisantes mais font aussi intervenir des oxydes métalliques conducteurs comme  $\text{RuO}_2$  et  $\text{IrO}_2$ . De la même manière, ces matériaux sont difficiles à mettre en oeuvre. McIntyre [248] a montré que l'oxydation du TiN sous une couche de platine est contrôlée par la diffusion de l'oxygène à travers Pt. La structure de la couche (joints de grains) et les espèces diffusantes ( $\text{O}_2$ , N, Ti, Si) peuvent dans



Réf.	Barrière	Électrode	Substrat	Condition d'oxydation	Remarques
[246]	$TaSi_{1-x}N_x$	Pt	Poly	650°C/30 min air	Taux d'oxydation variable avec $x$
[254]	TaAl 100 nm	LaSrCuO <sub>3</sub>	Poly	650°C/30 min 100 mtorr O <sub>2</sub>	Pas d'oxydation à l'interface LaSrCuO <sub>3</sub> /TaAl
[255]	TiN/TiSi <sub>2</sub>	Al	Mono	550 °C/30 min N <sub>2</sub>	Inter-diffusion Al-Si
[256]	TaSiN100 nm		Poly	650°C/30 min O <sub>2</sub>	Oxydation en surface, pas d'oxydation
[256]	TaN 100 nm		Poly	idem	Oxydation complète
[257]	TiN	PZT/Pt		550°C/10 min O <sub>2</sub>	Oxydation TiN
[258]	TaN amorphe 100 nm	Pt 200nm	Mono	> 700°C/30 min N <sub>2</sub> 10%O <sub>2</sub>	Oxydation de Ta -> Pt/TaN
[248]	TiN/TiSi <sub>2</sub> 80/45 nm	Pt 100nm	Poly	650°C/30 min O <sub>2</sub>	Oxydation TiN
[253]	TiN 90 nm	Pt 200nm	Poly	700°C/30 min air	Oxydation faible de TiN
[259]	Ru/Ti 300 nm		Si	750°C/1 min O <sub>2</sub>	Oxydation RuTiO <sub>x</sub> mais conducteur
[251]	PtRhO <sub>x</sub> 100 nm	PtRhO <sub>x</sub> /PtRh	Si	650°C/30 min O <sub>2</sub>	Contact ohmique 10 <sup>-9</sup> Ω . cm <sup>2</sup> ?
[260]	RuTiO 20nm RuTiN20nm	Pt 350nm	TiN/TiSi <sub>2</sub> /Si	700°C/30 minO <sub>2</sub> /N <sub>2</sub>	Résistance de contact =2-3kΩ
[261]	Ta + RuO <sub>2</sub> /TiSi <sub>2</sub>	Pt	Mono	800°C/30 minO <sub>2</sub>	Pas d'oxydation, contact ohmique
[244]	TaSi <sub>2</sub> /Ti 400-100nm	Pt20 nm	4H SiC	600°/100 h air	Contact ohmique
[250]	Ru/TiN/Ti	RuO <sub>2</sub> 200 nm	Mono	700°C/15 min/O <sub>2</sub>	Oxydation TiN, <i>Blisters</i> à la surface RuO <sub>2</sub>
[262]	IrO <sub>2</sub> /Ir/TiN	Pt	W-plug	700°C/60 min O <sub>2</sub>	Pas d'oxydation du W

Tableau 3.1.1: Récapitulatif des propriétés des barrières de diffusion en fonction de l'électrode, du substrat et du recuit d'après la littérature. *Blisters* est un vocable anglais indiquant la présence de cloques à la surface oxydée d'un métal

certains cas réduire, voire empêcher, la diffusion de l'oxygène dans la couche de platine. Ces conditions restent encore à déterminer...

Il n'est pas rapporté d'étude sur la viabilité des composants semiconducteurs après l'étape de formation de la capacité ferro-électrique. Cependant de nombreux industriels s'intéressent à ce domaine (*non-volatile RAM*). Cela laisse supposer, un développement important d'une technologie hybride.

D'après les résultats que nous avons puisés dans la littérature, on peut établir deux structures types pour la métallisation des contacts de drain et de source et la métallisation de grille et des lignes d'interconnexion comme cela est montré sur les figures 3.16a et b. La réalisation de bicouches Pt/Ti est possible sur le site de Caen.

## 4 Études expérimentales

### 4.1 Introduction

Rappelons les objectifs de ces études expérimentales :

1. Vérifier la stabilité thermique et la résistance à l'oxydation de Pt/Ti sur SiO<sub>2</sub>
2. Obtenir des contacts ohmiques de drain et de source sur nos composants PMOS thermiquement stables et résistant à l'oxydation
3. Etablir un processus unique de fabrication à la fois pour les contacts ohmiques sur Si et pour la métallisation sur SiO<sub>2</sub>

À ces objectifs, on peut ajouter des contraintes liées à la technologie PMOS de Rennes. On a choisi de ne pas dessiner de masques supplémentaires afin que la métallisation puisse être réalisée avec le même masque que le masque d'aluminium initial. Ainsi, cette condition empêche l'usage de couches de passivation car seul un niveau de métallisation est réalisable.

Dans un premier temps, des films minces métalliques (TiN, TiN/Ti, Pt, Pt/Mo, Pt/NiCr et Pt/Ti) ont donc été déposés en pleine couche (couches minces métalliques non-gravées) sur des substrats de Si et SiO<sub>2</sub>. Ces échantillons ont été soumis à des recuits rappelant les conditions de dépôt de l'YBCO. Ainsi on parlera de recuit sous oxygène : 700 °C/1 H sous une atmosphère oxydante (0,5 mbar de O<sub>2</sub>) ou de recuit sous vide :

700 °C/1 H, la pression résiduelle est au maximum égale à  $10^{-4}$  mbar. Avant chaque recuit, un vide de  $10^{-5}$  mbar est effectué dans la chambre. Ce travail préliminaire nous a permis de vérifier les conclusions de l'étude bibliographique et de déterminer les solutions pour la réalisation de la métallisation des composants PMOS.

La fiabilité de la métallisation retenue a ensuite été testée sur motifs par la mesure des résistances de couche de la métallisation et des résistances de contact Pt/Ti/Mo/Si  $p^+$ . Ces mesures électriques sont complétées par l'analyse fine de la métallisation de grille et des contacts de drain et de source sur une coupe d'un transistor par TEM<sup>12</sup> et analyse EDS<sup>13</sup>.

Couches sur SiO <sub>2</sub>	Épaisseur totale [nm]	$R_{\square}^m$ [ $\Omega$ ]		Réactions avec SiO <sub>2</sub>	$R_{\square}^m$ [ $\Omega$ ] Après recuit sous O <sub>2</sub>	Résistance à l'oxydation
		Après dépôt	Après recuit sous vide			
Al	400	0,113 <sup>a</sup>	⊖	Oui	⊖	Non
Mo	186	12,00	11,76	Non	⊖	Non
Pt/Mo	260/260	1,64	6,25	Non	⊖	Non
<b>Pt</b>	<b>270</b>	<b>0,7</b>	<b>0,46</b>	<b>Non</b>	<b>0,741</b>	<b>Oui</b>
<b>Pt/NiCr</b>	<b>200/186</b>	<b>1,3</b>	-	<b>Non</b>	<b>1,1</b>	<b>Oui</b>
<b>Pt/Ti</b>	<b>280</b>	<b>0,76</b>	<b>0,72</b>	<b>Non</b>	<b>0,72</b>	<b>Oui</b>

<sup>a</sup>Recuit à 390°C/ 30min

Tableau 3.12: Résistance de couche  $R_{\square}^m$  des films minces métalliques sur SiO<sub>2</sub> par la méthode des quatre pointes en ligne sur des échantillons carrés sans motifs de 10 mm de côté. Le symbole "-" indique que la mesure n'a pas été faite et le symbole "⊖" indique que la mesure n'était pas possible.

Couches sur Si	Épaisseur totale [nm]	$R_{\square}^m$ [ $\Omega$ ]		Réactions avec Si	$R_{\square}^m$ [ $\Omega$ ] Après recuit sous O <sub>2</sub>	Résistance à l'oxydation
		Après dépôt	Après recuit sous vide			
<b>Pt/Mo</b>	<b>400</b>	<b>1,13</b>	<b>0,55</b>	?	<b>0,46</b>	<b>Oui</b>
<b>Mo</b>	<b>260</b>	<b>29,0</b>	<b>23,2</b>	?	<b>28,8</b>	<b>Bonne</b>
TiN	100	39,5	2k	?	$\infty$	Non
TiN/Ti	100/14	20,5	62,0	?	$\infty$	Non
<b>Pt/NiCr</b>	<b>200/186</b>	<b>1.21</b>	-	?	<b>1.0</b>	<b>Bonne</b>
Pt	270	17,5	0,46	Oui	3,82	Mauvaise
Pt/Ti	280	2,92		Oui		Mauvaise

Tableau 3.13: Résistance de couche des films minces métalliques  $R_{\square}^m$  sur Si  $p^+$ .

<sup>12</sup> Transmission Electron Microscopy, voir annexe C .

<sup>13</sup> Energy Dispersive Spectroscopy, voir annexe C

## 4.2 Résultats expérimentaux préliminaires

Dans cette section nous présentons des résultats expérimentaux préliminaires à l'étude des métallisations sur des composants. Ils concernent ici la caractérisation des films minces métalliques. Nous avons tout d'abord procédé à la mesure de la résistance de couche des films au fur et à mesure des étapes du processus de métallisation. De cette manière, nous avons sélectionné les matériaux qui s'adaptaient le mieux à la métallisation des composants PMOS et qui résistaient aux conditions de dépôt de l'YBCO (*Cf.* chapitre 2). Afin de comprendre les phénomènes qui se produisent pendant cette étape, nous nous appuyerons sur la revue bibliographique (*Cf.* sections 2 et 3) et par des observations au microscope optique. Cette étape est essentielle pour définir la métallisation qui sera choisie pour les composants PMOS et réalisée au GREYC.

Des films minces de métaux composés d'une seule ou plusieurs couches ont été déposés sur des substrats de silicium de type  $p^+$  ( $N_A = 5 \times 10^{18} \text{cm}^{-3}$ ) (*Cf.* tableau 3.12) et sur des substrats de silicium oxydés (*Cf.* tableau 3.13). Le dopage  $p^+$  des substrats est du même niveau que le dopage des caissons de drain et de source des futurs composants PMOS. Les substrats  $\text{SiO}_2/\text{Si}$  ont été obtenus par oxydation humide d'un substrat de silicium de type  $n$ . Cet oxyde est équivalent à l'oxyde champ des composants PMOS.

Les films de TiN et TiN/Ti nous ont été fournis par le CEA-Grenoble<sup>14</sup> et par l'entreprise Philips Composant de Caen. Les couches de Pt/Ti ont été réalisées par le groupe ferro-électrique<sup>15</sup> du CRISMAT<sup>16</sup>. Tous les autres films, Pt, Pt/Mo et Pt/NiCr ont été déposés au GREYC par pulvérisation RF (voir au chapitre 2). La procédure de nettoyage des substrats avant le dépôt est rigoureusement la même pour les films réalisés au GREYC et au CRISMAT.

La résistance de couche des films minces métalliques  $R_{\square}^m$  a été mesurée par la méthode des quatre pointes en ligne (*Cf.* Annexe B) après dépôt et après recuit sous vide ou sous oxygène<sup>17</sup>.

Les tableaux 3.12 et 3.13 donnent la résistance de couche  $R_{\square}^m$  des films sur Si et  $\text{SiO}_2$

---

<sup>14</sup>J-V Villégier, Laboratoire d'Electronique de Technologie et d'Instrumentation et le Département de Recherche Fondamentale sur la Matière Condensée

<sup>15</sup>Gwenaél Le Rhun, Gilles Poulain, Rachid Bouregba.

<sup>16</sup>Laboratoire de Cristallographie et Science des Matériaux.

<sup>17</sup>Pour mémoire : recuit sous vide =  $700 \text{ °C}/1 \text{ H}/ < 10^{-4} \text{ mbar}$   
recuit sous oxygène =  $700 \text{ °C}/1 \text{ H}/ 0,5 \text{ mbar}$  de  $\text{O}_2$

avant et après recuit. Le symbole “⊙” signifie que la résistance de couche n’est soit pas mesurable car trop grande, soit trop inhomogène. Après dépôt, les films minces sur SiO<sub>2</sub> sont tous brillants et ils ont une résistance de couche  $R_{\square}^m$  finie. Après les recuits sous oxygène et sous vide, les films de Mo/SiO<sub>2</sub> et Pt/Mo/SiO<sub>2</sub> perdent leur aspect brillant<sup>18</sup> et leur résistance de couche augmente ou devient infinie<sup>19</sup>. Ces résultats sont cohérents avec les résultats classiques de la littérature [178] car le molybdène forme, comme le tungstène, un oxyde sous forme gazeuse dès 650°C [263] qui peut expliquer le décollement de la couche de platine observé quelquefois. Au contraire, les films minces notés en gras dans le tableau 3.12, voient leur résistance de couche diminuer après les recuits sous vide ou sous oxygène. De même, la résistance de couche de Pt/NiCr diminue après les deux recuits. Le NiCr a une très bonne adhésion sur l’oxyde de silicium<sup>20</sup>. Cependant, nous n’avons pas testé plus précisément ses propriétés pour différentes raisons comme sa tendance à l’oxydation pendant le dépôt, l’impossibilité de déposer NiCr *in-situ* avec Pt et sa résistivité plus grande que Ti. **Les films Pt ou Pt/Ti sont donc de bons candidats pour les métallisations de grille et des lignes d’interconnexion.**

D’un autre côté, le tableau 3.13 montre la résistance de couches des mêmes films sur silicium. Les points d’interrogations signifient que ces mesures ne permettent pas de conclure sur la réaction du film avec le substrat. On remarque que seuls les films de **Mo** et **Pt/Mo** conservent ou abaissent leur résistance de couche après les recuits sur **Si p<sup>+</sup>**. Pour les autres films (TiN, Pt, Pt/Ti et TiN/Ti), la résistance de couche augmente ou devient infinie. Cela montre que Pt, Pt/Ti, TiN/Ti et TiN ne peuvent pas être utilisés directement sur Si. Ces mesures sont confirmées par l’observation au microscope optique. La figure 3.17 montre les différents aspects (images optiques) des couches de Pt et Pt/Ti sur Si après des recuits sous vide et sous oxygène<sup>21</sup>.

On sait que Pt et Ti réagissent par diffusion avec Si pour former des siliciures dès 400°C. La couche de Pt n’est pas une barrière suffisante pour empêcher la diffusion et l’oxydation du silicium.

Le platine est le seul candidat résistant à l’oxydation pour la métallisation de ligne.

<sup>18</sup>= interactions avec le substrat ou interdiffusion

<sup>19</sup>= oxydation de la surface

<sup>20</sup>Cet alliage est utilisé au laboratoire pour la copie de masques.

<sup>21</sup>Les images optiques des couches de Mo ou Pt/Mo n’apportent rien car la surface reste très lisse et réfléchissante.

Comme attendu, il faut donc une barrière de diffusion entre le substrat de silicium et la métallisation de ligne (Pt ou Pt/Ti).

On a vu que les films de Mo ou de Pt/Mo semblent être stables sur Si. En effet, leur résistance de couche diminue après le recuit sous oxygène par rapport à la valeur après dépôt. L'insertion d'une couche de Mo entre le substrat de silicium et la métallisation de ligne peut donc offrir une solution.

**A partir de ces résultats nous avons choisi la structure Pt/Ti/Mo pour la métallisation des composants PMOS.** Dans la section suivante, nous effectuerons les caractérisations électriques et physiques de cette métallisation sur les motifs de tests et les composants de la technologie PMOS de Rennes.

Echantillon	Métal	Epaisseur déposée ( <i>nm</i> )	Métal 1	Technique de dépôt	Recuit sous vide ( $\leq 10^{-4}$ <i>mbar</i> )	Pt/Ti	Procédé
Référence	Type					Epaisseur totale (nm)	
A11	test (lot 2003)	Al 1%Si	Evaporation	Evaporation	-	-	standard
A12	test (lot 2003)	Al 1%Si	Evaporation	Evaporation	-	-	standard
1N	2	Mo	Pulvérisation RF	Pulvérisation RF	600°C/1h	280	Procédé 4
2B	2	Mo	Pulvérisation RF	Pulvérisation RF	600°C/1h	280	Procédé 4
3I	2	Mo	Pulvérisation RF	Pulvérisation RF	700°C/3h	280	Procédé 4
3J	2	Mo	Pulvérisation RF	Pulvérisation RF	700°C/1h	280	Procédé 4
210A	2	Mo	Pulvérisation RF	Pulvérisation RF	700°C/1h	250	Procédé 4
210B	1 (lot 2003)	Mo	Pulvérisation RF	Pulvérisation RF	700°C/1h	250	Procédé 4
P3GH3	1 (lot 2001)	Mo	Pulvérisation RF	Pulvérisation RF	700°C/1h	280	Procédé 4
182	1 (lot 2003)	Mo	Pulvérisation RF + <i>lift-off</i>	Pulvérisation RF + <i>lift-off</i>	700°C/1h	280	Procédé 3
208	1 (lot 2003)	Mo	Pulvérisation RF + <i>lift-off</i>	Pulvérisation RF + <i>lift-off</i>	700°C/1h	250	Procédé 3
209	1 (lot 2003)	Mo	Pulvérisation RF	Pulvérisation RF + <i>lift-off</i>	700°C/1h	250	Procédé 3

Mo pur avec  $T_{substrat} \leq 50^\circ\text{C}$ ,  $P_{Ar} = 2$  *mbar*,  $P = 200$  *W*  
Pulvérisation RF de Pt et Ti purs *in situ* avec pour Pt le substrat chauffé à  $550^\circ\text{C}$ ,  $P_{Ar} = 6$  *mbar*,  $P = 50$  *W* et  $450^\circ\text{C}$ ,  $P_{Ar} = 4$  *mbar*,  
 $P = 50$  *W*

Tableau 3.14: Caractéristiques de la préparation échantillons étudiés.

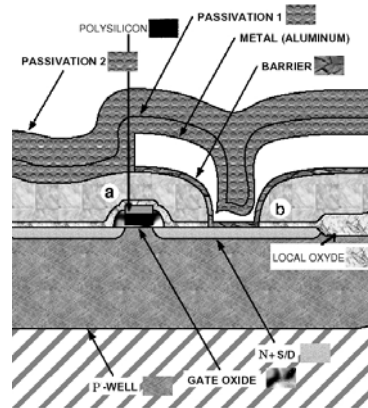


Figure 3.13: (a) Schéma en coupe partielle de la structure d'un composant Atmel AT27C010-45DC, 1Mbit EPROM [236]. Les contacts de grille (zone a), de drain et de source sont réalisés par le processus *salicide*, la métallisation (zone b) est constituée par une couche d'aluminium avec une barrière de diffusion en TiN. Les deux couches de passivation sont en SiO<sub>2</sub> ainsi que l'oxyde local qui constitue l'isolation entre les caissons *p* et *n* (seul le caisson *n* (*P well*) est représenté sur le schéma).

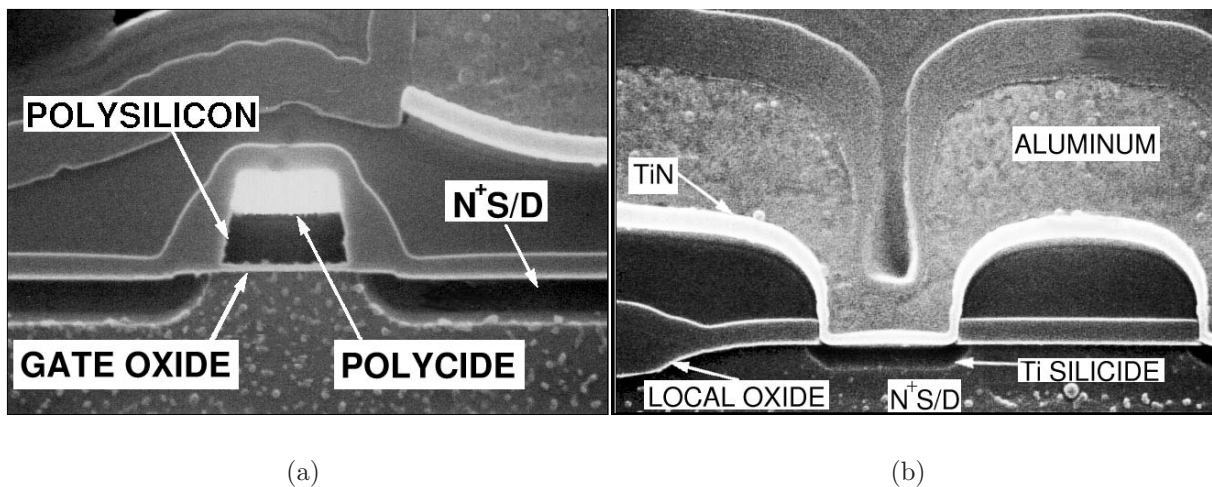


Figure 3.14: (a) L'image SEM de la zone a de la figure 3.13 avec la grille en poly-silicium et la métallisation en poly-siliciure (TiSi<sub>2</sub>). (b) Image SEM de la zone b de la figure 3.13 avec la métallisation de ligne en aluminium, la barrière de diffusion en TiN et le contact de source/drain en siliciure TiSi<sub>2</sub>.



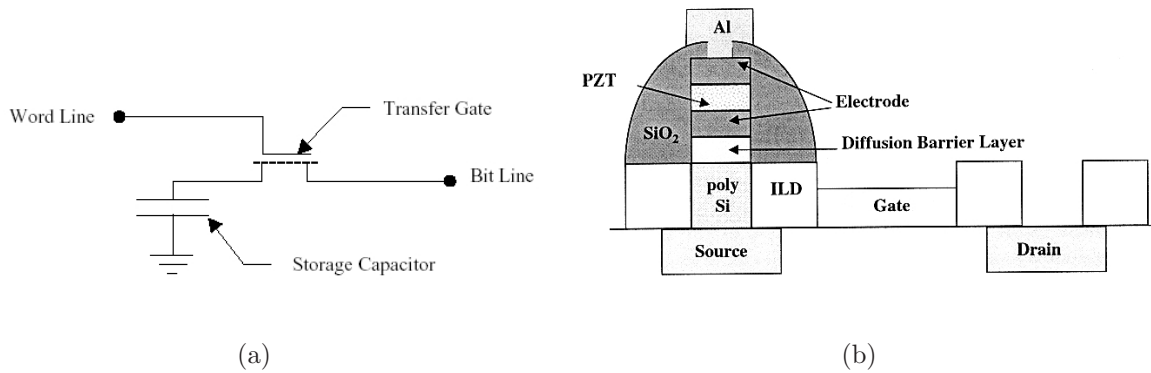


Figure 3.15: Schéma électrique (a) et schéma physique (b) d'une capacité ferro-électrique PZT ( $\text{Pb}(\text{Zr}_x \text{Ti}_{1-x})\text{O}_3$ ) intégrée sur Si d'après Desu [251]. Le contact entre la barrière de diffusion et le polysilicium doit rester ohmique. L'oxydation peut se produire pendant le dépôt de l'électrode ( $\text{IrO}_2$ ,  $\text{RuO}_2$ ...), le dépôt du diélectrique ( $T > 600^\circ\text{C}$ ) et à travers l'oxyde pendant le recuit du diélectrique sous  $\text{O}_2$ . La métallisation du composant semiconducteur n'est pas traitée dans les publications. Le matériau de la couche ILD (*InterLayer Dielectric*) est souvent du  $\text{SiO}_2$  mais cela n'est pas précisé dans la publication.

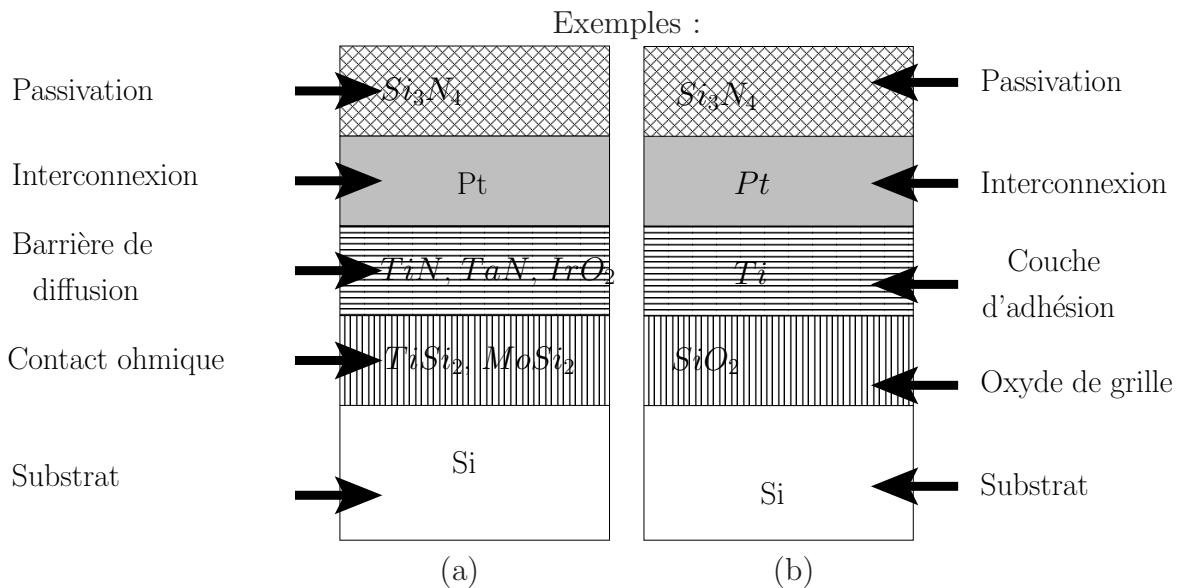


Figure 3.16: Représentation schématique des deux structures de métallisation nécessaires au procédé PMOS.

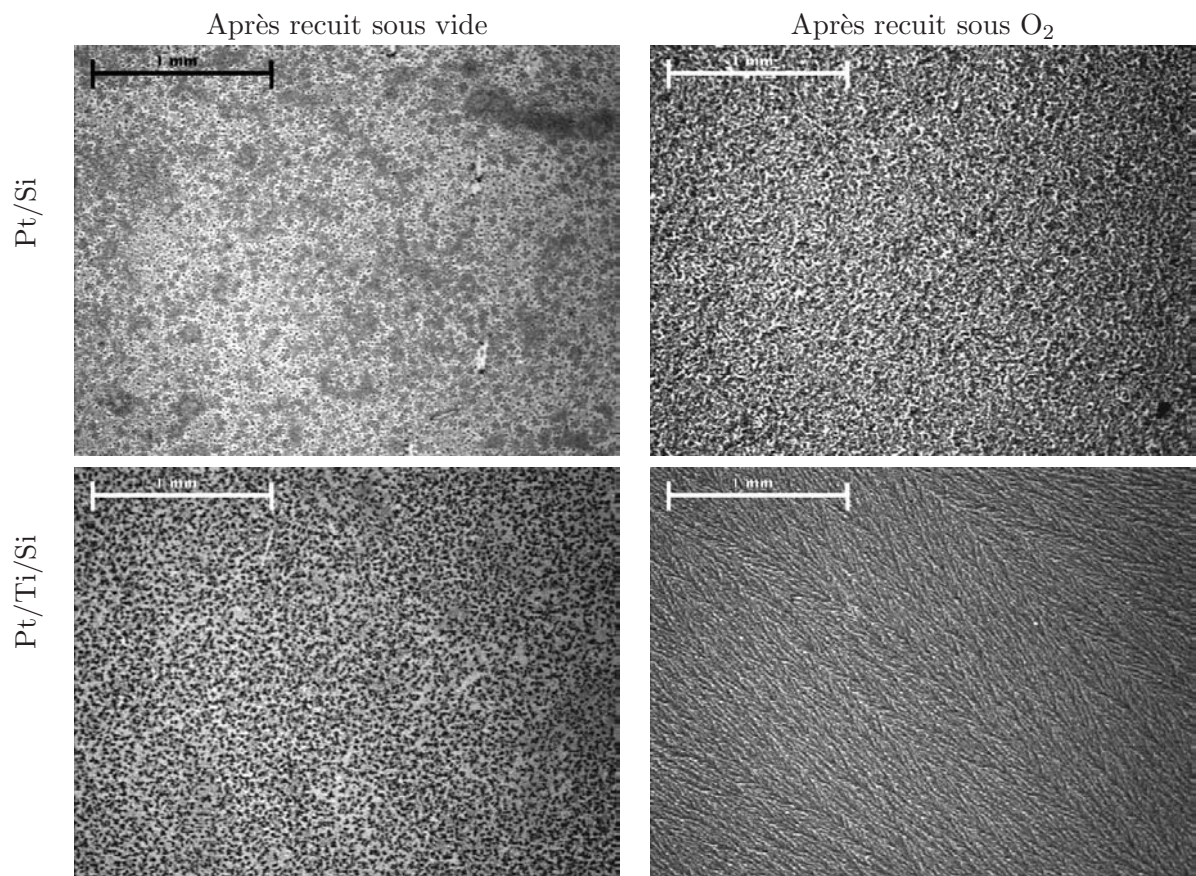


Figure 3.17: Images optiques des films Pt/Si et Pt/Ti/Si après recuit sous vide et sous oxygène.

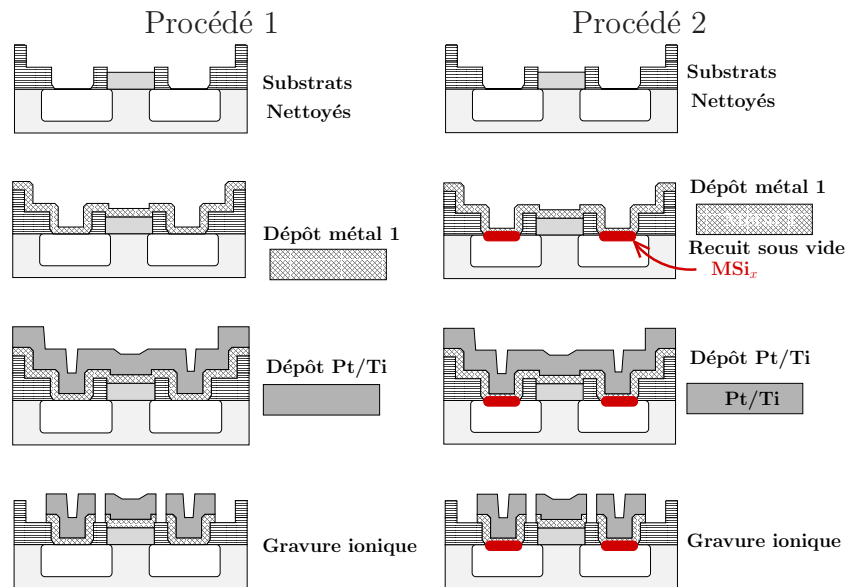


Figure 3.18: Synopsis des procédés 1 et 2 avec deux dépôts métalliques et une seule étape de gravure.

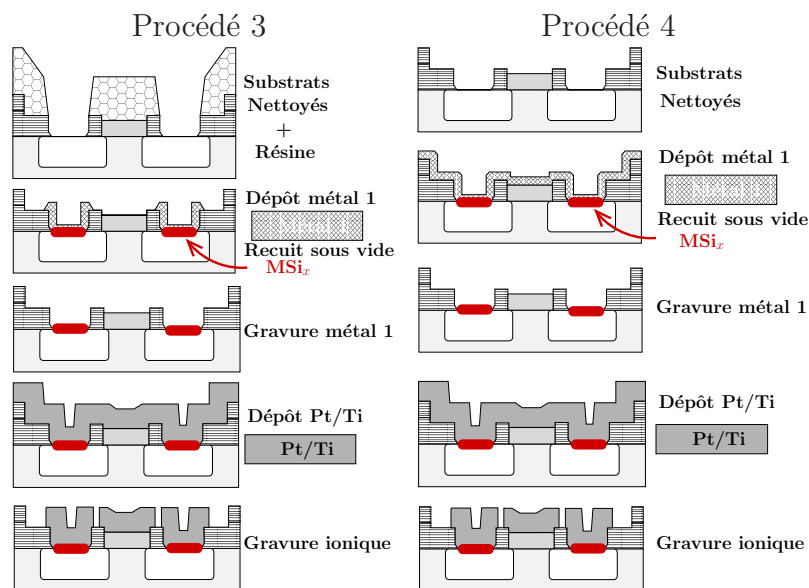


Figure 3.19: Synopsis des procédés 3 et 4 avec deux dépôts métalliques et deux étapes de gravure.

### 4.3 Caractérisation de la métallisation dans la technologie PMOS de Rennes

#### 4.3.1 Introduction et description des échantillons

Cette section est consacrée à la caractérisation de la métallisation des composants PMOS à base de Pt, Ti, Mo ou NiCr. Nous avons conclu à la suite du travail préliminaire exposé en section 4.2 que la métallisation par Pt ou Pt/Ti convenait pour la métallisation de grille. Cependant, afin d'introduire cette métallisation dans le procédé de Rennes, il faut qu'elle puisse convenir pour la métallisation de drain et de source. Or cela n'est pas le cas puisque nous avons vu que la résistance de couche de Pt/Ti sur Si augmente considérablement après un recuit à  $700^{\circ}\text{C}$ . En conséquence et conformément au schéma de la figure 3.14, nous avons choisi d'ajouter une couche supplémentaire au niveau des contacts de drain et de source afin d'assurer la stabilité de la bicouche Pt/Ti. Cette nouvelle couche doit garantir un contact ohmique et une grande stabilité thermique ( $\geq 700^{\circ}\text{C}$ ) avec le silicium  $p^+$ . Nous avons alors tenté de mettre en œuvre le procédé *salicide* avec du molybdène. Le premier procédé testé est un empilement des deux niveaux (Mo et Pt/Ti) comme décrit par le schéma de la figure 3.18. Les échantillons ainsi réalisés ont d'abord été contrôlés visuellement, puis nous avons mesuré la résistance de couche et la résistance de contact de la métallisation à l'aide des motifs décrits dans l'annexe B. Le procédé 2 reprend les mêmes étapes que le procédé 1 avec un recuit de la couche de Mo à  $700^{\circ}\text{C}$  pendant 1 h sous vide ( $\leq 10^{-4}$  mbar) avant le dépôt de Pt/Ti. Les échantillons réalisés par les procédés 1 ou 2 gardent un bon aspect visuel après le recuit sous vide. Cependant, on observe un décollement total ou partiel de la métallisation après le recuit sous oxygène. Par ailleurs, les contacts de drain et de source ne sont pas ohmiques avant comme après le recuit sous vide. Ces deux procédés de métallisation ont donc été éliminés.

La présence d'une couche de Mo en contact avec le  $\text{SiO}_2$  entraîne le décollement de la couche entière. Il faut donc éliminer le Mo de la métallisation de ligne et de grille (*salicide*). Pour cela, on peut procéder au dépôt en *lift-off* du Mo en conservant le masque de résine du nettoyage. Ce procédé (3) est décrit par la figure 3.19.

Nous avons vu en section 2 que Mo forme avec Si la phase  $\text{MoSi}_2$  par recuit ( $\geq 600^{\circ}\text{C}$ ). On peut utiliser cette propriété pour fixer la phase  $\text{MoSi}_2$  au niveau des contacts de source et de drain et éliminer le métal qui n'a pas réagi par gravure chimique. C'est le dernier procédé (procédé 4) que nous avons finalement retenu. Il est représenté schématiquement

Références Échantillons Pt/Ti/Mo	Épaisseur totale (nm)	$R_{\square}^m$ ( $\Omega$ )		
		Après dépôt	Après recuit sous vide	Après recuit sous oxygène
P3GH3	310	0,49-0,5	0,49-0,5	0,45-0,47
1N	310	0,473	-	0,472
2B	310	0,432	0,435	-
182	250-280	0,49-0,51	0,40-0,41	-

Tableau 3.15: Résistance de couche  $R_{\square}^m$  des lignes d'interconnexions mesurée en quatre points.

sur la figure 3.19.

Deux types d'échantillons PMOS ont été utilisés :

1. des échantillons sans métal ; les plaquettes ont été fabriquées à Rennes jusqu'à l'étape d'ouverture des contacts,
2. des échantillons avec une métallisation Al préalablement gravée ; les plaquettes ont été entièrement fabriquées à Rennes. La couche d'aluminium du procédé standard a été éliminée par une solution acide à  $60^{\circ}C$ .

Les échantillons les plus caractéristiques sont présentés dans le tableau 3.14 qui donne les détails de chaque étape. Les échantillons de type 1 ont été fabriqués en 2001 et 2003 avec la collaboration de L. Pichon<sup>22</sup>. Deux plaquettes du lot 2003 ont cependant été fabriquées selon le procédé standard pour des tests comparatifs. Les échantillons de type 2 ont été réalisés selon le procédé standard et possèdent (à l'origine) une métallisation en aluminium. Ils ont été fabriqués par des stagiaires au cours du stage de micro-électronique de l'ENSICAEN.

Avant dépôt, les échantillons sont nettoyés dans une solution d'acide fluorhydrique. Lorsque la résine est conservée pendant le dépôt du *métal 1* (Mo), celui-ci est qualifié de *lift-off*. Dans les procédés 2, 3 et 4, la couche de *métal 1* est recuite après dépôt sous vide selon les conditions données par le *recuit métal 1* dans le tableau 3.14.

#### 4.3.2 Caractérisations de la métallisation de grille et de ligne

##### Résistance de couche sur motif : effet des méandres et des sauts de marche

Le tableau 3.15 rassemble les valeurs de la résistance de couche,  $R_{\square}^m$ . Elles sont conformes aux valeurs obtenues sur des couches non gravées. Pour une métallisation de Pt/Ti d'une

<sup>22</sup>GREYC

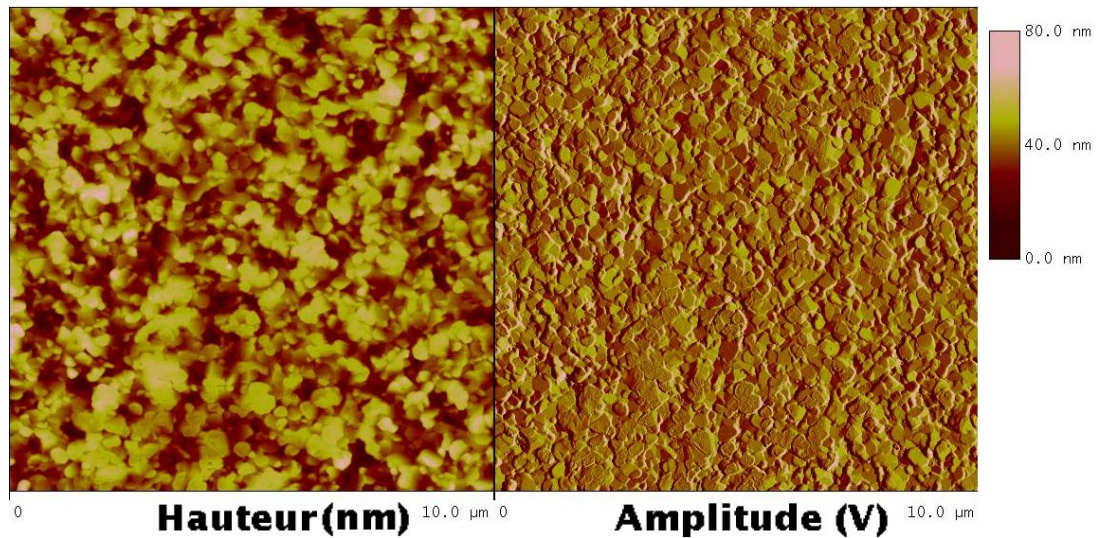


Figure 3.20: Image AFM en mode *tapping* d'une surface de  $10 \times 10 \mu\text{m}^2$  d'un film mince de Pt/Ti sur  $\text{SiO}_2/\text{Si}$ .

épaisseur comprise entre  $250 \text{ nm}$  et  $300 \text{ nm}$ , la résistance de couche est comprise entre  $0,4 \Omega$  et  $0,5 \Omega$ . Elle reste stable pendant les recuits sous vide et sous oxygène pour les procédés 3 et 4.

**Image AFM** La topographie de la surface d'une couche de Pt/Ti sur  $\text{SiO}_2$  a été visualisée par microscopie à force atomique (AFM) en mode *tapping* (figure 3.20). La surface balayée est un carré de  $10 \mu\text{m}$  de côté. L'image de gauche montre la variation de hauteur sur une échelle de couleur de  $80 \mu\text{m}$  et l'image de droite montre l'amplitude [V] à la sortie du photodétecteur du microscope. Le contraste de couleur indique alors un changement de pente, ce qui permet de distinguer la section des grains. Seule l'image de gauche donne une information quantitative en hauteur. La section des grains est comprise entre  $200 \text{ nm}$  et  $400 \text{ nm}$ . La rugosité rms,  $R_q$ , est de  $13,3 \text{ nm}$ . Cette valeur est élevée mais couramment rencontrée pour ce type de couche.

**Imagerie TEM<sup>23</sup>** La structure de la couche de platine est présentée en figure 3.21. Le film est composé de grains colonnaires orientés suivant la direction  $\langle 111 \rangle$  comme cela est reporté dans la littérature (Cf. section 3). L'image de la figure 3.22 montrent plus précisément l'interface Pt/Ti/ $\text{SiO}_2$  aux grossissements 250 000 et 500 000. On constate

<sup>23</sup>Les images ont été obtenues sur l'échantillon 1N décrit ultérieurement, l'annexe B décrit la préparation de l'échantillon.

que l'épaisseur de l'interface est d'environ  $3\text{ nm}$  et qu'elle est cristallisée comme le montre l'image haute résolution de la figure 3.22.

**Cartographies des éléments par EDS<sup>24</sup>** La figure 3.23 montre le profil des intensités des émissions X correspondant aux éléments Pt, Si, O, Ti, Al à travers l'interface grille/oxyde. La figure 3.24 montre un cartographie EDS de l'interface. Cette représentation fait bien ressortir la présence ou non des éléments. La première image<sup>25</sup> est l'image électronique, les autres sont relatives aux éléments Al, O, Pt, Ti et Si. Sur toutes les cartographies effectuées, les raies d'émission X caractéristiques des éléments Mo et Al ne sont pas détectées<sup>26</sup>. Cela montre que les dépôts successifs de Al et de Mo suivis par un recuit ne laisse pas de traces mesurables à la surface de l'oxyde de grille. On observe que le titane est localisé à l'interface entre le platine et l'oxyde. L'oxyde de silicium est matérialisé par la présence simultanée de silicium et d'oxygène. Il n'y a pas d'interdiffusion Pt-Si. Une partie du titane est présent sous forme d'oxyde car il y a un chevauchement entre l'oxygène et le titane à l'interface. Ces observations sont cohérentes avec la stabilité thermique de Pt/Ti sur  $\text{SiO}_2$  mesurée par la résistance de couche. L'oxydation partielle du titane produit une bonne couche d'adhésion pour le platine.

**Conclusion** La résistance de couche de la métallisation Pt/Ti reste inchangée après le recuit sous oxygène sur  $\text{SiO}_2$ . Le platine est cristallisé en grains colonnaires orientés  $\langle 111 \rangle$ . Le titane joue le rôle de couche d'adhésion entre Pt et  $\text{SiO}_2$ . Par ailleurs, l'échantillon 1N qui a été fabriqué selon le procédé 4 à partir d'un échantillon de type 2 (avec métallisation aluminium, Cf. tableau 3.14) a été caractérisé au TEM. L'adhésion du platine sur  $\text{SiO}_2$  est due à l'oxydation partielle de la couche de titane.

### 4.3.3 Caractérisation de la métallisation de source et de drain

Dans la section précédente, nous avons étudié la compatibilité de la métallisation de ligne et de grille (Pt/Ti) avec le procédé YBCO, maintenant nous allons caractériser la métallisation de drain et de source des PMOS (Pt/Ti/Mo). Les échantillons qui ont

<sup>24</sup>Voir annexe C.

<sup>25</sup>Suite à un dysfonctionnement du logiciel de pilotage du mode STEM du microscope, nous n'avons pas pu étalonner avec précision l'échelle mais les images sont obtenues avec la sonde "1 nm".

<sup>26</sup>En particulier, les raies  $K_\alpha$  et  $K_\beta$  du Mo n'apparaissent pas sur les spectres et cela sans ambiguïté.

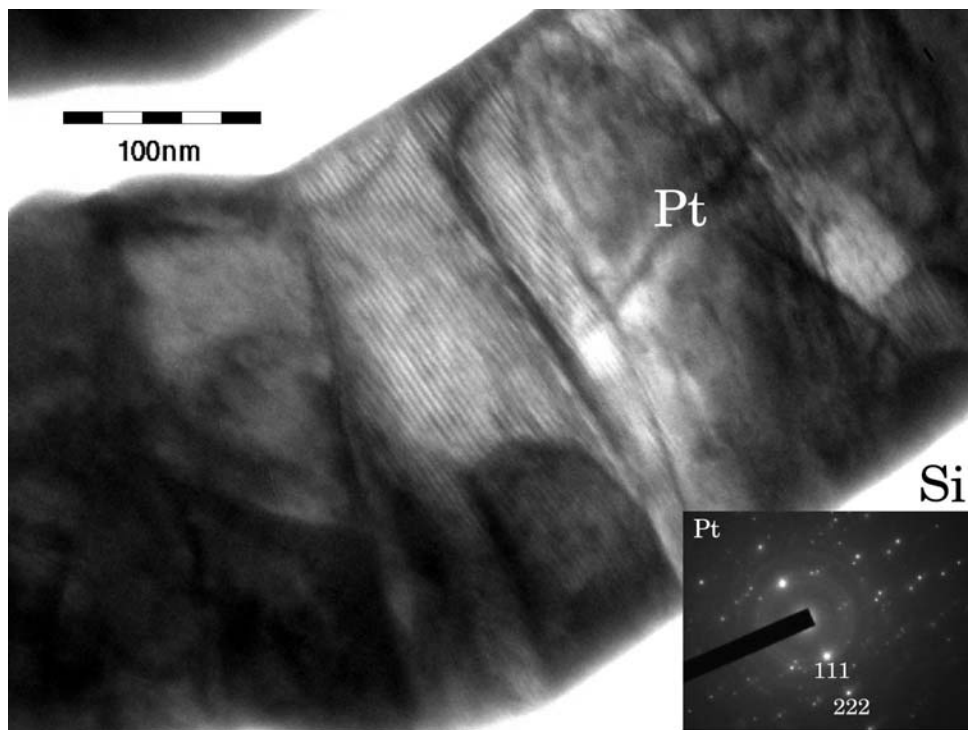


Figure 3.21: Image TEM en champ clair de la couche de Pt/Ti (en noir) au niveau du drain (grossissement 50 K). Les grains, de structure colonnaire, sont orientés selon la direction  $\langle 111 \rangle$ . La structure cristalline du Pt appartient au groupe  $Fm\bar{3}m$  avec un paramètre de maille  $a = 3,944\text{\AA}$ .

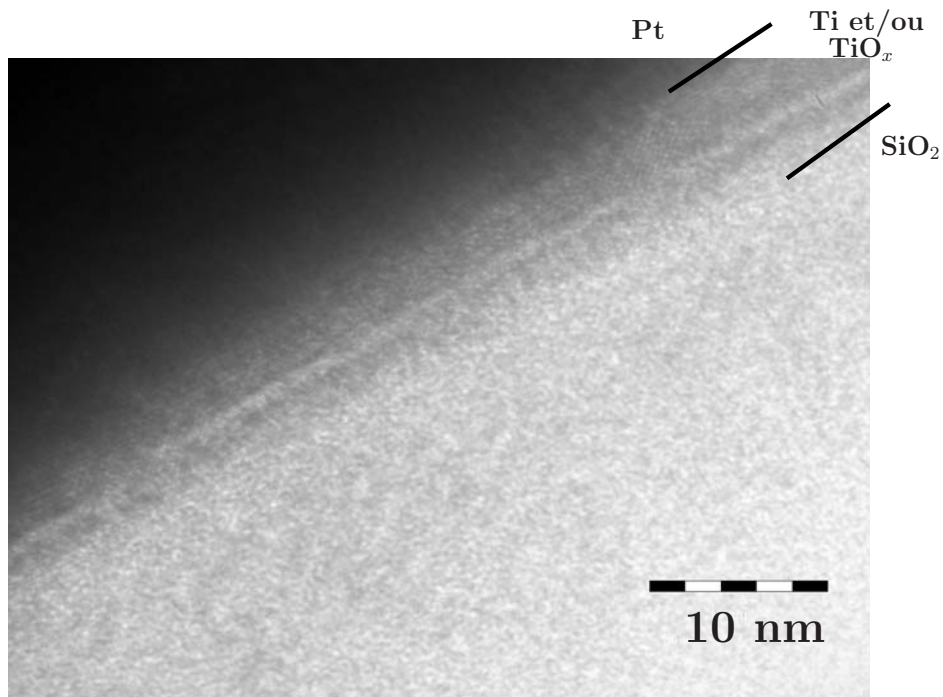


Figure 3.22: Image TEM de l'interface  $\text{SiO}_2$ /métallisation au grossissement 500k. L'interface entre le  $\text{SiO}_2$  amorphe et le platine (noir) est cristallisée. On a une couche poly-cristalline. Cette couche est attribuée au titane sous forme oxydée.



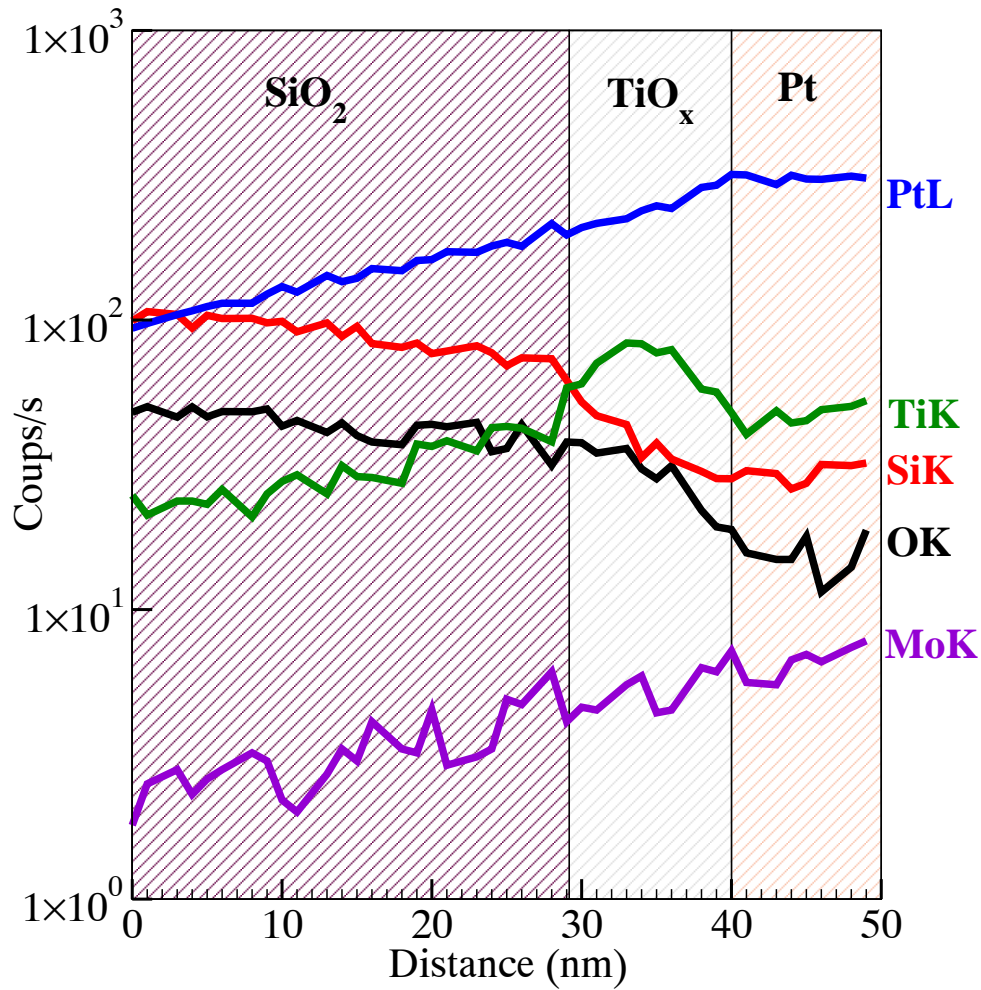


Figure 3.23: Spectrométrie d'émission X des éléments Pt, Si, O, Ti, Al le long d'une ligne traversant l'interface grille/oxyde. Le microscope est utilisé en mode STEM (*Scanning Transmission Electron Microscopy*), sonde "1 nm". Les éléments Al et Mo ne sont pas détectés.

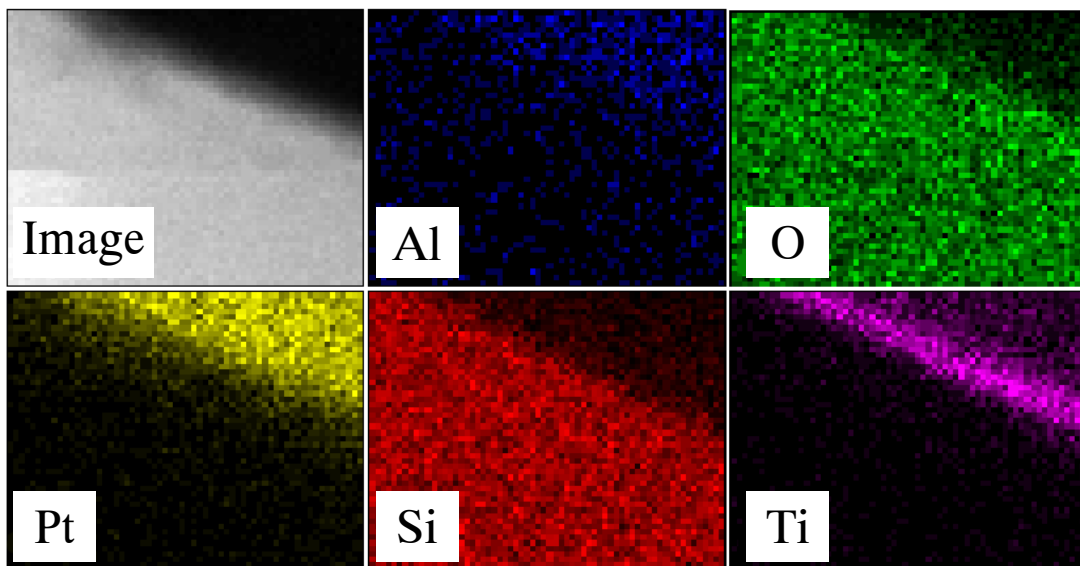


Figure 3.24: Cartographie des éléments Pt, Si, O, Ti, Al par la technique EDS (cf. annexe C) de l'interface grille/oxyde. La première image est obtenue en mode STEM (*Scanning Transmission Electron Microscopy*). Les éléments Al et Mo ne sont pas détectés. Le grossissement est de  $10^6$ , la résolution de chaque image est  $64 \times 50$  pixel.

Réf.	Échantillons		Résistance de contact [ $\Omega$ ]		
	Plaquette	Procédé	Après Dépôt de Pt/Ti	Après Recuit sous vide	Après Recuit sous $O_2$
Al1	2	standard	<b>30</b> ( $< 10^{-5} \Omega \cdot cm^2$ )	-	-
Al2	2	standard	<b>30</b> ( $< 10^{-5} \Omega \cdot cm^2$ )	-	-
1N	1	4	<b>798</b> ( $4 \times 10^{-4}$ )	-	<b>335</b> ( $2 \times 10^{-4}$ )
2B	1	4	<b>283</b> ( $4,3 \times 10^{-4}$ )	⊖	-
P3GH3	2	4	<b>3300-3700</b>	⊖	⊖

Tableau 3.16: Résistance de contact  $R_C$  (en gras) et résistivité spécifique de contact (entre parenthèse) du procédé standard et du procédé 4 : type de plaquette 1 et 2 (2001). La résistance notée en gras est la résistance totale de la chaîne de contacts.

été testés sont décrits dans le tableau 3.14 et la figure 3.19. Il s'agit ici d'évaluer la compatibilité avec le procédé YBCO par la mesure de la résistance de contact. Pour cela, nous avons utilisé la méthode de chaîne de contacts décrite dans l'annexe B. De plus, nous avons effectué des images électroniques des contacts de drain et de source d'un échantillon caractéristique appelé 1N, grâce à la préparation d'une section transverse au FIB (*Cf.* annexe C). Dans la section 4.3.4, nous présentons une analyse plus précise sur l'influence du dépôt de Mo avant le dépôt de Pt/Ti et sur son rôle dans la stabilité thermique de la métallisation.

**Résistance de contact** Le tableau 3.16 donne la valeur moyenne de la résistance de contact dans le procédé standard aluminium (2003) et le procédé 4 avec des plaquettes de type 1 et 2 (2001). La résistance de contact a été mesurée après le dépôt, après un recuit sous vide, après un recuit sous  $O_2$ . La résistance notée en gras est la résistance totale de la chaîne de contacts<sup>27</sup>. Comme cela est montré dans l'annexe B, il est difficile de donner une estimation exacte de la résistivité spécifique de contact avec nos motifs car elle est soumise à plusieurs types d'erreur :

- ✓ la surface efficace de contact est différente de la surface réelle et de plus, la surface réelle est plus petite que la surface de contact du masque CO,
- ✓ la dispersion de la résistance de couche du silicium  $p^+$  est grande.

L'obtention de contacts ohmiques sur les caissons de silicium  $p^+$  est directement liée au nettoyage de la surface du silicium avant le premier dépôt métallique. Or, le masque que nous avons utilisé pour le nettoyage est une copie du masque CO. Par conséquent,

<sup>27</sup>c'est-à-dire avec la contribution du substrat.

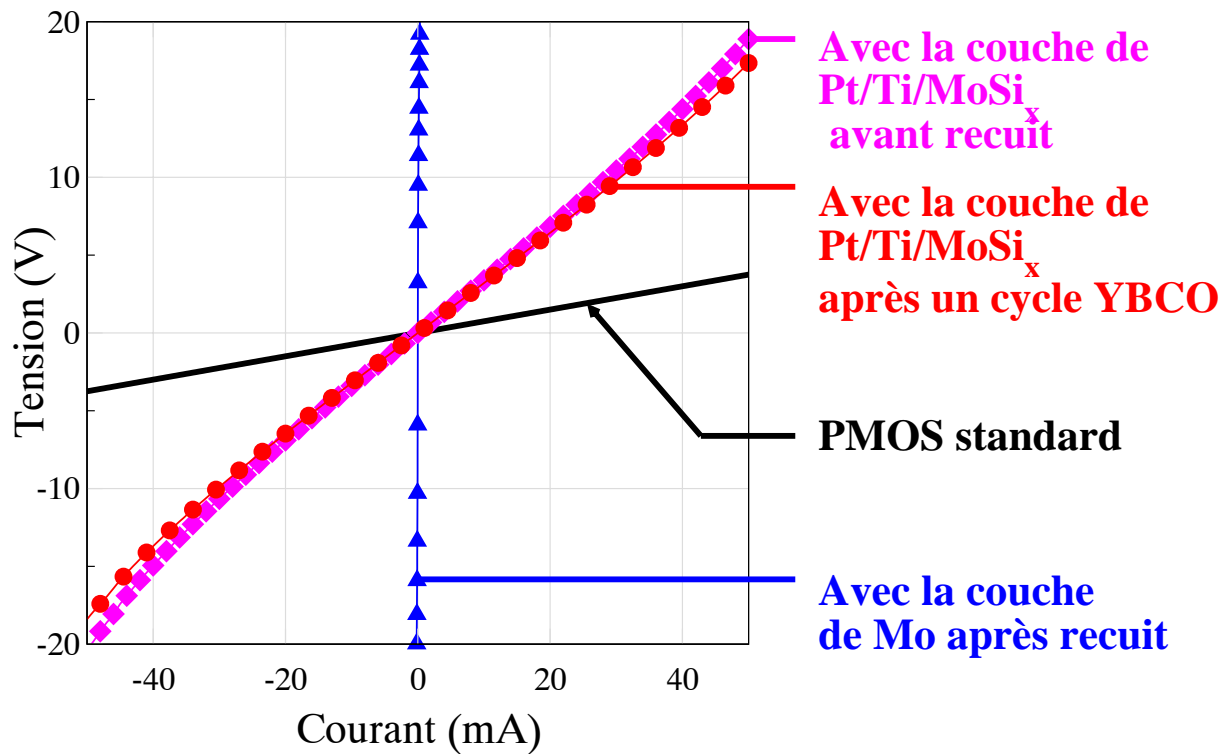


Figure 3.25: Caractéristiques I-V d'une chaîne de contacts après chaque étape du processus de métallisation de l'échantillon 1N.

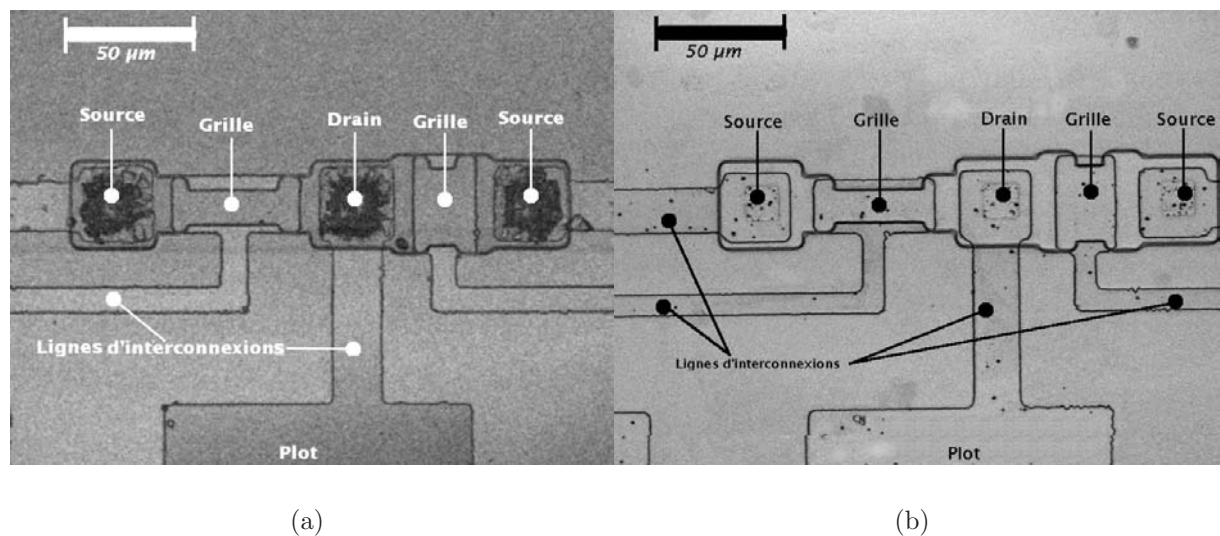


Figure 3.26: (a) Image optique de la paire de transistors Q1-Q5 de l'échantillon 2B après recuit sous vide ( $700^{\circ}\text{C}/60\text{ min}$ ); (b) Image optique de la paire de transistors Q1-Q5 de l'échantillon 1N après recuit sous oxygène ( $700^{\circ}\text{C}/60\text{ min}$ ).

l'alignement doit être parfait afin de nettoyer toute la surface du contact. Cette condition ne peut pas être respectée puisqu'il est impossible d'aligner parfaitement deux masques identiques. Une erreur d'alignement de 10% se traduit par une réduction de 20% de la surface du contact par rapport à la surface définie par le masque CO.

Avec les plaquettes de type 1 (2001), nous n'avons jamais obtenu de contacts véritablement ohmiques même après recuit (*Cf.* échantillon *P3GH3* dans le tableau 3.17). Or dans un même temps, des contacts ohmiques étaient obtenus sur des échantillons issus des plaquettes de type 2 par le procédé 4 [264] (*Cf.* échantillons *1N* et *2B*, tableau 3.17). Nous avons mesuré les caractéristiques I-V de la chaîne de contact à chaque étape de la métallisation (fig. 3.25). On remarque que la résistance diminue après le recuit sous oxygène. Ce résultat est très encourageant, il valide les hypothèses énoncées dans l'étude préliminaire (*Cf.* section 4.2) et le procédé 4. Cependant, la résistance de contact obtenue avec la métallisation Pt/Ti/Mo est environ cinq fois plus élevée que celle de la métallisation standard.

Par ailleurs, les résultats de l'échantillon *1N* n'ont pas été reproduits avec l'échantillon *2B* qui a été préparé dans les mêmes conditions et qui a été recuit sous vide ( $< 10^{-4}$ ) à  $700^{\circ}\text{C}$  pendant une heure. Le contact n'est plus ohmique après le recuit. Les figures 3.26 présentent les images optiques des transistors Q1 et Q5 sur l'échantillon *2B* recuit sous vide et sur l'échantillon *1N* recuit sous oxygène. On observe sur les contacts de drain et de source du composant de l'échantillon *2B* une dégradation qui peut être attribuée à une remontée de silicium à la surface. Yoon *et al.* [23] observent le même type de dégradation pour la structure Pt/Ta/TiSi<sub>2</sub>/poly-Si/SiO<sub>2</sub>/Si après un recuit sous oxygène à  $650^{\circ}\text{C}$  pendant 30 minutes. Dans ce cas, la dégradation est attribuée à l'interdiffusion de Pt, Ta et Si. Par analogie, on peut supposer que dans notre cas, il y a interdiffusion de Pt, Ti et Si. Ce point demande confirmation.

Afin de lever toutes ambiguïtés sur les résultats du tableau 3.16, nous avons réalisé un second lot de plaquettes de type 2 (2003) et utilisé de nouvelles plaquettes de type 1. La préparation des échantillons est indiquée dans le tableau 3.14. Cette fois, après le dépôt de Pt/Ti (tableau 3.17), la résistance de contact des échantillons issus des plaquettes de type 1 et 2 (2003) sont du même niveau. On constate aussi que la résistance de contact est plus faible que celle de l'échantillon *1N*. Par contre, on observe une dégradation de la

Référence	Échantillons		Résistance de contact $\Omega$		
	Type	Procédé	après dépôt de Pt/Ti	Après Recuit sous O <sub>2</sub>	Après le Cycle YBCO
All	2	standard	<b>30</b> ( $< 10^{-5}\Omega \cdot cm^2$ )	-	-
3I	1	3	<b>150</b>	-	⊕
3J	1	3	<b>120-300</b>	-	⊕
209 A	1	3	<b>147-159</b>	-	<b>1000-2000</b>
209 B	1	3	<b>200-300</b>	-	<b>1000-2000</b>
209C	1	3	<b>1453</b>	-	<b>2000-3000</b>
210A	2	4	?	-	en attente
182 1	2	3	<b>467</b>	<b>760-770</b>	-
182 2	2	3	<b>92-150</b>	-	-
208	2	3	<b>90</b>	-	en attente
210B	1		?	-	en attente

Tableau 3.17: Résistance de contact  $R_C$  du procédé 3 et 4 avec des plaquettes de type 1 et 2 (2003). La résistance notée en gras est la résistance totale de la chaîne de contact

résistance de contact après le recuit sous oxygène ou le cycle YBCO.

En résumé :

- ✓ la résistance de contact obtenue par dépôt de Pt/Ti a diminué au fur et à mesure de la maîtrise des étapes de fabrication,
- ✓ la résistance à l'oxydation de la métallisation et la stabilité thermique ont été réduites.

Le premier point peut s'expliquer par la stabilisation des conditions de dépôt, de recuit et de gravure du molybdène. Par contre, le second point n'a pas de justification immédiate. Cela pose donc la question du rôle du molybdène dans la stabilité thermique et la résistance à l'oxydation de la métallisation Pt/Ti/Mo sur Si  $p^+$ .

Étapes	1N	209A	Remarques
Nettoyage HF	oui	oui	Gravure de l'oxyde natif
Nettoyage par pulvérisation	1 <i>min</i> , 150 <i>W</i>	5 <i>min</i> , 100 <i>W</i>	Augmentation de la rugosité et/ou amorphisation du substrat
Dépôt Mo	40 <i>nm</i> pleine couche	62,5 <i>nm</i> <i>lift-off</i>	
Recuit	600°C/1H/vide	700°C/1H/vide	pression < 10 <sup>-4</sup> <i>mbar</i>
Gravure Mo	Oui	Oui	2 <i>min</i> /20 °C/rinçage HO <sub>2</sub>
Dépôt Pt/Ti	~ 300 <i>nm</i>	~ 300 <i>nm</i>	dépôt Ti et Pt <i>in situ</i>
Gravure ionique	oui	oui	
Recuit	700°C/O <sub>2</sub> /1H	cycle YBCO	<i>Cf.</i> Chap. 2

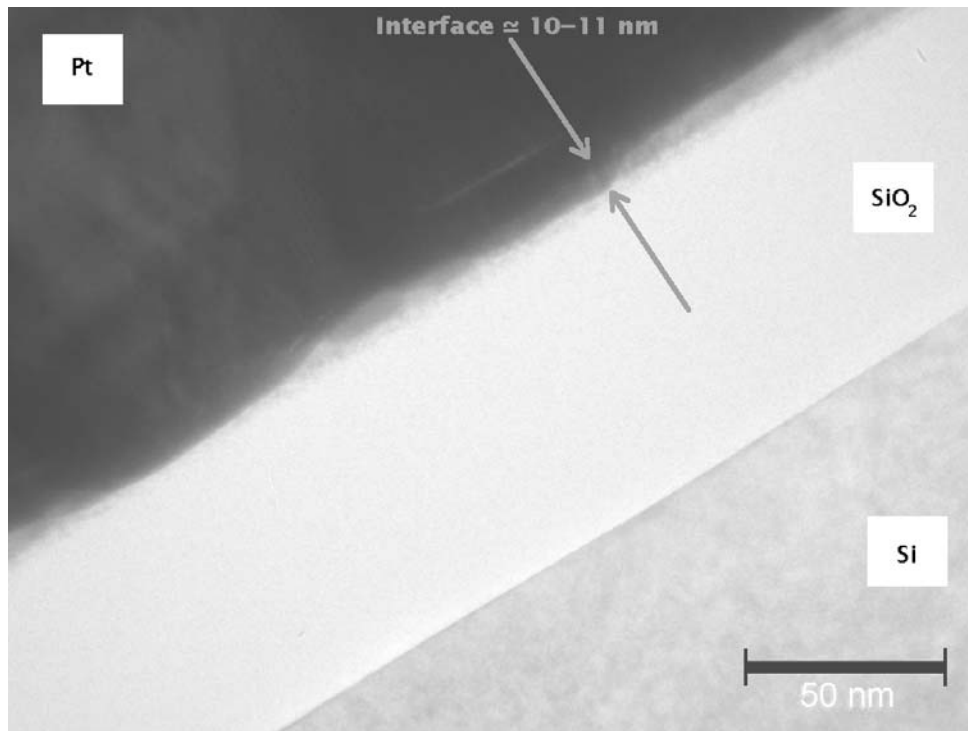
Tableau 3.18: Comparaison de la préparation des échantillons 1N et 209A.

### Comparaison des échantillons 209A et 1N

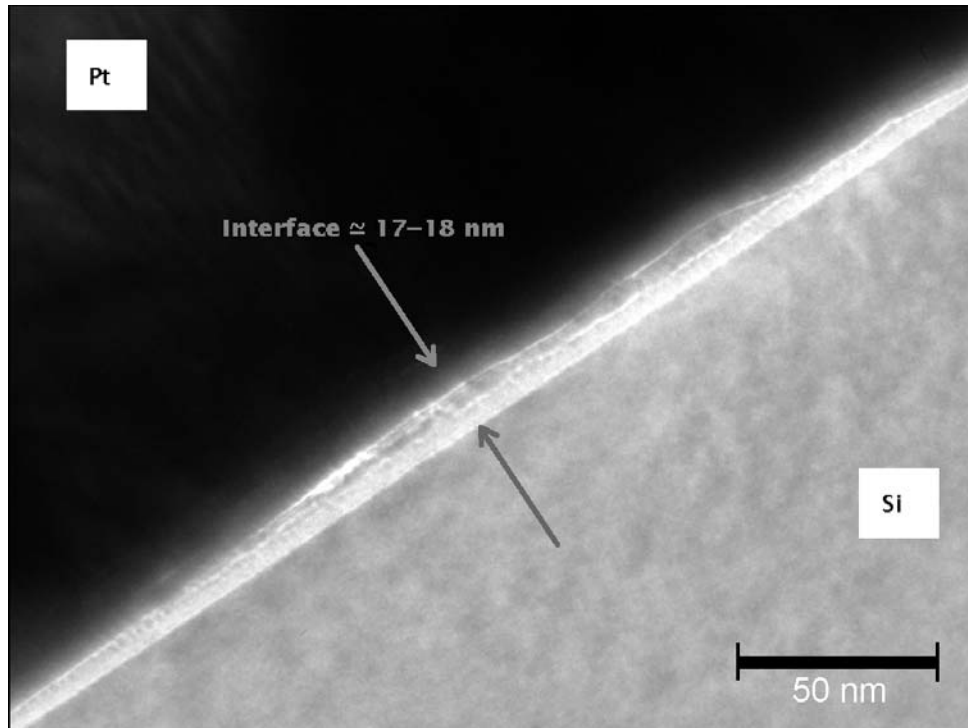
Les résultats obtenus sur l'échantillon 209A sont caractéristiques des résultats des séries 208 et 209 (Mo recuit à 700°C). Un certain nombre de "détails" technologiques différent entre l'échantillon 1N et les échantillons réalisés par la suite. Nous avons comparé dans le tableau 3.18 les procédés de fabrication des échantillons 1N et 209A. Les différences importantes concernent le nettoyage par pulvérisation<sup>28</sup> avant le dépôt de Mo et le premier recuit. On sait [118] que ce type de nettoyage peut, suivant le cas, augmenter la rugosité ou amorphiser la surface du substrat. L'augmentation de la température du recuit de la couche de Mo dans le cas de l'échantillon 209A doit favoriser la croissance d'une phase de siliciure de Mo. L'observation optique et la mesure de la résistance de contact de l'échantillon 209A montrent que la métallisation des contacts de drain et de source sont dégradés de la même manière que sur l'échantillon 2B. A ce stade, on manque d'arguments pour expliquer la différence de comportement de la métallisation de contact de drain et de source sur la série d'échantillons 209A et 1N.

**Caractérisation de la métallisation de drain et de source de l'échantillon 1N par TEM** Ce paragraphe décrit la caractérisation par imagerie TEM (figures 3.27 et 3.28) et l'analyse par EDS de la nature du contact Pt/Ti/Mo sur Si *p*<sup>+</sup> sur l'échantillon 1N.

<sup>28</sup>On applique une tension HF entre l'échantillon et un cache-cible, celui-ci étant connecté à la masse.



(a) Grille



(b) drain

Figure 3.27: (a) Image TEM ( $\times 50k$ ) de l'interface avec SiO<sub>2</sub> de la métallisation de grille; (b) Image TEM ( $\times 50k$ ) de l'interface avec Si de la métallisation de drain et de source.

Sur la grille, l'interface est plus fine que sur le drain et elle est composée d'une seule couche cristallisée alors que sur le drain, on trouve une couche cristallisée et une couche amorphe. L'épaisseur totale de la couche est étalonnée par le biais de la distance inter-réticulaire du silicium<sup>29</sup>. L'épaisseur de l'interface est comprise entre 17 et 18 nm. La couche amorphe représente environ la moitié de l'interface.

L'analyse EDS de l'interface Pt/Ti/Mo/Si est présentée par les figures 3.29a (défaut), b et c (zones non perturbées). Ces cartographies montrent que l'interface amorphe n'est pas oxydée car l'intensité de l'émission  $K_{\alpha}$  de l'oxygène sur toutes les cartographies n'est pas significative. Le molybdène et l'aluminium ne sont pas détectés.

L'absence d'oxyde à l'interface est cohérente avec la nature ohmique du contact de cet échantillon. L'analyse EDS montre qu'il n'y a pas d'interdiffusion importante entre le substrat (Si) et la couche de platine. Le titane est présent (sous forme cristalline et amorphe ?) à l'interface mais d'une manière moins marquée que pour la métallisation de grille.

On peut se demander pourquoi il n'y a pas d'interdiffusion alors que cela est généralement reporté dans la littérature (Cf. section 3). La couche amorphe au contact du Si joue-t-elle un rôle de barrière ? Pour l'instant, nous ne sommes pas en mesure de répondre à cette question. Dans la section suivante nous avons réalisé une étude complémentaire afin de mieux interpréter le rôle du molybdène dans la stabilité thermique de la métallisation de drain et de source.

---

<sup>29</sup>Voir l'annexe C pour plus de détails.



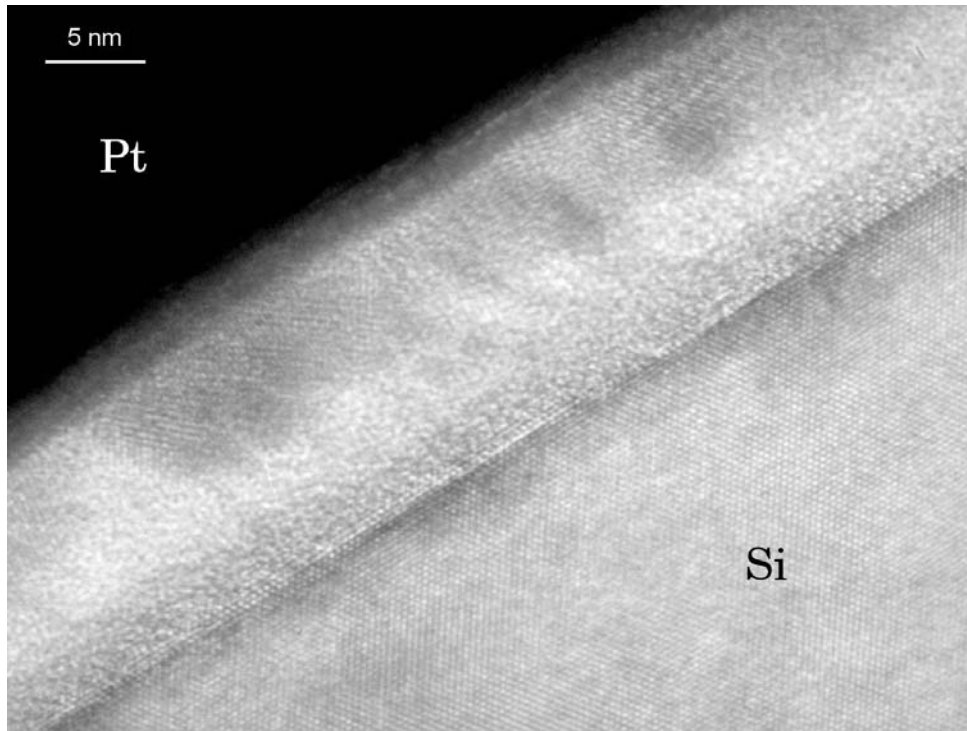
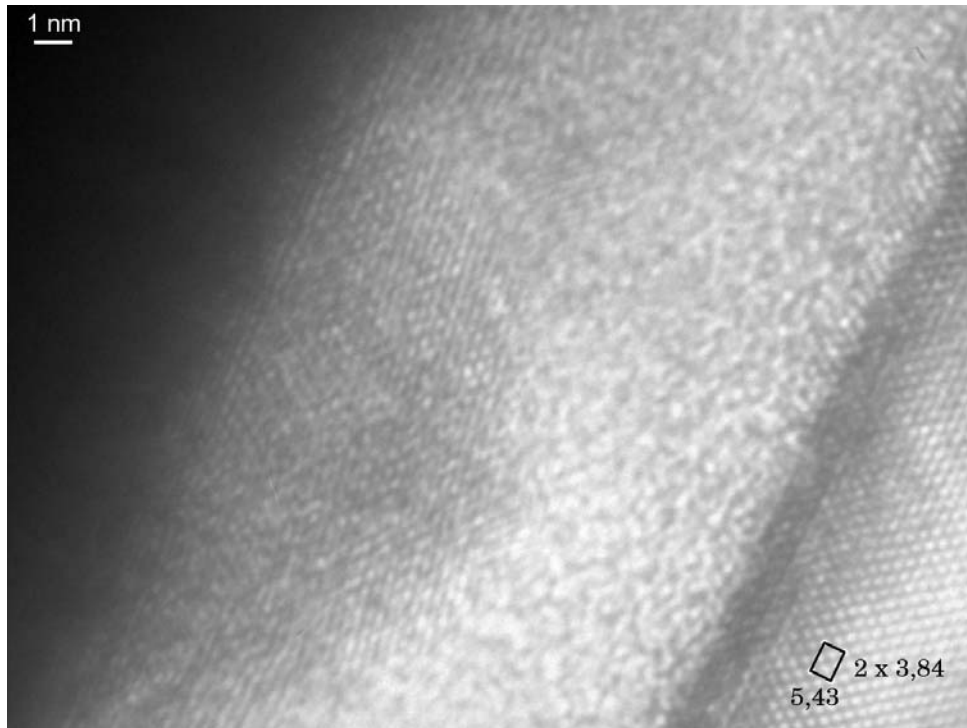
(a)  $\times 500k$ (b)  $\times 1M$ 

Figure 3.28: Image TEM en mode haute-résolution du contact de drain d'un transistor de l'échantillon *1N* après un recuit sous oxygène; (a)  $\times 500K$ ; (b)  $\times 1M$ . L'échelle est fixée par l'étalon interne défini par la distance inter-réticulaire du silicium (110) de paramètre de maille  $a = 5,43\text{\AA}$ .

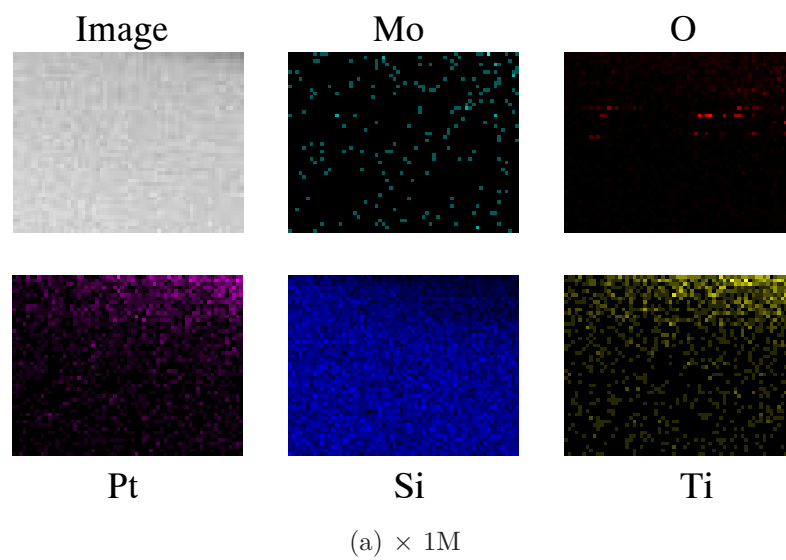


Figure 3.29: Cartographie des éléments Pt, Si, O, Ti, Mo à l'interface {Pt/Ti/Mo}/Si. L'élément Mo n'est pas détecté. La première image est obtenue en mode STEM.

#### 4.3.4 Caractérisation de la couche de Mo

Nous avons entrepris une étude sur la formation de siliciure de molybdène suivant les conditions du procédé *salicide* que nous avons utilisé. La première étape sera de déterminer la ou les phases formées pendant le premier recuit recuit sous vide de la couche de Mo. Nous avons donc réalisé des dépôts de Mo sur des substrats de Si  $p^+$  fraîchement nettoyés (HF). Ces échantillons ont ensuite été recuit sous vide à différentes températures. D'après la littérature, Meyerheim *et al* [265] notent que la réactivité d'interface des métaux réfractaires (Mo, W, Ti...) et des métaux du groupe du platine (Pt, Pd, Co, Ni) se distingue par leur différentes propriétés de diffusion à l'interface Métal/Si. Dans les systèmes "Métal réfractaire/Si", les atomes de Si sont les espèces qui dominent dans les phénomènes de diffusion. Ainsi pendant le recuit, ce sont les atomes de Si qui diffusent majoritairement vers le métal. La formation de siliciures est alors précédée par une amorphisation de la surface du substrat. Ceci est démontré par Slautghter *et al* [266] dans une étude sur des multicouches Mo/Si. Dans le cas des siliciures formés à partir d'une couche de Mo sur Si, conformément au diagramme de phase Mo-Si (*cf.* [267, 268]), il se forme successivement les phases  $Mo_3Si$ ,  $Mo_5Si_3$  et  $MoSi_2$ . La phase thermodynamiquement stable est la phase  $MoSi_2$ . mais comme la formation de ce composé est contrôlée par la cinétique de diffusion des atomes de Si

**Siliciuration** Une couche de Mo de  $150 \mp 10 \text{ nm}$  d'épaisseur a été déposée sur un lot de substrat ( $10 \times 10 \text{ mm}^2$ ) de Si  $p^+$ /Si  $n$  fraîchement nettoyé par une solution de HF. La figure 3.30 montre les diagrammes de diffraction X des échantillons recuits à différentes températures sous vide pendant une heure (un échantillon supplémentaire a été recuit à  $700^\circ\text{C}$  pendant 3 heures). Le molybdène est amorphe après le dépôt et cristallise suivant la direction  $\langle 110 \rangle$  à partir de  $600^\circ\text{C}$ . Il n'apparaît pas de pics caractéristiques des phases hexagonale ou tétragonale de  $MoSi_2$  habituellement présents dès  $600^\circ\text{C}$  [178, 214].

D'après l'étude bibliographique, plusieurs phases devraient coexister après le recuit à  $700^\circ\text{C}$ . Or, d'après nos mesures, on ne peut pas en toute certitude identifier que la phase  $Mo_5Si_3$  par la présence d'un pic à  $26,0^\circ$  indexé (220) à  $600^\circ\text{C}$ . A  $650^\circ\text{C}$  et  $700^\circ\text{C}$ , ce pic a disparu mais un autre pic à  $29,4^\circ$  indexé (310) est apparu. La figure 3.30 montre que ce pic demeure après une gravure chimique du Mo (le pic (110) du Mo a disparu).

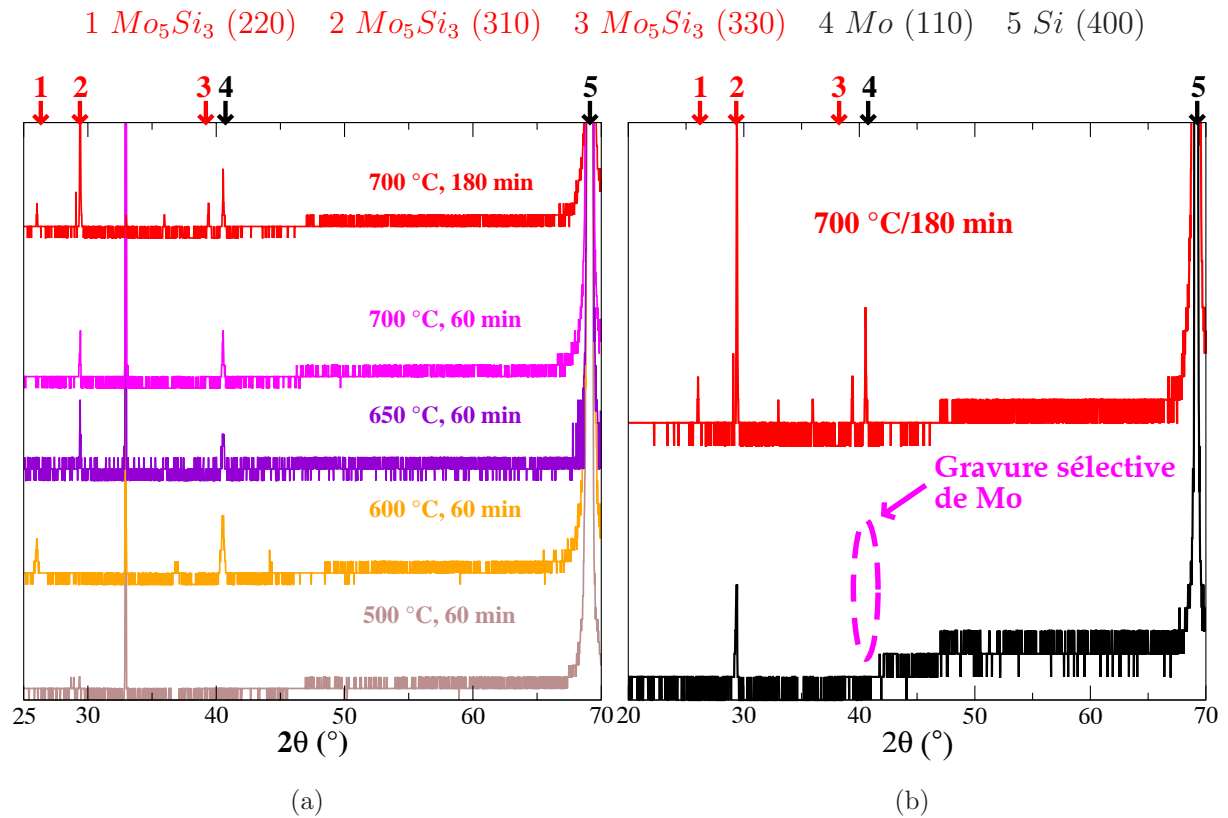


Figure 3.30: Diagramme de diffraction X d'une couche de Mo (150 nm) sur Si  $p^+$  : (a) après recuit à différentes températures sous vide ( $< 10^{-4}$  mbar) ; (b) après gravure du Mo sur l'échantillon recuit à 700°C pendant 3 H.

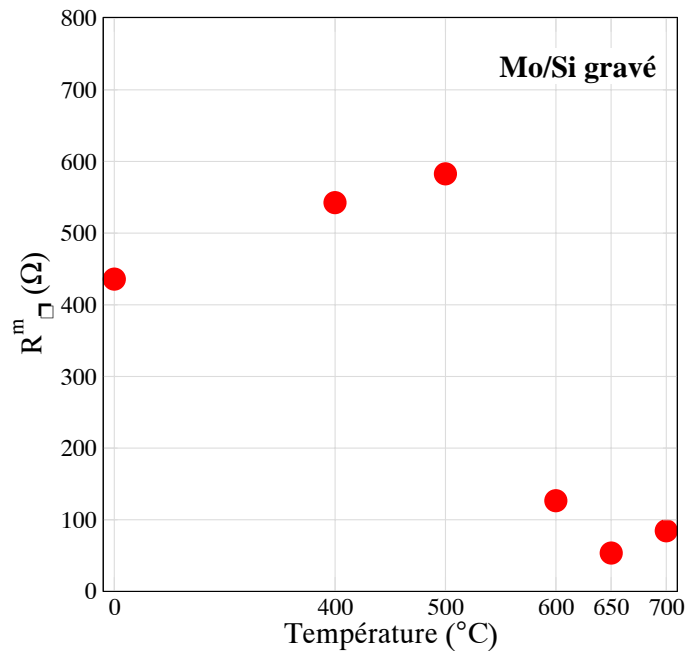


Figure 3.31: Résistance de couche  $R_s^m$  en fonction de la température de recuit de Mo(150nm)/Si- $p^+$  : (a) sans gravure, (b) après gravure de Mo. Les recuits sont effectués sous vide ( $< 10^{-4}$  mbar) pendant une heure.

Il semble donc que le traitement thermique à  $700^{\circ}\text{C}$  de la couche de Mo sur Si  $p^+$  produise un très faible volume de  $\text{Mo}_3\text{Si}_5$  (phase tétragonale), compte tenu de la très faible intensité des pics<sup>30</sup>.

La résistance de couche  $R_{\square}^m$  caractérisés précédemment est mesurée. La figure 3.31 montre la résistance de couche  $R_{\square}^m$  des échantillons Mo (  $150\text{ nm}$  )/Si  $p^+$  mesurée après une gravure sélective de Mo. La résistance de couche suit une évolution caractéristique comme reportée dans la littérature [178] pour ce type de métal : augmentation jusqu'à  $500 - 600^{\circ}\text{C}$  puis diminution à partir de  $650^{\circ}\text{C}$ . La variation de la résistance de couche après gravure du Mo, ne peut s'expliquer que par la formation de siliciure.

On peut maintenant dire que le recuit d'une couche de Mo<sup>31</sup> sur Si  $p^+$  forme la phase tétragonale de  $\text{Mo}_5\text{Si}_3$  (la formation des phases hexagonale et tétragonale de  $\text{MoSi}_2$  n'a pu être montrée par la diffraction). Il faut noter que le volume doit être très petit car les intensités des pics sont très faibles et la résistance de couche élevée.

En complément aux analyses TEM de l'échantillon 1N<sup>32</sup>, nous avons réalisé une *cross-section* (fig. 3.32) sur un échantillon où une couche de Mo a été déposée sur Si puis recuite à  $700^{\circ}\text{C}$  sous vide pendant une heure. La lame mince a été extraite par FIB. Comme sur l'échantillon 1N, on retrouve une interface amorphe continue qui d'après des analyses EDS est riche en silicium et d'une épaisseur  $5,7\text{ nm} \pm 0,4\text{ nm}$  inférieure à celle mesurée sur l'échantillon 1N.

Finalement, l'interface est de même nature pour les deux types de recuits, mais on observe une rugosité du substrat plus grande et une épaisseur plus petite suite au recuit à  $700^{\circ}\text{C}$ .

**Stabilité thermique de Pt/Ti/Mo/Si** La stabilité thermique métallisation Pt/Ti/Mo a été testée en pleine couche.  $125\text{ nm}$  de Mo a été déposé par pulvérisation RF sur des substrats de silicium Si  $p^+$  fraîchement nettoyés par une solution de HF. Les échantillons ont ensuite été recuits sous vide pendant 1 heure à  $700^{\circ}\text{C}$ , puis plongés pendant 5 minutes dans une solution de gravure de Mo, rincés à l'eau permutée et séchés sous un flux d'azote avant le dépôt de  $\approx 10\text{ nm}$  de Ti et  $\approx 240\text{ nm}$  de Pt. La résistance de couche de ces films a été mesurée après dépôt et après recuit sous oxygène.

<sup>30</sup>Cela ne reste qu'une hypothèse car il est difficile d'identifier une phase avec une seule raie!

<sup>31</sup>*n.b.* dépôt et recuit dans les conditions propres aux bâtis du GREYC

<sup>32</sup>Où la couche de Mo a été recuite à  $600^{\circ}\text{C}$  sous vide pendant une heure

Couches sur Si $p^+$	Rugosité $R_q$ [nm]	
	Non-recuit	Recuit sous O <sub>2</sub>
Pt/Ti/Mo	13,8	> 270* 10-14**

\*sur les zones noires

\*\*sur les zones brillantes

Tableau 3.19: Rugosité rms  $R_q$  de la surface.

Après le dépôt, la surface de la couche Pt/Ti/Mo a un aspect brillant mais localement elle est dégradée. La résistance de couche est identique à celle de la même structure déposée sur SiO<sub>2</sub>. Des observations de même nature ont été faites au microscope optique sur la structure Pt/Ta/TiSi<sub>2</sub> sur Si par Yoon *et al* [261]. Dans cet article, le dépôt de Pt et de Ta est à température ambiante : la surface présente un aspect brillant sans relief. Par contre, après un recuit de 30 *min* à 700°C à l'air, la surface de la couche prend le même aspect que nos échantillons. Les taches noires à la surface sont attribuées à des précipités de Ta<sub>2</sub>O<sub>5</sub>, PtSi<sub>2</sub> et Pt<sub>2</sub>Ta. La formation de précipités de PtTi et TiO<sub>2</sub> à la surface de la structure Pt/Ti après recuit sous oxygène sont rapportés dans [269, 270, 271, 272]<sup>33</sup>. Les images de la surface de Pt/Ti/Mo, après recuit sous oxygène, montrent une dégradation de ce type. L'analyse EDS<sup>34</sup> au SEM<sup>35</sup> (fig. 3.33), montre que les zones qui restent claires (sur l'image optique) sont exclusivement composées de platine, alors que les zones sombres sont composées de platine et de silicium. Cette analyse confirme la présence de Si à la surface. La rugosité moyenne quadratique que l'on note  $R_q$ <sup>36</sup> a été mesurée en microscopie AFM. Après recuit, la rugosité est très élevée sur les zones sombres, mais reste stable sur les zones claires. Cela confirme la dégradation des zones sombres et la stabilité des zones claires.

<sup>33</sup>Dans ces publications, la surface des échantillons n'a pas été imagée en microscopie optique.

<sup>34</sup>Réalisée par B. Mercey au CRISMAT.

<sup>35</sup>*Scanning Electron Microscopy*

<sup>36</sup> $R_q = \sqrt{\rho(z) \sum_z (z - z_{moyen})^2}$  avec  $z$  l'écart type et  $\rho(z)$ , la probabilité associée à  $z$ .

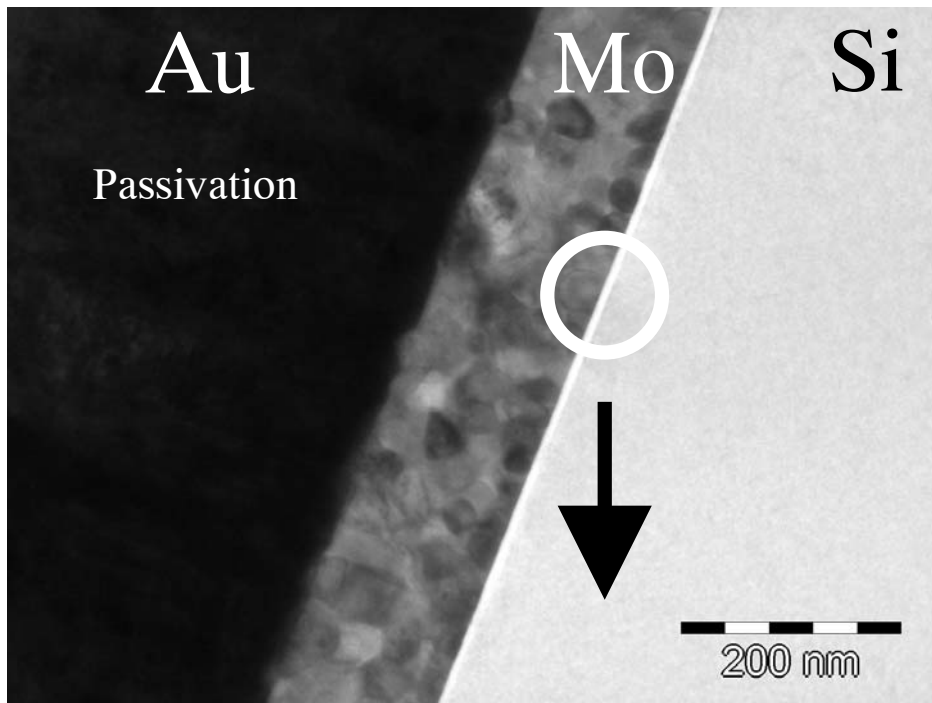
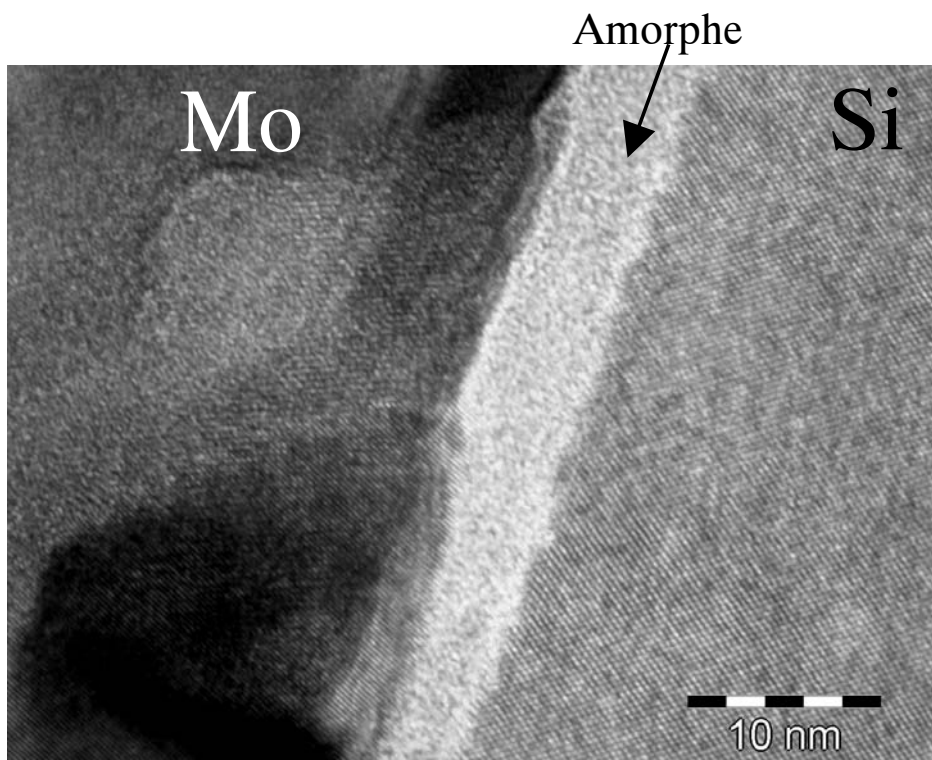
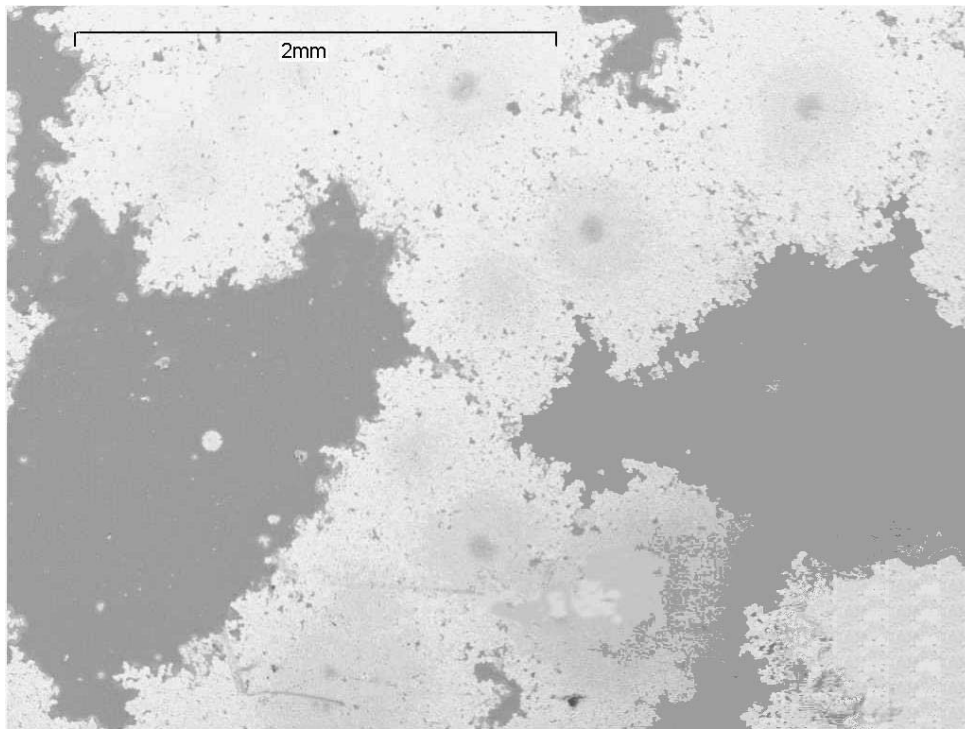
(a) Grossissement  $\times 30\,000$ (b) Grossissement  $\times 500\,000$ 

Figure 3.32: Image TEM en *cross-section* d'une couche de Mo sur Si recuite à  $700^{\circ}\text{C}$  sous vide pendant une heure.



(a) Image électronique (SEM)

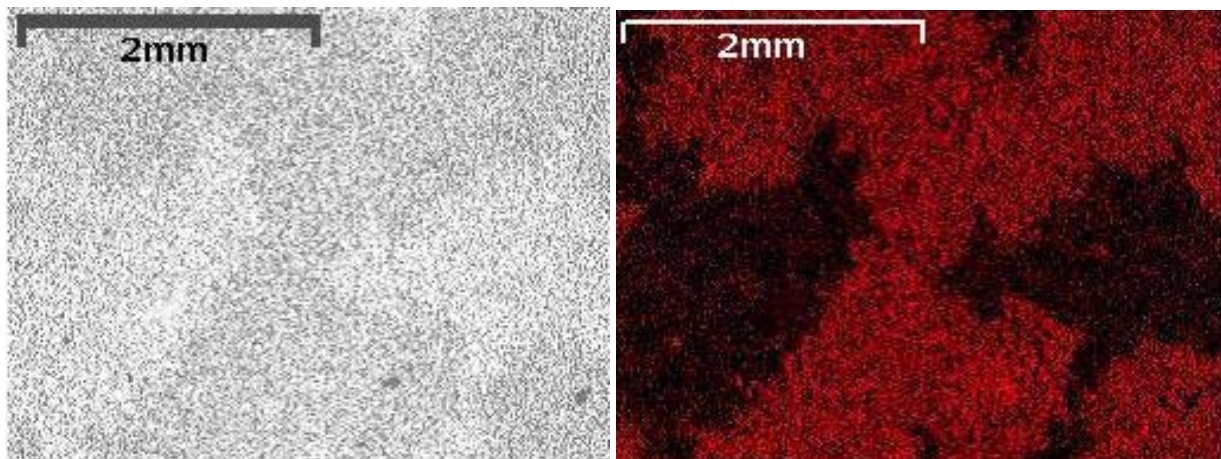
(b) Pt raie  $M\alpha_1$  (blanc)(c) Si raie  $K\alpha_1$  (rouge)

Figure 3.33: Analyse d'une zone de la surface de l'échantillon Pt/Ti/Mo après recuit sous  $O_2$  : (a) Image électronique, (b) et (c) cartographie EDS de l'élément Pt (blanc) et Si (rouge).



### 4.3.5 Conclusion

Cette dernière section nous a permis de caractériser plus précisément la métallisation Pt/Ti/Mo. Nous avons observé les mêmes dégradations sur l'échantillon 209A (contacts de drain et de source) et sur des échantillons sans motif. Les analyses EDS et AFM ont montré qu'elles sont dues à la précipitation de Si ou de composés Pt-Si à la surface, augmentant ainsi la rugosité.

Par ailleurs, l'observation au TEM a révélé l'existence d'une interface amorphe entre le silicium et la métallisation quelque soit la température du recuit. De plus, on a montré que le recuit sous vide d'une couche de Mo sur Si à  $600^{\circ}\text{C}/1\text{ h}$  ne produit pas de phase Mo-Si (figure 3.30a). D'un autre côté, le recuit sous vide d'une couche de Mo sur Si à  $700^{\circ}\text{C}/1\text{ h}$  produit une phase cristallisée que nous avons identifiée comme du  $\text{Mo}_5\text{Si}_3$ , mais que nous n'avons pas trouvé au TEM. Le procédé de siliciuration produit une interface amorphe dont l'épaisseur et la rugosité varie suivant la température. Dans le cas du molybdène la siliciuration se produit par diffusion du silicium dans le métal. Dans notre cas le procédé de siliciuration n'est pas complet, il est limité par la cinétique de formation des phases  $\text{Mo}_3\text{Si}$ ,  $\text{Mo}_5\text{Si}_3$ . Pour obtenir la phase  $\text{MoSi}_2$  il faudrait un recuit beaucoup plus long. Cependant, malgré l'absence de cette phase, nous obtenons, pour le procédé à  $600^{\circ}\text{C}$ , une métallisation capable d'endurer sans dégradation le procédé de dépôt d'YBCO.

## 4.4 Conclusion du chapitre

Dans cette partie, nous avons fait l'étude d'une métallisation basée sur l'utilisation du platine pour les lignes d'interconnexions, les contacts de grille, de drain et de source d'un PMOS. La métallisation Pt/Ti convient parfaitement pour les deux premiers cas. Nous avons mesuré la résistivité électrique avant et après traitement thermique de cette métallisation sur des couches et sur des motifs. La résistivité demeure inchangée ou diminue après un recuit identique aux conditions de dépôt du supraconducteur. Par contre, nous avons montré par des mesures de résistances de contact et des observations optiques que cette structure ne convenait pas pour les contacts de drain et de source. De nombreux essais ont été menés en combinant d'autres matériaux comme le Mo ou NiCr. La structure Pt/Ti/Mo que nous avons finalement retenue a été caractérisée par microscopie électronique en transmission, diffraction X, imagerie AFM et mesures électriques. Nous avons vu

que les conditions de dépôts et de recuit du Mo déterminent la stabilité thermique de la métallisation. La résistivité spécifique de contact obtenue dans le meilleurs cas est de l'ordre<sup>37</sup> de  $2 \times 10^{-4} \Omega \cdot cm^2$ . Cette valeur est cinq fois plus élevée que celle obtenue avec une métallisation standard d'aluminium. En augmentant la température de recuit du Mo, nous avons pu abaisser la résistivité spécifique de contact, mais dans le même temps nous avons réduit la stabilité thermique et la résistance à l'oxydation de la métallisation. Pour l'instant, nous n'avons pas pu mettre en évidence les causes réelles de cette détérioration. On peut émettre l'hypothèse que le recuit intermédiaire à  $700^\circ C$  favorise plus la diffusion du silicium et par conséquent produit une meilleure cristallisation de l'interface métallisation/Si qu'un recuit à  $600^\circ C$ . Cela explique une résistance de contact plus faible mais une plus grande réactivité du Si.

---

<sup>37</sup>La technique de mesure donne une valeur surestimée de la résistivité spécifique de contact.



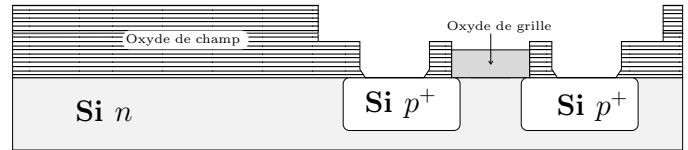
# Chapitre 4

## Résultats de l'intégration monolithique PMOS/YBCO

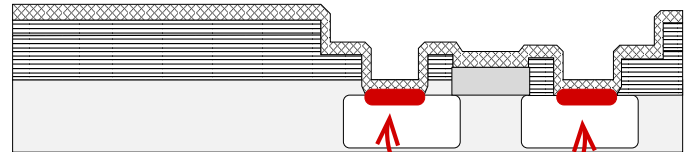
Nous présentons dans ce dernier chapitre les résultats de l'intégration monolithique PMOS/YBCO. Des puces comportant des composants PMOS et YBCO ont été réalisées suivant un procédé qui est complètement décrit au paragraphe 1. Le fonctionnement des divers éléments de la puce (transistors et micro-ponts) a été testé (paragraphe 2). Nous présentons en conclusion de ce chapitre, les modifications du procédé que nous proposons pour améliorer la stabilité thermique et la résistance à l'oxydation des composants PMOS et des micro-ponts en YBCO.

# YBCO | PMOS

(1) Nettoyage (HF)  
des composants PMOS  
pré-fabriqués



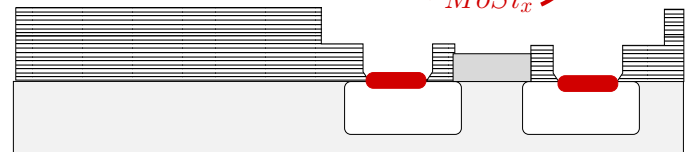
(2) Dépôt de *Mo*



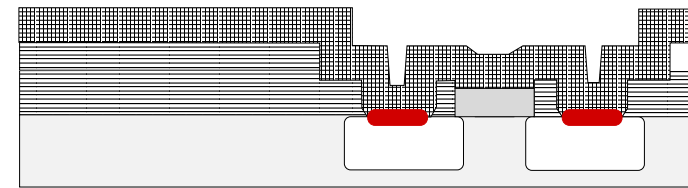
(3) Recuit sous vide



(4) Gravure du *Mo*  
en excès

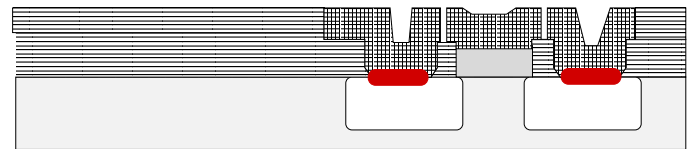


(5) Dépôt de *Pt/Ti*

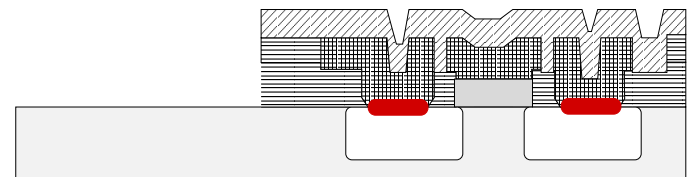
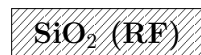


(6) Lithographie

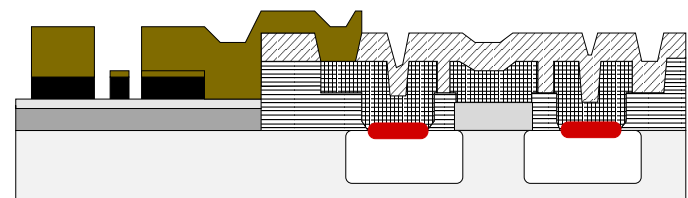
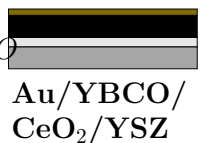
et gravure ionique de *Pt/Ti*



(7) Dépôt, lithographie  
et gravure (HF)  
de *SiO<sub>2</sub>*



(8) Dépôt, lithographie  
et gravure de l'*YBCO*



(9) Dépôt, lithographie  
et gravure d'*Au*

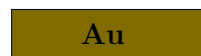


Figure 4.1: Synopsis du procédé d'intégration PMOS et capteurs YBCO.

# 1 Réalisation

Le déroulement complet du procédé d'intégration suit le synopsis présenté en figure 4.1. **Les étapes numérotées de 1 à 6** concernent la métallisation des composants PMOS. Pour toutes ces étapes, on a utilisé les masques du procédé PMOS standard de Rennes.

**L'étape 7** représente le dépôt de  $\text{SiO}_2$ <sup>1</sup> sur les composants PMOS puis la gravure de la couche de protection ( $\text{SiO}_2$ ) de la zone réservée à l'YBCO. En effet, nous avons utilisé des puces de dimension  $10 \times 10 \text{ mm}^2$  découpées dans une plaquette de 2 pouces (*cf.* figure 2.9, chapitre 2). Sur chaque plaquette, nous avons utilisé pour le dépôt d'YBCO les zones de test situées en leur centre qui servent habituellement pour la mesure des épaisseurs d'oxyde. Nous avons donc fait attention lors de la découpe que certaines puces présentent à la fois une zone de test sans motifs et des composants PMOS. Suivant la région de la plaquette d'où est extraite la puce, le substrat de silicium est, au niveau des zones de test, de type  $n$  ou  $p$  et recouvert soit par un oxyde de champ (ou oxyde épais, oxydation humide), soit par un oxyde de grille (ou oxyde mince, oxydation sèche), soit les deux, ou encore laissé à nu (oxyde natif). Dans ce dernier cas, une couche d'oxyde a été déposée sur la zone libre par pulvérisation RF. Cette couche d'oxyde est destinée à protéger le substrat de silicium pendant les opérations de métallisation (Mo et Pt/Ti) et les gravures des composants PMOS.

On a rassemblé dans l'étape numérotée **8** les opérations suivantes :

1. le dépôt par ablation laser des couches tampons  $YSZ$  et  $CeO_2$ , de la couche d'YBCO (voir chapitre 2) et d'une fine couche d'or d'environ  $20 \text{ nm}$  d'épaisseur qui sert de couche de passivation et facilite la prise de contact sur YBCO,
2. la définition des micro-ponts supraconducteurs par lithographie et gravure ionique,
3. l'ouverture de fenêtres de contact dans la couche de passivation des PMOS,
4. le dépôt d'une couche d'or pour la métallisation d'interconnexion,
5. la lithographie et la gravure des lignes d'interconnexion.

---

<sup>1</sup>Cette couche servira d'isolation entre le niveau de métallisation  $Pt/Ti$  des composants PMOS et le niveau d'interconnexion en Au avec les motifs supraconducteurs.

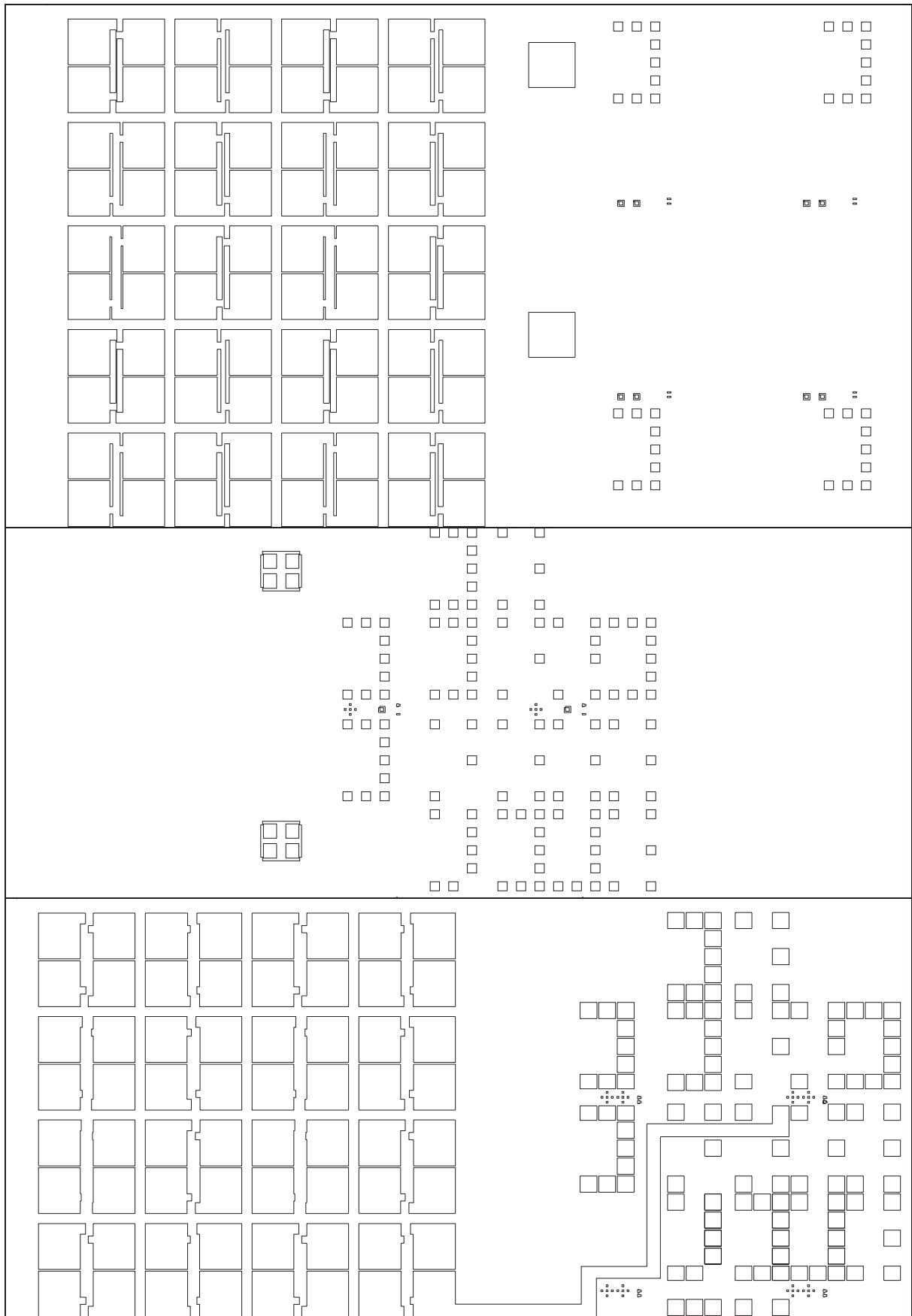


Figure 4.2: Extraits des masques 1 (SUPRA), 2 (OOX) et 3 (METAL), de haut en bas.

Pour les opérations 2, 3 et 5, on a réalisé un jeu original de trois masques qui sont présentés en figure 4.2. Le masque 1 (YBCO) définit les motifs à réaliser par gravure ionique dans la couche supraconductrice. La zone des PMOS n'étant pas masquée, la couche d'YBCO qui recouvrait cette zone est également gravée. Le masque 2 (OOX) définit les ouvertures à effectuer au travers de la couche  $SiO_2$  de passivation des PMOS au niveau des plots de métallisation Pt/Ti. Les ouvertures sont des carrés de  $100\ \mu m$  de côté qui se superposent aux plots de métallisation Pt/Ti (carrés de  $130\ \mu m$  de côté). L'ouverture de ces fenêtres est suivie d'un dépôt d'or par pulvérisation RF. Dans cette couche d'or de  $500\ nm$  d'épaisseur, on définit en même temps la métallisation des bolomètres YBCO et les interconnexions avec les composants PMOS au moyen du masque 3 (METAL). La gravure de la couche d'or est enfin réalisée par une solution de *KI*.

La photographie au microscope optique de la figure 4.3 montre une partie d'une puce PMOS/capteurs YBCO avec en haut les bolomètres et leurs plots d'or et en bas les composants PMOS métallisés avec Pt/Ti. Pour aider à la compréhension de l'image on a ajouté sur le côté des vues en coupe des bolomètres et des interconnexions des composants PMOS. Pour des tests simples, on a prévu des connexions entre certains composants PMOS et des ponts YBCO.

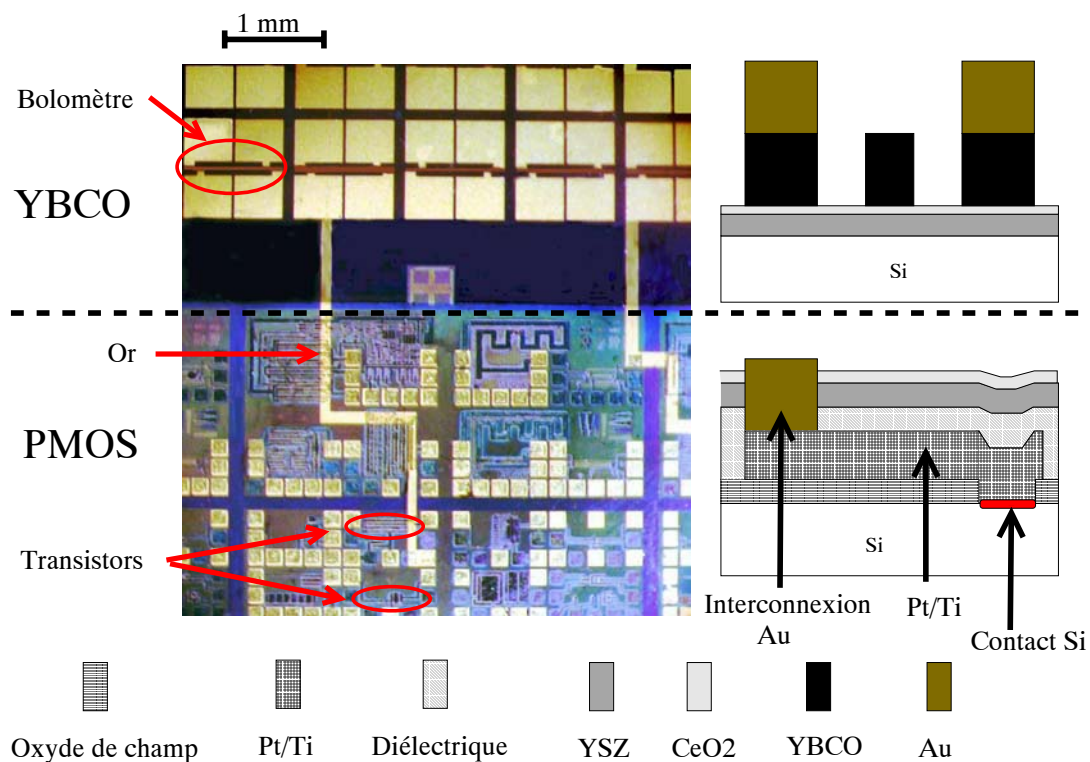


Figure 4.3: Photographie d'une puce intégrant des ponts en YBCO et les composants PMOS fabriqués selon le procédé de la figure 4.1.



## 2 Caractérisation

Nous allons maintenant présenter les caractérisations des composants PMOS et des films minces d'YBCO que nous avons réalisés suivant le procédé décrit en figure 4.1.

### 2.1 Transistors

de transistors issus des échantillons représentatifs des meilleurs résultats obtenus.

La figures 4.4 donne les caractéristiques statiques avant et après le cycle YBCO pour deux géométries de transistor. Nous avons choisi de présenter le courant de drain  $I_{DS}$  en fonction de la tension de grille  $V_{GS}$  en régime linéaire et de saturation et  $I_{DS}$  en fonction de la tension de drain  $V_{DS}$ .

Ces mesures montrent que les composants PMOS avec la métallisation "Pt/Ti/MoSi<sub>x</sub>" fonctionnent après après le dépôt d'une couche d'YBCO. Sur tous les échantillons, on remarque que la tension de seuil diminue après le traitement thermique. Le tableau 4.1 résume les paramètres électriques pour le transistor Q1. On a ajouter à titre de comparaison les paramètres extrait sur la même géométrie de la technologie standard (Al).

Le même type de caractérisation a été réalisé à 77 K sur les échantillons décrits ci-dessus<sup>2</sup> et les résultats sont présentés en figure 4.5. Nous avons utilisé un banc de mesures sous pointes, avec un refroidissement par circulation de gaz résultant de l'évaporation d'azote liquide<sup>3</sup>. On observe une augmentation en valeur absolue de la tension de seuil comme dans la technologie standard (chapitre 1).

	$\rho_c$ $\Omega \cdot cm^2$	$gm$ à $V_{GS}^* = -5V$ $A \cdot V^{-1}$	$V_{th}$ V
p-MOSFET avec Al	$< 10^{-5}$	$11,2 \times 10^{-5}$	-2 à -4
Avant dépôt d'YBCO à <b>300 – K</b>	$4 \times 10^{-4}$	$7,4 \times 10^{-5}$	-4.0
Après dépôt d'YBCO <b>300 – K</b>	$2 \times 10^{-4}$	$7,9 \times 10^{-5}$	-3.0
Après dépôt <b>77 – K</b>	$2 \times 10^{-4}$	$19,1 \times 10^{-5}$	-4.0

Tableau 4.1: Paramètres électriques extraits des caractéristiques I-V des transistors.

<sup>2</sup>sauf pour l'échantillon 1N qui a été utilisé pour l'analyse TEM avant d'être testé à froid

<sup>3</sup>Cryophysic.com

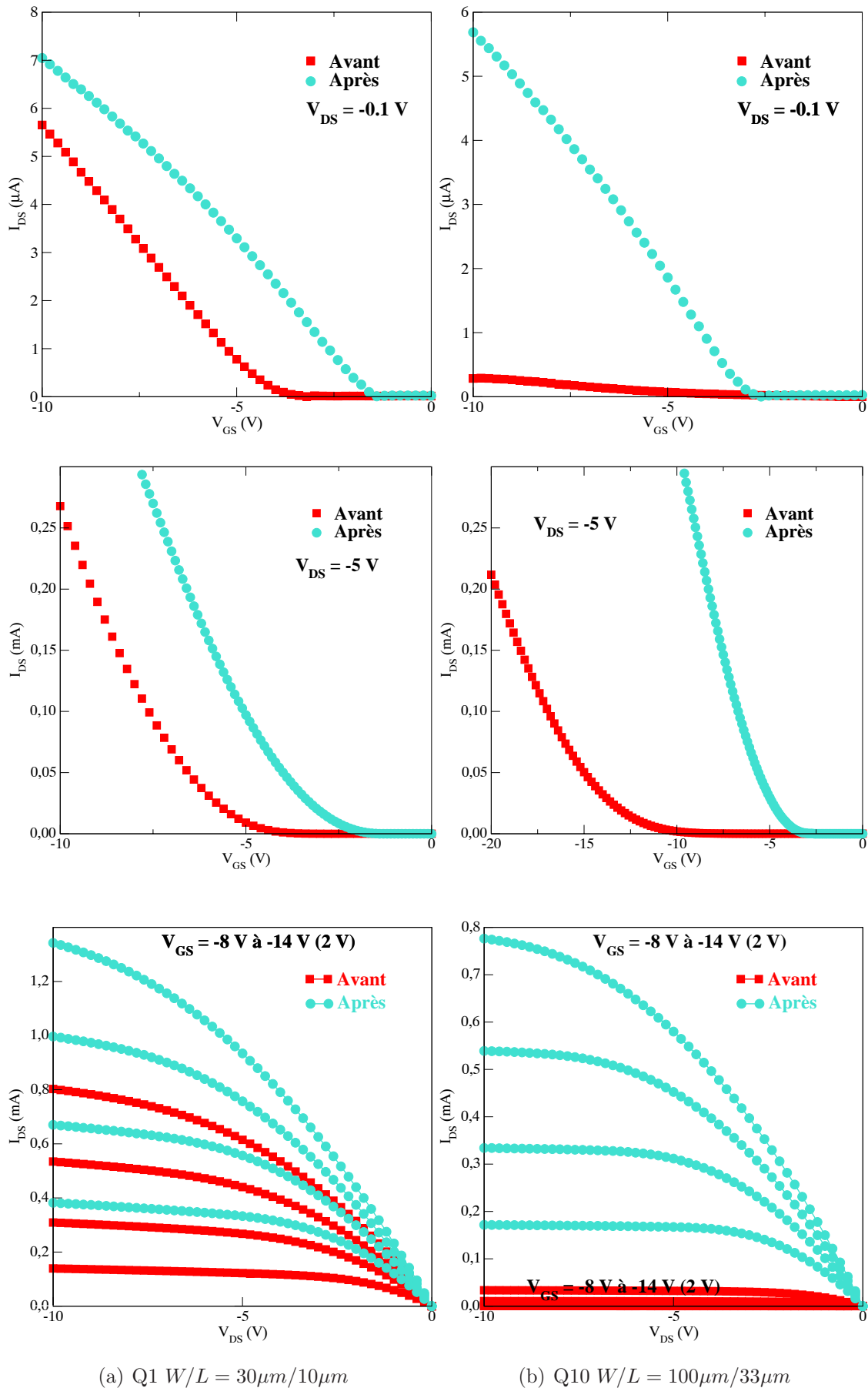


Figure 4.4: Caractéristiques statiques des transistors Q1 (a) et Q10 (b) avant (carrés) et après (cercles) un cycle YBCO mesurées à 300 K.

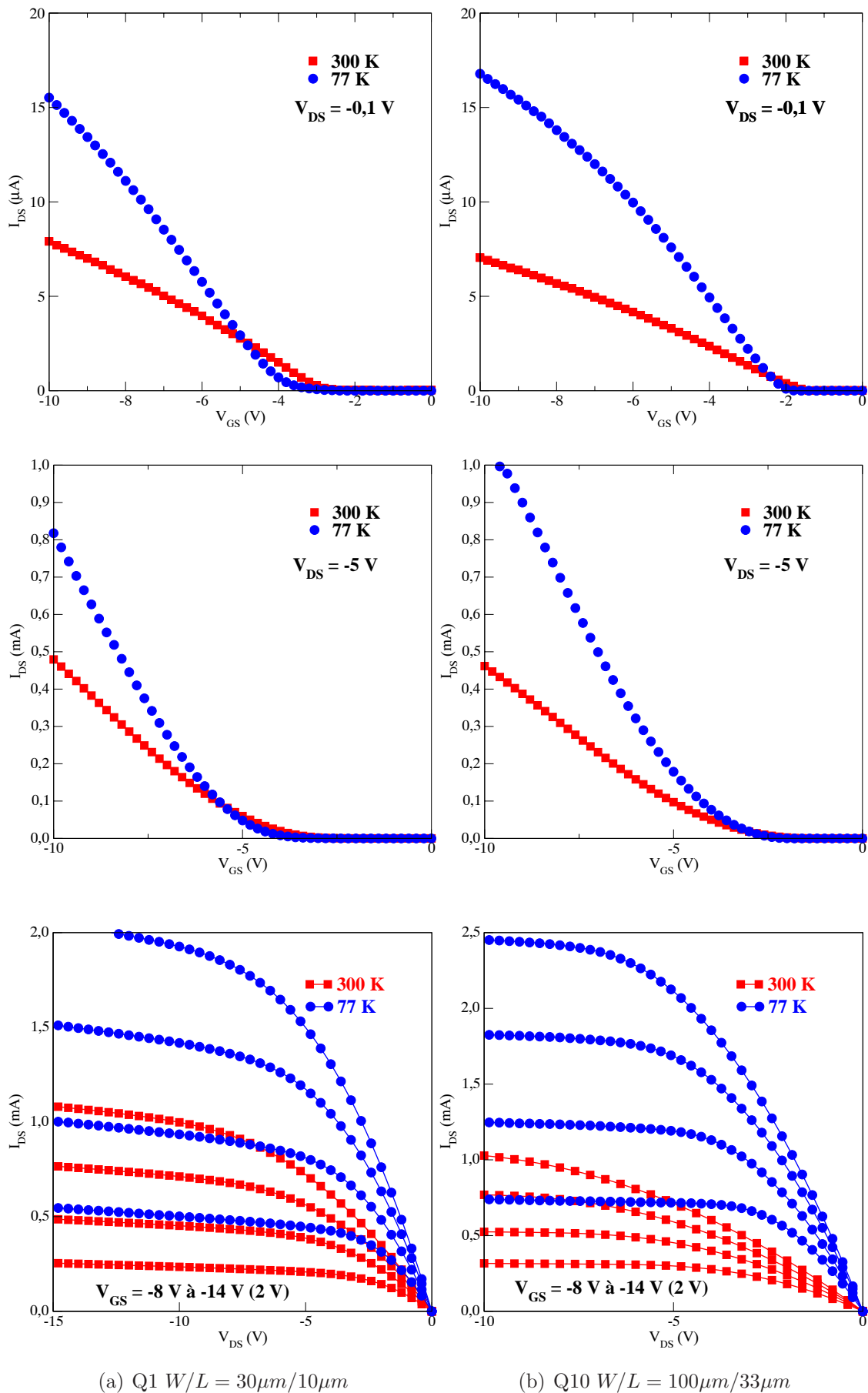


Figure 4.5: Caractéristiques statiques des transistors  $Q1$  (a) et  $Q10$  (b) après un cycle YBCO mesurées à 300 K (carrés) et 77 K (cercles).

Couche de SiO <sub>2</sub> initiale	Rugosité <i>rms</i> SiO <sub>2</sub> (nm)	Rugosité <i>rms</i> Si (nm)	
		NH <sub>4</sub> F/HF (5%)	NH <sub>4</sub> F/HF (2,5%)
Natif	0,973	0,963	0,673
Oxydation humide	1,022	0,890	-
Oxydation sèche	1,070	0,917	-
Pulvérisation	1,182	1,401	1,144

Tableau 4.2: Rugosité *rms* du substrat de silicium mesurée par AFM en mode *tapping* après gravure par une solution tampon NH<sub>4</sub>F/HF (5%) ou diluée à 50% d'une couche se SiO<sub>2</sub> initiale.

## 2.2 Composants YBCO

La qualité d'un film mince d'YBCO supraconducteur, dépend essentiellement de la bonne croissance épitaxiale des couches tampons, en particulier, YSZ. La préparation du substrat a donc une grande importance. En effet, en temps normal, les substrats de silicium utilisés par le dépôt d'YBCO n'ont pas subi d'étapes technologiques et leur surface a une rugosité très faible (voir la ligne oxyde natif dans le tableau 4.2). Dans notre cas, le substrat de silicium a été protégé pendant tout le procédé PMOS. En effet, si le substrat n'avait pas été protégé, il aurait été exposé aux dépôts de Mo et de Pt/Ti. Nous avons en effet constaté que la rugosité de la couche de Pt/Ti, avant gravure ionique (étape 5, figure 4.1), est de 13,3 nm ce qui, après gravure ionique (étape 6, figure 4.1), amène à une rugosité du silicium 4,5 nm, dans le cas où celui ci n'est pas protégé par du SiO<sub>2</sub>. Cette valeur est environ 4 fois supérieure à la rugosité d'un substrat normal. Il a donc été indispensable de protéger les futures zones de dépôt de l'YBCO, par une couche de SiO<sub>2</sub>. Sur les puces que nous avons utilisées, il existait des zones protégées par deux types de SiO<sub>2</sub> : oxyde thermique par oxydation humide (ou oxyde épais) et par oxydation sèche (oxyde mince). Nous avons pu aussi déposer de l'oxyde au laboratoire par pulvérisation RF d'une cible de SiO<sub>2</sub>. D'après les mesures du tableau 4.2, la gravure chimique des différents oxydes laisse un substrat de même rugosité que le substrat de Si standard. On peut toutefois remarquer que la solution de gravure NH<sub>4</sub>F/HF (5%) diluée à 50 % donne une rugosité plus faible que la gravure par la solution pure et doit donc être privilégiée.

Les figures 4.6 et 4.7 sont les diagrammes de diffraction de rayons X ( $\theta - 2\theta$ ) et l'évolution de la résistance en fonction de la température d'une couche d'YBCO déposée sur la partie libre de silicium d'une puce contenant des composants PMOS (figure 4.3) comparés à ceux d'une couche déposée sur un substrat Si standard. Dans l'exemple montré

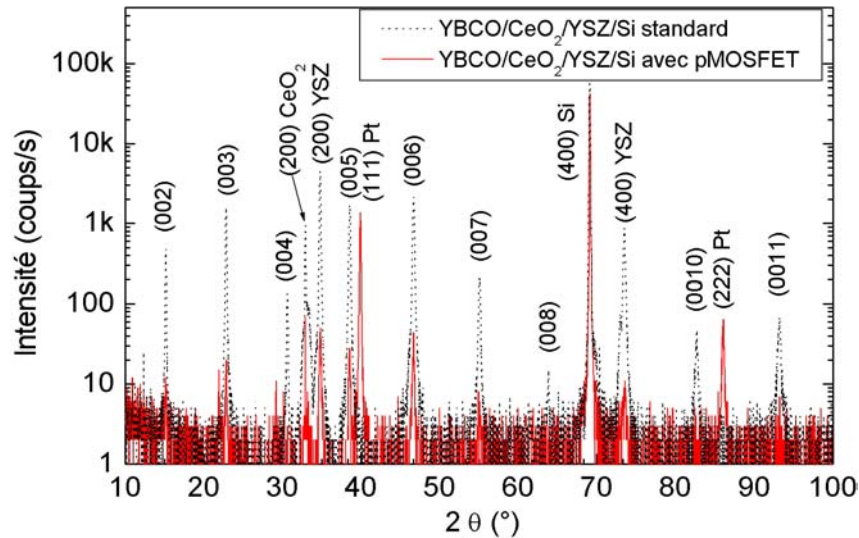


Figure 4.6: Diagrammes de diffraction de rayons X ( $\theta - 2\theta$ ) sur des échantillons après dépôt d'YBCO : sur un substrat Si standard (pointillés) et sur une puce contenant des composants PMOS. On voit les raies [111] du platine correspondant à la métallisation des composants PMOS

ici, le silicium était protégé par une couche de  $\text{SiO}_2$  épais pendant la métallisation de la zone PMOS. On observe alors une cristallisation de la couche un peu moins bonne (mais la surface d'YBCO sur la puce PMOS était moins grande que sur la couche de référence déposée sur du Si standard (substrat de 10 mm de côté). Cependant, la caractéristique de la variation de la résistance en fonction de la température, montrant une température critique  $T_C = 86 K$  est tout-à-fait acceptable pour fabriquer un bolomètre.

### 3 Améliorations envisageables

Après ces premiers résultats, nous pouvons faire un certain nombre de suggestions pour l'amélioration du fonctionnement des transistors PMOS : stabilité thermique, tension de seuil ...

Le procédé PMOS de Rennes ne peut pas produire de transistors véritablement fonctionnels pour la réalisation d'un circuit d'amplificateur. De plus, il y a déjà des variations importantes de paramètres, comme la résistance de contact (voir dans annexe B) ou la tension de seuil (figure 4.8), sur les plaquettes standards (métallisation aluminium). Nous avons utilisé cette technologie uniquement pour sa simplicité d'accès et sa facilité de réalisation. Mais cela rend difficile l'établissement de conclusions définitives sur nos résultats : nous n'obtenons pas toujours les mêmes caractéristiques et certains composants sont in-

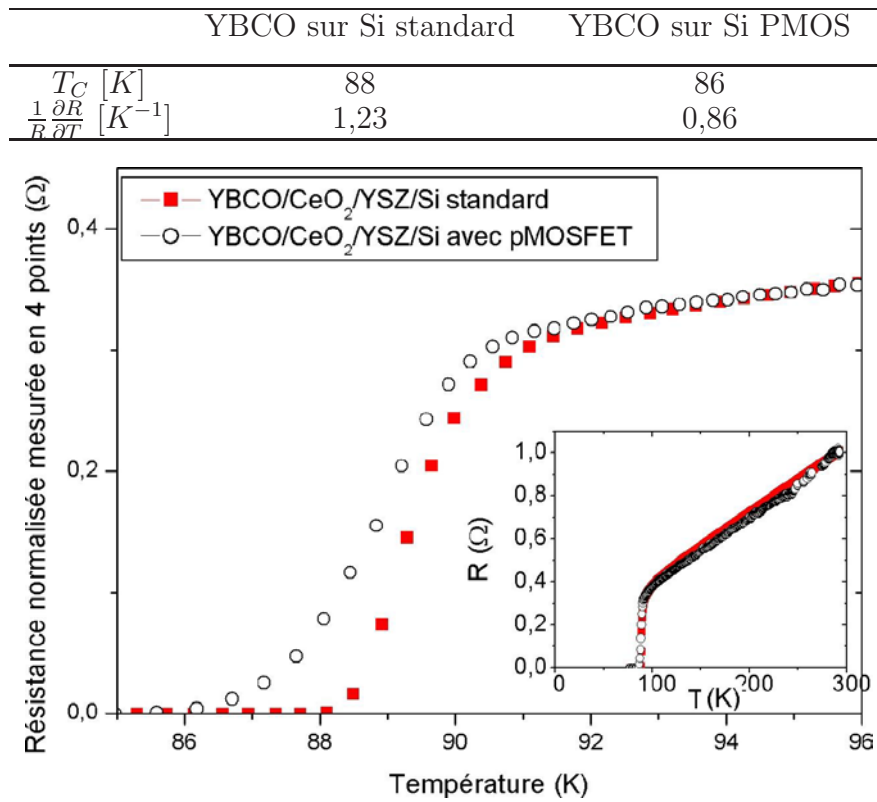


Figure 4.7: Evolutions de la résistance d'une couche d'YBCO en fonction de la température ,  $R(T)$ , et en fonction du type de substrat (standard ou PMOS) sur lequel elle est déposée.

utilisables. Cependant nous avons montré qu'il était possible de modifier le procédé standard pour obtenir des composants résistants à l'oxydation et aux hautes températures, ce qui n'était pas du tout le cas avec le procédé standard et qui était un véritable *challenge* technologique.

Dans le cadre de cette technologie, on peut proposer des améliorations sans ajout d'étapes supplémentaires comme :

- ✓ la réalisation de la métallisation à la suite de la fabrication des composants PMOS dans le même environnement (salle blanche),
- ✓ l'utilisation d'une couche de passivation résistant à l'oxydation comme  $Si_3N_4$  sur les composants PMOS.

Si on a la possibilité d'ajouter des étapes dans le procédé, alors on peut conseiller :

- ✓ l'utilisation de siliciure pour les contacts ohmiques sur Si comme par exemple  $TiSi_2$  qui est largement utilisé à l'heure actuelle.
- ✓ l'incorporation d'une barrière de diffusion comme  $TiW$ ,  $TiN$  ou  $TaSiN$  entre le contact Si ( $TiSi_2$ ) et Pt pour augmenter la stabilité thermique (on pourra se re-

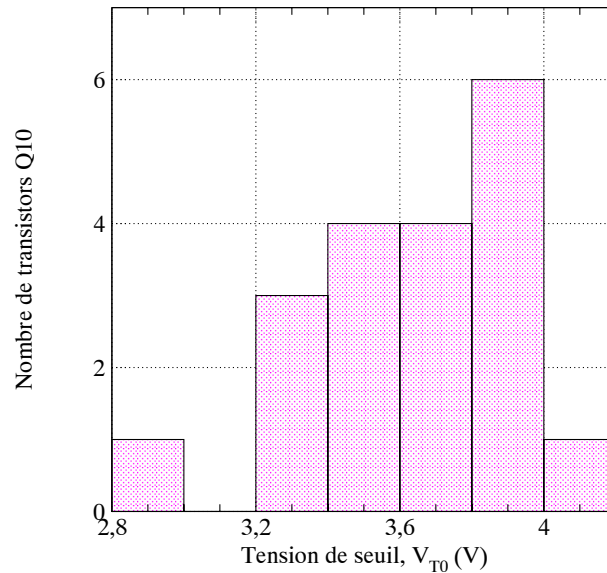


Figure 4.8: Répartition des tensions de seuil  $V_{T0}$  obtenue sur une plaquette réalisée en métallisation aluminium pendant la fabrication du lot 2003. La tension de seuil est obtenue par la méthode du maximum de transconductance en régime linéaire sur le transistor Q10.

porter aux chapitres 2 et 3),

- ✓ l'utilisation du polysilicium comme métallisation de grille pour l'ajustement de la tension de seuil.

Enfin, il reste à tester les interconnexions PMOS/YBCO et la réponse du bolomètre.

## 4 Conclusion

Les premiers résultats obtenus sont encourageants puisque nous avons réussi à faire fonctionner séparément les deux types de composants réalisés sur le même substrat. Les performances électriques (tension de seuil, transconductance, fonctionnement à 77 K...) atteignent les valeurs standards de la technologie PMOS standard. Nous avons donc montré la faisabilité technologique de l'intégration monolithique. Il serait cependant souhaitable de comparer les deux technologies en terme de bruit électronique.

# Conclusion générale et perspectives

L'objectif de cette thèse était de démontrer, d'un point de vue technologique, la faisabilité de l'intégration monolithique de composants supraconducteurs (YBCO) et semiconducteur sur le même substrat de silicium. Nous avons défini une stratégie d'intégration qui consiste à réaliser en premier l'amplificateur semiconducteur dans une technologie "modifiée" de type MOS (*cf.* chapitre 1, section 2). Il est connu depuis longtemps que les MOSFET sont compatibles avec une amplification à faible bruit et un fonctionnement à  $77 K$ . Nous avons vérifié que la technologie PMOS de Rennes que nous avons choisie présentait un comportement cohérent avec les données bibliographiques et nous avons montré que la simulation SPICE est une méthode possible pour la conception de circuits (en technologie standard) opérant à  $77 K$  (*cf.* chapitre 1, section 6). Les paramètres des modèles habituels ont été obtenus d'après les mesures des caractéristiques statiques à  $77 K$ . Dans le chapitre 2, nous avons donné les conditions de croissance épitaxiale de l'YBCO sur substrat de silicium par ablation laser. Les films minces déposés au laboratoire ont une température critique de l'ordre de  $90 K$ , ce qui indique une très bonne qualité cristalline de l'YBCO.

La métallisation aluminium<sup>4</sup> est l'obstacle principal à l'intégration car elle serait complètement dégradée par un recuit à  $700 - 750^\circ C$  dans une atmosphère d'oxygène (conditions de dépôt d'YBCO). A l'aide de la bibliographie, nous avons vu que l'utilisation des siliciures et du platine pouvait être une solution de remplacement. Nous avons alors mis en œuvre ces matériaux, dans la mesure où les moyens technologiques dont nous disposions nous le permettaient. Nous avons choisi le molybdène, métal réfractaire, dans le but de former le composé  $MoSi_2$  par recuit d'une couche déposée sur Si par pulvérisation RF (*cf.* chapitre 3, section 2). Après dépôt du Mo sur toute la surface des échantillons, les

---

<sup>4</sup>Dans la technologie PMOS standard choisie, tous les contacts sont du type  $Al/Si$ .



contacts ont été formés sélectivement au niveau des drains et des sources par recuit sous vide. La gravure chimique élimine le métal Mo en excès et la couche de Pt/Ti est alors déposée. La mesure de la résistance de couche  $R_{sh}$  et de la résistance de contact  $R_C$  a permis de montrer que (*cf.* chapitre 3, section 4) :

- ✓ cette métallisation forme des contacts ohmiques sur Si (mais la résistance de contact est un ordre de grandeur plus élevé que celle des contacts Al/Si) et présente une bonne adhérence sur SiO<sub>2</sub>,
- ✓ la métallisation Pt/Ti sur SiO<sub>2</sub> supporte très bien un recuit dans les conditions de dépôt de l'YBCO,
- ✓ les contacts ohmiques sont stables sous certaines conditions.

Les caractérisations physiques par RX et TEM des contacts Mo/Si n'ont pas révélé la formation de la phase MoSi<sub>2</sub>, mais suggèrent la formation du composé Mo<sub>5</sub>Si<sub>3</sub> en très petite quantité. L'analyse EDS de l'interface métallisation/silicium montre qu'il n'y a pas d'oxygène en quantité significative. Une couche de Pt/Ti de 300 nm d'épaisseur est donc une barrière suffisante à la diffusion du silicium et de l'oxygène. Forts de ces résultats, nous avons alors réalisé l'intégration complète dans l'ordre suivant (*cf.* chapitre 4, section 1) :

1. composants PMOS avec la métallisation modifiée "Pt/Ti/MoSi<sub>x</sub>",
2. dépôt d'YBCO sur Si,
3. réalisation des interconnexions.

Nous avons testé séparément les deux types de composants (*cf.* chapitre 4, section 2). La métallisation des PMOS n'est pas dégradée par l'étape de dépôt de l'YBCO. Cependant, on observe une augmentation de la tension de seuil qui ne peut pas s'expliquer par la simple différence du travail d'extraction de Pt et de Al. Il faut donc mettre en cause les conditions expérimentales qui ne sont pas favorables à la fabrication de ce type de composants. Les films minces d'YBCO montrent par ailleurs une bonne croissance cristalline qui se traduit par une température critique comparable à celle obtenue sur Si standard ( $T_C \sim 86 K$ ).

Les conditions pour la réalisation d'un démonstrateur (amplificateur à faible bruit et bolomètre supraconducteur YBCO) sont réunies avec notre technologie PMOS mais cette réalisation n'a pas été envisagée dans le cadre de cette thèse. Il nous faut donc envisager, dans la continuation de ce travail, un transfert technologique vers une technologie standard autorisant la métallisation Pt/Ti. Actuellement, le platine ne fait pas partie des

métallisations standards des semiconducteurs, par contre le  $\text{TiSi}_2$  et le  $\text{TiN}$  qui peuvent avantageusement remplacer le  $\text{Mo}$  sont intensément utilisés. On peut alors donner des lignes directrices pour la fabrication de composant MOS en technologie standard :

- ✓ un seul niveau de métallisation qui sera réalisé en  $\text{Pt/Ti}$  à l'extérieur de la fonderie semiconductrice,
- ✓ des contacts sur silicium et interconnexions locales en siliciure ( $\text{TiSi}_2$ ),
- ✓ l'insertion d'une barrière de diffusion ( $\text{TiN}$ ,  $\text{TaN}$  ou  $\text{TaSiN}$  par exemple),
- ✓ la passivation des composants PMOS par des nitrures  $\text{Si}_3\text{N}_4$

Le dessin d'une zone spécifique à l'YBCO doit être prévue. La protection du substrat  $\text{Si}$  par croissance d'un oxyde thermique  $\text{SiO}_2$  est suffisant pour conserver un état de surface correct pour la croissance de l'YBCO. Dans ce cas, la préparation du substrat de silicium avant dépôt devra être effectuée de préférence par un nettoyage de la surface par une solution de  $\text{NF}_4/\text{HF}$  (5%) diluée à 50%.

Ce travail peut être étendu à l'intégration de microcapteurs d'YBCO suspendus par usinage du silicium. Remarquons enfin que nous pouvons sans difficulté remplacer l'YBCO par d'autres oxydes à propriétés remarquables comme les manganites dont la croissance sur silicium est en cours de développement au laboratoire.



# Annexe A

## Intégration monolithique

Les définitions des différentes filières de fabrication des microsystèmes sont représentées par les figures ci-dessous et s'inspirent largement des définitions proposées dans [7].

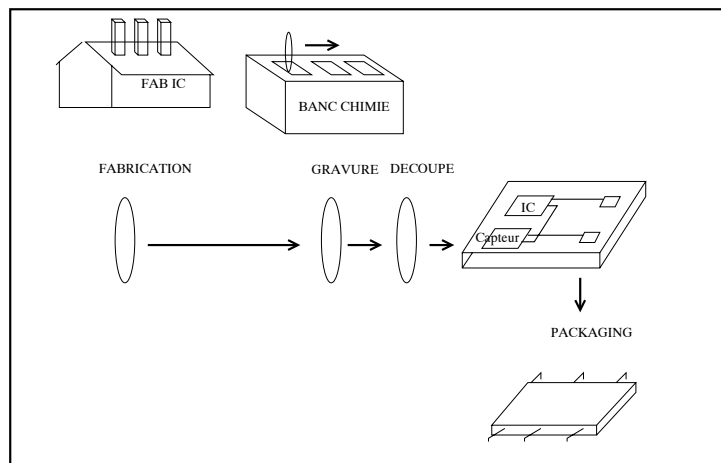


Figure A.1: Filière monolithique CMOS-BiCMOS standard et usinage.

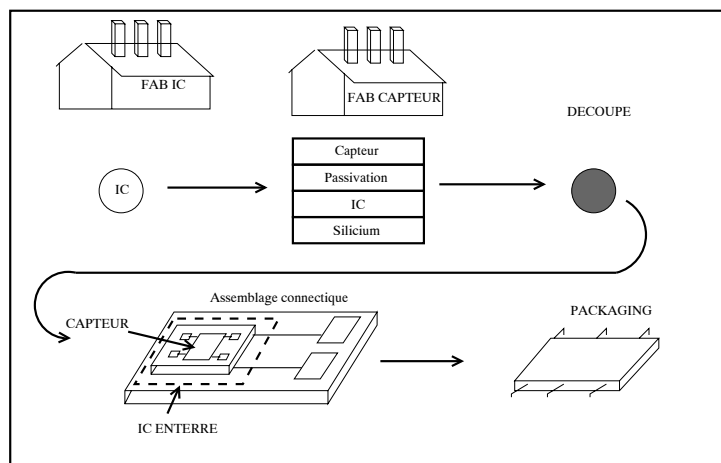


Figure A.2: Filière monolithique "above IC".

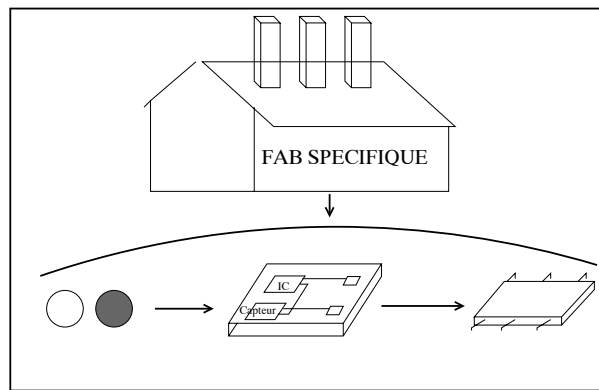


Figure A.3: Filière monolithique spécifique.

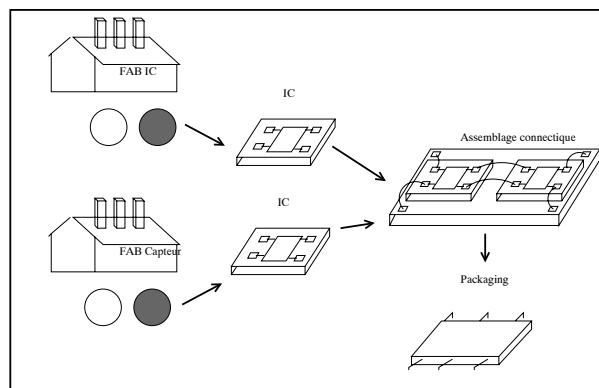


Figure A.4: Filière hybride.

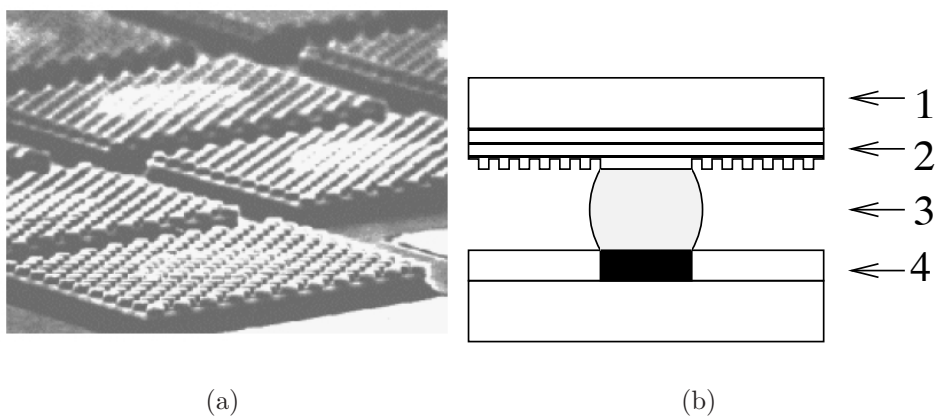


Figure A.5: (a) Image<sup>6</sup> partielle d'une matrice de capteurs *quantum-well infrared photodetector* (QWIP) en *GaAs* (Curtesy of Acreo) et (b) représentation de l'assemblage de la puce *GaAs* sur la puce *Si* par *flip-chip* : 1) réflecteur diélectrique, 2) structure QWIP, 3) *bumps* d'indium, 4) électronique.

# Annexe B

## Résistance de couche et Résistance de contact

Dans cette annexe, nous allons décrire les techniques expérimentales de mesure de la résistivité spécifique de contact et de la résistivité électrique des films métalliques que nous avons utilisées pour caractériser les films minces que nous avons déposés sur Si et SiO<sub>2</sub> et recuits sous vide ou sous oxygène.

### B.1 Méthode des quatre pointes en ligne

Cette méthode a été appliquée pour la première fois sur les semiconducteurs par Valdes en 1954 [273]. Elle est bien décrite dans [274] et est adaptée à la mesure de la résistivité des films métalliques si on admet que les pointes forment un bon contact avec la couche et qu'elles sont équidistantes et alignées. Elle offre l'avantage de ne pas nécessiter la réalisation de motifs particuliers. La résistance de couche  $R_{sh}$  [ $\Omega_{\square}$ ] d'un film mince est définie par la résistivité électrique  $\rho$  [ $\Omega \cdot cm$ ] et l'épaisseur  $t$  [ $m$ ] du film. Elle s'écrit :

$$R_{sh} = \frac{\rho}{t} \quad (4.1)$$

Le banc de mesure comporte quatre électrodes (pointes métalliques montées sur ressort) disposées en ligne droite et équidistantes. Elles sont montées sur une plaque d'époxy qui se fixe sur un testeur de modèle Karlsuss PM 5.

Lorsque les pointes sont mises en contact avec la couche métallique, un courant électrique est injecté entre les deux électrodes externes. La différence de potentiel est mesurée entre les deux électrodes internes. La mesure et la polarisation sont obtenues à l'aide d'un analyseur de paramètres statiques HP4156B.

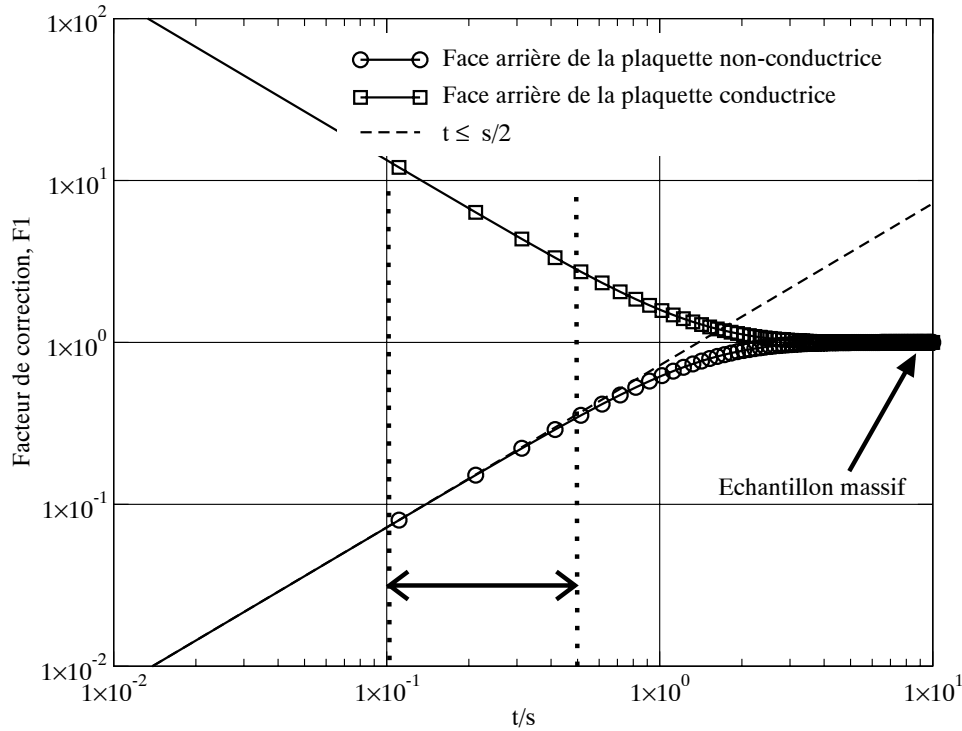


Figure B.1: Évolution du facteur  $F_1$  en fonction du rapport  $t/s$  pour un matériau conducteur d'épaisseur  $t$  sur un substrat non-conducteur (cercle) et conducteur (carré). La relation 4.5 est représentée la ligne en tirets.

Dans l'approximation semi-infinie ( $t$  est infinie), la résistivité est alors donnée par la relation (4.2) ci-dessous :

$$\rho = 2\pi \cdot s \cdot F \cdot \left( \frac{V}{I} \right) \quad (4.2)$$

avec  $s$  l'espacement entre les pointes  $[m]$ ,  $F$  un facteur correctif sans unité et  $V/I$  la résistance mesurée  $[\Omega]$ . La disposition des pointes sur la surface de l'échantillon est montrée dans l'insert de la figure B.2a. Le facteur correctif  $F$  traduit l'effet des dimensions réelles de la couche sur la résistance mesurée. On prend en compte trois effets indépendants les uns des autres. Le facteur  $F$  s'écrit donc :

$$F = F_1 F_2 F_3 \quad (4.3)$$

L'effet de l'épaisseur réelle de la couche est corrigé par le premier terme  $F_1$ . Il a été calculé par diverses méthodes présentées dans [274]. La variation de  $F_1$  en fonction du rapport  $t/s$  est représentée en figure B.1. On distingue deux cas. Dans le premier cas, la couche est sur un substrat conducteur et dans le second, la couche est sur un substrat

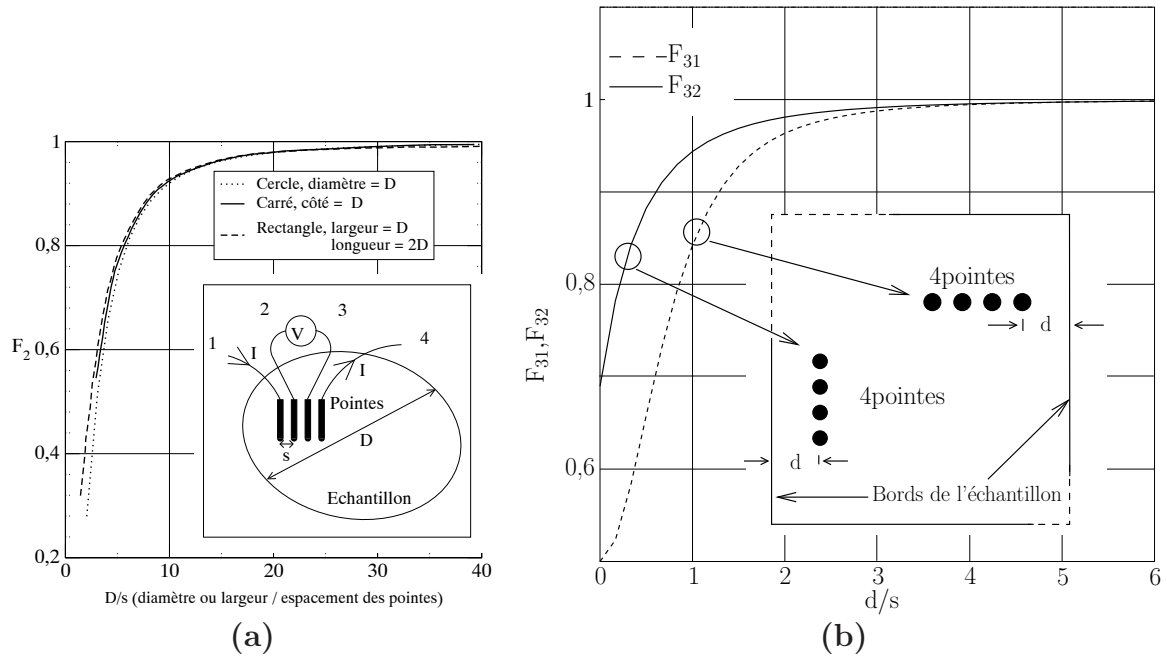


Figure B.2: (a) facteur  $F_2 d$  d'après la relation 4.7 pour les échantillons circulaires (pointillés) [274] et d'après [276] pour des substrats carré (continu) ou rectangulaire (tirés) en fonction du rapport  $D/s$ .  $D$  est le diamètre ou la largeur ; (b) Facteurs  $F_{31}$  et  $F_{32}$  respectivement d'après les relations 4.8 et 4.9 en fonction de  $d/s$ .

non-conducteur. Nos échantillons sont concernés par le second cas où  $F_1$  s'écrit [275] :

$$F_1 = \frac{t/s}{2 \ln \left( \frac{\sinh(t/s)}{\sinh(t/2s)} \right)} \quad (4.4)$$

Lorsque  $t$  est inférieur à  $s/2$ , le facteur  $F_1$  se résume à :

$$F_1 = \frac{t/s}{2 \ln(2)} \quad (4.5)$$

Si on remplace  $F$  par la relation 4.5 dans l'équation 4.2, on a une relation indépendante des dimensions du système :

$$R_{sh} = \frac{\rho}{t} = \frac{\pi}{\ln(2)} \frac{V}{I} \quad (4.6)$$

Le facteur  $F_2$  corrige, comme illustré en figure B.2a, l'influence de la taille (diamètre ou largeur  $D$ ) finie de l'échantillon par rapport à la distance inter-électrodes ( $s$ )

$$F_2 = \frac{\ln(2)}{\ln(2) + \ln \left[ \frac{(D/s)^2 + 3}{(D/s)^2 - 3} \right]} \quad (4.7)$$



Si  $D \geq 40s$ , le facteur  $F_2$  est égal à 1 (sauf pour les échantillons rectangulaires). Nos échantillons sont carrés ou rectangulaires et le rapport  $D/s$  est au maximum égal à 5. L'erreur introduite par les faibles dimensions de l'échantillon est donc importante. Le facteur  $F_3$  corrige l'effet de la proximité  $d$  de la ligne de pointes par rapports aux bords. Les relations 4.8 et 4.9 sont valables uniquement si le substrat est non-conducteur. Le facteur  $F_{31}$  et  $F_{32}$  s'appliquent respectivement lorsque la ligne de pointes est perpendiculaire ou parallèle au bord de l'échantillon. La variation de ces facteurs avec le rapport  $d/s$  est montrée en figure B.2b.

$$F_{31} = \left( 1 + \frac{1}{1 + 2d/s} - \frac{1}{2 + 2d/s} - \frac{1}{4 + 2d/s} + \frac{1}{5 + 2d/s} \right)^{-1} \quad (4.8)$$

$$F_{32} = \left( 1 + \frac{2}{[1 + (2d/s)^2]^{1/2}} - \frac{1}{[1 + (d/s)^2]^{1/2}} \right)^{-1} \quad (4.9)$$

Pour un échantillon rectangulaire de dimensions  $10 \times 5 \text{ mm}^2$ , les facteurs  $F_{31}$  et  $F_{32}$  sont toujours inférieurs à 1. Dans notre cas,  $s = 1,0 \text{ mm}$ . Les corrections des facteurs  $F_{31}$  et  $F_{32}$  sont toujours supérieurs à 0,95 si les pointes sont bien au centre.

Dans la pratique, nous avons mis en oeuvre une carte dédiée à cette mesure et adaptable sur le testeur sous pointes habituellement utilisé pour tester les transistors. Il s'agit de quatre pointes en cuivre espacées de  $1 \text{ mm}$  dont une extrémité arrondie est montée sur ressort. L'erreur d'alignement des pointes n'excède pas  $0,1 \text{ mm}$ . La polarisation en courant continu ( $1 \text{ mA}$ ) et la mesure de la différence de potentiel sont assurées par un analyseur de paramètres statiques HP4156B.

Une autre technique utilise deux mesures pour éliminer les effets dûs aux erreurs de disposition des pointes les unes par rapport aux autres et par rapport à la géométrie de l'échantillon. Cette méthode est normalisée selon le standard ASTM F1529-94. La première mesure se fait dans les mêmes conditions que précédemment. Pour la seconde, on mesure la différence de potentiel entre les électrodes 2 et 4 avec un courant injecté entre les électrodes 1 et 3. On effectue ensuite les deux mêmes mesures avec un courant en sens inverse par rapport aux deux premières mesures. La résistance de couche est donnée

alors par la relation (4.10) :

$$\rho_s = -14.696 + 25.173 \left( \frac{R_a}{R_b} \right) - 7.872 \left( \frac{R_a}{R_b} \right)^2 \quad (4.10)$$

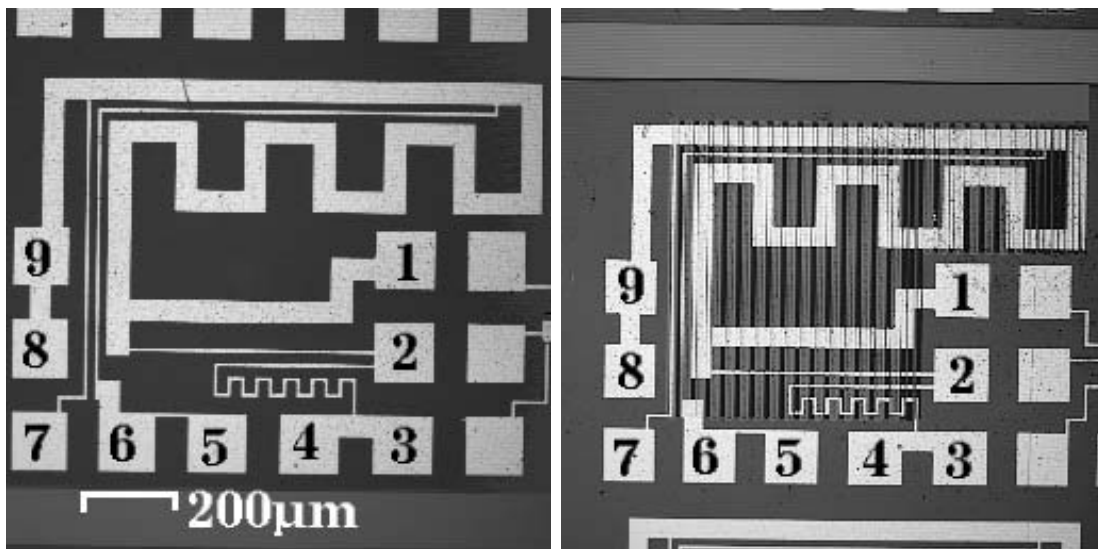
avec :

$$R_a = \frac{V_{d23}/I_{d14} + V_{i23}/I_{i14}}{2}$$

et

$$R_b = \frac{V_{d24}/I_{d13} + V_{i24}/I_{i13}}{2}$$

Les chiffres indexent les électrodes et les lettres indiquent le sens du courant (direct ou inverse). Cette méthode n'a pas été testée lors de nos mesures.



(a) Sans marche

(b) Avec marche

Figure B.3: Photographie au microscope optique des motifs utilisés pour la mesure de la résistivité des lignes d'interconnexion. Le courant est injecté entre les plots 1 et 8 et la tension est mesurée soit entre les plots 9 et 2 soit entre les plots 6 et 7.

Plots	Largeur	Longueur	Coudes
2-9	50	3640µm	14
6-7	50	880µm	0

Tableau B.1: Dimensions des motifs de la figure B.3.

## B.2 Mesures sur motifs

La résistance de couche des films minces métalliques a aussi été mesurée sur des motifs. Dans la technologie PMOS de Rennes, deux types de motifs sont prévus à cet effet. Le premier est un méandre déposé directement sur l'oxyde de champ (figure B.3a). Le second est identique au premier, mais des marches ont été gravées dans l'oxyde (figure B.3b). Avec ces motifs, on peut évaluer la résistance des lignes d'interconnexion, l'influence des coudes et l'effet des marches d'oxyde<sup>7</sup>. Les dimensions correspondantes aux numéros des plots sur la figure B.3 sont notées dans le tableau B.1.

### B.3 Techniques de mesures de la résistance de contact

Il existe de nombreuses méthodes de mesure de la résistivité spécifique de contact. Nous présentons ici les trois méthodes les plus classiques, la méthode TLM (*Transfert Length Method*), la méthode CTLM (*Circular Transmission Line Method*) et la chaîne de contacts. Ces méthodes nécessitent des motifs spéciaux. Seule la chaîne de contacts est disponible sur les motifs du procédé PMOS de Rennes.

#### B.3.1 Méthode TLM

Cette méthode a été mise au point par Shockley<sup>8</sup>. Le motif est représenté dans la figure B.4. Il s'agit d'une bande semiconductrice de largeur  $W$  et d'épaisseur  $t$  implantée dans un substrat de type opposé et sur laquelle des plots métalliques ont été déposés sur toute la longueur de la bande. L'espacement,  $L$ , entre 2 contacts consécutifs est croissant. On mesure la résistance  $R(L)$  entre 2 plots consécutifs.

$$R(L) = 2 \cdot R_c + \frac{R_{sh} \cdot L}{W} \quad (4.11)$$

avec  $W$  la largeur du motif et  $L$  la longueur entre 2 contacts consécutifs et  $R_{sh}$  la résistance de couche de la bande semiconductrice  $[\Omega_{\square}]$ .

Le courant qui circule du semiconducteur vers le métal voit la résistance de couche du silicium et la résistance de contact. Il choisit le chemin le moins résistif. Le courant entrant dans le métal chute alors exponentiellement du début à la fin du contact. On définit la longueur de transfert  $L_T$  comme la longueur à partir de laquelle la densité de courant entrant dans le contact est divisé par  $e$  par rapport à la valeur à son extrémité :

<sup>7</sup>*i.e.* le recouvrement des marches par la métallisation

<sup>8</sup>On trouvera les références importantes relatives à cette méthode dans [274] et [14].

$$L_T = \sqrt{\frac{\rho_c}{R_{sh}}} \quad (4.12)$$

où  $\rho_c$  est la résistivité spécifique de contact [ $\Omega \cdot cm^2$ ]. La valeur de la résistance de contact est alors approximativement donnée par la relation 4.13.

$$R_c = \frac{\rho_c}{WL_T} \quad (4.13)$$

Par conséquent  $R(L)$  devient :

$$R(L) = \frac{R_{sh}}{W}L + 2\frac{\rho_c}{WL_T} = \frac{R_{sh}}{W}L + 2\frac{L_T R_{sh}}{W} \quad (4.14)$$

Une régression linéaire de  $R(L)$  en fonction de  $L$  donne la pente  $p = R_{sh}/W$ , l'ordonnée à l'origine donne  $2 \times R_c$ , et l'intersection avec l'axe des abscisses,  $L_X = -2L_T$ . Avec ces trois paramètres, on détermine la résistivité de couche :

$$R_{sh} = p \times W \quad (4.15)$$

et la résistivité spécifique de contact :

$$\rho_c = \frac{L_X^2 R_{sh}}{4} \quad (4.16)$$

Cette technique détermine donc en une seule série de mesures la résistance de couche du substrat et la résistivité spécifique du contact.

### B.3.2 Méthode CTLM

Dans la méthode précédente, on a supposé que la largeur du contact était égale à la largeur du caisson de la couche semiconductrice active. Or la réalisation technologique d'un motif parfait est impossible puisqu'on doit aligner le masque d'ouverture de contact sur le caisson, il y a toujours une erreur dans l'alignement d'un motif par rapport à un autre. La méthode CTLM, avec les motifs de tests présentés par la figure B.5, permet de s'affranchir de cette contrainte.

On mesure la résistance entre le plot central et le plan de masse. En gardant les mêmes

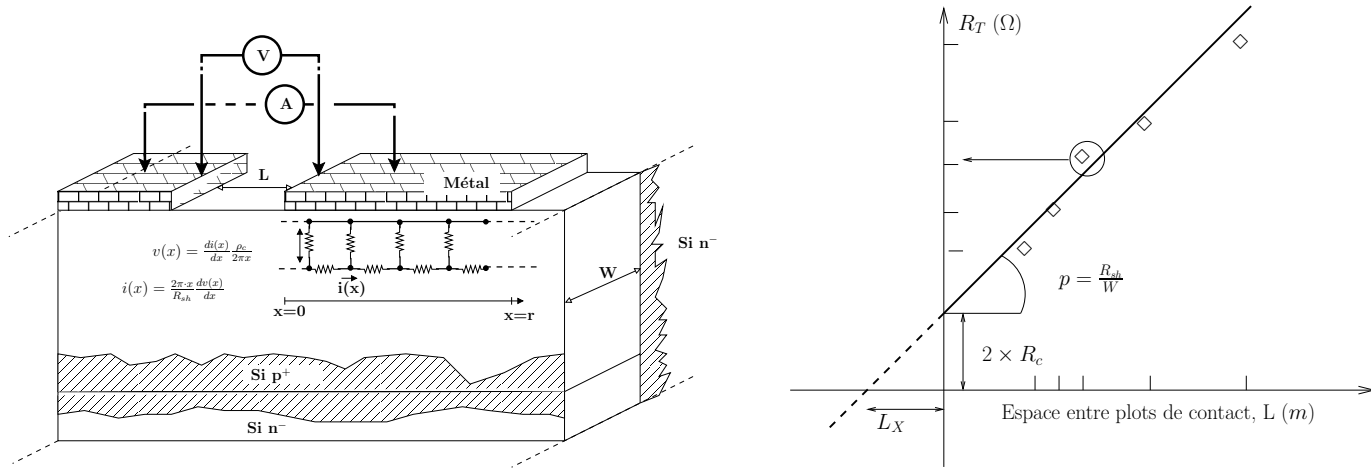


Figure B.4: Schéma explicatif du motif de la méthode TLM et allure de la résistance totale en fonction de l'espace croissant entre deux plots de contact consécutifs.

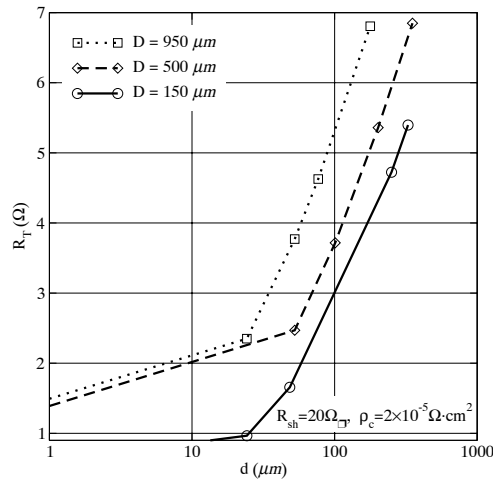


Figure B.5: Calcul de la résistance  $R_T$  selon l'équation 4.17 sur les motifs de transmission de ligne circulaire en fonction de la distance  $d$  pour  $R_{sh} = 20 \Omega_{\square}$  et  $\rho_c = 2 \cdot 10^{-5} \Omega \cdot cm^2$  et pour différents diamètres  $D$  du plot contact central.

grandeurs que dans la relation 4.11, la résistance totale est alors équivalente à :

$$R_T = \frac{R_{sh}}{2\pi} \left[ \frac{L_T}{D/2} + \frac{L_T}{D/2 + d} + \ln \left( 1 + \frac{D/2}{d} \right) \right] \quad (4.17)$$

avec  $L_T$  la longueur de transfert,  $D$  le diamètre du contact central et  $d$  l'espace entre le contact central et le contact extérieur comme indiqué sur figure B.5. Comme pour toutes les méthodes décrites ici, on suppose que la résistance de couche du silicium est homogène, en particulier sous le contact. Cette hypothèse devient fautive si la résistivité spécifique de contact est très petite. On définit  $R_{sk}$  comme la résistance de couche sous le contact. Reeves [277] a proposé une méthode pour tenir compte de ce paramètre. Nous avons réalisé des masques pour cette structure mais nous n'avons pas encore pu tester les résultats sur nos contacts. Pour des paramètres typiques de la technologie PMOS de Rennes avec une métallisation en aluminium ( $R_{sh} = 20 \Omega_{\square}$  et  $\rho_c = 2 \cdot 10^{-5} \Omega \cdot cm^2$ ), l'évolution attendue de  $R_T$  en fonction de la distance  $d$  est représentée en figure B.5 pour différentes valeurs de  $D$  réalisées sur notre masque.

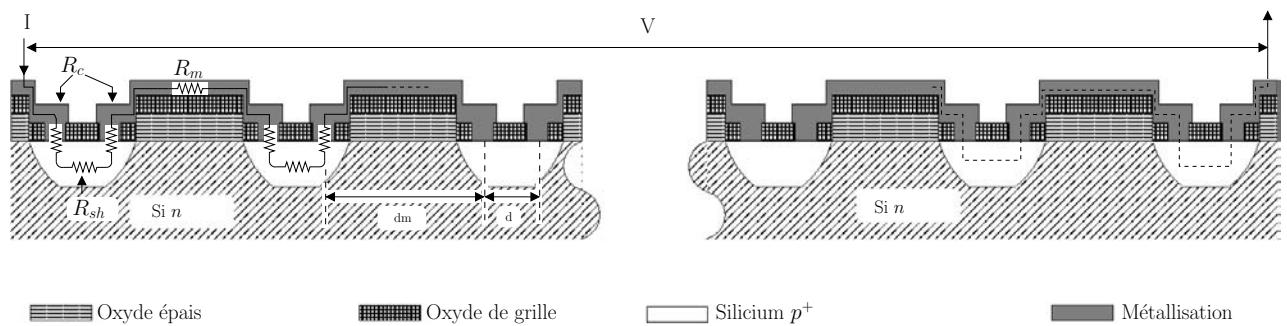


Figure B.6: Schéma en coupe du motif de la chaîne de contacts de la technologie PMOS de Rennes (Cf. figure B.7) avec le schéma électrique équivalent.

### B.3.3 Chaîne de contacts

Nous avons déterminé la résistance de contact sur nos échantillons par la mesure de la résistance d'une chaîne de contacts (14 contacts en série). Une chaîne de contact est une série de caissons de silicium dopé  $p$  (dans notre cas) dans un substrat de type  $n$ . Les caissons sont distants de  $dm$  et sont connectés par la métallisation dont on veut caractériser la résistance de contact. Les figures B.6 et B.7 montrent les motifs de chaîne de contacts dans la technologie PMOS de Rennes et le schéma électrique associé. La

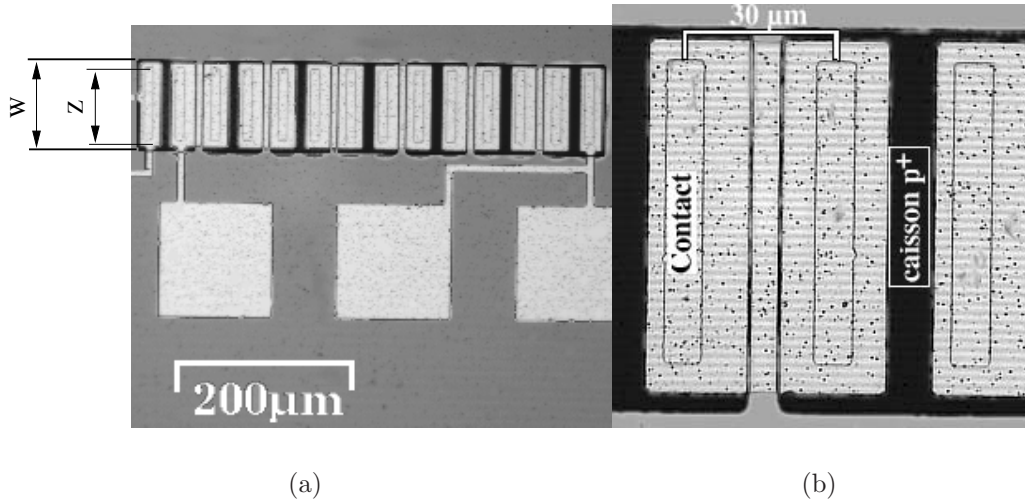


Figure B.7: Photographies au microscope optique du motif de la chaîne de contacts dans la technologie PMOS de Rennes à l'objectif  $\times 10$  (a) et  $\times 50$  (b). On a indiqué sur la photographie b la zone de contact et le caisson de silicium  $p^+$ .

résistance totale<sup>9</sup> est exprimée par la relation 4.18.

$$R_T = \frac{N_c \cdot R_{sh} \cdot d}{2Z} + N_c \cdot R_c + (N_c - 1) \frac{dm}{2Z} R_m \quad (4.18)$$

$N_c$  est le nombre de contacts métal-silicium,  $Z$  la largeur des connexions métalliques,  $dm$  la longueur de métallisation entre deux contacts et  $d$ , la longueur entre chaque contact.  $R_c$  et  $R_m$  sont respectivement la résistance du contact métal-silicium et la résistance de couche du métal. Avec un substrat semiconducteur de résistance de couche de l'ordre de  $20 \Omega_{\square}$  et suivant les dimensions des masques ( $l = 10 \mu m$ ,  $d = dm = 30 \mu m$ ,  $W = 100 \mu m$  et  $Z = 80 \mu m$ ), la contribution d'un caisson de silicium  $p^+$  est de l'ordre de  $6 \Omega$  et la contribution d'une liaison métallique (résistance de couche du métal :  $0.150 \Omega_{\square} \langle R_{sheet} \langle 10 \Omega_{\square}$ ) est comprise entre 0,05 et  $4 \Omega$ . Lorsque la caractéristique  $I-V$  d'une telle structure est une droite, on en déduit la résistance totale et donc la résistance de contact  $R_c$ . Les caissons de silicium  $p^+$  sont isolés du substrat par la jonction  $p-n$ . Il faut noter que le courant ne suit pas forcément une ligne droite et pénètre dans les contacts par les côtés (différence entre  $W$  et  $Z$ ). Cela introduit une erreur sur la mesure de la résistance totale. Elle peut être simulée en réduisant le système à deux dimensions (épaisseur nulle). Cette erreur est peu importante pour cette configuration de mesure [274]. Lorsque la résistance de contact est faible, la contribution des contacts atteint le même ordre de grandeur que la

<sup>9</sup>Si les contacts sont ohmiques!

contribution des liaisons métalliques inter-contacts. La contribution des caissons devient alors prédominante et l'interprétation de la mesure est délicate. On considère que la valeur limite de la résistance de contact mesurable sur une chaîne de contact, comme représenté par la figure B.7, est atteinte lorsque la résistivité spécifique de contact  $\rho_c$  est inférieure ou égale à  $10^{-6} \mu\Omega \cdot cm^2$ .

Cette méthode ne donne accès qu'à la résistance de contact (voir le paragraphe B.5.1). Pour obtenir la résistivité spécifique de contact  $\rho_c$ , il faut connaître l'aire effective de contact, c'est-à-dire la longueur de transfert  $L_T$ . La résistance spécifique calculée avec la surface géométrique donne en effet une évaluation de  $\rho_c$  supérieure à la valeur réelle. A la différence des méthodes TLM et CTLM, il faut d'abord mesurer la résistance de couche du silicium  $p^+$  (indépendamment de  $R_T$ ). Sur nos motifs de tests, cette valeur peut être estimée à partir de la simulation du procédé ou mesurée à l'aide d'une structure de van der Pauw. Les principes de cette mesure et le calcul de l'estimation de  $R_{sh}$  par extrapolation sont donnés dans le paragraphe suivant.

#### B.4 Estimation de la résistance de couche du silicium de type $p^+$

La figure B.9 montre l'évolution de la résistivité du silicium de type  $p$  (en tiré) et  $n$  (en pointillé) en fonction de la densité de dopage (dopage homogène). Pour une densité  $N_A$  [ $cm^{-3}$ ] d'atomes de Bore, la résistivité  $\rho$  [ $\Omega \cdot cm$ ] est donnée par la relation empirique 4.19, tracée sur la figure B.9 (trait continu).

$$\rho = \frac{1.305 \times 10^{16}}{N_A} + \frac{1.133 \times 10^{17}}{N_A (1 + (2.58 \times 10^{-19} N_A)^{-0.737})} \quad (4.19)$$

Plus la densité  $N_A$  est importante, plus la résistivité est faible. Dans le procédé PMOS, le dopage est réalisé par diffusion le dopage n'est donc pas homogène. A l'aide de l'équation 4.19 et du profil de dopage, on peut déterminer la résistivité  $\rho_x$  du substrat pour une couche de profondeur  $x$  et d'épaisseur  $dx$ . L'intégration de  $\rho(x)$  sur toute la profondeur  $t$  donne la résistivité de couche qui s'écrit :

$$R_{sh} = \frac{1}{\int_0^t 1/\rho(x) dx} \quad (4.20)$$

La figure B.9 donne un exemple de profil de dopage<sup>10</sup> et de la résistivité  $\rho(x)$ . Ainsi,

<sup>10</sup>Ce profil de dopage a été calculé par J. M. Routoure dans le cas d'une dopage au bore par diffusion.



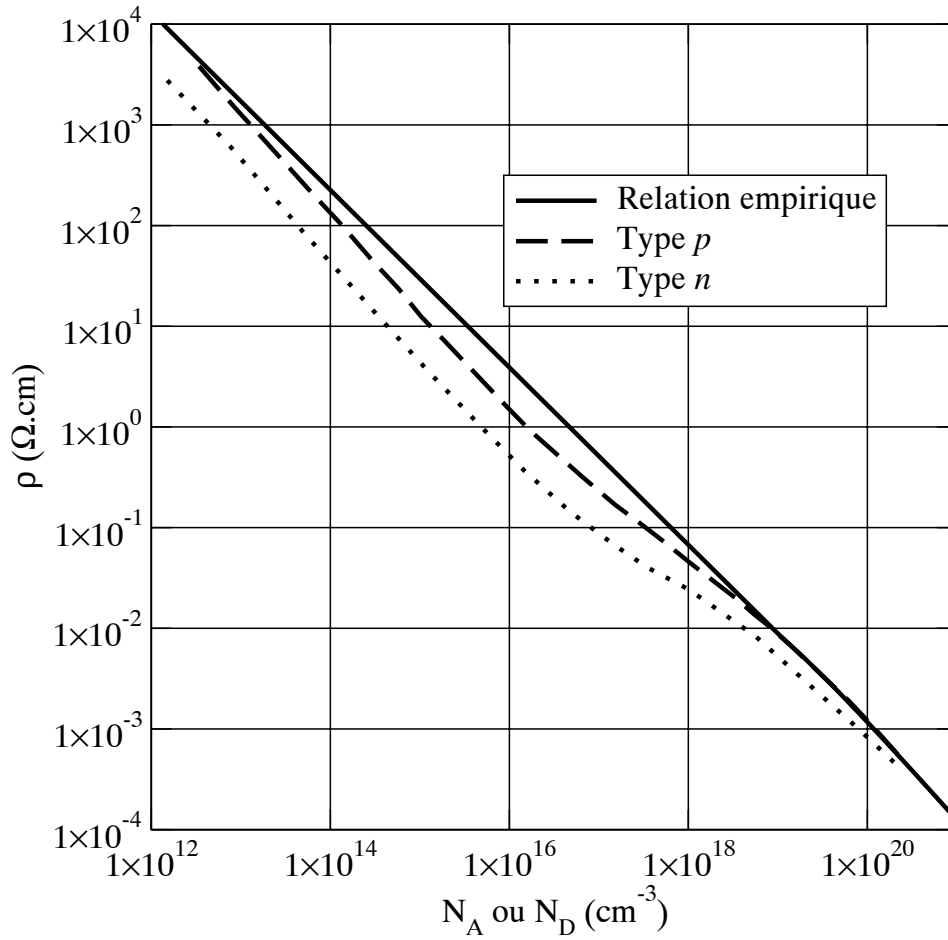


Figure B.8: Évolution de la résistivité en fonction de la densité de dopage.

pour une profondeur de jonction de  $5 \mu\text{m}$  ( $N_{5\mu\text{m}} = 10^{11} \text{ cm}^{-3}$ ), la résistance de couche est de  $12,3 \Omega_{\square}$ .

### B.5 Méthode de van der Pauw

La résistivité du substrat peut être mesurée par la méthode de mesure en quatre pointes ou par la méthode de van der Pauw [278]. Cette dernière méthode est mieux adaptée à la mesure des résistivités des semiconducteurs. Comme la densité de dopage est inhomogène en fonction de la profondeur, nous ne déterminerons que la résistance de couche,  $R_{sh}$ . La figure B.10(a) montre quelques configurations de motifs de van der Pauw. Le motif utilisé dans notre cas est présenté en figure B.10(b). La résistance de couche se déduit par relation 4.21 :

$$R_{sh} = \frac{V}{I} \frac{\pi}{\ln(2)} \quad (4.21)$$

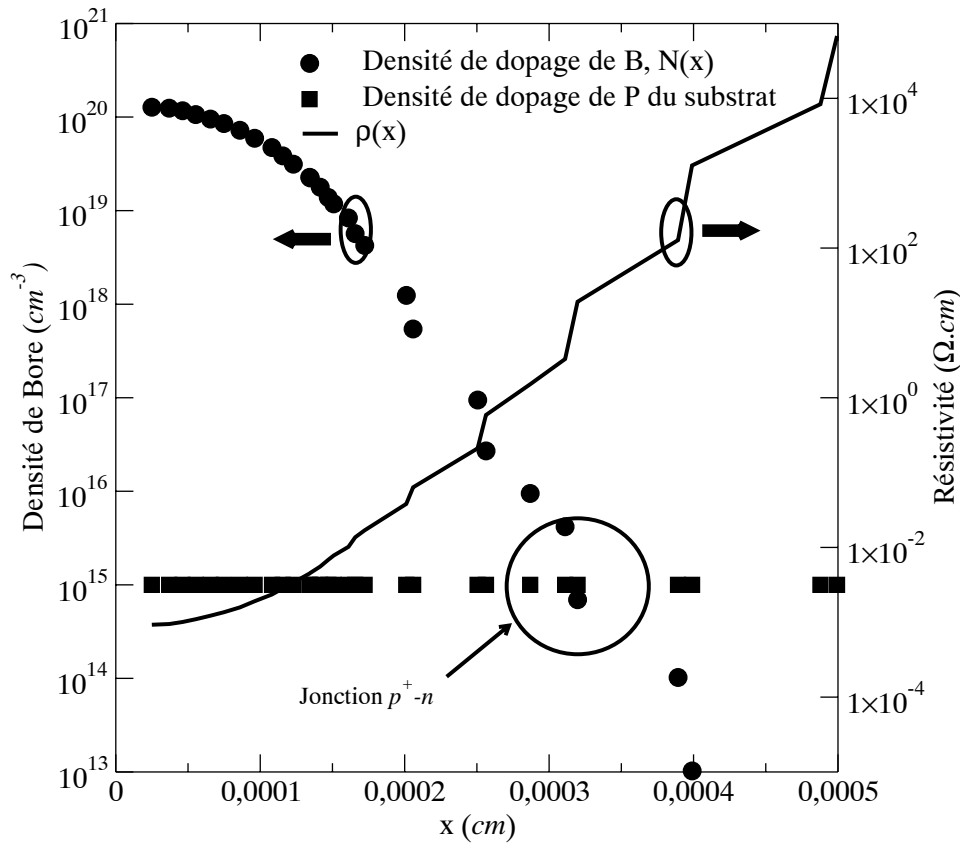


Figure B.9: Exemple de densité de dopage et de résistivité en fonction de la profondeur  $t$ .

On impose le courant entre les bornes 1 et 2 et on mesure la différence de tension entre les bornes 3 et 4. Pour limiter les erreurs de mesure (symétrie imparfaite), on répète la mesure dans la configuration perpendiculaire, c'est-à-dire que l'on impose le courant entre les bornes 2 et 3 en mesurant la tension entre les bornes 1 et 4. On obtient 2 valeurs de résistances  $R_A$  et  $R_B$ . La résistivité de couche  $R_{sh}$  est obtenue en résolvant par itération l'équation 4.22.

$$e^{-\pi \frac{R_A}{R_{sh}}} + e^{-\pi \frac{R_B}{R_{sh}}} = 1 \quad (4.22)$$

La résistivité calculée par l'équation 4.21 est choisie comme condition initiale. Si le motif est bien symétrique, la solution de  $R_{sh}$  converge en quelques itérations. Si de plus on connaît l'épaisseur de la couche et si le substrat est isolant, on peut en déduire la résistivité  $\rho$  (si la couche est homogène). Les résistances  $R_A$  et  $R_B$  sont mesurées en calculant la moyenne des pentes positives et négatives à l'origine de la courbe courant-tension.

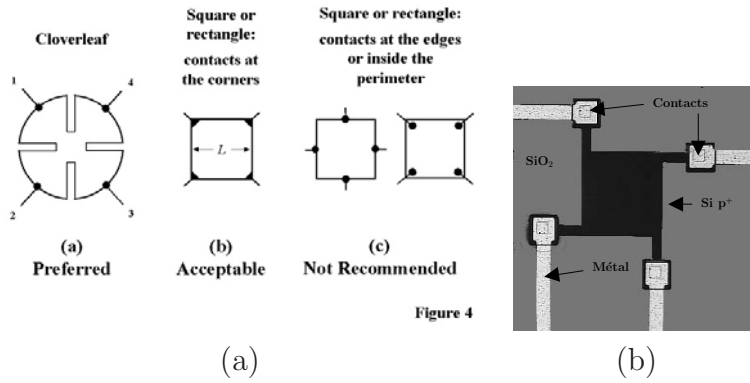


Figure B.10: (a) Motif de Van Der Pauw possible pour la mesure de la résistance de couche [278] et (b) Photographie du motif de test de Van Der Pauw sur les échantillons PMOS Rennes.

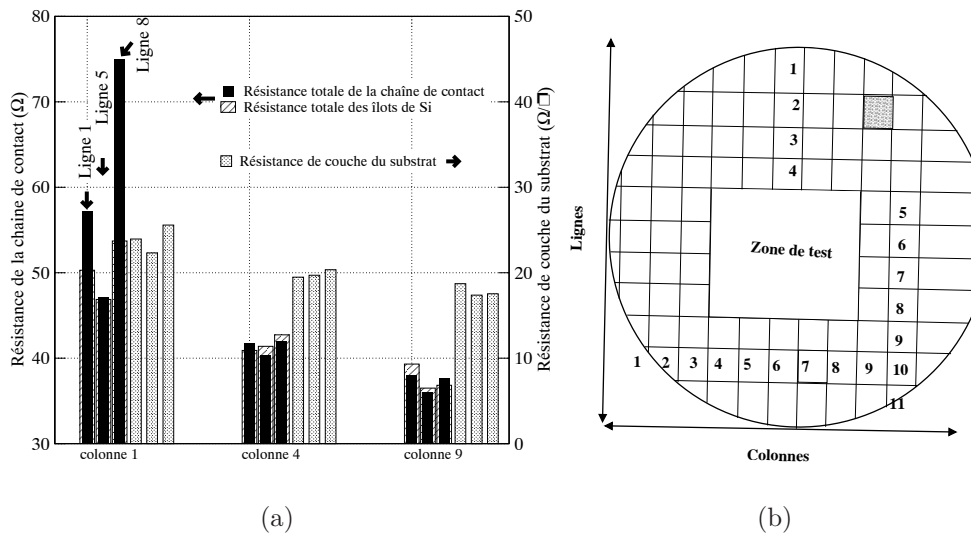


Figure B.11: Distribution des valeurs de  $R_T$  et de  $R_{sh}$  sur la plaquette. On a ajouté la contribution équivalente des caissons de silicium  $p^+$ . La plaquette est divisée en ligne et en colonnes numérotées de 1 à 10 comme indiqué sur la figure b. La zone hachurée représente un motif principal.

### B.5.1 Remarques

La mesure de la résistance de contact par la méthode de la chaîne de contacts peut être erronée si le paramètre  $R_{sh}$  utilisé pour l'extraction de  $R_c$  n'est pas le paramètre réel. Comme la résistance de couche  $R_{sh}$  est mesurée sur le motif de van der Pauw, il peut y avoir une différence entre la valeur de  $R_{sh}$  mesurée et la valeur réelle de  $R_{sh}$  dans le motif de la chaîne de contact. Ce fait est illustré par la figure B.11. Nous avons reporté sur un même graphique la résistance totale de la chaîne de contacts  $R_T$  et la résistance de couche

du substrat  $R_{sh}$  en fonction de la position des motifs de test sur une plaquette issue du procédé PMOS standard de Rennes. On a divisé la plaquette en lignes et en colonnes numérotées de 1 à 10. Chaque case représente donc un motif principal.

Si on applique la relation 4.18 avec les valeurs de  $R_T$  et  $R_{sh}$  mesurées sur cette plaquette, la contribution des contacts est très faible et même négative dans certains cas. Cela signifie que cette contribution à la résistance totale est plus faible que l'erreur commise dans l'évaluation de la contribution de la résistance de couche  $R_{sh}$ . Pour une résistivité spécifique de contact  $\rho_c = 10^{-5} \Omega \cdot cm^2$ , la contribution des 14 contacts de dimension  $10 \times 80 \mu m^2$  est de  $17,5 \Omega$ . Pour  $\rho_c = 10^{-6} \Omega \cdot cm^2$ , elle est de  $1,75 \Omega$  et pour  $\rho_c = 5 \times 10^{-7} \Omega \cdot cm^2$ , elle est de  $0,875 \Omega$ . D'après nos mesures, la variation de  $R_{sh}$  entre 2 motifs voisins est d'environ  $0,5 \Omega_{\square}$  au centre de la plaquette et de  $2 \Omega_{\square}$  à la périphérie. Cela montre que la valeur de  $R_{sh}$  utilisée dans la relation 4.18 admet une incertitude qui peut être de l'ordre de la résistance de contact lorsque la résistivité spécifique de contact est inférieure à  $5 \times 10^{-6} \Omega \cdot cm^2$ . D'après le graphique de la figure 3.6, la résistivité spécifique du contact Al-Si est inférieure à  $10^{-5} \Omega \cdot cm^2$  dès que le dopage du silicium est supérieur à  $10^{18} cm^{-3}$ , ce qui est le cas d'après les données de la technologie PMOS de Rennes (Cf. figure B.9). Ainsi, cette méthode n'est pas adaptée à la mesure des faibles résistances de contact à cause de la dispersion des paramètres technologiques.



# Annexe C

## Préparation de *cross-sections* par FIB

### C.1 Préparation d'un échantillon en section transverse d'un transistor par FIB

En collaboration avec Bernadette Domenges (LAMIP<sup>11</sup>), nous avons réalisé au FIB<sup>12</sup> un échantillon en section transverse<sup>13</sup> le long d'un transistor sur un échantillon recuit sous oxygène. Cette préparation nous a permis d'obtenir des images en microscopie électronique en transmission (TEM) de la structure de la métallisation d'un transistor PMOS qui a été recuit dans les conditions de dépôt de l'YBCO. Grâce au mode STEM du microscope, nous avons également réalisé des analyses chimiques par la mesure du rayonnement d'émission X de l'échantillon sous le faisceau d'électron .

Le faisceau d'un FIB est constitué d'ions gallium  $\text{Ga}^+$  focalisés par un système de déflecteurs (accélération :  $30 \text{ keV}$ ). En jouant sur l'intensité du faisceau, on peut soit provoquer majoritairement l'éjection d'atomes ou d'agrégats de la surface de l'échantillon (mode gravure), soit limiter celle-ci et s'attacher à la détection des électrons secondaires afin d'obtenir une image topographique de la surface de l'échantillon. Un logiciel contrôle le balayage du faisceau sur la surface de l'échantillon. On peut alors programmer le balayage de motifs géométriques qui seront gravés. Cette fonctionnalité a été mise à profit pour réaliser des sections transverses d'épaisseurs inférieures à  $100 \text{ nm}$  en prélevant une lame de l'échantillon dans le plan perpendiculaire à la surface. La série d'images présentées en

---

<sup>11</sup>Laboratoire de Microélectronique ENSICAEN Philips

<sup>12</sup>*Focalised Ion Beam*, Faisceau d'Ions Focalisés

<sup>13</sup>Le terme anglais *cross-section* est beaucoup plus répandu, c'est pourquoi nous nous permettons de l'utiliser de temps en temps pour ne pas alourdir la lecture.

figure C.1 montre l'enchaînement des principales étapes de fabrication de la lame.

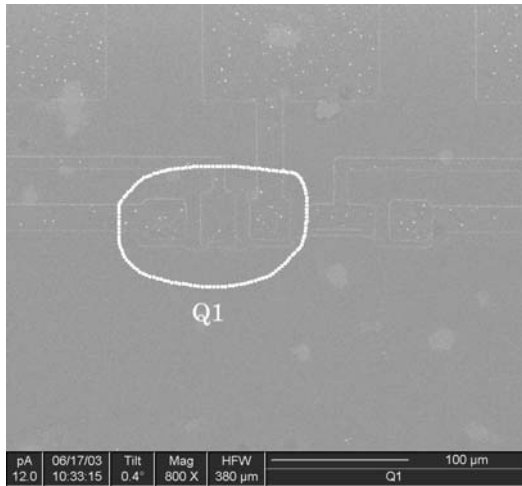
La figure C.1a montre une image très peu contrastée du transistor dans lequel est prélevée la *cross section*. Ce type d'image se manifeste lorsque la surface de l'échantillon n'est pas électriquement connectée à la masse. Un ion  $\text{Ga}^+$  génère dix électrons secondaires. Après quelques balayages, la surface se charge positivement piégeant les électrons secondaires émis, très peu atteignent le détecteur d'électrons secondaires. De plus, à chaque balayage on grave la surface de l'échantillon. Pour cet échantillon nous avons déposé environ  $1 \mu\text{m}$  d'or par pulvérisation RF mais comme il n'y a pas de connexion au substrat<sup>14</sup>, les images apparaissent très peu contrastées (comme sur la figure C.1a). Avant d'attaquer la découpe, on dépose encore quelques micromètres de platine amorphe par le FIB (On distingue les différentes couches de protection sur la figure C.1e). Dès que le substrat est dégagé, les ions gallium sont neutralisés et on obtient des images nettement plus contrastées.

La première étape consiste à marquer des repères à la surface de l'échantillon (on le voit très bien sur la figure C.1b). Ensuite, le premier flanc de la section transverse est dégagé (figure C.1b). On a pris soin de ne pas graver d'un bloc mais par petits blocs successifs décalés les uns par rapport aux autres de manière à obtenir une pente de  $45^\circ$ . En tournant l'échantillon de  $45^\circ$  par rapport à l'incidence du faisceau, on peut imager la surface balayée (comme sur la figure C.1b, d et e). Ensuite, le second flanc est dégagé (figure C.1c). Les étapes suivantes consistent :

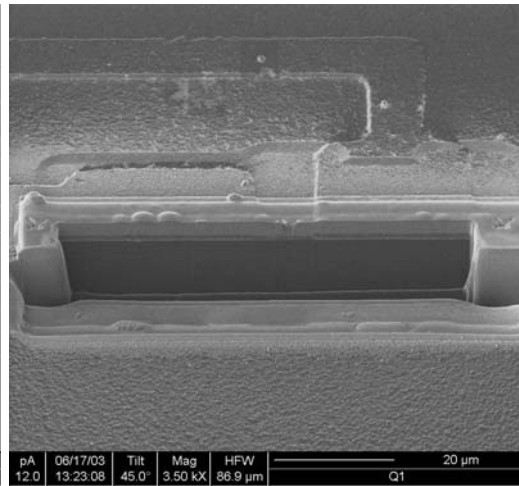
- ✓ découper la lame avec le faisceau (au fond en incidence à  $45^\circ$  et sur un côté),
- ✓ Insérer une pointe dans le FIB et la coller sur l'ouïe de droite en déposant du Pt,
- ✓ Découper l'autre extrémité de la lame, qui est ainsi solidaire de la pointe.

Après toutes les vérifications (une dizaine d'heures de travail), on abaisse le porte échantillon et la lame reste suspendue à la pointe. On introduit dans le FIB une demi rondelle de cuivre de  $3 \text{ mm}$  de diamètre (en forme de croissant de lune) sur lequel, en son centre, un morceau de fibre optique métallisée est collé. L'ensemble forme un "ε". On approche l'extrémité libre de la lame vers la fibre optique en manipulant la pointe. Lorsque les deux entrent en contact, on les soude, toujours par un dépôt de platine assisté par le faisceau d'ion. Lorsqu'on est sûr que la soudure est suffisamment solide on découpe le côté qui la

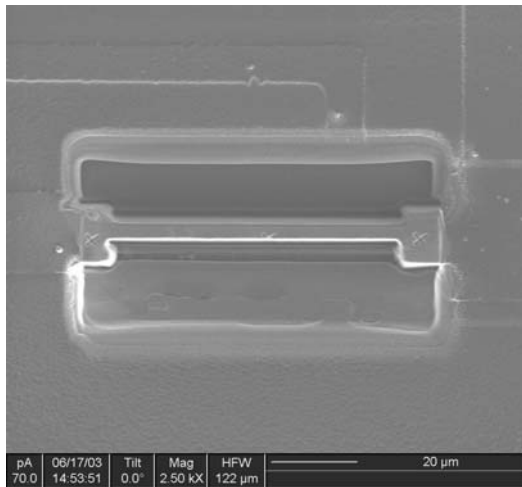
<sup>14</sup>La surface est isolée du substrat par l'oxyde de champ.



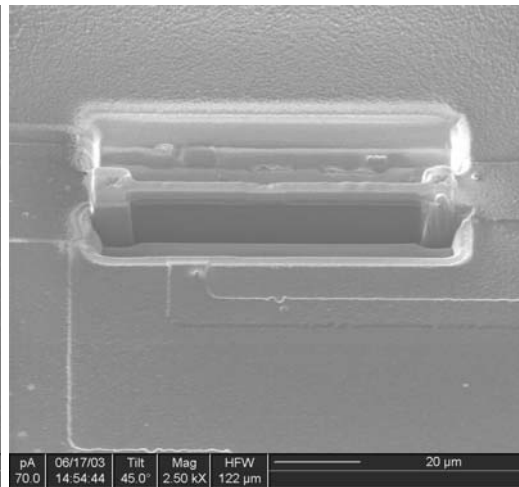
(a) Image FIB du transistor, chargement de la surface



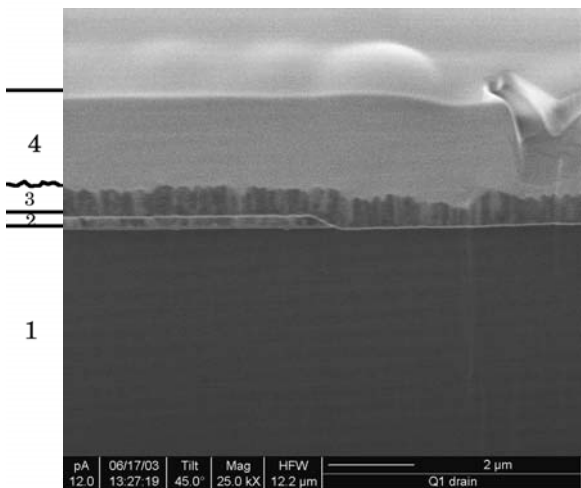
(b) Dégagement par gravure du premier flanc (vue à 45°)



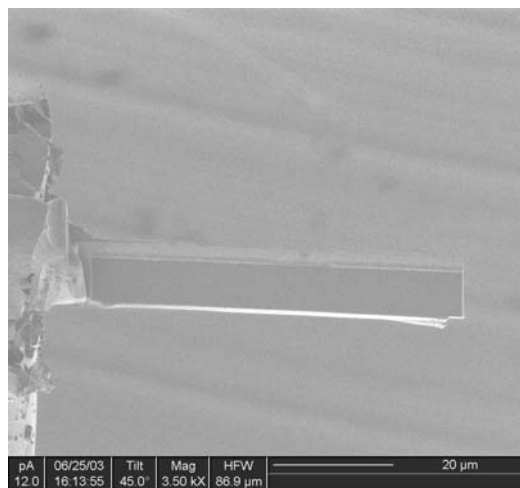
(c) Le second flanc est dégagé (vue de dessus)



(d) Vue à 45° permettant la découpe de la lame



(e) Image FIB sur le flanc de la lame. Les couches de Pt et d'Au de protection sont indiquées



(f) La lame est soudée à l'extrémité de la fibre optique du porte échantillon et amincie

Figure C.1: Séquence de réalisation d'une section transverse par FIB pour l'observation au microscope électronique à transmission ; Sur l'image e, 1  $\equiv$  substrat, 2  $\equiv$  métallisation+oxyde de la grille, 3  $\equiv$  Au, 4  $\equiv$  Pt.



rattachait à la pointe (figure C.1f). L'amincissement final de la lame permet d'atteindre une épaisseur inférieure à  $0,1 \mu m$ . Il ne reste plus qu'à la placer délicatement sur le porte échantillon du microscope ( ce qui n'est pas le plus facile!). Cette méthode astucieuse a été mise au point par Roberts et Otterlo [279] et est mise en oeuvre de très belle manière par B. Domenges au LAMIP.

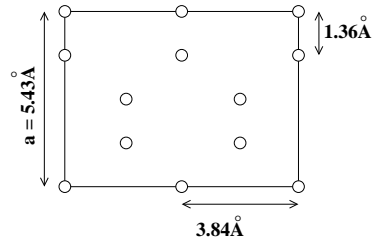


Figure C.2: Vue schématique de la projection de la maille élémentaire de la structure diamant sur le plan (110) d'après [280].

## C.2 Imagerie TEM

### C.2.1 Mode haute résolution

Les images TEM ont été réalisées par Bernadette Domenges au CRISMAT à l'aide d'un microscope Jéol 2011 avec une tension d'accélération de 200 kV. Cette haute tension et la qualité de la lentille objective donnent une résolution suffisante pour obtenir des images du réseau cristallin du silicium dans la configuration de la figure C.2.

La résolution de la sonde électronique est donnée par :

$$r = C_c \sqrt{C_s \lambda^{3/4}}$$

avec  $C_c$  l'aberration électromagnétique (stabilisation de la haute tension et des courants dans les lentilles),  $C_s$  l'aberration sphérique de la lentille objective et  $\lambda$  la longueur d'onde des électrons. Le plan de la coupe est indexé (110). La figure C.2 montre une vue schématique de la projection de la maille élémentaire de la structure diamant sur le plan (110). Au microscope, on observe soit les doubles taches, soit le négatif des doubles taches (suivant la valeur de focalisation de la lentille objective). Quoiqu'il en soit, les taches observées sont toujours distantes de 3,84 Å. C'est l'étalon interne.

### C.2.2 Spectrométrie de rayon X (Energy Dispersive Spectrometry)

Lorsque le microscope fonctionne en mode STEM (*Scanning Transmission Electron Microscopy*) on réalise une image par balayage de la sonde électronique. Comme le microscope est équipé d'un détecteur de rayon X, on collecte en chaque point balayé, le spectre d'émission de rayon X. Le schéma de la figure C.3 montre le phénomène d'interaction entre un atome et un électron incident d'énergie  $h\nu_0$  qui produit entre autres l'émission de photons X. Un électron de la couche K est d'abord excité (figure C.3 a). La désexcitation d'un électron du niveau L3 vers le niveau K produit l'émission d'un rayon X d'énergie  $h\nu$  correspondant à la différence d'énergie des niveaux L3 et K (figure C.3b) qui est caractéristique de l'atome concerné. On observe alors sur le spectre d'émission X une raie appelée la raie  $K_\alpha$ . Plus l'élément est "lourd", plus il y a de niveaux d'énergie, K, L, M *etc* et donc, plus il y a de raies d'énergies différentes émises. Les raies d'émission X des niveaux atomiques de tous les éléments sont répertoriées dans [281]. Un logiciel collecte

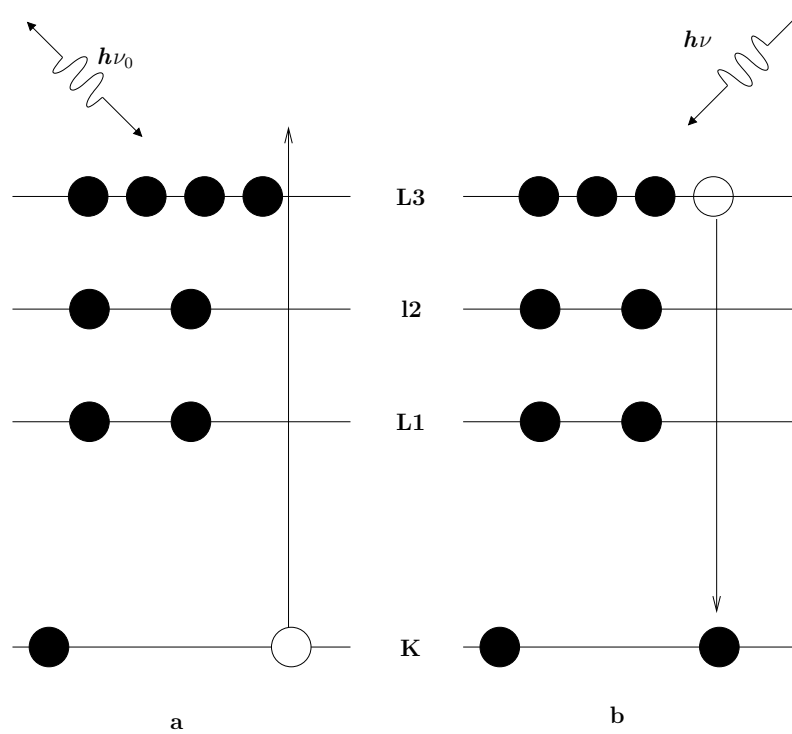


Figure C.3: Principe de l'excitation et de la désexcitation par émission de rayon X d'un atome. Le schéma représente les électrons d'un atome répartis sur les différents niveaux d'énergie K, L1, L2 ... a) Excitation d'un niveau K ; b) Désexcitation par émission de rayon X (raie  $K_\alpha$  dans cet exemple).

tous les spectres et attribue les raies à des éléments pré-sélectionnés. Ce traitement donne une cartographie élément par élément qui se superpose à l'image électronique obtenue par la capture des électrons transmis.

# Bibliographie

- [1] P. W. Bednorz et K. A. Müller. Possible high  $T_C$  superconductivity in the Ba-La-Cu-O système. *Z. Phys. B*, 64 :189–193, 1986.
- [2] M. J. M. E. de Nivelles, M. P. Bruijn, R. de Vries, J. J. Wijnbergen, P. A. J. de Korte, S. Sanchez, M. Elwenspoek, T. Heidenblut, B. Schwierzi, W. Michalke, et E. Steinbeiss. Low noise high- $T_C$  superconducting bolometers on silicon nitride membranes for far-infrared detection. *J. Appl. Phys.*, 82(10) :4719–4726, 1997.
- [3] L. Méchin, J.-C. Villégier, et D. Bloyet. Suspended epitaxial YBaCuO microbolometers fabricated by silicon micromachining : Modeling and measurements. *J. Appl. Phys.*, 81(10) :7039–7047, 1997.
- [4] B. Lakew, J. C. Brasunas, A. Piqué, R. Fettig, B. Mott, S. Babu, et G. M. Cushman. High- $T_C$  superconducting bolometer on chemically-etched  $7\mu\text{m}$  thick sapphire. *Physica C*, 329(2) :69–74, 2000.
- [5] L. R. Vale, R. H. Ono, D.G. MacDonald, et R. J. Phelan. Large area YBa<sub>2</sub>Cu<sub>3</sub>O<sub>7-x</sub> bolometers on Si substrates. *Supercond. Sci. Technol.*, 12 :856–858, 1999.
- [6] O. Harnack, K. S. Il'in, M. Siegel, B. S. Karasik, W. R. McGrath, et G. de Lange. Dynamics of the response to microwave radiation in YBa<sub>2</sub>Cu<sub>3</sub>O<sub>7-x</sub> hot-electron bolometer mixers. *Appl. Phys. Lett.*, 79(12) :1906–1908, 2001.
- [7] ADEMIS, editor. *Guide des microtechnologies et des microsystèmes*. ADEMIS-LETI/CEA, Grenoble, 1997.
- [8] M. Madou. *Fundamentals of microfabrication*. CRC Press, 1997.
- [9] K. A. Honer et G. T. A. Kovacs. Integration of sputtered silicon microstructures with pre-fabricated CMOS circuitry. *Sensors Actuators A*, 91(3) :386–397, 2001.
- [10] S. Sedky, A. Witvrouw, et K. Baert. Poly SiGe, a promising material for MEMS monolithic integration with the driving electronics. *Sensors Actuators A*, 97–98, 2002.
- [11] J. W. Gardner et V. K. Varadan. *Microsensors, MEMS, and smart devices*, chapter 1. Wiley InterSci., 2001.
- [12] V. K. Varadan. *Microstereolithography for 3D MEMS fabrication*, chapter 1. Wiley InterSci., 2001.
- [13] J. Smith, S. Montagué, J. Sniegowski, R. Manginell, P. McWhorter, et R. Huber. Characterization of the Embedded Micromechanical Device Approach to the Monolithic Integration of MEMS with CMOS. *Proc. SPIE*, 2879 :306–3014, 1996.
- [14] S. Wolf et R. N. Tauber. *Silicon Processing for the VLSI Era : Process integration*, volume 2. Lattice Press, 1986.
- [15] J. M. Bustillo, R. T. Howe, et R. S. Muller. Surface micromachining for microelectromechanical systems. *Proc. IEEE*, 86(8) :1552–1574, 1998.
- [16] C. T-C. Nguyen. Micromachining technologies for miniaturized communication devices. *Proc. SPIE*, 3515 :24–38, 1998.

- [17] Roger T. Howe, B. E. Boser, et A. P. Pisano. Polysilicon integrated microsystems : technologies and applications. *Sensors Actuators A*, 56(1–2) :167–177, 1996.
- [18] J. H. Smith, S. Montague, et J. J. Sniegowski. Material and processing issues for the monolithic integration of microelectronics with surface-micromachined polysilicon sensors and actuators. *Proc. SPIE*, 2639 :23–24, 1995.
- [19] Y-J. Song. *Ferroelectric Thin Films for High Density Non-volatile Memories*. PhD thesis, 1998.
- [20] K. Kim. Perspectives on giga-bit scaled DRAM technology generation. *Microelectron. Reliab.*, 40(2) :191–206, 2000.
- [21] T. Mikolajick, C. Dehm, W. Hartner, I. Kasko, M. J. Kastner, N. Nagel, M. Moert, et C. Mazure. FeRAM technology for high density applications. *Microelectron. Reliab.*, 41(7) :947–950, 2001.
- [22] M. Röhner, T. Mikolajick, N. Nagel, et R. Hagenbeck. Integration of FeRAM Devices into a Standard CMOS Process-Impact of Ferroelectric Anneals on CMOS Characteristics. *Integr. Ferroelectr.*, 47(1) :61–70, 2002.
- [23] D. S. Yoon, J. S. Roh, S-M. Lee, et H. K. Baik. Alteration for a diffusion barrier design concept in future high-density dynamic and ferroelectric random access memory devices. *Prog. Mater. Sci.*, 48 :276–371, 2003.
- [24] K. Frohlich, K. Husekova, D. Machajdik, J. C. Hooker, M. Fanciulli, S. Ferrari, C. Wiemer, A. Dimoulas, G. Vellianitis, et F. Roozeboom. Ru and RuO<sub>2</sub> electrodes for advanced CMOS technology. *Mat. Sci. Eng. B*, corrected proofs, 2004.
- [25] K. Hashimoto, H. Xu, T. Mukaigawa, R. Kubo, H. Zhu, M. Noda, et M. Okuyama. Si monolithic microbolometers of ferroelectric BST thin film combined with readout FET for uncooled infrared image sensor. *Sensors Actuators A*, 88(1) :10–19, 2001.
- [26] M. Noda, K. Hashimoto, R. Kubo, H. Tanaka, T. Mukaigawa, H. Xu, et M. Okuyama. A new type of dielectric bolometer mode of detector pixel using ferroelectric thin film capacitors for infrared image sensor. *Sensors Actuators*, 77 :39–44, 1999.
- [27] T. Van Duzer. Superconductors-semiconductors hybrid devices circuits and systems. *Cryogenics*, 28 :527–531, 1988.
- [28] H. Kroger, C. Hilbert, D. A. Gibson, U. Ghoshal, et L. N. Smith. Superconductor semiconductor hybrid devices, circuits and systems. *Proc. IEEE*, 77(8) :1287–1301, 1989.
- [29] M. J. Burns, P. R. de la Houssaye, S. D. Russell, G. A. Garcia, S. R. Clayton, W. S. Ruby, et L. P. Lee. Demonstration of YBa<sub>2</sub>Cu<sub>3</sub>O<sub>7- $\delta$</sub>  and complementary metal-oxide-semiconductor device fabrication on the same sapphire substrate. *Applied Physics Letters*, 63(9) :1282–1284, 1993.
- [30] T. E. Harvey, J. Moreland, B. Jeanneret, R. H. Ono, et D. A. Rudman. YBa<sub>2</sub>Cu<sub>3</sub>O<sub>7-x</sub> to Si interconnection for hybrid superconductor/ semiconductor integration. *Appl. Phys. Lett.*, 61(18) :2225–2227, 1992.
- [31] M. J. Burns, K. Char, B. F. Cole, W. S. Ruby, et S. A. Sachtjen. Multichip module using multilayer YBa<sub>2</sub>Cu<sub>3</sub>O<sub>7- $\delta$</sub>  interconnects. *Appl. Phys. Lett.*, 62(12) :1435–1437, 1993.
- [32] C. Hilbert, U. Ghoshal, H. Kroger, J. S. Martens, V. M. Hietala, et T. A. Plut. Superconducting readout of semiconductor memory at liquid nitrogen temperature. *Appl. Phys. Lett.*, 64(18) :2442–2444, 1994.
- [33] W. Hattori, T. Yoshitake, et S. Tahara. 5  $\mu$ m-wide yba<sub>2</sub>cu<sub>3</sub>o<sub>7-x</sub> coplanar line with low transmission loss. *Appl. Phys. Lett.*, 70(25) :3464–3466, 1997.
- [34] T. Van Duzer, Y. Feng, X. Meng, S. R. Whiteley, et N. Yoshikawa. Hybrid Josephson-CMOS memory : a solution for the Josephson memory problem. *Supercond. Sci. Tech.*, 15(12) :1669–1674, 2002.

- [35] D. Koelle, R. Kleiner, F. Ludwig, E. Dantsker, et J. Clarke. High-transition-temperature superconducting quantum interference devices. *Rev. Mod. Phys.*, 71(3) :631–686, 1999.
- [36] H. J. M. Brake, A. P. Rijpma, J. G. Stinstra, J. Borgmann, H. J. Holland, H. J. G. Krooshoop, M. J. Peters, J. Flokstra, H. W. P. Quartero, et H. Rogalla. Fetal magneto-cardiography : clinical relevance and feasibility. *Physica C*, 368(1–4) :10–17, 2002.
- [37] T. Schurig, D. Drung, S. Bechstein, J. Beyer, et F. Ludwig. High- $T_C$  superconductor dc SQUIDs for unshielded operation and their applications. *Physica C*, 381(2) :1378–1384, 2002.
- [38] S. Chatrathorn, E. F. Fleet, et F. C. Wellstood. Relationship between spatial resolution and noise in scanning superconducting quantum interference device microscopy. *J. Appl. Phys.*, 92(8) :4731–4740, 2002.
- [39] H-J. Krause et M. V. Kreutzbruck. Recent developments in SQUID NDE. *Physica C*, 368(1–4) :70–79, 2002.
- [40] M. I. Faley, U. Poppe, K. Urban, V. Yu. Slobodchikov, Yu. V. Maslennikov, A. Gapelyuk, B. Sawitzki, et A. Schirdewan. Operation of high-temperature superconductor magnetometer with submicrometer bicrystal junctions. *Appl. Phys. Lett.*, 81(13) :2406–2408, 2002.
- [41] P. Seidel, F. Schrey, L. Dörrer, K. Peiselt, F. Schmidl, F. Schmidt, et C. Steigmeier. Development and investigation of novel single-layer gradiometers using highly balanced gradiometric SQUIDs. *Supercond. Sci. Tech.*, 15(1) :150–155, 2002.
- [42] N. N. Ukhansky, F. Schmidl, L. Dorrer, et P. Seidel. Universal active DC biasing system for a high  $T_C$  SQUID based on a liquid nitrogen cooled preamplifier. *IEEE T. Appl. Supercond.*, 9(2) :4416–4419, 1998.
- [43] Sedky S., Witvrouw A., Bender H., et Baert K. Experimental determination of the maximum post-process annealing temperature for standard CMOS wafers. *IEEE T. Electron Dev.*, 48(2) :377–385, 2001.
- [44] S. Bengtsson. A review of wafer bonding. *MIGAS'02, Microsystem technology*, 2(1) :155–180, 2002.
- [45] P. L. Richards. Bolometers for infrared and millimeter waves. *J. Appl. Phys.*, 76(1) :1–15, 1994.
- [46] A. T. Lee, Paul L. Richards, S. W. Nam, B. Cabrera, et K. D. Irwin. A superconducting bolometer with strong electrothermal feedback. *Appl. Phys. Lett.*, 69(12) :1801–1803, 1996.
- [47] J. M. Gildemeister, A. T. Lee, et P. L. Richards. A fully lithographed voltage-biased superconducting spiderweb bolometer. *Appl. Phys. Lett.*, 74(6) :868–870, 1999.
- [48] J. M. Gildemeister, A. T. Lee, et P. L. Richards. Monolithic arrays of absorber-coupled voltage-biased superconducting bolometers. *Appl. Phys. Lett.*, 77(24) :4040–4042, 2000.
- [49] J. T. Skidmore, J. Gildemeister, A. T. Lee, M. J. Myers, et P. L. Richards. Superconducting bolometer for far-infrared fourier transform spectroscopy. *Appl. Phys. Lett.*, 82(3) :469–471, 2003.
- [50] A. J. Kreisler et A. Gaugue. Recent progress in high-temperature superconductor bolometric detectors : from the mid-infrared to the far-infrared (THz) range. *Supercond. Sci. Tech.*, 13(8) :1235–1245, 2000.
- [51] I. Khrebtov. Superconducting infrared and submillimeter radiation receivers. *Sov. J. Opt. Techn.*, 58 :261–270, 1991.
- [52] P. Langlois. *Réalisation et caractérisation de capteurs optiques à partir de films minces supraconducteurs à haute température critique*. PhD thesis, Université de Caen, 1993.

- [53] I. A. Khrebtov et A. D. Tkachenko. High-temperature superconducting bolometers based on silicon-membrane technology. *J. Opt. Technol.*, 71(3) :143–152, 2004.
- [54] U. P. Oppenheim, M. Katz, G. Koren, E. Polturak, et M. R. Fishman. High temperature superconducting bolometer. *Physica C*, 178(1) :26–28, 1991.
- [55] J. C. Brasunas et B. Lakew. High  $T_C$  superconductor bolometer with record performance. *Appl. Phys. Lett.*, 64(6) :777–778, 1994.
- [56] A. J. Kreisler, A. Gaugue, Z. Ben Ayadi, A. Degardin, et J.-M. Depond. Recent progress in HTSC bolometric and nonbolometric detectors. *Proc. SPIE*, 2697 :528–538, 1996.
- [57] J. M. E. de Nivelles, M. P. Bruijn, P. A. de Korte, S. Sanchez, M. Oelwenspoek, T. Heidenblut, B. Schwierzi, W. Michalke, et E. Steinbeiss. High- $T_C$  bolometers with silicon-nitride spiderweb suspension for far-infrared detection. *IEEE T. Appl. Supercond.*, 9(2) :3350–3353, 1999.
- [58] L. Mechin. *Microbolomètres supraconducteurs YBaCuO suspendus réalisés par micro-usinage du substrat de silicium*. PhD thesis, Université de Caen, 1996.
- [59] D.G. McDonald, R.J. Jr. Phelan, L.R. Vale, R.H. Ono, et D.A. Rudman. Passivation, transition width, and noise for YBCO bolometers on silicon. *IEEE T. Appl. Supercond.*, 9 :4471–4474, 1999.
- [60] C. D. Motchenbacher et J. A. Connelly. *Low-noise electronic system design*. Wiley Inter-Sci., 1993.
- [61] L. Méchin, J.-C. Villégier, P. Langlois, D. Robbes, et D. Bloyet. Sensitive IR bolometers using superconducting YBaCuO air bridges on micromachined silicon substrates. *Sensors Actuators A*, 55(1) :19–23, 1996.
- [62] Delerue J., Gaugue A. and Teste P., Caristan E., Klisnick G., Redon M., et Kreisler A. YBCO mid-infrared bolometer array. *IEEE Trans. Appl. Supercond.*, 13(2) :176–179, 2003.
- [63] H. P. Gush, M. Halpern, et S. Knotek. Cooled low noise preamplifier for a bolometer. *Rev. Sci. Instrum.*, 63(1) :90–95, 1992.
- [64] C. H. Downey. High gain micropower amplifier for cryogenic applications. *Cryogenics*, 31 :48–52, 1991.
- [65] F. Voisin, G. Klisnick, Y. Hu, M. Redon, J. Delerue, A. Gaugue, et A. Kreisler. A low noise cryogenic CMOS readout circuit for a 4-Pixel superconducting infrared bolometer Array. *4<sup>th</sup> Workshop On Low Temperature Electronic*, WPP–171 :131–136, 2000.
- [66] J. Kunert, V. Zakosarenko, V. Schultze, H. G. Meyer, F. Nitsche, et H. Wenske. Low noise amplifier for integrate SQUID electronics operating in liquid nitrogen. *J. Phys. IV*, 8(Pr3) :205–208, 1998.
- [67] R. D. Kirschman, editor. *Low temperature Electronics*. IEEE Press, New York, 1986.
- [68] E. A. Gutierrez-W, C. Claeys, E. Simoen, et S. V. Koshevaya. Perspectives of the cryoelectronics for the year 2000. *J. Phys. IV France*, 8 :315–320, 1998.
- [69] E. A. Gutierrez-D, M. J. Deen, et C. L. Claeys. *Low temperature electronics*. Academic Press, 2001.
- [70] P. Ashburn et B. Soerowirdjo. Comparison of experimental and theoretical results on polysilicon emitter bipolar transistors. *IEEE T. Electron Dev.*, 31(7) :853–860, 1984.
- [71] P. van Hallen et D. L. Pulfrey. High gain bipolar transistor with polysilicon tunnel junction emitter contacts. *IEEE T. Electron Dev.*, 32 :1307–1313, 1985.
- [72] S. Jayanarayanan, J.D. Cressler, et D. M. Richey. Potential for silicon-germanium-carbon HBT operation at cryogenic temperatures. *ECS Symposium on Low-Temperature Electronics and High-Temperature Superconductivity*, pages 240–245, 1997.

- [73] T. S. Jayadev, S. Ichiki, et J. C. S. Woo. Bipolar transistor for low noise, low temperature electronics. *Cryogenics*, 30 :137–140, 1989.
- [74] J.M. Stork, D. L. Haramé, B. S. Meyerson, et T. N. Nguyen. Base profile design for high performances of bipolar transistor at liquid nitrogen temperature. *IEEE T. Electron Dev.*, 36(8) :1503–509, 1989.
- [75] J. D. Cressler, J. H. Comfort, E. F. Crabbe, G. L. Patton, J. M. Stork, J. Sun, et B. S. Meyerson B.S. On the profile design and optimization of epitaxial Si and SiGe-base bipolar technology for 77 K applications. I. Transistor DC design considerations. *IEEE T. Electron Dev.*, 40(3) :525–541, 1993.
- [76] N. Valdaperez. *Etude des caractéristiques statiques et du bruit basse fréquence de transistors bipolaires NPN intégrés dans des procédés BiCMOS haute fréquence à simple et double polysilicium*. PhD thesis, Université de Caen, 2002.
- [77] K. Wolf, W. Klein, N. Elbel, A. Berthold, S. Grondahl, T. Huttner, S. Drexler, et R. Lachner. SiGe-HBTs for bipolar and BiCMOS-applications : From research to ramp up of production. *IEICE T. Electron.*, 84(10) :1399–1407, 2001.
- [78] A. Alessandrello, C. Brofferio, O. Cremonesi, A. Guiliani, A. Nucciotti, M. Pavan, G. Pessina E. Previtali, M. Perego, A. Fascilla, et M.W. Lund. Low noise silicon JFET working at low temperature for bolometric detector readout. *Proc. WOLTE4*, WPP-171 :137–142, 2000.
- [79] W. Maes, K. De Meyer, et R. Van Overstraeten. Impact ionization in silicon : A review and update. *Solid-State Electronics*, 33(6) :705–718, 1990.
- [80] A Van der Ziel. *Noise, source, characterization, measurement*. Prentice-Hall, New Jersey, 1970.
- [81] R. R. Wagner, P. T. Anderson, et B. Bertman. Junction field effect transistor at 4.2 K. *Rev. Sci. Instrum.*, 41 :917, 1970.
- [82] B. Lengeler. Semiconductor devices suitable for use in cryogenic environments. *Cryogenics*, 14 :439–447, 1974.
- [83] W. Nawrocki. Silicon junction field effect transistors at 4.2 K. *Cryogenics*, 28(6) :394–397, 1988.
- [84] G. V. Pallottino et A. E. Zirizzotti. JFET cooled amplifier for DC SQUID. *Cryogenics*, 34(12) :1045–1047, 1994.
- [85] L. Lanzi, K. Sassoli, et G. Ventura. Nj3600l fet as a very low noise cooled amplifier for infrared bolometry. *Cryogenics*, 35(11) :959–960, 1994.
- [86] Oh S.H., Park C.G., et Park C.P. Thermal stability of RuO<sub>2</sub>/Ru bilayer thin film in oxygen atmosphere. *Thin Solid Films*, 359(1) :118–123, 2000.
- [87] S. M. Sze. *Physics of semiconductor devices*. Second edition. Wiley InterSci., 1981.
- [88] S. K. Tewksbury. N-channel enhancement mode MOSFET characteristics from 10K to 300K. *IEEE T. Electron Dev.*, 28(12) :1519–1529, 1981.
- [89] M. Shur. *Introduction to Electronic Devices*. John Wiley and sons, 1995.
- [90] K. Masak, K. taniguchi, C. Hamaguchi, et M. Iwase. Temperature dependence of electron mobility in Si inversion layers. *Jpn. J. Appl. Phys.*, 30(11A) :2734–2739, 1991.
- [91] K. Masaki, K. Taniguchi, et C. Hamaguchi. Electron mobility in Si inversion layers. *Semicond. Sci. Technol.*, 7(3B) :573–575, 1992.
- [92] S. Selberherr. MOS modeling at 77K. *IEEE Electron Dev.*, 36(8) :1464–1474, 1989.
- [93] J. A. Martino, E. Simoen, et C. Claeys. Parameter extraction of MOSFETs operated at low temperature. *J. de physique IV*, 6(Pr3) :23–29, 1996.



- [94] A. S. Nicolett, J. A. Martino, E. Simoen, et C. Claeys. Mobility degradation influence on the SOI MOSFET channel length extraction at 77K. *J. phys. IV*, 6(C3) :55–59, 1996.
- [95] K. Y. Lim et X. Zhou. A physically based semi-empirical effective mobility model for MOSFET compact I-V modeling. *Solid-State Electronics*, 45(1) :193–197, 2001.
- [96] F. M. Klaassen et J. R. Robinson. Anomalous noise behaviour of the junction-gate field-effect transistor at low temperatures. *IEEE T. Electron Dev.*, 17(10) :852–857, 1970.
- [97] S. Christensson et I. Lundstron. Low frequency noise in MOS transistors, Part II : experiments. *Solid-State Electronics*, 11(9) :813–820, 1986.
- [98] F. Ayela, J. L. Bret, et J. Chaussy. Noise measurements on silicon J-FETs at low temperature using a very high Q superconducting resonator. *Rev. Sci. Instrum.*, 62(11) :2813, 1991.
- [99] J. Chang, A. A. Abidi, et C. R. Viswanathan. Flicker noise in CMOS transistors from subthreshold to strong inversion at various temperatures. *IEEE T. Electron Dev.*, 41(11) :1965–1971, 1994.
- [100] Scofield J.H., Borland N., et Fleetwood D.M. Reconciliation of different gate-voltage dependencies of 1/f noise in n-MOS and p-MOS transistors. *IEEE T. Electron Dev.*, 41(11) :1946–1952, 1994.
- [101] L. K. J. Vandamme, X. Lee, et D. Rigaud. 1/f noise in MOS devices, mobility or number fluctuations? *IEEE T. Electron Dev.*, 41(11) :1936–1945, 1994.
- [102] Lund J.C., Olschner F., Bennett P., et Rehn L. Epitaxial n-channel JFETs integrated on high resistivity silicon for X-ray detectors. *IEEE Conference Record*, 2 :927–930, 1994.
- [103] M. W. Lund, K. W. Decker, R. T. Perkins, et J. D. Phillips. Low noise JFETs for room temperature x-ray detectors. *Nucl. Instrum. Meth. A*, 380(1–2) :318–322, 1996.
- [104] F. Manfredi, V. Re, et V. Speziali. JFET-based monolithic preamplifiers for spectrometry applications. *Nucl. Instrum. Meth. A*, 380(1–2) :308–311, 1996.
- [105] V. Re, P. d’Angelo, et L. Milazzo. A fast JFET-CMOS-SIMOX monolithic amplifier system for the E831 microvertex detector. *Nucl. Phys. B*, 61B :551–555, 1998.
- [106] G-F. Dalla Betta, P. Bellutti, M. Boscardin, L. Ferrario, G. Soncini, et N. Zorzi. An all-implanted p-channel Si JFET fully compatible with CMOS technology. *Microelectr. J.*, 30(3) :281–285, 1999.
- [107] G. F. Dalla Betta, G. Batignani, S. Bettarini, M. Boscardin, L. Bosisio, M. Carpinelli and S. Dittongo, F. Forti, M. Giorgi, et P. Gregori. Feasibility studies of microelectrode silicon detectors with integrated electronics. *Nucl. Instrum. Meth. A*, 478(1–2) :372–376, 2002.
- [108] T. Sakurai et A. R. Newton. *A simple MOSFET model for circuit analysis and its application to CMOS gate delay analysis and series-connected MOSFET structure*. ERL Memo No. ERL M90/19, University of California, Berkeley, 1990.
- [109] A. Vladimirescu et S. Liu. *The simulation of MOS integrated circuits using SPICE2*. ERL Memo No. ERL M80/7, University of California, Berkeley, 1980.
- [110] J. R. Pierret. *A MOS Parameter Extraction Program for the BSIM Model*. ERL Memo Nos. ERL M84/99 and M84/100, University of California, Berkeley, 1984.
- [111] M-C. Jeng. *Design and modeling of deep-submicrometer MOSFETs*. ERL Memo Nos. ERL M90/90, University of California, Berkeley, 1990.
- [112] B. J. Sheu, D. L. Scharfetter, et P. K. Ko. *SPICE2 implementation of BSIM*. ERL Memo No. ERL M85/42, University of California, Berkeley, 1985.
- [113] L. Lu, Z-W. Hwang, et L. S. Lu. CMOS 80 K-300 K SPICE parameter for IPFPA circuit design. *J. Phys. IV*, 6(C3) :199–206, 1996.

- [114] E. Simoen, C. Claeys, et J. A. Martino. Parameter extraction of MOSFETs operated at low temperature. *J. Phys. IV*, 6(C3) :29–42, 1996.
- [115] Y. Creten, P. Merken, et C. Van Hoof. 4.2K multichannel readout circuitry in a standard  $0.7\mu\text{m}$  process for a photoconductor array. *J. Phys. IV*, 12(Pr3) :203–206, 2002.
- [116] F. Voisin. *Intégration d'une électronique cryogénique à faible niveau de bruit sous la forme de circuits ASIC en technologie CMOS pour la mise en œuvre de détecteurs bolométriques à supraconducteurs HTC*. PhD thesis, Université Pierre et Marie Curie, Paris, 2002.
- [117] S. Wolf et R. N. Tauber. *Silicon Processing for the VLSI Era : process technology*, volume 1. Lattice Press, 1986.
- [118] A. Richardt et A-M. Durand. *Le vide, les couches minces, les couches dures*. In fine, 1994.
- [119] S. S. Cohen, D. H. Bower, D. M. Brown, et J. F. Norton. Platinum silicide contacts to silicon by lift-off. *J. Appl. Phys.*, 55(12) :4294–4298, 1984.
- [120] H. D. Tong, R. A. Zwijze, R. J. Wiegerink, J. W. Berenschot, G. J. Krijnen, et M. Elwenspoek. Characterization of platinum "lift off" technique. *Proc. SeSens 2000 Conference*, 1 :697–702, 2000.
- [121] B. Matas, D. Skinner, T. Yancey, et N. Yancey. IC Technology and Packaging Trends. Technical report, Integrated Circuit Engineering Corporation, 1996.
- [122] S. E. Hansen. *SUPREM-IV.GS Two Dimensional Process Simulation for Silicon and Gallium Arsenide*, M. D. Deal edition, 1993.
- [123] E. L. Muetterties. *The Chemistry of Boron and its Compounds*. Wiley, New York, 1967.
- [124] R. Roy, R. Guo, A. S. Bhalla, et L. E. Cross. "Oriented film growth", not "epitaxy" in HTSC film growth. *J. Vac. Sci. Tech. A*, 12(2) :269–273, 1994.
- [125] H. J. Scheel, M. Berkowski, et B. Chabot. Problems in epitaxial growth of high- $T_C$  superconductors. *J. Crystal Growth*, 115 :19–30, 1991.
- [126] B. Batlogg, R.J. Cava, C.H. Chen, G. Kouroukis, W. Weber, A. Jarayama, A.E. White, K.T. Short, E.A. Rietman, L.W. Rupp, D. Werder, et S.M. Zahurak. Bulk superconductivity at 60 K in oxygen-deficient  $\text{Ba}_2\text{YCu}_3\text{O}_{7-\delta}$  and oxygen isotope effect in  $\text{La}_{1.85}\text{Sr}_{0.15}\text{CuO}_4$ . *Novel Superconductivity*, pages 653–657, 1987.
- [127] L. Méchin, P. Berghuis, et J.E. Evetts. Properties of  $\text{YBa}_2\text{Cu}_3\text{O}_{7-\delta}$  thin films grown on vicinal  $\text{SrTiO}_3$  (001) substrates. *Physica C*, 302(2) :102–112, 1998.
- [128] J.M. Phillips. Substrates selection for high temperature superconducting thin films. *J. Appl. Phys.*, 79(4) :1829–1848, 1996.
- [129] M Leskelä, H Mölsä, et L Niinistö. Chemical vapour deposition of high- $t_c$  superconducting thin films. *Supercond. Sci. Tech.*, 6(9) :627–656, 1993.
- [130] C. Prouteau, J.F. Hamet, B. Mercey, B. Raveau, M. Hervieu, D. Robbes, L. Coudrier, et G. Ben. Significant improvement of superconductivity of laser ablated  $\text{YBa}_2\text{Cu}_3\text{O}_7/\text{MgO}$  thin films : introduction of a  $\text{SrTiO}_3$  buffer layer. *Physica C*, 248 :108–118, 1995.
- [131] J.C. Nie, H. Yamasaki, H. Yamada, Y. Nakagawa, et K. Develos-Bagarinao. Self-assembled  $\text{CeO}_2$  buffer layers on R-cut sapphire for high-current-density  $\text{YBa}_2\text{Cu}_3\text{O}_{7-\delta}$  films. *Supercond. Sci. Tech.*, 16 :768–772, 2003.
- [132] M. H. Kim, T-S. Park, E. Yoon, D-S. Lee, D-Y. Park, H-J. Woo, D.-I. Chun, et J. Ha. Changes in preferred orientation of pt thin films deposited by dc magnetron sputtering using ar/o<sub>2</sub> gas mixtures. *J. Mater. Res.*, 14(4) :1255, SEARCH 1999.
- [133] A. Mogro-Campero. A review of high-temperature superconducting films on silicon. *Supercond. Sci. Technol.*, 3 :155, 1990.

- [134] A. Mogro-Campero, B.D. Hunt, L.G. Turner, M.C. Burell, et W.E. Balz. YBaCuO superconducting thin films by simultaneous or sequential evaporation. *Appl. Phys. Lett.*, 52(7) :584–586, (1988).
- [135] T. Komatsu, O. Tanaka, K. Matusita, M. Takata, et T. Yamashita. On the reactions of quenched BaYCuO powders with various metals. *Jpn. J. Appl. Phys.*, 27 :L1025, 1988.
- [136] W.Y. Lee, J. Salem, V. Lee, T. Huang, R. Savoy, V. Deline, et J. Duran. High Tc YBa<sub>2</sub>Cu<sub>3</sub>O<sub>7-x</sub> thin films on Si substrates by dc magnetron sputtering from a stoichiometric oxide target. *Appl. Phys. Lett.*, 52(26) :2263–2265, 1988.
- [137] T. Venkatesan, A.W. Chase, X.D. Wu, A. Inam, C.C. Chang, et F.K. Shokoohi. Superconducting YBa<sub>2</sub>Cu<sub>3</sub>O<sub>7-x</sub> films on Si. *Appl. Phys. Lett.*, 53(3) :243–245, 1998.
- [138] P. Alnot, R. Cabanel, J. Chazelas, G. Creuzet, D. Dieumegard, J.P. Ganne, G. Garry, J.C. Mage R. Kormann, J. Olivier, I. Zaquine, et C. Chappert P. Beauvillain. Superconducting thin films of YBaCuO compounds deposited on silicon and Al<sub>2</sub>O<sub>3</sub> substrates. *Solid State Com.*, 67(3) :275–280, 1988.
- [139] D.B. Fenner, D.K. Fork, J.B. Boyce, G.A.N. Connell, et A.M. Viano. Deposition and characterization of Y-Ba-Cu-O thin films on silicon substrates : interfaces analysis. *Physica C*, 162–164 :141–142, 1989.
- [140] P. Berberich, J. Tate, W. Dietsche, et H. Kinder. Low temperature preparation of superconducting YBa<sub>2</sub>Cu<sub>3</sub>O<sub>7-δ</sub> films on Si, MgO and SrTiO<sub>3</sub> by thermal coevaporation. *J. Less-Commun. Met.*, 151 :311, 1989.
- [141] S.V. Razumov et A.V. Tumarkin. Buffer layers for the growth of YBa<sub>2</sub>Cu<sub>3</sub>O<sub>7-x</sub> films on silicon. *Tech. Phys. Lett.*, 27(7) :599–601, 2001.
- [142] D.K. Fork, F.A. Ponce, et T.H. Geballe J.C. Tramontana. Epitaxial MgO on Si(001) for Y-Ba-Cu-O thin-film growth by pulsed laser deposition. *Appl. Phys. Lett.*, 58(20) :2294–2296, 1991.
- [143] I.V. Belousov, A.I. Ruban, V.V. Il'chenko, G.V. Kuznetsov, et V.I. Strikha. Superconducting YBaCuO thin films on silicon with Barium Silicate Buffer Layers. *IEEE T. Appl. Supercond.*, 5(2) :1510–1512, 1995.
- [144] S. Hontsu, M. Nakamori, A. Fujimaki, J. Ishii H. Tabata, et T. Kawai. Al films as buffer layers for high-temperature superconducting thin films on amorphous substrates. *IEEE Trans. Appl. Supercond.*, 9(2) :1669–1672, 1999.
- [145] K. Taki, T. Suzuki, E. Youichi, et K. Suzuki. Growth of YBa<sub>2</sub>Cu<sub>3</sub>O<sub>7-x</sub> thin film on Pt buffer layer. *Proc. International Workshop on Superconductivity*, pages 109–111, 2000.
- [146] A.N. Khodan, J.P. Contour, D. Michel, R. Lyonnet O. Durand, et M. Mihet. ZrO<sub>2</sub>-CeO<sub>2</sub> and CeO<sub>2</sub>-La<sub>2</sub>O<sub>3</sub> film growth on oxide substrates and their applications in oxide heterostructures. *J. Cryst. Growth*, 209(4) :828–841, 2000.
- [147] L. Yan, L.B. Kong, J.S. Pan, et C.K. Ong. Role of oxygen pressure in growth of CeAlO<sub>x</sub> thin films on Si by pulsed laser deposition. *J. Appl. Phys.*, 94(1) :594–597, 2003.
- [148] E. Bouteloup, M. Hervieu, B. Mercey, H. Murray, G. Poullain, B. Raveau, et T. Rouillon. Characterization of superconducting thin film growth on silicon substrates. *J. Crystal Growth*, 91 :418–422, 1988.
- [149] S.I. Krasnosvobodtsev et E.V. Pechen. YBaCuO thin films on Si substrate. *Physica C*, 185–189 :2097–2098, 1991.
- [150] D.K. Fork, D.B. Fenner, R.W. Barton, J.M. Phillips, et T.H. Geballe. High critical currents in strained epitaxial YBa<sub>2</sub>Cu<sub>3</sub>O<sub>7-δ</sub> on Si. *Appl. Phys. Lett.*, 57(11) :1161–1163, 1990.
- [151] S.B. Ogale, R.D. Vispute, et R.R. Rao. Pulsed laser deposition YBa<sub>2</sub>Cu<sub>3</sub>O<sub>7-x</sub> superconductor films on silicon with laser-deposited Y-ZrO<sub>2</sub> buffer layer. *Appl. Phys. Lett.*, 57(17) :1805–1807, 1990.

- [152] H. Myoren, Y. Nishiyama, N. Miyamoto, Y. Kai, Y. Yamanaka, Y. Osaka, et F. Nishiyama. Crystalline qualities and critical current densities of as-grown  $\text{Ba}_2\text{YCu}_3\text{O}_x$  thin films on silicon with buffer layers. *Jpn. J. Appl. Phys.*, 29(6) :L955–L957, 1990.
- [153] L. Méchin, J.C. Villégier, G. Rolland, et F. Laugier. Double  $\text{CeO}_2/\text{YSZ}$  buffer layer for the epitaxial growth of  $\text{YBa}_2\text{Cu}_3\text{O}_{7-\delta}$  films on Si (001) substrates. *Physica C*, 269 :124–130, 1996.
- [154] S.J. Wang, S.Y. Xu, L.P. You, S.L. Lim, et C.K. Ong. Microstructural studies on a high quality  $\text{YBa}_2\text{Cu}_3\text{O}_{7-\delta}/\text{YSZ}/\text{Si}$  multilayer prepared by pulsed-laser deposition. *Supercond. Sci. Tech.*, 13 :362–367, 2000.
- [155] F. Yang, K. Wu, et G. Larkins. The characterization of thermal cycling behavior of  $\text{YBa}_2\text{Cu}_3\text{O}_7$  on Y-stabilized  $\text{ZrO}_2$  buffered (100) Si. *IEEE T. Appl. Supercond.*, 11(1) :2738–2741, 2001.
- [156] E.V. Pechen, R. Schoenberger, B. Brunner, S. Ritzinger, K.F. Renk, M.V. Sidorov, et S.R. Oktyabrsky. Epitaxial growth of  $\text{YBa}_2\text{Cu}_3\text{O}_{7-\delta}$  films on oxidized silicon with yttria- and zirconia-based buffer layers. *J. Appl. Phys.*, 74(5) :3614–3616, 1993.
- [157] T. Matthée, J. Wecker, H. Behner, G. Friedl, O. Eibl, et K. Samwer. Orientation relationships of epitaxial oxide buffer layers on silicon (100) for high-temperature superconducting  $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$  films. *Appl. Phys. Lett.*, 61(10) :1240–1242, 1992.
- [158] X.D. Wu, A. Inam, M.S. Hedge, B. Wilkens, C.C. Chang, D.M. Hwang, L. Nazar, T. Venkatesan S. Miura, S. Matsubara, Y. Miyasaka, et N. Shohata. High critical currents in epitaxial  $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$  thin films on silicon with buffer layers. *Appl. Phys. Lett.*, 54(8) :754–756, 1989.
- [159] A. K. Sharma et A. Kvit J. Narayan. Growth of single crystal MgO on TiN/Si heterostructure by pulsed laser deposition . *J. Vac. Sci. technol. A*, 17(6) :3393–3396, 1999.
- [160] H. Q. Li, R. H. Ono, L. R. Vale, D. A. Rudman, et S. H. Liou. A novel multilayer circuit process using  $\text{YBa}_2\text{Cu}_3\text{O}_x/\text{SrTiO}_3$  thin films patterned by wet etching and ion milling. *Appl. Phys. Lett.*, 69(18) :2752–2754, 1996.
- [161] Z.H. Mai, X.M. Chen, Y. Wang, J. Gao, T.K. Li, H.Y. Wong, W.L. Zheng, et Q.J. Jia. Microstructures of epitaxial thin films of  $\text{YBa}_2\text{Cu}_3\text{O}_{7-\delta}$  deposited on silicon wafers. *Supercond. Sci. Tech.*, 16 :590–594, 2003.
- [162] C.A. Copetti, H. Soltner, J. Schubert, W. Zander, O. Hollricher, C. Buchal, H. Schultz, N. Tellmann, et N. Klein. High quality epitaxy of  $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$  on silicon-on-sapphire with the multiple buffer layer  $\text{YSZ}/\text{CeO}_2$ . *Appl. Phys. Lett.*, 63(10) :1429–1431, 1993.
- [163] R. Haakenaasen, D.K. Fork, et J.A. Golovchenko. High quality crystalline  $\text{YBa}_2\text{Cu}_3\text{O}_{7-\delta}$  films on thin silicon substrates. *Appl. Phys. Lett.*, 64(12) :1573–1575, 1994.
- [164] R. Aguiar, F. Sanchez, D. Piero, C. Ferrater, et M. Varela.  $\text{YBa}_2\text{Cu}_3\text{O}_x$  thin films on double buffer layers on Si (100). *Physica C*, 235 :647–648, 1994.
- [165] A.L. Vasiliev, E. Olsson, J. Boikov, T. Claeson, et N.A. Kiselev. Interfacial reactions of  $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$  thin films on Si substrates with polycrystalline Y stabilized  $\text{ZrO}_2$  buffer layers. *Physica C*, 253 :297–307, 1995.
- [166] S. Linzen, J. Kräulich, A. Köhler, et P. Seidel. Unusual crystal structure of non-superconducting  $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$  films on buffered silicon substrates. *Physica C*, 290 :323–333, 1997.
- [167] L. Kang, Z.F. Di, S.Z. Yang, Y.J. Feng, et P.H. Wu. Epitaxial growth of  $\text{YBa}_2\text{Cu}_3\text{O}_7/\text{CeO}_2/\text{YSZ}$  thin films on silicon-on-insulator substrates. *Supercond. Sci. Tech.*, 15 :320–323, 2002.
- [168] C.H. Chen, A. Saiki, N. Wakiya, K. Shinozaki, et N. Mizutani. Distinct correlation between  $\text{CeO}_2$  and YSZ in out-of-plane and in-plane mosaic dispersions of heteroepitaxial  $\text{CeO}_2/\text{YSZ}/\text{Si}$  (001) films. *Appl. Phys.*, A 74 :693–697, 2002.

- [169] D.B. Chrisey et G. K. Hubler. Pulsed laser deposition of thin films. *John Wiley and sons, New York*, 1994.
- [170] M. Hansen et A. Anderko. *Constitution of binary alloys*. McGraw-Hill, 1958.
- [171] J. Li et J. W. Mayer. Refractory metal nitride encapsulating for copper wiring. *MRS Bulletin*, 18 :52–55, 1993.
- [172] T. Laurila. *Tantalum-based diffusion barriers for copper metallization*. PhD thesis, Helsinki University of Technology, Helsinki, 2001.
- [173] S. S. Simon, C. Ryu, H. Lee, et K. W. Kwon. Barriers for copper interconnections. *Mat. Res. Soc. Mett.*, 14 :75–82, 1998.
- [174] C. Y. Chang et S. M. Sze. Carrier transport across metal-semiconductor barriers. *Solid-State Electronics*, 13 :727–740, 1970.
- [175] C. Y. Chang, Y. K. Fang, et S. M. Sze. Specific contact resistance of metal-semiconductor barriers. *Solid State Electronics*, 14 :541–550, 1971.
- [176] A. Y. C. Yu. Electron tunneling and contact resistance of metal-silicon contact barrier. *Solid State Electronics*, 13 :239–247, 1970.
- [177] S. Swirhun, K. C. Saraswat, et R. M. Swanson. Contact Resistance of LPCVD W/Al and PtSi/W/Al Metallization . *IEEE T. Electron Dev. Lett.*, 5 :209–211, 1984.
- [178] S. P. Murarka. *Silicides for VLSi Applications*. Academic Press, 1983.
- [179] G. Srinivas et V. D. Vankar. Effect of microstructural and interface modifications on electrical properties of molybdenum silicide thin films formed by rapid thermal annealing. *Semicond. Sci. Tech.*, 12(4) :419–426, 1997.
- [180] H. Iwai, T. Ohguro, et S-I. Ohmi. NiSi silicide technology for scaled CMOS. *Microelectron. Eng.*, 60 :157–169, 2002.
- [181] D. L. Kwong et N. S. Alvi. Electrical characterization of Ti-silicided shallow junctions formed by ion-beam mixing and rapid thermal annealing. *J. Appl. Phys.*, 60(2) :688–691, 1986.
- [182] Y. Taur, B. Davary, D. Moy, et J. C-Y. Sun. Study of contact and shallow junction characteristics in submicron CMOS with self-aligned titanium silicide. *IBM J. Res. Develop.*, 31(6) :627–633, 1987.
- [183] O. Yamazaki, K. Nakamura, H. Sakamoto, S. Ohnishi, et K. Sakiyama. In situ rapid thermal nitridation of collimated titanium by physical vapor deposition as a blanket tungsten barrier. *Jpn. J. Appl. Phys.*, 33(1B) :466–469, 1994.
- [184] F. M. d’Heurle, C. S. Petersson, et M. Y. Tsai. Observations on the hexagonal form of MoSi<sub>2</sub> and WSi<sub>2</sub> films produced by ion implantation and on related snowplow effects. *J. Appl. Phys.*, 51(11) :5976–5980, 1980.
- [185] I. Ohdomari, T. Chikyow, H. Kawarada, K. Konuma, M. Kakumu, K. Hashimoto, I. Kimura, et K. Yoneda. Behavior of ion-implanted As atoms in Si during molybdenum disilicide formation. *J. Appl. Phys.*, 59(9) :3073–3076, 1986.
- [186] K. Maex, R. F. De Keersmaecker, G. Ghosh, L. Delaey, et V. Probst. Degradation of doped Si regions contacted with transition-metal silicides due to metal-dopant compound formation. *J. Appl. Phys.*, 66(11) :5327–5334, 1989.
- [187] V. Probst, H. Schaber, A. Mitwalsky, H. Kabza, B. Hoffmann, K. Maex, et L. Van den Hve. Metal-dopant-compound formation in TiSi<sub>2</sub> and TaSi<sub>2</sub> : Impact on dopant diffusion and contact resistance. *J. Appl. Phys.*, 70(2) :693–707, 1991.
- [188] I. Ohdomari. Reduction of contact resistivity by As redistribution during PdSi<sub>2</sub> formation. *J. Appl. Phys.*, 54(8) :4679–4682, 1983.

- [189] S. S. Cohen. Boron deactivation and the contact resistance problem. *J. Appl. Phys.*, 59(6) :2072–2075, 1986.
- [190] C.L. Chu, K. C. Saraswat, et S. S. Wong. Measurement of lateral dopant diffusion in thin silicide layers. *IEEE T. Electron Dev.*, 39(10) :2333–2340, 1992.
- [191] C. L. Chu, G. Chin, K. C. Saraswat, S. S. Wong, et R. Dutton. Technology Limitations for  $N^+/P^+$  Polycide Gate CMOS due to Lateral Dopant Diffusion in Silicides/Polysilicon Layers. *IEEE T. Electron Dev. Lett.*, 12(12) :696–698, 1991.
- [192] O. V. Hul'ko, R. Boukherroub, et G. P. Lopinski. Chemical and thermal stability of titanium disilicide contacts on silicon. *J. Appl. Phys.*, 90(3) :1655–1659, 2001.
- [193] F. M. d'Heurle. A note on solid-state reaction kinetics : the formation of silicides from thin films of metal alloys. *J. Appl. Phys.*, 57(6) :2311–2313, 1985.
- [194] J. F. McGilp. Alloying and entropy effects in predicting metal/compound semiconductor interface reactivity. *J. Mater. Res.*, 2(4) :516, 1996.
- [195] F. M. d'Heurle. Diffusion - reaction : The oxidation of silicides in electronics and elsewhere. *J. Phys. III France*, 5 :1707–1728, 1995.
- [196] K. N. Tu. Shallow and parallel silicide contacts. *J. Vac. Technol. A*, 19(3) :766–777, 1981.
- [197] A. K. Pant, S. P. Murarka, et C. Shepard. Kinetics of platinum silicide formation during rapid thermal processing. *J. Appl. Phys.*, 72(5) :1833–1836, 1992.
- [198] A. K. Sinha. Electrical characteristics and thermal stability of platinum silicide-to-silicon ohmic contacts metalized with tungsten. *J. Electrochem. Soc.*, 120(12) :1767–1973, 1973.
- [199] Jerng-Sik Song et Chin-An Chang. Enhanced PtSi formation using a gold layer between Pt and Si. *Appl. Phys. Lett.*, 50(7) :422–424, 1987.
- [200] S. Jin, H. Bender, R. A. Donaton, et K. Maex. Microstructural studies by transmission electron microscopy of the formation of ultrathin PtSi layers with novel silicidation processes. *MRS*, 1999.
- [201] Z. Jiang, J. Xiaoming, et L. Jiang. Thermal stability of multilayer films Pt/Si, W/Si, Mo/Si, and W/C. *J. Appl. Phys.*, 65(1) :196–200, 1989.
- [202] C. Canali et All.  $Pt_2Si$  and PtSi formation with high-purity Pt thin films. *Appl. Phys. Lett.*, 31(1) :43, 1977.
- [203] D. König et G. Ebest. Hole collecting contacts by Pt with PtSi formation. *17<sup>th</sup> European photovoltaic solar energy conference*, VC1/28, 2001.
- [204] M. Wittmer. Growth kinetics of platinum silicide. *J. Appl. Phys.*, 54(9) :5081–5086, 1983.
- [205] C-A. Chang. Formation of Pt silicides : The effect of oxygen. *J. Appl. Phys.*, 58(3) :1412–1414, 1985.
- [206] C-A. Chang. PtSi contact metallurgy : Effect of silicide formation process. *J. Appl. Phys.*, 58(8) :3258–3261, 1985.
- [207] C-A. Chang, A. Segmüller, H.-C. W. Huang, F. E. Turene, A. Sugerman, et P. A. Totta. PtSi contact metallurgy using sputtered Pt and different annealing processes. *J. Electrochem. Soc.*, 133(0) :1256–1260, 1986.
- [208] C-A. Chang, A. Segmüller, H.-C. W. Huang, F. E. Turene, A. Sugerman, et P. A. Totta. PtSi contact metallurgy using electron-beam evaporated Pt films and different annealing processes. *J. Vac. Sci. Technol. B*, 4(3) :745–754, 1986.
- [209] C-A. Chang. PtSi contact metallurgy : Comparison of different annealing sequences, annealing time and ambients, and deposition techniques of Pt. *J. Appl. Phys.*, 59(9) :3116–3121, 1986.

- [210] C-A. Chang et A. Segmuller. Si contact metallurgy formed by three-temperature annealing sequences and short annealing time. *J. Appl. Phys.*, 61(1) :201–205, 1987.
- [211] S. P. Murarka et D. B. Fraser. Silicide formation in thin cosputtered (titanium + silicon) films on polycrystalline silicon and SiO<sub>2</sub>. *J. Appl. Phys.*, 51(1) :350–356, 1980.
- [212] S. P. Murarka et D. B. Fraser. Thin film interaction between titanium and polycrystalline silicon. *J. Appl. Phys.*, 51(1) :342–349, 1980.
- [213] L. S. Hung, J. Gyulai, J. W. Mayer, S. S. Lau, et M-A. Nicolet. Kinetics of Ti Si<sub>2</sub> formation by thin Ti films on Si. *J. Appl. Phys.*, 54(9) :5076–5080, 1983.
- [214] A. Guivarc'h, P. Auvrey, L. Berthou ad M. Le Cun, J. P. Boulet, P. Henoc, et G. Pelous. Reaction kinetics of molybdenum thin films on silicon (111) surface. *J. Appl. Phys.*, 49(1) :233–236, 1978.
- [215] S. Lee, H. Lee, et H. Jeon. Amorphous titanium silicide phase formation by surface microroughness on Si(100). *Jpn. J. Appl. Phys.*, 36(12A) :7317–7322, 1997.
- [216] S. L. Zhang, Z. B. Zhang, D. Z. Zhu, et H. J. Xu. Differences between interfacial and surface molybdenum in the formation TiSi<sub>2</sub>. *J. Appl. phys.*, 89(3) :1641–1646, 2001.
- [217] J. M. Bustillo, G. K. Fedder, C.T-C. Nguyen, et R. T. Roger. Process technology for the modular integration of CMP and polycrystalline microstructures. *Micro. Tech.*, 1 :30–41, 1994.
- [218] P. P. Apte, A. Paranjpe, et G. Pollock. Use of TiN cap to attain low sheet resistance for scaled TiSi<sub>2</sub> on sub-half-micrometer polysilicon lines. *IEEE T. Electron Dev. Lett.*, 17(11) :506–508, 1996.
- [219] R. Beyers, D. Coulman, et P. Merchant. Titanium disilicide formation on heavily doped silicon substrates. *J. Appl. Phys.*, 61(11) :5110–5117, 1987.
- [220] J. Chen, J-P. Colinge, D. Flandre, R. Grillon, J. P. Raskin, et D. Vanhoenacker. Comparison of TiSi<sub>2</sub>, CoSi<sub>2</sub> and NiSi for thin film silicon-on-insulator applications. *J. Electrochem. Soc.*, 144(7) :2437–2442, 1997.
- [221] Y. Zeng, L. Chen, et T. L. Alford. Sheet resistance modelling of the Ti/SiO<sub>2</sub> system upon high temperature annealing. *Appl. Phys. Lett.*, 76(1) :64–66, 2000.
- [222] M. A. Nicolett et M. Bartur. Diffusion barriers in layered contact structures. *J. Vac. Technol. A*, 19(3) :786–793, 1981.
- [223] M. A. Nicolet et S. S. Lau. *VLSI Electronics : Microstructure Science*, volume 6. Academic Press, New York, 1983.
- [224] J. B. Lasky, J. S. Nakos, O. J. Cain, et P. J. Geiss. Comparison of transformation to low-resistivity phase and agglomeration of TiSi<sub>2</sub> and CoSi<sub>2</sub>. *IEEE T. Electron Devices*, 38 :262, 1991.
- [225] F. M. Ross. Growth processes and phase transformations studied by in situ transmission electron microscopy. *IBM J. Res. Develop.*, 44(4) :489–501, 2000.
- [226] S. M. Chang, H. Y. Huang, H. Y. Yang, et L. J. Chen. Mechanism of enhanced formation of C54 TiSi<sub>2</sub> in high-temperature deposited Ti thin films on preamorphized (001)Si. *Appl. Phys. Lett.*, 74(2) :224–226, 1999.
- [227] L. J. Chen, S. L. Chang, et S. M. Chang. Enhanced formation of low resistivity TiSi<sub>2</sub> contacts for deep submicron devices. *Bull. Mater. Sci.*, 22(3) :391–397, 1999.
- [228] A. Mouroux, S. L. Zhang, et W. Kaplan. Enhanced formation of the C54 phase of TiSi<sub>2</sub> by an interposed layer of molybdenum. *Appl. Phys. Lett.*, 69(7) :975–977, 1996.
- [229] A. Mouroux, M. Roux, F. M. d'Heurle S. L. Zhang, C. Cabral, C. Lavoie, et J. M. E. Harper. Phase formation and resistivity in the ternary system Ti-Nb-Si. *J. Appl. Phys.*, 86(4) :2323–2329, 1999.

- [230] S. L. Zhang, C. Lavoie, C. Cabral, J. M. E. Harper, F. M. D'Heurle, et J. Jordan-Sweet. In situ characterization of titanium silicide formation : the effect of Mo interlayer, temperature ramp-rate, and annealing atmosphere. *J. Appl. Phys.*, 85(5) :2617–2626, 1999.
- [231] S. F. Hung et L. J. Chen. The oxidation behavior of MoSi<sub>2</sub> on (111) Si. *Appl. Sci. Surf.*, 113 :600–604, 1997.
- [232] R. W. Mann, L. A. Clevenger, P. D. Agnello, et F. R. White. Silicides and local interconnections for high-performance VLSI applications. *IBM J. Res. Develop.*, 38(4) :403–417, 1995.
- [233] G. J. Huang et L. J. Chen. Investigation of the oxidation kinetics of C54-TiSi<sub>2</sub> on (001)Si by transmission electron microscopy. *J. Appl. Phys.*, 72(7) :3143–3149, 1992.
- [234] G. J. Huang et L. J. Chen. Investigation of the oxidation kinetics of CoSi<sub>2</sub> on (111)Si by transmission electron microscopy. *J. Appl. Phys.*, 76(2) :865–870, 1994.
- [235] TEM analysis of an additionnal metal rich component at the C49 C54 transformation in Ti/Si thin films capped with TiN. I. matko and b. chenevier and o. chaix-pluchery and **R. Madar**. *Thin Solid Films*, 408(1) :123–127, 2002.
- [236] Atmel AT27C010-45DC 1Mbit EPROM. Technical report, Integrated Circuit Engineering Corporation, 1993. Internet : <http://www.ice-corp.com>.
- [237] J. S. Chen, E. Kolawa, M.-A. Nicolet, R. P. Ruiz, L. Baud, C. Jaussaud, et **R. Madar**. Reaction of Ta thin film with single crystalline (001) beta-SiC. *J. Appl. Phys.*, 76(4) :2169–2175, 1994.
- [238] Jang H. W., Kim K. H., Kim J. K., Hwang S.-W., Yang J. J., Lee K. J., Son S.-J., et Lee J.-L. Low-resistance and thermally stable ohmic contact on p-type gan using Pd/ni metallization. *Appl. Phys. Lett.*, 79(12) :1822–1824, 2001.
- [239] J-S Jang, S. J. Park, et T. Y. Seong. Metallization scheme for highly low-resistance, transparent, and thermally stable ohmic contacts to p gan. *Appl. Phys. Lett.*, 76(20) :2898, 2000.
- [240] J-S. Jang, S.-Han, S. W. Kim, et S. J. park T. Y. Seong. low-resistance, thermally stable Pt/Ru ohmic contacts to p-type gan. *Phys. Statesol. (a)*, 180(103) :103, 2000.
- [241] J. K. Kim, Y-H. Cho, J. S. Kwak, O-H. Nam, J. Lee, Y. Park, T. Kim, J. W. Kim, et J-L. Lee. The effects of Au overlayer on the thermal stability of Pt ohmic contact on p-type gan. *J. of the Korean Physical Society*, 39(1) :23–27, 2001.
- [242] Z. Fan, S. N. Mohammad, et W. Kim. . very low resistance multilayer ohmic contact to n-gan. *Appl. Phys. Lett.*, 68 :1672, 1996.
- [243] W. J. Choyke. *Materials for High-Temperature Semiconductor Devices*. National Materials Advisory Board, 1995.
- [244] R. S. Okojie, D. Lukco, Y. L. Chen, et D. J. Spry. Reliability assessment of Ti/TaSi<sub>2</sub>/Pt ohmic contacts on SiC after 1000 H at 600°C. *J. Appl. Phys.*, 91(10) :6553–6559, 2002.
- [245] H. D. Bhatt, S. B. Desu, D. P. Vijay, Y. S. Hwang, X. Zhang, M. Nagata, et A. Grill. Novel high temperature multilayer electrode-barrier structure for high-density ferroelectric memories. *Appl. Phys. Lett.*, 71(5) :719–721, 1997.
- [246] D. E. Kotecki. (Ba,Sr)TiO<sub>3</sub> dielectrics for future stacked-capacitor DRAM. *IBM J. Res. Develop.*, 43(3) :367–382, 1999.
- [247] B. Vilquin, G. LeRhun, R. Bouregba, G. Poullain, et H. Murray. Effect of in situ Pt bottom electrode deposition and of Pt top electrode preparation on PZT thin films properties. *Appl. Surf. Science*, 191(1) :63–73, 2002.
- [248] P. C. McIntyre et S. R. Summerfelt. Kinetics and mechanisms of TiN oxidation beneath Pt thin films. *J. Appl. Phys.*, 82(9) :4577–4585, 1997.



- [249] Y. Matsui, M. Suga, M. Hiratani, H. Miki, et Y. Fujisaki. Oxygen diffusion in Pt bottom electrodes of ferroelectric capacitors. *Jpn. J. Appl. Phys.*, 36(9A/B) :L1239–L1241, 1997.
- [250] Y. Matsui, M. Hiratani, et S. Kimur. Thermal stability of a RuO<sub>2</sub> electrode prepared by DC reactive sputtering. *Jpn. J. Appl. Phys.*, 39(1) :256–263, 2000.
- [251] S. B. Desu, R. Vedula, H. D. Bhatt, Y. S. Hwang, et X. Zhang. Novel electrode barriers for high density ferroelectric nonvolatile memories. *Phys. Status Solidi. A*, 184(2) :273–289, 2001.
- [252] R. H. Horng, D. S. Wu, L. H. Wu, et M. K. Lee. Formation process and material properties of reactive sputtered IrO<sub>2</sub> thin films. *Superficies y Vacio*, 9 :139–142, 1999.
- [253] D. S. Lee, H. J. Woo, D. Y. Park, J. Ha, C. S. Hwang, et E. Yoon. Effects of the microstructure of platinum electrode on the oxidation behavior of TiN diffusion barrier layer. *Jpn. J. Appl. Phys.*, 42(2A) :630–633, 2003.
- [254] S. Aggarwal, A. M. Dhote, H. Li, S. Ankem, et R. Ramesh. Conducting barriers for vertical integration of ferroelectric capacitors on Si. *Appl. Phys. Lett.*, 74(2) :230–232, 1999.
- [255] Y. Hu, A. Loge, et W. Dulinski. A low noise, low power BiCMOS preamplifier-shaper for microstrip detectors using DMILL process and irradiation measurements. *Nucl. Instrum. Meth. A*, 423 :272–281, 1999.
- [256] T. Hara, M. Tanaka, K. Sakiyama, S. Onishi, K. Ishihara, et J. Kudo. Barrier Properties for Oxygen Diffusion in a TaSiN Layer. *Jpn. J. Appl. Phys.*, 36(7B) :L893–L895, 1997.
- [257] Y. Matsui, K. Torii, K. Kushida, H. Miki, et Y. Fujisaki. Highly oxidation-resistant TiN barrier layers for ferroelectric capacitors. *Jpn. J. Appl. Phys.*, 36(3B) :1586, 1997.
- [258] C-H. Han, K-N. Cho, J-E. Oh, S-H. Paek, C-S. Park, S-I. Lee, M. Y. Lee, et J. Gil. Barrier metal properties of amorphous tantalum nitride thin films between platinum and silicon deposited using remote plasma metal organic chemical vapor method. *Jpn. J. Appl. Phys.*, 37(5A) :2646–2651, 1998.
- [259] R. H. Horng, D. S. Wu, L. H. Wu, M. K. Lee, S. H. Chan, C. C. Leu, T. Y. Huang, et S. M. Sze. Thermal stability of co-sputtered Ru-Ti alloy electrodes for dynamic random access memory applications. *Jpn. J. Appl. Phys.*, 37(10B) :L1247, 1998.
- [260] D. S. Yoon et J. S. Roh. High performance of novel oxygen diffusion barrier materials for future high-density dynamic random access memory devices. *IEEE T. Electron Dev.*, 49(11) :1917–1927, 2002.
- [261] D-S. Yoon, H. K. Baik, S.-M. Lee, et S-I. Lee. Tantalum-ruthenium dioxide as a diffusion barrier between Pt bottom electrode and TiSi<sub>2</sub> ohmic contact layer for high density capacitors. *J. Appl. Phys.*, 86(5) :2544–2549, 1999.
- [262] J. A. Johnson, J. G. Lisoni, et D. J. Wouters. Developing a conductive oxygen barrier for ferroelectric integration. *Microelectron. Eng.*, 70(2–4) :377–383, 2003.
- [263] D. Petti. Life dry wall safety and environmental issues. INEEL’s Science and Engineering Awards, 2001.
- [264] G. Huot, L. Méchin, et D. Bloyet. Pt-based metallization of PMOS devices for a compatible monolithic integration of semiconducting YBa<sub>2</sub>Cu<sub>3</sub>O<sub>7- $\delta$</sub>  superconducting devices on silicon. *Microelectronic Engineering*, 70(2-4) :246–250, 2003.
- [265] H. L. Meyerheim, U. Döbler, A. Puschmann, , et K. Baberschke. Amorphous molybdenum silicide layers and Mo/Si(100) interface growth : Local structure and preparation dependence . *Phys. Rev. B*, 44 :5871–5880, 1990.
- [266] J. M. Slaughter, A. Shapiro, P. A. Kearney, , et C. M. Falco. Growth of molybdenum on silicon : Structure and interface formation. *Phys. Rev. B*, 44 :3854–3863, 1991.

- [267] R. D. Wier. Thermophysics of advanced engineering materials. *Pure Appl. Chem.*, 71 :1215–1226, 1999.
- [268] O. Thomas, J. P. Sénateur, **R. Madar**, O. Laborde, et E. Rosencher. Molybdenum disilicide : Crystal growth, thermal expansion and resistivity. *Solid State Commun.*, 55(7) :629–632, 1985.
- [269] H.S. Kwok et Q.Y. Ying. Dynamics of in situ YBa<sub>2</sub>Cu<sub>3</sub>O<sub>7</sub> superconducting film formation. *Physica C*, 177 :122–128, 1991.
- [270] S. T. Kim, H. H. Kim, M. Y. Lee, et W. J. Lee. Investigation of Pt/Ti Bottom Electrodes for Pb(Zr,Ti)O<sub>3</sub> Films. *Jpn. J. Appl. Phys.*, 36(1A) :294–300, 1997.
- [271] S. L. Firebaugh, K. F. Jensen, et M. A. Schmidt. Investigation of high-temperature degradation of platinum thin films with *in situ* resistance measurement apparatus. *J. Microelectromech. Sys.*, 7(1) :128–135, 1998.
- [272] J. Puigcorb , D. Vogel B. Michel, I. Gr cia, C. Can , et J. R. Morante. High temperature degradation of Pt/Ti electrodes in micro-hotplates gas sensors. *J. Micromech. Microeng.*, 13 :S119–S124, 2003.
- [273] L. B. Valdes. Resistivity measurements on germanium for transistors. *Proc. IRE*, 42 :420–427, 1954.
- [274] D. K. Schroder. *Semiconductor material and device characterization*. Wiley-InterSci., 2<sup>nd</sup> edition, 1998.
- [275] J. Albers et H. L. Berkowitz. An alternative approach to the calculation of four probe resistance on nonuniform structures. *J. Electrochem. Soc.*, 132 :2453–2456, 1985.
- [276] F. M. Smits. Measurement of sheet resistivity with four-point probe. *Bell. Sys. Techn.J.*, 37 :711–718, 1958.
- [277] G. K. Reeves. Specific contact resistance using a circular transmission line model. *Solid-State Electronics*, 23 :487–490, 1980.
- [278] L. J. van der Pauw. A method of measuring specific resistivity and Hall effect of discs of arbitrary shapes. *Philips Res. Repts.*, 13 :1–9, 1958.
- [279] H. Roberts et B. Otterloo. FIB-TEM sample preparation by in-situ lift out technique . *Proc. EFUG, Arcachon*, 2001.
- [280] K. Izui, S. Furuno, et H. Otsu. Observations of atomic arrays of silicon, projected onto the (110), (110) and (111) planes. *Jeol news*, 15(2) :2–4, 1977.
- [281] D. R. Lide, editor. *CRC Handbook of Chemistry and Physics.*, chapter 10. NIST, 77th edition, 1996.



# Cofabrication monolithique de capteurs à supraconducteur $\text{YBa}_2\text{Cu}_3\text{O}_{7-\delta}$ et d'une électronique semiconductrice sur même substrat de silicium

## Résumé

Nous avons défini les solutions technologiques de l'intégration monolithique de bolomètres en supraconducteurs à haute température critique (YBCO) et d'amplificateurs à base de composants PMOS car les conditions de la croissance épitaxiale de couches minces d'YBCO sur silicium et le fonctionnement des MOSFETs à 77 K sont connues. Nous avons remplacé la métallisation Aluminium standard par une structure  $Pt/Ti$ . Les contacts de source et de drain ont été obtenus par la formation préliminaire de composés  $Mo-Si$ . Le film mince d'YBCO a été déposé sur silicium à l'aide de couches tampons  $CeO_2/Yttria-Stabilized-Zirconia$  (YSZ) avec une  $T_C$  de 86 K. Les bolomètres d'YBCO et les transistors ont été testés séparément avec succès à 300 K et à 77 K. La cofabrication sur le même substrat de silicium de composants utilisant des technologies aussi disparates que YBCO et PMOS est un point de départ très prometteur pour une nouvelle génération de circuits intégrés combinant les avantages des propriétés supraconductrices d'YBCO et de l'électronique en technologie silicium.

## Mots clés

bolomètres, supraconducteurs à haute température critique, transistor à effet de champ, métallisation, intégration

## Abstract

Both the conditions of the epitaxial growth of YBCO thin films on silicon and the MOS devices operation at 77 K are well known. So, we have defined the technological solutions for the monolithic integration of high temperature superconductor bolometers (YBCO) and amplifiers based on PMOS devices. We have replaced their  $Al$  metallization by a  $Pt/Ti$  structure. The drain and source contacts were obtained by the preliminary formation of  $Mo-Si$  compounds. The YBCO thin film was deposited on silicon using  $CeO_2/Yttria-Stabilized-Zirconia$  (YSZ) buffer layers and showed a  $T_C$  of 86 K. The bolometers and the transistors were successfully tested separately at 300 K and at 77 K. The Co-fabrication on the same silicon substrate of YBCO and PMOS devices is a very promising starting point for a new generation of integrated circuits combining the advantages of the superconductive properties of YBCO and electronics in technology silicon.

## Keywords

bolometers, high temperature superconductor, field effect transistor, metallization, integration

Discipline Electronique & Microélectronique

Laboratoire ENSICAEN - GREYC UMR 6072

